

**สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง**

เครื่องรับ-ส่งสัญญาณดิจิทัลผ่านทางช่องสัญญาณ FM-SCA

Digital data transmission by FM-SCA



๒๗.  
๖๖๔๗๓  
๒๕๕๐

เลขานุ.....  
เลขทะเบียน..... 82954  
วัน,เดือน,ปี..... 29 ก.ค. 2551

b..... 114๕๖๙๕1  
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**เครื่องรับ-ส่งสัญญาณดิจิทัลผ่านทางช่องสัญญาณ FM-SCA**

**Digital data transmission by FM-SCA**



โดย

นายธีรวัฒน์ แคนจอหอ 47010343

นายอิทธิพล เพชรเรียง 47010994

อาจารย์ที่ปรึกษา

รศ. นิภา ตีตารุจิ

**ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต**

**สาขาวิชาวิศวกรรมโทรคมนาคม**

**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**

**ปีการศึกษา 2550**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องรับ-ส่งสัญญาณดิจิทัลผ่านทางช่องสัญญาณ FM-SCA

Digital data transmission by FM-SCA

ผู้จัดทำ 1.นายธีรวัฒน์ แคนจอหอ 47010343

2.นายอิทธิพล เพชรเรียง 47010994

..... นิก วิลัย ..... อาจารย์ที่ปรึกษา  
(รศ.นิภาลีดารุจิ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องรับ-ส่งสัญญาณดิจิทัลผ่านทางช่องสัญญาณ FM-SCA

### Digital data transmission by FM-SCA

โดย นายธีรวัฒน์ แคนจอหอ 47010343

นายอิทธิพล เพชรเรียง 47010994

อาจารย์ที่ปรึกษา รศ.นิภา ลีลารุจี

#### บทคัดย่อ

โครงการนี้เป็นการประยุกต์ใช้งานการส่งข้อมูลดิจิทัลผ่านทางความถี่วิทยุโดยใช้ช่องสัญญาณเอฟเอ็มเอส ซี เอ (FM-SCA) ซึ่งจะมีแบนด์วิดธ์อยู่ประมาณ 15 kHz การมอดูเลตสัญญาณเข้ากับคลื่นพาห์ จะใช้การมอดูเลตแบบ ไบนารีเฟสชิฟติง (BPSK) ซึ่งมีความถี่คลื่นพาห์อยู่ประมาณ 67 kHz โดยมีอัตราเร็วในการส่งเท่ากับ 4800 บิตต่อวินาที โดยเครื่องรับนั้นจะสามารถเลือกรับเอาแต่ข่าวสารที่ต้องการแล้วนำมาตีมอดูเลตเพื่อผู้รับข่าวสารนั้นกลับคืนมา

#### Abstract

This project present an application of digital data transmission by using radio frequency. The FM-SCA is use for transmission channel which bandwidth is about 15 kHz. We use BPSK modulation technical to modulate carrier signal and digital input signal. The carrier of BPSK is about 67 kHz and bit rate of digital input signal is 4800 bps. When the digital input signal is transmitted. The receiver will receive only the transmitted signal and demodulate it.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

โครงการเล่มนี้เป็นส่วนหนึ่งที่ช่วยให้เร มีความรู้ในการปฏิบัติงาน ทำให้เราได้รับทราบถึงปัญหาต่างๆ ที่จะต้องแก้ไขเมื่อเจอปัญหา ซึ่งช่วยให้เราสามารถแก้ปัญหาต่างๆได้ ผู้จัดทำต้องขอขอบคุณบุคคลที่ช่วยให้ความช่วยเหลือต่างๆไม่ว่าจะเป็นความคิดหรือปัญหา หรือข้อมูลต่างๆที่นำมาแลกเปลี่ยนช่วยกันอ่านพยายามเข้าใจ ขอขอบคุณคุณพ่อ คุณแม่ ที่ให้โอกาสทางการศึกษา และงบประมาณที่ได้รับ รัช.นิภา สีลาจจิ ซึ่งเป็นอาจารย์ที่ปรึกษาได้คอยให้คำแนะนำ เสนอแนวทางการแก้ปัญหาต่างๆ ทำให้โครงการนี้สำเร็จได้ ขอขอบคุณภาควิชาวิศวกรรมโทรคมนาคมที่คอยอำนวยความสะดวกในการปฏิบัติงาน รวมทั้งรุ่นพี่ที่ให้ความช่วยเหลือทำให้โครงการในครั้งนี้สำเร็จลงได้ด้วยดี

คณะผู้จัดทำ

นายธีรวัฒน์ แคนจอหอ

นายอิทธิพล เพชรเรียง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 ระบบวิทยุในปัจจุบัน	3
2.2 การมอดูเลต ( Modulation )	4
2.2.1 การมอดูเลตทางความถี่	5
2.2.1.1 คณิตศาสตร์การมอดูเลต	6
2.2.1.2 ไซค์แบนด์เอฟเอ็ม	7
2.2.1.3 เอฟเอ็มแบนแคบ	8
2.2.1.4 เอฟเอ็มแบนด์กว้าง	9
2.2.2 การมอดูเลชันทางแอมพลิจูด (Amplitude Modulation)	13
2.3 วงจรออสซิลเลเตอร์	18
2.3.1 ความถี่ออสซิลเลเตอร์	18
2.3.2 ออสซิลเลเตอร์แบบควบคุมด้วยแรงดันไฟฟ้า (Voltage control oscillator)	18
2.3.2.1 วาเรคเตอร์ไดโอด	18
2.3.2.2 วงจร VCO	19
2.4 เอฟเอ็ม เอสซีเอ (FM SCA)	20
2.4.1 การรับส่งและรับสัญญาณระบบ SCA	23
2.4.1.1 การส่ง	23
2.4.1.2 การรับ	24
2.4.2 การพิจารณาเกี่ยวกับการรบกวนในกรณีสถานีวิทยุ FM stereo	25
ที่ส่ง SCA ด้วยการรบกวนข้างเคียง	
2.4.3 การรบกวนกันเองภายในระบบ	26
2.5 เฟสชิฟทีอิง (PSK)	27
2.5.1 การมอดูเลตสัญญาณ PSK	30
2.5.2 การมอดูเลตสัญญาณ BPSK	31
2.6 Phase - locked Loop (PLL)	32
บทที่ 3 การคำนวณและการสร้าง	34

เอกสาร 3.1 การออกแบบวงจรภาคส่ง สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน 34  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ(ต่อ)

	หน้า
3.1.1 วงจรผลิตสัญญาณความถี่ 67.2 kHz	35
3.1.1.1 วงจรผลิตสัญญาณความถี่ 4800 Hz	35
3.1.1.2 วงจรเฟสล็อกคูลูป	36
3.1.2 การออกแบบวงจรคูณความถี่แถบผ่าน แบนด์พาสฟิลเตอร์	37
3.1.3 วงจรบาลานซ์มอดูเลเตอร์(Balance Modulator)	39
3.1.4 วงจรเครื่องส่งเอฟเอ็ม	40
3.2 การสร้างวงจรภาคเครื่องรับ	40
3.2.1 วงจรตู้ความถี่คลื่นพาห้	41
3.2.2 วงจรยกกำลังสอง	41
3.2.3 วงจรเฟสล็อกคูลูป	42
3.2.4 วงจรหารสอง	42
3.2.5 วงจรคูณสัญญาณคลื่นพาห้กับสัญญาณพีเอสเค	43
บทที่ 4 ผลการทดลอง	44
4.1 การทดลองวงจรภาคส่ง	44
4.1.1 วงจรกำเนิดความถี่ 4800 Hz	44
4.1.2 วงจรกำเนิดสัญญาณคลื่นพาห้ความถี่ 67.2 kHz	45
4.1.3 วงจรกรองความถี่แถบผ่าน 67.2 kHz	46
4.1.4 วงจรคูณสัญญาณคลื่นพาห้กับสัญญาณข่าวสาร	47
บทที่ 5 บทวิจารณ์และบทสรุป	50
ภาคผนวก	
กิตติกรรมประกาศ	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 Block Diagram ภาคส่ง	1
รูปที่ 2.1 แผนผังแสดงภาคเครื่องรับและเครื่องส่ง	3
รูปที่ 2.2 แสดงการมอดูเลตทางความถี่	5
รูปที่ 2.3 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบเอฟเอ็ม	7
รูปที่ 2.4 ฟังก์ชันเบสเสลชนิดหนึ่งที่ $j_n(B)$	10
รูปที่ 2.5 แสดงความสัมพันธ์ระหว่างค่า $B$ และค่า $n$ ที่ทำให้ ค่า $j_n(B) <$ หรือเท่ากับ $0.01$	11
รูปที่ 2.6 ภาพสเปกตรัมชนิดเชิงเส้นของสัญญาณเอฟเอ็มซึ่งมอดูเลตด้วยสัญญาณทดสอบรูปไซน์	12
รูปที่ 2.7 แสดงสัญญาณข้อมูล สัญญาณพาหะ และสัญญาณที่ได้จากการมอดูเลต	14
รูปที่ 2.8 สัญญาณแอมพลิจูดมอดูเลชันในแกนความถี่	16
รูปที่ 2.9 วงจร VCO D1 และ D2 คือ คาปาซิทีฟไดโอดใช้สำหรับควบคุมความถี่ออสซิลเลเตอร์	19
รูปที่ 2.10 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM mono	21
รูปที่ 2.11 แสดงการใช้แถบความถี่ของสัญญาณในระบบ mono ร่วมกับ SCA	22
รูปที่ 2.12 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo	22
รูปที่ 2.13 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo ร่วมกับ SCA	23
รูปที่ 2.14 แสดง block diagram โดยสังเขป ของเครื่องส่งวิทยุกระจายเสียงระบบ stereo phonic+SCA	24
รูปที่ 2.15 แสดง Block Diagram โดยสังเขปของเครื่องรับวิทยุ FM stereo ที่สามารถเลือกรับสัญญาณ SCA ได้ด้วย	25
รูปที่ 2.16 แสดงความกว้างแถบความถี่ของคลื่นสัญญาณ สถานีวิทยุจุฬาฯ, ขสทบ, และ ทอ ที่ส่งระบบ SCA ด้วยทั้ง 3 สถานี	26
รูปที่ 2.17 แถบความถี่สัญญาณ SCA	27
รูปที่ 2.18 ไบนารี PSK	27
รูปที่ 2.19 สัญญาณดิจิตอล 2 บิต ที่จะส่งพร้อมกัน	28
รูปที่ 2.20 Quadri PSK	28
รูปที่ 2.21 8-PSK	28
รูปที่ 2.22 จากภาพที่ 12.1 สัญญาณข่าวสารดิจิตอลที่มี 2 บิต สามารถเขียนเป็นสมการได้ดังนี้	29
รูปที่ 2.23 การมอดูเลตสัญญาณ PSK	30
รูปที่ 2.24 สัญญาณ BPSK ที่ได้จากการมอดูเลตในภาพที่ 2.23	31
รูปที่ 2.25 แสดงการดีมอดูเลตสัญญาณ BPSK ข้างบนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้	31

## สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 2.26 Block Diagram PPL	32
รูปที่ 3.1 บล็อกไดอะแกรมของวงจรภาคส่ง	34
รูปที่ 3.2 บล็อกไดอะแกรมของวงจรผลิตสัญญาณความถี่ 67.2 kHz	35
รูปที่ 3.3 บล็อกไดอะแกรมการสร้างความถี่ 4800 Hz	35
รูปที่ 3.4 วงจรกำเนิดความถี่ 4800 Hz	36
รูปที่ 3.5 บล็อกไดอะแกรมวงจรเฟสล็อกกลุ๊ป	36
รูปที่ 3.6 วงจรสร้างความถี่ 67.2 kHz	37
รูปที่ 3.7 วงจรกรองความถี่แบนด์พาสฟิลเตอร์	38
รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์	39
รูปที่ 3.9 หลักการทำงานของวงจรมอดูเลทความถี่	40
รูปที่ 3.10 แสดงบล็อกไดอะแกรมของวงจรภาครับ	40
รูปที่ 3.11 แสดงบล็อกไดอะแกรมวงจรกู้ความถี่คลื่นพาห์	41
รูปที่ 3.12 แสดงวงจรยกกำลังสองสัญญาณ	41
รูปที่ 3.13 แสดงวงจรเฟสล็อกกลุ๊ปสำหรับลูบยกกำลังสอง	42
รูปที่ 3.14 แสดงวงจรหารสอง	43
รูปที่ 3.15 แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณทีเอสเค	43
รูปที่ 4. 1 แสดงผลของวงจรเมื่อนำสัญญาณที่เกิดจากคริสตอลออสซิลเลเตอร์ 18.432 kHz ผ่านวงจรหาร ความถี่ด้วย 1/64(รูปบน) รูปล่างคือ การนำสัญญาณเข้าที่พุด 288 kHz ที่ได้ไปหาร 1/15	44
รูปที่ 4.2 แสดงผลของวงจรเมื่อนำสัญญาณความถี่ 288 kHz ผ่านวงจรหารความถี่ด้วย 1/15 รูปล่างแสดงผลของวงจรเมื่อนำสัญญาณความถี่ 19.2 kHz ผ่านวงจรหารความถี่ด้วย 1/4	45
รูปที่ 4.3 รูปบนแสดงผลของวงจรเมื่อนำสัญญาณความถี่ 19.2 kHz ผ่านวงจรหารความถี่ด้วย 1/4รูปล่างแสดงสัญญาณคลื่นพาห์ความถี่ 67.2 kHz	46
รูปที่ 4.4 แสดงคุณลักษณะของวงจรกรองความถี่แถบผ่าน	47
รูปที่ 4.5 แสดงสัญญาณข้อมูลความถี่ 5 kHz ที่มอดูเลทกับคลื่นพาห์ความถี่ 67.5 kHz	47
รูปที่ 4.6 แสดงสัญญาณคลื่นพาห์ 67.78 กิโลเฮิร์ตที่กู้กลับมาได้ที่ด้านรับ	48
รูปที่ 4.7 แสดงสัญญาณคลื่นพาห์ที่รับได้(รูปบน) และสัญญาณคลื่นพาห์เมื่อผ่าน	49

เอกสารวงจรแบนด์พาสฟิลเตอร์(รูปล่าง)การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูปภาพ(ต่อ)

หน้า

รูปที่ 4.8 แสดงสัญญาณข้อมูลที่กู้ได้(รูปบน)เทียบกับคลื่นพาห้(รูปล่าง)

49



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

ณ ปัจจุบันเทคโนโลยีทางการสื่อสารได้เจริญก้าวหน้าขึ้นอย่างรวดเร็ว โดยได้พัฒนาให้ระบบและโครงสร้างของการสื่อสารรวมอยู่ในอุปกรณ์เพียงตัวเดียว เพื่อให้สามารถนำมาใช้ประโยชน์ได้มากขึ้น โดยเฉพาะในเรื่องของการสื่อสารข้อมูลข่าวสารต่าง ๆ เพราะการสื่อสารที่มีประสิทธิภาพย่อมนำมาซึ่งผลสำเร็จของการติดต่อสื่อสาร และการสื่อสารที่สามารถส่งสัญญาณหลาย ๆ ชุดสัญญาณไปพร้อมกันได้ ไปในตัวกลางการสื่อสารตัวเดียวกันได้ เป็นอีกรูปแบบหนึ่งของการสื่อสารข้อมูลข่าวสารที่ได้รับ ความสำคัญ ซึ่งได้มีการพัฒนาปรับปรุงอย่างต่อเนื่องให้สามารถที่จะนำมาใช้งานได้มากขึ้นและมี ประสิทธิภาพของการสื่อสารเพิ่มมากขึ้น โดยประโยชน์ของการสื่อสารวิธีนี้จะช่วยลดระบบและ โครงสร้างของการสื่อสารให้เล็กลงแต่คุณภาพและประสิทธิภาพของการสื่อสารเพิ่มขึ้น

ดังนั้นโครงการนี้จึงได้ทำการศึกษาและออกแบบการส่งสัญญาณ โดยใช้ช่องสัญญาณ เอฟเอ็ม เอสซีเอ เข้ามาช่วย ซึ่งหมายถึงการส่งข่าวสารในระบบเอฟเอ็มซึ่งสอดแทรกข่าวสารหรือรายการที่ นอกเหนือไปจากรายการปกติอีกหนึ่งหรือหลายรายการควบคู่ไปพร้อมกับการส่งกระจายเสียงของระบบ เอฟเอ็ม โดยไม่ก่อให้เกิดการรบกวนระหว่างข่าวสารหรือรายการซึ่งกันและกัน รายการของ SCA อาจเป็น เสียงพูดหรือเสียงดนตรี เช่นเดียวกับรายการปกติ หรืออาจเป็นรหัสตัวเลขหรือสัญญาณอื่นใดก็ได้ ซึ่งช่วย ทำให้เราประหยัดช่องสัญญาณในการส่งได้ โดยในส่วนของโครงการนี้ ได้นำเอาสัญญาณข้อมูล(Data)มา มอดูเลทแบบพีเอสเคกับคลื่นพาห์(carrier)ที่มีความถี่ 67.2 kHz แล้วส่งออกอากาศด้วยความถี่คลื่นพาห์ของ สัญญาณเอฟเอ็ม โดยรายละเอียดในส่วนของภาคส่ง ใคืออธิบายดังบล็อกไดอะแกรมต่อไป

### ภาคส่ง (TRANSMITTER)



รูปที่ 1.1 Block Diagram ภาคส่ง

### สัญญาณข้อมูล (Data)

สัญญาณข้อมูลเป็นสัญญาณข่าวสารที่นำมาใช้มอดูเลทแบบพีเอสเคกับคลื่นพาห์ 67.2 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### วงจรรำเน็ดควมถี่ 67.2 kHz

สัญญาณควมถี่ 67.2 kHz เป็นควมถี่กึ่งกลางของช่องสัญญาณเอฟเอ็ม เอสซีเอ ซึ่งใช้เป็นพหะในการมอดูเลทกับสัญญาณข้อมูล

### มอดูเลเตอร์ (Modulator)

เป็นตัวควมสัญญาณพหะกับสัญญาณข่าวสารเข้าด้วยกัน โคบใน โครงงานจีนนี้ ใช้การควมแบบพีเอสเคเพื่อส่งสัญญาณออกไป

### BPF หรือตัวกรองควมถี่แถบผ่าน แบนด์พาสฟิลเตอร์ (Band pass filter)

ตัวกรองควมถี่แถบผ่าน เป็นส่วนที่จะใช้เพื่อจับควมถี่ช่วงที่ต้องการมาใช้ในการออกอากาศต่อไป โคบ โครงงานนี้ใช้ตัวกรองควมถี่แถบผ่านที่มีควมถี่กึ่งกลางอยู่ที่ 67.2 kHz และมีแบนด์วิดท์ประมาณ 15 kHz

### เครื่องส่งเอฟเอ็ม

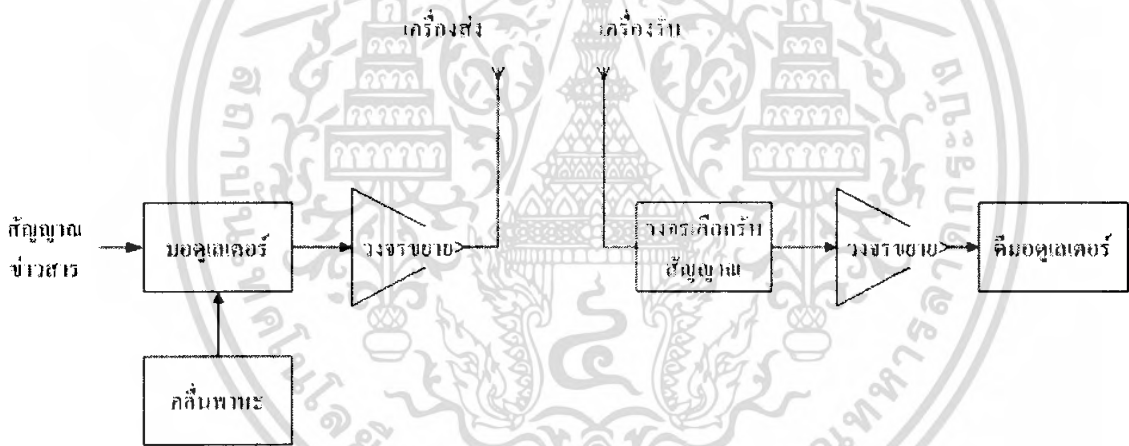
เป็นตัวมอดูเลทสัญญาณที่ผ่านตัวกรองควมถี่แถบผ่านมากับสัญญาณคลื่นพหะที่มีควมถี่ของสัญญาณเอฟเอ็มในการส่งออกอากาศต่อไป

## บทที่ 2 ทฤษฎีและหลักการ

### 2.1 ระบบวิทยุในปัจจุบัน

ระบบวิทยุทั่วไปมักจะมีรูปแบบคล้ายคลึงกันตามรูปที่ 2.1 ในที่นี้เราแสดงไว้เฉพาะการติดต่อทางเดียวจากเครื่องส่งไปยังเครื่องรับเท่านั้น จะเห็นได้ว่าประกอบด้วยส่วนสำคัญคือ เครื่องส่ง เครื่องรับ สายอากาศ และสัญญาณข่าวสาร ที่ถูกป้อนมาที่อินพุต ทำให้เอาต์พุตเป็นคลื่นที่ได้รับการมอดูเลต แล้วแผ่กระจายสายอากาศส่งไปยังเครื่องรับ คลื่นที่ได้รับจากสายอากาศ จะถูกแปลงโดยเครื่องรับ เพื่อให้สัญญาณข่าวสารกลับคืนมา

ที่เครื่องส่ง สัญญาณข่าวสารและสัญญาณพาหะถูกส่งออกไปยังวงจรมอดูเลต สัญญาณพาหะที่ถูกมอดูเลตแล้ว จะต้องไปผ่านการขยายกำลัง ให้มีมากขึ้น แล้วจึงป้อนกลับไปยังสายส่ง เพื่อให้สามารถส่งไปได้ไกล โดยที่เครื่องรับสามารถรับได้ชัดเจน คลื่นจากเครื่องส่งนี้ จะแผ่กระจายออกจากสายอากาศส่งโดยมีทิศทางมุ่งไปยังเครื่องรับ



รูปที่ 2.1 แผนผังแสดงภาคเครื่องรับและเครื่องส่ง

ที่เครื่องรับ เครื่องรับจะเลือกรับเฉพาะคลื่นที่ต้องการเท่านั้นแล้วขยายคลื่นนั้นให้มีกำลังมากขึ้นเพื่อป้อนไปยังวงจรมอดูเลต ซึ่งทำหน้าที่แปลงคลื่นพาหะที่ถูกมอดูเลตกลับคืนมาเพื่อให้ได้สัญญาณข่าวสารตามเดิม

ข้อสังเกตในระบบวิทยุคือ ถ้ามีเครื่องส่งหลายเครื่องในพื้นที่ใกล้เคียงกัน เราจะต้องใช้ความถี่คนละความถี่มิฉะนั้นสัญญาณที่เครื่องรับจะสับสน เราสามารถใช้ความถี่เครื่องส่งซ้ำกันได้ก็ต่อเมื่อเครื่องส่งไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ห่างไกลกันและไม่ทำให้เกิดสัญญาณรบกวน ทั้งนี้เพราะคลื่นวิทยุจะมีความแรงลดลงถ้าระยะห่างไกลจากเครื่องส่งมากขึ้น

## 2.2 การมอดูเลต ( Modulation )

ในกระบวนการการมอดูเลต เราใช้รูปขายน้ความถี่สูงเป็นพาหะ แล้วเปลี่ยนแปลงคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร ได้แก่ สัญญาณอะนาล็อก สัญญาณภาพ หรือสัญญาณข่าวสารอื่นๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เรียกว่า การมอดูเลต (Modulate)

คลื่นรูปขายน้ที่เราใช้เป็นพาหะนั้น เราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A\sin(\omega t + \phi) \quad 2.1$$

ในที่นี้ e คือค่าแรงดันของคลื่นพาหะใดๆ

A คือแอมพลิจูดสูงสุดของคลื่นพาหะ

$\omega$  คือความถี่เชิงมุม

t คือเวลา

$\phi$  คือเฟส

จากสมการข้างต้นจะเห็นได้ว่าคุณสมบัติประจำตัวของคลื่น ( รูปขายน้ ) ที่สำคัญมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดูเลต ได้คือ แอมพลิจูด (A) ความถี่เชิงมุม ( $\omega$ ) หรือ ความถี่ ( $f$ ) และเฟส( $\phi$ )

การมอดูเลตคลื่นพาหะแบ่งได้เป็น 3 แบบ คือ

- 1.มอดูเลตทางแอมพลิจูด( Amplitude Modulation :AM )
- 2.มอดูเลตทางความถี่( Frequency Modulation : FM )
- 3.มอดูเลตทางเฟส( Phase Modulation : PM )

ในทางปฏิบัติสัญญาณเอฟเอ็มกับสัญญาณพีเอ็มจะคล้ายคลึงกันมาก บางทีจึงเรียกรวมๆทั้ง เอฟเอ็มและพีเอ็มว่า การมอดูเลตเชิงมุม ( angle modulation ) กล่าวโดยสรุป การมอดูเลตแบ่งจริงๆเป็นสองแบบใหญ่ๆคือ เอเอ็ม และ เอฟเอ็ม

### 2.2.1 การมอดูเลตทางความถี่

รูปคลื่นของสัญญาณเอพเอ็มเกิดจากสัญญาณที่มอดูเลต ดังรูปที่ 2.2 เช่นสัญญาณเสียงซึ่งเป็นข่าวสาร เข้าไปมอดูเลตทางสัญญาณพาหะ สัญญาณพาหะหลังจากการมอดูเลตแล้วจะเป็นตามรูปที่ เป็นสัญญาณเอพเอ็มที่จะเห็นว่าที่เวลา  $t_0$  สัญญาณเอพเอ็มอยู่ที่ความถี่กลางเมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะจะเริ่มขึ้นสูงสุดนั่นคือสัญญาณมอดูเลตถึงจุดสุดยอด ที่เวลา  $t_1$

ที่เวลา  $t_2$  สัญญาณ มอดูเลตจะลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมา ที่ความถี่กลางดั้งเดิม หลังจากเวลาสัญญาณมอดูเลตมีค่าต่ำกว่าศูนย์กลายเป็นลบ พาหะจะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อสัญญาณมอดูเลตกลับมาเป็นศูนย์อีกครั้ง ความถี่ของพาหะจะกลับมาถึงความถี่กลางดั้งเดิม เช่น ในช่วงเวลา  $t_4$  ถึง  $t_5$  ก็จะซ้ำแบบเดิมไปเรื่อยๆ สรุปแล้วความถี่ของพาหะจะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณมอดูเลต และพาหะยังคงอยู่ที่ความถี่กลางเมื่อสัญญาณมอดูเลตเป็นศูนย์

ช่วงความถี่พาหะเบี่ยงเบนไปจากความถี่กลางเรียกว่า ความถี่เบี่ยงเบน ( Frequency deviation ) หรือ คิวอิเอ็น

รูปทั่วไปของสมการเอพเอ็ม

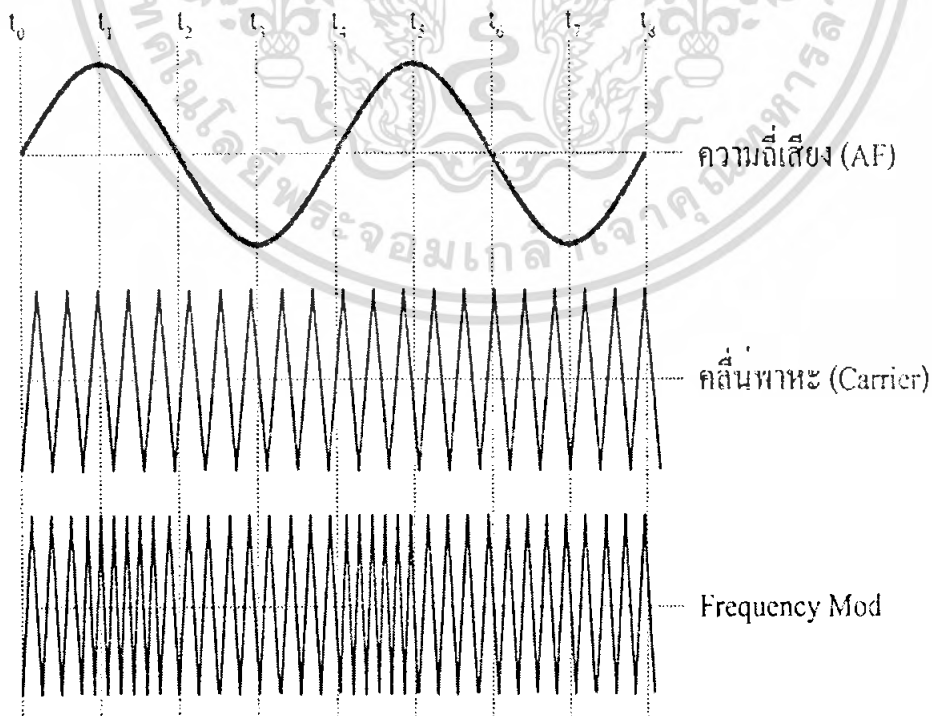
$$\text{สมการคลื่นพาหะ คือ } X_c = A_c \cos(\omega_c t) \quad 2.2$$

$$\text{สมการที่นำมามอดูเลต คือ } X_m = A_m \sin(\omega_m t) \quad 2.3$$

คลื่นพาหะจะเปลี่ยนแปลงไปรอบๆความถี่  $\omega$  ดังนั้น

$$\omega = \omega_c + \Delta \sin(\omega_m t) \quad 2.4$$

$$\text{สมการเอพเอ็มคือ } X_{(\omega)} = A_c \cos(\cos \omega_c t + \beta \sin(\omega_m t)) \quad 2.5$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 2.2 แสดงการมอดูเลตทางความถี่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวโดยสรุป สัญญาณเอฟเอ็มจะมีคุณสมบัติดังนี้

1. มีแอมพลิจูดคงที่ตลอดเวลาแต่ความถี่เปลี่ยนไปตามสัญญาณที่เข้ามามอดูเลต
2. อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะมีค่าเท่ากับความถี่ของสัญญาณที่เข้ามามอดูเลต
3. ช่วงความถี่เบี่ยงเบนเป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามามอดูเลต

### 2.2.1.1 ดัชนีการมอดูเลต

ในระบบเอฟเอ็ม ปริมาณการมอดูเลตเรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่นเอฟเอ็ม ทั้งด้านต่ำสุดและสูงสุด แต่ในระบบเอฟเอ็มเรารู้ค่าเปอร์เซ็นต์การมอดูเลต โดยดูจากการเปลี่ยนแปลงทางความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = f_d / f_m \quad 2.6$$

ในที่นี้  $f_d$  คือช่วงความถี่เบี่ยงเบน  
 $f_m$  คือความถี่ของสัญญาณที่เข้ามามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง ( แตกต่างจากเปอร์เซ็นต์การมอดูเลตและเมื่อคิดเป็นอัตราส่วนจะได้ระหว่าง ศูนย์ ถึง หนึ่ง ) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียงเอฟเอ็ม เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิร์ตซ์ สมมติเราใช้สัญญาณเสียง 1 กิโลเฮิร์ตซ์ มามอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ค่าดัชนีการมอดูเลตจะเป็น

$$m = 75 \text{ กิโลเฮิร์ตซ์} / 1 \text{ กิโลเฮิร์ตซ์} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลต ในระบบเอฟเอ็มขึ้นอยู่กับสัญญาณเสียงที่เข้ามามอดูเลต ในทางปฏิบัตินิยมวัดเป็นอัตราส่วนการเบี่ยงเบน ( Deviation ratio ) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบนสูงสุด (  $f$  ) ต่อความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลต (  $f$  ) ในระบบวิทยุกระจายเสียงเอฟเอ็มค่าอัตราส่วนการเบี่ยงเบนจะเท่ากับ

$$\Delta = f_d / f_{m \text{ max}} \quad 2.7$$

ในระบบเอฟเอ็มเมื่อเพิ่มแอมพลิจูดของสัญญาณ ที่เข้ามามอดูเลตเพื่อให้ เปอร์เซ็นต์การมอดูเลตสูงขึ้น การเปลี่ยนแปลงแอมพลิจูด(กรอบคลื่น) ของสัญญาณพาหะจะเปลี่ยนแปลงมากขึ้น แต่ในระบบเอฟเอ็มเมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง เอฟเอ็ม กำหนดให้ความถี่เบี่ยงเบนของช่องระบบเต็มที่ไม่เกิน 75 กิโลเฮิร์ตซ์ เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิโลเฮิร์ตซ์ ทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 กิโลเฮิร์ตซ์ แสดงว่าเรมอดูเลตเต็มที 100% ซึ่งเราเขียนเป็นสมการได้ดังนี้

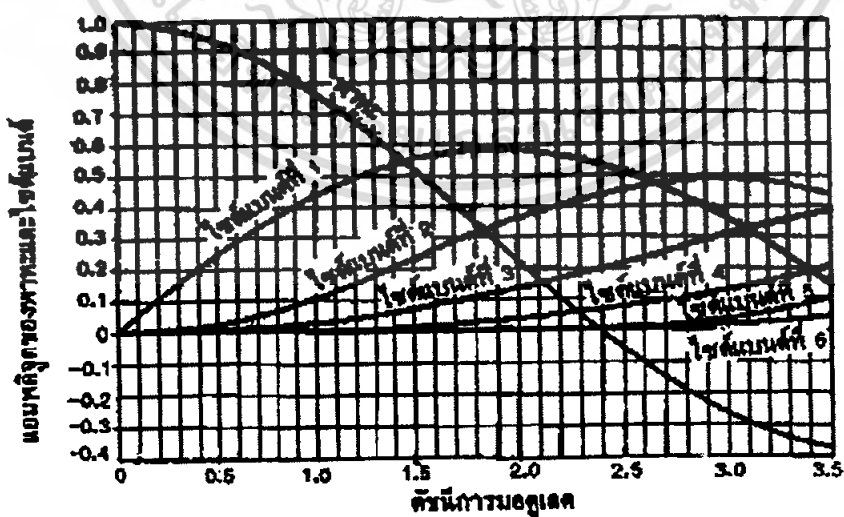
$$\text{เปอร์เซ็นต์การมอดูเลต} = (f_d / f_{m \max}) \times 100 \quad 2.8$$

เมื่อ  $f_d$  คือความถี่เบี่ยงเบนเนื่องจากสัญญาณที่เข้ามามอดูเลต  
 $f_{m \max}$  คือ ความถี่เบี่ยงเบนของระบบสูงสุด

### 2.2.1.2 ไซด์แบนด์เอฟเอ็ม

ความแตกต่างของระบบเอฟเอ็มกับเอเอ็มที่เห็นได้ชัด คือ ไซด์แบนด์ ในระบบเอเอ็มถ้าเรมอดูเลตด้วยสัญญาณรูปคลื่นไซน์ จะเกิดไซด์แบนด์ จำนวน 2 ตัวคือ USB และ LSB แต่ในระบบเอฟเอ็มถ้าเรมอดูเลตด้วยสัญญาณรูปไซน์จะเกิดไซด์แบนด์จำนวนอนันต์ เนื่องจากการเบี่ยงเบนของความถี่พาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่ห่างจากความถี่กลางมากมกจะมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง

ในระบบเอเอ็มไซด์แบนด์อาจเสริมหรือหักล้างจากพาหะที่มีแอมพลิจูดคงที่ซึ่งมีผลให้กรอบคลื่นของพาหะเปลี่ยนแปลง แต่ในระบบเอฟเอ็ม สัญญาณเอฟเอ็มจะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบเอฟเอ็มขึ้นอยู่กับดัชนีการมอดูเลต เนื่องจากค่าดัชนีการมอดูเลตเป็นตัวกำหนดของไซด์แบนด์ที่สำคัญและแอมพลิจูดของไซด์แบนด์ตามรูปที่ 2.3 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆจะเห็นว่าค่าดัชนีการมอดูเลตเป็นศูนย์ จะมีแค่คลื่นพาหะอย่างเดียว คลื่นไซด์แบนด์เป็นศูนย์



รูป 2.3 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อดัชนีการมอดูเลตเพิ่มขึ้น จำนวนแอมพลิจูดของไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ตอนนี้ กำลังของคลื่นเอฟเอ็มจะอยู่ในไซด์แบนด์ทั้งสิ้นเมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก คลื่นพาหะจะมีค่าเพิ่มขึ้นอีก(เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรก เช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ 0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีหลายจุด

### 2.2.1.3 เอฟเอ็มแบนด์แคบ

ในการส่งสัญญาณต่างๆ จำเป็นที่เราจะต้องรู้ว่า สัญญาณนั้นมีอุปกรณ์อยู่ในช่วงความถี่เท่าใดเพื่อที่จะได้เลือกใช้กับตัววางที่มีแบนด์วิดท์เหมาะสมในการส่งสัญญาณนั้น การพิจารณาแบนด์วิดท์ของสัญญาณเมื่อ  $m(t)$  เป็นสัญญาณข่าวสารทั่วไปนั้นทำได้ลำบาก เพราะการมอดูเลตความถี่นั้นไม่ใช่การมอดูเลตชนิดเชิงเส้นเหมือนสัญญาณเอเอ็ม การพิจารณา  $m(t)$  ในกรณีที่เป็นสัญญาณรูปไซน์ความถี่เดียวนั้นแม้จะไม่ทำให้เราเข้าใจเกี่ยวกับคุณสมบัติที่แท้จริงของการมอดูเลตแบบเอฟเอ็มได้ทั้งหมดแต่ก็จะทำให้พอที่จะอนุมานเกี่ยวกับเรื่องนี้ได้ ดังนั้น เราพิจารณาเรื่องนี้ให้เป็นพื้นฐาน โดยสมมติให้

$$m(t) = \cos(\omega_m t) \quad 2.9$$

ในกรณีนี้  $m(t)$  จะไปทำให้คลื่นความถี่ช่วงของ  $\phi$  เปลี่ยนไปจากค่าความถี่  $\omega_c$

$$\Delta\omega_{1(t)} = ak_f \cos(\omega_m t) \quad 2.10$$

เนื่องจากค่า  $\cos(\omega_m t)$  มีค่ามากที่สุดที่  $t$  ดังนั้น การเบี่ยงเบนความถี่จาก  $\omega_c$  มากที่สุดก็คือ  $\Delta\omega$  จะมีค่า

$$\Delta\omega = ak_f \quad 2.11$$

ค่า  $\Delta\omega$  นี้มีชื่อเรียกว่า ค่าความถี่เบี่ยงเบนสูงสุด (Peak frequency deviation) ค่าความถี่ช่วงของ  $\omega_{1(t)}$  ของ  $\phi(t)$  ที่เวลาใดๆ จะมีค่าเป็น

$$\omega_{1(t)} = \omega_c \Delta\omega \cos(\omega_m t) \quad 2.12$$

เมื่อเอาสมการมารวมกันจะได้ว่า

$$\begin{aligned} \phi_{FM(t)} &= A_c \cos(\omega_c t + \left(\frac{\Delta\omega}{\omega_m}\right) \sin(\omega_m t)) \\ &= A_c \cos(\omega_c t + \beta \sin(\omega_m t)) \end{aligned} \quad 2.13$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดให้

$$\beta = \left( \frac{\Delta\omega}{\omega_m} \right) \quad 2.14$$

และค่าที่จะได้เห็นต่อไป ค่า  $\beta$  ค่านี้มีความสำคัญในการกำหนดแบนด์วิดท์เราพบว่า ค่า SNR ที่เกิดในการมอดูเลตสัญญาณเอฟเอ็มขึ้นอยู่กับ  $\beta$  ด้วย ดังนั้นจึงได้มีการกำหนดให้ค่า  $\beta$  นี้เป็นตัวชี้คุณสมบัติของสัญญาณเอฟเอ็มที่เรียกว่า ดัชนีการมอดูเลต (modulation index) ของสัญญาณเอฟเอ็ม

การสร้างสัญญาณเอฟเอ็มแบบแคบแสดงตามรูป ข้อดีของการสร้างสัญญาณเอฟเอ็มชนิดนี้คือ ออสซิลเลเตอร์ที่ใช้ในระบบเป็นแบบที่ผลิตความถี่ที่  $\omega_c$  เพียงค่าเดียว ดังนั้น จึงทำให้ระบบการผลิตสัญญาณ เอฟเอ็มแบบแคบนี้ ถูกสร้างให้มีเสถียรภาพทางความถี่ได้ง่าย เพราะสามารถใช้ออสซิลเลเตอร์ผลึกได้

#### 2.2.1.4 เอฟเอ็มแบบกว้าง

เพื่อให้รู้แนวโน้มของการเกิดสเปกตรัมของสัญญาณเอฟเอ็มที่ใช้ค่าดัชนีการมอดูเลต  $\beta$  มีค่ามาก เราจะพิจารณาค่าความสัมพันธ์ของ  $\phi_{FM(t)}$  ซึ่งเกิดจากสัญญาณข่าวสาร  $m(t)$  ซึ่งมีลักษณะเป็นคลื่นรูปซายน์ เราสามารถแทนได้ในรูปของแบนด์วิดท์เชิงซ้อน ดังต่อไปนี้

$$\phi_{FM(t)} = \text{Re}[A_c e^{j(\omega_c t + \beta \sin(\omega_c t))}] \quad 2.15$$

เราเห็นว่า  $e^{j\beta \sin(\omega_c t)}$  เป็นสัญญาณเชิงซ้อนที่มีคาบเวลา ซึ่งมีค่าความถี่มูลฐานคือ  $\omega_m$  ดังนั้นเราจึงสามารถที่จะกระจายมันออกอยู่ในรูปอนุกรมฟูเรียร์ ที่มีฮาร์โมนิกต่างๆกันได้คือ

$$e^{j\beta \sin(\omega_c t)} = \sum_{n=-\infty}^{\infty} F_n e^{jn\omega_m t} \quad 2.16$$

โดย  $F_n$  คือค่าสัมประสิทธิ์ ของอนุกรมฟูเรียร์ ซึ่งหาได้โดยอาศัย

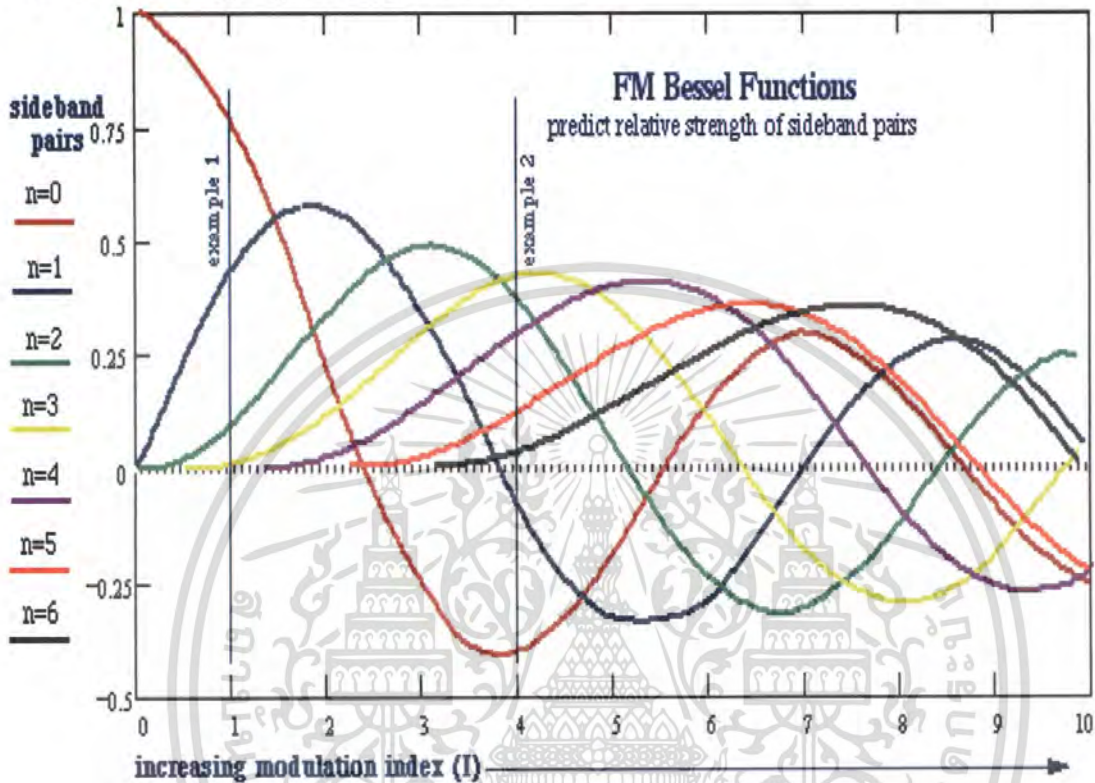
$$F_n = \frac{1}{T} \int_{-T/2}^{T/2} e^{j(\beta \sin \omega_m t)} e^{-jn\omega_m t} dt \quad 2.17$$

โดยอาศัยการเปลี่ยนแปลงค่าตัวแปร  $x = \omega_m t = \frac{2\pi t}{T}$  จะได้

$$F_n = \frac{1}{T} \int_{-T/2}^{T/2} e^{j(\beta \sin x - nx)} dx = j_n(\beta) \quad 2.18$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราไม่สามารถหาคำตอบในรูปฟังก์ชันสำเร็จได้ คงต้องใช้วิธีการหาค่าเชิงตัวเลข ซึ่งมีการสรุปเป็นกราฟ หรือตารางไว้ ค่า  $F_n$  ตามรูปจะเป็นฟังก์ชันของ  $j_n$  ซึ่งค่าทำการปรีพรีชันในรูปแบบนี้มีชื่อเรียกว่า ฟังก์ชันของเบสเซลชนิดที่หนึ่ง (Bessel function of the first kind) ลำดับที่  $n$  ของตัวแปร  $B$  จึงใช้สัญลักษณ์แทนด้วย  $j_n(B)$  รูปร่างฟังก์ชัน  $j_n(B)$  แสดงตามรูป 2.4



รูปที่ 2.4 ฟังก์ชันเบสเซลชนิดหนึ่งที่  $j_n(B)$

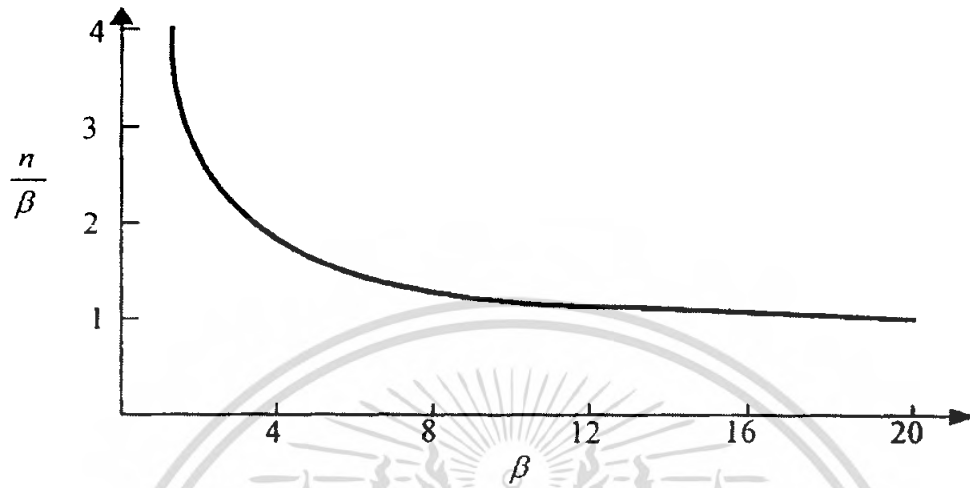
1.  $j_n(B)$  มีค่าจริง
2.  $j_n(B) = j_{-n}(B)$  เมื่อ  $n$  เป็นเลขคู่
3.  $j_n(B) = -j_{-n}(B)$  เมื่อ  $n$  เป็นเลขคี่
4.  $j_{-n}(-B) = j_n(B)$

นำค่ามาจัดสมการจะได้ว่า

$$\begin{aligned} \Phi_{FM(t)} &= \text{Re } A_c e^{j\omega_c t} + \sum_{n=1}^{\infty} j_n(B) e^{jn\omega_m t} \\ &= A_c \sum_{n=-\infty}^{\infty} j_n(B) \cos[(\omega_c + n\omega_m)t] \end{aligned} \tag{2.19}$$

จะเห็นได้ว่า สเปกตรัมของ  $\Phi_{FM(t)}$  นั้นกระจายออกไปบนแกนความถี่ไม่มีสิ้นสุด ซึ่งหมายความว่า แบนด์วิดท์ของสัญญาณเอ็ฟเอ็มตามทฤษฎีนั้น มีค่าอนันต์ แต่อย่างไรก็ตามเมื่อพิจารณาให้ลึกลงไป จะเอกสารนี้เป็นเอกสารที่ส่งมอบให้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่บนสื่อออนไลน์ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่า  $j_n(\beta)$  ลดลงอย่างรวดเร็วเมื่อ  $n > \beta$  โดยเฉพาะอย่างยิ่งเมื่อค่า  $\beta$  มีค่ามาก ดังนั้นจึงทำให้เราทราบว่าแบนด์วิดท์ของสัญญาณเอฟเอ็มนั้น อยู่ในช่วงความถี่ที่จำกัดที่ค่าของ  $\beta$  ไม่หายไปเท่านั้น

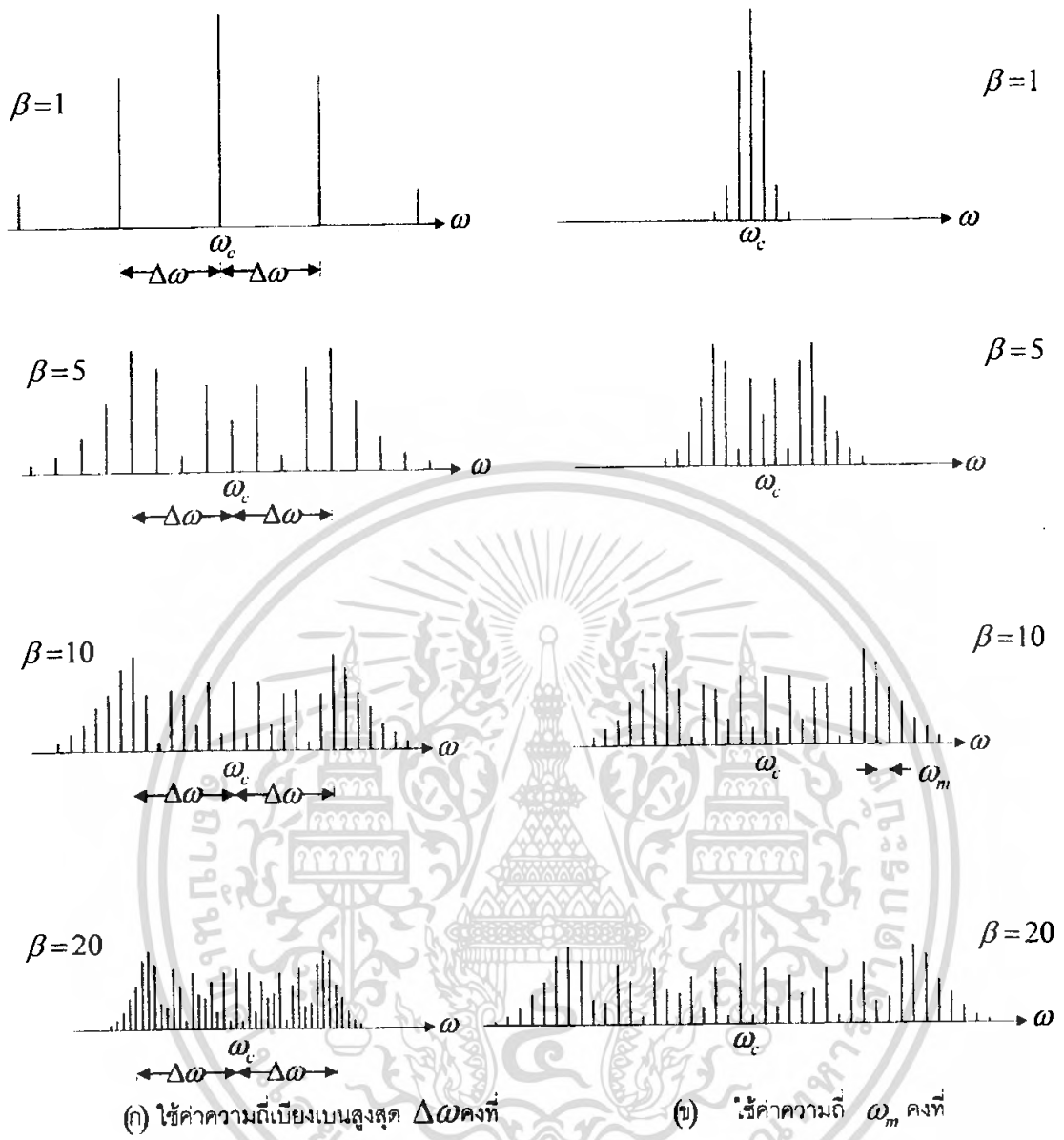


รูปที่ 2.5 แสดงความสัมพันธ์ระหว่างค่า  $\beta$  และค่า  $n$  ที่ทำให้ค่า  $j_n(\beta) < \text{หรือเท่ากับ } 0.01$

ทำให้ค่า  $j_n(\beta) < 0.01$  ซึ่งจะเห็นได้ว่าค่า  $n$  มีค่าเข้าใกล้ 1 หรือ  $n$  ประมาณเท่ากับ  $\beta$  เมื่อ  $\beta$  มีค่ามาก คุณสมบัติแบบนี้ให้สรุปได้ว่า แถบข้างที่มีนัยสำคัญคือ แถบข้างที่มีขนาดเกิน 1% ของขนาดคลื่นพาห์ที่ยังไม่มีการมอดูเลตแล้ว แบนด์วิดท์ที่มีนัยสำคัญของสัญญาณ เอฟเอ็ม จะมีไซด์แบนด์ตัวท้ายสุดในแบนด์วิดท์ที่เกิดขึ้นที่  $n = \beta$  เมื่อ  $\beta$  มีค่ามาก เพราะฉะนั้น ถ้าคิดโดยนัยสำคัญโดยที่สนะดังกล่าวแล้ว จะพบว่า ค่าแบนด์วิดท์ (BW) ของสัญญาณเอฟเอ็มจะมีค่าประมาณดังต่อไปนี้

$$BW = 2n\omega_m \quad 2.20$$

เมื่อ  $\beta$  มีค่าน้อยมากๆ นั้น ซึ่งในกรณีเอฟเอ็มแบนด์แคบ เราสังเกต จากรูปที่ 2.6 ได้ว่า ขนาดของ  $j_n(\beta)$  ที่มีนัยสำคัญเพียง  $j_0(\beta)$  และ  $j_1(\beta)$  จะเห็นได้ว่ามันจะมีค่าแบนด์วิดท์เท่ากับค่าที่ทราบกันมาแล้ว



รูปที่ 2.6 ภาพสเปกตรัมชนิดเชิงเส้นของสัญญาณเอฟเอ็มซึ่งมอดูเลตด้วยสัญญาณทดสอบรูปซายน์

$$BW = 2\Delta\omega \text{ เมื่อ } \beta \text{ มีค่ามาก} \tag{2.21}$$

$$BW = 2\omega_m \text{ เมื่อ } \beta \text{ มีค่าน้อย} \tag{2.22}$$

เพื่อสรุปสูตรในการหาค่าแบนด์วิธของสัญญาณเอฟเอ็ม สำหรับการมอดูเลตสัญญาณรูปซายน์ ความถี่เดียว หรือที่นิยมเรียกกันว่า โทนมอดูเลชัน (tone modulation) นั้น คาร์สันได้เสนอสูตรจากการประสมผสานสูตรต่อไปนี้

$$BW = 2(\Delta\omega + \omega_m) \tag{2.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดสมการใหม่ได้เป็น

$$BW = 2\omega_m(\beta + 2) \quad 2.24$$

สำหรับข่าวสารโดยทั่วไปมีรายงานว่ากฎนี้ใช้ได้ดีเมื่อ  $\Delta\omega \ll \omega_m$  เมื่อ  $\Delta\omega \ll \omega_m$  ไม่เป็นจริง ในกฎอเฟเอ็มเบนดักกว้างหรือปานกลางได้มีการเสนอว่า ควรใช้

$$BW = 2(\Delta\omega + \omega_m) \quad 2.25$$

หรือ

$$BW = 2\omega_m(\beta + 2) \quad 2.26$$

จะให้ผลที่มีประสิทธิผลกว่าผลลัพธ์จากกฎของคาร์สัน ดังนั้น ได้มีการสรุปสูตรที่มีความยืดหยุ่นว่า แบนด์วิดท์โดยนัยสำคัญของสัญญาณอเฟเอ็มจะมีค่าคำนวณได้ตามสูตร

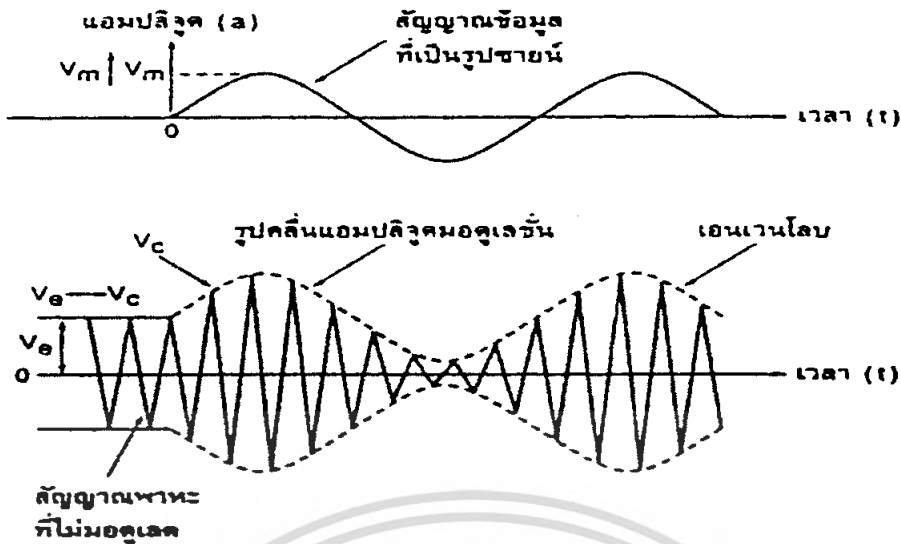
$$BW = 2f_m(\beta + k) \quad 2.27$$

โดยเมื่อ  $k = 1$  เมื่อ  $\beta$  มีค่าน้อยและเมื่อ  $k = 2$  เมื่อ  $\beta$  มีค่ามาก และถ้าเราคิดว่า  $\omega_m$  คือค่าแบนด์วิดท์ของสัญญาณข่าวสาร เราจะพบว่าค่าแบนด์วิดท์แปลงเป็นค่าแบนด์วิดท์ในหน่วยของเฮิรตซ์ได้ดังนี้คือ

$$BW = 2f_m(\beta + k) \quad 2.28$$

### 2.2.2 การมอดูเลชันทางแอมพลิจูด (Amplitude Modulation)

แอมพลิจูดมอดูเลชันเป็นวิธีการคิดค้นในบรรดาเทคนิคการมอดูเลชันอื่นๆ เป็นการนำสัญญาณสองชุดมาผสมกัน โดยชุดแรก เป็นข้อมูล หรือเสียงที่ต้องการส่ง สัญญาณที่สอง เป็นสัญญาณพาหะแอมพลิจูดโมดูลชันเป็นการนำสัญญาณข้อมูลมาปรับเปลี่ยนขนาดของแอมพลิจูดของสัญญาณพาหะ โดยที่ความถี่ของสัญญาณพาหะ ไม่มีการเปลี่ยนแปลง ในที่นี้สมมุติว่าสัญญาณข้อมูลที่ต้องการนำมามอดูเลตมีความถี่ค่าหนึ่ง คือ  $f_s$  และสัญญาณ ข้อมูลที่เป็นพาหะมีความถี่อีกค่าหนึ่ง คือ  $f_c$  ผลลัพธ์จากการมอดูเลชันจะเป็นดังรูปที่ 2.7



รูปที่ 2.7 แสดงสัญญาณข้อมูล สัญญาณพาหะ และสัญญาณที่ได้จากการมอดูเลต

จากรูปที่ 2.7 เส้นประเกิดจากการต่อของแอมพลิจูดสัญญาณผลลัพธ์ จะมีชื่อเรียกว่า เอนเวนโพล (Envelope) ซึ่งมีลักษณะเช่นเดียวกับคลื่นของ  $f_s$  ลักษณะของสัญญาณที่ได้รับจากการทำแอมพลิจูดมอดูเลชันสัญญาณรูปซายนั่น โดยปกติสามารถอธิบายได้ด้วยสมการนี้

$$v = V \sin(2\pi f t) \quad 2.29$$

เมื่อกำหนดให้

$V_s$  = แอมพลิจูดสูงสุดของสัญญาณรูปซายนี ความถี่  $f_s$  เป็นความถี่ความถี่มีหน่วยเป็นวัตต์

$v_c$  = แอมพลิจูดของสัญญาณรูปซายนีความถี่  $f_c$  เป็นความถี่ความถี่มีหน่วยเป็นวัตต์

$V_c$  = แอมพลิจูดสูงสุดของสัญญาณ รูปซายนี ความถี่  $f_c$  เป็นความถี่ความถี่มีหน่วยเป็นวัตต์

$t$  = เป็นเวลาใดๆมีหน่วยเป็นวินาที

จะได้ว่าสัญญาณ

$$v_s = V_s \sin(2\pi f_s t) \quad 2.30$$

$$v_c = V_c \sin(2\pi f_c t) \quad 2.31$$

ข้อสังเกตค่าของแอมพลิจูดสูงสุดของความถี่สัญญาณข้อมูลไม่ควรมากกว่าแอมพลิจูดสูงสุดของความถี่สัญญาณพาหะ (Carrier) มิฉะนั้นจะเกิดการบิดเบี้ยวของสัญญาณข้อมูลได้ หลังจากการทำมอดูเลชันหากค่าแอมพลิจูดของสัญญาณข้อมูลสูงกว่าของสัญญาณพาหะมากๆ จะเรียกได้ว่าการโอเวอร์มอดูเลชัน (Over modulation) และความสัมพันธ์ของค่าความถี่ของสัญญาณทั้งสองนั้นมีการคำนวณค่าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดขึ้นเรียกว่า ดัชนีการมอดูเลต (Modulation index บางครั้งมีชื่อเรียกว่า Modulation Factor, Modulation Coefficient, Degree of Modulation) ซึ่งเป็นอัตราส่วนระหว่างค่าความต่างศักย์ของสัญญาณข้อมูลกับความต่างศักย์ของสัญญาณพาหะดังสมการ ข้างล่างนี้

$$m = V_s/V_c \quad 2.32$$

ค่าดัชนีการมอดูเลชัน (Modulation index) จะอยู่ในช่วง  $0 < m < 1$  เพราะหาก  $m$  มากกว่า 1 จะเกิดโอเวอร์มอดูเลชัน (Overmodulation) และนิยามคุณ 100 เข้าไปเพื่อแสดงค่าเป็นเปอร์เซ็นต์การมอดูเลชัน

จากรูปคลื่นผลลัพธ์ทำให้พอสรุปได้ว่าความต่างศักย์ที่เวลาใดๆ ของสัญญาณเกิดจากผลรวมของค่าแอมพลิจูดสูงสุดของสัญญาณพาหะกับค่าแอมพลิจูดที่เวลาใดๆ ของสัญญาณข้อมูล จะได้ค่าตามสมการข้างล่างนี้

$$v_1 = V_c + V_s \quad 2.33$$

$$v_1 = V_c + V_s \sin(2\pi f_s t) \quad 2.34$$

ค่าของ  $v_1$  เป็นค่าแอมพลิจูดของสัญญาณผลลัพธ์ตามที่เรียกว่าเอนเวเนลโลป (Envelope) ดังนั้นสมการที่แสดงถึงรูปผลลัพธ์ คือ

$$v_2 = v_1 \sin(2\pi f_c t) \quad 2.35$$

$$v_2 = [V_c + V_s \sin(2\pi f_s t)] \sin(2\pi f_c t)$$

$$= V_c \sin(2\pi f_c t) + V_s \sin(2\pi f_s t) \sin(2\pi f_c t)$$

หากพิจารณาสมการจะได้ว่า สัญญาณพาหะ + (สัญญาณข้อมูล  $\times$  สัญญาณพาหะ)

นั่นคือ ส่วนแรกจะเป็นสัญญาณพาหะ และส่วนที่สองจะเป็นผลคูณของสัญญาณพาหะและสัญญาณข้อมูล ดังนั้นวงจรที่จะนำมาใช้สร้างแอมพลิจูดมอดูเลชันจะต้องเป็นวงจรคูณสัญญาณ มีชื่อเรียกว่าวงจรสำหรับทำเอเอ็มว่า มอดูเลเตอร์และจากสูตรตรีโกณมิติที่ผลคูณของซายน์

$$\sin A \sin B = \cos \frac{1}{2} (A-B) - \cos \frac{1}{2} (A+B) \quad 2.36$$

$$V_2 = V_c \sin(2\pi f_c t) + \frac{1}{2} V_s \cos 2\pi f t (f_c - f_s) - \frac{1}{2} V_s \cos 2\pi t (f_c + f_s) \quad 2.37$$

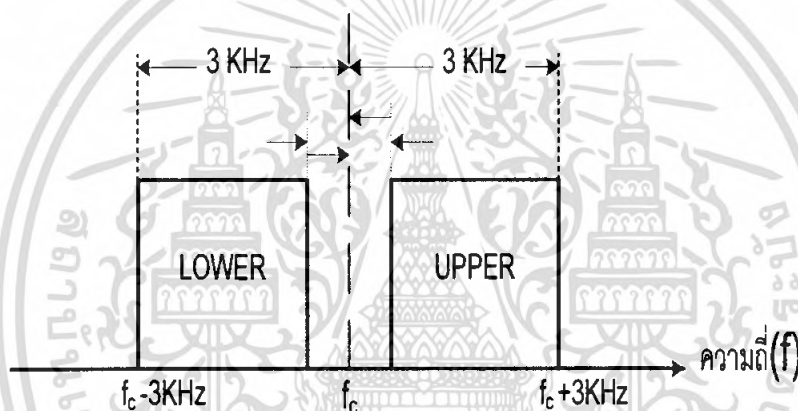
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นชี้ให้เห็นว่าผลที่ได้จากการทำ Amplitude Modulation จะได้สัญญาณที่มีความถี่ใกล้เคียงสัญญาณพาหะออกมาด้วยเป็นสัญญาณที่มีความถี่ต่ำและสูงกว่าความถี่พาหะเรียกว่า ไซด์แบนด์ หรือไซด์ฟริควเอนซี(Sidebands or Side Frequency)

$$f_{\text{USB}} = \text{Upper sidebands frequency} = f_c + f_s$$

$$f_{\text{LSB}} = \text{Lower sidebands frequency} = f_c - f_s$$

จากการวัดด้วยออสซิลโลสโคป (Oscilloscope) สัญญาณที่ได้จะไม่สามารถแยกได้ว่ามีความถี่ข้างเคียงเกิดขึ้นด้วย แต่ถ้าใช้เครื่องมือสเปกตรัมอานาไลเซอร์ (spectrum analyzer) วิเคราะห์สัญญาณของแอมพลิฟายเออร์ จะได้รับกราฟของไซด์แบนด์โดเมน(frequency domain)



รูปที่ 2.8 สัญญาณแอมพลิฟายเออร์ในแกนความถี่

จากรูปที่ 2.8 ทำให้เราทราบว่าสัญญาณที่เกิดจากการมอดูเลตจะมีความถี่ใกล้เคียงเกิดขึ้นด้วยทั้งด้านบนและด้านล่างของความถี่พาหะ และจะได้ว่า AM ใช้ความกว้างของแถบสัญญาณ หรือที่เรียกว่า Bandwidth เป็นจำนวนสองเท่าของความถี่สูงสุดของสัญญาณข้อมูล ถ้าหากสัญญาณข้อมูลมีความถี่  $f_s = 5 \text{ kHz}$  จะได้ว่าต้องใช้แบนด์วิดท์เท่ากับ  $10 \text{ kHz}$  สำหรับสัญญาณ AM

เมื่อพิจารณาถึงกำลัง (Power) ที่ส่งออกอากาศ จะประกอบด้วยกำลังของคลื่นพาหะบวกกับกำลังของคลื่นข้างเคียงทั้งสองด้าน เนื่องจากกำลังส่งของคลื่นข้างเคียงทั้งสองด้านมีค่าขึ้นอยู่กับค่าของดัชนีมอดูเลชัน และค่ากำลังส่งของไซด์แบนด์มีค่าดังนี้

$$P_{(\text{LSB})} = P_{(\text{USB})} = P_c(m)^2/4 \quad 2.38$$

เมื่อ

- $P_c$  = ค่ากำลังส่งของสัญญาณพาหะ
- $P_{(LSB)}$  = ค่ากำลังส่งของสัญญาณด้านที่ต่ำกว่าสัญญาณพาหะ
- $P_{(USB)}$  = ค่ากำลังส่งของสัญญาณด้านที่สูงกว่าสัญญาณพาหะ

จากสมการของกำลังข้างต้นทำให้ทราบว่ายิ่งเปอร์เซ็นต์มอดูเลชันมีค่ามากเท่าไร กำลังส่งของสัญญาณข้างเคียงจะสูงมากขึ้น ทำให้การรับและการส่งสัญญาณดีขึ้น

แม้ว่า AM จะมีความง่ายและได้ผลที่วิธีหนึ่งแต่ก็เป็นการส่งสัญญาณที่ไม่ค่อยมีประสิทธิภาพ หากพิจารณาจากกำลังทั้งหมด เมื่อ  $P_t$  = กำลังส่งสัญญาณทั้งหมด

$$P_t = P_c + P_{(LSB)} + P_{(USB)} \tag{2.39}$$

$$P_t = P_c + P_c(m)^2/4 + P_c(m)^2/4$$

ที่  $m = 1$  หรือ 100% มอดูเลชันจะได้สัญญาณ Sidebands ที่มีกำลังสูงสุด

$$P_t = P_c + P_c/2 \tag{2.40}$$

หากกำลังส่งของสัญญาณพาหะเป็น 100 watt กำลังส่งของสัญญาณไซด์แบนด์ จะมีค่า 50 watt จากผลรวมทั้งหมด 150 watt ซึ่งเป็นสัญญาณข้อมูลเพียง 50 watt มีการสูญเสียไปกับกำลังส่งของสัญญาณพาหะถึง สองในสามของพลังงานทั้งหมด ซึ่งเรียกกันว่าซัพเพรสชัน (Suppression) ทำให้สัญญาณที่ได้มีเฉพาะไซด์แบนด์ สัญญาณ AM ที่มีการเอาสัญญาณพาหะออก เรียกว่า ดับเบิลไซด์แบนด์ซัพเพรสส์แคร์เรียร์ (Double sideband suppressed carrier : DSSC หรือ DSB) วงจรที่ใช้ในการสร้างสัญญาณ DSB เรียกว่าบาลานซ์มอดูเลเตอร์(Balanced Modulator) ด้วยการใช้นี้ DSB จะทำให้กำลังถูกใส่ลงในสัญญาณ Sideband ได้มากขึ้น

และหากพิจารณาต่อไปอีกจะพบว่าสัญญาณข้อมูลนั้นมีอยู่ข้างกันทั้งความถี่ด้านบน(Upper sideband) และความถี่ด้านล่าง (Lower sideband) จึงมีการคิดค้นให้ส่งสัญญาณเพียงสัญญาณข้างเดียวด้านเดียว เรียกว่า ซิงเกิลไซด์แบนด์ซัพเพรสส์แคร์เรียร์(Single sideband suppressed carrier : SSSC หรือ SSB) เมื่อมีการใช้สัญญาณเพียงข้างเดียวทำให้สามารถประหยัดการครอบครองความถี่ (Spectrum) ไปได้ครึ่งหนึ่งจากเดิมที่สัญญาณเอเอ็มต้องการใช้

ทั้ง DSB และ SSB มีประสิทธิภาพที่มากกว่าในแง่ของกำลังส่งที่ใช้ เนื่องจากมีการประหยัดกำลังส่งของสัญญาณพาหะ ทำให้สามารถนำกำลังส่งไปใส่เพิ่มในไซด์แบนด์ได้

## 2.3 วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์เป็นวงจรชนิดหนึ่งที่ใช้ทรานซิสเตอร์ หรือหลอดสุญญากาศในการให้กำเนิดสัญญาณไฟสลับขึ้นมาที่เอาต์พุต โดยพื้นฐานแล้ววงจรออสซิลเลเตอร์ก็คือ วงจรขยายสัญญาณหรือวงจรแอมพลิไฟเออร์นั่นเอง แต่ข้อแตกต่างจะอยู่ที่วงจรออสซิลเลเตอร์ประกอบด้วยสัญญาณป้อนกลับจากเอาต์พุตไปยังอินพุต ซึ่งทำให้ สามารถให้กำเนิดสัญญาณเอาต์พุตออกมาได้โดยไม่ต้องมีสัญญาณป้อนกลับมาจากอินพุตแต่อย่างใด และคุณสมบัติที่คิขของวงจรออสซิลเลเตอร์คือ การให้กำเนิดสัญญาณแบบเดียวกัน เช่น การให้กำเนิดสัญญาณแรงดันไฟฟ้าหรือกระแสไฟฟ้าที่มีค่าเปลี่ยนแปลงอยู่รอบๆค่ากลางค่าหนึ่ง เช่น คลื่นไซน์ (Sine wave) วงจรออสซิลเลเตอร์ที่นิยมใช้กันมากได้แก่ วงจรจูน RF ออสซิลเลเตอร์ (Tune RF Oscillator)

### 2.3.1 ความถี่ออสซิลเลเตอร์

ในวงจรออสซิลเลเตอร์แบบจูน RF สัญญาณที่เอาต์พุตจะต้องมีความถี่เรโซแนนซ์ ของวงจร LC ซึ่ง

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad 2.41$$

สำหรับที่ใช้ในทางปฏิบัติในวงจร RF โดยที่ L มีขนาดเป็นไมโครเฮนรี่ ( $\mu\text{H}$ ) C มีขนาดเป็นพิโคฟารัด (pF) จะได้ความถี่ของ  $f_r$  มีหน่วยเป็นเมกะเฮิร์ตซ์ ในวงจรที่มีเสถียรภาพดีๆ นั้นวงจรจูนควรจะต้องมีค่า Q สูง เพื่อป้องกันการเลื่อนของสัญญาณ นอกจากนี้ทั้ง L และ C ยังจะต้องมีคุณภาพที่ดี นั่นคือมีค่าคงที่แม้ว่าอุณหภูมิจะเปลี่ยนไปก็ตาม และการปรับปรุงให้แหล่งจ่ายไฟ มีเอาต์พุตที่คงที่ตลอดเวลา เป็นการช่วยปรับปรุงเสถียรภาพของความถี่ได้อีกทางหนึ่ง

### 2.3.2 ออสซิลเลเตอร์แบบควบคุมด้วยแรงดันไฟฟ้า (Voltage control oscillator)

โดยทั่วไปจะเรียกสั้นๆว่า VCO : Voltage control oscillator เป็นวงจรที่ใช้สำหรับปรับแต่งความถี่ของวงจรออสซิลเลเตอร์ ซึ่งวิธีที่ใช้คือ ใช้ คาปาซิทีฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแคป (Varicap) หรือ วาเรคเตอร์ คุณสมบัติของไดโอดชนิดนี้คือค่า คาปาซิแทนซ์ จะแปรผันตามแรงดันไฟฟ้าวีร์ส ที่ป้อนให้กับตัวมันเองนั้น เมื่อค่อวาเรคเตอร์คร่อม L ในวงจรจูนออสซิลเลเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดัน ไฟฟ้าที่ตกคร่อม ไดโอด

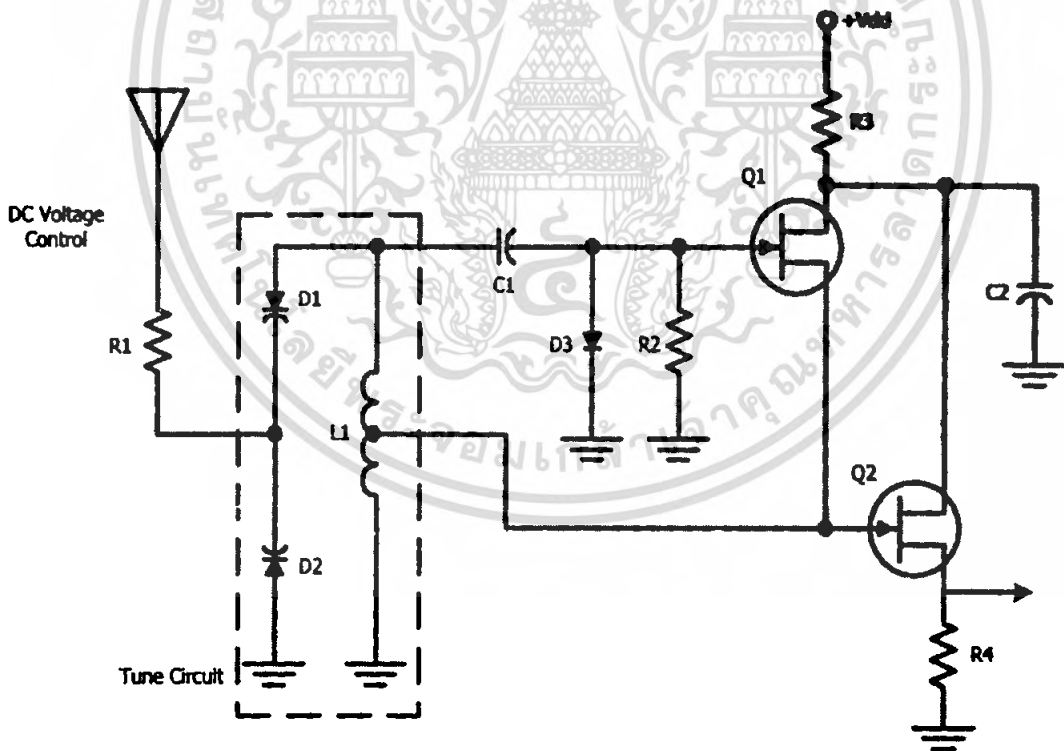
#### 2.3.2.1 วาเรคเตอร์ไดโอด

รอยต่อ PN เมื่อถูกป้อนกลับด้วยแรงดันไฟฟ้าวีร์สจะทำให้มีคุณสมบัติขั้วได้ P และ N อิเล็กโตรดเปรียบได้กับแผ่นที่ประกบกันอยู่โดยมีย่านปลอดประจุของรอยต่อแทรกอยู่ ซึ่งย่านปลอดประจุนี้เสมือนแถบต้านทาน เพราะไม่มีประจุไฟฟ้าอิสระใดๆ เคลื่อนที่ผ่านไปได้ ค่าคาปาซิแทนซ์มีค่าประมาณ

80 พิโคฟารัด หรือสูงกว่าสำหรับแรงดันไฟฟารีเวิร์สที่ป้อนเท่ากับ +6V ข้อสำคัญที่ต้องสังเกตคือค่าคาปาซิแทนซ์ C จะเปลี่ยนแปลงไปตามขนาดของแรงดันไฟฟารีเวิร์สที่ป้อน

### 2.3.2.2 วงจร VCO

วงจร VCO ได้แสดงไว้ดังรูปที่ 2.10 ทรานซิสเตอร์ Q1 ทำหน้าที่เป็นออสซิลเลเตอร์วงจรรูปประกอบไปด้วยแท็ปคอยล์ L1 ต่อคร่อมคาปาซิทีฟไดโอด D1 และ D2 โดยขั้วคาโรคของไดโอดทั้งคู่จะมีการควบคุมระดับแรงดัน ไฟตรง สำหรับแรงดันไฟฟารีเวิร์ส ที่ป้อนเข้ามาทางคาโรค เพื่อไฟควบคุมการเปลี่ยนแปลงค่า C<sub>v</sub> ซึ่งการควบคุมคาปาซิแทนซ์ในลักษณะนี้ก็เพื่อควบคุมความถี่ของออสซิลเลเตอร์และเหตุผลที่ต้องต่อไดโอดสองตัว อนุกรมกันก็เพื่อให้เกิดความสมดุลของผลกระทบแรงดันไฟฟ้าของออสซิลเลเตอร์ที่มีไดโอดเข้าที่พุดของวงจรออสซิลเลเตอร์จะจ่ายออกที่ซอร์สโวลเทจของ Q1 และถูกคัปปลิงโดยตรงไปยังขาเกตของ Q2 โดยเข้าที่พุดจะออกจากขาซอร์สในวงจรซอร์สพอลโลเวอร์ ซึ่งเทียบเท่ากับกับคุณสมบัติของวงจร อิมิตเตอร์พอลโลเวอร์ Q2 จะถูกใช้เป็นตัวบัฟเฟอร์ระหว่างวงจรซึ่งมีจุดประสงค์เพื่อต้องการจะแยกเอาเข้าที่พุดของออสซิลเลเตอร์ Q1 ออกจากโหลดที่ต่ออยู่กับ Q2 ซึ่งข้อดีข้อเสียของการจัดวงจรในลักษณะนี้คือจะช่วยให้ความถี่มีเสถียรภาพดีขึ้น และทั้ง Q1 และ Q2 ต่างก็เป็นเฟทเกตชนิด N แชนแนล (JFET)



รูปที่ 2.9 วงจร VCO D1 และ D2 คือ คาปาซิทีฟไดโอดใช้สำหรับควบคุมความถี่ออสซิลเลเตอร์

หน้าที่ของอุปกรณ์แต่ละตัวตามรูปที่ 2.9 สรุปได้ดังนี้คือ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Q1 เป็นทรานซิสเตอร์ของฮาร์เลย์ออสซิลเลเตอร์  
 D1,D2 เป็นคาปาซิทีฟไดโอดทำหน้าที่ควบคุมความถี่ของออสซิลเลเตอร์  
 L1 ออสซิลเลเตอร์คอยล์  
 C1 คัปปลิ่งคาปาซิเตอร์  
 D3 แปลงไฟเพื่อไบอัสขาเกทของ Q1  
 C3 บายพาสสัญญาณ RF ที่เทรนอิลเลคโตรด  
 R3 แยกขาเทรนของ Q ออกจากแหล่งจ่าย และเป็นตัวป้องกันแรงดันไฟฟ้าให้ Q1  
 Vdd แหล่งจ่ายไฟตรงให้แก่ขาเทรนของ Q1 และ Q2  
 Q2 ซอร์สฟอลโลเวอร์ทรานซิสเตอร์  
 R4 ความต้านทานโหลดที่เข้าที่พุดของ ซอร์สอิลเลคโตรดของ Q2

วงจร VCO ได้มีการนำไปประยุกต์ใช้งานอย่างมากมาย เนื่องจากคุณสมบัติที่ดีในการควบคุมความถี่ออสซิลเลเตอร์ด้วยระดับแรงดันไฟตรง ตัวอย่างเช่นปุ่มปรับช่องสัญญาณชนิดสัมผัสในเครื่องรับโทรทัศน์ ซึ่งอาศัยระดับไฟตรงไปควบคุมความถี่ของแต่ละช่องสัญญาณได้ การประยุกต์ใช้งานในลักษณะนี้เรียกว่า อิเล็กทรอนิกส์จูนนิ่ง (Electronic tuning) ซึ่งการปรับแรงดันไฟตรงยังต้องใช้มือปรับ แต่เราสามารถปรับปรุงให้ปรับระดับแรงดันอัตโนมัติได้โดยใช้วงจรอิเล็กทรอนิกส์ควบคุมซึ่งวงจรที่มีคุณสมบัติดังกล่าวคือ เฟสล็อกคูลูป (Phase lock loop)

#### 2.4 เอฟเอ็ม เอสซีเอ (FM SCA)

SCA (Subsidiary Communication Authorization) หมายถึง การส่งกระจายในระบบ FM ซึ่งสอดคล้องกับรายการวิทยุ หรือ รายการที่นอกเหนือไปจากรายการปกติอีกหนึ่ง หรือหลายรายการควบคู่ไปพร้อมกับการส่งกระจายเสียงของระบบ FM โดยไม่ก่อให้เกิดการรบกวนระหว่างข่าวสาร หรือรายการซึ่งกันและกัน รายการของ SCA อาจเป็นสัญญาณเสียงพูดหรือดนตรี เช่นเดียวกับ รายการปกติหรืออาจเป็นรหัสตัวเลขหรือสัญญาณอื่นใดก็ได้

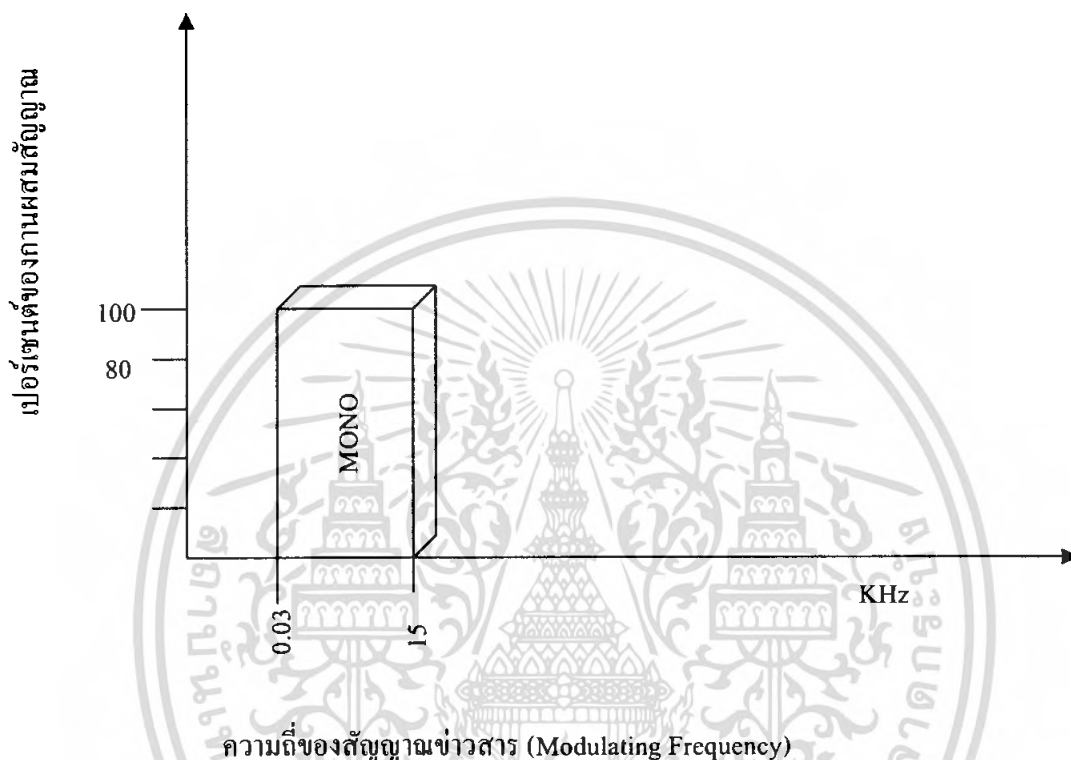
- การส่งกระจายเสียงในระบบ FM mono จะใช้ความกว้างแถบคลื่นประมาณ 108 KHz
- การส่งกระจายเสียงในระบบ FM stereo multiplex จะใช้ความกว้างแถบคลื่นประมาณ 256 KHz
- การส่งกระจายเสียงในระบบ FM stereo multiplex ร่วมกับ SCA จะใช้ความกว้างแถบคลื่นประมาณ 300 KHz

สำหรับสัญญาณ SCA ที่จะนำไปผสมกับสัญญาณในระบบ FM นั้น จะต้องมี amplitude และ bandwidth อยู่ในขอบเขตจำกัด เพื่อป้องกันมิให้เกิดการรบกวนกับรายการ FM ในภาคปกติ และสัญญาณของสถานีที่ใช้ความถี่ข้างเคียง การรับฟังรายการของ SCA เครื่องรับวิทยุจะต้องมีอุปกรณ์แยกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

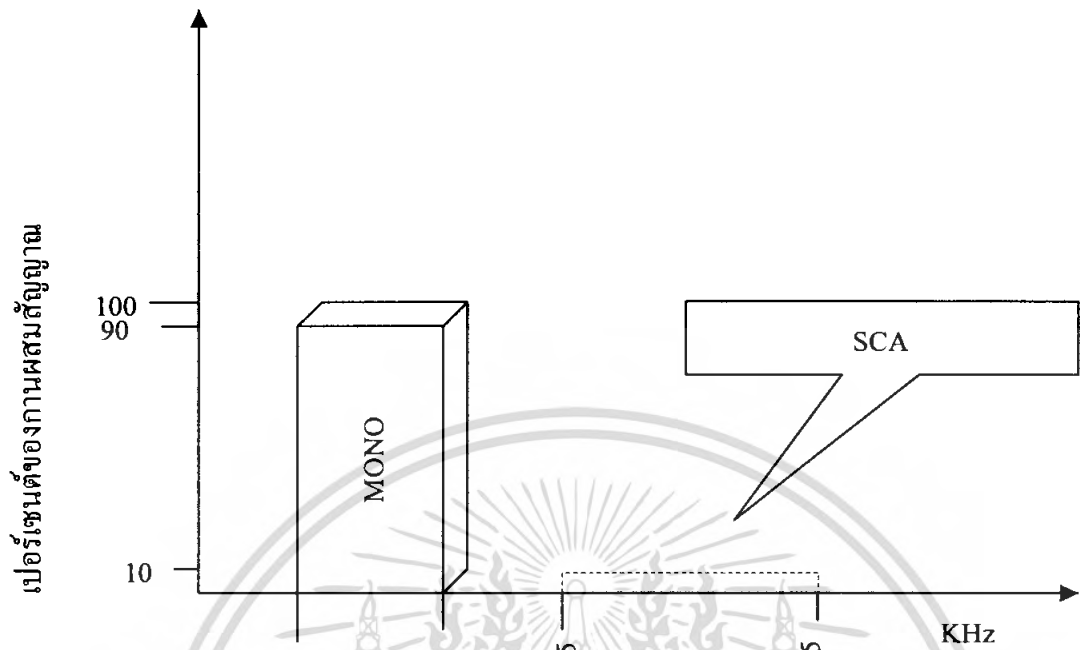
SCA ด้วย จึงสามารถรับฟังรายการ SCA ได้เช่นเดียวกับเครื่องรับวิทยุระบบ FM mono ที่ไม่สามารถแยกสัญญาณในระบบ stereo multiplex ได้เนื่องจากไม่มีอุปกรณ์ในการแยกสัญญาณ stereo multiplex

ในรูปที่ 2.9 , 2.10 , 2.11 และ 2.12 แสดงถึงความแตกต่างของแถบความถี่ที่ใช้ส่งกระจายเสียงในระบบ FM mono , FM stereo multiplex , FM mono บวกกับ SCA และ FM stereo multiplex บวกกับ SCA

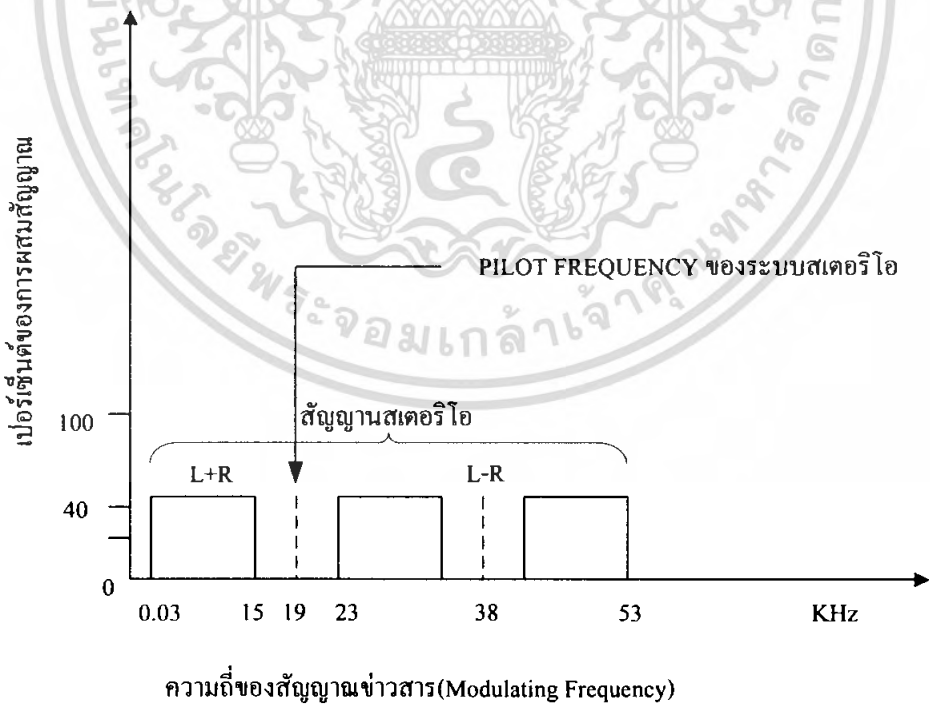


รูปที่ 2.10 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM mono

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

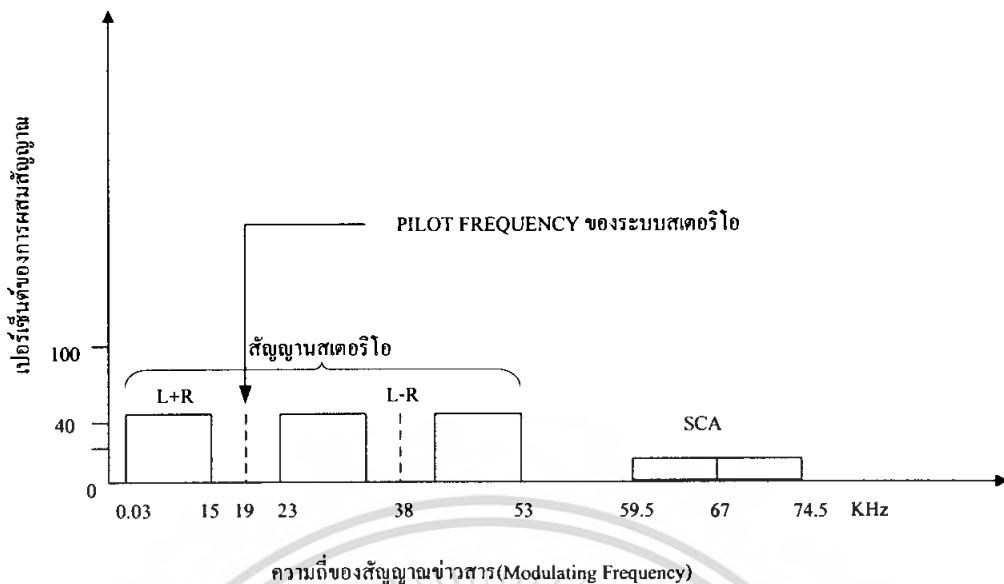


ความถี่ของสัญญาณข่าวสาร (Modulating Frequency)  
 รูปที่ 2.11 แสดงการใช้แถบความถี่ของสัญญาณในระบบ mono รวมกับ SCA



รูปที่ 2.12 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo ร่วมกับ SCA

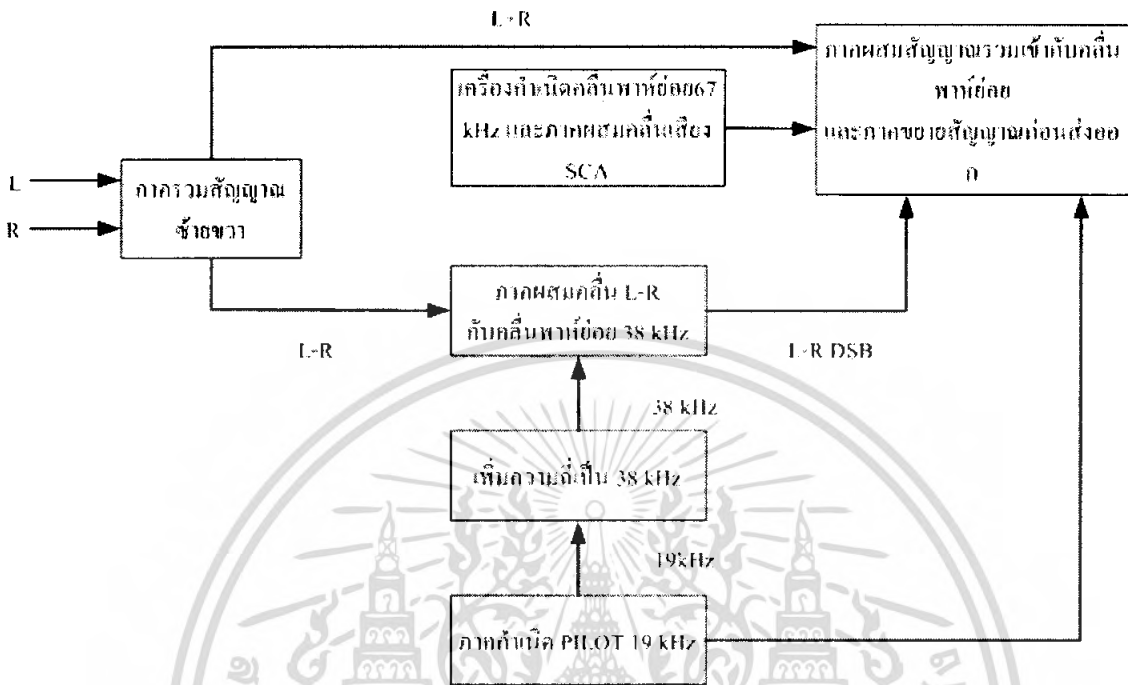
ในรูปที่ 2.10 จะเห็นได้ว่า ระบบ FM mono ความถี่ของสัญญาณข่าวสาร (modulating frequency) มีความกว้างของแถบคลื่นไม่เกิน 15 KHz รูปที่ 2.10 แสดงระบบ FM stereo ซึ่งจะใช้ความกว้างของแถบความถี่เพิ่มขึ้นเป็น 53 KHz โดยมีคลื่นพาห่อย่อย (sub-carrier) ความถี่ 38 KHz เป็นตัวทำให้เกิดการแยกสัญญาณออกเป็นข้างซ้ายและขวา โดยคลื่นพาห่อย่อยนี้ ได้มาจากความถี่ 19 KHz ซึ่งกำหนดขึ้นภายในเครื่องส่งความถี่ 19 KHz นี้ ยังใช้เป็นความถี่นำ (pilot frequency) เพื่อให้ทางเครื่องรับทราบว่าเป็นระบบ Stereo multiplex และใช้ในการแยกสัญญาณข้างซ้ายและสัญญาณข้างขวาในเครื่องรับอีกครั้งหนึ่ง

#### 2.4.1 การรับส่งและรับสัญญาณระบบ SCA

2.4.1.1 การส่ง การส่งวิทยุกระจายเสียงระบบ FM มีอยู่ 2 แบบ คือ monophonic และ stereophonic สำหรับสัญญาณของ SCA นั้น สามารถสอดแทรกได้ทั้งสองระบบ แต่จะแตกต่างกันตรงขนาดความถี่ของคลื่นพาห่นั้น ในระบบ mono สามารถสอดแทรกจำนวนคลื่นพาห่อย่อยของ SCA ได้มากกว่ากรณีของระบบ stereo ในระบบ FM stereo โดยปกติจะสอดแทรกคลื่นพาห่อย่อยของ SCA ได้เพียงหนึ่งหรือสองช่องสัญญาณเท่านั้น หากเกินกว่านี้ จะทำให้ความกว้างของแถบความถี่ของคลื่นวิทยุเกินไป อาจก่อให้เกิดการรบกวนต่อช่องสัญญาณของสถานีที่ใช้ความถี่วิทยุข้างเคียงได้ เมื่อได้ทำการสอดแทรกสัญญาณ SCA ร่วมไปกับสัญญาณกระจายเสียงหลักนั้นจะต้องจำกัดขนาดและความแรงของสัญญาณทั้งสัญญาณกระจายเสียงหลัก และสัญญาณ SCA ด้วย เพื่อป้องกันไม่ให้เกิดการรบกวนซึ่งกันและกัน

ในการส่งกระจายเสียงระบบ FM แบบ monophonic , stereo phonic , mono และ stereo phonic + SCA จะใช้อุปกรณ์ในการส่งที่แตกต่างกัน โดยระบบที่มี SCA รวมอยู่ด้วย จะมีอุปกรณ์ SCA generator เพิ่มเข้ามาให้เห็นใน Block Diagram ของระบบ stereo phonic + SCA ดังรูปที่ ที่แสดงด้วยเส้นประ แสดงถึงส่วนของอุปกรณ์ที่เพิ่มเข้ามาจากระบบการส่ง FM stereo ปกติ รายการที่ส่งโดยระบบ SCA จะถูกผสมเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

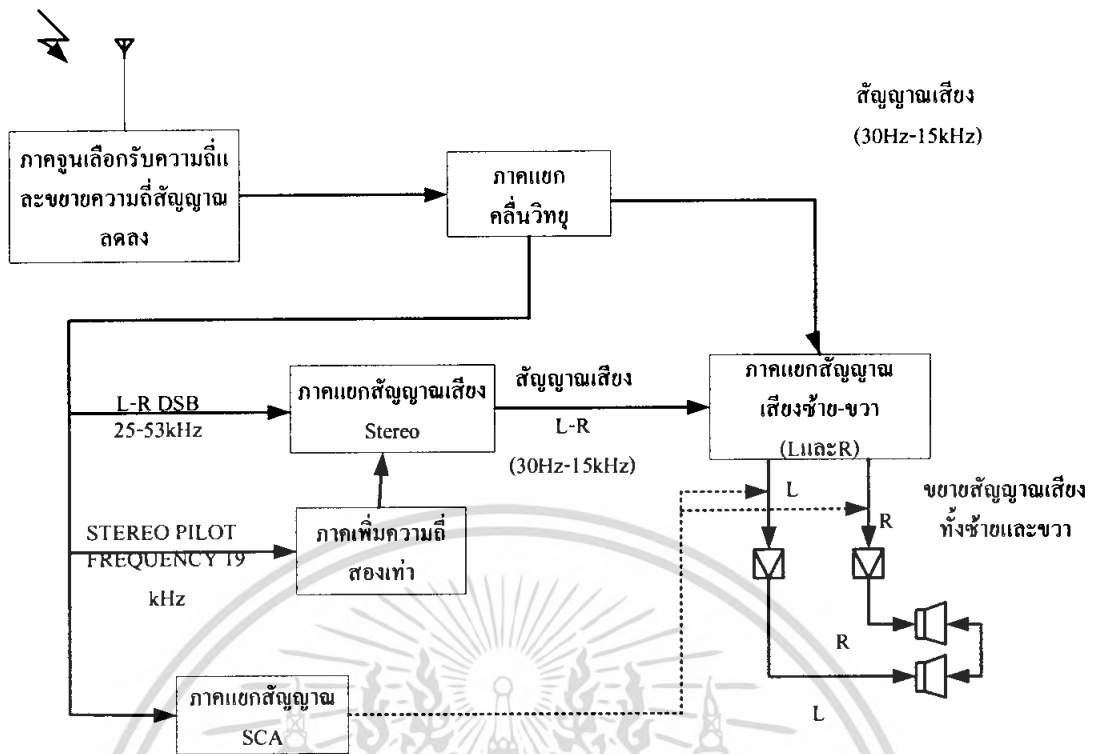
คลื่นด้วยคลื่นพาห้อยขนาดความถี่ 67 KHz แล้วส่งไปพร้อมกับสัญญาณ stereo ซึ่งเป็นรายการกระจายเสียง FM เข้าไปผสมคลื่นพาห้หลัก (main carrier) ในเครื่องส่ง แล้วจึงแพร่กระจายคลื่นออกทางสายอากาศ



รูปที่ 2.14 แสดง block diagram โดยสังเขป ของเครื่องส่งวิทยุกระจายเสียงระบบ stereo phonic+SCA

2.4.1.2 การรับ กรณีการรับสัญญาณของสถานีวิทยุกระจายเสียงระบบ FM ก็เช่นเดียวกัน จะมีการรับอยู่สองแบบ คือ monophonic และ stereo phonic หากเครื่องรับวิทยุต้องการรับฟังสัญญาณเสียงในระบบ SCA ให้นั้นจะต้องมีอุปกรณ์แยกสัญญาณ SCA จึงจะสามารถรับฟังรายการหรือข่าวสารของระบบ SCA ได้ ดังแสดงให้เห็นด้วย Block Diagram ของเครื่องรับวิทยุซึ่งมีอุปกรณ์แยกสัญญาณ SCA ในรูปที่ 2.14

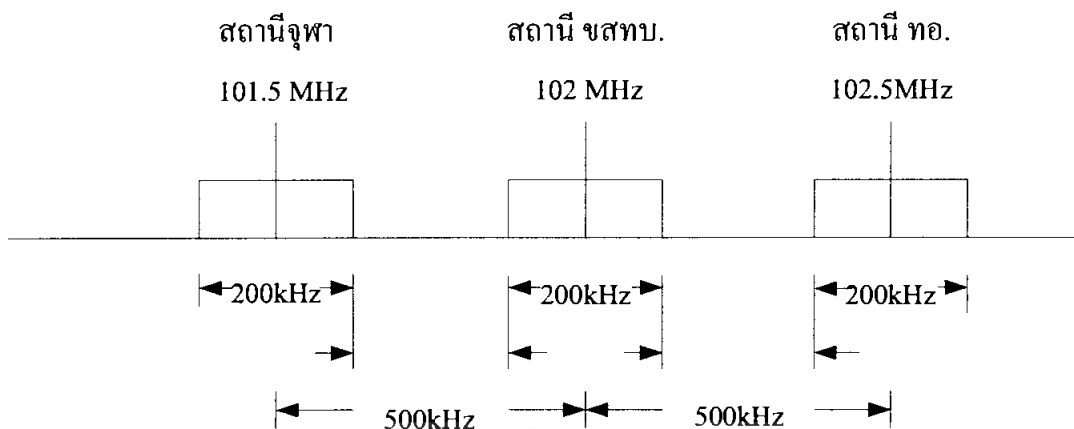
ในเครื่องรับระบบ SCA สัญญาณ SCA ซึ่งรวมกับสัญญาณ stereo จะถูกแยกโดยภาคแยกสัญญาณ SCA ดังแสดงใน Block เส้นประ ภาคนี้จะแยกคลื่นพาห้อย (67 KHz) ออกให้เหลือเพียงสัญญาณข่าวสารในรายการ SCA แล้วขยายออกที่ลำโพงของเครื่องรับ



รูปที่ 2.15 แสดง Block Diagram โดยสังเขปของเครื่องรับวิทยุ FM stereo ที่สามารถเลือกรับสัญญาณ SCA ได้ด้วย

### 2.4.2 การพิจารณาเกี่ยวกับการรบกวนในกรณีสถานีวิทยุ FM stereo ที่ส่ง SCA ด้วยการรบกวนข้างเคียง

สถานีวิทยุกระจายเสียงระบบ FM ในกรุงเทพมหานคร (39 สถานี) ทุกสถานีจะมีความถี่ข้างเคียงห่างกัน 500 KHz สถานี FM stereo ที่ส่งรายการ SCA ด้วย จะมีความกว้างแถบความถี่หรือ Bandwidth ประมาณ 300 KHz ( $2 \times 75 + 2 \times 74.5 = 299$  KHz) และสถานีซึ่งออกอากาศในระบบ FM stereo ที่ไม่มีการส่ง SCA จะใช้ความถี่ประมาณ 256 KHz ( $2 \times 75 + 2 \times 53 = 256$  KHz) จากตัวเลขดังกล่าวจะเห็นว่า จะไม่เกิดการรบกวนกันระหว่างสถานีที่อยู่ข้างเคียง ตัวอย่างเช่น สมมติว่า สถานีวิทยุ ขสททบ. , สถานีวิทยุ ทอ. ส่งคลื่นระบบ SCA อาจใช้การพิจารณาข้างต้น แสดงความกว้างของแถบความถี่ของคลื่นทั้ง 3 สถานี ขณะส่ง SCA ด้วยว่าจะไม่เกิดการรบกวนกัน ดังแสดงในรูปที่ 7



รูปที่ 2.16 แสดงความกว้างแถบความถี่ของคลื่นสัญญาณ สถานีวิทยุจุฬา, ขสทบ., และ ทอ. ที่ส่งระบบ SCA ด้วยทั้ง 3 สถานี

ในกรณีของสถานีวิทยุในต่างจังหวัด ปัญหาการรบกวนระหว่างสถานีที่ใช้ความถี่ข้างเคียงยังไม่ต้องพิจารณาถึงเลย เนื่องจากในแผนความถี่วิทยุ FM ของประเทศ ได้กำหนดให้สถานีในต่างจังหวัดใช้ความถี่ห่างกันอย่างน้อย 750 KHz

#### 2.4.3 การรบกวนกันเองภายในระบบ

โดยที่การส่งคลื่นระบบ SCA หมายถึง การผสมคลื่นอีกชุดหนึ่ง (หรือหลายชุด) เพิ่มจากการผสมคลื่น FM ตามปกติในช่องความถี่เดียวกัน คลื่นผสมดังกล่าว จะมีช่วงความถี่อยู่ไม่ห่างกันนัก ดังนั้นโอกาสที่จะเกิดการรบกวนกันเองในสถานีส่งระหว่างคลื่นความถี่หลักกับคลื่น SCA (crosstalk) จึงอาจเกิดขึ้นได้หากไม่มีการควบคุมที่ดีพอ โดยเฉพาะอย่างยิ่ง กรณีที่คลื่นความถี่หลักเป็นชนิด FM stereo ซึ่งต้องใช้ความกว้างแถบความถี่ถึง 30 – 53 KHz การรบกวนกันเองจึงยิ่งเป็นไปได้มาก

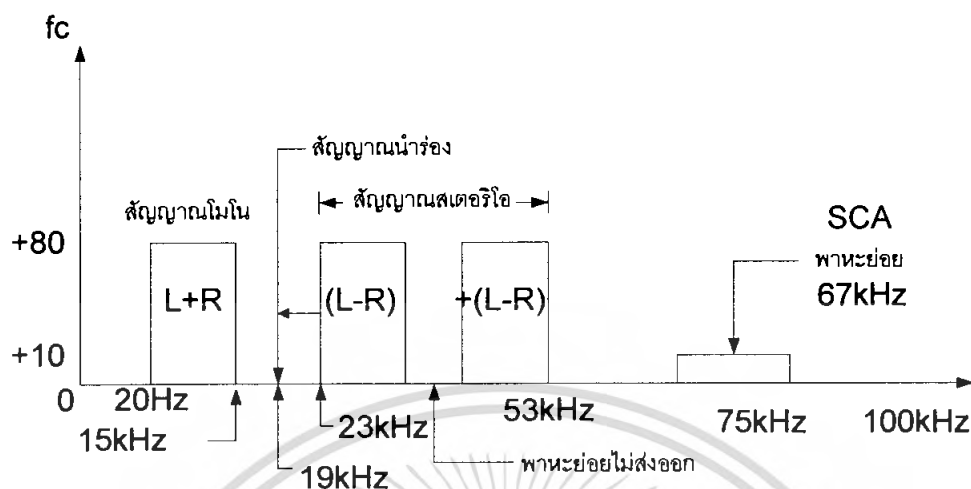
เกี่ยวกับเรื่องนี้ ในกรณีของประเทศสหรัฐอเมริกา FCC (Federal Communication commission) ซึ่งเป็นหน่วยงานกำหนดและควบคุมการใช้วิทยุของหน่วยงานเอกชนของประเทศได้กำหนดไว้ว่า ในกรณีของระบบ FM mono ความถี่ของคลื่นผสมในระบบ SCA ที่ใช้ จะอยู่ในระหว่าง 20 – 75 KHz โดยไม่จำกัดว่าจะใช้ชุดคลื่นผสม SCA ที่ชุด (ที่รายการ) และผลรวมของความเร็วในการผสมคลื่น SCA จะต้องสูงไม่เกิน 30% และตัวสัญญาณรบกวนของ SCA ที่เข้าไปในช่องความถี่ของสัญญาณ mono จะต้องมีความแรงของสัญญาณ mono ไม่น้อยกว่า 60 dB

กรณีของสถานีวิทยุระบบ FM stereo ความถี่ของคลื่นผสม SCA จะจำกัดอยู่ในระหว่าง 53 -75 KHz ความเร็วในการผสมคลื่น SCA จะต้องไม่เกิน 10 % (ของผลรวมคลื่นผสมทั้งหมดของสถานี) และสัญญาณทั้งหมดของ SCA ที่เลยเข้าไปในช่วงสัญญาณ stereo จะต้องมีความแรงต่ำกว่าสัญญาณ stereo ไม่น้อยกว่า 60 dB (เช่นเดียวกับกรณีของสถานี mono)

เพื่อป้องกันปัญหาการรบกวนกันเองดังกล่าว สถานีส่งที่มีการส่งคลื่นระบบ SCA ด้วย จะต้องรับผิดชอบในการดำเนินการทางเทคนิค ให้เป็นไปตามที่หน่วยงานรับผิดชอบของแต่ละประเทศได้กำหนดไว้หรือไม่ให้เกิดการรบกวนดังกล่าวขึ้น โดยอาจถือเอาตามรายงานของคณะกรรมการที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิทยุระหว่างประเทศ (CCIR) หรือถือปฏิบัติมาก่อนหน้าในประเทศอื่นในกรณีประเทศนั้นๆ ยังไม่มีการกำหนดในส่วนที่เกี่ยวข้องกับ SCA ไว้



รูปที่ 2.17 แถบความถี่สัญญาณ SCA

## 2.5 เฟสซีฟคิง (PSK)

โดยหลักการแล้วเฟสเริ่มแรกของคลื่นพาหะมีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าเราสามารถแยกแยะสัญญาณทางด้านรับออกได้อย่างถูกต้อง

เนื่องจากระบบดิจิทัลใช้รหัสไบนารี สัญญาณดิจิทัลสามารถส่งได้โดยใช้ 2 initial phase เรียกว่าไบนารี PSK เฟสเป็น 0 สำหรับรหัส 1 และเฟสเป็น  $\pi$  สำหรับรหัส 0



รูปที่ 2.18 ไบนารี PSK

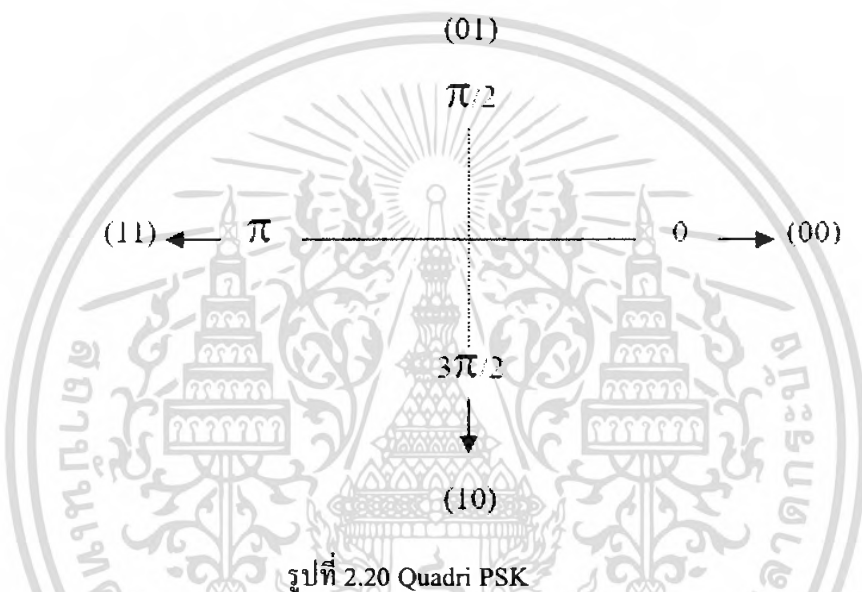
พิจารณาการส่งสัญญาณดิจิทัลพร้อมกัน 2 บิตในเวลาเดียวกัน ในกรณีนี้จะมีการรวมรหัส 4 ตัวด้วยกัน คือ 00 01 10 11 โดยใช้รหัสที่รวมกันนี้เทียบกับเฟส 4 เฟส สัญญาณดิจิทัล 2 บิตจึงสามารถส่งพร้อมกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

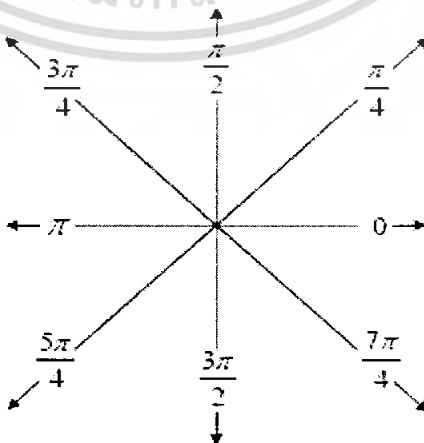
1 <sup>st</sup> bit	0	0	1	1
2 <sup>nd</sup> bit	0	1	0	1

รูปที่ 2.19 สัญญาณดิจิทัล 2 บิต ที่จะส่งพร้อมกัน

PSK ที่ใช้ 4 เฟสเริ่มแรกเรียกว่า quadri PSK เฟส 0 สำหรับรหัส 00 ,เฟส  $\pi/2$  สำหรับรหัส 01 ,เฟส  $\pi$  สำหรับรหัส 11 และ  $3\pi/4$  สำหรับรหัส 10



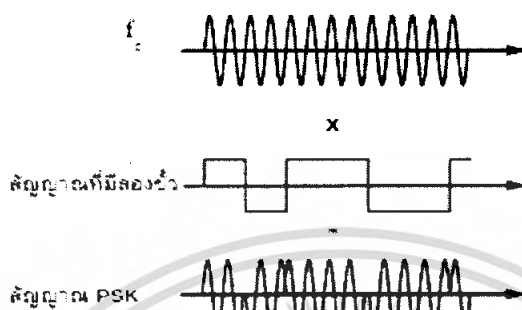
เมื่อต้องการจะส่งสัญญาณ 3 บิตไปพร้อมๆกัน จะมี  $2^3 = 8$  combination ของรหัสสัญญาณ 8 เฟส PSK จะต้องใช้เพื่อการนี้ เมื่อจำนวนเฟสเพิ่มขึ้น จำนวนบิตที่สามารถส่งแต่ละครั้งมีมาก แต่กรณีนี้คุณภาพของสัญญาณทางด้านรับจะต่ำลง



รูปที่ 2.21 8-PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบมอดูเลตแบบ PSK ถือได้ว่ามีข้อดีกว่าทั้งระบบมอดูเลตแบบ ASK และ FSK เนื่องจาก สัญญาณ PSK เป็นสัญญาณที่มีแอมพลิจูดและความถี่คงที่ อีกทั้งมีแบนด์วิธเท่ากับสัญญาณ ASK และยังทนต่อสัญญาณรบกวนได้ดีกว่าสัญญาณ FSK ซึ่งสัญญาณ PSK นี้เป็นสัญญาณที่มีเฟสขึ้นอยู่กับการขึ้นของสัญญาณข่าวสารดิจิทัลที่ส่วนใหญ่แล้วเป็นสัญญาณที่มี 2 ขั้ว (Bipolar baseband) ดังแสดงในภาพที่ 2.22



รูปที่ 2.22 สัญญาณข่าวสารดิจิทัลที่มี 2 ขั้ว สามารถเขียนเป็นสมการได้ดังนี้

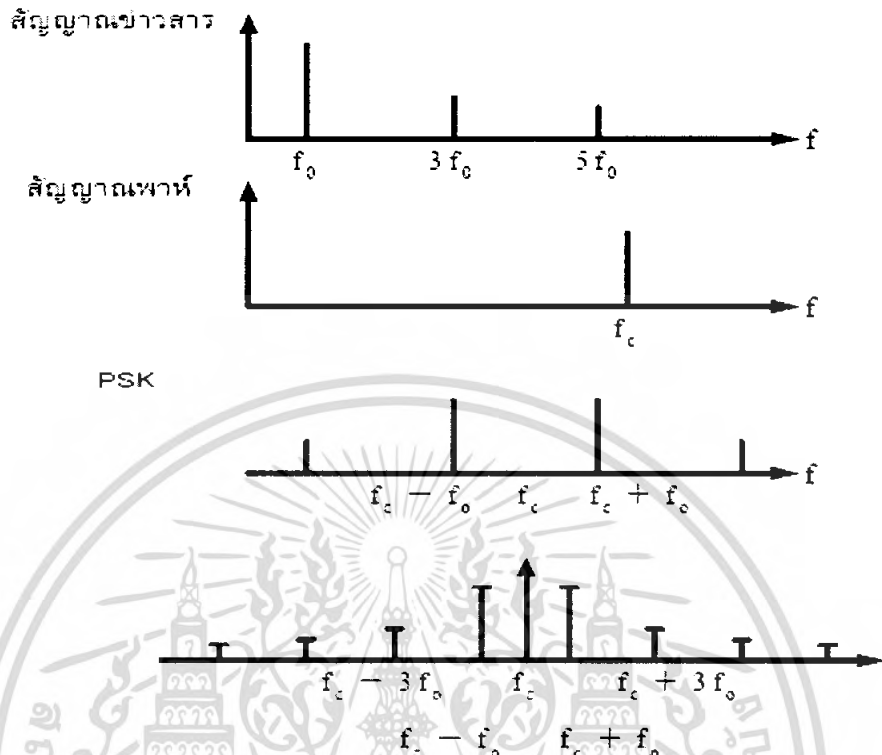
$$s(t) = \frac{4}{\pi} \left[ \cos \omega_c t - \frac{1}{3} \cos 3\omega_c t + \frac{1}{5} \cos 5\omega_c t - \dots \right]$$

สัญญาณ PSK ที่กำเนิดขึ้นจากสัญญาณข่าวสารดิจิทัลที่เป็นเลขฐานสอง (Binary signal) จะเรียกว่าสัญญาณ BPSK (Binary Phase Shift Keying) ซึ่งสามารถหาได้จาก

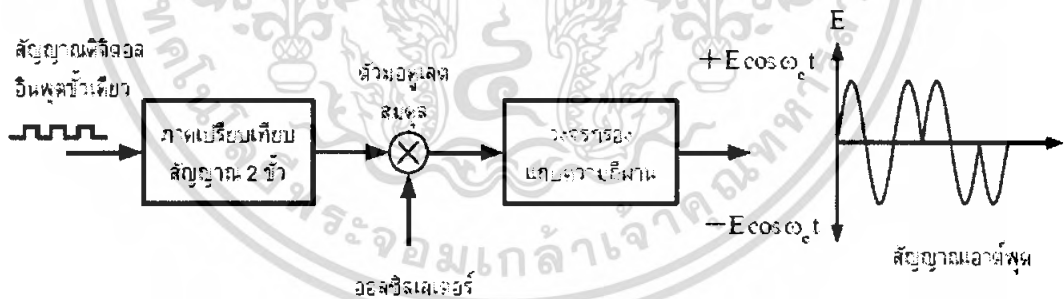
$$\begin{aligned} v_{\text{BPSK}}(t) &= v_c s(t) \\ v_{\text{BPSK}}(t) &= \frac{4}{\pi} \left[ \cos \omega_c t \cos \omega_c t - \frac{1}{3} \cos \omega_c t \cos 3\omega_c t + \dots \right] \\ &= \frac{2}{\pi} \left[ \cos(\omega_c - \omega_c)t + \frac{1}{3} \cos(\omega_c t + \omega_c)t - \frac{1}{3} \cos(\omega_c + \omega_c)t \right. \\ &\quad \left. - \frac{1}{3} \cos(\omega_c + \omega_c)t + \dots \right] \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้น จะเห็นได้ว่า ค่าแบนด์วิธของสัญญาณ BPSK มีค่าเท่ากับแบนด์วิธของสัญญาณ ASK ซึ่งแสดงให้เห็นในภาพที่ 2.22



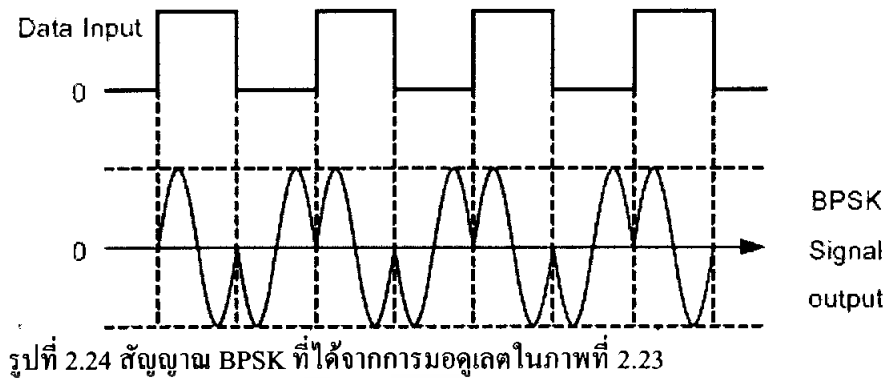
2.5.1 การมอดูเลตสัญญาณ PSK



รูปที่ 2.23 การมอดูเลตสัญญาณ PSK

สัญญาณ BPSK สามารถสร้างขึ้นได้จากการเปลี่ยนสัญญาณขาวสารดิจิทัลที่มีขั้วเดียว (Unipolar binary input) ให้เป็นสัญญาณที่มี 2 ขั้วก่อน โดยการใช้อุปกรณ์เปรียบเทียบแรงดัน จากนั้นจะนำสัญญาณที่ได้มามอดูเลตกับสัญญาณพหุขั้วโดยผ่านวงจรคูณสัญญาณ ซึ่งเมื่อสัญญาณที่ผ่านการคูณแล้วไปเข้าวงจรกรองแถบความถี่ผ่านก็จะทำให้ได้สัญญาณ BPSK ออกมา ดังแสดงในภาพที่ 2.23 โดยสัญญาณที่ได้จากการมอดูเลตแบบ BPSK นี้จะเป็นไปดังภาพที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากสัญญาณในรูปที่ 2.23 จะเห็นได้ว่า กรณีที่สัญญาณข่าวสารไบนารีมีค่าเป็น “1” สัญญาณ BPSK จะมีเฟสเดียวกับสัญญาณพาห้ แต่ถ้าสัญญาณข่าวสารไบนารีมีค่าเป็น “0” สัญญาณ BPSK ก็จะมีการกลับเฟสกับสัญญาณพาห้อยู่ โดยวงจรกรองแถบความถี่ผ่านที่ใช้ในภาพที่ 2.23 จะทำหน้าที่กรองเอาเฉพาะแถบความถี่ 2 เทอมแรก ในสมการที่ (12.2) ออกมา ซึ่งจะเห็นได้ว่าเป็นสัญญาณ DSBSC ทั้งนี้เพื่อเป็นการจำกัดแบนด์วิธของสัญญาณ นั้นเอง

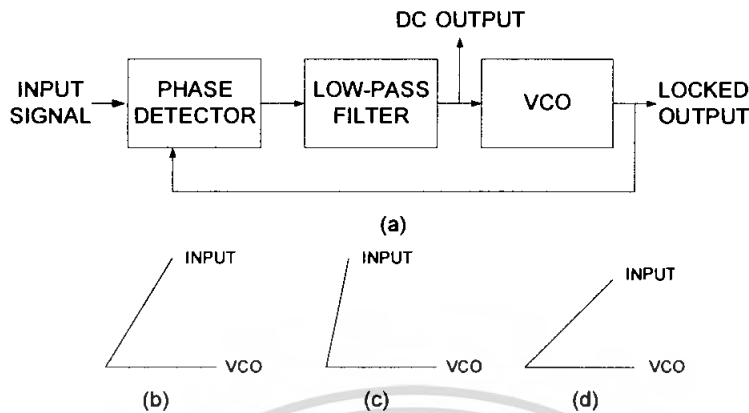
### 2.5.2 การดีมอดูเลตสัญญาณ BPSK

สัญญาณ PSK สามารถทำการดีมอดูเลตเพื่อนำสัญญาณข่าวสารกลับคืนมาได้ โดยมีหลักการดังแสดงในภาพที่ 2.25



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.6 Phase - locked Loop (PLL)



รูปที่ 2.26 Block Diagram PPL

- ให้ input signal ที่มีความถี่  $f_x$  คือ input ของ detector
- LOW-PASS FILTER (LPF) จะยอมให้เฉพาะ DC Voltage ออกมาได้ ซึ่ง DC Voltage นี้จะควบคุมความถี่ของ VCO
- Feed back System นี้ทำหน้าที่ lock VCO frequency เข้ากับ input frequency
- เมื่อระบบ Feedback ทำงานอย่างถูกต้องแล้ว

$$\text{VCO frequency (output)} = f_x \text{ (input)}$$

∴ Phase Detector ก็จะได้ input ทั้ง 2 อัน ที่มีความถี่เท่ากันเห็นได้ว่า phase angle ( $\phi$ ) แปรผันตาม DC Output นั่นคือ input frequency เปลี่ยนแปลง VCO frequency ก็จะเปลี่ยนแปลงตามเช่น ถ้า input frequency  $f_x$  มีค่าเพิ่มขึ้น phasor ของมันก็จะหมุนเร็วขึ้นและ  $\phi$  ก็จะเพิ่มขึ้น (รูป C) หมายถึง dc voltage ที่ออกมาจาก phasor detector มีค่าลดลง dc voltage ที่ลดลงจะทำให้ VCO frequency มีค่าเพิ่มขึ้นจนกระทั่ง

$$\text{VCO frequency (output)} = f_x \text{ (input)}$$

ตรงกันข้าม ถ้า input frequency มีค่าลดลง phasor ของมันก็จะหมุนช้าลง และ  $\phi$  ก็จะลดลง (รูป D) หมายถึง dc voltage ที่ออกมาจาก phasor detector มีค่าเพิ่มขึ้นและสิ่งนี้จะทำให้ VCO frequency มีค่าลดลงจนกระทั่ง VCO frequency (output) =  $f_x$  (input) นั่นคือ PLL จะปรับแก้ VCO frequency และ phase angle อย่างอัตโนมัติ

Lock rang ( $B_L$ ) =  $f_{\max} - f_{\min}$  (เช่น  $60 \text{ KHz} - 40 \text{ KHz} = 20 \text{ KHz}$ ) คือย่านความถี่ที่ VCO สามารถผลิตได้นั่นคือ เมื่อ PLL “look” แล้ว input frequency  $f_x$  สามารถเปลี่ยนแปลงอยู่ระหว่าง  $40 - 60 \text{ KHz}$

### Free-running mode

กลับไปดู as-table 55 timer ที่ไม่มี control voltage มันจะ oscillate ที่ natural frequency ซึ่งกำหนดได้โดย องค์ประกอบของวงจร เช่นกันกับ VCO ในรูป (a) ถ้าตัด input signal ออก พบว่า VCO จะ oscillate ใน free-running mode ที่ความถี่ค่าหนึ่งซึ่งกำหนดโดย องค์ประกอบของวงจร

### Capture and Lock

สมมติให้ PLL เป็น free-running หรือ unlocked PLL สามารถ Lock เข้ากับ input frequency อยู่ใน capture range  $B_c = f_2 - f_1$  โดย  $f_2$  คือ ความถี่สูงสุด  $f_1$  คือ ความถี่ต่ำสุด ทั่วไป  $B_c \leq B_L$  และ  $B_c$  จะขึ้นกับ cut-off frequency ของ LPF (cutoff frequency ยิ่งต่ำ  $B_c$  ยิ่งมีค่าน้อย)

### FM output

a) แสดงถึง LC oscillator ถ้า C เปลี่ยนแปลง จะทำให้ความถี่เปลี่ยนแปลงนั่นก็คือ FM

(Frequency Modulation)

b) สัญญาณ FM ถ้าสัญญาณ FM ดังรูป b ถูกป้อนเข้าสู่ PLL พบว่า VCO จะ “track” input frequency เมื่อ input frequency มีการเปลี่ยนแปลง ผลที่ได้คือ DC voltage ที่เปลี่ยนแปลงออกมาจาก LPF ซึ่งเป็นแรงดันที่มีความถี่เดียวกับสัญญาณข่าวสาร (เช่น คนตรี, เสียง , ฯลฯ) (หรือ demodulated FM Output)

IC565 (Signifies, 14 – pin IC) ต่อกับ RC เพื่อสร้าง PLL

ขา 2 และ 3 = differential Input

ขา 2 (ส่วนใหญ่) = ground และ ขา 3 = input

ขา 4 (output) ขา 4 กับขา 5 = ต่อเชื่อมกันเพื่อให้ VCO Output กลายเป็น input ของ phase detector

R ใส่ที่ขา 8 C ใส่ที่ขา 9 “timing” คือตัวบอกถึง free – running frequency ของ VCO

$$f = \frac{0.3}{R_T G_T}$$

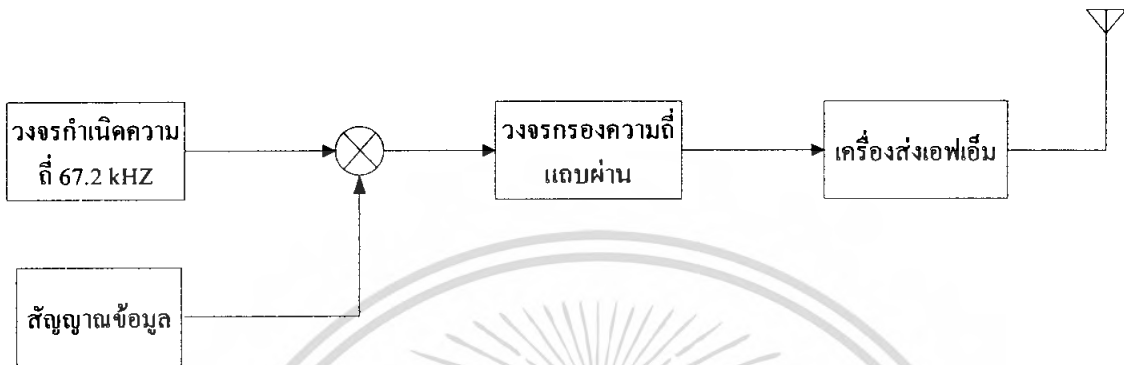
ให้เลือก  $R_T, C_T$  ให้มีค่าอยู่ที่จุดกึ่งกลางของ input frequency range เช่น ถ้าต้องการ lock เอาความถี่ input ที่อยู่ระหว่าง 40 – 60 KHz ควรเลือกค่า  $R_T, C_T$  ที่ทำให้  $f = 50$  KHz ขา 7 = FM output (ต่อกับ Amplifier ออกลำโพง)  $C_F, R_F (3.6K\Omega)$  Low – pass filter ซึ่งมี cut-off frequency

$$f = \frac{1}{2\pi R_F C_F}$$

### บทที่ 3

#### การคำนวณและการสร้าง

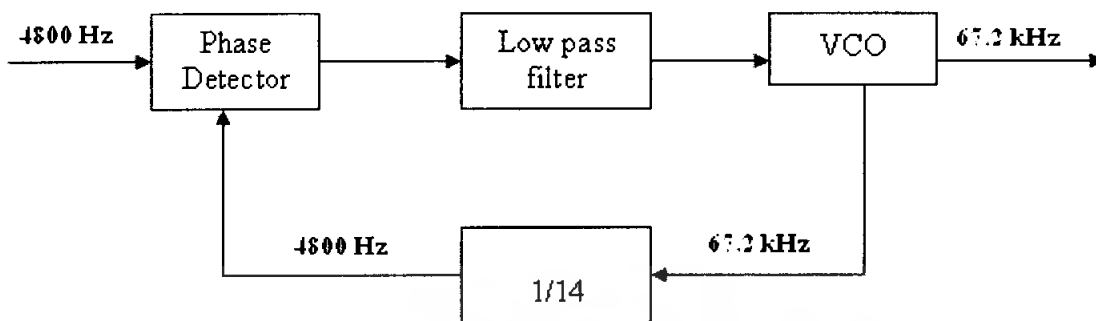
##### 3.1 การออกแบบวงจรภาคส่ง



รูปที่ 3.1 บล็อกไดอะแกรมของวงจรภาคส่ง

การทำงานของวงจรอินพุตจะถูกมอดูเลตกับสัญญาณคลื่นพาห์ สำหรับสัญญาณคลื่นพาห์นั้นใช้ความถี่ 67.2 kHz เพราะเป็นความถี่กึ่งกลางของช่องสัญญาณ เอฟเอ็ม เอสซีเอ (FM SCA) โดยการคูณสัญญาณข่าวสารเข้ากับคลื่นพาห์ เพื่อกำจัดสัญญาณคลื่นพาห์เพื่อไม่ให้ปรากฏที่ด้านเข้าที่พูด หลังจากนั้นนำสัญญาณไปผ่านวงจรเบนด์พาสฟิลเตอร์ซึ่งมีความถี่กึ่งกลางที่ 67.2 kHz และมีแบนด์วิดท์ ประมาณ 15 กิโลเฮิร์ต หลังจากนั้นนำสัญญาณที่ได้ไปมอดูเลตทางความถี่เพื่อส่งออกอากาศต่อไป

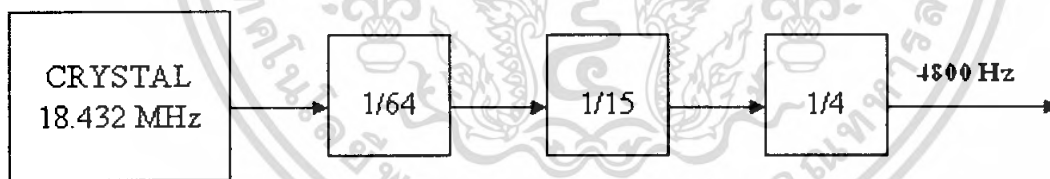
3.1.1 วงจรผลิตสัญญาณความถี่ 67.2 kHz



รูปที่ 3.2 บล็อกไดอะแกรมของวงจรผลิตสัญญาณความถี่ 67.2 kHz

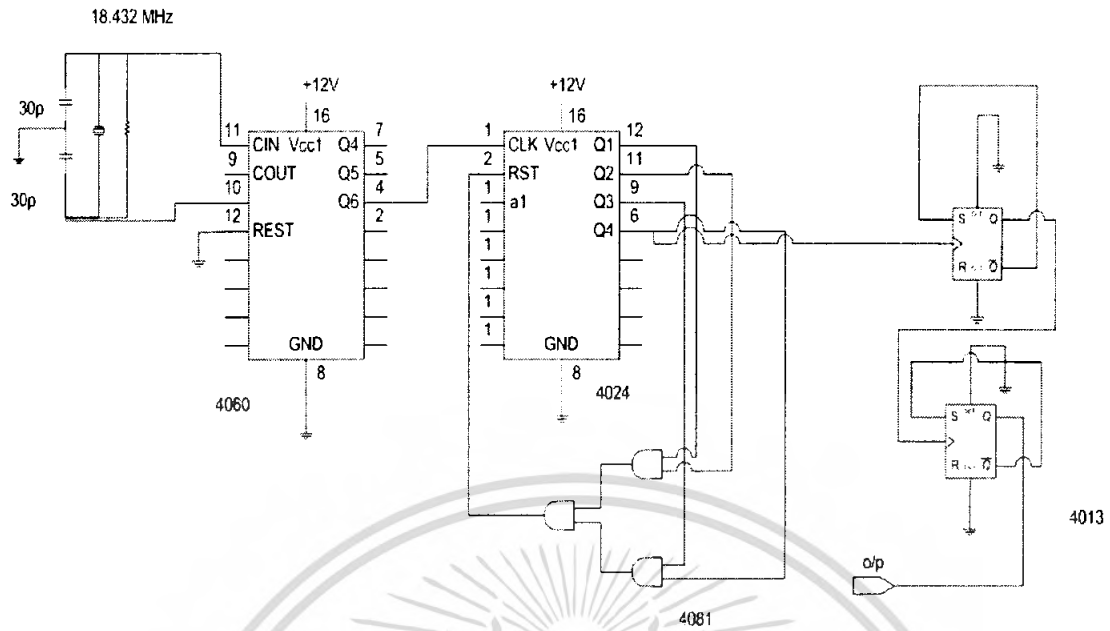
วงจรผลิตสัญญาณความถี่ 67.2 kHz ประกอบด้วยวงจรผลิตสัญญาณความถี่ 4800 Hz ซึ่งใช้เป็นความถี่อ้างอิง และวงจรเฟสล็อก

3.1.1.1 วงจรผลิตสัญญาณความถี่ 4800 Hz



รูปที่ 3.3 บล็อกไดอะแกรมการสร้างความถี่ 4800 Hz

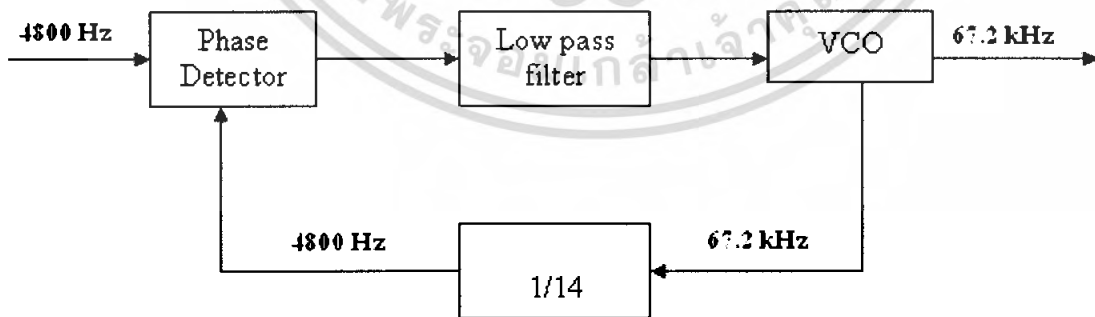
ใช้คริสตอลออสซิลเลเตอร์ที่ผลิตความถี่ 18.432 MHz มาหารความถี่จนได้สัญญาณที่มีความถี่ 4800 ตามต้องการ



รูปที่ 3.4 วงจรกำเนิดความถี่ 4800 Hz

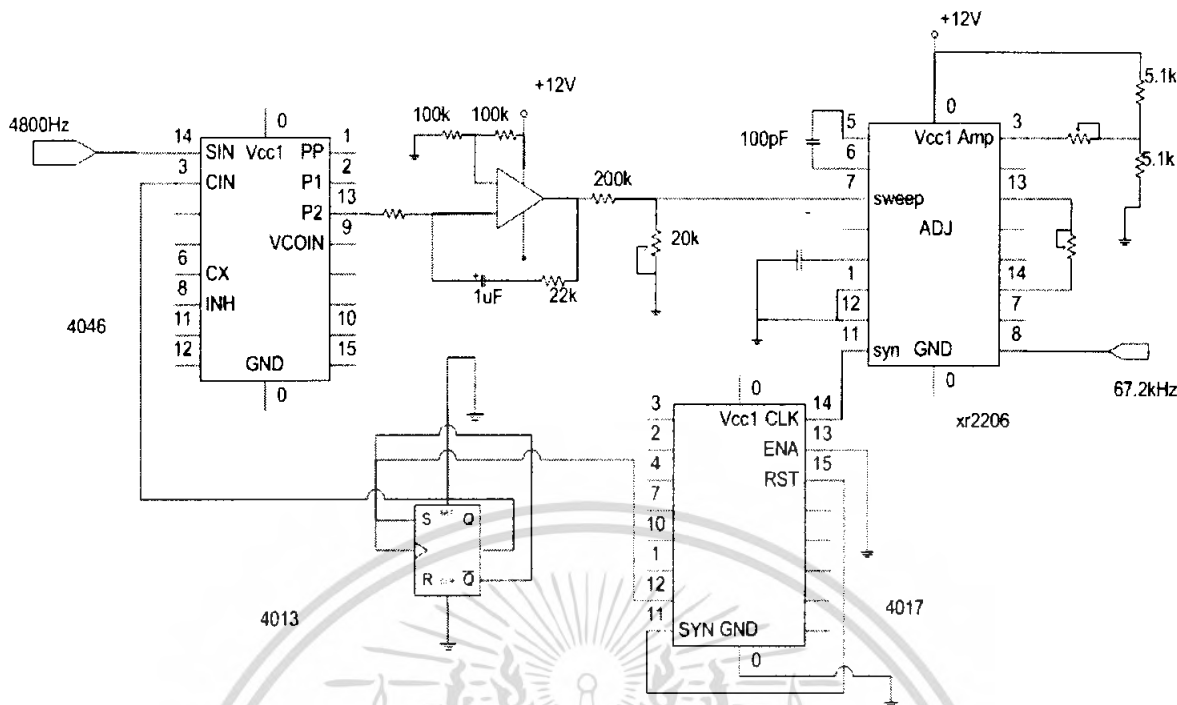
จากรูปที่ 3.4 ความถี่ 18.432 MHz จะเข้าไปยังขา 10 และ 11 ของวงจรรวม 4060 ซึ่งทำหน้าที่เป็นวงจรรหาร 64 จากนั้นผ่านวงจรรหาร 15 ซึ่งประกอบด้วยวงจรรวม 4024 และแอนด์เกตจำนวนหนึ่ง ได้สัญญาณเอ๊าท์พุทที่ขา 5 ของวงจรรวม 4024 นำสัญญาณที่ได้ไปหาร 4 ซึ่งประกอบด้วยฟลิปฟล็อป 2 ตัว จะได้เอ๊าท์พุทความถี่ 4800 Hz ซึ่งจะใช้เป็นสัญญาณอ้างอิงสำหรับวงจรเฟสล็อกต่อไป

### 3.1.1.2 วงจรเฟสล็อก



รูปที่ 3.5 บล็อกไดอะแกรมวงจรเฟสล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

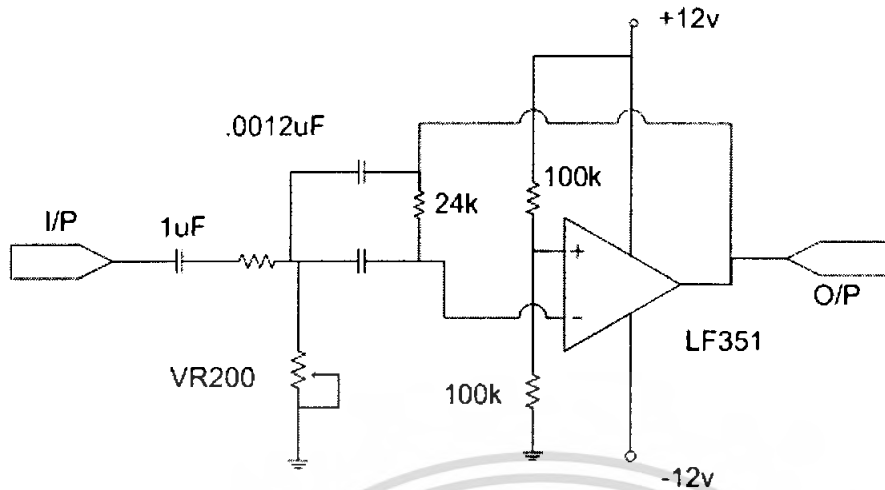


รูปที่ 3.6 วงจรสร้างความถี่ 67.2 kHz

สัญญาณอ้างอิงความถี่ 4800 Hz และสัญญาณที่ผลิตโดยวงจรโวลเตจคอนโทรลอสซิลเลเตอร์ (Voltage Control Oscillator) ที่ผ่านวงจรหารแล้วจะถูกนำมาเปรียบเทียบทางเฟส โดยวงจรรวม 4046 ซึ่งทำหน้าที่เป็นเฟสดีเทกเตอร์ เอาท์พุทที่ได้เมื่อผ่านวงจรกรองความถี่ต่ำจะได้สัญญาณเป็นไฟกระแสดตรงที่จะไปควบคุมความถี่เอาท์พุทของวงจรรวม XR2206 ซึ่งทำหน้าที่เป็นโวลเตจคอนโทรลอสซิลเลเตอร์ซึ่งเป็นวงจรที่ความถี่ทางด้านเอาท์พุทจะเปลี่ยนแปลงตามแรงดันที่เข้ามา เพื่อผลิตสัญญาณความถี่ 67.2 kHz ตามต้องการ

### 3.1.2 การออกแบบวงจรกรองความถี่แถบผ่าน แบบน้ดพาสฟิลเตอร์

สำหรับวงจรแบนด์พาสฟิลเตอร์ จะเลือกใช่วงจรมัลติเฟลด์ ฟีดแบค ออร์เดอร์ 2 (Multiple feedback order 2) ที่มีการจัดวงจรดังรูป



รูปที่ 3.7 วงจรกรองความถี่แบบคัตออฟฟิลเตอร์

ถ้าให้  $Q$  เป็นค่า Quality factor ของวงจร  
 $\omega_0$  เป็นความถี่ศูนย์กลาง  
 $H$  เป็นเกนของวงจร

ทรานสเฟอร์ฟังก์ชันของวงจร คือ

$$\frac{V_o(S)}{V_i(S)} = \frac{H(\omega/Q)S}{S^2 + (\omega_0/Q)S + \omega_0^2}$$

$$\omega_0^2 = \frac{1}{R_3 C_1 C_2} \left( \frac{1}{R_1} + \frac{1}{R_2} \right)$$

$$Q = \frac{1}{\sqrt{\frac{1}{R_3} \left( \frac{1}{R_1} + \frac{1}{R_2} \right) \left( \sqrt{\frac{C_1}{C_2}} + \sqrt{\frac{C_2}{C_1}} \right)}}$$

$$H = \frac{-R_3 C_3}{R_1 (C_1 + C_2)}$$

สำหรับการออกแบบจะกำหนดค่า  $Q$ ,  $\omega_0$ ,  $H$  และค่า  $C_1, C_2$  โดยให้  $C_1 = C_2$  ค่า  $R_1, R_2, R_3$  หา

ได้จากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

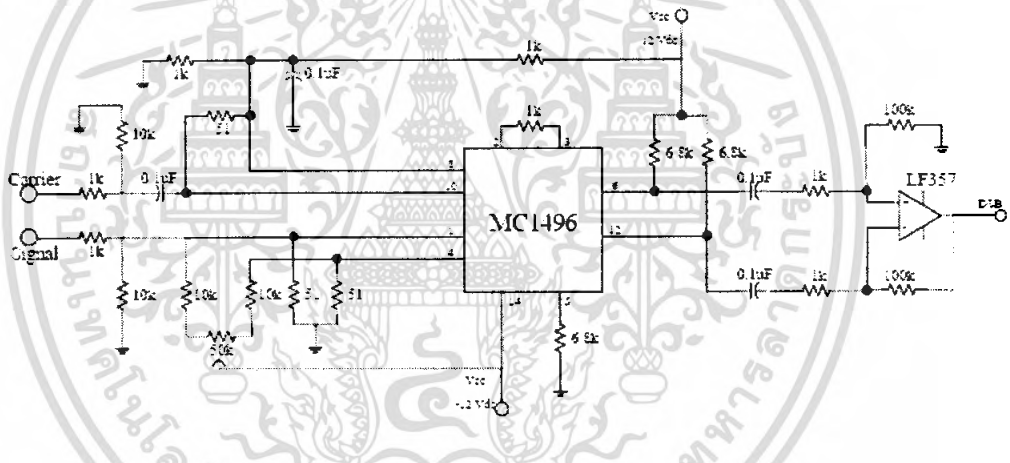
$$R_1 = \frac{Q}{|H|\omega_0 C_1}$$

$$R_2 = \frac{Q}{(2Q^2 - |H|)\omega_0 C_1}$$

$$R_3 = \frac{2Q}{\omega_0 C_1}$$

ความถี่ที่ต้องการคือ 67.2 kHz กำหนดอัตราขยายความถี่ศูนย์กลางมีความเท่ากับ 1 สำหรับขนาดของแบนด์วิดท์ ต้องให้มีขนาดมากกว่า 2 เท่าของความถี่พิกทของสัญญาณเบสแบนด์ ดังนั้น ค่า  $Q$  ของวงจรจึงต้องน้อยกว่า 7 ในการออกแบบเลือกใช้ค่า  $Q$  มีขนาดเท่ากับ 6 โดยขนาดของแบนด์วิดท์จะประมาณเท่ากับ 15 kHz ค่าความต้านทานและค่าตัวเก็บประจุของวงจรหาได้จากสมการด้านบน

### 3.1.3 วงจรบาลานซ์มอดูเลเตอร์(Balance Modulator)



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์หรือเรียกย่อๆว่า BM นี้ทำหน้าที่ผสมสัญญาณระหว่างสัญญาณเบสแบนด์กับสัญญาณพาห้ โดยที่ผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซน์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณพาห้จะถูกกำจัดออกไปในการออกแบบวงจร BM นี้จะใช้ IC MC 1496 ทำหน้าที่เป็นตัวบาลานซ์มอดูเลเตอร์ โดยในวงจรจะมี VR 100 k $\Omega$  เป็นตัวปรับสมดุล การกำจัดคลื่นพาห้ขึ้นอยู่กับระดับสัญญาณพาห้ที่ป้อน ระดับสัญญาณพาห้ที่เหมาะสมอยู่ระหว่าง 300 ถึง 500 mVp-p ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 3.8

การทำงานของวงจรบาลานซ์มอดูเลเตอร์ เหมือนกันวงจรคูณสัญญาณสมมติให้สัญญาณแรกคือพาห้  $f_0 = \sin \omega_0 t$  และอีกสัญญาณคือเบสแบนด์  $f_m = \sin \omega_m t$  และจะได้ output

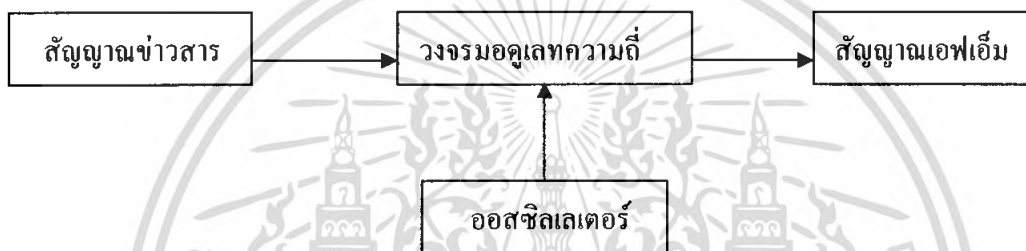
$$V_o = A_0 \sin \omega_0 t \times A_m \sin \omega_m t$$

$$V_o = (A_0 A_m / 2) [\cos(\omega_0 - \omega_m)t + \cos(\omega_0 + \omega_m)t]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

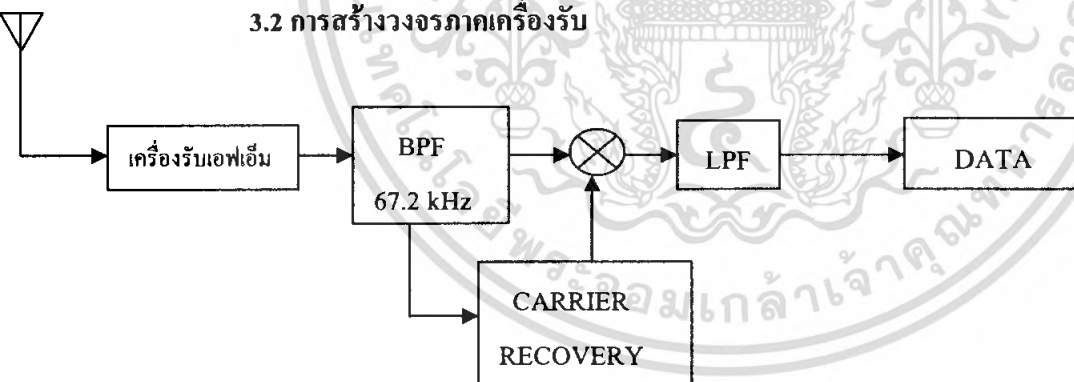
IC MC1496, MC1596 ตัวนี้จะทำหน้าที่เป็นบาลานซ์มอดูเลเตอร์ / ดีมอดูเลเตอร์ ซึ่งถูกออกแบบสำหรับใช้กับเอาต์พุตที่เกิดจากการคูณของสัญญาณเบสแบนด์กับพาห์ ซึ่งนอกจากทำเป็นวงจรบาลานซ์มอดูเลเตอร์แล้ว ยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator , Synchronous Detection , FM detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่า ในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่ เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบตัวถังที่เป็นตัวถังโลหะมี 10ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของสัญญาณพาห์และสัญญาณเบสแบนด์ วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยง 2 ชุด (+12 V และ -8 V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้งานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป

3.1.4 วงจรเครื่องส่งเอฟเอ็ม



รูปที่ 3.9 หลักการทำงานของวงจรมอดูเลทความถี่

3.2 การสร้างวงจรภาคเครื่องรับ

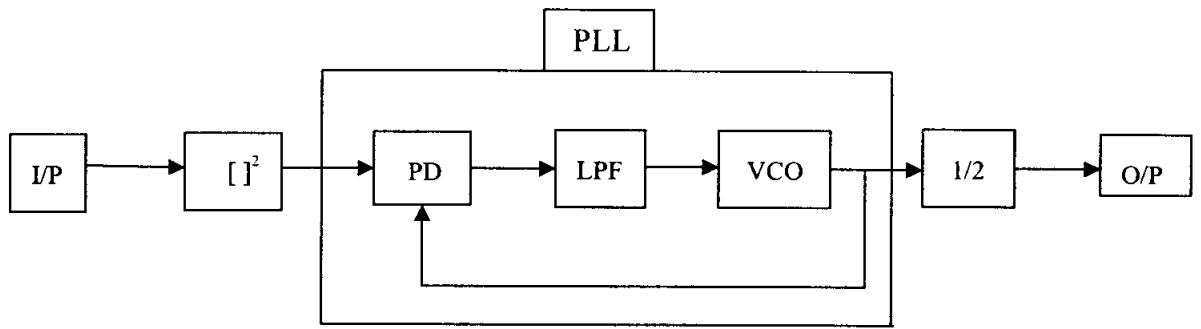


รูปที่ 3.10 แสดงบล็อกไดอะแกรมของวงจรภาครับ

การทำงานของภาคเครื่องรับ วงจรเครื่องรับเอฟเอ็มจะรับเอาสัญญาณด้านที่ส่งมา โดยวงจรกรองความถี่ผ่าน 67.2 กิโลเฮิร์ตจะกรองเอาสัญญาณข่าวสารที่ด้านส่งส่งมาด้วยความถี่คลื่นพาห์ 67.2 กิโลเฮิร์ตสัญญาณเอาต์พุตของวงจรกรองความถี่ผ่านจะนำไปเป็นสัญญาณอินพุตของวงจรถูกความถี่คลื่นพาห์ เพื่อที่สัญญาณคลื่นพาห์ที่ซิงโครไนซ์กับด้านส่งที่ด้านรับ สัญญาณพีเอสเคที่รับได้จะนำไปคูณกับสัญญาณคลื่นพาห์ที่ถูกลบคืนมาได้ เพื่อให้ได้ข่าวสารกลับคืนมา เนื่องจากด้านส่งมีการเข้ารหัสสัญญาณเอ็นอาร์แซดเป็นเอ็นอาร์แซดไอ ดังนั้นที่ด้านรับจึงต้องมีการถอดรหัสสัญญาณเพื่อให้ได้สัญญาณข่าวสารที่ด้านส่งส่งกลับคืนมา นำข่าวสารที่ผ่านการถอดรหัสแล้วแสดงผลที่หน้าจอแอลซีดี

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาต หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง

### 3.2.1 วงจรกู้ความถี่คลื่นพาห้

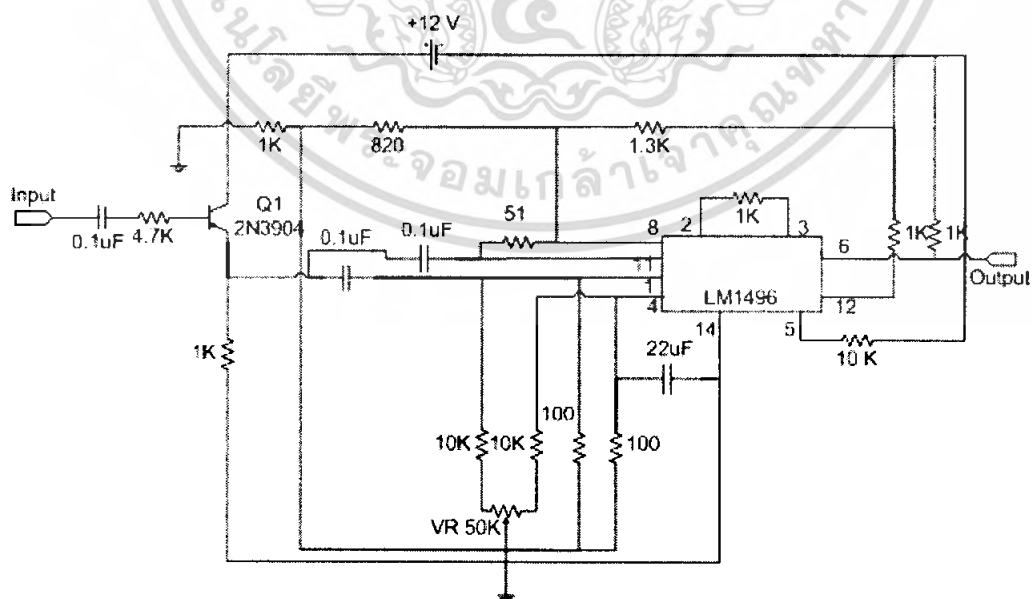


รูปที่ 3.11 แสดงบล็อกไดอะแกรมวงจรถูกกู้ความถี่คลื่นพาห้

การทำงานของลูบยกกำลังสองเมื่อรับสัญญาณอินพุตพีเอสเค  $\cos(\omega_c t)$  ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสองทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห้โดยเอาต์พุตของวงจรถูกยกกำลังสองจะได้ฮาร์โมนิกที่ 2 ของคลื่นพาห้ หรือ  $\cos^2(\omega_c t)$  ซึ่งจะใช้เป็นสัญญาณอ้างอิง สำหรับวงจรถูกเฟสล็อก ลูบ วงจรเฟสล็อกลูบจะล็อกเฉพาะสัญญาณ  $\cos^2(\omega_c t)$  ซึ่งเป็นอินพุตของวงจรถูกหารสอง เมื่อหารความถี่แล้วจะได้สัญญาณอ้างอิงในการตีความสัญญาณพีเอสเคต่อไป

### 3.2.2 วงจรถูกยกกำลังสอง

ใช้วงจรรวม LM 1496 ซึ่งเป็นวงจรรวมสำหรับคูณสัญญาณ โดยสัญญาณอินพุตทั้งสองของวงจรถูกเข้ากับสัญญาณที่ต้องการยกกำลังสอง

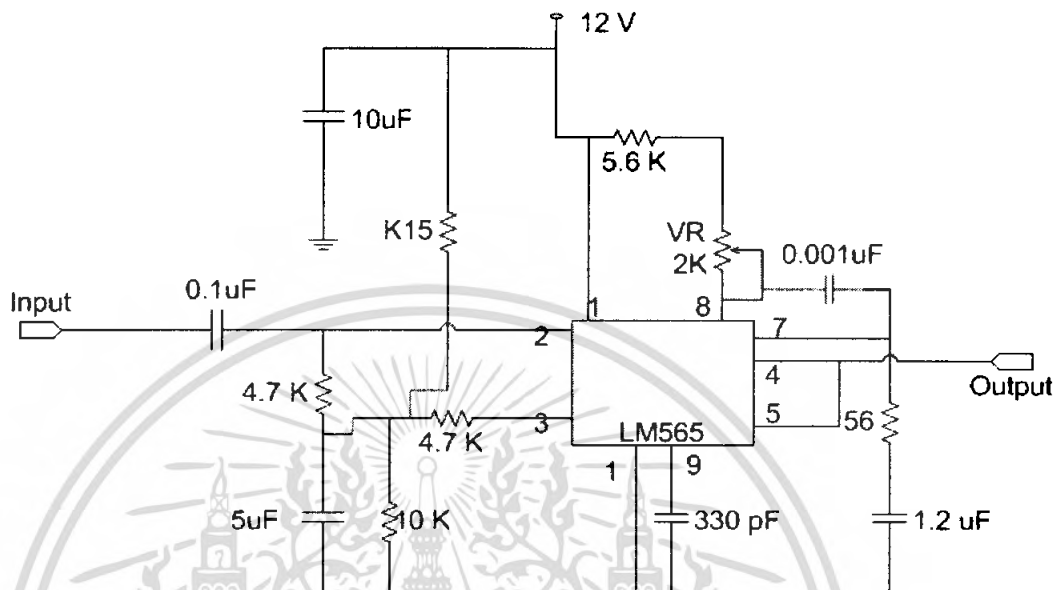


รูปที่ 3.12 แสดงวงจรถูกยกกำลังสองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.3 วงจรเฟสล็อกคูล์

ทำหน้าที่ล็อกสัญญาณความถี่ 2 เท่าของสัญญาณคลื่นพาร์ 67.2 กิโลเฮิร์ต หรือ  $\cos^2(\omega_c t)$  โดยใช้วงจรรวม LM565 ดังรูป



รูปที่ 3.13 แสดงวงจรเฟสล็อกคูล์สำหรับลูบยกกำลังสอง

### 3.2.4 วงจรหารสอง

ใช้วงจรรวม 4013 ซึ่งมีดีฟลิปฟลอปอยู่ภายในสำหรับเป็นวงจรหารสอง เอาต์พุตของสัญญาณจากดีฟลิปฟลอปจะได้สัญญาณความถี่ 67.2 กิโลเฮิร์ต เป็นสัญญาณรูปสี่เหลี่ยมซึ่งใช้เป็นอินพุตของวงจรกรองความถี่ผ่าน 67.2 กิโลเฮิร์ตที่มีแบนด์วิธแคบมากเพื่อให้ได้เอาต์พุตเป็นสัญญาณคลื่นพาร์ที่เป็นรูปสัญญาณซายนต์เพื่อนำไปใช้สำหรับวงจรคูณภาคถัดไป โดยแสดงวงจรได้ดังรูป

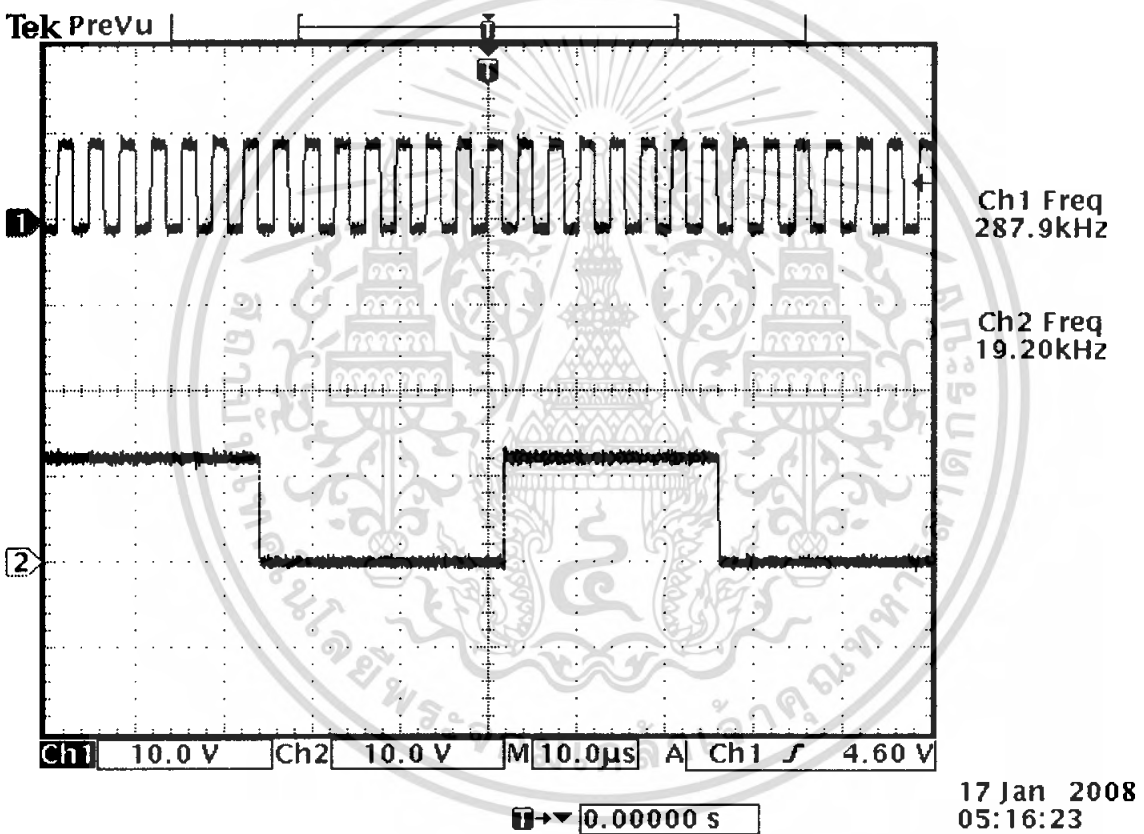


บทที่ 4  
ผลการทดลอง

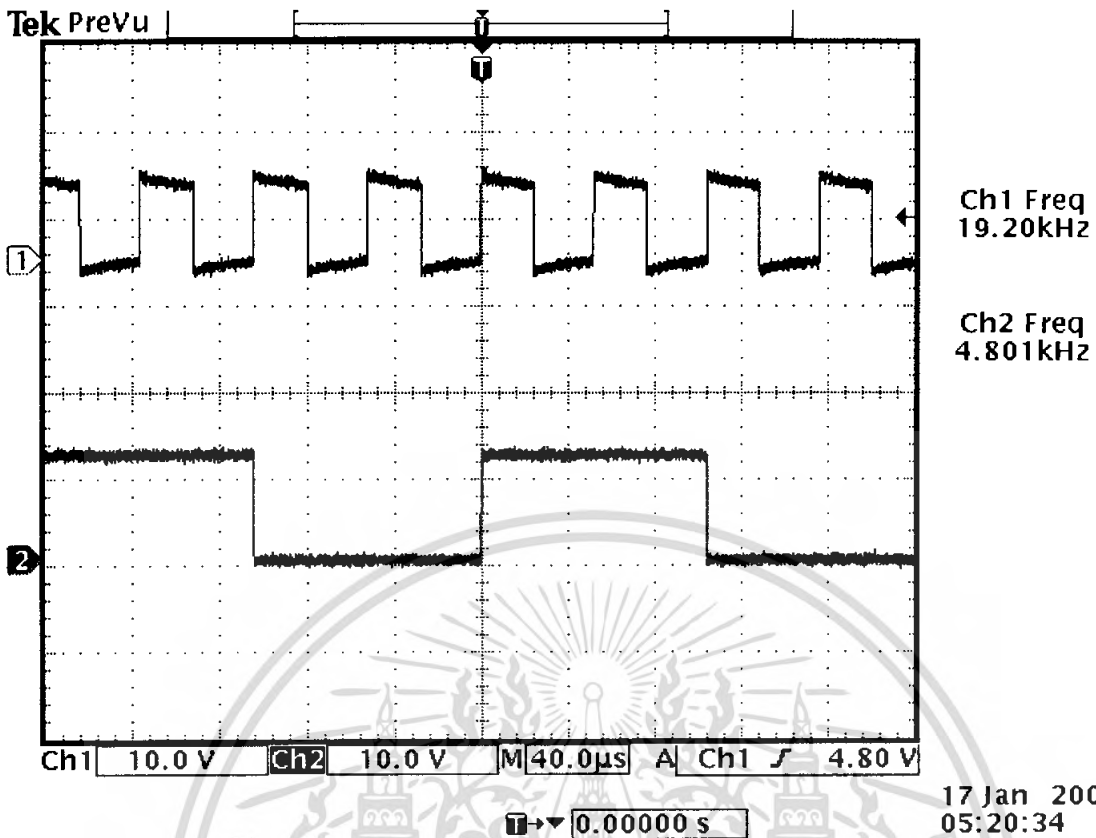
4.1 การทดลองวงจรภาคส่ง

4.1.1 วงจรกำเนิดความถี่ 4800 Hz

เมื่อต่อวงจรดังรูปที่ 3.4 วัดเอาต์พุตที่ขา 6 ของไอซีเบอร์ 4060 ซึ่งเป็นไอซีที่ทำหน้าที่คูณความถี่ด้วย 1/64 จะได้เอาต์พุต ซึ่งแต่เดิมความถี่ที่ผลิตได้จากตัวคริสตัลอสซิลเลเตอร์ มีค่า 18.432 MHz หากหารด้วย 1/64 จะได้ เอาต์พุต 288 kHz หลังจากนั้นนำสัญญาณที่ได้ไปหาร 1/15 จากไอซีเบอร์ 4024 และ 4081 จะได้สัญญาณความถี่ 19.2 kHz ดังรูป



รูปที่ 4.1 แสดงผลของวงจรเมื่อนำสัญญาณที่เกิดจากคริสตัลอสซิลเลเตอร์ 18.432 kHz ผ่านวงจรหารความถี่ด้วย 1/64(รูปบน) รูปล่างคือ การนำสัญญาณเอาต์พุต 288 kHz ที่ได้ไปหาร 1/15



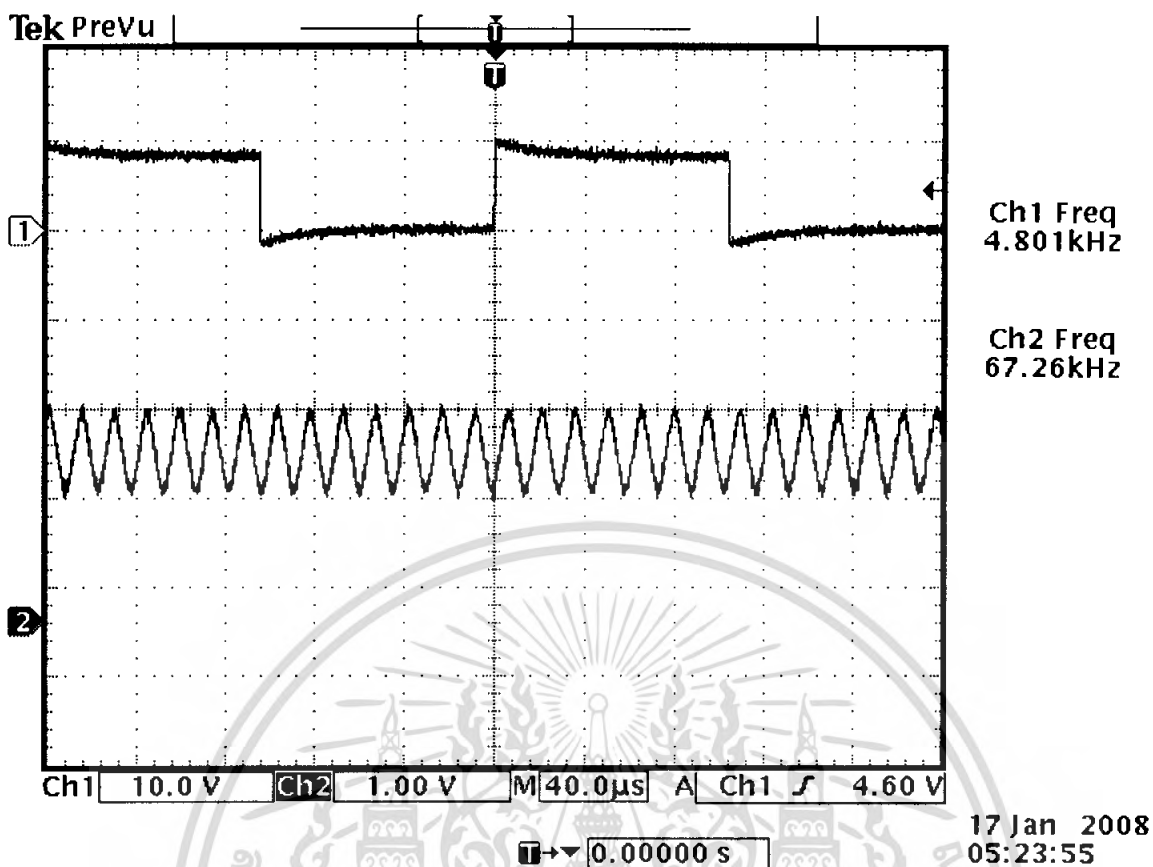
รูปที่ 4.2 รูปบนแสดงผลของวงจรเมื่อนำสัญญาณความถี่ 288 kHz ผ่านวงจรหารความถี่ด้วย 1/15 รูปล่าง แสดงผลของวงจรเมื่อนำสัญญาณความถี่ 19.2 kHz ผ่านวงจรหารความถี่ด้วย 1/4

เมื่อได้ความถี่ 19.2 kHz แล้ว นำไปคูณกับวงจรคูณความถี่ด้วย 1/4 โดยใช้ไอซีเบอร์ 4013 จะได้ความถี่ 4800 Hz ตามต้องการ ดังรูป

#### 4.1.2 วงจรกำเนิดสัญญาณคลื่นพาร์ความถี่ 67.2 kHz

สัญญาณความถี่ 4800 Hz จะใช้เป็นสัญญาณอ้างอิงของวงจรเฟสล็อกกลุ่ม วงจรรวม XR2206 ทำการปรับความต้านทานปรับค่าได้ที่ขา 7 ของวงจรรวม XR2206 เพื่อให้ได้เอาต์พุตที่ขา 2 เป็นสัญญาณชานความถี่ 67.2 kHz ส่วนสัญญาณรูปสี่เหลี่ยมความถี่ 67.2 kHz ที่ขา 11 ของวงจรรวมจะถูกนำไปหารความถี่ เพื่อให้ได้สัญญาณความถี่ 4800 Hz เพื่อใช้เป็นสัญญาณเปรียบเทียบกับที่วงจรรวม 4046 ต่อไป

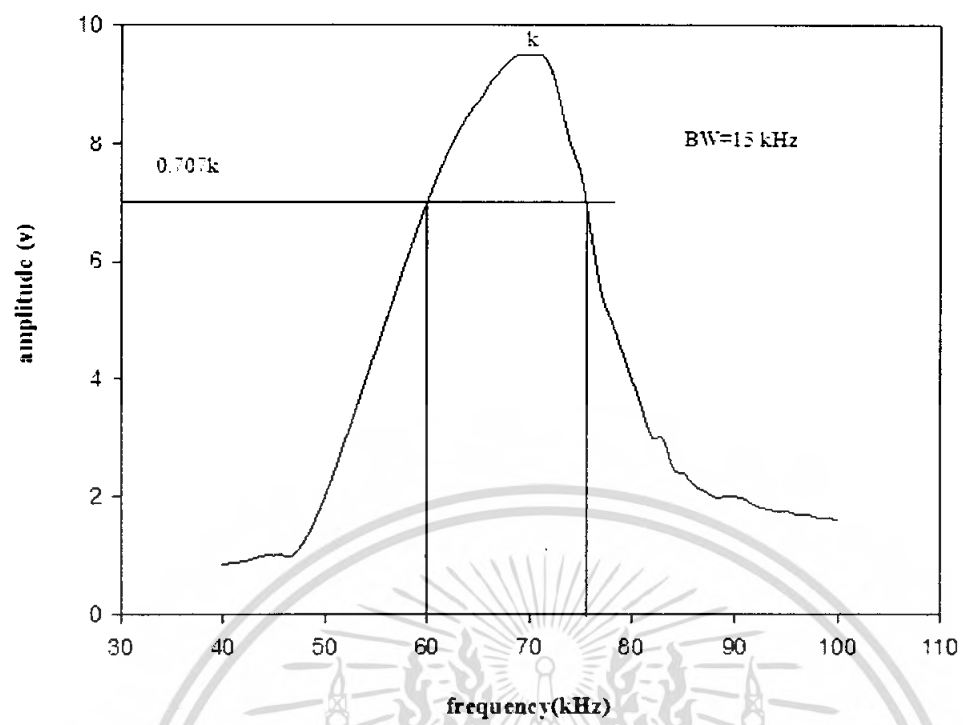
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 รูปบนแสดงผลของวงจรเมื่อนำสัญญาณความถี่ 19.2 kHz ผ่านวงจรหารความถี่ด้วย 1/4  
รูปล่างแสดงสัญญาณคลื่นพาห้ความถี่ 67.2 kHz

#### 4.1.3 วงจรกรองความถี่แถบผ่าน 67.2 kHz

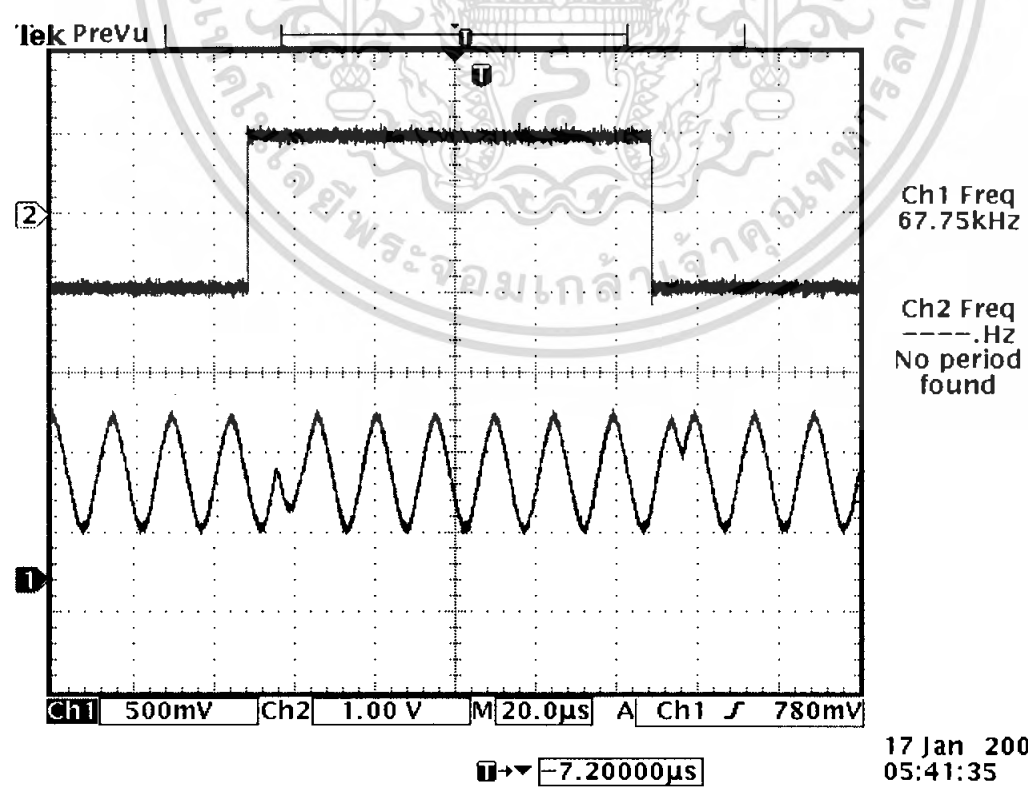
จากการทดลองเพื่อทดสอบคุณสมบัติของแบนด์พาสฟิลเตอร์ โดยเปลี่ยนความถี่ไปเรื่อยๆ จะได้กราฟดังรูป



รูปที่ 4.4 แสดงคุณลักษณะของวงจรกรองความถี่แถบผ่าน

4.1.4 วงจรคูณสัญญาณคลื่นพหุกับสัญญาณขั้วสสาร

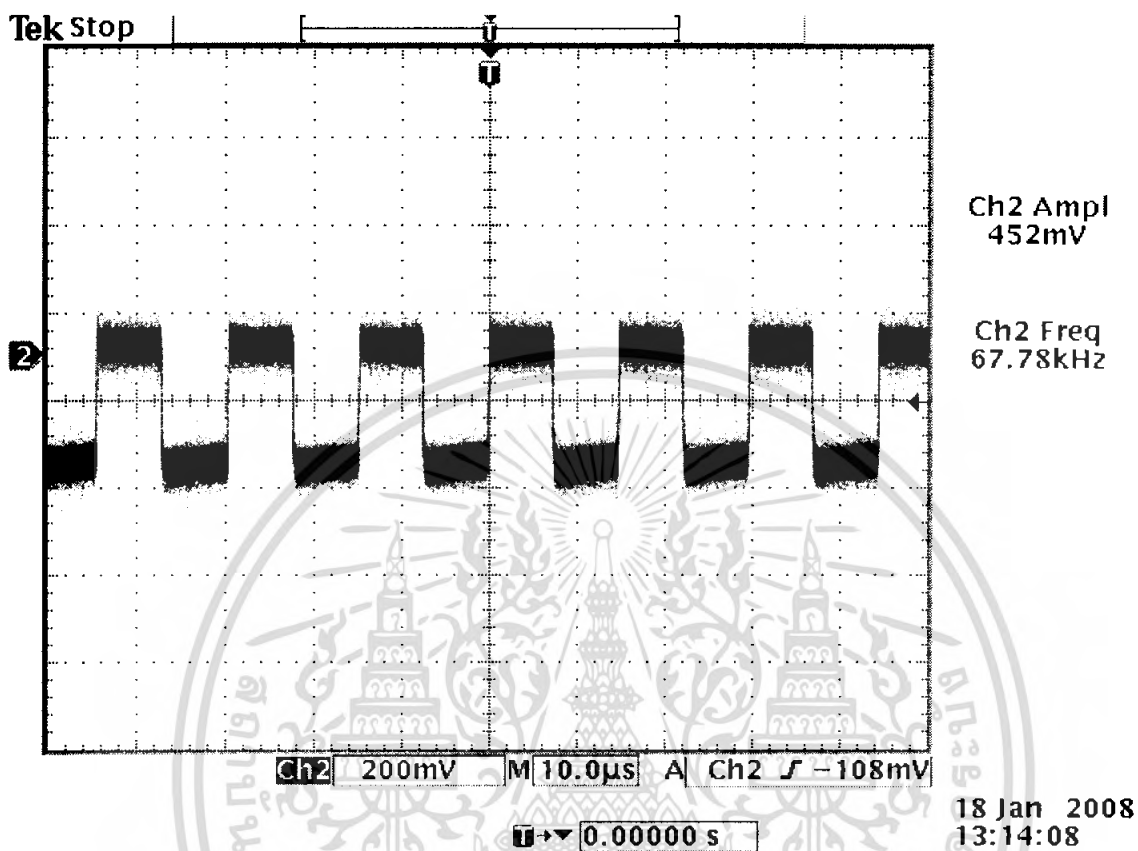
นำสัญญาณขั้วสสารคูณกับคลื่นพหุ โดยการป้อนสัญญาณตามรูปที่ 3.8 ได้ผลการทดลองดังรูป



รูปที่ 4.5 แสดงสัญญาณข้อมูลความถี่ 5 kHz ที่มอดูเลทกับคลื่นพหุความถี่ 67.5 kHz

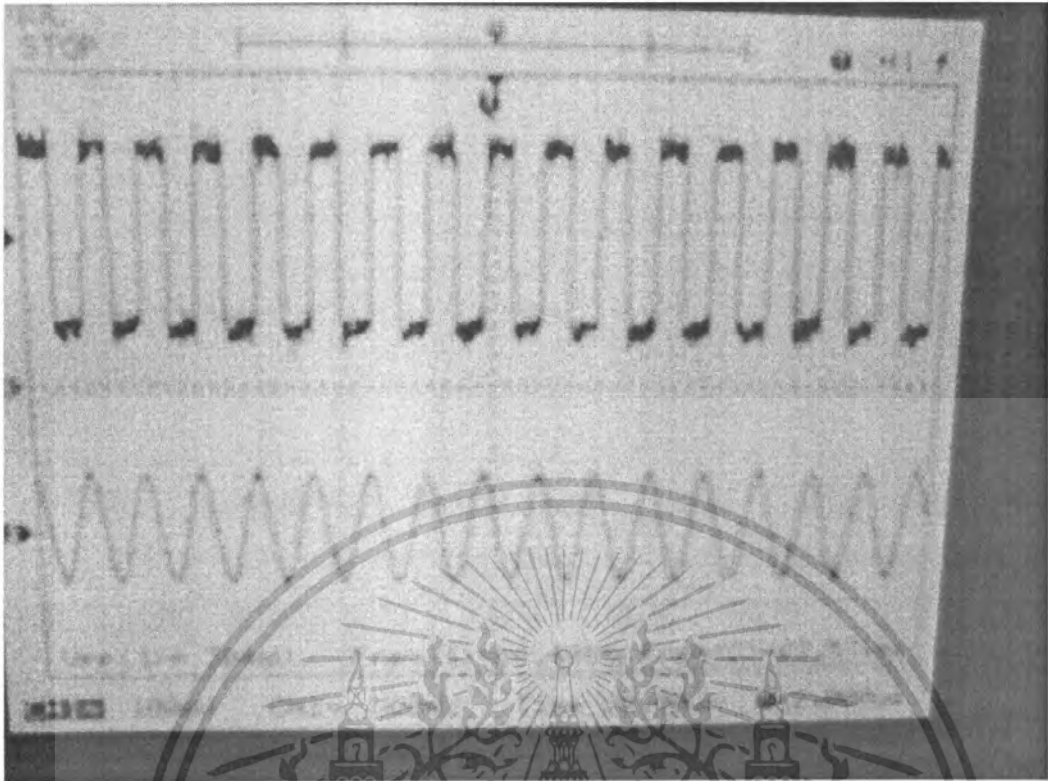
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการวิชาการเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบวงจรผู้ส่งสัญญาณคลื่นพาห์เมื่อทำการป้อนสัญญาณ BPSK ให้กับวงจรผู้ความถี่คลื่นพาห์ตามบล็อกไดอะแกรมในรูปที่ 3.11 ได้ผลการทดสอบดังรูป

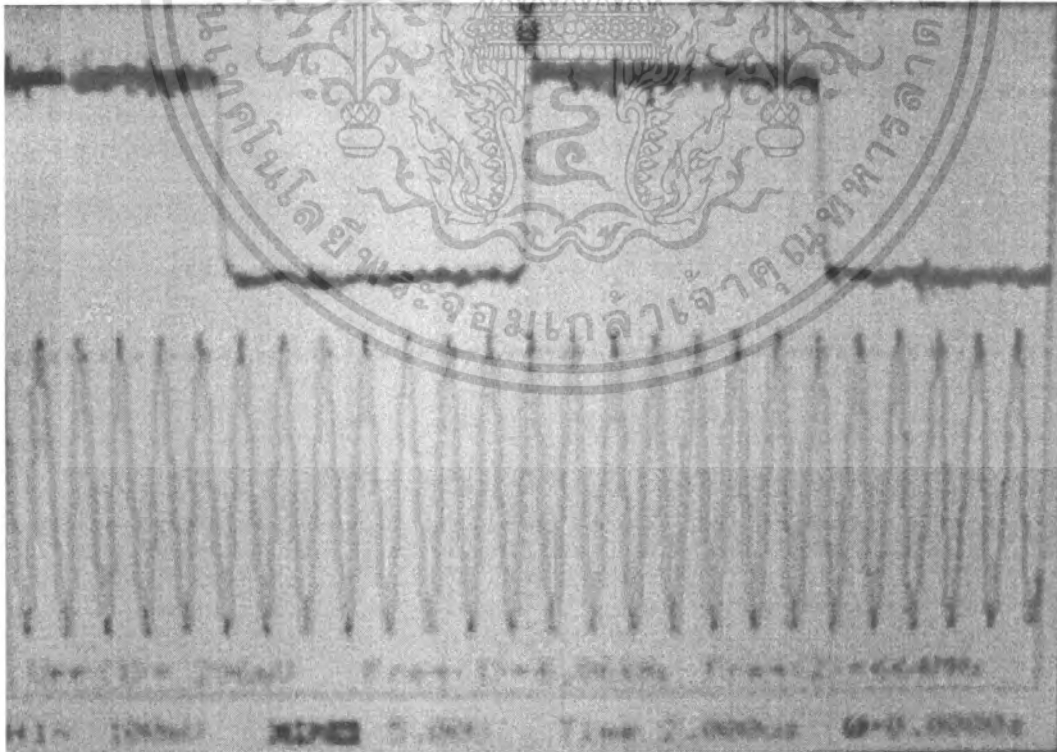


รูปที่ 4.6 แสดงสัญญาณคลื่นพาห์ 67.78 กิโลเฮิร์ตที่ถูกกลับมาได้ที่ด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงสัญญาณคลื่นพาห์ที่รับได้(รูปบน) และสัญญาณคลื่นพาห์เมื่อผ่านวงจรแบนด์พาสฟิลเตอร์ (รูปล่าง)



รูปที่ 4.8 แสดงสัญญาณข้อมูลที่ถูกได้(รูปบน)เทียบกับคลื่นพาห์(รูปล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### บทวิจารณ์และบทสรุป

จากการทำโครงการเรื่อง เครื่องรับ - ส่งสัญญาณดิจิทัลผ่านทางช่องสัญญาณเอฟเอ็ม เอสซีเอ สามารถสรุปผลการทดลองได้ดังนี้

#### ด้านภาคส่ง

- ในโครงการนี้เราสามารถสร้างความถี่ 4800 Hz ออกมา และนำไปใช้เป็นสัญญาณอ้างอิงในการสร้างคลื่นพาห้ความถี่ 67.2 kHz ซึ่งคลื่นพาห้ตัวนี้เราสร้างออกมาได้ที่ความถี่ 67.2 kHz

- สามารถทำการมอดูเลตสัญญาณข้อมูลซึ่งเราใช้สัญญาณข้อมูลตัวอย่างเป็นสัญญาณรูปสี่เหลี่ยมความถี่ 5 kHz จาก signal generator กับสัญญาณคลื่นพาห้ความถี่ประมาณ 67.2 kHz ออกมาได้ แต่สัญญาณที่ได้มีค่าแอมพลิจูดน้อยเกินไป จึงต้องนำไปผ่านวงจรขยายขนาดสัญญาณอีกที

- สามารถสร้างตัวกรองความถี่แถบผ่าน แบนด์พาสฟิลเตอร์ ที่สามารถกรองความถี่ที่มีความถี่กลางอยู่ประมาณ 67.2 kHz และมีช่วงความถี่ประมาณ 15 kHz ออกมาได้

#### ด้านภาครับ

- สามารถสร้างตัวกรองความถี่แถบผ่าน แบนด์พาสฟิลเตอร์ ที่สามารถกรองความถี่ที่มีความถี่กลางอยู่ประมาณ 67.2 kHz และมีช่วงความถี่ประมาณ 15 kHz ออกมาได้เช่นเดียวกับทางภาคส่ง

- สามารถทำการสร้างวงจรกู้สัญญาณคลื่นพาห้ โดยใช้วงจรตามบล็อกไดอะแกรมในรูปที่ 3.11 แล้วได้ผลออกมาเป็นสัญญาณคลื่นพาห้เป็นสัญญาณสี่เหลี่ยมความถี่ประมาณ 67.2 kHz ซึ่งจะใช้ในการดีมอดูเลตสัญญาณพีเอสเคต่อไป

- สามารถกู้สัญญาณข้อมูลโดยใช้วงจรคูณสัญญาณคลื่นพาห้เข้ากับสัญญาณ BPSK โดยใช้วงจรรวม LM1496 เพื่อนำสัญญาณพาหะมาหักล้างสัญญาณพาหะเดิม ทำให้ได้สัญญาณ ข้อมูลตามต้องการ

#### ปัญหาที่พบและแนวทางแก้ไข

- เนื่องจากไอซีเบอร์ ICL8013 ที่ใช้ในการมอดูเลตสัญญาณ BPSK ไม่มีจำหน่ายในท้องตลาด เราจึงทำการเปลี่ยนวงจรมาใช้ในการมอดูเลตแบบ BPSK ใหม่โดยใช้ IC เบอร์ MC1496 ในการมอดูเลตแทน ทำให้งานล่าช้า

- ปัญหาที่สำคัญในตอนนี้คือ เราหาตัวรับ - ส่ง เอฟเอ็มสำเร็จรูปในท้องตลาดไม่ได้ จึงมีความจำเป็นที่จะต้องทำการสร้างวงจรดังกล่าวขึ้นมาเอง ซึ่งในส่วนของเครื่องรับนั้น ยังพอที่จะรับสัญญาณเอฟเอ็มในอากาศได้ แต่ในด้านเครื่องส่งนั้น ยังไม่สามารถทำออกมาเป็นชิ้นงานสำเร็จได้ ผลเนื่องมาจากตัวเก็บประจุและตัวเหนี่ยวนำทำออกมาแล้วไม่ได้ค่ากระแสตามที่ต้องการ มีผลทำให้ความถี่ของวงจรนั้นไม่ได้ตรงตามต้องการเช่นกัน

- เนื่องจากอุปกรณ์ตามคาต้าชีสบางตัว เช่น ตัวเก็บประจุ ตัวต้านทาน เมื่อต่อตามที่แสดง ที่แสดงไว้ในคาต้าชีสแล้ว ผลการทดลองที่ออกมาไม่ตรงตามที่กำหนด จึงทำการแก้ไขโดยทำการเปลี่ยนแปลงค่าของอุปกรณ์บางตัวเพื่อให้มีผลการทดลองตรงตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการเขียนขึ้นเพื่อการศึกษาค้นคว้าเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความไม่เสถียรของวงจรซึ่งเกิดจากการต่อขาของอุปกรณ์และสายไฟไม่แน่นแก้ไขโดยต่อให้แน่นมากขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บรรณานุกรม

ณรงค์ เหมกรณ์ ,การสื่อสารดาวเทียม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร, 2533

บรรเจิด ตันติภักษารณ,เครื่องรับส่ง . กรุงเทพมหานคร. เครื่องรับส่ง , 2533

ประสิทธิ์ ประพัฒน์มงคลการ , หลักการระบบสื่อสาร . ซีเอ็ดยูเคชั่น

นรินทร์ เนาวประทีป , ความรู้เบื้องต้นทางวิทยุกระจายเสียงและวิทยุโทรทัศน์. ฟิสิกส์เซ็นเตอร์

บุญชาติ เนติศักดิ์ , ทฤษฎีและปฏิบัติเครื่องรับวิทยุ AM/FM ซีเอ็ดยูเคชั่น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# LF347, B LF351 LF353

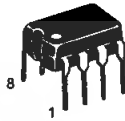
## FAMILY OF JFET OPERATIONAL AMPLIFIERS

### JFET Input Operational Amplifiers


These low cost JFET input operational amplifiers combine two state-of-the-art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The JFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current: 50 pA
- Low Input Noise Voltage: 16 nV/ $\sqrt{\text{Hz}}$
- Wide Gain Bandwidth: 4.0 MHz
- High Slew Rate: 13V/ $\mu\text{s}$
- Low Supply Current: 1.8 mA per Amplifier
- High Input Impedance: 10<sup>12</sup>  $\Omega$
- High Common Mode and Supply Voltage Rejection Ratios: 100 dB

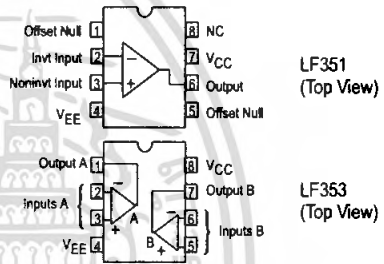


**N SUFFIX**  
PLASTIC PACKAGE  
CASE 626

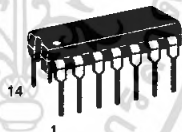


**D SUFFIX**  
PLASTIC PACKAGE  
CASE 751  
(SO-8)

**PIN CONNECTIONS**

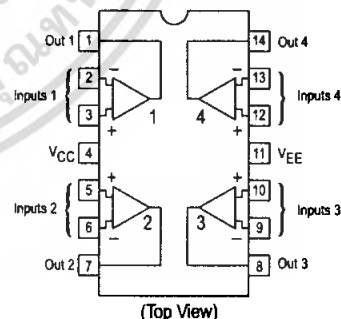


LF351 (Top View)  
LF353 (Top View)



**N SUFFIX**  
PLASTIC PACKAGE  
CASE 646

**PIN CONNECTIONS**



(Top View)

ORDERING INFORMATION			
Device	Function	Operating Temperature Range	Package
LF351D LF351N	Single Single	$T_A = 0^\circ \text{ to } +70^\circ \text{C}$	SO-8 Plastic DIP
LF353D LF353N	Dual Dual		SO-8 Plastic DIP
LF347BN LF347N	Quad Quad		Plastic DIP Plastic DIP

**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Supply Voltage	V <sub>CC</sub> V <sub>EE</sub>	+18 -18	V
Differential Input Voltage	V <sub>ID</sub>	±30	V
Input Voltage Range (Note 1)	V <sub>IDR</sub>	±15	V
Output Short Circuit Duration (Note 2)	t <sub>SC</sub>	Continuous	
Power Dissipation at T <sub>A</sub> = +25°C Derate above T <sub>A</sub> = +25°C	P <sub>D</sub> 1/ $\theta_{JA}$	900 10	mW mW/°C
Operating Ambient Temperature Range	T <sub>A</sub>	0 to +70	°C
Operating Junction Temperature Range	T <sub>J</sub>	115	°C
Storage Temperature Range	T <sub>stg</sub>	-65 to +150	°C

- NOTES:**
1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
  2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature rating may be exceeded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LF347, B LF351 LF353

**ELECTRICAL CHARACTERISTICS** ( $V_{CC} = +15$  V,  $V_{EE} = -15$  V,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.)

Characteristic	Symbol	LF347B			LF347, LF351, LF353			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ( $R_S \leq 10$ k, $V_{CM} = 0$ ) $T_A = +25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$V_{IO}$	–	1.0	5.0	–	5.0	10	mV
		–	–	8.0	–	–	13	
Avg. Temperature Coefficient of Input Offset Voltage $R_S \leq 10$ k, $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$\Delta V_{IO}/\Delta T$	–	10	–	–	10	–	$\mu\text{V}/^\circ\text{C}$
Input Offset Current ( $V_{CM} = 0$ , Note 3) $T_A = +25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$I_{IO}$	–	25	100	–	25	100	pA
		–	–	4.0	–	–	4.0	nA
Input Bias Current ( $V_{CM} = 0$ , Note 3) $T_A = +25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$I_{IB}$	–	50	200	–	50	200	pA
		–	–	8.0	–	–	8.0	nA
Input Resistance	$r_i$	–	10 <sup>12</sup>	–	–	10 <sup>12</sup>	–	$\Omega$
Common Mode Input Voltage Range	$V_{ICR}$	$\pm 11$	+15 –12	–	$\pm 11$	+15 –12	–	V
Large-Signal Voltage Gain ( $V_O = \pm 10$ V, $R_L = 2.0$ k) $T_A = +25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$A_{VOL}$	50 25	100 –	– –	25 15	100 –	– –	V/mV
Output Voltage Swing ( $R_L = 10$ k)	$V_O$	$\pm 12$	$\pm 14$	–	$\pm 12$	$\pm 14$	–	V
Common Mode Rejection ( $R_S \leq 10$ k)	CMR	80	100	–	70	100	–	dB
Supply Voltage Rejection ( $R_S \leq 10$ k)	PSRR	80	100	–	70	100	–	dB
Supply Current LF347 LF351 LF353	$I_D$	– – –	7.2 – –	11 – –	– – –	7.2 1.8 3.6	11 3.4 6.5	mA
Short Circuit Current	$I_{SC}$	–	25	–	–	25	–	mA
Slew Rate ( $A_V = +1$ )	SR	–	13	–	–	13	–	V/ $\mu\text{s}$
Gain–Bandwidth Product	BWp	–	4.0	–	–	4.0	–	MHz
Equivalent Input Noise Voltage ( $R_S = 100$ $\Omega$ , $f = 1000$ Hz)	$e_n$	–	24	–	–	24	–	nV/ $\sqrt{\text{Hz}}$
Equivalent Input Noise Current ( $f = 1000$ Hz)	$i_n$	–	0.01	–	–	0.01	–	pA/ $\sqrt{\text{Hz}}$
Channel Separation (LF347, LF353) 1.0 Hz $\leq f \leq 20$ kHz (Input Referred)	–	–	–120	–	–	–120	–	dB

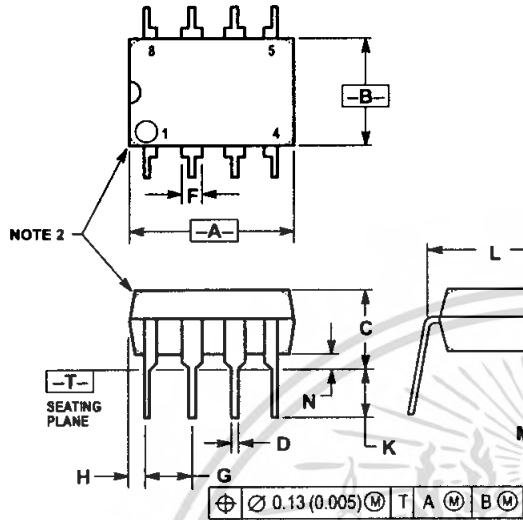
For Typical Characteristic Performance Curves, refer to MC34001, 34002, 34004 data sheet.

**NOTE:** 3. Input bias currents of JFET input op amps approximately double for every  $10^\circ\text{C}$  rise in junction temperature. To maintain junction temperatures as close to ambient as is possible, pulse techniques are utilized during test.

# LF347, B LF351 LF353

## OUTLINE DIMENSIONS

### N SUFFIX PLASTIC PACKAGE CASE 626-05 ISSUE K

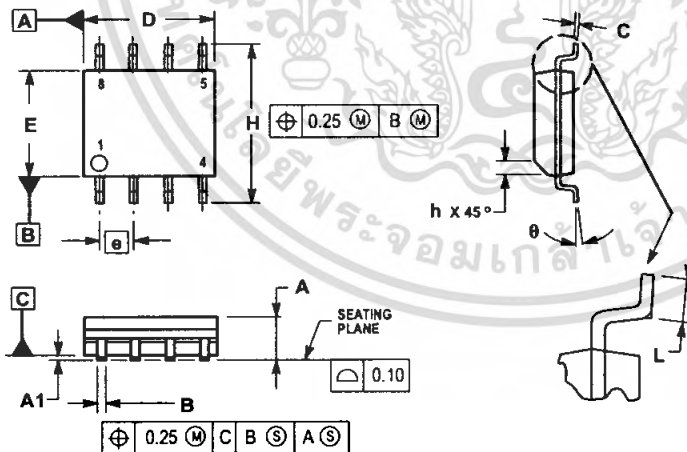


NOTES:

1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	10°		10°	
N	0.76	1.01	0.030	0.040

### D SUFFIX PLASTIC PACKAGE CASE 751-05 (SO-8) ISSUE R



NOTES:

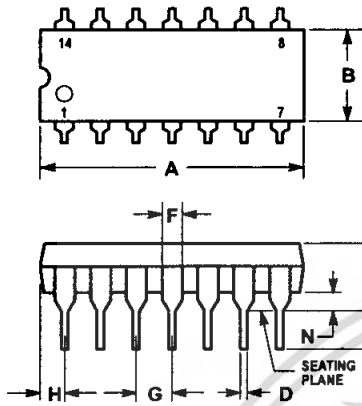
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. DIMENSIONS ARE IN MILLIMETERS.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS	
	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.18	0.25
D	4.90	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.90	6.20
h	0.25	0.50
L	0.40	1.25
θ	0° 7°	

# LF347, B LF351 LF353

## OUTLINE DIMENSIONS


N SUFFIX  
PLASTIC PACKAGE  
CASE 646-06  
ISSUE L



NOTES:

- LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
- DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
- DIMENSION B DOES NOT INCLUDE MOLD FLASH.
- ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0° 10°		0° 10°	
N	0.015	0.039	0.39	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;  
P.O. Box 20912; Phoenix, Arizona 85036. 1-800-441-2447 or 602-303-5454

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, 6F Seibu-Butsuryu-Center,  
3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-81-3521-8315

MFAX: RMFAX0@email.sps.mot.com - TOUCHTONE 602-244-6609  
INTERNET: http://Design-NET.com

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,  
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



**MOTOROLA**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้



LF347/D

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CMOS Dual 'D'-Type Flip-Flop

High-Voltage Types (20-Volt Rating)

■ CD4013B consists of two identical, independent data-type flip-flops. Each flip-flop has independent data, set, reset, and clock inputs and Q and  $\bar{Q}$  outputs. These devices can be used for shift register applications, and, by connecting  $\bar{Q}$  output to the data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line, respectively.

The CD4013B types are supplied in 14-lead hermetic dual-in-line ceramic packages (F3A suffix), 14-lead dual-in-line plastic packages (E suffix), 14-lead small-outline packages (M, MT, M96, and NSR suffixes), and 14-lead thin shrink small-outline packages (PW and PWR suffixes).

### RECOMMENDED OPERATING CONDITIONS

At  $T_A = 25^\circ\text{C}$ , Except as Noted. For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	$V_{DD}$ (V)	LIMITS		UNITS
		MIN.	MAX.	
Supply-Voltage Range (For $T_A =$ Full Package Temperature Range)	—	3	18	V
Data Setup Time $t_{SD}$	5	40	—	ns
	10	20	—	
	15	15	—	
Clock Pulse Width $t_{W}$	5	140	—	ns
	10	80	—	
	15	40	—	
Clock Input Frequency $f_{CL}$	5	—	3.5	MHz
	10	dc	8	
	15	—	12	
Clock Rise or Fall Time $t_{rCL}$ , $t_{fCL}$	5	—	15	$\mu\text{s}$
	10	—	10	
	15	—	5	
Set or Reset Pulse Width $t_{W}$	5	180	—	ns
	10	80	—	
	15	50	—	

\*If more than one unit is cascaded in a parallel clocked operation,  $t_{rCL}$  should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

### Features:

- Set-Reset capability
  - Static flip-flop operation — retains state indefinitely with clock level either "high" or "low"
  - Medium-speed operation — 16 MHz (typ.) clock toggle rate at 10V
  - Standardized symmetrical output characteristics
  - 100% tested for quiescent current at 20 V
  - Maximum input current of 1  $\mu\text{A}$  at 18 V over full package temperature range; 100 nA at 18 V and 25 $^\circ\text{C}$
  - Noise margin (over full package temperature range): 1 V at  $V_{DD}=5$  V  
2 V at  $V_{DD}=10$  V  
2.5 V at  $V_{DD}=15$  V
  - 5-V, 10-V, and 15-V parametric ratings
  - Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"
- ### Applications:
- Registers, counters, control circuits

# CD4013B Types

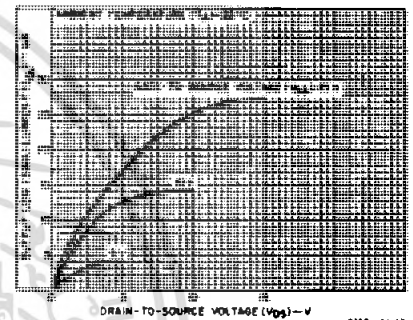
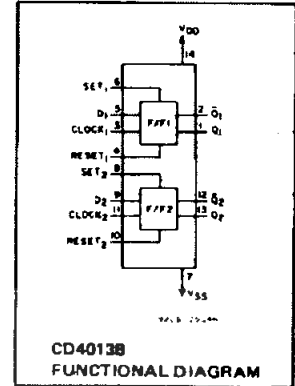


Fig. 1 — Typical output low (sink) current characteristics.

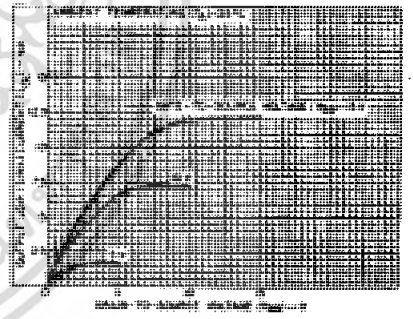


Fig. 2 — Minimum output low (sink) current characteristics.

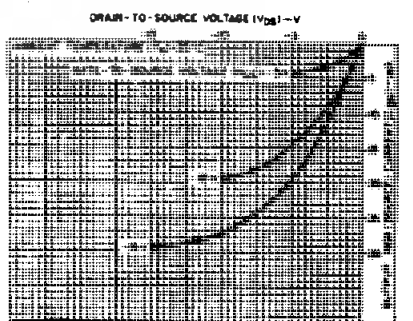


Fig. 3 — Typical output high (source) current characteristics.

# CD4013B Types

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current I <sub>DD</sub> Max.	—	0,5	5	1	1	30	30	—	0.02	1	μA
	—	0,10	10	2	2	60	60	—	0.02	2	
	—	0,15	15	4	4	120	120	—	0.02	4	
Output Low (Sink) Current, I <sub>OL</sub> Min.	0.4	0,5	5	0.64	0.61	0.42	0.38	0.51	1	—	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0,10	10	-1.8	-1.5	-1.1	-0.9	-1.3	-2.6	—	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0,5	5					0.05	0	0.05	V
	—	0,10	10					0.05	0	0.05	
	—	0,15	15					0.05	0	0.05	
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0,5	5					4.95	4.95	5	V
	—	0,10	10					9.95	9.95	10	
	—	0,15	15					14.95	14.95	15	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5					1.5	—	1.5	V
	1.9	—	10					3	—	3	
	1.5, 13.5	—	15					4	—	4	
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	—	5					3.5	3.5	—	V
	1.9	—	10					7	7	—	
	1.5, 13.5	—	15					11	11	—	
Input Current, I <sub>IN</sub> Max.	—	0,18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA

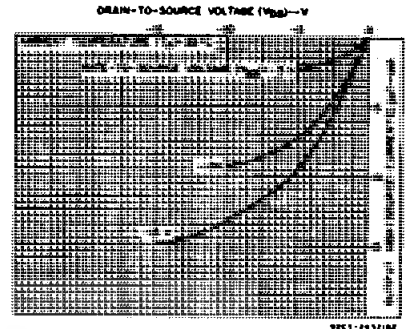


Fig. 4 — Minimum output high (source) current characteristics.

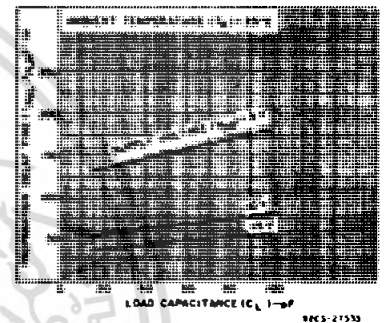


Fig. 5 — Typical propagation delay time vs. load capacitance (CLOCK or SET to Q, CLOCK or RESET to Q).

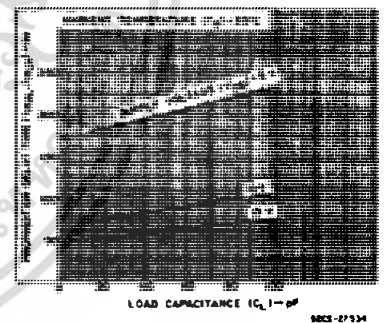


Fig. 6 — Typical propagation delay time vs. load capacitance (SET to Q or RESET to Q).

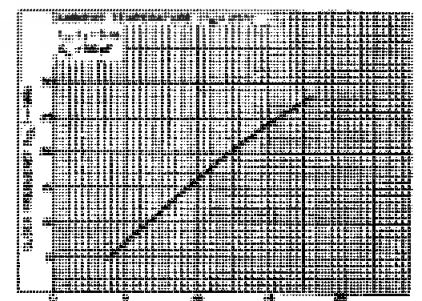


Fig. 8 — Typical maximum clock frequency vs. supply voltage.

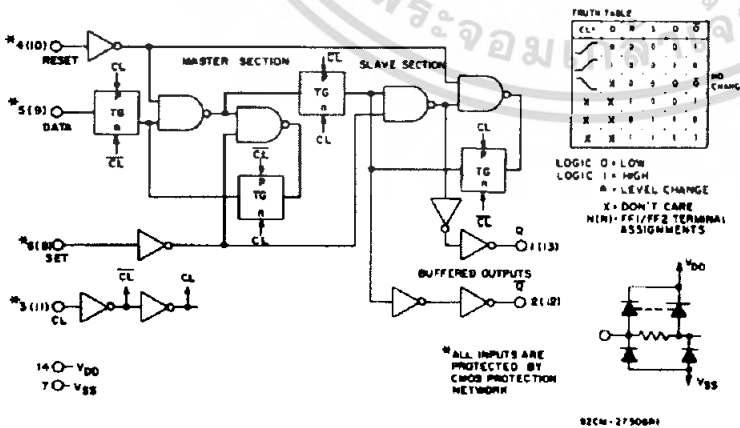


Fig. 7 — Logic diagram and truth table for CD4013B (one of two identical flip-flops).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CD4013B Types

## MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ) Voltages referenced to $V_{SS}$ Terminal)	-0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to $V_{DD} + 0.5V$
DC INPUT CURRENT, ANY ONE INPUT	$\pm 10mA$
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -55^\circ C$ to $+100^\circ C$	500mW
For $T_A = +100^\circ C$ to $+125^\circ C$	Derate Linearly at 12mW/ $^\circ C$ to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE ( $T_A$ )	$-55^\circ C$ to $+125^\circ C$
STORAGE TEMPERATURE RANGE ( $T_{stg}$ )	$-65^\circ C$ to $+150^\circ C$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79mm) from case for 10s max	$+265^\circ C$

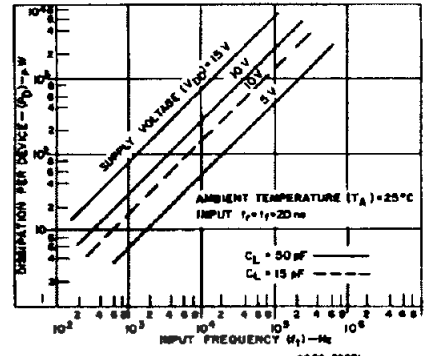


Fig. 9 - Typical power dissipation vs. frequency.

## DYNAMIC ELECTRICAL CHARACTERISTICS

At  $T_A = 25^\circ C$ ; Input  $t_r, t_f = 20 ns$ ,  $C_L = 50 pF$ ,  $R_L = 20 k\Omega$

CHARACTERISTIC	TEST CONDITIONS $V_{DD}$ (V)	LIMITS			UNITS
		MIN.	TYP.	MAX.	
Propagation Delay Time: Clock to Q or $\bar{Q}$ Outputs $t_{PHL}, t_{PLH}$	5 10 15	— — —	150 65 45	300 130 90	ns
Set to Q or Reset to $\bar{Q}$ $t_{PLH}$	5 10 15	— — —	150 65 45	300 130 90	ns
Set to $\bar{Q}$ or Reset to Q $t_{PHL}$	5 10 15	— — —	200 85 60	400 170 120	ns
Transition Time $t_{PHL}, t_{PLH}$	5 10 15	— — —	100 50 40	200 100 80	ns
Maximum Clock Input Frequency* $f_{CL}$	5 10 15	3.5 8 12	7 16 24	—	MHz
Minimum Clock Pulse Width $t_w$	5 10 15	— — —	70 30 20	140 60 40	ns
Minimum Set or Reset Pulse Width $t_w$	5 10 15	— — —	90 40 25	180 80 50	ns
Minimum Data Setup Time $t_s$	5 10 15	— — —	20 10 7	40 20 15	ns
Minimum Data Hold Time $t_h$	5 10 15	— — —	2 2 2	5 5 5	ns
Clock Input Rise or Fall Time $t_{CL}, t_{\bar{C}L}$	5 10 15	— — —	— — —	15 10 5	$\mu s$
Input Capacitance $C_{IN}$	Any Input	—	5	7.5	pF

\*Input  $t_r, t_f = 5 ns$ .

## TEST CIRCUITS

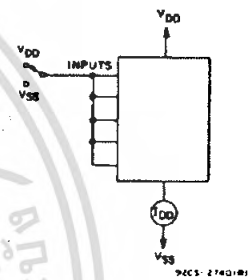


Fig. 10 - Quiescent device current.

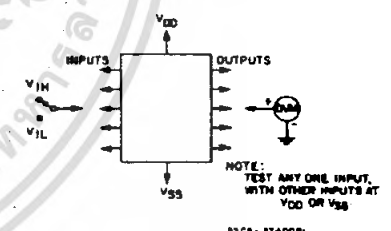


Fig. 11 - Input voltage.

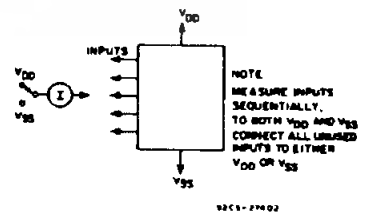
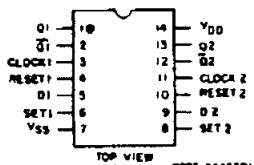


Fig. 12 - Input current.

## CD4013B Types



**TERMINAL ASSIGNMENT**

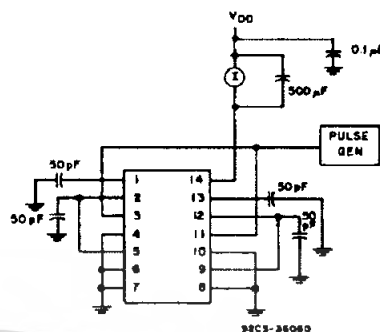
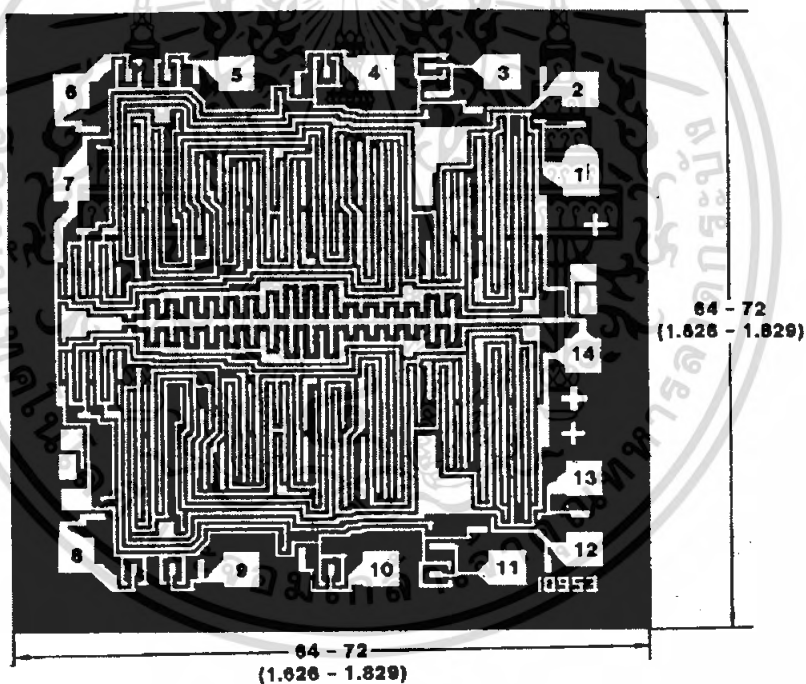


Fig. 13—Dynamic power dissipation test circuit.

### DIMENSIONS AND PAD LAYOUT FOR CD4013BH



*Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils ( $10^{-3}$  inch).*

**PACKAGING INFORMATION**

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
89267AKB3T	OBSOLETE	CFP	WR	14		TBD	Call TI	Call TI
CD4013BE	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
CD4013BEE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
CD4013BF	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
CD4013BF3A	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
CD4013BK3	OBSOLETE	CFP	WR	14		TBD	Call TI	Call TI
CD4013BM	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BM96	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BM96E4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BME4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BMT	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BMTE4	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BNSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPWE4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPWG4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPWRE4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4013BPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
JM38510/05151BCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC

<sup>(1)</sup> The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

<sup>(2)</sup> Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

**TBD:** The Pb-Free/Green conversion plan has not been defined.

**Pb-Free (RoHS):** TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered

at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

**Green (RoHS & no Sb/Br):** TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

<sup>(3)</sup> MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

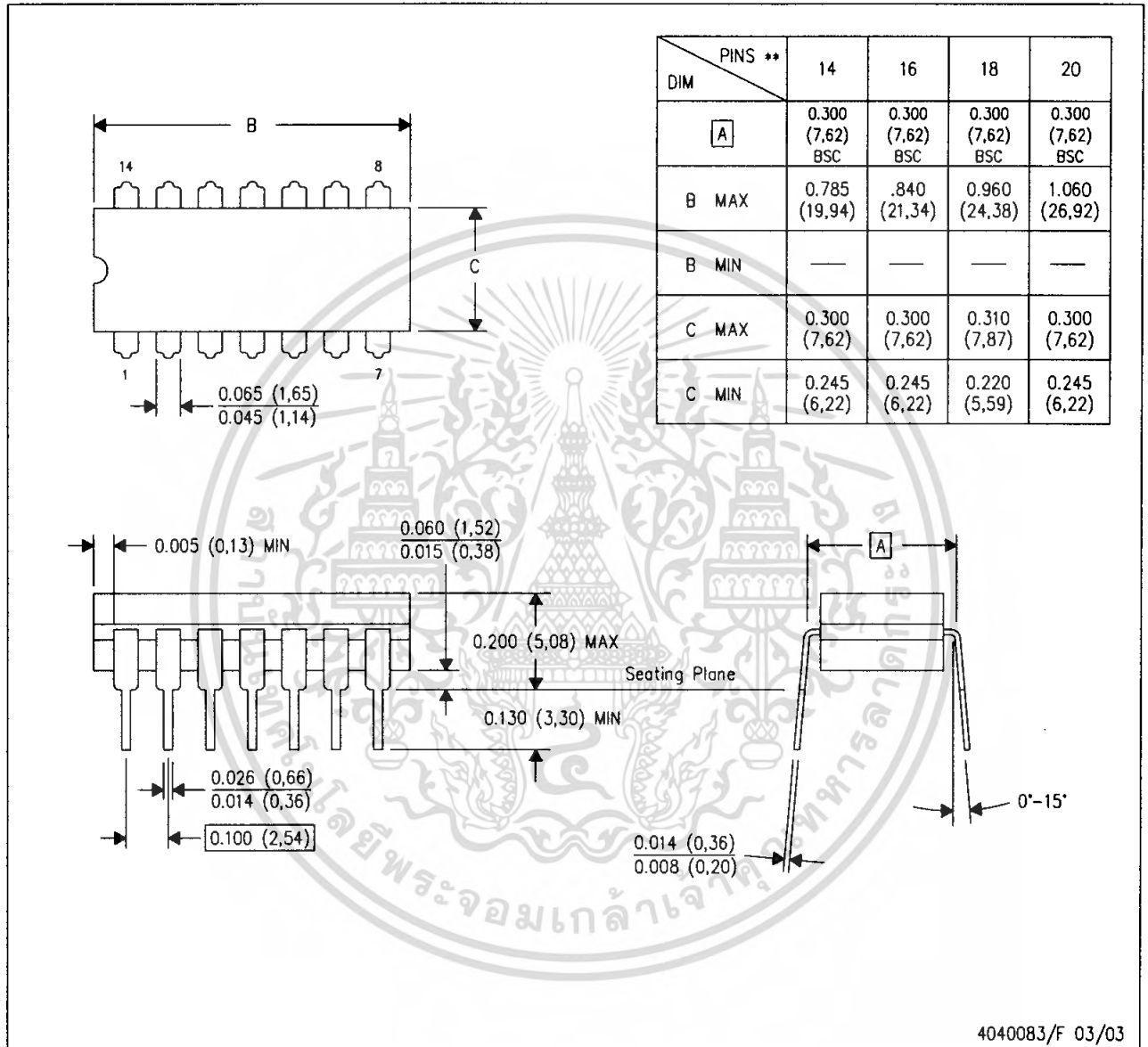
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



J (R-GDIP-T\*\*)

CERAMIC DUAL IN-LINE PACKAGE

14 LEADS SHOWN



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. This package is hermetically sealed with a ceramic lid using glass frit.
  - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
  - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

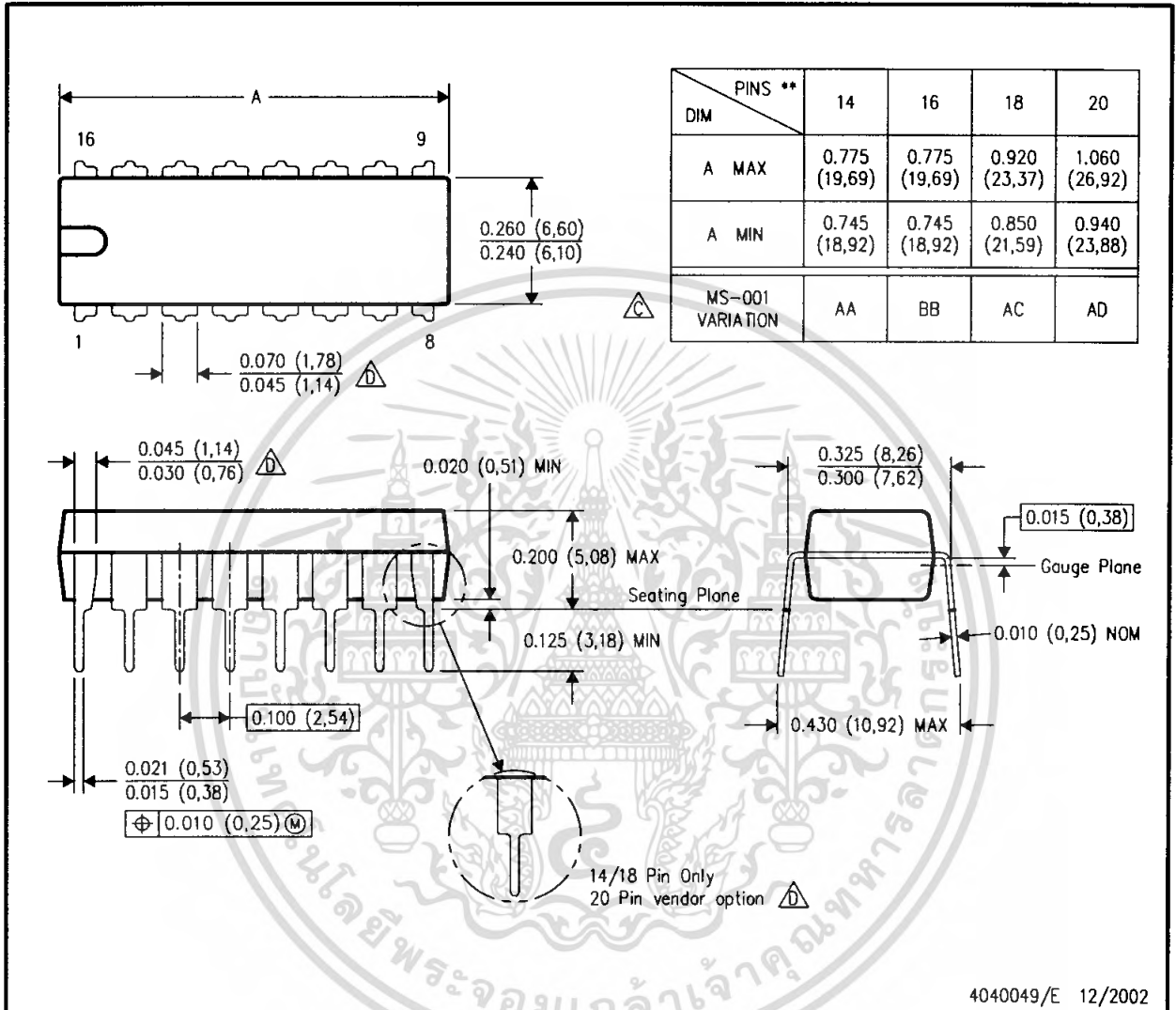
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MECHANICAL DATA

## N (R-PDIP-T\*\*)

16 PINS SHOWN

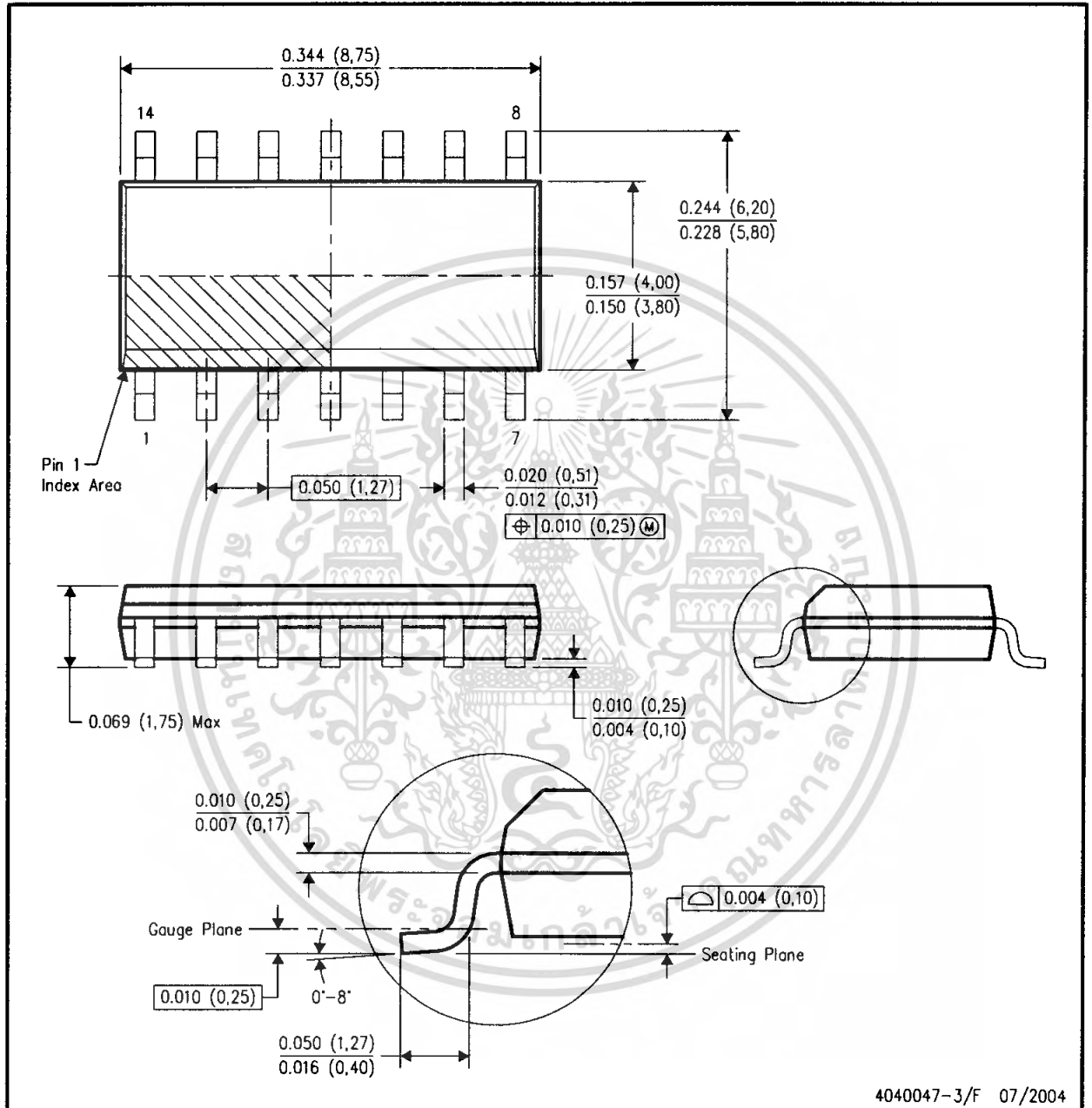
## PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE



4040047-3/F 07/2004

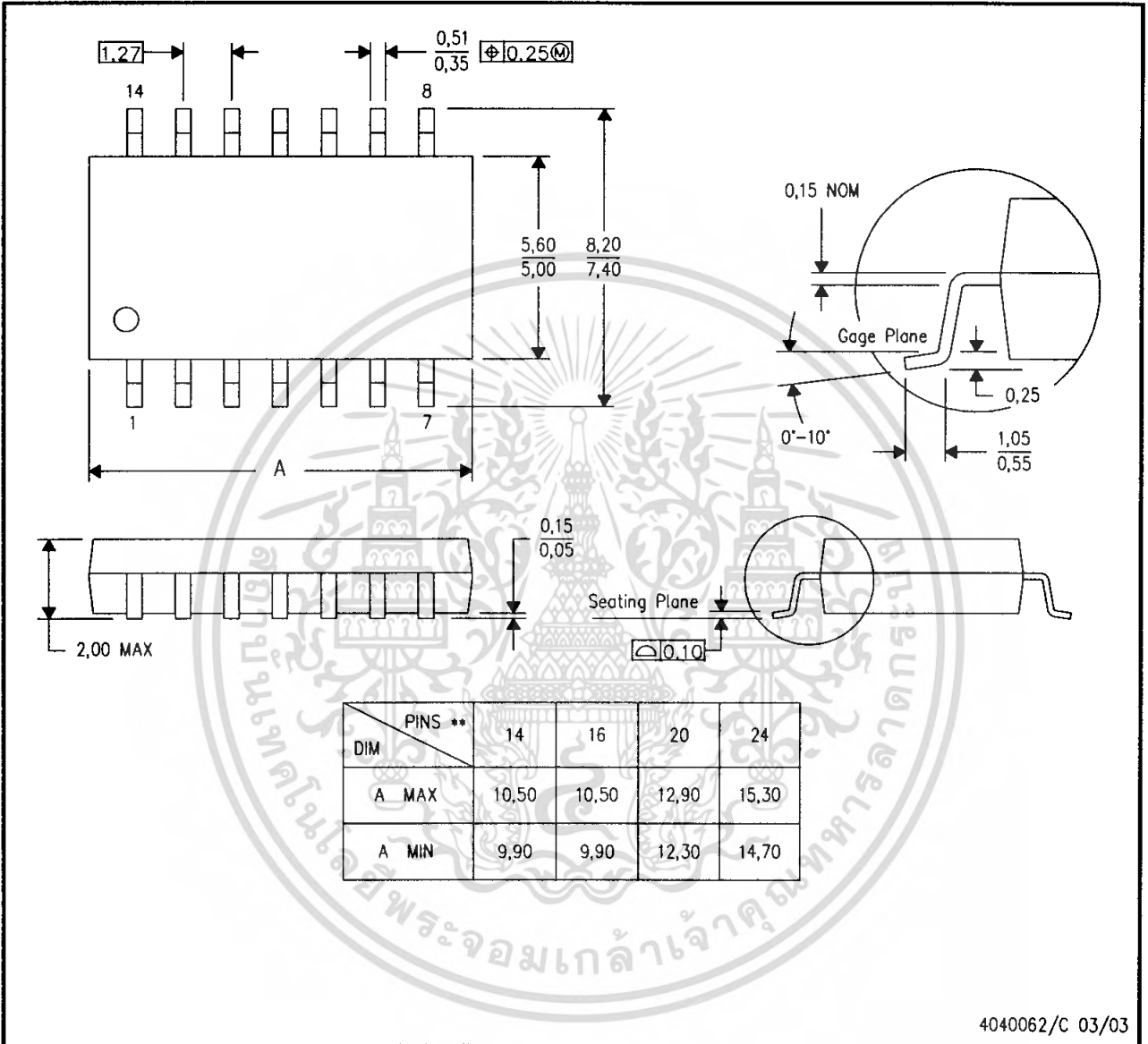
- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
  - D. Falls within JEDEC MS-012 variation AB.

## MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN

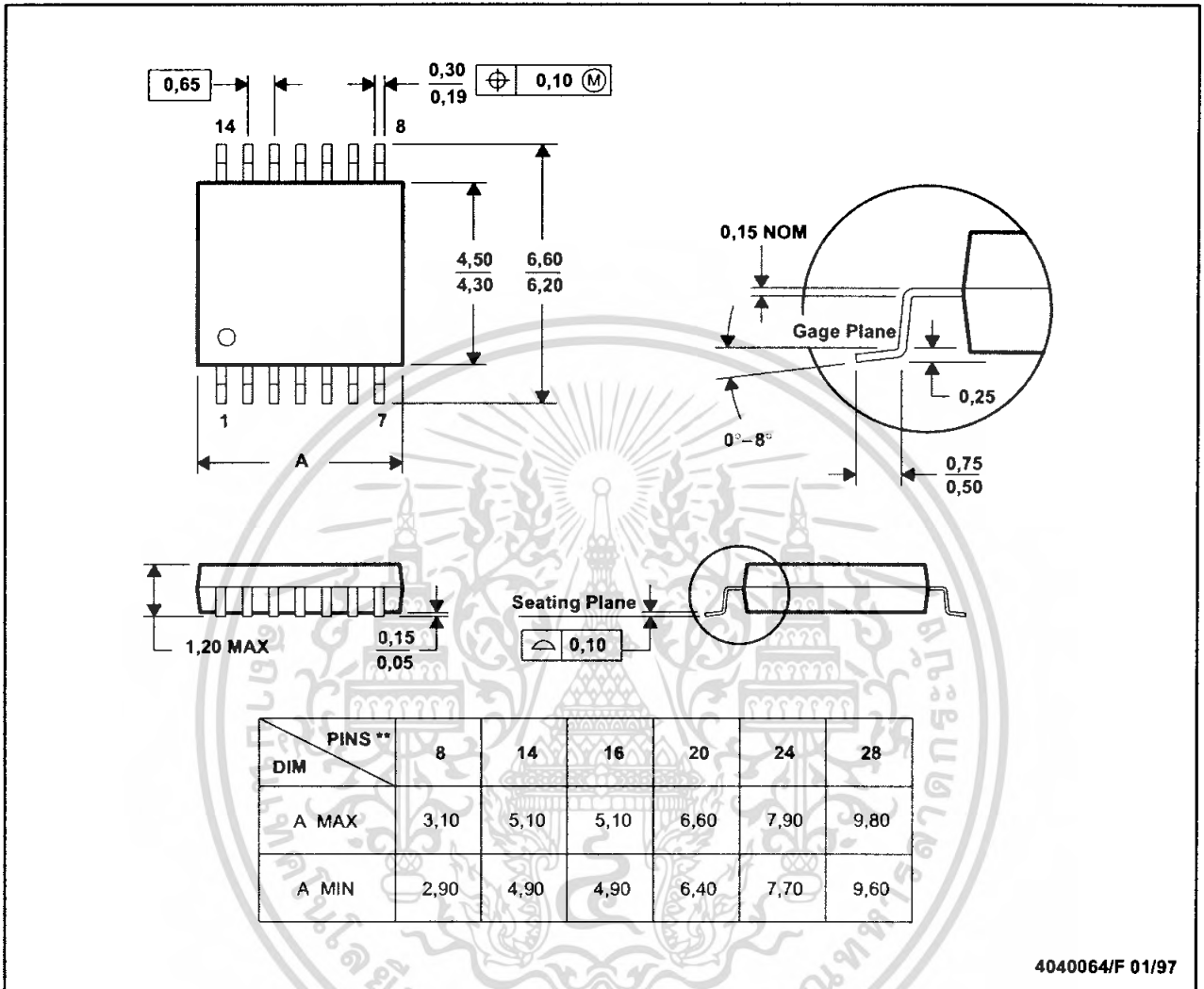


- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PW (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



4040064/F 01/97

- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.  
 D. Falls within JEDEC MO-153



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

<b>Products</b>		<b>Applications</b>	
Amplifiers	<a href="http://amplifier.ti.com">amplifier.ti.com</a>	Audio	<a href="http://www.ti.com/audio">www.ti.com/audio</a>
Data Converters	<a href="http://dataconverter.ti.com">dataconverter.ti.com</a>	Automotive	<a href="http://www.ti.com/automotive">www.ti.com/automotive</a>
DSP	<a href="http://dsp.ti.com">dsp.ti.com</a>	Broadband	<a href="http://www.ti.com/broadband">www.ti.com/broadband</a>
Interface	<a href="http://interface.ti.com">interface.ti.com</a>	Digital Control	<a href="http://www.ti.com/digitalcontrol">www.ti.com/digitalcontrol</a>
Logic	<a href="http://logic.ti.com">logic.ti.com</a>	Military	<a href="http://www.ti.com/military">www.ti.com/military</a>
Power Mgmt	<a href="http://power.ti.com">power.ti.com</a>	Optical Networking	<a href="http://www.ti.com/opticalnetwork">www.ti.com/opticalnetwork</a>
Microcontrollers	<a href="http://microcontroller.ti.com">microcontroller.ti.com</a>	Security	<a href="http://www.ti.com/security">www.ti.com/security</a>
		Telephony	<a href="http://www.ti.com/telephony">www.ti.com/telephony</a>
		Video & Imaging	<a href="http://www.ti.com/video">www.ti.com/video</a>
		Wireless	<a href="http://www.ti.com/wireless">www.ti.com/wireless</a>

Mailing Address: Texas Instruments  
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2005, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## FEATURES

- Complete Fast Charger Controller for Single, 2-, 3- or 4-Series Cell NiMH/NiCd Batteries
- No Firmware or Microcontroller Required
- Termination by  $-\Delta V$ , Maximum Voltage or Maximum Time
- No Sense Resistor or Blocking Diode Required
- Automatic Recharge Keeps Batteries Charged
- Programmable Fast Charge Current: 0.4A to 2A
- Accurate Charge Current:  $\pm 5\%$  at 2A
- Fast Charge Current Programmable Beyond 2A with External Sense Resistor
- Automatic Detection of Battery
- Precharge for Heavily Discharged Batteries
- Optional Temperature Qualified Charging
- Charge and AC Present Status Outputs Can Drive LED
- Automatic Sleep Mode with Input Supply Removal
- Negligible Battery Drain in Sleep Mode:  $< 1\mu A$
- Manual Shutdown
- Input Supply Range: 4.5V to 10V
- Available in 16-Lead DFN and TSSOP Packages

## APPLICATIONS

- Portable Computers, Cellular Phones and PDAs
- Medical Equipment
- Charging Docks and Cradles
- Portable Consumer Electronics

## DESCRIPTION

The LTC<sup>®</sup>4060 is a complete fast charging system for NiMH or NiCd batteries. Just a few external components are needed to design a standalone linear charging system.

An external PNP transistor provides charge current that is user programmable with a resistor. A small external capacitor sets the maximum charge time. No external current sense resistor is needed, and no blocking diode is required.

The IC automatically senses the DC input supply and battery insertion or removal. Heavily discharged batteries are initially charged at a C/5 rate before a fast charge is applied. Fast charge is terminated using the  $-\Delta V$  detection method. Backup termination consists of a programmable timer and battery overvoltage detector. An optional external NTC thermistor can be used for temperature-based qualification of charging. An optional programmable recharge feature automatically recharges batteries after discharge.

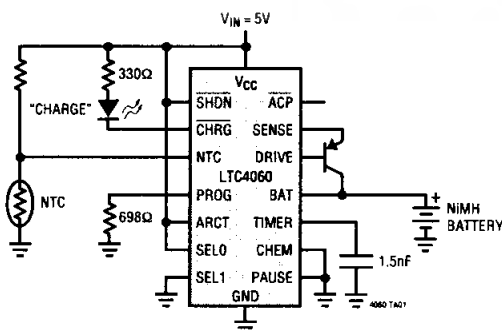
Manual shutdown is accomplished with the SHDN pin, while removing input power automatically puts the LTC4060 into sleep mode. During shutdown or sleep mode, battery drain is  $< 1\mu A$ .

The LTC4060 is available in both low profile (0.75mm) 16-pin 5mm  $\times$  3mm DFN and 16-lead TSSOP packages. Both feature exposed metal die mount pads for optimum thermal performance.

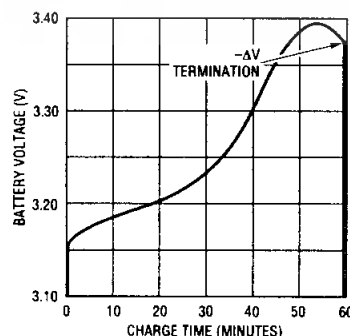
LT, LTC and LT are registered trademarks of Linear Technology Corporation.

## TYPICAL APPLICATION

**2-Cell, 2A Standalone NiMH Fast Charger with  
 Optional Thermistor and Charge Indicator**



**2-Cell NiMH Charging Profile**



4060f

# LTC4060

## ABSOLUTE MAXIMUM RATINGS

(Note 1)

V <sub>CC</sub> to GND .....	-0.3V to 11V
Input Voltage	
SHDN, NTC, SELO, SEL1, PROG, ARCT, BAT, CHEM, TIMER, PAUSE .....	-0.3V to V <sub>CC</sub> + 0.3V
Output Voltage	
CHRG, ACP, DRIVE .....	-0.3V to V <sub>CC</sub> + 0.3V
Output Current (SENSE) .....	-2.2A
Short-Circuit Duration (DRIVE) .....	Indefinite

Operating Ambient Temperature Range (Note 2) .....	-40°C to 85°C
Operating Junction Temperature (Note 3) .....	125°C
Storage Temperature Range	
TSSOP Package .....	-65°C to 150°C
DFN Package .....	-65°C to 125°C
Lead Temperature (Soldering, 10 sec)	
TSSOP Package .....	300°C

## PACKAGE/ORDER INFORMATION

<p>DHC16 PACKAGE 16-LEAD (5mm × 3mm) PLASTIC DFN T<sub>JMAX</sub> = 125°C, θ<sub>JA</sub> = 37°C/W EXPOSED PAD (PIN 17) IS GND MUST BE SOLDERED TO PCB TO OBTAIN θ<sub>JA</sub> = 37°C/W OTHERWISE θ<sub>JA</sub> = 140°C</p>	<p>ORDER PART NUMBER</p> <p>LTC4060EDHC</p> <p>DHC PART MARKING</p> <p>4060</p>	<p>FE PACKAGE 16-LEAD PLASTIC TSSOP T<sub>JMAX</sub> = 125°C, θ<sub>JA</sub> = 37°C/W EXPOSED PAD (PIN 17) IS GND MUST BE SOLDERED TO PCB TO OBTAIN θ<sub>JA</sub> = 37°C/W OTHERWISE θ<sub>JA</sub> = 135°C</p>	<p>ORDER PART NUMBER</p> <p>LTC4060EFE</p> <p>FE PART MARKING</p> <p>4060EFE</p>
---	---	--	--

Consult LTC Marketing for parts specified with wider operating temperature ranges.

**ELECTRICAL CHARACTERISTICS** The ● indicates specifications which apply over the full operating temperature range, otherwise specifications are at T<sub>A</sub> = 25°C. V<sub>CC</sub> = 5V, V<sub>BAT</sub> = 2.8V, GND = 0V unless otherwise specified. All currents into the device pins are positive and all currents out of the device pins are negative. All voltages are referenced to GND unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>V<sub>CC</sub> Supply</b>						
V <sub>CC</sub>	Operating Voltage Range (Note 4)		● 4.50		10	V
I <sub>CC</sub>	V <sub>CC</sub> Supply Current (Note 9)	I <sub>PROG</sub> = 2mA (R <sub>PROG</sub> = 698Ω), PAUSE = V <sub>CC</sub>		2.9	4.3	mA
I <sub>SD</sub>	V <sub>CC</sub> Supply Shutdown Current	SHDN = 0V		250	325	μA
I <sub>BSD</sub>	Battery Pin Leakage Current in Shutdown (Note 5)	V <sub>BAT</sub> = 2.8V, SHDN = 0V	-1	0	1	μA
I <sub>BSL</sub>	Battery Pin Leakage Current in Sleep (Note 6)	V <sub>CC</sub> = 0V, V <sub>BAT</sub> = 5.6V	-1	0	1	μA
V <sub>UV11</sub>	Undervoltage Lockout Exit Threshold	SELO = 0, SEL1 = 0 and SELO = V <sub>CC</sub> , SEL1 = 0, V <sub>CC</sub> Increasing	● 4.25	4.36	4.47	V
V <sub>UVD1</sub>	Undervoltage Lockout Entry Threshold	SELO = 0, SEL1 = 0 and SELO = V <sub>CC</sub> , SEL1 = 0, V <sub>CC</sub> Decreasing	● 4.15	4.26	4.37	V

4060f

2 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**ELECTRICAL CHARACTERISTICS** The ● indicates specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ .  $V_{CC} = 5\text{V}$ ,  $V_{BAT} = 2.8\text{V}$ ,  $\text{GND} = 0\text{V}$  unless otherwise specified. All currents into the device pins are positive and all currents out of the device pins are negative. All voltages are referenced to GND unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{UVI2}$	Undervoltage Lockout Exit Threshold	SELO = 0, SEL1 = $V_{CC}$ , $V_{CC}$ Increasing	●	6.67	6.81	6.95	V
$V_{UVD2}$	Undervoltage Lockout Entry Threshold	SELO = 0, SEL1 = $V_{CC}$ , $V_{CC}$ Decreasing	●	6.57	6.71	6.85	V
$V_{UVI3}$	Undervoltage Lockout Exit Threshold	SELO = $V_{CC}$ , SEL1 = $V_{CC}$ , $V_{CC}$ Increasing	●	8.28	8.47	8.65	V
$V_{UVD3}$	Undervoltage Lockout Entry Threshold	SELO = $V_{CC}$ , SEL1 = $V_{CC}$ , $V_{CC}$ Decreasing	●	8.18	8.37	8.55	V
$V_{UVH}$	Undervoltage Lockout Hysteresis	For All SELO, SEL1 Options			100		mV

#### Charging Performance

$I_{FCH}$	High Fast Charge Current (Notes 7, 10)	$R_{PROG} = 698\Omega$ , $5\text{V} < V_{CC} < 10\text{V}$	●	1.9	2	2.1	A
$I_{FCL}$	Low Fast Charge Current (Note 7)	$R_{PROG} = 3480\Omega$ , $4.5\text{V} < V_{CC} < 10\text{V}$	●	0.35	0.4	0.45	A
$I_{PCH}$	High Precharge Current (Note 7)	$R_{PROG} = 698\Omega$ , $4.5\text{V} < V_{CC} < 10\text{V}$		320	400	480	mA
$I_{PCL}$	Low Precharge Current (Note 7)	$R_{PROG} = 3480\Omega$ , $4.5\text{V} < V_{CC} < 10\text{V}$		40	80	120	mA
$I_{BRD}$	Battery Removal Detection Bias Current	$4.5\text{V} < V_{CC} < 10\text{V}$ , $V_{BAT} = V_{CC} - 0.4\text{V}$	●	-450	-300	-160	$\mu\text{A}$
$V_{BR}$	Battery Removal Threshold Voltage (Note 8)	$V_{CELL}$ Increasing, $4.5\text{V} < V_{CC} < 10\text{V}$	●	1.95	2.05	2.15	V
$V_{BRH}$	Battery Removal Threshold Hysteresis Voltage (Note 8)	$V_{CELL}$ Decreasing			50		mV
$V_{BOV}$	Battery Overvoltage Threshold (Note 8)	$V_{CELL}$ Increasing, $4.5\text{V} < V_{CC} < 10\text{V}$	●	1.85	1.95	2.05	V
$V_{BOVH}$	Battery Overvoltage Threshold Hysteresis (Note 8)	$V_{CELL}$ Decreasing			50		mV
$V_{FCQ}$	Fast Charge Qualification Threshold Voltage (Note 8)	$V_{CELL}$ Increasing, $4.5\text{V} < V_{CC} < 10\text{V}$		840	900	960	mV
$V_{FCQH}$	Fast Charge Qualification Threshold Hysteresis Voltage (Note 8)	$V_{CELL}$ Decreasing			50		mV
$V_{IDT}$	Initial Delay Hold-Off Threshold Voltage (Note 8)	$V_{CELL}$ Increasing, $4.5\text{V} < V_{CC} < 10\text{V}$		1.24	1.3	1.36	V
$V_{IDTH}$	Initial Delay Hold-Off Threshold Hysteresis Voltage (Note 8)	$V_{CELL}$ Decreasing			50		mV
$V_{MDV}$	$-\Delta\text{V}$ Termination (Note 8)	CHEM = $V_{CC}$ (NiCd) CHEM = 0V (NiMH)	● ●	11 5	16 8	21 14	mV mV
$V_{PROG}$	Program Pin Voltage	$4.5\text{V} < V_{CC} < 10\text{V}$ , $R_{PROG} = 635\Omega$ and $3480\Omega$	●	1.45	1.5	1.54	V
$V_{ART}$	Automatic Recharge Programmed Threshold Voltage Accuracy (Note 8)	$V_{CELL}$ Decreasing, $V_{ARCT} = 1.1\text{V}$ , $4.5\text{V} < V_{CC} < 10\text{V}$	●	1.065	1.1	1.135	V
$V_{ARDT}$	Automatic Recharge Default Threshold Voltage Accuracy (Note 8)	$V_{CELL}$ Decreasing, $V_{ARCT} = V_{CC}$ , $4.5\text{V} < V_{CC} < 10\text{V}$	●	1.235	1.3	1.365	V
$V_{ARH}$	Automatic Recharge Threshold Voltage Hysteresis (Note 8)	$V_{CELL}$ Increasing			50		mV
$V_{ARDEF}$	Automatic Recharge Pin Default Enable Threshold Voltage			$V_{CC} - 0.8$		$V_{CC} - 0.2$	V
$V_{ARDIS}$	Automatic Recharge Pin Disable Threshold Voltage			250		650	mV
$I_{ARL}$	Automatic Recharge Pin Pull-Down Current	$V_{ARCT} = 1.3\text{V}$	●	0.15		1.5	$\mu\text{A}$
$V_{CLD}$	NTC Pin Cold Threshold Voltage	$V_{NTC}$ Decreasing, $4.5\text{V} < V_{CC} < 10\text{V}$	●	$0.83 \cdot V_{CC}$	$0.86 \cdot V_{CC}$	$0.89 \cdot V_{CC}$	V
$V_{CLDH}$	NTC Pin Cold Threshold Hysteresis Voltage	$V_{NTC}$ Increasing			150		mV
$V_{HTI}$	NTC Pin Hot Charge Initiation Threshold Voltage	$V_{NTC}$ Decreasing, $4.5\text{V} < V_{CC} < 10\text{V}$	●	$0.47 \cdot V_{CC}$	$0.5 \cdot V_{CC}$	$0.53 \cdot V_{CC}$	V

4060f

**ELECTRICAL CHARACTERISTICS** The ● indicates specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ .  $V_{CC} = 5\text{V}$ ,  $V_{BAT} = 2.8\text{V}$ ,  $\text{GND} = 0\text{V}$  unless otherwise specified. All currents into the device pins are positive and all currents out of the device pins are negative. All voltages are referenced to GND unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{HTIH}$	NTC Pin Hot Charge Initiation Hysteresis Voltage	$V_{NTC}$ Increasing		100		mV
$V_{HTC}$	NTC Pin Hot Charge Cutoff Threshold Voltage	$V_{NTC}$ Decreasing, $4.5\text{V} \leq V_{CC} \leq 10\text{V}$	● 0.37 • $V_{CC}$	0.4 • $V_{CC}$	0.43 • $V_{CC}$	V
$V_{HTCH}$	NTC Pin Hot Charge Cutoff Hysteresis Voltage	$V_{NTC}$ Increasing		100		mV
$V_{NDIS}$	NTC Pin Disable Threshold Voltage		25		250	mV
$I_{NL}$	NTC Pin Pull-Down Current	$V_{NTC} = 2.5\text{V}$	● 0.15		1.5	$\mu\text{A}$
$t_{ACC}$	Timer Accuracy	$R_{PROG} = 698\Omega$ , $C_{TIMER} = 1.2\text{nF}$ and $R_{PROG} = 3480\Omega$ , $C_{TIMER} = 470\text{pF}$	-15	0	15	%

#### Output Drivers

$I_{DRV}$	Drive Pin Sink Current	$V_{DRIVE} = 4\text{V}$	● 40	70	120	mA
$R_{DRV}$	Drive Pin Resistance to $V_{CC}$	$V_{DRIVE} = 4\text{V}$ , Not Charging		4700		$\Omega$
$V_{OL}$	ACP, CHRГ Output Pins Low Voltage	$I_{ACP} = I_{CHRG} = 10\text{mA}$			0.8	V
$I_{OH}$	ACP, CHRГ Output Pins High Leakage Current	Outputs Inactive, $V_{CHRG} = V_{ACP} = V_{CC}$	-2		2	$\mu\text{A}$

#### Control Inputs

$V_{IT}$	SHDN, SELO, SEL1, CHEM, PAUSE Pins Digital Input Threshold Voltage	$V_{CC} = 10\text{V}$	350		650	mV
$V_{ITH}$	SHDN, SELO, SEL1, CHEM, PAUSE Pins Digital Input Hysteresis Voltage			50		mV
$I_{IPD}$	SHDN, SELO, SEL1, CHEM Pins Digital Input Pull-Down Current	$V_{CC} = 10\text{V}$ , $V_{IN} = V_{CC}$	0.4		2	$\mu\text{A}$
$I_{IPU}$	PAUSE Pin Digital Input Pull-Up Current	$V_{IN} = \text{GND}$	-2		-0.4	$\mu\text{A}$

**Note 1:** Absolute Maximum Ratings only indicate limits for survivability. Operating the device beyond these limits may result in permanent damage. Continuous or extended application of these maximum levels may adversely affect device reliability.

**Note 2:** The LTC4060 is guaranteed to meet performance specifications from  $0^\circ\text{C}$  to  $70^\circ\text{C}$  ambient temperature range and  $0^\circ\text{C}$  to  $85^\circ\text{C}$  junction temperature range. Specifications over the  $-40^\circ\text{C}$  to  $85^\circ\text{C}$  operating ambient temperature range are assured by design, characterization and correlation with statistical process controls.

**Note 3:** This IC includes overtemperature protection that is intended to protect the device during momentary overload conditions. Overtemperature protection is activated at a temperature of approximately  $145^\circ\text{C}$ , which is above the specified maximum operating junction temperature. Continuous operation above the specified maximum operation temperature may result in device degradation or failure. Operating junction temperature  $T_J$  (in  $^\circ\text{C}$ ) is calculated from the ambient temperature  $T_A$  and the average power dissipation  $P_D$  (in watts) by the formula:

$$T_J = T_A + \theta_{JA} \cdot P_D$$

**Note 4:** Short duration drops below the minimum  $V_{CC}$  specification of several microseconds or less are ignored by the undervoltage detection circuit.

**Note 5:** Assumes that the external PNP pass transistor has negligible B-C reverse leakage current when the collector is biased at  $2.8\text{V}$  ( $V_{BAT}$  for two charged cells in series) and the base is biased at  $V_{CC}$ .

**Note 6:** Assumes that the external PNP pass transistor has negligible B-E reverse leakage current when the emitter is biased at  $0\text{V}$  ( $V_{CC}$ ) and the base is biased at  $5.6\text{V}$  ( $V_{BAT}$  for four charged cells in series).

**Note 7:** The charge current specified is the regulated current through the internal current sense resistor that flows into the external PNP pass transistor's emitter. Actual battery charging current is slightly less and depends upon PNP alpha.

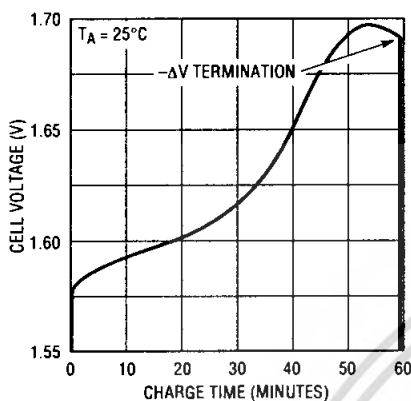
**Note 8:** Given as a per cell voltage ( $V_{BAT}/\text{Number of Cells}$ ).

**Note 9:** Supply current includes the current programming resistor current of  $2\text{mA}$ . The charger is paused and not charging the battery.

**Note 10:** The minimum  $V_{CC}$  supply is set at  $5\text{V}$  during this test to compensate for voltage drops due to test socket contact resistance and  $2\text{A}$  of current. This ensures that the supply voltage delivered to the device under test does not fall below the UVLO entry threshold. Specification at the minimum  $V_{CC}$  of  $4.5\text{V}$  is assured by design and characterization.

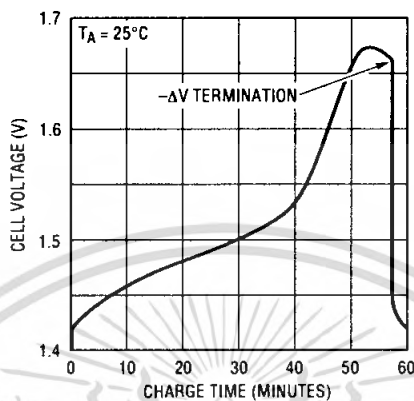
# TYPICAL PERFORMANCE CHARACTERISTICS

**NiMH Battery Charging Characteristics at 1C Rate**



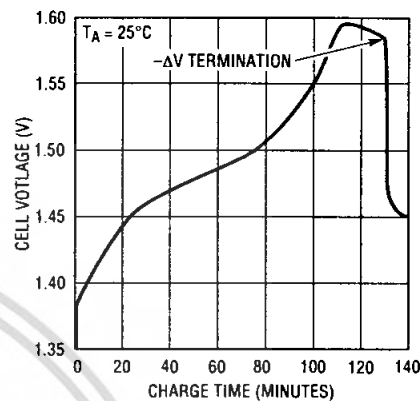
4060 G01

**NiCd Battery Charging Characteristics at 1C Rate**



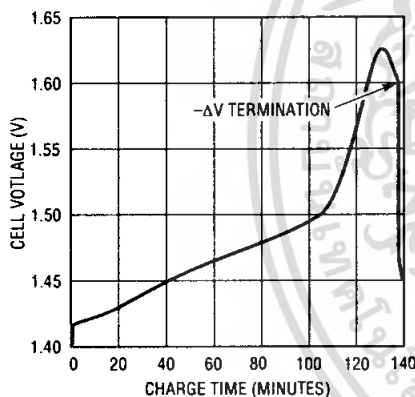
4060 G02

**NiMH Battery Charging Characteristics at C/2 Rate**



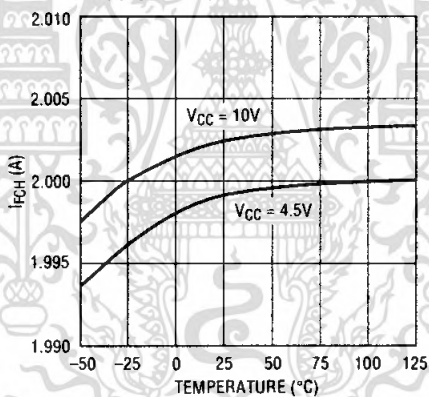
4060 G03

**NiCd Battery Charging Characteristics at C/2 Rate**



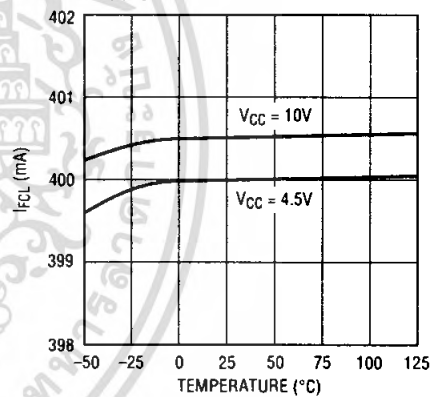
4060 G04

**I<sub>FCH</sub> vs Temperature and Supply Voltage**



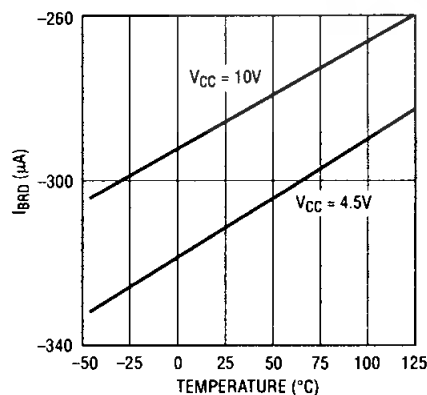
4060 G05

**I<sub>FCL</sub> vs Temperature and Supply Voltage**



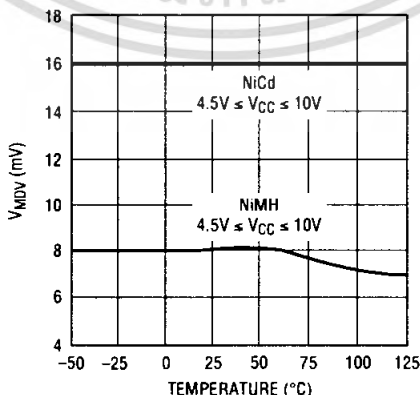
4060 G06

**I<sub>BRD</sub> vs Temperature and Supply Voltage**



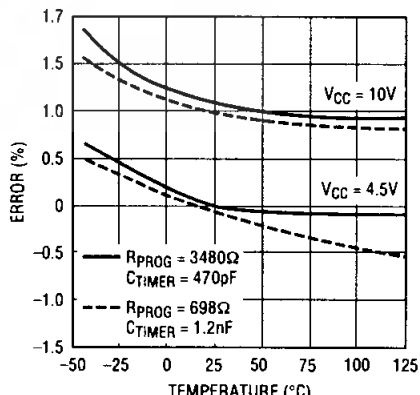
4060 G07

**V<sub>MDV</sub> vs Temperature and Supply Voltage**



4060 G08

**t<sub>ACC</sub> vs Temperature and Supply Voltage**



4060 G09

4060F



## PIN FUNCTIONS

**DRIVE (Pin 1):** Base Drive Output for the External PNP Pass Transistor. Provides a controlled sink current that drives the base of the PNP. This pin has current limit protection for the LTC4060.

**BAT (Pin 2):** Battery Voltage Sense Input Pin. The LTC4060 uses the voltage on this pin to monitor battery voltage and control the battery current during charging. An internal resistor divider is connected to this pin which is disconnected when in shutdown or when no power is applied to  $V_{CC}$ .

**SENSE (Pin 3):** Charge Current Sense Node Input. Current from  $V_{CC}$  passes through the internal current sense resistor and reappears at the SENSE pin to supply current to the external PNP emitter. The PNP collector provides charge current directly to the battery.

**TIMER (Pin 4):** Charge Timer Input. A capacitor connected between TIMER and GND along with a resistor connected from PROG to GND programs the charge cycle timing limits.

**SHDN (Pin 5):** Active Low Shutdown Control Logic Input. When pulled low, charging stops and the LTC4060 supply current is minimized.

**PAUSE (Pin 6):** Pause Enable Logic Input. The charger can be paused, turning off the charge current, disabling termination and stopping the timer when this pin is high. A low level will resume the charging process.

**PROG (Pin 7):** Charge Current Programming Input. Provides a virtual reference of 1.5V for an external resistor ( $R_{PROG}$ ) tied between this pin and GND that programs the battery charge current. The fast charge current will be 930 times the current through this resistor. This voltage is also usable as system voltage reference.

**ARCT (Pin 8):** Autorecharge Threshold Programming Input. When the average cell voltage falls below this threshold, charging is reinitiated. The voltage on this pin is conveniently derived by using two series PROG pin resistors and connecting to their common. Connecting ARCT to  $V_{CC}$  invokes a default threshold of 1.3V. Connecting ARCT to GND inhibits autorecharge.

**SELO, SEL1 (Pins 9, 10):** Number of Cells Selection Logic Input. For single cell, connect both pins to GND. For two cells, connect SEL1 to GND and SELO to  $V_{CC}$ . For three cells, SEL1 connects to  $V_{CC}$  and SELO to GND. For four cells, connect both pins to  $V_{CC}$ .

**NTC (Pin 11):** Battery Temperature Input. An external NTC thermistor network may be connected to NTC to provide temperature-based charge qualification. Connecting NTC to GND inhibits this function.

**CHEM (Pin 12):** Battery Chemistry Selection Logic Input. When connected to a high level NiCd fast charge  $-\Delta V$  termination parameters are used. A low level selects NiMH parameters.

**ACP (Pin 13):** Open-Drain Power Supply Status Output. When  $V_{CC}$  is greater than the undervoltage lockout threshold, the ACP pin will pull to ground. Otherwise the pin is high impedance. This output is capable of driving an LED.

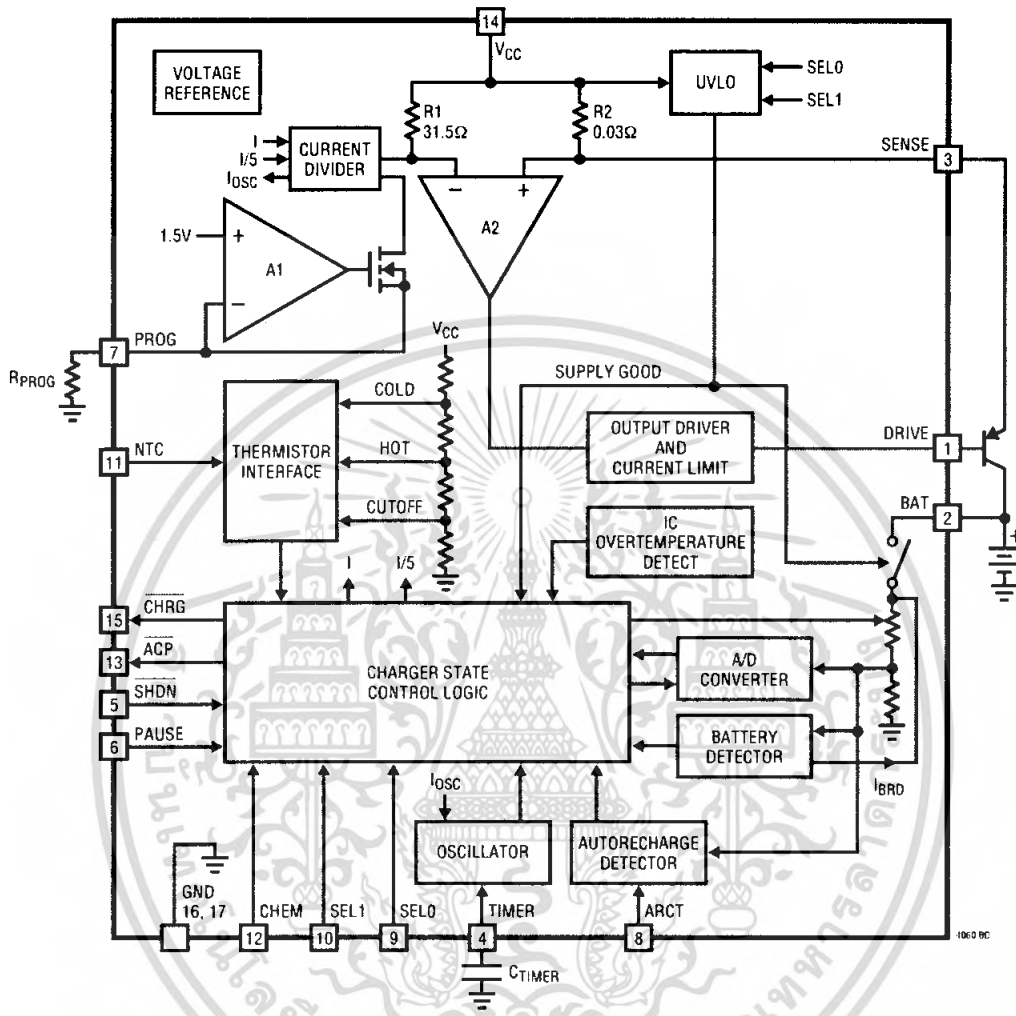
**$V_{CC}$  (Pin 14):** Power Input. This pin can be bypassed to ground with a capacitance of 1  $\mu$ F.

**CHRG (Pin 15):** Open-Drain Charge Indicator Status Output. The LTC4060 indicates it is providing charge to the battery by driving this pin to GND. If charging is paused or suspended due to abnormal battery temperature, the pin remains pulled to GND. Otherwise the pin is high impedance. This output can drive an LED.

**GND (Pin 16):** Ground. This pin provides a ground for the internal voltage reference and other circuits. All voltage thresholds are referenced to this pin.

**Exposed Pad (Pin 17):** Thermal Connection. Internally connected to GND. Solder to PCB ground for optimum thermal performance.

**BLOCK DIAGRAM**



## OPERATION

The LTC4060 is a complete linear fast charging system for NiMH or NiCd batteries. Operation can be understood by referring to the Block Diagram, State Diagram (Figure 1) and application circuit (Figure 2). While in the unpowered sleep mode, the battery is disconnected from any internal loading. The sleep mode is exited and the shutdown mode is entered when  $V_{CC}$  rises above the UVLO (Undervoltage Lock Out) exit threshold. The UVLO thresholds are dependent upon the number of series cells programmed by the SEL0 and SEL1 pins. When shutdown occurs the ACP pin goes from a high to low impedance state. The shutdown mode is exited and the charge qualification mode entered

when all of the following conditions are met: 1) there is no manual shutdown command from SHDN, 2) the battery overvoltage detector does not detect a battery overvoltage, 3) the battery removal detector detects a battery in place, 4) pause is inactive and 5) the IC's junction temperature is normal. Once in the charge qualification mode the thermistor interface monitors an optional thermistor network to determine if the battery temperature is within charging limits. If the temperature is found within limits charging can begin. While charging, the CHRG pin pulls to GND which can drive an LED.

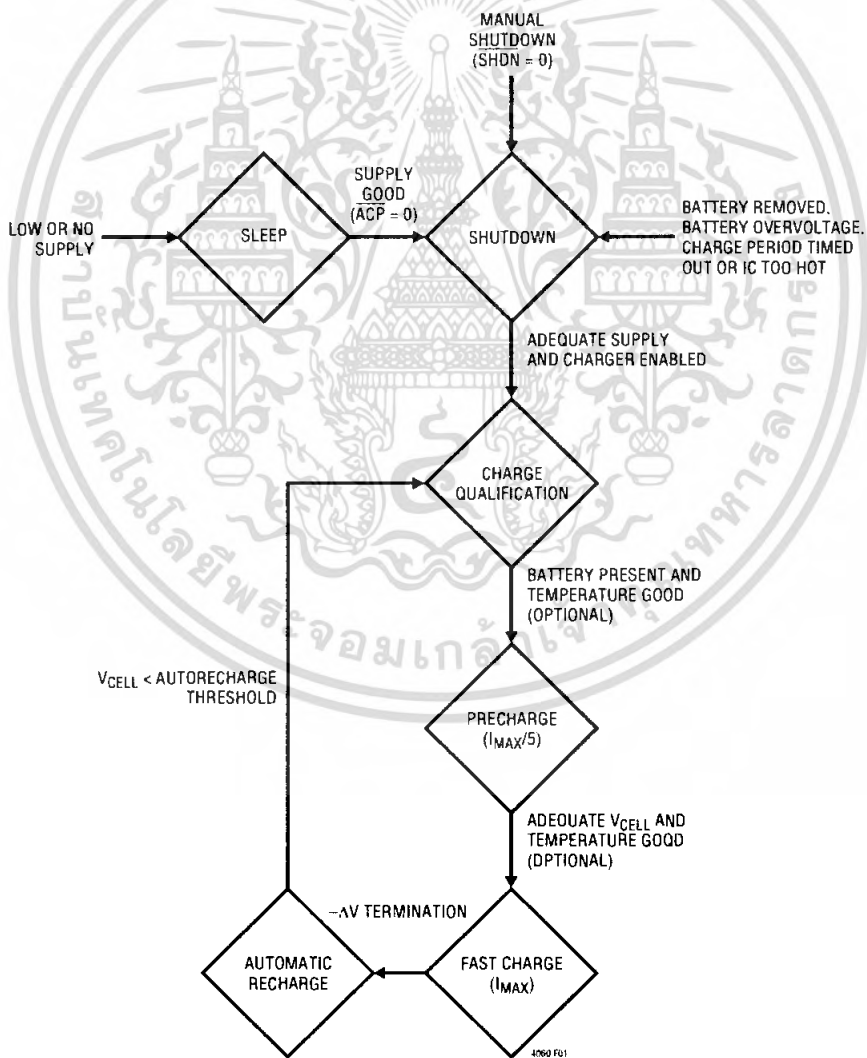


Figure 1. LTC4060 Basic State Diagram

## OPERATION

The charge current is set with an external current programming resistor connected between the PROG pin and GND. In the Block Diagram, amplifier A1 will cause a virtual 1.5V to appear on the PROG pin and thus, all of the programming resistor's current will flow through the N-channel FET to the current divider. The current divider is controlled by the charger state control logic to produce a voltage across R1, appropriate either for precharge (I/5) or for fast charge (I), depending on the cell voltage. The current divider also produces a constant current  $I_{OSC}$ , that along with an external capacitor tied to the TIMER pin, sets the Oscillator's clock frequency. During charging, the external PNP transistor's collector will provide the battery charge current. The PNP's emitter current flows into the SENSE pin and through the internal current sense resistor R2 (0.03 $\Omega$ ). This current is slightly more than the collector current since it includes the base current. Amplifier A2 and the output driver will drive the base of the external PNP through the DRIVE pin to force the same reference voltage that appears across R1 to appear across the R2. The precision ratio between R1 and R2, along with the current programming resistor, accurately determines the charge current.

When charging begins, the charger state control logic will enable precharge of the battery. When the cell voltage exceeds the fast charge qualification threshold, fast charge begins. If the cell voltage exceeds the initial delay hold off threshold voltage just prior to precharge, then the A/D converter immediately monitors for a  $-\Delta V$  event to terminate charging while in fast charge. Otherwise, the fast charge voltage stabilization hold off period must expire before the A/D converter monitors for a  $-\Delta V$  event from which to terminate charging. The  $-\Delta V$  magnitude for termination is selected for either NiMH or NiCd by the CHEM pin. Should the battery temperature become too hot or too cold, charging will be suspended by the charger state control logic until the temperature enters normal limits. A termination timer puts the charger into shutdown mode if the programmed time has expired. After charging has ended, the optional autorecharge detector function monitors for the battery voltage to drop to either a default or externally programmed cell voltage before automatically restarting a charge cycle.

The SHDN pin can be used to return the charger to a shutdown and reset state. The PAUSE pin can be used to pause the charge current and internal clocks for any interval desired.

Fault conditions, such as overheating of the IC due to excessive PNP base current drive, are monitored and limited by the IC overtemperature detection and output driver and current limit blocks.

When either  $V_{CC}$  is removed or manual shutdown is entered, the charger will draw only tiny leakage currents from the battery, thus maximizing standby time. With  $V_{CC}$  removed, the external PNP's base is connected to the battery by the charger. In manual shutdown, the base is connected to  $V_{CC}$  by the charger.

### Undervoltage Lockout

An internal undervoltage lockout circuit (UVLO) monitors the input voltage and keeps the charger in the inactive sleep mode until  $V_{CC}$  rises above the undervoltage exit threshold. The ACP pin is high impedance while in the sleep mode and becomes low impedance to ground when in the active mode. The threshold is dependent upon the number of series cells selected by the SEL0 and SEL1 pins (see  $V_{UVI1-3}$  and  $V_{UVD1-3}$  in the Electrical Characteristics table). The UVLO circuit has a built-in hysteresis of 100mV. The thresholds are chosen to provide a minimum voltage drop of approximately 600mV between minimum  $V_{CC}$  and BAT at a battery cell voltage of 1.8V. This helps to protect against excessive saturation in the external power PNP when the supply voltage is near its minimum. While inactive the LTC4060 reduces battery current to just a negligible leakage current ( $I_{BSL}$ ).

### Manual Shutdown Control

The LTC4060 can be forced into a low quiescent current shutdown while  $V_{CC}$  is present by applying a low level to the SHDN pin. In manual shutdown, charging is inhibited, the internal timer is reset and oscillator disabled, CHRG status output is high impedance and ACP continues to provide the correct status. The LTC4060 will draw low current from the supply ( $I_{SD}$ ), and only a negligible leakage current is applied to the battery ( $I_{BSD}$ ). If a high level is

## OPERATION

applied to the  $\overline{\text{SHDN}}$  pin, shutdown ends and charge qualification is entered.

### Charge Qualification

After exiting the sleep or shutdown modes the LTC4060 will check for the presence of a battery and for proper battery temperature (if a thermistor is used) before initiating charging.

When  $V_{\text{CELL}}$  ( $V_{\text{BAT}}/\text{Number of Cells}$ ) is below  $2.05\text{V}$  ( $V_{\text{BR}}$ ), a battery is assumed to be present. Should  $V_{\text{CELL}}$  rise above  $1.95\text{V}$  ( $V_{\text{BOV}}$ ) for a time greater than the battery overvoltage event delay shown in the far right column of Table 1, then a battery overvoltage condition is detected and charging stops. Once stopped in this way, qualification can be reinitiated after  $V_{\text{CELL}}$  has fallen below  $1.9\text{V}$  ( $V_{\text{BOV}} - V_{\text{BOVH}}$ ) only by removing and replacing the battery (or replacing the battery if the overvoltage condition is a result of battery removal), toggling the  $\overline{\text{SHDN}}$  pin low to high or removing and reapplying power to the charger.

If the NTC pin voltage is above the temperature disable threshold ( $V_{\text{NDIS}}$ ), the LTC4060 verifies that the thermistor temperature is between  $5^{\circ}\text{C}$  and  $45^{\circ}\text{C}$ . Charging will not initiate until these temperature limits are met.

The LTC4060 continues to qualify important voltage and temperature parameters during all charging states. If  $V_{\text{CC}}$  drops below the undervoltage lockout threshold, sleep mode is entered.

If the internal die temperature becomes excessive, charging stops and the part enters the shutdown state. Once in the shutdown state charge qualification can be reinitiated only when the die temperature drops to normal and then by removing and replacing the battery or toggling the  $\overline{\text{SHDN}}$  pin low to high or removing and reapplying power to the charger.

### Precharge

The state that is entered when qualified charging begins is precharge. The  $\overline{\text{CHRG}}$  status output is set low and remains low during both precharge and fast charge. If the voltage on  $V_{\text{CELL}}$  is below the  $900\text{mV}$  ( $V_{\text{FCQ}}$ ) fast charge qualification voltage, the LTC4060 charges using one-fifth the maximum programmed charge current. The cell voltage is continuously checked to determine when the battery is ready to accept a fast charge. Until this voltage reaches  $V_{\text{FCQ}}$ , the LTC4060 remains in precharge.

If an external thermistor indicates that the sensed temperature is beyond a range of  $5^{\circ}\text{C}$  to  $45^{\circ}\text{C}$  charging is suspended, the charge timer is paused and the  $\overline{\text{CHRG}}$  status output remains low. Normal charging resumes from the previous state when the sensed temperature rises above  $5^{\circ}\text{C}$  or falls below  $45^{\circ}\text{C}$ .

### Fast Charge

When the average cell voltage exceeds  $V_{\text{FCQ}}$ , the LTC4060 transitions from the precharge to the fast charge state and

Table 1. LTC4060 Time Limit Programming Examples

FAST CHARGE CURRENT	$R_{\text{PROG}}$	$C_{\text{TIMER}}$	TYPICAL FAST CHARGE RATE (C)	BATTERY VOLTAGE STABILIZATION HOLD OFF (MINUTES)	CHARGE TIME LIMIT ( $I_{\text{MAX}}$ ) (HOURS)	BATTERY VOLTAGE SAMPLING INTERVAL (SECONDS)	AUTOMATIC RECHARGE ENTRY DELAY (SECONDS)	UVLO EXIT, BATTERY INSERTION/REMOVAL/OVERVOLTAGE, FAST CHARGE ENTRY AND THERMISTOR EVENT DELAYS (ms)
2A	$698\Omega$	$1\text{nF}$	1.5	4.6 to 5.7	1.1	15	15 to 31	175 to 260
2A	$698\Omega$	$1.5\text{nF}$	1	6.9 to 8.4	1.6	23	23 to 46	260 to 390
2A	$698\Omega$	$1.8\text{nF}$	0.75	8.4 to 10.3	2	28	28 to 56	320 to 480
2A	$698\Omega$	$2.7\text{nF}$	0.5	12.6 to 15.4	3	42	42 to 84	480 to 720
400mA	$3480\Omega$	$180\text{pF}$	1.5	4.2 to 5.2	1	14	14 to 28	160 to 240
400mA	$3480\Omega$	$270\text{pF}$	1	6.3 to 7.7	1.5	21	21 to 42	240 to 360
400mA	$3480\Omega$	$390\text{pF}$	0.75	8.9 to 11	2.1	30	30 to 60	340 to 510
400mA	$3480\Omega$	$560\text{pF}$	0.5	12.6 to 15.4	3	42	42 to 84	480 to 720

## OPERATION

charging begins at the maximum current set by the external programming resistor connected between the PROG pin and GND.

If an external thermistor indicates sensed temperature is beyond a range of 5°C to 55°C charging is suspended, the charge timer is paused and the  $\overline{\text{CHRG}}$  status output remains low. Normal charging resumes from the previous state when the sensed temperature rises above 5°C or falls below 45°C. Voltage-based termination ( $-\Delta V$ ) is then reset and immediately enabled. If voltage-based termination was imminent when the temperature limits were exceeded, charge termination will occur.

### Charge Termination

Once fast charge begins and after an initial battery voltage stabilization hold-off period shown in Table 1, voltage-based termination ( $-\Delta V$ ) is enabled. This period is used to prevent falsely terminating on a  $-\Delta V$  event that can occur almost immediately after initiating charging on some heavily discharged or stored batteries. However, if  $V_{\text{CELL}}$  was measured to be above 1.3V ( $V_{\text{IDT}}$ ) immediately prior to the precharge cycle, then a mostly charged battery is assumed and voltage-based termination ( $-\Delta V$ ) is enabled without delay.

An internal 1.5mV resolution A/D converter measures the cell voltage after each battery voltage sampling interval indicated in Table 1. The peak cell voltage is stored and compared to the current cell voltage. When the cell voltage has dropped by at least  $V_{\text{MDV}}$  (magnitude selected by the CHEM pin) from the peak for four consecutive battery voltage sampling intervals, charging is terminated.

Back-up termination is provided by the charge time limiter, whose time limit is indicated in Table 1, and by a battery overvoltage detector. Once terminated by back-up termination, charge qualification can be reinitiated only by removing and replacing the battery or toggling the SHDN pin low to high or removing and reapplying power to the charger.

### Automatic Recharge

Once charging is complete, the optional programmable automatic recharge state can be entered. This state, if

enabled, will automatically restart the charger from the charge qualification state without user intervention whenever the battery cell voltage drops below a set level. With the advent of low memory effect NiMH and improved NiCd cells an automatic recharge feature is practical and eliminates the need for very slow trickle charging.

The  $\overline{\text{CHRG}}$  status output is high impedance in the automatic recharge state until charging begins. If the  $V_{\text{CELL}}$  voltage drops below the voltage set on the ARCT pin for at least the automatic recharge entry delay time as shown in Table 1, the charge qualification state is entered and charging will begin anew in fast charge. An easy way of setting the voltage on the ARCT pin is by using two series current programming resistors and connecting their common to the ARCT pin as shown in Figure 2. The PROG pin will provide a constant 1.5V ( $V_{\text{PROG}}$ ). The programmable voltage range of the ARCT pin is approximately 0.8V to 1.6V. A preprogrammed recharge threshold of 1.3V ( $V_{\text{ARDT}}$ ) is selected when the ARCT pin is connected to  $V_{\text{CC}}$  ( $V_{\text{ARDEF}}$ ). Automatic recharge is disabled when the ARCT pin is connected to ground ( $V_{\text{ARDIS}}$ ).

### Pause

After charging is initiated, the PAUSE pin may be used to pause operation at any time. Whenever the voltage on the PAUSE pin is a logic high, the charge timer and all other timers pause, charging is stopped and the fast charge termination algorithm is inhibited. The  $\overline{\text{CHRG}}$  status output remains at GND. If voltage-based termination was imminent before pause, charge termination will occur. Otherwise, when pause ends, the charge timer and all other timers resume timing, charging restarts and voltage-based termination ( $-\Delta V$ ) is reset and immediately enabled. If the battery is removed while the PAUSE pin is a logic high, then battery removal is detected and shutdown is entered. If the battery is replaced while the PAUSE pin is a logic high, it will not be detected until pause is turned off.

For pause periods or a series of periods where the battery capacity could be significantly depleted, consider using shutdown instead of pause to avoid having the safety timer expire before the battery can be fully charged. Shutdown resets the safety timer.

## OPERATION

### Battery Chemistry Selection

The desired battery chemistry is selected by programming the CHEM pin to the proper voltage. When wired to GND, a set of parameters specific to charging NiMH cells is selected. When CHEM is connected to V<sub>CC</sub>, charging is optimized for NiCd cells. The various charging parameters are detailed in Table 2.

### Cell Selection

The number of series cells is selected using the SEL0 and SEL1 pins. For one cell, both pins connect to GND. For two cells, SEL0 connects to V<sub>CC</sub> and SEL1 to GND. For three cells, SEL0 connects to GND and SEL1 to V<sub>CC</sub>. For four cells, both connect to V<sub>CC</sub>.

### Insertion and Removal of Batteries

The LTC4060 automatically senses the insertion or removal of a battery by monitoring the V<sub>CELL</sub> pin voltage. Either the charge current, or if not charging then an internal pull-up current (I<sub>BRD</sub>), will pull V<sub>CELL</sub> up when the battery is removed. When this voltage rises above 2.05V (V<sub>BR</sub>) for a time greater than the battery removal event delay shown in Table 1, the LTC4060 considers the battery to be absent. Inserting a battery, causing V<sub>CELL</sub> to fall below both V<sub>BR</sub> and 1.95V (V<sub>BOV</sub>) for a period longer than the battery insertion event delay shown in Table 1, results in the LTC4060 recognizing a battery present and initiates a completely new charge cycle beginning with charge qualification. All battery currents are inhibited while in shutdown.

Table 2. LTC4060 Charging Parameters

STATE	CHEM	CHARGE TIME LIMIT	T <sub>MIN</sub>	T <sub>MAX</sub>	I <sub>CHRG</sub>	TYPICAL TERMINATION CONDITION
Precharge	Both	t <sub>MAX</sub>	5°C	45°C	I <sub>MAX</sub> /5	V <sub>CELL</sub> ≥ 0.9V
Fast Charge	NiCd	t <sub>MAX</sub>	5°C	55°C	I <sub>MAX</sub>	-16mV Per Cell After Initial t <sub>MAX</sub> /12 Delay
	NiMH	t <sub>MAX</sub>	5°C	55°C	I <sub>MAX</sub>	-8mV Per Cell After Initial t <sub>MAX</sub> /12 Delay

## APPLICATIONS INFORMATION

### Programming Charge Current

The battery charge current is set with an external program resistor connected from the PROG pin to GND. The formula for the battery fast charge current or I<sub>MAX</sub> is:

$$I_{MAX} = (I_{PROG}) \cdot 930 = \left( \frac{1.5V}{R_{PROG}} \right) \cdot 930$$

or

$$R_{PROG} = \frac{1395}{I_{MAX}}$$

where R<sub>PROG</sub> is the total resistance from the PROG pin to ground. For example, if 1A of fast charge current is required:

$$R_{PROG} = \frac{1395}{1A} = 1.4k \text{ 1% Resistor}$$

Under precharge conditions, the current is reduced to 20% of the fast charge value (I<sub>MAX</sub>). The LTC4060 is designed for a maximum current of 2A. This translates to a maximum PROG pin current of 2.15mA and a minimum program resistor of 698Ω. Reduced accuracy at low current limits the useful fast charge current to a minimum of approximately 200mA. Errors in the charge current can be statistically approximated as follows:

$$\text{One Sigma Error} \approx 7mA$$

For best stability over temperature and time, 1% metal-film resistors are recommended. Capacitance on the PROG pin should be limited to about 75pF to insure adequate AC phase margin for its amplifier.

Different charge currents can be programmed by various means such as by switching in different program resistors. A voltage DAC connected through a resistor to the PROG pin or a current DAC connected in parallel with a

## APPLICATIONS INFORMATION

resistor to the PROG pin can also be used to program current. Note that this will alter the timer periods unless alternate TIMER pin capacitors are also programmed through an analog switch.

The PROG pin provides a reference voltage of 1.5V ( $V_{PROG}$ ) that may be tapped for system use. Current loading on PROG is multiplied by 930 and appears as increased  $I_{MAX}$ . This may be compensated by adjustment of  $R_{PROG}$ . Total PROG pin current must be limited to 2.3mA otherwise absolute maximum ratings will be exceeded. When the LTC4060 is in the shutdown mode, the PROG pin is forced to ground potential to save power.

### Programming the Timer

All LTC4060 internal timing is derived from the internal oscillator that is programmed with an external capacitor at the TIMER pin. The time periods shown in Table 1 scale directly with the timer period. The programmable safety timer is used to put a time limit on the entire charge cycle for the case when charging has not otherwise terminated.

The time limit is programmed by an external capacitor at the TIMER pin and is also dependent on the current set by the programming resistor connected to the PROG pin. The time limit is determined by the following equation:

$$t_{MAX} \text{ (Hours)} = 1.567 \cdot 10^6 \cdot R_{PROG} \text{ (\Omega)} \cdot C_{TIMER} \text{ (F)}$$

$$C_{TIMER} \text{ (F)} = \frac{t_{MAX} \text{ (Hours)}}{1.567 \cdot 10^6 \cdot R_{PROG} \text{ (\Omega)}}$$

Some typical timing values are detailed in Table 1. The timer begins at the start of a charge cycle. After the time-out occurs, the charge current stops and the CHRG output assumes a high impedance state to indicate that the charging has stopped.

Excessively short time-out periods may not allow enough time for the battery to receive full charge or may result in premature  $-\Delta V$  termination due to too short a battery voltage stabilization hold-off period. Excessively long time-out periods may indicate too low a charge current which may not allow voltage-based termination ( $-\Delta V$ ) to work properly. Time-out limits of less than 0.75 hour for faster 2C charge rates, or more than 3.5 hours for slower C/2

charge rates, are generally not recommended. Consult the battery manufacturer for recommended periods.

An external timing source can also be used to drive the TIMER pin for precise or programmed control. The high level must be between 2.5V and  $V_{CC}$  and the low level must be between 0V and 0.25V. Also, the driving source must be able to overdrive the internal current source and sink which is 5% of the current through  $R_{PROG}$ .

### Battery Temperature Sensing

Temperature sensing is optional in LTC4060 applications. To disable temperature qualification of all charging operations, the NTC pin must be wired to ground. A circuit for temperature sensing using a thermistor with a negative temperature coefficient (NTC) is shown in Figure 2. Internally derived  $V_{CC}$  proportional voltages ( $V_{CLD}$ ,  $V_{HTI}$ ,  $V_{HTC}$ ) are compared to the voltage on the NTC input pin to test the temperature thresholds. The battery temperature is measured by placing the thermistor close to the battery pack. In Figure 2, a common 10k NTC thermistor such as a Murata NTH4G series NTH4G39A103F can be used.  $R_{HOT}$  should be a 1% resistor with a value equal to the value of the chosen NTC thermistor at 45°C ( $V_{NTC} = V_{HTI} = 0.5 \cdot V_{CC}$  typ). Another temperature may be chosen to suit the battery requirements. The LTC4060 will not initiate a charge cycle or continue with a precharge if the value of the thermistor falls below 4.42k which is a temperature rising to approximately 45°C. However, once fast charging is in progress, it will not be stopped until the thermistor drops below 3k which is a temperature rising to approximately 55°C ( $V_{NTC} = V_{HTC} = 0.4 \cdot V_{CC}$  typ). Once reaching this charge cutoff threshold, charging is suspended until the value of the thermistor rises above approximately 4.8k (falling temperature) or approximately 43°C (45°C – 2°C hysteresis at  $V_{CC} = 5V$ ) and then charging is resumed. Hysteresis avoids possible oscillation about the trip points. Note that the comparator hysteresis voltages are constant and when  $V_{CC}$  increases the signal level from the thermistor increases thus making the temperature hysteresis look smaller.

During suspension the charge current is turned off and the safety timer is frozen. The LTC4060 is also designed to suspend when the thermistor rises above 34k (falling

## APPLICATIONS INFORMATION

temperature) at approximately 0°C (5°C – 5°C hysteresis at  $V_{CC} = 5V$ ) and then resume when the thermistor falls below 27k (rising temperature) which will be approximately 5°C ( $V_{NTC} = V_{CLD} = 0.86 \cdot V_{CC}$  typ).

Many thermistors with an  $R_{COLD}$  to  $R_{HOT}$  ratio of approximately 7 will work. For lower power dissipation higher values of thermistor resistance can be used. The Murata NTH4G series offers resistances of up to 100k at 25°C.

It is important that the thermistor be placed in close contact with the battery and away from the external PNP pass transistor to avoid excessive temperature errors on the sensed battery temperature. Furthermore, since  $V_{CC}$  is a high current path into the LTC4060, it is essential to minimize voltage drops between the  $V_{CC}$  supply pin and the top of  $R_{HOT}$  by Kelvin connecting  $R_{HOT}$  directly to the  $V_{CC}$  pin.

### Power Requirements

The DC power input to the  $V_{CC}$  pin must always be within proper limits while charging a battery. Voltages beyond the absolute maximum ratings may damage the charger and voltages falling below the UVLO entry thresholds, as programmed by the SEL0 and SEL1 pins, will likely cause the charger to enter the shutdown state (when the UVLO exit threshold is exceeded charging will begin anew). While the LTC4060 is designed to reject 60Hz or 120Hz supply ripple, certain precautions are required. The instantaneous ripple voltage must always be within the above mentioned limits. Ripple voltage seen across the collector-base junction of the external PNP pass transistor will slightly modulate its beta and hence its base current. Since the emitter current is precisely regulated by the LTC4060, any modulation of base current will appear at the collector. This slightly modulated battery charge current into a battery will usually produce an insignificant modulation voltage at the battery. However, if excessive wire impedance to the battery from the PNP exists, then it may be helpful to Kelvin connect the BAT pin to a convenient point closest to the battery to reduce ripple magnitude entering the LTC4060's battery monitoring circuits. The battery ground impedance should also be managed to limit ripple voltage at the BAT pin. Excessive ripple into the BAT pin may cause the charger to deviate from specified performance.

### $V_{CC}$ Bypass Capacitor

A 1 $\mu$ F capacitor located close to the LTC4060 will usually provide adequate input bypassing. However, caution must be exercised when using multilayer ceramic capacitors. Because of the self-resonance and high Q characteristics of some types of ceramic capacitors, along with wiring inductance, high voltage transients can be generated under some conditions such as connecting or disconnecting a supply input to a hot power source. To reduce the Q and prevent these transients from exceeding the absolute maximum voltage rating, consider adding about 1 $\Omega$  of resistance in series with the ceramic input capacitor.

### BAT Bypass Capacitor

This optional capacitor, connected between BAT and GND, can be used to help filter excessive contact bounce during the battery monitoring or charging process. The value will depend upon the contact bounce open duration, but is typically 10 $\mu$ F. Another purpose of this capacitor is to bypass transient battery load events that might otherwise disrupt monitoring or charging. Should the battery connections not be subject to excessive contact bounce or excessive battery voltage transients, then no BAT pin capacitor is required. The same caution mentioned above for the  $V_{CC}$  bypass capacitor applies.

### External PNP Transistor

The external PNP pass transistor must have adequate beta and breakdown voltages, low saturation voltage and sufficient power dissipation capability that may include heat sinking.

To provide 2A of charge current with the minimum available base current drive of 40mA ( $I_{DRV}$  min) requires a minimum PNP beta of 50.

The transistor's collector to emitter breakdown voltage must be high enough to withstand the difference between the maximum supply voltage and minimum battery voltage. Almost any transistor will meet this requirement. Additionally, when no power is supplied to the charger ( $V_{IN} = 0V$  and  $V_{SENSE} = 0V$ ), the transistor's emitter to base breakdown voltage must be high enough to prevent a leakage path at the maximum battery voltage while not

## APPLICATIONS INFORMATION

charging (the DRIVE pin is internally switched to the BAT pin). Most transistors will meet this requirement as well.

With low supply voltages, the PNP saturation voltage ( $V_{CESAT}$ ) becomes important. The  $V_{CESAT}$  must be less than the minimum supply voltage minus the maximum voltage drop across the internal current sense resistor and bond wires (approximately  $0.08\Omega$ ) and maximum battery voltage presented to the charger accounting for wire I • R drops.

$$V_{CESAT} (V) < V_{DD(MIN)} - (I_{BAT(MAX)} \cdot 0.08\Omega + V_{BAT(MAX)})$$

For example, if it were desired to have a programmed charge current of 2A with a minimum supply voltage of 4.75V and a maximum battery voltage of 3.6V (2 series cells at 1.8V each), then the minimum operating  $V_{CESAT}$  is:

$$V_{CESAT} (V) = 4.75 - (2 \cdot 0.08 + 3.6) = 0.99V$$

If the PNP transistor cannot achieve the saturation voltage required, base current will dramatically increase. This is to be avoided for a number of reasons: DRIVE pin current may reach current limit resulting in the LTC4060 characteristics going out of specifications, excessive power dissipation may force the IC into thermal shutdown, or the battery could discharge because some of the current from the DRIVE pin could be pulled from the battery through the forward biased PNP collector base junction.

The actual battery fast charge current ( $I_{BAT}$ ) is slightly less than the regulated charge current because the charger senses the emitter current and the battery charge current will be reduced by the base current. In terms of  $\beta$  ( $I_C/I_B$ )  $I_{BAT}$  can be calculated as follows:

$$I_{BAT} (A) = 930 \cdot I_{PROG} \left( \frac{\beta}{\beta + 1} \right)$$

If  $\beta = 100$  then  $I_{BAT}$  is 1% low. The 1% loss can be easily compensated for by increasing  $I_{PROG}$  by 1%.

Another important factor to consider when choosing the PNP pass transistor is its power handling capability. The transistor's data sheet will usually give the maximum rated power dissipation at a given ambient temperature with a

power derating for elevated temperature operation. The maximum power dissipation of the PNP when charging is:

$$P_{D(MAX)} (W) = I_{MAX}(V_{DD(MAX)} - V_{BAT(MIN)})$$

$V_{DD(MAX)}$  is the maximum supply voltage and  $V_{BAT(MIN)}$  is the minimum battery voltage when discharged, but not less than 0.9V/cell since less than 0.9V/cell invokes precharge current levels.

### Thermal Considerations

Internal overtemperature protection is provided to prevent excessive LTC4060 die temperature during a fault condition. If the internal die temperature exceeds approximately  $145^\circ\text{C}$ , charging stops and the part enters the shutdown state. The faults can be generated from insufficient heat sinking, a shorted DRIVE pin or from excessive DRIVE pin current to the base of an external PNP transistor if it's in deep saturation from a very low  $V_{CE}$ . Once in the shutdown state, charge qualification can be reinitiated only by removing and replacing the battery or toggling the SHDN pin low to high or removing and reapplying power to the charger. This protection is not designed to prevent overheating of the PNP pass transistor. Indirectly though, self-heating of the PNP thermally conducting to the LTC4060 can result in the IC's junction temperature rising above  $145^\circ\text{C}$ , thus cutting off the PNP's base current. This action will limit the PNP's junction temperature to some temperature well above  $145^\circ\text{C}$ . The user should insure that the maximum rated junction temperature is not exceeded under any normal operating condition. See Package/Order Information for the  $\theta_{JA}$  of the LTC4060 Exposed Pad packages. The actual thermal resistance in the application will vary depending on forced air cooling, use of the Exposed Pad and other heat sinking means, especially the amount of copper on the PCB to which the LTC4060 is attached. The majority of the power dissipated within the LTC4060 is in the current sense resistor and DRIVE pin driver as given below:

$$P_D = (I_{BAT})^2 \cdot 0.08 + I_{DRIVE} (V_{CC} - V_{EB})$$

$$T_J = T_A + \theta_{JA} \cdot P_D$$

$V_{EB}$  is the emitter to base voltage of the external PNP.

## TYPICAL APPLICATIONS

### Full Featured 2A Charger Application

Figure 2 shows an application that utilizes the optional temperature sensing and optional externally programmable automatic recharge features. It also has LEDs to indicate charging status and the presence of sufficient input supply voltage.

The PROG pin has a total resistance of  $691\Omega$  to ground that programs the fast-charge current at the PNP's emitter to 2.02A (2A at the collector for beta of 100). The ARCT pin voltage is programmed to 1.25V. When the battery cell voltage falls below this automatic recharge will begin. Optional capacitor  $C_{BAT}$  filters excessive contact bounce. This circuit can be modified to charge a 4A-Hr battery at a C/2 rate simply by doubling the  $C_{TIMER}$  capacitance.

### Power Path Control

Proper power path control is an important consideration when fast charging nickel cells. This control ensures the system load remains powered at all times, but that normal system operation and associated load transients do not adversely affect the charging procedure. Figure 3 illustrates a 1A charger with power path control. When  $V_{IN}$  is applied the forward biased Schottky diode will power the load while the P-channel FET will disconnect the battery from the load. When  $V_{IN}$  is removed, the FET will turn-on to provide a low loss switch from the battery to the load, and the diode will isolate  $V_{IN}$ . The  $\overline{ACP}$  output signals the presence of  $V_{IN}$ .

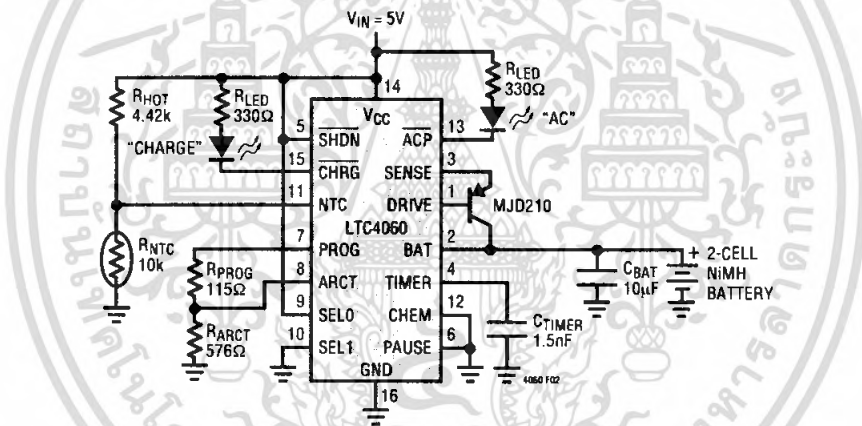


Figure 2. Full Featured 2A Charger Application

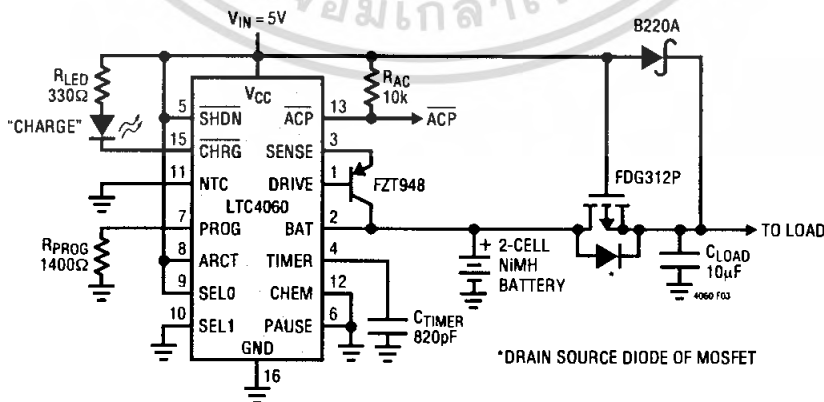


Figure 3. 1A Charger Application with Power Path Control

## TYPICAL APPLICATIONS

### Trickle Charge

The trickle charge function is normally not required due to the automatic recharge feature. However, the LTC4060 does provide a modest pull-up current ( $I_{BRD}$ ) as part of its battery removal detection method. If additional current is required for trickle charge or to support battery removal detection with current loads greater than  $I_{BRD}$ , then the simple circuit of Figure 4 will facilitate that. The diode insures no reverse discharge current when  $V_{IN}$  is removed and the resistor sets the trickle current.

resistance and mismatches in the two sense resistor's value will cause charge current variability to increase in proportion to the extension in current. Resistor  $R_{ISET}$  should be connected directly to the LTC4060 to reduce errors. The total current sense resistor, bond wire and lead frame resistance is approximately  $0.08\Omega$  (T.C.  $\approx 3500\text{ppm}/^\circ\text{C}$ ). The formula for extended fast charge current is:

$$I_{MAX(EXT)} = I_{MAX} \cdot \left( 1 + \frac{0.08}{R_{ISET}} \right)$$

$$= 2\text{A} \cdot 1.5 = 3\text{A}$$

### Extending Charge Current

Extending the charge current beyond 2A can be accomplished by paralleling an external current sense resistor,  $R_{ISET}$ , with the internal current sense resistor as shown in Figure 5. Bond wire, lead frame and PCB interconnect

for  $R_{ISET} = 0.16\Omega$  and  $R_{PROG} = 698\Omega$ .

Adequate PNP beta is required to meet the DRIVE pin capability and the increased PNP power dissipation will require additional heat sinking.

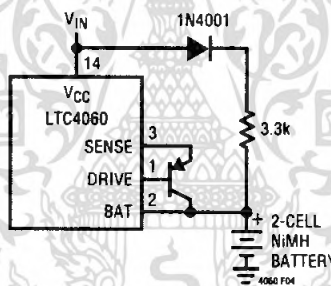


Figure 4. Adding Trickle Charge

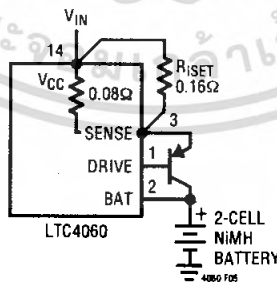


Figure 5. Extended Charge Current Operation

## TYPICAL APPLICATIONS

### Reverse Input Voltage Protection

In some applications protection from reverse supply voltage is desired. If the supply voltage is high enough, a series blocking diode can be used. In other cases, where the voltage drop must be kept very low, a P-channel FET as shown in Figure 6 can be used.

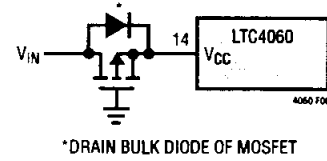
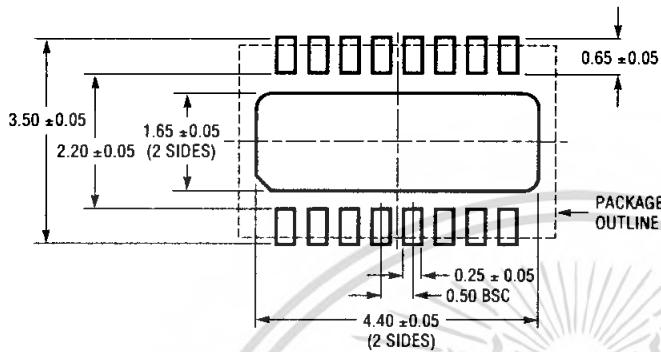


Figure 6. Low Loss Reverse Input Voltage Protection

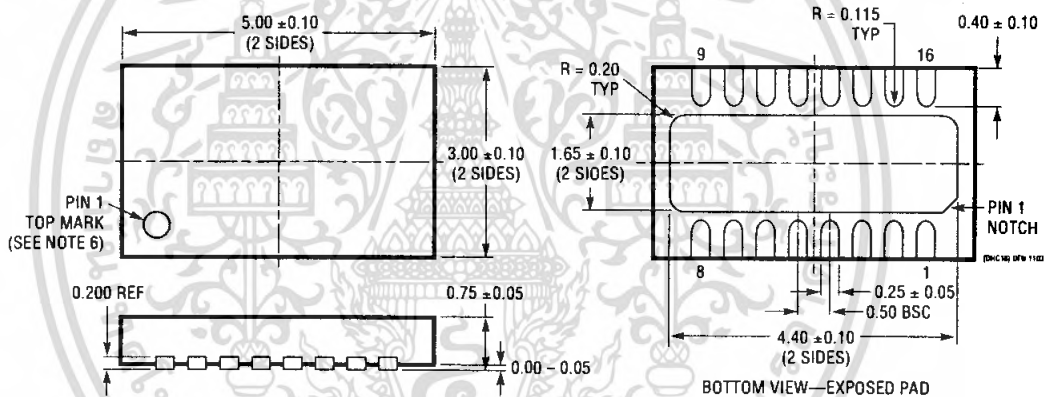


# PACKAGE DESCRIPTION

**DHC Package**  
**16-Lead Plastic DFN (5mm × 3mm)**  
 (Reference LTC DWG # 05-08-1706)



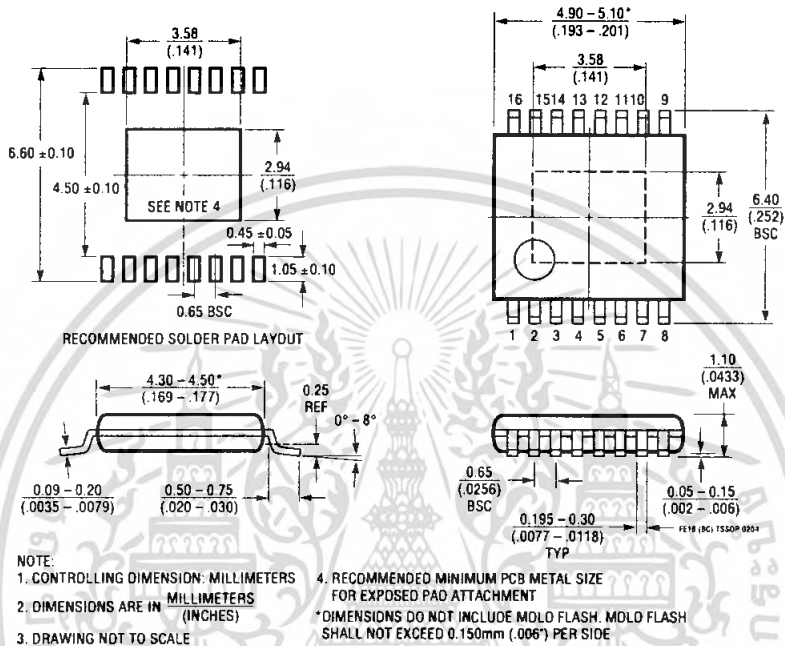
**RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS**



- NOTE:
1. DRAWING PROPOSED TO BE MADE VARIATION OF VERSION (WJED-1) IN JEDEC PACKAGE OUTLINE MO-229
  2. DRAWING NOT TO SCALE
  3. ALL DIMENSIONS ARE IN MILLIMETERS
  4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
  5. EXPOSED PAD SHALL BE SOLDER PLATED
  6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

**PACKAGE DESCRIPTION**

**FE Package**  
**16-Lead Plastic TSSOP (4.4mm)**  
 (Reference LTC DWG # 05-08-1663)  
**Exposed Pad Variation BC**



**RELATED PARTS**

PART NUMBER	DESCRIPTION	COMMENTS
LTC1732	Lithium-Ion Linear Battery Charger Controller	Simple Charger uses External FET, Features Preset Voltages, C/10 Charger Detection and Programmable Timer, Input Power Good Indication
LTC1733	Monolithic Lithium-Ion Linear Battery Charger	Standalone Charger with Programmable Timer, Up to 1.5A Charge Current
LTC1734	Lithium-Ion Linear Battery Charger in ThinSOT™	Simple ThinSOT Charger, No Blocking Diode, No Sense Resistor Needed
LTC1734L	Lithium-Ion Linear Battery Charger in ThinSOT	Low Current Version of LTC1734; 50mA ≤ I <sub>CHRG</sub> ≤ 180mA
LTC1998	Lithium-Ion Low Battery Detector	1% Accurate 2.5µA Quiescent Current, SOT-23
LTC4006/LTC4007	4A Multicell Li-Ion Battery Chargers	Standalone Charger, 6V ≤ V <sub>IN</sub> ≤ 28V, Up to 96% Efficiency, ±0.8% Charging Voltage Accuracy
LTC4008	4A Multichemistry Battery Charger	Synchronous Operation for High Efficiency, AC Adapter Current Limit
LTC4052	Monolithic Lithium-Ion Battery Pulse Charger	No Blocking Diode or External Power FET Required, ≤1.5A Charge Current
LTC4053	USB Compatible Monolithic Li-Ion Battery Charger	Standalone Charger with Programmable Timer, Up to 1.25A Charge Current
LTC4054	Standalone Linear Li-Ion Battery Charger in ThinSOT	Thermal Regulation Prevents Overheating, C/10 Termination, C/10 Indicator, Up to 800mA Charge Current
LTC4055	USB Power Controller and Li-Ion Battery Charger	Charges Directly from USB or Wall Adapter, New Topology Charges Faster and More Efficiently
LTC4058 LTC4058X	Standalone Li-Ion Linear Charger in DFN	Up to 950mA Charge Current, Kelvin Sense for High Accuracy, C/10 Charge Termination
LTC4411 LTC4412	Low Loss PowerPath™ Controller in ThinSOT	Automatic Switching Between DC Sources, Load Sharing, Replaces ORing Diodes

ThinSOT and PowerPath are trademarks of Linear Technology Corporation.

# MC14024B

## 7-Stage Ripple Counter

The MC14024B is a 7-stage ripple counter with short propagation delays and high maximum clock rates. The Reset input has standard noise immunity, however the Clock input has increased noise immunity due to Hysteresis. The output of each counter stage is buffered.

- Diode Protection on All Inputs
- Output Transitions Occur on the Falling Edge of the Clock Pulse
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4024B

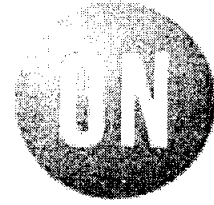
### MAXIMUM RATINGS (Voltages Referenced to $V_{SS}$ ) (Note NO TAG)

Symbol	Parameter	Value	Unit
$V_{DD}$	DC Supply Voltage Range	-0.5 to +18.0	V
$V_{in}, V_{out}$	Input or Output Voltage Range (DC or Transient)	-0.5 to $V_{DD} + 0.5$	V
$I_{in}, I_{out}$	Input or Output Current (DC or Transient) per Pin	$\pm 10$	mA
$P_D$	Power Dissipation, per Package (Note NO TAG)	500	mW
$T_A$	Ambient Temperature Range	-55 to +125	$^{\circ}C$
$T_{stg}$	Storage Temperature Range	-65 to +150	$^{\circ}C$
$T_L$	Lead Temperature (8-Second Soldering)	260	$^{\circ}C$

- Maximum Ratings are those values beyond which damage to the device may occur.
- Temperature Derating:  
Plastic "P and D/DW" Packages: -7.0 mW/ $^{\circ}C$  From 65 $^{\circ}C$  To 125 $^{\circ}C$

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$ .

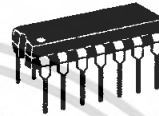
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either  $V_{SS}$  or  $V_{DD}$ ). Unused outputs must be left open.



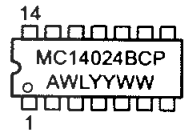
ON Semiconductor

<http://onsemi.com>

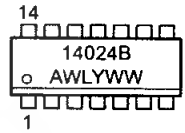
### MARKING DIAGRAMS



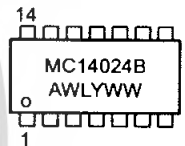
PDIP-14  
P SUFFIX  
CASE 646



SOIC-14  
D SUFFIX  
CASE 751A



SOEIAJ-14  
F SUFFIX  
CASE 965



A = Assembly Location  
WL or L = Wafer Lot  
YY or Y = Year  
WW or W = Work Week

### ORDERING INFORMATION

Device	Package	Shipping
MC14024BCP	PDIP-14	2000/Box
MC14024BD	SOIC-14	2750/Box
MC14024BDR2	SOIC-14	2500/Tape & Reel
MC14024BF	SOEIAJ-14	See Note 1.
MC14024BFEL	SOEIAJ-14	See Note 1.

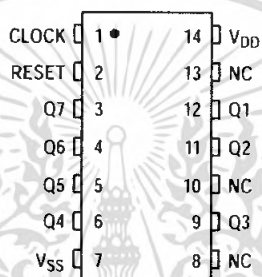
- For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

# MC14024B

## TRUTH TABLE

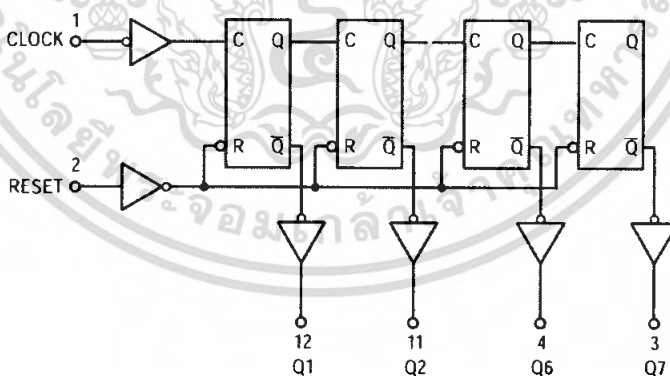
Clock	Reset	State
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
↗	0	No Change
↗	1	All Outputs Low
↘	0	Advance One Count
↘	1	All Outputs Low

## PIN ASSIGNMENT



V<sub>DD</sub> = PIN 14  
 V<sub>SS</sub> = PIN 7  
 NC = NO CONNECTION

## LOGIC DIAGRAM



Q3 = PIN 9  
 Q4 = PIN 6  
 Q5 = PIN 5

<http://onsemi.com>

# MC14024B

## ELECTRICAL CHARACTERISTICS (Voltages Referenced to V<sub>SS</sub>)

Characteristic	Symbol	V <sub>DD</sub> Vdc	- 55°C		25°C			125°C		Unit	
			Min	Max	Min	Typ <sup>(4.)</sup>	Max	Min	Max		
Output Voltage "0" Level V <sub>in</sub> = V <sub>DD</sub> or 0	V <sub>OL</sub>	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
V <sub>in</sub> = 0 or V <sub>DD</sub> "1" Level	V <sub>OH</sub>	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc	
		10	9.95	—	9.95	10	—	9.95	—		
		15	14.95	—	14.95	15	—	14.95	—		
Input Voltage "0" Level (V <sub>O</sub> = 4.5 or 0.5 Vdc) (V <sub>O</sub> = 9.0 or 1.0 Vdc) (V <sub>O</sub> = 13.5 or 1.5 Vdc)	V <sub>IL</sub>	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	6.75	4.0	—	4.0		
	"1" Level (V <sub>O</sub> = 0.5 or 4.5 Vdc) (V <sub>O</sub> = 1.0 or 9.0 Vdc) (V <sub>O</sub> = 1.5 or 13.5 Vdc)	V <sub>IH</sub>	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
			10	7.0	—	7.0	5.50	—	7.0	—	
			15	11	—	11	8.25	—	11	—	
Output Drive Current (V <sub>OH</sub> = 2.5 Vdc) (V <sub>OH</sub> = 4.6 Vdc) (V <sub>OH</sub> = 9.5 Vdc) (V <sub>OH</sub> = 13.5 Vdc)	Source I <sub>OH</sub>	5.0	-3.0	—	-2.4	-4.2	—	-1.7	—	mAdc	
		5.0	-0.64	—	-0.51	-0.88	—	-0.36	—		
		10	-1.6	—	-1.3	-2.25	—	-0.9	—		
	Sink I <sub>OL</sub>	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc	
		10	1.6	—	1.3	2.25	—	0.9	—		
		15	4.2	—	3.4	8.8	—	2.4	—		
Input Current	I <sub>in</sub>	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc	
Input Capacitance (V <sub>in</sub> = 0)	C <sub>in</sub>	—	—	—	—	5.0	7.5	—	—	pF	
Quiescent Current (Per Package)	I <sub>DD</sub>	5.0	—	5.0	—	0.005	5.0	—	150	μAdc	
		10	—	10	—	0.010	10	—	300		
		15	—	20	—	0.015	20	—	600		
Total Supply Current <sup>(5.)</sup> <sup>(6.)</sup> (Dynamic plus Quiescent, Per Package) (C <sub>L</sub> = 50 pF on all outputs, all buffers switching)	I <sub>T</sub>	5.0	I <sub>T</sub> = (0.31 μA/kHz) f + I <sub>DD</sub>								μAdc
		10	I <sub>T</sub> = (0.60 μA/kHz) f + I <sub>DD</sub>								
		15	I <sub>T</sub> = (1.89 μA/kHz) f + I <sub>DD</sub>								

4. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

5. The formulas given are for the typical characteristics only at 25°C.

6. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) Vfk$$

where: I<sub>T</sub> is in μA (per package), C<sub>L</sub> in pF, V = (V<sub>DD</sub> - V<sub>SS</sub>) in volts, f in kHz is input frequency, and k = 0.001.

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC14024B

### SWITCHING CHARACTERISTICS (7.) ( $C_L = 50 \text{ pF}$ , $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	$V_{DD}$	Min	Typ (8.)	Max	Unit
Output Rise and Fall Time $t_{TLH}$ , $t_{THL} = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_{TLH}$ , $t_{THL} = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_{TLH}$ , $t_{THL} = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	$t_{TLH}$ , $t_{THL}$	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time Clock to Q1 $t_{PLH}$ , $t_{PHL} = (1.7 \text{ ns/pF}) C_L + 295 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.66 \text{ ns/pF}) C_L + 117 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.5 \text{ ns/pF}) C_L + 85 \text{ ns}$ Clock to Q7 $t_{PLH}$ , $t_{PHL} = (1.7 \text{ ns/pF}) C_L + 915 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.66 \text{ ns/pF}) C_L + 367 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.5 \text{ ns/pF}) C_L + 275 \text{ ns}$ Reset to $Q_n$ $t_{PLH}$ , $t_{PHL} = (1.7 \text{ ns/pF}) C_L + 415 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.66 \text{ ns/pF}) C_L + 217 \text{ ns}$ $t_{PLH}$ , $t_{PHL} = (0.5 \text{ ns/pF}) C_L + 155 \text{ ns}$	$t_{PLH}$ , $t_{PHL}$	5.0 10 15  5.0 10 15  5.0 10 15	— — —  — — —  — — —	380 150 110  1000 400 300  500 250 180	600 230 175  2000 750 565  800 400 300	ns
Clock Pulse Width	$t_{WH}$	5.0 10 15	500 165 125	200 60 40	— — —	ns
Reset Pulse Width	$t_{WH}$	5.0 10 15	600 350 260	375 200 150	— — —	ns
Reset Removal Time	$t_{rem}$	5.0 10 15	625 190 145	250 75 50	— — —	ns
Clock Input Rise and Fall Time	$t_{TLH}$ , $t_{THL}$	5.0 10 15	— — —	— — —	1.0 8.0 200	s ms $\mu\text{s}$
Input Pulse Frequency	$f_{cl}$	5.0 10 15	— — —	2.5 8.0 12	1.0 3.0 4.0	MHz

7. The formulas given are for the typical characteristics only at  $25^\circ\text{C}$ .

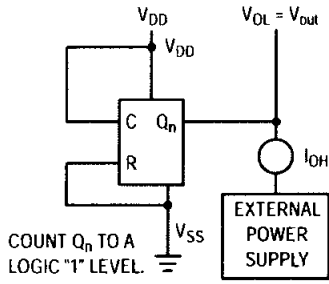
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

<http://onsemi.com>

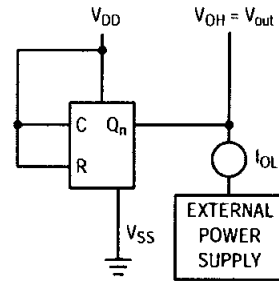
4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

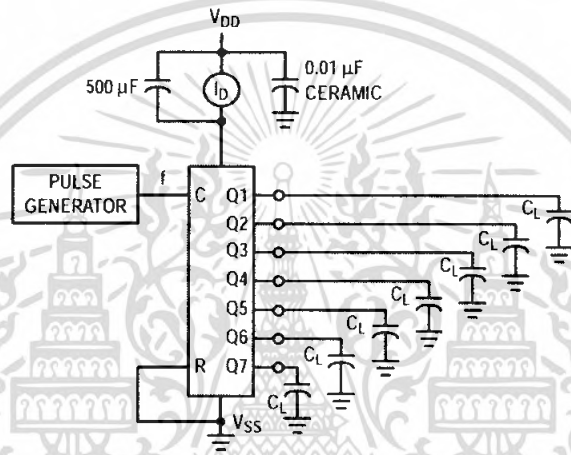
## MC14024B



**Figure 1. Typical Output Source Characteristics Test Circuit**



**Figure 2. Typical Output Sink Characteristics Test Circuit**

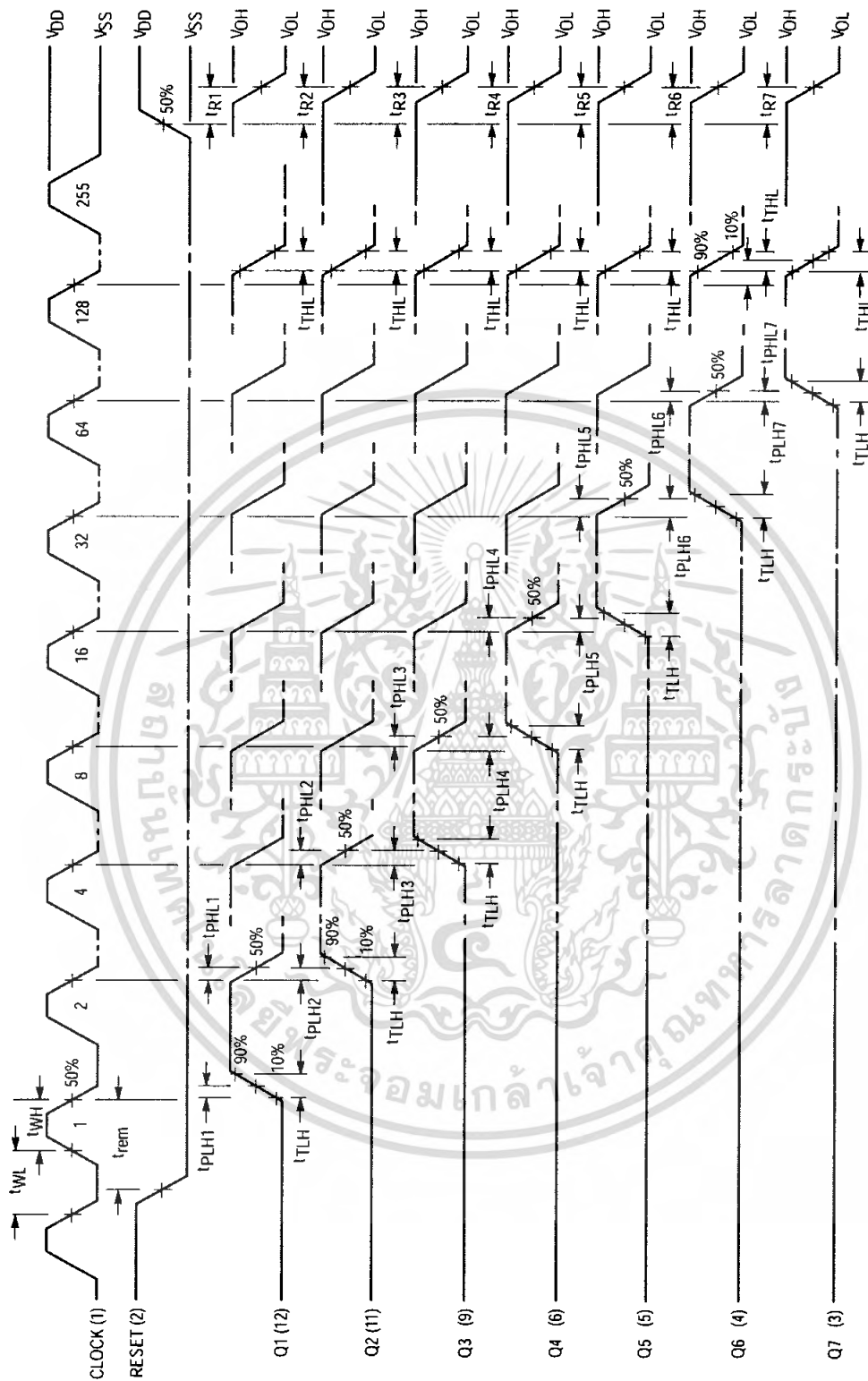


**Figure 3. Power Dissipation Test Circuit**

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC14024B



Input  $t_{TLH}$  and  $t_{THL}$  = 20 ns

Figure 4. Functional Waveforms

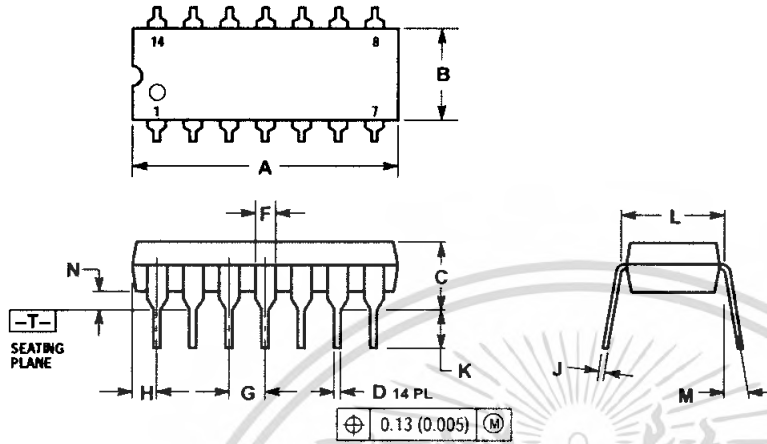
<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC14024B

## PACKAGE DIMENSIONS

### P SUFFIX PLASTIC DIP PACKAGE CASE 646-06 ISSUE M

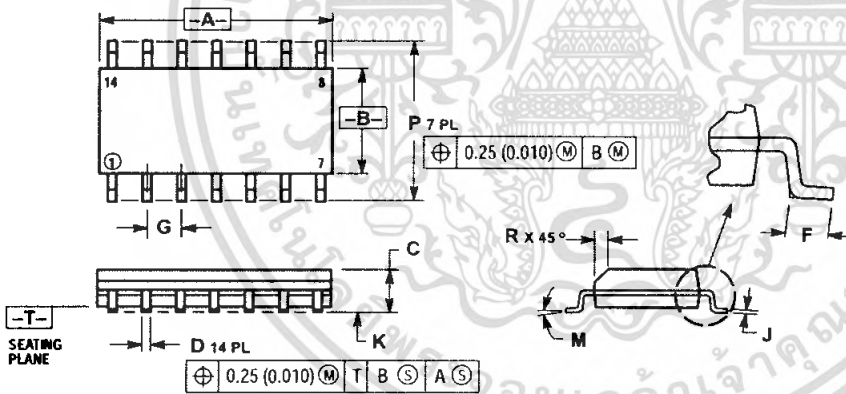


**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

### D SUFFIX PLASTIC SOIC PACKAGE CASE 751A-03 ISSUE F



**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

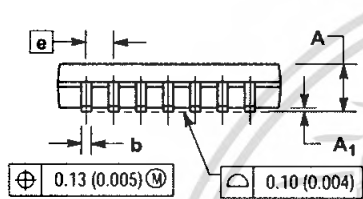
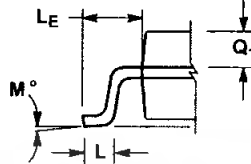
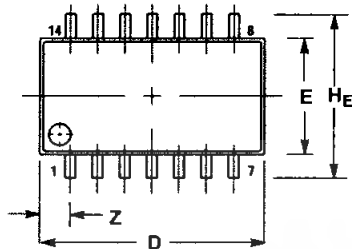
<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC14024B

## PACKAGE DIMENSIONS

### F SUFFIX PLASTIC EIAJ SOIC PACKAGE CASE 965-01 ISSUE 0



#### NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A <sub>1</sub>	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC 0.050 BSC			
H <sub>E</sub>	7.40	8.20	0.291	0.323
0.50	0.50	0.85	0.020	0.033
L <sub>E</sub>	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q <sub>1</sub>	0.70	0.90	0.028	0.035
Z	---	1.42	---	0.056

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

### PUBLICATION ORDERING INFORMATION

#### NORTH AMERICA Literature Fulfillment:

Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
Email: ONlit@hibbertco.com  
Fax Response Line: 303-675-2167 or 800-344-3810 Toll Free USA/Canada

N. American Technical Support: 800-282-9855 Toll Free USA/Canada

#### EUROPE: LDC for ON Semiconductor - European Support

German Phone: (+1) 303-308-7140 (M-F 1:00pm to 5:00pm Munich Time)  
Email: ONlit-german@hibbertco.com  
French Phone: (+1) 303-308-7141 (M-F 1:00pm to 5:00pm Toulouse Time)  
Email: ONlit-french@hibbertco.com  
English Phone: (+1) 303-308-7142 (M-F 12:00pm to 5:00pm UK Time)  
Email: ONlit@hibbertco.com

#### EUROPEAN TOLL-FREE ACCESS\*: 00-800-4422-3781

\*Available from Germany, France, Italy, England, Ireland

#### CENTRAL/SOUTH AMERICA:

Spanish Phone: 303-308-7143 (Mon-Fri 8:00am to 5:00pm MST)  
Email: ONlit-spanish@hibbertco.com

#### ASIA/PACIFIC: LDC for ON Semiconductor - Asia Support

Phone: 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)  
Toll Free from Hong Kong & Singapore:  
001-800-4422-3781  
Email: ONlit-asia@hibbertco.com

#### JAPAN: ON Semiconductor, Japan Customer Focus Center

4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-8549  
Phone: 81-3-5740-2745  
Email: r14525@onsemi.com

ON Semiconductor Website: <http://onsemi.com>

For additional information, please contact your local Sales Representative.

MC14024B/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MC14046B**

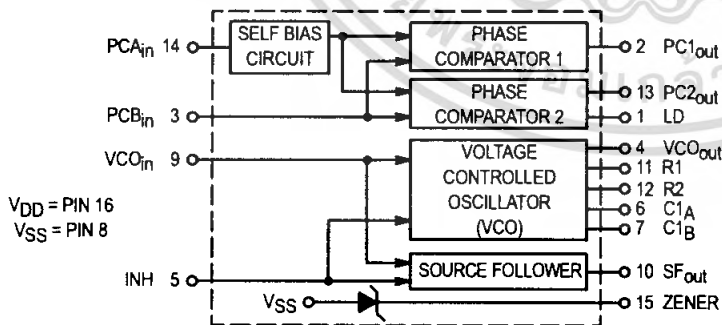
**Phase Locked Loop**

The MC14046B phase locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs,  $PCA_{in}$  and  $PCB_{in}$ . Input  $PCA_{in}$  can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal  $PC1_{out}$ , and maintains  $90^\circ$  phase shift at the center frequency between  $PCA_{in}$  and  $PCB_{in}$  signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals,  $PC2_{out}$  and LD, and maintains a  $0^\circ$  phase shift between  $PCA_{in}$  and  $PCB_{in}$  signals (duty cycle is immaterial). The linear VCO produces an output signal  $VCO_{out}$  whose frequency is determined by the voltage of input  $VCO_{in}$  and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source-follower output  $SF_{out}$  with an external resistor is used where the  $VCO_{in}$  signal is needed but no loading can be tolerated. The inhibit input  $INH$ , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin-for-Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

**BLOCK DIAGRAM**



**L SUFFIX**  
CERAMIC  
CASE 620



**P SUFFIX**  
PLASTIC  
CASE 648



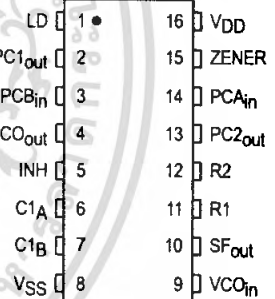
**DW SUFFIX**  
SOIC  
CASE 751G

**ORDERING INFORMATION**

MC14XXXBCP Plastic  
MC14XXXBCL Ceramic  
MC14XXXBDW SOIC

$T_A = -55^\circ$  to  $125^\circ\text{C}$  for all packages.

**PIN ASSIGNMENT**



**MAXIMUM RATINGS\*** (Voltages Referenced to V<sub>SS</sub>)

Rating	Symbol	Value	Unit
DC Supply Voltage	V <sub>DD</sub>	- 0.5 to + 18	Vdc
Input Voltage, All Inputs	V <sub>in</sub>	- 0.5 to V <sub>DD</sub> + 0.5	Vdc
DC Input Current, per Pin	I <sub>in</sub>	± 10	mAdc
Power Dissipation, per Package†	P <sub>D</sub>	500	mW
Operating Temperature Range	T <sub>A</sub>	- 55 to + 125	°C
Storage Temperature Range	T <sub>stg</sub>	- 65 to + 150	°C

\* Maximum Ratings are those values beyond which damage to the device may occur.

† Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/°C From 65°C To 125°C

Ceramic "L" Packages: - 12 mW/°C From 100°C To 125°C

**ELECTRICAL CHARACTERISTICS** (Voltages Referenced to V<sub>SS</sub>)

Characteristic	Symbol	V <sub>DD</sub> Vdc	- 55°C		25°C			125°C		Unit	
			Min	Max	Min	Typ	Max	Min	Max		
Output Voltage V <sub>in</sub> = V <sub>DD</sub> or 0	"0" Level V <sub>OL</sub>	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
	"1" Level V <sub>OH</sub>	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc	
		10	9.95	—	9.95	10	—	9.95	—		
		15	14.95	—	14.95	15	—	14.95	—		
Input Voltage # (V <sub>O</sub> = 4.5 or 0.5 Vdc) (V <sub>O</sub> = 9.0 or 1.0 Vdc) (V <sub>O</sub> = 13.5 or 1.5 Vdc)	"0" Level V <sub>IL</sub>	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	6.75	4.0	—	4.0		
	"1" Level V <sub>IH</sub>	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc	
		10	7.0	—	7.0	5.50	—	7.0	—		
		15	11	—	11	8.25	—	11	—		
Output Drive Current (V <sub>OH</sub> = 2.5 Vdc) (V <sub>OH</sub> = 4.6 Vdc) (V <sub>OH</sub> = 9.5 Vdc) (V <sub>OH</sub> = 13.5 Vdc)	Source I <sub>OH</sub>	5.0	- 1.2	—	- 1.0	- 1.7	—	- 0.7	—	mAdc	
		5.0	- 0.25	—	- 0.2	- 0.36	—	- 0.14	—		
		10	- 0.62	—	- 0.5	- 0.9	—	- 0.35	—		
	Sink I <sub>OL</sub>	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc	
		10	1.6	—	1.3	2.25	—	0.9	—		
		15	4.2	—	3.4	8.8	—	2.4	—		
Input Current	I <sub>in</sub>	15	—	± 0.1	—	± 0.00001	± 0.1	—	± 1.0	µAdc	
Input Capacitance	C <sub>in</sub>	—	—	—	—	5.0	7.5	—	—	pF	
Quiescent Current (Per Package) I <sub>nh</sub> = PCA <sub>in</sub> = V <sub>DD</sub> . Zener = VCO <sub>in</sub> = 0 V, PCB <sub>in</sub> = V <sub>DD</sub> or 0 V, I <sub>out</sub> = 0 µA	I <sub>DD</sub>	5.0	—	5.0	—	0.005	5.0	—	150	µAdc	
		10	—	10	—	0.010	10	—	300		
		15	—	20	—	0.015	20	—	600		
Total Supply Current† (I <sub>nh</sub> = "0", f <sub>o</sub> = 10 kHz, C <sub>L</sub> = 50 pF, R1 = 1.0 MΩ, R2 = ∞ R <sub>SF</sub> = ∞, and 50% Duty Cycle)	I <sub>T</sub>	5.0	I <sub>T</sub> = (1.46 µA/kHz) f + I <sub>DD</sub>								mAdc
		10	I <sub>T</sub> = (2.91 µA/kHz) f + I <sub>DD</sub>								
		15	I <sub>T</sub> = (4.37 µA/kHz) f + I <sub>DD</sub>								

#Noise immunity specified for worst-case input combination.

Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V<sub>DD</sub> = 5.0 Vdc

2.0 Vdc min @ V<sub>DD</sub> = 10 Vdc

2.5 Vdc min @ V<sub>DD</sub> = 15 Vdc

†To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD} \left( \frac{V_{COin} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2} \right)^{3/4} + 1.6 \times \left( \frac{V_{COin} - 1.65}{R_{SF}} \right)^{3/4} + 1 \times 10^{-3} (C_L + 9) V_{DD} f +$$

$$1 \times 10^{-1} V_{DD}^2 \left( \frac{100\% \text{ Duty Cycle of PCA}_{in}}{100} \right) + I_Q \quad \text{where: } I_T \text{ in } \mu\text{A}, C_L \text{ in pF, } V_{COin}, V_{DD} \text{ in Vdc, } f \text{ in kHz, and } R1, R2, R_{SF} \text{ in M}\Omega, C_L \text{ on VCO}_{out}$$

**ELECTRICAL CHARACTERISTICS\*** ( $C_L = 50 \text{ pF}$ ,  $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	VDD Vdc	Minimum	Typical	Maximum	Units
			Device		Device	
Output Rise Time $t_{TLH} = (3.0 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_{TLH} = (1.5 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{TLH} = (1.1 \text{ ns/pF}) C_L + 10 \text{ ns}$	$t_{TLH}$	5.0 10 15	— — —	180 90 65	350 150 110	ns
Output Fall Time $t_{THL} = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_{THL} = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_{THL} = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	$t_{THL}$	5.0 10 15	— — —	100 50 37	175 75 55	ns

**PHASE COMPARATORS 1 and 2**

Input Resistance — $PCA_{in}$	$R_{in}$	5.0 10 15	1.0 0.2 0.1	2.0 0.4 0.2	— — —	$M\Omega$
— $PCB_{in}$	$R_{in}$	15	150	1500	—	$M\Omega$
Minimum Input Sensitivity AC Coupled — $PCA_{in}$ C series = 1000 pF, f = 50 kHz	$V_{in}$	5.0 10 15	— — —	200 400 700	300 600 1050	mV p-p
DC Coupled — $PCA_{in}$ , $PCB_{in}$	—	5 to 15	See Noise Immunity			

**VOLTAGE CONTROLLED OSCILLATOR (VCO)**

Maximum Frequency ( $VCO_{in} = V_{DD}$ , $C_1 = 50 \text{ pF}$ $R_1 = 5.0 \text{ k}\Omega$ , and $R_2 = \infty$ )	$f_{max}$	5.0 10 15	0.5 1.0 1.4	0.7 1.4 1.9	— — —	MHz
Temperature — Frequency Stability ( $R_2 = \infty$ )	—	5.0 10 15	— — —	0.12 0.04 0.015	— — —	%/°C
Linearity ( $R_2 = \infty$ ) ( $VCO_{in} = 2.5 \text{ V} \pm 0.3 \text{ V}$ , $R_1 > 10 \text{ k}\Omega$ ) ( $VCO_{in} = 5.0 \text{ V} \pm 2.5 \text{ V}$ , $R_1 > 400 \text{ k}\Omega$ ) ( $VCO_{in} = 7.5 \text{ V} \pm 5.0 \text{ V}$ , $R_1 \geq 1000 \text{ k}\Omega$ )	—	5.0 10 15	— — —	1.0 1.0 1.0	— — —	%
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — $VCO_{in}$	$R_{in}$	15	150	1500	—	$M\Omega$

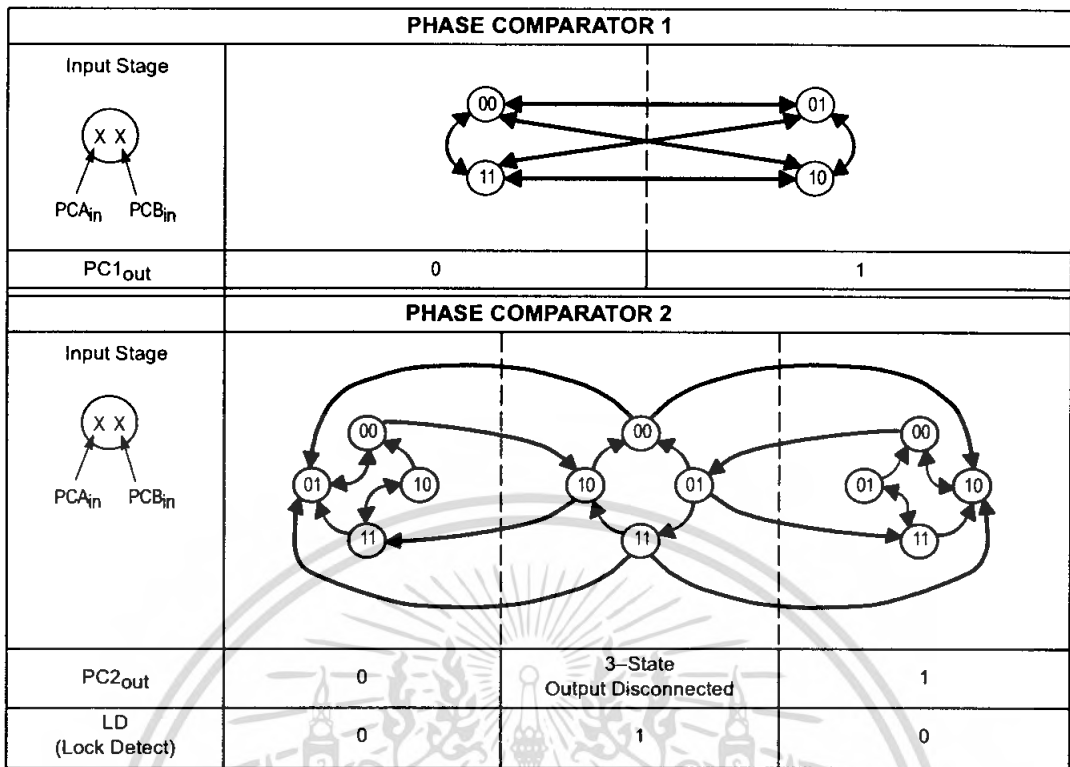
**SOURCE-FOLLOWER**

Offset Voltage ( $VCO_{in}$ minus $SF_{out}$ , $RSF > 500 \text{ k}\Omega$ )	—	5.0 10 15	— — —	1.65 1.65 1.65	2.2 2.2 2.2	V
Linearity ( $VCO_{in} = 2.5 \text{ V} \pm 0.3 \text{ V}$ , $RSF > 50 \text{ k}\Omega$ ) ( $VCO_{in} = 5.0 \text{ V} \pm 2.5 \text{ V}$ , $RSF > 50 \text{ k}\Omega$ ) ( $VCO_{in} = 7.5 \text{ V} \pm 5.0 \text{ V}$ , $RSF > 50 \text{ k}\Omega$ )	—	5.0 10 15	— — —	0.1 0.6 0.8	— — —	%

**ZENER DIODE**

Zener Voltage ( $I_Z = 50 \mu\text{A}$ )	$V_Z$	—	6.7	7.0	7.3	V
Dynamic Resistance ( $I_Z = 1.0 \text{ mA}$ )	$R_Z$	—	—	100	—	$\Omega$

\* The formula given is for the typical characteristics only.

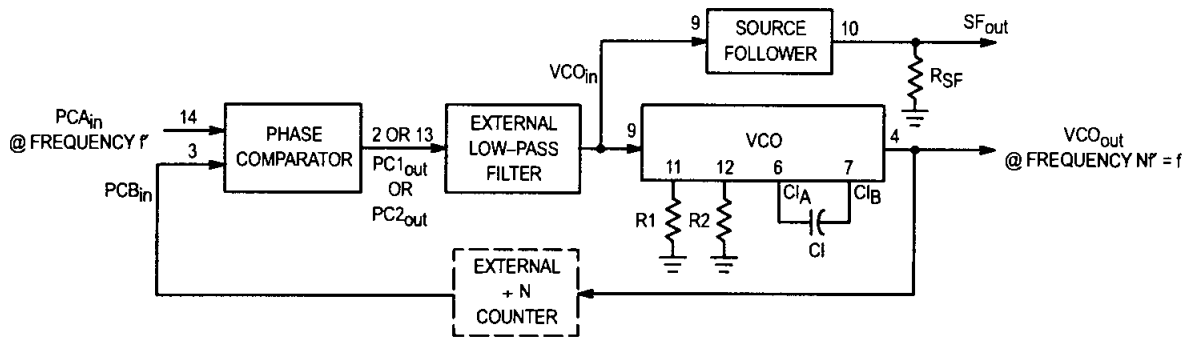


Refer to Waveforms in Figure 3.

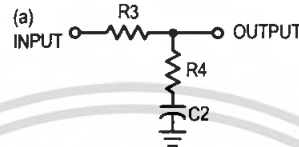
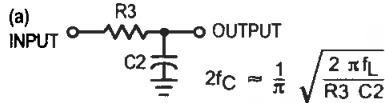
Figure 1. Phase Comparators State Diagrams

Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA <sub>in</sub> .	VCO in PLL system adjusts to center frequency (f <sub>0</sub> ).	VCO in PLL system adjusts to minimum frequency (f <sub>min</sub> ).
Phase angle between PCA <sub>in</sub> and PCB <sub>in</sub> .	90° at center frequency (f <sub>0</sub> ), approaching 0° and 180° at ends of lock range (2f <sub>L</sub> )	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range (2f <sub>L</sub> ).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; 2f <sub>L</sub> = full VCO frequency range = f <sub>max</sub> - f <sub>min</sub> .	
Capture frequency range (2f <sub>C</sub> ).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low-pass filter characteristics (see Figure 3). f <sub>C</sub> ≤ f <sub>L</sub>	f <sub>C</sub> = f <sub>L</sub>
Center frequency (f <sub>0</sub> ).	The frequency of VCO <sub>out</sub> , when VCO <sub>in</sub> = 1/2 V <sub>DD</sub>	
VCO output frequency (f).	$f_{min} = \frac{1}{R_2(C_1 + 32 \text{ pF})} \quad (\text{VCO input} = V_{SS})$ $f_{max} = \frac{1}{R_1(C_1 + 32 \text{ pF})} + f_{min} \quad (\text{VCO input} = V_{DD})$	
Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	Where: 10K ≤ R <sub>1</sub> ≤ 1 M 10K ≤ R <sub>2</sub> ≤ 1 M 100pF ≤ C <sub>1</sub> ≤ .01 μF	

Figure 2. Design Information



**Typical Low-Pass Filters**



Typically:  
 $R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$   
 $(R_3 + 3,000\Omega) C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$   
 $\Delta f = f_{max} - f_{min}$

NOTE: Sometimes R3 is split into two series resistors each R3 + 2. A capacitor C<sub>C</sub> is then placed from the midpoint to ground. The value for C<sub>C</sub> should be such that the corner frequency of this network does not significantly affect ω<sub>n</sub>. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≈ (0.1)(R3) for optimum results.

**LOW-PASS FILTER**

Definitions: N = Total division ratio in feedback loop  
 $K_\phi = V_{DD}/\pi$  for Phase Comparator 1  
 $K_\phi = V_{DD}/4\pi$  for Phase Comparator 2  
 $K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2V}$   
 for a typical design  $\omega_n \approx \frac{2\pi f_r}{10}$  (at phase detector input)  
 $\zeta \approx 0.707$

Filter A	Filter B
$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_3 C_2}}$	$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$	$\zeta = 0.5 \omega_n (R_3 C_2 + \frac{N}{K_\phi K_{VCO}})$
$F(s) = \frac{1}{R_3 C_2 S + 1}$	$F(s) = \frac{R_3 C_2 S + 1}{S(R_3 C_2 + R_4 C_2) + 1}$

**Waveforms**

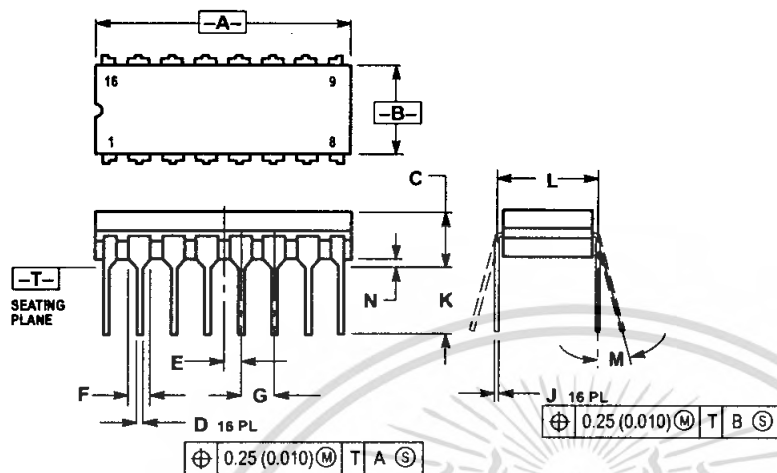


- Note: for further information, see:
- (1) F. Gardner, "Phase-Lock Techniques", John Wiley and Son, New York, 1966.
  - (2) G. S. Moschytz, "Miniature RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
  - (3) Garth Nash, "Phase-Lock Loop Design Fundamentals", AN-535, Motorola Inc.
  - (4) A. B. Przedpelski, "Phase-Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

**Figure 3. General Phase-Locked Loop Connections and Waveforms**

## OUTLINE DIMENSIONS

### L SUFFIX CERAMIC DIP PACKAGE CASE 620-10 ISSUE V

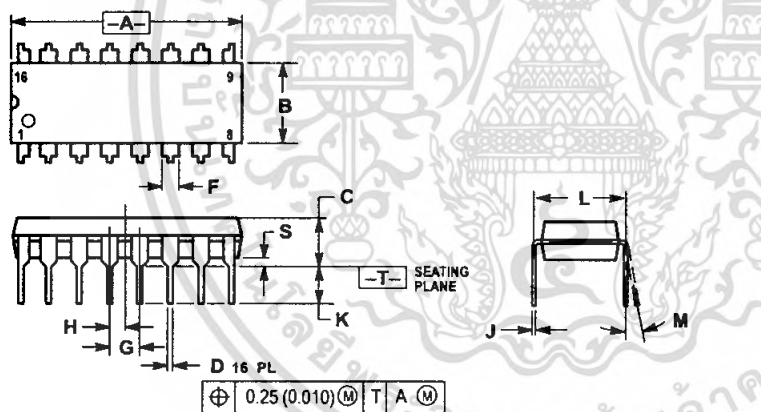


**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0° 15°		0° 15°	
N	0.020	0.040	0.51	1.01

### P SUFFIX PLASTIC DIP PACKAGE CASE 648-08 ISSUE R



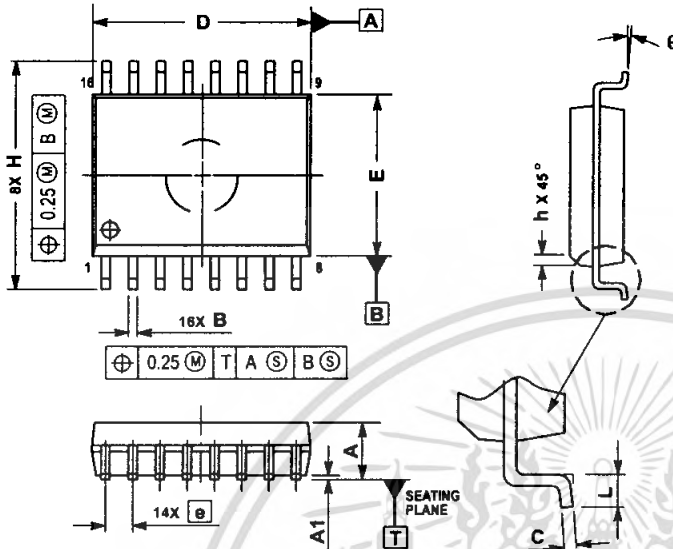
**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0° 10°		0° 10°	
S	0.020	0.040	0.51	1.01

## OUTLINE DIMENSIONS

### DW SUFFIX PLASTIC SOIC WIDE PACKAGE CASE 751G-03 ISSUE B



**NOTES:**

1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

**How to reach us:**

**USA/EUROPE/Locations Not Listed:** Motorola Literature Distribution;  
P.O. Box 5405, Denver, Colorado 80217. 1-303-675-2140 or 1-800-441-2447

**JAPAN:** Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4-32-1,  
Nishi-Gotanda, Shinagawa-ku, Tokyo 141, Japan. 81-3-5487-8488

**Customer Focus Center: 1-800-521-6274**

**Mfax™:** RMFAX0@email.sps.mot.com – TOUCHTONE 1-602-244-6609  
Motorola Fax Back System – US & Canada ONLY 1-800-774-1848  
– http://sps.motorola.com/mfax/

**ASIA/PACIFIC:** Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,  
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298

**HOME PAGE:** <http://motorola.com/sps/>



MC14046B/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1596/LM1496 Balanced Modulator-Demodulator

### General Description

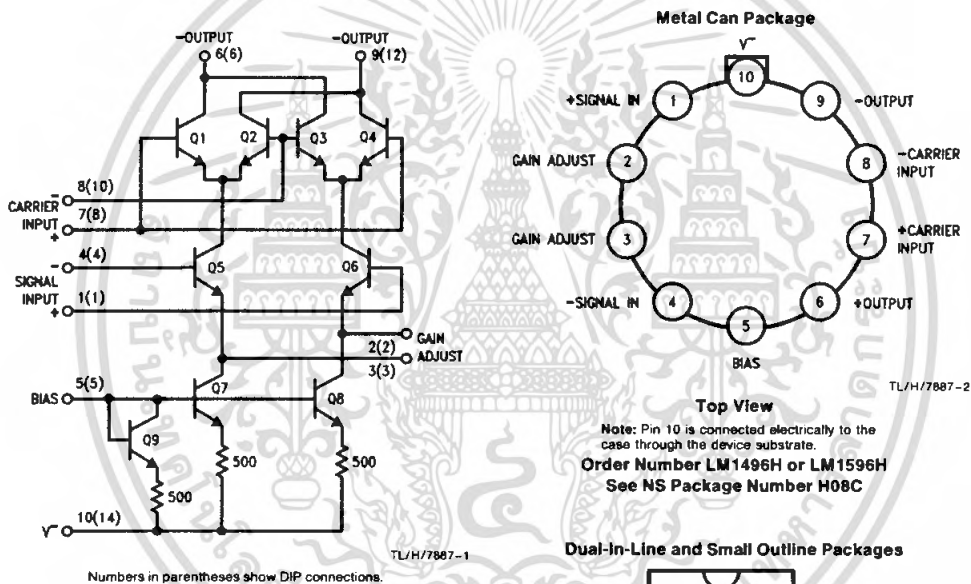
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the  $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$  military temperature range. The LM1496 is specified for operation over the  $0^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$  temperature range.

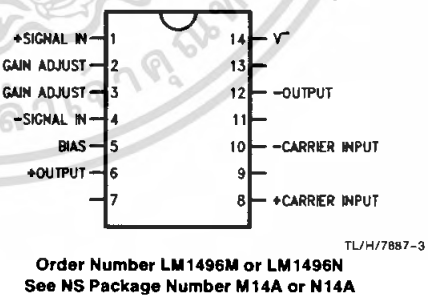
### Features

- Excellent carrier suppression  
65 dB typical at 0.5 MHz  
50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

### Schematic and Connection Diagrams



### Dual-In-Line and Small Outline Packages



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ( $V_7 - V_8$ )	$\pm 5.0V$
Differential Input Signal ( $V_4 - V_1$ )	$\pm (5 + I_5 R_0)V$
Input Signal ( $V_2 - V_1, V_3 - V_4$ )	5.0V
Bias Current ( $I_5$ )	12 mA
Operating Temperature Range LM1596	-55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

### Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

### Electrical Characteristics ( $T_A = 25^\circ C$ , unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	$V_C = 60$ mVrms sine wave $f_C = 1.0$ kHz, offset adjusted		40		40			$\mu$ Vrms
	$V_C = 60$ mVrms sine wave $f_C = 10$ kHz, offset adjusted		140		140			$\mu$ Vrms
	$V_C = 300$ mV <sub>pp</sub> square wave $f_C = 1.0$ kHz, offset adjusted		0.04	0.2	0.04	0.2		mVrms
	$V_C = 300$ mV <sub>pp</sub> square wave $f_C = 1.0$ kHz, not offset adjusted		20	100	20	150		mVrms
Carrier Suppression	$f_S = 10$ kHz, 300 mVrms $f_C = 500$ kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	$f_S = 10$ kHz, 300 mVrms $f_C = 10$ MHz, 60 mVrms sine wave offset adjusted	50			50			dB
Transadmittance Bandwidth	$R_L = 50\Omega$ Carrier Input Port, $V_C = 60$ mVrms sine wave $f_S = 1.0$ kHz, 300 mVrms sine wave		300		300			MHz
	Signal Input Port, $V_S = 300$ mVrms sine wave $V_7 - V_8 = 0.5$ Vdc		80		80			MHz
Voltage Gain, Signal Channel	$V_S = 100$ mVrms, $f = 1.0$ kHz $V_7 - V_8 = 0.5$ Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	$f = 5.0$ MHz $V_7 - V_8 = 0.5$ Vdc		200		200			k $\Omega$
Input Capacitance, Signal Port	$f = 5.0$ MHz $V_7 - V_8 = 0.5$ Vdc		2.0		2.0			pF
Single Ended Output Resistance	$f = 10$ MHz		40		40			k $\Omega$
Single Ended Output Capacitance	$f = 10$ MHz		5.0		5.0			pF
Input Bias Current	$(I_1 + I_4)/2$		12	25	12	30		$\mu$ A
Input Bias Current	$(I_7 + I_8)/2$		12	25	12	30		$\mu$ A
Input Offset Current	$(I_1 - I_4)$		0.7	5.0	0.7	5.0		$\mu$ A
Input Offset Current	$(I_7 - I_8)$		0.7	5.0	5.0	5.0		$\mu$ A
Average Temperature Coefficient of Input Offset Current	$(-55^\circ C < T_A < +125^\circ C)$ $(0^\circ C < T_A < +70^\circ C)$		2.0			2.0		nA/ $^\circ C$ nA/ $^\circ C$
Output Offset Current	$(I_6 - I_9)$		14	50	14	60		$\mu$ A
Average Temperature Coefficient of Output Offset Current	$(-55^\circ C < T_A < +125^\circ C)$ $(0^\circ C < T_A < +70^\circ C)$		90		90			nA/ $^\circ C$ nA/ $^\circ C$

## Electrical Characteristics (T<sub>A</sub> = 25°C, unless otherwise specified, see test circuit) (Continued)

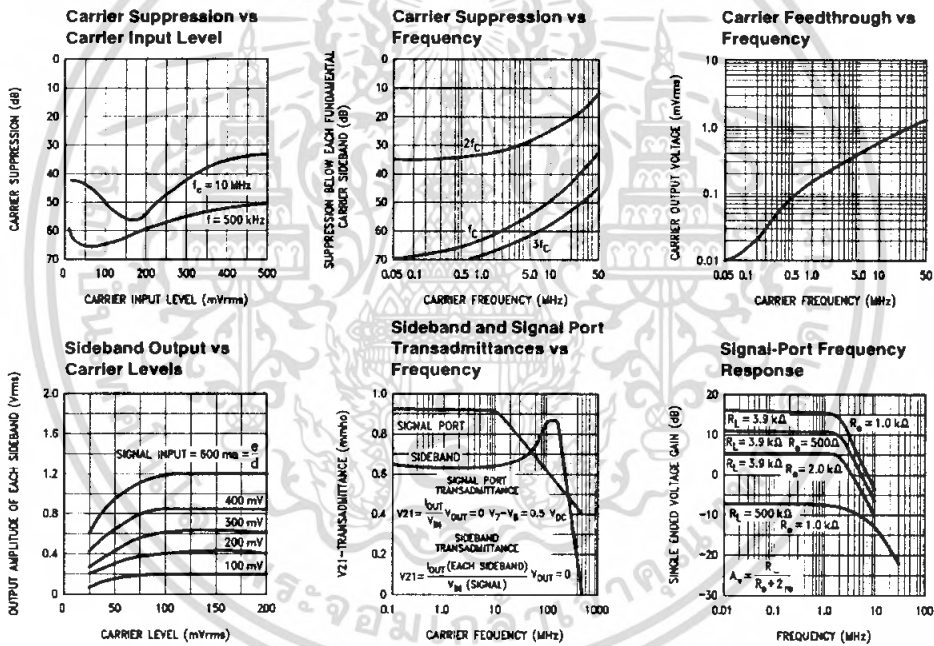
Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f <sub>S</sub> = 1.0 kHz		5.0			5.0		V <sub>p-p</sub>
Signal Port Common Mode Rejection Ratio	V <sub>7</sub> - V <sub>8</sub> = 0.5 Vdc		-85			-85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V <sub>p-p</sub>
Positive Supply Current	(I <sub>6</sub> + I <sub>9</sub> )		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I <sub>10</sub> )		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

## Typical Performance Characteristics

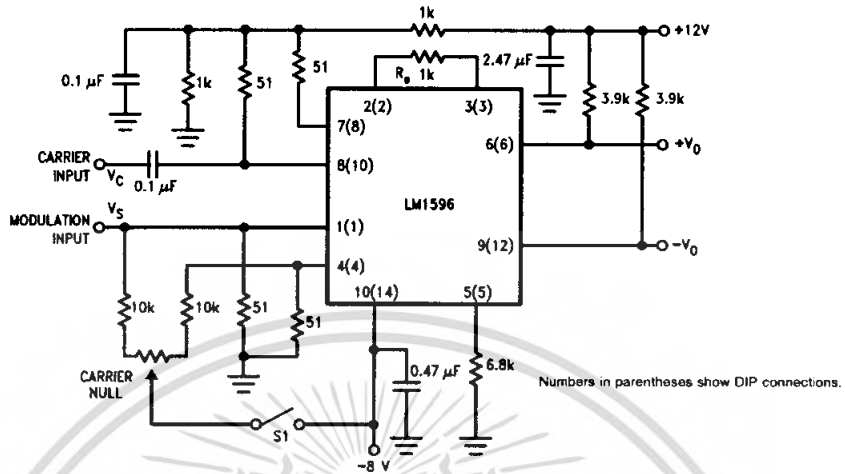


TL/H/7887-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Application and Test Circuit

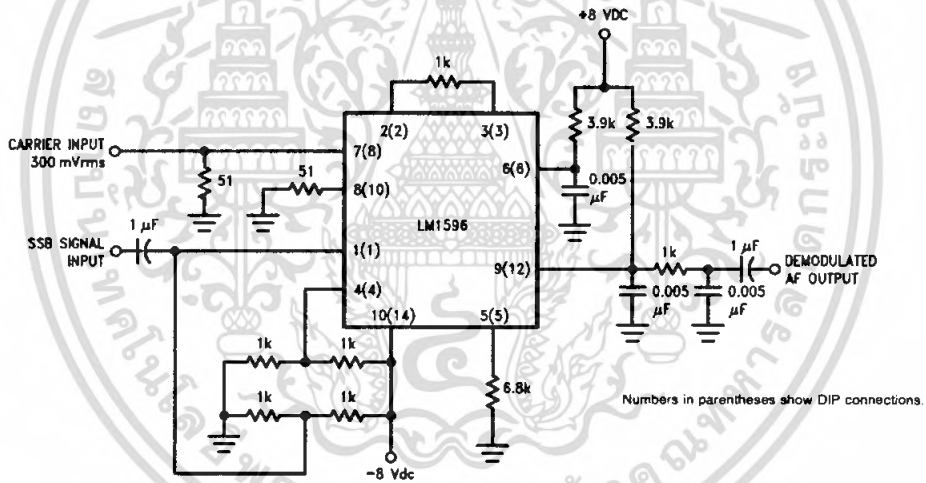
### Suppressed Carrier Modulator



Note: S<sub>1</sub> is closed for "adjusted" measurements.

TL/H/7887-4

### SSB Product Detector



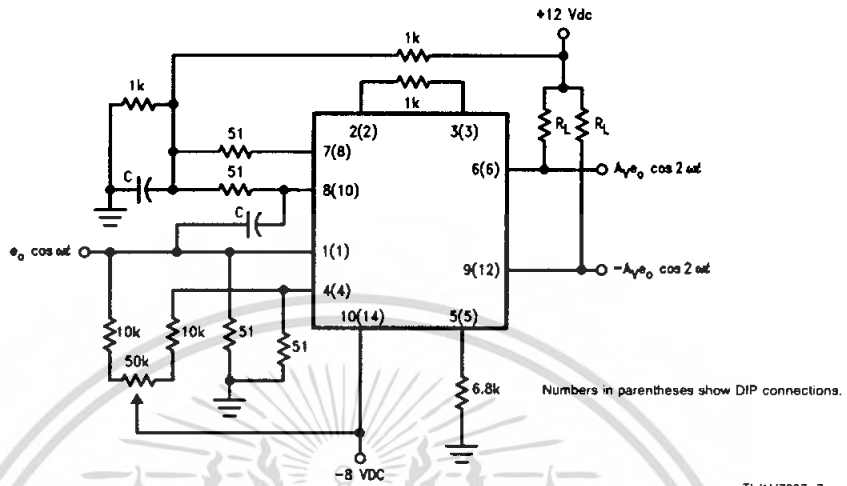
TL/H/7887-6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Typical Applications** (Continued)

**Broadband Frequency Doubler**



TL/H/7867-7

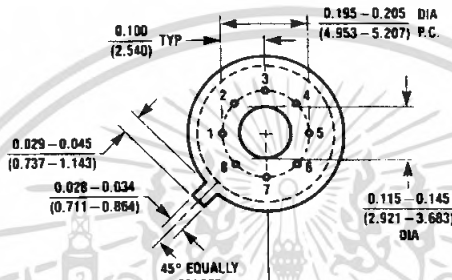
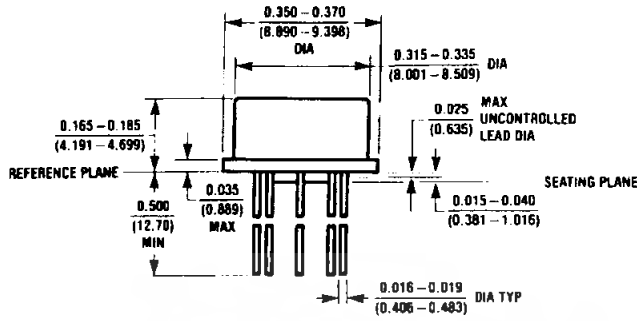
The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

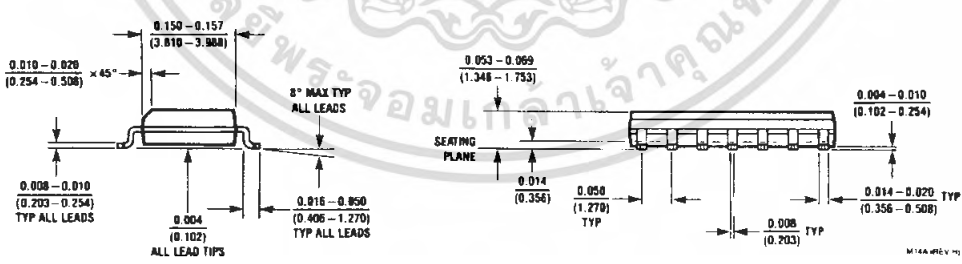
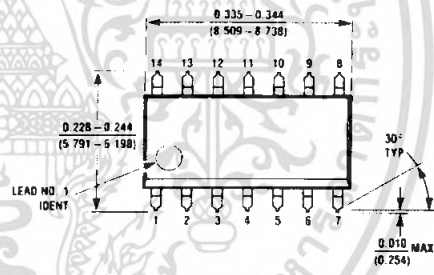


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Physical Dimensions** inches (millimeters)



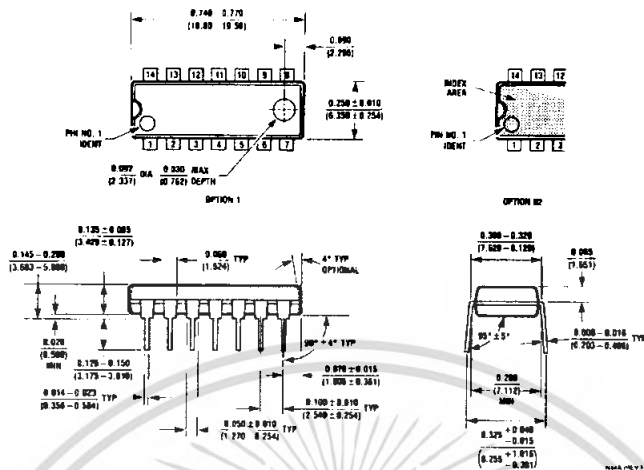
**Metal Can Package (H)**  
Order Number LM1496H or LM1596H  
NS Package Number H08C



**Molded Small Outline Package (M)**  
Order Number LM1496M  
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Physical Dimensions** inches (millimeters) (Continued)




Molded Dual-In-Line Package (N)  
 Order Number LM1496N  
 NS Package Number N14A

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 <p><b>National Semiconductor Corporation</b>                  1111 West Bearden Road                  Arlington, TX 76017                  Tel: 1(800) 272-9959                  Fax: 1(800) 737-7018</p>	<p><b>National Semiconductor Europe</b>                  Fax: (+49) 0-180-530 85 88                  Email: cnjwgo@lsm2.nsc.com                  Deutsch Tel: (+49) 0-180-530 85 85                  English Tel: (+49) 0-180-532 78 32                  Français Tel: (+49) 0-180-532 93 58                  Italiano Tel: (+49) 0-180-534 16 80</p>	<p><b>National Semiconductor Hong Kong Ltd.</b>                  13th Floor, Straight Block,                  Ocean Centre, 5 Canton Rd.                  Tsimshatsui, Kowloon                  Hong Kong                  Tel: (852) 2737-1600                  Fax: (852) 2736-9960</p>	<p><b>National Semiconductor Japan Ltd.</b>                  Tel: 81-043-299-2309                  Fax: 81-043-299-2408</p>
---	---	---	---

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This datasheet has been download from:

[www.datasheetcatalog.com](http://www.datasheetcatalog.com)

Datasheets for electronics components.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FEATURES**

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

**APPLICATIONS**

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

**GENERAL DESCRIPTION**

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

**ORDERING INFORMATION**

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

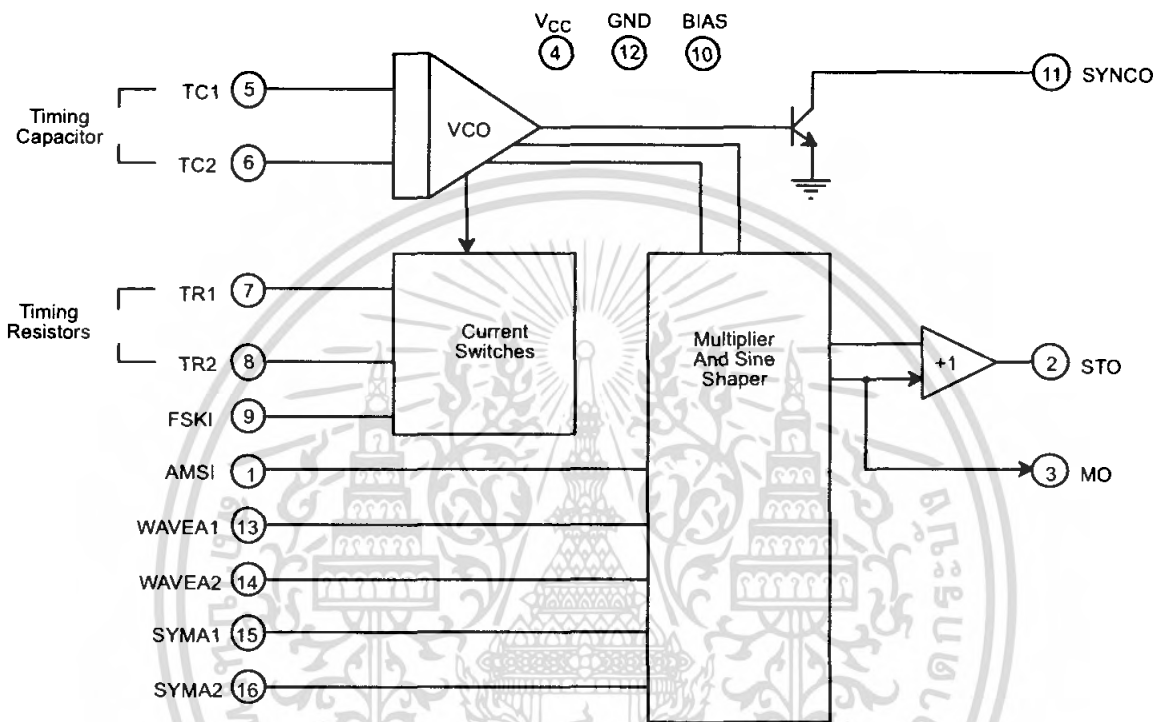
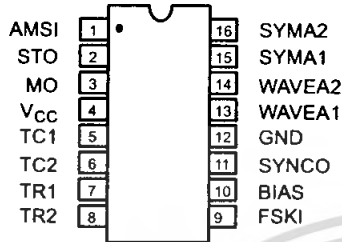
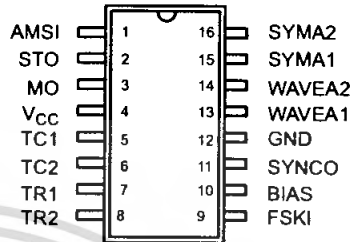


Figure 1. XR-2206 Block Diagram



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

## PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V <sub>CC</sub>		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V <sub>CC</sub> .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

## DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 2  $V_{CC} = 12V$ ,  $T_A = 25^\circ C$ ,  $C = 0.01\mu F$ ,  $R_1 = 100k\Omega$ ,  $R_2 = 10k\Omega$ ,  $R_3 = 25k\Omega$   
 Unless Otherwise Specified.  $S_1$  open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
<b>General Characteristics</b>								
Single Supply Voltage	<b>10</b>		<b>26</b>	10		26	V	
Split-Supply Voltage	<b><math>\pm 5</math></b>		<b><math>\pm 13</math></b>	<b><math>\pm 5</math></b>		<b><math>\pm 13</math></b>	V	
Supply Current		12	<b>17</b>		14	20	mA	$R_1 \geq 10k\Omega$
<b>Oscillator Section</b>								
Max. Operating Frequency	<b>0.5</b>	1		0.5	1		MHz	$C = 1000pF$ , $R_1 = 1k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\mu F$ , $R_1 = 2M\Omega$
Frequency Accuracy		<b><math>\pm 1</math></b>	<b><math>\pm 4</math></b>		<b><math>\pm 2</math></b>		% of $f_o$	$f_o = 1/R_1C$
Temperature Stability Frequency		<b><math>\pm 10</math></b>	<b><math>\pm 50</math></b>		<b><math>\pm 20</math></b>		ppm/ $^\circ C$	$0^\circ C \leq T_A \leq 70^\circ C$ $R_1 = R_2 = 20k\Omega$
Sine Wave Amplitude Stability <sup>2</sup>		4800			4800		ppm/ $^\circ C$	
Supply Sensitivity		0.01	<b>0.1</b>		0.01		%/V	$V_{LOW} = 10V$ , $V_{HIGH} = 20V$ , $R_1 = R_2 = 20k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H @ R_1 = 1k\Omega$ $f_L @ R_1 = 2M\Omega$
<b>Sweep Linearity</b>								
10:1 Sweep		2			2		%	$f_L = 1kHz$ , $f_H = 10kHz$
1000:1 Sweep		8			8		%	$f_L = 100Hz$ , $f_H = 100kHz$
FM Distortion		0.1			0.1		%	$\pm 10\%$ Deviation
<b>Recommended Timing Components</b>								
Timing Capacitor: C	<b>0.001</b>		100	0.001		100	$\mu F$	Figure 5
Timing Resistors: $R_1$ & $R_2$	<b>1</b>		2000	<b>1</b>		2000	$k\Omega$	
<b>Triangle Sine Wave Output<sup>1</sup></b>								
Triangle Amplitude		160			160		mV/ $k\Omega$	Figure 2, $S_1$ Open
Sine Wave Amplitude	<b>40</b>	60	80		60		mV/ $k\Omega$	Figure 2, $S_1$ Closed
Max. Output Swing		6			6		V <sub>p-p</sub>	
Output Impedance		600			600		$\Omega$	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
<b>Sine Wave Distortion</b>								
Without Adjustment		2.5			2.5		%	$R_1 = 30k\Omega$
With Adjustment		0.4	<b>1.0</b>		0.5	1.5	%	See Figure 7 and Figure 8

### Notes

<sup>1</sup> Output amplitude is directly proportional to the resistance,  $R_3$ , on Pin 3. See Figure 3.

<sup>2</sup> For maximum amplitude stability,  $R_3$  should be a positive temperature coefficient resistor.

**Bold face parameters** are covered by production test and guaranteed over operating temperature range.

## DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
<b>Amplitude Modulation</b>								
Input Impedance	50	100		50	100		k $\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
<b>Square-Wave Output</b>								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	$C_L = 10\text{pF}$
Fall Time		50			50		ns	$C_L = 10\text{pF}$
Saturation Voltage		0.2	<b>0.4</b>		0.2	0.6	V	$I_L = 2\text{mA}$
Leakage Current		0.1	<b>20</b>		0.1	100	$\mu\text{A}$	$V_{CC} = 26\text{V}$
FSK Keying Level (Pin 9)	0.8	1.4	<b>2.4</b>	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	<b>3.3</b>	2.5	3	3.5	V	Measured at Pin 10.

### Notes

<sup>1</sup> Output amplitude is directly proportional to the resistance,  $R_3$ , on Pin 3. See Figure 3.

<sup>2</sup> For maximum amplitude stability,  $R_3$  should be a positive temperature coefficient resistor.

**Bold face parameters** are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

## ABSOLUTE MAXIMUM RATINGS

Power Supply .....	26V	Total Timing Current .....	6mA
Power Dissipation .....	750mW	Storage Temperature .....	-65°C to +150°C
Derate Above 25°C .....	5mW/°C		

## SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing

terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

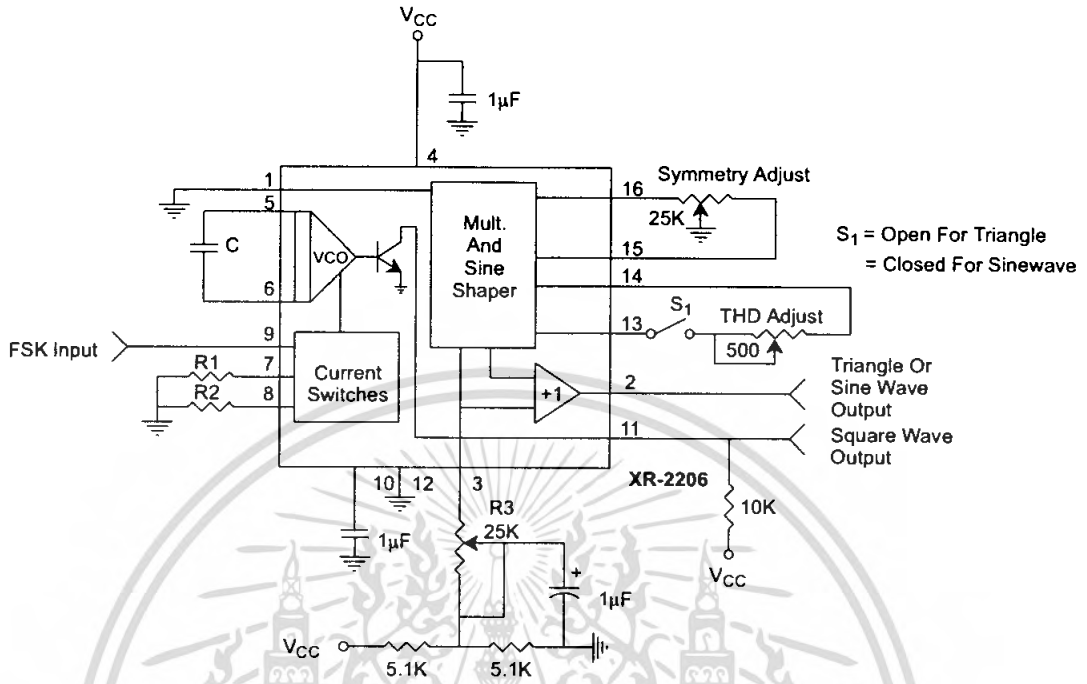


Figure 2. Basic Test Circuit

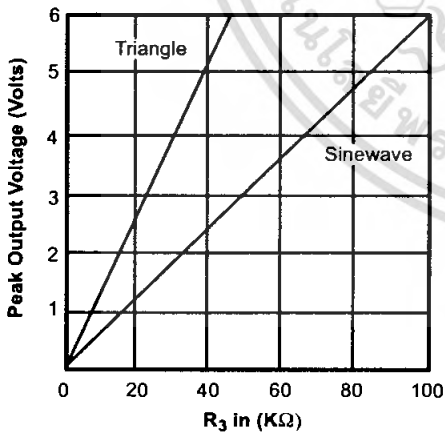


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

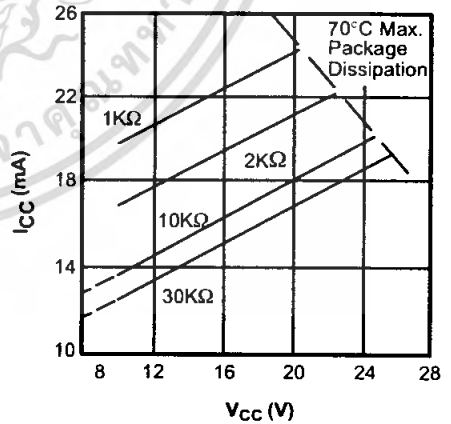


Figure 4. Supply Current vs Supply Voltage, Timing, R

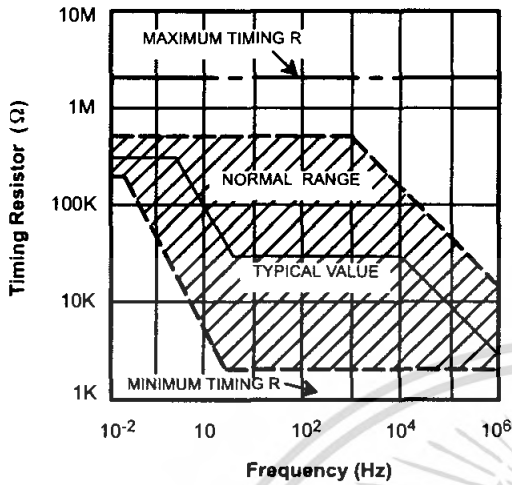


Figure 5. R versus Oscillation Frequency.

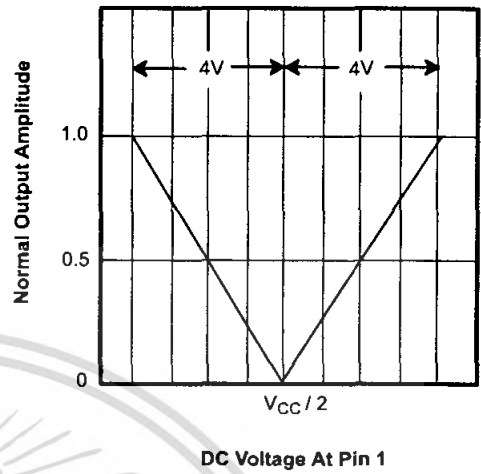


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

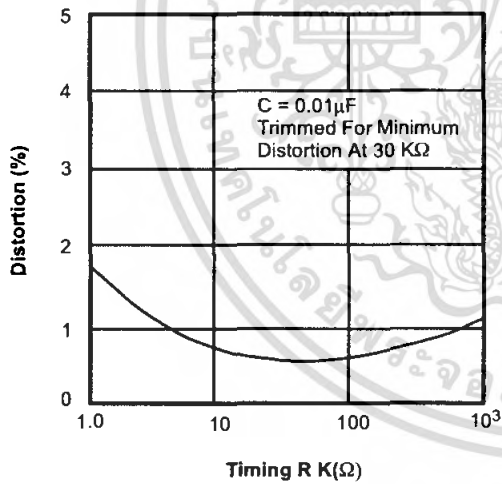


Figure 7. Trimmed Distortion versus Timing Resistor.

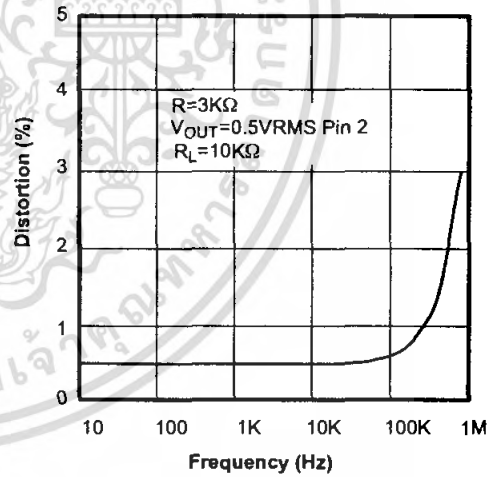


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

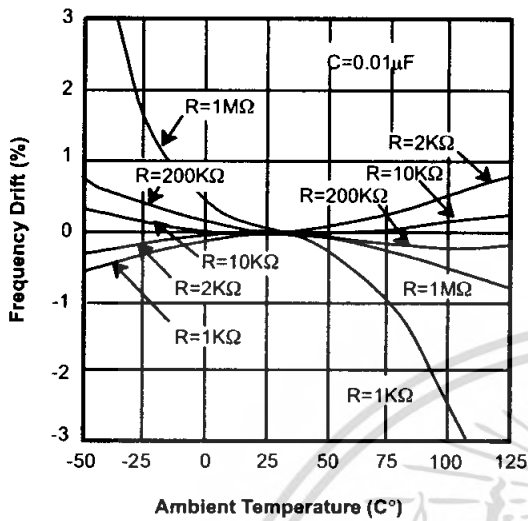


Figure 9. Frequency Drift versus Temperature.

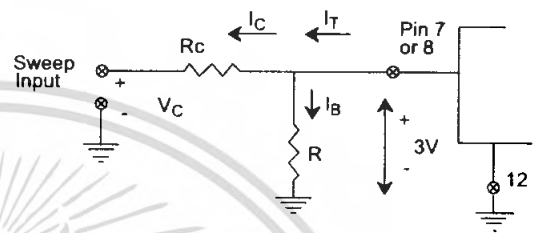


Figure 10. Circuit Connection for Frequency Sweep.

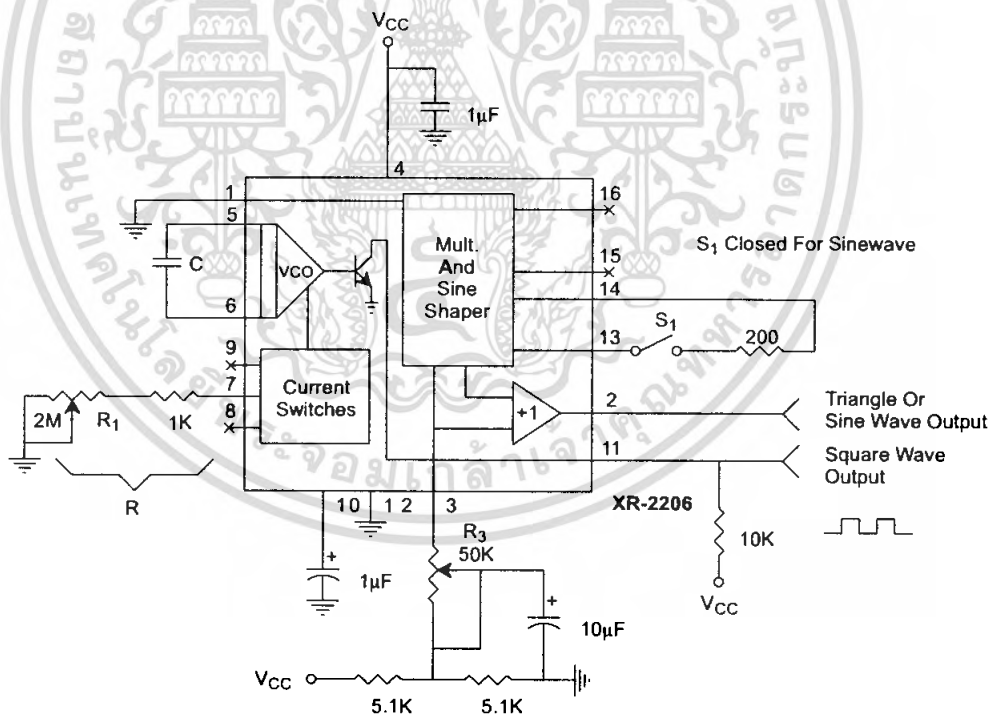


Figure 11. Circuit for Sine Wave Generation without External Adjustment. (See Figure 3 for Choice of  $R_3$ )

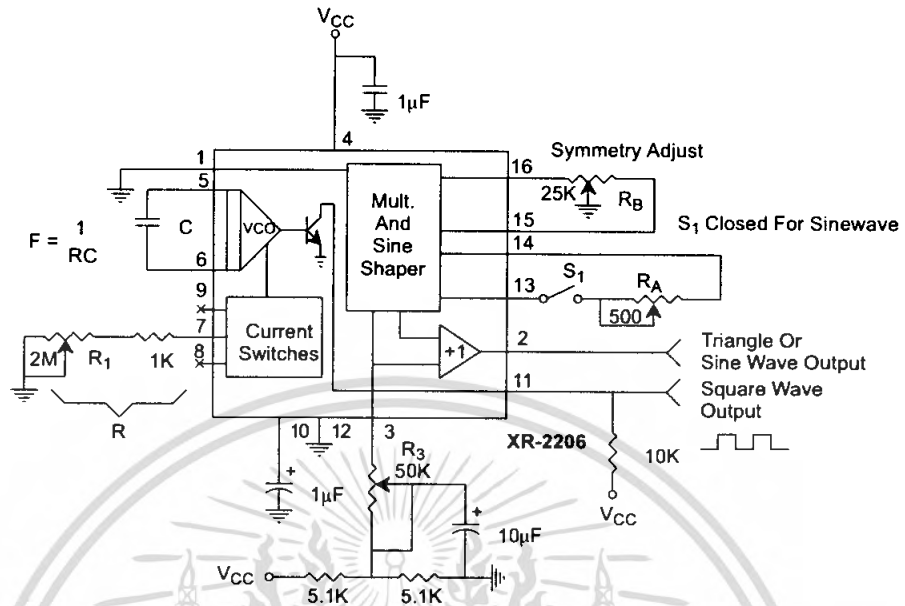


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. ( $R_3$  Determines Output Swing - See Figure 3)

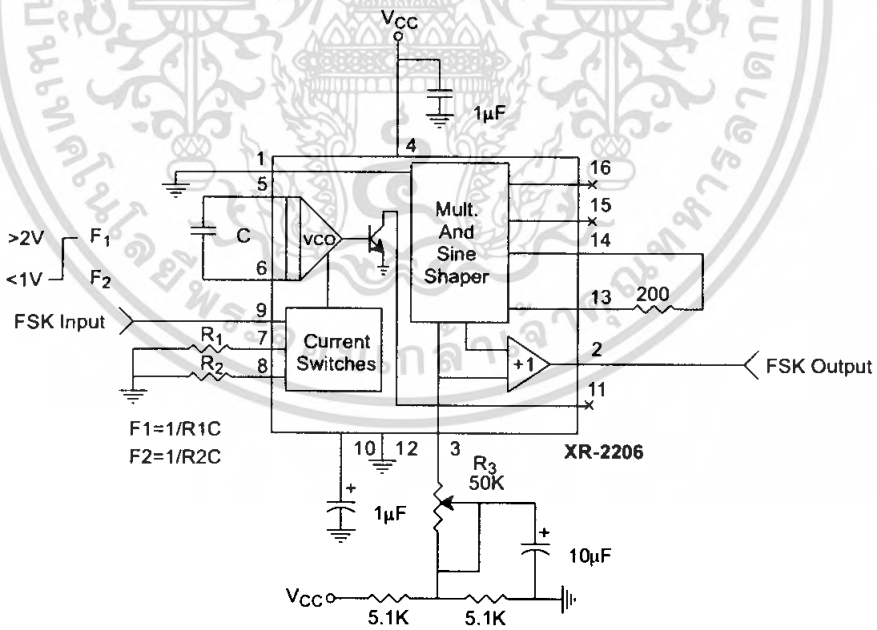


Figure 13. Sinusoidal FSK Generator

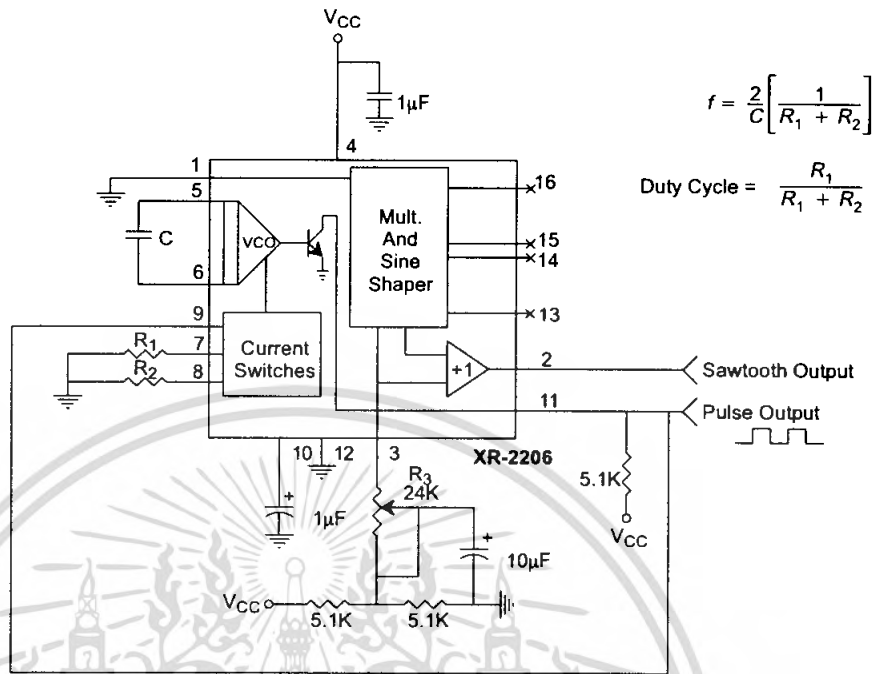


Figure 14. Circuit for Pulse and Ramp Generation.

## Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors,  $R_1$  and  $R_2$ , connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage  $\geq 2V$ , only  $R_1$  is activated. Similarly, if the voltage level at Pin 9 is  $\leq 1V$ , only  $R_2$  is activated. Thus, the output frequency can be keyed between two levels,  $f_1$  and  $f_2$ , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to  $V^-$ .

## Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between  $V^+$  and ground, to give an output dc level of  $\approx V^+/2$ .

## APPLICATIONS INFORMATION

### Sine Wave Generation

#### Without External Adjustment

*Figure 11* shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer,  $R_1$  at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than  $V^+/2$ , and the typical distortion (THD) is  $< 2.5\%$ . If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with  $V^-$ . For split-supply operation,  $R_3$  can be directly connected to ground.

## With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer,  $R_A$ , adjusts the sine-shaping resistor, and  $R_B$  provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set  $R_B$  at midpoint and adjust  $R_A$  for minimum distortion.
2. With  $R_A$  set as above, adjust  $R_B$  to further reduce distortion.

## Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e.,  $S_1$  open). Amplitude of the triangle is approximately twice the sine wave output.

## FSK Generation

*Figure 13* shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors,  $R_1$  and  $R_2$ ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with  $V^-$ .

## Pulse and Ramp Generation

*Figure 14* shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of  $R_1$  and  $R_2$ . The values of  $R_1$  and  $R_2$  should be in the range of  $1k\Omega$  to  $2M\Omega$ .

## PRINCIPLES OF OPERATION

### Description of Controls

### Frequency of Operation:

The frequency of oscillation,  $f_0$ , is determined by the external timing capacitor,  $C$ , across Pin 5 and 6, and by the timing resistor,  $R$ , connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either  $R$  or  $C$ . The recommended values of  $R$ , for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for  $4k\Omega < R < 200k\Omega$ . Recommended values of  $C$  are from  $1000pF$  to  $100\mu F$ .

### Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current,  $I_T$ , drawn from Pin 7 or 8:

$$f = \frac{320I_T (mA)}{C(\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with  $I_T$ , over a wide range of current values, from  $1\mu A$  to  $3mA$ . The frequency can be controlled by applying a control voltage,  $V_C$ , to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to  $V_C$  as:

$$f = \frac{1}{RC} \left( 1 + \frac{R}{R_c} \left( 1 - \frac{V_c}{3} \right) \right) \text{ Hz}$$

where  $V_C$  is in volts. The voltage-to-frequency conversion gain,  $K$ , is given as:

$$K = \partial f / \partial V_c = - \frac{0.32}{R_c C} \text{ Hz/V}$$

**CAUTION:** For safety operation of the circuit,  $I_T$  should be limited to  $\leq 3mA$ .

## Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor,  $R_3$ , connected to Pin 3 (see Figure 3). For sine wave output, amplitude is approximately 60mV peak per k $\Omega$  of  $R_3$ ; for triangle, the peak amplitude is approximately 160mV peak per k $\Omega$  of  $R_3$ . Thus, for example,  $R_3 = 50k\Omega$  would produce approximately 13V sinusoidal output amplitude.

## Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance

at Pin 1 is approximately 100k $\Omega$ . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of  $V_{CC}/2$  as shown in Figure 6. As this bias level approaches  $V_{CC}/2$ , the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

**CAUTION:** AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of  $V_{CC}$ .

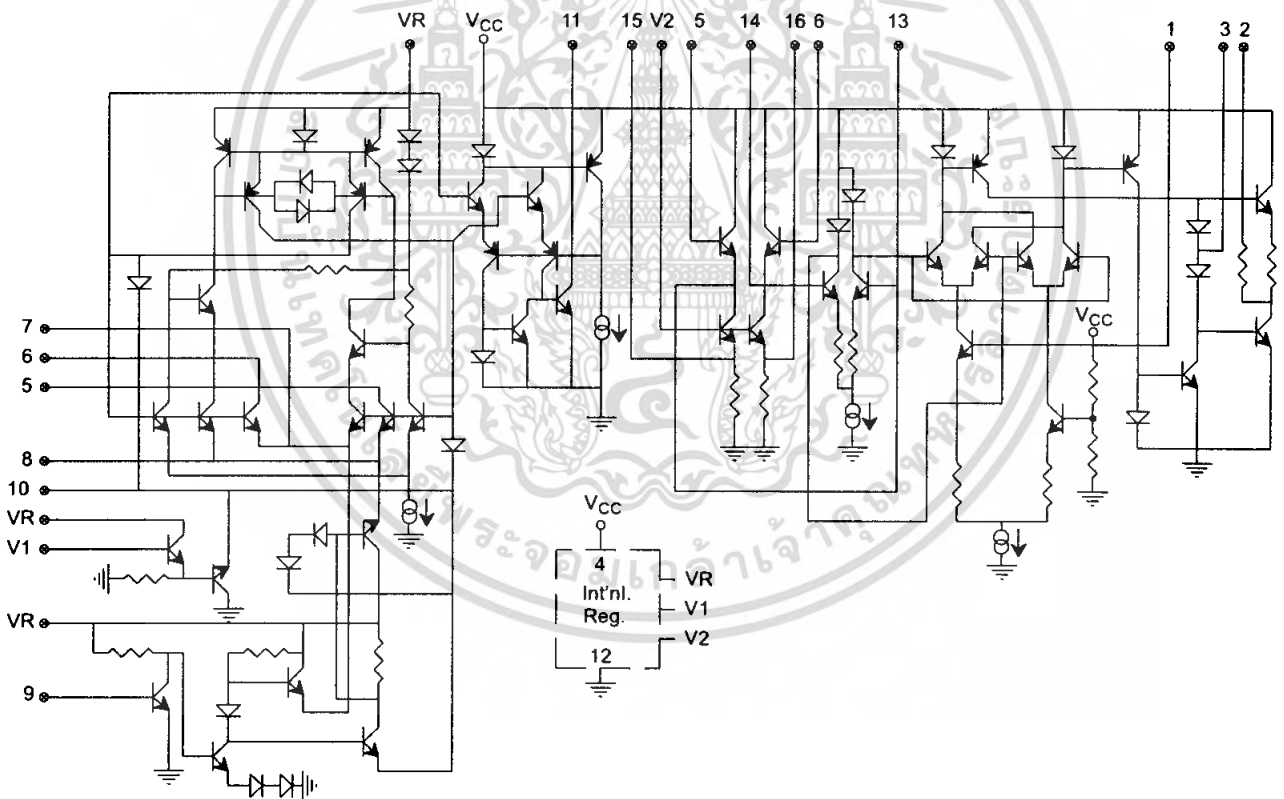
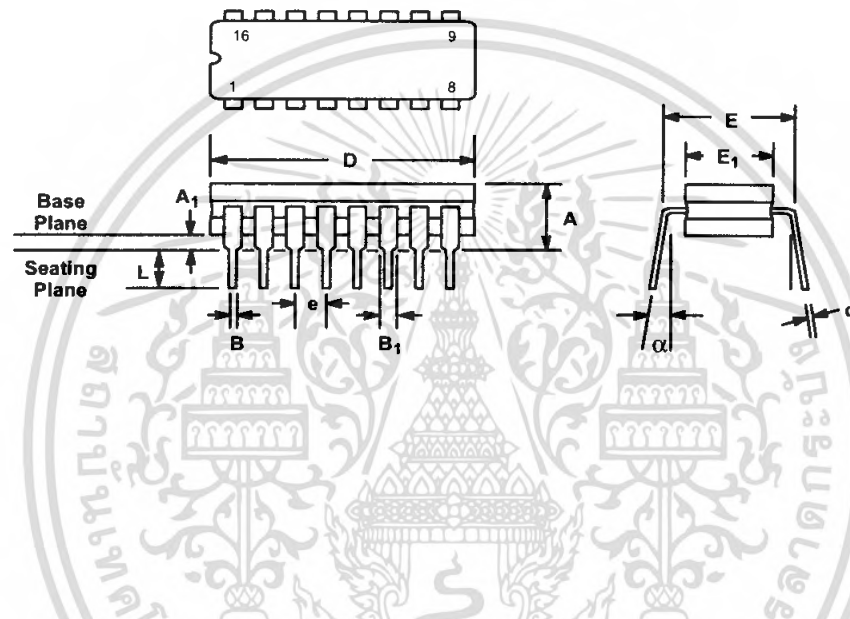


Figure 15. Equivalent Schematic Diagram

**16 LEAD CERAMIC DUAL-IN-LINE  
(300 MIL CDIP)**

Rev. 1.00

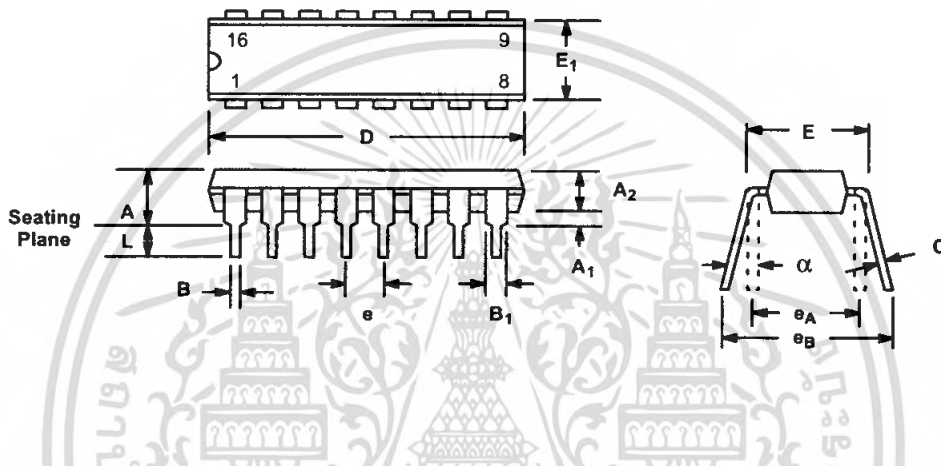


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A <sub>1</sub>	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B <sub>1</sub>	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E <sub>1</sub>	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

## 16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

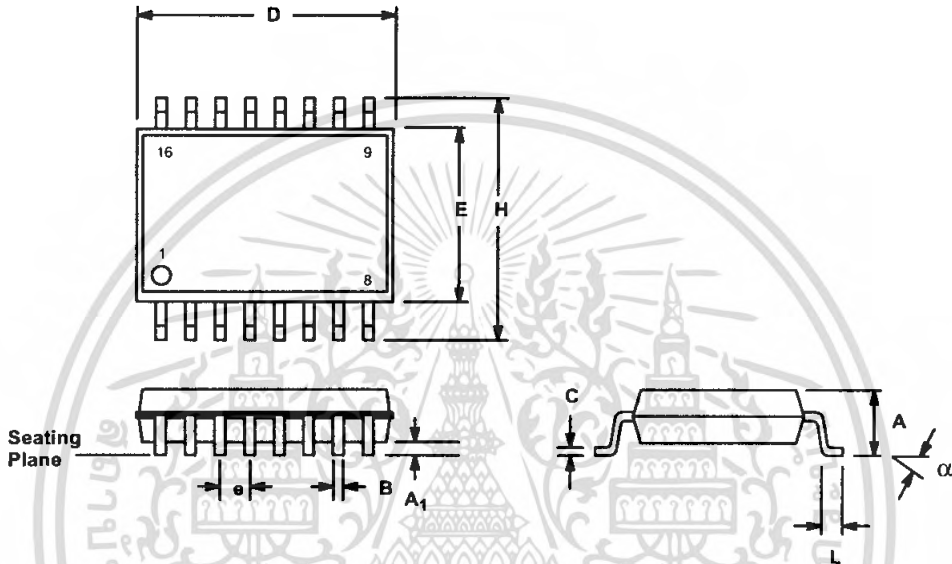


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A <sub>1</sub>	0.015	0.070	0.38	1.78
A <sub>2</sub>	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B <sub>1</sub>	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E <sub>1</sub>	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e <sub>A</sub>	0.300 BSC		7.62 BSC	
e <sub>B</sub>	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

**16 LEAD SMALL OUTLINE  
(300 MIL JEDEC SOIC)**

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A <sub>1</sub>	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column



## NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation  
Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.