

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องวัดกำลังไฟฟ้าราคาประหยัด



นางสาวมณฑิลา ตีร์รัตนวงศ์

รพ.
๗๖๖๖๓
๒๕๔๙

เลขานุ.....
เลขทะเบียน..... **76663**
วัน,เดือน,ปี..... **- 3 S.ศ. 2550**

b. 118 50309
i.

โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low cost watt meter

Miss. Monieda Trerattanawongse

**A Special Project Submitted in Partial Fulfillment of the Requirement for the Degree of Bachelor
of Science**

Department of Applied Physics

Faculty of science

King Mongkut's Institute of Technology Ladkrabang




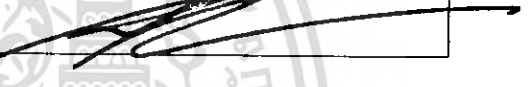
Academic Year 2006


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการพิเศษเรื่อง
นักศึกษา
ภาควิชา
สาขาวิชา
อาจารย์ที่ปรึกษา

เครื่องวัดกำลังไฟฟ้าราคาประหยัด
นางสาวมณีนฎา ศรีรัตนวงศ์
ฟิสิกส์ประยุกต์
ฟิสิกส์ประยุกต์ - โพลีเทคนิคอิเล็กทรอนิกส์
รศ. วิชิต ศิริโชติ

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

คณะกรรมการตรวจสอบ		ลายมือชื่อ
ประธานกรรมการ	อ. ธนกรณ์ ลีลาวัฒนานนท์	
กรรมการ	อ. กิรยุทธ์ ศรีนวลจันทร์	
กรรมการ	อ. ธรรมรัตน์ แต่งตั้ง	
กรรมการที่ปรึกษา	รศ. วิชิต ศิริโชติ	


.....
(รองศาสตราจารย์วิชาญ เศษิตธีระ)
หัวหน้าภาควิชาฟิสิกส์ประยุกต์

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการพิเศษเรื่อง เครื่องวัดกำลังไฟฟ้าราคาประหยัด
นักศึกษา นางสาว มัณฑิลา ศรีรัตนาวงศ์
ภาควิชา ฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สาขาวิชา ฟิสิกส์ประยุกต์ – โพลีเทคนิคอิเล็กทรอนิกส์
ปีการศึกษา 2549
อาจารย์ที่ปรึกษา รศ. วิจิต ศรีโชติ

บทคัดย่อ

โครงการพิเศษนี้เป็นการพัฒนาเครื่องมือที่ใช้วัดกำลังไฟฟ้ากระแสสลับภายในบ้าน ประกอบด้วยไมโครคอนโทรลเลอร์แบบPIC และฮอลล์เซนเซอร์ในการตรวจจับสัญญาณกระแสสลับ โดยค่าของกำลังไฟฟ้ากระแสสลับนั้นจะคำนวณจากค่าของกระแสที่อุปกรณ์ไฟฟ้าใช้คูณกับค่าแรงดันไฟฟ้าสลับทั่วไป(220V) เครื่องวัดกำลังไฟฟ้าในโครงการพิเศษนี้มีขีดความสามารถในการวัดกำลังไฟฟ้าในช่วง 0-1500 วัตต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Project Title Low Cost Watt Meter
Name Monieda Trerattanawongse
Department Applied Physics Faculty of Science
Program Applied Physics – Solidstate Electronics
Academic Year 2006
Special Project Advisor Asst.Prof. Wichit Sirichote

ABSTRACT

A device used for measuring AC power of home appliances has been developed. The circuit is built with the PIC microcontroller and the Hall sensor for AC current sensing. The AC power is computed by the multiplication of load current and nominal AC voltage, 220V. The power meter is capable of measuring the AC power from 0 to 1500W.

กิตติกรรมประกาศ

ในการทำปริญญาบัตรฉบับนี้ต้องขอขอบพระคุณ รศ.วิชิต ศิริโชติ อาจารย์ประจำ
ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
และอาจารย์ที่ปรึกษาปริญญาบัตรเป็นอย่างสูง ที่ได้ให้คำปรึกษาและแนะแนวทางในการดำเนินงานรวม
ทั้งยังสนับสนุนเรื่องทุนทรัพย์ในการดำเนินการในปริญญาบัตรนี้ ตลอดจนบิดา-มารดาและรุ่นพี่เพื่อนๆ
ในภาคที่คอยให้ความช่วยเหลือและให้กำลังใจมาตลอดจนทำให้ปริญญาบัตรฉบับนี้สำเร็จลงได้ด้วยดี

นางสาวมณิญา ตริรัตน์วงศ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญเรื่อง

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญรูป	ช
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงการพิเศษ/ปัญหาพิเศษ	1
1.2 วัตถุประสงค์	3
1.3 ขอบเขตการศึกษา	3
1.4 ขั้นตอนการวิจัยและวิธีการดำเนินงาน	3
1.5 ผลที่คาดว่าจะได้รับ	3
บทที่ 2 ทฤษฎีและหลักการ	
2.1 พลังงานไฟฟ้า	4
2.2 กำลังไฟฟ้า	4
2.3 เครื่องวัดกำลังไฟฟ้า	6
2.4 ปรากฏการณ์ฮอลล์ (Hall Effect)	7
2.5 ไมโครคอนโทรลเลอร์ PIC 18F2550	9
2.5.1 Universal Serial Bus Features	9
2.5.2 โหมดการจัดการพลังงาน (Power-Managed Modes)	10
2.5.3 โหมดสร้างของOscillatorที่สามารถยืดหยุ่นได้ (Flexible Oscillator Structure)	10
2.5.4 ไฮไลต์ของอุปกรณ์ภายนอก (Peripheral Highlights)	10
2.5.5 ลักษณะพิเศษของ Microcontroller (Special Microcontroller Features)	11
2.5.6 Oscillator Configurations	
2.5.6.1 ชนิดของOscillator (Oscillator Types)	12
2.5.6.2 Crystal Oscillator/Ceramic Resonators	13
2.5.7 10-BIT Analog-to-Digital	
2.3.7.1 10-BIT Analog-to-Digital Converter (A/D) Module	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญเรื่อง(ต่อ)

	หน้า
2.5.8 I/O Ports	
2.5.8.1 PORTA, TRISA and LATA Registers	17
2.5.8.2 PORTB, TRISB และ LATB Register	19
2.6 Linear Hall Effect Sensor UA1301	
2.6.1 Quiescent Output Voltage	24
2.6.2 Sensitivity	24
2.6.3 Ratiometric	24
2.6.4 Linearity and Symmetry	25
บทที่ 3 การดำเนินการวิจัย	
3.1 ส่วนวัดค่าพลังงานไฟฟ้า	
3.1.1 ส่วนรับค่าสัญญาณอนาล็อกอินพุตที่เป็นกระแสไฟฟ้า	26
3.2 ไมโครคอนโทรลเลอร์	27
3.3 ส่วนแสดงผล (LCD Display)	29
3.4 โฟร์ซาร์ทแสดงการทำงานของโปรแกรม	31
บทที่ 4 ผลการทดลองและอภิปรายผล	
4.1 ผลจากการทดลองวัดค่ากำลังไฟฟ้าในเครื่องใช้ไฟฟ้าต่างๆ	32
4.2 สรุปผลการทดลอง	34
บทที่ 5 สรุปและข้อเสนอแนะ	
5.1 สรุปผลการทดลอง	34
5.2 ปัญหาที่พบและข้อเสนอแนะ	34
5.3 แนวทางในการพัฒนา	34
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1.1 แสดงราคาของเครื่องวัดกำลังไฟฟ้าในท้องตลาด	2
ตารางที่ 2.1 แสดงคุณสมบัติของ PIC18F2550	11
ตารางที่ 2.2 การเลือกตัวเก็บประจุสำหรับ CRYSTAL OSCILLATOR	13
ตารางที่ 2.3 แสดง REGISTER ที่ควบคุม A/D 0 (ADCON0)	14
ตารางที่ 2.4 แสดง REGISTER ที่ควบคุม A/D 1 (ADCON1)	15
ตารางที่ 2.5 แสดง REGISTER ที่ควบคุม A/D 2 (ADCON2)	15
ตารางที่ 2.6 แสดงรายละเอียดของ PORTA I/O	18
ตารางที่ 2.7 ตารางสรุปรีจิสเตอร์ที่สัมพันธ์กับพอร์ต A	19
ตารางที่ 2.8 ตารางแสดงสรุป I/O พอร์ต	20
ตารางที่ 2.9 แสดงรายละเอียดขาของ Linear Hall Effect Sensor	21
ตารางที่ 2.10 แสดงการคำนวณค่าสูงสุดสัมบูรณ์ของ Linear Hall Effect Sensor	22
ตารางที่ 2.11 แสดงการตอบสนองของ Linear Hall Effect Sensor ในแต่ละเงื่อนไข เมื่อช่วงอุณหภูมิเท่ากับ T_1 และ $V_{CC} = 5\text{ V}$	23
ตารางที่ 3.1 แสดงชื่อขาและหน้าที่การใช้งานแต่ละขา	29
ตารางที่ 4.1 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเตารีด(เทฟลอน)	32
ตารางที่ 4.2 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเตารีด	32
ตารางที่ 4.3 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเครื่องทำแซนวิช	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 ไดอะแกรมแสดงการใช้งานเครื่องวัดกำลังไฟฟ้ากับโหลดทั่วไป	1
รูปที่ 1.2 แสดงลักษณะของเครื่องวัดกำลังไฟฟ้า	2
รูปที่ 2.1 กราฟแสดงความสัมพันธ์ระหว่างกำลังไฟฟ้ากับเวลา	4
รูปที่ 2.2 กำลังงานไฟฟ้ากระแสสลับในโหลดอินคัลติฟ	5
รูปที่ 2.3 แสดงหลักการคิดค่าพาวเวอร์แฟกเตอร์	6
รูปที่ 2.4 Block Diagram	6
รูปที่ 2.5 ก-ค แสดงการเกิดปรากฏการณ์ฮอลล์	7
รูปที่ 2.6 การวัดความต่างศักย์ฮอลล์ V_H	8
รูปที่ 2.7 แสดงโครงสร้างของ PIC 18F2550 แบบ 28 ขา	11
รูปที่ 2.8 การทำงานของวงจร ที่ใช้ Crystal หรือ ceramic resonator	12
รูปที่ 2.9 แสดงรูปลักษณะรูปแบบ Package ของ Linear Hall Effect Sensor	21
รูปที่ 2.10 แสดงไดอะแกรมรูปแบบการทำงานของ Linear Hall Effect Sensor	22
รูปที่ 3.1 แสดงการต่อ Linear Hall Sensor ต่อเข้ากับแกนเหล็ก	26
รูปที่ 3.2 แสดงขาของ PIC 18F2550	27
รูปที่ 3.3 แสดงโครงสร้างของ PIC18F2550 Project Board	28
รูปที่ 3.4 โมดูลของ LCD แบบอักษร	28
รูปที่ 3.5 แสดงการต่อจอแสดงผลLCDแบบ8bit	29
รูปที่ 3.6 โพรเซสเซอร์ของ โปรแกรมหลัก	30
รูปที่ 4.1 แสดงเครื่องบอร์ดไมโครคอนโทรลเลอร์และแกนขดลวดฮอลล์เซนเซอร์	31
รูปที่ 4.2 แสดงชนิดของเครื่องใช้ไฟฟ้าที่ใช้ในการทดลอง	31

บทที่ 1

บทนำ

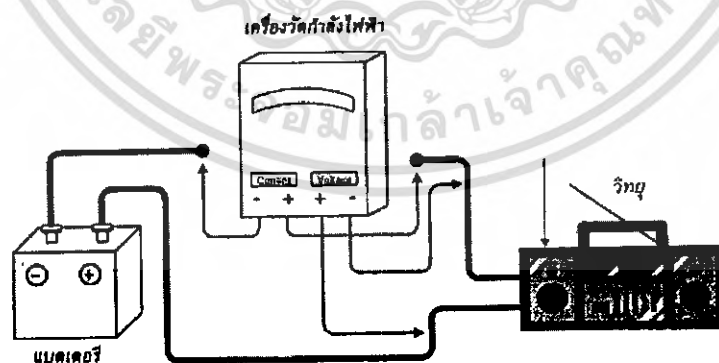
1.1 ความเป็นมาของโครงการพิเศษ/ปัญหาพิเศษ

ปัจจุบันพลังงานไฟฟ้าเป็นสิ่งจำเป็นในการดำเนินชีวิต ทุกกิจกรรมในชีวิตประจำวันย่อมต้องมีไฟฟ้าเข้ามาเกี่ยวข้องเสียเป็นส่วนใหญ่ อีกทั้งความเจริญได้ขยายออกไปยังพื้นที่ห่างไกลทำให้มีไฟฟ้าใช้กันอย่างทั่วถึง ดังนั้นความต้องการพลังงานไฟฟ้าจึงเพิ่มมากขึ้นเป็นผลให้ต้องเพิ่มปริมาณการผลิตไฟฟ้าตามไปด้วย

การผลิตไฟฟ้าตั้งแต่อดีตจนถึงปัจจุบันส่วนใหญ่มาจากการนำทรัพยากรทางธรรมชาติมาใช้ ไม่ว่าจะเป็น ถ่านหิน น้ำมัน ก๊าซธรรมชาติ ล้วนแล้วแต่ถูกนำมาเป็นเชื้อเพลิงในการผลิต ถึงแม้จะมีการสร้างพลังงานไฟฟ้าจากการแปลงพลังงานชนิดอื่นมาทดแทนการสร้างจากเชื้อเพลิงก็ตาม ก็ยังคงไม่สามารถทดแทนการใช้เชื้อเพลิงสร้างไฟฟ้าได้ทั้งหมด รวมถึงในปัจจุบันที่เกิดวิกฤตการณ์น้ำมันที่ปรับเปลี่ยนราคาในอัตราก้าวหน้า ทุสิ่งทีกล่าวไปล้วนเป็นปัจจัยที่ทำให้เราต้องรู้จักประหยัดและลดการใช้พลังงานไฟฟ้าลง

กำลังไฟฟ้า หมายถึง เป็นงานที่เกิดขึ้นจากการกระทำของกระแสไฟฟ้า มีหน่วยเป็น "วัตต์(watt)" ซึ่งจะมีค่าขึ้นอยู่กับปริมาณกระแสที่ไหลผ่านเครื่องใช้ไฟฟ้าโดยกำลังไฟฟ้ามักมีค่าเท่ากับผลคูณระหว่างความต่างศักย์กับกระแสไฟฟ้า กำลังไฟฟ้าของเครื่องใช้ไฟฟ้า เครื่องใช้ไฟฟ้า ถ้ามีกระแสไฟฟ้าไหลผ่านมาก แสดงว่าเครื่องใช้ไฟฟ้านั้นใช้พลังงานไฟฟ้ามาก แสดงว่าใช้กำลังไฟฟ้ามาก

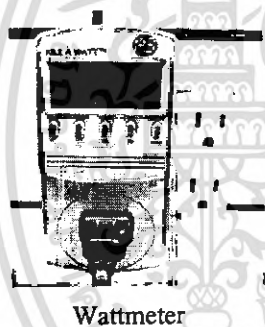
วัตต์มิเตอร์ Wattmeter เป็นเครื่องมือที่ใช้วัดกำลังไฟฟ้าของอุปกรณ์ไฟฟ้าหรือเครื่องใช้ไฟฟ้า โดยการวัดจะต้องต่อขั้วไฟให้ถูกต้อง ซึ่งเราจะอ่านค่าของกำลังไฟฟ้าได้โดยตรงจากวัตต์มิเตอร์



รูปที่ 1.1 ไดอะแกรมแสดงการใช้งานเครื่องวัดกำลังไฟฟ้ากับโหลดทั่วไป

การวัดกำลังไฟฟ้าของเครื่องรับวิทยุ ต่อโดยให้ชั่วเสียบของช่องกระแสไฟฟ้าของเครื่องวัดวัตต์มิเตอร์ ต่อในลักษณะที่ให้กระแสไฟฟ้าไหลผ่านเครื่องวัดวัตต์มิเตอร์ก่อนที่จะไหลไปยังเครื่องรับวิทยุ ในขณะที่ชั่วเสียบของเสียบของช่องแรงดันไฟฟ้าให้ต่อคร่อมแหล่งจ่ายที่จ่ายแรงดันไฟฟ้าให้แก่เครื่องรับวิทยุ ดังนั้น วัตต์มิเตอร์จึงเป็นทั้งแอมมิเตอร์ และโวลต์มิเตอร์ในตัวเดียวกันและทำการแสดงผลคูณของ $P = I \times V$ ซึ่งเราสามารถอ่านค่ากำลังไฟฟ้าของเครื่องรับวิทยุได้โดยตรงจากมิเตอร์

การวัดกำลังไฟฟ้าจากเครื่องใช้ไฟฟ้าภายในบ้าน-สำนักงาน นอกจากจะสามารถบ่งบอกถึงประสิทธิภาพของการทำงาน ซึ่งนั่นรวมถึงเราสามารถทราบว่าเครื่องใช้ไฟฟ้านั้นประหยัดไฟฟ้าได้ดีเท่าใด และยังสามารถคำนวณหาค่าไฟที่ต้องจ่ายในการใช้เครื่องใช้ไฟฟ้านั้นๆได้อีกด้วย ซึ่งปัจจุบันหลักการนี้ถูกนำไปใช้ในการสร้างมาตรฐานที่บ่งบอกถึงระดับการประหยัดไฟฟ้าของเครื่องใช้ไฟฟ้าที่นำมาทดสอบ เป็นเบอร์ต่างๆอย่างที่เรารู้จักกัน แต่เครื่องใช้ไฟฟ้าบางชนิดก็ได้ถูกนำไปทำการทดสอบ จึงเป็นที่มาของการสร้างเครื่องวัดกำลังไฟฟ้า ซึ่งโดยทั่วไปนั้นมักจะมีราคาที่สูง



Wattmeter

Model #	Description	Price
MFJ-840	HT Watt Meter 144 MHz	29.95
MFJ-812B	VHF SWR/Wattmeter	39.95
MFJ-816	HF SWR Wattmeter	39.95
MFJ-841	HT SWR/Wattmeter 144Mhz	49.95

รูปที่ 1.2 แสดงลักษณะของเครื่องวัดกำลังไฟฟ้า

ตารางที่ 1.1 แสดงราคาของเครื่องวัดกำลังไฟฟ้าในท้องตลาด

ที่มา : <http://www.mfjenterprises.com/>

ดังนั้นในงานวิจัยนี้จึงได้นำเอาแนวคิดการสร้างเครื่องวัดกำลังไฟฟ้าที่มีขายอยู่ทั่วไปแต่ปรับเปลี่ยนให้ใช้ Microcontroller เป็นอุปกรณ์หลักในการสร้าง ซึ่งมีต้นทุนที่ต่ำกว่าเพื่อประหยัดค่าใช้จ่ายสำหรับผู้ที่ต้องการใช้งานเครื่องวัดกำลังไฟฟ้า

1.2 วัตถุประสงค์

เพื่อสร้างเครื่องวัดกำลังไฟฟ้าแบบประหยัด

1.3 ขอบเขตการศึกษา

ในการวิจัยนี้มีเป้าหมายในการสร้างเครื่องมือวัดค่ากำลังไฟฟ้าที่สามารถใช้งานได้จริงและใช้ง่าย รวมถึงต้นทุนในการผลิตที่ต่ำกว่าราคาท้องตลาด เพื่อให้ผู้ที่ต้องการใช้เครื่องมือวัดค่ากำลังไฟฟ้าประหยัดค่าใช้จ่ายจากการซื้อเป็นการสร้างเพื่อใช้งานแทน

1.4 ขั้นตอนการวิจัยและวิธีการดำเนินงาน

- 1.4.1 ศึกษาการวัดค่ากำลังไฟฟ้าจากเครื่องใช้ไฟฟ้า
- 1.4.2 ศึกษาการสร้างและการใช้งานของชุดเครื่องวัดกำลังไฟฟ้า
- 1.4.3 ทำการสร้างชุดเครื่องวัดไฟฟ้า
- 1.4.4 ทำการเขียนโปรแกรมเพื่อคำนวณและแสดงผลการหาค่ากำลังไฟฟ้าจากชุดเครื่องวัดกำลังไฟฟ้า
- 1.4.5 ทดลองและวิเคราะห์เพื่อปรับปรุงการทำงานของเครื่องวัดกำลังไฟฟ้า
- 1.4.6 สรุปผลของการวิจัยและแนวทางในการพัฒนา

1.5 ผลที่คาดว่าจะได้รับ

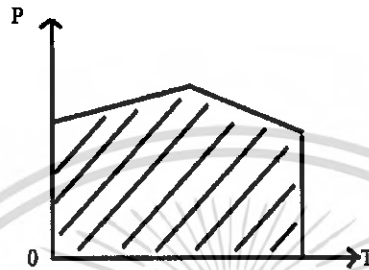
สามารถสร้างชุดเครื่องมือวัดค่ากำลังไฟฟ้าที่มีราคาประหยัดกว่าท้องตลาด

บทที่ 2

ทฤษฎีและหลักการ

2.1 พลังงานไฟฟ้า

พลังงานไฟฟ้า คือ ผลคูณของกำลังไฟฟ้ากับเวลา โดยจากกราฟแสดงความสัมพันธ์ระหว่างกำลังไฟฟ้าและเวลาจะสามารถหาค่าพลังงานไฟฟ้าได้จากพื้นที่ใต้กราฟ



รูปที่ 2.1 กราฟแสดงความสัมพันธ์ระหว่างกำลังไฟฟ้ากับเวลา
ซึ่งจะสอดคล้องกับสมการ

$$w = \int_0^T P dt$$

= พื้นที่ใต้กราฟของกำลังไฟฟ้า

จะได้ว่า $w = V \times I \times T$; $P = V \times I$

เพราะฉะนั้น $W = P \times T$

จาก $T = 1/f$ เมื่อ f เป็นความถี่จะได้ว่า $W = \frac{V \times I}{f}$

Energy Meter (wh) = Power(P) x Time(T)

$$= \frac{\text{Power(P)} \times \text{Time(T)}}{1000}$$

2.2 กำลังไฟฟ้า

กำลังไฟฟ้า Electrical Power เป็นกำลังไฟฟ้าที่ใช้ไปในการทำให้เกิดพลังงานในรูปแบบต่างๆ เช่น พลังงานความร้อน พลังงานแสงสว่าง พลังงานกล มีหน่วยเป็นวัตต์ Watt ซึ่งกำลังไฟฟ้าจะมีรูปแบบการคิดที่แตกต่างตามแต่ลักษณะของกระแสไฟฟ้า

ในวงจรไฟฟ้ากระแสตรง กำลังไฟฟ้าที่ใช้ไปในโหลด R จะมีค่าเป็น

$$P = I^2 \cdot R = \frac{V^2}{R} \quad (\text{วัตต์})$$

โดยที่ V คือ แรงดันตกคร่อมโหลด และ I คือกระแสที่ไหลผ่านโหลด

ในวงจรไฟฟ้ากระแสสลับ ขณะที่แรงดันตกคร่อมโหลดเท่ากับ $V(t)$ และกระแสที่ไหลผ่านโหลดจะมีค่าเป็น $I(t)$ กำลังไฟฟ้าที่ใช้ไปในโหลด R จะมีค่าเป็น

$$P(t) = I(t) \cdot V(t) \quad (\text{วัตต์})$$

สมมติว่าแรงดันตกคร่อมโหลดเป็นแรงดันไฟฟ้าสลับรูปไซน์ ที่มีสมการเป็น

$$v = V_m \sin \omega t \quad (\text{โวลต์})$$

ถ้าโหลดมีความต้านทานเป็น R และกระแสที่ไหลผ่านโหลด i จะมีค่าเป็น

$$\left(\frac{V_m}{R}\right) \sin \omega t = I_m \sin \omega t \quad (\text{แอมแปร์})$$

ดังนั้นค่ากำลังไฟฟ้าจะเขียนได้เป็น

$$p = V_m I_m \sin^2 \omega t \quad (\text{วัตต์})$$

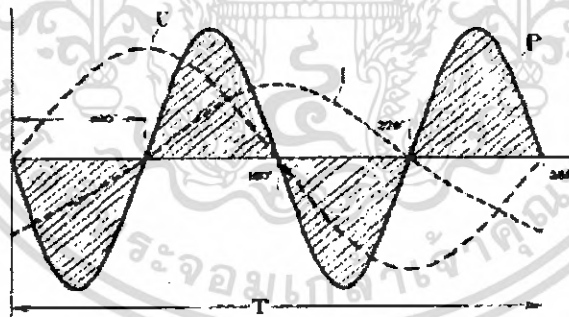
สำหรับค่าจำกัดความของค่าสัมประสิทธิ์นิผลค่าเฉลี่ยของ p ในช่วงเวลาครบรอบซึ่งก็คือ

กำลังไฟฟ้าโดยเฉลี่ย P จะมีค่าเป็น

$$P = VI = I^2 R = \frac{V^2}{R} \quad (\text{วัตต์})$$

โดยให้ V และ I เป็นค่าสัมประสิทธิ์นิผลของ v และ i สมการนี้มีรูปแบบเดียวกันกับสมการกระแสตรง P ในสมการนี้เรียกว่ากำลังไฟฟ้ากระแสสลับ ถ้าโหลดเป็นตัวรีแอคทีฟ (Reactive element) เช่น อินдукแตนซ์ L เป็นต้น

$$i = \left(\frac{V_m}{\omega L}\right) \sin\left(\omega t - \frac{\pi}{2}\right) = I_m \sin\left(\omega t - \frac{\pi}{2}\right)$$



รูปที่ 2.2 กำลังงานไฟฟ้ากระแสสลับในโหลดอินдукทีฟ

สำหรับความสัมพันธ์ของกำลังไฟฟ้ากระแสสลับกับโวลต์ทั่วไปและกรณีกำลังเฉลี่ย P จะมีค่าเป็น

$$P = VI \cos \Phi$$

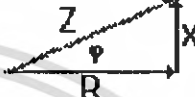
โดยอาศัยความสัมพันธ์

$$\cos \Phi = \frac{R}{\sqrt{R^2 + X^2}}$$

ซึ่งจะหาต่อไปได้ว่า

$$P = I^2 \cdot R = \frac{V^2}{R}$$

จากที่ได้กล่าวมาข้างต้น จะเห็นได้ว่าโดยทั่วไปกำลังเฉลี่ยในกรณีของไฟฟ้ากระแสสลับ แสดงได้ว่าเป็นผลคูณระหว่างแรงดันประสิทธิผลคร่อมโหลดกับกระแสประสิทธิผลที่ไหลผ่านโหลด กับค่า \cos ของมุมเฟสของแรงดันกับกระแส ซึ่งกำลังเฉลี่ยนี้จะมีค่าเท่ากับกำลังที่ใช้ไปในความต้านทานของโหลดจึงเรียกว่า กำลังประสิทธิผล ส่วนกำลังแต่ละขณะซึ่งมีค่าเท่ากับ $P = VI \cos\phi$ อันเป็นกำลังถ่ายเทไปมากระหว่างต้นกำเนิดกำลังกับรีแอคแตนซ์ของโหลดโดยไม่มีการเปลี่ยนแปลงไป เรียกว่า กำลังรีแอคทีฟ ค่าของ VI เรียกว่า กำลังที่ปรากฏและค่าของ $\cos\phi$ เรียกว่า ค่าพาวเวอร์แฟคเตอร์

$$\text{POWER FACTOR} = \cos\phi = \frac{R}{Z}$$


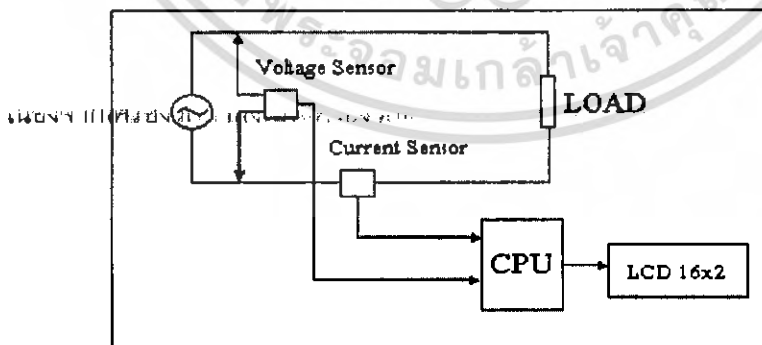
รูปที่ 2.3 แสดงหลักการคิดค่าพาวเวอร์แฟคเตอร์

2.3 เครื่องวัดกำลังไฟฟ้า

เนื่องจากเครื่องวัดกำลังเป็นเครื่องวัดแบบรวมยอด ใช้สำหรับวัดพลังงานไฟฟ้าที่ป้อนให้กับวงจรหนึ่งในเวลาที่กำหนดให้ช่วงหนึ่ง เครื่องวัดแบบนี้จึงไม่สามารถที่จะบอกค่ากำลังของไฟฟ้าได้โดยตรงได้ เพราะการบวกรวมยอดของกำลังไฟฟ้านี้เป็นการรวมยอดปริมาณทั้งหมด ซึ่งในการสร้างเครื่องวัดกำลังไฟฟ้าสามารถแบ่งการดำเนินการและการออกแบบได้ดังนี้

1. การตรวจจับสัญญาณกระแสไฟฟ้า
2. การแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล (A/D)
3. ชุดควบคุมและแสดงผลโดยใช้ไมโครคอนโทรลเลอร์ (AVR)

ซึ่งทั้งสามส่วนได้ถูกนำมาเขียนรวมในบล็อกไดอะแกรม(Block Diagram) เพื่อถ่ายทอดความเข้าใจ



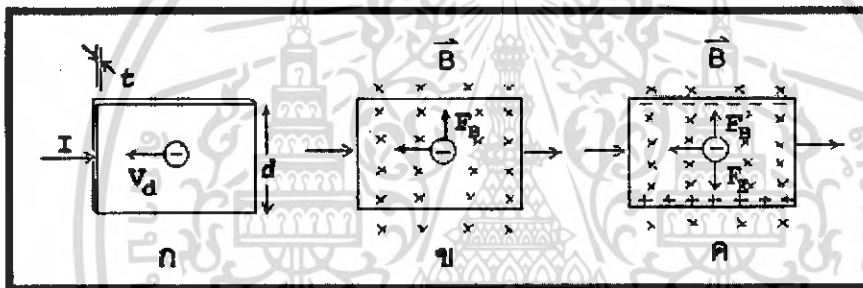
รูปที่ 2.4 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะสามารถอธิบายการทำงานของเครื่องวัดกำลังไฟฟ้าได้ว่า เมื่อนำโหนดมาต่อในวงจรจะมีกระแสไหลผ่านโหนด จะทำให้ตัวตรวจจับแรงดันและกระแสไฟฟ้าทำงานพร้อมกัน ซึ่งสัญญาณที่ตรวจจับได้นั้นเป็นสัญญาณอนาล็อก และสัญญาณจะถูกแปลงเป็นดิจิทัลหลังจากนั้นสัญญาณจะเข้ามาอยู่ในตัวคอนโทรลเลอร์ ซึ่งคอนโทรลเลอร์จะประมวลผลและแสดงผลออกทางจอแสดงผลLCD

2.4 ปรากฏการณ์ฮอลล์ (Hall Effect)

ใน ค.ศ. 1879 เอ็ดวิน ฮอลล์ (Edwin Hall) นักศึกษามหาวิทยาลัยจอห์น ฮอปคินส์ ซึ่งในขณะนั้นมีอายุ 24 ปี ได้พบว่า เมื่อนำแผ่นตัวนำบางที่มีกระแสไฟฟ้าผ่านไปวางไว้ในบริเวณที่มีสนามแม่เหล็ก พาหะประจุ (charge carriers) ในตัวนำสามารถเบนไปจากแนวทางเดิมได้ และการเบนนี้มีผลทำให้เกิดสนามไฟฟ้าในตัวนำบางในทิศตั้งฉากกับทั้งกระแสไฟฟ้าและสนามแม่เหล็ก การค้นพบนี้เรียกว่า ปรากฏการณ์ฮอลล์



รูปที่ 2.5 ก-ค แสดงการเกิดปรากฏการณ์ฮอลล์

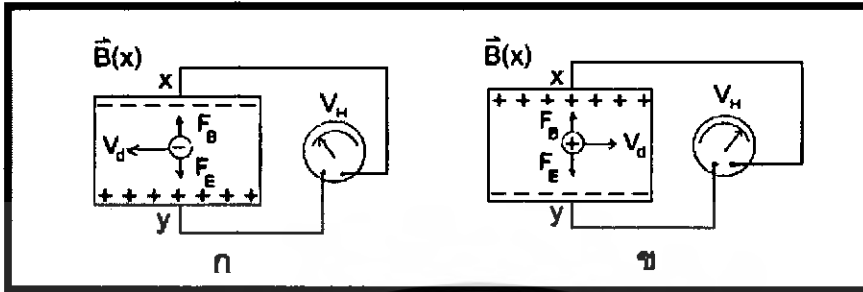
การที่มีประจุไฟฟ้าต่างชนิดกันที่ขอบทั้งสองทำให้เกิดสนามไฟฟ้าเรียกว่า สนามไฟฟ้าฮอลล์ (hall field) E_H ในแผ่นตัวนำบางมีทิศจากขอบด้านล่างไปขอบด้านบน สนามไฟฟ้าจะทำให้เกิดแรงไฟฟ้า F_E กระทำกับอิเล็กตรอน ซึ่งจะให้อิเล็กตรอนถูกผลักไปทางขอบด้านล่าง เมื่อแรงไฟฟ้าและแรงแม่เหล็กมีขนาดเท่ากัน อิเล็กตรอนจะเคลื่อนที่ในทิศไปทางซ้ายโดยไม่เบนสนามไฟฟ้าที่เกิดในแผ่นตัวนำบางมีความสัมพันธ์กับความต่างศักย์หรือโวลเตจ V ดังนี้

$$E_H = \frac{V}{d} \quad (1)$$

ความต่างศักย์หรือโวลเตจที่เกิดขึ้นนี้เรียกว่า ความต่างศักย์ฮอลล์ (hall potential difference หรือ hall voltage) V_H พบว่า ความต่างศักย์ฮอลล์มีค่ามากที่สุด เมื่อแผ่นตัวนำบางทำจากสารกึ่งตัวนำ เช่น ซีลีคอน และเจอร์เมเนียม ส่วนตัวนำไฟฟ้าที่ดี ความต่างศักย์ฮอลล์จะมีค่าน้อยกว่ามาก จากสมการ (1) จะได้ว่า

$$V_H = E_H d \quad (2)$$

เราสามารถวัด V_H โดยต่อ มิลลิโวลต์มิเตอร์เข้ากับจุด x และจุด y ดังรูป 2 ก สภาพัฒ์ของ V_H ทราบได้จากเครื่องหมายที่อ่านได้จาก มิลลิโวลต์มิเตอร์จากรูป 2 ก พหะประจุคืออิเล็กตรอน จึงมีประจุลบ



รูปที่ 2.6 การวัดความต่างศักย์ฮอลล์ V_H

ถ้าพหะประจุมีประจุบวก ทิศของ V_d และ E_H จะตรงข้ามกับในรูป 2 ก แต่ทิศของ F_B และ E_e ยังคงเดิม ดังแสดงในรูป 2 ข ทำให้ประจุบวกถูกผลักไปที่ขอบด้านขวา ส่วนประจุลบถูกผลักไปที่ขอบด้านซ้าย และสภาพัฒ์ของ V_H จะตรงข้ามกับกรณีที่พหะประจุมีประจุลบ จากรูป 1 ค ขณะที่แรงแม่เหล็กและแรงไฟฟ้ามีขนาดเท่ากัน เราจะได้

$$(-e)E_H = (-e)V_d B \quad (3)$$

$$E_H = V_d B$$

จากสมการ (2) จะได้

$$V_H = V_d B d \quad (4)$$

เนื่องจากอัตราเร็วลอยเลื่อน V_d มีค่า

$$V_d = \frac{I}{neA} \quad (5)$$

เมื่อ n คือจำนวนพหะประจุต่อลูกบาศก์เมตร (หรือความหนาแน่นของพหะประจุ) และ A คือพื้นที่หน้าตัดของแผ่นตัวนำบางแทนสมการ (5) ลงในสมการ (4) จะได้

$$V_H = \frac{IBd}{neA} \quad (6)$$

เนื่องจาก $t = \frac{A}{d}$ คือความหนาของแผ่นตัวนำบาง ดังนั้น สมการ (6) เขียนได้ใหม่เป็น

$$V_H = \frac{IB}{net} \quad (7)$$

สมการ (7) เขียนได้ใหม่เป็น

$$B = neti^{-1}V_H \quad (8)$$

ปริมาณ V_H และ t ในสมการ (8) หาได้จากการวัด ส่วนค่า n ขึ้นอยู่กับชนิดของวัสดุที่ใช้ ทำหัววัด วัสดุที่เป็นสารกึ่งตัวนำจะมีจำนวนพาหะประจุน้อยกว่าตัวนำไฟฟ้าที่ดี

แต่ก็ยังมีค่ามากพอที่จะทำให้เกิดกระแสไฟฟ้าที่สามารถวัดได้ ส่วนจนวนมีจำนวนพาหะประจุน้อยมาก แต่ก็ยอมให้ กระแสไฟฟ้าปริมาณเล็กน้อยผ่าน จากการศึกษาพบว่า สารกึ่งตัวนำที่เจือสิ่งเจือปนมีค่า $n \approx 10^{22} \text{ m}^{-3}$ และโลหะทั่วไปมีค่า $n \approx 10^{28} \text{ m}^{-3}$ ดังนั้น เราจึงสามารถหาความเข้มของสนามแม่เหล็กที่ไม่ทราบค่าจากสมการ (8) ได้ความเข้มของสนามแม่เหล็กมีหน่วยในระบบเอสไอเป็นเทสลา (tesla) แทนด้วยสัญลักษณ์ T หน่วยเดิมของความเข้มของสนามแม่เหล็กคือ เกาส์(gauss) แทนด้วยสัญลักษณ์ G โดยที่ $1\text{T} = 10^4 \text{ G}$

2.5 ไมโครคอนโทรลเลอร์ PIC 18F2550

2.5.1 Universal Serial Bus Features

- สามารถต่อ USB V2.0 ได้
- แบบ Low Speed (1.5 Mb/s) และ แบบ Full Speed (12 Mb/s)
- สนับสนุนการควบคุม การinterrupt, การสื่อสารข้อมูลแบบ Isochronous และ Bulk
- สนับสนุน ถึง 32 Endpoints (16 bidirectional)
- เข้าถึง RAM แบบ Dual ได้ 1-Kbyte สำหรับ USB
- รับส่ง USB แบบ On-Chip ด้วย Voltage Regulator
- การเชื่อมต่อ แบบ Off-Chip สำหรับการรับส่ง USB
- การส่งข้อมูล แบบ Streaming Parallel Port (SPP) สำหรับ USB

2.5.2 โหมดการจัดการพลังงาน (Power-Managed Modes)

- Run: CPU on, อุปกรณ์ภายนอก on
- Idle: CPU off, อุปกรณ์ภายนอก on
- Sleep: CPU off, อุปกรณ์ภายนอก off
- Idle mode กระแสจะลดลงถึง $5.8 \mu\text{A}$
- Sleep mode กระแสจะลดลงถึง $0.1 \mu\text{A}$
- Timer1 Oscillator: $1.1 \mu\text{A}$, 32 kHz, 2V
- Timer ที่ควบคุม: $2.1 \mu\text{A}$
- การการเริ่มต้นของ Oscillator แบบ Two-Speed

2.5.3 โหมดสร้างของOscillatorที่สามารถยืดหยุ่นได้ (Flexible Oscillator Structure)

- Four Crystal modes, รวมไปถึง PLL ความแม่นยำสูง สำหรับ USB
- โหมด Two External Clock จนถึง 48 MHz

- Internal Oscillator Block:
 - (1) สามารถเลือกได้ 8 ความถี่ ตั้งแต่ 31 kHz ถึง 8 MHz
 - (2) ผู้ใช้สามารถปรับ ให้เท่ากับความถี่ที่เลื่อนไปได้
- Secondary ทูติยภูมิ โดยการใช้ Timer1 @ 32 kHz
- Microcontroller ยอมให้ทางเลือกแบบDual Oscillator และ USBโมดูล
- Fail-Safe Clock Monitor: Allows for safe shutdown if any clock stops

2.5.4 ไฮไลท์ของอุปกรณ์ภายนอก (Peripheral Highlights)

- กระแส Sink/Source สูงสุด: 25 mA/25 mA
- มี Interrupts ภายนอก 3 ตัว
- มีโมดูลTimer 4ตัว (Timer0 to Timer3)
- มีโมดูล ในการ Capture 2 ตัว/ ตัว Compare/ ตัว PWM (CCP)
 - (1) Capture สูงสุด 16-bit มี resolution 5.2 ns (TCY/16)
 - (2) Compare สูงสุด 16-bit มี resolution 83.3 ns (TCY)
 - (3) PWM output: มี resolution 1 ถึง 10-bit
- โมดูลของ Enhanced Capture/Compare/PWM (ECCP) ที่เสริมขึ้นมา คือ
 - (1) Multiple output modes
 - (2) Selectable polarity
 - (3) Programmable dead time
 - (4) Auto-shutdown and auto-restart
- โมดูล USART ที่เสริมคุณภาพ
 - (1) สนับสนุน LIN bus
- โมดูล Master Synchronous Serial Port (MSSP)module สนับสนุน 3 สาย SPI (ทั้ง 4 modes) และ I²C โหมด Master และ Slave
- โมดูล Analog-to-Digital Converter มากถึง 13-channel 10-bit
- Dual Analog Comparators with Input Multiplexing

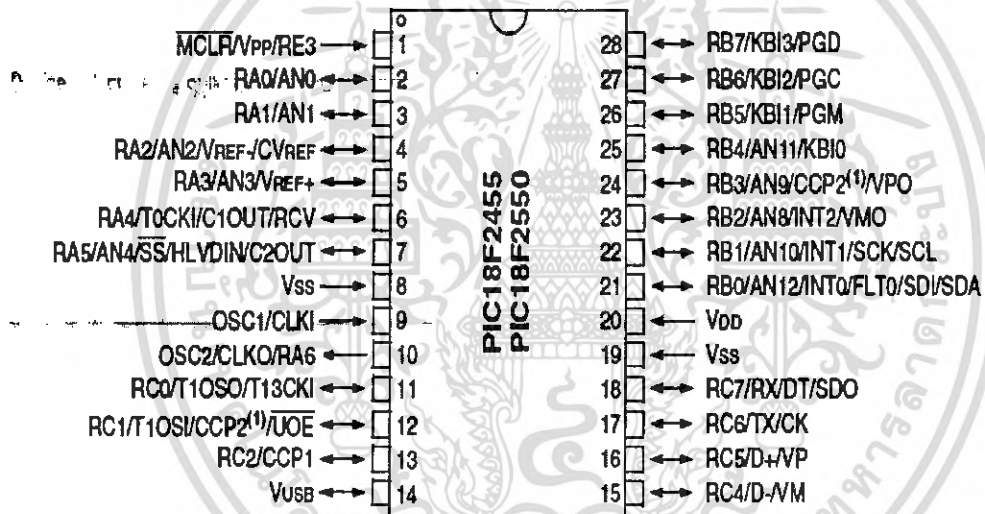
2.5.5 ลักษณะพิเศษของ Microcontroller (Special Microcontroller Features)

- ใช้ C Compiler เขียนโปรแกรม ด้วย option ของคำสั่งที่เพิ่มขึ้น
- ย่านของ Voltage Range ค่อนข้างกว้าง (2.0V to 5.5V)
- สามารถโปรแกรมตัวเองได้ ภายใต้การควบคุมของ software

ตารางที่ 2.1 แสดงคุณสมบัติของ PIC18F2550

Device	Program Memory		Data Memory		I/O	10-Bit A/D (ch)	CCP/ECCP (PWM)	SPP	MSSP		EAUSART	Comparators	Timers 8/16-Bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					SPI	Master μ C™			
PIC18F2455	24K	12288	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F2550	32K	16384	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F4455	24K	12288	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3
PIC18F4550	32K	16384	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3

28-Pin PDIP, SOIC



รูปที่ 2.7 แสดงโครงสร้างของ PIC 18F2550 แบบ 28 ขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.6 Oscillator Configurations

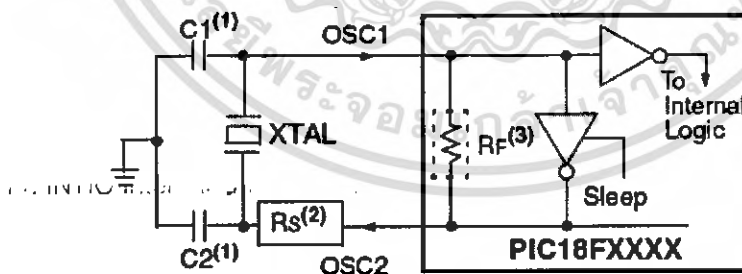
2.5.6.1 ชนิดของ Oscillator (Oscillator Types)

อุปกรณ์ PIC18F2455/2550/4455/4550 สามารถทำงานได้ 12 โหมด

1. XT Crystal/Resonator
2. XTPLL Crystal/Resonator with PLL enabled
3. HS High-Speed Crystal/Resonator
4. HSPLL High-Speed Crystal/Resonator with PLL enabled
5. EC External Clock with FOSC/4 output
6. ECIO External Clock with I/O on RA6
7. ECPLL External Clock with PLL enabled and FOSC/4 output on RA6
8. ECPIO External Clock with PLL enabled, I/O on RA6
9. INTHS Internal Oscillator used as microcontroller clock source, HS Oscillator used as USB clock source
10. INTXT Internal Oscillator used as microcontroller clock source, XT Oscillator
11. INTIO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, digital I/O on RA6
12. INTCKO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, FOSC/4 output on RA6

2.5.6.2 Crystal Oscillator/Ceramic Resonators

ภายใน HS, HSPLL, XT และ XTPLL ของ Oscillator ทั้ง CRYSTAL หรือ CERAMIC resonator จะถูกเชื่อมต่อกับขา OSC1 และ OSC2 ในรูปที่ 2.2 จะแสดงการเชื่อมต่อ



รูปที่ 2.8 การทำงานของวงจร ที่ใช้ Crystal หรือ ceramic resonator

Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	C2
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF
Capacitor values are for design guidance only. These capacitors were tested with the crystals listed below for basic start-up and operation. These values are not optimized. Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application. See the notes following this table for additional information.			
Crystals Used:			
4 MHz			
8 MHz			
20 MHz			

ตารางที่ 2.2 การเลือกตัวเก็บประจุสำหรับ CRYSTAL OSCILLATOR

2.5.7 10-BIT Analog-to-Digital

2.3.7.1 10-BIT Analog-to-Digital Converter (A/D) Module

โมดูลของ Analog-to-Digital (A/D) มี 10 inputs สำหรับในอุปกรณ์ 28 ขา ซึ่งโมดูลนี้จะทำการแปลงสัญญาณ Analog input ได้สัมพันธ์กับ Digital 10 bit โมดูลจะมี Registers 5 ตัว ได้แก่

- A/D Result High Register (ADRESH)
- A/D Result Low Register (ADRESL)
- A/D Control Register 0 (ADCON0) ดังแสดงในรูปที่ 2.3
- A/D Control Register 1 (ADCON1)
- A/D Control Register 2 (ADCON2)

Register ของ ADCON0 ที่แสดงในรูปที่ 2.3 เป็นการทำงานของ A/D โมดูลและ ADCON1 แสดงในรูปที่ 2.4 แสดงองค์ประกอบและฟังก์ชันการทำงาน ส่วน Register ของ ADCON2 แสดงในรูปที่ 2.5 องค์ประกอบของ Clock source ของ A/D สามารถโปรแกรมเวลาที่ทำได้มาและการอินทัวเลข

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set.	'0' = Bit is cleared	x = Bit is unknown

ตารางที่ 2.3 แสดง REGISTER ที่ควบคุม A/D 0 (ADCON0)

bit 7-6 Unimplemented: Read as '0'

bit 5-2 CHS3:CHS0: Analog Channel Select bits

0000 = Channel 0 (AN0)

0001 = Channel 1 (AN1)

0010 = Channel 2 (AN2)

0011 = Channel 3 (AN3)

0100 = Channel 4 (AN4)

0101 = Channel 5 (AN5)^(1,2)

0110 = Channel 6 (AN6)^(1,2)

0111 = Channel 7 (AN7)^(1,2)

1000 = Channel 8 (AN8)

1001 = Channel 9 (AN9)

1010 = Channel 10 (AN10)

1011 = Channel 11 (AN11)

1100 = Channel 12 (AN12)

1101 = Unimplemented⁽²⁾

1110 = Unimplemented⁽²⁾

1111 = Unimplemented⁽²⁾

bit 1 GO/DONE: A/D Conversion Status bit

When ADON = 1:

0000 = Channel 7 (AN7)

1 = A/D conversion in progress

0 = A/D Idle

bit 0 ADON: A/D On bit

1 = A/D converter module is enabled

0 = A/D converter module is disabled

U-0	U-0	R/W-0	R/W-0	R/W-0 ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾
		VCFG0	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

ตารางที่ 2.4 แสดง REGISTER ที่ควบคุม A/D 1 (ADCON1)

bit 7-6 Unimplemented: Read as '0'

bit 5 VCFG0: Voltage Reference Configuration bit (VREF- source)

1 = VREF- (AN2)

0 = VSS

bit 4 VCFG0: Voltage Reference Configuration bit (VREF+ source)

1 = VREF+ (AN3)

0 = VDD

bit 3-0 PCFG3:PCFG0: A/D Port Configuration Control bits:

PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7 ⁽²⁾	AN6 ⁽²⁾	AN5 ⁽²⁾	AN4	AN3	AN2	AN1	AN0
0000 ⁽¹⁾	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111 ⁽¹⁾	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

A = Analog Input

D = Digital I/O

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

ตารางที่ 2.5 แสดง REGISTER ที่ควบคุม A/D 2 (ADCON2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADFM: A/D Result Format Select bit

1 = Right justified

0 = Left justified

bit 6 Unimplemented: Read as '0'

bit 5-3 ACQT2:ACQT0: A/D Acquisition Time Select bits

111 = 20 TAD

110 = 16 TAD

101 = 12 TAD

100 = 8 TAD

011 = 6 TAD

010 = 4 TAD

001 = 2 TAD

000 = 0 TAD(1)

bit 2-0 ADCS2:ADCS0: A/D Conversion Clock Select bits

111 = FRC (clock derived from A/D RC oscillator)(1)

110 = FOSC/64

101 = FOSC/16

100 = FOSC/4

011 = FRC (clock derived from A/D RC oscillator)(1)

010 = FOSC/32

001 = FOSC/8

000 = FOSC/2

โวลต์อ้างอิงของสัญญาณ Analog ที่เป็น software สามารถเลือกเป็น V_{DD} และ V_{SS} หรือระดับแรงดันที่ขา RA3/AN3/ V_{REF+} และ RA2/AN2/ V_{REF-}/CV_{REF}

A/D Convert มีลักษณะพิเศษที่แตกต่างจากสิ่งอื่น คือ สามารถที่จะทำงานขณะที่อุปกรณ์อยู่ใน sleep โหมด โดยการต่อสัญญาณนาฬิกาของ A/D Conversion จะต้องได้มาจาก RC Oscillator ภายใน A/D Output ของตัวอย่างและโฮล คือ Input ของ converter ซึ่งจะให้ผลลัพธ์โดยผ่าน Successive approximation

ค่าในรีจิสเตอร์ ADRESH: ADRESL จะไม่ถูกเปลี่ยนแปลงสำหรับ Power-on Reset และรีจิสเตอร์ ADRESH: ADRESL จะบรรจุข้อมูลที่ไม่ทราบค่า หลังจาก Power-on Reset โมดูลของ A/D ออกแบบไว้ตามความต้องการจะเลือก Channel ก่อนที่จะเริ่มการเปลี่ยนแปลงค่า

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โดย Channel ของ Analog อินพุทจะต้องเหมือนกับ Channel ที่เลือก โดย bit ของ TRIS เลือก เป็น input และกำหนด acquisition time หลังจากเวลาของ acquisition time ผ่านไป acquisition time สามารถโปรแกรมไปที่บิต GO/DONE และเริ่มเปลี่ยนแปลงตามจริง

2.5.8 I/O Ports

I/O PORTS ขึ้นอยู่กับอุปกรณ์และลักษณะการ Enabled ซึ่งมันมีถึง port 5 แต่ละ port มี Register ในการทำงานของตัวเองมันเอง 3 ตัว ได้แก่

- TRIS register (data direction register)
- PORT register (reads the levels on the pins of the device)
- LAT register (output latch)

โดย Data Latch register (LATA) จะใช้สำหรับการคำนวณในการ read modify-Write โดยค่าที่ได้จะถูกซัปไปยังขา I/O

2.5.8.1 PORTA, TRISA and LATA Registers

PORTA มีขนาด 8 bit เป็น Port แบบ 2 ทิศทางและ Register ข้อมูลโดยตรงคือ TRISA การตั้งค่า Bit TRISA (=1) จะทำให้มีความสัมพันธ์กับ ขาinput ของ PORTA การเคลียร์ TRISA (=0) จะมีความสัมพันธ์กับขาOutput ของ PORTA การอ่าน RegisterของPORTA จะอ่านสถานะของการเขียนมันจะเขียนที่ Port latch

LATA คือ การสร้างความสัมพันธ์ไว้ในหน่วยความจำRead-modify-write จะมีการทำงานตามการอ่านค่าของLATA Register และเขียนค่าOutput ไปที่latchสำหรับ PORTA ขาRA4 จะถูกมัลติพลีด้วยโมดูลของ Timer0 อินพุทของclockจะกลายเป็น ขาRA4/T0CKI ขาRA6จะถูก multiplexด้วยขา main oscillator มันจึงอาจถูกเลือกเป็นขา oscillator หรือขา I/O โดยการเลือกของ main oscillator ในโครงสร้างของRegister 1H ซึ่งหลายๆขาของ PORTA จะถูก multiplex ด้วย analog inputs, V_{REF+} และ V_{REF-} inputs เป็น Output ของแรงดันอ้างอิงใน comparator การทำงานของ ขาRA5และ RA3:RA0 เหมือน input ของ A/D converter จะเลือกโดยการ clearing/setting บิตที่ใช้ควบคุมใน ADCON1register (A/D Control Register 1) ขาอื่นๆของ PORTA ทุกขามีระดับอินพุท TTL และ full output ที่รับ CMOS

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RA0/AN0	RA0	0	OUT	DIG	LATA<0> data output; not affected by analog input.
		1	IN	TTL	PORTA<0> data input; disabled when analog input enabled.
	AN0	1	IN	ANA	AD input channel 0 and Comparator C1- input. Default configuration on POR; does not affect digital output.
RA1/AN1	RA1	0	OUT	DIG	LATA<1> data output; not affected by analog input.
		1	IN	TTL	PORTA<1> data input; reads '0' on POR.
	AN1	1	IN	ANA	AD input channel 1 and Comparator C2- input. Default configuration on POR; does not affect digital output.
RA2/AN2/ VREF-/CVREF	RA2	0	OUT	DIG	LATA<2> data output; not affected by analog input. Disabled when CVREF output enabled.
		1	IN	TTL	PORTA<2> data input. Disabled when analog functions enabled; disabled when CVREF output enabled.
	AN2	1	IN	ANA	AD input channel 2 and Comparator C2+ input. Default configuration on POR; not affected by analog output.
	VREF-	1	IN	ANA	AD and comparator voltage reference low input.
	CVREF	x	OUT	ANA	Comparator voltage reference output. Enabling this feature disables digital I/O.
RA3/AN3/ VREF+	RA3	0	OUT	DIG	LATA<3> data output; not affected by analog input.
		1	IN	TTL	PORTA<3> data input; disabled when analog input enabled.
	AN3	1	IN	ANA	AD input channel 3 and Comparator C1+ input. Default configuration on POR.
	VREF+	1	IN	ANA	AD and comparator voltage reference high input.
RA4/T0CKI/ C1OUT/RCV	RA4	0	OUT	DIG	LATA<4> data output; not affected by analog input.
		1	IN	ST	PORTA<4> data input; disabled when analog input enabled.
	T0CKI	1	IN	ST	Timer0 clock input.
	C1OUT	0	OUT	DIG	Comparator 1 output; takes priority over port data.
	RCV	x	IN	TTL	External USB transceiver RCV input.
RA5/AN4/ \overline{SS} / HLVDIN/C2OUT	RA5	0	OUT	DIG	LATA<5> data output; not affected by analog input.
		1	IN	TTL	PORTA<5> data input; disabled when analog input enabled.
	AN4	1	IN	ANA	AD input channel 4. Default configuration on POR.
	\overline{SS}	1	IN	TTL	Slave select input for SSP (MSSP module).
	HLVDIN	1	IN	ANA	High/Low-Voltage Detect external trip point input.
	C2OUT	0	OUT	DIG	Comparator 2 output; takes priority over port data.
OSC2/CLKO/ RA6	OSC2	x	OUT	ANA	Main oscillator feedback output connection (all XT and HS modes).
	CLKO	x	OUT	DIG	System cycle clock output (F-OSC/4); available in EC, ECPLL and INTCKO modes.
	RA6	0	OUT	DIG	LATA<6> data output. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.
		1	IN	TTL	PORTA<6> data input. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.

ตารางที่ 2.6 แสดงรายละเอียดของ PORTA I/O

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTA	—	RA6 ⁽¹⁾	RA5	RA4	RA3	RA2	RA1	RA0	54
LATA	—	LATA6 ⁽¹⁾	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	54
TRISA	—	TRISA6 ⁽¹⁾	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	54
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	52
CMCON	CM2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	53
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	53
U0CON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	55

ตารางที่ 2.7 ตารางสตรูคเจอร์ที่สัมพันธ์กับพอร์ต A

คำอธิบายตาราง: — = ไม่มีอุปกรณ์ซึ่งจะอ่านได้ค่า '0' และในเซลล์ที่มีสีทึบจะไม่ใช้ในพอร์ต A

2.5.8.2 PORTB, TRISB และ LATB Register

PORTB มี 8-bit เป็น Port 2 ทิศทาง TRISB คือ Register ที่ข้อมูลโดยตรง การตั้งค่า TRISB = 1 จะทำให้ขาของ PORTB เป็น Input และการเคลียร์ bit ของ TRISB bit (= 0) จะทำให้ PORTB เหมือนเป็น Output

Data Latch register (LATB) คือ การส่งข้อมูลไปที่ memory การทำงานของ Read-modify-write ของ LATB จะอ่านและเขียนค่าของ Output ที่ถูกแลชสำหรับ PORTB แต่ละขาของ PORTB มี pull-up ภายในอ้อนๆ bit ที่ควบคุมแบบเดี่ยวสามารถเปิด can pull-up ทั้งหมด นี่คือการทำงานโดยการเคลียร์บิต RBPU (INTCON2<7>) weak pull-up is จะถูกปิดโดยอัตโนมัติเมื่อขาของ Port ถูกกำหนดให้เป็นเหมือน Output โดย pull-up จะไม่ทำงานเมื่อ Power-on Reset

4 ขาของ PORTB (RB7:RB4) มีลักษณะเฉพาะเป็น interrupt on-change มีเพียงขาที่มีโครงสร้างเป็น Input ก็สามารถทำให้เกิด interrupt ได้ แต่ขาใดๆ ใน RB7:RB4 เป็น Output ก็จะถูกแยกออกจาก interrupt on-change เป็นตัวเปรียบเทียบแทน โดยขาที่ถูกเปรียบเทียบกับข้อมูลที่อ่านคือ ORed เข้าด้วยกัน เมื่อทำให้เกิด RB Port Change Interrupt ด้วย with Flag bit, RBIF (INTCON<0>)

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RB0/AN12/ INT0/FLT0/ SDI/SDA	RB0	0	OUT	DIG	LATB<0> data output; not affected by analog input.
		1	IN	TTL	PORTB<0> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN12	1	IN	ANA	A/D input channel 12. ⁽¹⁾
	INT0	1	IN	ST	External interrupt 0 input.
	FLT0	1	IN	ST	Enhanced PWM Fault input (ECCP1 module); enabled in software.
	SDI	1	IN	ST	SPI data input (MSSP module).
	SDA	1	OUT	DIG	I ² C™ data output (MSSP module); takes priority over port data.
		1	IN	I ² C/SMB	I ² C data input (MSSP module); input type depends on module setting.
RB1/AN10/ INT1/SCK/ SCL	RB1	0	OUT	DIG	LATB<1> data output; not affected by analog input.
		1	IN	TTL	PORTB<1> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN10	1	IN	ANA	A/D input channel 10. ⁽¹⁾
	INT1	1	IN	ST	External interrupt 1 input.
	SCK	0	OUT	DIG	SPI clock output (MSSP module); takes priority over port data.
		1	IN	ST	SPI clock input (MSSP module).
	SCL	0	OUT	DIG	I ² C clock output (MSSP module); takes priority over port data.
1		IN	I ² C/SMB	I ² C clock input (MSSP module); input type depends on module setting.	
RB2/AN8/ INT2/VMO	RB2	0	OUT	DIG	LATB<2> data output; not affected by analog input.
		1	IN	TTL	PORTB<2> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN8	1	IN	ANA	A/D input channel 8. ⁽¹⁾
	INT2	1	IN	ST	External interrupt 2 input.
	VMO	0	OUT	DIG	External USB transceiver VMO data output.
RB3/AN9/ CCP2/VPO	RB3	0	OUT	DIG	LATB<3> data output; not affected by analog input.
		1	IN	TTL	PORTB<3> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN9	1	IN	ANA	A/D input channel 9. ⁽¹⁾
	CCP2 ⁽²⁾	0	OUT	DIG	CCP2 Compare and PWM output.
		1	IN	ST	CCP2 Capture input.
	VPO	0	OUT	DIG	External USB transceiver VPO data output.
RB4/AN11/ KB10/CSSPP	RB4	0	OUT	DIG	LATB<4> data output; not affected by analog input.
		1	IN	TTL	PORTB<4> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN11	1	IN	ANA	A/D input channel 11. ⁽¹⁾
	KB10	1	IN	TTL	Interrupt-on-pin change.
	CSSPP ⁽⁴⁾	0	OUT	DIG	SPP chip select control output.
RB5/KB11/ PGM	RB5	0	OUT	DIG	LATB<5> data output.
		1	IN	TTL	PORTB<5> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
RB6/KB12/ PGC	RB6	0	OUT	DIG	LATB<6> data output.
		1	IN	TTL	PORTB<6> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KB12	1	IN	TTL	Interrupt-on-pin change.
	PGC	x	IN	ST	Serial execution (ICSP™) clock input for ICSP and ICD operation. ⁽³⁾
RB7/KB13/ PGD	RB7	0	OUT	DIG	LATB<7> data output.
		1	IN	TTL	PORTB<7> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KB13	1	IN	TTL	Interrupt-on-pin change.
	PGD	x	OUT	DIG	Serial execution data output for ICSP and ICD operation. ⁽³⁾
		x	IN	ST	Serial execution data input for ICSP and ICD operation. ⁽³⁾

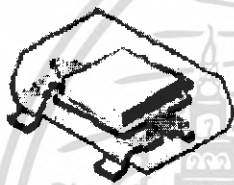
ตารางที่ 2.8 ตารางแสดงสรุป I/O พอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

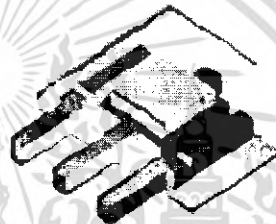
2.6 Linear Hall Effect Sensor UA1301

Linear Hall Effect Sensor A1301 เป็น sensor ที่มีรูปแบบ package แบบ UA ซึ่งถูกออกแบบให้มีประสิทธิภาพในการให้ค่า voltage output ที่แม่นยำและเป็นสัดส่วนกับค่าสนามแม่เหล็กที่ applied โดยที่ค่าแรงดันเริ่มต้นจะมีค่าประมาณครึ่งหนึ่งของค่าแรงดันจาก power supply และมีค่า output sensitivity ประมาณ 2.5 mV/G โดยมีลักษณะเด่นดังนี้

- ค่า output ที่ได้มีค่า noise ต่ำ
- ทำงานได้รวดเร็ว
- ค่า Ratiometric ไม่ซับซ้อน
- เริ่มทำงานในช่วงแรงดัน 4.5 V.- 6.0 V.
- เชื้อถือได้
- ทนทานต่อไฟฟ้าสถิต



Package UL



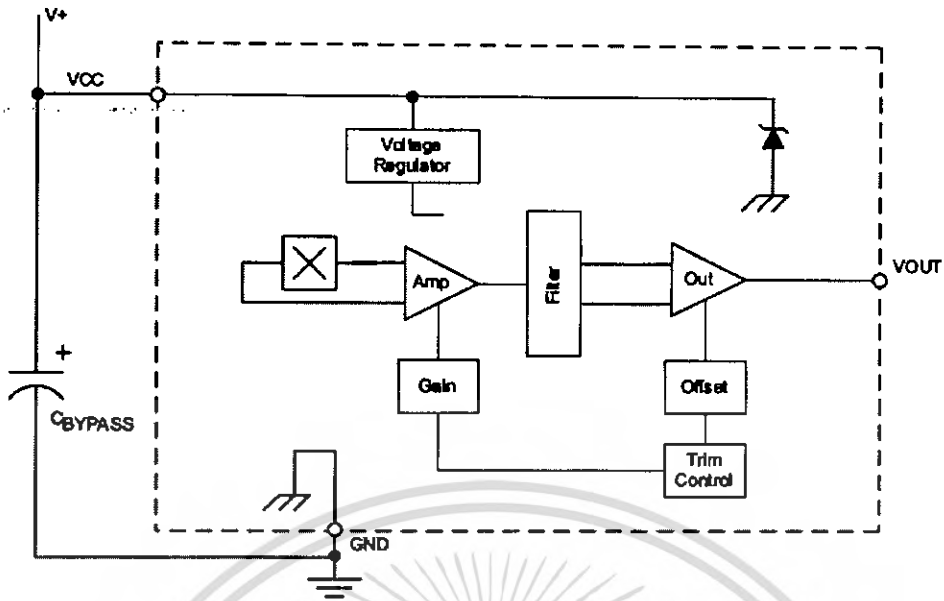
Package UA

- รูปที่ 2.9 แสดงรูปลักษณะรูปแบบ Package ของ Linear Hall Effect Sensor

Symbol	Number		Description
	Package LH	Package UA	
VCC	1	1	Connects power supply to chip
VOUT	2	3	Output from circuit
GND	3	2	Ground

ตารางที่ 2.9 แสดงรายละเอียดขาของ Linear Hall Effect Sensor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงไดอะแกรมรูปแบบการทำงานของ Linear Hall Effect Sensor

Characteristic	Symbol	Notes	Rating	Units
Supply Voltage	V_{CC}		8	V
Output Voltage	V_{OUT}		8	V
Reverse Supply Voltage	V_{RCC}		-0.1	V
Reverse Supply Voltage	V_{RCC}		-0.1	V
Output Sink Current	I_{OUT}		10	mA
Operating Ambient Temperature	T_A	Range E	-40 to 85	°C
		Range K	-40 to 125	°C
Maximum Junction Temperature	$T_J(max)$		165	°C
Storage Temperature	T_{STG}		-65 to 170	°C

ตารางที่ 2.10 แสดงการค่าสูงสุดสัมบูรณ์ของ Linear Hall Effect Sensor

สงวนลิขสิทธิ์ © 2010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Electrical Characteristics						
Supply Voltage	V_{CC}	Running, $T_J < 165^\circ\text{C}$	4.5	-	6	V
Supply Current	I_{CC}	Output open	-	-	11	mA
Output Voltage	$V_{OUT(HIGH)}$	$I_{SOURCE} = -1\text{ mA}$, Sens = nominal	4.65	4.7	-	V
	$V_{OUT(LOW)}$	$I_{SINK} = 1\text{ mA}$, Sens = nominal	-	0.2	0.25	V
Output Bandwidth	BW		-	20	-	kHz
Power-On Time	t_{PO}	$V_{CC(min)}$ to $0.95 V_{OUT}$; $B = \pm 1400\text{ G}$; Slew rate = $4.5\text{ V}/\mu\text{s}$ to $4.5\text{ V}/100\text{ ns}$	-	3	5	μs
Output Resistance	R_{OUT}	$I_{SINK} \leq 1\text{ mA}$, $I_{SOURCE} \geq -1\text{ mA}$	-	2	5	Ω
Wide Band Output Noise, rms	V_{OUTN}	External output low pass filter $\leq 10\text{ kHz}$; Sens = nominal	-	150	-	μV
Ratiometry						
Quiescent Output Voltage Error with respect to ΔV_{CC}^1	$\Delta V_{OUT(Q)}$	$T_A = 25^\circ\text{C}$	-	-	± 3.0	%
Magnetic Sensitivity Error with respect to ΔV_{CC}^2	$\Delta \text{Sens}(V)$	$T_A = 25^\circ\text{C}$	-	-	± 3.0	%
Output						
Linearity	Lin	$T_A = 25^\circ\text{C}$	-	-	± 2.5	%
Symmetry	Sym	$T_A = 25^\circ\text{C}$	-	-	± 3.0	%
Magnetic Characteristics						
Quiescent Output Voltage	$V_{OUT(Q)}$	$B = 0\text{ G}$; $T_A = 25^\circ\text{C}$	2.4	2.5	2.6	V
Quiescent Output Voltage over Operating Temperature Range	$V_{OUT(Q)(\Delta T)}$	$B = 0\text{ G}$	2.2	-	2.8	V
Magnetic Sensitivity	Sens	A1301; $T_A = 25^\circ\text{C}$	2.0	2.5	3.0	mV/G
		A1302; $T_A = 25^\circ\text{C}$	1.0	1.3	1.6	mV/G
Magnetic Sensitivity over Operating Temperature Range	$\text{Sens}(\Delta T)$	A1301	1.8	-	3.2	mV/G
		A1302	0.85	-	1.75	mV/G

ตารางที่ 2.11 แสดงการตอบสนองของ Linear Hall Effect Sensor ในแต่ละเงื่อนไข
เมื่อช่วงอุณหภูมิเท่ากับ T_A และ $V_{CC} = 5\text{ V}$

Operating Temperature Range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 Quiescent Output Voltage

ในสถานะคงตัวกล่าวคือ ไม่มีแรงจากสนามแม่เหล็กภายนอก ($B=0$) ค่าของแรงดันเอาต์พุต (V_{outQ}) มีค่าเท่ากับครึ่งหนึ่งของค่าแรงดันจาก power supply (V_{CC}) ซึ่งปัจจัยที่ส่งผลต่อค่าของแรงดันเอาต์พุต คือ ค่า V_{CC} และ อุณหภูมิของสิ่งแวดล้อม จึงอาจกล่าวได้ว่าแรงดันเอาต์พุตเป็นฟังก์ชันของทั้งค่า ΔV_{CC} และ ΔT_A โดยสามารถอธิบายได้ว่า

$$\Delta V_{OUT(\Delta T_A)} = \frac{\Delta V_{OUT(\Delta T_A)} - \Delta V_{OUT(25^\circ C)}}{Sens_{(25^\circ C)}} \quad (1)$$

โดยที่ค่า Sens คือ ผลของอุปกรณ์ที่มีความแม่นยำภายใต้สนามเกาส์(G)ซึ่งมีหน่วยเป็น mV/G

2.6.2 Sensitivity

เมื่อ applied สนามแม่เหล็กขั้วได้(+B) ในลักษณะตั้งฉากกับผิวตัวอุปกรณ์ จะทำให้ค่าแรงดันเอาต์พุต (V_{out}) เพิ่มขึ้นเป็นสัดส่วนกับค่าสนามแม่เหล็กที่ใส่เข้าไปจาก V_{outQ} ไปทาง V_{CC} ในทางกลับกันหาก applied สนามแม่เหล็กขั้วเหนือ (-B) ในด้านเดิมของผิวตัวอุปกรณ์จะทำให้ค่าแรงดันเอาต์พุต (V_{out}) ลดลงจากค่าแรงดันเริ่มต้น โดยค่าสัดส่วนดังกล่าวสามารถอธิบายในรูปของ magnetic sensitivity ของอุปกรณ์ได้ว่า

$$Sens = \frac{V_{OUT(-B)} - V_{OUT(+B)}}{2B} \quad (2)$$

ความเสถียรของค่า magnetic sensitivity ของอุปกรณ์เป็นฟังก์ชันกับอุณหภูมิสิ่งแวดล้อม ซึ่งจะได้ความสัมพันธ์ของค่าเปอร์เซ็นต์ของ $\Delta Sens_{(\Delta T_A)}$ ว่า

$$\Delta Sens_{(\Delta T_A)} = \frac{Sens_{(T_A)} - Sens_{(25^\circ C)}}{Sens_{(25^\circ C)}} \times 100\% \quad (3)$$

2.6.3 Ratiometric

สำหรับค่า ratiometric output ของ A1301 และ A1302 หมายถึงค่า quiescent output-voltage(V_{outQ}) และค่า magnetic sensitivity (Sens) เป็นสัดส่วนกับ power supply voltage(V_{CC}) โดยค่าการเปลี่ยนแปลง ratiometric (%) ใน quiescent output- voltage จะแสดงได้ว่า

$$\Delta V_{OUTQ(\Delta V)} = \frac{\Delta V_{OUT(V_{CC})} \times \Delta V_{OUTQ(SV)}}{V_{CC} \times 5V} \quad (4)$$

และค่าการเปลี่ยนแปลง ratiometric (%) ใน sensitivity มีค่าเป็น

$$\Delta Sens_{(\Delta V)} = \frac{Sens_{(V_{CC})} / Sens_{(SV)}}{V_{CC} / 5V} \times 100\% \quad (5)$$

2.6.4 Linearity and Symmetry

สำหรับสถานะ on-chip ถูกออกแบบให้แสดงสถานะเมื่อแรงดันของ power supply เท่ากับ 5 V. สำหรับอุปกรณ์ตัวนี้สามารถทำงานภายใต้สนามแม่เหล็กค่าสูงๆได้โดยที่ไม่ได้รับความเสียหาย แต่ค่า output ที่ออกมาจะเป็นเชิงเส้น เปอร์เซนต์ความเป็นเชิงเส้นคำนวณได้จาก

$$Lin+ = \frac{V_{OUT(+B)} - V_{OUTQ}}{2(V_{OUT(+B)/2} - V_{OUTQ})} \times 100\% \quad (6)$$

$$Lin- = \frac{V_{OUT(-B)} - V_{OUTQ}}{2(V_{OUT(-B)/2} - V_{OUTQ})} \times 100\% \quad (7)$$

และค่า output symmetry มีค่าเป็น

$$Sym = \frac{V_{OUT(+B)} - V_{OUTQ}}{2(V_{OUTQ} - V_{OUTQ(-B)})} \times 100\% \quad (8)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การดำเนินการวิจัย

การทำงานในโครงงานพิเศษนี้ได้ออกแบบเครื่องมือวัดพลังงานไฟฟ้าระบบดิจิทัลซึ่งแบ่งออกเป็นส่วนใหญ่ๆได้ 3 ส่วน ประกอบด้วยส่วนที่ใช้วัดค่าพลังงานและส่วนของไมโครคอนโทรลเลอร์ ซึ่งใช้เป็นตัวประมวลผล รวมทั้งผลและส่วนแสดงค่าของพลังงานไฟฟ้า

3.1 ส่วนวัดค่าพลังงานไฟฟ้า

3.1.1 ส่วนรับค่าสัญญาณอนาล็อกอินพุตที่เป็นกระแสไฟฟ้า

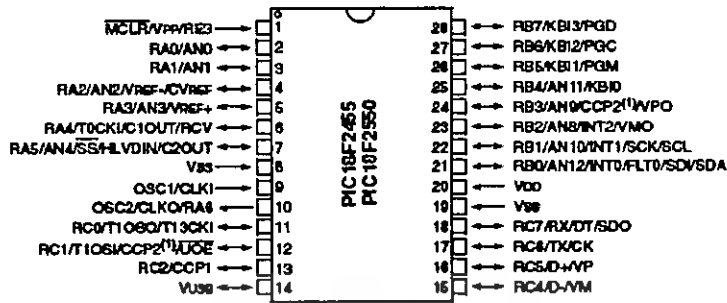
สำหรับสัญญาณอินพุตที่เป็นกระแสสำหรับโครงงานนี้จะถูกวัดในรูปของความต่างศักย์ โดยอาศัยทฤษฎี Hall Effect โดยใช้ Linear Hall Sensor ต่อเข้ากับแกนเหล็กแล้วพันด้วยลวดทองแดง เพื่อเหนี่ยวนำให้เกิดสนามแม่เหล็กในแกนเหล็กนั้นแล้ววัดค่าความต่างศักย์ ซึ่งก็คือ ค่า hall voltage แล้วนำมาต่อกับขา RA0(ขา2)และ RA1(ขา3) ของชิพ PIC18F2250 ซึ่งขาทั้งสองจะรับค่าความต่างศักย์ของสัญญาณอนาล็อกอินพุตแล้วคำนวณในไมโครคอนโทรลเลอร์เพื่อหาค่ากระแสไฟฟ้า



รูปที่ 3.1 แสดงการต่อ Linear Hall Sensor ต่อเข้ากับแกนเหล็ก

3.2 ไมโครคอนโทรลเลอร์

28-Pin PDIP, SOIC

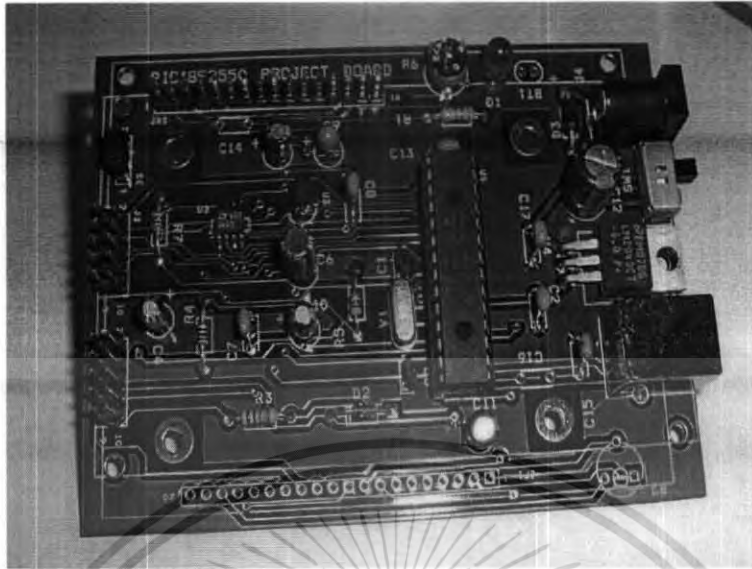


รูปที่ 3.2 แสดงขาของ PIC 18F2550

คุณสมบัติที่สำคัญของไมโครคอนโทรลเลอร์ PIC18F2550

- เป็นไมโครคอนโทรลเลอร์ที่ใช้ซีพียูขนาด
- รองรับการเชื่อมต่อ USB V2.0
- สนับสนุนการควบคุม, การอินเตอร์รัปป์, และการสื่อสารข้อมูลแบบ Bulk และ Isochronous
- ภายในมีหน่วยความจำโปรแกรมเป็นแบบแฟลชลบ และเขียนใหม่ได้หนึ่งแสนครั้ง
- หน่วยความจำข้อมูลพื้นฐานเป็นหน่วยความจำแบบแรมขนาด 2048 ไบต์ และหน่วยความจำแบบ อีพรอมขนาด 256 ไบต์
- มีพอร์ต I/O 5 พอร์ต บางขาของพอร์ต I/O สามารถสลับฟังก์ชันการทำงานแทนกันได้ตามลักษณะของอุปกรณ์ภายนอกที่นำมาต่อ
- ขาพอร์ตเป็นแบบสองทิศทาง สามารถใช้งานได้ทั้งอินพุตและเอาต์พุต
- มีโมดูล ไทม์เมอร์ 4 ตัว
- A/D converter ขนาด 10 บิต, 13 ขาแนล ในตัว
- โมดูลพอร์ตอนุกรมแบบ Master Synchronous สนับสนุน แบบSPI 3 สาย, แบบ I²C ในโหมด มาสเตอร์และสลาฟ
- มีวอตช์ดอกไทม์เมอร์ในตัว
- มีโครงสร้างของฮาร์ดแวร์ที่สามารถเปลี่ยนแปลงได้
- มี Capture/Compare/PWM(ECCP) โมดูล เสริมขึ้นมา
- สามารถเขียนด้วยโปรแกรม C Compiler ได้ผลดีที่สุดด้วยทางเลือกในการเซตคำสั่งขยายมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงโครงสร้างของ PIC18F2550 Project Board

3.3 ส่วนแสดงผล (LCD Display)

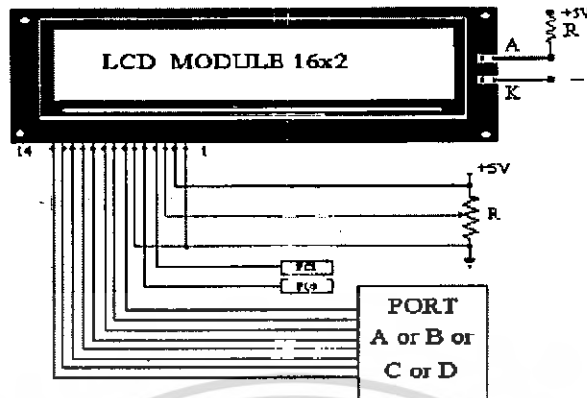
ปัจจุบันนี้อุปกรณ์แสดงผลที่ใช้ในการเชื่อมต่อกับไมโครคอนโทรลเลอร์ มีอยู่หลายชนิด ตัวอย่าง เช่น 7-Segment, LED ชนิดวง และ LED เป็นต้น โดยในงานวิจัยนี้ได้ใช้ LCD แบบตัวอักษร เพราะว่ามีจำหน่ายแพร่หลายและนิยมใช้ค่อนข้างมาก



รูปที่ 3.4 โมดูลของ LCD แบบอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การติดต่อกับLCD module สามารถติดต่อได้สองแบบ คือ แบบ4bit และแบบ 8bit



รูปที่ 3.5 แสดงการต่อจอแสดงผลLCDแบบ8bit

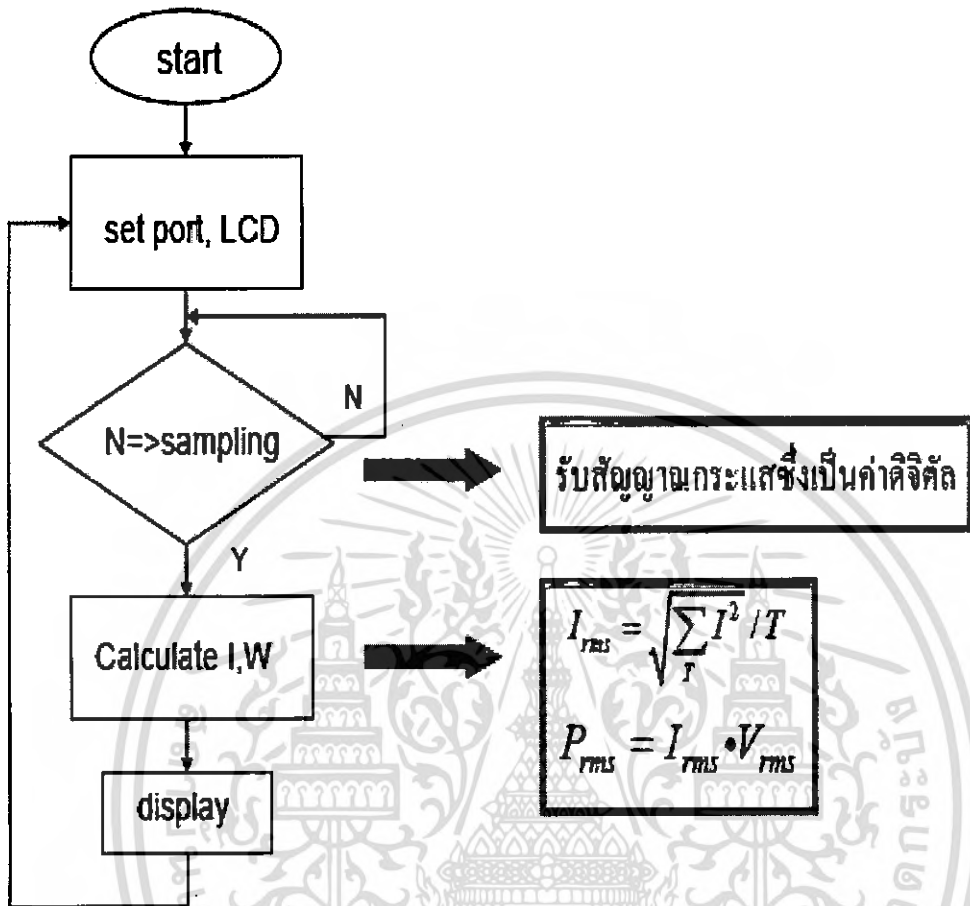
สำหรับโมดูล LCD ที่นำมาใช้ในงานวิจัยนี้มีโมดูลแบบ LCD อักษร 1 บรรทัด (LCD16x1) เนื่องจากราคาถูก ง่าย และเป็นโมดูล LCD ที่มีโครงสร้างเป็นมาตรฐาน LCD มีขาต่อใช้งานทั้งหมด 14 ขา มีการจัดขาตั้งในรูปแบบที่ สำหรับรายละเอียดการทำงานของแต่ละขามีดังนี้

ขาที่	ชื่อขา	หน้าที่ใช้งาน
1	GND	ต่อกับกราวด์ของวงจร
2	+V _{DD}	ต่อกับไฟเลี้ยง +5V
3	V ₀	เป็นขาสำหรับป้อนแรงดันเพื่อปรับความสว่างของจอแสดงผลแอลซีดี
4	R _s	เป็นขาเลือกการคิดต่อกับรีจิสเตอร์คำสั่งหรือรีจิสเตอร์ข้อมูล 0 : จะคิดต่อกับรีจิสเตอร์คำสั่ง 1 : จะคิดต่อกับรีจิสเตอร์ข้อมูลเพื่อนำข้อมูลไปแสดงผล
5	R/W	เป็นขาเลือกการอ่านหรือเขียนข้อมูลกับโมดูล LCD
6	E	เป็นขาสำหรับป้อนสัญญาณที่ลส์เอ็นเอเบิลให้โมดูล LCD ทำงาน
7-14	D0-D7	เป็นขาข้อมูล 8 บิต โดยขา 7 คือ D0 ไปจนถึงขา 14 คือ D7

ตารางที่ 3.1 แสดงชื่อขาและหน้าที่การใช้งานแต่ละขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ไฟร์ชาร์ทแสดงการทำงานของโปรแกรม



รูปที่ 3.6 ไฟร์ชาร์ทของโปรแกรมหลัก

บทที่ 4

ผลการทดลองและอภิปรายผล

4.1 ผลจากการทดลองวัดค่ากำลังไฟฟ้าในเครื่องใช้ไฟฟ้าต่าง ๆ

ในการทดลองวัดค่ากำลังไฟฟ้า เราจะให้บอร์ดไมโครคอนโทรลเลอร์รับค่าฮอลล์โวลต์เตจจากฮอลล์เซนเซอร์ซึ่งเกิดจากการไหลของกระแสไฟฟ้าจากเครื่องใช้ไฟฟ้า โดยบอร์ดไมโครคอนโทรลเลอร์จะนำค่ามาคำนวณเพื่อหาค่ากำลังไฟฟ้าของเครื่องใช้ไฟฟ้าชนิดต่างๆ จะได้ผลตามที่แสดงในตาราง



รูปที่ 4.1 แสดงเครื่องบอร์ดไมโครคอนโทรลเลอร์และแกนขดลวดฮอลล์เซนเซอร์



รูปที่ 4.2 แสดงชนิดของเครื่องใช้ไฟฟ้าที่ใช้ในการทดลอง

เตารีดเทฟลอน(1000W)	
ครั้งที่	กำลังไฟฟ้า(W)
1	995
2	957
3	956
4	952
5	955
6	956
7	952
8	952
9	954
10	951
เฉลี่ย	954
error	4.60%

ตารางที่ 4.1 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเตารีด(เทฟลอน)

เตารีด(1000W)	
ครั้งที่	กำลังไฟฟ้า(W)
1	1050
2	1044
3	1040
4	1041
5	1038
6	1036
7	1035
8	1032
9	1033
10	1030
เฉลี่ย	1037.9
error	3.79%

ตารางที่ 4.2 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเตารีด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องทำแซนวิช(750W)	
ครั้งที่	กำลังไฟฟ้า(W)
1	707
2	708
3	709
4	710
5	710
6	710
7	710
8	709
9	710
10	709
เฉลี่ย	709.2
error	4.08%

ตารางที่ 4.3 แสดงผลการวัดเครื่องใช้ไฟฟ้าชนิดเครื่องทำแซนวิช

4.2 สรุปผลการทดลอง

จากการทดลองวัดค่ากำลังไฟฟ้าจะพบว่าค่าความผิดพลาดในเครื่องใช้ไฟฟ้าสามชนิดนั้น ค่ากำลังไฟฟ้าที่ได้จากการทดลองนั้นจะมีความผิดพลาดเมื่อเทียบกับฉลากบนเครื่องใช้ไฟฟ้า ประมาณ $\pm 5\%$

บทที่ 5

สรุปและข้อเสนอแนะ

ในบทนี้เป็นการสรุปผลการทดลองที่ได้จากเครื่องวัดกำลังไฟฟ้า โดยมีบอร์ดไมโครคอนโทรลเลอร์เป็นตัวคำนวณเพื่อหาค่ากำลังไฟฟ้าของเครื่องใช้ไฟฟ้าชนิดต่างๆ ซึ่งจะกล่าวถึงผลการทดลองและปัญหาในการดำเนินงาน

5.1 สรุปผลการทดลอง

สำหรับเครื่องวัดค่ากำลังไฟฟ้า เราจะสามารถวัดค่ากระแสไฟฟ้าและนำค่ามาคำนวณเพื่อหาค่ากำลังไฟฟ้าของเครื่องใช้ไฟฟ้าชนิดต่างๆ ซึ่งจากผลการทดลองนั้นจะได้ค่ากำลังไฟฟ้าที่ใกล้เคียงกับค่าจริงตามฉลากเครื่องใช้ไฟฟ้า

5.2 ปัญหาที่พบและข้อเสนอแนะ

จากการดำเนินงานสร้างเครื่องวัดกำลังไฟฟ้าในงานวิจัยนี้ พบว่ามีปัญหาบางประการที่ควรได้รับการปรับปรุงและแก้ไขต่อไป คือ หลังจากการวัดค่ากำลังไฟฟ้านั้น จะพบว่ายังมีค่ากระแสไฟฟ้าค้างอยู่ เนื่องจากในส่วนของภาครับสัญญาณกระแสไฟฟ้าสลับนั้น ได้นำผงเหล็กและHall sensor มาใช้ ซึ่งจะมีการค้างของสนามแม่เหล็กหลังจากไม่มีกระแสไหลผ่าน

5.3 แนวทางในการพัฒนา

สามารถพัฒนาเครื่องวัดกำลังไฟฟ้าได้ โดย

- เปลี่ยนโมดูลในส่วนของ sensor เพื่อแก้ปัญหาในส่วนของภาครับสัญญาณ ซึ่งทำให้สามารถวัดค่าได้แม่นยำมากขึ้น
- ออกแบบระบบการทดลองเพื่อเพิ่มประสิทธิภาพในการทำงานให้กว้างขึ้นให้สามารถวัดให้

ย่านที่สูงหรือต่ำกว่านี้ได้

จากการดำเนินงานวิจัยนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ณรงค์ ขอนตะวัน. 2535. เครื่องวัดไฟฟ้า. กรุงเทพฯ : อมรินทร์การพิมพ์

ศุภชัย สุรินทร์วงศ์. 2532. เทคโนโลยีไฟฟ้ากระแสสลับ. กรุงเทพฯ : สมาคมส่งเสริมเทคโนโลยี

อาภรณ์ เก่งพล และ โอซามุ นิชิโกะ. 2535. เครื่องวัดและการวัดทางไฟฟ้า. กรุงเทพฯ :
สมาคมส่งเสริมเทคโนโลยี

Microchip Technology Inc. "PIC18F2250".[Online] ,Avialable:

<http://ww1.microchip.com/downloads/en/DeviceDoc/39632D.pdf> .2006

Wichit Sirichote."Building Your Own Microcontroller Project."[Online], Avialable:

<http://www.kmitl.ac.th/~kswichit>.2006



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Source Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

/*

* Project name:

Watt meter (Simple demonstration of the LCD Library functions)

* Copyright:

(c) MikroElektronika, 2005.

* Description:

a simple watt meter

* Test configuration:

MCU: P18F2550

Dev.Board: EasyPIC3

Oscillator: HS, 04.0000 MHz

Ext. Modules: LCD 2x16

SW: mikroC v6.0

* NOTES:

None.

*/

```
char *text = "WATT METER";
```

```
char *text1 = "start";
```

```
unsigned int read_ADC()
```

```
{  
    unsigned int temp;  
    temp=0;  
    ADCON0 = 0x03;  
    while(ADCON0&0x02)  
        continue;  
    temp = ADRESH;  
    temp <<=8;  
    return (temp|ADRESL);  
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

git:ADCC00000000

```

unsigned int capture_input()
{
    int i;
    unsigned int xin[128] ;
    for(i=0; read_ADC()<500 || i>128; i++)
        continue;

    for(i=0; i<128; i++)
    {
        xin[i] = read_ADC();
        return xin[i];
        xin[i]=0;
    }
}

```

```

void compute_THD()
{
    char buffer[32];
    int a,j;
    unsigned int zin[128];
    float n;
    a=0; n=0;
    for(j=0; j<128; j++)
    {
        zin[j]=capture_input();
        a+=((zin[j]- 520));
        n+=((a*a) );
        a=0;
    }
    n=((sqrt(n/128))/28.4)*220;
    sprintf(buffer,"%-4.0fWATTS",n);
    Lcd_Cmd(LCD_SECOND_ROW);
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    Lcd_Out_CP(buffer);
}

void main()
{
    unsigned short btnRes;

    Delay_ms(100);

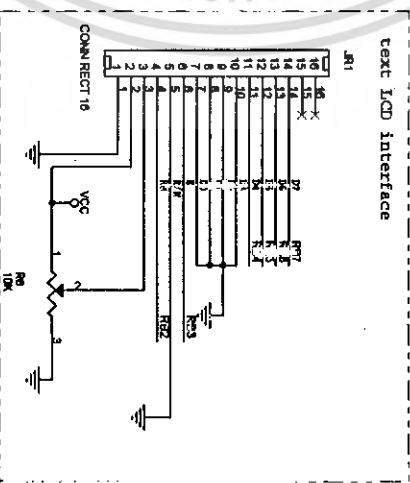
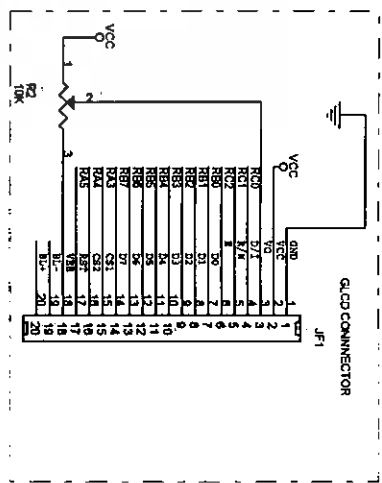
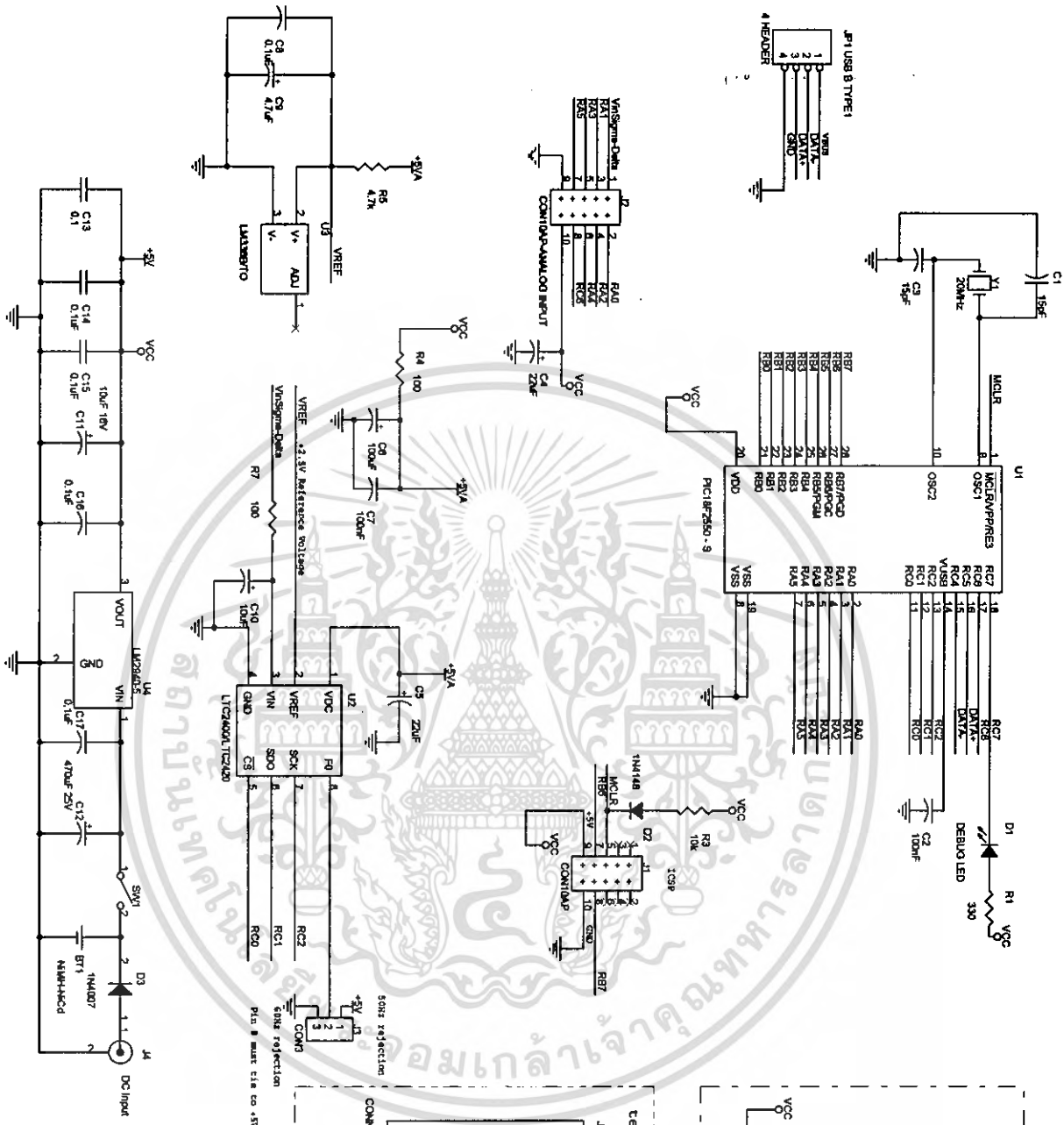
    ADCON1 = 0x0E; // ADC0 = analog input*
    ADCON0 = 0x00; // select channel 0
    ADCON2 = 0x92; // ADC frequency = FOSC/32
    TRISA = 0xFF; // PORTA is input
    TRISB = 0; // PORTB is output
    PORTC = 0xFF;
    TRISC = 0x02; // PORTC is output port

    Delay_ms(1000);
    Lcd_Init(&PORTB); // Initialize LCD connected to PORTB
    Lcd_Cmd(LCD_CLEAR); // Clear display
    Lcd_Cmd(LCD_CURSOR_OFF); // Turn cursor off
    Lcd_Out(1,3, text); // Print text to LCD, 2nd row, 1st column
    Lcd_Cmd(LCD_SECOND_ROW);
    Lcd_Out_CP(text1);

    while(1)
    {
        compute_THD();
        Delay_ms(1000);
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Designed by Kiatich Sritachon, kiatich@kmitl.ac.th
 Title: PIC18F2550 Project Board
 Doc: B
 Document Number: <Doc>
 Ver: 1.0
 Version: November 14, 2008
 Sheet: 1 of 1



PIC18F2455/2550/4455/4550 Data Sheet

28/40/44-Pin, High-Performance,
Enhanced Flash, USB Microcontrollers
with nanoWatt Technology

Note the following details of the code protection feature on Microchip devices:

- Microchip products meet the specification contained in their particular Microchip Data Sheet.
- Microchip believes that its family of products is one of the most secure families of its kind on the market today, when used in the intended manner and under normal conditions.
- There are dishonest and possibly illegal methods used to breach the code protection feature. All of these methods, to our knowledge, require using the Microchip products in a manner outside the operating specifications contained in Microchip's Data Sheets. Most likely, the person doing so is engaged in theft of intellectual property.
- Microchip is willing to work with the customer who is concerned about the integrity of their code.
- Neither Microchip nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Code protection is constantly evolving. We at Microchip are committed to continuously improving the code protection features of our products. Attempts to break Microchip's code protection feature may be a violation of the Digital Millennium Copyright Act. If such acts allow unauthorized access to your software or other copyrighted work, you may have a right to sue for relief under that Act.

Information contained in this publication regarding device applications and the like is provided only for your convenience and may be superseded by updates. It is your responsibility to ensure that your application meets with your specifications. MICROCHIP MAKES NO REPRESENTATIONS OR WARRANTIES OF ANY KIND WHETHER EXPRESS OR IMPLIED, WRITTEN OR ORAL, STATUTORY OR OTHERWISE, RELATED TO THE INFORMATION, INCLUDING BUT NOT LIMITED TO ITS CONDITION, QUALITY, PERFORMANCE, MERCHANTABILITY OR FITNESS FOR PURPOSE. Microchip disclaims all liability arising from this information and its use. Use of Microchip devices in life support and/or safety applications is entirely at the buyer's risk, and the buyer agrees to defend, indemnify and hold harmless Microchip from any and all damages, claims, suits, or expenses resulting from such use. No licenses are conveyed, implicitly or otherwise, under any Microchip intellectual property rights.

Trademarks

The Microchip name and logo, the Microchip logo, Accuron, dsPIC, KEELo, microID, MPLAB, PIC, PICmicro, PICSTART, PRO MATE, PowerSmart, rPIC and SmartShunt are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

AmpLab, FilterLab, Migratable Memory, MXDEV, MXLAB, PICMASTER, SEEVAL, SmartSensor and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A.

Analog-for-the-Digital Age, Application Maestro, dsPICDEM, dsPICDEM.net, dsPICworks, ECAN, ECONOMONITOR, FanSense, FlexROM, fuzzyLAB, In-Circuit Serial Programming, ICSP, ICEPIC, Linear Active Thermistor, MPASM, MPLIB, MPLINK, MPSIM, PICkit, PICDEM, PICDEM.net, PICLAB, PICTail, PowerCal, PowerInfo, PowerMate, PowerTool, Real ICE, rLAB, rPICDEM, Select Mode, Smart Serial, SmartTel, Total Endurance, UNI/O, WiperLock and Zena are trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

SQTP is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

© 2006, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

 Printed on recycled paper.

Microchip received ISO/TS-16949:2002 quality system certification for its worldwide headquarters, design and wafer fabrication facilities in Chandler and Tempe, Arizona and Mountain View, California in October 2003. The Company's quality system processes and procedures are for its PICmicro® 8-bit MCUs, KEELo® code hopping devices, Serial EEPROMs, microperipherals, nonvolatile memory and analog products. In addition, Microchip's quality system for the design and manufacture of development systems is ISO 9001:2000 certified.

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==**



MICROCHIP

PIC18F2455/2550/4455/4550

28/40/44-Pin, High-Performance, Enhanced Flash, USB Microcontrollers with nanoWatt Technology

Universal Serial Bus Features:

- USB V2.0 Compliant
- Low Speed (1.5 Mb/s) and Full Speed (12 Mb/s)
- Supports Control, Interrupt, Isochronous and Bulk Transfers
- Supports up to 32 Endpoints (16 bidirectional)
- 1-Kbyte Dual Access RAM for USB
- On-Chip USB Transceiver with On-Chip Voltage Regulator
- Interface for Off-Chip USB Transceiver
- Streaming Parallel Port (SPP) for USB streaming transfers (40/44-pin devices only)

Power-Managed Modes:

- Run: CPU on, peripherals on
- Idle: CPU off, peripherals on
- Sleep: CPU off, peripherals off
- Idle mode currents down to 5.8 μ A typical
- Sleep mode currents down to 0.1 μ A typical
- Timer1 Oscillator: 1.1 μ A typical, 32 kHz, 2V
- Watchdog Timer: 2.1 μ A typical
- Two-Speed Oscillator Start-up

Flexible Oscillator Structure:

- Four Crystal modes, including High Precision PLL for USB
- Two External Clock modes, up to 48 MHz
- Internal Oscillator Block:
 - 8 user-selectable frequencies, from 31 kHz to 8 MHz
 - User-tunable to compensate for frequency drift
- Secondary Oscillator using Timer1 @ 32 kHz
- Dual Oscillator options allow microcontroller and USB module to run at different clock speeds
- Fail-Safe Clock Monitor:
 - Allows for safe shutdown if any clock stops

Peripheral Highlights:

- High-Current Sink/Source: 25 mA/25 mA
- Three External Interrupts
- Four Timer modules (Timer0 to Timer3)
- Up to 2 Capture/Compare/PWM (CCP) modules:
 - Capture is 16-bit, max. resolution 5.2 ns (TCY/16)
 - Compare is 16-bit, max. resolution 83.3 ns (TCY)
 - PWM output: PWM resolution is 1 to 10-bit
- Enhanced Capture/Compare/PWM (ECCP) module:
 - Multiple output modes
 - Selectable polarity
 - Programmable dead time
 - Auto-shutdown and auto-restart
- Enhanced USART module:
 - LIN bus support
- Master Synchronous Serial Port (MSSP) module supporting 3-wire SPI (all 4 modes) and I²C™ Master and Slave modes
- 10-bit, up to 13-channel Analog-to-Digital Converter module (A/D) with Programmable Acquisition Time
- Dual Analog Comparators with Input Multiplexing

Special Microcontroller Features:

- C Compiler Optimized Architecture with optional Extended Instruction Set
- 100,000 Erase/Write Cycle Enhanced Flash Program Memory typical
- 1,000,000 Erase/Write Cycle Data EEPROM Memory typical
- Flash/Data EEPROM Retention: > 40 years
- Self-Programmable under Software Control
- Priority Levels for Interrupts
- 8 x 8 Single-Cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
 - Programmable period from 41 ms to 131s
- Programmable Code Protection
- Single-Supply 5V In-Circuit Serial Programming™ (ICSP™) via two pins
- In-Circuit Debug (ICD) via two pins
- Optional dedicated ICD/ICSP port (44-pin devices only)
- Wide Operating Voltage Range (2.0V to 5.5V)

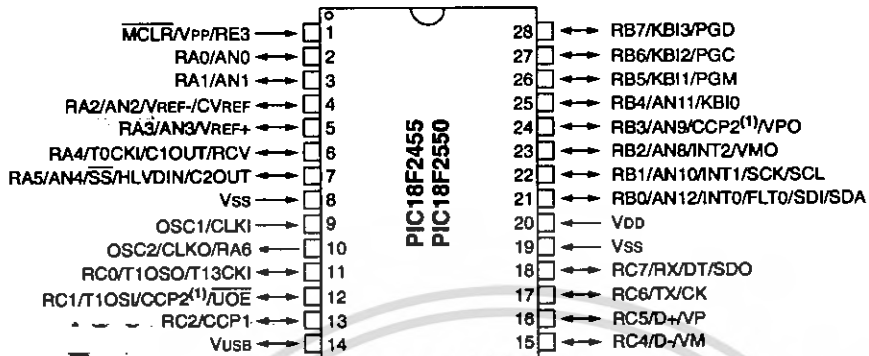
Device	Program Memory		Data Memory		I/O	10-Bit A/D (ch)	CCP/ECCP (PWM)	SPP	MSSP		EUSART	Comparators	Timers 8/16-Bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					SPI	Master I ² C™			
PIC18F2455	24K	12288	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F2550	32K	16384	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F4455	24K	12288	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3
PIC18F4550	32K	16384	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

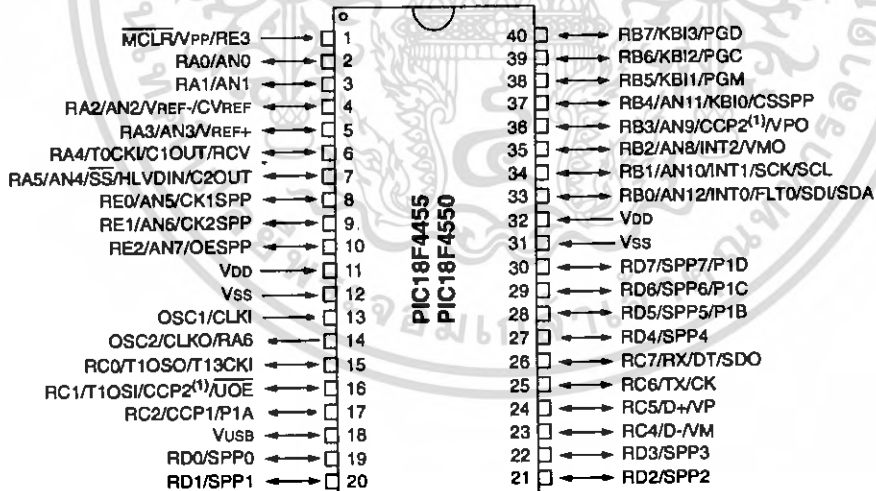
PIC18F2455/2550/4455/4550

Pin Diagrams

28-Pin PDIP, SOIC



40-Pin PDIP



Note 1: RB3 is the alternate pin for CCP2 multiplexing.

PIC18F2455/2550/4455/4550

Table of Contents

1.0	Device Overview	7
2.0	Oscillator Configurations	23
3.0	Power-Managed Modes	35
4.0	Reset	43
5.0	Memory Organization	57
6.0	Flash Program Memory	79
7.0	Data EEPROM Memory	89
8.0	8 x 8 Hardware Multiplier	95
9.0	Interrupts	97
10.0	I/O Ports	111
11.0	Timer0 Module	125
12.0	Timer1 Module	129
13.0	Timer2 Module	135
14.0	Timer3 Module	137
15.0	Capture/Compare/PWM (CCP) Modules	141
16.0	Enhanced Capture/Compare/PWM (ECCP) Module	149
17.0	Universal Serial Bus (USB)	163
18.0	Streaming Parallel Port	187
19.0	Master Synchronous Serial Port (MSSP) Module	193
20.0	Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART)	237
21.0	10-Bit Analog-to-Digital Converter (A/D) Module	259
22.0	Comparator Module	269
23.0	Comparator Voltage Reference Module	275
24.0	High/Low-Voltage Detect (HLVD)	279
25.0	Special Features of the CPU	285
26.0	Instruction Set Summary	307
27.0	Development Support	357
28.0	Electrical Characteristics	361
29.0	DC and AC Characteristics Graphs and Tables	399
30.0	Packaging Information	401
	Appendix A: Revision History	409
	Appendix B: Device Differences	409
	Appendix C: Conversion Considerations	410
	Appendix D: Migration From Baseline to Enhanced Devices	410
	Appendix E: Migration From Mid-Range to Enhanced Devices	411
	Appendix F: Migration From High-End to Enhanced Devices	411
	Index	413
	The Microchip Web Site	425
	Customer Change Notification Service	425
	Customer Support	425
	Reader Response	426
	PIC18F2455/2550/4455/4550 Product Identification System	427

TO OUR VALUED CUSTOMERS

It is our intention to provide our valued customers with the best documentation possible to ensure successful use of your Microchip products. To this end, we will continue to improve our publications to better suit your needs. Our publications will be refined and enhanced as new volumes and updates are introduced.

If you have any questions or comments regarding this publication, please contact the Marketing Communications Department via E-mail at docerrors@microchip.com or fax the Reader Response Form in the back of this data sheet to (480) 792-4150. We welcome your feedback.

Most Current Data Sheet

To obtain the most up-to-date version of this data sheet, please register at our Worldwide Web site at:

<http://www.microchip.com>

You can determine the version of a data sheet by examining the literature number found on the bottom outside corner of any page. The last character of the literature number is the version number. For example, DS30000A is version A of document DS30000.

Errata

An errata sheet, describing minor operational differences from the data sheet and recommended workarounds, may exist for current devices. As device/documentation issues become known to us, we will publish an errata sheet. The errata will specify the revision of silicon and revision of document to which it applies.

To determine if an errata sheet exists for a particular device, please check with one of the following:

- Microchip's Worldwide Web site; <http://www.microchip.com>
- Your local Microchip sales office (see last page)

When contacting a sales office, please specify which device, revision of silicon and data sheet (include literature number) you are using.

Customer Notification System

Register on our web site at www.microchip.com to receive the most current information on all of our products.

Most Current Data Sheet

Errata

Register on our web site at www.microchip.com.

PIC18F2455/2550/4455/4550

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS

Pin Name	Pin Number	Pin Type	Buffer Type	Description
	PDIP, SOIC			
MCLR/VPP/RE3 MCLR VPP RE3	1	I P I	ST ST	Master Clear (Input) or programming voltage (input). Master Clear (Reset) input. This pin is an active-low Reset to the device. Programming voltage input. Digital input.
OSC1/CLKI OSC1 CLKI	9	I I	Analog Analog	Oscillator crystal or external clock input. Oscillator crystal input or external clock source input. External clock source input. Always associated with pin function OSC1. (See OSC2/CLKO pin.)
OSC2/CLKO/RA6 OSC2 CLKO RA6	10	O O I/O	— — TTL	Oscillator crystal or clock output. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. In select modes, OSC2 pin outputs CLKO which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate. General purpose I/O pin.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels I = Input
O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.
2: Default assignment for CCP2 when CCP2MX Configuration bit is set.

PIC18F2455/2550/4455/4550

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number	Pin Type	Buffer Type	Description
	PDIP, SOIC			
RB0/AN12/INT0/FLT0/SDI/SDA RB0 AN12 INT0 FLT0 SDI SDA	21	I/O I I I I I/O	TTL Analog ST ST ST ST	PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs. Digital I/O. Analog input 12. External interrupt 0. PWM Fault input (CCP1 module). SPI data in. I ² C™ data I/O.
RB1/AN10/INT1/SCK/SCL RB1 AN10 INT1 SCK SCL	22	I/O I I I/O I/O	TTL Analog ST ST ST	Digital I/O. Analog input 10. External interrupt 1. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I ² C mode.
RB2/AN8/INT2/VMO RB2 AN8 INT2 VMO	23	I/O I I O	TTL Analog ST —	Digital I/O. Analog input 8. External interrupt 2. External USB transceiver VMO output.
RB3/AN9/CCP2/VPO RB3 AN9 CCP2 ⁽¹⁾ VPO	24	I/O I I/O O	TTL Analog ST —	Digital I/O. Analog input 9. Capture 2 input/Compare 2 output/PWM 2 output. External USB transceiver VPO output.
RB4/AN11/KBI0 RB4 AN11 KBI0	25	I/O I I	TTL Analog TTL	Digital I/O. Analog input 11. Interrupt-on-change pin.
RB5/KBI1/PGM RB5 KBI1 PGM	26	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC RB6 KBI2 PGC	27	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD RB7 KBI3 PGD	28	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming data pin.

Legend: TTL = TTL compatible input. CMOS = CMOS compatible input or output
 ST = Schmitt Trigger input with CMOS levels I = Input
 O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.
Note 2: Default assignment for CCP2 when CCP2MX Configuration bit is set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2455/2550/4455/4550

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number	Pin Type	Buffer Type	Description
	PDIP, SOIC			
RC0/T1OSO/T13CKI	11	I/O	ST	PORTC is a bidirectional I/O port. Digital I/O. Timer1 oscillator output. Timer1/Timer3 external clock input.
RC0		O	—	
T1OSO		I	ST	
T13CKI				
RC1/T1OSI/CCP2/UOE	12	I/O	ST	Digital I/O. Timer1 oscillator input. Capture 2 input/Compare 2 output/PWM 2 output. External USB transceiver OE output.
RC1		I	CMOS	
T1OSI		I/O	ST	
CCP2(2) UOE		—	—	
RC2/CCP1	13	I/O	ST	Digital I/O. Capture 1 Input/Compare 1 output/PWM 1 output.
RC2		I/O	ST	
CCP1				
RC4/D-/VM	15	I	TTL	Digital input. USB differential minus line (input/output). External USB transceiver VM input.
RC4		I/O	—	
D- VM		I	TTL	
RC5/D+/VP	16	I	TTL	Digital input. USB differential plus line (input/output). External USB transceiver VP input.
RC5		I/O	—	
D+		O	TTL	
VP				
RC6/TX/CK	17	I/O	ST	Digital I/O. EUSART asynchronous transmit. EUSART synchronous clock (see RX/DT).
RC6		O	—	
TX CK		I/O	ST	
RC7/RX/DT/SDO	18	I/O	ST	Digital I/O. EUSART asynchronous receive. EUSART synchronous data (see TX/CK). SPI data out.
RC7		I	ST	
RX		I/O	ST	
DT		O	—	
SDO				
RE3	—	—	—	See MCLR/VPP/RE3 pin.
VUSB	14	O	—	Internal USB 3.3V voltage regulator.
VSS	8, 19	P	—	Ground reference for logic and I/O pins.
VDD	20	P	—	Positive supply for logic and I/O pins.

Legend: TTL = TTL compatible input
 ST = Schmitt Trigger input with CMOS levels
 O = Output
 CMOS = CMOS compatible input or output
 I = Input
 P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.
Note 2: Default assignment for CCP2 when CCP2MX Configuration bit is set.

PIC18F2455/2550/4455/4550

2.0 OSCILLATOR CONFIGURATIONS

2.1 Overview

Devices in the PIC18F2455/2550/4455/4550 family incorporate a different oscillator and microcontroller clock system than previous PIC18F devices. The addition of the USB module, with its unique requirements for a stable clock source, make it necessary to provide a separate clock source that is compliant with both USB low-speed and full-speed specifications.

To accommodate these requirements, PIC18F2455/2550/4455/4550 devices include a new clock branch to provide a 48 MHz clock for full-speed USB operation. Since it is driven from the primary clock source, an additional system of prescalers and postscalers has been added to accommodate a wide range of oscillator frequencies. An overview of the oscillator structure is shown in Figure 2-1.

Other oscillator features used in PIC18 enhanced microcontrollers, such as the internal oscillator block and clock switching, remain the same. They are discussed later in this chapter.

2.1.1 OSCILLATOR CONTROL

The operation of the oscillator in PIC18F2455/2550/4455/4550 devices is controlled through two Configuration registers and two control registers. Configuration registers, CONFIG1L and CONFIG1H, select the oscillator mode and USB prescaler/postscaler options. As Configuration bits, these are set when the device is programmed and left in that configuration until the device is reprogrammed.

The OSCCON register (Register 2-2) selects the Active Clock mode; it is primarily used in controlling clock switching in power-managed modes. Its use is discussed in Section 2.4.1 "Oscillator Control Register".

The OSCTUNE register (Register 2-1) is used to trim the INTRC frequency source, as well as select the low-frequency clock source that drives several special features. Its use is described in Section 2.2.5.2 "OSCTUNE Register".

2.2 Oscillator Types

PIC18F2455/2550/4455/4550 devices can be operated in twelve distinct oscillator modes. In contrast with previous PIC18 enhanced microcontrollers, four of these modes involve the use of two oscillator types at once. Users can program the FOSC3:FOSC0 Configuration bits to select one of these modes:

1. XT Crystal/Resonator
2. XTPLL Crystal/Resonator with PLL enabled
3. HS High-Speed Crystal/Resonator
4. HSPLL High-Speed Crystal/Resonator with PLL enabled
5. EC External Clock with Fosc/4 output
6. ECIO External Clock with I/O on RA6
7. ECPLL External Clock with PLL enabled and Fosc/4 output on RA6
8. ECPIO External Clock with PLL enabled, I/O on RA6
9. INTHS Internal Oscillator used as microcontroller clock source, HS Oscillator used as USB clock source
10. INTXT Internal Oscillator used as microcontroller clock source, XT Oscillator used as USB clock source
11. INTIO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, digital I/O on RA6
12. INTCKO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, Fosc/4 output on RA6

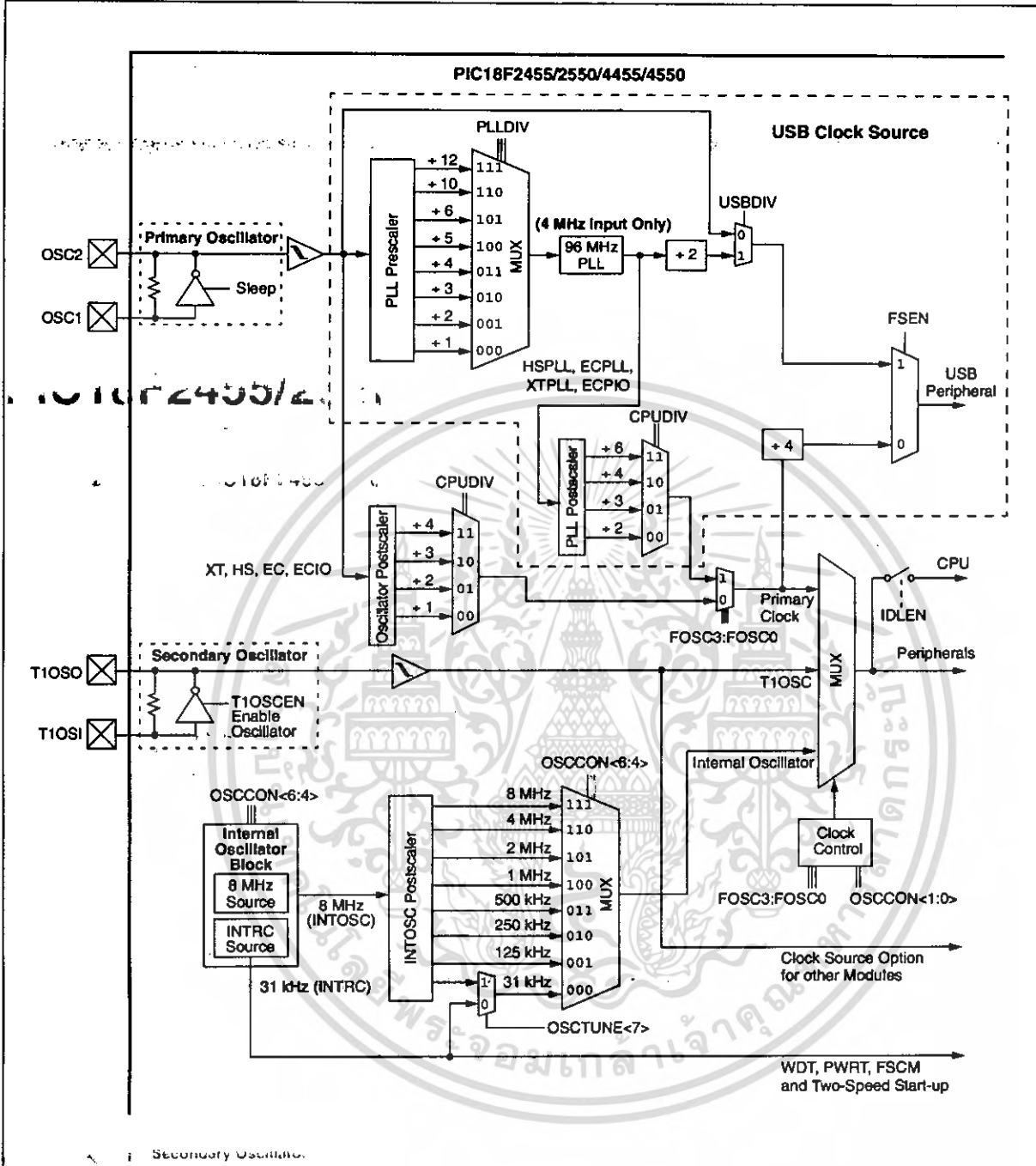
2.2.1 OSCILLATOR MODES AND USB OPERATION

Because of the unique requirements of the USB module, a different approach to clock operation is necessary. In previous PICmicro® devices, all core and peripheral clocks were driven by a single oscillator source; the usual sources were primary, secondary or the internal oscillator. With PIC18F2455/2550/4455/4550 devices, the primary oscillator becomes part of the USB module and cannot be associated to any other clock source. Thus, the USB module must be clocked from the primary clock source; however, the microcontroller core and other peripherals can be separately clocked from the secondary or internal oscillators as before.

Because of the timing requirements imposed by USB, an internal clock of either 6 MHz or 48 MHz is required while the USB module is enabled. Fortunately, the microcontroller and other peripherals are not required to run at this clock speed when using the primary oscillator. There are numerous options to achieve the USB module clock requirement and still provide flexibility for clocking the rest of the device from the primary oscillator source. These are detailed in Section 2.3 "Oscillator Settings for USB".

PIC18F2455/2550/4455/4550

FIGURE 2-1: PIC18F2455/2550/4455/4550 CLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2455/2550/4455/4550

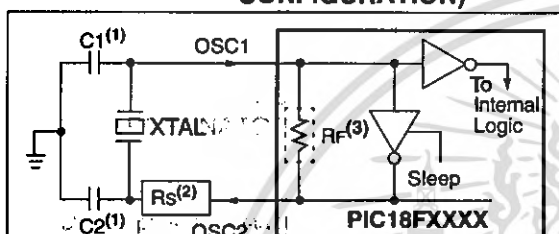
2.2.2 CRYSTAL OSCILLATOR/CERAMIC RESONATORS

In HS, HSPLL, XT and XTPLL Oscillator modes, a crystal or ceramic resonator is connected to the OSC1 and OSC2 pins to establish oscillation. Figure 2-2 shows the pin connections.

The oscillator design requires the use of a parallel cut crystal.

Note: Use of a series cut crystal may give a frequency out of the crystal manufacturer's specifications.

FIGURE 2-2: CRYSTAL/CERAMIC RESONATOR OPERATION (XT, HS OR HSPLL CONFIGURATION)



Note 1: See Table 2-1 and Table 2-2 for initial values of C1 and C2.

2: A series resistor (Rs) may be required for AT strip cut crystals.

3: RF varies with the oscillator mode chosen.

TABLE 2-2: CAPACITOR SELECTION FOR CRYSTAL OSCILLATOR

Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	C2
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF

Capacitor values are for design guidance only.

These capacitors were tested with the crystals listed below for basic start-up and operation. These values are not optimized.

Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.

See the notes following this table for additional information.

Crystals Used:

4 MHz

8 MHz

20 MHz

Note 1: Higher capacitance increases the stability of oscillator but also increases the start-up time.

2: When operating below 3V VDD, or when using certain ceramic resonators at any voltage, it may be necessary to use the HS mode or switch to a crystal oscillator.

3: Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.

4: Rs may be required to avoid overdriving crystals with low drive level specification.

5: Always verify oscillator performance over the VDD and temperature range that is expected for the application.

TABLE 2-1: CAPACITOR SELECTION FOR CERAMIC RESONATORS

Typical Capacitor Values Used:			
Mode	Freq	OSC1	OSC2
XT	4.0 MHz	33 pF	33 pF
HS	8.0 MHz	27 pF	27 pF
	16.0 MHz	22 pF	22 pF

Capacitor values are for design guidance only.

These capacitors were tested with the resonators listed below for basic start-up and operation. These values are not optimized.

Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.

See the notes following Table 2-2 for additional information.

Resonators Used:

4.0 MHz

8.0 MHz

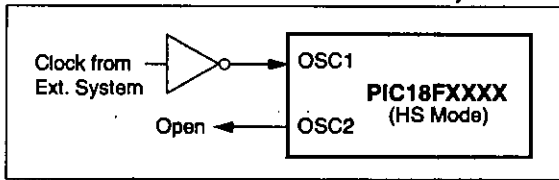
16.0 MHz

An internal postscaler allows users to select a clock frequency other than that of the crystal or resonator. Frequency division is determined by the CPUDIV Configuration bits. Users may select a clock frequency of the oscillator frequency, or 1/2, 1/3 or 1/4 of the frequency.

An external clock may also be used when the microcontroller is in HS Oscillator mode. In this case, the OSC2/CLKO pin is left open (Figure 2-3).

PIC18F2455/2550/4455/4550

FIGURE 2-3: EXTERNAL CLOCK INPUT OPERATION (HS OSC CONFIGURATION)

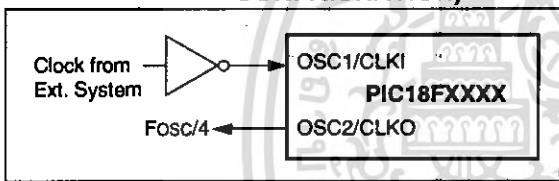


2.2.3 EXTERNAL CLOCK INPUT

The EC, ECIO, ECPLL and ECPIO Oscillator modes require an external clock source to be connected to the OSC1 pin. There is no oscillator start-up time required after a Power-on Reset or after an exit from Sleep mode.

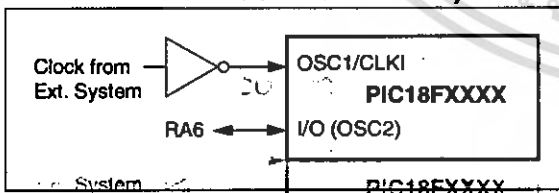
In the EC and ECPLL Oscillator modes, the oscillator frequency divided by 4 is available on the OSC2 pin. This signal may be used for test purposes or to synchronize other logic. Figure 2-4 shows the pin connections for the EC Oscillator mode.

FIGURE 2-4: EXTERNAL CLOCK INPUT OPERATION (EC AND ECPLL CONFIGURATION)



The ECIO and ECPIO Oscillator modes function like the EC and ECPLL modes, except that the OSC2 pin becomes an additional general purpose I/O pin. The I/O pin becomes bit 6 of PORTA (RA6). Figure 2-5 shows the pin connections for the ECIO Oscillator mode.

FIGURE 2-5: EXTERNAL CLOCK INPUT OPERATION (ECIO AND ECPIO CONFIGURATION)



The internal postscaler for reducing clock frequency in XT and HS modes is also available in EC and ECIO modes.

2.2.4 PLL FREQUENCY MULTIPLIER

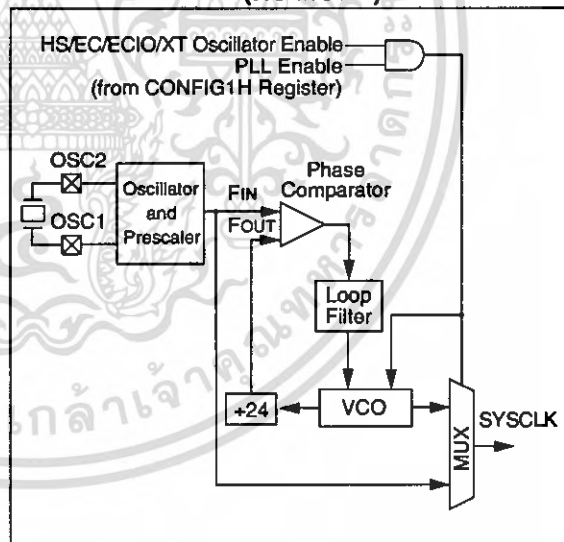
PIC18F2455/2550/4255/4550 devices include a Phase Locked Loop (PLL) circuit. This is provided specifically for USB applications with lower speed oscillators and can also be used as a microcontroller clock source.

The PLL is enabled in HSPLL, XTPLL, ECPLL and ECPIO Oscillator modes. It is designed to produce a fixed 96 MHz reference clock from a fixed 4 MHz input. The output can then be divided and used for both the USB and the microcontroller core clock. Because the PLL has a fixed frequency input and output, there are eight prescaling options to match the oscillator input frequency to the PLL.

There is also a separate postscaler option for deriving the microcontroller clock from the PLL. This allows the USB peripheral and microcontroller to use the same oscillator input and still operate at different clock speeds. In contrast to the postscaler for XT, HS and EC modes, the available options are 1/2, 1/3, 1/4 and 1/6 of the PLL output.

The HSPLL, ECPLL and ECPIO modes make use of the HS mode oscillator for frequencies up to 48 MHz. The prescaler divides the oscillator input by up to 12 to produce the 4 MHz drive for the PLL. The XTPLL mode can only use an input frequency of 4 MHz which drives the PLL directly.

FIGURE 2-6: PLL BLOCK DIAGRAM (HS MODE)



2.2.5 INTERNAL OSCILLATOR BLOCK

The PIC18F2455/2550/4455/4550 devices include an internal oscillator block which generates two different clock signals; either can be used as the microcontroller's clock source. If the USB peripheral is not used, the internal oscillator may eliminate the need for external oscillator circuits on the OSC1 and/or OSC2 pins.

The main output (INTOSC) is an 8 MHz clock source which can be used to directly drive the device clock. It also drives the INTOSC postscaler which can provide a range of clock frequencies from 31 kHz to 4 MHz. The INTOSC output is enabled when a clock frequency from 125 kHz to 8 MHz is selected.

The other clock source is the internal RC oscillator (INTRC) which provides a nominal 31 kHz output. INTRC is enabled if it is selected as the device clock source; it is also enabled automatically when any of the following are enabled:

- Power-up Timer
- Fail-Safe Clock Monitor
- Watchdog Timer
- Two-Speed Start-up

These features are discussed in greater detail in **Section 25.0 "Special Features of the CPU"**.

The clock source frequency (INTOSC direct, INTRC direct or INTOSC postscaler) is selected by configuring the IRCF bits of the OSCCON register (page 32).

2.2.5.1 Internal Oscillator Modes

When the internal oscillator is used as the microcontroller clock source, one of the other oscillator modes (External Clock or External Crystal/Resonator) must be used as the USB clock source. The choice of the USB clock source is determined by the particular internal oscillator mode.

There are four distinct modes available:

1. **INTHS mode:** The USB clock is provided by the oscillator in HS mode.
2. **INTXT mode:** The USB clock is provided by the oscillator in XT mode.
3. **INTCKO mode:** The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin outputs FOSC/4.
4. **INTIO mode:** The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin functions as a digital I/O (RA6).

Of these four modes, only INTIO mode frees up an additional pin (OSC2/CLKO/RA6) for port I/O use.

2.2.5.2 OSCTUNE Register

The internal oscillator's output has been calibrated at the factory but can be adjusted in the user's application. This is done by writing to the OSCTUNE register (Register 2-1). The tuning sensitivity is constant throughout the tuning range.

When the OSCTUNE register is modified, the INTOSC and INTRC frequencies will begin shifting to the new frequency. The INTRC clock will reach the new frequency within 8 clock cycles (approximately, $8 \times 32 \mu\text{s} = 256 \mu\text{s}$). The INTOSC clock will stabilize within 1 ms. Code execution continues during this shift. There is no indication that the shift has occurred.

The OSCTUNE register also contains the INTSRC bit. The INTSRC bit allows users to select which internal oscillator provides the clock source when the 31 kHz frequency option is selected. This is covered in greater detail in **Section 2.4.1 "Oscillator Control Register"**.

2.2.5.3 Internal Oscillator Output Frequency and Drift

The internal oscillator block is calibrated at the factory to produce an INTOSC output frequency of 8.0 MHz. However, this frequency may drift as VDD or temperature changes, which can affect the controller operation in a variety of ways.

The low-frequency INTRC oscillator operates independently of the INTOSC source. Any changes in INTOSC across voltage and temperature are not necessarily reflected by changes in INTRC and vice versa.

PIC18F2455/2550/4455/4550

REGISTER 2-1: OSCTUNE: OSCILLATOR TUNING REGISTER

R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INTSRC	—	—	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7 **INTSRC:** Internal Oscillator Low-Frequency Source Select bit
 1 = 31.25 kHz device clock derived from 8 MHz INTOSC source (divide-by-256 enabled)
 0 = 31 kHz device clock derived directly from INTRC internal oscillator

bit 6-5 **Unimplemented:** Read as '0'

bit 4-0 **TUN4:TUN0:** Frequency Tuning bits
 01111 = Maximum frequency
 .
 .
 00001
 00000 = Center frequency. Oscillator module is running at the calibrated frequency.
 11111
 .
 .
 10000 = Minimum frequency

2.2.5.4 Compensating for INTOSC Drift

It is possible to adjust the INTOSC frequency by modifying the value in the OSCTUNE register. This has no effect on the INTRC clock source frequency.

Tuning the INTOSC source requires knowing when to make the adjustment, in which direction it should be made and in some cases, how large a change is needed. When using the EUSART, for example, an adjustment may be required when it begins to generate framing errors or receives data with errors while in Asynchronous mode. Framing errors indicate that the device clock frequency is too high; to adjust for this, decrement the value in OSCTUNE to reduce the clock frequency. On the other hand, errors in data may suggest that the clock speed is too low; to compensate, increment OSCTUNE to increase the clock frequency.

It is also possible to verify device clock speed against a reference clock. Two timers may be used: one timer is clocked by the peripheral clock, while the other is clocked by a fixed reference source, such as the Timer1 oscillator. Both timers are cleared but the timer clocked by the reference generates interrupts. When

an interrupt occurs, the internally clocked timer is read and both timers are cleared. If the internally clocked timer value is greater than expected, then the internal oscillator block is running too fast. To adjust for this, decrement the OSCTUNE register.

Finally, a CCP module can use free-running Timer1 (or Timer3), clocked by the internal oscillator block and an external event with a known period (i.e., AC power frequency). The time of the first event is captured in the CCPRxH:CCPRxL registers and is recorded for use later. When the second event causes a capture, the time of the first event is subtracted from the time of the second event. Since the period of the external event is known, the time difference between events can be calculated.

If the measured time is much greater than the calculated time, the internal oscillator block is running too fast; to compensate, decrement the OSCTUNE register. If the measured time is much less than the calculated time, the internal oscillator block is running too slow; to compensate, increment the OSCTUNE register.

PIC18F2455/2550/4455/4550

2.3 Oscillator Settings for USB

When the PIC18F4550 is used for USB connectivity, it must have either a 6 MHz or 48 MHz clock for USB operation, depending on whether Low-Speed or Full-Speed mode is being used. This may require some forethought in selecting an oscillator frequency and programming the device.

The full range of possible oscillator configurations compatible with USB operation is shown in Table 2-3.

2.3.1 LOW-SPEED OPERATION

The USB clock for Low-Speed mode is derived from the primary oscillator chain and not directly from the PLL. It is divided by 4 to produce the actual 6 MHz clock. Because of this, the microcontroller can only use a clock frequency of 24 MHz when the USB module is

active and the controller clock source is one of the primary oscillator modes (XT, HS or EC, with or without the PLL).

This restriction does not apply if the microcontroller clock source is the secondary oscillator or internal oscillator block.

2.3.2 RUNNING DIFFERENT USB AND MICROCONTROLLER CLOCKS

The USB module, in either mode, can run asynchronously with respect to the microcontroller core and other peripherals. This means that applications can use the primary oscillator for the USB clock while the microcontroller runs from a separate clock source at a lower speed. If it is necessary to run the entire application from only one clock source, full-speed operation provides a greater selection of microcontroller clock frequencies.

TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION

Input Oscillator Frequency	PLL Division (PLL DIV2:PLL DIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
48 MHz	N/A ⁽¹⁾	EC, ECIO	None (00)	48 MHz
			+2 (01)	24 MHz
			+3 (10)	16 MHz
			+4 (11)	12 MHz
48 MHz LOW-SPEED OPERATION	+12 (111)	EC, ECIO	None (00)	48 MHz
			+2 (01)	24 MHz
			+3 (10)	16 MHz
			+4 (11)	12 MHz
		ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
			+6 (11)	16 MHz
40 MHz	+10 (110)	EC, ECIO	None (00)	40 MHz
			+2 (01)	20 MHz
			+3 (10)	13.33 MHz
			+4 (11)	10 MHz
		ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
			+6 (11)	16 MHz
24 MHz 40 MHz	+6 (101)	HS, EC, ECIO	None (00)	24 MHz
			+2 (01)	12 MHz
			+3 (10)	8 MHz
			+4 (11)	6 MHz
		HSPLL, ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
			+6 (11)	16 MHz

Legend: All clock frequencies, except 24 MHz, are exclusively associated with full-speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, USB clock of 6 MHz).

Note 1: Only valid when the USBDIV Configuration bit is cleared.

PIC18F2455/2550/4455/4550

TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION (CONTINUED)

Input Oscillator Frequency	PLL Division (PLLDIV2:PLLDIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
20 MHz	+5 (100)	HS, EC, ECIO	None (00)	20 MHz
			+2 (01)	10 MHz
			+3 (10)	6.67 MHz
			+4 (11)	5 MHz
		HSPLL, ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
16 MHz	+4 (011)	HS, EC, ECIO	None (00)	16 MHz
			+2 (01)	8 MHz
			+3 (10)	5.33 MHz
			+4 (11)	4 MHz
		HSPLL, ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
12 MHz	+3 (010)	HS, EC, ECIO	None (00)	12 MHz
			+2 (01)	6 MHz
			+3 (10)	4 MHz
			+4 (11)	3 MHz
		HSPLL, ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
8 MHz	+2 (001)	HS, EC, ECIO	None (00)	8 MHz
			+2 (01)	4 MHz
			+3 (10)	2.67 MHz
			+4 (11)	2 MHz
		HSPLL, ECPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
4 MHz	+1 (000)	XT, HS, EC, ECIO	None (00)	4 MHz
			+2 (01)	2 MHz
			+3 (10)	1.33 MHz
			+4 (11)	1 MHz
		HSPLL, ECPLL, XTPLL, ECPIO	+2 (00)	48 MHz
			+3 (01)	32 MHz
			+4 (10)	24 MHz
			+6 (11)	16 MHz

Legend: All clock frequencies, except 24 MHz, are exclusively associated with full-speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, ^R USB clock of 6 MHz).

Note 1: Only valid when the USBDIV Configuration bit is cleared.

2.4 Clock Sources and Oscillator Switching

Like previous PIC18 enhanced devices, the PIC18F2455/2550/4455/4550 family includes a feature that allows the device clock source to be switched from the main oscillator to an alternate low-frequency clock source. PIC18F2455/2550/4455/4550 devices offer two alternate clock sources. When an alternate clock source is enabled, the various power-managed operating modes are available.

Essentially, there are three clock sources for these devices:

- Primary oscillators
- Secondary oscillators
- Internal oscillator block

The **primary oscillators** include the External Crystal and Resonator modes, the External Clock modes and the internal oscillator block. The particular mode is defined by the FOSC3:FOSC0 Configuration bits. The details of these modes are covered earlier in this chapter.

The **secondary oscillators** are those external sources not connected to the OSC1 or OSC2 pins. These sources may continue to operate even after the controller is placed in a power-managed mode.

PIC18F2455/2550/4455/4550 devices offer the Timer1 oscillator as a secondary oscillator. This oscillator, in all power-managed modes, is often the time base for functions such as a Real-Time Clock. Most often, a 32.768 kHz watch crystal is connected between the RC0/T1OSO/T13CKI and RC1/T1OSI/UOE pins. Like the XT and HS oscillator mode circuits, loading capacitors are also connected from each pin to ground. The Timer1 oscillator is discussed in greater detail in **Section 12.3 "Timer1 Oscillator"**.

In addition to being a primary clock source, the **internal oscillator block** is available as a power-managed mode clock source. The INTRC source is also used as the clock source for several special features, such as the WDT and Fail-Safe Clock Monitor.

2.4.1 OSCILLATOR CONTROL REGISTER

The OSCCON register (Register 2-2) controls several aspects of the device clock's operation, both in full power operation and in power-managed modes.

The System Clock Select bits, SCS1:SCS0, select the clock source. The available clock sources are the primary clock (defined by the FOSC3:FOSC0 Configuration bits), the secondary clock (Timer1 oscillator) and the internal oscillator block. The clock source changes immediately after one or more of the bits is written to, following a brief clock transition interval. The SCS bits are cleared on all forms of Reset.

The Internal Oscillator Frequency Select bits, IRCF2:IRCF0, select the frequency output of the internal oscillator block to drive the device clock. The choices are the INTRC source, the INTOSC source (8 MHz) or one of the frequencies derived from the INTOSC postscaler (31 kHz to 4 MHz). If the internal oscillator block is supplying the device clock, changing the states of these bits will have an immediate change on the internal oscillator's output. On device Resets, the default output frequency of the internal oscillator block is set at 1 MHz.

When an output frequency of 31 kHz is selected (IRCF2:IRCF0 = 000), users may choose which internal oscillator acts as the source. This is done with the INTSRC bit in the OSCTUNE register (OSCTUNE<7>). Setting this bit selects INTOSC as a 31.25 kHz clock source by enabling the divide-by-256 output of the INTOSC postscaler. Clearing INTSRC selects INTRC (nominally 31 kHz) as the clock source.

This option allows users to select the tunable and more precise INTOSC as a clock source, while maintaining power savings with a very low clock speed. Regardless of the setting of INTSRC, INTRC always remains the clock source for features such as the Watchdog Timer and the Fail-Safe Clock Monitor.

The OSTS, IOFS and T1RUN bits indicate which clock source is currently providing the device clock. The OSTS bit indicates that the Oscillator Start-up Timer has timed out and the primary clock is providing the device clock in primary clock modes. The IOFS bit indicates when the internal oscillator block has stabilized and is providing the device clock in RC Clock modes. The T1RUN bit (T1CON<6>) indicates when the Timer1 oscillator is providing the device clock in secondary clock modes. In power-managed modes, only one of these three bits will be set at any time. If none of these bits are set, the INTRC is providing the clock or the internal oscillator block has just started and is not yet stable.

The IDLEN bit determines if the device goes into Sleep mode, or one of the Idle modes, when the SLEEP instruction is executed.

The use of the flag and control bits in the OSCCON register is discussed in more detail in **Section 3.0 "Power-Managed Modes"**.

Note 1: The Timer1 oscillator must be enabled to select the secondary clock source. The Timer1 oscillator is enabled by setting the T1OSCEN bit in the Timer1 Control register (T1CON<3>). If the Timer1 oscillator is not enabled, then any attempt to select a secondary clock source will be ignored.

Note 2: It is recommended that the Timer1 oscillator be operating and stable prior to switching to it as the clock source; otherwise, a very long delay may occur while the Timer1 oscillator starts.

PIC18F2455/2550/4455/4550

2.4.2 OSCILLATOR TRANSITIONS

PIC18F2455/2550/4455/4550 devices contain circuitry to prevent clock “glitches” when switching between clock sources. A short pause in the device clock occurs during the clock switch. The length of this pause is the

sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Clock transitions are discussed in greater detail in **Section 3.1.2 “Entering Power-Managed Modes”**.

REGISTER 2-2: OSCCON: OSCILLATOR CONTROL REGISTER

R/W-0	R/W-1	R/W-0	R/W-0	R ⁽¹⁾	R-0	R/W-0	R/W-0
IDLEN	IRCF2	IRCF1	IRCF0	OSTS	IOFS	SCS1	SCS0
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

- bit 7 **IDLEN:** Idle Enable bit
 - 1 = Device enters Idle mode on SLEEP instruction
 - 0 = Device enters Sleep mode on SLEEP instruction
- bit 6-4 **IRCF2:IRCF0:** Internal Oscillator Frequency Select bits
 - 111 = 8 MHz (INTOSC drives clock directly)
 - 110 = 4 MHz
 - 101 = 2 MHz
 - 100 = 1 MHz⁽³⁾
 - 011 = 500 kHz
 - 010 = 250 kHz
 - 001 = 125 kHz
 - 000 = 31 kHz (from either INTOSC/256 or INTRC directly)⁽²⁾
- bit 3 **OSTS:** Oscillator Start-up Time-out Status bit⁽¹⁾
 - 1 = Oscillator Start-up Timer time-out has expired; primary oscillator is running
 - 0 = Oscillator Start-up Timer time-out is running; primary oscillator is not ready
- bit 2 **IOFS:** INTOSC Frequency Stable bit
 - 1 = INTOSC frequency is stable
 - 0 = INTOSC frequency is not stable
- bit 1-0 **SCS1:SCS0:** System Clock Select bits
 - 1x = Internal oscillator
 - 01 = Timer1 oscillator
 - 00 = Primary oscillator

- Note 1:** Depends on the state of the IESO Configuration bit.
- Note 2:** Source selected by the INTSRC bit (OSCTUNE<7>), see text.
- Note 3:** Default output frequency of INTOSC on Reset.

0 = 250 kHz
 0.1 = 125 kHz

OSTS: Oscillator Start-up Time-out Status bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Effects of Power-Managed Modes on the Various Clock Sources

When PRI_IDLE mode is selected, the designated primary oscillator continues to run without interruption. For all other power-managed modes, the oscillator using the OSC1 pin is disabled. Unless the USB module is enabled, the OSC1 pin (and OSC2 pin if used by the oscillator) will stop oscillating.

In secondary clock modes (SEC_RUN and SEC_IDLE), the Timer1 oscillator is operating and providing the device clock. The Timer1 oscillator may also run in all power-managed modes if required to clock Timer1 or Timer3.

In internal oscillator modes (RC_RUN and RC_IDLE), the internal oscillator block provides the device clock source. The 31 kHz INTRC output can be used directly to provide the clock and may be enabled to support various special features regardless of the power-managed mode (see Section 25.2 "Watchdog Timer (WDT)", Section 25.3 "Two-Speed Start-up" and Section 25.4 "Fail-Safe Clock Monitor" for more information on WDT, Fail-Safe Clock Monitor and Two-Speed Start-up). The INTOSC output at 8 MHz may be used directly to clock the device or may be divided down by the postscaler. The INTOSC output is disabled if the clock is provided directly from the INTRC output.

Regardless of the Run or Idle mode selected, the USB clock source will continue to operate. If the device is operating from a crystal or resonator-based oscillator, that oscillator will continue to clock the USB module. The core and all other modules will switch to the new clock source.

If the Sleep mode is selected, all clock sources are stopped. Since all the transistor switching currents have been stopped, Sleep mode achieves the lowest current consumption of the device (only leakage currents).

Sleep mode should never be invoked while the USB module is operating and connected. The only exception is when the device has been issued a "Suspend"

command over the USB. Once the module has suspended operation and shifted to a low-power state, the microcontroller may be safely put into Sleep mode.

Enabling any on-chip feature that will operate during Sleep will increase the current consumed during Sleep. The INTRC is required to support WDT operation. The Timer1 oscillator may be operating to support a Real-Time Clock. Other features may be operating that do not require a device clock source (i.e., MSSP slave, PSP, INTn pins and others). Peripherals that may add significant current consumption are listed in Section 28.2 "DC Characteristics: Power-Down and Supply Current".

2.6 Power-up Delays

Power-up delays are controlled by two timers so that no external Reset circuitry is required for most applications. The delays ensure that the device is kept in Reset until the device power supply is stable under normal circumstances and the primary clock is operating and stable. For additional information on power-up delays, see Section 4.5 "Device Reset Timers".

The first timer is the Power-up Timer (PWRT), which provides a fixed delay on power-up (parameter 33, Table 28-12). It is enabled by clearing (= 0) the PWRTEN Configuration bit.

The second timer is the Oscillator Start-up Timer (OST), intended to keep the chip in Reset until the crystal oscillator is stable (XT and HS modes). The OST does this by counting 1024 oscillator cycles before allowing the oscillator to clock the device.

When the HSPLL Oscillator mode is selected, the device is kept in Reset for an additional 2 ms following the HS mode OST delay, so the PLL can lock to the incoming clock frequency.

There is a delay of interval, TcSD (parameter 38, Table 28-12), following POR, while the controller becomes ready to execute instructions. This delay runs concurrently with any other delays. This may be the only delay that occurs when any of the EC or internal oscillator modes are used as the primary clock source.

TABLE 2-4: OSC1 AND OSC2 PIN STATES IN SLEEP MODE

Oscillator Mode	OSC1 Pin	OSC2 Pin
INTCKO	Floating, pulled by external clock	At logic low (clock/4 output)
INTIO	Floating, pulled by external clock	Configured as PORTA, bit 6
ECIO, ECPIO	Floating, pulled by external clock	Configured as PORTA, bit 6
EC	Floating, pulled by external clock	At logic low (clock/4 output)
XT and HS	Feedback inverter disabled at quiescent voltage level	Feedback inverter disabled at quiescent voltage level

Note: See Table 4-2 in Section 4.0 "Reset" for time-outs due to Sleep and MCLR Reset.

PIC18F2455/2550/4455/4550

3.0 POWER-MANAGED MODES

PIC18F2455/2550/4455/4550 devices offer a total of seven operating modes for more efficient power management. These modes provide a variety of options for selective power conservation in applications where resources may be limited (i.e., battery-powered devices).

There are three categories of power-managed modes:

- Run modes
- Idle modes
- Sleep mode

These categories define which portions of the device are clocked and sometimes, what speed. The Run and Idle modes may use any of the three available clock sources (primary, secondary or internal oscillator block); the Sleep mode does not use a clock source.

The power-managed modes include several power-saving features offered on previous PICmicro® devices. One is the clock switching feature, offered in other PIC18 devices, allowing the controller to use the Timer1 oscillator in place of the primary oscillator. Also included is the Sleep mode, offered by all PICmicro devices, where all device clocks are stopped.

3.1 Selecting Power-Managed Modes

Selecting a power-managed mode requires two decisions: if the CPU is to be clocked or not and the selection of a clock source. The IDLEN bit (OSCCON<7>) controls CPU clocking, while the SCS1:SCS0 bits (OSCCON<1:0>) select the clock source. The individual modes, bit settings, clock sources and affected modules are summarized in Table 3-1.

TABLE 3-1: POWER-MANAGED MODES

Mode	OSCCON Bits		Module Clocking		Available Clock and Oscillator Source
	IDLEN(7)	SCS1:SCS0	CPU	Peripherals	
Sleep	0	N/A	Off	Off	None – all clocks are disabled
PRI_RUN	N/A	00	Clocked	Clocked	Primary – all oscillator modes. This is the normal full power execution mode.
SEC_RUN	N/A	01	Clocked	Clocked	Secondary – Timer1 oscillator
RC_RUN	N/A	1x	Clocked	Clocked	Internal oscillator block ⁽²⁾
PRI_IDLE	1	00	Off	Clocked	Primary – all oscillator modes
SEC_IDLE	1	01	Off	Clocked	Secondary – Timer1 oscillator
RC_IDLE	1	1x	Off	Clocked	Internal oscillator block ⁽²⁾

Note 1: IDLEN reflects its value when the SLEEP instruction is executed.

Note 2: Includes INTOSC and INTOSC postscaler, as well as the INTRC source.

3.1.1 CLOCK SOURCES

The SCS1:SCS0 bits allow the selection of one of three clock sources for power-managed modes. They are:

- The primary clock, as defined by the FOSC3:FOSC0 Configuration bits
- The secondary clock (the Timer1 oscillator)
- The internal oscillator block (for RC modes)

3.1.2 ENTERING POWER-MANAGED MODES

Switching from one power-managed mode to another begins by loading the OSCCON register. The SCS1:SCS0 bits select the clock source and determine which Run or Idle mode is to be used. Changing these bits causes an immediate switch to the new clock source, assuming that it is running. The switch may also be subject to clock transition delays. These are discussed in Section 3.1.3 “Clock Transitions and Status Indicators” and subsequent sections.

Entry to the power-managed Idle or Sleep modes is triggered by the execution of a SLEEP instruction. The actual mode that results depends on the status of the IDLEN bit.

Depending on the current mode and the mode being switched to, a change to a power-managed mode does not always require setting all of these bits. Many transitions may be done by changing the oscillator select bits, or changing the IDLEN bit, prior to issuing a SLEEP instruction. If the IDLEN bit is already configured correctly, it may only be necessary to perform a SLEEP instruction to switch to the desired mode.

TABLE 3-1: POWER-MANAGED MODES

PIC18F2455/2550/4455/4550

3.1.3 CLOCK TRANSITIONS AND STATUS INDICATORS

The length of the transition between clock sources is the sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Three bits indicate the current clock source and its status. They are:

- OSTS (OSCCON<3>)
- IOFS (OSCCON<2>)
- T1RUN (T1CON<6>)

In general, only one of these bits will be set while in a given power-managed mode. When the OSTS bit is set, the primary clock is providing the device clock. When the IOFS bit is set, the INTOSC output is providing a stable 8 MHz clock source to a divider that actually drives the device clock. When the T1RUN bit is set, the Timer1 oscillator is providing the clock. If none of these bits are set, then either the INTRC clock source is clocking the device, or the INTOSC source is not yet stable.

If the internal oscillator block is configured as the primary clock source by the FOSC3:FOSC0 Configuration bits, then both the OSTS and IOFS bits may be set when in PRI_RUN or PRI_IDLE modes. This indicates that the primary clock (INTOSC output) is generating a stable 8 MHz output. Entering another RC power-managed mode at the same frequency would clear the OSTS bit.

Note 1: Caution should be used when modifying a single IRCF bit. If VDD is less than 3V, it is possible to select a higher clock speed than is supported by the low VDD. Improper device operation may result if the VDD/FOSC specifications are violated.

2: Executing a SLEEP instruction does not necessarily place the device into Sleep mode. It acts as the trigger to place the controller into either the Sleep mode, or one of the Idle modes, depending on the setting of the IDLEN bit.

3.1.4 MULTIPLE SLEEP COMMANDS

The power-managed mode that is invoked with the SLEEP instruction is determined by the setting of the IDLEN bit at the time the instruction is executed. If another SLEEP instruction is executed, the device will enter the power-managed mode specified by IDLEN at that time. If IDLEN has changed, the device will enter the new power-managed mode specified by the new setting.

3.2 Run Modes

In the Run modes, clocks to both the core and peripherals are active. The difference between these modes is the clock source.

3.2.1 PRI_RUN MODE

The PRI_RUN mode is the normal, full power execution mode of the microcontroller. This is also the default mode upon a device Reset unless Two-Speed Start-up is enabled (see Section 25.3 "Two-Speed Start-up" for details). In this mode, the OSTS bit is set. The IOFS bit may be set if the internal oscillator block is the primary clock source (see Section 2.4.1 "Oscillator Control Register").

3.2.2 SEC_RUN MODE

The SEC_RUN mode is the compatible mode to the "clock switching" feature offered in other PIC18 devices. In this mode, the CPU and peripherals are clocked from the Timer1 oscillator. This gives users the option of lower power consumption while still using a high accuracy clock source.

SEC_RUN mode is entered by setting the SCS1:SCS0 bits to '01'. The device clock source is switched to the Timer1 oscillator (see Figure 3-1), the primary oscillator is shut down, the T1RUN bit (T1CON<6>) is set and the OSTS bit is cleared.

Note: The Timer1 oscillator should already be running prior to entering SEC_RUN mode. If the T1OSCEN bit is not set when the SCS1:SCS0 bits are set to '01', entry to SEC_RUN mode will not occur. If the Timer1 oscillator is enabled but not yet running, device clocks will be delayed until the oscillator has started. In such situations, initial oscillator operation is far from stable and unpredictable operation may result.

On transitions from SEC_RUN mode to PRI_RUN, the peripherals and CPU continue to be clocked from the Timer1 oscillator while the primary clock is started. When the primary clock becomes ready, a clock switch back to the primary clock occurs (see Figure 3-2). When the clock switch is complete, the T1RUN bit is cleared, the OSTS bit is set and the primary clock is providing the clock. The IDLEN and SCS bits are not affected by the wake-up; the Timer1 oscillator continues to run.

FIGURE 3-1: TRANSITION TIMING FOR ENTRY TO SEC_RUN MODE

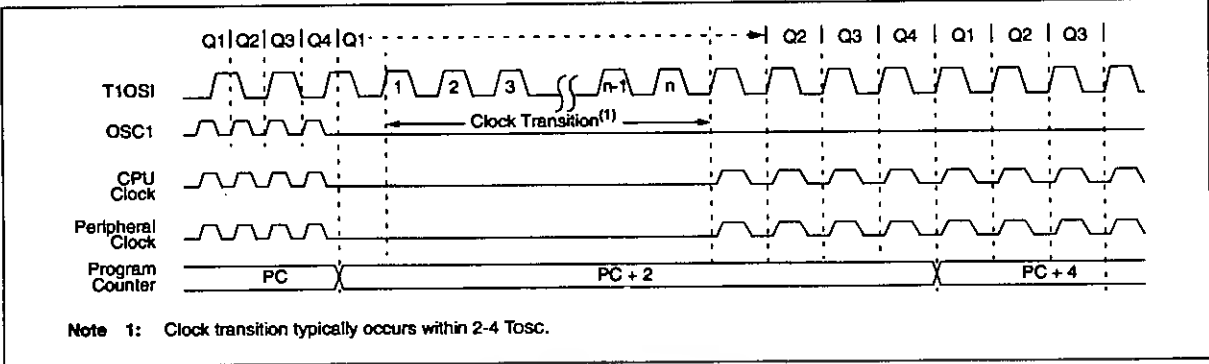
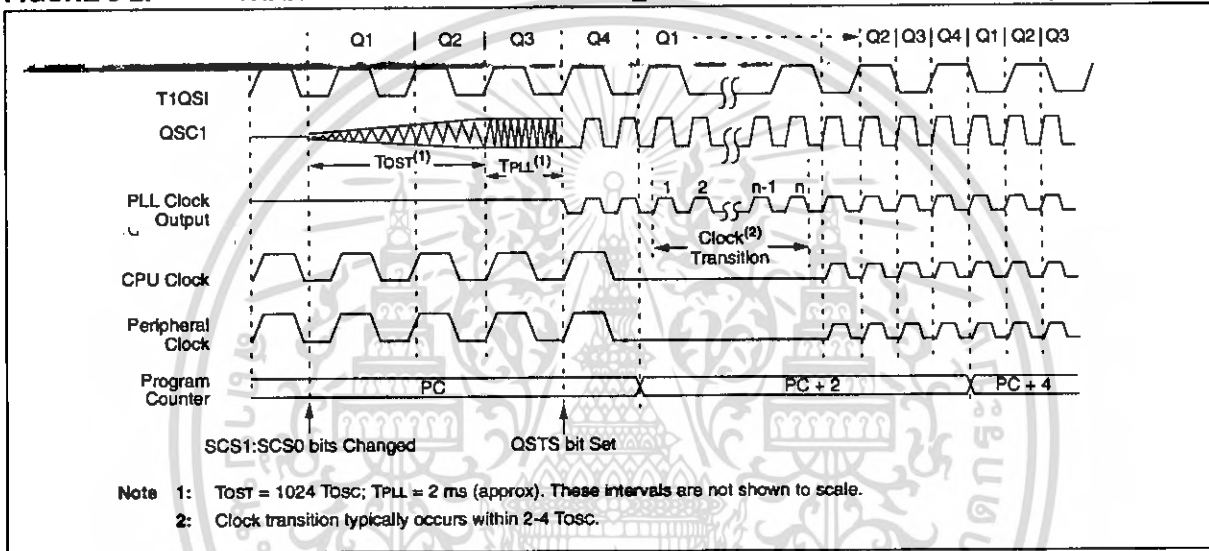


FIGURE 3-2: TRANSITION TIMING FROM SEC_RUN MODE TO PRI_RUN MODE (HSPLL)



3.2.3 RC_RUN MODE

In RC_RUN mode, the CPU and peripherals are clocked from the internal oscillator block using the INTOSC multiplexer; the primary clock is shut down. When using the INTRC source, this mode provides the best power conservation of all the Run modes while still executing code. It works well for user applications which are not highly timing sensitive or do not require high-speed clocks at all times.

If the primary clock source is the internal oscillator block (either INTRC or INTOSC), there are no distinguishable differences between the PRI_RUN and RC_RUN modes during execution. However, a clock switch delay will occur during entry to and exit from RC_RUN mode. Therefore, if the primary clock source is the internal oscillator block, the use of RC_RUN mode is not recommended.

This mode is entered by setting SCS1 to '1'. Although it is ignored, it is recommended that SCS0 also be cleared; this is to maintain software compatibility with future devices. When the clock source is switched to the INTOSC multiplexer (see Figure 3-3), the primary oscillator is shut down and the OSTS bit is cleared. The IRCF bits may be modified at any time to immediately change the clock speed.

Note: Caution should be used when modifying a single IRCF bit. If V_{DD} is less than 3V, it is possible to select a higher clock speed than is supported by the low V_{DD}. Improper device operation may result if the V_{DD}/F_{OSC} specifications are violated.

10.0 I/O PORTS

Depending on the device selected and features enabled, there are up to five ports available. Some pins of the I/O ports are multiplexed with an alternate function from the peripheral features on the device. In general, when a peripheral is enabled, that pin may not be used as a general purpose I/O pin:

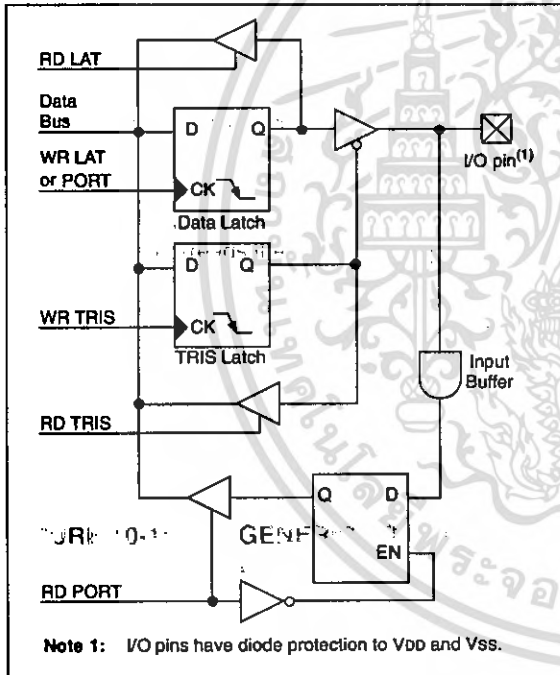
Each port has three registers for its operation. These registers are:

- TRIS register (data direction register)
- PORT register (reads the levels on the pins of the device)
- LAT register (output latch)

The Data Latch register (LATA) is useful for read-modify-write operations on the value driven by the I/O pins.

A simplified model of a generic I/O port, without the interfaces to other peripherals, is shown in Figure 10-1.

FIGURE 10-1: GENERIC I/O PORT OPERATION



10.1 PORTA, TRISA and LATA Registers

PORTA is an 8-bit wide, bidirectional port. The corresponding data direction register is TRISA. Setting a TRISA bit (= 1) will make the corresponding PORTA pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISA bit (= 0) will make the corresponding PORTA pin an output (i.e., put the contents of the output latch on the selected pin).

Reading the PORTA register reads the status of the pins; writing to it will write to the port latch.

The Data Latch register (LATA) is also memory mapped. Read-modify-write operations on the LATA register read and write the latched output value for PORTA.

The RA4 pin is multiplexed with the Timer0 module clock input to become the RA4/T0CKI pin. The RA6 pin is multiplexed with the main oscillator pin; it is enabled as an oscillator or I/O pin by the selection of the main oscillator in Configuration Register 1H (see Section 25.1 "Configuration Bits" for details). When not used as a port pin, RA6 and its associated TRIS and LAT bits are read as '0'.

RA4 is also multiplexed with the USB module; it serves as a receiver input from an external USB transceiver. For details on configuration of the USB module, see Section 17.2 "USB Status and Control".

Several PORTA pins are multiplexed with analog inputs, the analog VREF+ and VREF- inputs and the comparator voltage reference output. The operation of pins RA5 and RA3:RA0 as A/D converter inputs is selected by clearing/setting the control bits in the ADCON1 register (A/D Control Register 1).

Note: On a Power-on Reset, RA5 and RA3:RA0 are configured as analog inputs and read as '0'. RA4 is configured as a digital input.

All other PORTA pins have TTL input levels and full CMOS output drivers.

The TRISA register controls the direction of the RA pins, even when they are being used as analog inputs. The user must ensure the bits in the TRISA register are maintained set when using them as analog inputs.

EXAMPLE 10-1: INITIALIZING PORTA

```

CLRF   PORTA   ; Initialize PORTA by
              ; clearing output
              ; data latches
CLRF   LATA    ; Alternate method
              ; to clear output
              ; data latches
MOVLW  0Fh    ; Configure A/D
MOVWF  ADCON1  ; for digital inputs
MOVLW  07h    ; Configure comparators
MOVWF  CMCON   ; for digital input
MOVLW  0CFh   ; Value used to
              ; initialize data
              ; direction
MOVWF  TRISA   ; Set RA<3:0> as inputs
              ; RA<5:4> as outputs
    
```

PIC18F2455/2550/4455/4550

TABLE 10-1: PORTA I/O SUMMARY

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RA0/AN0	RA0	0	OUT	DIG	LATA<0> data output; not affected by analog input.
		1	IN	TTL	PORTA<0> data input; disabled when analog input enabled.
	AN0	1	IN	ANA	A/D input channel 0 and Comparator C1- input. Default configuration on POR; does not affect digital output.
RA1/AN1	RA1	0	OUT	DIG	LATA<1> data output; not affected by analog input.
		1	IN	TTL	PORTA<1> data input; reads '0' on POR.
	AN1	1	IN	ANA	A/D input channel 1 and Comparator C2- input. Default configuration on POR; does not affect digital output.
RA2/AN2/ VREF-/CVREF	RA2	0	OUT	DIG	LATA<2> data output; not affected by analog input. Disabled when CVREF output enabled.
		1	IN	TTL	PORTA<2> data input. Disabled when analog functions enabled; disabled when CVREF output enabled.
	AN2	1	IN	ANA	A/D input channel 2 and Comparator C2+ input. Default configuration on POR; not affected by analog output.
	VREF- CVREF	1 x	IN OUT	ANA ANA	A/D and comparator voltage reference low input. Comparator voltage reference output. Enabling this feature disables digital I/O.
RA3/AN3/ VREF+	RA3	0	OUT	DIG	LATA<3> data output; not affected by analog input.
		1	IN	TTL	PORTA<3> data input; disabled when analog input enabled.
	AN3	1	IN	ANA	A/D input channel 3 and Comparator C1+ input. Default configuration on POR.
	VREF+	1	IN	ANA	A/D and comparator voltage reference high input.
RA4/T0CKI/ C1OUT/RCV	RA4	0	OUT	DIG	LATA<4> data output; not affected by analog input.
		1	IN	ST	PORTA<4> data input; disabled when analog input enabled.
	T0CKI	1	IN	ST	Timer0 clock input.
	C1OUT	0	OUT	DIG	Comparator 1 output; takes priority over port data.
	RCV	x	IN	TTL	External USB transceiver RCV input.
RA5/AN4/SS/ HLVDIN/C2OUT	RA5	0	OUT	DIG	LATA<5> data output; not affected by analog input.
		1	IN	TTL	PORTA<5> data input; disabled when analog input enabled.
	AN4	1	IN	ANA	A/D input channel 4. Default configuration on POR.
	SS	1	IN	TTL	Slave select input for SSP (MSSP module).
	HLVDIN	1	IN	ANA	High/Low-Voltage Detect external trip point input.
	C2OUT	0	OUT	DIG	Comparator 2 output; takes priority over port data.
OSC2/CLKO/ RA6	OSC2	x	OUT	ANA	Main oscillator feedback output connection (all XT and HS modes).
	CLKO	x	OUT	DIG	System cycle clock output (Fosc/4); available in EC, ECPLL and INTCKO modes.
	RA6	0	OUT	DIG	LATA<6> data output. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.
1		IN	TTL	PORTA<6> data input. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.	

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

PIC18F2455/2550/4455/4550

TABLE 10-2: SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTA	—	RA6 ⁽¹⁾	RA5	RA4	RA3	RA2	RA1	RA0	54
LATA	—	LATA6 ⁽¹⁾	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	54
TRISA	—	TRISA6 ⁽¹⁾	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	54
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	52
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	53
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	53
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	55

Legend: — = unimplemented, read as '0'. Shaded cells are not used by PORTA.

Note 1: RA6 and its associated latch and data direction bits are enabled as I/O pins based on oscillator configuration; otherwise, they are read as '0'.



PIC18F2455/2550/4455/4550

10.2 PORTB, TRISB and LATB Registers

PORTB is an 8-bit wide, bidirectional port. The corresponding data direction register is TRISB. Setting a TRISB bit (= 1) will make the corresponding PORTB pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISB bit (= 0) will make the corresponding PORTB pin an output (i.e., put the contents of the output latch on the selected pin).

The Data Latch register (LATB) is also memory mapped. Read-modify-write operations on the LATB register read and write the latched output value for PORTB.

Each of the PORTB pins has a weak internal pull-up. A single control bit can turn on all the pull-ups. This is performed by clearing bit, RBPU (INTCON2<7>). The weak pull-up is automatically turned off when the port pin is configured as an output. The pull-ups are disabled on a Power-on Reset.

Note: On a Power-on Reset, RB4:RB0 are configured as analog inputs by default and read as '0'; RB7:RB5 are configured as digital inputs.

By programming the Configuration bit, PBADEN (CONFIG3H<1>), RB4:RB0 will alternatively be configured as digital inputs on POR.

Four of the PORTB pins (RB7:RB4) have an interrupt-on-change feature. Only pins configured as inputs can cause this interrupt to occur. Any RB7:RB4 pin configured as an output is excluded from the interrupt-on-change comparison. The pins are compared with the old value latched on the last read of PORTB. The "mismatch" outputs of RB7:RB4 are ORed together to generate the RB Port Change Interrupt with Flag bit, RBIF (INTCON<0>).

The interrupt-on-change can be used to wake the device from Sleep. The user, in the Interrupt Service Routine, can clear the interrupt in the following manner:

- Any read or write of PORTB (except with the MOVWF (ANY), PORTB instruction). This will end the mismatch condition.
- Clear flag bit, RBIF.

A mismatch condition will continue to set flag bit, RBIF. Reading PORTB will end the mismatch condition and allow flag bit, RBIF, to be cleared.

The interrupt-on-change feature is recommended for wake-up on key depression operation and operations where PORTB is only used for the interrupt-on-change feature. Polling of PORTB is not recommended while using the interrupt-on-change feature.

Pins, RB2 and RB3, are multiplexed with the USB peripheral and serve as the differential signal outputs for an external USB transceiver (TRIS configuration). Refer to Section 17.2.2.2 "External Transceiver" for additional information on configuring the USB module for operation with an external transceiver.

RB4 is multiplexed with CSSPP, the chip select function for the Streaming Parallel Port (SPP) – TRIS setting. Details of its operation are discussed in Section 18.0 "Streaming Parallel Port".

EXAMPLE 10-2: INITIALIZING PORTB

```
CLRF   PORTB   ; Initialize PORTB by
              ; clearing output
              ; data latches
CLRF   LATB    ; Alternate method
              ; to clear output
              ; data latches
MOVLW  0Eh    ; Set RB<4:0> as
MOVWF  ADCON1  ; digital I/O pins
              ; (required if config bit
              ; PBADEN is set)
MOVLW  0CFh   ; Value used to
MOVWF  TRISB  ; initialize data
              ; direction
MOVWF  TRISB  ; Set RB<3:0> as inputs
              ; RB<5:4> as outputs
              ; RB<7:6> as inputs
```

PIC18F2455/2550/4455/4550

TABLE 10-3: PORTB I/O SUMMARY

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RB0/AN12/ INT0/FLT0/ SDI/SDA	RB0	0	OUT	DIG	LATB<0> data output; not affected by analog input.
		1	IN	TTL	PORTB<0> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN12	1	IN	ANA	A/D input channel 12. ⁽¹⁾
	INT0	1	IN	ST	External interrupt 0 input.
	FLT0	1	IN	ST	Enhanced PWM Fault input (ECCP1 module); enabled in software.
	SDI	1	IN	ST	SPI data input (MSSP module).
	SDA	1	OUT	DIG	I ² C™ data output (MSSP module); takes priority over port data.
		1	IN	I ² C/SMB	I ² C data input (MSSP module); input type depends on module setting.
RB1/AN10/ INT1/SCK/ SCL	RB1	0	OUT	DIG	LATB<1> data output; not affected by analog input.
		1	IN	TTL	PORTB<1> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN10	1	IN	ANA	A/D input channel 10. ⁽¹⁾
	INT1	1	IN	ST	External interrupt 1 input.
	SCK	0	OUT	DIG	SPI clock output (MSSP module); takes priority over port data.
		1	IN	ST	SPI clock input (MSSP module).
	SCL	0	OUT	DIG	I ² C clock output (MSSP module); takes priority over port data.
1		IN	I ² C/SMB	I ² C clock input (MSSP module); input type depends on module setting.	
RB2/AN8/ INT2/VMO	RB2	0	OUT	DIG	LATB<2> data output; not affected by analog input.
		1	IN	TTL	PORTB<2> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN8	1	IN	ANA	A/D input channel 8. ⁽¹⁾
	INT2	1	IN	ST	External interrupt 2 input.
	VMO	0	OUT	DIG	External USB transceiver VMO data output.
RB3/AN9/ CCP2/VPO	RB3	0	OUT	DIG	LATB<3> data output; not affected by analog input.
		1	IN	TTL	PORTB<3> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN9	1	IN	ANA	A/D input channel 9. ⁽¹⁾
	CCP2 ⁽²⁾	0	OUT	DIG	CCP2 Compare and PWM output.
		1	IN	ST	CCP2 Capture input.
	VPO	0	OUT	DIG	External USB transceiver VPO data output.
RB4/AN11/ KBI0/CSSPP	RB4	0	OUT	DIG	LATB<4> data output; not affected by analog input.
		1	IN	TTL	PORTB<4> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. ⁽¹⁾
	AN11	1	IN	ANA	A/D input channel 11. ⁽¹⁾
	KBI0	1	IN	TTL	Interrupt-on-pin change.
	CSSPP ⁽⁴⁾	0	OUT	DIG	SPP chip select control output.
RB5/KBI1/ PGM	RB5	0	OUT	DIG	LATB<5> data output.
		1	IN	TTL	PORTB<5> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KBI1	1	IN	TTL	Interrupt-on-pin change.
	PGM	x	IN	ST	Single-Supply Programming mode entry (ICSP™). Enabled by LVP Configuration bit; all other pin functions disabled.

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, I²C/SMB = I²C/SMBus input buffer, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Configuration on POR is determined by PBAEN Configuration bit. Pins are configured as analog inputs when PBAEN is set and digital inputs when PBAEN is cleared.
- 2:** Alternate pin assignment for CCP2 when CCP2MX = 0. Default assignment is RC1.
- 3:** All other pin functions are disabled when ICSP™ or ICD operation is enabled.
- 4:** 40/44-pin devices only.

PIC18F2455/2550/4455/4550

TABLE 10-3: PORTB I/O SUMMARY (CONTINUED)

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RB6/KBI2/ PGC	RB6	0	OUT	DIG	LATB<6> data output.
		1	IN	TTL	PORTB<6> data input; weak pull-up when $\overline{\text{RBP}}\overline{\text{U}}$ bit is cleared.
	KBI2	1	IN	TTL	Interrupt-on-pin change.
	PGC	x	IN	ST	Serial execution (ICSP™) clock input for ICSP and ICD operation. ⁽³⁾
RB7/KBI3/ PGD	RB7	0	OUT	DIG	LATB<7> data output.
		1	IN	TTL	PORTB<7> data input; weak pull-up when $\overline{\text{RBP}}\overline{\text{U}}$ bit is cleared.
	KBI3	1	IN	TTL	Interrupt-on-pin change.
	PGD	x	OUT	DIG	Serial execution data output for ICSP and ICD operation. ⁽³⁾
x		IN	ST	Serial execution data input for ICSP and ICD operation. ⁽³⁾	

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, I²C/SMB = I²C/SMBus input buffer, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Configuration of PORTB is determined by PBAEN Configuration bit. Pins are configured as analog inputs when PBAEN is set and digital inputs when PBAEN is cleared.
- 2:** Alternate pin assignment for CCP2 when CCP2MX = 0. Default assignment is RC1.
- 3:** All other pin functions are disabled when ICSP™ or ICD operation is enabled.
- 4:** 40/44-pin devices only.

TABLE 10-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	54
LATB	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	54
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	54
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	51
INTCON2	RBRU1	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP	51
INTCON3	INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF	51
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	52
SPPCON ⁽¹⁾	—	—	—	—	—	—	SPPOWN	SPPEN	55
SPPCFG ⁽¹⁾	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	55
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	55

Legend: — = unimplemented, read as '0'. Shaded cells are not used by PORTB.

Note 1: These registers are unimplemented on 28-pin devices.

TABLE 10-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.3 PORTC, TRISC and LATC Registers

PORTC is a 7-bit wide, bidirectional port. The corresponding data direction register is TRISC. Setting a TRISC bit (= 1) will make the corresponding PORTC pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISC bit (= 0) will make the corresponding PORTC pin an output (i.e., put the contents of the output latch on the selected pin). In PIC18F2455/2550/4455/4550 devices, the RC3 pin is not implemented.

The Data Latch register (LATC) is also memory mapped. Read-modify-write operations on the LATC register read and write the latched output value for PORTC.

PORTC is primarily multiplexed with serial communication modules, including the EUSART, MSSP module and the USB module (Table 10-5). Except for RC4 and RC5, PORTC uses Schmitt Trigger input buffers.

Pins RC4 and RC5 are multiplexed with the USB module. Depending on the configuration of the module, they can serve as the differential data lines for the on-chip USB transceiver, or the data inputs from an external USB transceiver. Both RC4 and RC5 have TTL input buffers instead of the Schmitt Trigger buffers on the other pins.

Unlike other PORTC pins, RC4 and RC5 do not have TRISC bits associated with them. As digital ports, they can only function as digital inputs. When configured for USB operation, the data direction is determined by the configuration and status of the USB module at a given time. If an external transceiver is used, RC4 and RC5 always function as inputs from the transceiver. If the on-chip transceiver is used, the data direction is determined by the operation being performed by the module at that time.

When the external transceiver is enabled, RC2 also serves as the output enable control to the transceiver. Additional information on configuring USB options is provided in Section 17.2.2.2 "External Transceiver".

When enabling peripheral functions on PORTC pins other than RC4 and RC5, care should be taken in defining the TRIS bits. Some peripherals override the TRIS bit to make a pin an output, while other peripherals override the TRIS bit to make a pin an input. The user should refer to the corresponding peripheral section for the correct TRIS bit settings.

Note: On a Power-on Reset, these pins, except RC4 and RC5, are configured as digital inputs. To use pins RC4 and RC5 as digital inputs, the USB module must be disabled (UCON<3> = 0) and the on-chip USB transceiver must be disabled (UCFG<3> = 1).

The contents of the TRISC register are affected by peripheral overrides. Reading TRISC always returns the current contents, even though a peripheral device may be overriding one or more of the pins.

EXAMPLE 10-3: INITIALIZING PORTC

```
CLRF   PORTC    ; Initialize PORTC by
                ; clearing output
                ; data latches
CLRF   LATC     ; Alternate method
                ; to clear output
                ; data latches
MOVLW  07h     ; Value used to
                ; initialize data
                ; direction
MOVWF  TRISC    ; RC<5:0> as outputs
                ; RC<7:6> as inputs
```

Unlike other PORTC pins, RC4 and RC5 do not have TRISC bits associated with them.

As digital ports, they can only function as digital inputs.

When configured for USB operation, the data direction is determined by the configuration and status of the USB module at a given time.

If an external transceiver is used, RC4 and RC5 always function as inputs from the transceiver.

If the on-chip transceiver is used, the data direction is determined by the operation being performed by the module at that time.

When the external transceiver is enabled, RC2 also serves as the output enable control to the transceiver.

PIC18F2455/2550/4455/4550

TABLE 10-5: PORTC I/O SUMMARY

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RC0/T1OSO/ T13CKI	RC0	0	OUT	DIG	LATC<0> data output.
		1	IN	ST	PORTC<0> data input.
	T1OSO	x	OUT	ANA	Timer1 oscillator output; enabled when Timer1 oscillator enabled. Disables digital I/O.
	T13CKI	1	IN	ST	Timer1/Timer3 counter input.
RC1/T1OSI/ CCP2/UOE	RC1	0	OUT	DIG	LATC<1> data output.
		1	IN	ST	PORTC<1> data input.
	T1OSI	x	IN	ANA	Timer1 oscillator input; enabled when Timer1 oscillator enabled. Disables digital I/O.
	CCP2 ⁽¹⁾	0	OUT	DIG	CCP2 Compare and PWM output; takes priority over port data.
		1	IN	ST	CCP2 Capture input.
UOE	0	OUT	DIG	External USB transceiver \overline{OE} output.	
RC2/CCP1/ P1A	RC2	0	OUT	DIG	LATC<2> data output.
		1	IN	ST	PORTC<2> data input.
	CCP1	0	OUT	DIG	ECCP1 Compare and PWM output; takes priority over port data.
		1	IN	ST	ECCP1 Capture input.
	P1A ⁽³⁾	0	OUT	DIG	ECCP1 Enhanced PWM output, channel A; takes priority over port data. May be configured for tri-state during Enhanced PWM shutdown events.
RC4/D-/VM	RC4	— ⁽²⁾	IN	TTL	PORTC<4> data input; disabled when USB module or on-chip transceiver are enabled.
	D-	— ⁽²⁾	OUT	XCVR	USB bus differential minus line output (internal transceiver).
		— ⁽²⁾	IN	XCVR	USB bus differential minus line input (internal transceiver).
	VM	— ⁽²⁾	IN	TTL	External USB transceiver VM input.
RC5/D+/VP	RC5	— ⁽²⁾	IN	TTL	PORTC<5> data input; disabled when USB module or on-chip transceiver are enabled.
	D+	— ⁽²⁾	OUT	XCVR	USB bus differential plus line output (internal transceiver).
		— ⁽²⁾	IN	XCVR	USB bus differential plus line input (internal transceiver).
	VP	— ⁽²⁾	IN	TTL	External USB transceiver VP input.
RC6/TX/CK	RC6	0	OUT	DIG	LATC<6> data output.
		1	IN	ST	PORTC<6> data input.
	TX	0	OUT	DIG	Asynchronous serial transmit data output (EUSART module); takes priority over port data. User must configure as output.
	CK	0	OUT	DIG	Synchronous serial clock output (EUSART module); takes priority over port data.
	P1A ⁽³⁾	1	IN	ST	Synchronous serial clock input (EUSART module).

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, XCVR = USB transceiver, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Default pin assignment. Alternate pin assignment is RB3 (when CCP2MX = 0).
Note 2: RC4 and RC5 do not have corresponding TRISC bits. In Port mode, these pins are input only. USB data direction is determined by the USB configuration.
Note 3: 40/44-pin devices only.

PIC18F2455/2550/4455/4550

TABLE 10-5: PORTC I/O SUMMARY (CONTINUED)

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RC7/RX/DT/ SDO	RC7	0	OUT	DIG	LATC<7> data output.
		1	IN	ST	PORTC<7> data input.
	RX	1	IN	ST	Asynchronous serial receive data input (EUSART module).
	DT	1	OUT	DIG	Synchronous serial data output (EUSART module); takes priority over SPI and port data.
		1	IN	ST	Synchronous serial data input (EUSART module). User must configure as an input.
	SDO	0	OUT	DIG	SPI data output (MSSP module); takes priority over port data.

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, XCVR = USB transceiver, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Default pin assignment. Alternate pin assignment is RB3 (when CCP2MX = 0).
Note 2: RC4 and RC5 do not have corresponding TRISC bits. In Port mode, these pins are input only. USB data direction is determined by the USB configuration.
Note 3: 40/44-pin devices only.

TABLE 10-6: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTC	RC7	RC6	RC5 ⁽¹⁾	RC4 ⁽¹⁾	RC3	RC2	RC1	RC0	54
LATC	LATC7	LATC6	—	—	—	LATC2	LATC1	LATC0	54
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	54
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	55

Legend: — = unimplemented, read as '0'. Shaded cells are not used by PORTC.
Note 1: RC5 and RC4 are only available as port pins when the USB module is disabled (UCON<3> = 0).

PIC18F2455/2550/4455/4550

10.4 PORTD, TRISD and LATD Registers

Note: PORTD is only available on 40/44-pin devices.

PORTD is an 8-bit wide, bidirectional port. The corresponding data direction register is TRISD. Setting a TRISD bit (= 1) will make the corresponding PORTD pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISD bit (= 0) will make the corresponding PORTD pin an output (i.e., put the contents of the output latch on the selected pin).

The Data Latch register (LATD) is also memory mapped. Read-modify-write operations on the LATD register read and write the latched output value for PORTD.

All pins on PORTD are implemented with Schmitt Trigger input buffers. Each pin is individually configurable as an input or output.

Each of the PORTD pins has a weak internal pull-up. A single control bit, RDPUR (PORTE<7>), can turn on all the pull-ups. This is performed by setting RDPUR. The weak pull-up is automatically turned off when the port pin is configured as a digital output or as one of the other multiplexed peripherals. The pull-ups are disabled on a Power-on Reset. The PORTE register is shown in Section 10.5 "PORTE, TRISE and LATE Registers".

Three of the PORTD pins are multiplexed with outputs, P1B, P1C and P1D, of the Enhanced CCP module. The operation of these additional PWM output pins is covered in greater detail in Section 16.0 "Enhanced Capture/Compare/PWM (ECCP) Module".

Note: On a Power-on Reset, these pins are configured as digital inputs.

PORTD can also be configured as an 8-bit wide Streaming Parallel Port (SPP). In this mode, the input buffers are TTL. For additional information on configuration and uses of the SPP, see Section 18.0 "Streaming Parallel Port".

Note: When the Enhanced PWM mode is used with either dual or quad outputs, the MSSP functions of PORTD are automatically disabled.

EXAMPLE 10-4: INITIALIZING PORTD

```
CLRF   PORTD   ; Initialize PORTD by
                ; clearing output
                ; data latches
CLRF   LATD    ; Alternate method
                ; to clear output
                ; data latches
MOVLW  0CFh   ; Value used to
                ; initialize data
                ; direction
MOVWF  TRISD  ; Set RD<3:0> as inputs
                ; RD<5:4> as outputs
                ; RD<7:6> as inputs
```

PIC18F2455/2550/4455/4550

TABLE 10-7: PORTD I/O SUMMARY

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RD0/SPP0	RD0	0	OUT	DIG	LATD<0> data output.
		1	IN	ST	PORTD<0> data input.
	SPP0	1	OUT	DIG	SPP<0> output data; takes priority over port data.
		1	IN	TTL	SPP<0> input data.
RD1/SPP1	RD1	0	OUT	DIG	LATD<1> data output.
		1	IN	ST	PORTD<1> data input.
	SPP1	1	OUT	DIG	SPP<1> output data; takes priority over port data.
		1	IN	TTL	SPP<1> input data.
RD2/SPP2	RD2	0	OUT	DIG	LATD<2> data output.
		1	IN	ST	PORTD<2> data input.
	SPP2	1	OUT	DIG	SPP<2> output data; takes priority over port data.
		1	IN	TTL	SPP<2> input data.
RD3/SPP3	RD3	0	OUT	DIG	LATD<3> data output.
		1	IN	ST	PORTD<3> data input.
	SPP3	1	OUT	DIG	SPP<3> output data; takes priority over port data.
		1	IN	TTL	SPP<3> input data.
RD4/SPP4	RD4	0	OUT	DIG	LATD<4> data output.
		1	IN	ST	PORTD<4> data input.
	SPP4	1	OUT	DIG	SPP<4> output data; takes priority over port data.
		1	IN	TTL	SPP<4> input data.
RD5/SPP5/P1B	RD5	0	OUT	DIG	LATD<5> data output.
		1	IN	ST	PORTD<5> data input.
	SPP5	1	OUT	DIG	SPP<5> output data; takes priority over port data.
		1	IN	TTL	SPP<5> input data.
P1B	0	OUT	DIG	ECCP1 Enhanced PWM output, channel B; takes priority over port and SPP data. ⁽¹⁾	
RD6/SPP6/P1C	RD6	0	OUT	DIG	LATD<6> data output.
		1	IN	ST	PORTD<6> data input.
	SPP6	1	OUT	DIG	SPP<6> output data; takes priority over port data.
		1	IN	TTL	SPP<6> input data.
P1C	0	OUT	DIG	ECCP1 Enhanced PWM output, channel C; takes priority over port and SPP data. ⁽¹⁾	
RD7/SPP7/P1D	RD7	0	OUT	DIG	LATD<7> data output.
		1	IN	ST	PORTD<7> data input.
	SPP7	1	OUT	DIG	SPP<7> output data; takes priority over port data.
		1	IN	TTL	SPP<7> input data.
P1D	0	OUT	DIG	ECCP1 Enhanced PWM output, channel D; takes priority over port and SPP data. ⁽¹⁾	

Legend: OUT = Output, IN = Input, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input

Note 1: May be configured for tri-state during Enhanced PWM shutdown events.

RD_n

SPP_n

PIC18F2455/2550/4455/4550

TABLE 10-8: SUMMARY OF REGISTERS ASSOCIATED WITH PORTD

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTD ⁽³⁾	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	54
LATD ⁽³⁾	LATD7	LATD6	LATD5	LATD4	LATD3	LATD2	LATD1	LATD0	54
TRISD ⁽³⁾	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	54
PORTE	RDPU ⁽³⁾	—	—	—	RE3 ^(1,2)	RE2 ⁽³⁾	RE1 ⁽³⁾	RE0 ⁽³⁾	54
CCP1CON	P1M1 ⁽³⁾	P1M0 ⁽³⁾	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	53
SPPCON ⁽³⁾	—	—	—	—	—	—	SPPOWN	SPPEN	55

Legend: — = unimplemented, read as '0'. Shaded cells are not used by PORTD.

Note 1: Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

2: RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).

3: These registers and/or bits are unimplemented on 28-pin devices.



PIC18F2455/2550/4455/4550

10.5 PORTE, TRISE and LATE Registers

Depending on the particular PIC18F2455/2550/4455/4550 device selected, PORTE is implemented in two different ways.

For 40/44-pin devices, PORTE is a 4-bit wide port. Three pins (RE0/AN5/CK1SPP, RE1/AN6/CK2SPP and RE2/AN7/OESPP) are individually configurable as inputs or outputs. These pins have Schmitt Trigger input buffers. When selected as an analog input, these pins will read as '0's.

The corresponding data direction register is TRISE. Setting a TRISE bit (= 1) will make the corresponding PORTE pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISE bit (= 0) will make the corresponding PORTE pin an output (i.e., put the contents of the output latch on the selected pin).

In addition to port data, the PORTE register (Register 10-1) also contains the RDPU control bit (PORTE<7>); this enables or disables the weak pull-ups on PORTD.

TRISE controls the direction of the RE pins, even when they are being used as analog inputs. The user must make sure to keep the pins configured as inputs when using them as analog inputs.

Note: On a Power-on Reset, RE2:RE0 are configured as analog inputs.

The Data Latch register (LATE) is also memory mapped. Read-modify-write operations on the LATE register read and write the latched output value for PORTE.

REGISTER 10-1: PORTE REGISTER

R/W-0	U-0	U-0	U-0	R/W-x	R/W-0	R/W-0	R/W-0
RDPU ⁽³⁾	—	—	—	RE3 ^(1,2)	RE2 ⁽³⁾	RE1 ⁽³⁾	RE0 ⁽³⁾
bit 7							bit 0

Legend:
 R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR0 as implemented '0' = Bit is cleared x = Bit is unknown

- bit 7 **RDPU:** PORTD Pull-up Enable bit
 1 = PORTD pull-ups are enabled by individual port latch values
 0 = All PORTD pull-ups are disabled
- bit 6-4 **Unimplemented:** Read as '0'
- bit 3-0 **RE3:RE0:** PORTE Data Input bits^(1,2,3)

- Note:**
- 1: Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0); otherwise, read as '0'.
 - 2: RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).
 - 3: Unimplemented in 28-pin devices; read as '0'.

The fourth pin of PORTE (MCLR/PP/RE3) is an input only pin. Its operation is controlled by the MCLRE Configuration bit. When selected as a port pin (MCLRE = 0), it functions as a digital input only pin; as such, it does not have TRIS or LAT bits associated with its operation. Otherwise, it functions as the device's Master Clear input. In either configuration, RE3 also functions as the programming voltage input during programming.

Note: On a Power-on Reset, RE3 is enabled as a digital input only if Master Clear functionality is disabled.

EXAMPLE 10-5: INITIALIZING PORTE

```

CLRF   PORTE   ; Initialize PORTE by
           ; clearing output
           ; data latches
CLRF   LATE    ; Alternate method
           ; to clear output
           ; data latches
MOVLW  0Ah    ; Configure A/D
MOVWF  ADCON1 ; for digital inputs
MOVLW  03h    ; Value used to
           ; initialize data
           ; direction
MOVLW  07h    ; Turn off
MOVWF  CMCON  ; comparators
MOVWF  TRISC  ; Set RE<0> as inputs
           ; RE<1> as outputs
           ; RE<2> as inputs
    
```

10.5.1 PORTE IN 28-PIN DEVICES

For 28-pin devices, PORTE is only available when Master Clear functionality is disabled (MCLRE = 0). In these cases, PORTE is a single bit, input only port comprised of RE3 only. The pin operates as previously described.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่สามารถใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2455/2550/4455/4550

TABLE 10-9: PORTE I/O SUMMARY

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RE0/AN5/ CK1SPP	RE0	0	OUT	DIG	LATE<0> data output; not affected by analog input.
		1	IN	ST	PORTE<0> data input; disabled when analog input enabled.
	AN5	1	IN	ANA	A/D input channel 5; default configuration on POR.
	CK1SPP	0	OUT	DIG	SPP clock 1 output (SPP enabled).
RE1/AN6/ CK2SPP	RE1	0	OUT	DIG	LATE<1> data output; not affected by analog input.
		1	IN	ST	PORTE<1> data input; disabled when analog input enabled.
	AN6	1	IN	ANA	A/D input channel 6; default configuration on POR.
	CK2SPP	0	OUT	DIG	SPP clock 2 output (SPP enabled).
RE2/AN7/ OESPP	RE2	0	OUT	DIG	LATE<2> data output; not affected by analog input.
		1	IN	ST	PORTE<2> data input; disabled when analog input enabled.
	AN7	1	IN	ANA	A/D input channel 7; default configuration on POR.
	OESPP	0	OUT	DIG	SPP enable output (SPP enabled).
MCLR/VPP/ RE3	MCLR	—(1)	IN	ST	External Master Clear input; enabled when MCLRE Configuration bit is set.
	VPP	—(1)	IN	ANA	High-voltage detection, used for ICSP™ mode entry detection. Always available regardless of pin mode.
	RE3	—(1)	IN	ST	PORTE<3> data input; enabled when MCLRE Configuration bit is clear.

Legend: OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input

Note 1: RE3 does not have a corresponding TRISE<3> bit. This pin is always an input regardless of mode.

TABLE 10-10: SUMMARY OF REGISTERS ASSOCIATED WITH PORTE

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTE ⁽¹⁾	RDP0 ⁽³⁾	—	—	—	RE3 ^(1,2)	RE2 ⁽³⁾	RE1 ⁽³⁾	RE0 ⁽³⁾	54
LATE ⁽³⁾	—	—	—	—	—	LATE2	LATE1	LATE0	54
TRISE ⁽³⁾	—	—	—	—	—	TRISE2	TRISE1	TRISE0	54
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	52
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	53
SPPCON ⁽³⁾	—	—	—	—	—	—	SPPDOWN	SPPEN	55
SPPCFG ⁽³⁾	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	55

Legend: — = unimplemented, read as '0'. Shaded cells are not used by PORTE.

Note 1: Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

2: RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).

3: These registers or bits are unimplemented on 28-pin devices.

PIC18F2455/2550/4455/4550

21.0 10-BIT ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

The Analog-to-Digital (A/D) converter module has 10 inputs for the 28-pin devices and 13 for the 40/44-pin devices. This module allows conversion of an analog input signal to a corresponding 10-bit digital number.

The module has five registers:

- A/D Result High Register (ADRESH)
- A/D Result Low Register (ADRESL)
- A/D Control Register 0 (ADCON0)
- A/D Control Register 1 (ADCON1)
- A/D Control Register 2 (ADCON2)

The ADCON0 register, shown in Register 21-1, controls the operation of the A/D module. The ADCON1 register, shown in Register 21-2, configures the functions of the port pins. The ADCON2 register, shown in Register 21-3, configures the A/D clock source, programmed acquisition time and justification.

REGISTER 21-1: ADCON0: A/D CONTROL REGISTER 0

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADON	GO/DONE	CHS0	CHS1	CHS2	CHS3	ADRESH[10:0] ANALOG INPUT SELECT REGISTER 21-2	
bit 7							bit 0

Legend:

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR
'1' = Bit is set
'0' = Bit is cleared
x = Bit is unknown

- bit 7-6 **Unimplemented; Read as '0'**
- bit 5-2 **CHS3:CHS0: Analog Channel Select bits**
- 0000 = Channel 0 (AN0)
0001 = Channel 1 (AN1)
0010 = Channel 2 (AN2)
0011 = Channel 3 (AN3)
0100 = Channel 4 (AN4)
0101 = Channel 5 (AN5)^(1,2)
0110 = Channel 6 (AN6)^(1,2)
0111 = Channel 7 (AN7)^(1,2)
1000 = Channel 8 (AN8)
1001 = Channel 9 (AN9)
1010 = Channel 10 (AN10)
1011 = Channel 11 (AN11)
1100 = Channel 12 (AN12)
1101 = Unimplemented⁽²⁾
1110 = Unimplemented⁽²⁾
1111 = Unimplemented⁽²⁾
- bit 1 **GO/DONE: A/D Conversion Status bit**
- When ADON = 1:
1 = A/D conversion in progress
0 = A/D idle
- bit 0 **ADON: A/D On bit**
- 1 = A/D converter module is enabled
0 = A/D converter module is disabled

- Note 1:** These channels are not implemented on 28-pin devices.
Note 2: Performing a conversion on unimplemented channels will return a floating input measurement.

PIC18F2455/2550/4455/4550

REGISTER 21-2: ADCON1: A/D CONTROL REGISTER 1

U-0	U-0	R/W-0	R/W-0	R/W-0 ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾
—	—	VCFG0	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

- bit 7-6 **Unimplemented:** Read as '0'
- bit 5 **VCFG0:** Voltage Reference Configuration bit (VREF- source)
 1 = VREF- (AN2)
 0 = VSS
- bit 4 **VCFG0:** Voltage Reference Configuration bit (VREF+ source)
 1 = VREF+ (AN3)
 0 = VDD
- bit 3-0 **PCFG3:PCFG0:** A/D Port Configuration Control bits:

PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7 ⁽²⁾	AN6 ⁽²⁾	AN5 ⁽²⁾	AN4	AN3	AN2	AN1	AN0
0000 ⁽¹⁾	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111 ⁽¹⁾	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

A = Analog input

D = Digital I/O

- Note 1:** The POR value of the PCFG bits depends on the value of the PBA DEN Configuration bit. When PBA DEN = 1, PCFG<3:0> = 0000; when PBA DEN = 0, PCFG<3:0> = 0111.
- Note 2:** AN5 through AN7 are available only on 40/44-pin devices.

PIC18F2455/2550/4455/4550

REGISTER 21-3: ADCON2: A/D CONTROL REGISTER 2

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

- bit 7 **ADFM: A/D Result Format Select bit**
 1 = Right justified
 0 = Left justified
- bit 6 **Unimplemented: Read as '0'**
- bit 5-3 **ACQT2:ACQT0: A/D Acquisition Time Select bits**
 111 = 20 TAD
 110 = 16 TAD
 101 = 12 TAD
 100 = 8 TAD
 011 = 6 TAD
 010 = 4 TAD
 001 = 2 TAD
 000 = 0 TAD⁽¹⁾
- bit 2-0 **ADCS2:ADCS0: A/D Conversion Clock Select bits**
 111 = FRC (clock derived from A/D RC oscillator)⁽¹⁾
 110 = FOSC/64
 101 = FOSC/16
 100 = FOSC/4
 011 = FRC (clock derived from A/D RC oscillator)⁽¹⁾
 010 = FOSC/32
 001 = FOSC/8
 000 = FOSC/2

Note 1: If the A/D FRC clock source is selected, a delay of one T_{CY} (instruction cycle) is added before the A/D clock starts. This allows the SLEEP instruction to be executed before starting a conversion.

PIC18F2455/2550/4455/4550

The analog reference voltage is software selectable to either the device's positive and negative supply voltage (VDD and VSS) or the voltage level on the RA3/AN3/VREF+ and RA2/AN2/VREF-/CVREF pins.

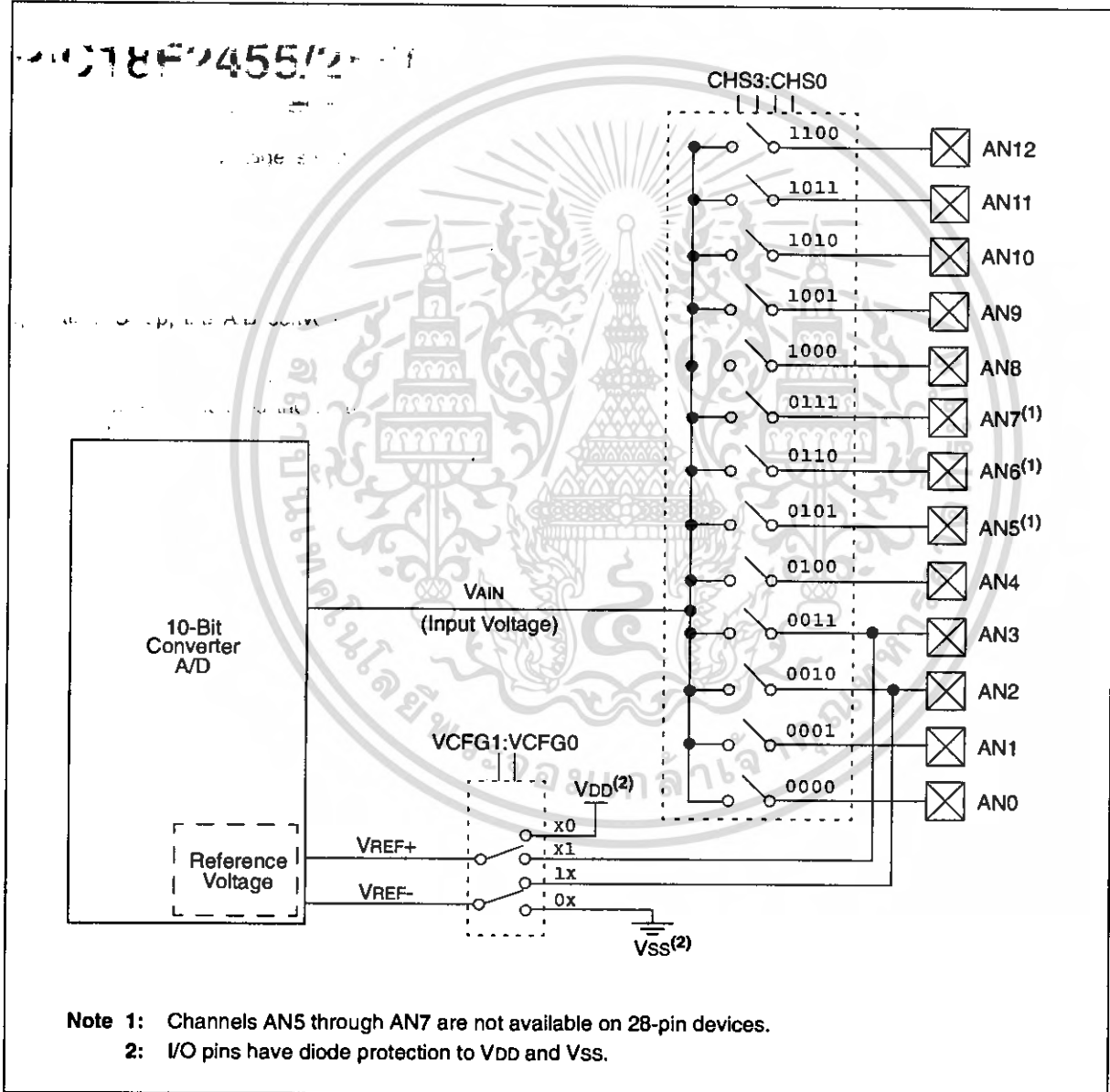
The A/D converter has a unique feature of being able to operate while the device is in Sleep mode. To operate in Sleep, the A/D conversion clock must be derived from the A/D's internal RC oscillator.

The output of the sample and hold is the input into the converter, which generates the result via successive approximation.

A device Reset forces all registers to their Reset state. This forces the A/D module to be turned off and any conversion in progress is aborted.

Each port pin associated with the A/D converter can be configured as an analog input or as a digital I/O. The ADRESH and ADRESL registers contain the result of the A/D conversion. When the A/D conversion is complete, the result is loaded into the ADRESH:ADRESL register pair, the GO/DONE bit (ADCON0 register) is cleared and A/D Interrupt Flag bit, ADIF, is set. The block diagram of the A/D module is shown in Figure 21-1.

FIGURE 21-1: A/D BLOCK DIAGRAM



PIC18F2455/2550/4455/4550

The value in the ADRESH:ADRESL registers is not modified for a Power-on Reset. The ADRESH:ADRESL registers will contain unknown data after a Power-on Reset.

After the A/D module has been configured as desired, the selected channel must be acquired before the conversion is started. The analog input channels must have their corresponding TRIS bits selected as an input. To determine acquisition time, see Section 21.1 "A/D Acquisition Requirements". After this acquisition time has elapsed, the A/D conversion can be started. An acquisition time can be programmed to occur between setting the GO/DONE bit and the actual start of the conversion.

The following steps should be followed to perform an A/D conversion:

1. Configure the A/D module:
 - Configure analog pins, voltage reference and digital I/O (ADCON1)
 - Select A/D input channel (ADCON0)
 - Select A/D acquisition time (ADCON2)
 - Select A/D conversion clock (ADCON2)
 - Turn on A/D module (ADCON0)
2. Configure A/D interrupt (if desired):
 - Clear ADIF bit
 - Set ADIE bit
 - Set GIE bit
3. Wait the required acquisition time (if required).
4. Start conversion:
 - Set GO/DONE bit (ADCON0 register)

5. Wait for A/D conversion to complete, by either:
 - Polling for the GO/DONE bit to be cleared
 - OR
 - Waiting for the A/D interrupt
6. Read A/D Result registers (ADRESH:ADRESL); clear bit ADIF, if required.
7. For next conversion, go to step 1 or step 2, as required. The A/D conversion time per bit is defined as TAD. A minimum wait of 3 TAD is required before the next acquisition starts.

FIGURE 21-2: A/D TRANSFER FUNCTION

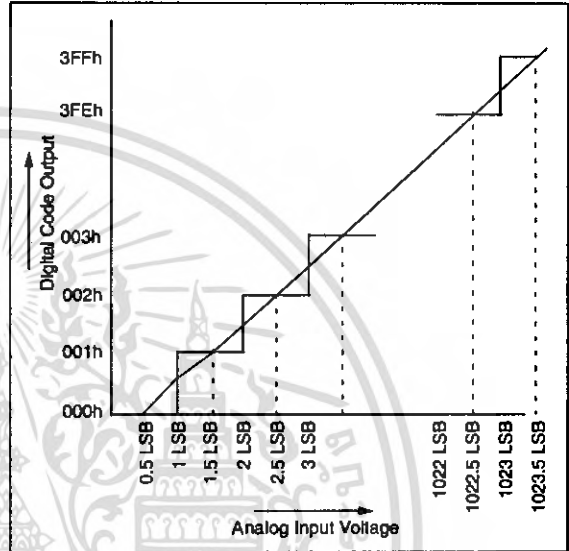
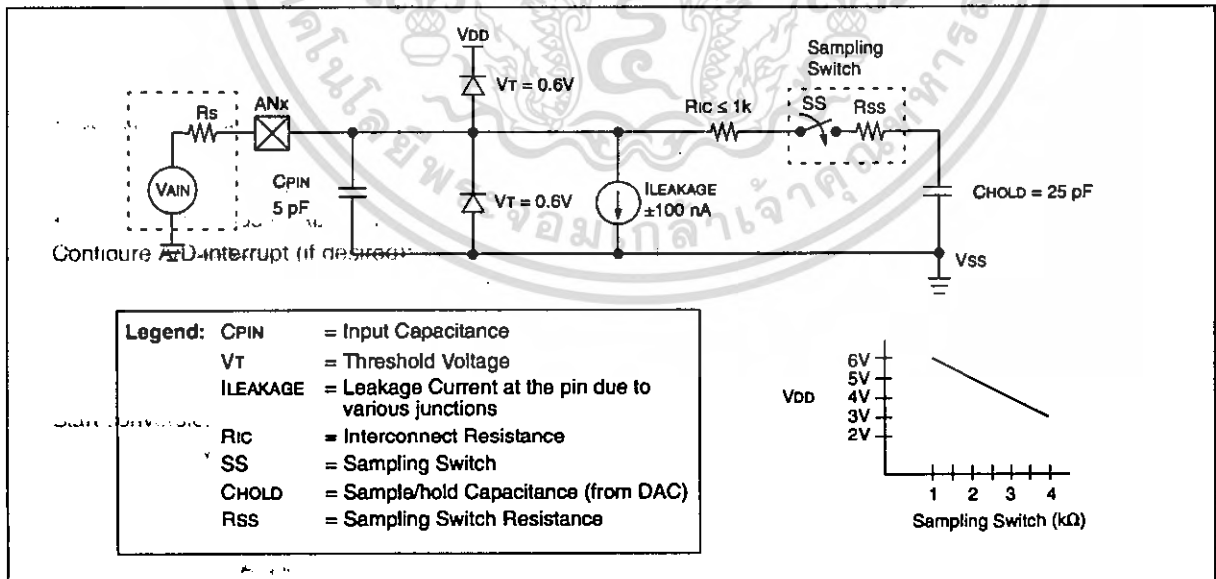


FIGURE 21-3: ANALOG INPUT MODEL



PIC18F2455/2550/4455/4550

21.1 A/D Acquisition Requirements

For the A/D converter to meet its specified accuracy, the charge holding capacitor (CHOLD) must be allowed to fully charge to the input channel voltage level. The analog input model is shown in Figure 21-3. The source impedance (Rs) and the internal sampling switch (Rss) impedance directly affect the time required to charge the capacitor CHOLD. The sampling switch (Rss) impedance varies over the device voltage (VDD). The source impedance affects the offset voltage at the analog input (due to pin leakage current). **The maximum recommended impedance for analog sources is 2.5 kΩ.** After the analog input channel is selected (changed), the channel must be sampled for at least the minimum acquisition time before starting a conversion.

To calculate the minimum acquisition time, Equation 21-1 may be used. This equation assumes that 1/2 LSB error is used (1024 steps for the A/D). The 1/2 LSB error is the maximum error allowed for the A/D to meet its specified resolution.

Example 21-3 shows the calculation of the minimum required acquisition time TACQ. This calculation is based on the following application system assumptions:

CHOLD	=	25 pF
Rs	=	2.5 kΩ
Conversion Error	≤	1/2 LSB
VDD	=	5V → Rss = 2 kΩ
Temperature	=	85°C (system max.)

Note: When the conversion is started, the holding capacitor is disconnected from the input pin.

EQUATION 21-1: ACQUISITION TIME

$$\text{TACQ} = \text{TAMP} + \text{TC} + \text{TCOFF}$$

EQUATION 21-2: A/D MINIMUM CHARGING TIME

$$\text{VHOLD} = (\text{VREF} - (\text{VREF}/2048)) \cdot (1 - e^{-(\text{TC}/\text{CHOLD})(\text{RIC} + \text{Rss} + \text{Rs})})$$

or

$$\text{TC} = -(\text{CHOLD})(\text{RIC} + \text{Rss} + \text{Rs}) \ln(1/2048)$$

EQUATION 21-3: CALCULATING THE MINIMUM REQUIRED ACQUISITION TIME

$$\text{TACQ} = \text{TAMP} + \text{TC} + \text{TCOFF}$$
$$\text{TAMP} = 0.2 \mu\text{s}$$
$$\text{TCOFF} = (\text{Temp} - 25^\circ\text{C})(0.02 \mu\text{s}/^\circ\text{C})$$
$$(85^\circ\text{C} - 25^\circ\text{C})(0.02 \mu\text{s}/^\circ\text{C})$$
$$1.2 \mu\text{s}$$

Temperature coefficient is only required for temperatures > 25°C. Below 25°C, TCOFF = 0 ms.

$$\text{TC} = -(\text{CHOLD})(\text{RIC} + \text{Rss} + \text{Rs}) \ln(1/2048) \mu\text{s}$$
$$-(25 \text{ pF})(1 \text{ k}\Omega + 2 \text{ k}\Omega + 2.5 \text{ k}\Omega) \ln(0.0004883) \mu\text{s}$$
$$1.05 \mu\text{s}$$

$$\text{TACQ} = 0.2 \mu\text{s} + 1.05 \mu\text{s} + 1.2 \mu\text{s}$$

$$\text{TACQ} = 2.45 \mu\text{s} \text{ A/D MINIMUM ACQUISITION TIME}$$

Continuous-Time Ratiometric Linear Hall Effect Sensors

Features and Benefits

- Low-noise output
- Fast power-on time
- Ratiometric rail-to-rail output
- 4.5 to 6.0 V operation
- Solid-state reliability
- Factory-programmed at end-of-line for optimum performance
- Robust ESD performance

Packages: 3 pin SOT23W (suffix LH), and 3 pin SIP (suffix UA)



Not to scale

Description

The A1301 and A1302 are continuous-time, ratiometric, linear Hall-effect sensors. They are optimized to accurately provide a voltage output that is proportional to an applied magnetic field. These devices have a quiescent output voltage that is 50% of the supply voltage. Two output sensitivity options are provided: 2.5 mV/G typical for the A1301, and 1.3 mV/G typical for the A1302.

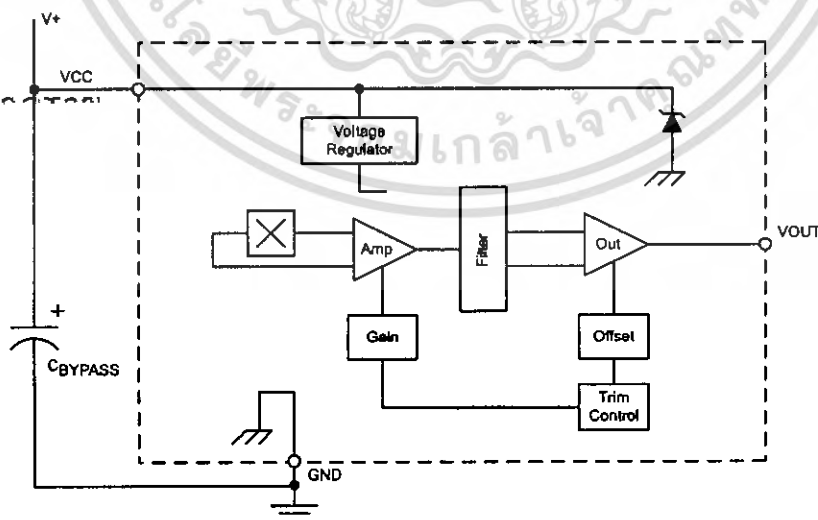
The Hall-effect integrated circuit included in each device includes a Hall sensing element, a linear amplifier, and a CMOS Class A output structure. Integrating the Hall sensing element and the amplifier on a single chip minimizes many of the problems normally associated with low voltage level analog signals.

High precision in output levels is obtained by internal gain and offset trim adjustments made at end-of-line during the manufacturing process.

These features make the A1301 and A1302 ideal for use in position sensing systems, for both linear target motion and rotational target motion. They are well-suited for industrial applications over extended temperature ranges, from -40°C to 125°C .

Two device package types are available: LH, a 3-pin SOT23W type for surface mount, and UA, a 3-pin ultramini SIP for through-hole mount. They are lead (Pb) free (suffix, $-T$) with 100% matte tin plated leadframes.

Functional Block Diagram



Selection Guide

Part Number	Pb-free ¹	Packing ²	Package	Ambient, T _A	Sensitivity (Typical)
A1301ELHLT-T	Yes	7-in. tape and reel, 3000 pieces/reel	Surface Mount	-40°C to 85°C	2.5 mV/G
A1301EUA-T	Yes	Bulk, 500 pieces/bag	SIP		
A1301KLHLT-T	Yes	7-in. tape and reel, 3000 pieces/reel	Surface Mount	-40°C to 125°C	
A1301KUA-T	Yes	Bulk, 500 pieces/bag	SIP		
A1302ELHLT-T	Yes	7-in. tape and reel, 3000 pieces/reel	Surface Mount	-40°C to 85°C	1.3 mV/G
A1302EUA-T	Yes	Bulk, 500 pieces/bag	SIP		
A1302KLHLT-T	Yes	7-in. tape and reel, 3000 pieces/reel	Surface Mount	-40°C to 125°C	
A1302KUA-T	Yes	Bulk, 500 pieces/bag	SIP		

¹Pb-based variants are being phased out of the product line. Certain variants cited in this footnote are no longer in production. The variants should not be purchased for new design applications. Samples are no longer available. Status change: May 1, 2006. These variants include: A1301ELHLT, A1301EUA, A1301KLHLT, A1301KUA, A1302ELHLT, A1302EUA, A1302KLHLT, and A1302KUA.

²Contact Allegro for additional packing options.



Absolute Maximum Ratings

Characteristic	Symbol	Notes	Rating	Units
Supply Voltage	V _{CC}		8	V
Output Voltage	V _{OUT}		8	V
Reverse Supply Voltage	V _{RCC}		-0.1	V
Reverse Supply Voltage	V _{RCC}		-0.1	V
Output Sink Current	I _{OUT}		10	mA
Operating Ambient Temperature	T _A	Range E	-40 to 85	°C
		Range K	-40 to 125	°C
Maximum Junction Temperature	T _{J(max)}		165	°C
Storage Temperature	T _{stg}		-65 to 170	°C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE CHARACTERISTICS over operating temperature range, T_A , and $V_{CC} = 5\text{ V}$, unless otherwise noted

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Electrical Characteristics						
Supply Voltage	V_{CC}	Running, $T_J < 165^\circ\text{C}$	4.5	–	6	V
Supply Current	I_{CC}	Output open	–	–	11	mA
Output Voltage	$V_{OUT(High)}$	$I_{SOURCE} = -1\text{ mA}$, Sens = nominal	4.65	4.7	–	V
	$V_{OUT(Low)}$	$I_{SINK} = 1\text{ mA}$, Sens = nominal	–	0.2	0.25	V
Output Bandwidth	BW		–	20	–	kHz
Power-On Time	t_{PO}	$V_{CC(min)}$ to $0.95 V_{OUT}$; $B = \pm 1400\text{ G}$; Slew rate = $4.5\text{ V}/\mu\text{s}$ to $4.5\text{ V}/100\text{ ns}$	–	3	5	μs
Output Resistance	R_{OUT}	$I_{SINK} \leq 1\text{ mA}$, $I_{SOURCE} \geq -1\text{ mA}$	–	2	5	Ω
Wide Band Output Noise, rms	V_{OUTN}	External output low pass filter $\leq 10\text{ kHz}$; Sens = nominal	–	150	–	μV
Ratiometry						
Quiescent Output Voltage Error with respect to ΔV_{CC}^1	$\Delta V_{OUTO(V)}$	$T_A = 25^\circ\text{C}$	–	–	± 3.0	%
Magnetic Sensitivity Error with respect to ΔV_{CC}^2	$\Delta \text{Sens}_{(V)}$	$T_A = 25^\circ\text{C}$	–	–	± 3.0	%
Output						
Linearity	Lin	$T_A = 25^\circ\text{C}$	–	–	± 2.5	%
Symmetry	Sym	$T_A = 25^\circ\text{C}$	–	–	± 3.0	%
Magnetic Characteristics						
Quiescent Output Voltage	V_{OUTQ}	$B = 0\text{ G}$; $T_A = 25^\circ\text{C}$	2.4	2.5	2.6	V
Quiescent Output Voltage over Operating Temperature Range	$V_{OUTQ(\Delta T_A)}$	$B = 0\text{ G}$	2.2	–	2.8	V
Magnetic Sensitivity	Sens	A1301; $T_A = 25^\circ\text{C}$	2.0	2.5	3.0	mV/G
		A1302; $T_A = 25^\circ\text{C}$	1.0	1.3	1.6	mV/G
Magnetic Sensitivity over Operating Temperature Range	$\text{Sens}_{(\Delta T_A)}$	A1301	1.8	–	3.2	mV/G
		A1302	0.85	–	1.75	mV/G

Refer to equation (4) in Ratiometric section on page 4.

Refer to equation (5) in Ratiometric section on page 4.



Characteristic Definitions

Quiescent Output Voltage. In the quiescent state (no significant magnetic field; $B = 0$), the output, V_{OUTQ} , equals one half of the supply voltage, V_{CC} , throughout the entire operating ranges of V_{CC} and ambient temperature, T_A . Due to internal component tolerances and thermal considerations, there is a tolerance on the quiescent output voltage, ΔV_{OUTQ} , which is a function of both ΔV_{CC} and ΔT_A . For purposes of specification, the quiescent output voltage as a function of temperature, $V_{OUTQ}(\Delta T_A)$, is defined as:

$$\Delta V_{OUTQ}(\Delta T_A) = \frac{V_{OUTQ}(T_A) - V_{OUTQ}(25^\circ\text{C})}{Sens_{(25^\circ\text{C})}} \quad (1)$$

where $Sens$ is in mV/G, and the result is the device equivalent accuracy, in gauss (G), applicable over the entire operating temperature range.

Sensitivity. The presence of a south-polarity (+B) magnetic field, perpendicular to the branded face of the device package, increases the output voltage, V_{OUT} , in proportion to the magnetic field applied, from V_{OUTQ} toward the V_{CC} rail. Conversely, the application of a north polarity (-B) magnetic field, in the same orientation, proportionally decreases the output voltage from its quiescent value. This proportionality is specified as the magnetic sensitivity of the device and is defined as:

$$Sens = \frac{V_{OUT(-B)} - V_{OUT(+B)}}{2B} \quad (2)$$

The stability of the device magnetic sensitivity as a function of ambient temperature, $\Delta Sens_{(\Delta T_A)}$ (%) is defined as:

$$\Delta Sens_{(\Delta T_A)} = \frac{Sens_{(T_A)} - Sens_{(25^\circ\text{C})}}{Sens_{(25^\circ\text{C})}} \times 100\% \quad (3)$$

Ratiometric. The A1301 and A1302 feature a ratiometric output. This means that the quiescent voltage output, V_{OUTQ} , and the magnetic sensitivity, $Sens$, are proportional to the supply voltage, V_{CC} .

The ratiometric change (%) in the quiescent voltage output is defined as:

$$\Delta V_{OUTQ}(\Delta V) = \frac{V_{OUTQ}(V_{CC}) / V_{OUTQ}(5V)}{V_{CC} / 5V} \times 100\% \quad (4)$$

and the ratiometric change (%) in sensitivity is defined as:

$$\Delta Sens_{(\Delta V)} = \frac{Sens_{(V_{CC})} / Sens_{(5V)}}{V_{CC} / 5V} \times 100\% \quad (5)$$

Linearity and Symmetry. The on-chip output stage is designed to provide linear output at a supply voltage of 5 V. Although the application of very high magnetic fields does not damage these devices, it does force their output into a nonlinear region. Linearity in percent is measured and defined as:

$$Lin+ = \frac{V_{OUT(+B)} - V_{OUTQ}}{2(V_{OUT(+B\%)}) - V_{OUTQ}} \times 100\% \quad (6)$$

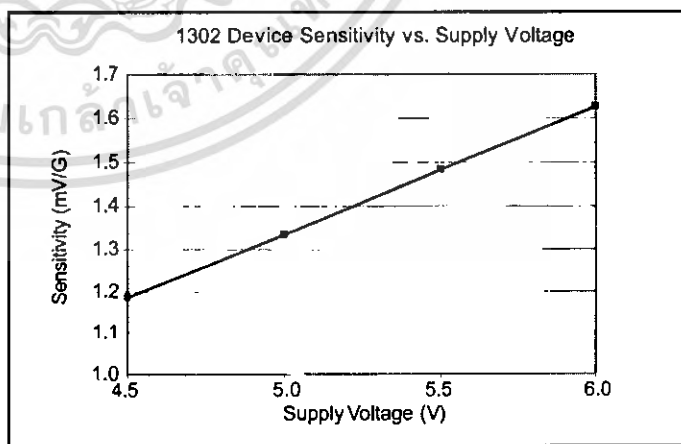
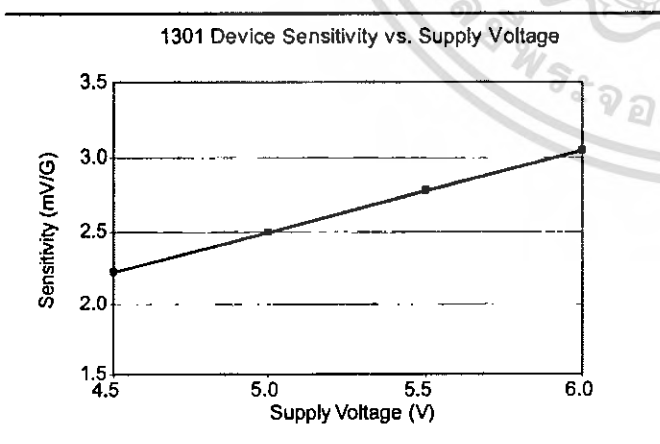
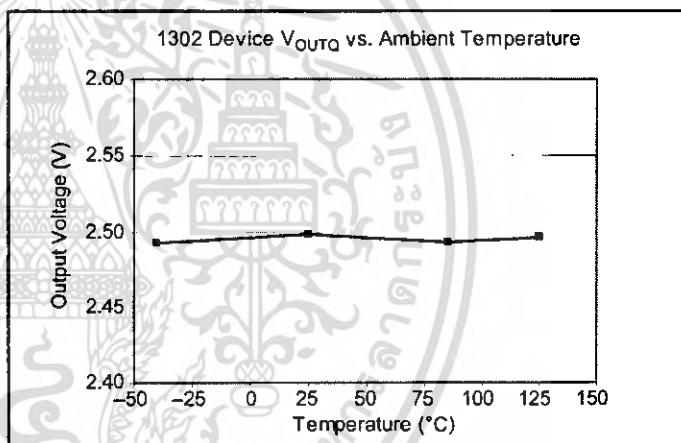
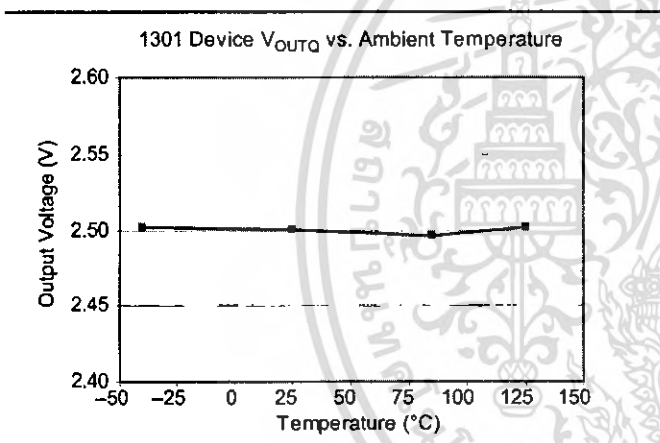
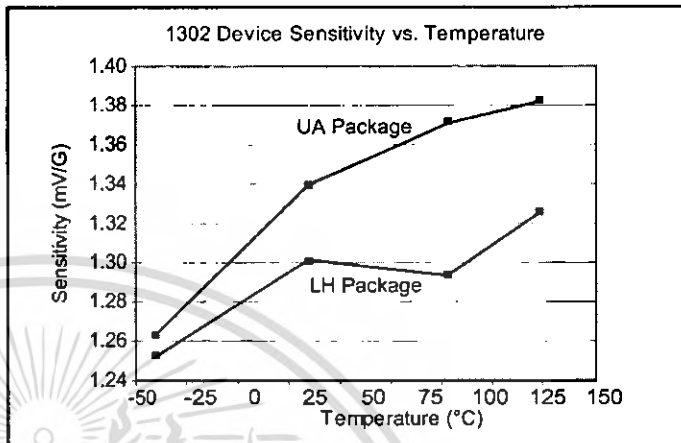
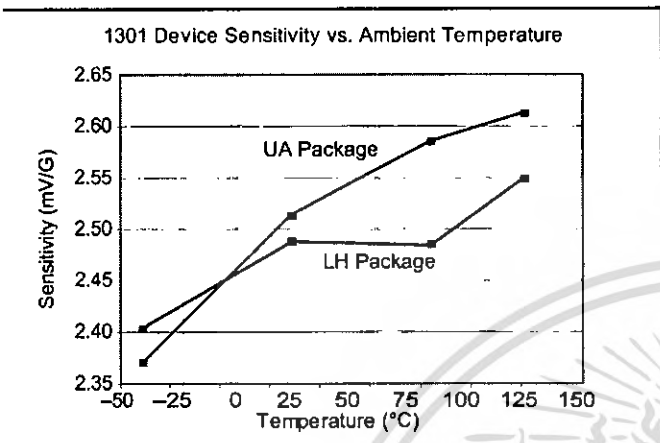
$$Lin- = \frac{V_{OUT(-B)} - V_{OUTQ}}{2(V_{OUT(-B\%)}) - V_{OUTQ}} \times 100\% \quad (7)$$

and output symmetry as:

$$Sym = \frac{V_{OUT(+B)} - V_{OUTQ}}{V_{OUTQ} - V_{OUT(-B)}} \times 100\% \quad (8)$$



Typical Characteristics
(30 pieces, 3 fabrication lots)

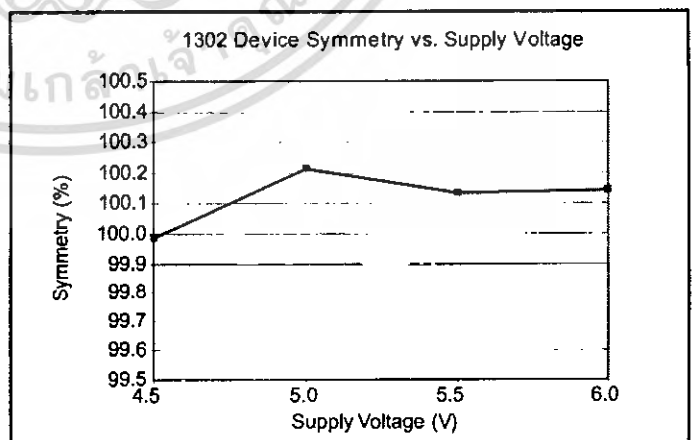
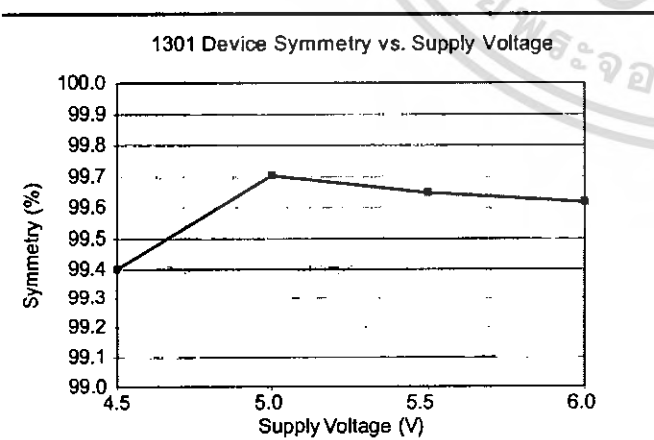
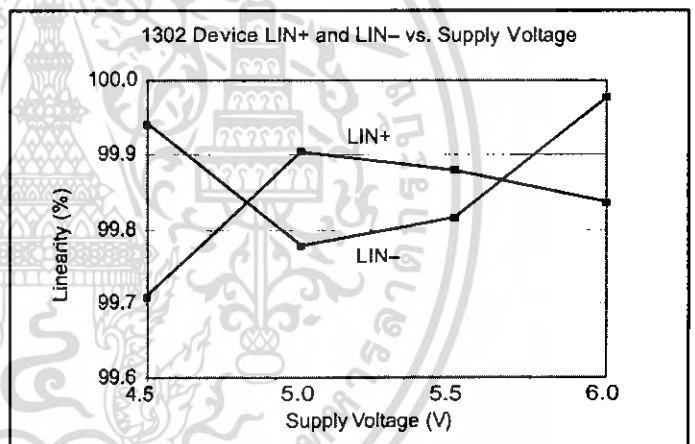
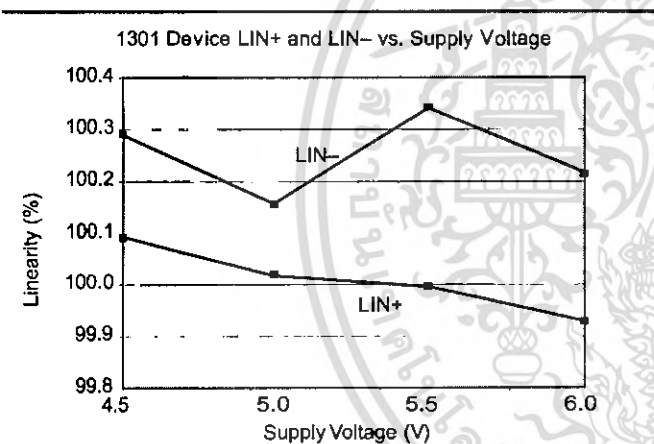
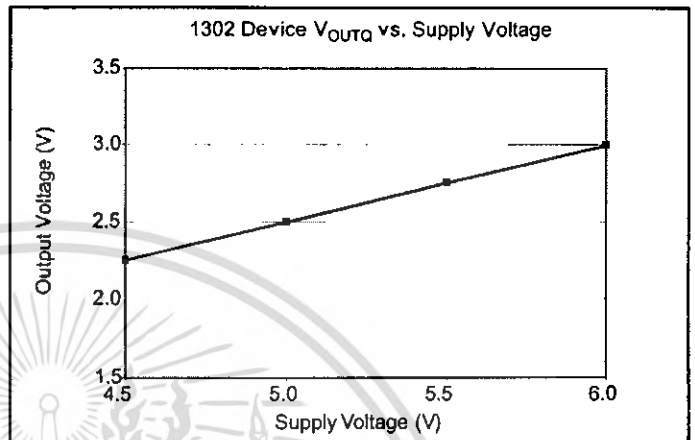
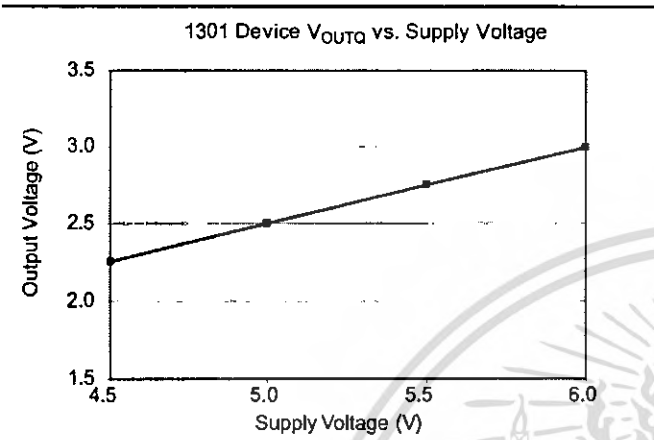


continued on the next page...



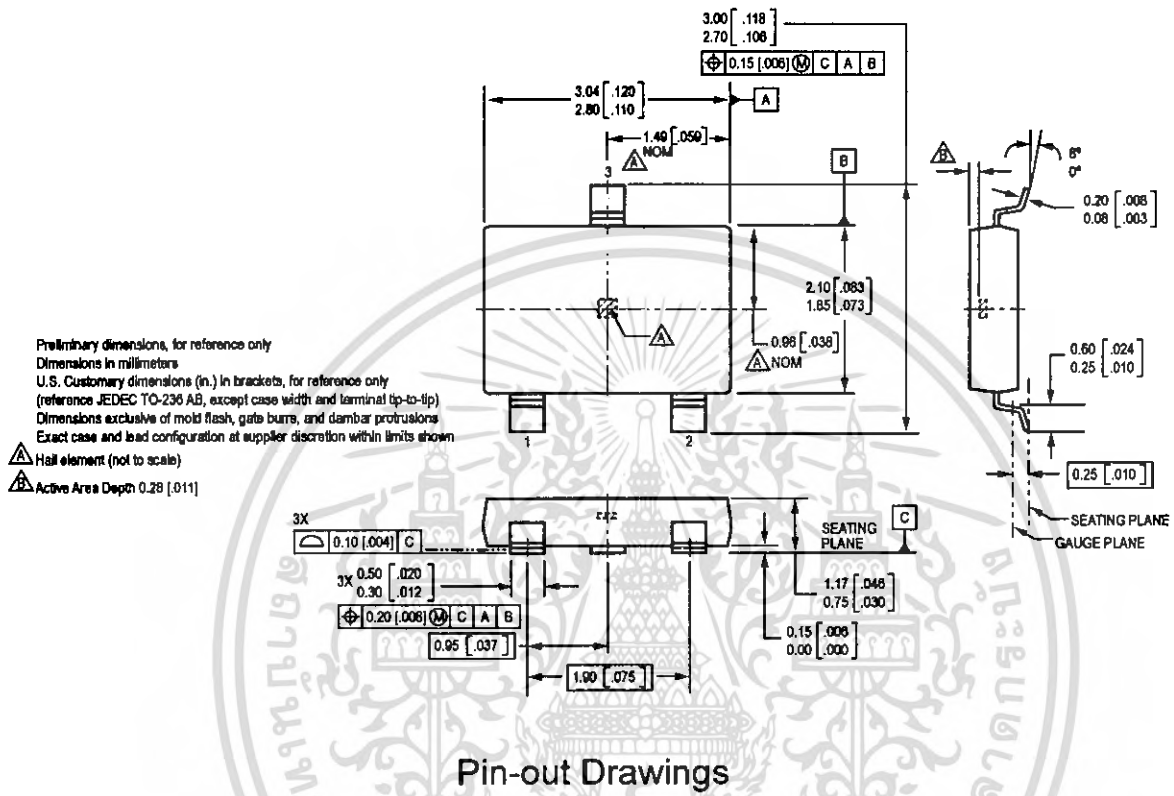
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics, continued
(30 pieces, 3 fabrication lots)

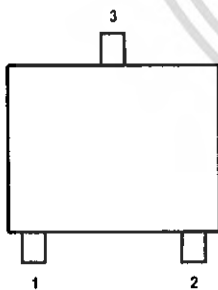


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

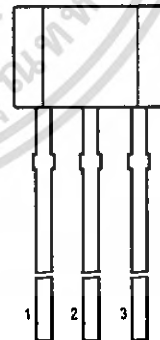
Package LH, 3-Pin; (SOT-23W)



Package LH



Package UA



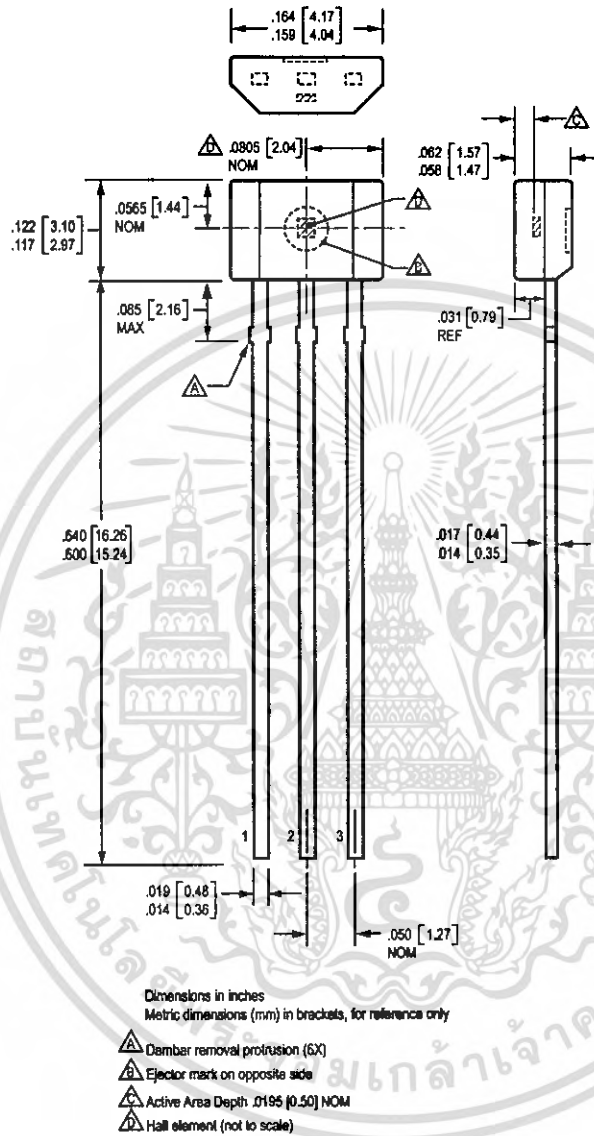
Terminal List

Symbol	Number		Description
	Package LH	Package UA	
VCC	1	1	Connects power supply to chip
VOU	2	3	Output from circuit
GND	3	2	Ground



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package UA, 3-Pin SIP



The products described herein are manufactured under one or more of the following U.S. patents: 5,045,920; 5,264,783; 5,442,283; 3,89,889; 5,581,179; 5,517,112; 5,619,137; 5,621,319; 5,650,719; 5,686,894; 5,694,038; 5,729,130; 5,917,320; and other patents pending.

Allegro MicroSystems, Inc. reserves the right to make, from time to time, such departures from the detail specifications as may be required to permit improvements in the performance, reliability, or manufacturability of its products. Before placing an order, the user is cautioned to verify that the information being relied upon is current.

Allegro products are not authorized for use as critical components in life-support devices or systems without express written approval.

The information included herein is believed to be accurate and reliable. However, Allegro MicroSystems, Inc. assumes no responsibility for its use; nor for any infringement of patents or other rights of third parties which may result from its use.

Copyright © 2005, 2006 Allegro MicroSystems, Inc.



Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15038
Worcester, Massachusetts 01615-0036 (508) 853-5000
www.allegromicro.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้