

**ทำเนียบวิทยานิพนธ์ พระจอมเกล้าลาดกระบัง**

ระบบดิจิทัลออดิโอไร้สาย

**WIRELESS DIGITAL AUDIO SYSTEM**



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**WIRELESS DIGITAL AUDIO SYSTEM**



**BY**  
**Mr. KITTIKORN RODPAIN**  
**Mr. THAMMASAK VUTTISAK**

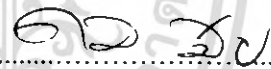
**A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF**  
**THE REQUIREMENT FOR THE DEGREE OF**  
**BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING**  
**FACULTY OF ENGINEERING**  
**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2007**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบดิจิทัลอออดิโอไร้สาย	
ชื่อนักศึกษา	นาย กิตติกร รอดเพียร	รหัสประจำตัว 48015567
	นาย ธรรมศักดิ์ วุฒิสักดิ์	รหัสประจำตัว 48015579
อาจารย์ที่ปรึกษา	ผศ. ดลชัย สุขเจริญผล	
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต	
	สาขาวิศวกรรมสารสนเทศ	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2550	

ปริญญานิพนธ์นี้ได้รับความเห็นชอบจากอาจารย์ที่ปรึกษาเป็นที่เรียบร้อยแล้ว



(ผศ. ดลชัย สุขเจริญผล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบดิจิทัลออกดีโอไร้สาย		
โดย	นาย กิตติกร รอดเพียร	เลขประจำตัว	48015567
	นาย ชรรมศักดิ์ วุฒิสักดิ์	เลขประจำตัว	48015579
อาจารย์ที่ปรึกษา	ผศ. คล้าย สุขเจริญผล		
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต		
	สาขาวิศวกรรมสารสนเทศ		
ภาควิชา	วิศวกรรมสารสนเทศ		
ปีการศึกษา	2550		

### บทคัดย่อ

โครงการนี้เป็นการพัฒนา, การออกแบบและสร้างระบบดิจิทัลออกดีโอไร้สาย ให้มีกำลังขยายสัญญาณเพิ่มขึ้นและเพิ่มรายละเอียดของสัญญาณดิจิทัลออกเป็น 16 บิต (bit resolution) ด้วยความถี่แซมปลิง 48kHz นำสัญญาณดิจิทัลเบสแบนด์ที่ได้ทำการมอดูเลตกับคลื่นพาห์ (Carrier signal) เพื่อส่งออกไปในรูปแบบการสื่อสารไร้สาย โดยเลือกใช้ TRW-2.4G โดยใช้ช่วงความถี่ 2.4 GHz ในส่วนของการสร้างวงจรขยายกำลังสัญญาณดิจิทัลออกดีโอ (Digital Audio Power Amplifier) โดยอาศัยหลักการของมอดูเลตเชิงความกว้างพัลส์ (Pulse-Width Modulation: PWM) และตัวกรองสัญญาณความถี่ต่ำผ่าน (Low-pass filter) เพื่อกำจัดองค์ประกอบความถี่สูงเหนือย่านออกดีโอออกไปแล้วป้อนออกระบบลำโพง (Loudspeaker systems)

**Thesis Title** Wireless Digital Audio System

**Student** Mr. KITTIKORN RODPAIN ID. 48015567  
Mr. THAMMASAK VUTTISAK ID. 48015579

**Advisor** Asst. Prof. DOLCHAI SOOKCHAROENPHOL

**Graduate Level** Bachelor Degree of Information Engineering

**Department** Information Engineering

**Academic Year** 2007

### Abstract

This thesis presents a designing and implementation of a wireless digital audio system which has 16 bit resolutions at multiple of sampling frequency 48 kHz for the stereo signal. The analog stereo signal is converted to digital stereo signal by an analog to digital converter (ADC). The digital baseband sequence is modulated with carrier signal, and sent via Wireless communication for indoor application by using TRW-2.4G in range of 2.4 GHz. To obtain the analog signal at the active loudspeaker system, the digital sequence is converted to PWM signal, Pre-driver; multiple sampling frequency n.48 kHz and amplification by full bridge MOSFET. Higher harmonics over 20 kHz is rejected using Low-pass section and the audio signal quality is enhanced by an active bi-preamplifier.

## กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้สำเร็จลุล่วงไปได้ ทั้งนี้ต้องขอพระคุณอาจารย์คณาจารย์ สุขเจริญผล เป็นอย่างสูง ที่กรุณาให้คำแนะนำและเป็นที่ปรึกษา และขอขอบคุณพี่เจตน์ (คุณเจตน์ ออสวัสดิ์) ที่ได้เอื้อเฟื้ออุปกรณ์ต่างๆ ตลอดจนคำแนะนำและเทคนิคในการออกแบบวงจรแก่ผู้เขียน

ขอพระคุณบิดาและมารดา ที่เป็นผู้เลี้ยงดูอบรมสั่งสอน ตลอดจนช่วยให้โอกาสทางการศึกษารวมถึงทุนทรัพย์เพื่อใช้ในการศึกษาและทดลองสิ่งต่างๆ และเป็นกำลังใจให้ผู้เขียนตลอดมาจนทำให้สามารถฝ่าฟันอุปสรรคและความยากลำบากต่างๆ จนปริญญาบัตรฉบับนี้ประสบความสำเร็จ

คณะผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญภาพ	ช
สารบัญตาราง	ฉ
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์	1
1.3 ขอบเขตของโครงการ	2
1.4 ภาพแสดงการระบบการทำงาน	3
1.5 ขั้นตอนการทำโครงการ	4
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	5
2.1 การสื่อสารในระบบดิจิทัล (Digital Communications)	5
2.1.1 บทนำ	5
2.1.2 การมอดูเลตแบบเข้ารหัสพัลส์ (PCM : Pulse Code Modulation)	5
2.1.3 ทฤษฎีการสุ่ม (Sampling Theory)	6
2.1.3.1 สัญญาณจำกัดแบนด์ (Band limit)	7
2.1.3.2 ทฤษฎีการสุ่ม (Sampling Theory)	7
2.1.4 การสุ่ม (Sampling)	8
2.1.4.1 การสุ่มชั่วขณะ (Instantaneous Sampling)	8
2.1.4.2 สัญญาณสุ่มในทางอุดมคติ (Ideal Sampled Signal)	8
2.1.4.3 การสุ่มในทางปฏิบัติ (Practical Sampling)	9
2.1.4.3.1 การสุ่มแบบธรรมชาติ (Natural Sampling)	9
2.1.4.3.2 การสุ่มแบบส่วนยอดราบเรียบ (Flat-Top Sampling)	10
2.1.5 การควอนไทซ์ (Quantizing)	10
2.1.5.1 การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantizing)	11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5.2 การควอนไทซ์แบบนอนยูนิฟอร์ม (Nonuniform Quantizing)	14
2.1.6 การเข้ารหัส (Encoding)	15
2.1.7 แบบคํวคท์ในการส่งสัญญาณพีซีเอ็ม (PCM)	16
2.2 วงจรขยายเสียงคลาส-ดี (Class-D Amplifier)	16
2.2.1 บทนำ	16
2.2.2 โครงสร้างของวงจรขยายเสียงคลาสดี	17
2.3 การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation)	18
2.3.1 ชนิดของการมอดูเลตเชิงความกว้างพัลส์	19
2.3.1.1 The Lead Edge	19
2.3.1.2 The Tail Edge	19
2.3.1.3 The Pulse Center (Symmetrical PWM)	19
2.4 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)	21
2.5 โมดูลทีอาร์ดับบลิว 2.4G (TRW-24G Module)	22
<b>บทที่ 3 การออกแบบ</b>	25
3.1 การออกแบบวงจรภาคส่งสัญญาณ	25
3.1.1 การออกแบบวงจรขยายสัญญาณไมโครโฟนและวงจรขยายสัญญาณเสียงอินพุท	26
3.1.2 การออกแบบวงจรผสมสัญญาณ	26
3.1.3 กระบวนการทำงานของวงจรภาคส่งสัญญาณ	27
3.2 การออกแบบวงจรภาครับสัญญาณ	27
3.2.1 การออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์	27
3.3 การออกแบบวงจรขยายสัญญาณเสียงคลาส-ดี	27
3.3.1 การออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์	28
<b>บทที่ 4 ผลการทดลอง</b>	
4.1 การทดลองวงจรวงจรภาคส่งสัญญาณ	32
4.1.1 จุดประสงค์ของการทดลอง	32
4.1.2 วิธีการทดลอง	32
4.1.3 ผลการทดลอง	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2	การทดลองวัดสัญญาณเอาต์พุตจากวงจรมอดูเลตเชิงความกว้างพัลส์	35
4.2.1	จุดประสงค์ของการทดลอง	35
4.2.2	วิธีการทดลอง	35
4.2.3	ผลการทดลอง	35
4.3	การทดลองวัดสัญญาณที่ลำโพงเมื่อมีสัญญาณอินพุต	36
4.3.1	จุดประสงค์ของการทดลอง	36
4.3.2	วิธีการทดลอง	36
4.3.3	ผลการทดลอง	36

**บทที่ 5** **สรุป**  
**บรรณานุกรม**  
**ภาคผนวก**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญภาพ

หน้า		
บทที่ 1		
รูปที่ 1.1	บล็อกไดอะแกรมแสดงการทำงานของระบบดิจิทัลออคโตรีสาย	3
บทที่ 2		
รูปที่ 2.1	แสดงขบวนการ Pulse Coded Modulation	4
รูปที่ 2.2	วงจรการสุ่ม (Sampling)	7
รูปที่ 2.3	สัญญาณที่ได้จากการสุ่มในอุดมคติ	8
รูปที่ 2.4	กระบวนอิมพัลส์หนึ่งหน่วย	9
รูปที่ 2.5	สัญญาณในอุดมคติ	9
รูปที่ 2.6	การสุ่มแบบธรรมชาติ	10
รูปที่ 2.7	การสุ่มแบบราบเรียบ	10
รูปที่ 2.8	การควอนไทซ์แบบยูนิฟอร์ม	11
รูปที่ 2.9	Companding	14
รูปที่ 2.10	พีซีเอ็มแบบไบนารี (Binary PCM)	15
รูปที่ 2.11	ประสิทธิภาพของ Class-D และ Class-AB	17
รูปที่ 2.12	Full-bridge Class-D	17
รูปที่ 2.13	Half-bridge Class-D	18
รูปที่ 2.14	แสดงการมอดูเลตเชิงความกว้างพัลส์	19
รูปที่ 2.15	สัญญาณคลื่นพาห์สำหรับการมอดูเลตเชิงความกว้างพัลส์	20
รูปที่ 2.16	(บน) แสดงรูปของ The Lead Edge Modulation (กลาง) แสดงรูปของ The Trail Edge Modulation (ล่าง) แสดงรูปของ The Pulse Center Modulation	20
รูปที่ 2.17	ผลการตอบสนองของวงจรรองความถี่ต่ำผ่าน	21
รูปที่ 2.18	โมดูลทีอาร์ดับบลิว 24 จี (TRW-24G Module)	22
รูปที่ 3.1	บล็อกไดอะแกรมของภาคส่งสัญญาณ	23
รูปที่ 3.2	วงจรขยายสัญญาณไมโครโฟน	24
รูปที่ 3.3	วงจรขยายสัญญาณเสียงอินพุท	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4	วงจรผสมสัญญาณ	24
รูปที่ 3.5	บล็อกไดอะแกรมของภาครับสัญญาณ	25
รูปที่ 3.6	แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาคส่ง	26
รูปที่ 3.7	การจัดเก็บข้อมูลของบัฟเฟอร์ที่ภาคส่ง	27
รูปที่ 3.8	แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาครับ	27
รูปที่ 3.9	บล็อกไดอะแกรมวงจรขยายสัญญาณคลาสซี	28
รูปที่ 3.10	วงจรมอดูเลตเชิงความกว้างพัลส์	29
รูปที่ 3.11	วงจรขับลำโพงแบบเฮซ-บริดจ์	29
รูปที่ 3.12	วงจรรองความถี่ต่ำผ่าน	30
บทที่ 4		
รูปที่ 4.1	สัญญาณ Config TRW-2.4G	32
รูปที่ 4.2	สัญญาณข้อมูลที่ไปส่งยังภาครับ	33
รูปที่ 4.3	สัญญาณข้อมูลภาครับ	33
รูปที่ 4.4	สัญญาณข้อมูลภาครับช่องซ้าย	34
รูปที่ 4.5	สัญญาณข้อมูลภาครับช่องขวา	34
รูปที่ 4.6	สัญญาณเอาต์พุตที่สร้างจากวงจรมอดูเลตเชิงความกว้างพัลส์	35
รูปที่ 4.7	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 100 Hz	37
รูปที่ 4.8	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 1k Hz	37
รูปที่ 4.9	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 5k Hz	38
รูปที่ 4.10	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10k Hz	38
รูปที่ 4.11	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 20k Hz	39
รูปที่ 4.12	สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 40k Hz	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญตาราง

		หน้า
ตารางที่ 1.1	ขั้นตอนของการทำโครงการ	4
ตารางที่ 2.1	แสดงถึงความสัมพันธ์ระหว่างจำนวนบิตและระดับควอนไทซ์	12
ตารางที่ 2.2	ความสัมพันธ์ระหว่างจำนวนบิต กับค่า S/N	13
ตารางที่ 4.1	ผลการทดลองวัดขนาดสัญญาณเมื่อป้อนความถี่ต่างๆ	36



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการขยายตัวของ Infortainments ได้รับความนิยมมากขึ้น โดยเฉพาะในระบบเล่นกลับของสื่อผสมส่วนบุคคลและรวมทั้งระบบเสียง(ภาพยนตร์)รอบทิศทาง นอกจากนี้การนำระบบดังกล่าวไปใช้ในงานแสดงระบบสาธิต งานนิทรรศการ ต่างๆที่ต้องการเน้นคุณภาพของเสียงร่วมกับพื้นที่ครอบคลุมที่มีบริเวณกว้าง อาจเกิดอุปสรรคหลายอย่างอาทิ เช่น การใช้สายตัวนำในการส่งผ่านสัญญาณจากเครื่องขยายไปยังระบบตัวขับเสียง(Loudspeaker systems) ที่มีระยะทางมากกว่า 30 เมตร จะทำให้เกิดปัญหาของดีเลย์สัญญาณ, การลดทอนสัญญาณและผลของค่า L, C ในสายดังกล่าวซึ่งเป็นสาเหตุสำคัญในการลดคุณภาพของเสียงสำหรับระบบดังกล่าว นอกจากนี้การเกิดดีเลย์ในสายอาจทำให้เกิดเสียงคล้ายเสียงสะท้อน ซึ่งจะเป็ปัญหาในการกระจายเสียงในงานพิธีการต่างๆและส่งผลกระทบต่อคุณภาพของเสียงที่จะถูกบันทึก(ถ่ายทอดสด)ด้อยลงมากอีกทั้งการแก้ไขด้วยการปรับขนาดและเฟสด้วยออดิโอควโรเซอร์มีผลไม่มากนัก และนอกจากนี้การส่งสัญญาณผ่านสายส่งยังทำให้เกิดความยุ่งยากในการติดตั้งลำโพงด้วย โดยต้องทำการเก็บสายให้เรียบร้อย

ในโครงการนี้เป็นการพัฒนา, ออกแบบและสร้างการส่งสัญญาณดิจิทัลออดิโอผ่านระบบสื่อสารไร้สาย สัญญาณดิจิทัลเรโซลูชัน16บิต และนำไมโครคอนโทรลเลอร์มาควบคุมสัญญาณในการส่งสัญญาณสื่อสารไร้สาย และทำการสร้างวงจรขยายกำลังแบบดิจิทัล (Digital amplifier) ด้วยวงจรสัญญาณมอดูเลตเชิงความกว้างพัลส์(PWM) ซึ่งมีข้อดีในด้านประสิทธิภาพของกำลังขยายต่อกำลังสิ้นเปลืองไฟฟ้ามากกว่า 90% เมื่อเทียบกับ วงจรขยายกำลังสัญญาณแบบคลาสเอและมีโครงสร้างขนาดเล็กสะดวกในการพกพา

### 1.2 วัตถุประสงค์

1. เพื่อศึกษาวิธีการส่งสัญญาณดิจิทัลออดิโอผ่านระบบสื่อสารไร้สาย
2. เพื่อศึกษานั่นตอนของการออกแบบวงจรขยายสัญญาณดิจิทัลออดิโอ
3. เพื่อศึกษาการเข้าถึงและ โปรโตคอลของระบบสื่อสารไร้สาย

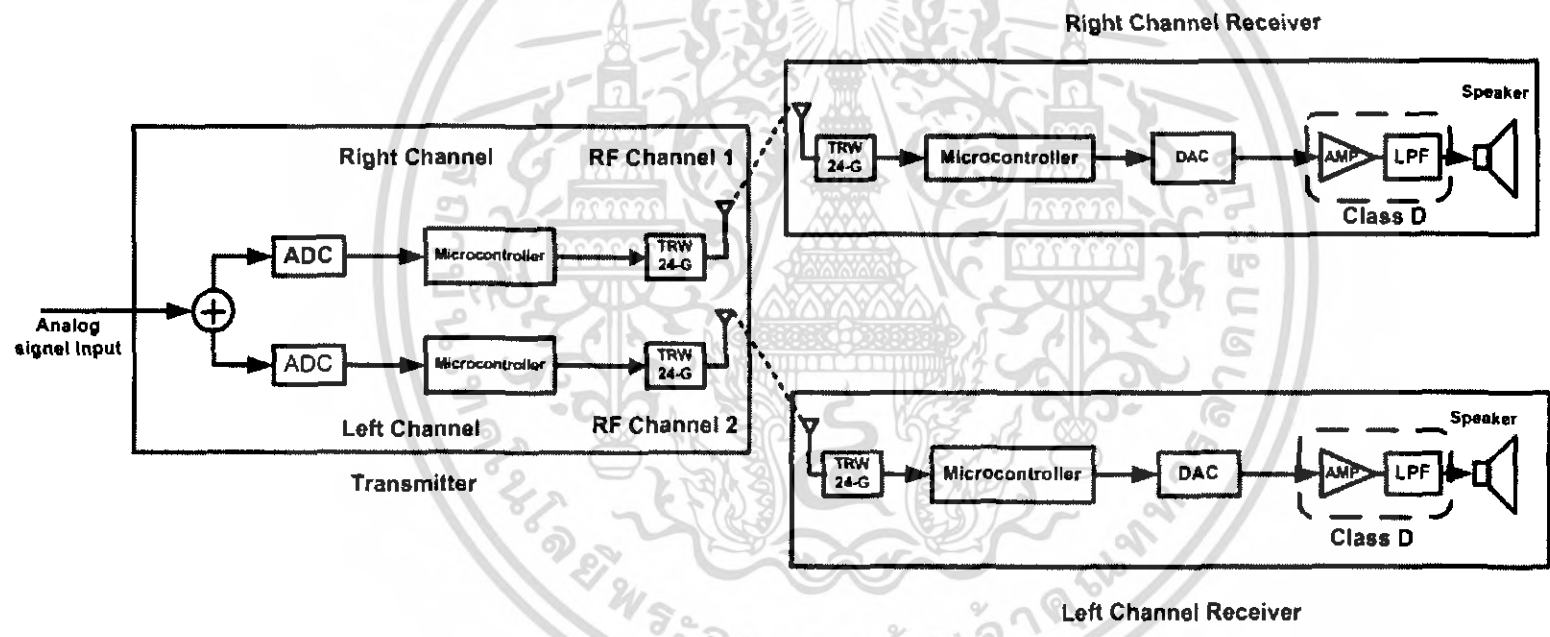
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 1.3 ขอบเขตของโครงการ

1. ทำการออกแบบและสร้างระบบสื่อสารไร้สายสำหรับสัญญาณดิจิทัลออดิโอ ที่  $F_s = 48 \text{ kHz}$  bit resolution = 16 bit
2. ออกแบบและสร้างวงจรขยายสัญญาณดิจิทัลออดิโอ 100 วัตต์
3. ออกแบบและทำการ สร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์(PWM)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานของระบบบิตดิจิทัลไอโรรีสาย

## 1.5 ขั้นตอนการทำโครงการ

ขั้นตอนการทำโครงการแบ่งออกเป็น 5 ขั้นตอน คือ การกำหนดปัญหาที่จะทำการศึกษา การออกแบบวงจรรับ-ส่งสัญญาณ การออกแบบวงจรมอดูเลตเชิงความถี่กว้าง ทำการทดลองในภาคทฤษฎี และการทำปริญญานิพนธ์ โดยช่วงเวลาในการทำขั้นตอนต่างๆ ได้แสดงไว้ในตารางที่ 1.1

ตารางที่ 1.1 ขั้นตอนของการทำโครงการ

ขั้นตอนของการทำโครงการ	ช่วงระยะเวลา								
	2550							2551	
	มิ.ย.	ก.ค.	ส.ค.	ก.ย.	ต.ค.	พ.ย.	ธ.ค.	ม.ค.	ก.ค.
1. กำหนดปัญหาที่จะทำการศึกษา	←→								
2. ออกแบบวงจรรับ – ส่งสัญญาณ	←							→	
3. การออกแบบวงจรมอดูเลตเชิงความถี่กว้าง	←							→	
4. ทำการทดลองในภาคทฤษฎี	←								→
5. การทำปริญญานิพนธ์								←	→

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### ทฤษฎีที่เกี่ยวข้อง

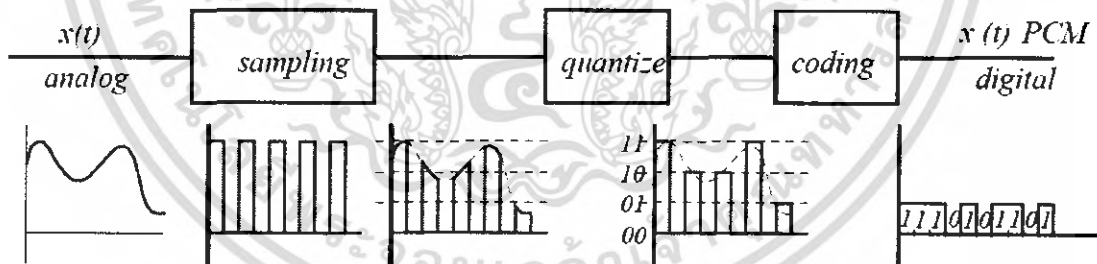
#### 2.1 การสื่อสารในระบบดิจิทัล (Digital Communications)

##### 2.1.1 บทนำ

การใช้สัญญาณดิจิทัลในการสื่อสารนั้นมีข้อได้เปรียบกว่าสัญญาณอนาล็อกหลายประการ เป็นต้นว่าสัญญาณดิจิทัลมีระดับที่แน่นอนการได้สัญญาณเดิมกลับคืนมาอย่างถูกต้องนั้นทำได้ดีกว่าสัญญาณอนาล็อกกล่าวอีกนัยหนึ่งการทนต่อสัญญาณรบกวนดีกว่าสัญญาณอนาล็อก รวมถึงการจัดการสัญญาณที่ทำได้ง่ายกว่า เช่น การเข้ารหัสในรูปแบบต่างๆ แต่อย่างไรก็ตามโดยทั่วไปการส่งสัญญาณในระบบดิจิทัลต้องการแบนด์วิดท์สูงกว่าแอมพลิจูดและต้องการการ synchronize ระหว่างด้านส่งกับด้านรับ รวมถึงข้อมูลที่ส่งจะต้องแปลงให้อยู่ในรูปแบบของสัญญาณดิจิทัลก่อนส่ง และแปลงกลับทางด้านรับถ้าต้องการ

##### 2.1.2 การมอดูเลตแบบเข้ารหัสพัลส์ (PCM : Pulse Code Modulation)

กระบวนการที่จำเป็นสำหรับพีซีเอ็ม ประกอบด้วย การแซมปลิง (Sampling), การควอนไทซ์ (Quantizing), การเข้ารหัส (Encoding) ซึ่งแสดงดังรูปที่ 2.1



รูปที่ 2.1 แสดงขบวนการ Pulse Coded Modulation

##### การแซมปลิง (Sampling)

สัญญาณอนาล็อกที่มีความต่อเนื่องทางขนาด จะถูกแปลงเป็นสัญญาณดิจิทัลที่มีสัญญาณไม่ต่อเนื่องได้นั้น ทำได้โดย การสุ่มตัวอย่าง (Sampling) เป็นการตัดสุ่มสัญญาณอนาล็อกออกเป็นช่วงๆ ด้วยความถี่ของการสุ่ม (Sampling Frequency,  $f_s$ ) หรือเวลาการสุ่ม (Sampling Time,  $T_s$ ) สัญญาณเดิมจะถูกเปลี่ยนกลับคืนมาได้อย่างครบถ้วนนั้นต้องมีข้อจำกัดที่สำคัญ ซึ่งกล่าวไว้ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีบทการสุ่มตัวอย่างของ Shannon คือ ความถี่ของการสุ่มตัวอย่างจะต้องสูงกว่า ความถี่สูงสุดของสัญญาณที่ต้องการสุ่มนี้สองเท่าขึ้นไป ถ้าสัญญาณที่ต้องการสุ่มตัวอย่างมีความถี่สูงสุดเป็น  $f_m$  ความถี่ของการสุ่มตัวอย่างจะต้องเป็น  $f_s \geq 2 f_m$  สัญญาณที่เปลี่ยนกลับจึงไม่เกิดการผิดเพี้ยน เรียกอัตราการสุ่มตัวอย่างนี้ว่า Nyquist Rate

### การควอนไทซ์ (Quantizing)

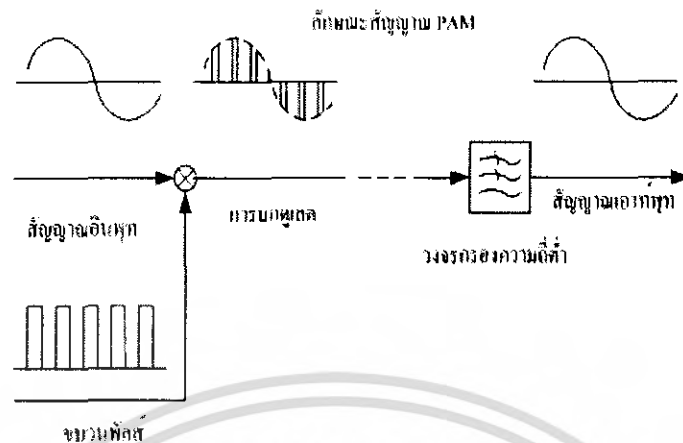
สัญญาณแอนะล็อกเมื่อถูกสุ่มตัวอย่างเป็นพัลส์ที่มีขนาดความสูงเท่ากับสัญญาณแอนะล็อก ณ เวลาที่ถูกสุ่ม เรียกพัลส์ที่ได้นี้ว่าสัญญาณ Pulse Amplitude Modulation ,PAM พัลส์นี้จะมีระดับขนาดเท่าใดก็ได้ตามสัญญาณแอนะล็อกที่สุ่มได้ จากนั้นจะทำการปรับระดับขนาดของพัลส์นี้ให้อยู่ในระดับที่กำหนดไว้ เรียกขบวนการนี้ว่า Quantization

### การเข้ารหัส (Encoder)

คือ การเข้ารหัสสัญญาณของแต่ละลำดับที่ได้จากการควอนไทซ์ การแซมปลิงจะเปลี่ยนสัญญาณที่มีความต่อเนื่องทางเวลาไปเป็นสัญญาณที่ไม่มีมีความต่อเนื่องทางเวลา ส่วนการควอนไทซ์จะเปลี่ยนค่าแอมพลิจูดที่มีความต่อเนื่องไปเป็นสัญญาณที่ไม่มีแอมพลิจูดต่อเนื่อง ดังนั้นกระบวนการแซมปลิงร่วมกับกระบวนการควอนไทซ์คือ การเปลี่ยนสัญญาณอนาล็อกเป็นดิจิทัลโดยทั่วไปแล้วการควอนไทซ์จะมีวงจรการทำงานร่วมกันเรียกว่า A/ D Converter และการรวมเข้าด้วยกันของการควอนไทซ์กับการเข้ารหัสทำให้การมอดูเลตแบบ PCM แยกต่างกันไปจากการมอดูเลตแบบพัลส์อนาล็อกต่างๆ ไป (Analog Pulse Modulation) ในส่วนที่จะกล่าวถึงต่อไป เราจะว่ากันถึง 3 ขั้นตอนของ PCM

### 2.1.3 ทฤษฎีการสุ่ม (Sampling Theory)

การส่งสัญญาณดิจิทัลของสัญญาณอนาล็อก สามารถอธิบายด้วยทฤษฎีของการสุ่ม (Sampling Theorem) (รูปที่ 2.2) และกระบวนการสุ่มที่เกิดขึ้นก็ต้องสอดคล้องกับทฤษฎีการสุ่มเช่นกัน



รูปที่ 2.2 วงจรการสุ่ม (Sampling)

### 2.1.3.1 สัญญาณจำกัดแบนด์ (Band limit)

สัญญาณจำกัดแบนด์ (Band limit) คือ สัญญาณ  $m(t)$  ใดๆ ที่มีค่าจากการแปลงฟูเรียร์  $m(t)$  ในแนวความถี่มีค่าเป็นศูนย์ ที่ความถี่ที่สูงกว่า  $\omega_M$  เขียนในรูปสมการได้เป็น

$$m(t) \leftrightarrow M(\omega) = 0 \quad \text{เมื่อ } |\omega| > \omega_M = 2\pi f_M \quad (2.1)$$

### 2.1.3.2 ทฤษฎีการสุ่ม (Sampling Theory)

ถ้าสัญญาณ  $m(t)$  มีค่าจริงและเป็นสัญญาณจำกัดแบนด์ตามเงื่อนไขในสมการ (2.1) แล้วสัญญาณ  $m(t)$  นั้นสามารถหาค่าได้จากค่าการสุ่มคือ  $m(nT_s)$  ที่ถูกสุ่มในช่วงยูนิฟอร์ม  $T_s \left[ \leq \frac{1}{2f_M} \right]$

ในความเป็นจริง แล้วสัญญาณ  $m(t)$  สามารถเขียนอยู่ในรูปสมการข้างล่างนี้ได้คือ

$$m(t) = \sum_{n=-\infty}^{\infty} m(nT_s) \frac{\sin \omega_M (t - nT_s)}{\omega_M (t - nT_s)} \quad (2.2)$$

เมื่อ  $T_s$  หมายถึง คาบเวลาของการสุ่ม (Sampling Period) และส่วนกลับของ  $T_s$  คือ  $f_s = \frac{1}{T_s}$

หมายถึงอัตราการสุ่ม (Sampling Rate) หรือความถี่ในการสุ่ม (Sampling frequency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสุ่ม กล่าวว่า สัญญาณจำกัดแบนด์ที่ไม่มีส่วนประกอบของความถี่ที่สูงกว่า  $f_M$  สามารถทำให้กลับคืนมาได้อย่างสมบูรณ์จากอัตราการสุ่มที่มากกว่าหรือเท่ากับ 2 เท่าของ  $f_M$  ( $\geq 2 f_M$ ) การสุ่มต่อวินาที (Sample/second)

ทฤษฎีการสุ่มข้างบนบางครั้งเรียกว่า ทฤษฎีการสุ่มแบบยูนิฟอร์ม (Uniform Sampling Theorem) สำหรับสัญญาณเบสแบนด์ (Baseband) หรือสัญญาณความถี่ต่ำ

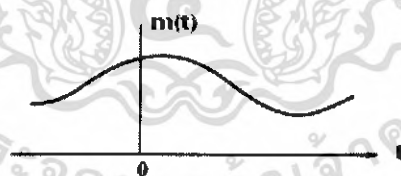
อัตราสุ่มที่มีค่าเป็น  $2 f_M$  การสุ่มต่อวินาที (อัตราขั้นต่ำสุด) เรียกว่า อัตราไนควิสต์ (Nyquist Rate) มีส่วนกลับเป็น  $\frac{1}{2 f_M}$  (วินาที) เรียกว่า ช่วงไนควิสต์ (Nyquist Interval)

อย่างไรก็ตามการสุ่มสัญญาณที่มีลักษณะเป็นแบนด์พาส (Bandpass) ในบางครั้งอัตราสุ่มสามารถมีค่าต่ำกว่า  $2 f_M$  ได้

#### 2.1.4 การสุ่ม (Sampling)

##### 2.1.4.1 การสุ่มชั่วขณะ (Instantaneous Sampling)

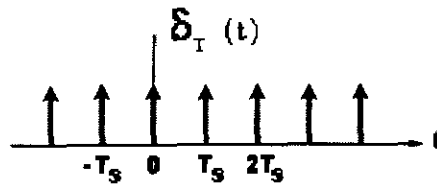
สมมติให้สัญญาณ  $m(t)$  ใด ๆ (รูปที่ 2.3) ถูกสุ่มในช่วงด้วยอัตราที่เท่ากัน (Uniform rate) ทุก ๆ  $T_s$  วินาที เราก็จะได้ค่าเชิงเรขาคณิตของสุ่มเป็นจำนวนอนันต์คือ  $[m(nT_s)]$  เมื่อ  $n$  คือจำนวนจริงที่เป็นไปได้ทั้งหมด การสุ่มในทางอุดมคตินี้เรียกว่า การสุ่มชั่วขณะ (Instantaneous Sampling)



รูปที่ 2.3 สัญญาณที่ได้จากการสุ่มในอุดมคติ

##### 2.1.4.2 สัญญาณสุ่มในทางอุดมคติ (Ideal Sampled Signal)

ค่าที่ได้จากการสุ่ม คือ สัญญาณในทางอุดมคติได้จากการคูณสัญญาณ  $m(t)$  กับ กระบวนอิมพัลส์หนึ่งหน่วย (Unit Impulse Train) จากรูปที่ 2.4 และสมการ(2.3) จะได้ตั้งสมการ (2.4)

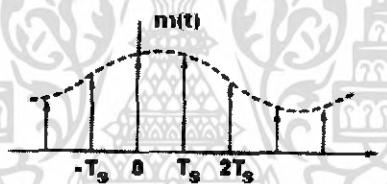


รูปที่ 2.4 กระบวนอิมพัลส์หนึ่งหน่วย

$$t\delta'(t) = -\delta(t) \quad (2.3)$$

$$m_s(t) = m(t) \delta_{T_s}(t) = \sum_{n=-\infty}^{\infty} m(nT_s) \delta(t - nT_s) \quad (2.4)$$

สัญญาณในรูปที่ 2.5 หมายถึง สัญญาณในอุดมคติ (Ideal Sampling)

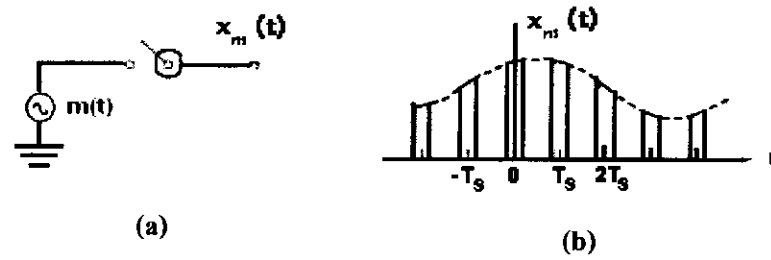


รูปที่ 2.5 สัญญาณในอุดมคติ

### 2.1.4.3 การสุ่มในทางปฏิบัติ (Practical Sampling)

#### 2.1.4.3.1 การสุ่มแบบธรรมชาติ (Natural Sampling)

ถึงแม้การสุ่มชั่วขณะเป็นรูปแบบจำลองที่นิยมใช้เพื่ออธิบายหลักการสุ่มก็ตาม แต่ในทางปฏิบัติแล้วการสุ่มสัญญาณจำกัดแบนด์นาล็อก  $m(t)$  สามารถทำได้โดยวงจรสวิตช์ความเร็วสูง ซึ่งมีวงจรสมมูลและสัญญาณที่ถูกสุ่มตามรูปที่ 2.6 (a) และ (b) ตามลำดับ



รูปที่ 2.6 การสุ่มแบบธรรมชาติ

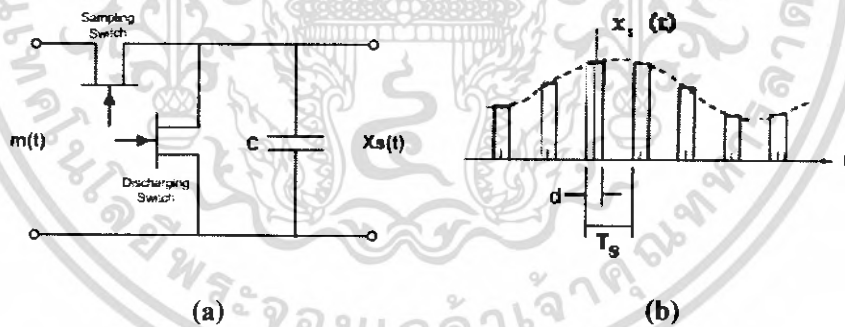
สัญญาณที่ได้จากการสุ่ม สามารถเขียนได้เป็น

$$x_m(t) = m(t)x_p(t) \quad (2.5)$$

เมื่อ  $x_p(t)$  คือกระบวนการพัลส์สี่เหลี่ยมที่มีคาบเวลาเป็น  $T_s$  มีความกว้างของพัลส์เป็น  $d$  และแอมพลิจูดขนาดหนึ่งหน่วยที่ถูกสุ่มนั่นเอง

#### 2.1.4.3.2 การสุ่มแบบส่วนยอดราบเรียบ (Flat-top Sampling)

เป็นวิธีการสุ่มที่ธรรมดาและนิยมใช้ที่สุด โดยใช้วงจร S/H (Sampled-and-Hold circuit) ในรูปที่ 2.6 (a) และสัญญาณที่ได้จากการสุ่มแสดงในรูปที่ 2.7 (b)



รูปที่ 2.7 การสุ่มแบบราบเรียบ

#### 2.1.5 การควอนไทซ์ (Quantizing)

การควอนไทซ์ คือ การเทียบระดับแรงดันเป็นกระบวนการในการนำสัญญาณที่ถูกสุ่มแล้วมาจัดกลุ่มภายในระดับซึ่งแบ่งออกเป็นช่วงๆ แต่ละช่วงจะถูกแทนค่าด้วยค่าคงที่มีชื่อเรียกว่าค่าควอนไทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.5.1 การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantizing)

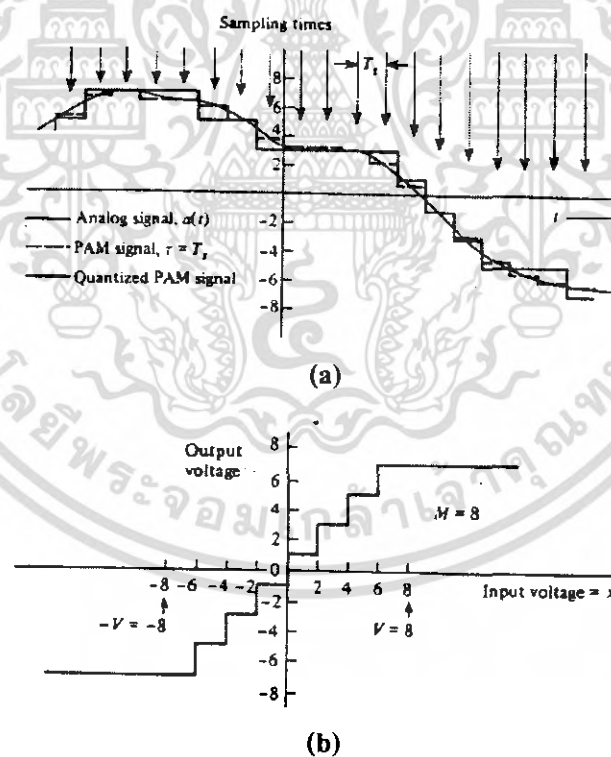
กระบวนการควอนไทซ์แสดงในรูปที่ 2.8 ซึ่งเราจะสมมติให้แอมพลิจูดของสัญญาณ  $m(t)$  ถูกจำกัดค่าอยู่ในช่วง  $(-m_p, m_p)$  และช่วงนี้จะถูกแบ่งออกเป็น  $L$  ส่วน แต่ละส่วนจะมีขนาดของสเต็ป (Step Size) เป็น

$$\Delta = \frac{2m_p}{L} \quad (2.6)$$

โดยค่าแอมพลิจูดที่ได้จากการสุ่มจะมีค่าโดยประมาณตรงจุดกึ่งกลางของช่วงดังรูปที่

2.8(a)

คุณลักษณะแสดงความสัมพันธ์ระหว่างอินพุต-เอาต์พุตของการควอนไทซ์แบบยูนิฟอร์มแสดงในรูปที่ 2.8 (b)



รูปที่ 2.8 การควอนไทซ์แบบยูนิฟอร์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสำคัญของการแปลงสัญญาณอยู่ที่การได้สัญญาณดิจิทัลที่แทนสัญญาณอนาล็อกได้ใกล้เคียงมากที่สุด และใช้เวลาในการแปลงน้อยที่สุด การที่จะแทนสัญญาณให้ใกล้เคียงสัญญาณมากที่สุด ต้องแปลงจำนวนระดับที่จะแทนสัญญาณนั้นมากที่สุด นั่นคือจำนวนบิตที่ใช้ในการแทนสัญญาณต้องมากที่สุดเท่าที่จะเป็นไปได้ในจำนวนบิตที่จำกัดค่าหนึ่งจะได้จำนวนระดับที่จำกัดเช่นกัน ตัวอย่างในตารางที่ 2.1

ตารางที่ 2.1 แสดงถึงความสัมพันธ์ระหว่างจำนวนบิตและระดับควอนไทซ์

จำนวนบิต	จำนวนระดับควอนไทซ์
6	64
7	128
8	256
9	512
10	1,024
11	2,408
12	4,096
16	65,536

หากพิจารณาถึงอัตราส่วนสัญญาณต่อระดับแรงดันรบกวน ( S/N : Signal to Noise ratio) ที่เกิดจากควอนไทซ์ในระบบพีซีเอ็ม จะสามารถคำนวณได้โดยมีค่าเท่ากับ ( S/N ) เดซิเบล =  $(6 \times n + 1.76)$  โดย  $n$  เป็นจำนวนที่ใช้แทนระดับควอนไทซ์ ในกรณีที่ช่วงควอนไทซ์ถูกกำหนดให้มีระยะห่างเท่ากันพบว่าค่า S/N ในหน่วยเดซิเบล มีการแปรค่าไปตามจำนวนบิตของแต่ละระดับควอนไทซ์ ซึ่งสรุปความสัมพันธ์ระหว่างจำนวนบิต กับค่า S/N ในตารางที่ 2.2

ตารางที่ 2.2 ความสัมพันธ์ระหว่างจำนวนบิต กับค่า S/N

จำนวนบิต	ค่า S/N (เดซิเบล) : dB
6	37.76
7	43.76
8	49.76
9	55.76
10	61.76
11	67.76
12	73.76
16	97.76

### สัญญาณรบกวนที่เกิดจากการควอนไทซ์ (Quantizing Noise)

จากหลักการควอนไทซ์จะเห็นว่าในขั้นตอนการแปลงสัญญาณกลับเป็นสัญญาณอนาล็อกอาจทำให้เกิดความแตกต่างระหว่างสัญญาณอนาล็อกเดิมกับสัญญาณอนาล็อกที่แปลงกลับจากสัญญาณดิจิทัลซึ่งเป็นการผิดพลาดที่เกิดขึ้นเราเรียกว่าการผิดพลาดจากควอนไทซ์ (Quantizing error) หรือสัญญาณรบกวนจากการควอนไทซ์ (Quantize noise)

สัญญาณอินพุตที่เข้ามาจัดว่าเป็นสัญญาณแบบแรนดัม (Random Signal) นั่นคือทำให้การผิดพลาดจากการควอนไทซ์เกิดขึ้นในลักษณะสุ่ม (random) ในช่วงนั้นด้วย คือ

$$-\frac{\Delta}{2} \leq q_e \leq \frac{\Delta}{2} \quad (2.7)$$

สมมติให้การผิดพลาดจากการควอนไทซ์นี้มีโอกาสเกิดขึ้นได้อย่างเท่าเทียมกันในช่วง

$(-\frac{\Delta}{2}, \frac{\Delta}{2})$  ค่าเฉลี่ยกำลังสองของค่าผิดพลาดหาได้จาก

$$\langle q_e^2 \rangle = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} q_e^2 dq_e = \frac{\Delta^2}{12} \quad (2.8)$$

แทนค่า  $\Delta$  ในสมการ (2.6) ในสมการ (2.8) เราจะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

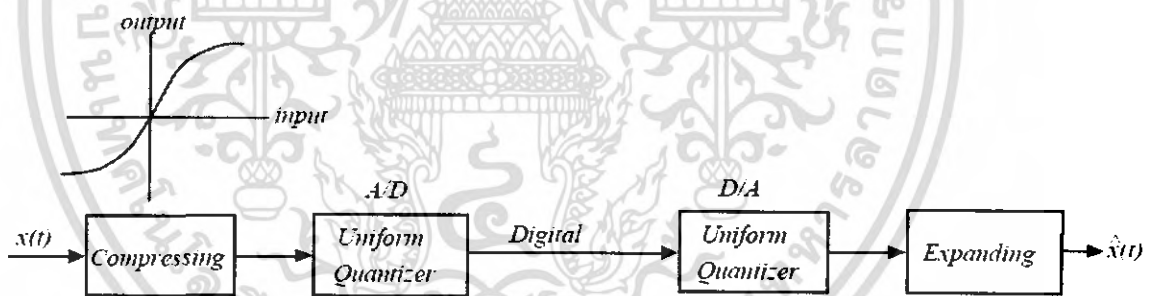
$$\langle q_i^2 \rangle = \frac{m^2}{3L^2} \tag{2.9}$$

**2.1.5.2 การควอนไทซ์แบบนอนยูนิฟอร์ม (Non-uniform Quantizing)**

การทำ Nonuniform Quantization นั้นทำได้โดยการแปลงสัญญาณที่เข้ามาให้มีค่าเปลี่ยนไปในลักษณะ nonlinear คือที่สัญญาณต่ำๆ ให้มีการขยายสัญญาณออก ในขณะที่สัญญาณที่สูงอยู่แล้วก็ขยายน้อย

เรียกขั้นตอนนี้ว่า Compressing สัญญาณจากนั้นจึงผ่านเข้า uniform quantizer เพื่อเปลี่ยนเป็นสัญญาณดิจิทัล ในทางกลับกันเมื่อแปลงกลับเป็นสัญญาณแอนะล็อกแล้วต้องแปลงสัญญาณกลับโดยการขยายที่ตรงข้ามกับตอนแรก เรียกขั้นตอนนี้ว่า Expanding รวมเรียกขบวนการเพื่อทำ nonuniform quantization แบบนี้ว่า Companding

ผังรูปที่ 2.9 แสดงการทำ Companding



รูปที่ 2.9 Companding

ความสัมพันธ์ของสัญญาณขาเข้าและสัญญาณขาออกของการ compressing สัญญาณ อธิบายโดยเส้นโค้งความสัมพันธ์ซึ่งมีมาตรฐานอยู่สองมาตรฐานคือ A-law มาตรฐานยุโรปและ μ-law มาตรฐานของอเมริกาและญี่ปุ่นมีความสัมพันธ์ดังสมการที่ 2.10 และ 2.11 ตามลำดับ

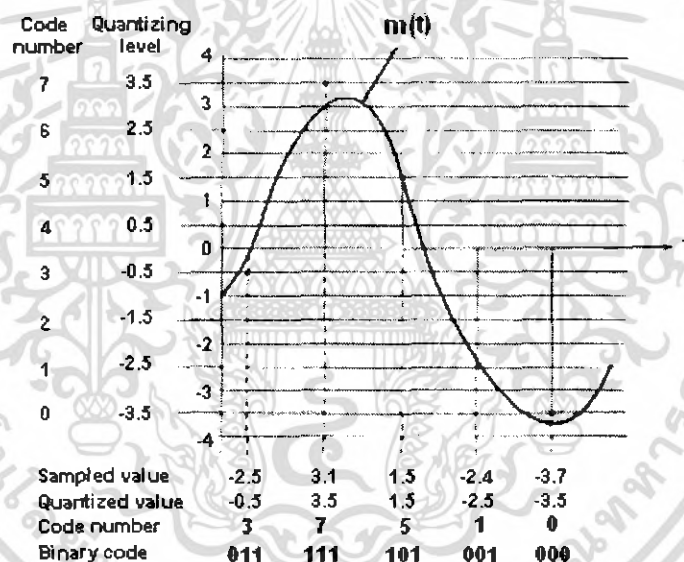
$$F_{\mu}(x) = \text{sgn}(x) \frac{\ln(1 + \mu|x|)}{\ln(1 + \mu)} \tag{2.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F_A = \begin{cases} \operatorname{sgn}(x) \left[ \frac{A(x)}{1 + \ln A} \right] \\ \operatorname{sgn}(x) \left[ \frac{1 + \ln A|x|}{1 + \ln A} \right] \end{cases} \quad (2.11)$$

### 2.1.6 การเข้ารหัส (Coding)

ตัวเข้ารหัส (Encoder) ทำหน้าที่เป็นตัวเปลี่ยนค่าที่ได้จากการควอนไทซ์เป็นรหัสที่เป็นซีควีนซ์ของไบนารี (Binary Sequence) เพื่อเปลี่ยนเป็นสัญญาณพัลส์ที่เหมาะสมกับการส่งสัญญาณต่อไป รหัสไบนารีซีควีนซ์แสดงในรูปที่ 2.10



รูปที่ 2.10 พีซีเอ็มแบบไบนารี (Binary PCM)

สมมติให้สัญญาณ  $m(t)$  ถูกกำจัดค่าแอมพลิจูดอยู่ในช่วง -4 โวลต์ ถึง 4 โวลต์ ขนาดของสแต็ป คือ  $\Delta$  มีค่าเป็น 1 โวลต์ ดังนั้นจำนวนระดับการควอนไทซ์ทั้งหมดจะมี 8 ระดับ คือ -3.5 โวลต์, -2.5 โวลต์, ..., +3.5 โวลต์ โดยกำหนดให้ -3.5 โวลต์ มีรหัสเป็น 0, -2.5 โวลต์ มีรหัสเป็น 1 ไปเรื่อย ๆ จนถึง +3.5 โวลต์ จะมีรหัสเป็น 7 ซึ่งรหัส 0 จะมีเลขไบนารีเป็น 000, รหัส 1 มีรหัสไบนารี 001 ไปเรื่อย ๆ จนถึงรหัส 7 ที่มีรหัสไบนารีเป็น 111 โดยที่ขนาดแอมพลิจูดของ  $m(t)$  จะถูกจัดให้อยู่ในระดับของการควอนไทซ์ที่มีค่าใกล้เคียงกับค่าแอมพลิจูดที่เป็นจริงมากที่สุด (เป็นเหตุผลว่าทำไมการควอนไทซ์จึงมีสัญญาณรบกวนเกิดขึ้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.7 แบบคํวคทในการส่งสัญญาณพีซีเอ็ม (PCM)

สมมติให้  $L$  คือจำนวนระดับของการควอนไทซ์ เราจะได้ว่า

$$L = 2^n \qquad n = \log_2 L \qquad (2.12)$$

เมื่อ  $n$  คือจำนวนเต็มท่ซึ่งหมายถึงจำนวนบิต (Bit) ของสัญญาณไบนารีพีซีเอ็ม ในการสุ่มแต่ละครั้ง ถ้าสัญญาณข้อมูลนั้นมีแบนวิททเป็น  $f_m$  และมีอัตราการสุ่มเป็น  $f_s (\geq 2 f_m)$  แล้วจำนวนบิตท่ใช้ส่งสัญญาณไบนารีพีซีเอ็ม จะมีค่าเป็น  $n f_s$  บิตต่อวินาที

สมมติให้สัญญาณพีซีเอ็ม นั้นเป็นสัญญาณความถี่ต่ำมีแบนวิททเป็น  $2 f_{PCM}$  นั่นคือ

$$2 f_{PCM} = n f_s \qquad (2.13)$$

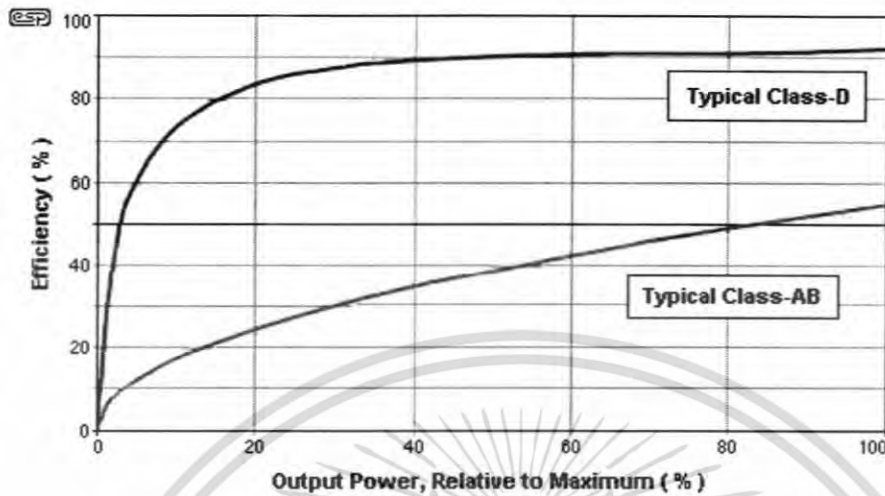
หรือ 
$$f_{PCM} = \frac{n}{2} f_s \geq n f_m \qquad (2.14)$$

จากสมการ (2.14) จะเห็นว่าแบนวิททในการส่งสัญญาณพีซีเอ็ม จะขึ้นอยู่กับแบนวิททของสัญญาณข้อมูลและจำนวนบิตต่อการสุ่ม 1 ครั้ง แต่แบนวิททในการส่งสัญญาณท่แท้จริงขึ้นอยู่กับการแทนค่าของสัญญาณพีซีเอ็มมากกว่า

## 2.2 วงจรขยายสัญญาณเสียงคลาส-ดี (Class-D Amplifier)

### 2.2.1 บทนำ

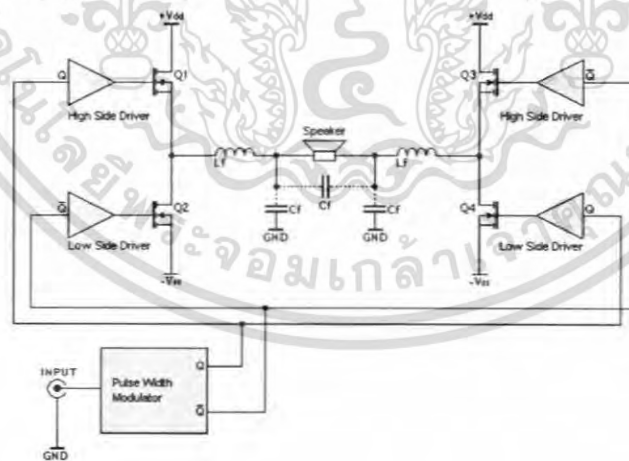
วงจขยายเสียงคลาส-ดี เป็นวงจท่มีประสิทธิภาพในการทำงานสูงซึ่งในทางทฤษฎีนั้นมีประสิทธิภาพ 100 เปอร์เซ็นต์ แต่ในทางปฏิบัติมีประสิทธิภาพ 90 เปอร์เซ็นต์และยังมีข้อดีอีกหลายอย่างท่เครื่องขยายเสียงคลาสอื่นๆ ไม่สามารถทำได้ เช่น มีขนาดของเครื่องขยายเสียงท่เล็กและเบา ระบายความร้อนดี และเหมาะกบงานท่ต้องการกำลังเอาท่พุดสูงและขนาดของเครื่องขยายสัญญาณเล็ก ดังรูปท่ 2.11



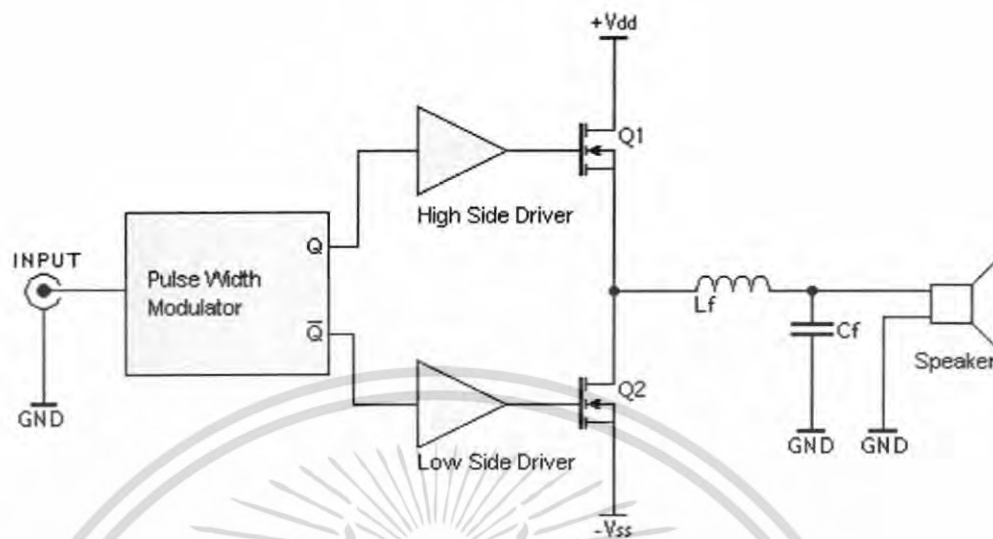
รูปที่ 2.11 ประสิทธิภาพของ Class-D และ Class-AB

2.2.2 โครงสร้างของวงจรขยายสัญญาณเสียงคลาสดี

โครงสร้างของวงจรขยายเสียงคลาสดีนั้นมี 2 แบบ คือ แบบฮาล์ฟบริดจ์ (Half-Bridge) และแบบฟูล์บริดจ์ (Full-Bridge) ซึ่งแบบฮาล์ฟบริดจ์นั้นจะมี เอ๊าท์พุท 2 สัญญาณ และแบบฟูล์บริดจ์มีเอ๊าท์พุท 4 สัญญาณ ดังรูปที่ 2.12 และรูปที่ 2.13



รูป 2.12 Full -bridge Class-D



รูปที่ 2.13 Half-bridge Class-D

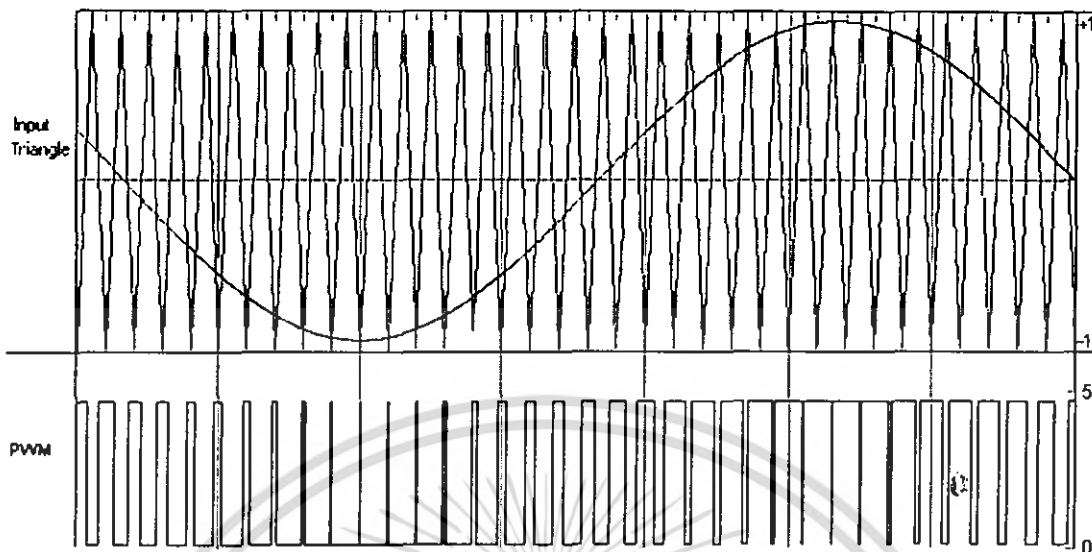
### 2.3 การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation)

การมอดูเลตเชิงความกว้างพัลส์ (PWM) คือการมอดูเลตที่ทำให้เกิดสัญญาณเอาต์พุตที่ได้มีแอมพลิจูดและความถี่เท่ากันทุกพัลส์แต่มีความกว้างของพัลส์จะขึ้นอยู่กับสัญญาณอินพุต ซึ่งหากสัญญาณอินพุตมีแอมพลิจูดสูง ความกว้างของพัลส์จะมีค่ามากกว่าตอนที่อินพุตมีแอมพลิจูดต่ำ

#### กรรมวิธีมอดูเลชั่น

วงจรมอดูเลตเชิงความกว้างพัลส์ (PWM) แสดงดังรูปสัญญาณอนาล็อกจะถูกนำไปเปรียบเทียบกับสัญญาณพาห์รูปสามเหลี่ยมในช่วงเวลาสูงสุดและผลที่ออกมาจากอุปกรณ์เปรียบเทียบกับจะเป็นพัลส์ที่มีขนาดลดลงเมื่อถึงจุดเปรียบเทียบ ดังนั้นจากวงจรก็สามารถได้รับกลุ่มพัลส์ที่มีความกว้างเปลี่ยนไปตามแอมพลิจูดที่สอดคล้อง ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงการมอดูเลตเชิงความกว้างพัลส์

### 2.3.1 ชนิดของการมอดูเลตเชิงความกว้างพัลส์

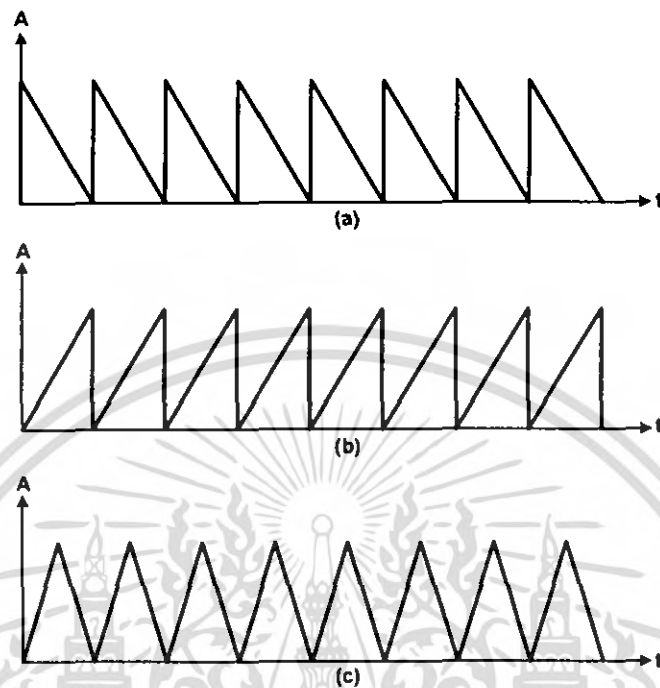
ชนิดของการมอดูเลตเชิงความกว้างพัลส์เราสามารถแบ่งจำแนกได้ตามสัญญาณพาห်ที่เรานำมาทำการมอดูเลตกับสัญญาณอินพุท ซึ่งสามารถแบ่งออกได้เป็น 3 ชนิด ได้แก่

2.3.1.1 **The Lead Edge** เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีขอบขาของพัลส์แต่ละพัลส์จะแปรผันตามขนาดของสัญญาณ โดยมีระยะห่างระหว่างสัญญาณที่ขาของแต่ละพัลส์มีค่าคงที่ โดยการสร้างสัญญาณนี้สามารถทำได้โดยการนำสัญญาณอินพุทมาเปรียบเทียบกับสัญญาณพาห်รูปสามเหลี่ยมดังรูปที่ 2.15 (a)

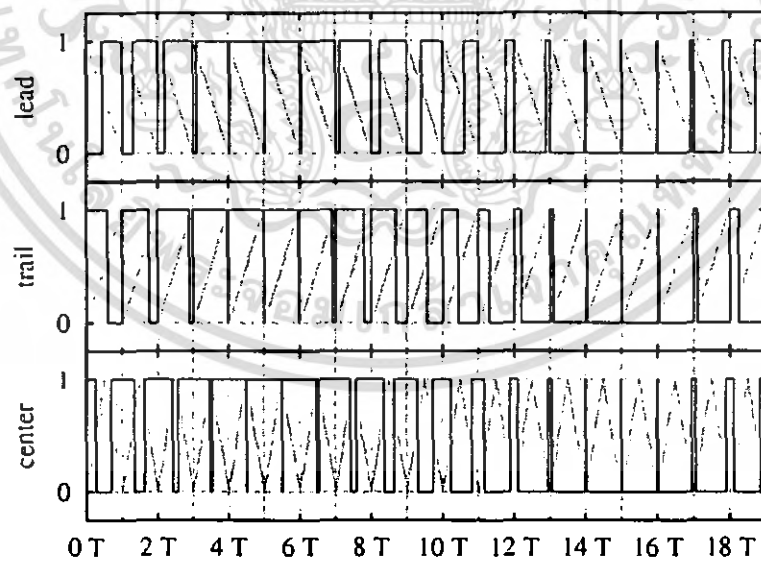
2.3.1.2 **The Tail Edge** เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีขอบขาขึ้นของพัลส์แต่ละพัลส์จะแปรผันตามขนาดของสัญญาณ โดยมีระยะห่างระหว่างสัญญาณที่ขาขึ้นของแต่ละพัลส์มีค่าคงที่ โดยการสร้างสัญญาณนี้สามารถทำได้โดยการนำสัญญาณอินพุทมาเปรียบเทียบกับสัญญาณพาห်รูปสามเหลี่ยมดังรูปที่ 2.15 (b)

2.3.1.3 **The Pulse Center (Symmetrical PWM)** เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีระยะห่างของศูนย์กลางของแต่ละพัลส์มีค่าคงที่ โดยเมื่อแอมพลิจูดของสัญญาณอินพุทมีค่าสูงกว่าสัญญาณพาห် สัญญาณที่ได้จากการมอดูเลตจะมีความกว้างพัลส์มาก และเมื่อแอมพลิจูดของสัญญาณอินพุทมีค่าต่ำกว่าสัญญาณพาห် สัญญาณที่ได้จากการมอดูเลตก็จะมี ความกว้างของพัลส์ลดลง ซึ่งจะสังเกตได้ว่าการสร้างสัญญาณมอดูเลตแบบนี้ก็จะได้พัลส์ที่เป็นสมมาตรที่จุดกึ่งกลางของสัญญาณที่ได้จากการมอดูเลต (รูปแสดงสัญญาณพาห်แบบ สมมาตรนั้นได้แสดงตัวอย่างไว้ในรูปที่ 2.15 (c))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 สัญญาณคลื่นพาห์สำหรับการมอดูเลตเชิงความกว้างพัลส์

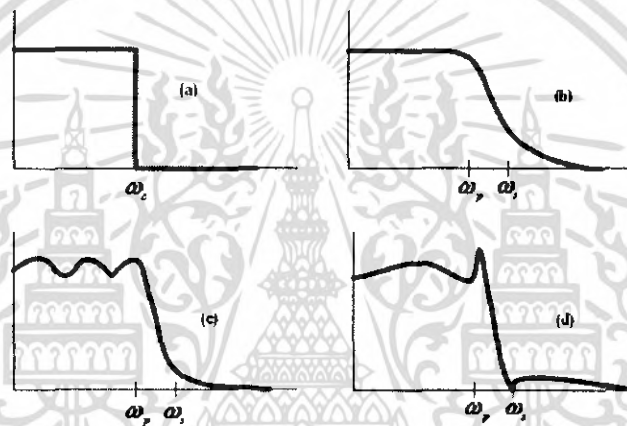


รูปที่ 2.16 (บน) แสดงรูปของ The Lead Edge Modulation  
(กลาง) แสดงรูปของ The Trail Edge Modulation  
(ล่าง) แสดงรูปของ The Pulse Center Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)

วงจรที่ยอมให้ความถี่ต่ำผ่านไปได้ดี และทำการลดทอนสัญญาณที่มีความสูงกว่าความถี่คัตออฟ ( $\omega_c$  : Cut-off Frequency) ออก โดยเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (Passband) หรือแบนด์วิดท์ (BW : Bandwidth) ของวงจร ส่วนย่านความถี่ที่ไม่ยอมให้ผ่านไปจะเรียกว่าย่านความถี่หยุด (Stopband) ซึ่งรูปที่ 2.17 (a) เป็นภาพผลตอบสนองทางขนาดของวงจรความถี่ต่ำผ่านในแบบอุดมคติ ซึ่งเราสามารถประมาณผลตอบสนองที่ได้จากวงจรกรองได้ดังรูปที่ 2.17 (b) – (d)



รูป 2.17 ผลการตอบสนองของวงจรกรองความถี่ต่ำผ่าน

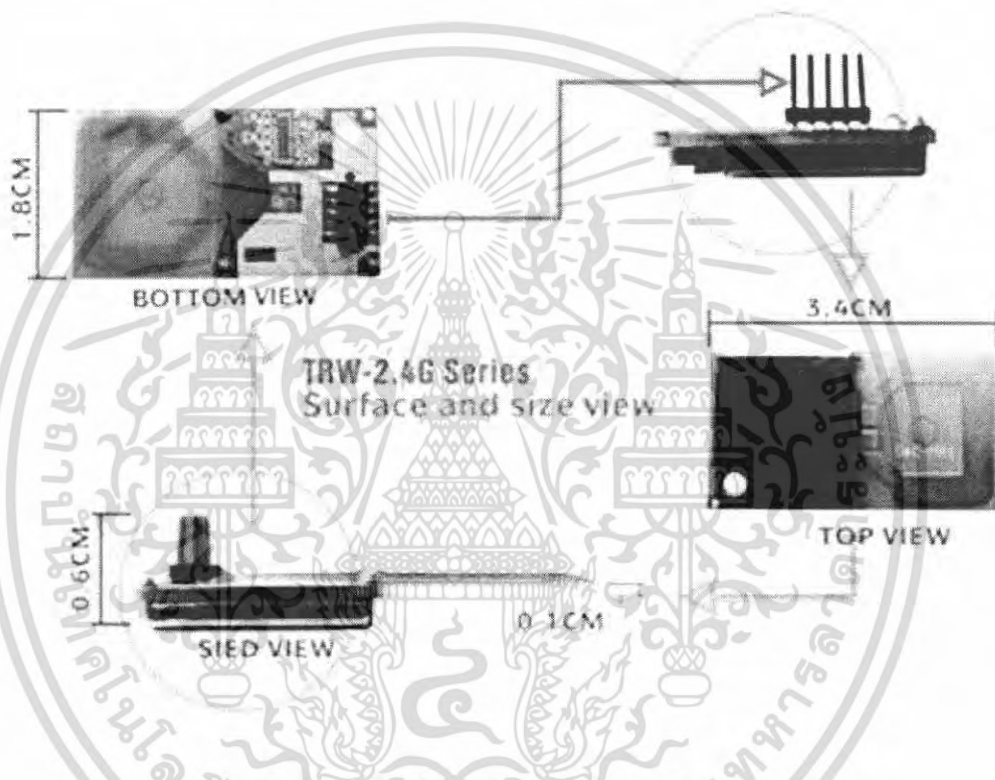
## 2.5 โมดูลที่อาร์ดับบลิว 2.4G (TRW-2.4G Module)

โมดูลที่อาร์ดับบลิว 2.4จี (TRW-24G Module) เป็นโมดูลสำเร็จรูป ที่สามารถการรับ-ส่งข้อมูลแบบอนุกรม ด้วยความถี่ในช่วง 2.4 ถึง 2.524 จิกกะเฮิร์ต (GHz) มีสายอากาศในตัว ใช้งานได้ในระยะ 280 เมตร (ที่อัตราข้อมูล 250 kbps) ระยะ 150 เมตร (ที่อัตราข้อมูล 1Mbps) ในพื้นที่โล่งแจ้ง ลักษณะเฉพาะของโมดูลที่อาร์ดับบลิว 24G

- สามารถกำหนดช่วงความถี่ 2.4 - 2.524 GHz
- มอดูเลตแบบจีเอฟเอสเค (GFSK : Gaussian Frequency Shift Keying)
- อัตราการส่งข้อมูล : 1 Mbps
- ทำงานที่แรงดัน 3 โวลต์
- จำนวนช่องสัญญาณ 83 ช่อง
- กำลังงานเอาต์พุต : + 4 dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขนาด 20.0 x 36.7 x 2.4 mm.
- มีสายอากาศในตัว
- มีการรับส่งแบบฮาร์ดฟิวเพิล็กซ์ รวมทั้งมีการเข้ารหัส, ถอดรหัส และบีบอัดข้อมูล
- ออกแบบพิเศษเพื่อป้องกันการรบกวนจากอุปกรณ์อื่น



รูปที่ 2.18 โมดูลทีอาร์ดับบลิว 2.4จี (TRW-2.4G Module)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

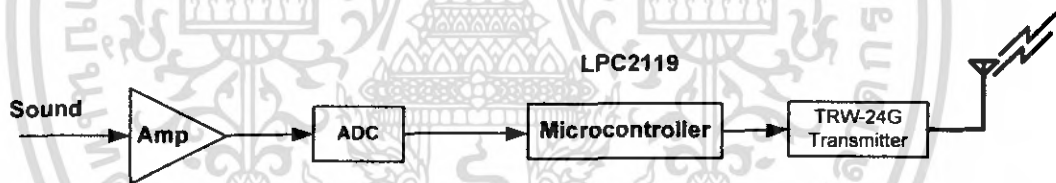
## บทที่ 3

### การออกแบบ

โครงการนี้เลือกใช้ไมโครคอนโทรลเลอร์ตระกูลเออาร์เอ็ม (ARM) เบอร์ LPC 2119 และ เบอร์ LPC 2103 ทำหน้าที่ประมวลผลข้อมูลและควบคุมการทำงานของวงจรรับส่งสัญญาณ ทั้งที่ ภาครับจะมี IC แปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital-to- Analog Converter) เบอร์ cs4334 ส่วนวงจรรับส่งข้อมูลไร้สายนั้น โครงการนี้เลือกใช้วงจร TRW-2.4G ซึ่งรับส่งสัญญาณด้วย คลื่นวิทยุย่านความถี่ 2.4 GHz

#### 3.1 การออกแบบวงจรภาคส่งสัญญาณ

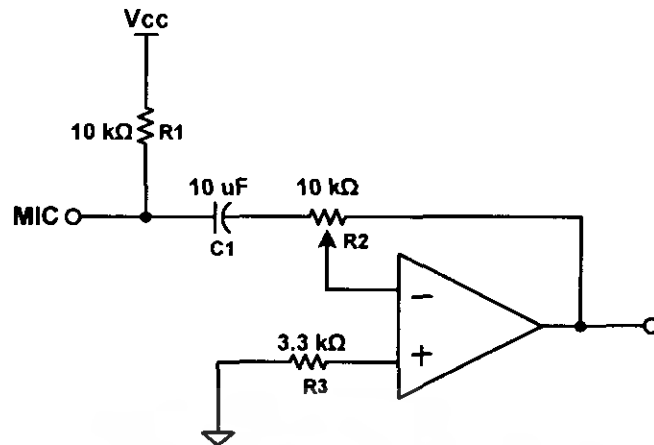
วงจรจะรับสัญญาณเสียงอนาล็อกมา ซึ่งสัญญาณเสียงอินพุตที่ถูกขยายแล้วจะถูกนำมาแปลง สัญญาณอนาล็อกเป็นดิจิทัล และ ทำการแปลงสัญญาณดิจิทัล 16 บิต เพื่อส่งไปยัง ไมโครคอนโทรลเลอร์ และเขียนโปรแกรมควบคุมการส่งสัญญาณโดยไมโครคอนโทรลเลอร์ ดัง รูปที่ 3.1



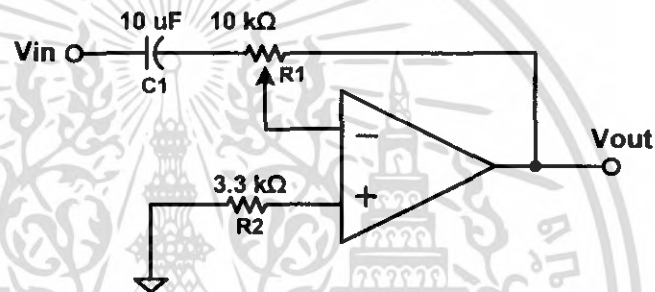
รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่งสัญญาณ

##### 3.1.1 การออกแบบวงจรขยายสัญญาณไมโครโฟนและวงจรขยายสัญญาณเสียงอินพุต

การออกแบบวงจรขยายสัญญาณนี้จะใช้ออปแอมป์ขยายสัญญาณแบบกลับเฟส (Inverting Amplifier) แต่วงจรขยายสัญญาณไมโครโฟนจะป้อนแรงดันให้กับวงจรเพื่อเพิ่มกำลังการขยาย ดัง รูปที่ 3.2 และรูปที่ 3.3



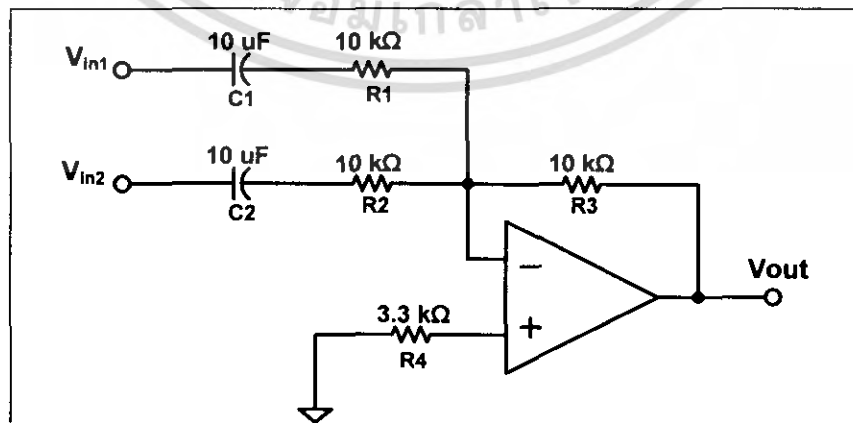
รูปที่ 3.2 วงจรขยายสัญญาณไมโครโฟน



รูปที่ 3.3 วงจรขยายสัญญาณเสียงอินพุต

### 3.1.2 การออกแบบวงจรผสมสัญญาณ

การออกแบบวงจรผสมสัญญาณเพื่อรวมเอาสัญญาณไมโครโฟนกับสัญญาณเสียงอินพุตเข้าด้วยกันโดยจะใช้วงจรออปแอมป์ผสมสัญญาณแบบกลับเฟส ดังรูปที่ 3.4



รูปที่ 3.4 วงจรผสมสัญญาณ

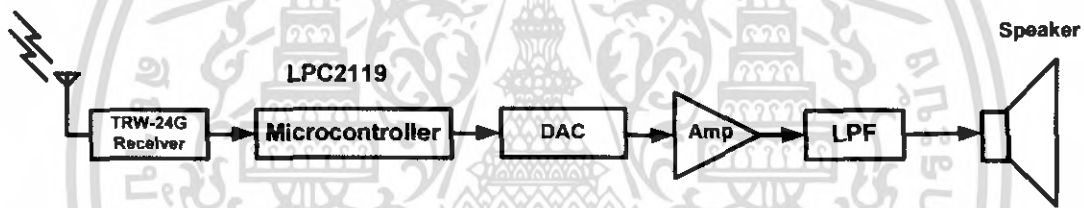
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.3 กระบวนการของวงจรภาคส่งสัญญาณ

กระบวนการทำงานของวงจรจะควบคุมด้วยไมโครคอนโทรลเลอร์ โดยเริ่มจากการแปลงสัญญาณอนาล็อกเป็นดิจิทัล โดยจะได้อัตราสุ่มที่กำหนดค้ต่ำกว่าความถี่เสียงอย่างน้อย 2 เท่า

### 3.2 การออกแบบวงจรภาครับสัญญาณ

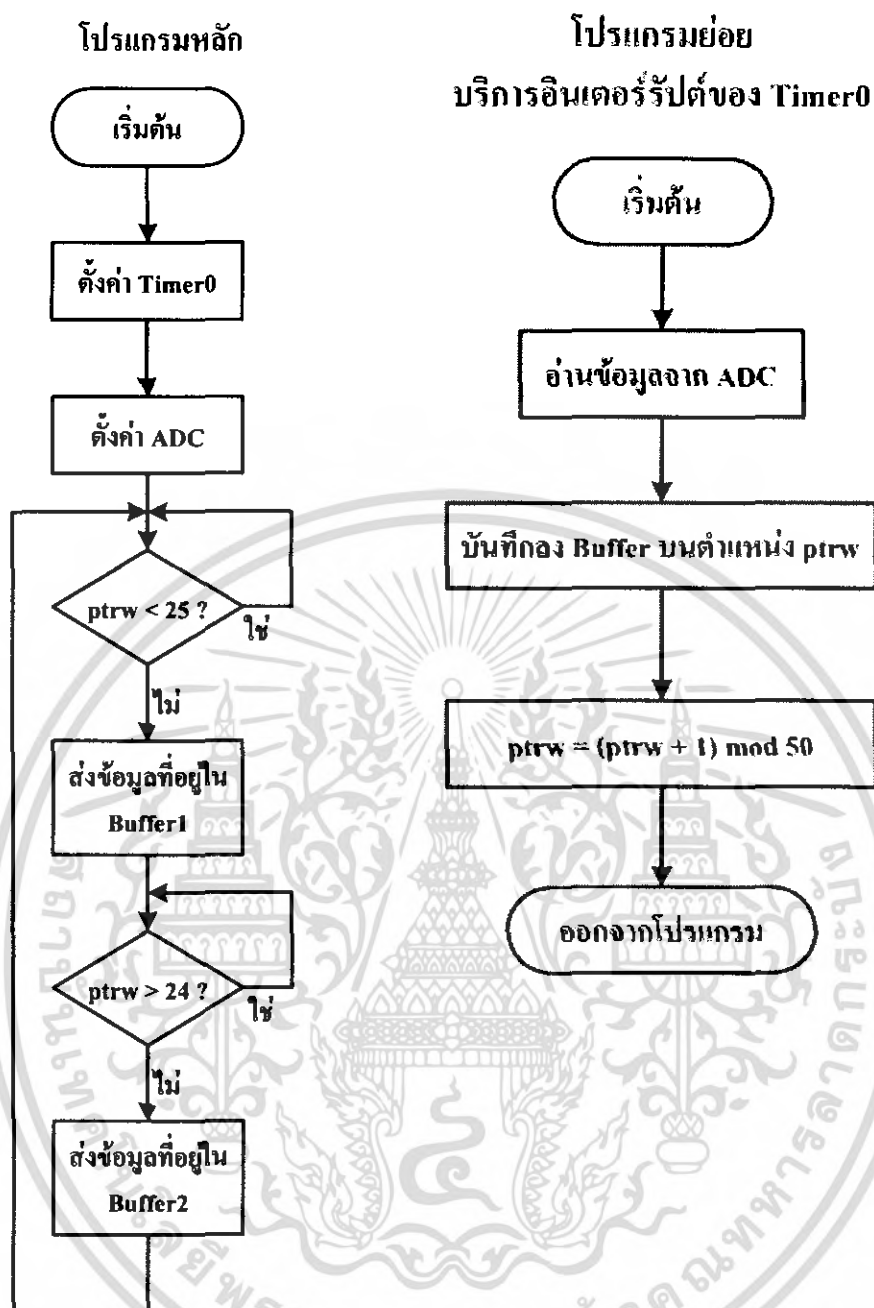
วงจรภาครับจะรับสัญญาณจาก TRW-24G ที่ส่งให้กับไมโครคอนโทรลเลอร์ควบคุมทำงาน และทำการแปลงสัญญาณดิจิทัลเป็นอนาล็อกและนำสัญญาณอนาล็อกไปทำการมอดูเลตเชิงความกว้างพัลส์เพื่อให้ได้สัญญาณสี่เหลี่ยมที่มีความถี่คงตัว และก็เข้าดิจิทัลแอมป์เพื่อขยายสัญญาณและผ่านตัวกรองสัญญาณ (LPF) และส่งสัญญาณออกลำโพง ดังรูปที่ 3.5



รูปที่ 3.5 บล็อกไดอะแกรมของภาครับสัญญาณ

#### 3.2.1 กระบวนการทำงานของวงจรภาครับสัญญาณ

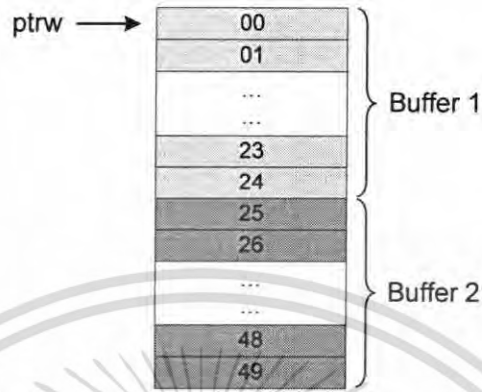
จากการออกแบบสามารถเขียนเป็นบล็อกไดอะแกรม ภาคส่งหน่วยความจำแบบ FIFO นั้น จะถูกสร้างขึ้นโดยการเขียนโปรแกรมจัดการหน่วยความจำที่อยู่ในตัวไมโครคอนโทรลเลอร์ ดังรูป 3.6



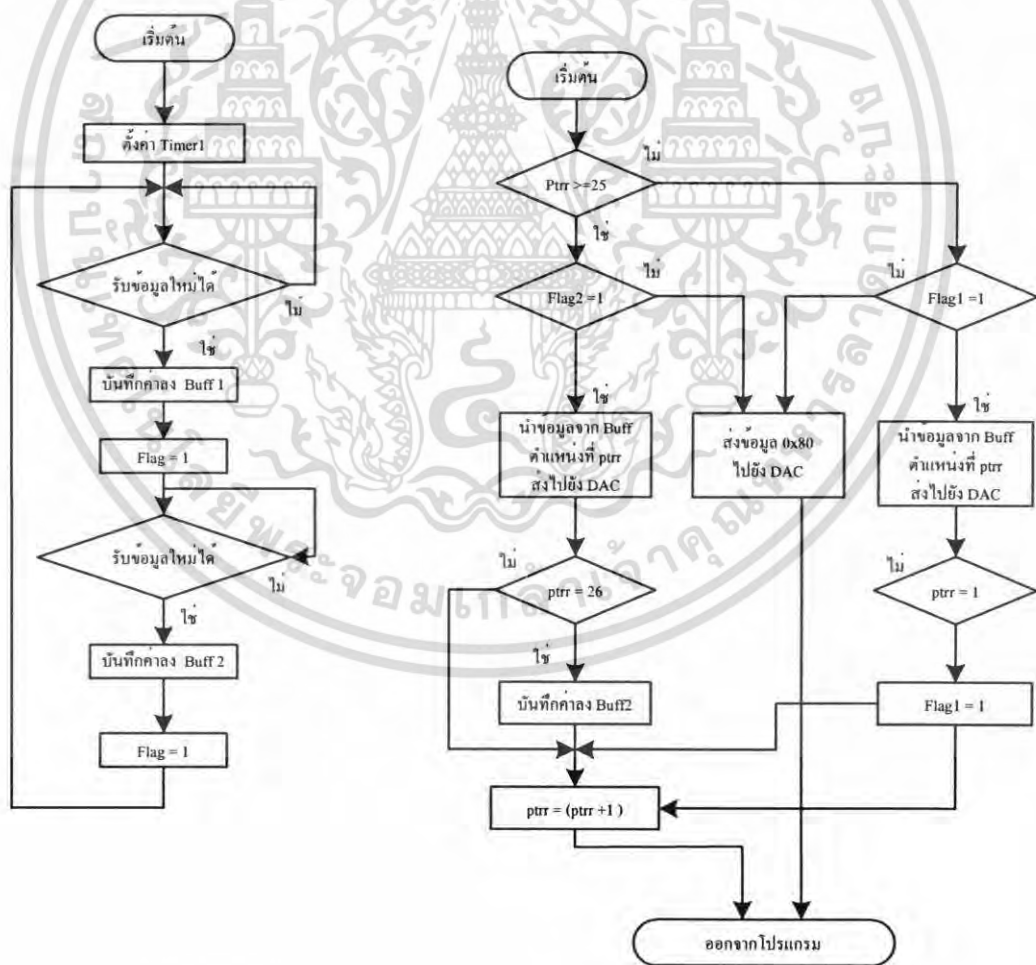
รูปที่ 3.6 แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาคส่ง

การทำงานของวงจรจะถูกควบคุมด้วยไมโครคอนโทรลเลอร์ โดยจะเริ่มจากการตั้งค่าไทม์เมอร์ 1 (Timer1) ให้มีอัตราการเกิดอินเทอร์รัปต์เท่ากับอัตราสุ่มสัญญาณ เมื่อมีการรับแพ็คเกจใหม่ได้ จะทำการเขียนลงในหน่วยความจำ ครั้งละหนึ่งแพ็คเกจ แล้วแต่ครั้งที่ไทม์เมอร์ 1 อินเทอร์รัปต์ จะอ่านข้อมูลขนาด 1 ไบต์ จากหน่วยความจำดังรูปที่ 3.6 โดยมีตัวแปร ptr เป็นตัวชี้ตำแหน่งในการอ่านแต่ละครั้ง และนำข้อมูลที่อ่านได้ ไปเปลี่ยนแปลงความกว้างของสัญญาณพัลส์ที่สร้างขึ้นโดยไมโครคอนโทรลเลอร์ โดยจะมีการตรวจสอบด้วยเสมอว่าเป็นข้อมูลที่เคยอ่านไปแล้วหรือไม่ โดย

อาศัยตัวแปร flag1 และ flag2 เพื่อไม่ให้เกิดความผิดพลาดในกรณีที่ยังรับสัญญาณไม่ได้ โดยสามารถแสดงการทำงานได้ดังรูปที่ 3.6



รูปที่ 3.7 การจัดเก็บข้อมูลของบัพเฟอร์ที่ภาคส่ง



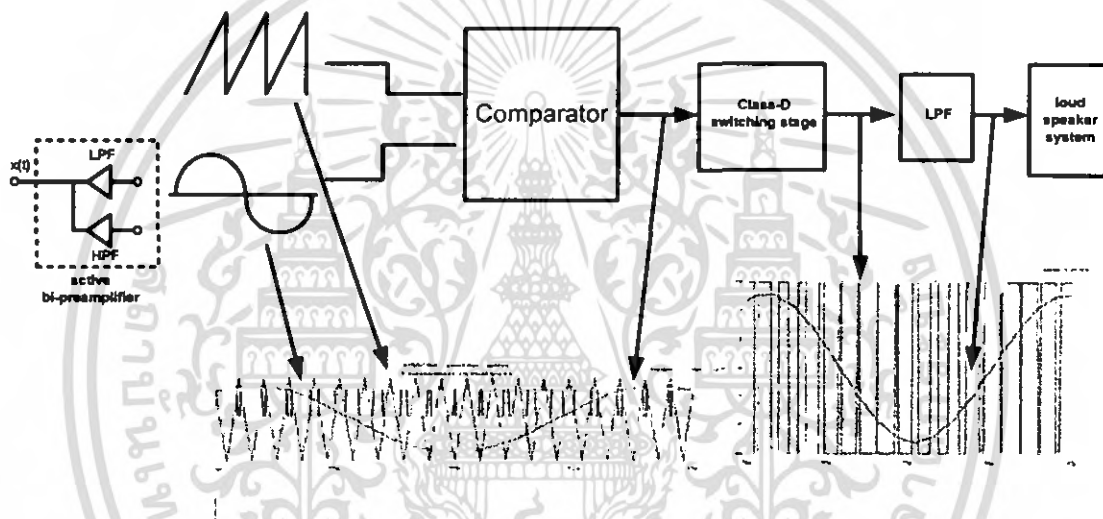
รูปที่ 3.8 แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 การออกแบบวงจรขยายสัญญาณเสียงคลาส-ดี

สิ่งที่น่าสนใจในวงจรขยายสัญญาณเสียงคลาส-ดีนั้นคือ การเกิดการผิดเพี้ยนของสัญญาณต่ำ และใช้งานได้อย่างเต็มประสิทธิภาพ วงจรขยายสัญญาณเสียงคลาส-ดีใช้สำหรับวงจรที่ความถี่สูง ในช่วงความถี่ 100 MHz ถึง 1 MHz ซึ่งต้องการอุปกรณ์ที่ตอบสนองความถี่สูง และกำลังงานสูง โดยการนำมาใช้กับซับวูฟเฟอร์ (Subwoofer)

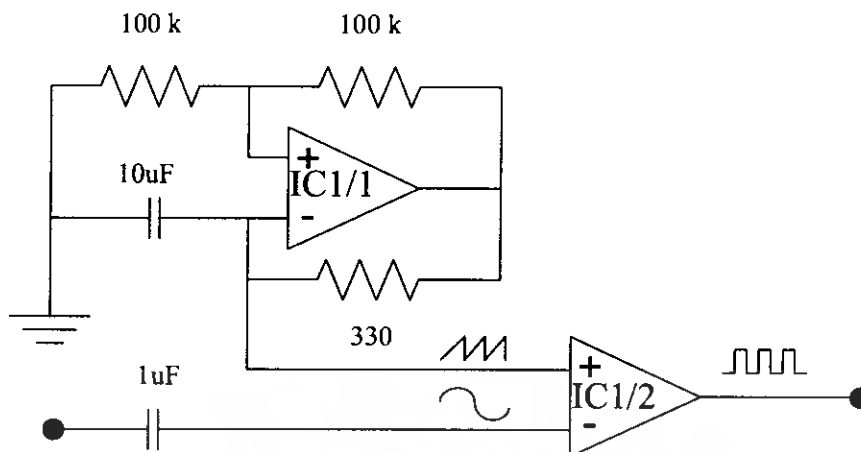
การมอดูเลตที่นำมาใช้ในวงจรขยายสัญญาณเสียงคลาส-ดีนั้นคือ การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation) โดยการมอดูเลตเชิงความกว้างพัลส์ นั้นเป็นการสร้างสัญญาณสี่เหลี่ยมที่มีความถี่คงตัว แต่ความกว้างของสัญญาณ (Duty Cycle) นั้นมีค่าไม่คงตัว โดยขึ้นอยู่กับสัญญาณอินพุต ซึ่งเมื่อมีสัญญาณอินพุตมีแอมพลิจูดเพิ่มขึ้น ความกว้างของสัญญาณก็จะเพิ่มขึ้นและจะได้ผลตรงข้ามกัน เมื่อสัญญาณอินพุตมีแอมพลิจูดลดลง ดังรูปที่ 3.9



รูปที่ 3.9 บล็อกไดอะแกรมวงจรขยายสัญญาณคลาสดี

#### 3.3.1 การออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์

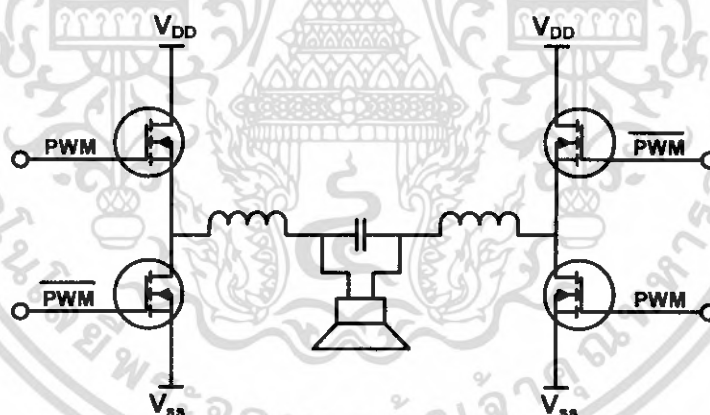
ในโครงงานนี้ออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์ โดยเลือกใช้ IC เบอร์ LF353N ซึ่งจะทำงานโดย IC1/1 ทำหน้าที่เป็นวงจรรอสซิลเลเตอร์กำเนิดคลื่นสัญญาณรูปสามเหลี่ยมอ้างอิงความถี่ 48kHz และทำการเปรียบเทียบสัญญาณอินพุตใน IC1/2 ผลของสัญญาณที่เอาต์พุตจะเป็นสัญญาณการมอดูเลตเชิงความกว้างพัลส์(PWM) ดังรูปที่ 3.10 สำหรับส่งไปขยายสัญญาณต่อไปทางแชนเนลซ้ายและขวา



รูปที่ 3.10 วงจรมอดูเลตเชิงความกว้างพัลส์

### 3.2.2 การออกแบบวงจรขับลำโพง

ในโครงการนี้เลือกใช้วงจรขับแบบเฮซ-บริดจ์ (H-Bridge Driver) ซึ่งมีโครงสร้างดังรูปที่ 3.11 โดยเลือกใช้มอสเฟต เบอร์ IRF540N ซึ่งเป็นมอสเฟตกำลัง (Power MOSFET N-Channel)

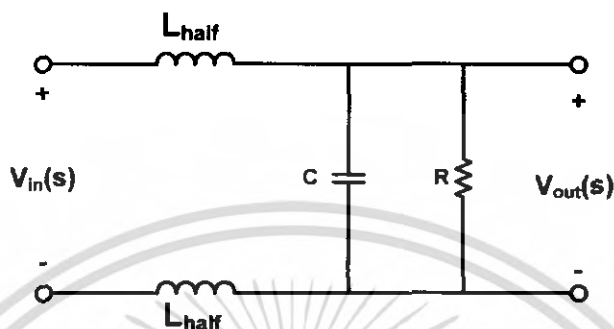


รูปที่ 3.11 วงจรขับลำโพงแบบเฮซ-บริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.3 การออกแบบวงจรกรองความถี่

ในโครงการนี้ เลือกใช้วงจรกรองความถี่ต่ำผ่านอันดับสอง (Second-Order LC-type Low-Pass Filter) ออกแบบโดยใช้การประมาณแบบบัตเตอร์เวิร์ธ (Butterworth Approximation) ซึ่งออกแบบเป็นวงจรได้ดังรูปที่ 3.12



รูปที่ 3.12 วงจรกรองความถี่ต่ำผ่าน

จากวงจรรูปที่ 3.12 โดยที่  $L = 2L_{\text{half}}$  จะสามารถเขียนเป็นฟังก์ชันถ่ายโอน (Transfer Function) ได้ดังนี้

$$H(s) = \frac{1}{LC} \frac{1}{s^2 + \frac{s}{RC} + \frac{1}{LC}} \quad (3.1)$$

วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟที่  $\omega_c$  (เรเดียนต่อวินาที) จะมีฟังก์ชันถ่ายโอน ดังนี้

$$H(s) = \frac{\omega_c^2}{s^2 + \omega_c \sqrt{2}s + \omega_c^2} \quad (3.2)$$

โครงการนี้เลือกใช้ความถี่คัทออฟ  $f_c = 25$  kHz โดยที่  $\omega_c = 2\pi f_c$ ,  $R = 8$  โอห์ม และจากสมการที่ (3.1) และ (3.2) จะคำนวณค่าของอุปกรณ์ต่างๆ ได้ดังนี้

$$C = \frac{1}{2\sqrt{2}\pi R f_c} = 0.56 \times 10^{-6} \text{ F} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L = \frac{\sqrt{2}R}{2\pi f_c} = 72 \times 10^{-6} \text{ H} \quad (3.4)$$

จะได้

$$L_{half} = 36 \times 10^{-6} \text{ H}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

### ผลการทดลอง

#### 4.1 การทดลองวงจรวงจรถ่ายสัญญาณ

##### 4.1.1 จุดประสงค์ของการทดลอง

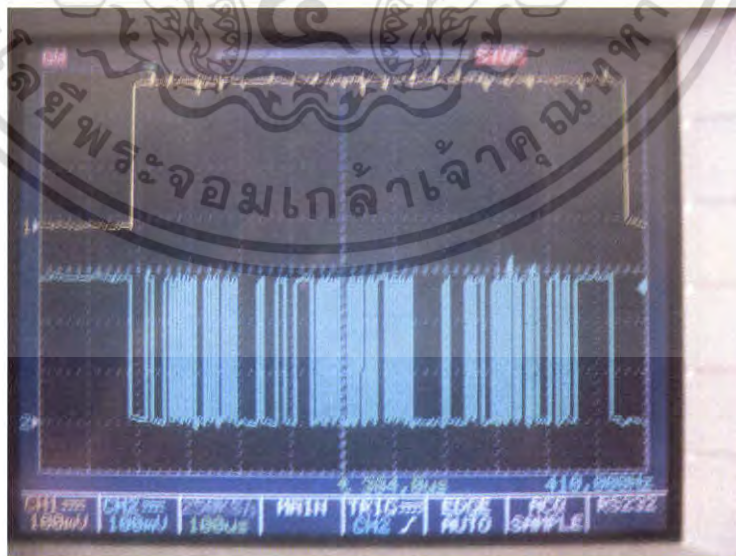
เพื่อเป็นการทดสอบในเบื้องต้นว่าวงจรถ่ายสัญญาณไร้สายและรับสัญญาณไร้สาย ด้วย Module TRW-2.4G ด้วย Data Rate 1Mbps

##### 4.1.2 วิธีการทดลอง

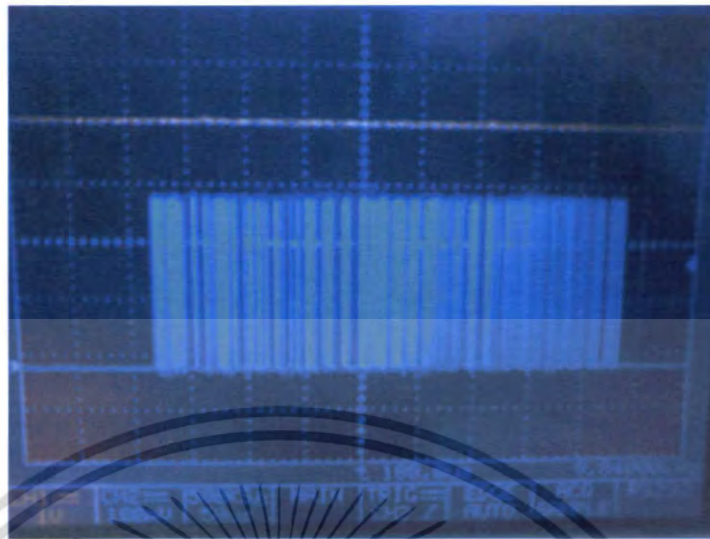
ทำการเขียนภาษาซี ลงบนไมโครคอนโทรลเลอร์ตระกูลเออาร์เอ็ม (ARM) เบอร์ LPC2103 และ LPC2119 ทำหน้าที่ประมวลผลข้อมูลและควบคุมการทำงานของวงจรถ่ายและภาคส่ง ซึ่งมีวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog-to-Digital Converter) ส่วนวงจรถ่ายส่งข้อมูลไร้สายนั้นจะใช้วงจร TRW-2.4G ซึ่งรับส่งสัญญาณด้วยคลื่นวิทยุย่านความถี่ 2.4 GHz ภาครับทำการแปลงสัญญาณดิจิทัลเป็นอนาล็อก ( Digital -to- Analog Converter ) แล้วส่งไปยังวงจร Class D เพื่อทำการขยายสัญญาณแล้วทำการ Low-pass แล้วส่งไปยังลำโพง

##### 4.1.3 ผลการทดลอง

ผลการทดลองสัญญาณภาคส่งและสัญญาณภาครับ โดยส่งผ่าน Module TRW-2.4G ด้วย Data Rate 1Mbps ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้รูปที่ 4.1 สัญญาณ Config TRW-2.4G เท่านั้นนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

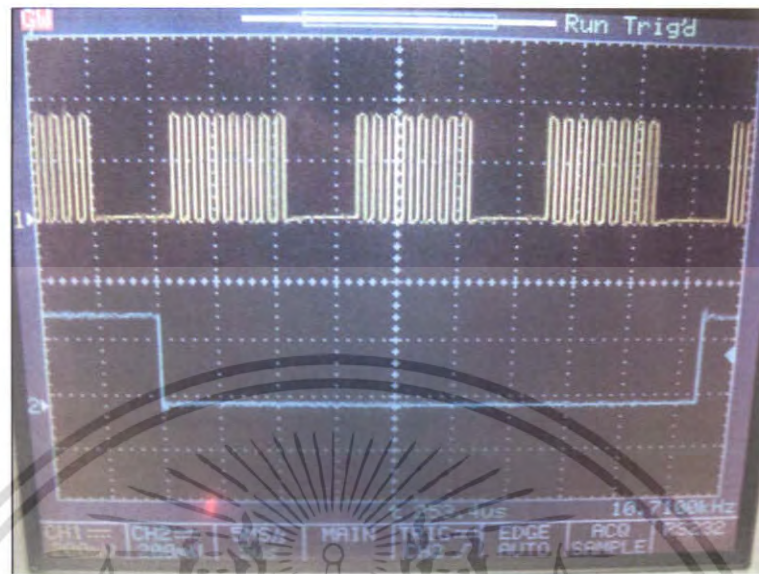


รูปที่ 4.2 สัญญาณข้อมูลที่ไปส่งยังภาครับ



รูปที่ 4.3 สัญญาณข้อมูลภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สัญญาณข้อมูลภาครับของชาย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ **รูปที่ 4.5** สัญญาณข้อมูลภาครับของขบวนนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 การทดลองวัดสัญญาณเอาต์พุตจากวงจรมอดูเลตเชิงความกว้างพัลส์

### 4.2.1 จุดประสงค์ของการทดลอง

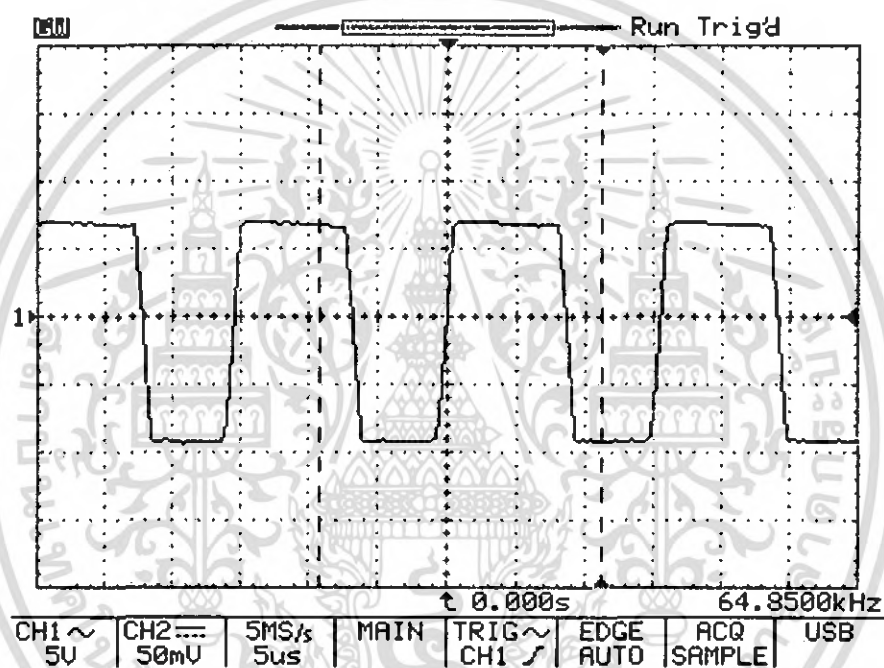
เพื่อเป็นการทดสอบในเบื้องต้นว่าวงจรมอดูเลตเชิงความกว้างพัลส์ (Pulse-Width Modulator) ที่ภาครับสามารถสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีความกว้างและความถี่ถูกต้อง

### 4.2.2 วิธีการทดลอง

วัดสัญญาณเอาต์พุตจากวงจรมอดูเลตเชิงความกว้างพัลส์ที่ภาครับ

### 4.2.3 ผลการทดลอง

จากการทดลองจะได้สัญญาณมอดูเลตเชิงความกว้างพัลส์ ดังรูปที่ 4.6



รูปที่ 4.6 สัญญาณเอาต์พุตที่สร้างจากวงจรมอดูเลตเชิงความกว้างพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3 การทดลองวัดสัญญาณที่ลำโพงเมื่อมีสัญญาณอินพุท

#### 4.3.1 จุดประสงค์ของการทดลอง

เพื่อทดสอบความถูกต้องของสัญญาณที่ความถี่ต่างๆ

#### 4.3.2 วิธีการทดลอง

วัดสัญญาณแรงดัน  $V_{p-p}$  : Peak-to-peak Voltage ที่ตกร่วมลำโพง ขนาด 8 โอห์ม เมื่อป้อนสัญญาณไซน์ความถี่ต่างๆ นำค่าที่ได้มาคำนวณหาแรงดันรากของค่าเฉลี่ยกำลังสอง ( $V_{rms}$  : Root Mean Square Voltage) และกำลังเฉลี่ย ( $P_{avg}$  : average power) จากสมการที่ 4.1 และ สมการที่ 4.2

$$V_{rms} = \frac{V_{p-p}}{2\sqrt{2}} \quad (4.1)$$

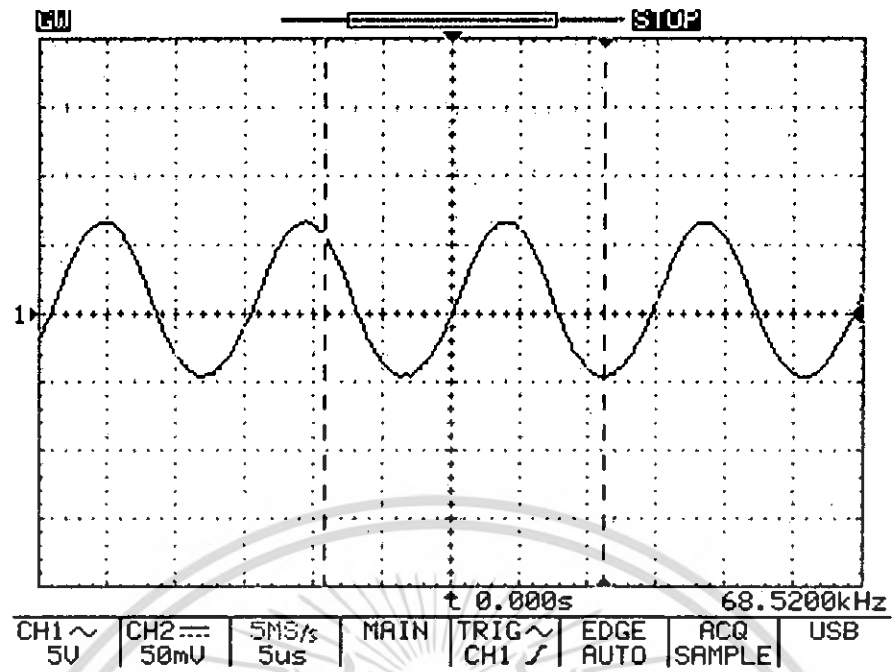
$$P_{avg} = \frac{V_{rms}^2}{R} \quad (4.2)$$

#### 4.3.3 ผลการทดลอง

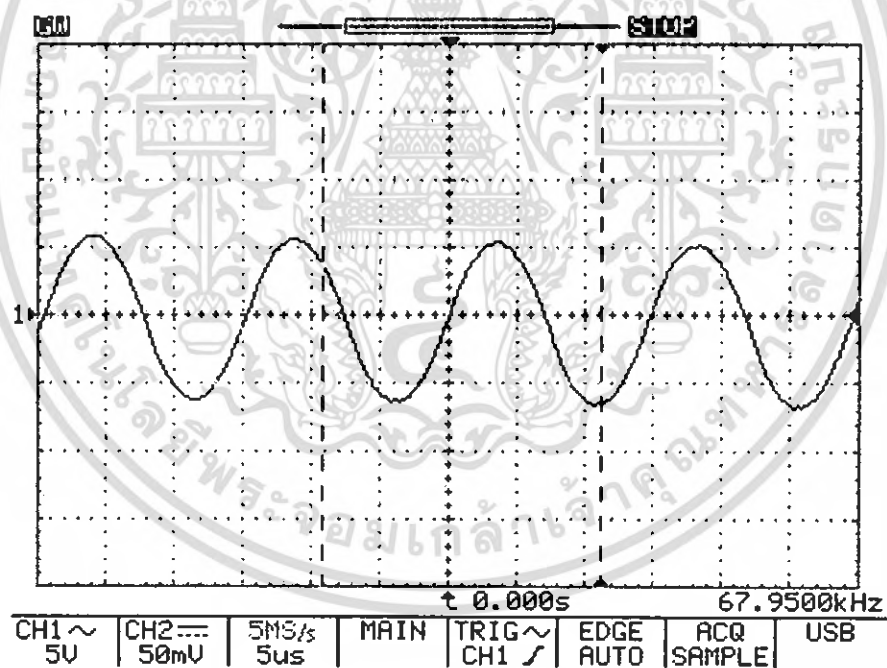
ตารางที่ 4.1 ผลการทดลองวัดขนาดสัญญาณเมื่อป้อนความถี่ต่างๆ

ความถี่ (Hz)	ขนาดสัญญาณที่ลำโพง		
	$V_{p-p}$	$V_{rms}$	$P_{avg}$
10	8.20	2.90	1.05
20	8.48	3.00	1.125
30	8.59	3.04	1.155
40	8.45	2.99	1.117
50	8.22	2.91	1.058
100	8.71	3.08	1.185
200	10.66	3.77	1.77
500	10.49	3.71	1.72
1k	8.37	2.96	1.09
2k	8.62	3.05	1.162
4k	8.79	3.11	1.209
6k	8.54	3.02	1.140
10k	8.59	3.04	1.155
20k	8.22	2.91	1.058
40k	8.71	3.08	1.185

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

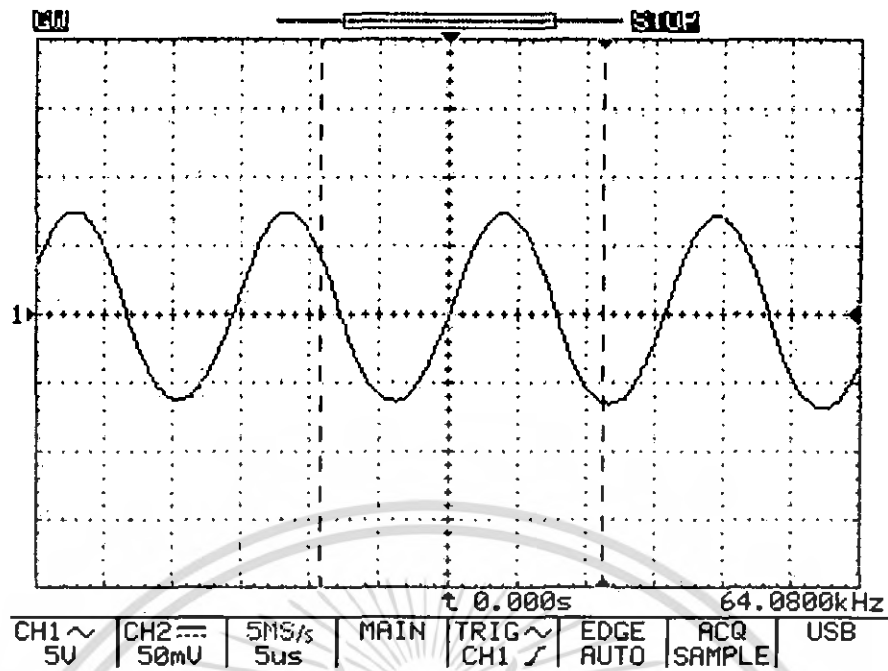


รูปที่ 4.7 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 100 Hz

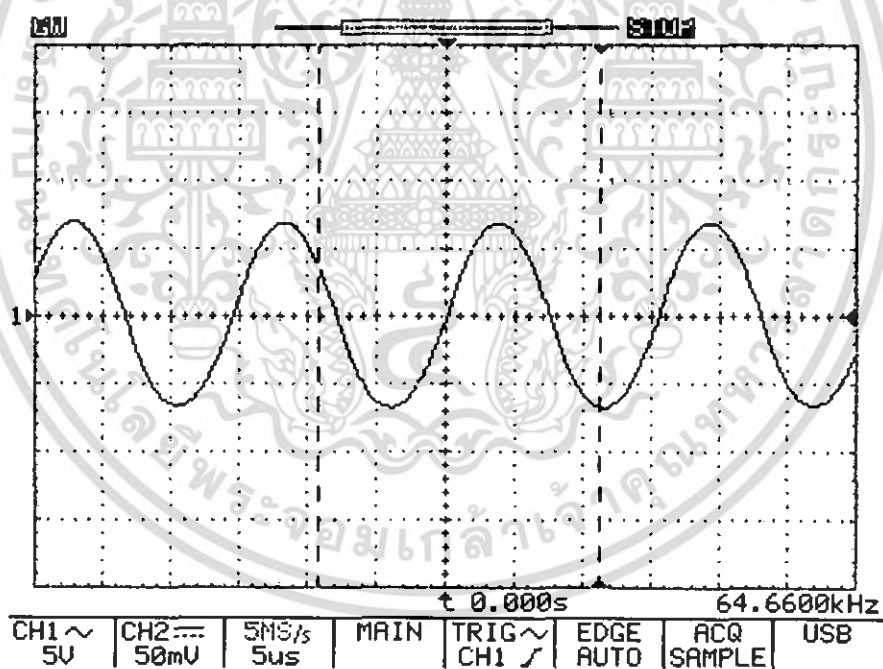


รูปที่ 4.8 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 1kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

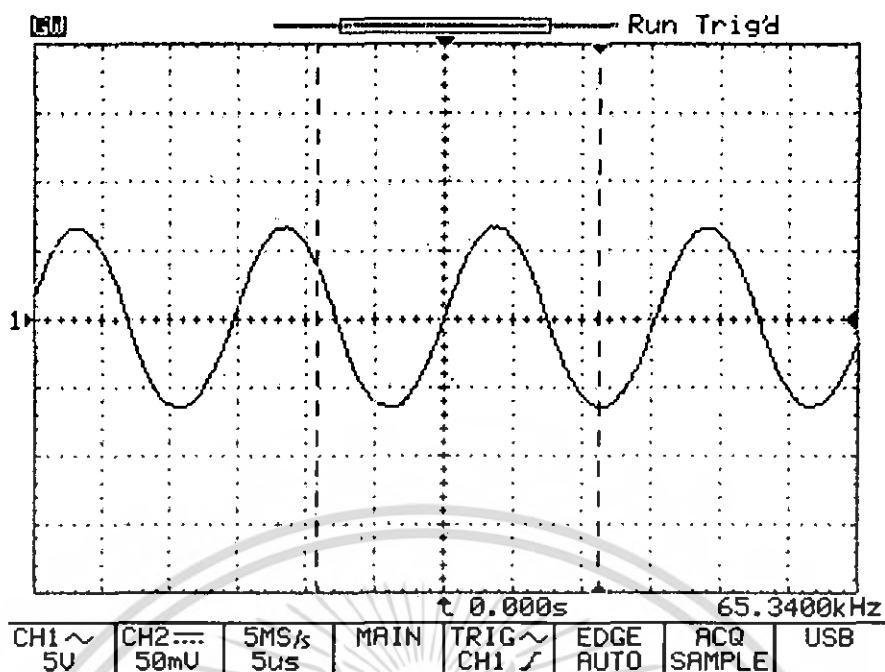


รูปที่ 4.9 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 5k Hz

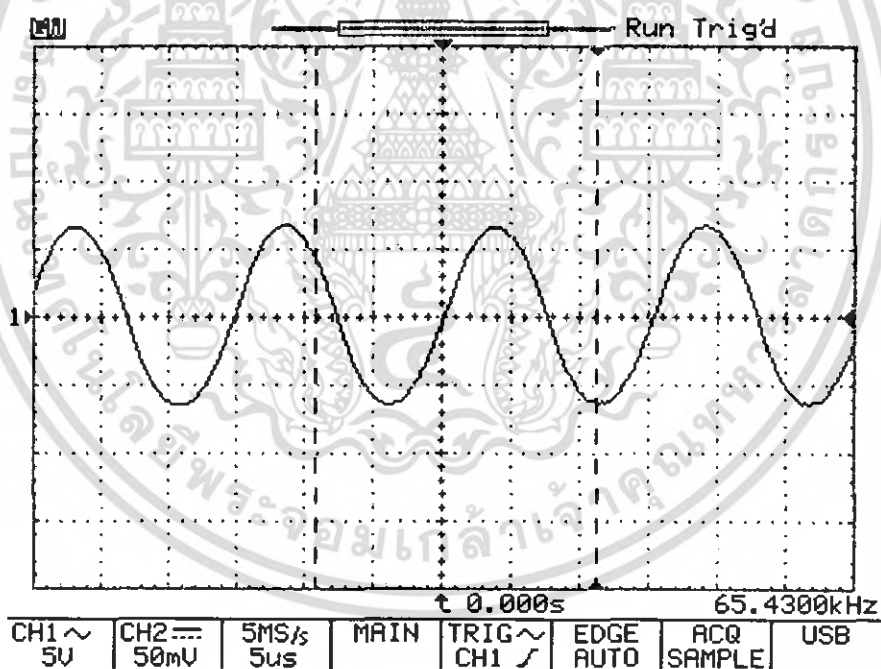


รูปที่ 4.10 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10k Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 สัญญาณเอาร์ทพุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 20k Hz



รูปที่ 4.12 สัญญาณเอาร์ทพุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 40k Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุป

โครงการนี้เป็นโครงการที่ได้มีการพัฒนา,การออกแบบและสร้างระบบดิจิทัล ออกซิโอบางไรสายสาย ให้มีกำลังการส่งสัญญาณที่มีประสิทธิภาพและความละเอียดของสัญญาณ digital มากขึ้น และออกแบบวงจรขยายกำลังสัญญาณดิจิทัลออกซิโอบางไรสายสายให้มีประสิทธิภาพมากยิ่งขึ้น และทำการ สร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์(PWM) และตัวกรองสัญญาณความถี่ต่ำผ่าน (Low-pass filter) เพื่อกำจัดองค์ประกอบความถี่สูงเหนือย่านออกซิโอบางไรสายสายไปแล้วป้อนออกระบบ ลำโพง (Loudspeaker systems)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บรรณานุกรม

- [1] Hwei P. Shu. 1993. **Schaum's Outline of Theory and Problems of ANALOG AND DIGITAL COMMUNICATIONS**. New York : McGraw-Hill.
- [2] Lawrence P. Huelsman. 1993. **Active and Passive Analog Filter Design : An Introduction**. New York : McGraw-Hill.
- [3] Brown Stephen and Zvonko Vranesic. 2000. **Fundamentals of digital logic with VHDL design**. Boston : McGraw-Hill.
- [4] Kim Madsen and Ron Alexander. 2001. **System Design Considerations for True Digital Audio Power Amplifiers**. Texas Instruments
- [5] Bruce Carter and Thomas R. Brown. 2001. **Handbook Of Operational Amplifiers Application**. Texas Instruments
- [6] George E. Danz. 2003. **HIP4080A 80V High Frequency H-Bridge Driver, Application Note**. Intersil
- [7] Sergio Sanchez Moreno. 2005. **Class D audio amplifiers : theory and design**. Coldamp Engineer.
- [7] [http://en.wikipedia.org/wiki/Low\\_pass\\_filter](http://en.wikipedia.org/wiki/Low_pass_filter), วันที่ 6 มกราคม 2550
- [8] <http://en.wikipedia.org/wiki/CPLD>, วันที่ 6 มกราคม 2550
- [9] [http://www.wenshing.com.tw/English/prouducts\\_info.asp?bookbm=370](http://www.wenshing.com.tw/English/prouducts_info.asp?bookbm=370), วันที่ 1 กันยายน 2547
- [10] [http://www.powerdesigners.com/InfoWeb/design\\_center/articles/PWM/pwm.htm](http://www.powerdesigners.com/InfoWeb/design_center/articles/PWM/pwm.htm), วันที่ 28 กันยายน 2549
- [11] [http://www.techonline.com/community/tech\\_group/38731](http://www.techonline.com/community/tech_group/38731), วันที่ 1 กันยายน 2549



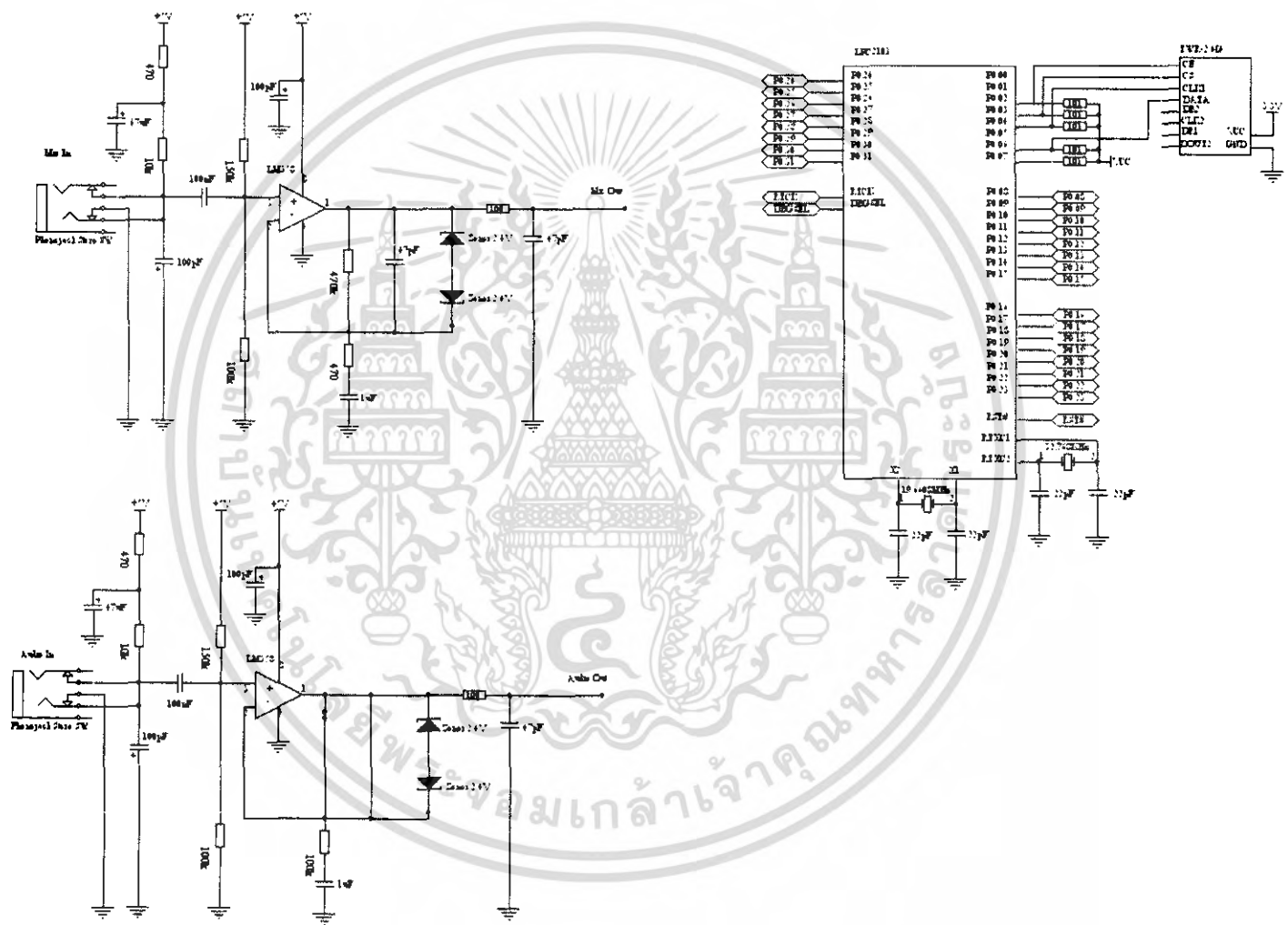
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก.

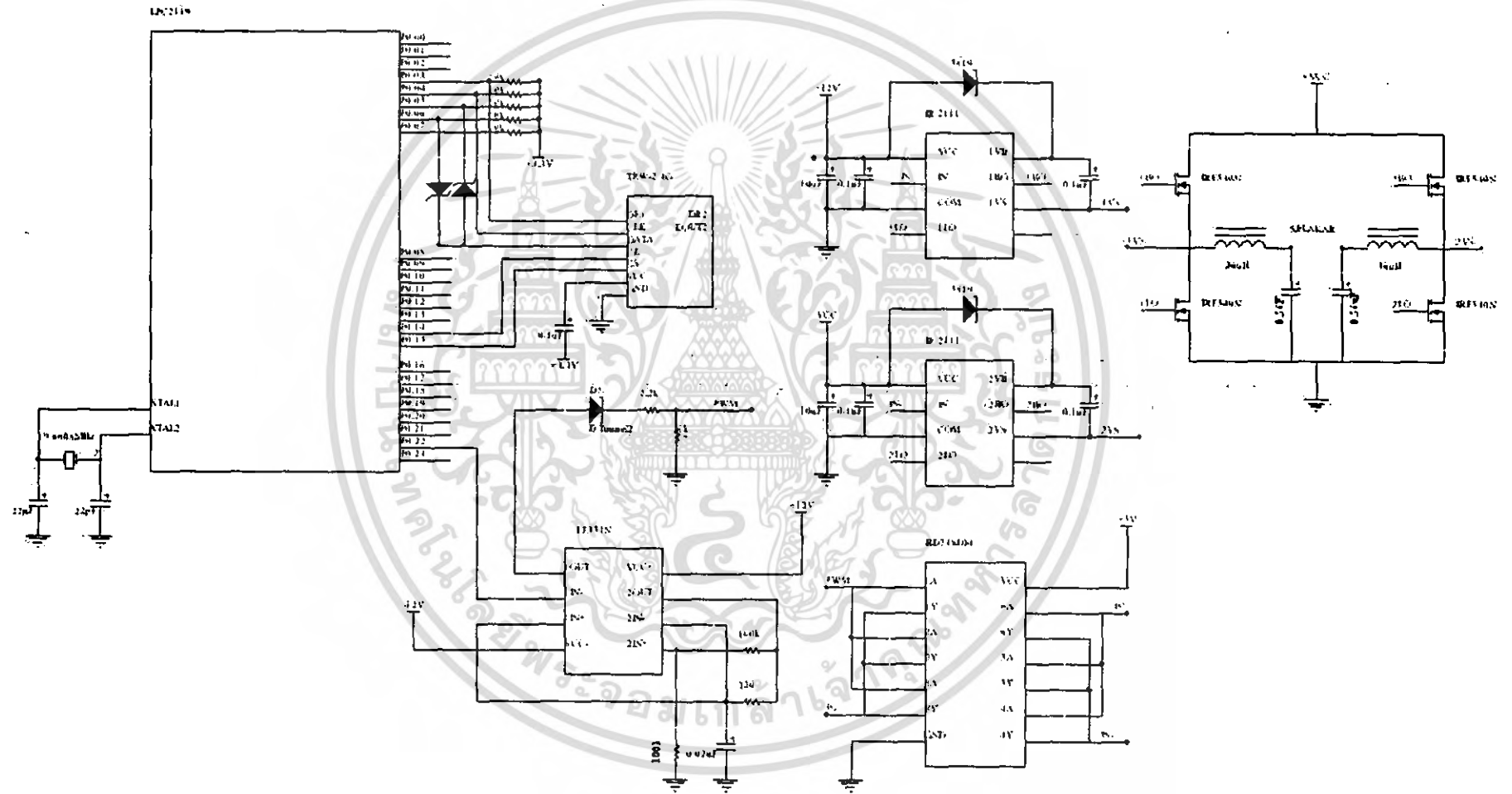
วงจรรหัสสัญญา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





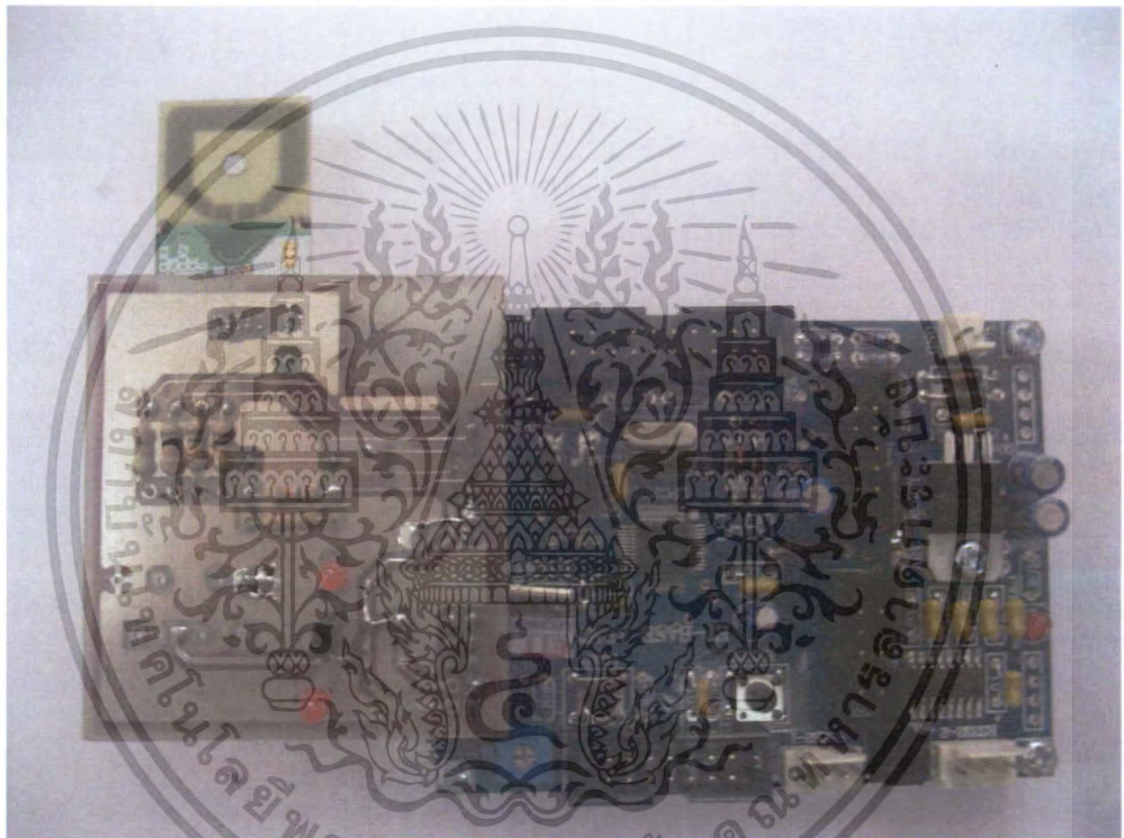
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





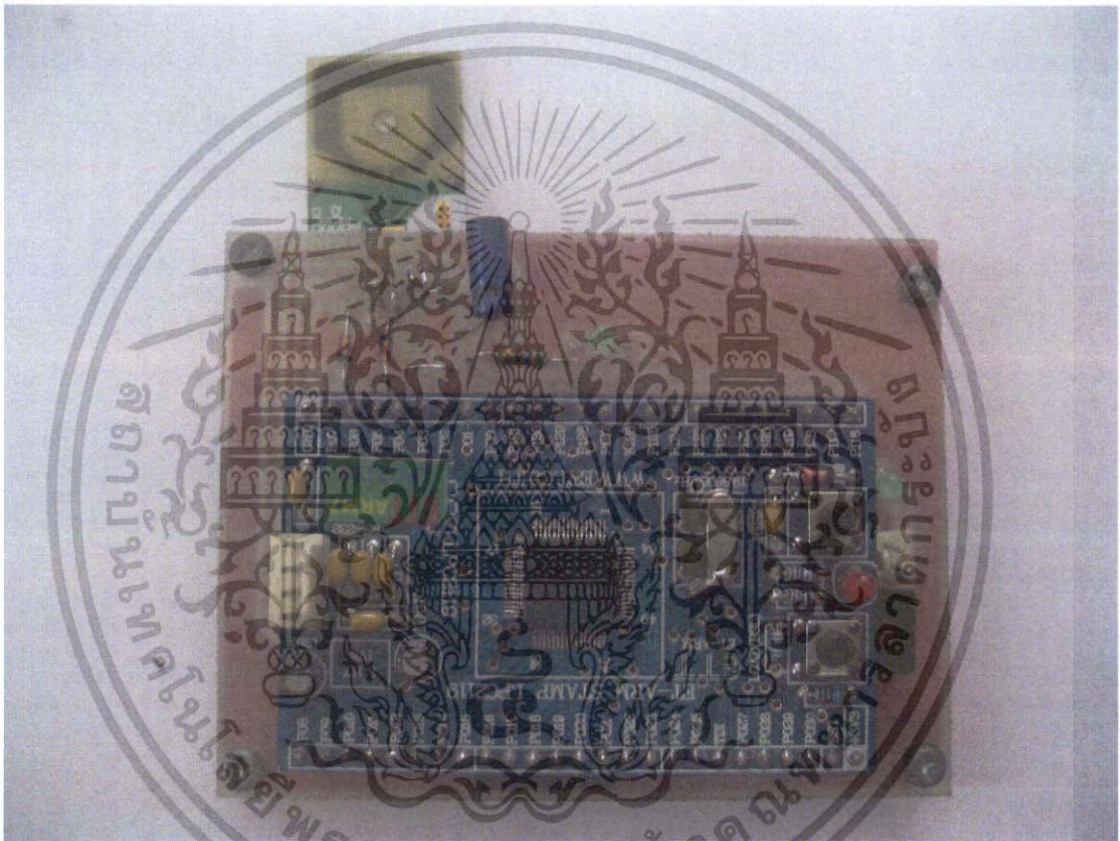
**ภาคผนวก ค.**  
**รูปการออกแบบ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



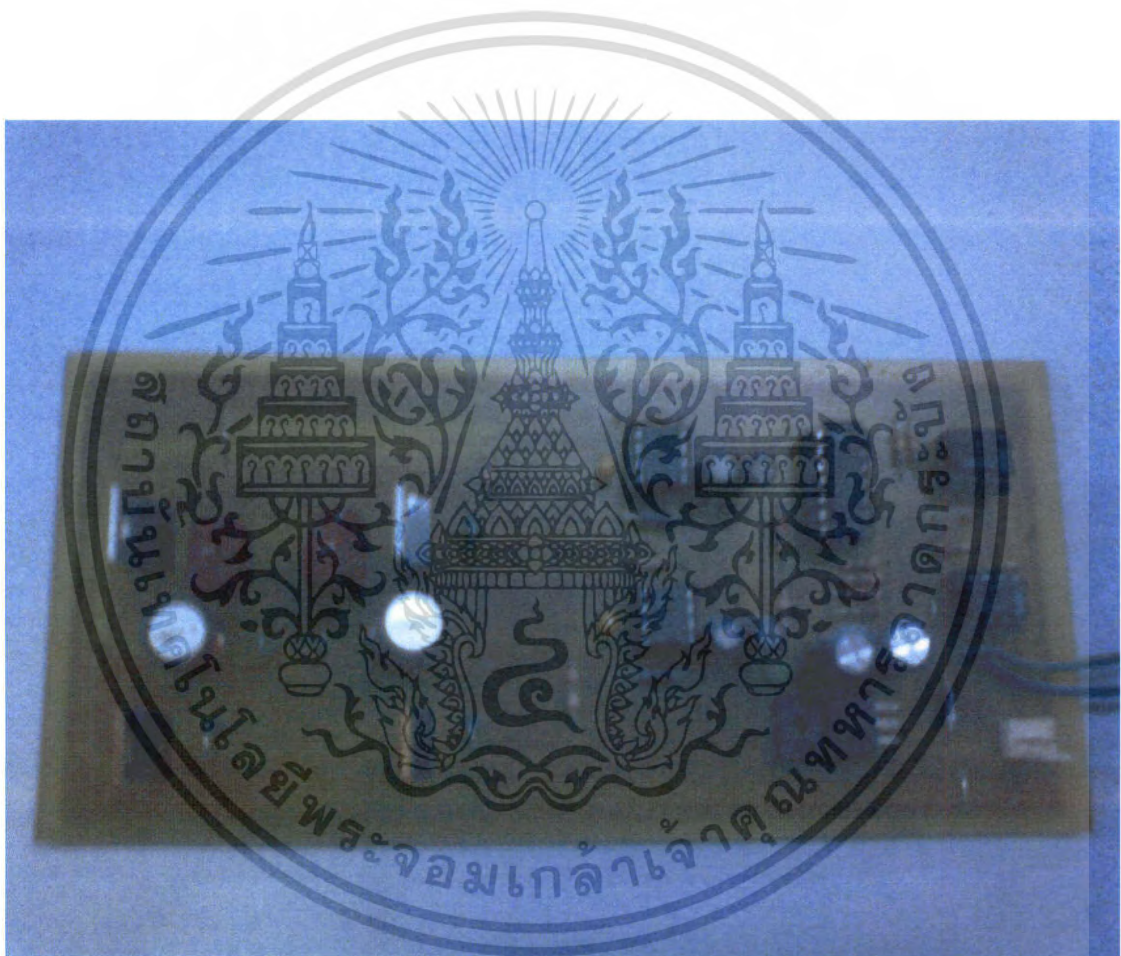
รูปการออกแบบวงจรภาคส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปการออกแบบวงจรภาครับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปการออกแบบวงจรภาคขยายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# LPC2119/LPC2129

Single-chip 16/32-bit microcontrollers; 128/256 kB ISP/IAP  
Flash with 10-bit ADC and CAN

Rev. 03 — 22 December 2004

Product data

## 1. General description

The LPC2119/LPC2129 are based on a 16/32 bit ARM7TDMI-S™ CPU with real-time emulation and embedded trace support, together with 128/256 kilobytes (kB) of embedded high speed flash memory. A 128-bit wide memory interface and a unique accelerator architecture enable 32-bit code execution at maximum clock rate. For critical code size applications, the alternative 16-bit Thumb® Mode reduces code by more than 30 % with minimal performance penalty.

With their compact 64 pin package, low power consumption, various 32-bit timers, 4-channel 10-bit ADC, 2 advanced CAN channels, PWM channels and 46 GPIO lines with up to 9 external interrupt pins these microcontrollers are particularly suitable for automotive and industrial control applications as well as medical systems and fault-tolerant maintenance buses. With a wide range of additional serial communications interfaces, they are also suited for communication gateways and protocol converters as well as many other general-purpose applications.

## 2. Features

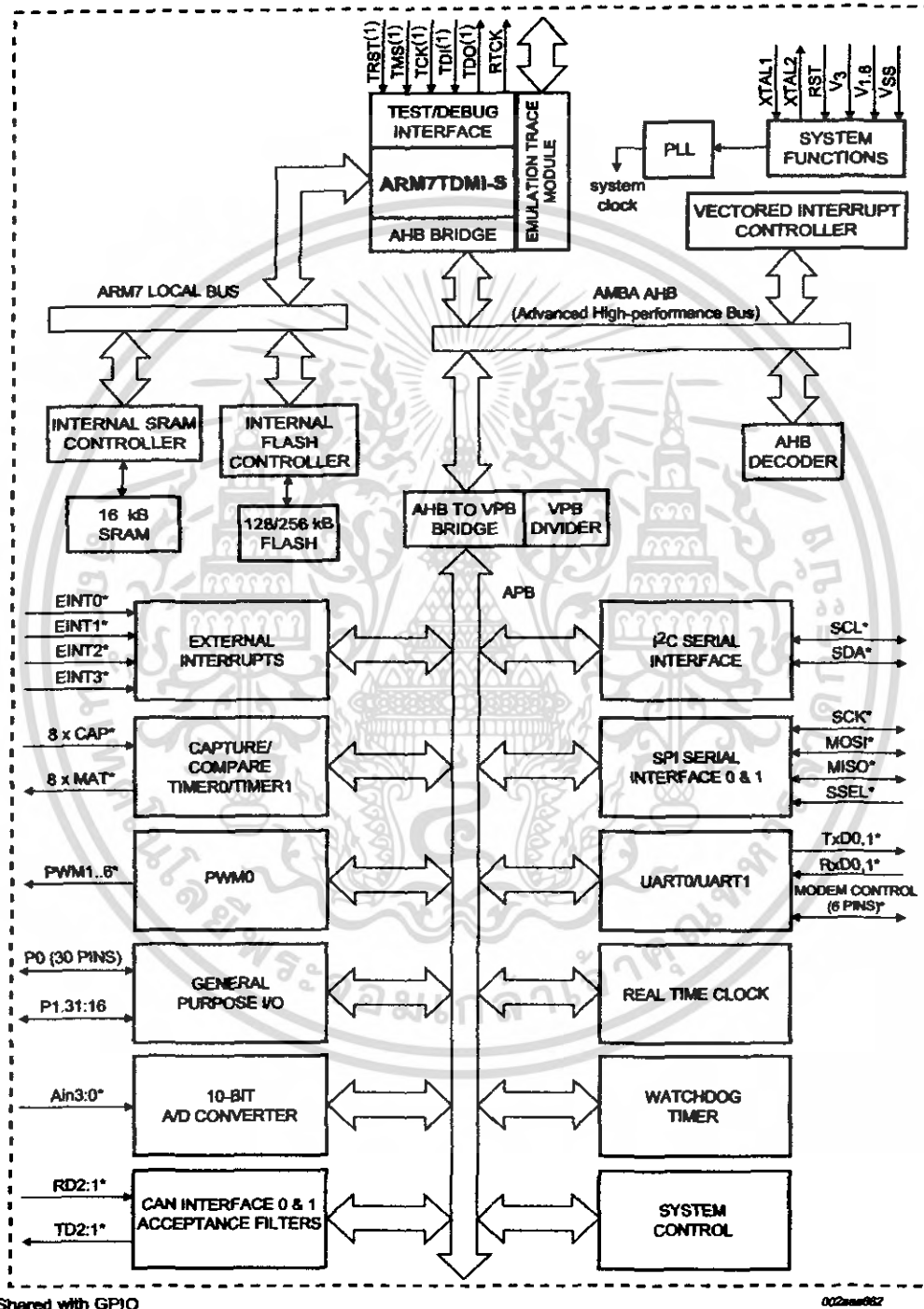
### 2.1 Key features

- 16/32-bit ARM7TDMI-S microcontroller in a tiny LQFP64 package.
- 16 kB on-chip Static RAM.
- 128/256 kB on-chip Flash Program Memory. 128-bit wide interface/accelerator enables high speed 60 MHz operation.
- In-System Programming (ISP) and In-Application Programming (IAP) via on-chip boot-loader software. Flash programming takes 1 ms per 512 byte line. Single sector or full chip erase takes 400 ms.
- EmbeddedICE-RT interface enables breakpoints and watch points. Interrupt service routines can continue to execute while the foreground task is debugged with the on-chip RealMonitor™ software.
- Embedded Trace Macrocell enables non-intrusive high speed real-time tracing of instruction execution.
- Two interconnected CAN interfaces with advanced acceptance filters.
- Four channel 10-bit A/D converter with conversion time as low as 2.44 μs.
- Multiple serial interfaces including two UARTs (16C550), Fast I<sup>2</sup>C (400 kbits/s) and two SPIs
- 60 MHz maximum CPU clock available from programmable on-chip Phase-Locked Loop with settling time of 100 μs.
- Vectored Interrupt Controller with configurable priorities and vector addresses.
- Two 32-bit timers (with four capture and four compare channels), PWM unit (six outputs), Real Time Clock and Watchdog.



# PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



\*Shared with GPIO

002aaa062

(1) When test/debug interface is used, GPIO/other function sharing these pins are not available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## 5.2 Pin description

Table 3: Pin description

Symbol	Pin	Type	Description
P0.0 to P0.31	19, 21, 22, 26, 27, 29-31, 33-35, 37-39, 41, 45-47, 53-55, 1-3, 5, 9, 11, 13-15	I/O	<b>Port 0:</b> Port 0 is a 32-bit bi-directional I/O port with individual direction controls for each bit. The operation of port 0 pins depends upon the pin function selected via the Pin Connect Block. Pins 26 and 31 of port 0 are not available.
P0.0	19	O	<b>TxD0</b> — Transmitter output for UART0.
		O	<b>PWM1</b> — Pulse Width Modulator output 1.
P0.1	21	I	<b>RxD0</b> — Receiver input for UART0.
		O	<b>PWM3</b> — Pulse Width Modulator output 3.
		I	<b>EINT0</b> — External interrupt 0 input
P0.2	22	I/O	<b>SCL</b> — I <sup>2</sup> C clock input/output. Open drain output (for I <sup>2</sup> C compliance).
		I	<b>CAP0.0</b> — Capture input for Timer 0, channel 0.
P0.3	26	I/O	<b>SDA</b> — I <sup>2</sup> C data input/output. Open drain output (for I <sup>2</sup> C compliance).
		O	<b>MAT0.0</b> — Match output for Timer 0, channel 0.
		I	<b>EINT1</b> — External interrupt 1 input.
P0.4	27	I/O	<b>SCK0</b> — Serial clock for SPI0. SPI™ clock output from master or input to slave.
		I	<b>CAP0.1</b> — Capture input for Timer 0, channel 1.
P0.5	29	I/O	<b>MISO0</b> — Master In Slave OUT for SPI0. Data input to SPI master or data output from SPI slave.
		O	<b>MAT0.1</b> — Match output for Timer 0, channel 1.
P0.6	30	I/O	<b>MOSI0</b> — Master Out Slave In for SPI0. Data output from SPI master or data input to SPI slave.
		I	<b>CAP0.2</b> — Capture input for Timer 0, channel 2.
P0.7	31	I	<b>SSEL0</b> — Slave Select for SPI0. Selects the SPI interface as a slave.
		O	<b>PWM2</b> — Pulse Width Modulator output 2.
		I	<b>EINT2</b> — External interrupt 2 input.
P0.8	33	O	<b>TxD1</b> — Transmitter output for UART1.
		O	<b>PWM4</b> — Pulse Width Modulator output 4.
P0.9	34	I	<b>RxD1</b> — Receiver input for UART1.
		O	<b>PWM6</b> — Pulse Width Modulator output 6.
		I	<b>EINT3</b> — External interrupt 3 input.
P0.10	35	O	<b>RTS1</b> — Request to Send output for UART1.
		I	<b>CAP1.0</b> — Capture input for Timer 1, channel 0.

Table 3: Pin description...continued

Symbol	Pin	Type	Description
P0.11	37	I	CTS1 — Clear to Send input for UART1.
		I	CAP1.1 — Capture input for Timer 1, channel 1.
P0.12	38	I	DSR1 — Data Set Ready input for UART1.
		O	MAT1.0 — Match output for Timer 1, channel 0.
P0.13	39	O	DTR1 — Data Terminal Ready output for UART1.
		O	MAT1.1 — Match output for Timer 1, channel 1.
P0.14	41	I	DCD1 — Data Carrier Detect input for UART1.
		I	EINT1 — External interrupt 1 input. Note: LOW on this pin while RESET is LOW forces on-chip boot-loader to take control of the part after reset.
P0.15	45	I	RI1 — Ring Indicator input for UART1.
		I	EINT2 — External interrupt 2 input.
P0.16	46	I	EINT0 — External interrupt 0 input.
		O	MAT0.2 — Match output for Timer 0, channel 2.
P0.17	47	I	CAP0.2 — Capture input for Timer 0, channel 2.
		I/O	CAP1.2 — Capture input for Timer 1, channel 2.
P0.18	53	I/O	SCK1 — Serial Clock for SPI1. SPI clock output from master or input to slave.
		O	MAT1.2 — Match output for Timer 1, channel 2.
P0.19	54	I	CAP1.3 — Capture input for Timer 1, channel 3.
		I/O	MISO1 — Master In Slave Out for SPI1. Data input to SPI master or data output from SPI slave.
P0.20	55	O	MAT1.3 — Match output for Timer 1, channel 3.
		O	MAT1.2 — Match output for Timer 1, channel 2.
P0.21	1	I/O	MOSI1 — Master Out Slave In for SPI1. Data output from SPI master or data input to SPI slave.
		I	CAP1.2 — Capture input for Timer 1, channel 2.
P0.22	2	O	MAT1.3 — Match output for Timer 1, channel 3.
		I	SSEL1 — Slave Select for SPI1. Selects the SPI interface as a slave.
P0.23	3	I	EINT3 — External interrupt 3 input.
		O	PWM5 — Pulse Width Modulator output 5.
P0.24	5	I	CAP1.3 — Capture input for Timer 1, channel 3.
		I	CAP0.0 — Capture input for Timer 0, channel 0.
P0.25	39	O	MAT0.0 — Match output for Timer 0, channel 0.
		O	RD2 — CAN2 receiver input.
P0.27	11	O	TD2 — CAN2 transmitter output.
		I	RD1 — CAN1 receiver input.
P0.27	11	I	AIN0 — A/D converter, input 0. This analog input is always connected to its pin.
		O	CAP0.1 — Capture input for Timer 0, channel 1.
		O	MAT0.1 — Match output for Timer 0, channel 1.

Table 3: Pin description...continued

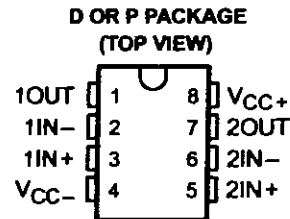
Symbol	Pin	Type	Description
P0.28	13	I	<b>AIN1</b> — A/D converter, input 1. This analog input is always connected to its pin.
		I	<b>CAP0.2</b> — Capture input for Timer 0, channel 2.
		O	<b>MAT0.2</b> — Match output for Timer 0, channel 2.
P0.29	14	I	<b>AIN2</b> — A/D converter, input 2. This analog input is always connected to its pin.
		I	<b>CAP0.3</b> — Capture input for Timer 0, Channel 3.
		O	<b>MAT0.3</b> — Match output for Timer 0, channel 3.
P0.30	15	I	<b>AIN3</b> — A/D converter, input 3. This analog input is always connected to its pin.
		I	<b>EINT3</b> — External interrupt 3 input.
		I	<b>CAP0.0</b> — Capture input for Timer 0, channel 0.
P1.0 to P1.31	16, 12, 8, 4, 48, 44, 40, 36, 32, 28, 24, 64, 60, 56, 52, 20	I/O	<b>Port 1:</b> Port 1 is a 32-bit bi-directional I/O port with individual direction controls for each bit. The operation of port 1 pins depends upon the pin function selected via the Pin Connect Block. Pins 0 through 15 of port 1 are not available.
P1.16	16	O	<b>TRACEPKT0</b> — Trace Packet, bit 0. Standard I/O port with internal pull-up.
P1.17	12	O	<b>TRACEPKT1</b> — Trace Packet, bit 1. Standard I/O port with internal pull-up.
P1.18	8	O	<b>TRACEPKT2</b> — Trace Packet, bit 2. Standard I/O port with internal pull-up.
P1.19	4	O	<b>TRACEPKT3</b> — Trace Packet, bit 3. Standard I/O port with internal pull-up.
P1.20	48	O	<b>TRACESYNC</b> — Trace Synchronization. Standard I/O port with internal pull-up. <b>Note:</b> LOW on this pin while <b>RESET</b> is LOW, enables pins P1.25:16 to operate as Trace port after reset.
P1.21	44	O	<b>PIPESTAT0</b> — Pipeline Status, bit 0. Standard I/O port with internal pull-up.
P1.22	40	O	<b>PIPESTAT1</b> — Pipeline Status, bit 1. Standard I/O port with internal pull-up.
P1.23	36	O	<b>PIPESTAT2</b> — Pipeline Status, bit 2. Standard I/O port with internal pull-up.
P1.24	32	O	<b>TRACECLK</b> — Trace Clock. Standard I/O port with internal pull-up.
P1.25	28	I	<b>EXTIN0</b> — External Trigger Input. Standard I/O with internal pull-up.
P1.26	24	I/O	<b>RTCK</b> — Returned Test Clock output. Extra signal added to the JTAG port. Assists debugger synchronization when processor frequency varies. Bi-directional pin with internal pull-up. <b>Note:</b> LOW on this pin while <b>RESET</b> is LOW, enables pins P1.31:26 to operate as Debug port after reset.
P1.27	64	O	<b>TDO</b> — Test Data out for JTAG interface.
P1.28	60	I	<b>TDI</b> — Test Data in for JTAG interface.
P1.29	56	I	<b>TCK</b> — Test Clock for JTAG interface.
P1.30	52	I	<b>TMS</b> — Test Mode Select for JTAG interface.
P1.31	20	I	<b>TRST</b> — Test Reset for JTAG interface.
TD1	10	O	<b>TD1</b> — CAN1 transmitter output.
RESET	57	I	<b>External Reset Input:</b> A LOW on this pin resets the device, causing I/O ports and peripherals to take on their default states, and processor execution to begin at address 0. TTL with hysteresis, 5 V tolerant.

Table 3: Pin description...continued

Symbol	Pin	Type	Description
XTAL1	62	I	Input to the oscillator circuit and internal clock generator circuits.
XTAL2	61	O	Output from the oscillator amplifier.
V <sub>SS</sub>	6, 18, 25, 42, 50	I	Ground: 0 V reference.
V <sub>SSA</sub>	59	I	Analog Ground: 0 V reference. This should nominally be the same voltage as V <sub>SS</sub> , but should be isolated to minimize noise and error.
V <sub>SSA_PLL</sub>	58	I	PLL Analog Ground: 0 V reference. This should nominally be the same voltage as V <sub>SS</sub> , but should be isolated to minimize noise and error.
V <sub>18</sub>	17, 49	I	1.8 V Core Power Supply: This is the power supply voltage for internal circuitry.
V <sub>18A</sub>	63	I	Analog 1.8 V Core Power Supply: This is the power supply voltage for internal circuitry. This should be nominally the same voltage as V <sub>18</sub> but should be isolated to minimize noise and error.
V <sub>3</sub>	23, 43, 51	I	3.3 V Pad Power Supply: This is the power supply voltage for the I/O ports.
V <sub>3A</sub>	7	I	Analog 3.3 V Pad Power Supply: This should be nominally the same voltage as V <sub>3</sub> but should be isolated to minimize noise and error.

**LF353**  
**JFET-INPUT**  
**DUAL OPERATIONAL AMPLIFIER**  
SLOS012B – MARCH 1987 – REVISED AUGUST 1994

- Low Input Bias Current . . . 50 pA Typ
- Low Input Noise Current  
0.01 pA/√Hz Typ
- Low Input Noise Voltage . . . 18 nV/√Hz Typ
- Low Supply Current . . . 3.6 mA Typ
- High Input Impedance . . . 10<sup>12</sup> Ω Typ
- Internally Trimmed Offset Voltage
- Gain Bandwidth . . . 3 MHz Typ
- High Slew Rate . . . 13 V/μs Typ



**description**

This device is a low-cost, high-speed, JFET-input operational amplifier with very low input offset voltage. It requires low supply current yet maintains a large gain-bandwidth product and a fast slew rate. In addition, the matched high-voltage JFET input provides very low input bias and offset currents.

The LF353 can be used in applications such as high-speed integrators, digital-to-analog converters, sample-and-hold circuits, and many other circuits.

The LF353 is characterized for operation from 0°C to 70°C.

**symbol (each amplifier)**



AVAILABLE OPTIONS

T <sub>A</sub>	V <sub>IO</sub> max AT 25°C	PACKAGE	
		SMALL OUTLINE (D)	PLASTIC DIP (P)
0°C to 70°C	10 mV	LF353D	LF353P

The D packages are available taped and reeled. Add the suffix R to the device type (ie., LF353DR).

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)**

Supply voltage, V <sub>CC</sub> +	18 V
Supply voltage, V <sub>CC</sub> -	-18 V
Differential input voltage, V <sub>ID</sub>	±30 V
Input voltage, V <sub>I</sub> (see Note 1)	±15 V
Duration of output short circuit	unlimited
Continuous total power dissipation	500 mW
Operating temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



Copyright © 1994, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ส่วนบุคคล ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**LF353**  
**JFET-INPUT**  
**DUAL OPERATIONAL AMPLIFIER**  
 SLOS012B – MARCH 1987 – REVISED AUGUST 1994

**recommended operating conditions**

	MIN	MAX	UNIT
Supply voltage, $V_{CC+}$	3.5	18	V
Supply voltage, $V_{CC-}$	-3.5	-18	V

electrical characteristics over operating free-air temperature range,  $V_{CC\pm} = \pm 15$  V (unless otherwise specified)

PARAMETER	TEST CONDITIONS	$T_A$ †	MIN	TYP	MAX	UNIT
$V_{IO}$ Input offset voltage	$V_{IC} = 0, R_S = 10\text{ k}\Omega$	25°C		5	10	mV
		Full range			13	
$\alpha_{VIO}$ Average temperature coefficient of input offset voltage	$V_{IC} = 0, R_S = 10\text{ k}\Omega$			10		$\mu\text{V}/^\circ\text{C}$
$I_{IO}$ Input offset current‡	$V_{IC} = 0$	25°C		25	100	pA
		70°C			4	nA
$I_{IB}$ Input bias current‡	$V_{IC} = 0$	25°C		50	200	pA
		70°C			8	nA
$V_{ICR}$ Common-mode input voltage range			$\pm 11$	-12 to 15		V
$V_{OM}$ Maximum peak output voltage swing	$R_L = 10\text{ k}\Omega$		$\pm 12$	$\pm 13.5$		V
$A_{VD}$ Large-signal differential voltage	$V_O = \pm 10\text{ V}, R_L = 2\text{ k}\Omega$	25°C		25	100	V/mV
		Full range		15		
$r_i$ Input resistance	$T_J = 25^\circ\text{C}$			$10^{12}$		$\Omega$
CMRR Common-mode rejection ratio	$R_S \leq 10\text{ k}\Omega$		70	100		dB
kSVR Supply-voltage rejection ratio	See Note 2		70	100		dB
$I_{CC}$ Supply current			3.6	6.5		mA

† Full range is 0°C to 70°C.

‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive. Pulse techniques must be used that will maintain the junction temperatures as close to the ambient temperature as possible.

NOTE 2: Supply-voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously.

**operating characteristics,  $V_{CC\pm} = \pm 15$  V,  $T_A = 25^\circ\text{C}$**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{O1}/V_{O2}$ Crosstalk attenuation	$f = 1\text{ kHz}$		120		dB
SR Slew rate		8	13		V/ $\mu\text{s}$
$B_1$ Unity-gain bandwidth			3		MHz
$V_n$ Equivalent input noise voltage	$f = 1\text{ kHz}, R_S = 20\ \Omega$		18		nV/ $\sqrt{\text{Hz}}$
$I_n$ Equivalent input noise current	$f = 1\text{ kHz}$		0.01		pA/ $\sqrt{\text{Hz}}$



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

## HD74LS04 / HD74LS05

Hex Inverters / Hex Inverters (with Open Collector Outputs)

REJ03D0391-0300

Rev.3.00

Jul.13.2005

### Features

- Ordering Information

#### • HD74LS04

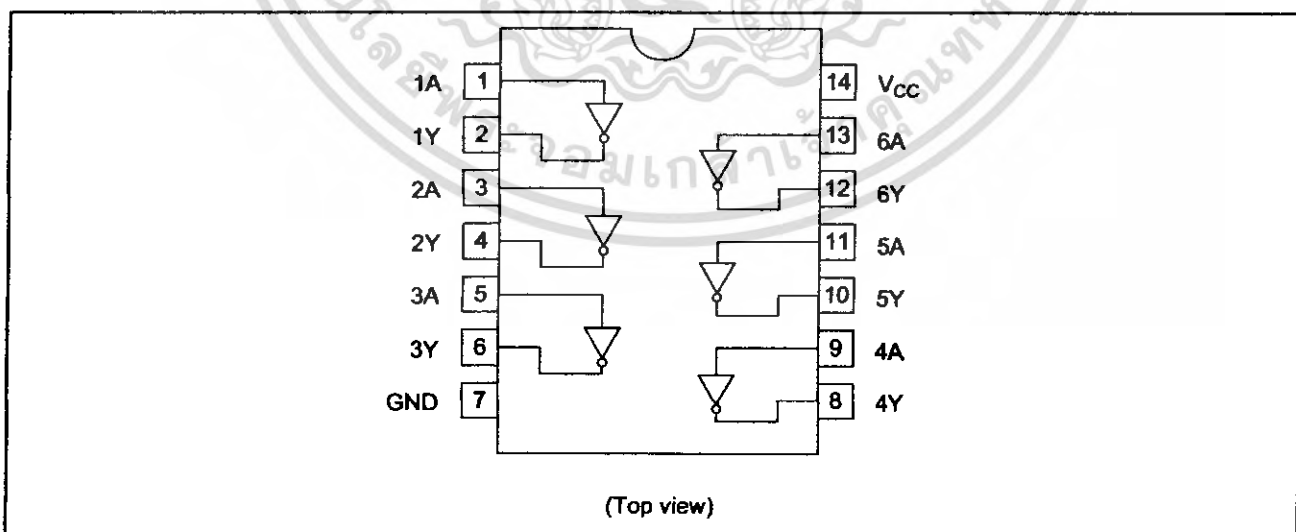
Part Name	Package Type	Package Code (Previous Code)	Package Abbreviation	Taping Abbreviation (Quantity)
HD74LS04P	DILP-14 pin	PRDP0014AB-B (DP-14AV)	P	—
HD74LS04FPEL	SOP-14 pin (JEITA)	PRSP0014DF-B (FP-14DAV)	FP	EL (2,000 pcs/reel)
HD74LS04RPEL	SOP-14 pin (JEDEC)	PRSP0014DE-A (FP-14DNV)	RP	EL (2,500 pcs/reel)

#### • HD74LS05

Part Name	Package Type	Package Code (Previous Code)	Package Abbreviation	Taping Abbreviation (Quantity)
HD74LS05P	DILP-14 pin	PRDP0014AB-B (DP-14AV)	P	—
HD74LS05FPEL	SOP-14 pin (JEITA)	PRSP0014DF-B (FP-14DAV)	FP	EL (2,000 pcs/reel)
HD74LS05RPEL	SOP-14 pin (JEDEC)	PRSP0014DE-A (FP-14DNV)	RP	EL (2,500 pcs/reel)

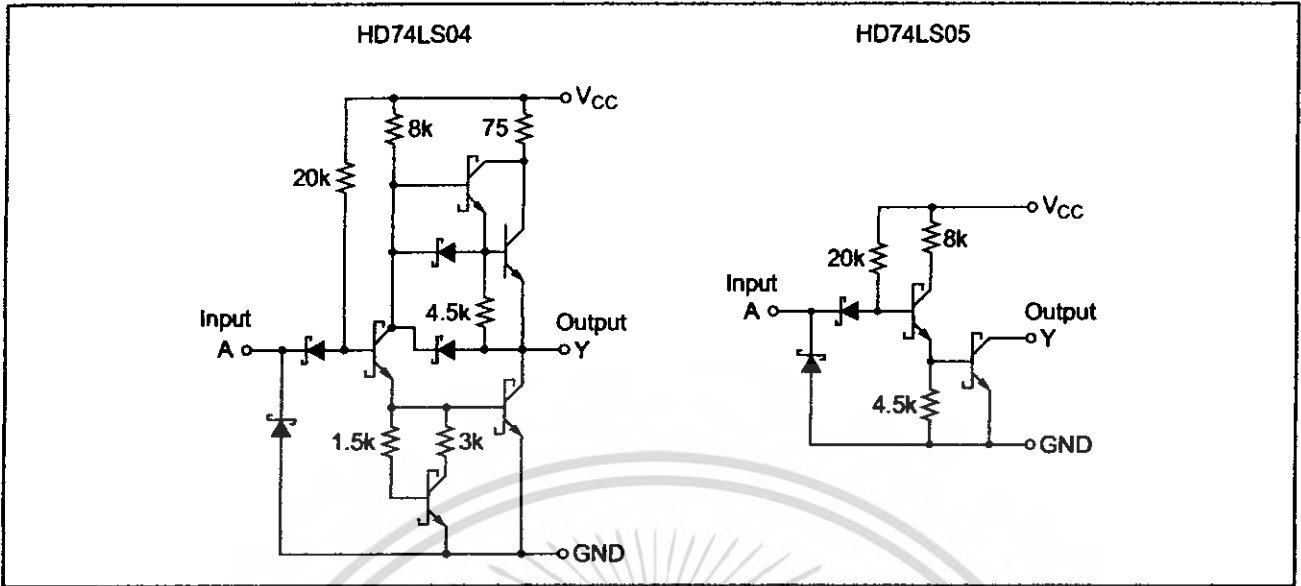
Note: Please consult the sales office for the above package availability.

### Pin Arrangement



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Circuit Schematic (1/6)



Absolute Maximum Ratings

Item	Symbol	Ratings	Unit
Supply voltage	$V_{CC}$ <small>Note</small>	7	V
Input voltage	$V_{IN}$	7	V
Power dissipation	$P_T$	400	mW
Storage temperature	$T_{stg}$	-65 to +150	°C

Note: Voltage value, unless otherwise noted, are with respect to network ground terminal.

Recommended Operating Conditions

• HD74LS04

Item	Symbol	Min	Typ	Max	Unit
Supply voltage	$V_{CC}$	4.75	5.00	5.25	V
Output current	$I_{OH}$	—	—	-400	μA
	$I_{OL}$	—	—	8	mA
Operating temperature	$T_{opr}$	-20	25	75	°C

• HD74LS05

Item	Symbol	Min	Typ	Max	Unit
Supply voltage	$V_{CC}$	4.75	5.00	5.25	V
Output voltage	$V_{OH}$	—	—	5.5	V
Output current	$I_{OL}$	—	—	8	mA
Operating temperature	$T_{opr}$	-20	25	75	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**Electrical Characteristics**

• HD74LS04

(Ta = -20 to +75 °C)

Item	Symbol	min.	typ.*	max.	Unit	Condition
Input voltage	V <sub>IH</sub>	2.0	—	—	V	
	V <sub>IL</sub>	—	—	0.8	V	
Output voltage	V <sub>OH</sub>	2.7	—	—	V	V <sub>CC</sub> = 4.75 V, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -400 μA
	V <sub>OL</sub>	—	—	0.5	V	V <sub>CC</sub> = 4.75 V, V <sub>IH</sub> = 2 V
—		—	0.4			
Input current	I <sub>IH</sub>	—	—	20	μA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 2.7 V
	I <sub>IL</sub>	—	—	-0.4	mA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 0.4 V
	I <sub>I</sub>	—	—	0.1	mA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 7 V
Short-circuit output current	I <sub>OS</sub>	-20	—	-100	mA	V <sub>CC</sub> = 5.25 V
Supply current	I <sub>CCH</sub>	—	1.2	2.4	mA	V <sub>CC</sub> = 5.25 V
	I <sub>CCL</sub>	—	3.6	6.6	mA	V <sub>CC</sub> = 5.25 V
Input clamp voltage	V <sub>IK</sub>	—	—	-1.5	V	V <sub>CC</sub> = 4.75 V, I <sub>IN</sub> = -18 mA

Note: \* V<sub>CC</sub> = 5 V, Ta = 25°C

• HD74LS05

(Ta = -20 to +75 °C)

Item	Symbol	min.	typ.*	max.	Unit	Condition
Input voltage	V <sub>IH</sub>	2.0	—	—	V	
	V <sub>IL</sub>	—	—	0.8	V	
Output voltage	V <sub>OL</sub>	—	—	0.5	V	V <sub>CC</sub> = 4.75 V, V <sub>IH</sub> = 2 V
		—	—	0.4		
Output current	I <sub>OH</sub>	—	—	100	μA	V <sub>CC</sub> = 4.75 V, V <sub>IL</sub> = 0.8 V, V <sub>OA</sub> = 5.5 V
Input current	I <sub>IH</sub>	—	—	20	μA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 2.7 V
	I <sub>IL</sub>	—	—	-0.4	mA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 0.4 V
	I <sub>I</sub>	—	—	0.1	mA	V <sub>CC</sub> = 5.25 V, V <sub>I</sub> = 7 V
Supply current	I <sub>CCH</sub>	—	1.2	2.4	mA	V <sub>CC</sub> = 5.25 V
	I <sub>CCL</sub>	—	3.6	6.6	mA	V <sub>CC</sub> = 5.25 V
Input clamp voltage	V <sub>IK</sub>	—	—	-1.5	V	V <sub>CC</sub> = 4.75 V, I <sub>IN</sub> = -18 mA

Note: \* V<sub>CC</sub> = 5 V, Ta = 25°C

**Switching Characteristics**

• HD74LS04

(V<sub>CC</sub> = 5 V, Ta = 25°C)

Item	Symbol	min.	typ.	max.	Unit	Condition
Propagation delay time	t <sub>PLH</sub>	—	9	15	ns	C <sub>L</sub> = 15 pF, R <sub>L</sub> = 2 kΩ
	t <sub>PHL</sub>	—	10	15	ns	

• HD74LS05

(V<sub>CC</sub> = 5 V, Ta = 25°C)

Item	Symbol	min.	typ.	max.	Unit	Condition
Propagation delay time	t <sub>PLH</sub>	—	17	32	ns	C <sub>L</sub> = 15 pF, R <sub>L</sub> = 2 kΩ
	t <sub>PHL</sub>	—	15	28	ns	

Note: Refer to Test Circuit and Waveform of the Common Item "TTL Common Matter (Document No.: REJ27D0005-0100)".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

### HALF-BRIDGE DRIVER

#### Features

- Floating channel designed for bootstrap operation Fully operational to +600V Tolerant to negative transient voltage dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- CMOS Schmitt-triggered inputs with pull-down
- Matched propagation delay for both channels
- Internally set deadtime
- High side output in phase with input
- Also available LEAD-FREE

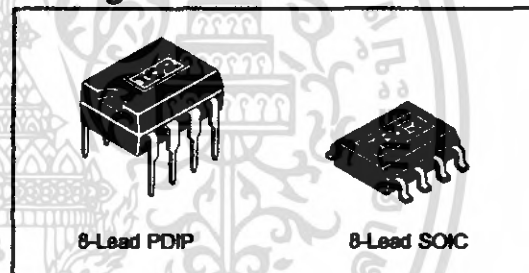
#### Product Summary

$V_{OFFSET}$	600V max.
$I_{O+/-}$	200 mA / 420 mA
$V_{OUT}$	10 - 20V
$t_{on/off} (typ.)$	750 & 150 ns
Deadtime (typ.)	650 ns

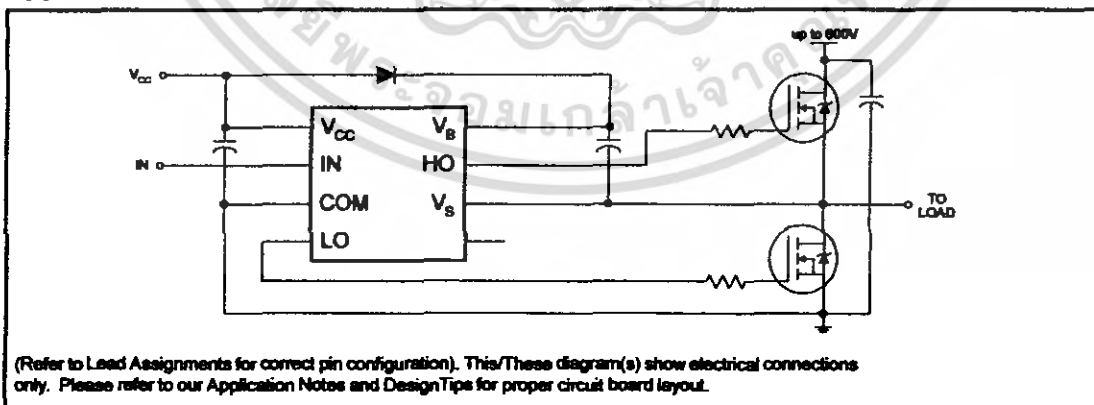
#### Description

The IR2111(S) is a high voltage, high speed power MOSFET and IGBT driver with dependent high and low side referenced output channels designed for half-bridge applications. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic input is compatible with standard CMOS outputs. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Internal deadtime is provided to avoid shoot-through in the output half-bridge. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 600 volts.

#### Packages



#### Typical Connection



## Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in figures 7 through 10.

Symbol	Definition	Min.	Max.	Units	
V <sub>B</sub>	High side floating supply voltage	-0.3	625	V	
V <sub>S</sub>	High side floating supply offset voltage	V <sub>B</sub> - 25	V <sub>B</sub> + 0.3		
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub> - 0.3	V <sub>B</sub> + 0.3		
V <sub>CC</sub>	Low side and logic fixed supply voltage	-0.3	25		
V <sub>LO</sub>	Low side output voltage	-0.3	V <sub>CC</sub> + 0.3		
V <sub>IN</sub>	Logic input voltage	-0.3	V <sub>CC</sub> + 0.3		
dV <sub>S</sub> /dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ms	
P <sub>D</sub>	Package power dissipation @ T <sub>A</sub> ≤ +25°C	(8 Lead PDIP)	—	1.0	W
		(8 lead SOIC)	—	0.625	
R <sub>thJA</sub>	Thermal resistance, junction to ambient	(8 lead PDIP)	—	125	°C/W
		(8 lead SOIC)	—	200	
T <sub>J</sub>	Junction temperature	—	150	°C	
T <sub>S</sub>	Storage temperature	-55	150		
T <sub>L</sub>	Lead temperature (soldering, 10 seconds)	—	300		

## Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V<sub>S</sub> offset rating is tested with all supplies biased at 15V differential.

Symbol	Definition	Min.	Max.	Units
V <sub>B</sub>	High side floating supply absolute voltage	V <sub>S</sub> + 10	V <sub>S</sub> + 20	V
V <sub>S</sub>	High side floating supply offset voltage	Note 1	600	
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub>	V <sub>B</sub>	
V <sub>CC</sub>	Low side and logic fixed supply voltage	10	20	
V <sub>LO</sub>	Low side output voltage	0	V <sub>CC</sub>	
V <sub>IN</sub>	Logic input voltage	0	V <sub>CC</sub>	
T <sub>A</sub>	Ambient temperature	-40	125	°C

Note 1: Logic operational for V<sub>S</sub> of -5 to +600V. Logic state held for V<sub>S</sub> of -5V to -V<sub>BS</sub>. (Please refer to the Design Tip DT97-3 for more details).

### Dynamic Electrical Characteristics

$V_{BIAS} (V_{CC}, V_{GS}) = 15V$ ,  $C_L = 1000 \text{ pF}$  and  $T_A = 25^\circ\text{C}$  unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in figure 3.

Symbol	Definition	Min.	Typ.	Max.	Units	Test Conditions
$t_{on}$	Turn-on propagation delay	550	750	950	ns	$V_S = 0V$
$t_{off}$	Turn-off propagation delay	—	150	180		$V_S = 600V$
$t_r$	Turn-on rise time	—	80	130		
$t_f$	Turn-off fall time	—	40	65		
DT	Deadtime, LS turn-off to HS turn-on & HS turn-off to LS turn-on	480	650	820		
MT	Delay matching, HS & LS turn-on/off	—	30	—		

### Static Electrical Characteristics

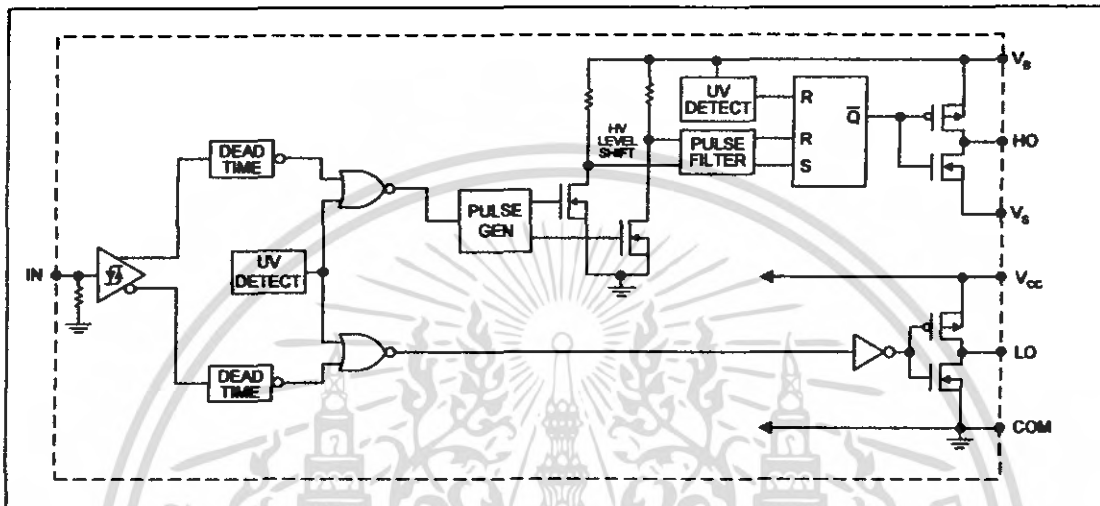
$V_{BIAS} (V_{CC}, V_{GS}) = 15V$  and  $T_A = 25^\circ\text{C}$  unless otherwise specified. The  $V_{IH}$ ,  $V_{TH}$  and  $I_{IN}$  parameters are referenced to COM. The  $V_O$  and  $I_O$  parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Min.	Typ.	Max.	Units	Test Conditions
$V_{IH}$	Logic "1" input voltage for HO & logic "0" for LO	6.4	—	—	V	$V_{CC} = 10V$
		9.5	—	—		$V_{CC} = 15V$
		12.6	—	—		$V_{CC} = 20V$
$V_{IL}$	Logic "0" input voltage for HO & logic "1" for LO	—	—	3.8		$V_{CC} = 10V$
		—	—	6.0		$V_{CC} = 15V$
		—	—	8.3		$V_{CC} = 20V$
$V_{OH}$	High level output voltage, $V_{BIAS} - V_O$	—	—	100	mV	$I_O = 0A$
$V_{OL}$	Low level output voltage, $V_O$	—	—	100		$I_O = 0A$
$I_{LK}$	Offset supply leakage current	—	—	50	$\mu A$	$V_B = V_S = 600V$
$I_{QGS}$	Quiescent $V_{GS}$ supply current	—	50	100		$V_{IN} = 0V$ or $V_{CC}$
$I_{QCC}$	Quiescent $V_{CC}$ supply current	—	70	180		$V_{IN} = 0V$ or $V_{CC}$
$I_{IN+}$	Logic "1" input bias current	—	30	50		$V_{IN} = V_{CC}$
$I_{IN-}$	Logic "0" input bias current	—	—	1.0		$V_{IN} = 0V$
$V_{BSUV+}$	$V_{BS}$ supply undervoltage positive going threshold	7.6	8.6	9.6		V
$V_{BSUV-}$	$V_{BS}$ supply undervoltage negative going threshold	7.2	8.2	9.2		
$V_{CCUV+}$	$V_{CC}$ supply undervoltage positive going threshold	7.6	8.6	9.6		
$V_{CCUV-}$	$V_{CC}$ supply undervoltage negative going threshold	7.2	8.2	9.2		
$I_{O+}$	Output high short circuit pulsed current	200	250	—	mA	$V_O = 0V, V_{IN} = V_{CC}$ $PW \leq 10 \mu s$
$I_{O-}$	Output low short circuit pulsed current	420	500	—		$V_O = 15V, V_{IN} = 0V$ $PW \leq 10 \mu s$

# IR2111(S)&(PbF)

International  
**IR** Rectifier

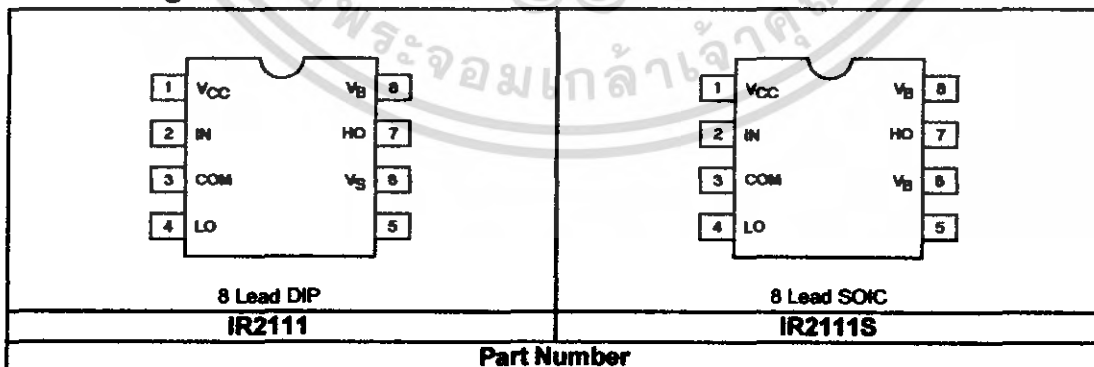
## Functional Block Diagram



## Lead Definitions

Symbol	Description
IN	Logic input for high side and low side gate driver outputs (HO & LO), in phase with HO
VB	High side floating supply
HO	High side gate drive output
VS	High side floating supply return
VCC	Low side and logic fixed supply
LO	Low side gate drive output
COM	Low side return

## Lead Assignments



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

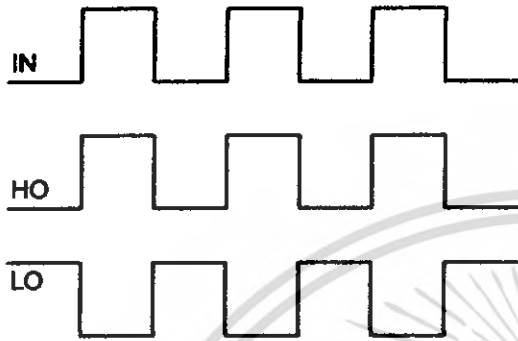


Figure 1. Input/Output Timing Diagram

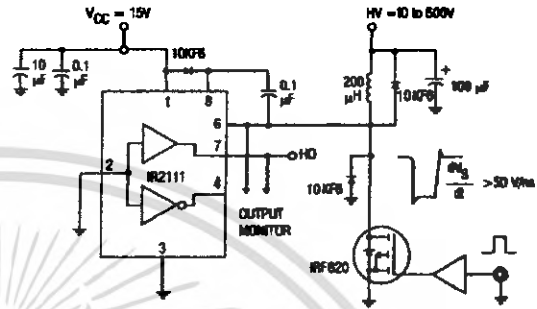


Figure 2. Floating Supply Voltage Transient Test Circuit

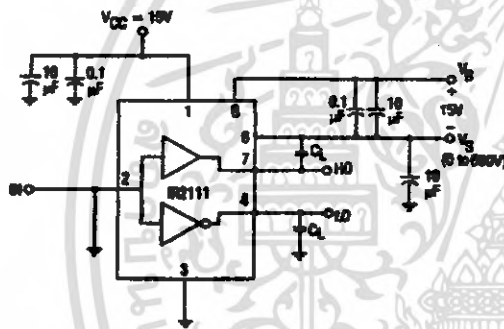


Figure 3. Switching Time Test Circuit

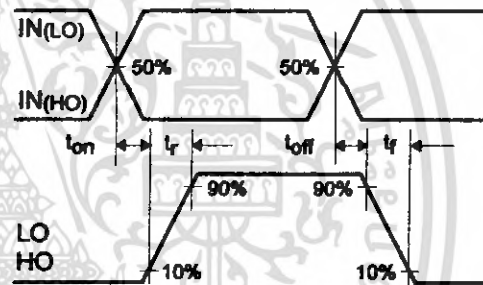


Figure 4. Switching Time Waveform Definition

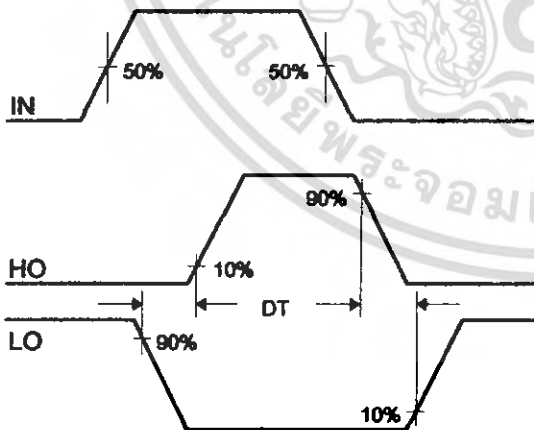


Figure 5. Deadtime Waveform Definitions

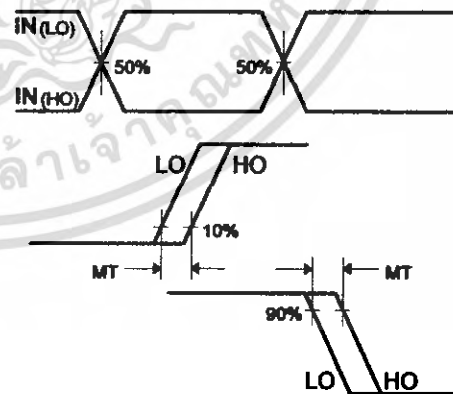
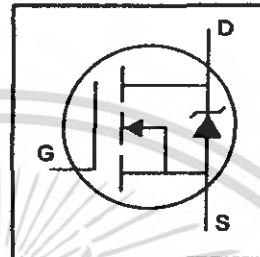


Figure 6. Delay Matching Waveform Definitions

# IRF540N

HEXFET® Power MOSFET

- Advanced Process Technology
- Ultra Low On-Resistance
- Dynamic dv/dt Rating
- 175°C Operating Temperature
- Fast Switching
- Fully Avalanche Rated

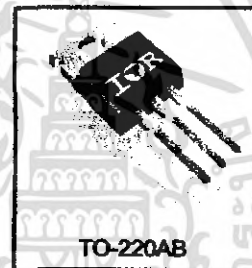


$V_{DSS} = 100V$
$R_{DS(on)} = 44m\Omega$
$I_D = 33A$

## Description

Advanced HEXFET® Power MOSFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.



## Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	33	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	23	
$I_{DM}$	Pulsed Drain Current ①	110	
$P_D @ T_C = 25^\circ C$	Power Dissipation	130	W
	Linear Derating Factor	0.87	W/°C
$V_{GS}$	Gate-to-Source Voltage	$\pm 20$	V
$I_{AR}$	Avalanche Current ①	16	A
$E_{AR}$	Repetitive Avalanche Energy ①	13	mJ
dv/dt	Peak Diode Recovery dv/dt ②	7.0	V/ns
$T_J$	Operating Junction and	-55 to +175	°C
$T_{STG}$	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting torque, 6-32 or M3 screw	10 lbf-in (1.1N-m)	

## Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	1.15	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	62	

www.irf.com

1

03/13/01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

Parameter	Min.	Typ.	Max.	Units	Conditions	
$V_{(BR)DSS}$	100	—	—	V	$V_{GS} = 0V, I_D = 250\mu A$	
$\Delta V_{(BR)DSS}/\Delta T_J$	—	0.12	—	V/°C	Reference to $25^\circ\text{C}, I_D = 1mA$	
$R_{DS(on)}$	—	—	44	m $\Omega$	$V_{GS} = 10V, I_D = 16A$ ①	
$V_{GS(th)}$	2.0	—	4.0	V	$V_{DS} = V_{GS}, I_D = 250\mu A$	
$g_{fs}$	21	—	—	S	$V_{DS} = 50V, I_D = 16A$ ①	
$I_{DSS}$	Drain-to-Source Leakage Current	—	—	25	$\mu A$	$V_{DS} = 100V, V_{GS} = 0V$
		—	—	250		$V_{DS} = 80V, V_{GS} = 0V, T_J = 150^\circ\text{C}$
$I_{GSS}$	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS} = 20V$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS} = -20V$
$Q_g$	Total Gate Charge	—	—	71	nC	$I_D = 16A$
$Q_{gs}$	Gate-to-Source Charge	—	—	14		$V_{DS} = 80V$
$Q_{gd}$	Gate-to-Drain ("Miller") Charge	—	—	21		$V_{GS} = 10V$ , See Fig. 6 and 13
$t_{d(on)}$	Turn-On Delay Time	—	11	—	ns	$V_{DD} = 50V$
$t_r$	Rise Time	—	35	—		$I_D = 16A$
$t_{d(off)}$	Turn-Off Delay Time	—	39	—		$R_G = 5.1\Omega$
$t_f$	Fall Time	—	35	—		$V_{GS} = 10V$ , See Fig. 10 ①
$L_D$	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6mm (0.25in.) from package and center of die contact
$L_S$	Internal Source Inductance	—	7.5	—		
$C_{iss}$	Input Capacitance	—	1960	—	pF	$V_{GS} = 0V$
$C_{oss}$	Output Capacitance	—	250	—		$V_{DS} = 25V$
$C_{riss}$	Reverse Transfer Capacitance	—	40	—		$f = 1.0MHz$ , See Fig. 5
$E_{AS}$	Single Pulse Avalanche Energy ②	—	700	185	mJ	$I_{AS} = 16A, L = 1.5mH$

## Source-Drain Ratings and Characteristics

Parameter	Min.	Typ.	Max.	Units	Conditions
$I_S$	—	—	33	A	MOSFET symbol showing the integral reverse p-n junction diode.
$I_{SM}$	—	—	110		
$V_{SD}$	—	—	1.2	V	$T_J = 25^\circ\text{C}, I_S = 16A, V_{GS} = 0V$ ①
$t_{rr}$	—	115	170	ns	$T_J = 25^\circ\text{C}, I_r = 16A$
$Q_{rr}$	—	505	760	nC	$di/dt = 100A/\mu s$ ①
$t_{on}$	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S + L_D$ )			

### Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)
- ② Starting  $T_J = 25^\circ\text{C}$ ,  $L = 1.5mH$ ,  $R_G = 25\Omega$ ,  $I_{AS} = 16A$ . (See Figure 12)
- ③  $I_{SD} \leq 16A$ ,  $di/dt \leq 340A/\mu s$ ,  $V_{DD} \leq V_{(BR)DSS}$ ,  $T_J \leq 175^\circ\text{C}$
- ④ Pulse width  $\leq 400\mu s$ ; duty cycle  $\leq 2\%$ .
- ⑤ This is a typical value at device destruction and represents operation outside rated limits.
- ⑥ This is a calculated value limited to  $T_J = 175^\circ\text{C}$ .