

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมความเร็วรอบอินดักชันมอเตอร์

INDUCTION MOTOR SPEED CONTROL



โดย

นายดำรงฤทธิ์ วันจะกำ

นายธีระยุทธ สุขพุดผล

๗๗

๑ 49๘7

๑๙๕๑

เลขหมู่.....
เลขทะเบียน..... 72076
วัน,เดือน,ปี..... - 8 ส.ย. 2550

b. 117 629 62
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา 2549

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การควบคุมความเร็วรอบอินดักชั่นมอเตอร์
INDUCTION MOTOR SPEED CONTROL

คณะผู้จัดทำ นายดำรงฤทธิ์ วันจะกำ
นายธีระบุทธิ์ สุขพูลผล



.....อาจารย์ที่ปรึกษา

(ผศ. ดร. นนทวัฒน์ จุลเดชชะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมความเร็วรอบอินดักชันมอเตอร์

โดย

นายดำรงฤทธิ์ วันจะกำ 47015283

นายธีระยุทธ สุขพูลผล 47015288

อาจารย์ที่ปรึกษา

ศศ.ดร.นนทวัฒน์ จุลเคชะ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการศึกษา การออกแบบและการสร้างอินเวอร์เตอร์ มาตรฐานที่สามารถขับอินดักชันมอเตอร์ได้จริง โดยอินเวอร์เตอร์ที่พัฒนาขึ้น ประกอบด้วย AC/DC คอนเวอร์เตอร์และ AC/DC คอนเวอร์เตอร์ (อินเวอร์เตอร์) ซึ่งทำให้สามารถปรับความถี่ และแรงดันไฟฟ้าเข้าที่มอเตอร์ได้ ส่วนของอินเวอร์เตอร์มีระบบวงจรประวิงเวลา (Dead Time Control) เพื่อป้องกันการลัดวงจรระหว่างอุปกรณ์สวิตซ์ตัวบนกับอุปกรณ์สวิตซ์ตัวล่างของ อินเวอร์เตอร์ ที่อยู่บนกิ่งเดียวกัน และมีวงจรขับ IGBT วงจรขับ IGBT นี้มีแรงดันไฟฟ้าลบขณะอยู่ในสภาวะหยุดนำกระแสไฟฟ้า อินเวอร์เตอร์ที่สร้างขึ้นได้ส่งสัญญาณแบบ 6-step เพื่อขับมอเตอร์ ซึ่งสามารถขับมอเตอร์ให้มีความเร็วตามต้องการ

INDUCTION MOTOR SPEED CONTROL

Student

Mr.Domrongrit Wonjakha

Mr.Teerayut Sukpoolphol

Thesis Advisor

Asst.Prof.Dr.Nontawat Chuladaycha

ABSTRACT

This thesis presents designing implementation and construction of standard inverter, that able genuine to drive induction motor. That consist of AC/DC converter and AC/DC converter (inverter) it could change frequent and voltage into motor. Inverter components have the dead time control circuit and the overload-current protection in this developed inverter are provided short-circuit protection between upper switching equipment, lower switching equipment in the same branch of this inverter and also have drive IGBT circuit. The IGBT circuit has native voltage in condition off. The 6-step signal is sent by inverter for drive motor that could change speed.

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี เพราะได้รับความเมตตาเป็นอย่างสูงจากผู้ช่วยศาสตราจารย์ ดร.นนทวัฒน์ จุลเดชะ อาจารย์ที่ปรึกษาที่ได้ให้คำแนะนำ ข้อคิดเห็น ให้ความกรุณาเอื้อเฟื้ออุปการะในการทดลอง และความช่วยเหลืออื่นๆ แก่คณะผู้จัดทำ

ขอขอบพระคุณ รุ่นที่ปริญญาในห้องวิจัยที่ให้คำแนะนำและให้คำปรึกษา รวมถึงการให้ความสนใจถึงความคืบหน้าอย่างสม่ำเสมอ

สุดท้ายนี้ผู้จัดทำขอกราบขอบพระคุณ บิดา มารดา ของคณะผู้จัดทำที่ได้ให้ความสนับสนุนให้โอกาสผู้จัดทำได้เล่าเรียนมาจนถึงทุกวันนี้ และเป็นกำลังใจแก่ผู้จัดทำตลอดมา อีกทั้งขอขอบคุณเพื่อนๆ ที่คอยให้ความช่วยเหลือและเป็นกำลังใจให้แก่ผู้จัดทำ จนทำให้ปริญญาบัตรฉบับนี้เสร็จสิ้นสมบูรณ์



คณะผู้จัดทำ

นายคำรงฤทธิ์ วันจะกำ

นายธีระยุทธ สุขพูลผล

สารบัญ

	หน้า
บทคัดย่อ	I
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 IGBT	3
2.1.1 ความรู้พื้นฐานเกี่ยวกับ IGBT	3
2.1.2 โครงสร้างพื้นฐานของ IGBT	3
2.1.3 คุณสมบัติของกระแสไฟฟ้าและแรงดันไฟฟ้า	5
2.1.4 ลักษณะการทำงาน	6
2.1.4.1 สภาวะนำกระแสไฟฟ้า	6
2.1.4.2 สภาวะหยุดนำกระแสไฟฟ้า	7
2.2 SCR	8
2.2.1 โครงสร้างภายในและสัญลักษณ์	8
2.2.2 การทำงานของ SCR	9
2.2.3 การไบแอส	9
2.2.4 วิธีการนำกระแสของ SCR	10
2.2.4.1. ป้อนกระแส Gate	10
2.2.4.2. ใช้แสง	10
2.2.4.3. ใช้แรงดันไฟฟ้าสูง	11
2.2.4.4. การเพิ่ม dv/dt	11
2.2.4.5. ใช้ความร้อน	11
2.2.5 วิธีการหยุดนำกระแสไฟฟ้าของ SCR	12
2.2.5 1. วิธีการธรรมชาติ	12
2.2.5 2. วิธีการจัด โหลดให้เหมาะสม	13
2.2.5 3. วิธีการบังคับ	13

สารบัญ(ต่อ)

หน้า

2.2.6. การป้องกัน SCR	14
2.2.6.1.แรงดันไฟฟ้าเกินพิกัดจากภายในวงจร	14
2.2.6.2.แรงดันไฟฟ้าเกินพิกัดจากภายนอกวงจร	14
บทที่ 3 การออกแบบและสร้างชุดกำลังของ Inverter	15
3.1 วงจรเรียงกระแสไฟฟ้า 3 เฟสที่ควบคุมแรงดันไฟฟ้าได้แบบเต็มคลื่น	15
3.1.1 การออกแบบหม้อแปลงไฟฟ้า	16
3.1.1.1การคำนวณ	17
3.1.2 IC 4047	17
3.1.3 วงจร Zero Crossing	19
3.2 วงจร Inverter 3 เฟส	20
3.2.1 การออกแบบและสร้างวงจรประวิงเวลา	20
3.2.2 การออกแบบและสร้างวงจรขับนำ IGBT	22
3.2.3 หลักการทำงาน Inverter 3 เฟสชนิด 6 Step	23
3.2.4 พิจารณาที่ช่วงเวลาใดๆของชนิด 6 Step	26
บทที่ 4 การทดลองและผลการทดลอง	28
4.1 ผลการทดลองที่ได้จากวงจรขับ SCR	28
4.2 ผลการทดลองที่ได้จากวงจร Zero Crossing	29
4.3 ผลการทดลองที่ได้จากวงจรประวิงเวลา	29
4.4 ผลการทดลองที่ได้จากวงจรขับ IGBT	30
4.5 ผลการทดลองที่ได้จากวงจร Inverter 3 เฟส	30
4.6 วงจร Inverter 3 เฟสที่สร้างขึ้นเพื่อใช้ในโครงการ	32
บทที่ 5 สรุปและวิจารณ์	34
เอกสารอ้างอิง	35

สารบัญ(ต่อ)

	หน้า
ภาคผนวก ก ข้อมูลของ SCR เบอร์ TYN1012	36
ภาคผนวก ข ข้อมูลของ IC เบอร์ CD4047	42
ภาคผนวก ค ข้อมูลของ IGBT เบอร์ IRG4PH40UD	58
ภาคผนวก ง ข้อมูลของ Optotransistor เบอร์ TLP250	69
ภาคผนวก จ ข้อมูลของ IC เบอร์ MC14557B	76
ภาคผนวก ฉ Program 6-step	85



สารบัญภาพ

รูปที่	หน้า
2.1 ภาพตัดแฉวงคิ่งของ IGBT	3
2.2 โครงสร้างของ IGBT	4
2.3 คุณสมบัติของกระแสไฟฟ้าและแรงดันไฟฟ้า	5
(ก) ลักษณะของ Output	5
(ข) Transfer Characteristics	5
(ค) สัญลักษณ์ของ IGBT ชนิดเอ็น-แซนแนล	5
2.4 ทิศทางการไหลของอิเล็กตรอนและโฮลในขณะนำกระแสไฟฟ้า	7
2.5 โครงสร้างภายในและสัญลักษณ์ของ SCR	9
2.6 การไบแอส SCR	9
2.7 แบบจำลอง SCR ด้วย Transistor	10
2.8 แบบจำลอง Transistor ของ SCR	11
2.9 วงจรไฟฟ้ากระแสสลับกับการสับเปลี่ยนโดยธรรมชาติ	13
2.10 การหุค่นำกระแสไฟฟ้าอย่างง่ายในวงจรไฟฟ้ากระแสตรง	13
3.1 ชุดวงจรกำลังของ Inverter 3 เฟส	15
3.2 วงจรเรียงกระแสไฟฟ้า 3 เฟสที่ควบคุมแรงดันไฟฟ้าแบบได้เต็มคลื่น	16
3.3 รูปคลื่นแรงดันไฟฟ้าระหว่างเฟสและลำดับของสัญญาณจุดชนวน Gate ของ SCR	16
3.4 IC 4047	18
3.5 บล็อกไดอะแกรมของ IC 4047	18
3.6 วงจรขับ SCR	19
3.7 วงจร Zero Crossing	19
3.8 วงจร Inverter 3 เฟส	20
3.9 วงจรสร้างช่วงการประวิงเวลา	21
3.10 Timing Diagram ของวงจรประวิงเวลา	22
3.11 วงจรขับ IGBT	23
3.12 วงจร Inverter 3 เฟส	23
3.13 การสวิตช์ของ IGBT, แรงดันไฟฟ้าระหว่างเฟสที่โหลดและแรงดันไฟฟ้าต่อเฟส	24
3.14 การสวิตช์ของ IGBT, แรงดันไฟฟ้าระหว่างเฟสที่โหลดและกระแสไฟฟ้าที่ผ่าน IGBT	25

สารบัญภาพ(ต่อ)

รูปที่	หน้า
4.1 สัญญาณขับ SCR	28
4.2 สัญญาณ Out put ของวงจร Zero Crossing	29
4.3 การประวิงเวลาที่ 4 μ s ของสัญญาณขับ Gate	29
4.4 สัญญาณขับ IGBT ในกิ่งเดียวกัน	30
4.5 สัญญาณ 6 step ของ V_{AN} เทียบกับ V_{BN}	30
4.6 สัญญาณ V_{CE} เทียบกับ V_{GE} ที่เฟส B	31
4.7 Inverter 3 เฟสที่สร้างขึ้น	32
4.8 Inverter ขณะต่ออยู่กับมอเตอร์ไฟฟ้า 3 เฟส	32
4.9 มอเตอร์ไฟฟ้ากำลังทำงาน	33



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันเทคโนโลยีสารกึ่งตัวนำได้มีการพัฒนาอย่างรวดเร็ว ซึ่งได้มีการนำไปใช้งานที่แตกต่างกัน ไม่ว่าจะเป็นทรานซิสเตอร์ (Transistor) มอสเฟต (MOSFET) เอสซีอาร์ (SCR) ไดโอด (Diode) และไอจีบีที (IGBT) การเลือกไปใช้งานก็ขึ้นอยู่กับความต้องการของผู้ใช้ และลักษณะการนำไปใช้งานของอุปกรณ์สารกึ่งตัวนำส่วนใหญ่ในทางอิเล็กทรอนิกส์กำลังมักจะใช้เป็นอุปกรณ์สวิตซ์ (Switching) ซึ่งอุปกรณ์สารกึ่งตัวนำแต่ละชนิดมีทั้งข้อดีและข้อด้อยเหมาะสมกับงานที่แตกต่างกันไป IGBT ก็เป็นอุปกรณ์สารกึ่งตัวนำตัวหนึ่งที่พัฒนามาจาก Transistor และ MOSFET ข้อดีของ Transistor คือ มีการสูญเสียของพลังงานในการทำงานต่ำ แต่คุณสมบัติในการเป็นสวิตซ์นั้นไม่ดี คือ เวลาในการสวิตซ์ค่อนข้างช้าจึงไม่เหมาะที่จะนำไปใช้งานที่ความถี่สูง ในขณะที่ MOSFET สามารถทำงานได้ดีที่ความถี่สูง แต่ก็มีข้อจำกัด คือ พลังงานสูญเสียในการทำงานเป็นสวิตซ์จะแปรตามความถี่ ยิ่งนำไปใช้งานที่ความถี่สูงก็จะทำให้เกิดพลังงานสูญเสียตามไปด้วย ดังที่ได้กล่าวมาแล้วจึงได้นำเอาข้อดีของ Transistor และ MOSFET มาพัฒนาเป็น IGBT เพราะฉะนั้นคุณสมบัติของ IGBT จึงอยู่ระหว่างอุปกรณ์ทั้งสอง คือ ใช้งานที่ความถี่สูงได้ดีกว่า Transistor และพลังงานสูญเสียต่ำกว่า MOSFET ที่ความถี่เดียวกัน

ในโครงการนี้ได้นำเอา IGBT ไปใช้เป็นอุปกรณ์สวิตซ์กำลังในวงจรอินเวอร์เตอร์ เพื่อใช้ควบคุมการทำงานของมอเตอร์เหนี่ยวนำ ซึ่งในปัจจุบันถือได้ว่ามอเตอร์เหนี่ยวนำมีส่วนสำคัญอย่างมากในวงการอุตสาหกรรมและการผลิต เพราะวามอเตอร์ไฟฟ้าเป็นอุปกรณ์ขั้นพื้นฐานที่จำเป็นในการขับเคลื่อนภายในโรงงานอุตสาหกรรม และยังมีความปลอดภัยในการใช้งานมากกว่าเครื่องจักรกลที่ใช้น้ำมันรวมไปถึงมลภาวะทางเสียงและทางอากาศก็น้อยกว่า การพัฒนาโครงสร้างของมอเตอร์ไฟฟ้านั้นจึงได้มีการพัฒนาให้มีประสิทธิภาพที่ดีขึ้นเรื่อยมาเป็นลำดับ ซึ่งก็รวมไปถึงการนำมอเตอร์ไปประยุกต์ใช้งานด้านต่าง ๆ ก็เกิดขึ้นมากมาย ไม่ว่าจะเป็นด้านสายพานลำเลียง ระบบเครื่องปรับอากาศ รถไฟฟ้า เทคโนโลยีระบบอัตโนมัติ (Automation Technology) สิ่งที่พัฒนาควบคู่กันไปกับมอเตอร์ไฟฟ้าก็คือ ระบบควบคุมหรือระบบขับเคลื่อนมอเตอร์ไฟฟ้า เพราะถือว่าการใช้งานมอเตอร์ไฟฟ้านั้นมีหลากหลายจนโครงสร้างของตัวมอเตอร์เองหรืออุปกรณ์ทางกลประเภทเพืองทดที่ต้องเข้ากับมอเตอร์ไม่เพียงพอกับการใช้งานด้านระบบขับเคลื่อนมอเตอร์ไฟฟ้าในงานอุตสาหกรรมที่มีการพัฒนาอย่างรวดเร็ว ซึ่งมีผลกระทบโดยตรงต่อประสิทธิภาพของกระบวนการผลิต ดังนั้นจะพบว่าระบบขับเคลื่อนมอเตอร์ไฟฟ้าที่ใช้ขับเคลื่อนเครื่องจักรที่ใช้ในงานอุตสาหกรรมจะต้องมีการพัฒนาให้เหมาะสมกับความเจริญก้าวหน้าของเทคโนโลยีด้วย ถ้าไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่บนสื่อออนไลน์
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีการปรับปรุงให้ทันกับการพัฒนาไปของระบบการใช้งานที่มีความซับซ้อนมากยิ่งขึ้น จะทำให้เกิดสภาพการถดถอยทางด้านการแข่งขันการผลิตชิ้นงานผลิตภัณฑ์ในหลาย ๆ ด้าน ซึ่งในการควบคุมการทำงานของมอเตอร์เหนี่ยวนำโดยใช้อินเวอร์เตอร์ก็เป็นวิธีการหนึ่งที่ได้รับคามนิยมอย่างมากในปัจจุบัน

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 เพื่อศึกษาการออกแบบวงจรเรียงกระแสไฟฟ้า 3 เฟสแบบควบคุมแรงดันไฟฟ้าได้ ที่จ่ายพลังงานให้กับชุดวงจรอินเวอร์เตอร์ 3 เฟส

1.2.2 เพื่อศึกษาการทำงานของวงจรขับ SCR

1.2.3 เพื่อศึกษาการทำงานของชุดวงจรอินเวอร์เตอร์ 3 เฟส

1.2.4 เพื่อศึกษาการทำงานของวงจรประวิงเวลา (Dead Time)

1.2.5 เพื่อศึกษาการทำงานของวงจรขับ IGBT

1.2.6 เพื่อศึกษาการสร้างสัญญาณ 6 step ที่นำไปใช้ควบคุมความเร็วรอบของมอเตอร์

1.3 ขอบเขตของการศึกษา

1.3.1 ออกแบบวงจรเรียงกระแสไฟฟ้า 3 เฟสแบบควบคุมแรงดันไฟฟ้าได้

1.3.2 ออกแบบวงจรขับ SCR

1.3.3 ออกแบบและสร้างวงจรอินเวอร์เตอร์ 3 เฟส

1.3.4 ออกแบบและสร้างวงจรประวิงเวลา (Dead Time) เพื่อไม่ให้ไอจีบีที ที่ในกึ่งเดียวกันทำงานพร้อมกัน

1.3.5 ออกแบบและสร้างวงจรขับ IGBT

1.3.6 สร้างสัญญาณ 6 step ที่นำไปใช้ควบคุมความเร็วรอบของมอเตอร์

บทที่ 2

ทฤษฎีและหลักการ

2.1 ไอจีบีที(Insulated Gate Bipolar Transistor : IGBT)

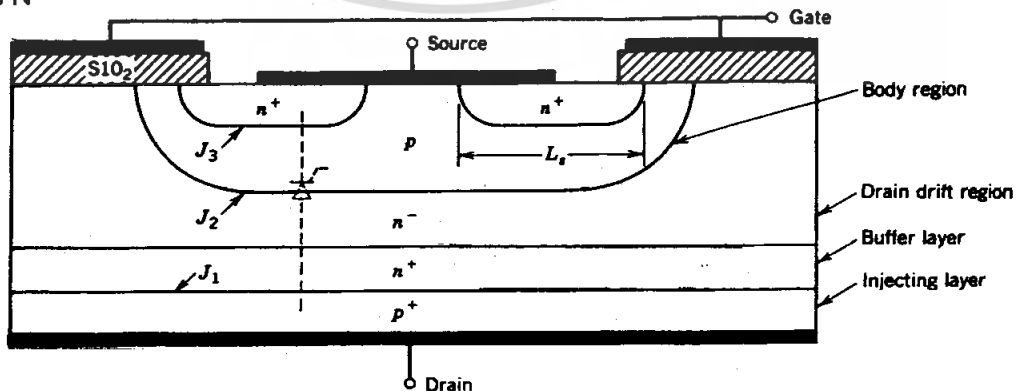
2.1.1 ความรู้พื้นฐานเกี่ยวกับ IGBT

อุปกรณ์ Power Electronics คอนโทรลที่พอจะคุ้นเคย และใช้งานกันอย่างกว้างขวางในขณะนี้ ได้แก่ SCR Transistor และ MOSFET โดยเฉพาะ Transistor และ MOSFET ซึ่งอุปกรณ์ทั้งสองชนิดก็มีคุณสมบัติที่แตกต่างกันออกไป คือ Transistor ขณะอยู่ในสภาวะนำกระแสไฟฟ้าจะมีอัตราการสูญเสียกำลังงานต่ำ มีอัตราทนแรงดันและขยายกระแสไฟฟ้าได้สูง แต่ความเร็วในการสวิตช์ยังต่ำอยู่ โดยเฉพาะในช่วงหยุดนำกระแสไฟฟ้าจะมีช่วงเวลาที่ยาว ซึ่งเป็นคุณสมบัติที่ตรงกันข้ามกับ MOSFET ที่มีความเร็วในการสวิตช์ในช่วงการนำกระแสและหยุดนำกระแสไฟฟ้าได้เร็วกว่ามาก แต่ก็อัตราการสูญเสียกำลังงานสูงมากเช่นกัน จากเหตุผลที่กล่าวมาของ Transistor และ MOSFET จึงได้มีการพัฒนาอุปกรณ์ประเภทนี้จนสามารถได้อุปกรณ์ Power Electronics คอนโทรลชนิดใหม่ขึ้นมา โดยเอาคุณสมบัติเด่นของ Transistor และ MOSFET เข้ามารวมไว้ในอุปกรณ์ชนิดใหม่นี้ ซึ่งมีชื่อเรียกว่า IGBT

2.1.2 โครงสร้างพื้นฐานของ IGBT

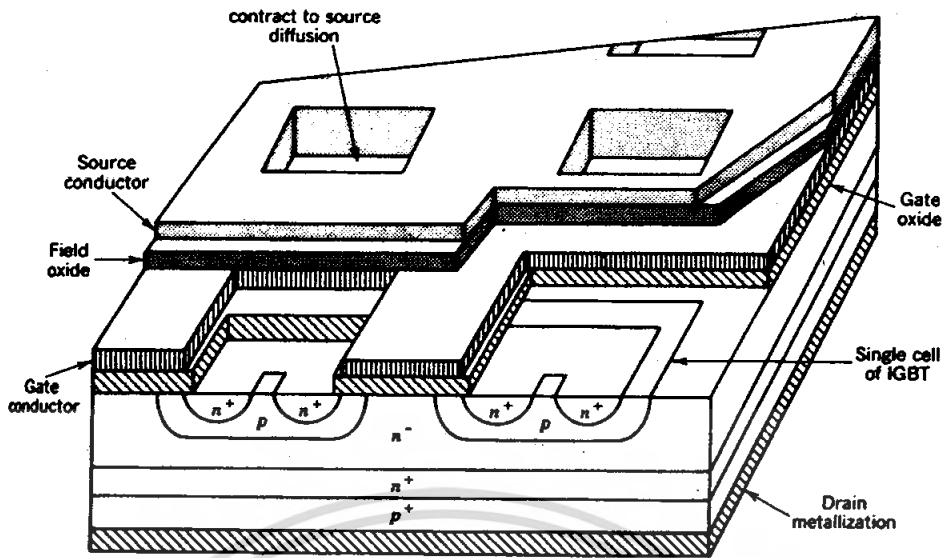
ภาพในตัดแนวตั้งของ IGBT ชนิดเอ็น-แชนแนล (N-Channel) ดังแสดงในรูปที่ 2.1 ซึ่งโครงสร้างจะเหมือนกับ MOSFET มาก แต่จะแตกต่างกันตรงที่ IGBT จะมีชั้น P^+ หรือชั้นอินเจกต์ติ้ง (Injecting) ระหว่างขา Drain ซึ่งใน MOSFET นั้นไม่มี

ระดับของสารเจือ (Dopping Levels) ในแต่ละชั้นของ IGBT จะคล้ายกับที่ใช้ในแต่ละชั้นของ MOSFET ยกเว้นส่วนบริเวณบอดี้ (Body Region) ซึ่งจะอธิบายในภายหลัง ในกรณีของ IGBT ชนิดพี-แชนแนล (P-Channel) สามารถทำได้โดยการเปลี่ยนชนิดของสารเจือในแต่ละชั้นของโครงสร้าง



รูปที่ 2.1 ภาพตัดแนวตั้งของ IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 โครงสร้างของ IGBT

ในรูปที่ 2.2 เป็นโครงสร้างของ IGBT ซึ่งจะมี Thyristor แอบแฝงอยู่ Turn On ของ Thyristor นี้เป็นสิ่งที่ต้องพยายามหลีกเลี่ยง และรายละเอียดของอุปกรณ์จริงๆมีหลายอย่างที่แตกต่างไปจากรูป ดังเช่นบริเวณบอดี้ที่เป็นสารกึ่งตัวนำประเภทพีจะมีรอยต่อ J_2 และ J_3 แตกต่างไปจากรูป เพื่อให้โอกาสที่ Thyristor ทำงานน้อยที่สุด ส่วน Source ที่เป็นโลหะ (Source Metallization) ใน IGBT จะมีขนาดสั้นกว่าในส่วนของ MOSFET ซึ่งมีส่วนช่วยให้ Thyristor แฝงนี้มีโอกาสทำงานน้อยลง ส่วนบัพเฟอร์ของสารกึ่งตัวนำที่มีสารเจือ (n^+ Buffer Layer) ที่อยู่ระหว่างชั้นของ p^+ (ที่สัมผัสกับ Drain) และ n^+ ของชั้นดริฟท์ (Drift Layer) ซึ่งไม่มีความสำคัญกับการทำงานของ IGBT และ IGBT บางตัวก็ตัดส่วนนี้ออกไปเรียกว่า IGBT แบบสมมาตร (Symmetrical IGBT) ส่วน IGBT ที่ยังมีส่วนนี้อยู่เรียกว่า IGBT แบบไม่สมมาตร (Asymmetrical IGBT)

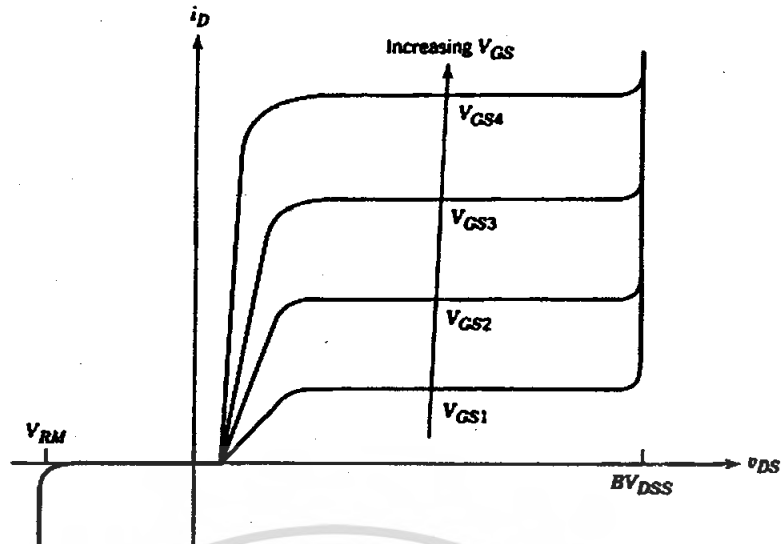
การที่มีชั้นนี้จะช่วยในการทำงานของ IGBT ให้ดีขึ้นได้ 2 อย่างด้วยกัน คือ

- ทำให้แรงดันไฟฟ้าตกคร่อมในขณะนำกระแสไฟฟ้ามีค่าลดน้อยลง
- ทำให้เวลาในขณะหยุดนำกระแสไฟฟ้า (Turn Off Time) ลดลง

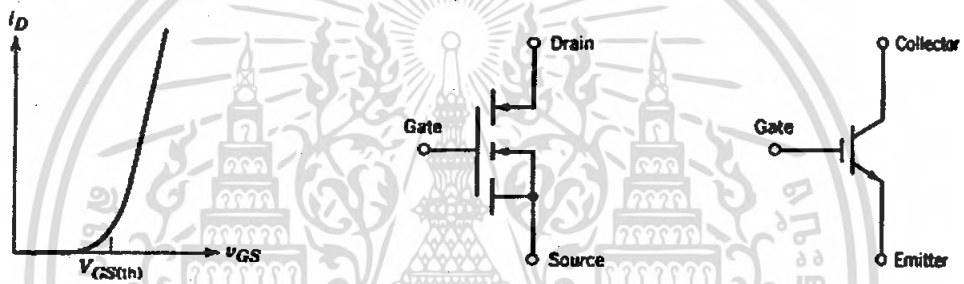
แต่มีข้อเสียคือ ทำให้ความสามารถในการทน Reverse Blocking Voltage ลดลง

สัญลักษณ์ของ IGBT ชนิดเอ็น-แซนแนล แสดงไว้ในรูปที่ 2.3(ค) ทิศทางของลูกศรจะกลับ

ทิศในกรณีของ IGBT ชนิดพี-แซนแนล



(ก) ลักษณะของ Output



(ข) Transfer Characteristics

(ค) สัญลักษณ์ของ IGBT ชนิดเอ็น-แซนแนล

รูปที่ 2.3 คุณสมบัติของกระแสไฟฟ้าและแรงดันไฟฟ้า

2.1.3 คุณสมบัติของกระแสไฟฟ้าและแรงดันไฟฟ้า (I-V Characteristics)

ลักษณะของกระแสไฟฟ้าและแรงดันไฟฟ้าของ IGBT ชนิดเอ็น-แซนแนล ดังแสดงในรูปที่ 2.3(ก) ในทิศทางฟอร์เวิร์ด (Forward) จะเหมือนกับคุณสมบัติของ Transistor ที่ใช้ในวงจรทั่วไป แต่จะแตกต่างกันเพียงควบคุมการทำงานด้วยแรงดันไฟฟ้า แทนที่จะควบคุมการทำงานด้วยกระแสไฟฟ้าเหมือนกับ Transistor ซึ่งคุณสมบัติของ IGBT ชนิดพี-แซนแนลจะเหมือนกัน เพียงแต่ขั้วของแรงดันไฟฟ้าและทิศทางของกระแสไฟฟ้าจะกลับกันเท่านั้น

ที่รอยต่อของ J_1 ในรูปที่ 2.3(ก) จะกั้นแรงดันฟอร์เวิร์ด (Forward Voltage) เมื่อ IGBT อยู่ในสถานะหยุดนำกระแสไฟฟ้า ค่าการทนแรงดันไฟฟ้าในขณะรีเวอร์ส (Reverse Blocking Voltage) จะมีค่าเท่ากับค่าการทนแรงดันไฟฟ้าในขณะฟอร์เวิร์ดได้ ถ้าไม่มีชั้นของบัฟเฟอร์ n^+ ที่รอยต่อ J_1 ในรูปที่ 2.3(ก) ซึ่งเรียกว่ารอยต่อของรีเวอร์สบล็อกกิง (Reverse Blocking) ถ้าในโครงสร้างของ IGBT มีชั้นบัฟเฟอร์ n^+ จะทำให้ค่าแรงดันไฟฟ้าเบรคดาวน์ (Breakdown Voltage) มี

ค่าลดลง เพราะมีปริมาณสารเจือสูงมากทั้งสองด้านของรอยต่อจึงทำให้ไม่สามารถกันกระแสไฟฟ้าวีเวอร์สได้

ในรูปที่ 2.3(ข) เป็นกราฟแสดงความสัมพันธ์ระหว่าง I_D และ V_{GS} ลักษณะเหมือนกับของ MOSFET ซึ่งลักษณะเส้นกราฟจะเป็นเชิงเส้นตลอดช่วงของกระแสไฟฟ้า Drain และไม่เป็นเชิงเส้น ณ จุดที่กระแสไฟฟ้า Drain มีค่าต่ำ เมื่อ V_{GS} มีค่าต่ำกว่าค่าหนึ่งเรียกว่า $V_{GS(th)}$ (Threshold Voltage) IGBT จะอยู่ในสภาวะหยุดนำกระแสไฟฟ้า แรงดันไฟฟ้าตกคร่อม Gate และ Source สูงสุดที่ยอมให้ใช้ได้ขึ้นอยู่กับค่ากระแสไฟฟ้า Drain สูงสุดที่ยอมให้ไหลในตัว IGBT

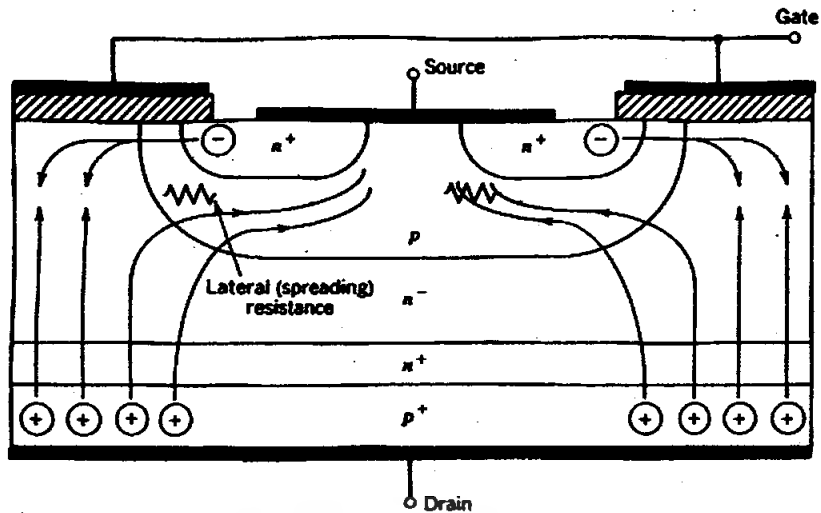
2.1.4 ลักษณะการทำงาน

2.1.4.1 สภาวะนำกระแสไฟฟ้า

เมื่อขา Drain ได้รับแรงดันไฟฟ้าไบแอสตรงคือเป็นบวกเมื่อเทียบกับ Source และแรงดันไฟฟ้าระหว่าง Gate กับ Source มีค่าเกิน $V_{GS(th)}$ ประจุไฟฟ้าที่เกิดขึ้นจากแรงดันไฟฟ้าที่ขา Gate จะดึงเอาอิเล็กตรอนให้มารวมกันอยู่ในบริเวณภายใต้ Gate ดังนั้นจึงทำให้ชั้นบดัดตรงส่วนใต้ Gate แปรสภาพเป็น n ทำให้เกิดการต่อกันของบริเวณ n⁻ (Drift Region) เข้ากับบริเวณ n⁺ (Source Region) ซึ่งลักษณะเช่นนี้จะเหมือนกับการทำงานของ MOSFET

กระแสอิเล็กตรอนที่ไหลจากขา Source ผ่านบริเวณใต้ Gate มายังบริเวณลอยเลื่อน n⁻ จะรวมกับโฮลที่เป็นพาหะข้างน้อยที่ถูกฉีดมาจากชั้นอินเจกต์ดิง p⁺ (ดูโครงสร้างในรูปที่ 2.1) เพราะรอยต่อ J₁ ได้รับแรงดันไฟฟ้าไบแอสตรงทำให้ IGBT อยู่ในสภาวะนำกระแสไฟฟ้า ซึ่งเกิดการไหลของกระแสไฟฟ้าจาก Drain ไปยัง Source ได้ การรวมกันของโฮลและอิเล็กตรอนภายในบริเวณ n⁻ เรียกว่าการมอดดูเลตสภาพนำ (Conductivity Modulation)

ผลของการมอดดูเลตนั้นจะทำให้ความต้านทานไฟฟ้าของบริเวณ n⁻ มีค่าต่ำลง เป็นการเพิ่มความสามารถในการขับผ่านกระแสไฟฟ้าของ IGBT ได้สูงขึ้น ซึ่งจะมีลักษณะเหมือนกับ Transistor ผลของความต้านทานไฟฟ้าที่มีค่าลดลงจะทำให้แรงดันไฟฟ้าตกคร่อมที่สภาวะนำกระแสไฟฟ้าต่ำลง การสูญเสียกำลังงานขณะนำกระแสไฟฟ้าจึงลดลงด้วย ทิศทางการไหลของอิเล็กตรอนและโฮลแสดงในรูปที่ 2.4



รูปที่ 2.4 ทิศทางการไหลของอิเล็กตรอนและโฮลในขณะนำกระแสไฟฟ้า

2.1.4.2 สถานะหยุดนำกระแสไฟฟ้า

เมื่อแรงดันไฟฟ้าระหว่าง Gate และ Source ลดต่ำกว่า $V_{GS(th)}$ จะทำให้แรงดันไฟฟ้าไม่เพียงพอสำหรับแปรสภาพชั้นขั้ว p และ n ได้ ทำให้บริเวณ n⁻ ไม่ต่อกับบริเวณ Source n⁺ IGBT จึงอยู่ในสถานะหยุดนำกระแสไฟฟ้า ซึ่งในสถานะนี้รอยต่อ J_2 ที่ได้รับแรงดันไฟฟ้าไบแอสกลับจะทำให้เกิดกระแสไฟรั่วไหลเพียงเล็กน้อยเท่านั้น นอกจากนี้ยังทำให้เกิดบริเวณปลอดพาหะ (Depletion Region) ขึ้นที่รอยต่อ J_2 ด้วย

บริเวณปลอดพาหะนี้จะขยายบริเวณกว้างขึ้นจนเกินเข้าไปยังบริเวณ n⁻ เพราะชั้นขั้ว p มีความหนาแน่นในการได้ปสารมากกว่า ถ้าความหนาแน่นของสารที่ได้ปในบริเวณลอยเลื่อน n⁻ มากพอ ก็จะทำให้การขยายของบริเวณปลอดพาหะไม่สามารถแตะกับชั้นอินเจกต์ติ้ง p⁺ ได้ ชั้นบัฟเฟอร์ n⁺ (Buffer Layer ดังแสดงในรูปที่ 2.1) ก็ไม่จำเป็นต้องทำให้เกิดขึ้นหรือไม่จำเป็นต้องได้ปสาร ทั้งนี้เพราะการแตะกันของบริเวณทั้งสองจะทำให้เกิดการพังทลายทางด้านไบแอสตรงสำหรับไอจีบีทีที่ไม่มีสารได้ปสารในชั้นบัฟเฟอร์ n⁺ นี้เรียกว่า IGBT แบบสมมาตร ซึ่งจะมีอัตราทนแรงดันไฟฟ้าย้อนกลับ (V_{RM} หรือ BV_{SDS}) สูงเท่ากับค่าอัตราทนแรงดันไฟฟ้าไหลตรง (BV_{DSS}) เหมาะสำหรับการนำไปประยุกต์ใช้งานในวงจรไฟฟ้ากระแสสลับ

การลดความหนาแน่นของบริเวณ n⁻ ลงแต่ยังคงความสามารถของอัตราทนแรงดันไฟฟ้าไหลตรงไว้ สามารถทำได้โดยการเพิ่มชั้นบัฟเฟอร์ n⁺ เข้าไปเพื่อป้องกันการแตะกันของบริเวณปลอดพาหะกับบริเวณอินเจกต์ติ้ง p⁺ ซึ่งจะเรียกไอจีบีทีชนิดนี้ว่า IGBT แบบไม่สมมาตร จากการลดความหนาแน่นของบริเวณลอยเลื่อน n⁻ ลงจะช่วยส่งผลให้เกิดข้อดีสองประการ คือ

1. ทำให้แรงดันไฟฟ้าตกคร่อมขณะนำกระแสไฟฟ้าน้อยลง เป็นผลให้การสูญเสียกำลังงานลดน้อยลง
2. ช่วยลดช่วงเวลาการหยุดนำกระแสไฟฟ้าให้สั้นลงได้

2.2 เอสซีอาร์ (Silicon Control Rectifier : SCR)

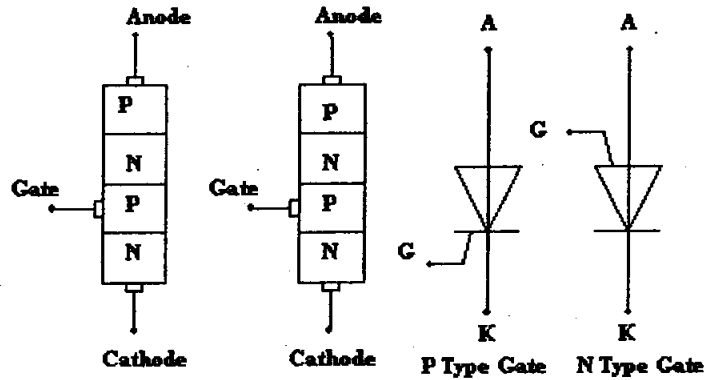
ไทรสเตอร์ (Thyristor) เป็นชื่อทั่วไปของสิ่งประดิษฐ์สารกึ่งตัวนำที่ประกอบด้วยชั้นสารของกึ่งตัวนำ P และ N วางเรียงสลับกันสี่ชั้น และคุณสมบัติของสวิทช์มีการสลัก (Latching Switch) Thyristor อาจมี 2 , 3 หรือ 4 ขั้ว และอาจนำกระแสไฟฟ้าทางเดียวหรือสองทางก็ได้ Thyristor ที่นำกระแสไฟฟ้าได้ทางเดียวได้แก่ เอสซีอาร์ (Silicon Control Rectifier : SCR) GTO (Gate turn off thyristor) LASCR (Light Activeated SCR) และ Thyristor ที่นำกระแสไฟฟ้าได้สองทางได้แก่ Triac (Triode AC Switch)

SCR เป็นอุปกรณ์สารกึ่งตัวนำที่จัดอยู่ในตระกูล Thyristor ได้ถูกพัฒนาขึ้นในปลายปี ค.ศ. 1957 โดยทีมวิศวกรของบริษัท General Electric และได้ถูกนำมาใช้กันอย่างกว้างขวางในวงการอุตสาหกรรมตั้งแต่ปี ค.ศ. 1970 และได้พัฒนาขีดความสามารถด้านแรงดันไฟฟ้าและกระแสไฟฟ้าเรื่อยมา จากขนาดพิกัด 1.6A 25V ขึ้นมาจนถึง 3,500A 4000V หรือ 6,000V ในปัจจุบันเพื่อใช้ในระบบส่งจ่ายกำลังไฟฟ้ากระแสตรงแรงดันสูง (HVDC) และสามารถเพิ่มพิกัดแรงดันไฟฟ้าและกระแสไฟฟ้าได้โดยการต่ออนุกรมและขนาน

2.2.1 โครงสร้างภายในและสัญลักษณ์

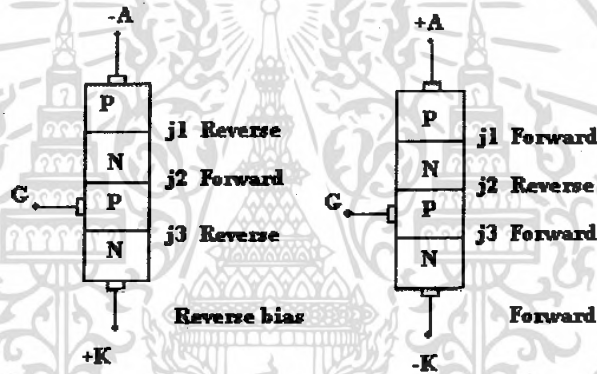
SCR เป็น Thyristor ที่นิยมใช้มากที่สุด ทำหน้าที่เป็นสวิทช์อิเล็กทรอนิกส์ที่ยอมให้กระแสไฟฟ้าไหลผ่านได้ทางเดียว มีขนาดเล็กน้ำหนักเบาการทำงานมีความเชื่อถือได้สูงเมื่อใช้ระบบป้องกันที่เหมาะสม การใช้งาน SCR ไม่ต้องการบำรุงรักษา SCR เป็นสวิทช์ที่มีค่าความต้านทานไฟฟ้าสูงแม้ในขณะที่ได้รับแรงดันไฟฟ้า (Forward Voltage) จนกว่าจะมีสัญญาณจุดชนวน Gate ที่เหมาะสม ป้อนให้ขา Gate ของ SCR SCR ก็จะเริ่มนำกระแสได้ และค้างสภาวะการทำงาน (Latching) คือการนำกระแสไฟฟ้าต่อไปได้โดยลำพัง ในสภาวะนี้ SCR จะมีค่าความต้านทานไฟฟ้าภายในต่ำมาก

SCR จะประกอบไปด้วยสารกึ่งตัวนำชนิด Silicon 4 ชั้น คือ P-N-P-N จึงมี 3 รอยต่อ และมีขั้วต่อไฟฟ้าเพียง 3 ขั้ว คือ ขั้วแคโทด (Cathode : K) ขั้วแอโนด (Anode: A) และขาเกต (Gate : G) ดังในรูปที่ 2.5 SCR มีทั้งชนิดที่ขา Gate อยู่ที่สาร P เรียกว่า Gate ชนิด P-และขา Gate อยู่ที่สาร N เรียกว่า Gate ชนิด N แต่โดยทั่วไปจะเป็น Gate ชนิด P



รูปที่ 2.5 โครงสร้างภายในและสัญลักษณ์ของ SCR

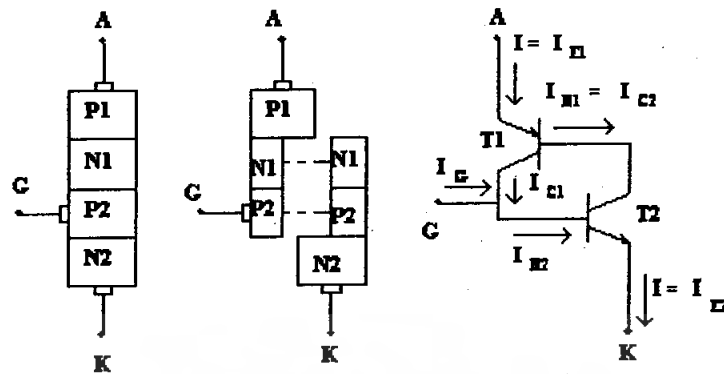
2.2.2 การทำงานของ SCR



รูปที่ 2.6 การไบแอส SCR

การไบแอสย้อนกลับ (Reverse bias) คือ การป้อนศักย์แรงดันไฟฟ้าลบให้กับขั้ว Anode และป้อนศักย์ไฟฟ้าบวกให้กับขั้ว Cathode สถานะนี้ถ้าแรงดันไฟฟ้าไปสูงเกินพิทักดของ SCR จะไม่นำกระแสไฟฟ้า ถึงแม้ว่าจะป้อนสัญญาณควบคุมที่ขา Gate ก็ตาม

2.2.3 การไบแอส (Forward bias) คือ การป้อนศักย์ไฟฟ้าบวกให้กับขั้ว Anode และป้อนศักย์ไฟฟ้าลบให้กับขั้ว Cathode สถานะนี้ SCR ก็จะยังไม่สามารถนำกระแสไฟฟ้าได้ จนกว่าจะป้อนสัญญาณควบคุม Gate โดยขา Gate จะได้ศักย์ไฟบวกเมื่อเทียบกับขั้ว Cathode SCR จึงจะนำกระแสไฟฟ้า กระแสไฟฟ้าไหลผ่านจากขั้ว Anode ไปยังขั้ว Cathode ได้ และเมื่อ SCR นำกระแสไฟฟ้าแล้วไม่จำเป็นต้องมีสัญญาณ Gate อีกต่อไป SCR จะหยุดนำกระแสไฟฟ้า เมื่อกระแสไฟฟ้าไหลผ่าน SCR เป็นศูนย์การทำงานของ SCR สามารถอธิบายได้ด้วยแบบจำลอง Transistor ดังรูปที่ 2.7



รูปที่ 2.7 แบบจำลอง SCR ด้วย Transistor

ชั้นสาร P-N-P-N สามารถจำลองเป็น Transistor 2 ตัวคือ PNP และ NPN เมื่อป้อน I_C เข้าที่ขา Gate หรือขาเบสของ Transistor T2 ก็จะทำให้เกิด I_{C2} หรือ I_{B1} และ Transistor T1 ก็จะนำกระแส I_{C1} ก็จะไปป้อนให้ขาเบสของ T2 วนเวียนกันไปจนกระแสไฟฟ้าเพิ่มถึงจุดอิ่มตัวและถูกจำกัดด้วยค่าอิมพีแดนซ์ของโหลดกระแส I_C ก็สามารถตัดออกได้

2.2.4 วิธีการนำกระแสไฟฟ้าของ SCR

เทคนิคการควบคุมให้ SCR นำกระแสไฟฟ้าในขณะที่ไบแอส (Forward Bias) มีวิธีการดังต่อไปนี้

2.2.4.1 ป้อนกระแส Gate

วิธีนี้เป็นที่นิยมใช้ในการควบคุมให้ SCR นำกระแสไฟฟ้าโดยทั่วไป เมื่อป้อนศักย์ไฟฟ้าบวกให้ขา Gate เมื่อเทียบกับขั้ว Cathode แล้ว กระแสไฟฟ้าจะไหลเข้าชั้นสารชนิดพี P และสารชนิด N ครบวงจรที่ขั้ว Cathode (ดังรูปที่ 2.11) ทำให้ Transistor ทั้งสองตัวถูกไบแอสและนำกระแสไฟฟ้าถ้าแรงดันไฟฟ้าดกคร่อม Anode และ Cathode มีค่าสูงขึ้นกระแส Gate ที่ไบแอสจะมีค่าลดลง เมื่อกระแสไฟฟ้าไหลผ่าน SCR (ขั้ว Anode และขั้ว Cathode) สูงกว่ากระแสไฟฟ้าค้างแล้วสามารถตัดกระแส Gate ออกได้โดย SCR ยังคงนำกระแสไฟฟ้าต่อไป แต่ถ้าตัดกระแส Gate ออกโดยที่กระแสไฟฟ้าไหลผ่าน SCR มีค่าต่ำกว่ากระแสไฟฟ้าค้างแล้ว SCR ก็จะไม่สามารถนำกระแสไฟฟ้าต่อไปได้ ดังนั้นสัญญาณ Gate จะต้องมีความกว้างพอที่จะทำให้กระแสไฟฟ้าไหลผ่าน SCR สูงกว่ากระแสไฟฟ้าค้างก่อนที่จะตัดกระแส Gate ออก

2.2.4.2 ใช้แสง (Light)

SCR แบบที่ใช้แสงจุดชนวน Gate มีชื่อเรียกว่า LASCR (Light Activated SCR) สร้างขึ้นโดยให้มีช่องโปร่งแสง เพื่อให้แสงลอดไปถึงสารที่เป็นขาเบสของ Transistor Transistor ชนิด

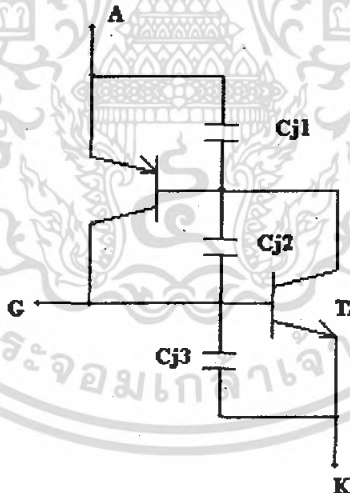
NPN ด้วยคุณสมบัติและรอยต่อพีเอ็นที่สามารถเกิดคู่ของอิเล็กตรอนและ โฮลขึ้นได้เมื่อมีพลังงานแสงตกกระทบ เมื่อมีคู่ของอิเล็กตรอนและ โฮลขึ้นจำนวนมากก็จะเกิดกระบวนการป้อนกลับค่าบวก และทำให้ SCR นำกระแสไฟฟ้าต่อไป

2.2.4.3 ใช้แรงดันไฟฟ้าสูง (Hight Voltage)

ขณะที่เพิ่มแรงดันไฟฟ้า (Forward Voltage) ให้สูงขึ้นจนมากพอที่จะทำให้บริเวณรอยต่อเกิดเบรคควานแล้ว SCR จะเปลี่ยนไปยังสภาวะการนำกระแสไฟฟ้าได้โดยไม่ต้องมีกระแส Gate สภาวะนี้เป็นสภาวะที่ควรหลีกเลี่ยง โดยทั่วไปแรงดันไฟฟ้าเบรคโอเวอร์จะมีความมากกว่าแรงดันไฟฟ้าเบรคควานย้อนกลับ

2.2.4.4 การเพิ่ม dv/dt

เมื่ออัตราการเพิ่มขึ้นของแรงดันไฟฟ้าต่อเวลา (dv/dt) ระหว่างขั้ว Anode และขั้ว Cathode ถ้ามีค่าสูงมากจะทำให้เกิดกระแส Gate ขั้วกรูขึ้น ($i = Cdv/dt$) เนื่องจากค่าคาปาซิแตนซ์ระหว่าง Anode กับขา Gate และขา Gate กับขั้ว Cathode ซึ่งกระแสไฟฟ้าที่เกิดขึ้นอาจมากพอที่จะทำให้ SCR นำกระแสไฟฟ้าได้ สภาวะนี้จึงเป็นสภาวะที่ควรหลีกเลี่ยง ค่า dv/dt จะเพิ่มขึ้นโดยการใช้ตัวต้านทานไฟฟ้าค่าต่ำๆ ต่อระหว่างขา Gate และขั้ว Cathode



รูปที่ 2.8 แบบจำลอง Transistor ของ SCR

2.2.4.5 ใช้ความร้อน (Thermals)

ถ้าอุณหภูมิของ SCR สูงขึ้น จะมีกระแสไฟฟ้าวไหลสูงขึ้นและทำให้ เพิ่มขึ้นตามเป็นปฏิกิริยาถูกโซ่ กระแสไฟฟ้าวไหลอาจเพิ่มขึ้นเป็น 2 เท่าทุกๆอุณหภูมิที่สูงขึ้น 80°C ดังนั้น

$\alpha_1 + \alpha_2$ จะเข้าใกล้ 1 มากขึ้น ทำให้ SCR สามารถเข้าสู่สภาวะนำกระแสไฟฟ้าได้ จึงเป็นสภาวะที่ควรหลีกเลี่ยง

ตามทฤษฎีของ Transistor แล้ว I_C จะมีความสัมพันธ์กับ I_E และ I_{CBO} ซึ่งเป็นกระแสไฟฟ้ารั่วไหลระหว่างรอยต่อคอลเล็กเตอร์ - เบส ดังนี้

$$I_T = I_{CBO} + I_E$$

ที่ T1: $I_{C1} = \alpha_1 I_A + I_{CBO1}$

ที่ T2: $I_{C2} = \alpha_2 I_A + I_{CBO2}$

$$I_A = I_{C1} + I_{TCBO2}$$

$$= \alpha_1 I_A + \alpha_2 I_A + I_{CBO1} + I_{TCBO1}$$

$$I_K = I_A + I_G$$

ดังนั้น

$$I_A = \frac{\alpha_2 I_B + I_{CBO1} + I_{TCBO2}}{1 - (\alpha_1 + \alpha_2)}$$

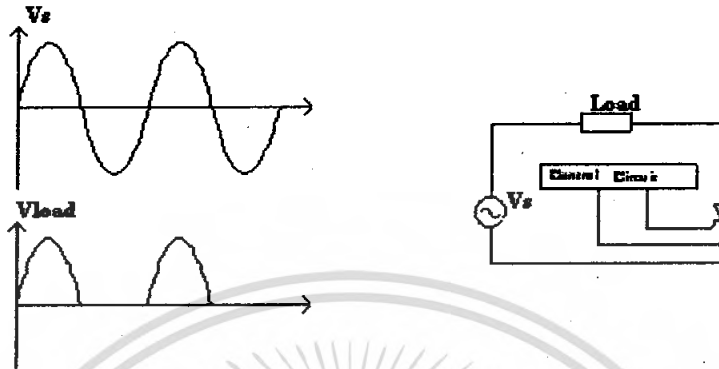
2.2.5 วิธีการหยุดนำกระแสไฟฟ้าของ SCR (Commutation)

เมื่อ SCR อยู่ในสภาวะนำกระแสไฟฟ้าเต็มที่โดยมีกระแสไฟฟ้าแอนโอดสูงกว่ากระแสไฟฟ้าแคโทดแล้ว การตัดกระแส Gate ออกจะไม่ทำให้ SCR หยุดนำกระแสไฟฟ้าได้ การทำให้ SCR หยุดนำกระแสไฟฟ้า จะใช้วิธีการสับเปลี่ยนกระแสไฟฟ้า (Commutation) ทำได้โดยการลดหรือทำให้กระแสไฟฟ้าไหลผ่าน SCR มีค่าต่ำกว่ากระแสไฟฟ้าขีดเป็นเวลานานกว่า Turn Off Time : t_q ของ SCR SCR จึงจะหยุดนำกระแส การสับเปลี่ยนกระแส แบ่งได้ 3 วิธีคือ

2.2.5.1 วิธีการธรรมชาติ (Natural Commutation)

ในกรณีที่ SCR ต่ออยู่ในวงจรที่สามารถทำให้ SCR หยุดนำกระแสไฟฟ้าได้เอง โดยไม่ต้องอาศัยวงจรควบคุมจากภายนอกเรียกว่า การสับเปลี่ยนโดยธรรมชาติ (Natural Commutation) เช่น SCR ที่ต่ออยู่ในวงจรแรงดันไฟฟ้ากระแสสลับ กระแสไฟฟ้าจะลดลงสู่ศูนย์ทุกๆ รอบคลื่นในช่วงบวก และ SCR จะได้รับแรงดันไฟฟ้าย้อนกลับในทุกๆ รอบคลื่น ถ้าช่วงเวลาที่ได้รับแรงดันไฟฟ้าย้อนกลับไปจนถึงเวลาที่รอบคลื่นช่วงบวกกลับมาอีกครั้งนานกว่า Turn Off Time ของ SCR ก็จะทำให้ SCR หยุดนำกระแสไฟฟ้าได้ ซึ่งวิธีนี้เกิดจากธรรมชาติของแหล่งจ่ายไฟสลับหรือเรียกว่า Line Commutation ดังนั้นวิธีนี้จะต้องจุดชนวน Gate ให้ SCR นำกระแสไฟฟ้าทุกๆ รอบคลื่นของไฟฟ้กระแสสลับ ดังรูปที่ 2.13 วิธีนี้จะแตกต่างจาก SCR ในวงจรที่ใช้แหล่งจ่ายแรงดันไฟฟ้ากระแสตรง

เนื่องจาก SCR ได้รับแรงดันไฟฟ้าจากแหล่งจ่ายตลอดเวลา การลดกระแสไฟฟ้า SCR ลดลงต่ำกว่ากระแสไฟฟ้ายึดอย่างง่ายจะทำได้โดยการปิดสวิทช์วงจร หรือแบ่งกระแสไฟฟ้าจาก SCR ผ่านวงจรขนาน ดังรูปที่ 2.14 แต่การใช้งานจริงจะใช้วิธีการบังคับ (Forced Commutation)



รูปที่ 2.9 วงจรไฟฟ้ากระแสสลับกับการสับเปลี่ยนโดยธรรมชาติ



รูปที่ 2.10 การหยุดนำกระแสไฟฟ้าอย่างง่ายในวงจรไฟฟ้ากระแสตรง

2.2.5.2 วิธีการจัดโหลดให้เหมาะสม (Load Commutation)

โหลดที่ประกอบด้วยตัวต้านทาน ไฟฟ้า ตัวเหนี่ยวนำไฟฟ้าและตัวเก็บประจุไฟฟ้าที่มีค่าเหมาะสมโดยอยู่ในสภาวะถ่วงน้อย (Under damped) เมื่อ SCR นำกระแสไฟฟ้าจะเป็นการสวิตช์ให้กระแสไฟฟ้าไหลผ่านโหลด กระแสไฟฟ้าที่ไหลผ่านโหลดจะตกลงสู่ศูนย์โดยธรรมชาติของโหลด ทำให้กระแสไฟฟ้าที่ไหลผ่าน SCR ต่ำกว่ากระแสไฟฟ้ายึด และถ้าเป็นเวลานานกว่า Turn Off Time จะทำให้ SCR หยุดนำกระแสไฟฟ้าได้ เช่น วงจรอินเวอร์เตอร์แบบอนุกรม (Series Inverter)

2.2.5.3 วิธีการบังคับ (Forced Commutation)

การควบคุมให้ SCR หยุดนำกระแสไฟฟ้า โดยใช้อุปกรณ์ภายนอกที่ไม่ได้เป็นทางไหลผ่านของกระแสไฟฟ้าไหลตามปกติ เรียกว่า วิธีบังคับ (Forced Commutation) เป็นการทำให้กระแสไฟฟ้าไหลลดลงสู่ศูนย์ โดยทั่วไปจะใช้ตัวเก็บประจุจ่ายแรงดันไฟฟ้าย้อนกลับให้แก่ SCR เช่น วงจรชอปเปอร์ (Choppers Circuit)

2.2.6 การป้องกัน SCR

การป้องกันแรงดันไฟฟ้าเกินพิกัดชนิดทรานเซียนต์ (Transient overvoltage protection)

ในการใช้งานของ SCR นั้น อาจจะมีสถานะที่ผิดปกติเกิดขึ้นได้ เช่น มีแรงดันไฟฟ้าเกินพิกัดที่กำหนดไว้ สถานะเหล่านี้จะทำให้ SCR มีอายุการใช้งานที่สั้นลงหรืออาจเสียหายได้ ซึ่งเกิดขึ้นได้ 2 กรณีคือ

2.2.6.1 แรงดันไฟฟ้าเกินพิกัดจากภายในวงจร

เกิดจากโหลดที่เป็นตัวเหนี่ยวนำ ในช่วงที่ SCR หยุดนำกระแสไฟฟ้า ตัวเหนี่ยวนำนี้จะสร้างแรงดันไฟฟ้าเหนี่ยวนำที่มีค่าสูง ตกร่วม SCR ซึ่งจะทำให้ SCR เสียหายได้

2.2.6.2 แรงดันเกินพิกัดจากภายนอกวงจร

เกิดจากหม้อแปลงที่จ่ายแรงดันไฟฟ้าให้ SCR มีหลายกรณีคือ

- เมื่อมีการเปิดวงจรทางด้านขดปฐมภูมิ
- เมื่อมีการเปิดวงจรทางด้านทุติยภูมิ
- เมื่อมีกระแสเสิร์จ (Surge Current) เข้ามาทางขดปฐมภูมิ
- เมื่อฟิวส์ในวงจรขาดทันที

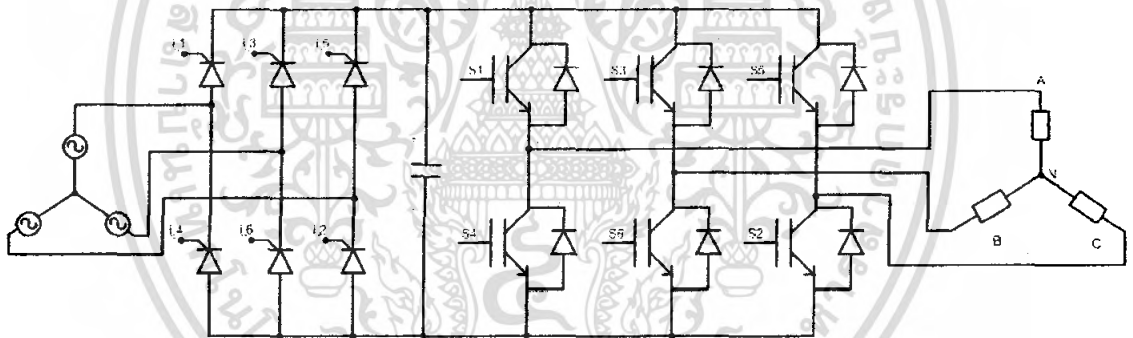
- เมื่อโหลดในวงจรมีค่าความเหนี่ยวนำสูง ก็จะมีผลต่อหม้อแปลงในช่วงที่ SCR นำกระแสไฟฟ้าและหยุดนำกระแสไฟฟ้า

บทที่ 3

การสร้างวงจรควบคุมการทำงานของชุดวงจร Inverter

การออกแบบและสร้างชุดกำลังของ Inverter

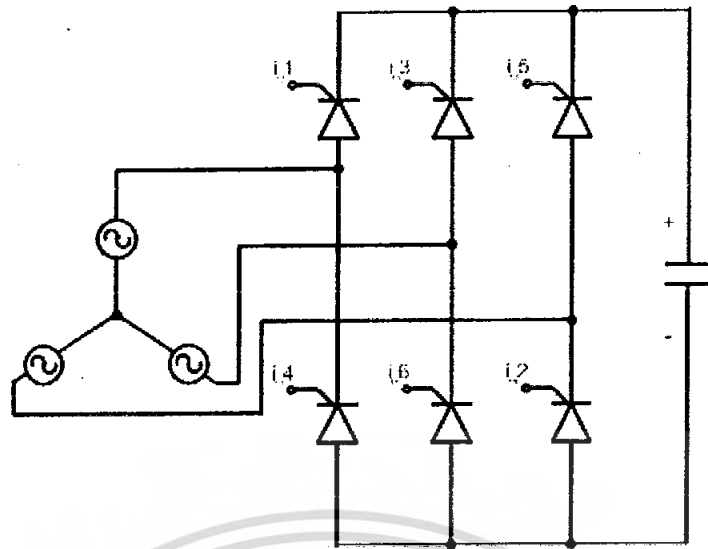
โดยชุดวงจรกำลัง Inverter จะทำหน้าที่เป็นแหล่งจ่ายกำลังไฟฟ้ากระแสสลับที่ได้รับจาก วงจร Converter เพื่อจ่ายให้แก่มอเตอร์เหนี่ยวนำที่ใช้ในการขับเคลื่อน ในการทำงานจะรับ แรงดันไฟฟ้ากระแสตรงแล้วมาทำการแปลงเป็นไฟฟ้ากระแสสลับที่ความถี่ต่างๆ เพื่อป้อนให้กับ มอเตอร์เหนี่ยวนำ ซึ่งในส่วนของชุดกำลังของวงจร Inverter นี้จะเลือกใช้ IGBT เบอร์ IRG4PH40UD มีพิกัดทนแรงดันไฟฟ้าได้ถึง 1200 โวลต์ รองรับการจ่ายกระแสไฟฟ้าได้ 21 แอมแปร์ และสามารถใช้งานได้กับความถี่สวิทซ์สูงสุดได้ถึง 40 กิโลเฮิร์ตซ์ การควบคุมการทำงานของ สวิตซ์กำลังของชุดวงจร Inverter จำเป็นต้องมีอุปกรณ์แยกกราวด์ของสัญญาณ (Isolate) ที่ใช้ ในการควบคุมการทำงาน ซึ่งอุปกรณ์ในการแยกกราวด์ที่ใช้ในการทำงานนี้จะใช้ Optotransistor เบอร์ TLP250 จำนวน 6 ตัว ทำหน้าที่แยกกราวด์ของสัญญาณทางไฟฟ้า



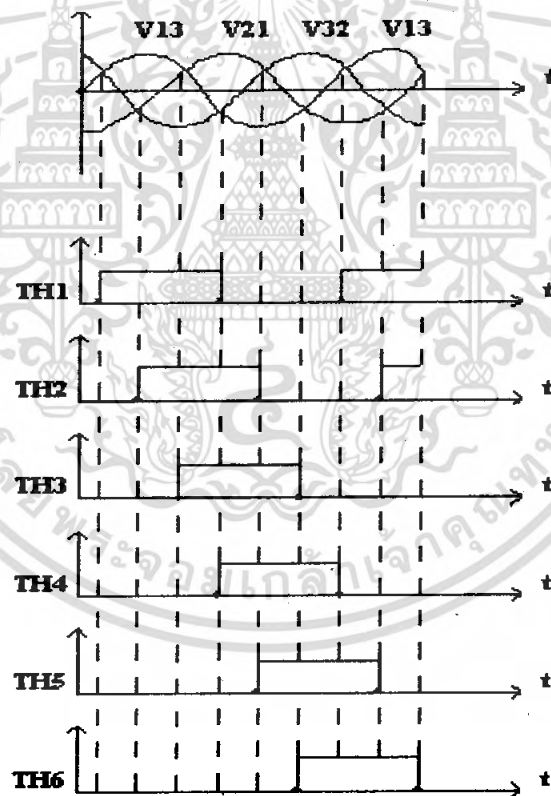
รูปที่ 3.1 ชุดวงจรกำลังของ Inverter 3 เฟส

3.1 วงจรเรียงกระแสไฟฟ้า 3 เฟสที่ควบคุมแรงดันไฟฟ้าได้แบบเต็มคลื่น(Converter)

วงจรเรียงกระแสไฟฟ้า 3 เฟส ที่ควบคุมแรงดันไฟฟ้าได้แบบเต็มคลื่นจะประกอบไปด้วย SCR ทั้งหมด 6 ตัว ดังแสดงในรูปที่ 3.2 โดยที่ SCR แต่ละคู่จะทำงานพร้อมกัน ตามลำดับการป้อน สัญญาณจุดชนวน ดังรูปที่ 3.3



รูปที่ 3.2 วงจรเรียงกระแสไฟฟ้า 3 เฟสที่ควบคุมแรงดันไฟฟ้าแบบได้เต็มคลื่น



รูปที่ 3.3 รูปคลื่นแรงดันไฟฟ้าระหว่างเฟสและลำดับของสัญญาณจุดชนวน Gate ของ SCR

3.1.1 การออกแบบหม้อแปลงไฟฟ้า

สำหรับการออกแบบหม้อแปลงไฟฟ้าซึ่งใน โครงการนี้จะใช้หม้อแปลงไฟฟ้า 1 ต่อ 1 ซึ่งจะมีหน้าที่สำหรับแยกกราวด์ของ SCR ซึ่งดูจากรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.1 การคำนวณ

โดยในโครงการนี้จะเลือกใช้ แกนแบบแกนเฟอร์ไรต์แบบ E19 จำนวนรอบของขดลวดปฐมภูมิของหม้อแปลงไฟฟ้าคำนวณได้จากสมการ

$$N_p = \frac{V_{pri, pk}}{A_c B_{max} f_s}$$

โดยที่

N_p คือ จำนวนรอบของขดลวดปฐมภูมิของหม้อแปลงไฟฟ้า

A_c คือ พื้นที่ของแกนเฟอร์ไรต์

$V_{pri, pk}$ คือ แรงดันสูงสุดทางด้านปฐมภูมิ

B_{max} คือ ความหนาแน่นสูงสุดของเส้นแรงแม่เหล็ก

f_s คือ ความถี่

$$N_p = \frac{5}{(4.5 \times 10^{-3})^2 (0.2) (20 \times 10^3)}$$

$$= 63 \text{ รอบ}$$

3.1.2 IC 4047

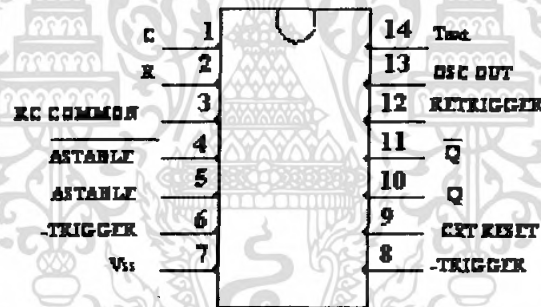
การออกแบบเนื่องจาก IC 4047 เป็น IC ที่สามารถสร้างสัญญาณพัลส์ให้มีความกว้าง 50% duty ทุกความถี่ ดังนั้นการเลือกเอาให้วงจรภายในมีการทำงานเป็นวงจร Astable Multivibrator จะสามารถเลือกใช้ขาของ IC ได้ตามตาราง ที่ 1

72076

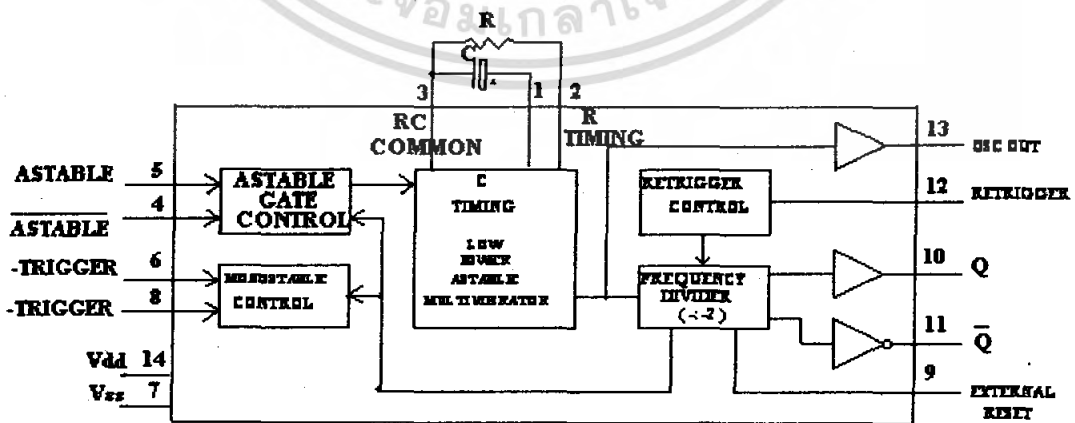
Function	Terminal Connection			Output Pulse From	Typical Output Period Or Pulse Width
	To V _{DD}	To V _{SS}	Input Pulse To		
Astable Multivibrator Free-Running	4,5,6,14	7,8,9,12		10, 11, 13	$T_A(10, 11) = 4.40RC$
True Gating	4,6,14	7,8,9,12	5	10, 11, 13	$T_A(13) = 2.20RC$
Complement Gating	6,14	5,7,8,9,12	4	10, 11, 13	

ตารางที่ 1 การเลือกใช้ขา IC 4047

จากตารางที่ 1 เราจะเลือกตารางการทำงานของวงจรเป็นแบบ True Gating จะเห็นว่าขา 4, 6 และ 14 จะต่อกับแหล่งจ่าย V_{DD} ส่วนขา 7, 8, 9 และ 12 จะต่อลงกราวด์ V_{SS} ส่วนขา 10 จะเป็นเอาต์พุตที่เป็นสัญญาณสี่เหลี่ยม จะมีความกว้างของพัลส์ $T_A = 4.40RC$



รูปที่ 3.4 IC 4047

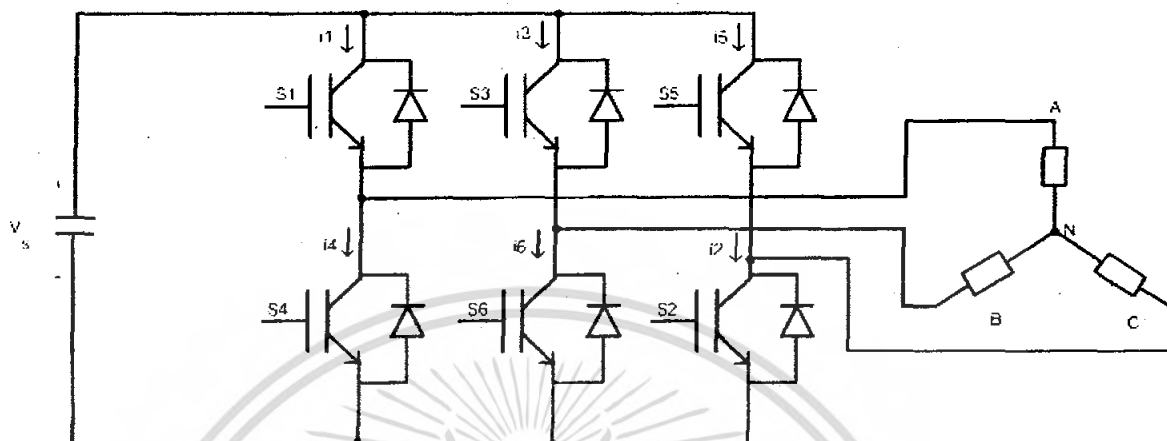


รูปที่ 3.5 บล็อกไดอะแกรมของ IC 4047

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจร Inverter 3 เฟส

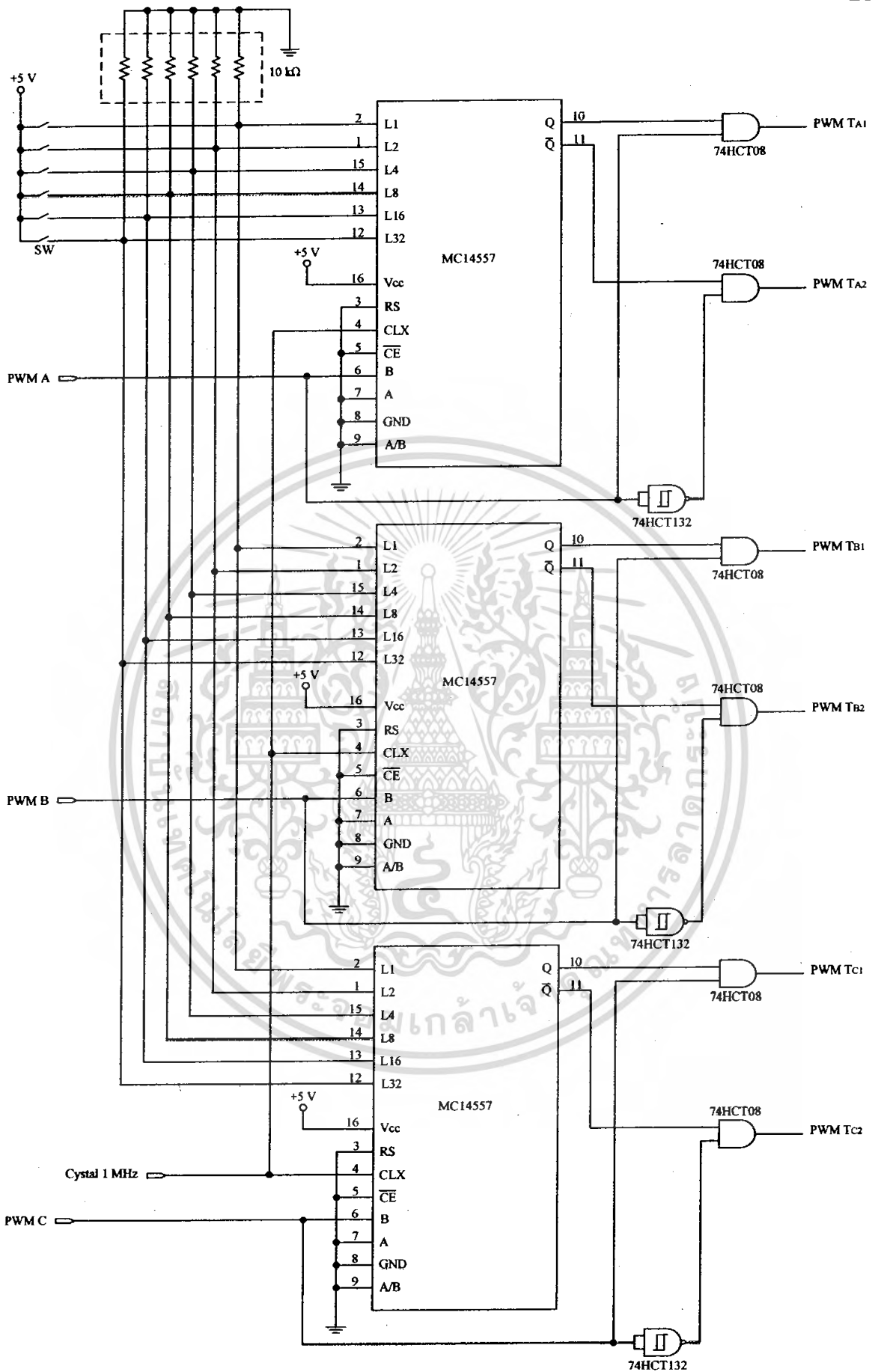
วงจรนี้เป็นวงจรเปลี่ยนแรงดันไฟฟ้า DC ให้เป็นให้เป็นแรงดันไฟฟ้า AC 3 เฟส ที่มีรูปคลื่นแรงดันไฟฟ้า AC



รูปที่ 3.8 วงจร Inverter 3 เฟส

3.2.1 การออกแบบและสร้างวงจรประวิงเวลา (Dead Time)

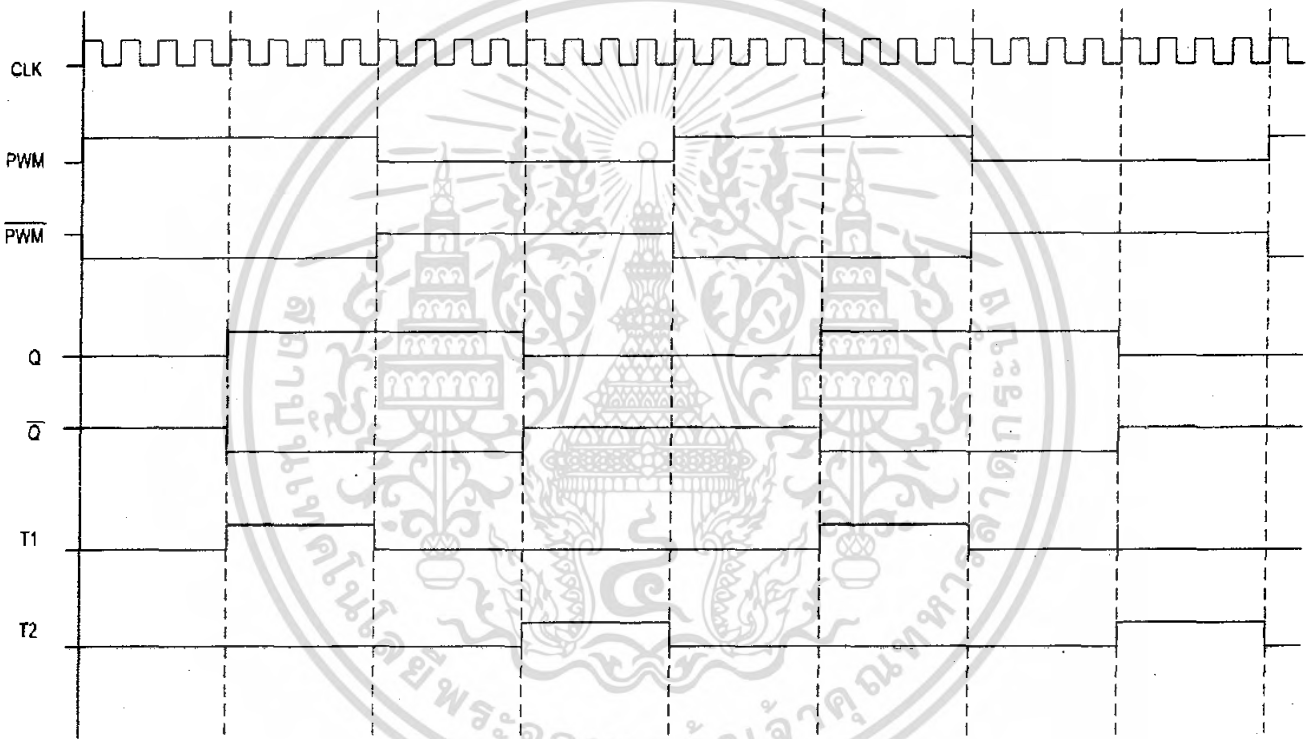
การทำงานของวงจรประวิงเวลาสามารถอธิบายได้จากรูปที่ 3.9 สัญญาณที่ได้จากการปรับระดับของแรงดันไฟฟ้าจะถูกนำไปเข้า IC เบอร์ MC14557 ซึ่งมีคุณสมบัติในการเลื่อนบิต โดยจะทำงานจะอาศัยจังหวะจากสัญญาณนาฬิกาภายนอกขนาด 1 MHz ป้อนเข้าขา 4 โดยที่ช่วงเวลาความกว้างของเวลาประวิงเวลานี้สามารถกำหนดได้จากสภาวะสูงหรือต่ำที่ให้กับขาสัญญาณ L1 ถึง L32 แต่ละสวิทช์ของการสับให้ลอจิกสูงแก่ IC เบอร์ MC14557 จะเป็นการเพิ่มค่าการหน่วงเวลาขึ้นทีละขั้น ซึ่งแต่ละขั้นเวลาจะเพิ่มขึ้นทีละ 1, 2, 4, 8, 16 และ 32 μs



รูปที่ 3.9 วงจรสร้างช่วงการประวิงเวลา (Dead-Time)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิฉะนั้นผู้ใดเห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงการนี้เลือกใช้อุปกรณ์สวิตช์เป็น IGBT (IRG4PH40UD) ซึ่งค่าประวิงเวลาดำสุดที่ต้องการเท่ากับ $4 \mu\text{s}$ จึงทำการเซตขาสัญญาณ L4 ให้มีระดับสัญญาณสูง จากนั้นนำเอาสัญญาณเอาต์พุตที่ได้จาก IC เบอร์ MC14557 มาทำการซิงโครไนซ์กับสัญญาณจริง เพื่อให้ได้เอาต์พุตที่มีสัญญาณขั้วนำกึ่งจุดบนและจุดล่างซึ่งมีค่าประวิงเวลาเท่ากับ $4 \mu\text{s}$ ดังที่เซตสถานะให้กับ IC เบอร์ดังกล่าว และค่าประวิงเวลานี้สามารถปรับเปลี่ยนได้ถึง $64 \mu\text{s}$ ขึ้นอยู่กับการเซตค่าใน IC เบอร์ MC14557 ถ้าหากมีการตั้งค่าของช่วงเวลาการประวิงน้อยเกินไปจะทำให้เกิดปัญหาการลัดวงจรในกึ่งได้ แต่ถ้าค่าช่วงเวลาการประวิงมากเกินไปจะทำให้รูปคลื่นของแรงดันไฟฟ้าที่จ่ายให้กับมอเตอร์เกิดความผิดเพี้ยนขึ้นได้ จากรูปที่ 3.10 เป็นการแสดง Timing Diagram อธิบายการทำงานของวงจรสร้างช่วงการประวิงเวลา



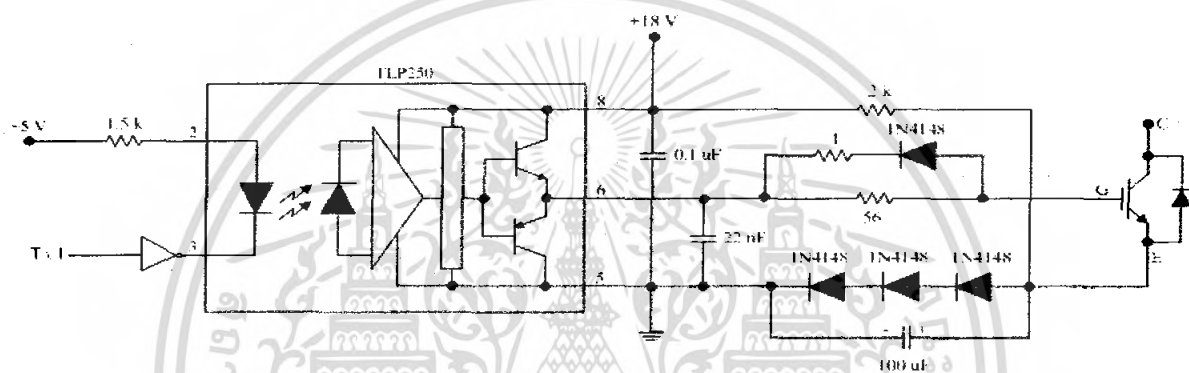
รูปที่ 3.10 Timing Diagram ของวงจรประวิงเวลา

3.2.2 การออกแบบและสร้างวงจรขับ IGBT

จากรูปที่ 3.11 แสดงวงจรขับ IGBT ซึ่งมีหลักการทำงานดังนี้คือ เมื่อสัญญาณพัลส์เข้ามาที่ Input ของ Not Gate ถ้าสัญญาณพัลส์มีสถานะดับสัญญาณต่ำจะทำให้ T_{R1} ของ Optotransistor TLP250 ทำงานและ T_{R2} ไม่ทำงาน จึงทำให้ขา 6 มีระดับแรงดันไฟฟ้าเท่ากับ 18 V ซึ่งกระแสไฟฟ้าก็จะไหลผ่าน T_{R1} และตัวต้านทานไฟฟ้า 56Ω แล้วเข้าขา Gate ของ IGBT โดยแรงดันไฟฟ้า V_{GE} ของ IGBT ค่าประมาณ 15 V สาเหตุที่ทำให้แรงดันไฟฟ้า V_{GE} ของ IGBT มีค่าประมาณ 15 V แทนที่จะมีค่าประมาณ 18 V เนื่องมาจากแรงดันไฟฟ้าที่ขา 6 Optotransistor TLP250 ถูกหักล้างด้วยแรงดันไฟฟ้าที่ไดโอด 1N4148 ทั้งสามตัว โดยไม่พิจารณาแรงดันไฟฟ้าทั้งสามตัวที่ตกคร่อมตัวเอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้โดยไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้านทานไฟฟ้า 56Ω เพราะมีค่าน้อยมาก ซึ่งการทำงานของวงจรจับในสภาวะดังที่ได้กล่าวมานี้จะทำให้ IGBT ทำงาน

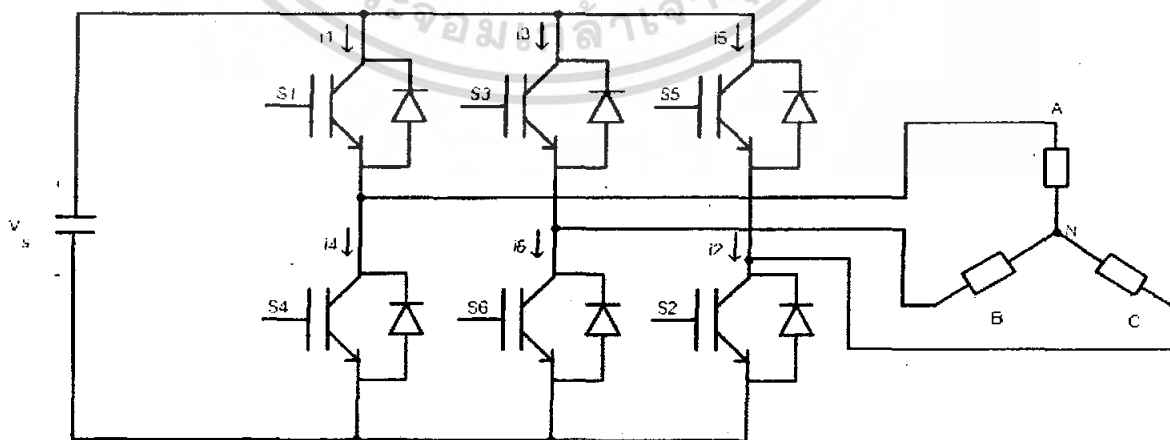
ถ้าสัญญาณพัลส์มีสภาวะระดับสัญญาณสูงจะทำให้ T_{R2} ของ Optotransistor TLP250 ทำงานและ T_{R1} ไม่ทำงานจึงทำให้ขา 6 มีระดับแรงดันไฟฟ้าประมาณเท่ากับ 0 V ซึ่งทิศทางการไหลของกระแสไฟฟ้าจะไหลจากขา Gate ของ IGBT ผ่านตัวต้านทานไฟฟ้า 1Ω และไดโอด 1N4148 ที่ต่ออนุกรมกันแล้วไหลลงกราวด์ โดยแรงดันไฟฟ้า V_{GE} ที่ของ IGBT มีค่าประมาณ -2 V จึงทำให้ IGBT หยุดนำกระแสไฟฟ้า โดยการหยุดนำกระแสไฟฟ้าของ IGBT ที่มีหลักการดังนี้คือ การลดแรงดันไฟฟ้าที่ตกคร่อมตัวเก็บประจุไฟฟ้าแฝงใน IGBT ออกอย่างรวดเร็ว ซึ่งลักษณะของการคายประจุไฟฟ้าแบบนี้จึงทำให้แรงดันไฟฟ้า V_{GE} ของ IGBT มีค่าประมาณ -2 V นั้นเอง



รูปที่ 3.11 วงจรจับ IGBT

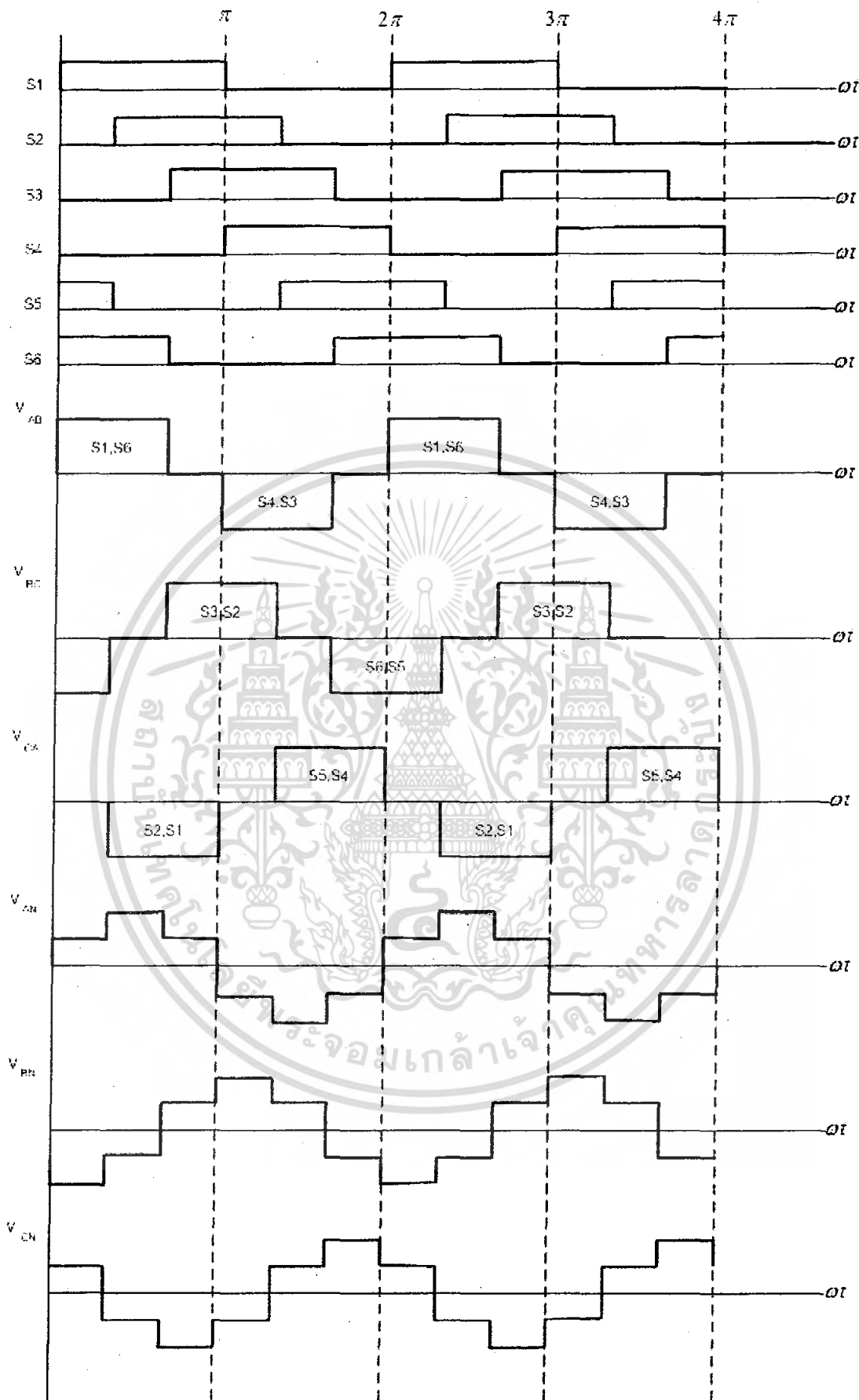
3.2.3 หลักการทำงาน Inverter 3 เฟสชนิด 6 Step

วงจรนี้เป็นวงจรเปลี่ยนแรงดันไฟฟ้า DC ให้เป็นให้เป็นแรงดันไฟฟ้า AC 3 เฟส ที่มีรูปคลื่นแรงดันไฟฟ้า AC ใกล้เคียงรูปคลื่น sine ดังรูปที่ 3.12 วงจรนี้จะมีการส่งสัญญาณขับ Gate ทุกๆ 60 องศาและแรงดันไฟฟ้าระหว่างเฟสที่ต่อกับโหลดจะเลื่อนไป 120 องศา ดังรูปที่ 3.13



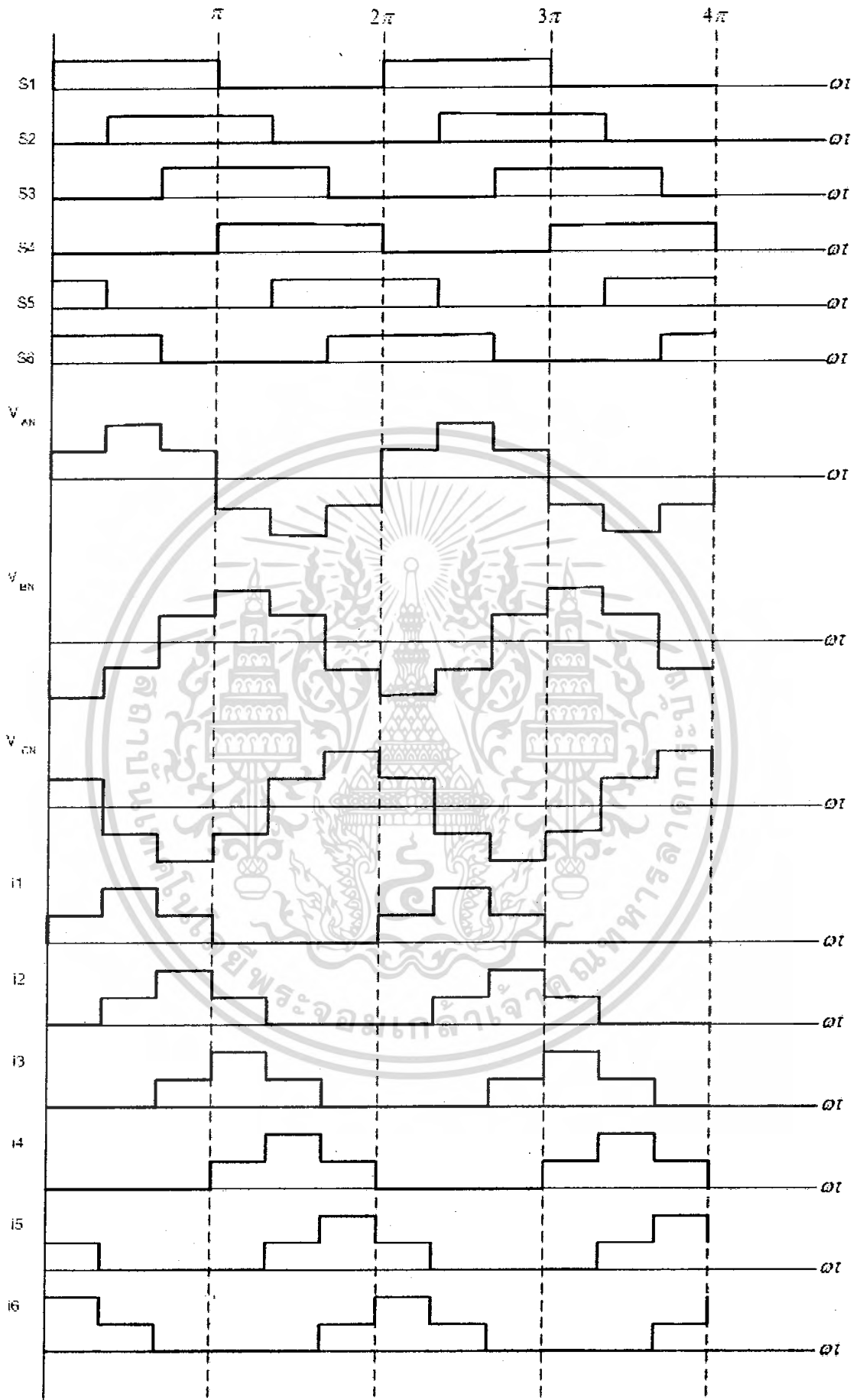
รูปที่ 3.12 วงจร Inverter 3 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 การสวิตช์ของ IGBT, แรงดันไฟฟ้าระหว่างเฟสที่โหลดและแรงดันไฟฟ้าต่อเฟส

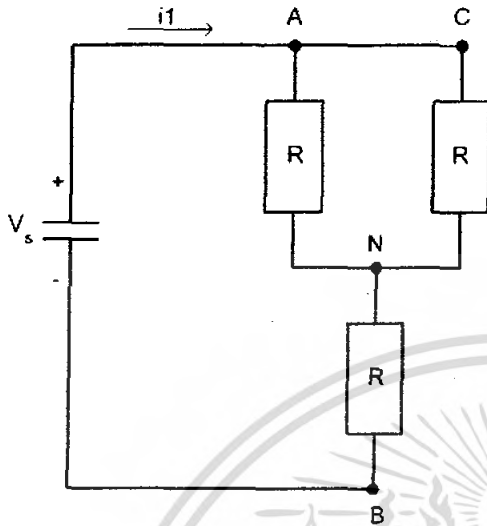
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 การสวิตช์ของ IGBT, แรงดันไฟฟ้าระหว่างเฟสที่โหลดและกระแสไฟฟ้าที่ผ่าน IGBT
 เอกสารนี้เผยแพร่โดยสถาบันวิจัยและพัฒนาพื้นที่สูง (องค์การมหาชน) กระทรวงทรัพยากรธรรมชาติและสิ่งแวดล้อม
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 พิจารณาในช่วงเวลาใดๆของชนิด 6 Step

พิจารณาในช่วง $0 \leq \omega t \leq \frac{\pi}{3}$ (S1, S5, S6 \Rightarrow ON)



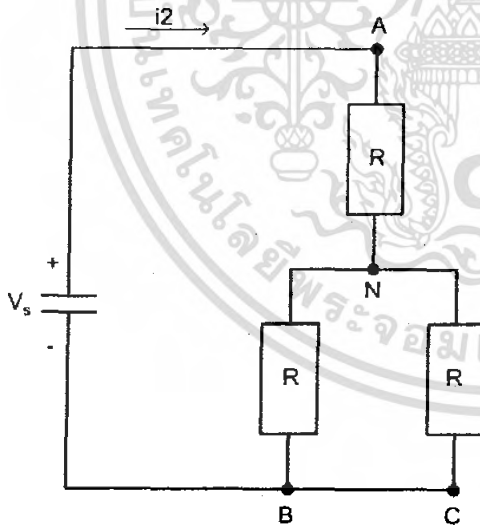
$$R_T = \frac{R}{2} + R = \frac{3R}{2}$$

$$i_1 = \frac{V_s}{R_T} = \frac{2V_s}{3R}$$

$$\therefore V_{AN} = V_{CN} = i_1 \frac{R}{2} = \frac{V_s}{3}$$

$$V_{BN} = -i_1 R = -\frac{2V_s}{3}$$

พิจารณาในช่วง $\frac{\pi}{3} \leq \omega t \leq \frac{2\pi}{3}$ (S1, S2, S6 \Rightarrow ON)



$$R_T = R + \frac{R}{2} = \frac{3R}{2}$$

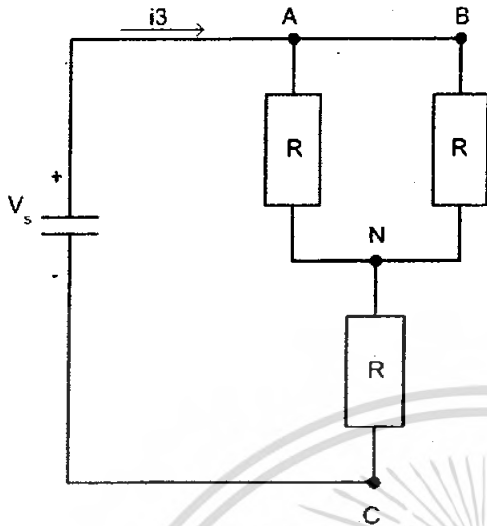
$$i_2 = \frac{V_s}{R_T} = \frac{2V_s}{3R}$$

$$\therefore V_{AN} = i_2 R = \frac{2V_s}{3}$$

$$V_{BN} = V_{CN} = -i_2 \frac{R}{2} = -\frac{V_s}{3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในช่วง $\frac{2\pi}{3} \leq \omega t \leq \pi$ (S1, S2, S3 \Rightarrow ON)

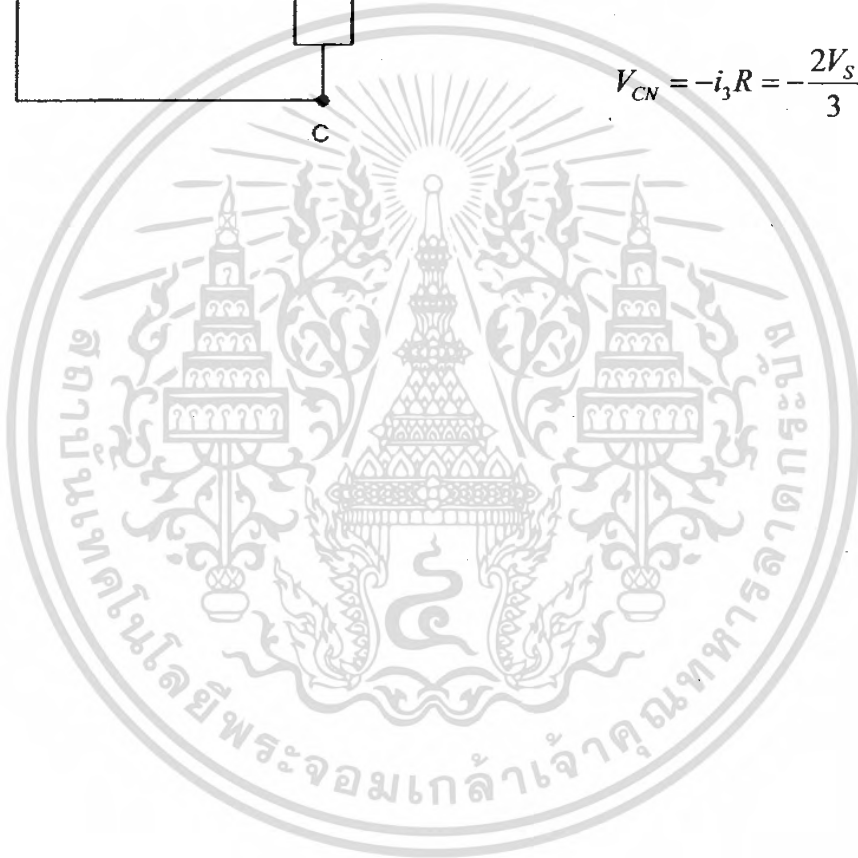


$$R_T = \frac{R}{2} + R = \frac{3R}{2}$$

$$i_3 = \frac{V_s}{R_T} = \frac{2V_s}{3R}$$

$$\therefore V_{AN} = V_{BN} = i_3 \frac{R}{2} = \frac{V_s}{3}$$

$$V_{CN} = -i_3 R = -\frac{2V_s}{3}$$



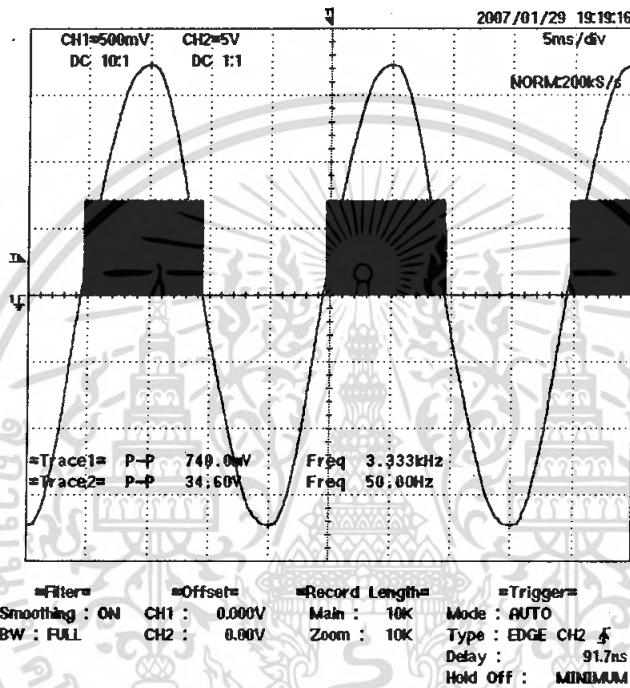
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

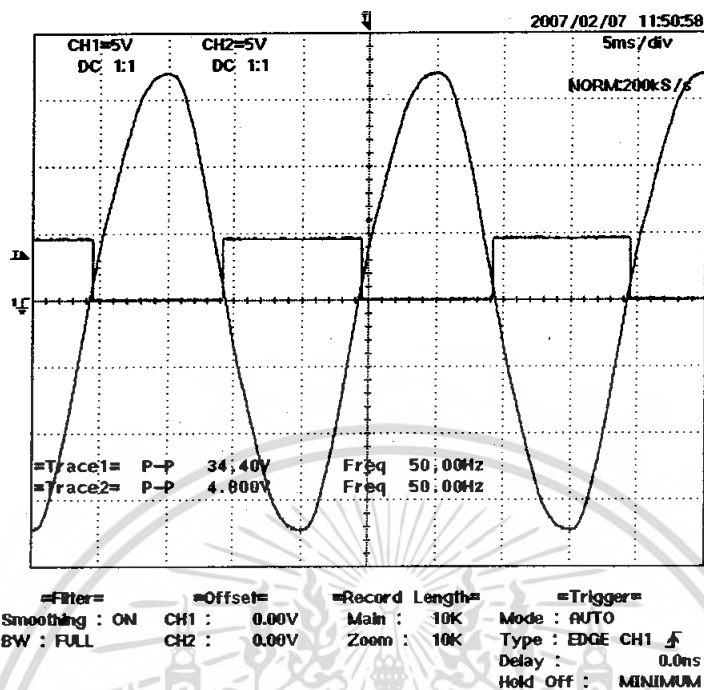
หลังจากการออกแบบและสร้างวงจร Inverter ได้แล้วนั้น ในบทนี้กล่าวผลการทดลองของ วงจรขับ SCR วงจร Zero Crossing วงจรประวิงเวลา วงจรขับ IGBT สัญญาณ 6 step

4.1 ผลการทดลองที่ได้จากวงจรขับ SCR



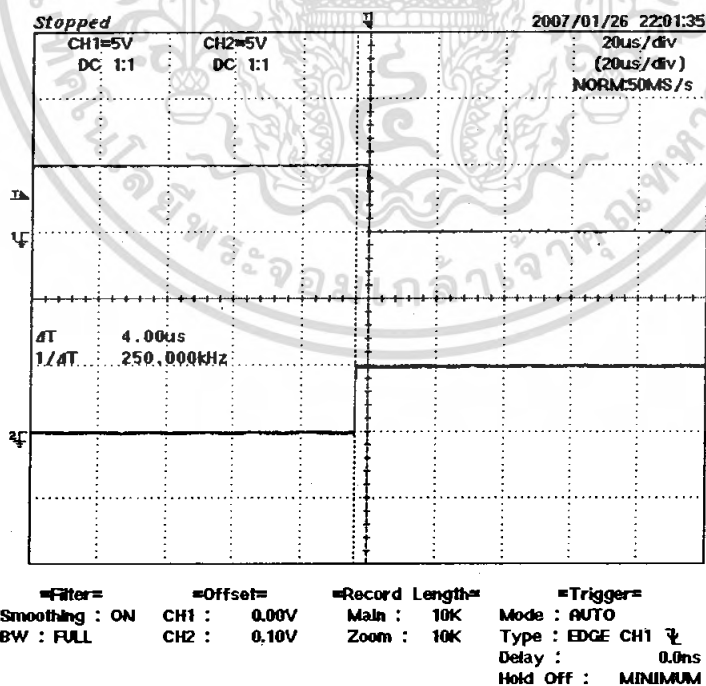
รูปที่ 4.1 สัญญาณขับ SCR

4.2 ผลการทดลองที่ได้จากวงจร Zero Crossing



รูปที่ 4.2 สัญญาณ Out put ของวงจร Zero Crossing

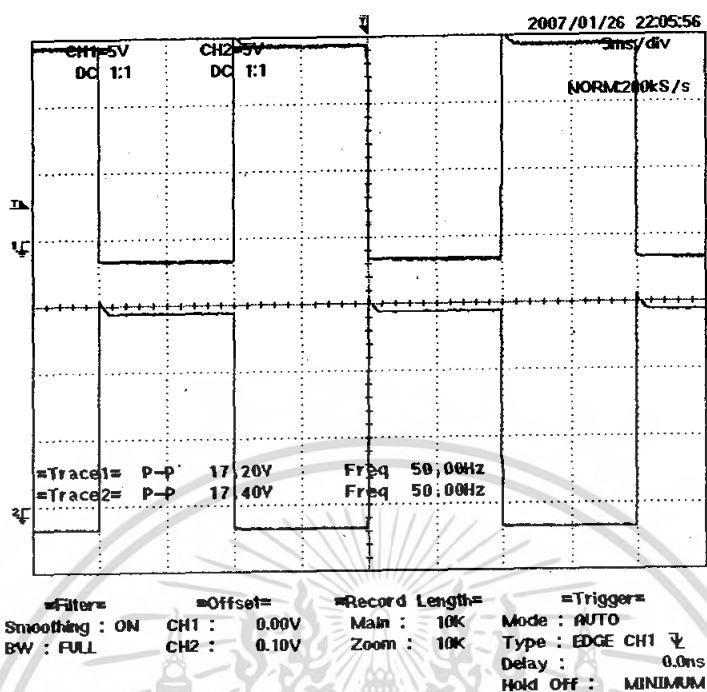
4.3 ผลการทดลองที่ได้จากวงจรประวิงเวลา



รูปที่ 4.3 การประวิงเวลาที่ 4 µs ของสัญญาณขับ Gate

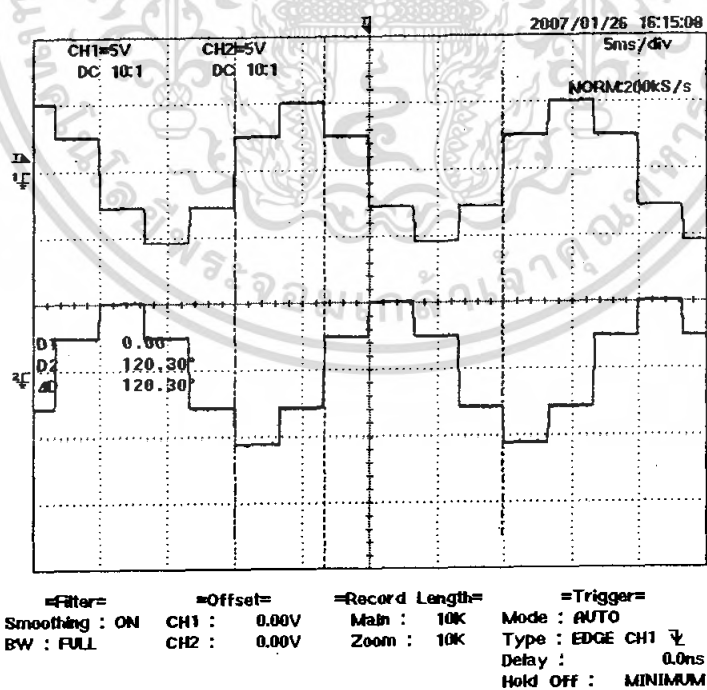
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองที่ได้จากวงจรขับ IGBT



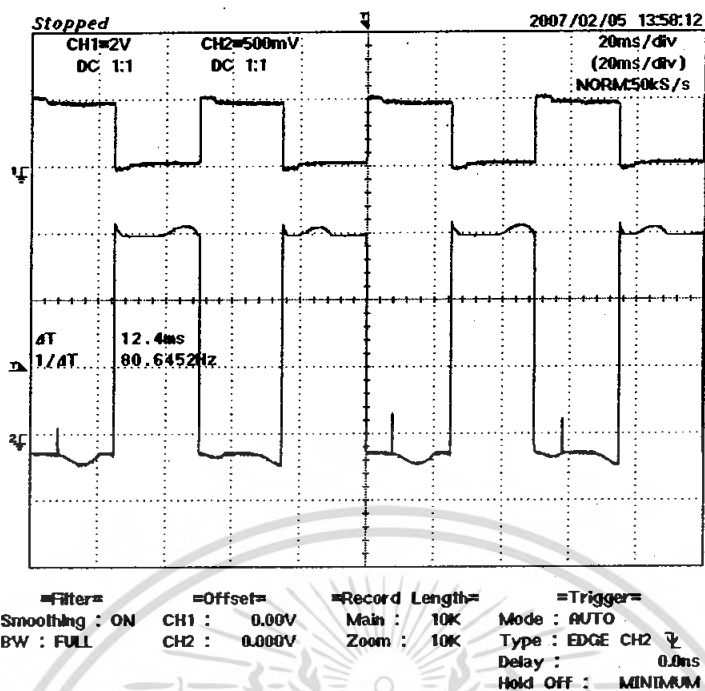
รูปที่ 4.4 สัญญาณขับ IGBT ในกึ่งเดียวกัน

4.5 ผลการทดลองที่ได้จากวงจร Inverter 3 เฟส



รูปที่ 4.5 สัญญาณ 6 step ของ V_{AN} เทียบกับ V_{BN}

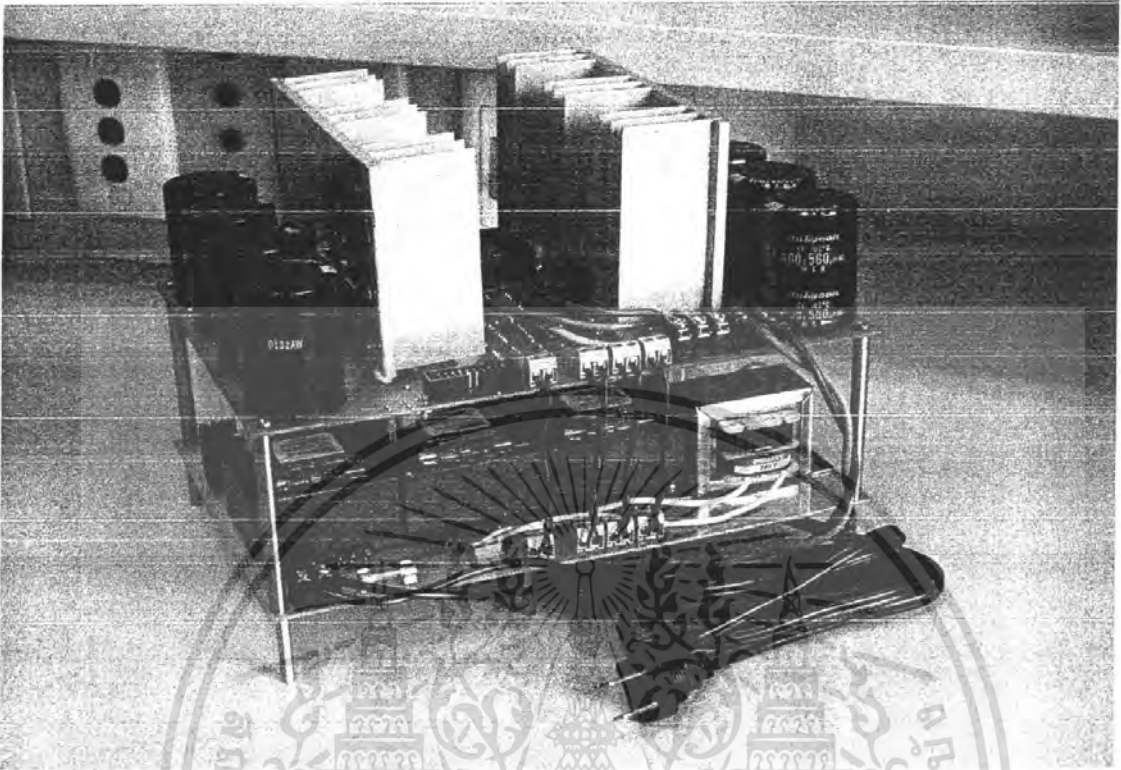
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



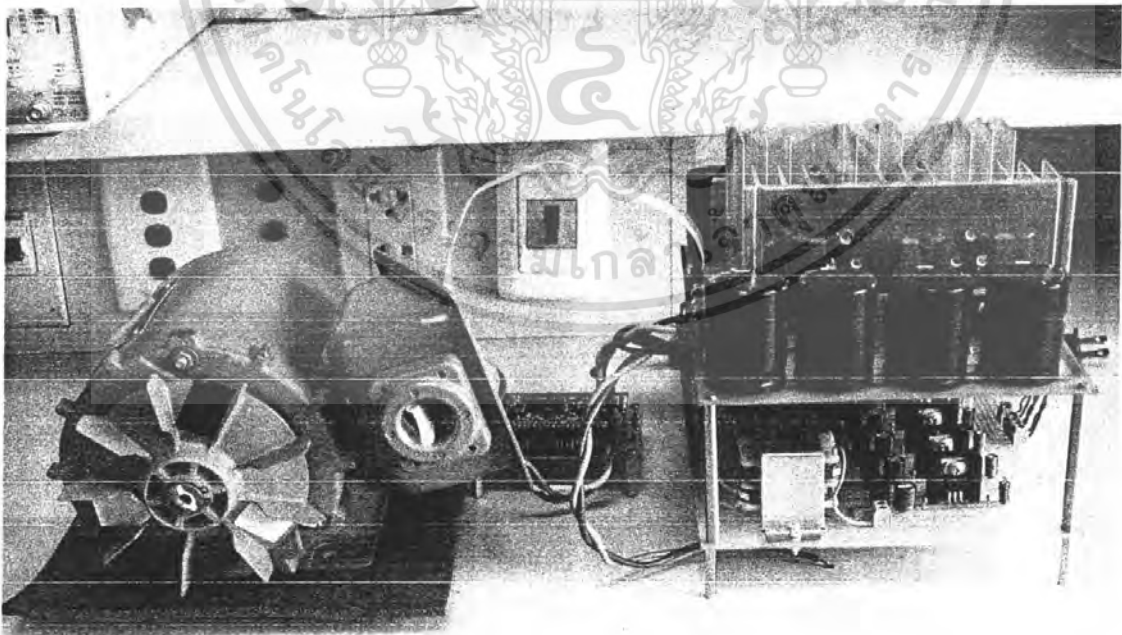
รูปที่ 4.6 สัญญาณ V_{CE} เทียบกับ V_{GE} ที่เฟส B

จากรูปที่ 4.6 พบว่ามีสัญญาณรบกวนเข้ามาจนสัญญาณขับเคลื่อนของ IGBT ถ้าเพิ่มแรงดันไฟฟ้าและความถี่สัญญาณรบกวนก็จะเพิ่มมากขึ้นตามไปด้วย ซึ่งจะทำให้ IGBT ทำงานและส่งผลให้เกิดการช็อคกันในเฟส

4.6 วงจร Inverter 3 เฟสที่สร้างขึ้นเพื่อใช้ในโรงงาน

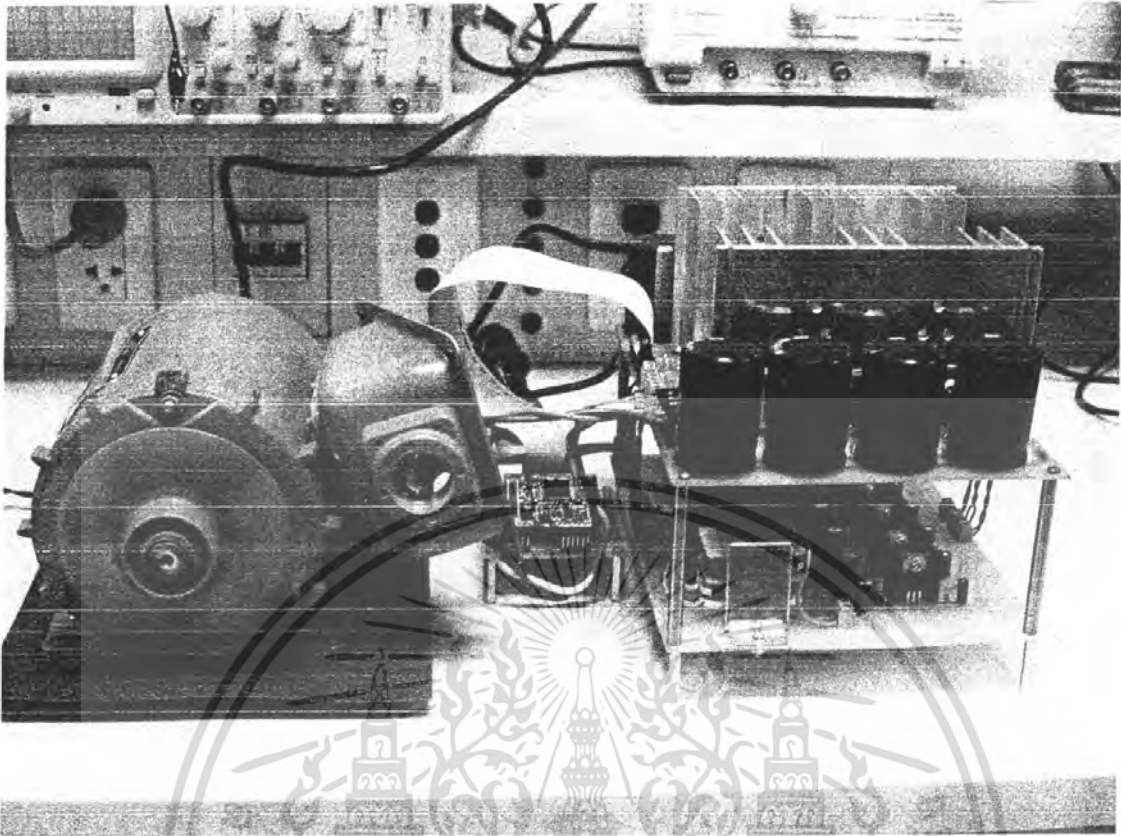


รูปที่ 4.7 Inverter 3 เฟสที่สร้างขึ้น



รูปที่ 4.8 Inverter ขณะต่ออยู่กับมอเตอร์ไฟฟ้า 3 เฟส

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เฉพาะผู้เป็นเจ้าของเท่านั้น ผู้โอนสิทธิ์ให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 มอเตอร์ไฟฟ้ากำลังทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและวิจารณ์

จากการออกแบบและสร้าง Inverter โดยประกอบด้วย 2 ส่วน คือ ส่วน Converter (ซึ่งใช้ SCR 6 ตัวในการเรียงกระแสไฟฟ้าแบบเต็มคลื่น 3 เฟส) และส่วน Inverter (ซึ่งใช้ IGBT 6 ตัวในการสร้างสัญญาณ 6 step) ในส่วนของ Converter มีวงจร Zero Crossing (ซึ่งทำหน้าที่หา 0V จากสัญญาณ sine บอกให้ Controller ทราบ เพื่อใช้เป็นจุดอ้างอิงในการส่งสัญญาณให้แก่วงจรขับ SCR) และวงจรขับ SCR ในส่วนของ Inverter มีวงจรประวิงเวลา (ซึ่งทำหน้าที่ป้องกันการลัดวงจรระหว่าง IGBT ตัวบนกับ IGBT ตัวล่างในกิ่งเดียวกัน) และวงจรขับ IGBT ในโครงงานนี้ควบคุม Inverter แบบ 6 step

ปัญหาที่พบในโครงงานนี้ พบว่ามีสัญญาณรบกวนเข้ามาจนสัญญาณขับ Gate ของ IGBT ถ้าเพิ่มแรงดันไฟฟ้าและความถี่ไฟฟ้ามากขึ้นสัญญาณรบกวนก็จะเพิ่มมากขึ้นตามไปด้วย ซึ่งจะทำให้ IGBT ทำงานและส่งผลให้เกิดการช๊อตกันในเฟส



เอกสารอ้างอิง

1. ปิยะบุตร บุญชูรัตนภาพ, วีระ คำบึงกลาง. “ระบบควบคุมความเร็วรอบอินดักชันมอเตอร์.”
ปริญญาานิพนธ์ ภาควิชาวิศวกรรมระบบควบคุม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณ
ทหารลาดกระบัง. 2548.
2. สุรศักดิ์ อยู่สวัสดิ์, อุเทน คำน่าน. “อิเล็กทรอนิกส์กำลัง1.” กรุงเทพฯ : โกลบอลวิชั่น, 2540.
3. วิชัย สังข์จันทรานนท์. “ควบคุมเครื่องกลไฟฟ้าด้วยอิเล็กทรอนิกส์กำลัง 1.” 3. กรุงเทพฯ :
สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), 2532.
4. วิชัย สังข์จันทรานนท์. “ควบคุมเครื่องกลไฟฟ้าด้วยอิเล็กทรอนิกส์กำลัง 2.” 2. กรุงเทพฯ :
สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), 2530.
5. วีระเชษฐ ชันเงิน, วุฒพล ธาราธิรเศรษฐ์. “อิเล็กทรอนิกส์กำลัง.” 4. กรุงเทพฯ :
คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2549.
6. อุคมศักดิ์ ชัยอิน. “POWER ELECTRONICS I.” ภาควิชาวิศวกรรมไฟฟ้า,
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าธนบุรี. 2528.
7. Gopal K. Dubey. Power Semiconductor Controlled Drives. India : Prentice-Hall, 1989.



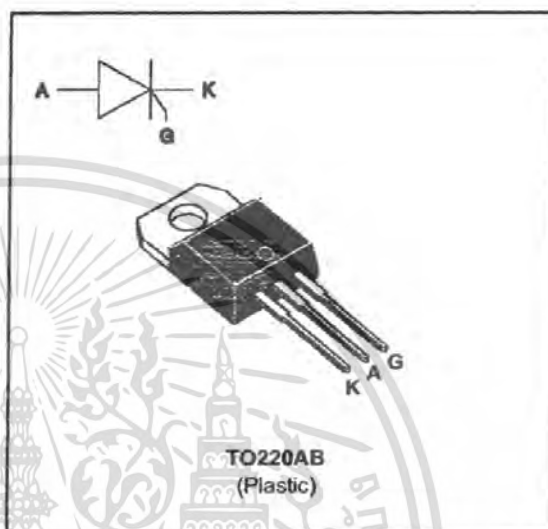
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES

- HIGH SURGE CAPABILITY
- HIGH ON-STATE CURRENT
- HIGH STABILITY AND RELIABILITY
- TXN Serie :
INSULATED VOLTAGE = 2500V(RMS)
(UL RECOGNIZED : E81734)

DESCRIPTION

The TYN/TXN 0512 ---> TYN/TXN 1012 Family of Silicon Controlled Rectifiers uses a high performance glass passivated technology. This general purpose Family of Silicon Controlled Rectifiers is designed for power supplies up to 400Hz on resistive or inductive load.

**ABSOLUTE RATINGS** (limiting values)

Symbol	Parameter	Value	Unit
$I_T(\text{RMS})$	RMS on-state current (180° conduction angle)	TXN Tc=80°C TYN Tc=90°C 12	A
$I_T(\text{AV})$	Average on-state current (180° conduction angle, single phase circuit)	TXN Tc=80°C TYN Tc=90°C 8	A
I_{TSM}	Non repetitive surge peak on-state current (Tj initial = 25°C)	tp=8.3 ms 125	A
		tp=10 ms 120	
I^2t	I^2t value	tp=10 ms 72	A ² s
di/dt	Critical rate of rise of on-state current Gate supply : $I_G = 100 \text{ mA}$ $di_G/dt = 1 \text{ A}/\mu\text{s}$	100	A/ μs
Tstg Tj	Storage and operating junction temperature range	- 40 to + 150 - 40 to + 125	°C °C
Tl	Maximum lead temperature for soldering during 10 s at 4.5 mm from case	260	°C

Symbol	Parameter	TYN/TXN							Unit
		0512	112	212	412	612	812	1012	
VDRM VRRM	Repetitive peak off-state voltage Tj = 125 °C	50	100	200	400	600	800	1000	V

April 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TXN/TYN 0512 → TXN/TYN 1012

THERMAL RESISTANCES

Symbol	Parameter	Value	Unit
Rth (j-a)	Junction to ambient	60	°C/W
Rth (j-c) DC	Junction to case for DC	TXN	3.5
		TYN	2.5

GATE CHARACTERISTICS (maximum values)

PG (AV) = 1W PGM = 10W (tp = 20 μs) I_{FGM} = 4A (tp = 20 μs) V_{RGM} = 5 V.

ELECTRICAL CHARACTERISTICS

Symbol	Test Conditions	Value	Unit
I _{GT}	V _D =12V (DC) R _L =33Ω	T _J =25°C MAX	15 mA
V _{GT}	V _D =12V (DC) R _L =33Ω	T _J =25°C MAX	1.5 V
V _{GD}	V _D =V _{DRM} R _L =3.3kΩ	T _J = 125°C MIN	0.2 V
t _{gt}	V _D =V _{DRM} I _G = 40mA dI _G /dt = 0.5A/μs	T _J =25°C TYP	2 μs
I _L	I _G = 1.2 I _{GT}	T _J =25°C TYP	50 mA
I _H	I _T = 100mA gate open	T _J =25°C MAX	30 mA
V _{TM}	I _{TM} = 24A tp= 380μs	T _J =25°C MAX	1.6 V
I _{DRM} I _{RRM}	V _{DRM} Rated V _{RRM} Rated	T _J =25°C MAX	0.01 mA
		T _J = 125°C	3 mA
dV/dt	Linear slope up to V _D =67%V _{DRM} gate open	T _J = 125°C MIN	200 V/μs
t _q	V _D =67%V _{DRM} I _{TM} = 24A V _R = 25V dI _{TM} /dt=30 A/μs dV _D /dt= 50V/μs	T _J = 125°C TYP	70 μs

TXN/TYN 0512 ---> TXN/TYN 1012

Fig.1 : Maximum average power dissipation versus average on-state current (TXN).

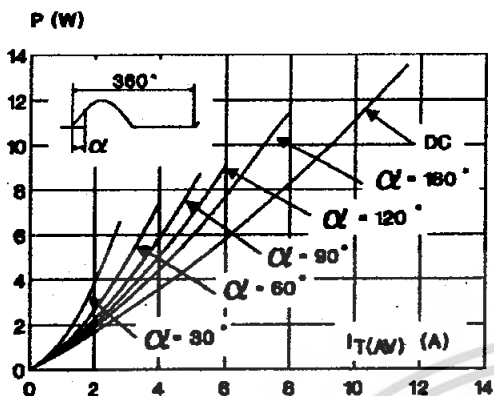


Fig.2 : Correlation between maximum average power dissipation and maximum allowable temperatures (Tamb and Tcase) for different thermal resistances heatsink + contact (TXN).

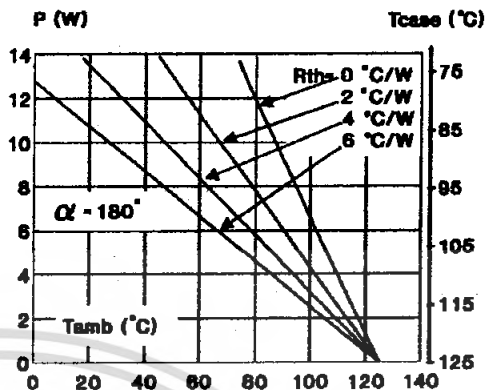


Fig.3 : Maximum average power dissipation versus average on-state current (TYN).

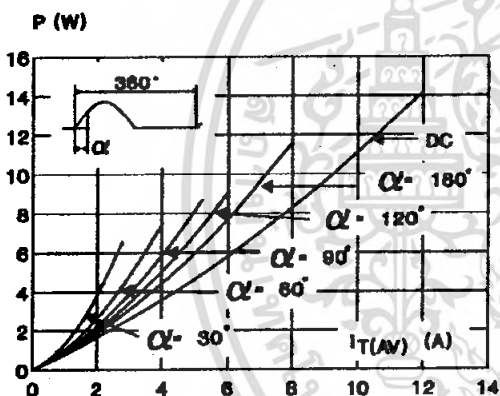


Fig.4 : Correlation between maximum average power dissipation and maximum allowable temperatures (Tamb and Tcase) for different thermal resistances heatsink + contact (TYN).

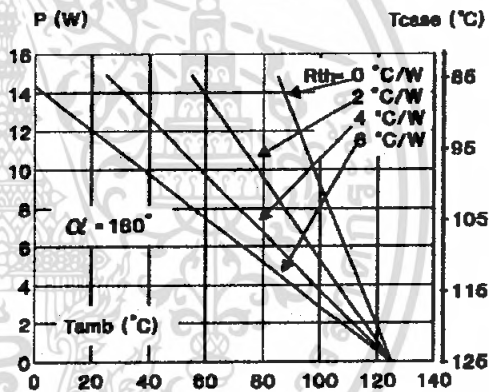


Fig.5 : Average on-state current versus case temperature (TXN).

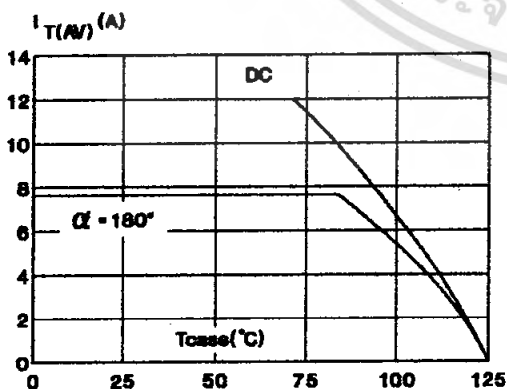
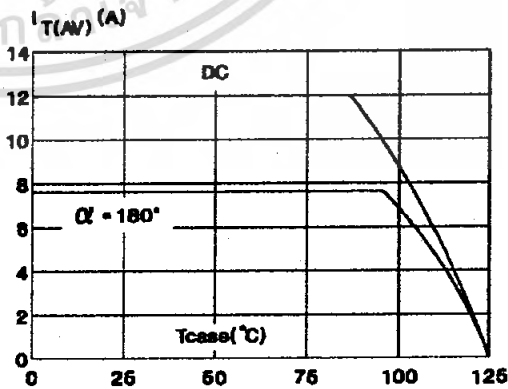


Fig.6 : Average on-state current versus case temperature (TYN).



TXN/TYN 0512 → TXN/TYN 1012

Fig.7 : Relative variation of thermal impedance versus pulse duration.

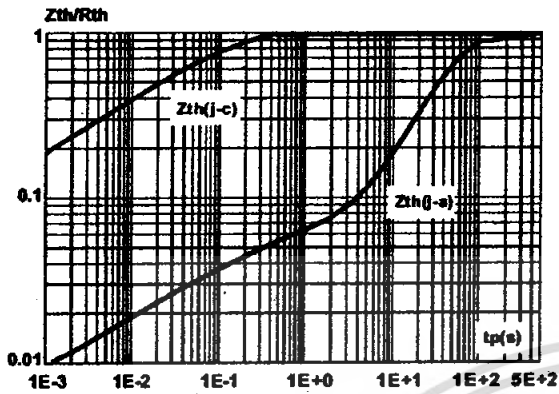


Fig.8 : Relative variation of gate trigger current versus junction temperature.

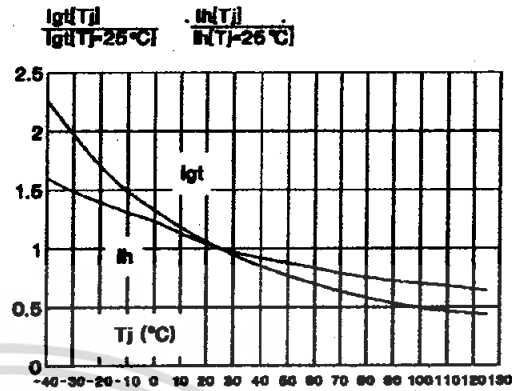


Fig.9 : Non repetitive surge peak on-state current versus number of cycles.

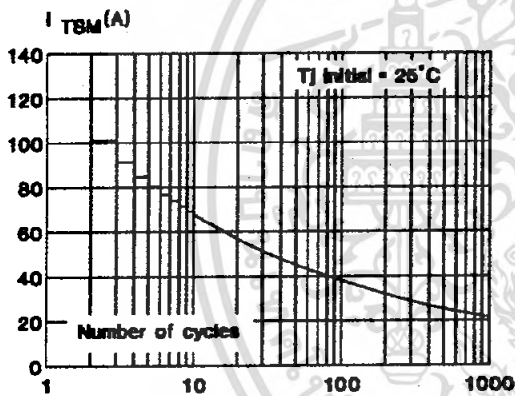


Fig.10 : Non repetitive surge peak on-state current for a sinusoidal pulse with width : $t \leq 10$ ms, and corresponding value of I^2t .

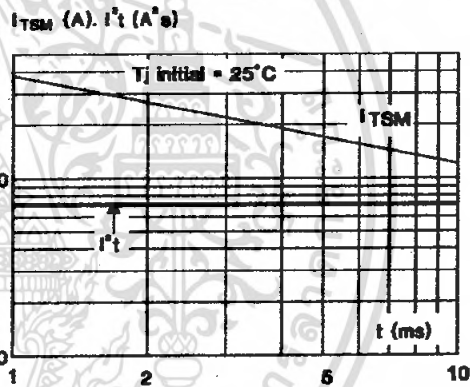
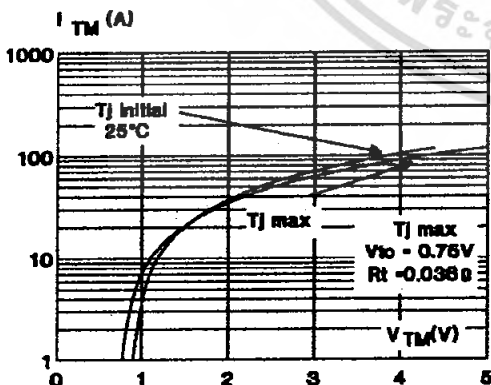
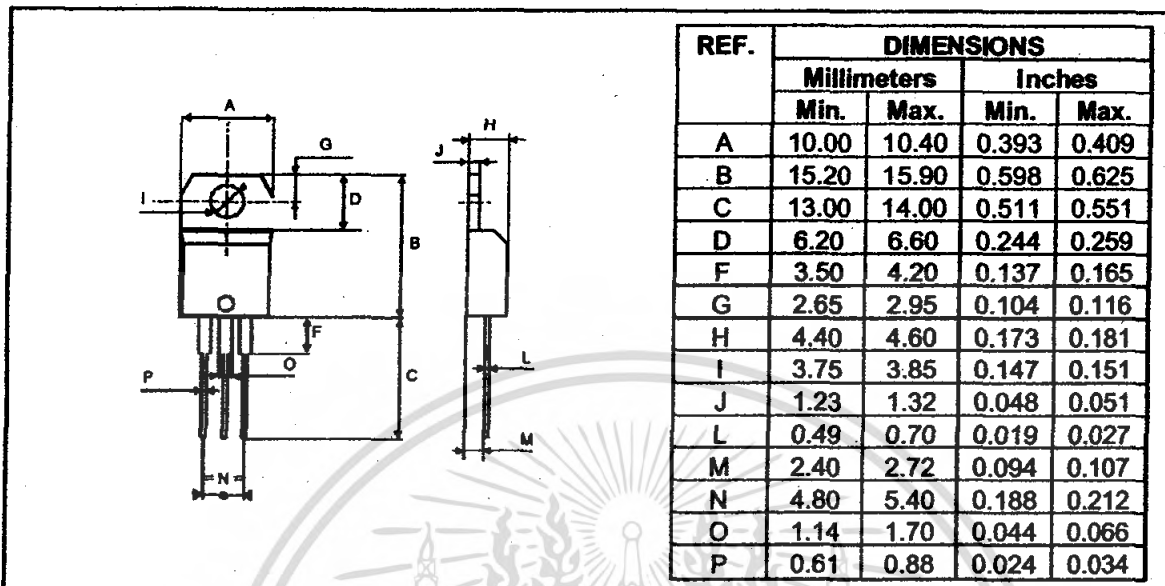


Fig.11 : On-state characteristics (maximum values).



PACKAGE MECHANICAL DATA

TO220AB Plastic



Cooling method : by conduction (method C)
 Marking : type number
 Weight : 2.3 g
 Recommended torque value : 0.8 m.N.
 Maximum torque value : 1 m.N.

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1995 SGS-THOMSON Microelectronics - Printed in Italy - All rights reserved.
 SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Low-Power Monostable/Astable Multivibrator

High Voltage Types (20-Volt Rating)

■ CD4047B consists of a gateable astable multivibrator with logic techniques incorporated to permit positive or negative edge-triggered monostable multivibrator action with retriggering and external counting options.

Inputs include +TRIGGER, -TRIGGER, ASTABLE, ASTABLE, RETRIGGER, and EXTERNAL RESET. Buffered outputs are Q, Q-bar, and OSCILLATOR. In all modes of operation, and external capacitor must be connected between C-Timing and RC-Common terminals, and an external resistor must be connected between the R-Timing and RC-Common terminals.

Astable operation is enabled by a high level on the ASTABLE input or a low level on the ASTABLE input, or both. The period of the square wave at the Q and Q-bar Outputs in this mode of operation is a function of the external components employed. "True" input pulses on the ASTABLE input or "Complement" pulses on the ASTABLE input allow the circuit to be used as a gateable multivibrator. The OSCILLATOR output period will be half of the Q terminal output in the astable mode. However, a 50% duty cycle is not guaranteed at this output.

The CD4047B triggers in the monostable mode when a positive-going edge occurs on the +TRIGGER input while the -TRIGGER is held low. Input pulses may be of any duration relative to the output pulse.

If retrigger capability is desired, the RETRIGGER input is pulsed. The retriggerable mode of operation is limited to positive-going edge. The CD4047B will retrigger as long as the RETRIGGER input is high, with or without transitions (See Fig. 34).

An external countdown option can be implemented by coupling "Q" to an external "N" counter and resetting the counter with the trigger pulse. The counter output pulse is fed back to the ASTABLE input and has a duration equal to N times the period of the multivibrator.

A high level on the EXTERNAL RESET input assures no output pulse during an "ON" power condition. This input can also be activated to terminate the output pulse at any time. For monostable operation, whenever V_{DD} is applied, an internal power-on reset circuit will clock the Q output low within one output period (t_M).

The CD4047B-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (F3A suffix), 14-lead dual-in-line plastic packages (E suffix), 14-lead small-outline packages (M, MT, M96, and NSR suffixes), and 14-lead thin shrink small-outline packages (PW and PWR suffixes).

Features:

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required
- Buffered inputs
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Monostable Multivibrator Features:

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Internal power-on reset circuit
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

Astable Multivibrator Features:

- Free-running or gateable operating modes
- 50% duty cycle

- Oscillator output available

- Good astable frequency stability:

Frequency deviation:

$$= \pm 2\% + 0.03\%/^{\circ}\text{C} @ 100 \text{ kHz}$$

$$= \pm 0.5\% + 0.015\%/^{\circ}\text{C} @ 10 \text{ kHz}$$

(Circuits "trimmed" to frequency

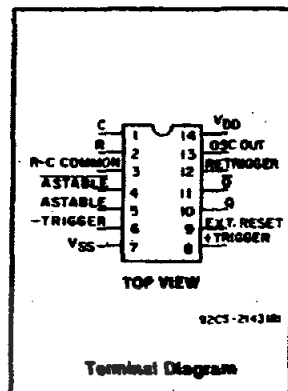
$$V_{DD} = 10 \text{ V} \pm 10\%)$$

Applications:

Digital equipment where low-power dissipation and/or high noise immunity are primary design requirements:

- Envelope detection
- Frequency multiplication
- Frequency division
- Frequency discriminators
- Timing circuits
- Time-delay applications

CD4047B Types



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A = Full Package-Temperature Range)	3	18	V

NOTE: IF AT 15 V OPERATION A 10 MΩ RESISTOR IS USED THE OPERATING TEMPERATURE SHOULD BE BETWEEN -25°C and 100°C

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE (V _{DD})	-0.5V to +20V
Voltages referenced to V _{SS} Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to V _{DD} + 0.5V
DC INPUT CURRENT, ANY ONE INPUT	±10mA
POWER DISSIPATION PER PACKAGE (P _D):	
For T _A = -55°C to +100°C	600mW
For T _A = +100°C to +125°C	See Note Linearity at 125mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T _A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE (T _A)	-55°C to +125°C
STORAGE-TEMPERATURE RANGE (T _{stg})	-65°C to +160°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.76mm) from case for 10s max	+265°C

CD4047B Types

CD4047B FUNCTIONAL TERMINAL CONNECTIONS
NOTE: IN ALL CASES EXTERNAL RESISTOR BETWEEN TERMINALS 2 AND 3A
EXTERNAL CAPACITOR BETWEEN TERMINALS 1 AND 3A

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	OUTPUT PERIOD OR PULSE WIDTH
	TO V _{DD}	TO V _{SS}	INPUT TO		
Astable Multivibrator:					
Free Running	4,5,6,14	7,8,9,12	—	10,11,13	$t_A(10,11) = 4.40 RC$
True Gating	4,8,14	7,8,9,12	5	10,11,13	$t_A(13) = 2.20 RC^*$
Complement Gating	6,14	5,7,8,9,12	4	10,11,13	
Monostable Multivibrator:					
Positive-Edge Trigger	4,14	5,6,7,9,12	8	10,11	$t_M(10,11) = 2.48 RC$
Negative-Edge Trigger	4,8,14	5,7,9,12	6	10,11	
Retriggerable	4,14	5,6,7,9	8,12	10,11	
External Countdown*	14	5,6,7,8,9,12	—	10,11	

- ▲ See Text.
- * First positive 1/2 cycle pulse-width = 2.48 RC, see Note on Page 3-134.
- * Input Pulse to Reset of External Counting Chip External Counting Chip Output To Terminal 4

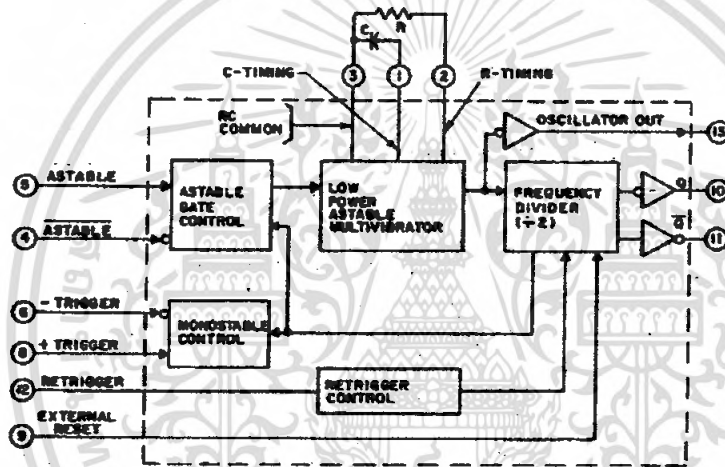


Fig. 1—CD4047B logic block diagram.

92C3-29071

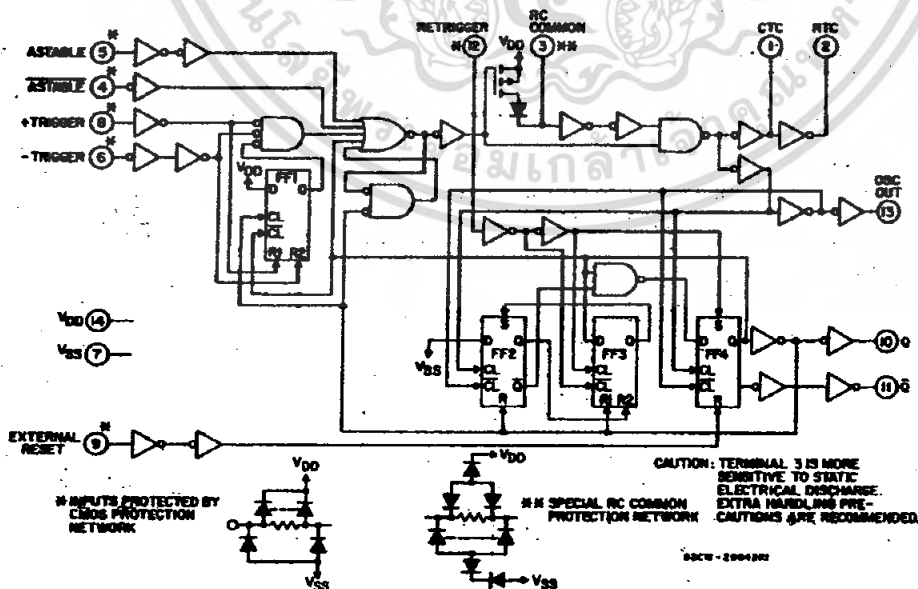


Fig. 2—CD4047B logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4047B Types

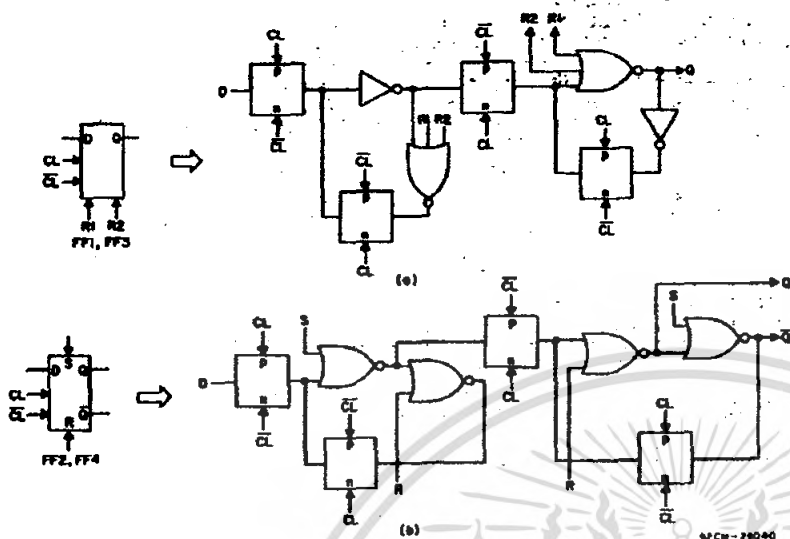


Fig. 3—Detail logic diagram for flip-flops FF1 and FF3 (a) and for flip-flops FF2 and FF4 (b).

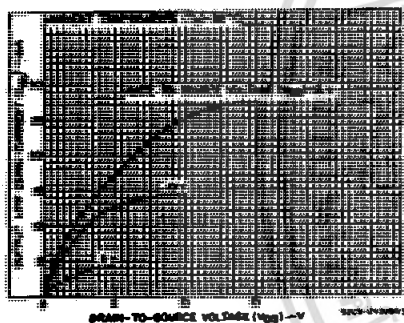


Fig. 4—Typical output low (sink) current characteristics.

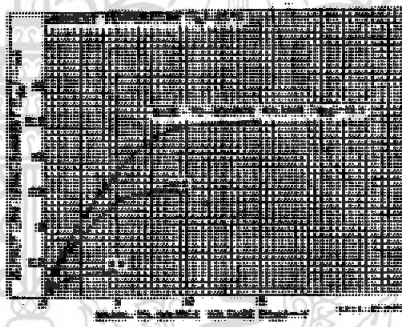


Fig. 5—Minimum output low (sink) current characteristics.

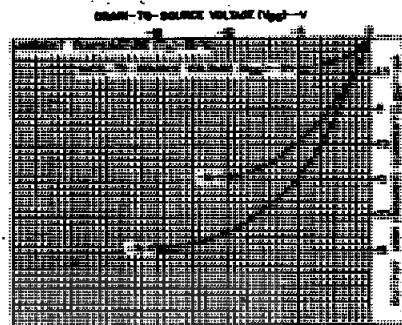


Fig. 6—Typical output high (source) current characteristics.

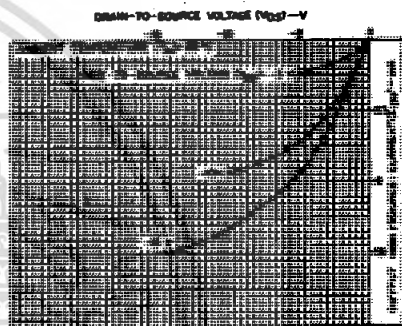


Fig. 7—Minimum output high (source) current characteristics.

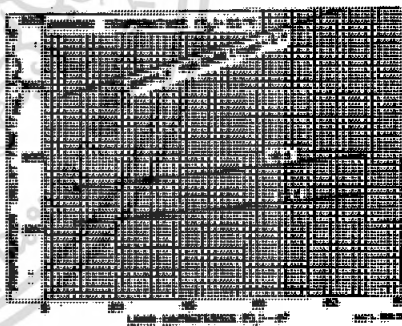


Fig. 8—Typical propagation delay time as a function of load capacitance (Astable, Astable to Q, Q̄).

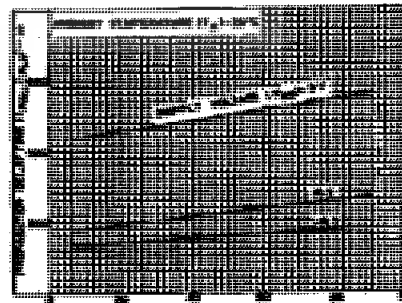


Fig. 9—Typical propagation delay time as a function of load capacitance (+ or - trigger to Q, Q̄).

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	—	0.5	5	1	1	30	30	—	0.02	1	μA
	—	0.10	10	2	2	60	60	—	0.02	2	
	—	0.15	15	4	4	120	120	—	0.02	4	
	—	0.20	20	20	20	600	600	—	0.04	20	
Output Low (Sink) Current I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
	4.8	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	
Output High (Source) Current, I _{OH} Min.	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	mA
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
	—	0.5	5	—	—	0.05	—	—	0	0.05	
Output Voltage: Low-Level V _{OL} Max.	—	0.10	10	—	—	0.05	—	—	0	0.05	V
	—	0.15	15	—	—	0.05	—	—	0	0.05	
	—	0.15	15	—	—	0.05	—	—	0	0.05	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4047B Types

STATIC ELECTRICAL CHARACTERISTICS (CONTINUED)

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)						UNITS	
	V _O (V)	V _{IH} (V)	V _{DD} (V)	-55	-40	+65	+125	+25			
								Min.	Typ.		Max.
Output Voltage: High-Level, V _{OH} Min.	—	0.5	5	4.95				4.95	5	—	V
	—	0.10	10	9.95				9.95	10	—	
	—	0.15	15	14.95				14.95	15	—	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	—	5	1.5				—	—	1.5	V
	1.9	—	10	3				—	—	3	
	1.5, 13.5	—	15	4				—	—	4	
Input High Voltage, V _{IH} Min.	0.5, 4.5	—	5	3.5				3.5	—	—	V
	1.9	—	10	7				7	—	—	
	1.5, 13.5	—	15	11				11	—	—	
Input Current I _{IN} Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 ⁵	±0.1	μA

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C; Input t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ

CHARACTERISTIC	V _{DD} (V)	LIMITS			UNITS
		MIN.	TYP.	MAX.	
Propagation Delay Time, t _{PLH} , t _{PLL} Astable, Astable to Osc. Out	5	—	200	400	ns
	10	—	100	200	
	15	—	80	160	
Astable, Astable to Q, Q̄	5	—	350	700	
	10	—	175	350	
	15	—	125	250	
+ or - Trigger to Q, Q̄	5	—	500	1000	
	10	—	225	450	
	15	—	150	300	
Retrigger to Q, Q̄	5	—	300	600	
	10	—	150	300	
	15	—	100	200	
External Reset to Q, Q̄	5	—	250	500	
	10	—	100	200	
	15	—	70	140	
Transition Time, t _{tr} , t _{fr} Osc. Out, Q, Q̄	5	—	100	200	
	10	—	50	100	
	15	—	40	80	
Minimum Input Pulse Width, t _w + Trigger, - Trigger	5	—	200	400	
	10	—	80	160	
	15	—	50	100	
Reset	5	—	100	200	
	10	—	50	100	
	15	—	30	60	
Retrigger	5	—	300	600	
	10	—	115	230	
	15	—	75	150	
Input Rise and Fall Time, t _r , t _f All Trigger Inputs For + Trigger: t _r only is unlimited For - Trigger: t _f only is unlimited	5	—	270	—	ns
	10	—	18	—	
	15	—	9	—	
	5	—	325	—	
	10	—	9	—	
	15	—	4	—	
Q or Q̄ Deviation from 50% Duty Factor	5	—	±0.5	±1	%
	10	—	±0.5	±1	
	15	—	±0.1	±0.5	
Input Capacitance, C _{in}	Any Input	—	5	7.7	pF

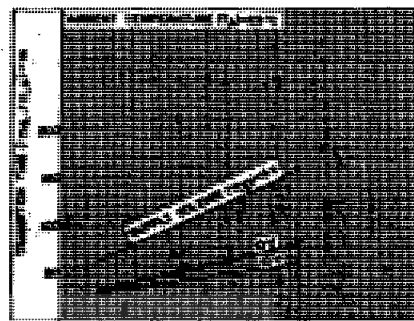


Fig. 10—Typical transition time as a function of load capacitance.

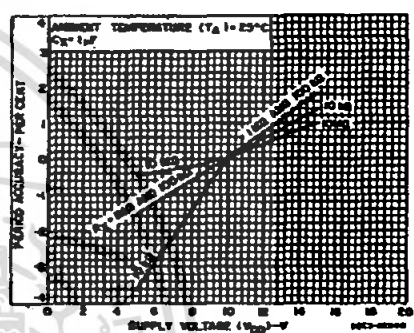


Fig. 11—Typical stable oscillator or Q, Q̄ period accuracy vs. supply voltage.

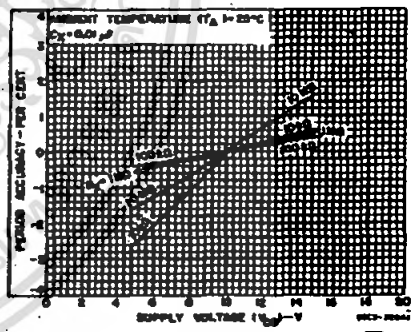


Fig. 12—Typical stable oscillator or Q, Q̄ period accuracy vs. supply voltage.

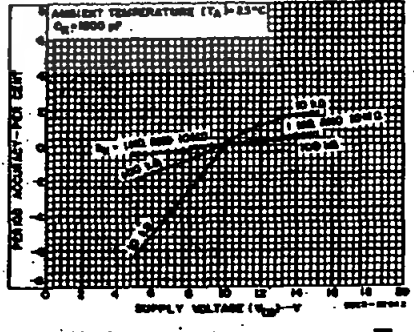


Fig. 13—Typical stable oscillator or Q, Q̄ period accuracy vs. supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4047B Types

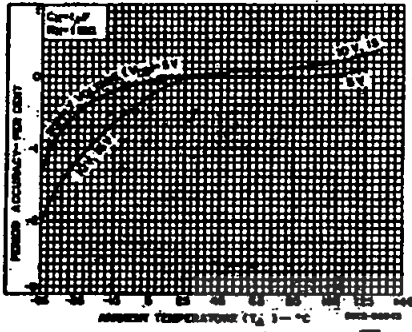


Fig. 14—Typical astable oscillator or Q, Q-bar period accuracy vs. ambient temperature (ultra-low frequency).

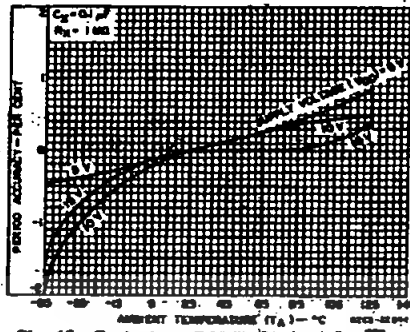


Fig. 15—Typical astable oscillator or Q, Q-bar period accuracy vs. ambient temperature (low frequency).

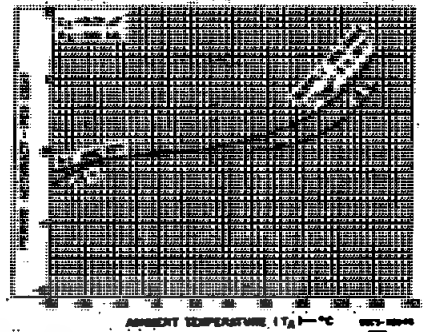


Fig. 16—Typical astable oscillator or Q, Q-bar period accuracy vs. ambient temperature (medium frequency).

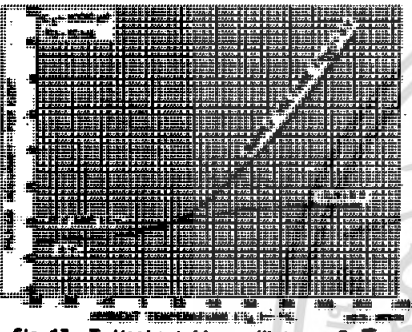


Fig. 17—Typical astable oscillator or Q, Q-bar period accuracy vs. ambient temperature (high-frequency).

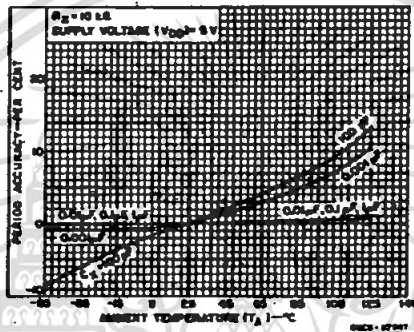


Fig. 18—Typical astable oscillator or Q, Q-bar period accuracy vs. ambient temperature.

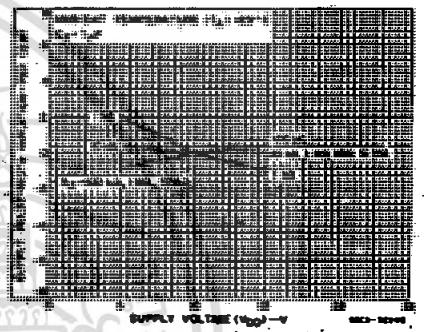


Fig. 19—Typical output pulse-width variations vs. supply voltage.

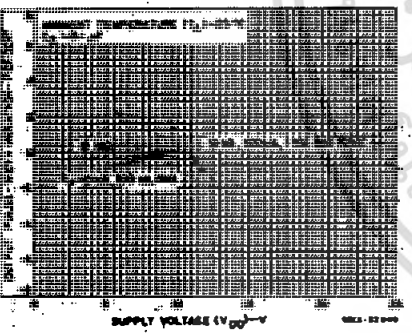


Fig. 20—Typical output pulse-width variations vs. supply voltage.

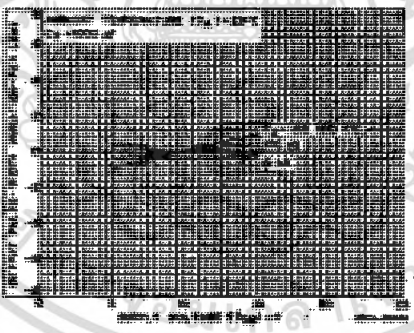


Fig. 21—Typical output pulse-width variations vs. supply voltage.

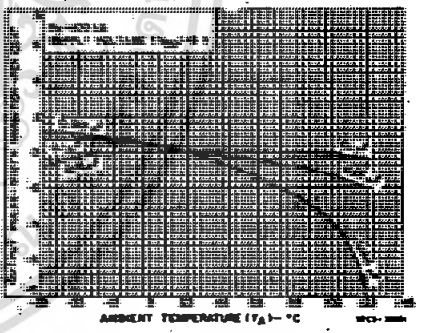


Fig. 22—Typical output pulse-width variations vs. ambient temperature.

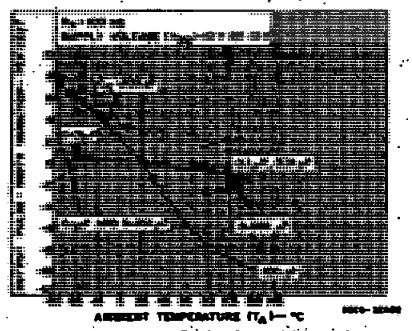


Fig. 23—Typical output pulse-width variations vs. ambient temperature.

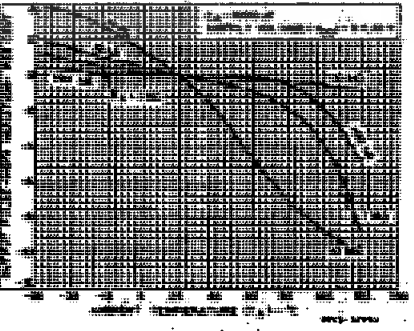


Fig. 24—Typical output pulse-width variations vs. ambient temperature.

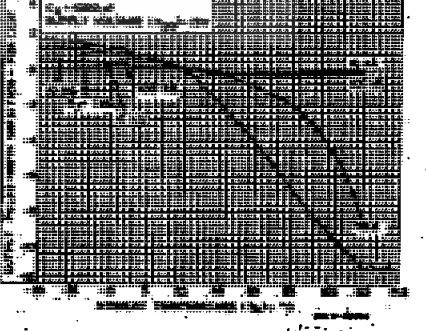


Fig. 25—Typical output pulse-width variations vs. ambient temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4047B Types

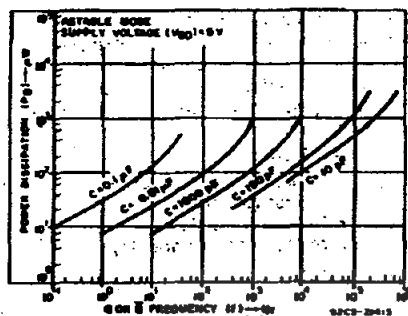


Fig. 26—Typical power dissipation vs. output frequency ($V_{DD} = 5\text{ V}$).

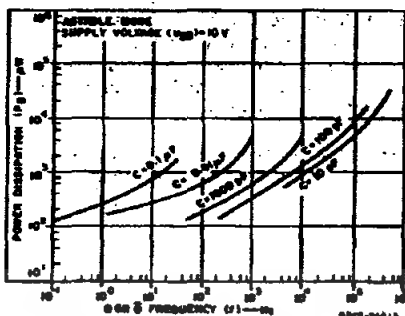


Fig. 27—Typical power dissipation vs. output frequency ($V_{DD} = 10\text{ V}$).

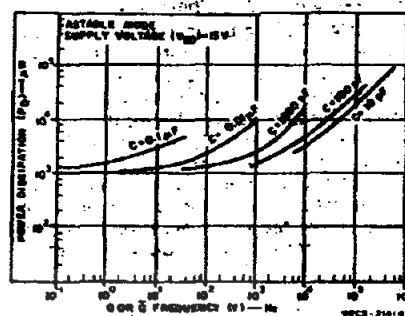


Fig. 28—Typical power dissipation vs. output frequency ($V_{DD} = 15\text{ V}$).

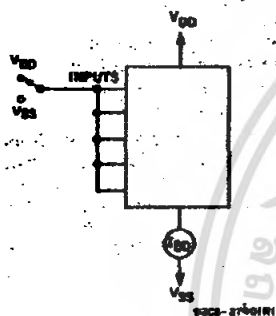


Fig. 29—Quiescent device current test circuit.

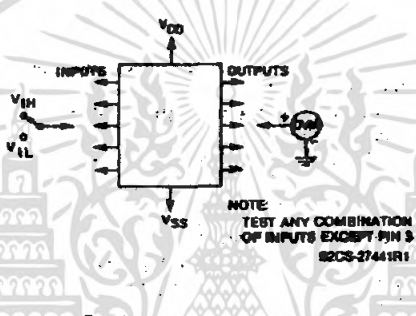


Fig. 30—Input-voltage test circuit.

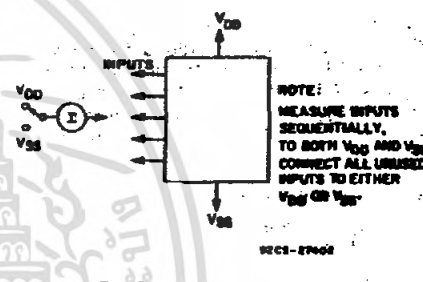


Fig. 31—Input-leakage-current test circuit.

I. Astable Mode Design Information

A. Unit-to-Unit Transfer-Voltage Variations — The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33%—67% V_{DD}) for free-running (astable) operation.

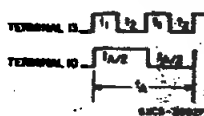


Fig. 32—Astable mode waveforms.

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}};$$

typically, $t_1 = 1.1 RC$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}};$$

typically, $t_2 = 1.1 RC$

$$t_A = 2(t_1 + t_2)$$

$$= -2 RC \ln \frac{(V_{TR}V_{DD} - V_{TR}^2)}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

Typ: $V_{TR} = 0.5 V_{DD}$	$t_A = 4.40 RC$
Min: $V_{TR} = 0.33 V_{DD}$	$t_A = 4.82 RC$
Max: $V_{TR} = 0.67 V_{DD}$	$t_A = 4.82 RC$

thus if $t_A = 4.40 RC$ is used, the variation will be +5%, -0% due to variations in transfer voltage.

B. Variations Due to V_{DD} and Temperature Changes — In addition to variations from unit to unit, the astable period varies with V_{DD} and temperature. Typical variations are presented in graphical form in Figs. 26 to 28 with 10V as reference for voltage-variation curves and 25°C as reference for temperature variations curves.

II. Monostable Mode Design Information
The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33% — 67% V_{DD}) for one-shot (monostable) operation.

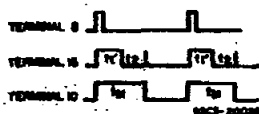


Fig. 33—Monostable waveforms.

$$t_1' = -RC \ln \frac{V_{TR}}{2V_{DD}}$$

typically, $t_1' = 1.38 RC$

$$t_M = (t_1' + t_2)$$

$$t_M = -RC \ln \frac{(V_{TR}(V_{DD} - V_{TR}))}{(2V_{DD} - V_{TR})(2V_{DD})}$$

where t_M = Monostable mode pulse width. Values for t_M are as follows:

Typ: $V_{TR} = 0.5 V_{DD}$	$t_M = 2.48 RC$
Min: $V_{TR} = 0.33 V_{DD}$	$t_M = 2.71 RC$
Max: $V_{TR} = 0.67 V_{DD}$	$t_M = 2.48 RC$

thus if $t_M = 2.48 RC$ is used, the variation will be +0.3%, -0% due to variations in transfer voltage.

Note:
In the astable mode, the first positive half cycle has a duration of t_M ; succeeding durations are $t_A/2$.

In addition to variations from unit to unit, the monostable pulse width varies with V_{DD} and temperature. These variations are presented in graphical form in Fig. 19 to 28 with 10 V as reference for voltage-variation curves and 25°C as reference for temperature-variation curves.

CD4047B Types

III. Retrigger Mode Operation

The CD4047B can be used in the retrigger mode to extend the output-pulse duration, or to compare the frequency of an input signal with that of the internal oscillator. In the retrigger mode the input pulse is applied to terminal 12, and the output is taken from terminal 10 or 11. As shown in Fig. 34 normal monostable action is obtained when one retrigger pulse is applied. Extended pulse duration is obtained when more than one pulse is applied.

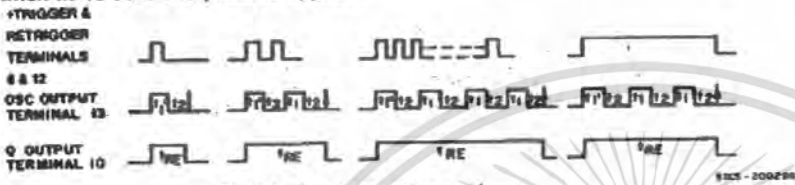


Fig. 34—Retrigger-mode waveforms.

For two input pulses, $t_{RE} = t_1 + t_1 + 2t_2$. For more than two pulses, the output pulse width is an integral number of time periods, with the first time period being $t_1 + t_2$, typically, $2.48RC$, and all subsequent time periods being $t_1 + t_2$, typically, $2.2RC$.

IV. External Counter Option

Time t_M can be extended by any amount with the use of external counting cir-

cuitry. Advantages include digitally controlled pulse duration, small timing capacitors for long time periods, and extremely fast recovery time. A typical implementation is shown in Fig. 35. The pulse duration at the output is

$$t_{ext} = (N - 1)t_A + t_M + t_A/2$$

where t_{ext} = pulse duration of the circuitry, and N is the number of counts used.

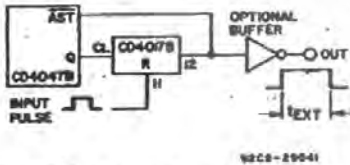


Fig. 35—Implementation of external counter option.

V. Timing-Component Limitations

The capacitor used in the circuit should be non-polarized and have low leakage (i.e. the parallel resistance of the capacitor should be at least an order of magnitude greater than the external resistor used). There is no upper or lower limit for either R or C value to maintain oscillation.

However, in consideration of accuracy, C must be much larger than the inherent stray capacitance in the system (unless this capacitance can be measured and taken into account). R must be much

larger than the CMOS "ON" resistance in series with it, which typically is hundreds of ohms. In addition, with very large values of R , some short-term instability with respect to time may be noted.

The recommended values for these components to maintain agreement with

tion of leakage current in the circuit, as shown in the static electrical characteristics. For dynamic operation, the power needed to charge the external timing capacitor C is given by the following formulae:

Astable Mode:

$$P = 2CV^2f$$

(Output at terminal No. 13)

$$P = 4CV^2f$$

(Output at terminal Nos. 10 and 11)

Monostable Mode:

$$P = \frac{(2.9CV^2)(Duty\ Cycle)}{T}$$

(Output at terminal Nos. 10 and 11)

The circuit is designed so that most of the total power is consumed in the external components. In practice, the lower the values of frequency and voltage used, the closer the actual power dissipation will be to the calculated value.

Because the power dissipation does not depend on R , a design for minimum power dissipation would be a small value of C . The value of R would depend on the desired period (within the limitations discussed above). See Figs. 27, 28, and 29 for typical power consumption in astable mode.

previously calculated formulae without trimming should be:

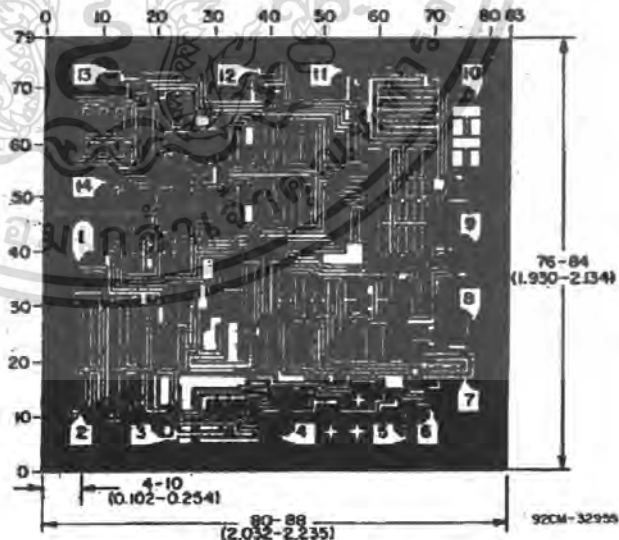
$C \geq 100$ pF, up to any practical value, for astable modes;

$C \geq 1000$ pF, up to any practical value for monostable modes.

$$10\text{ k}\Omega < R < 1\text{ M}\Omega$$

VI. Power Consumption

In the standby mode (Monostable or Astable), power dissipation will be a func-



Chip dimensions and pad layout for CD4047B

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OPTION ADDENDUM



28-Feb-2005

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
8102001CA	ACTIVE	CDIP	J	14	1	None	Call TI	Level-NC-NC-NC
CD4047BD3	ACTIVE	CDIP SB	JD	14	1	None	Call TI	Level-NC-NC-NC
CD4047BE	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
CD4047BF	ACTIVE	CDIP	J	14	1	None	Call TI	Level-NC-NC-NC
CD4047BF3A	ACTIVE	CDIP	J	14	1	None	Call TI	Level-NC-NC-NC
CD4047BM	ACTIVE	SOIC	D	14	50	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
CD4047BM96	ACTIVE	SOIC	D	14	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
CD4047BMT	ACTIVE	SOIC	D	14	250	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
CD4047BNSR	ACTIVE	SO	NS	14	2000	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
CD4047BPW	ACTIVE	TSSOP	PW	14	90	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM
CD4047BPWR	ACTIVE	TSSOP	PW	14	2000	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - May not be currently available - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

None: Not yet available Lead (Pb-Free).

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean "Pb-Free" and in addition, uses package materials that do not contain halogens, including bromine (Br) or antimony (Sb) above 0.1% of total product weight.

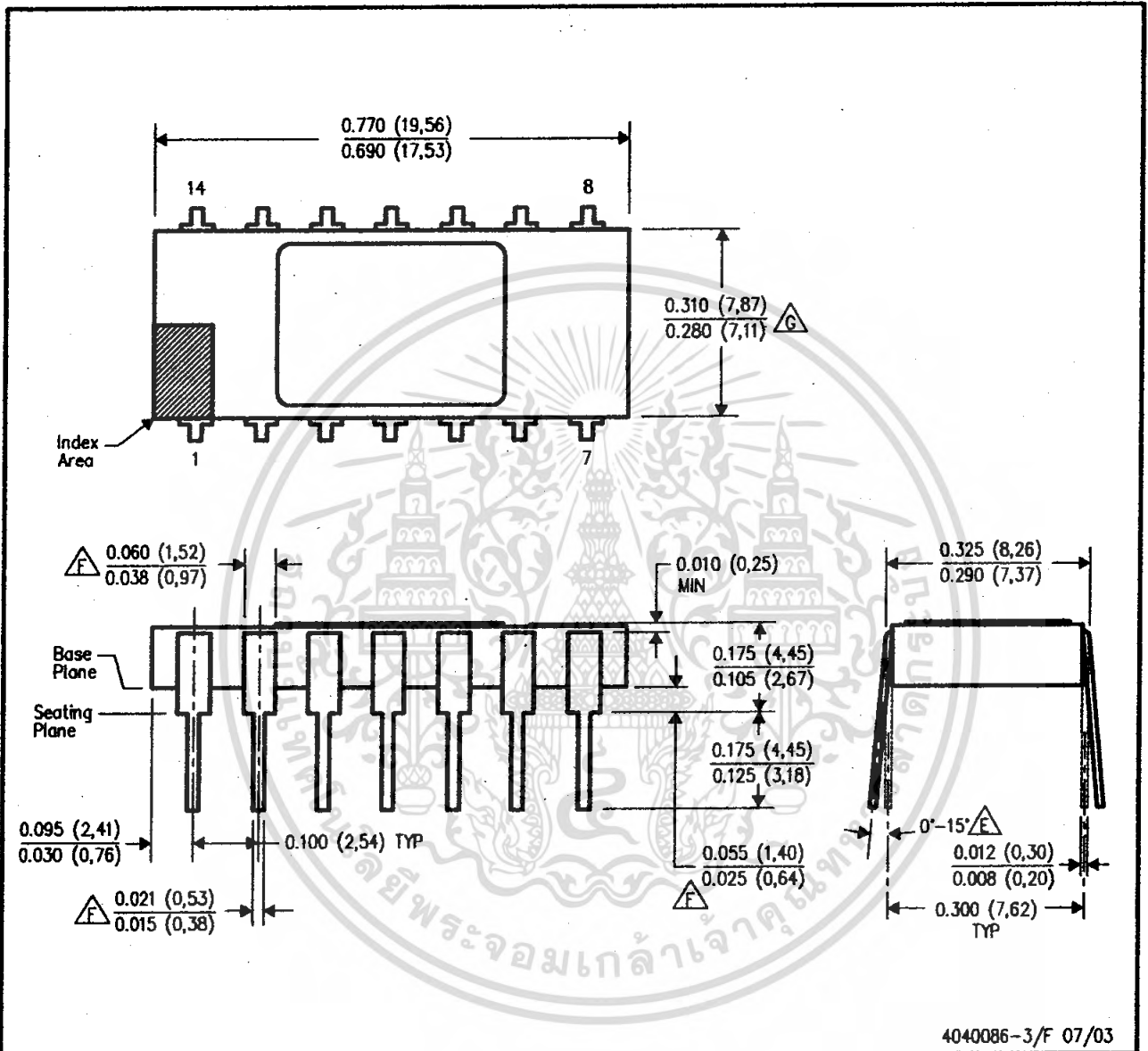
⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

JD (R-CDIP-T14)

CERAMIC SIDE-BRAZE DUAL-IN-LINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Controlling dimension: inch.
 - D. Leads within 0.005 (0,13) radius of true position (TP) at gage plane with maximum material condition and unit installed.
 - E. Angle applies to spread leads prior to installation.
 - F. Outlines on which the seating plane is coincident with the plane (standoff = 0), terminals lead standoffs are not required, and lead shoulder may equal lead width along any part of the lead above the seating/base plane.
 - G. Body width does not include particles of packing materials.
 - H. A visual index feature must be located within the cross-hatched area.

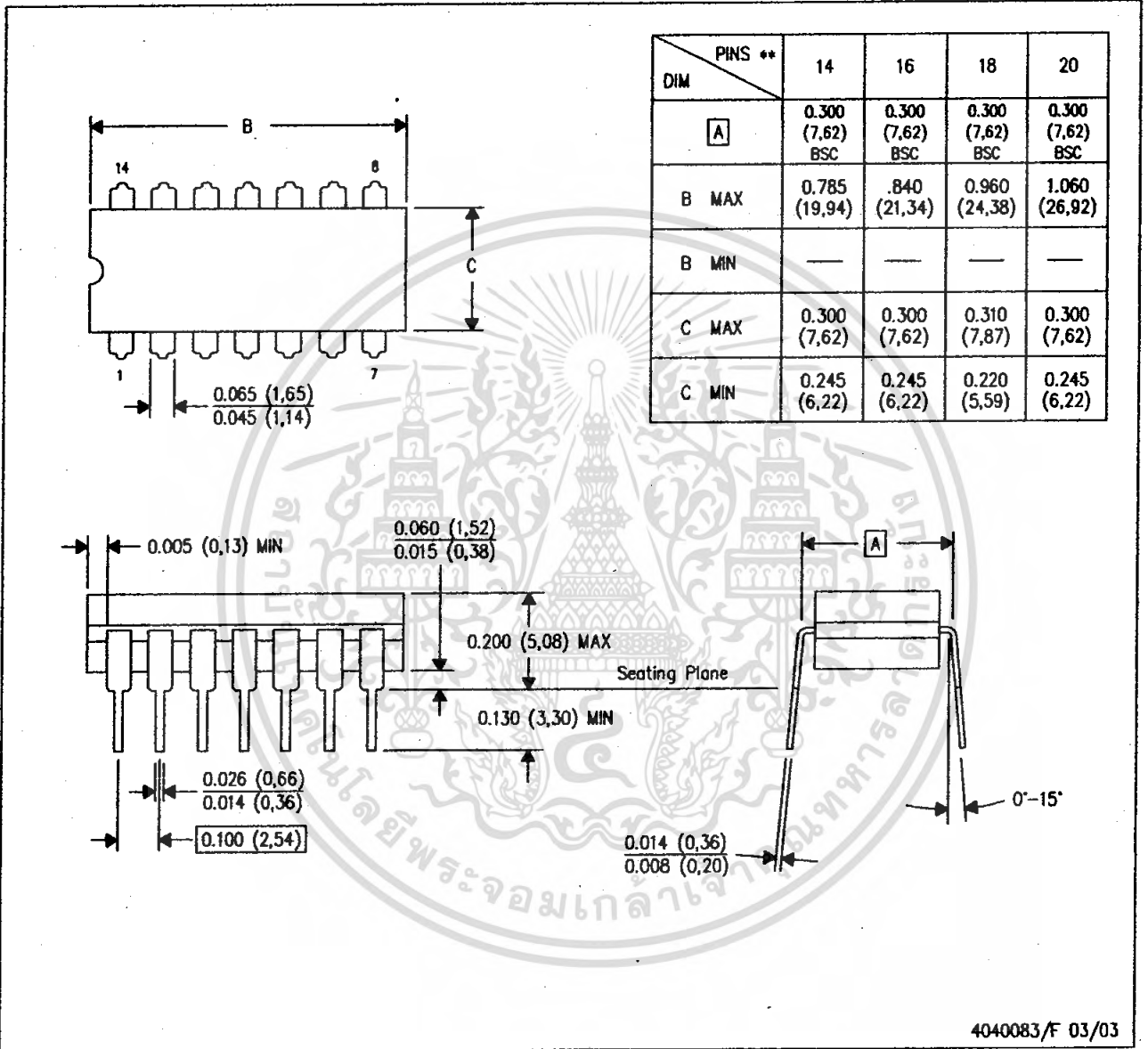
 **TEXAS
INSTRUMENTS**
www.ti.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J (R-GDIP-T**)

CERAMIC DUAL IN-LINE PACKAGE

14 LEADS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

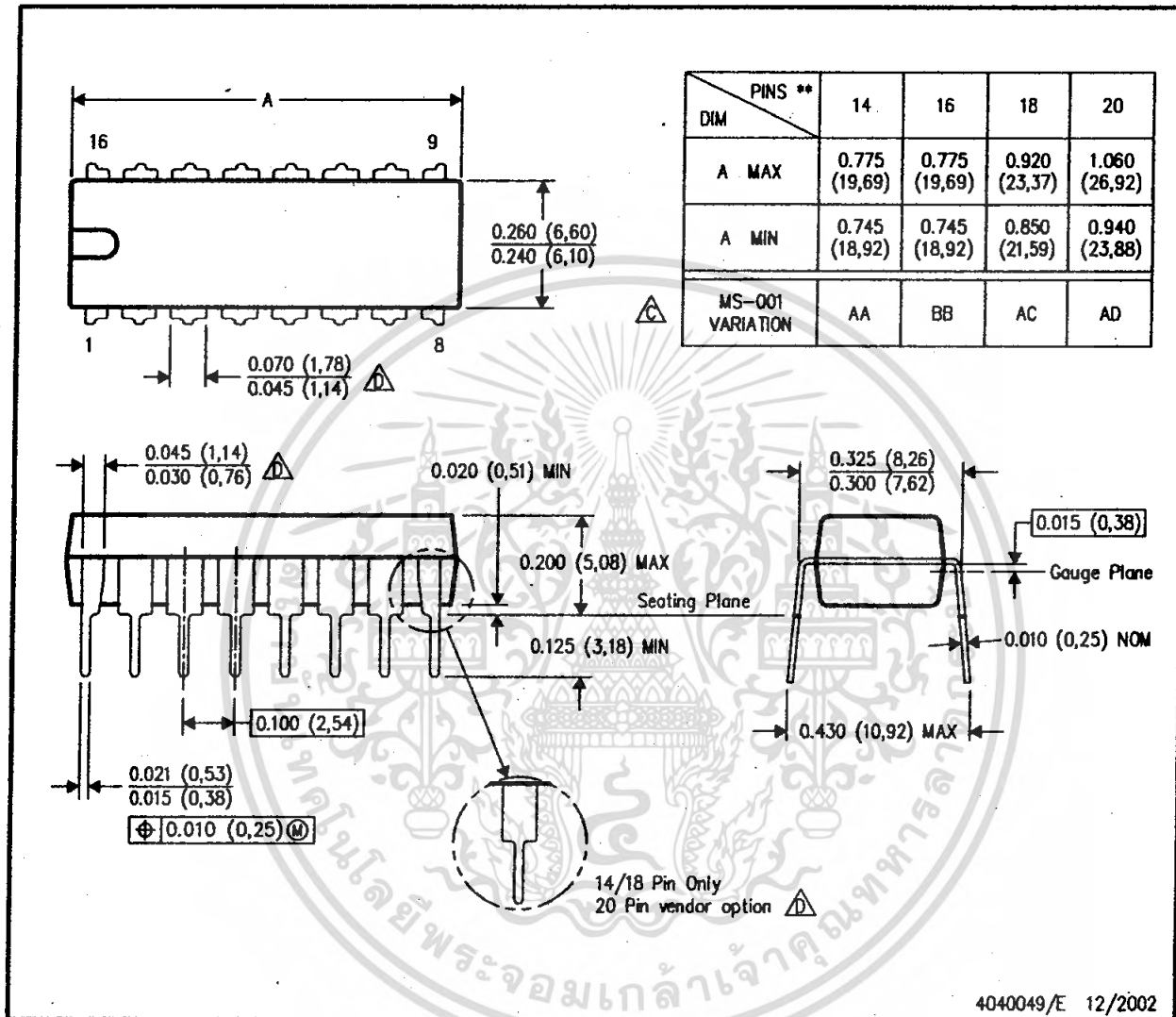
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL DATA

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

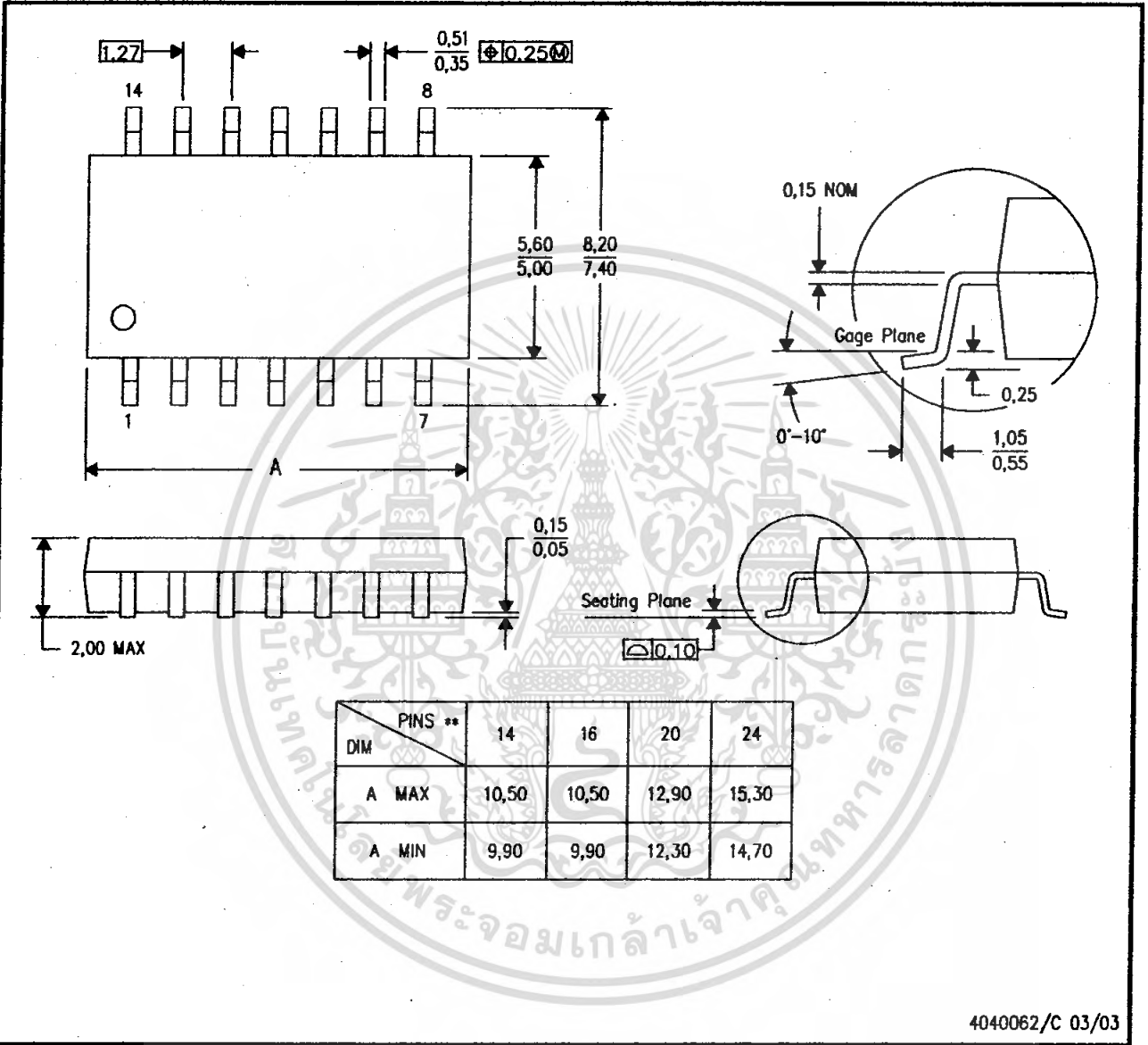


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL DATA

NS (R-PDSO-G**)
14-PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

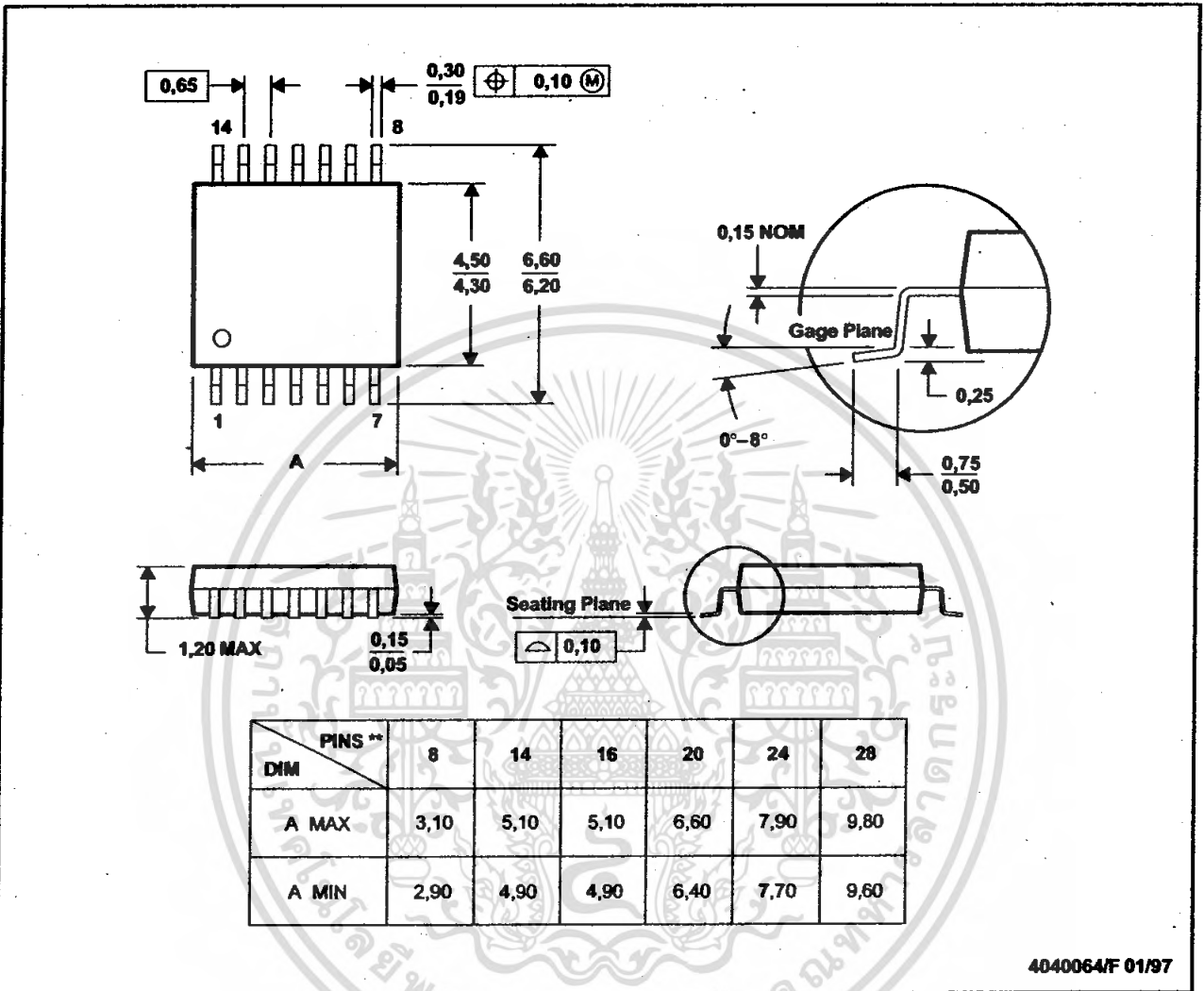
MECHANICAL DATA

MTSS001C - JANUARY 1995 - REVISED FEBRUARY 1999

PW (R-PDSO-G)**

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



4040064/F 01/97

- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-153



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... POST OFFICE BOX 655303 • DALLAS, TEXAS 75265...
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		Applications	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2005, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค

ข้อมูลของ IGBT เบอร์ IRG4PH40UD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International IR Rectifier

PD- 91621B

IRG4PH40UD

INSULATED GATE BIPOLAR TRANSISTOR WITH
ULTRAFAST SOFT RECOVERY DIODE

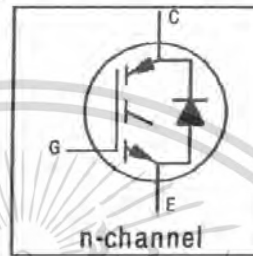
UltraFast CoPack IGBT

Features

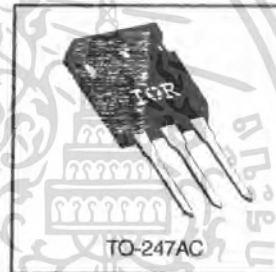
- UltraFast: Optimized for high operating frequencies up to 40 kHz in hard switching, >200 kHz in resonant mode
- New IGBT design provides tighter parameter distribution and higher efficiency than previous generations
- IGBT co-packaged with HEXFRED™ ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard TO-247AC package

Benefits

- Higher switching frequency capability than competitive IGBTs
- Highest efficiency available
- HEXFRED diodes optimized for performance with IGBT's. Minimized recovery characteristics require less/no snubbing



$V_{CES} = 1200V$
$V_{CE(on)} \text{ typ.} = 2.43V$
@ $V_{GE} = 15V, I_C = 21A$



Absolute Maximum Ratings

Parameter	Max.	Units	
V_{CES}	Collector-to-Emitter Breakdown Voltage	1200	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	41	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	21	
I_{CM}	Pulsed Collector Current Φ	82	
I_{LM}	Clamped Inductive Load Current Φ	82	
$I_F @ T_C = 100^\circ C$	Diode Continuous Forward Current	8.0	
I_{FM}	Diode Maximum Forward Current	130	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	160	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	65	
T_J	Operating Junction and	-55 to + 150	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1N•m)	

Thermal Resistance

Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	0.77	°C/W
$R_{\theta JD}$	Junction-to-Case - Diode	—	1.7	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.24	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	40	
Wt	Weight	—	6 (0.21)	g (oz)

www.irf.com

7/7/2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRG4PH40UD

International
IGR RectifierElectrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)CES}$	1200	—	—	V	$V_{GE} = 0\text{V}$, $I_C = 250\mu\text{A}$
$\Delta V_{(BR)CES}/\Delta T_J$	—	0.43	—	V/°C	$V_{GE} = 0\text{V}$, $I_C = 1.0\text{mA}$
$V_{CE(on)}$	—	2.43	3.1	V	$I_C = 21\text{A}$ $I_C = 41\text{A}$ $I_C = 21\text{A}$, $T_J = 150^\circ\text{C}$ $V_{GE} = 15\text{V}$ See Fig. 2, 5
	—	2.97	—		
	—	2.47	—		
$V_{GE(th)}$	3.0	—	6.0		$V_{CE} = V_{GE}$, $I_C = 250\mu\text{A}$
$\Delta V_{GE(th)}/\Delta T_J$	—	-11	—	mV/°C	$V_{CE} = V_{GE}$, $I_C = 250\mu\text{A}$
g_{fs}	16	24	—	S	$V_{CE} = 100\text{V}$, $I_C = 21\text{A}$
I_{CES}	—	—	250	μA	$V_{GE} = 0\text{V}$, $V_{CE} = 600\text{V}$ $V_{GE} = 0\text{V}$, $V_{CE} = 600\text{V}$, $T_J = 150^\circ\text{C}$
	—	—	5000		
V_{FM}	—	2.6	3.3	V	$I_C = 8.0\text{A}$ $I_C = 8.0\text{A}$, $T_J = 125^\circ\text{C}$ See Fig. 13
	—	2.4	3.1		
I_{GES}	—	—	± 100	nA	$V_{GE} = \pm 20\text{V}$

Switching Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

Parameter	Min.	Typ.	Max.	Units	Conditions
Q_g	—	86	130	nC	$I_C = 21\text{A}$ $V_{CC} = 400\text{V}$ $V_{GE} = 15\text{V}$ See Fig. 8
Q_{ge}	—	13	20		
Q_{gc}	—	29	44		
$t_{d(on)}$	—	46	—	ns	$T_J = 25^\circ\text{C}$ $I_C = 21\text{A}$, $V_{CC} = 800\text{V}$ $V_{GE} = 15\text{V}$, $R_G = 10\Omega$ Energy losses include "tail" and diode reverse recovery. See Fig. 9, 10, 18
t_r	—	35	—		
$t_{d(off)}$	—	97	150		
t_f	—	240	360		
E_{on}	—	1.80	—		
E_{off}	—	1.93	—	mJ	$T_J = 150^\circ\text{C}$, See Fig. 11, 18 $I_C = 21\text{A}$, $V_{CC} = 800\text{V}$ $V_{GE} = 15\text{V}$, $R_G = 10\Omega$ Energy losses include "tail" and diode reverse recovery.
E_{ts}	—	3.73	4.6		
$t_{d(on)}$	—	42	—	ns	$T_J = 150^\circ\text{C}$, See Fig. 11, 18 $I_C = 21\text{A}$, $V_{CC} = 800\text{V}$ $V_{GE} = 15\text{V}$, $R_G = 10\Omega$ Energy losses include "tail" and diode reverse recovery.
t_r	—	32	—		
$t_{d(off)}$	—	240	—		
t_f	—	510	—		
E_{ts}	—	7.04	—		
L_E	—	13	—	nH	Measured 5mm from package
C_{ies}	—	1800	—	pF	$V_{GE} = 0\text{V}$ $V_{CC} = 30\text{V}$ $f = 1.0\text{MHz}$ See Fig. 7
C_{oes}	—	120	—		
C_{res}	—	18	—		
t_{rr}	—	63	95	ns	$T_J = 25^\circ\text{C}$ See Fig. 14 $T_J = 125^\circ\text{C}$ 14
	—	106	160		
I_{rr}	—	4.5	8.0	A	$T_J = 25^\circ\text{C}$ See Fig. 15 $T_J = 125^\circ\text{C}$ 15
	—	6.2	11		
Q_{rr}	—	140	380	nC	$T_J = 25^\circ\text{C}$ See Fig. 16 $T_J = 125^\circ\text{C}$ 16
	—	335	880		
$di_{(rec)}/dt$	—	133	—	A/ μs	$T_J = 25^\circ\text{C}$ See Fig. 17 $T_J = 125^\circ\text{C}$ 17
	—	85	—		

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IR Rectifier

IRG4PH40UD

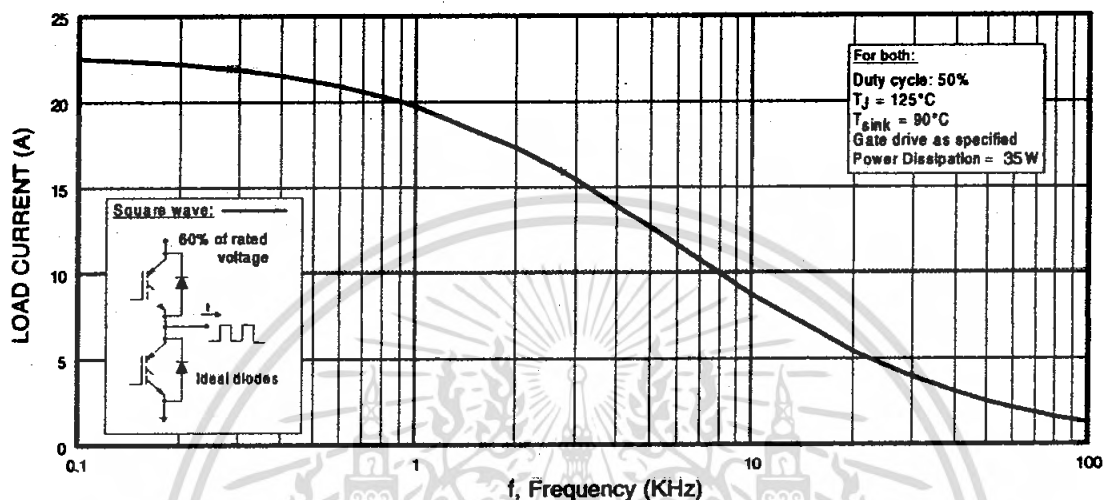


Fig. 1 - Typical Load Current vs. Frequency
 (Load Current = I_{RMS} of fundamental)

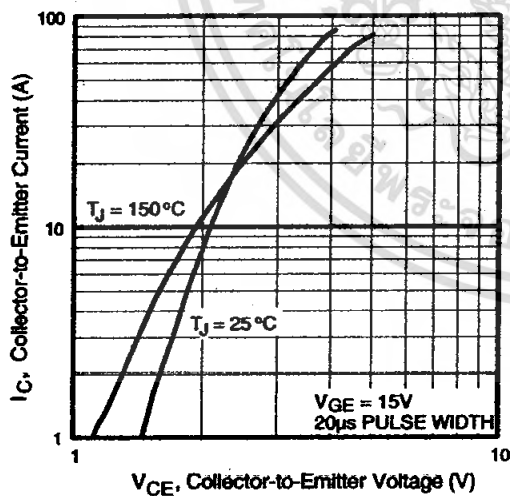


Fig. 2 - Typical Output Characteristics

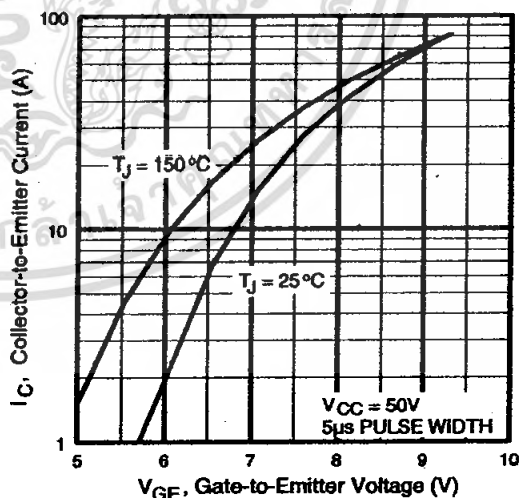


Fig. 3 - Typical Transfer Characteristics

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRG4PH40UD

International
IR Rectifier

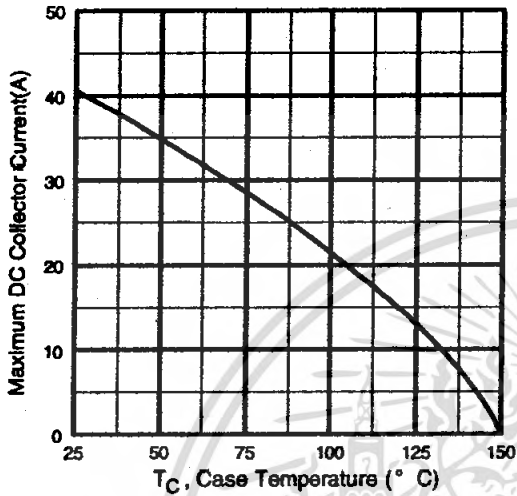


Fig. 4 - Maximum Collector Current vs. Case Temperature

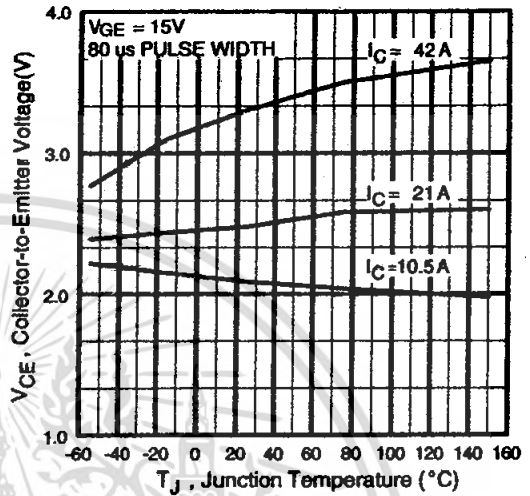


Fig. 5 - Typical Collector-to-Emitter Voltage vs. Junction Temperature

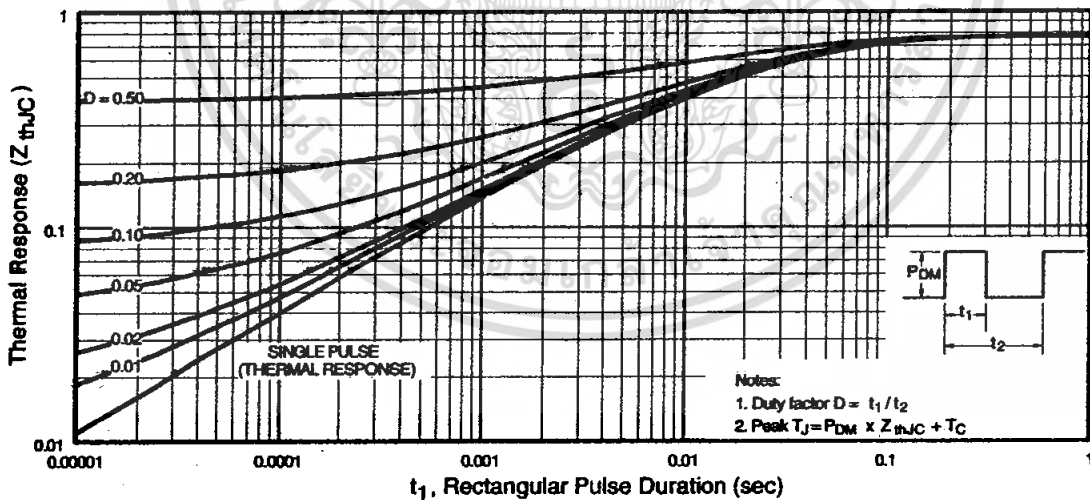


Fig. 6 - Maximum Effective Transient Thermal Impedance, Junction-to-Case

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IR Rectifier

IRG4PH40UD

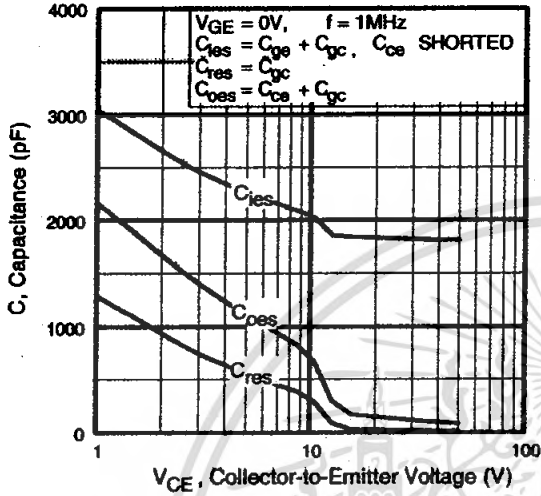


Fig. 7 - Typical Capacitance vs. Collector-to-Emitter Voltage

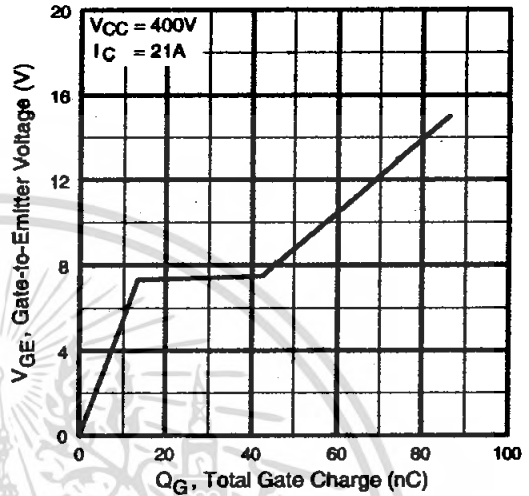


Fig. 8 - Typical Gate Charge vs. Gate-to-Emitter Voltage

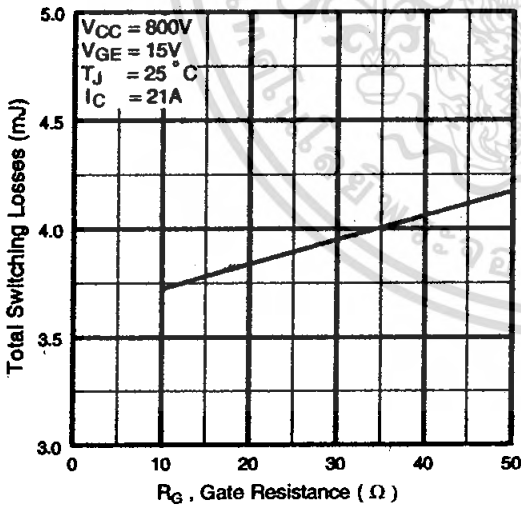


Fig. 9 - Typical Switching Losses vs. Gate Resistance

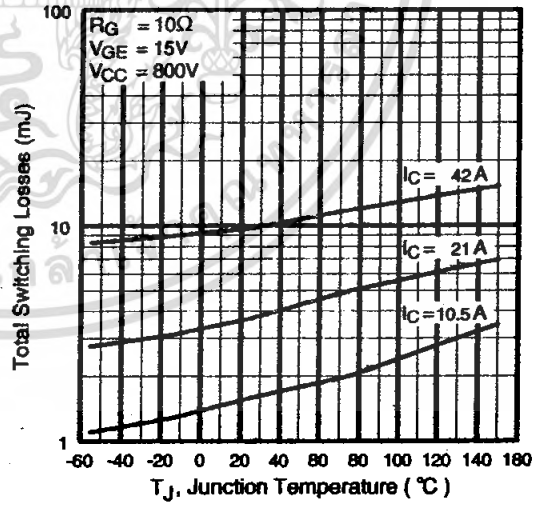


Fig. 10 - Typical Switching Losses vs. Junction Temperature

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRG4PH40UD

International
IGBT Rectifier

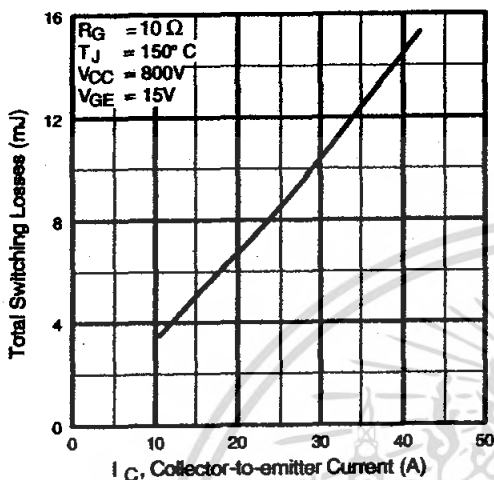


Fig. 11 - Typical Switching Losses vs. Collector-to-Emitter Current

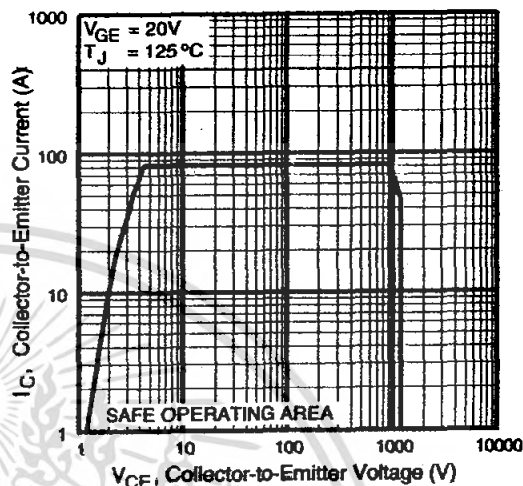


Fig. 12 - Turn-Off SOA

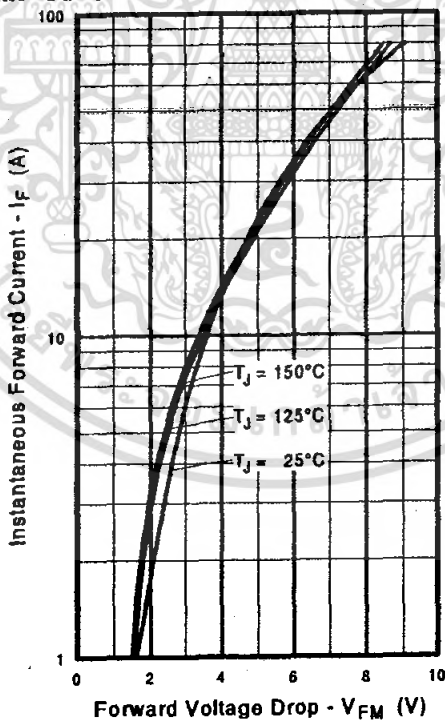


Fig. 13 - Maximum Forward Voltage Drop vs. Instantaneous Forward Current

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IRG Rectifier

IRG4PH40UD

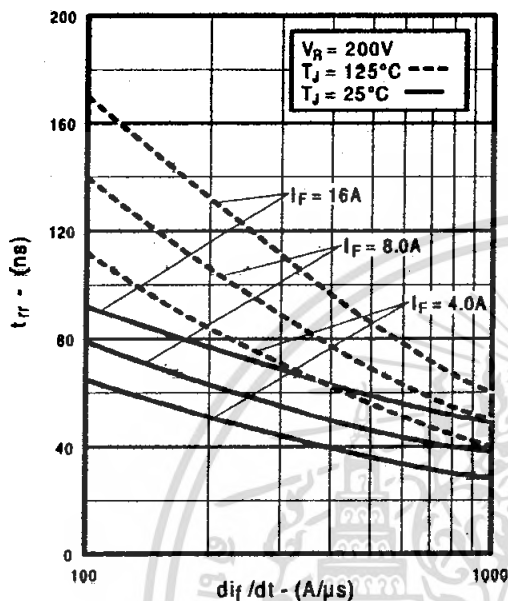


Fig. 14 - Typical Reverse Recovery vs. di_f/dt

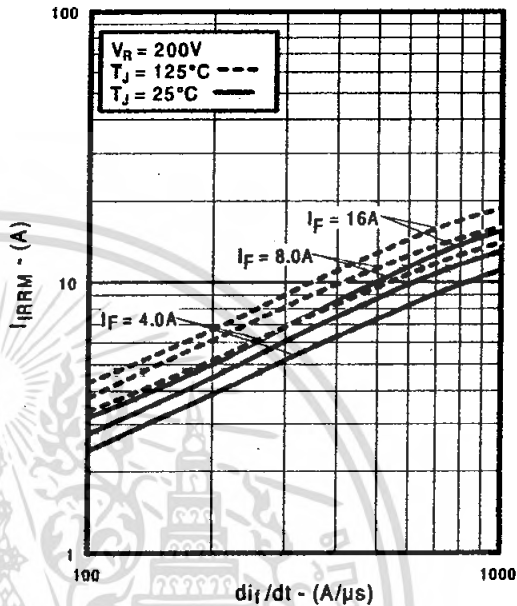


Fig. 15 - Typical Recovery Current vs. di_f/dt

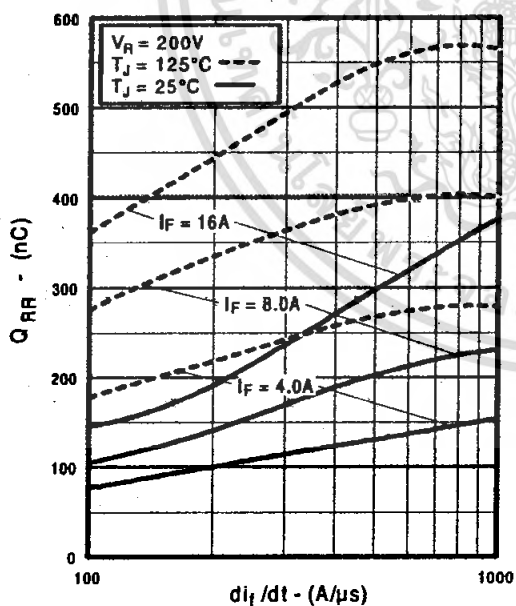


Fig. 16 - Typical Stored Charge vs. di_f/dt

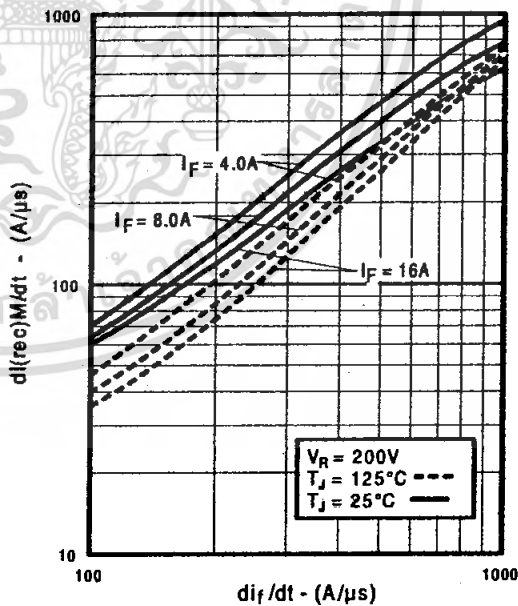


Fig. 17 - Typical $di_{(rec)M}/dt$ vs. di_f/dt

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRG4PH40UD

International
IR Rectifier

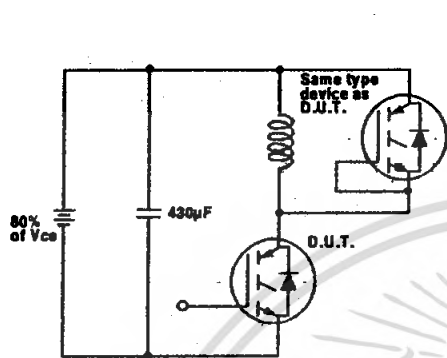


Fig. 18a - Test Circuit for Measurement of I_{LM} , E_{on} , $E_{off(diode)}$, t_{rr} , Q_{rr} , I_{rr} , $t_d(on)$, t_r , $t_d(off)$, t_f

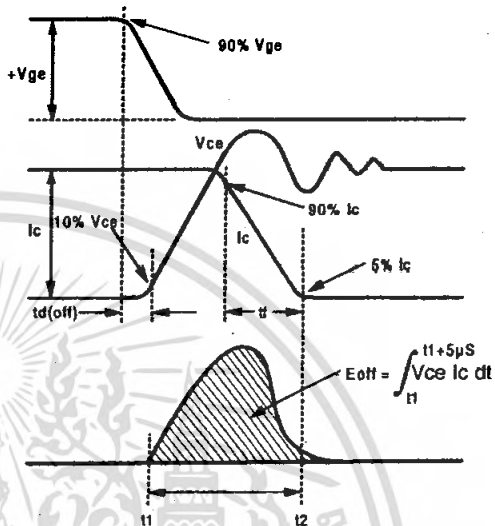


Fig. 18b - Test Waveforms for Circuit of Fig. 18a, Defining E_{off} , $t_d(off)$, t_r

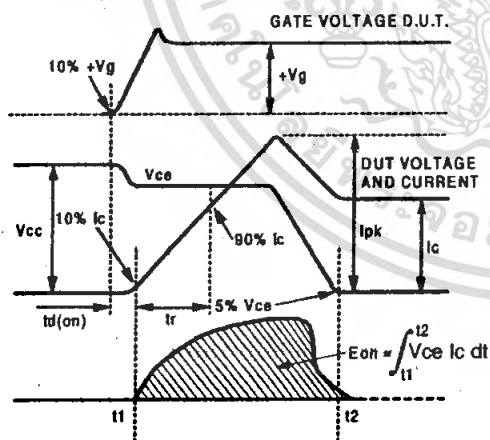


Fig. 18c - Test Waveforms for Circuit of Fig. 18a, Defining E_{on} , $t_d(on)$, t_r

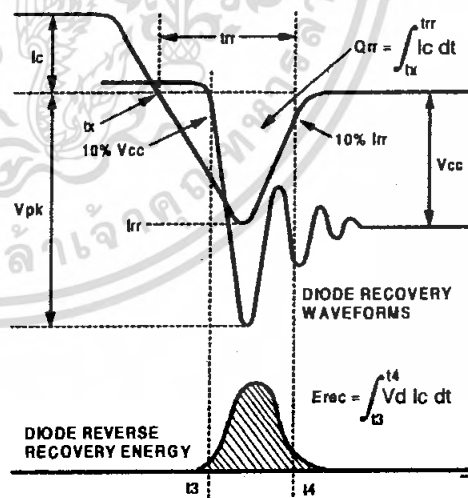


Fig. 18d - Test Waveforms for Circuit of Fig. 18a, Defining E_{rec} , t_{rr} , Q_{rr} , I_{rr}

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

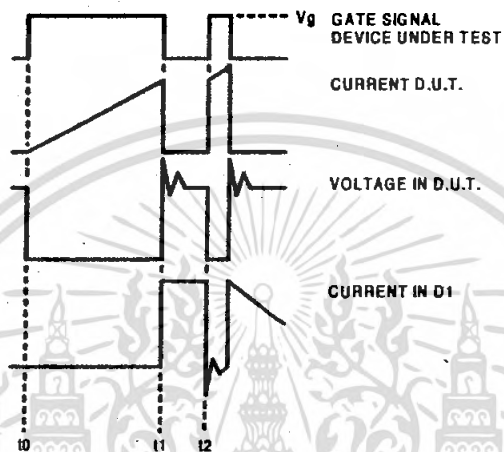


Figure 18e. Macro Waveforms for Figure 18a's Test Circuit

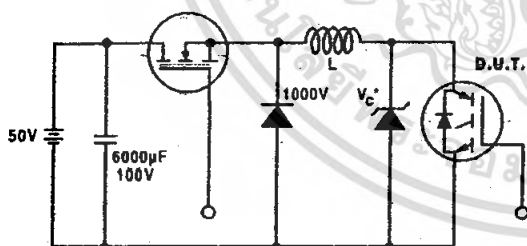


Figure 19. Clamped Inductive Load Test Circuit

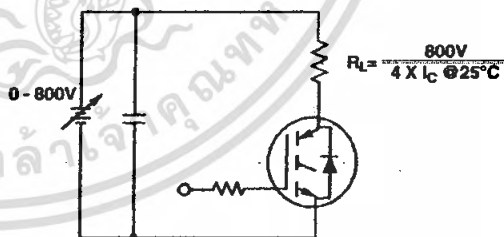


Figure 20. Pulsed Collector Current Test Circuit

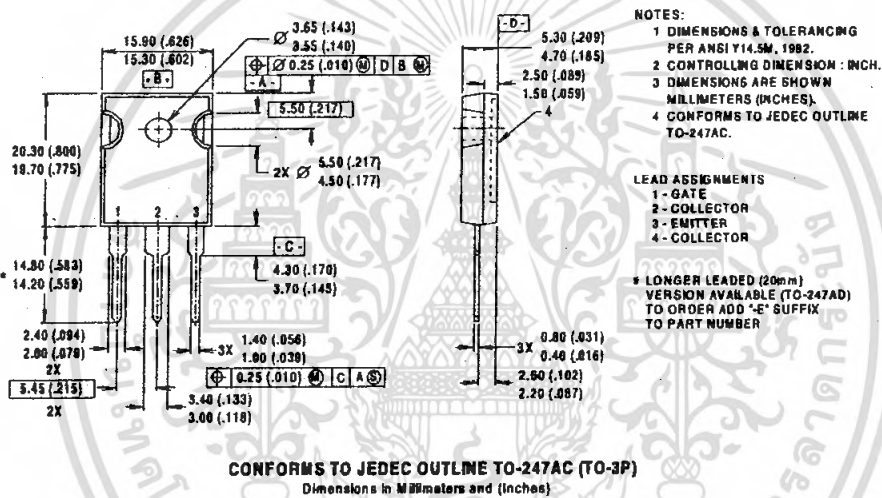
IRG4PH40UD

International
IR Rectifier

Notes:

- ① Repetitive rating: $V_{GE}=20V$; pulse width limited by maximum junction temperature (figure 20)
- ② $V_{CC}=80\%(V_{CES})$, $V_{GE}=20V$, $L=10\mu H$, $R_G=10\Omega$ (figure 19)
- ③ Pulse width $\leq 80\mu s$; duty factor $\leq 0.1\%$.
- ④ Pulse width $5.0\mu s$, single shot.

Case Outline — TO-247AC



International
IR Rectifier

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, USA Tel: (310) 252-7105
IR EUROPEAN REGIONAL CENTRE: 439/445 Godstone Rd, Whyteleafe, Surrey CR3 0BL, UK Tel: ++ 44 (0)20 8645 8000
IR CANADA: 15 Lincoln Court, Brampton, Ontario L6T3Z2, Tel: (905) 453 2200
IR GERMANY: Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 (0) 6172 96590
IR ITALY: Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 011 451 0111
IR JAPAN: K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo 171 Tel: 81 (0)3 3983 0086
IR SOUTHEAST ASIA: 1 Kim Seng Promenade, Great World City West Tower, 13-11, Singapore 237994 Tel: ++ 65 (0)838 4630
IR TAIWAN: 16 Fl. Suite D. 207, Sec. 2, Tun Haw South Road, Taipei, 10673 Tel: 886-(0)2 2377 9936
Data and specifications subject to change without notice. 7/00

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA PHOTOCOUPLER GaAlAs IRED & PHOTO-IC

TLP250(INV)

**TRANSISTOR INVERTER
INVERTERS FOR AIR CONDITIONER
IGBT GATE DRIVE
POWER MOS FET GATE DRIVE**

The TOSHIBA TLP250(INV) consists of a GaAlAs light emitting diode and a integrated photodetector.

This unit is 8-lead DIP.

TLP250(INV) is suitable for gate driving circuit of IGBT or power MOS FET.

- Input Threshold Current : $I_F=5\text{mA(MAX)}$
- Supply Current(I_{CC}) : 11mA(MAX)
- Supply Voltage(VCC) : $10\sim 35\text{V}$
- Output Current(I_O) : $\pm 2.0\text{A(MAX)}$
- Switching Time(tpLH/tpHL) : $0.5\mu\text{s(MAX)}$
- Isolation Voltage : 2500Vrms
- UL Recognized : UL1577,File No.E67349
- Option(D4)

VDE Approved : DIN VDE0884/06.92 Certificate No.76823

Maximum Operating Insulation Voltage : 630V_{PK}

Highest Permissible Over Voltage : 4000V_{PK}

(Note):When a VDE0884 approved type is needed,

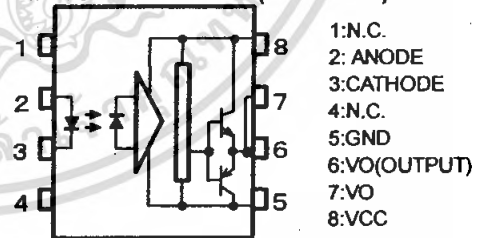
Please designate the "Option(D4)"

- Creepage Distance : 6.4mm(MIN)
- Clearance : 6.4mm(MIN)

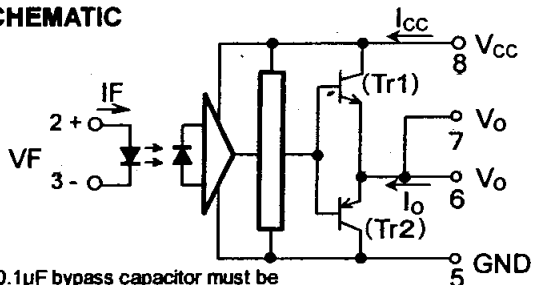
TRUTH TABLE

		Tr 1	Tr 2
INPUT LED	ON	ON	OFF
	OFF	OFF	ON

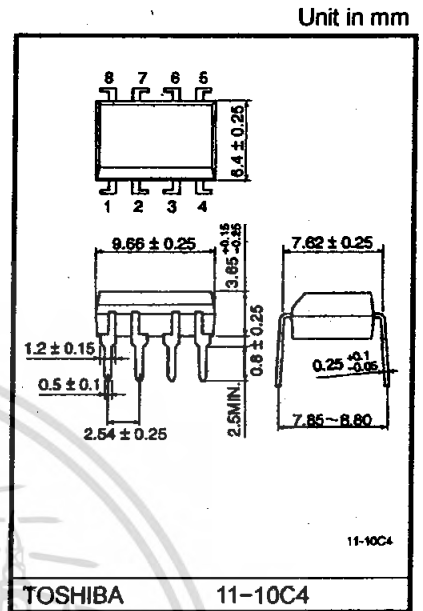
PIN CONFIGURATION(TOP VIEW)



SCHEMATIC



A 0.1 μF bypass capacitor must be connected between pin 8 and 5(See Note 5).



Weight: 0.54 g

MAXIMUM RATINGS (Ta=25°C)

CHARACTERISTIC			SYMBOL	RATING	UNIT	
LED	Forward Current		I_F	20	mA	
	Forward Current Derating (Ta≥70°C)		$\Delta I_F / \Delta T_a$	-0.36	mA/°C	
	Peak Transient Forward Current (Note 1)		I_{FPT}	1	A	
	Reverse Voltage		V_R	5	V	
	Junction Temperature		T_J	125	°C	
DETECTOR	"H" Peak Output Current	PW ≤ 2.5μs, fs 15 kHz	I_{OPH}	-1.5	A	
		PW ≤ 1.0μs, fs 15 kHz		-2.0		
	"L" Peak Output Current	PW ≤ 2.5μs, fs 15 kHz	I_{OPL}	+1.5	A	
		PW ≤ 1.0μs, fs 15 kHz		+2.0		
	Output Voltage		(Ta ≤ 70°C)	V_O	35	V
			(Ta = 85°C)		24	
	Supply Voltage		(Ta ≤ 70°C)	V_{CC}	35	V
			(Ta = 85°C)		24	
	Output Voltage Derating (Ta ≥ 70°C)			$\Delta V_O / \Delta T_a$	-0.73	V/°C
	Supply Voltage Derating (Ta ≥ 70°C)			$\Delta V_{CC} / \Delta T_a$	-0.73	V/°C
Junction Temperature			T_J	125	°C	
Operating Frequency (Note 3)			f	25	kHz	
Operating Temperature Range			T_{opr}	-20~85	°C	
Storage Temperature Range			T_{stg}	-55~125	°C	
Lead Soldering Temperature(10s)			T_{sol}	260	°C	
Isolation Voltage (AC, 1min., R.H. ≤ 60%, Ta=25°C) (Note 4)			BV_S	2500	Vrms	

(Note 1) : Pulse width PW ≤ 1μs, 300pps

(Note 2) : Exponential Waveform

(Note 3) : Exponential Waveform $I_{OPH} \leq -1.0A$ (≤ 2.5μs), $I_{OPL} \leq +1.0A$ (≤ 2.5μs)

(Note 4) : Device considered a two terminal device : pins 1,2,3 and 4 shorted together and pins 5,6,7 and 8 shorted together.

(Note 5) : A ceramic capacitor(0.1μF) should be connected from pin 8 to pin 5 to stabilize the operation of the high gain linear amplifier. Failure to provide the bypassing may impair the switching property. The total lead length between capacitor and coupler should not exceed 1cm.

RECOMMENDED OPERATING CONDITIONS

CHARACTERISTIC	SYMBOL	MIN	TYP.	MAX	UNIT	
Input Current, ON	$I_{F(ON)}$	7	8	10	mA	
Input Voltage, OFF	$V_{F(OFF)}$	0	—	0.8	V	
Supply Voltage	V_{CC}	15	—	30	20	V
Peak Output Current	I_{OPH} / I_{OPL}	—	—	±0.5	A	
Operating Temperature	T_{opr}	-20	25	70	85	°C

ELECTRICAL CHARACTERISTICS (Ta = -20~70°C, Unless otherwise specified)

CHARACTERISTIC		SYMBOL	TEST CIRCUIT	TEST CONDITION	MIN	TYP.	MAX	UNIT	
Input Forward Voltage		V_F	—	$I_F = 10 \text{ mA}$, $T_a = 25^\circ\text{C}$	—	1.6	1.8	V	
Temperature Coefficient of Forward Voltage		$\Delta V_F / \Delta T_a$	—	$I_F = 10 \text{ mA}$	—	-2.0	—	mV/°C	
Input Reverse Current		I_R	—	$V_R = 5 \text{ V}$, $T_a = 25^\circ\text{C}$	—	—	10	μA	
Input Capacitance		C_T	—	$V = 0$, $f = 1 \text{ MHz}$, $T_a = 25^\circ\text{C}$	—	45	250	pF	
Output Current	"H" Level	I_{OPH}	2	$V_{CC} = 30 \text{ V}$ (*1)	$I_F = 10 \text{ mA}$ $V_{8-6} = 4 \text{ V}$	-1.0	-1.5	—	A
	"L" Level	I_{OPL}	1			$I_F = 0$ $V_{8-5} = 2.5 \text{ V}$	1.0	2	
Output Voltage	"H" Level	V_{OH}	3	$V_{CC1} = +15 \text{ V}$ $V_{EE1} = -15 \text{ V}$ $R_L = 200\Omega$, $I_F = 5 \text{ mA}$	11	12.8	—	V	
	"L" Level	V_{OL}	4	$V_{CC1} = +15 \text{ V}$ $V_{EE1} = -15 \text{ V}$ $R_L = 200\Omega$, $V_F = 0.8 \text{ V}$	—	-14.2	-12.5		
Supply Current	"H" Level	I_{CCH}	—	$V_{CC} = 30 \text{ V}$	$I_F = 10 \text{ mA}$ $T_a = 25^\circ\text{C}$	—	7	—	mA
					$I_F = 10 \text{ mA}$	—	—	11	
	"L" Level	I_{CCL}	—		$I_F = 0 \text{ mA}$ $T_a = 25^\circ\text{C}$	—	7.5	—	mA
					$I_F = 0 \text{ mA}$	—	—	11	
Threshold Input Current	L→H	I_{FLH}	—	$V_{CC1} = +15 \text{ V}$ $V_{EE1} = -15 \text{ V}$ $R_L = 200\Omega$, $V_O > 0\text{V}$	—	1.2	5	mA	
Threshold Input Voltage	H→L	V_{FHL}	—	$V_{CC1} = +15 \text{ V}$ $V_{EE1} = -15 \text{ V}$ $R_L = 200\Omega$, $V_O < 0\text{V}$	0.8	—	—	V	
Supply Voltage		V_{CC}	—	—	10	—	35	V	
Capacitance (Input-Output)		C_S	—	$V_s = 0$, $f = 1 \text{ MHz}$, $T_a = 25^\circ\text{C}$	—	1.0	2.0	pF	
Resistance (Input-Output)		R_S	—	$V_s = 500 \text{ V}$, $T_a = 25^\circ\text{C}$ $R.H. \leq 60\%$	1×10^{12}	10^{14}	—	Ω	

(*): All typical values are at $T_a = 25^\circ\text{C}$

(*1): Duration of IO time $\leq 50\mu\text{s}$

SWITCHING CHARACTERISTICS (Ta = -20~70°C, Unless otherwise specified)

CHARACTERISTIC	SYMBOL	TEST CIRCUIT	TEST CONDITION	MIN	TYP.	MAX	UNIT
Propagation Delay Time	L→H	5	I _F = 8 mA, V _{CC} = 15 V R _L = 20Ω, C _L = 10nF	0.05	0.15	0.5	μs
	H→L			0.05	0.15	0.5	
Switching Time Dispersion between ON and OFF	tpHL-tpLH	5	I _F = 8 mA, V _{CC} = 15 V R _L = 20Ω, C _L = 10nF	—	—	0.45	μs
Output Rise Time	t _r	5	I _F = 8 mA, V _{CC} = 15 V R _L = 20Ω, C _L = 10nF	—	—	—	μs
Output Fall Time	t _f	5	I _F = 8 mA, V _{CC} = 15 V R _L = 20Ω, C _L = 10nF	—	—	—	μs
Common Mode Transient Immunity at High Level Output	CM _H	6	V _{CM} = 1000 V, I _F = 8 mA V _{CC} = 30 V, Ta = 25°C	-15000	—	—	V/μs
Common Mode Transient Immunity at Low Level Output	CM _L		V _{CM} = 1000 V, I _F = 0 mA V _{CC} = 30 V, Ta = 25°C	15000	—	—	V/μs

Fig.1 I_{OPL} TEST CIRCUIT

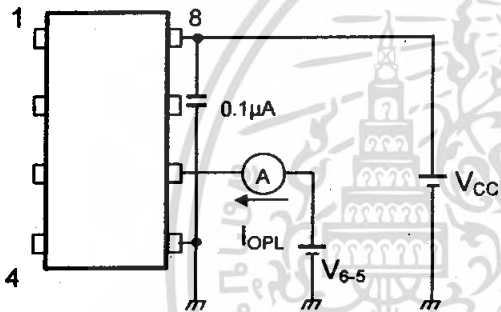


Fig.2 I_{OPH} TEST CIRCUIT

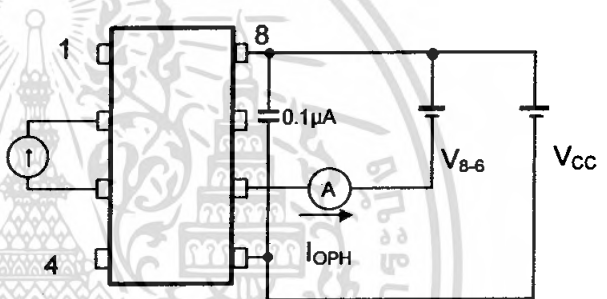


Fig.3 V_{OH} TEST CIRCUIT

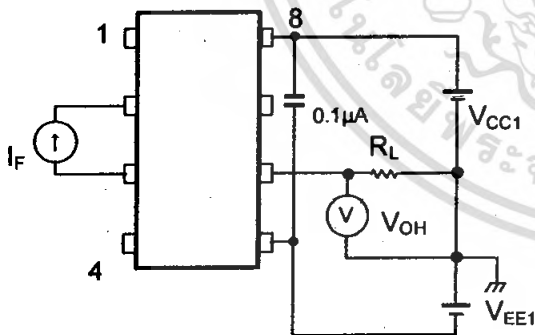


Fig.4 V_{OL} TEST CIRCUIT

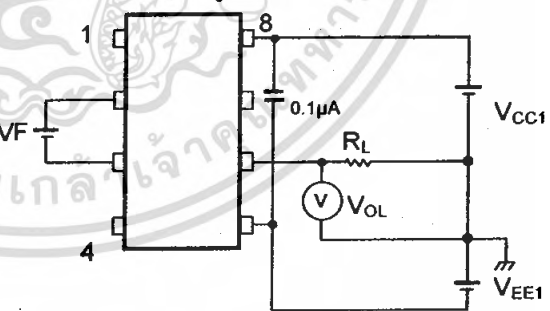


Fig.5 tpLH, tpHL, tr, tf TEST CIRCUIT

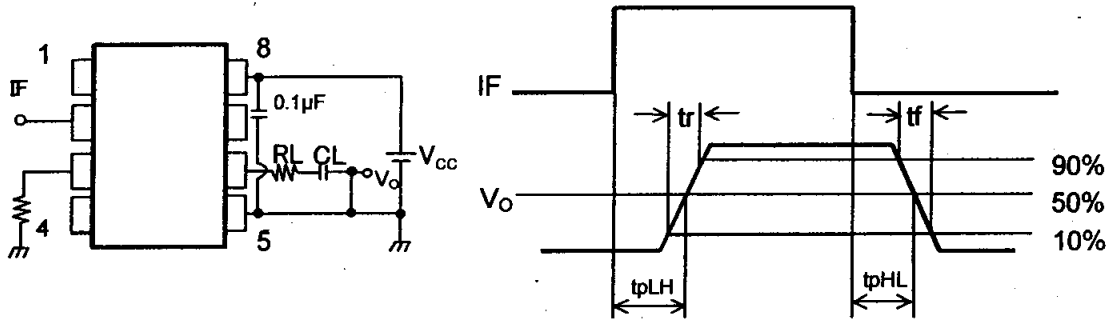
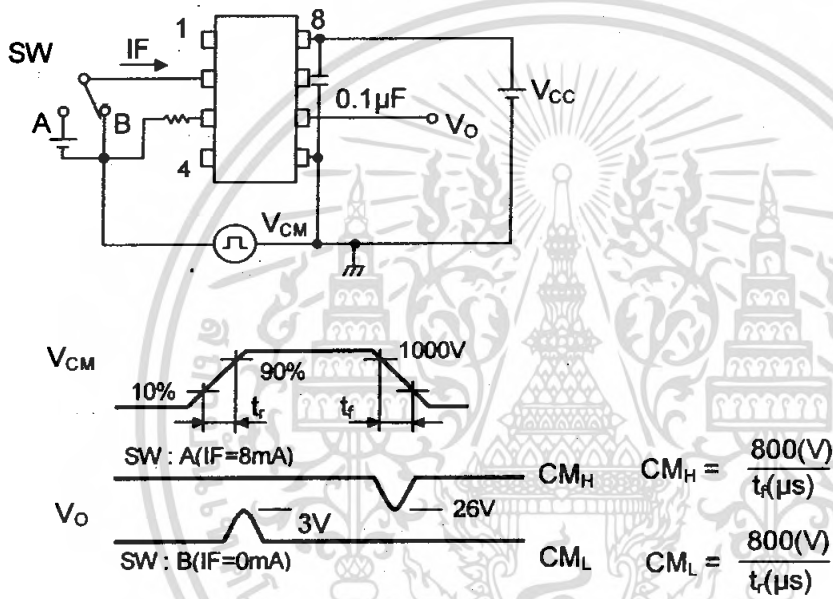


Fig.6 CMH, CML TEST CIRCUIT



CML(CMH) is the maximum rate of rise(fall) of the common mode voltage that can be sustained with the output voltage in the low(high)state.

RESTRICTIONS ON PRODUCT USE

000707EBC

- TOSHIBA is continually working to improve the quality and reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to comply with the standards of safety in making a safe design for the entire system, and to avoid situations in which a malfunction or failure of such TOSHIBA products could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent TOSHIBA products specifications. Also, please keep in mind the precautions and conditions set forth in the "Handling Guide for Semiconductor Devices," or "TOSHIBA Semiconductor Reliability Handbook" etc..
- The TOSHIBA products listed in this document are intended for usage in general electronics applications (computer, personal equipment, office equipment, measuring equipment, industrial robotics, domestic appliances, etc.). These TOSHIBA products are neither intended nor warranted for usage in equipment that requires extraordinarily high quality and/or reliability or a malfunction or failure of which may cause loss of human life or bodily injury ("Unintended Usage"). Unintended Usage include atomic energy control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, combustion control instruments, medical instruments, all types of safety devices, etc.. Unintended Usage of TOSHIBA products listed in this document shall be made at the customer's own risk.
- Gallium arsenide (GaAs) is a substance used in the products described in this document. GaAs dust and fumes are toxic. Do not break, cut or pulverize the product, or use chemicals to dissolve them. When disposing of the products, follow the appropriate regulations. Do not dispose of the products with other industrial waste or with domestic garbage.
- The products described in this document are subject to the foreign exchange and foreign trade laws.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

ภาคผนวก จ

ข้อมูลของ IC เบอร์ MC14557B



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B

1-to-64 Bit Variable Length Shift Register

The MC14557B is a static clocked serial shift register whose length may be programmed to be any number of bits between 1 and 64. The number of bits selected is equal to the sum of the subscripts of the enabled Length Control inputs (L1, L2, L4, L8, L16, and L32) plus one. Serial data may be selected from the A or B data inputs with the A/B select input. This feature is useful for recirculation purposes. A Clock Enable (CE) input is provided to allow gating of the clock or negative edge clocking capability.

The device can be effectively used for variable digital delay lines or simply to implement odd length shift registers.

- 1–64 Bit Programmable Length
- Q and \bar{Q} Serial Buffered Outputs
- Asynchronous Master Reset
- All Inputs Buffered
- No Limit On Clock Rise and Fall Times
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or one Low-power Schottky TTL Load Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	-0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	-0.5 to $V_{DD} + 0.5$	V
I_{in}, I_{out}	Input or Output Current (DC or Transient) per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Ambient Temperature Range	-55 to +125	°C
T_{stg}	Storage Temperature Range	-65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.

3. Temperature Derating:
Plastic "P and D/DW" Packages: -7.0 mW/°C From 65°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

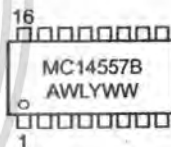
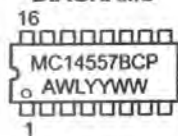
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.



ON Semiconductor

<http://onsemi.com>

MARKING DIAGRAMS



PDIP-16
P SUFFIX
CASE 648

SOIC-16
DW SUFFIX
CASE 751G

SOEIAJ-16
F SUFFIX
CASE 966

A = Assembly Location
WL or L = Wafer Lot
YY or Y = Year
WW or W = Work Week

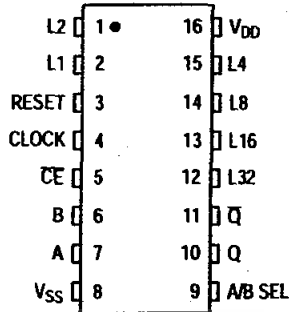
ORDERING INFORMATION

Device	Package	Shipping
MC14557BCP	PDIP-16	2000/Box
MC14557BDW	SOIC-16	47/Rail
MC14557BDWR2	SOIC-16	1000/Tape & Reel
MC14557BF	SOEIAJ-16	See Note 1.
MC14557BFEL	SOEIAJ-16	See Note 1.

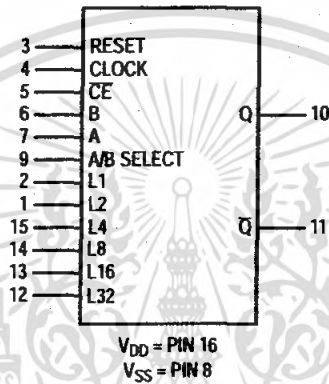
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

MC14557B

PIN ASSIGNMENT



BLOCK DIAGRAM



TRUTH TABLE

Inputs				Output
Rst	A/B	Clock	CE	Q
0	0	⎯	0	B
0	1	⎯	0	A
0	0	1	⎯	B
0	1	1	⎯	A
1	X	X	X	0

Q is the output of the first selected shift register stage.
X = Don't Care

LENGTH SELECT TRUTH TABLE

L32	L16	L8	L4	L2	L1	Register Length
0	0	0	0	0	0	1 Bit
0	0	0	0	0	1	2 Bits
0	0	0	0	1	0	3 Bits
0	0	0	0	1	1	4 Bits
0	0	0	1	0	0	5 Bits
0	0	0	1	0	1	6 Bits
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	0	0	0	33 Bits
1	0	0	0	0	1	34 Bits
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	0	0	61 Bits
1	1	1	1	1	1	62 Bits
1	1	1	1	1	0	63 Bits
1	1	1	1	0	1	64 Bits

NOTE: Length equals the sum of the binary length control subscripts plus one.

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	- 55°C		25°C			125°C		Unit	
			Min	Max	Min	Typ (4)	Max	Min	Max		
Output Voltage $V_{in} = V_{DD}$ or 0	"0" Level V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
	"1" Level $V_{in} = 0$ or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage $(V_O = 4.5$ or 0.5 Vdc) $(V_O = 9.0$ or 1.0 Vdc) $(V_O = 13.5$ or 1.5 Vdc)	"0" Level V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	6.75	4.0	—	4.0		
	"1" Level $(V_O = 0.5$ or 4.5 Vdc) $(V_O = 1.0$ or 9.0 Vdc) $(V_O = 1.5$ or 13.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
			10	7.0	—	7.0	5.50	—	7.0	—	
			15	11	—	11	8.25	—	11	—	
Output Drive Current $(V_{OH} = 2.5$ Vdc) $(V_{OH} = 4.6$ Vdc) $(V_{OH} = 9.5$ Vdc) $(V_{OH} = 13.5$ Vdc)	Source	I_{OH}	5.0	-3.0	—	-2.4	-4.2	—	-1.7	—	mAdc
			5.0	-0.64	—	-0.51	-0.88	—	-0.36	—	
			10	-1.6	—	-1.3	-2.25	—	-0.9	—	
			15	-4.2	—	-3.4	-8.8	—	-2.4	—	
	Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	
			10	1.6	—	1.3	2.25	—	0.9	—	
15	4.2	—	3.4	8.8	—	2.4	—	—			
Input Current	I_{in}	15	—	± 0.1	—	± 0.00001	± 0.1	—	± 1.0	μ Adc	
Input Capacitance $(V_{in} = 0)$	C_{in}	—	—	—	—	5.0	7.5	—	—	pF	
Quiescent Current (Per Package)	I_{DD}	5.0	—	5.0	—	0.010	5.0	—	150	μ Adc	
		10	—	10	—	0.020	10	—	300		
		15	—	20	—	0.030	20	—	600		
Total Supply Current (5.) (6.) (Dynamic plus Quiescent, Per Package) $(C_L = 50$ pF on all outputs, all buffers switching)	I_T	5.0	$I_T = (1.75 \mu A/kHz) f + I_{DD}$							μ Adc	
10	$I_T = (3.50 \mu A/kHz) f + I_{DD}$										
15	$I_T = (5.25 \mu A/kHz) f + I_{DD}$										

4. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

5. The formulas given are for the typical characteristics only at 25°C.

6. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) Vfk$$

where: I_T is in μA (per package), C_L in pF, $V = (V_{DD} - V_{SS})$ in volts, f in kHz is input frequency, and $k = 0.001$.

MC14557B

SWITCHING CHARACTERISTICS ^(7.) ($C_L = 50$ pF, $T_A = 25^\circ\text{C}$)

Characteristic	Symbol	V _{DD}	Min	Typ ^(8.)	Max	Unit
Rise and Fall Time, Q or \bar{Q} Output $t_{TLH}, t_{THL} = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_{TLH}, t_{THL} = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_{TLH}, t_{THL} = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	t_{TLH}, t_{THL}	5 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay, Clock or CE to Q or \bar{Q} $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 215 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 65 \text{ ns}$	t_{PLH}, t_{PHL}	5 10 15	— — —	300 130 90	600 260 180	ns
Propagation Delay, Reset to Q or \bar{Q} $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 215 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 70 \text{ ns}$	t_{PLH}, t_{PHL}	5 10 15	— — —	300 130 95	600 260 190	ns
Pulse Width, Clock	$t_{WH(cl)}$	5 10 15	200 100 75	95 45 35	— — —	ns
Pulse Width, Reset	$t_{WH(rst)}$	5 10 15	300 140 100	150 70 50	— — —	ns
Clock Frequency (50% Duty Cycle)	f_{cl}	5 10 15	— — —	3.0 7.5 13.0	1.7 5.0 6.7	MHz
Setup Time, A or B to Clock or CE Worst case condition: L1 = L2 = L4 = L8 = L16 = L32 = V _{SS} (Register Length = 1) Best case condition: L32 = V _{DD} , L1 through L16 = Don't Care (Any register length from 33 to 64)	t_{su}	5 10 15 5 10 15	700 290 145 400 165 60	350 130 85 45 5 0	— — — — — —	ns
Hold Time, Clock or CE to A or B Best case condition: L1 = L2 = L4 = L8 = L16 = L32 = V _{SS} (Register Length = 1) Worst case condition: L32 = V _{DD} , L1 through L16 = Don't Care (Any register length from 33 to 64)	t_h	5 10 15 5 10 15	200 100 10 400 185 85	—150 —60 —50 50 25 22	— — — — — —	ns
Rise and Fall Time, Clock	t_r, t_f	5 10 15		No Limit		—
Rise and Fall Time, Reset or CE	t_r, t_f	5 10 15	— — —	— — —	15 5 4	μs
Removal Time, Reset to Clock or CE	t_{rem}	5 10 15	160 80 70	80 40 35	— — —	ns

7. The formulas given are for the typical characteristics only at 25°C.

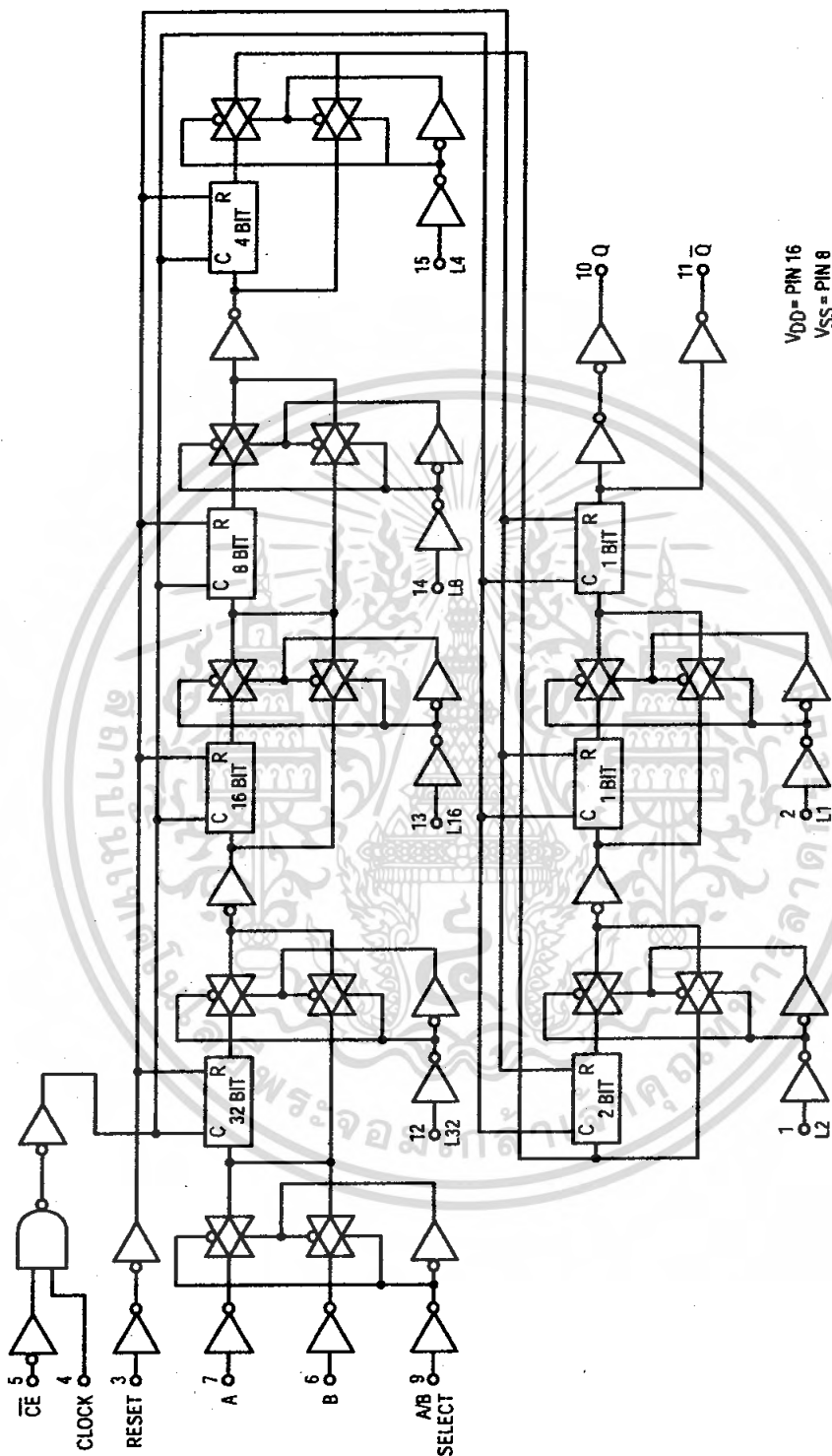
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B

LOGIC DIAGRAM



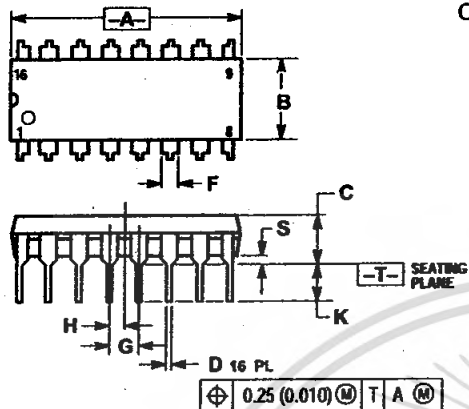
<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B

PACKAGE DIMENSIONS

**PDIP-16
P SUFFIX
PLASTIC DIP PACKAGE
CASE 648-08
ISSUE R**

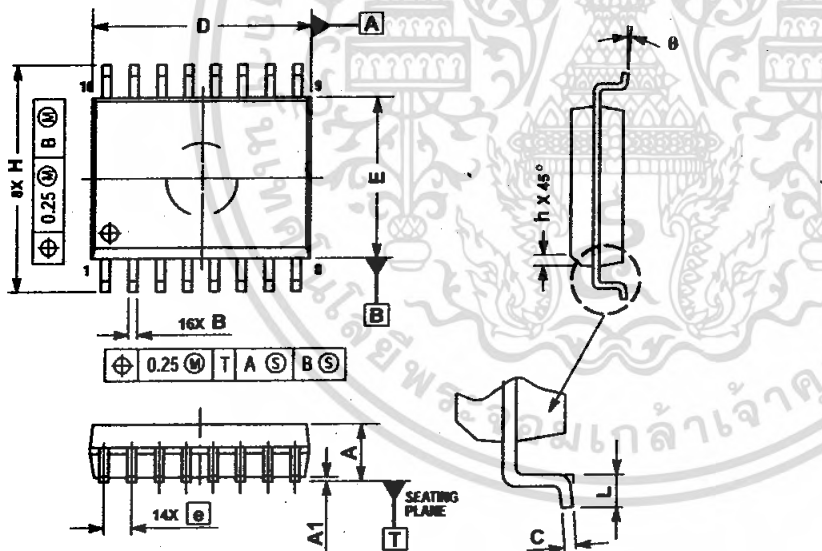


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

**SOIC-16
DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751G-03
ISSUE B**



NOTES:

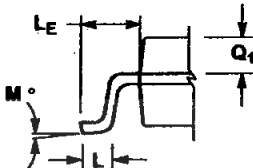
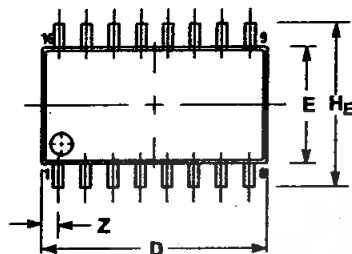
1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

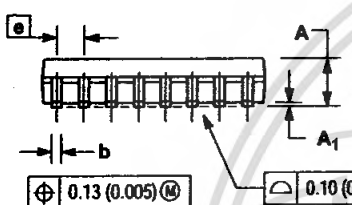
MC14557B

PACKAGE DIMENSIONS

SOEIAJ-16
F SUFFIX
PLASTIC EIAJ SOIC PACKAGE
CASE 966-01
ISSUE O



DETAIL P



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
 4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
 5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	—	2.05	—	0.081
A ₁	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
HE	7.40	8.20	0.291	0.323
L	0.50	0.85	0.020	0.033
L _c	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q ₁	0.70	0.90	0.028	0.035
Z	—	0.78	—	0.031

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303-675-2167 or 800-344-3810 Toll Free USA/Canada

N. American Technical Support: 800-282-9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor - European Support
German Phone: (+1) 303-308-7140 (M-F 1:00pm to 5:00pm Munich Time)
Email: ONlit-german@hibbertco.com
French Phone: (+1) 303-308-7141 (M-F 1:00pm to 5:00pm Toulouse Time)
Email: ONlit-french@hibbertco.com
English Phone: (+1) 303-308-7142 (M-F 12:00pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

EUROPEAN TOLL-FREE ACCESS*: 00-800-4422-3781
*Available from Germany, France, Italy, England, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303-308-7143 (Mon-Fri 8:00am to 5:00pm MST)
Email: ONlit-spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor - Asia Support
Phone: 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001-800-4422-3781
Email: ONlit-asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-8549
Phone: 81-3-5740-2745
Email: r14525@onsemi.com

ON Semiconductor Website: <http://onsemi.com>

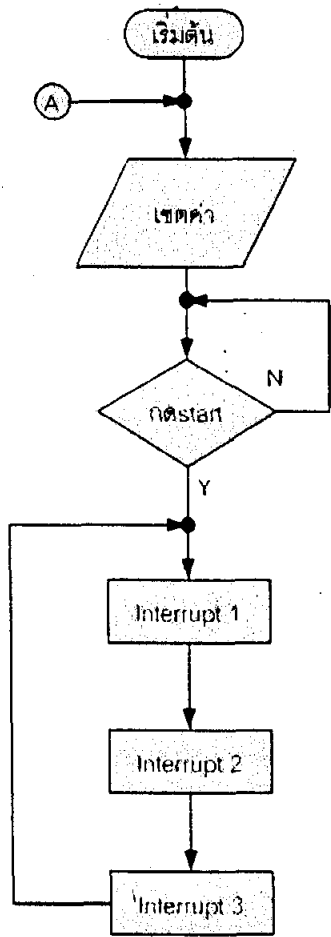
For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B/D

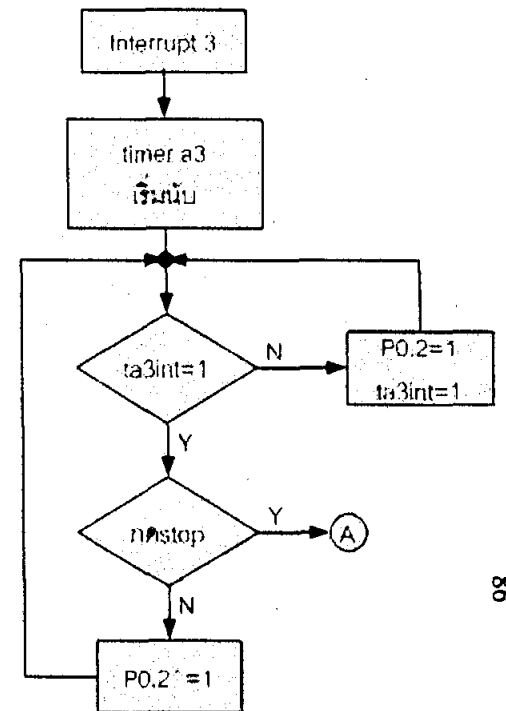
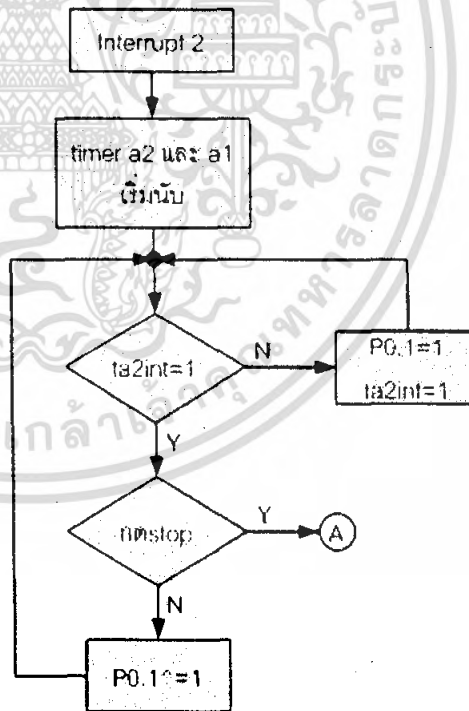
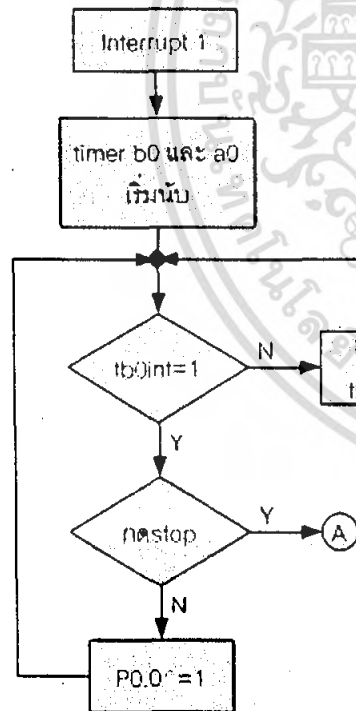
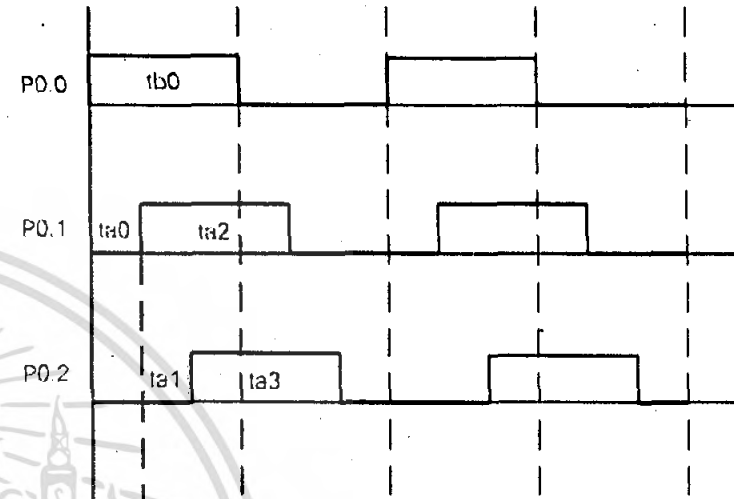


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$ta2int=0$ $P0.0=0$
 $ta3int=0$ $P0.1=0$
 $tb0int=0$ $P0.2=0$

S1 ต่อกับ P0.0
 S2 ต่อกับ P0.1
 S3 ต่อกับ P0.2



แสดง flowchat การสร้างสัญญาณ 6 step

```

/*****/
/* FILE      :6step.c                */
/* DESCRIPTION :main program file.   */
/* CPU GROUP  :62A(ROM128K)         */
/*****/

void ta0int(void);
#pragma INTERRUPT          ta0int
void ta1int(void);
#pragma INTERRUPT          ta1int
void ta2int(void);
#pragma INTERRUPT          ta2int
void ta3int(void);
#pragma INTERRUPT          ta3int
void tb0int(void);
#pragma INTERRUPT          tb0int

int init_tb0int, init_ta2int, init_ta3int, firstp;

void main(void)
{
    unsigned short count = 5000;
    init_tb0int = 0;
    init_ta2int = 0;
    init_ta3int = 0;

    pd0 = 0xff;
    p0 = 0x00;

    ta0mr = 0x82;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ta0          =      count / 3;
ta0ic       =      0x06;
asm("fset i");
ta0s        =      1;

ta1mr       =      0x82;
ta1         =      count / 3;
ta1ic       =      0x06;
asm("fset i");
ta1s        =      1;

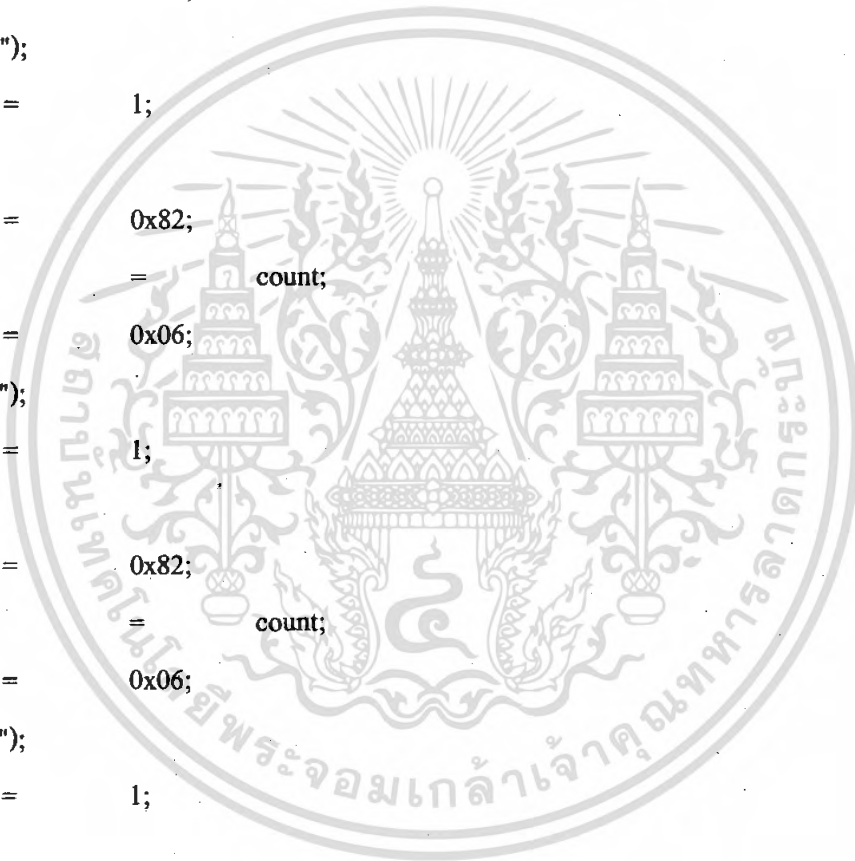
ta2mr       =      0x82;
ta2         =      count;
ta2ic       =      0x06;
asm("fset i");
ta2s        =      1;

ta3mr       =      0x82;
ta3         =      count;
ta3ic       =      0x06;
asm("fset i");
ta3s        =      1;

tb0mr       =      0x80;
tb0         =      count - 1;
tb0ic       =      0x06;
asm("fset i");

tb0s        =      1;
ta0os       =      1;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

firstp    =    0;
while(1)
{
    ta0    =    count/3;
    ta1    =    count/3;
    ta2    =    count;
    ta3    =    count;
    tb0    =    count-1;
}

```

```

void ta0int(void)
{

```

```

    ta2os  = 1;
    ta1os  = 1;

    if(init_ta2int)
    {
        p0_2 ^= 1;
    }
    else
    {
        p0_2 = 0;

        init_ta2int = 1;
    }
}

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

void ta1int(void)
{
    ta3os = 1;

    if(init_ta3int)
    {
        p0_1 ^= 1;
    }
    else
    {
        p0_1 = 1;
        init_ta3int = 1;
    }
}

void ta2int(void)
{
    p0_2 ^= 1;
}

void ta3int(void)
{
    p0_1 ^= 1;
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void tb0int(void)
```

```
{
    if(init_tb0int)
    {
        if(firstp)
        {
            ta0os = 1;
            p0_0 ^= 1;

            firstp = 0;
        }
        else
        {
            p0_0 ^= 1;
            firstp = 1;
        }
    }
    else
    {
        p0_0 = 1;

        init_tb0int = 1;
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้