สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง

32-CHANNEL STAND-ALONE DATA LOGGER

โดย

นายณัฐพล ต่อทรัพย์สิน 47015280

นายธนรัชต์ เกลี้ยงจิต 47015286

อาจารย์ที่ปรึกษา

รศ. ดร.วรพงศ์ ตั้งศรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

ว/ส
ล.3429
2549

เลขหมู่.....
เลขทะเบียน 72139
วัน,เดือน,ปี 11 มิ.ย. 2550

b 11763899
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง**

32 CHANNEL STAND-ALONE DATA LOGER

ผู้จัดทำ

1. นายณัฐพล ต่อทรัพย์สิน รหัส 47015280

2. นายธนรัชต์ เกลี้ยงจิต รหัส 47015286

อาจารย์ที่ปรึกษา

(รศ. ดร.วรพงศ์ ตั้งศรีรัตน์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง

32 CHANNEL STAND-ALONE DATA LOGGER

โดย นายณัฐพล ต่อทรัพย์สิน รหัส 47015280
นายธนรัชต์ เกลี้ยงจิต รหัส 47015286

อาจารย์ที่ปรึกษา รศ. ดร.วรพงศ์ ตั้งศรีรัตน์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการนำเสนอเครื่องมือสำหรับใช้ในการตรวจวัดและบันทึกข้อมูลดาต้าลอกเกอร์แบบอิสระ (StandAlone Data Logger) ซึ่งเป็นอุปกรณ์ที่นิยมใช้กันอย่างแพร่หลายในกระบวนการอุตสาหกรรมต่างๆ เครื่องมือวัดและบันทึกข้อมูลที่นำเสนอนี้ สามารถทำการตรวจวัดและบันทึกข้อมูลของอุณหภูมิและสัญญาณทางไฟฟ้าที่เปลี่ยนไป โดยแสดงผลแบบกราฟผ่านทางหน้าจอคอมพิวเตอร์ ตลอดจนสามารถทำการบันทึกผลข้อมูลที่ได้จากการตรวจวัด โดยที่ไม่จำเป็นต้องมีการควบคุมจากเครื่องคอมพิวเตอร์ไว้ตลอดเวลาอาศัย การควบคุมและประมวลผลจากไมโครคอนโทรลเลอร์

ABSTRACT

This project presents the standalone data logger, which is widely used in many industrial process system. The proposed data logger can be measured and record a chang of the process temperature and process variables in the term of electrical signals. The obtained data can be graphically displayed through the computer's monitor. Morever ,the measurement process can be activated although the computer is not operating. Microcontroller is used as a processor to implement the system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการเบื้องต้น	2
บทที่ 3 การเชื่อมต่ออุปกรณ์บนระบบบัส I^2C	3
3.1. ความรู้เบื้องต้นเกี่ยวกับระบบบัส I^2C	3
3.2 คุณสมบัติทั่วไปของระบบบัส I^2C	3
3.3. หลักการทำงานของระบบบัส I^2C	6
3.4. การทำงานบนระบบบัส I^2C	7
3.4.1. การอ้างถึงแบบ 7 บิต (7-Bit Addressing)	7
3.4.2. การอ้างถึงแบบ 10 บิต (10-Bit Addressing)	8
3.5. อุปกรณ์ที่ใช้ในการเชื่อมต่อบนระบบบัส I^2C	9
3.6. การเขียนโปรแกรมติดต่อกับระบบบัส I^2C	10
3.6.1. สภาวะหยุดส่งข้อมูล	10
3.6.2. สภาวะการส่งข้อมูลลอจิก "0" และลอจิก "1"	10
บทที่ 4 ทฤษฎีของ ADC และ DAC	11
4.1. ทฤษฎีการรวบรวมข้อมูลและการแปลงสัญญาณ	11
4.2. ทฤษฎีการสุ่มสัญญาณ	11
4.3. การสุ่มและคงค่าสัญญาณ	13
4.4. ทฤษฎีการ Quantizing	15
4.5. Quantizer Resolution	16
4.6. รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	17
4.7. วงจรสุ่มและคงค่าสัญญาณ	18
บทที่ 5 ทฤษฎีระบบฐานเวลาจริง	20
5.1. ไอซีสร้างฐานเวลาจริง	20
5.2. การทำงานของ DS1307	21
5.3. การจัดสรรหน่วยความจำใน DS1307	22
5.4. โหมดการทำงานของ DS1307	24
5.4.1. โหมดการเขียนข้อมูล	24
5.4.2. โหมดการอ่านข้อมูล	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 6 การสื่อสารข้อมูลแบบอนุกรม	26
6.1. มาตรฐาน EIA RS-232	26
6.2. RS – 232C	28
6.2.1. คุณสมบัติของ RS-232C	28
6.2.2. การจัดขาสัญญาณของ RS-232	28
6.2.3. การเชื่อมต่อสัญญาณของ RS-232C	28
6.3. รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม	30
6.4. การเชื่อมต่อแบบอนุกรมและ UART	31
บทที่ 7 โครงงานเครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง	35
7.1. หลักการทำงาน	35
7.2. องค์ประกอบของโครงงาน	36
7.2.1. หน่วยประมวลผลกลาง	36
7.2.2. ส่วนเลือกสัญญาณช่องอินพุท	38
7.2.3. ระบบฐานเวลาจริง	38
7.2.4. หน่วยความจำข้อมูลแบบพกพา (Compact Flash)	38
7.2.5. แหล่งจ่ายไฟ	39
7.3. การออกแบบโปรแกรมควบคุมการทำงาน	44
7.4. ผลการทดลอง	45
7.4.1. เซนเซอร์ตรวจวัดอุณหภูมิ	45
7.4.2. ความร้อนที่เกิดขึ้นในตัว LM335	46
7.4.3. คุณสมบัติเฉพาะตัว LM335	47
บทที่ 8 สรุปและวิจารณ์ผลการทดลอง	50
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1. การทำงานของระบบบันทึกและรวบรวมข้อมูล 2

รูปที่ 3.1. การเชื่อมต่อของอุปกรณ์ต่างๆ บนระบบบัส I^2C 4

รูปที่ 3.2. การต่อตัวต้านทานพูลอัพบนสายสัญญาณในระบบบัส I^2C 5

รูปที่ 3.3. การต่อตัวต้านทาน R_S เพื่อลดสัญญาณที่อาจเข้ามารบกวนในระบบบัส I^2C 5

รูปที่ 3.4. ไดอะแกรมแสดงเวลาที่เกิดสภาวะต่าง ๆ บนระบบบัส I^2C 7

รูปที่ 3.5. การกำหนดแอดเดรสที่ใช้อ้างถึงแบบ 7 บิต 8

รูปที่ 3.6. การต่อวงจรไมโครคอนโทรลเลอร์ MCS-51 กับอุปกรณ์ระบบบัส I^2C 9

รูปที่ 4.1. ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล 12

รูปที่ 4.2. การวัดค่าความผิดพลาดใน Aperture Time 12

รูปที่ 4.3. การสุ่มสัญญาณ 14

รูปที่ 4.4. Quantize Transfer Function ขนาด 3 Bit 15

รูปที่ 4.5. Quantizing Error 17

รูปที่ 4.6. ทรานเฟอร์ฟังชั่นของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี่ 17

รูปที่ 4.7. การสุ่มและคงค่าสัญญาณ 18

รูปที่ 4.8. เอาท์พุตของวงจรสุ่มและคงค่าสัญญาณ 19

รูปที่ 5.1. การจัดขาของไอซี DS 1307 ไอซีสร้างฐานเวลาจริง (RTC) 20

รูปที่ 5.2. โครงสร้างภายในของไอซี สร้างฐานเวลาจริงเบอร์ DS 1307 21

รูปที่ 5.3. การจัดสรรหน่วยความจำใน DS 1307 23

รูปที่ 5.4. การต่อกับไอซีสร้างฐานเวลาจริง DS1307 ในโหมดการเขียนข้อมูล 25

รูปที่ 5.5. การต่อไอซีสร้างฐานเวลาจริง DS1307 ในโหมดการอ่านข้อมูล 25

รูปที่ 6.1. การเชื่อมต่อสัญญาณของมาตรฐาน RS-232 29

รูปที่ 6.2. การใช้สัญญาณในการสื่อสารข้อมูลแบบอนุกรม 30

รูปที่ 6.3. การนำ Optoisolator Isolator มาใช้กับสายส่งสัญญาณ RS-232 30

รูปที่ 6.4. การแปลงข้อมูลแบบขนานเป็นอนุกรม 31

รูปที่ 6.5. การกำหนดแอดเดรสขนาด 8 บิต 32

รูปที่ 6.6. การตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรมโดยใช้บิตพาริตี้ 33

รูปที่ 6.7. การส่งข้อมูลของ UART 33

รูปที่ 6.8. สัญญาณดาต้าอินพุทสโตรบ 34

รูปที่ 7.1. หลักการทำงานโดยรวมของดาต้าล็อกเกอร์ 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 7.2. Pinouts ATMEGA 16 37

รูปที่ 7.3. วงจรสมบูรณ์ของ Multiplexer 40

รูปที่ 7.4. วงจรสมบูรณ์ของส่วนควบคุมการทำงาน 41

รูปที่ 7.5. วงจรสมบูรณ์ของส่วนเขียนข้อมูลลงบนหน่วยความจำแบบพกพา (Compact Flash) 42

รูปที่ 7.6. โครงสร้างภายในและการวางอุปกรณ์ของวงจรในส่วนต่างๆ เมื่อลงกล่อง 43

รูปที่ 7.7. แสดงลำดับขั้นตอนการทำงานของโปรแกรม 44

รูปที่ 7.8. เซนเซอร์ตรวจวัดอุณหภูมิเบอร์ LM335 45

รูปที่ 7.9. การปรับแต่งค่าของไอซี LM 335 46

รูปที่ 7.10. ข้อมูลที่ถูกบันทึกลงบนหน่วยความจำข้อมูลแบบพกพา (Compact Flash) ที่ช่วงเวลาการทำงาน 1 ชั่วโมง 48

รูปที่ 7.11. ผลการทดลองวัดค่าสัญญาณจากเซนเซอร์อุณหภูมิ LM335 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 5.1. การเลือกค่าความถี่ของสัญญาณสี่เหลี่ยม 24

ตารางที่ 6.1. แสดงมาตรฐาน EIA RS-232 แบบ 9 Pin 26

ตารางที่ 6.2. แสดงมาตรฐาน EIA RS-232 แบบ 25 Pin 27

ตารางที่ 6.3. คุณสมบัติของ RS – 232C 28

ตารางที่ 6.4. ขาสัญญาณ RS-232 ทั้งแบบ 9 ขาและ 25 ขา 29

ตารางที่ 6.5. อัตราบอดและช่วงเวลาของแต่ละบิต (ms) 31

ตารางที่ 6.6. อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของโครงงาน

ระบบรายงานข้อมูลหรือดาต้าล็อกเกอร์ (Data Logger) ก็เป็นเครื่องบันทึกข้อมูลอีกแบบหนึ่งที่ค่อนข้างได้รับความนิยมในงานอุตสาหกรรม ปัจจุบันพบว่าดาต้าล็อกเกอร์ที่พบในโครงงานมักมีรูปแบบของการทำงานที่จำกัด คือสามารถวัดค่าหรือบันทึกค่าได้เพียงอย่างเดียว ซึ่งก่อให้เกิดความไม่สะดวกในงานที่ต้องการนำข้อมูลทั้งค่าที่วัดและบันทึกได้ ไปวิเคราะห์หาความสัมพันธ์ในกระบวนการผลิต หรือไปทำการทดลองทางวิทยาศาสตร์ในรูปแบบอื่นๆ

ในปริญญานิพนธ์ฉบับนี้ จึงได้นำเสนอเครื่องบันทึกข้อมูลแบบอิสระ (Stand Alone) ซึ่งสามารถวัดและบันทึกข้อมูลได้พร้อมๆกัน นอกจากนี้ยังสามารถระบุวันและเวลาที่เริ่มทำงานได้ และยังสามารถกำหนดคาบเวลาในการบันทึกข้อมูลได้ละเอียดถึง 1 วินาที มีช่วงเวลาการบันทึกข้อมูลได้ 10 ชั่วโมง โดยจะทำการบันทึกข้อมูลลงในหน่วยความจำแบบพกพา (Compact Flash) ทำให้ข้อมูลยังคงอยู่ ถึงแม้ว่าเครื่องบันทึกจะดับหรือเกิดปัญหาไฟฟ้าขัดข้อง

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาโครงสร้างสถาปัตยกรรม การทำงานและการเขียนโปรแกรมประยุกต์ใช้งานไมโครคอนโทรลเลอร์
2. เพื่อศึกษาการนำส่วนของฮาร์ดแวร์และซอฟท์แวร์ มาออกแบบประยุกต์ใช้งานจริงร่วมกัน
3. เพื่อพัฒนาโครงงานให้สามารถนำไปใช้จริงได้ในระบบอุตสาหกรรม

1.3 ขอบเขตของโครงงาน

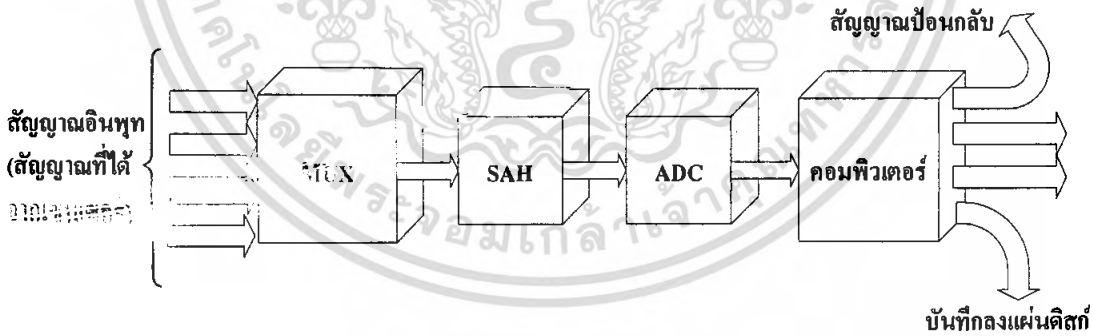
1. สามารถใช้เครื่องมือนี้ตรวจวัดค่าสัญญาณจากเซนเซอร์แบบต่างๆ โดยมีการทำงานตามค่าเวลาจริง (Real Time) ซึ่งตัวเครื่องจะทำการระบุวัน และเวลาที่ทำการวัดทุกครั้งที่มีการบันทึกค่าได้
2. สามารถใช้งานเครื่องมือนี้วัดและบันทึกข้อมูลได้แบบอิสระ แม้ในบริเวณที่ไม่สามารถติดต่อกับเครื่องคอมพิวเตอร์ได้
3. สามารถพิมพ์ข้อมูลที่ได้จากเครื่องมือนี้ ผ่านทางเครื่องพิมพ์ (Printer) ได้
4. สามารถนำข้อมูลที่เครื่องมือนี้ทำการวัดและบันทึกได้ มาเขียนกราฟเพื่อแสดงผลความสัมพันธ์ต่างๆ โดยใช้โปรแกรมสำหรับเขียนกราฟ เช่น Microsoft Excel ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการเบื้องต้น

ความก้าวหน้าทางด้านเทคโนโลยีไอซี เป็นส่วนสำคัญที่ทำให้สมรรถนะของคอมพิวเตอร์มีการพัฒนาขีดความสามารถให้สูงมากขึ้นเป็นลำดับ ส่วนหนึ่งได้มีการนำมาประยุกต์ใช้เป็นองค์ประกอบสำคัญในการควบคุม สั่งการ และจัดเก็บ ตลอดจนแสดงค่าปริมาณ หรือสัญญาณที่ได้จากการตรวจวัดในระบบการวัดและควบคุมกระบวนการต่าง ๆ มากมาย

การรวบรวมข้อมูล (Data Acquisition) นั้น มีความหมายโดยรวมถึงขั้นตอน หรือกระบวนการในการเปลี่ยนแปลง(Convert) ปรับแต่ง (Condition) ถ่ายโอน (Transmission) หรือจัดเก็บข้อมูล (Record) ที่ต้องการ ให้อยู่ในรูปแบบที่สามารถควบคุมและสั่งการได้ด้วยคอมพิวเตอร์ ดังนั้นระบบรวบรวมข้อมูลโดยใช้คอมพิวเตอร์เป็นอุปกรณ์หลัก กล่าวคือ ระบบการทำงานซึ่งปริมาณทางฟิสิกส์ หรือสภาพของกระบวนการได้ถูกตรวจสอบโดยเซนเซอร์ จากนั้นจะทำการปรับแต่งสภาพสัญญาณเอาต์พุท ที่ได้จากเซนเซอร์ให้มีความเหมาะสม และสอดคล้องกับรูปแบบที่คอมพิวเตอร์สามารถนำข้อมูลการตรวจวัดดังกล่าวไปทำการบันทึก จัดเก็บ แสดงผล หรือประมวลผลสัญญาณต่อไปได้ หลักการพื้นฐานของระบบรวบรวมข้อมูลซึ่งถูกนำมาใช้งานเป็นหน่วยแสดงผลและบันทึกข้อมูลแพร่หลายมากที่สุด อุปกรณ์ดังกล่าวเรียกว่า “ระบบบันทึกและรายงานข้อมูล (Data Logger)”



รูปที่ 2.1 การทำงานของระบบบันทึกและรวบรวมข้อมูล

การทำงานของระบบบันทึกและรวบรวมข้อมูลแสดงได้ดังรูปที่ 1 ปริมาณทางฟิสิกส์หรือสภาพของกระบวนการของระบบ จะถูกตรวจสอบด้วยเซนเซอร์แบบต่าง ๆ โดยมีวงจร MUX (Multiplexer) หรือวงจรมัลติเพล็กเซอร์ ซึ่งทำหน้าที่เลือกช่องสัญญาณอนาล็อกอินพุทที่ได้จากเซนเซอร์แต่ละตัว เพื่อนำสัญญาณอินพุทนั้น ๆ เข้าสู่กระบวนการประมวลผลต่อไป หลังจากวงจร MUX ได้ทำการเลือกช่องสัญญาณอนาล็อกอินพุทที่ต้องการตรวจวัดแล้ว สัญญาณเอาต์พุทจะถูกส่งให้กับวงจร SAH (Sample And Hold Circuit) หรือวงจรสุ่มและคงค่าสัญญาณ เพื่อทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่สุ่มค่าสัญญาณและคงค่าสัญญาณอนาล็อกในขณะนั้นไว้ ทั้งนี้ก็เพื่อให้มั่นใจว่าวงจร ADC สามารถกระทำกระบวนการแปลงสัญญาณอนาล็อกที่ได้จากวงจร SAH ให้กลายเป็นสัญญาณดิจิตอลเสร็จสิ้นได้ทัน โดยทั่วไปช่วงเวลาที่ใช้ในการแปลงสัญญาณของวงจร ADC (Conversion Time) มีค่าอยู่ในหน่วยไมโครวินาที (μs) ซึ่งสามารถนำไปใช้ประมวลผลสัญญาณที่มีความถี่สูงได้ถึงหลายร้อยกิโลเฮิรตซ์ (kHz) โดยไม่ทำให้เกิดสัญญาณผิดเพี้ยนขึ้น หลังจากขั้นตอนนี้เสร็จสิ้นไปแล้ว สัญญาณดิจิตอลเอาต์พุทที่ได้จากวงจร ADC ก็จะอยู่ในรูปแบบของสัญญาณที่สอดคล้องเป็นไปตามรูปแบบสัญญาณที่คอมพิวเตอร์ต้องการ และสามารถนำข้อมูลไปดำเนินการประมวลผลหรือตรวจสอบระยะเวลาการเก็บข้อมูล โดยกระบวนการขั้นต่อไปนั้นขึ้นอยู่กับเงื่อนไขความต้องการในการประยุกต์การใช้งานของระบบ ซึ่งเป็นไปได้หลายลักษณะ ยกตัวอย่างเช่น

1. คอมพิวเตอร์อาจทำการปรับแต่งสัญญาณให้เกิดความเหมาะสม แล้วนำขึ้นแสดงผลในรูปของตัวเลข ตัวอักษร หรือรูปภาพบนหน้าจอมอนิเตอร์ เพื่อให้ผู้ควบคุมกระบวนการทราบถึงสถานะในการทำงานของระบบในขณะนั้น

2. คอมพิวเตอร์อาจทำการบันทึกข้อมูลที่ได้ลงในหน่วยความจำของเครื่องเอง หรือทำการบันทึกข้อมูลลงในแผ่นดิสก์ นำค่ามาประมวลผลแล้วจึงส่งค่าแสดงออกทางหน้าจอ

3. คอมพิวเตอร์อาจทำการประมวลผลให้มีการดำเนินการเป็นไปตามข้อกำหนดของโปรแกรมควบคุมการทำงาน แล้วสร้างเป็นสัญญาณป้อนกลับเพื่อทำการควบคุมสภาพการทำงานของระบบให้เป็นไปตามเป้าหมายที่ได้ตั้งเอาไว้

การเลือกใช้ระบบรวบรวมข้อมูลจะพิจารณาจากสมรรถนะในการใช้งานเป็นหลัก เช่น การวิเคราะห์รูปแบบการแสดงผลข้อมูลที่ได้จากการตรวจวัดจำนวนช่องสัญญาณ และการเลือกช่องสัญญาณที่จะทำการตรวจวัด เป็นต้น ซึ่งสามารถทำการปรับแต่งแก้ไข หรือเปลี่ยนแปลงการทำงานของระบบ ให้เป็นไปตามเงื่อนไขในการประยุกต์ใช้งานที่ต้องการ ได้จากโปรแกรมควบคุมการทำงาน (Software Application) ซึ่งสามารถทำได้ง่าย สะดวก และมีความยืดหยุ่นสูง นอกจากนี้ยังทำการเก็บรวบรวม วิเคราะห์ และคำนวณข้อมูลได้ในจำนวนมากและรวดเร็ว ทำให้สามารถลดจำนวนของผู้ควบคุมกระบวนการในระบบ และลดความผิดพลาดอันเนื่องมาจากผู้ควบคุม (Human Error) ให้น้อยลงไปได้ด้วย

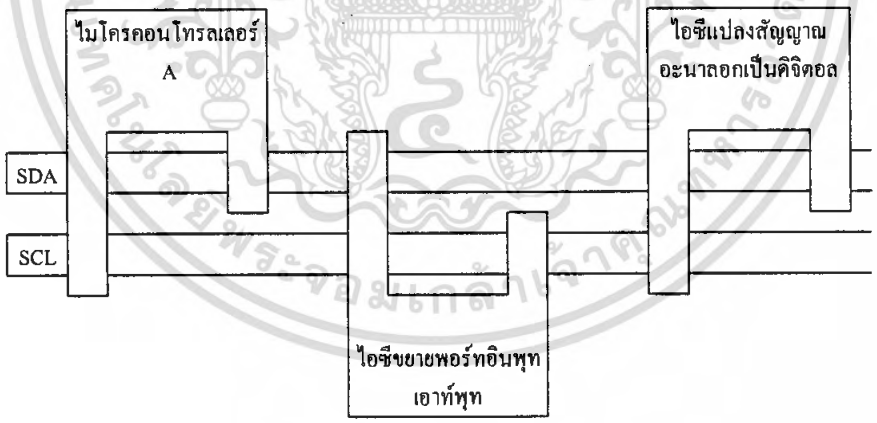
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การเชื่อมต่ออุปกรณ์บนระบบบัส I^2C

3.1. ความรู้เบื้องต้นเกี่ยวกับระบบบัส I^2C

I^2C ย่อมาจากคำว่า Inter - IC Communication หมายถึง การติดต่อสื่อสารระหว่างไอซีซึ่งได้รับการพัฒนาขึ้นโดยบริษัทฟิลลิปส์จำกัด โดยมีจุดมุ่งหมาย คือ ต้องการให้ไอซี หรือโมดูลสามารถติดต่อสั่งงานและควบคุมการทำงานภายใต้สายสัญญาณ 2 เส้น คือ สายข้อมูลแบบอนุกรมหรือ SDA (Serial Data Line) และสายสัญญาณนาฬิกาแบบอนุกรมหรือ SCL (Serial Clock Line) ซึ่งใช้ในการกำหนดจังหวะของการทำงาน

การต่อร่วมกันของอุปกรณ์บนระบบบัส I^2C สามารถทำได้โดยต่อสายข้อมูลแบบอนุกรมและสายสัญญาณนาฬิกาแบบอนุกรมแต่ละตัวขนานกัน แล้วกำหนดแอดเดรสหรือตำแหน่งที่ใช้ในการติดต่อกัน ซึ่งอุปกรณ์แต่ละตัวจะใช้การกำหนดรหัสข้อมูล และสภาวะลอจิกที่ขาแอดเดรสแตกต่างกัน เช่น ไอซีขยายพอร์ตอินพุท/ เอาท์พุท (I/O Expander) ไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital Converter, ADC) และแปลงสัญญาณดิจิตอลเป็นอนาล็อก (Digital to Analog Converter, DAC) หรือไอซีเรียลไทม์คล็อก (Real Time Clock , RTC) เป็นต้น



รูปที่ 3.1 การเชื่อมต่อของอุปกรณ์ต่างๆ บนระบบบัส I^2C

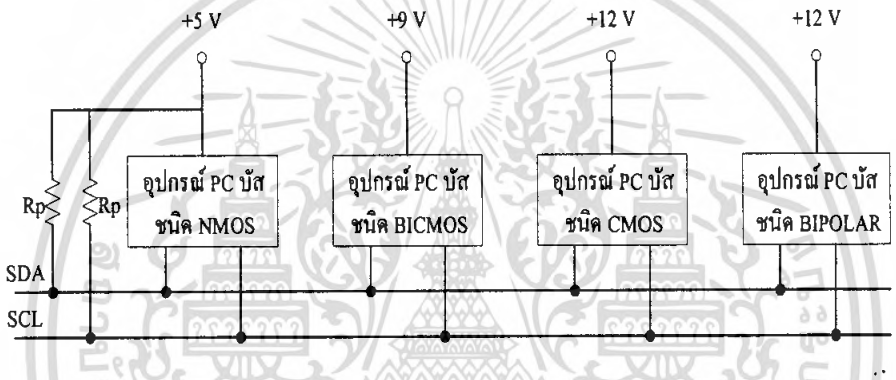
3.2. คุณสมบัติทั่วไปของระบบบัส I^2C

สาย SDA และ SCL เป็นสายสัญญาณ 2 ทิศทาง (Bi-Directional Line) ซึ่งต้องต่อกับตัวต้านทานพูลอัพกับแรงดัน +5 V โดยขณะทำงานจะต้องต่อวงจรดังกล่าวเสมอ เพื่อให้สายสัญญาณมีสถานะลอจิกสูง และช่วยป้องกันสัญญาณรบกวนที่อาจมีเข้ามาในสายสัญญาณทั้งสองเส้น วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

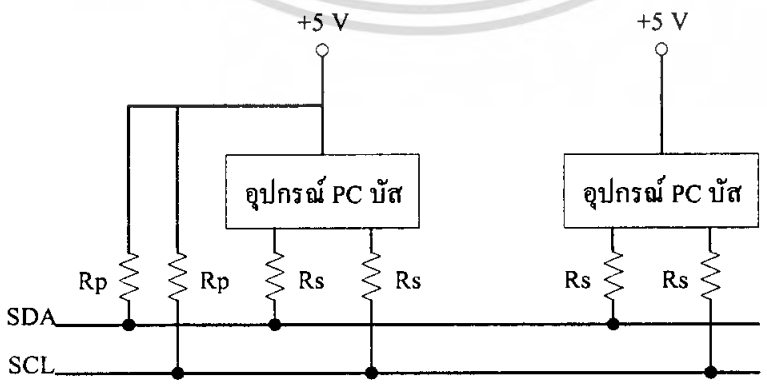
เอาท์พุทของอุปกรณ์ที่ต่ออยู่บนระบบบัส I^2C จะมีลักษณะเป็นวงจรเดรนเปิด (Open Drain) หรือคอลเล็กเตอร์เปิด (Open Collector) มีอัตราการถ่ายทอดข้อมูลบนระบบบัส I^2C สูงถึง 100 กิโลบิตต่อวินาทีในโหมดปกติ (Standard Mode) และสูงถึง 400 กิโลบิตต่อวินาที ในโหมดความเร็วสูง (Fast Mode) อุปกรณ์ที่ต่อร่วมอยู่บนระบบบัส I^2C จะต้องมีค่าความจุไฟฟ้ารวมที่เกิดขึ้นระหว่างสาย SDA และ SCL ไม่เกิน 400 ρF ส่วนการส่งข้อมูลบนระบบบัส I^2C จะใช้ข้อมูลสำหรับการเข้าถึง 2 ค่าคือ 7 บิต (7-Bit Addressing) หรือ 10 บิต (10-Bit Addressing)

การเชื่อมต่อของระบบบัส I^2C สามารถเชื่อมต่ออุปกรณ์โดยใช้ไฟเลี้ยงที่ไม่เท่ากันได้ โดยต่อสาย SDA และ SCL ของอุปกรณ์แต่ละตัวเข้าด้วยกัน และต้องต่อตัวต้านทานพูลอัพ (R_p) เข้ากับแรงดัน +5V ไว้เสมอ ดังแสดงในรูปที่ 3.2



รูปที่ 3.2 การต่อตัวต้านทานพูลอัพบนสายสัญญาณในระบบบัส I^2C

ในกรณีที่เกิดแรงดันไฟฟ้าขนาดใหญ่เข้ามารบกวนในระบบบัส I^2C ที่ขา SDA หรือ SCL ต้องต่อตัวต้านทาน R_s อนุกรมกับขา SDA และ SCL ก่อนต่อเข้าสู่ระบบบัส I^2C ดังรูปที่ 3.3



รูปที่ 3.3 การต่อตัวต้านทาน R_s เพื่อลดสัญญาณที่อาจเข้ามารบกวนในระบบบัส I^2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3. หลักการทำงานของระบบบัส I^2C

ดังที่ได้กล่าวมาแล้วว่า ระบบบัส I^2C ประกอบด้วยสายสัญญาณ 2 เส้น คือ SDA และ SCL อุปกรณ์ที่ต่อบนระบบบัส I^2C จะมีการกำหนดรูปแบบการติดต่อบนระบบบัส หรือที่เรียกว่า โปรโตคอล (Protocol) ซึ่งมีอุปกรณ์ที่ทำหน้าที่สร้างข้อมูลหรือส่งข้อมูล เรียกว่า ตัวส่ง (Transmitter) และอุปกรณ์ที่ทำหน้าที่รับข้อมูลเรียกว่า ตัวรับ (Receiver) อุปกรณ์บนระบบบัส I^2C เป็นได้ทั้งตัวรับและตัวส่ง อุปกรณ์บางอย่างจะทำหน้าที่เป็นตัวรับอย่างเดียว แต่จะไม่มีอุปกรณ์บนระบบบัส I^2C ที่ทำหน้าที่เป็นตัวส่งเพียงอย่างเดียว อุปกรณ์ที่ทำหน้าควบคุมจังหวะการติดต่อบนระบบบัส I^2C เรียกว่า มาสเตอร์ (Master) ส่วนอุปกรณ์ที่ถูกควบคุมหรืออุปกรณ์ที่พ่วงต่อเข้าไปบนระบบบัส I^2C เรียกว่า สเลฟ (Slave)

การติดต่อบนระบบบัส I^2C มีข้อกำหนด 2 ประการ ดังนี้

1. การถ่ายทอดข้อมูลจะเกิดขึ้นได้เมื่อระบบบัสว่างเท่านั้น
2. ในระหว่างการถ่ายทอดข้อมูล เมื่อใดก็ตามที่สาย SCL มีสถานะเป็นลอจิกสูง สายข้อมูลจะ รักษาข้อมูลเดิมไว้ และไม่ให้เกิดการเปลี่ยนแปลง เนื่องจากสัญญาณที่เกิดขึ้นจะได้รับการแปลความหมายเป็นสัญญาณควบคุมแทน

สภาวะที่เกิดขึ้นบนระบบบัส I^2C มี 5 สภาวะ ดังนี้

1. บัสว่าง (Bus Not Busy) สภาวะนี้เกิดขึ้นเมื่อสถานะลอจิกบนสาย SDA และ SCL เป็นลอจิกสูงทั้งคู่ นั่นคือ การถ่ายทอดข้อมูลสามารถเริ่มต้นขึ้นได้
2. เริ่มต้นการถ่ายทอดข้อมูล (Start Data Transfer) เกิดขึ้นเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกจากสูงไปต่ำ ในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกว่าสภาวะเริ่มต้น (START)
3. หยุดการถ่ายทอดข้อมูล (Stop Data Transfer) เกิดขึ้นเมื่อสาย SDA มีการแปลงเปลี่ยนระดับลอจิกจากต่ำไปสูง ในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกว่า สภาวะหยุด (STOP)
4. ข้อมูลดำรงอยู่บนระบบบัส (Data Valid) สภาวะนี้เกิดขึ้นหลังจากสภาวะเริ่มต้น โดยสถานะลอจิกที่เกิดขึ้นบนสาย SDA คือข้อมูลที่ทำการถ่ายทอด เมื่อสาย SCL เป็นลอจิกสูง สถานะที่สาย SDA ต้องคงที่ เพื่อให้อุปกรณ์รับรู้ข้อมูลในจังหวะนั้นว่า เป็นลอจิก “0” หรือ “1” ข้อมูลอาจเกิดการเปลี่ยนแปลงได้ในขณะที่สาย SCL เป็นลอจิกต่ำ แต่เมื่อใดก็ตามที่ต้องการให้เกิดการถ่ายทอดข้อมูลอย่างสมบูรณ์ สถานะลอจิกที่ขา SDA ต้องคงที่ตลอดช่วงเวลาที่สาย SCL มีสถานะลอจิกสูง หากเกิดการเปลี่ยนแปลงสถานะลอจิกในขณะที่สาย SCL มีลอจิกสูงอยู่นั้น อุปกรณ์มาสเตอร์ที่ทำการควบคุมการถ่ายทอดข้อมูลจะแปลความหมายเป็นสภาวะหยุดหรือสภาวะเริ่มต้น ทำให้ข้อมูลที่ทำการถ่ายทอดเกิดความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. รับรู้ข้อมูล (Acknowledge) เกิดขึ้นหลังจากที่มีการถ่ายทอดข้อมูลจากตัวส่งมายังตัวรับอย่างสมบูรณ์ โดยตัวส่งจะทำการส่งข้อมูล 1 บิตเรียกว่า บิตรับรู้(Acknowledge Bit) มีสถานะเป็นลอจิกสูง หลังจากส่งข้อมูลมาครบถ้วน ส่วนอุปกรณ์มาสเตอร์จะทำการ ส่งสัญญาณรับรู้พิเศษซึ่งสัมพันธ์กับสัญญาณนาฬิกาเพื่อตอบสนองบิตรับรู้ที่ส่งมาจากตัวส่ง ส่วนตัวรับจะส่งบิตรับรู้ที่มีสถานะลอจิกต่ำลงบนระบบบัส อุปกรณ์สเลฟที่ถูกอ้างถึงในการติดต่อหรือกำลังติดต่ออยู่ในขณะนั้นก็จะสร้างบิตรับรู้ เพื่อตอบสนองว่าได้รับข้อมูลในแต่ละบิตเรียบร้อยแล้ว ไดอะแกรมแสดงเวลาที่เกิดสภาวะต่าง ๆ บนระบบบัส I^2C แสดงได้ดังรูปที่ 3.4

รูปที่ 3.4 ไดอะแกรมแสดงเวลาที่เกิดสภาวะต่าง ๆ บนระบบบัส I^2C

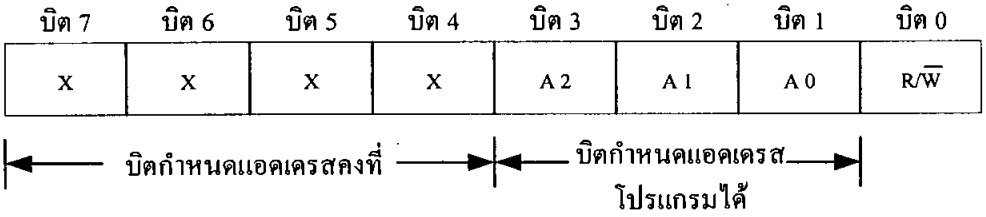
3.4. การทำงานบนระบบบัส I^2C

หลักการทำงานของระบบบัส I^2C ที่สำคัญ คือ การกำหนดแอดเดรสที่ใช้ในการเลือกการอ้างถึง ซึ่งมีอยู่ 2 รูปแบบคือ การอ้างถึงแบบ 7 บิต และ 10 บิต โดยจะเลือกพิจารณาจากอุปกรณ์ที่ต่ออยู่บนระบบบัส I^2C ถ้ามีอุปกรณ์ต่ออยู่บนระบบบัส I^2C น้อยกว่า 127 แอดเดรส จะเลือกใช้การอ้างถึงแบบ 7 บิต แต่ถ้ามีอุปกรณ์ต่ออยู่บนระบบบัส I^2C มากกว่า 127 แอดเดรส จะต้องเลือกใช้การอ้างถึงแบบ 10 บิต

3.4.1. การอ้างถึงแบบ 7 บิต (7-Bit Addressing)

ข้อมูลไบต์แรกจะเกิดขึ้นหลังสภาวะเริ่มต้น กล่าวคือ มีการกำหนดข้อมูลแอดเดรสที่ต้องต่อเข้ากับอุปกรณ์อื่น ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 การกำหนดแอดเดรสที่ใช้อ้างถึงแบบ 7 บิต

ใน 7 บิตบน และบิต MSB จะเป็นข้อมูลแอดเดรสของอุปกรณ์สเลฟที่ต้องการติดต่อ โดยแบ่งเป็นบิตกำหนดแอดเดรสคงที่ (Fixed Address Bit) จำนวน 4 บิต ซึ่งแอดเดรสของอุปกรณ์แต่ละตัวถูกกำหนดมาจากผู้ผลิต บิตต่อมาอีก 3 บิต เป็นบิตกำหนดตำแหน่ง (Programmable Address Bit) โดยผู้ใช้งานต้องกำหนดสถานะลอจิกให้ขา A0-A2 ของอุปกรณ์ที่มีการเชื่อมต่อบนระบบบัส I^2C ส่วนในแบบ LSB จะเป็นการกำหนดการอ่าน หรือเขียนข้อมูลสำหรับอุปกรณ์สเลฟนั้น ๆ หากบิต LSB มีลอจิกเป็น “0” หมายถึง มีการเขียนข้อมูลไปยังอุปกรณ์นั้น แต่ถ้ามีลอจิกเป็น “1” จะมีการอ่านข้อมูลจากอุปกรณ์สเลฟ ข้อมูลในไบต์ต่อมาคือ ข้อมูลควบคุม (Control Byte) ในอุปกรณ์แต่ละตัวจะมีการกำหนดข้อมูลควบคุมที่แตกต่างกัน เช่น ไอซีขยายพอร์ตมีข้อมูลควบคุมที่ใช้กำหนดค่าบิตอินพุท/เอาท์พุท หรือไอซี ADC/DAC เป็นข้อมูลควบคุมเพื่อกำหนดวงจรมีการทำงานเป็นแบบ ADC หรือ DAC เป็นต้น ข้อมูลในไบต์ต่อมา คือ ข้อมูลที่ทำการถ่ายทอดข้อมูลจริง (Data) เมื่อมีการถ่ายทอดข้อมูลลงในแต่ละไบต์แล้ว อุปกรณ์สเลฟที่ได้รับการติดต่อ จะต้องส่งสัญญาณรับรู้ตอบกลับมาด้วยทุกครั้ง เพื่อให้กระบวนการถ่ายทอดข้อมูลสามารถดำเนินต่อไปได้

3.4.2. การอ้างถึงแบบ 10 บิต (10-Bit Addressing)

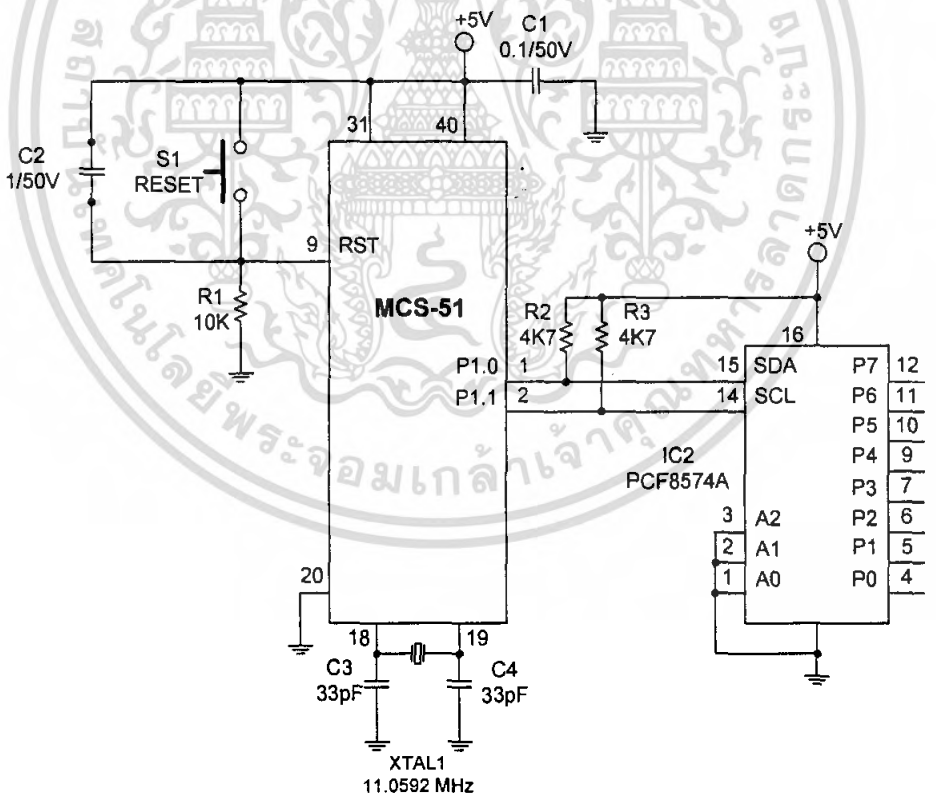
ในการอ้างถึงแบบ 10 บิตนี้ จะยังคงมีข้อมูลอนุกรมที่เหมือนกันกับแบบ 7 บิตอยู่ แต่จะมีข้อมูลเพิ่มขึ้นมา ข้อมูลในไบต์แรกหลังเกิดสภาวะเริ่มต้น บิต MSB ต้องกำหนดให้ 5 บิตแรก มีข้อมูลเป็น 11110 ส่วนอีก 2 บิตถัดมาเป็นบิตแอดเดรสของอุปกรณ์ที่ต้องการติดต่อ ส่วนบิต LSB ของข้อมูลไบต์แรกจะเป็นการกำหนดการอ่านหรือเขียนข้อมูลให้กับอุปกรณ์สเลฟตัวที่ต้องการติดต่อ ข้อมูลต่อมาเป็นข้อมูลแอดเดรสในไบต์ที่ 2 ของอุปกรณ์ที่ต้องการติดต่อด้วย แล้วจึงเป็นไบต์ของข้อมูลควบคุมและไบต์ของข้อมูลที่ทำการถ่ายทอดจริง จะเห็นได้ว่า การอ้างถึงแบบ 10 บิดจะมีลักษณะเช่นเดียวกับการอ้างถึงแบบ 7 บิต เมื่อมีการถ่ายทอดข้อมูลครบทุกไบต์แล้ว จะเกิดสภาวะรับรู้ขึ้น เพื่อให้กระบวนการถ่ายทอดข้อมูลสามารถดำเนินต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5. อุปกรณ์ที่ใช้ในการเชื่อมต่อบนระบบบัส I^2C

ระบบบัส I^2C เป็นระบบที่มีสายสัญญาณเพียง 2 เส้น มีการขยายระบบไมโครคอลโทรลเลอร์ ที่มีจำนวนอินพุท/ เอาท์พุท และหน่วยความจำที่จำกัด จึงทำให้ต้องมีอุปกรณ์เพอริเฟอรัลที่ใช้ในการเชื่อมต่อบนระบบบัส I^2C ซึ่งจะทำให้เกิดการทำงานได้อย่างหลากหลาย เช่น

1. ไอซีขยายพอร์ตอินพุท/ เอาท์พุท (I/O Expander): PCF8574, PCF8582, PCF8584
2. ไอซีอีพรอมอนุกรม(Serial EEPROM): 24Cxx, PCF8570, PCF72/73, PCF8582
3. ไอซี ADC/DAC: PCF8591
4. ไอซีเรียลไทม์คล็อก(Real-Time Clock, RTC) : PCF8583, PCF8593, PCF8598, 41T56c
5. ไอซีขับ LCD (LCD Driver): PCF8466, PCF8576, PCF8577/78, PCF8579, SAA1064
6. ไอซีกำเนิดสัญญาณ DTMF(DTMF Generator) : PCD3311/12



รูปที่ 3.6 การต่อวงจรไมโครคอนโทรลเลอร์ MCS-51 กับอุปกรณ์ระบบบัส I^2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อไมโครคอนโทรลเลอร์ MCS-51 เข้ากับระบบบัส I^2C นั้น สามารถทำได้ โดยใช้ขาพอร์ต 2 ขา กำหนดขาหนึ่งเป็น SDA อีกขาหนึ่งเป็น SCL และต่อตัวต้านทาน 4.7 $k\Omega$ พูลอัพที่ขาพอร์ตทั้งสอง

รูปที่ 3.6 แสดงวงจรตัวอย่างการต่อไมโครคอนโทรลเลอร์ MCS-51 เข้ากับระบบบัส I^2C ซึ่งเห็นได้ว่าวงจรจะใช้ขาพอร์ต P1.0 เป็นขา SDA และ P1.1 เป็นขา SCL ส่วนอุปกรณ์ที่ทำการติดต่อด้วย คือ ไอซีขยายพอร์ตอินพุท/ เอาท์พุท เบอร์ PCF8574

3.6. การเขียนโปรแกรมติดต่อกับระบบบัส I^2C

เริ่มต้นด้วยการสร้างสภาวะมาตรฐานของระบบบัส I^2C ซึ่งประกอบด้วย 2 สภาวะ ได้แก่ สภาวะหยุดและการสร้างสัญญาณนาฬิกาบนขา SCL และสภาวะเริ่มต้นการส่งข้อมูล

3.6.1. สภาวะหยุดส่งข้อมูล

1. กำหนดขา SCL และ SDA เป็นลอจิก "0" ทั้งคู่ก่อน
2. กำหนดขา SCL ให้มีลอจิกเป็น "1" โดย SDA ยังมีลอจิกเป็น "0"
3. กำหนดขา SDA ให้มีลอจิกเป็น "1" ซึ่งจะทำให้ระบบกลับสู่บัสว่างอีกครั้ง พร้อมที่จะรับหรือส่งข้อมูลต่อไป

3.6.2. สภาวะการส่งข้อมูลลอจิก "0" และลอจิก "1"

เมื่อทำการส่งบิตเริ่มต้นแล้ว จะต้องส่งข้อมูลควบคุมตามไปด้วย ซึ่งจะเป็นการส่งลอจิก "0" และลอจิก "1"

สำหรับการส่งข้อมูลลอจิก "0" มีขั้นตอนการส่งดังนี้

1. กำหนดขา SDA ให้มีลอจิกเป็น "0" สำหรับการส่งข้อมูลลอจิก "0"
2. กำหนดขา SCL ให้มีลอจิกเป็น "1" เพื่อป้อนสัญญาณนาฬิกา โดยขา SDA ยังมีลอจิกเป็น "0"
3. กำหนดขา SCL ให้กลับมามีสถานะเป็นลอจิก "0" อีกครั้ง

สำหรับการส่งข้อมูลลอจิก "1" มีขั้นตอนการส่งดังนี้

1. กำหนดขา SDA ให้มีลอจิกเป็น "1" สำหรับการส่งข้อมูลลอจิก "1"
2. กำหนดให้ SCL ให้มีลอจิกเป็น "1" สำหรับการส่งสัญญาณนาฬิกา ในขณะที่ขา SDA ยังคงมีลอจิกเป็น "1"
3. กำหนดขา SCL ให้กลับมามีสถานะเป็นลอจิก "0" อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีของ ADC และ DAC

4.1. ทฤษฎีของการรวบรวมข้อมูลและการแปลงสัญญาณ

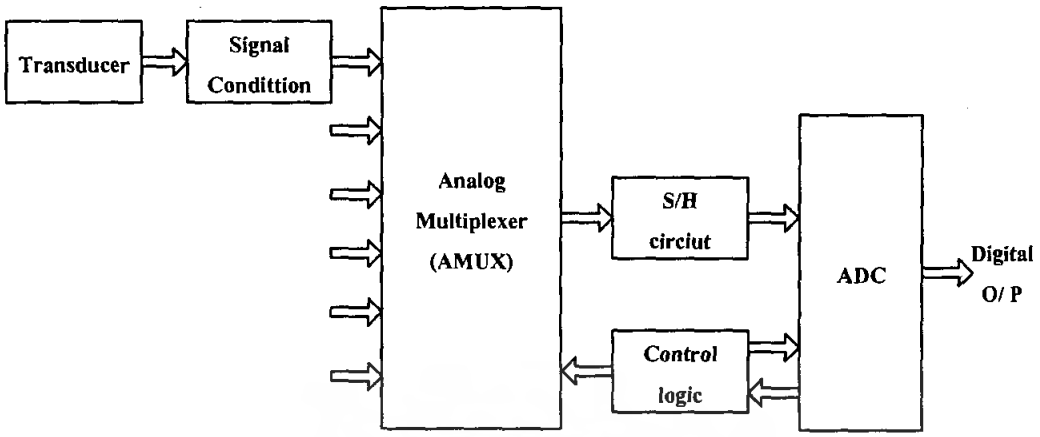
รูปแบบสัญญาณไฟฟ้าที่มีความต่อเนื่อง เรียกว่า สัญญาณอนาล็อก (Analog Signal) เป็นการนำเอาสัญญาณไฟฟ้ามาทำการประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสม ซึ่งจะกระทำในรูปแบบของสัญญาณอนาล็อก แต่เมื่อเทคนิคและอุปกรณ์ในการประมวลผลสัญญาณดิจิตอลได้รับการพัฒนาขึ้นมา ซึ่งพบว่าในการประมวลผลหรือนำเสนอข้อมูลจะกระทำได้ง่ายกว่า ดังนั้นในการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงนิยมแสดงระบบควบคุมที่ใช้การประมวลผลหรือนำเสนอข้อมูลในรูปแบบของระบบดิจิตอล ดังรูปที่ 4.1 แสดงถึงระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล ระบบดังกล่าวเป็นระบบที่มีการเปลี่ยนแปลงทางกายภาพ (Physical Process) ซึ่งสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาล็อก) จะถูกทรานส์ดิวเซอร์ที่มีคุณสมบัติเหมาะสมกับรูปแบบทางกายภาพปรับแต่งสัญญาณไฟฟ้า เช่น วงจรขยาย วงจรฟิลเตอร์ เป็นต้น ส่วนวงจร ADC จะทำหน้าที่เปลี่ยนรูปสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ซึ่งตัวประมวลผลทางดิจิตอล (Digital Process) จะจัดการกับข้อมูลเพื่อนำมาประมวลผล หรือนำเสนอในรูปแบบของสัญญาณดิจิตอล หรืออาจถูกเปลี่ยนให้อยู่ในรูปของสัญญาณอนาล็อกโดยวงจร DAC เพื่อทำการป้อนกลับไปตามระบบที่มีการเปลี่ยนแปลงทางกายภาพ

ในระบบที่มีหลาย ๆ ข้อมูลในเวลาเดียวกัน หากวงจร ADC สามารถทำงานได้อย่างรวดเร็ว ก็ไม่จำเป็นต้องใช้วงจร ADC หลายๆ ตัว แต่จะใช้วิธีการแบ่งเวลา (Time Sharing) โดยวิธี Multiplex วงจรสุ่มตัวอย่างและคงค่า (Sampling And Hole, S/H) ซึ่งวงจรจะสุ่มขนาดของสัญญาณอนาล็อกมาเก็บไว้ชั่วขณะ แล้วเปลี่ยนเป็นสัญญาณดิจิตอล สัญญาณดิจิตอลจะถูกส่งต่อไปยัง System Bus ซึ่งจะทำการประมวลผลสัญญาณที่ได้รับ จากนั้นผลของสัญญาณจะถูกส่งกลับออกมา เพื่อเปลี่ยนเป็นสัญญาณอนาล็อก แล้วจึงเริ่มทำการสุ่มสัญญาณใหม่

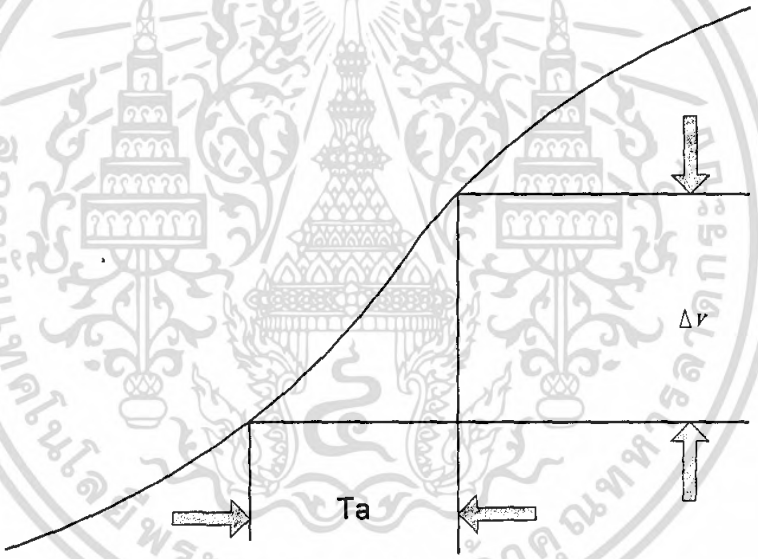
4.2. ทฤษฎีการสุ่มสัญญาณ

ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้น วงจร ADC จะต้องใช้เวลาในการประมวลผล ซึ่งช่วงเวลาในการประมวลผลนั้นขึ้นอยู่กับหลายปัจจัย เช่น การเปลี่ยนระดับสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่น ๆ การกำหนดความเร็วของการแปลงระดับของสัญญาณที่เปลี่ยนแปลงไปตามความต้องการของงานนั้น ๆ หรือตามตำแหน่งของความแม่นยำที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล



รูปที่ 4.2 การวัดค่าความผิดพลาดใน Aperture Time

ช่วงเวลาในการแปลงสัญญาณ หมายถึง ช่วงเวลาที่เกิดความไม่แน่นอนในการวัด ซึ่งเรียกว่า Aperture Time

จากรูปที่ 4.2 สัญญาณอนาล็อก $V(t)$ มีอัตราการเปลี่ยนแปลง $\frac{dv}{dt}$ ในช่วง Aperture Time , T_a ดังนั้น ช่วงการเปลี่ยนแปลงอนาล็อกจึงมีค่าเท่ากับ ΔV โดย

$$\Delta V = T_a . \frac{dv}{dt} \tag{4.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น เวลาที่วงจร ADC ใช้ในการเปลี่ยนแปลงค่าสัญญาณในช่วงเวลา T_a นั้นสัญญาณดิจิตอลจะมีขนาดเท่ากับสัญญาณอนาล็อกค่าใดค่าหนึ่งในช่วงเวลานั้น ซึ่งเรียกค่าความผิดพลาดที่เกิดขึ้นนี้ว่า Aperture Time Error

ตัวอย่าง กรณีที่สัญญาณอินพุทเป็นรูปคลื่นซายน์ โดยมีอัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดขึ้นสูงสุดบริเวณจุดตัดแกนเวลา รอบ ๆ จุดศูนย์โวลต์ (Zero Crossing) และมีค่าAperture Time Error คือ

$$\Delta V = T_a . \frac{d(A\sin\omega t)_{t=0}}{dt} = T_a . A\omega \tag{4.2}$$

และค่าความผิดพลาดรวม ($\mathcal{E}$) จะคิดจากอัตราส่วนของขนาดรูปคลื่นเต็มสเกล คือ

$$\varepsilon = \frac{\Delta V}{2A} = \pi . T_a \tag{4.3}$$

ดังนั้น ถ้าต้องการเปลี่ยนสัญญาณรูปซายน์ความถี่ 1 *KHz* ให้เป็นสัญญาณดิจิตอลขนาด10 บิต ซึ่งต้องการให้มีค่าความละเอียดมากกว่าค่าความผิดพลาด เท่ากับ $\frac{1}{2}^{10}$ หรือมีค่าเท่ากับ 0.001 ดังนั้น เวลา Aperture Time จะอยู่ในช่วง

$$T_a = \frac{\varepsilon}{\pi} = \frac{0.001}{3.14} \times 1{,}000 = 320 \times 10^{-9} \tag{4.4}$$

จะเห็นได้ว่าวงจร ADC ที่มีความเร็วสูง จะใช้เวลาในการเปลี่ยนสัญญาณที่มีความถี่ 1 *KHz* ให้เป็นรหัสขนาด 10 บิต ซึ่งจะใช้เวลาทั้งหมด 320 นาโนวินาที นอกจากนี้ยังมีวิธีการใช้การสุ่มและคงค่าสัญญาณ ซึ่งจะทำได้ง่ายและราคาถูกกว่าด้วย

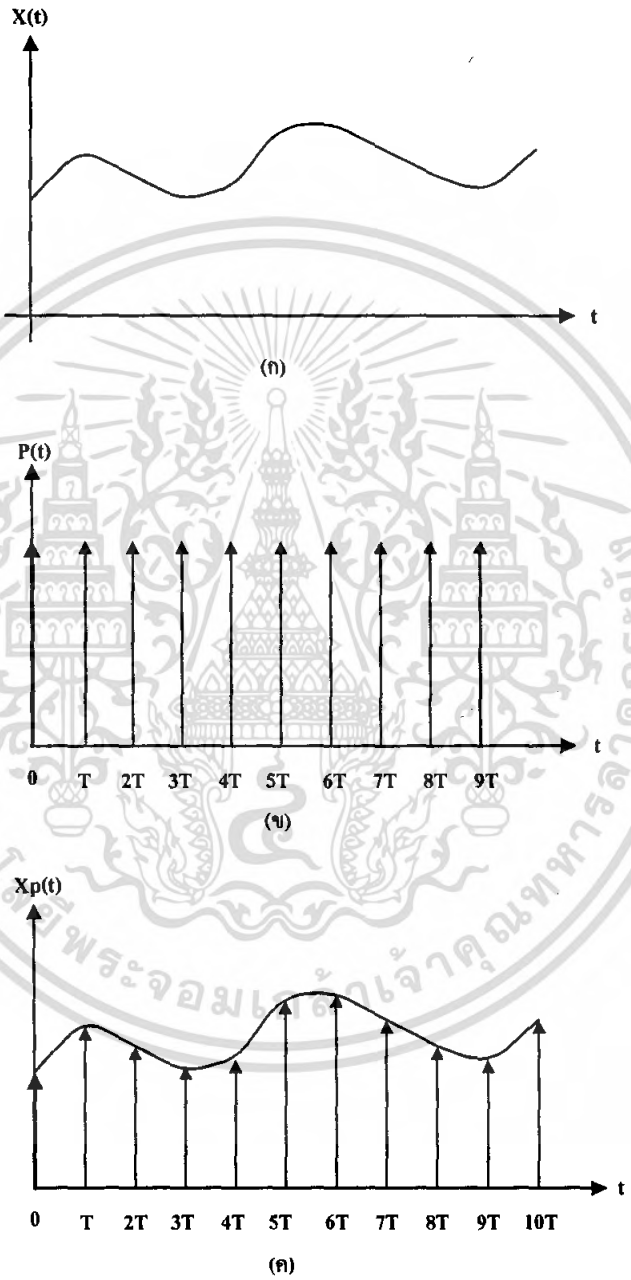
4.3. การสุ่มและคงค่าสัญญาณ

การสุ่มและคงค่าสัญญาณ คือ เวลาตั้งแต่เริ่มสุ่มสัญญาณจนเกิดการเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งขึ้นอยู่กับแบนด์วิดธ์และช่วงเวลาในการสวิทซ์ (Switching Time) ซึ่งวงจรสุ่มและคงค่าสัญญาณ (Sample and Hold) จะทำการสุ่ม (Sampling) ค่าสัญญาณอินพุทและนำมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่ง ซึ่งส่วนใหญ่จะใช้ในการประจุแรงดันที่มีการรั่วไหลต่ำ

ในการสุ่มสัญญาณอนาล็อก จะเลือกสุ่มเป็นระยะ ๆ ซึ่งมีค่าคงที่ตามรูปที่ 4.3 การสุ่มจะเป็นการตัดต่อสัญญาณอนาล็อกในช่วงเวลาที่สั้นๆ โดยสวิทซ์จะทำงานด้วยความเร็วสูง ผลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณกลุ่มสัญญาณพัลส์แคบ ๆ กับสัญญาณอนาล็อก ซึ่งจะได้เป็นสัญญาณมอดูเลท (Modulate) ระหว่างกลุ่มการพัลส์กับสัญญาณอนาล็อก จากทฤษฎีของการสุ่ม "ถ้าสัญญาณต่อเนื่องมีความถี่ฮาร์โมนิคส์ ที่มีอัตราการสุ่มมากว่าการถูกสุ่มแล้ว สัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้โดยไม่เกิดการผิดเพี้ยน"



รูปที่ 4.3 การสุ่มสัญญาณ

(ก) สัญญาณอนาล็อกอินพุท

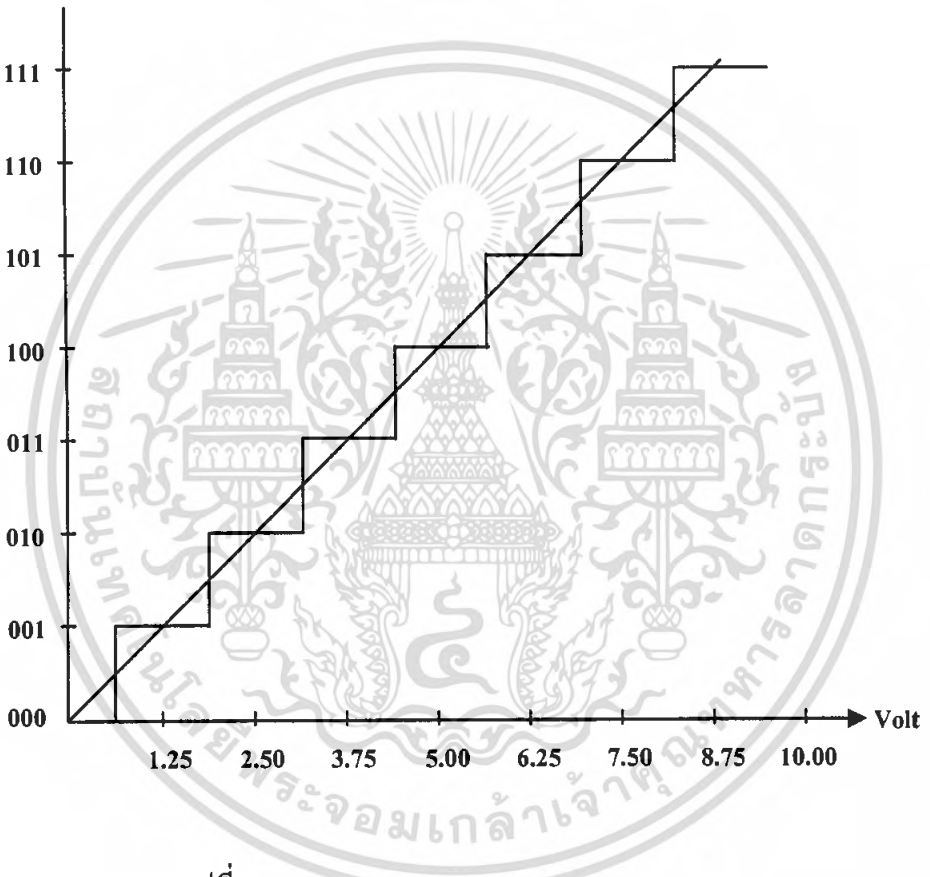
(ข) พัลส์ที่มาสุ่มสัญญาณ

(ค) สัญญาณอนาล็อกหลังการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4. ทฤษฎี Quantizing

Quantizing คือ การเปลี่ยนสัญญาณอนาล็อกที่มีความต่อเนื่อง เป็นสัญญาณที่ไม่ต่อเนื่อง หลังการสุ่ม ซึ่งมีกระบวนการเข้ารหัส (Coding) โดยจะจัดสัญญาณที่ไม่ต่อเนื่องนั้นให้มีรูปที่ง่ายต่อการประมวลผล และเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาล็อก เช่น Quantize สัญญาณอนาล็อก และสัญญาณดิจิตอล แล้วนำมาเขียนกราฟก็จะได้ความสัมพันธ์ของ Quantize Transfer Function ดังรูปที่ 4.4



รูปที่ 4.4 Quantize Transfer Function ขนาด 3 Bit

เมื่อทำการ Quantize และ Encode สัญญาณอนาล็อกและสัญญาณดิจิตอล เป็นรหัสไบนารี่ (Binary) 3 บิต แล้ว จะได้รหัสดิจิตอล 8 ระดับ คือ จาก 000 ถึง 111 เนื่องจากในระบบไบนารี่ รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาล็อก ซึ่งจะเป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูงสุดของรหัสดิจิตอล คือ ทุกบิตที่เป็น 1 จะเท่ากับสัญญาณอนาล็อกเต็มสเกลคูณด้วย $(1-2^{-n})$ โดย n เป็นจำนวนบิตของรหัสดิจิตอลแต่ละบิตที่เป็น 1 และจะเท่ากับขนาดเต็มสเกลของอนาล็อก คูณด้วยค่าน้ำหนัก (weighting) ของรหัสชนิดนั้นแล้วหารด้วย 2^n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ค่าเต็มสเกลของสัญญาณอนาล็อกเป็น 10 โวลท์ (รหัส 1011) จะแทนขนาดของสัญญาณอนาล็อกอินพุท

จุดสำคัญเกี่ยวกับกราฟของทรานเฟอร์ฟังก์ชันในรูปที่ 4.4 อันดับแรก ได้แก่ ความละเอียดของ

$$V_{in} = \left(\frac{R_s}{2^n}\right) \times \left\{(1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (1 \times 2^0)\right\} \qquad (4.5)$$

การ Quantize ซึ่งกำหนดได้จากจำนวนบิตของรหัสดิจิตอล หรือจากกราฟ นั่นคือ ขนาดกว้างของระดับ (Step) ทางแกนอนาล็อกอินพุท และสัดส่วนระหว่างค่าเต็มสเกลอนาล็อกกับค่า 2^n

จำนวนสถานะเอาท์พุทจะถูกกำหนดจากจำนวนบิต คือ เท่ากับ 2^n สถานะ เช่น ADC 8 บิต, Quantizer จะให้เอาท์พุท 256 สถานะ ต่อค่าเต็มสเกลอนาล็อกในไดอะแกรม ส่วน ADC 12 บิต, Quantizer จะให้เอาท์พุท 4096 สถานะ ต่อค่าเต็มสเกลอนาล็อกในไดอะแกรม ค่าทรานเฟอร์ฟังก์ชั่นจะมีจุดแบ่งระดับ (Decision Point หรือ The Should Level) ซึ่งพบว่าสัญญาณอนาล็อกจะมีจำนวน 2-10 จุด โดยอยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625 และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาล็อกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้นค่าดังกล่าวจะถูกปรับให้มีความถูกต้องมากที่สุด เพื่อแปลงขนาดของอนาล็อกให้ตรงกับค่าของการ Quantize ที่แรงดัน 1.25, 2.50, 3.75, 5.0, 6.25, 7.5, 8.75 โวลท์ ซึ่งเป็นจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย

4.5. Quantizer Resolution

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุท จะแทนขนาดของสัญญาณอนาล็อกค่าใดค่าหนึ่งในช่วงเวลาสั้น ๆ ของจุดแบ่งระดับ ซึ่งเรียกว่า Analog Quantization หรือ Quantum หรือ LSB (Least Significant Bit) การแปลงสัญญาณในรูปที่ 4.4 ค่าควอนตัม เท่ากับ 1.25 โวลท์ โดยคำนวณจาก

$$Q = \frac{FSR}{2^n} \qquad (4.6)$$

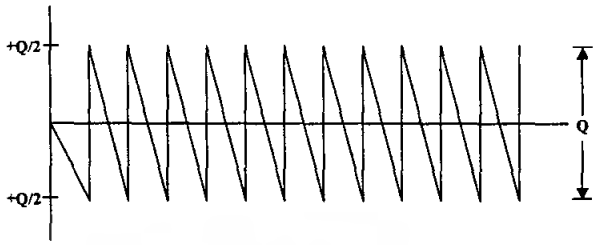
โดย FRS คือ Full Scale Range หรือช่วงเวลาเต็มสเกลของแรงดันอนาล็อก

n คือ จำนวนบิตของรหัสดิจิตอล

จากสมการ จะเห็นว่าถ้าจำนวนบิตมาก ขนาดของควอนตัมก็จะลดลง และถ้าให้สัญญาณอินพุทของ Quantizer ตลอดช่วงของสัญญาณอนาล็อก ก็จะเห็นช่วงผลต่างของสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

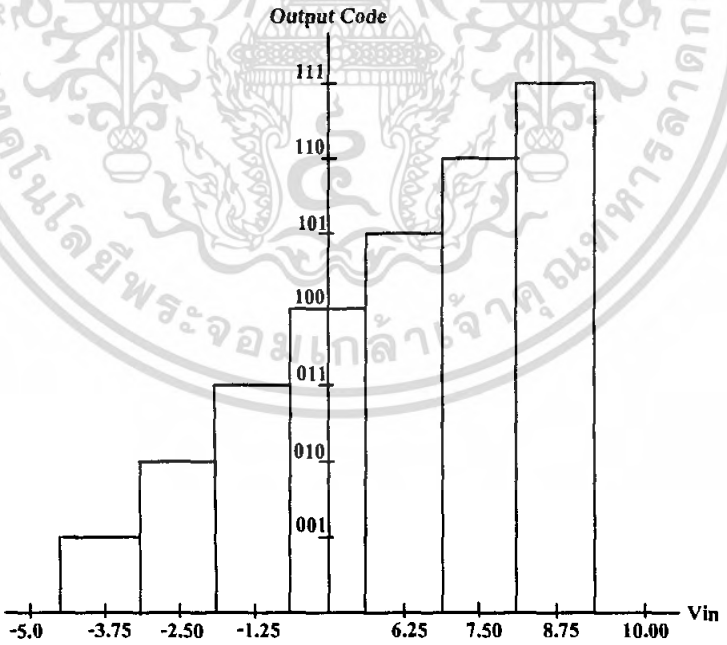
อินพุท และได้ค่าสัญญาณดิจิตอลเอาท์พุทเป็นรูปฟันเลื่อย นั่นคือ ค่า 1 ช่วงสัญญาณอนาล็อกที่เปลี่ยนแปลงไปเป็นรหัสดิจิตอล 1 สถานะ ซึ่งค่าสัญญาณดิจิตอลเอาท์พุทดังกล่าวเรียกว่า Quantizing Error ดังรูปที่ 4.5



รูปที่ 4.5 Quantizing Error

ค่า Quantizing Error จะแก้ไขได้โดยการเพิ่มจำนวนของ Quantizer ให้มากขึ้น และอาจทำให้ค่าเอาท์พุทมีความผิดพลาดเท่ากับศูนย์ ซึ่งลักษณะฟังก์ชั่นค่าความผิดพลาดจะพิจารณาจากสัญญาณรบกวนทางอินพุท

4.6. รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

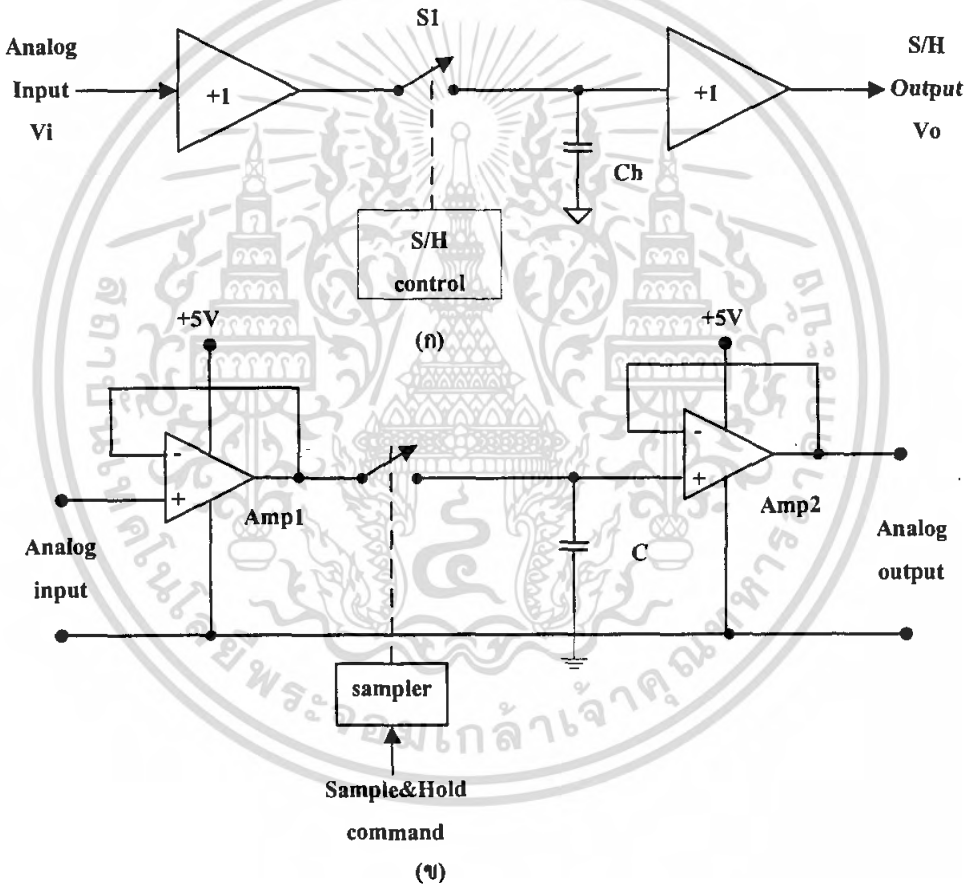


รูปที่ 4.6 ทรานเฟอร์ฟังชั่นของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
72139

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูล ได้แก่ รหัสไบนารี่ (Straight Binary) โดยรหัสไบนารีสถานะสูง จะแทนด้วยสัญญาณอนาล็อก $\frac{FSR}{2^n}$ โวลท์ เช่น วงจร ADC ขนาด 12 บิต มีรหัส 1111 1111 1111 และมีสัญญาณอนาล็อกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ จะแทนด้วยสัญญาณอนาล็อกขนาด 20 ($1 - 2^{-12}$) หรือ 19.39951171 โวลท์ นอกจากนั้นยังมีระบบ BCD เหมาะสำหรับการคำนวณทางคณิตศาสตร์และลอจิก ระบบออฟเซ็ตไบนารี่เหมาะสำหรับการคำนวณทางคณิตศาสตร์ ลอจิก และการแปลงสัญญาณอินพุทที่มีทั้งช่วงบวกและลบ

4.7. วงจรสุ่มและคงค่าสัญญาณ



รูปที่ 4.7 การสุ่มและคงค่าสัญญาณ

(ก) พื้นฐานของวงจรสุ่มและคงค่าสัญญาณ

(ข) ไดอะแกรมของวงจรวงจรสุ่มและคงค่าสัญญาณ

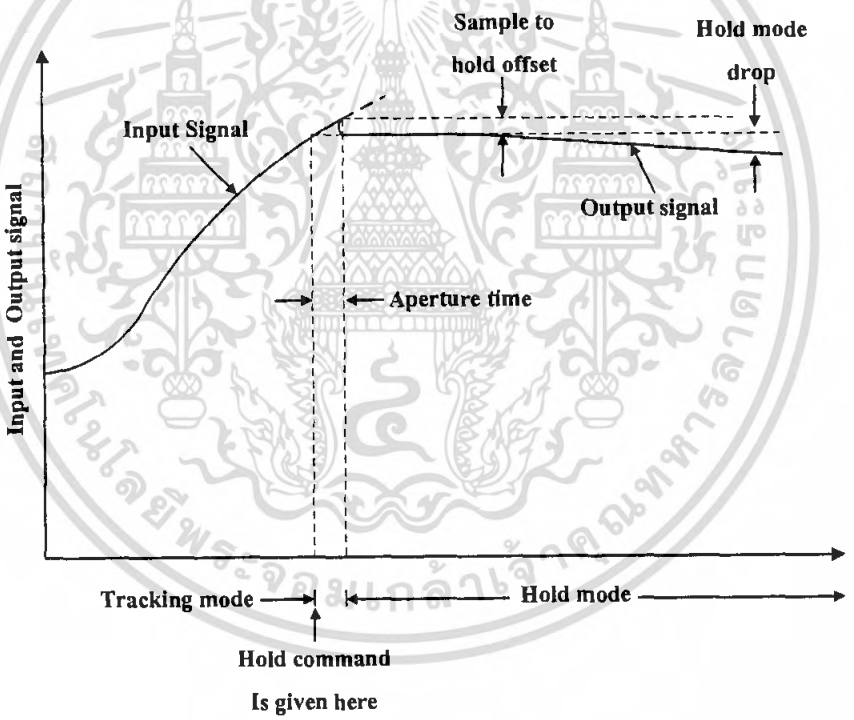
วงจรสุ่มและคงค่าสัญญาณ (Sample And Hold, S&H) มีใช้กันทั่วไปในระบบ ADC, Data Distribution, Sampling Scope, DVM, Reconstruction Filter หรืออนาล็อกคอมพิวเตอร์ ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดังกล่าวเป็นวงจรเก็บแรงดัน (Voltage Memory) โดยมีการใช้อุปกรณ์ร่วมที่สำคัญคือ ตัวเก็บประจุ ดังรูปที่ 4.7(ก) แสดงวงจรพื้นฐานวงจรสุ่มและคงค่าสัญญาณจากสัญญาณอนาล็อกอินพุทและเอาท์พุท

รูปที่ 4.7(ข) แสดงวงจรจำลองที่ใช้ในการทดลอง โดยมีวงจรบัฟเฟอร์(Buffer) เข้าทางด้านอินพุทและเอาท์พุทของวงจรสุ่มและคงค่าสัญญาณพื้นฐาน วงจรบัฟเฟอร์ของด้านอินพุทจะช่วยให้วงจรมีอินพุทอิมพีแดนซ์สูง ซึ่งสะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำให้เกิดการเก็บประจุได้เร็วขึ้น ส่วนวงจรบัฟเฟอร์ทางด้านเอาท์พุทจะทำให้มีเอาท์พุทอิมพีแดนซ์มีค่าต่ำ จึงสามารถขับ ADC ได้ง่าย

สิ่งสำคัญที่ต้องพิจารณาวงจรสุ่มและคงค่าสัญญาณ คือ จะต้องใช้วงจรขยายที่ใช้ FET หรือ MOSFET ซึ่งทำให้เกิดการไบอัสด้วยแรงดันทำให้มีกระแสกระแสอินพุทต่ำ เพื่อให้วงจรสุ่มและคงค่าสัญญาณเกิดการดึงกระแสจากตัวเก็บประจุให้มีค่าคงที่ของสัญญาณน้อยลง ดังรูปที่ 4.8



รูปที่ 4.8 เอาท์พุตของวงจรสุ่มและคงค่าสัญญาณ

วงจรสุ่มและคงค่าสัญญาณในระบบ Data Acquisition ที่นิยมใช้มี 2 แบบคือ Sample-Hold และ Track-Hold ซึ่งวงจรแบบ Track-Hold จะมีการดัดสวิทซ์สุ่มช้ากว่าแบบ Sample-Hold และวงจรสุ่มและคงค่าสัญญาณจะมีการสุ่มสัญญาณที่รวดเร็วแล้วเข้าสู่ Holding Period นั่นคือ สวิทซ์ควบคุมจะตัดช่วงเวลาสั้น ๆ อย่างต่อเนื่อง

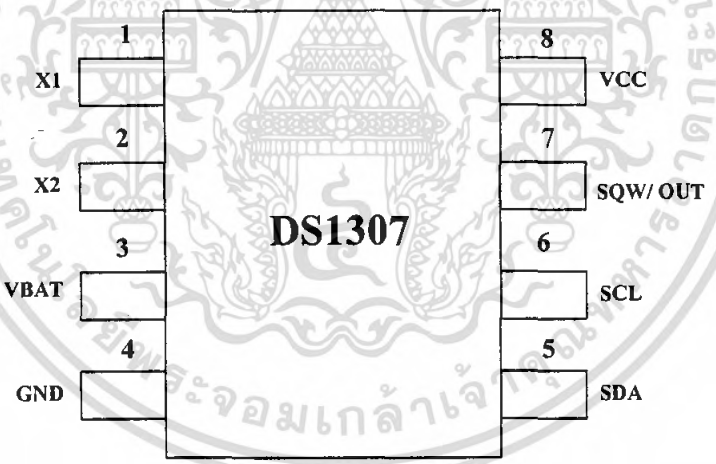
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ทฤษฎีระบบฐานเวลาจริง

5.1. ไอซีสร้างฐานเวลาจริง

DS1307 เป็นไอซีสำหรับสร้างฐานเวลาจริงให้แก่ระบบไมโครคอนโทรลเลอร์ โดยที่จะให้ข้อมูลเกี่ยวกับเวลาทั้งหมด ทั้งวินาที, นาที, ชั่วโมง, วัน, สัปดาห์, เดือนและปี ซึ่งมีคุณสมบัติทางเทคนิคที่สำคัญดังนี้

1. เป็นไอซีสร้างฐานเวลา ซึ่งให้ข้อมูลเกี่ยวกับเวลาทั้งหมดอย่างละเอียดและเที่ยงตรง โดยเฉพาะสามารถปรับวันในปีอธิกสุรทิน และสร้างฐานเวลาได้ถึงปี ค.ศ. 2100
2. มีหน่วยความจำ นอนโวลาไทม์แรม 56 ไบต์อยู่ภายใน ซึ่งใช้เก็บข้อมูลทั่วไปได้
3. ใช้ในการเชื่อมต่อแบบระบบบัส I^2C
4. มีวงจรตรวจจับไปเลี้ยง ซึ่งถ้าวงจรมีไฟเลี้ยงต่ำหรือขาดหายไป วงจรจะยังคงสามารถรักษาข้อมูลเวลาไว้ได้



รูปที่ 5.1 การจัดขาของไอซี DS 1307 ไอซีสร้างฐานเวลาจริง (RTC)

รายละเอียดการใช้งานขาของ DS1307 แสดงได้ดังรูปที่ 5.1 โดยแต่ละขามีหน้าที่และการใช้งานดังนี้

1. V_{CC}, **GND** (ขา 8, 4) ต่อไฟเลี้ยง + 5V
2. V_{BAT}(ขา 3) ใช้ต่อกับแบตเตอรี่ 3V เพื่อรักษาการสร้างฐานเวลาจริงของ DS1307 ให้คงอยู่ต่อไป แม้ในขณะนั้นจะไม่มีไฟเลี้ยงซึ่งจ่ายแก่ DS1307 ชนิดของแบตเตอรี่ที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

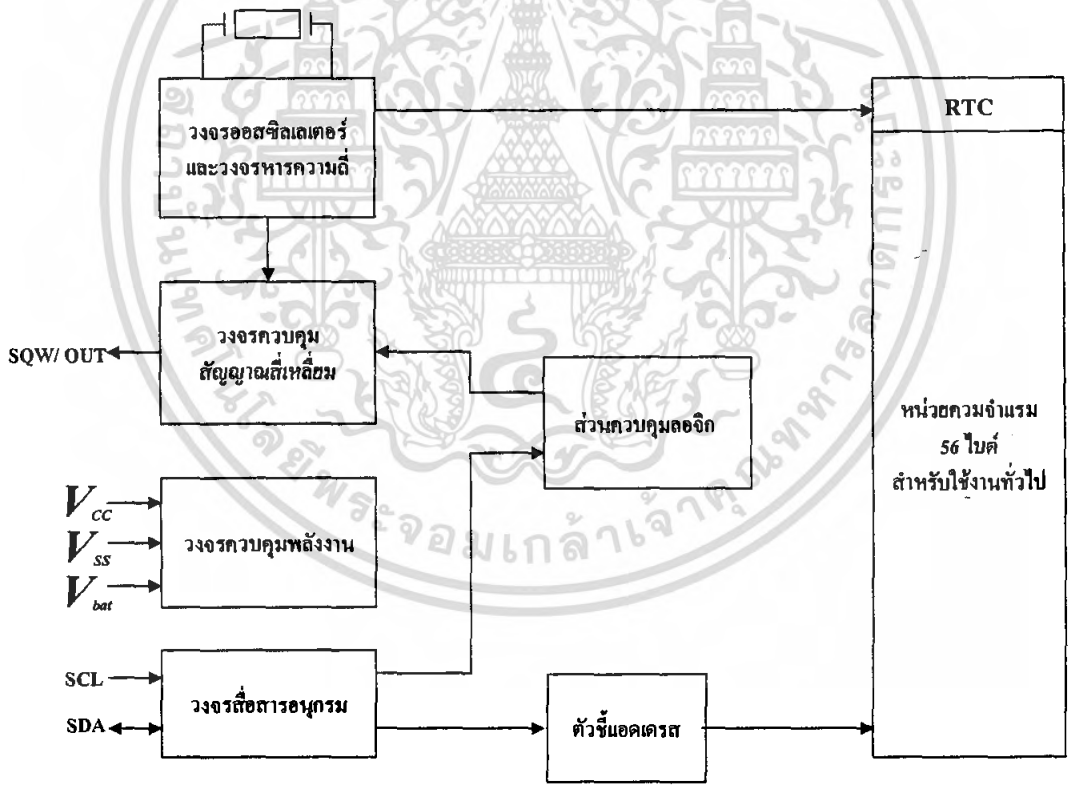
คือ แบตเตอรี่แบบลิเธียมซึ่งมีความจุ 40 mAhr หรือมากกว่านั้น ซึ่งจะสามารถรักษาข้อมูลได้นาน 10 ปี ที่อุณหภูมิ 25 องศาเซลเซียส

3. **SDA, SCL** (ขา 5 และ 6) เป็นขาสำหรับเชื่อมต่อกับระบบไมโครคอนโทรลเลอร์บนระบบบัส I^2C

4. **SQW/ OUT** (ขา 7) ที่ขานี้จะมีสัญญาณรูปสี่เหลี่ยมส่งออกมา โดยที่สามารถเลือกความถี่ได้ 1KHz, 4.096KHz, 8.192KHz และ 32KHz ในการใช้งานต้องต่อตัวต้านทาน 1k พูลอัปที่ขานี้ด้วย

5. **X1, X2** (ขา 1 และ 2) ใช้ต่อกับคริสตอลความถี่มาตรฐาน 32.768KHz เพื่อใช้เป็นฐานเวลาในการสร้างค่าเวลาจริง ในการใช้งานต้องต่อคริสตอลเข้ากับขาทั้งสองนี้ และที่แต่ละขาต้องต่อตัวเก็บประจุค่าต่ำๆ ประมาณ 15 *pF* คร่อมกับสายกราวด์ด้วย

5.2. การทำงานของ DS 1307



รูปที่ 5.2 โครงสร้างภายในของไอซี สร้างฐานเวลาจริงเบอร์ DS 1307

ไอซี DS1307 มีการจัดการเชื่อมต่อในระบบบัส I^2C โดยจะทำงานเป็นอุปกรณ์สเลฟเสมอ ดังนั้น การติดต่อเพื่อใช้งานจึงต้องกำหนดรูปแบบตามตามระบบบัส I^2C ดังรูปที่ 5.2 ซึ่งแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดอะแกรมการทำงานของไอซีสร้างฐานเวลาจริง DS1307 วงจรออสซิลเลเตอร์เป็นหัวใจหลักของไอซี เนื่องจากเป็นจุดเริ่มต้นของการสร้างข้อมูลเวลาจริงใน ซึ่งขณะที่ DS1307 ทำงาน ขา SQW/ OUT จะมีสัญญาณพัลส์สี่เหลี่ยมส่งออกมาตลอดเวลา ในกรณีที่มีการอีนาเบิล รีจิสเตอร์จะควบคุมค่าความถี่สัญญาณของวงจรกำเนิดสัญญาณพัลส์ ซึ่งสามารถเลือกเก็บค่าเวลาไว้ในหน่วยความจำโวลาไทม์แรมได้ 4 ค่าพร้อมกัน มีขนาดรวม 64 ไบต์ แบ่งออกเป็นการหน่วยความจำเก็บข้อมูลเวลา 8 ไบต์ และเป็นหน่วยความจำใช้เก็บข้อมูลทั่วไปอีก 56 ไบต์

วงจรควบคุมพลังงานไฟฟ้าจะตรวจสอบสภาวะของไฟเลี้ยงไอซีสร้างฐานเวลาจริง ซึ่งถ้ามีไฟเลี้ยงต่ำกว่า $1.25V_{BAT}$ วงจรก็จะควบคุมให้ DS1307 หยุดการทำงาน และรีเซ็ตค่าตัวนับแอดเดรสภายใน ซึ่งทำให้ไม่สามารถติดต่อกับ DS1307 ได้ ดังนั้น การใช้งาน DS1307 ต้องระมัดระวังไม่ให้ไฟเลี้ยงมีค่าต่ำกว่า $1.25V_{BAT}$ หรือประมาณ 3.75 V ในกรณีที่ใช้ V_{BAT} เท่ากับ 3V และหากไฟเลี้ยงมีค่าต่ำกว่าค่า V_{BAT} นั้นไอซีสร้างฐานเวลาจริง DS1307 จะเข้าสู่โหมดสำรองข้อมูลกระแสต่ำทันที และจะไม่มีการส่งสัญญาณพัลส์ออกมาที่ขา SQW/ OUT แต่วงจรสร้างฐานเวลาจริงจะยังทำงานต่อ เพื่อให้เวลาเดินไปอย่างไม่ผิดพลาด และเมื่อมีไฟเลี้ยงปรากฏขึ้นอีกครั้ง DS1307 ก็จะสามารถให้ค่าของเวลาที่เป็นจริงแก่ผู้ใช้งานได้ต่อไป

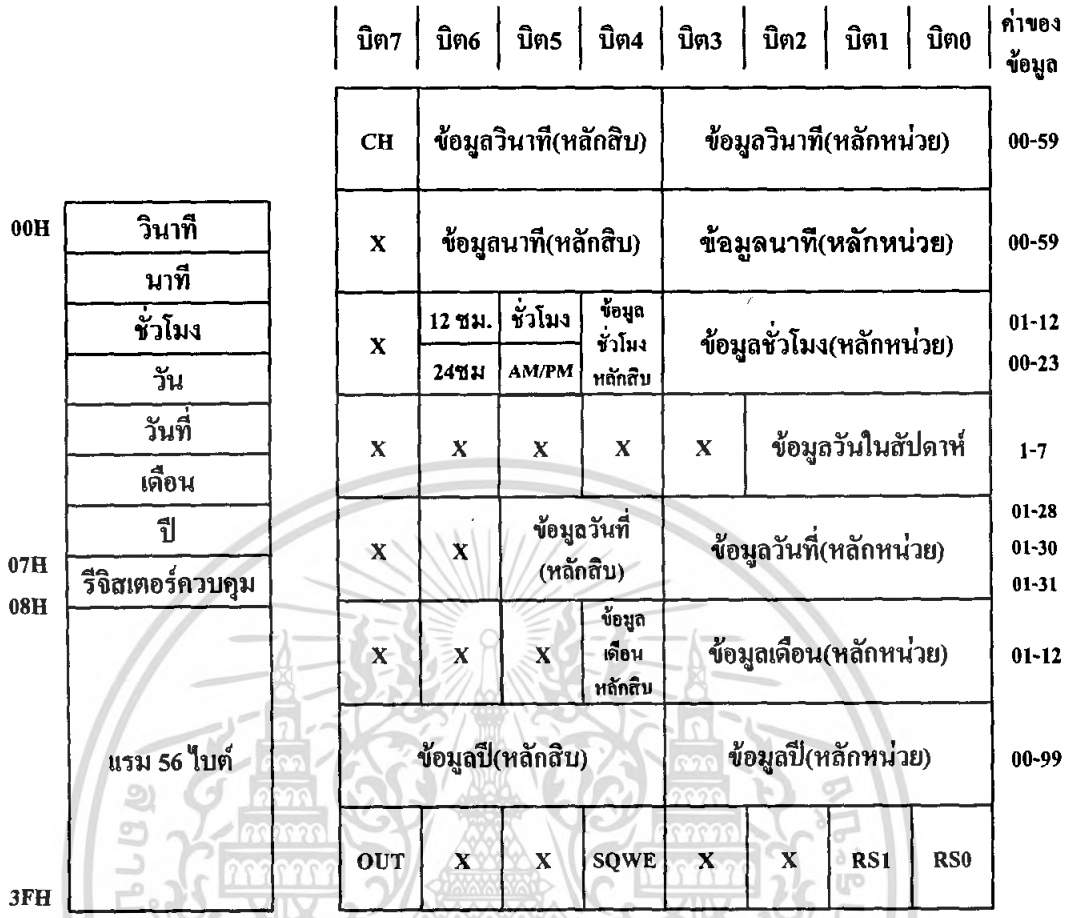
วงจรสื่อสารอนุกรมภายใน DS1307 ได้รับการกำหนดให้ทำงานตามรูปแบบระบบบัส I^2C ซึ่งเป็นช่องทางการสื่อสารระหว่าง DS1307 กับอุปกรณ์มาสเตอร์ ผู้ใช้งานสามารถเข้าถึงหน่วยความจำที่เก็บค่าเวลาและหน่วยความจำใช้งานทั่วไปได้ โดยการเขียนข้อมูลตามรูปแบบที่กำหนดในระบบบัส I^2C

5.3. การจัดสรรหน่วยความจำใน DS1307

การจัดสรรพื้นที่ของหน่วยความจำภายใน DS1307 นั้นพื้นที่ 7 ไบต์แรก ตั้งแต่แอดเดรส 00H – 06H เป็นพื้นที่ของรีจีสเตอร์ค่าเวลา ที่ใช้ในการเก็บข้อมูลเกี่ยวกับเวลา ไบต์ต่อมาที่แอดเดรส 07H เป็นพื้นที่ของรีจีสเตอร์ควบคุมการทำงานของ DS1307 ดังรูปที่ 5.3(ก) และ (ข) เป็นรูปแสดงการจัดสรรหน่วย ความจำแรมภายใน DS 1307 และรายละเอียดของรีจีสเตอร์เก็บค่าเวลาและรีจีสเตอร์ควบคุม DS 1307

การจัดสรรพื้นที่แบบนี้ ทำให้ผู้ใช้งานสามารถเรียกข้อมูลเวลาออกมาได้ตามที่ต้องการ โดยไม่จำเป็นต้องเรียกข้อมูลออกมาทั้งหมด ค่าเวลาจะอยู่ในรูปของเลขฐานสิบ สำหรับการแสดงเวลาในรูปชั่วโมงสามารถเลือก 2 แบบ คือ แบบ 12 ชั่วโมงจะกำหนดที่บิต 5 ในแอดเดรส 02H หรือแบบ 24 ชั่วโมง จะกำหนดที่บิต 6 ของแอดเดรส 02H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 การจัดสรรหน่วยความจำใน DS 1307

(ก) การจัดสรรหน่วยความจำแรมภายใน DS 1307

(ข) รายละเอียดของรีจิสเตอร์เก็บค่าเวลาและรีจิสเตอร์ควบคุม DS 1307

รายละเอียดของรีจิสเตอร์ควบคุม มีดังนี้

1. **OUT** (Output Control) ใช้ในการควบคุมระดับลอจิกที่ขา SQW/ OUT ในกรณีที่ดิสเอเบิลกำเนิดสัญญาณสี่เหลี่ยม โดยถ้าบิตนี้เป็น "1" ที่ขา SQW/ OUT ก็จะเป็น "1" ถ้าบิตนี้เป็น "0" ที่ขา SQW/OUT ก็จะเป็น "1" ถ้าบิตนี้เป็น "0" ที่ขา SQW/ OUT ก็จะเป็น "0"

2. **SQWE** (Square Wave Enable) ใช้ในการอีเนเบิลส่วนของวงจรกำเนิดสัญญาณสี่เหลี่ยมที่ขา SQW/ OUT ถ้าต้องให้มีสัญญาณสี่เหลี่ยมออกให้กำหนดบิตนี้เป็น "1"

3. **RS1, RS0** (Rate Select) ใช้เลือกความถี่ของสัญญาณสี่เหลี่ยมที่ออกจากขา SQW/OUT ดังมีรายละเอียดต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 การเลือกค่าความถี่ของสัญญาณสี่เหลี่ยม

RS1	RS2	ค่าความถี่ของสัญญาณสี่เหลี่ยม (*Hz*)
0	0	1
0	1	4.096 k
1	0	8.192 *k*
1	1	32.768 *k*

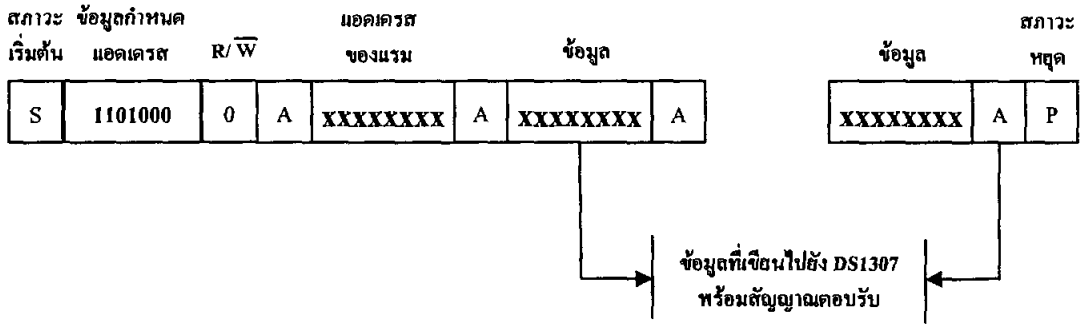
5.4. โหมดการทำงานของ DS1307

โหมดการทำงานของ DS1307 มี 2 โหมดคือ โหมดการเขียนข้อมูลและโหมดการอ่านข้อมูล การเริ่มต้นติดต่อกับ DS1307 จะต้องเข้าสู่โหมดการเขียนข้อมูลก่อน เพื่อกำหนดแอดเดรสที่ต้องการอ่านข้อมูล จากนั้นจึงเปลี่ยนโหมดการทำงานมาเป็นโหมดการอ่านข้อมูล ซึ่งในการใช้งาน DS1307 ตามปกติจะเป็นการใช้งานเฉพาะโหมดอ่านข้อมูลเพียงอย่างเดียว เนื่องจากไมโครคอนโทรลเลอร์จะติดต่อกับ DS1307 เพื่ออ่านข้อมูลของเวลาที่ทำงาน โหมดการเขียนข้อมูลจะถูกใช้งานก็ต่อเมื่อผู้ใช้ต้องการตั้งค่าเวลาใหม่ และต้องการเขียนข้อมูลลงในหน่วยความจำใช้งานทั่วไป

5.4.1. โหมดการเขียนข้อมูล

เมื่อไมโครคอนโทรลเลอร์จะเริ่มต้นทำงาน ไมโครคอนโทรลเลอร์จะมีสภาวะเริ่มต้น (START : S) จากนั้นจะส่งข้อมูลเพื่อกำหนดแอดเดรส 11010000 ตามด้วยการเลือกโหมดการเขียนข้อมูล นั่นคือ มีลอจิก "0" จากนั้นไมโครคอนโทรลเลอร์จะรอการตอบรับจาก DS1307 แล้วส่งข้อมูลเพื่อเลือกแอดเดรสที่ต้องการเขียนข้อมูล หลังจากนั้นก็เริ่มทยอยเขียนข้อมูลลงไปในแต่ละแอดเดรส ซึ่งหลังจากเขียนข้อมูลในแต่ละแอดเดรสนั้น จะต้องหยุดรอการตอบรับจาก DS1307 ทุกครั้ง จึงสามารถจะเขียนข้อมูลต่อไปได้ เมื่อเขียนข้อมูลเรียบร้อยแล้ว ไมโครคอนโทรลเลอร์จะส่งสภาวะหยุด (STOP : P) เพื่อเป็นการแสดงว่าระบบได้สิ้นสุดการเขียนข้อมูลแล้ว ดังรูปที่ 5.4

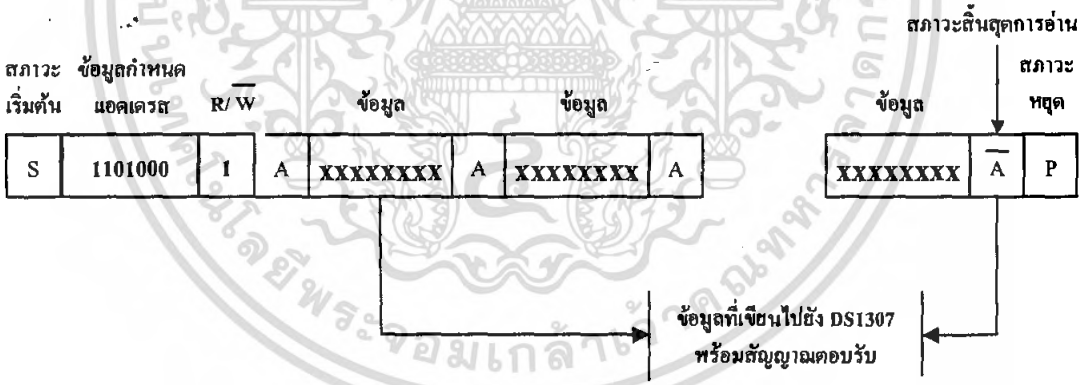
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 การต่อกับไอซีสร้างฐานเวลาจริง DS1307 ในโหมดการเขียนข้อมูล

5.4.2. โหมดการอ่านข้อมูล

เมื่อไมโครคอนโทรลเลอร์จะเริ่มต้นทำงาน จะทำงานเหมือนกับโหมดการเขียนข้อมูล โดยมีการกำหนดแอดเดรสแล้วเลือกโหมดการอ่านข้อมูล ซึ่งจะมีลอจิกเป็น "1" จากนั้นไมโครคอนโทรลเลอร์จะรอการตอบรับจาก DS1307 แล้วจะทยอยส่งข้อมูลออกมาให้ไมโครคอนโทรลเลอร์ครั้งละ 1 แอดเดรสหรือ 1 ไบต์ โดยแอดเดรสที่เลือกอ่านข้อมูลจะต้องมีการกำหนดมาโดยโหมดการเขียนข้อมูลส่วงหน้าแล้ว ดังรูปที่ 5.5



รูปที่ 5.5 การต่อไอซีสร้างฐานเวลาจริง DS1307 ในโหมดการอ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การสื่อสารข้อมูลแบบอนุกรม

การเชื่อมต่อระหว่างพอร์ตอนุกรมแต่ละพอร์ต จะมีเส้นสัญญาณแบบอนุกรมมาตรฐาน 3 แบบ คือ แบบมาตรฐาน EIA RS-422 แบบระบบวงรอบกระแสและแบบมาตรฐาน EIA RS-232 ปกติเราจะใช้เส้นส่งสัญญาณอนุกรมแบบมาตรฐาน EIA RS-232 มากที่สุด ซึ่งมักนำไปใช้ในหน่วยแสดงผล เครื่องพิมพ์โมเด็ม และอุปกรณ์อื่นๆ ซึ่งมีความยาวของสายสัญญาณไม่เกิน 50 ฟุต

6.1. มาตรฐาน EIA RS-232

มาตรฐาน EIA RS-232 ได้กำหนดให้ค่าสัญญาณของระดับแรงดันไฟฟ้าเท่ากับ 3 โวลท์หรือสูงกว่านั้น มีค่าทางดรรกะเป็น 1 และกำหนดให้ค่าสัญญาณของระดับแรงดันไฟฟ้าเท่ากับ -3 โวลท์หรือต่ำกว่านั้น มีค่าทางตรรกะเป็น 0 วงจรไอซีที่ใช้สร้างสัญญาณเหล่านี้ต้องใช้แหล่งจ่ายไฟขนาด + 12 V, RS-232 มีสายส่งข้อมูล 1 เส้น และสายรับข้อมูล 1 เส้น โดยสัญญาณแต่ละสายจะต่อกับสายกราวนด์ (ขาเบอร์ 7) นอกจากนี้ RS-232 ยังมีการกำหนดการสร้างสัญญาณตอบรับ เพื่อใช้ในการควบคุมการรับส่งข้อมูลด้วย

ตารางที่ 6.1 แสดงมาตรฐาน EIA RS-232 แบบ 9 Pin

9 Pin	EIA RS-232 Circuit	CCIT V.24 Circuit	EIA RS-232 Description	Signal type & Direction
5	AB	102	Signal group/common	Ground/common
2	BB	104	Received data	Data from DCE
3	BA	103	Transmitted data	Data to DCE
1	CF	109	Receive line signal detector	Control from DCE
4	CD	108, 2	Data terminal ready	Control to DCE
6	CC	107	Data set ready	Control from DCE
7	CA	105	Request to send	Control to DCE
8	CB	106	Clear to send	Control from DCE
9	CE	125	Ring indicator	Control from DCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 แสดงมาตรฐาน EIA RS-232 แบบ 25 Pin

25 Pin	EIA RS-232 Circuit	CCIT V.24 Circuit	EIA RS-232 Description	Signal type & Direction
1*	AA	101	Protective ground	Ground
7*	AB	102	Signal ground/ common return	Ground/common
2*	BA	103	Transmitted data	Data to DCE
3*	BB	104	Received data	Data from DCE
4*	CA	105	Request to send	Control to DCE
5*	CB	106	Clear to send	Control from DCE
6*	CC	107	Data set ready	Control from DCE
20*	CD	108, 2	Data terminal ready	Control to DCE
22	CE	125	Ring indicator	Control from DCE
8	CF	109	Received line signal detector	Control from DCE
21	CG	110	Signal quality detector	Control from DCE
23	CH	111	Data signal rate selector (DTE)	Control to DCE
23	CI	112	Data signal rate selector (DCE)	Control from DCE
24	DA	113	Transmitter signal element timing (DTE)	Timing from DCE
17	DD	115	Receiver signal element timing (DCE)	Timing from DCE
14	SBA	118	Secondary transmitted data	
16	SBB	119	Secondary received data	
19	SCA	120	Secondary request to send	Control to DCE
13	SCB	121	Secondary clear to send	Control from DCE
12	SCF	122	Secondary received line signal detector	Control from DCE
11 18 25			Undefined	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2. RS – 232C

6.2.1. คุณสมบัติของ RS – 232C

ตารางที่ 6.3 คุณสมบัติของ RS – 232C

อัตรารับส่งข้อมูล	0 – 20000 บิต / วินาที
ระดับแรงดันเอาต์พุทสูงสุดในสภาวะไม่มีโหลด	- 25 โวลท์ (ลอจิก 1)
ระดับแรงดันเอาต์พุทสำหรับโหลด 3 – 7 กิโลโอห์ม	ลอจิก "1" - 15 โวลท์ (7 กิโลโอห์ม) - 5 โวลท์ (3 กิโลโอห์ม)
	ลอจิก "0" + 15 โวลท์ (7 กิโลโอห์ม) + 5 โวลท์ (3 กิโลโอห์ม)
กระแสเอาต์พุทเมื่อลัดวงจร	สูงสุด 500 มิลลิแอมป์
เอาต์พุตอิมพีแดนซ์เมื่อไม่มีแหล่งจ่ายไฟ	ต่ำสุด 300 โอห์ม
สลูว์เรตทางเอาต์พุทสูงสุด	30 โวลท์ / ไมโครวินาที
ความต้านทานอินพุทของภาครับ	สูงสุด 7 กิโลโอหม์
	ต่ำสุด 3 กิโลโอหม์
ค่าความจุอินพุทของภาครับ	สูงสุด 2500 กิโลฟารัด
ย่านแรงดันอินพุทของภาครับ	- 25 โวลท์ถึง + 25 โวลท์

6.2.2. การจัดขาสัญญาณของ RS-232

การจัดขาสัญญาณของ RS-232 แบ่งออกเป็น 2 แบบ คือ แบบ 9 ขาและแบบ 25 ขา ดังตารางที่ 6.4

6.2.3. การเชื่อมต่อสัญญาณของ RS-232C

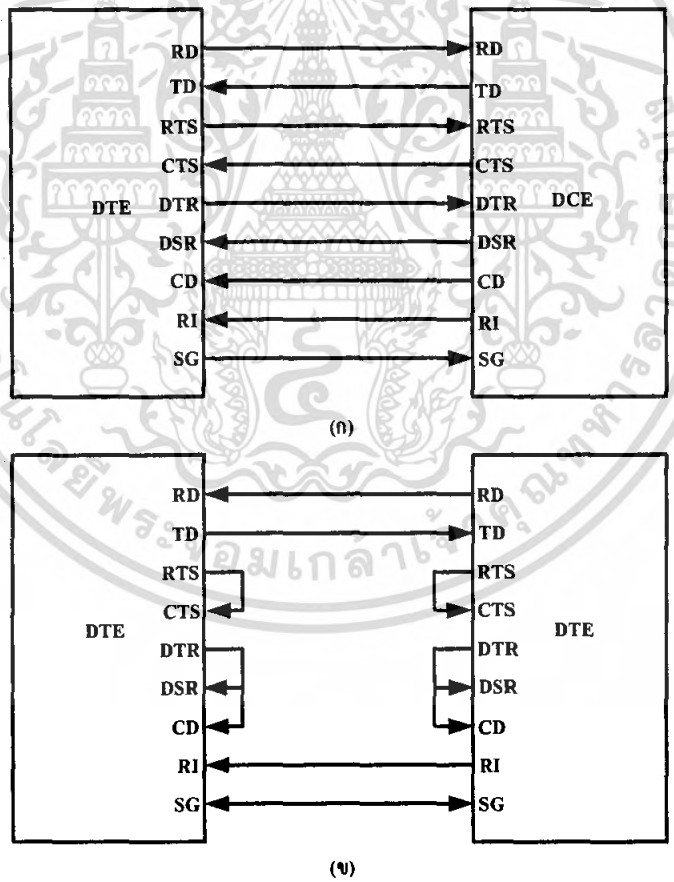
มีลักษณะเชื่อมต่อ 2 แบบคือ

1. การเชื่อมต่อกันระหว่างอุปกรณ์ DTE (Data Terminal Equipment)
2. การเชื่อต่อกันระหว่างอุปกรณ์ DCE (Data Communications Equipment) กับอุปกรณ์ DTE (Data Terminal Equipment) ดังรูปที่ 6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.4 ขาสัญญาณ RS-232 ทั้งแบบ 9 ขาและ 25 ขา

ชื่อสัญญาณ	ขาสัญญาณในแบบ 9 ขา	ขาสัญญาณในแบบ 25 ขา
TD Transmitted Data	3	2
RD Received Data	2	3
RTS Request to Send	7	4
CTS Clear to Send	8	5
DSR Data Set Ready	6	6
SG Signal Ground	5	7
CD Carrier Detect	1	8
DTR Data terminal Ready	4	20
RI Ring Indication	9	22



รูปที่ 6.1 การเชื่อมต่อสัญญาณของมาตรฐาน RS-232

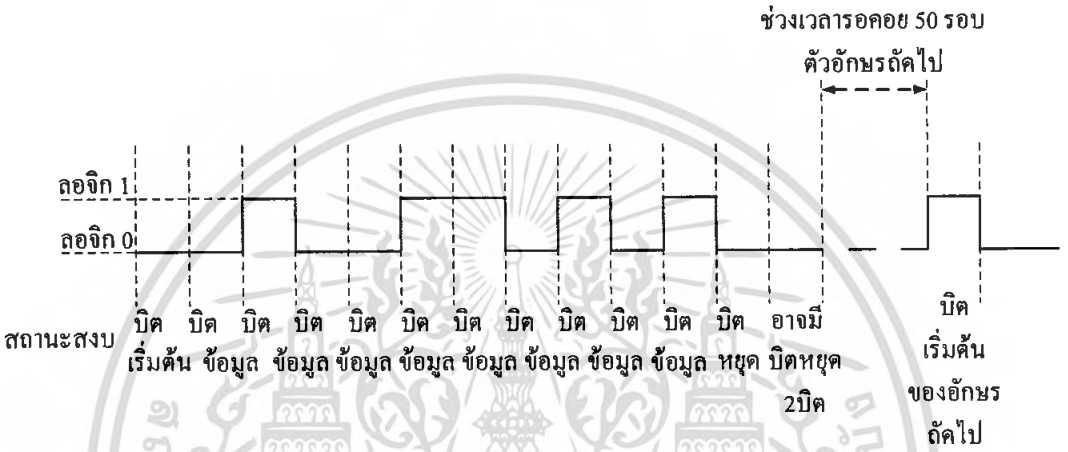
(ก) การต่ออุปกรณ์ DTE กับ DCE

(ข) การต่ออุปกรณ์ DTE กับ DTE

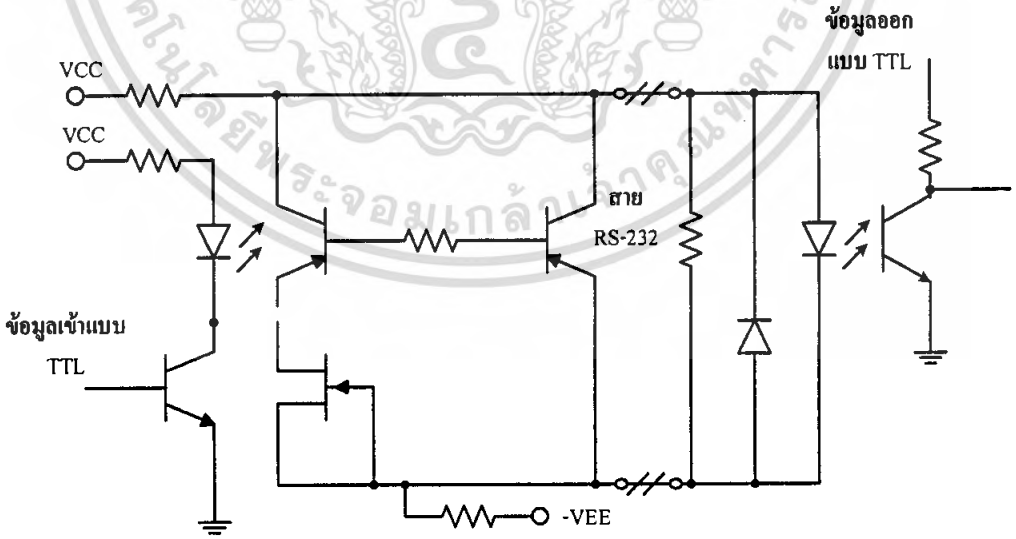
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3. รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม

การสื่อสารข้อมูลที่มีไมโครโปรเซสเซอร์ เป็นพื้นฐานเชื่อมต่อกับอุปกรณ์ภายนอกโดยตรง จะต้องมี Optoisolator Isolator มาแยกไมโครโปรเซสเซอร์ UART และวงจรอื่นๆ เพื่อป้องกันไม่ให้แรงดันไฟฟ้าสูงไหลเข้ามารบกวนวงจรดังกล่าวซึ่งควรทำการเชื่อมต่อระหว่างสายส่งสัญญาณกับสายกราวด์



รูปที่ 6.2 การใช้สัญญาณในการสื่อสารข้อมูลแบบอนุกรม



รูปที่ 6.3 การนำ Optoisolator Isolator มาใช้กับสายส่งสัญญาณ RS-232

อัตราบอด (Baud Rate) คือ ความเร็วในการรับส่งข้อมูลอนุกรม มีหน่วยเป็นบิตต่อวินาที

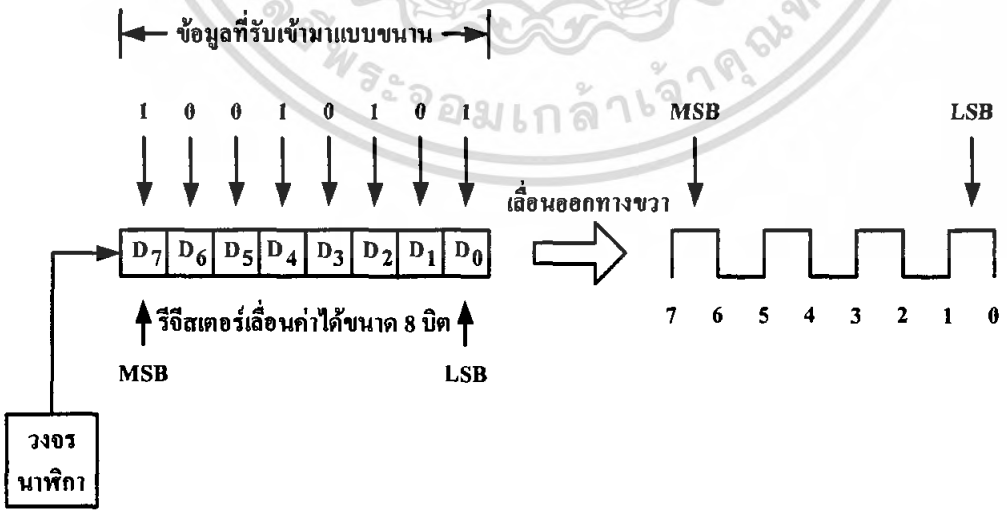
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.5 อัตราบอดและช่วงเวลาของแต่ละบิต (ms)

อัตราบอด	ช่วงเวลาของแต่ละบิต (ms)
110	9.91
150	6.67
300	3.33
600	1.67
1200	0.822
2400	0.417
2800	0.208
9600	0.104
19200	0.052

6.4. การเชื่อมต่อแบบอนุกรมและ UART

การแปลงข้อมูลจะเริ่มต้นจาก ข้อมูลแบบขนานจะถูกเก็บไว้ในรีจิสเตอร์ Shift Register แล้ว สัญญาณนาฬิกาจะเลื่อนค่าในรีจิสเตอร์ออกมาทีละขั้นตอน(โดยเลื่อนค่าไปทางขวามือ) บิตที่ 1 คือ บิตของข้อมูล บิตที่ 2 คือ บิตที่อยู่ถัดจากบิต LSB สำหรับบิตสุดท้ายที่ถูกเลื่อนมาก็คือ บิต MSB ของข้อมูล ดังรูปที่ 6.4

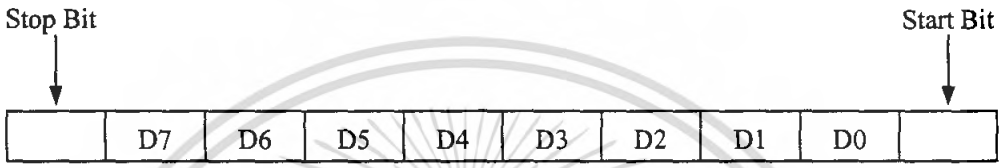


รูปที่ 6.4 การแปลงข้อมูลแบบขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงข้อมูลแบบอนุกรมไปเป็นข้อมูลแบบขนาน จะมีขั้นตอนดังนี้ คือ ข้อมูลแบบอนุกรมจะถูกเลื่อนเข้าไปเก็บใน Shift Register โดยมีสัญญาณนาฬิกาเป็นตัวควบคุม เมื่อมีการเลื่อนข้อมูลครบทุกบิตแล้ว ข้อมูลในรีจิสเตอร์นี้จะถูกนำออกมาแบบขนานเพื่อนำไปใช้งานต่อไป

อุปกรณ์ที่ทำหน้าที่ในการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน และแปลงข้อมูลจากแบบขนานไปเป็นข้อมูลแบบอนุกรมเรียกว่า UART (Universal Asynchronous Receiver Transmitter) ซึ่งเป็นวงจร LSI นอกจากนี้ UART ยังมีหน่วยควบคุมและหน่วยตรวจสอบการทำงานด้วย



รูปที่ 6.5 การกำหนดแอดเดรสขนาด 8 บิต

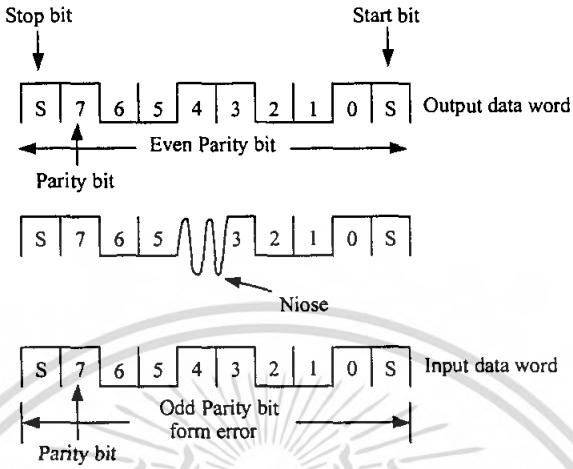
ในการส่งข้อมูลขนาด 8 บิตแบบอนุกรมนี้ จะมีบิตสตาร์ท(Start Bit) และบิตสต๊อป(Stop Bit) เพิ่มเข้ามา ซึ่งจะทำให้มีการส่งข้อมูลขนาด 10 บิต ดังรูปที่ 6.5 แสดงเวิร์ดข้อมูลขนาด 8 บิต ซึ่งประกอบด้วย บิตสตาร์ท 1 บิต และบิตสต๊อป 1 บิต ถ้าบิตสตาร์ทมีค่า 0 แสดงว่า UART กำลังรับข้อมูลเข้ามา แต่ถ้าบิตสต๊อปมีค่า 1 แสดงว่า UART ได้ทำการส่งข้อมูลเสร็จสิ้นแล้ว

ตารางที่ 6.6 อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

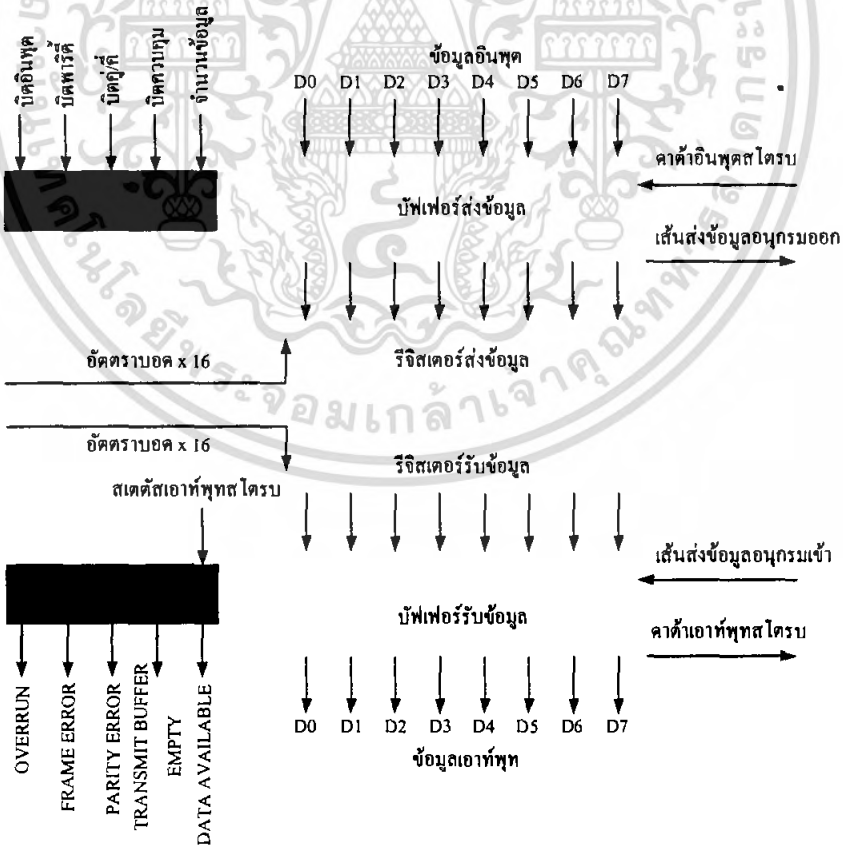
อัตราบอด	ไบต์ / วินาที
110	10
150	15
300	30
600	60
1200	120
9600	960
19200	1920
38400	3840

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลแบบอนุกรม ถ้าค่าพาริตี้เปลี่ยนไป เนื่องจากมีสัญญาณรบกวน (Noise) โดยบิตที่ 4 มีสัญญาณรบกวน ทำให้บิตเปลี่ยนจาก 1 เป็น 0 ซึ่งทำให้ข้อมูลที่ได้รับนั้นมีความไม่ถูกต้อง ดังรูปที่ 6.6



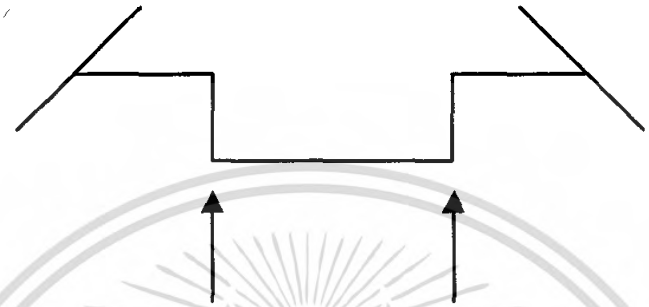
รูปที่ 6.6 การตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรมโดยใช้บิตพาริตี้



รูปที่ 6.7 การส่งข้อมูลของ UART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 6.7 เป็นการส่งข้อมูลของ UART ซึ่งจะแยกออกเป็น 2 ส่วน ได้แก่ บัฟเฟอร์ส่งข้อมูล (Transmitter Data Output Buffer) กับรีจิสเตอร์ส่งข้อมูล (Transmitter Register) โดยบิตข้อมูล 8 บิต จะถูกนำไปเก็บในบัฟเฟอร์ส่งข้อมูล เมื่อสัญญาณที่ควบคุมดาต้าอินพุทสโตรม (Data Input Strobe) เปลี่ยนค่าจาก 1 เป็น 0 แล้ว การส่งข้อมูลแบบอนุกรมจะเริ่มขึ้นเมื่อสัญญาณควบคุมนี้เปลี่ยนค่าจาก 0 เป็น 1



รูปที่ 6.8 สัญญาณดาต้าอินพุทสโตรบ

การนำข้อมูลในรีจิสเตอร์สถานะของ UART จะมีบิตบอกสถานะต่าง ๆ ดังนี้

1. บิต OR (Overrun) บิตนี้จะมีค่าเป็น 1 เมื่อมีข้อมูลใหม่เข้ามาซ้อนข้อมูลเดิม ซึ่งข้อมูลเดิมที่มีอยู่ยังไม่ได้ถูกนำไปเก็บในบัฟเฟอร์รับข้อมูล

2. บิต FE (Framing Error) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ไม่พบบิตสต๊อป ซึ่งเกิดจาก UART อ่านค่าบิตสตาร์ทผิดตำแหน่ง

3. บิต PE (Parity Error) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้ทำการตรวจสอบข้อมูลแล้วพบว่ามีค่าพาริตี้ไม่ตรงกับค่าพาริตี้ของข้อมูล ซึ่ง UART จะเลือกตรวจสอบข้อมูล แบบพาริตี้คู่หรือพาริตี้คี่ได้ โดยต้องระบุค่าที่วงจรควบคุมก่อนที่ UART จะเริ่มรับข้อมูล

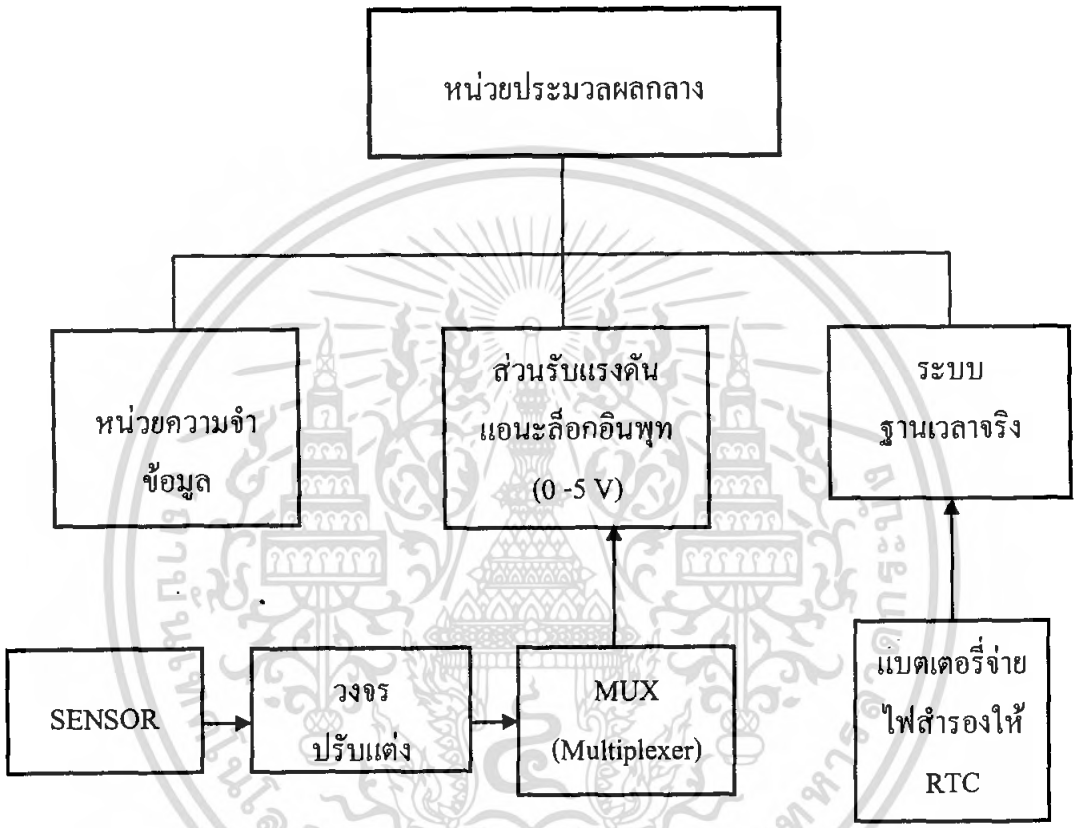
4. บิต TBE (Transmit Buffer Empty) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ส่งข้อมูลออกไปแล้ว เพื่อจะเก็บข้อมูลลงในบัฟเฟอร์ส่งข้อมูลต่อไปได้

5. บิต DA (Data Available) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้รับข้อมูลใหม่เข้ามาและสามารถทำการอ่านข้อมูลนี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
โครงงานเครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง

ในการออกแบบของโครงงานเครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง ที่นำเสนอนั้นมีหลักการทำงานดังแสดงในบล็อกไดอะแกรมดังรูปที่ 7.1



รูปที่ 7.1 หลักการทำงาน โครงงานเครื่องบันทึกและรายงานข้อมูลแบบอิสระ 32 ช่อง

7.1. หลักการทำงาน

ตัวควบคุมและประมวลผลส่วนกลางทำหน้าที่ควบคุมการทำงานของอุปกรณ์ในส่วนต่าง ๆ ได้แก่ หน่วยความจำข้อมูล , ส่วนรับแรงดันอนาล็อก (0 -5 โวลต์) , เซนเซอร์วัดอุณหภูมิและระบบฐานเวลาจริง

เมื่อเริ่มทำงานตัวควบคุมและประมวลผลกลางจะอ่านค่าอุณหภูมิจากเซนเซอร์วัดอุณหภูมิและค่าสัญญาณอนาล็อกอินพุทจากส่วนรับแรงดันอนาล็อกอินพุท (0 -5 โวลต์) แล้วแปลงข้อมูลให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในรูปแบบที่เหมาะสมและเก็บข้อมูลนั้นไว้ในหน่วยความจำข้อมูล อัตราการเก็บข้อมูลจะอ้างอิงเวลาจากระบบฐานเวลาจริง เพื่อให้ได้เวลาที่แน่นอนและตรงกับความเป็นจริง

7.2. องค์ประกอบของโครงงาน

รายละเอียดแสดงการทำงานในส่วนต่าง ๆ สามารถได้ดังนี้

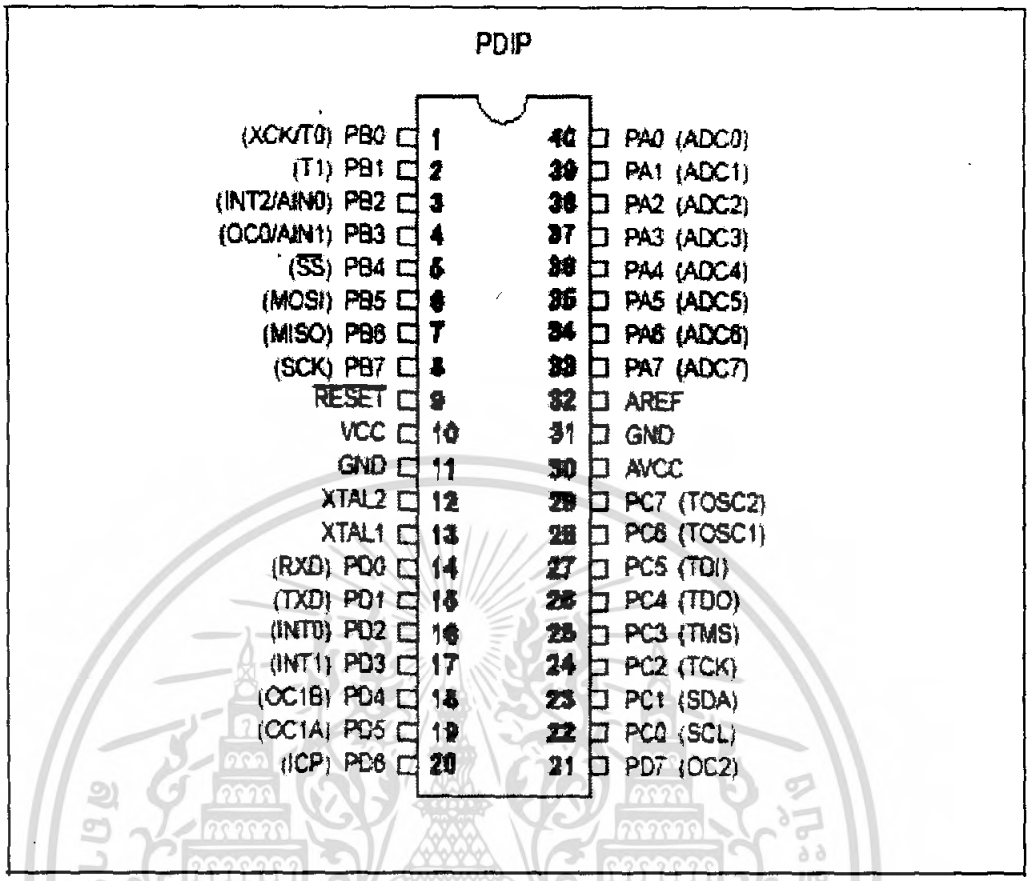
7.2.1. หน่วยประมวลผลกลาง

ในโครงงานนี้จะใช้ไมโครคอนโทรลเลอร์ เบอร์ ATMEGA16 เป็นหน่วยประมวลผลกลาง ทำงานที่ความถี่ 18.345 เมกกะเฮิรตซ์ ช่วยในการควบคุมอุปกรณ์หน่วยต่าง ๆ ผ่านทางบัสข้อมูลอนุกรม ไมโครคอนโทรลเลอร์นี้สามารถทำงานได้กว้างและใช้อุปกรณ์ต่อร่วมจากภายนอกน้อยมาก นอกจากนี้ยังสามารถประมวลคำสั่งได้ภายใน 1 clock

คุณสมบัติและขาต่อใช้งานของไมโครคอนโทรลเลอร์

1. สถาปัตยกรรมภายในถูกออกแบบให้ใช้สถาปัตยกรรมแบบ RISC (Reduce Instruction Set Computer) คือ ทำให้การประมวลผลมีความเร็ว 1 คำสั่ง ต่อ 1 Clock หรือ CPU สามารถประมวลผลคำสั่งได้ 1 MIPS/ MHz
2. มีคำสั่งในการควบคุมการทำงานของไมโครคอนโทรลเลอร์ จำนวน 118 คำสั่ง
3. หน่วยความจำแบบ FLASH สำหรับบันทึก Program Memory ขนาด 16 Kbytes (ATMEGA 16)
4. หน่วยความจำแบบ EEPROM สำหรับบันทึก Data Memory ขนาด 1024 Byte (ATMEGA 16)
5. หน่วยความจำแบบ RAM ขนาด 2 K Byte (ATMEGA 16)
6. ระบบการเปลี่ยนสัญญาณ Analog to Digital ขนาด 10 บิท จำนวน 8 ช่องสัญญาณ
7. ความถี่สัญญาณนาฬิกา 0- 16 MHz (ATMEGA 16)
8. ระบบการตรวจจับระดับสัญญาณอนาล็อก (Analog Comparator)
9. TIMER / COUNTER ขนาด 16 บิท 1 ช่องสัญญาณ
10. TIMER / COUNTER ขนาด 8 บิท 2 ช่องสัญญาณ
11. V_{CC} : 4.5 – 5.5 โวลท์ และสามารถแสดง Pinouts ของไมโครคอนโทรลเลอร์ (ATMEGA 16) ได้ดังรูปที่ 7.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 Pinouts ATMEGA 16

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

1. 10 bit Resolution
2. 0.5 LSB Integral Non-linearity
3. 65 – 260 us Conversion Time
4. UP to 15 KBPS at Maximum Resolution
5. 8 Multiplexed Single Ended Input Channels
6. 0 – Vcc ADC Input Voltage Range
7. Free Running or Single Conversion Mode
8. Interrupt on ADC Conversion Complete

ใน AVR ATMEGA 16 มีวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 10 บิต 8 ช่องสัญญาณ ซึ่งแต่ละช่องจะรับสัญญาณเข้ามาทางแต่ละขาของพอร์ต A โดยในระบบจะมีวงจร Sample Hold เพื่อช่วยให้สัญญาณอนาล็อกที่รับเข้ามาแปลงเป็นสัญญาณดิจิตอลที่มีระดับสัญญาณคงที่ โดยวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลจะมีแหล่งจ่ายไฟและกราวด์แยกออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกัน ซึ่งในการใช้งานไม่ควรให้มีความแตกต่างกันของแรงดันไฟของวงจรอนาล็อกและแรงดันไฟของระบบแตกต่างกันเกิน 0.3 V ซึ่งในการใช้งานจะต้องจ่ายแรงดันไฟอ้างอิงและกราวด์ที่ขา AREF ในช่วงของระดับแรงดัน A_{VCC} – GND

การทำงาน

ในส่วนของการแปลงสัญญาณอนาล็อกเป็นดิจิตอล สามารถแบ่งการทำงานได้ 2 Mode คือ

1. Single Conversion Mode
2. Free Running Mode

ในการทำงาน Single Conversion Mode ผู้ใช้ต้องเป็นผู้กำหนดการใช้งานขึ้นเอง แต่ในส่วนของ Free Running Mode วงจร Analog to Digital จะเป็นตัวจัดการและอ่านข้อมูลซึ่งจะเก็บใน ADC Data Register ซึ่งบิต ADFR ใน Register ADCSR จะเป็นที่ใช้เลือกโหมดการใช้งานของวงจร Analog to Digital

7.2.2. ส่วนเลือกสัญญาณช่องอินพุท

ไอซีที่ใช้เลือกสัญญาณช่องอินพุท คือ ไอซีเบอร์ CD4051BE ทำหน้าที่เลือกช่องสัญญาณอนาล็อกที่ได้จากเซนเซอร์แต่ละตัว เพื่อนำสัญญาณอินพุทนั้น ๆ เข้าสู่กระบวนการประมวลผลต่อไป

7.2.3. ระบบฐานเวลาจริง

ใช้ตัวสร้างสัญญาณนาฬิกาแบบเรียลไทม์(Real Time Clock: RCT) เบอร์ DS1307 ทำหน้าที่สร้างฐานเวลา ฐานวัน เดือน ปี (โดยใช้คริสตอล 32.768 กิโลเฮิรตซ์ในการสร้าง)

7.2.4. หน่วยความจำข้อมูลแบบพกพา (Compact Flash)

ในโครงงานนี้ใช้หน่วยความจำข้อมูลของ Kingston CF/512FE ซึ่งมีคุณสมบัติ คือ

1. ความจุข้อมูล 512 MB
2. ขนาดสัดส่วน 1.43" x 1.68" x 13" – CF Type 1
3. ความเร็วการอ่านข้อมูล 3.7 – 6 MB/sec
4. ความเร็วการเขียนข้อมูล 1.5 – 5 MB/sec
5. คุณสมบัติ Plug-And-Play เสียบแล้วใช้ได้ทันที
6. ใช้ได้กับ PC Card Type II Adapter
7. โหมด Auto sleep ลดอัตราบริโภคพลังงานจากแบตเตอรี่
8. รับประกันคุณภาพตลอดอายุการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

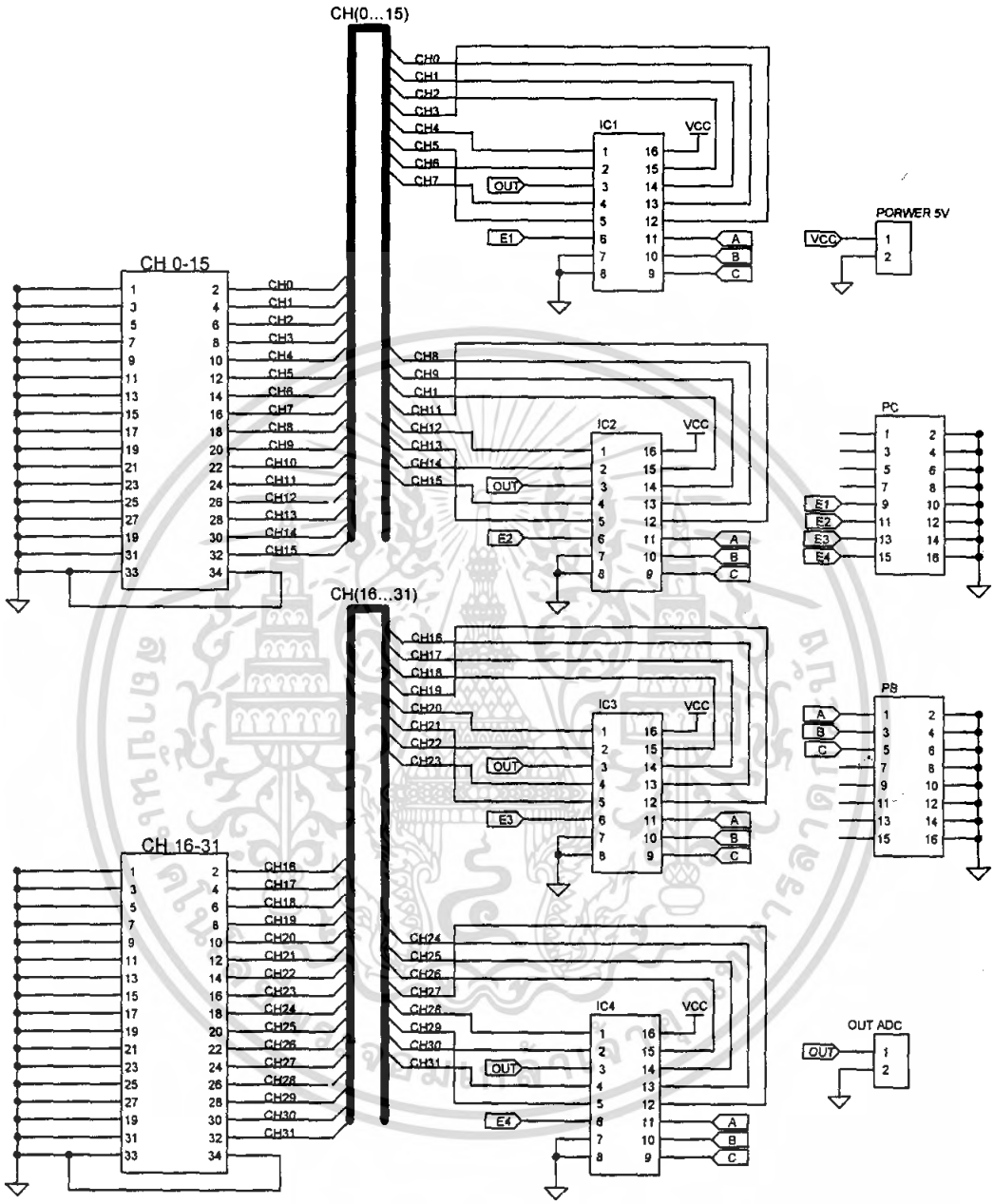
7.2.5. แหล่งจ่ายไฟ

ไฟสำรองจ่ายให้วงจร RTC เนื่องจากวงจร RTC จำเป็นต้องทำงานตลอดเวลา เพื่อที่จะรักษาค่าเวลาให้ถูกต้องจึงจำเป็นต้องมีไฟเลี้ยงสำรองจ่ายให้กับวงจร RTC ในขณะที่ไม่มีไฟเลี้ยงตามปกติ (สภาวะไม่ได้ใช้งานหรือไฟฟ้าขัดข้อง) โดยใช้แบตเตอรี่ลิเธียม – ไอออนขนาดแรงดัน 3 โวลท์ต่อไว้

คุณสมบัติของ AC/DC Switching Power Supply

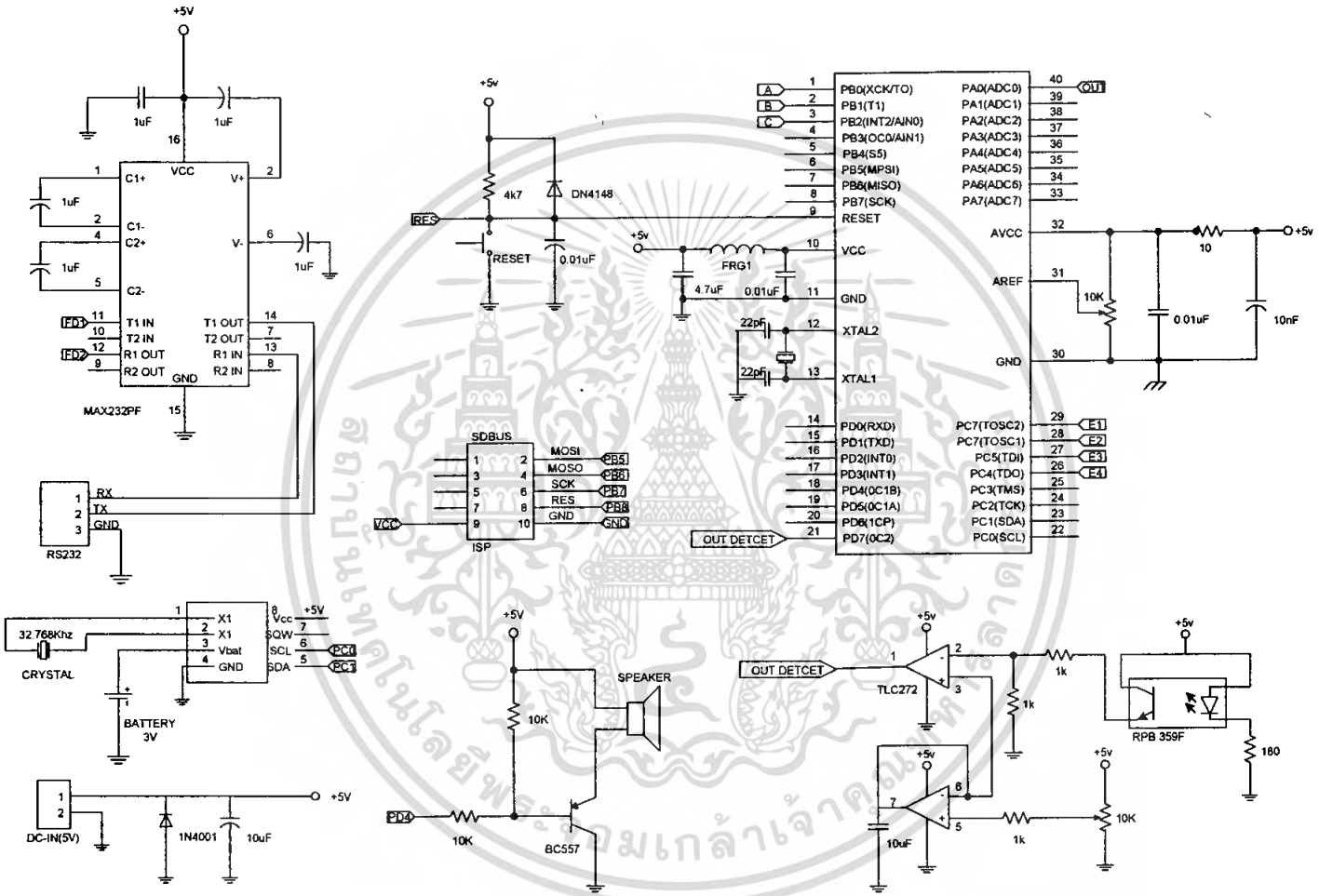
1. จ่ายกำลังไฟฟ้า 50 W
2. แรงดันไฟฟ้า 1 ขนาด 5 V. 4 A. $\pm 0.5\%$
3. แรงดันไฟฟ้า 2 ขนาด 12 V. 2 A. $\pm 10\%$
4. ประสิทธิภาพ > 85% ที่โหลดเต็ม 220 V_{ac} การเปลี่ยนแปลงความถี่ 100 kHz.
5. การป้องกัน
   - 5.1. Output Overload
   - 5.2. Short Circuit
   - 5.3. ระบบใช้กำลังไฟฟ้าต่ำ การออกแบบสามารถยืดหยุ่นได้สูง
   - 5.4. มีการ RESTART เครื่องอัตโนมัติก่อนการจ่ายไฟให้โหลด หรือเมื่อการเกิดการช็อต หรือเมื่อเกิดการทำงานผิดพลาดก่อนทำงาน
   - 5.5. วงจรจะกำจัดเสียงรบกวนที่เกิดขึ้นในหม้อแปลง
   - 5.6. การทำงานแหล่งจ่ายไฟมีความถี่ 100 kHz. ทำให้สามารถลดขนาดของหม้อแปลงและลดต้นทุนการให้ต่ำลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

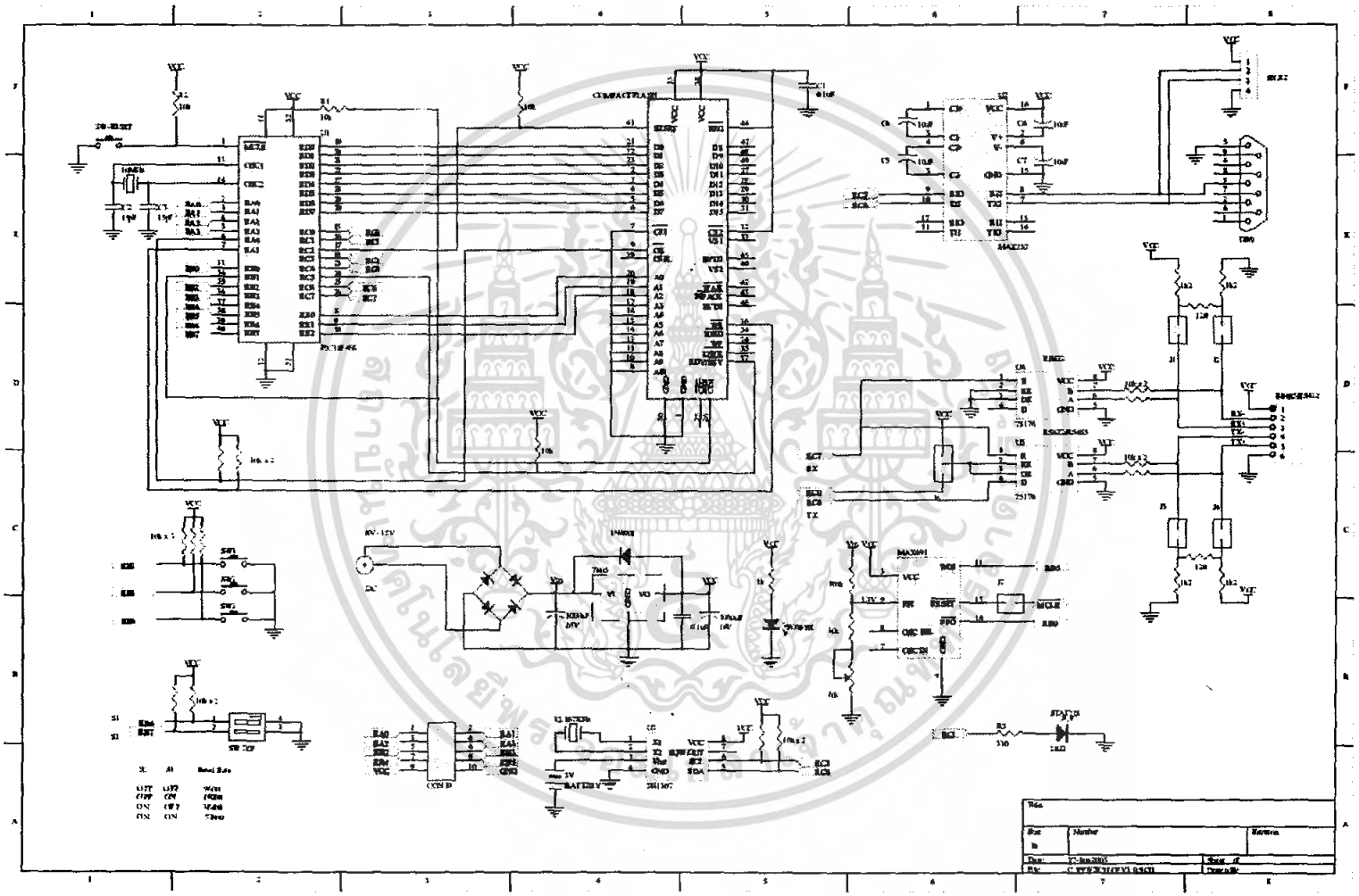


รูปที่ 7.3 วงจรสมบูรณ์ ของ Multiplexer

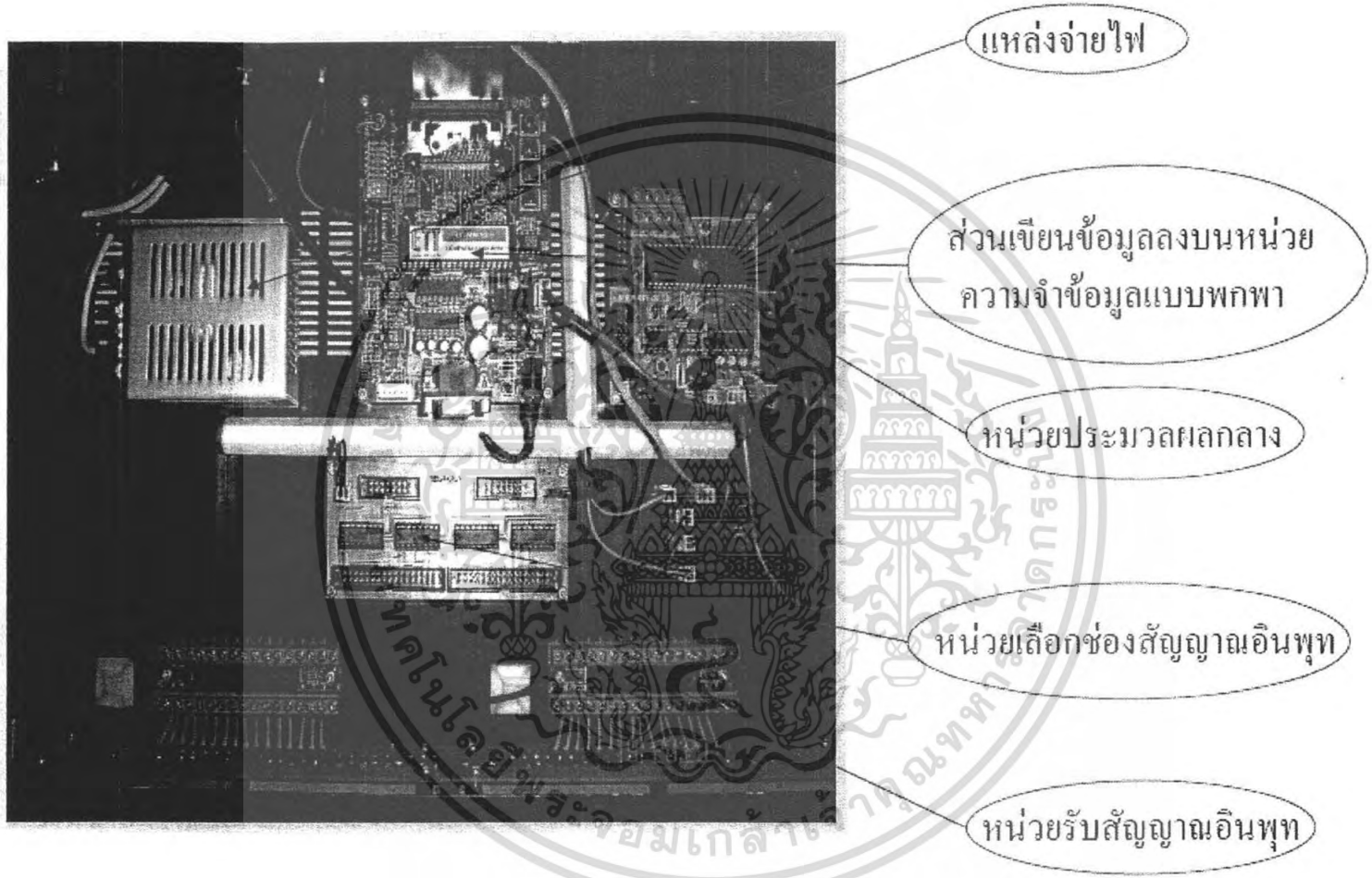
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.4 วงจรสมบูรณ์ของส่วนควบคุมการทำงาน



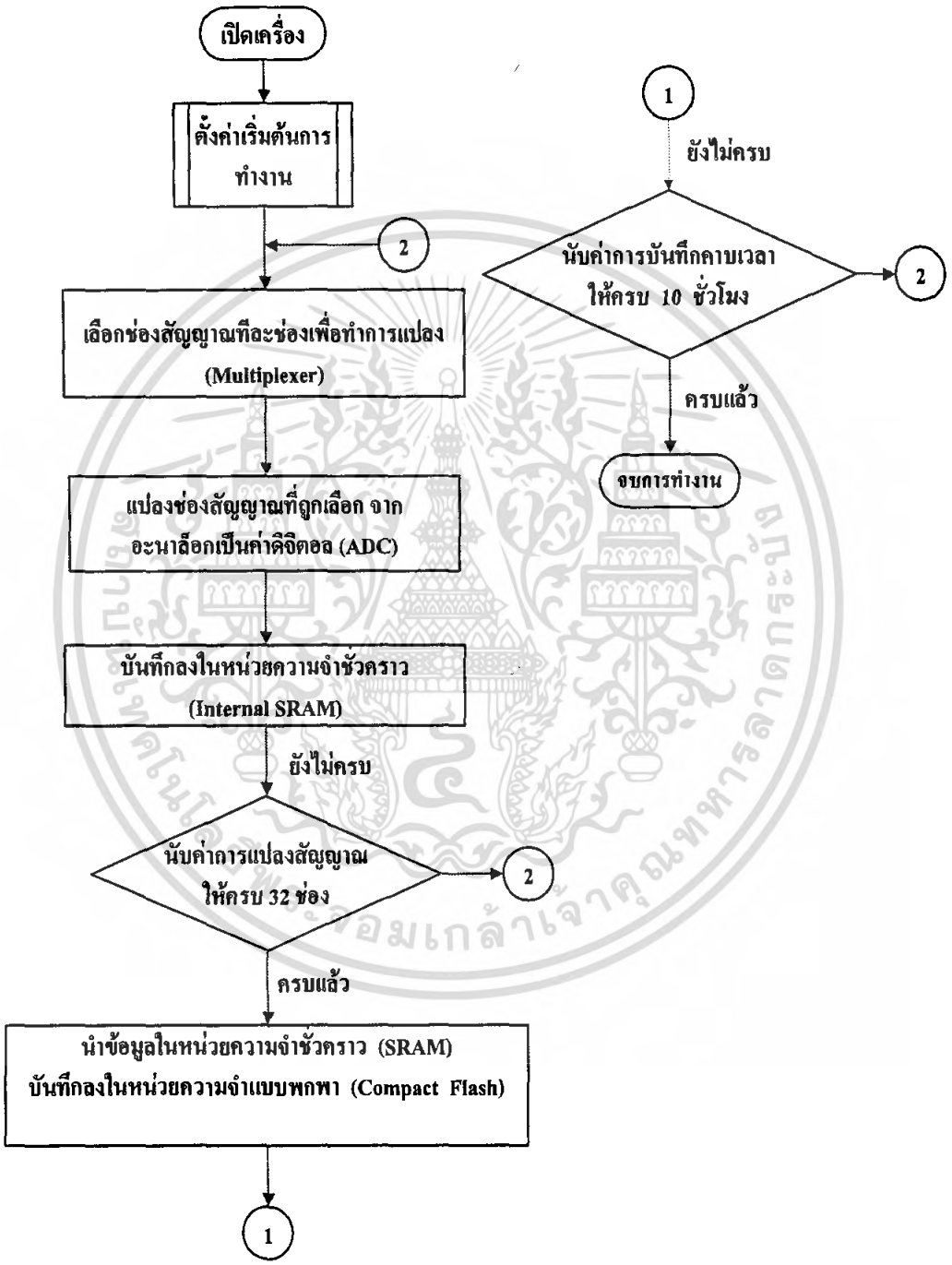
รูปที่ 7.5 วงจรสมบูรณ์ของส่วนเขียนข้อมูลลงบนหน่วยความจำแบบพกพา (Compact Flash)



รูปที่ 7.6 โครงสร้างภายในและการวางอุปกรณ์ของวงจรในส่วนต่างๆ เมื่อลงกล่อง

7.3. การออกแบบโปรแกรมควบคุมการทำงาน

ลำดับขั้นตอนการทำงานของโปรแกรมควบคุมการทำงานของโครงงานที่นำเสนอนั้น สามารถแสดงได้ดังโฟลว์ชาร์ตในรูปที่ 7.7



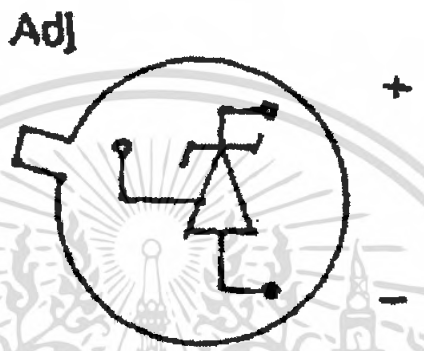
รูปที่ 7.7 ลำดับขั้นตอนการทำงานของโปรแกรมควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4. ผลการทดลอง

7.4.1. เซนเซอร์ตรวจวัดอุณหภูมิ

การทดลองในโครงงานนี้เลือกใช้เซนเซอร์ตรวจวัดอุณหภูมิ เบอร์ LM355 ซึ่งเป็นไอซีที่ใช้ตรวจจับอุณหภูมิในย่านอุณหภูมิตั้งแต่ 0 $^{\circ}C$ ถึง 100 $^{\circ}C$ โดยมีลักษณะเป็นกล่องพลาสติกสีดำที่มีขา 3 ขายื่นออกมา นั่นคือ ขาบวก ขาลบ และขา Adjust ดังรูปที่ 7.8



รูปที่ 7.8 เซนเซอร์ตรวจวัดอุณหภูมิเบอร์ LM335

ลักษณะการทำงานของ LM335 จะทำงานเช่นเดียวกับซีเนอร์ไดโอดที่มีความไวต่ออุณหภูมิมาก เมื่อได้รับแรงดันไฟฟ้าไบอัสกลับ จะได้เอาท์พุทเป็นแรงดันไฟฟ้าซีเนอร์ (Zener Voltage : V_Z) ซึ่งจะแปรผันโดยตรงกับอุณหภูมิสัมบูรณ์ในย่านอุณหภูมิที่ออกแบบให้ใช้งาน โดยมีค่าเท่ากับ 10 mV ต่ออุณหภูมิเพิ่มขึ้น 1 องศาเคลวิน (10 mV/K) ประโยชน์ที่สำคัญของอุปกรณ์นี้ก็คือ จะให้เอาท์พุทที่เป็นเชิงเส้น ซึ่งถ้าเราเอาค่าแรงดันเอาท์พุทมาเขียนเป็นกราฟระหว่างค่าแรงดันกับเวลาตลอดช่วงการทำงานของไอซีตัวนี้ กราฟที่ได้ควรจะเป็นมีลักษณะเป็นเชิงเส้นตามสมการดังนี้

$$V_Z = (100V/^{0}C)T_K \tag{7.1}$$

เมื่อ V_Z คือ แรงดันไฟฟ้าเอาท์พุท มีหน่วยเป็นโวลท์

T_K คือ อุณหภูมิ มีหน่วยเป็นเคลวิน

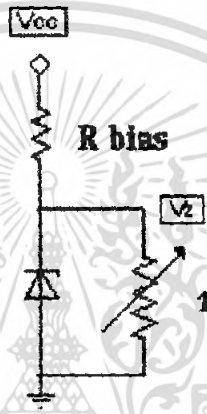
จากสมการที่ 7.1 เมื่อทำการเปลี่ยนองศาเคลวินเป็นองศาเซลเซียส โดยที่ $0^{\circ}C = 273$ K ดังนั้น แรงดันไฟฟ้า V_Z ที่อุณหภูมิ T ใดๆ จะมีค่าดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_Z = 2.73V + (100mV/^0C)T_C \quad (7.2)$$

เมื่อ T_C คือ อุณหภูมิใดๆ มีหน่วยเป็น $^\circ C$

จากสมการที่ 7.1 จะเห็นว่าที่อุณหภูมิ 0 องศาสัมบูรณ์หรือ 0 K นี้จะได้ค่า V_Z มีค่าเป็น 0 V แต่เนื่องจากถ้าต่อไอซีลงในวงจรทดลอง แล้วทำการวัดค่าจะได้ค่า V_Z ที่อุณหภูมิ 0 องศาสัมบูรณ์ ค่า V_Z ที่วัดได้ จะมีค่าไม่เท่ากับศูนย์ ดังนั้น ไอซีนี้จึงมีขา Adjust ไว้สำหรับปรับค่า V_Z ให้เป็น 0 V ที่อุณหภูมิ 0 องศาสัมบูรณ์ โดยต้องต่อขา Adjust ของไอซีเข้ากับตัวต้านทานที่ปรับค่าได้ที่มีขนาด 10 k ดังรูปที่ 7.9



รูปที่ 7.9 การปรับแต่งค่าของไอซี LM 335

เมื่อต่อวงจรตามรูปที่ 7.9 แล้วทำการปรับแต่งไอซี โดยทำการบันทึกค่าอุณหภูมิห้อง (T_C) แล้วนำค่าที่ได้ไปแทนในสมการที่ (7.1) หรือ (7.2) เพื่อคำนวณหาค่า V_Z แล้วนำค่า V_Z ที่ได้มาปรับค่า V_R ของวงจร ให้ได้ค่าเอาท์พุท V_Z มีค่าเท่ากับค่าที่คำนวณไว้ โดยค่า T_C ต้องมีค่าคงที่ตลอดกระบวนการปรับแต่ง

7.4.2. ความร้อนที่เกิดขึ้นในตัว LM 335

ในระบบตรวจจับอุณหภูมิหรือความร้อน กระแสจะไหลผ่านอุปกรณ์การตรวจจับ ซึ่งจะมีผลต่อค่าอุณหภูมิในการตรวจวัด โดยค่าของ R_{bias} จะยอมให้กระแสไหลผ่านตัวต้านทานปรับค่าได้ที่ต่อขนานกับไอซีเท่านั้น ส่วนค่าแรงดันเอาท์พุทของ LM335 จะให้ค่ากระแสต่ำในการทำงาน และเพียงพอที่จะขับให้วงจรทำงานตามปกติได้ (กระแสต่ำสุดประมาณ 100 μA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4.3. คุณสมบัติประจำตัว LM335

ลักษณะการทำงานของวงจร LM 335 ต้องมีการปรับค่าความถูกต้องในการทำงานก่อน โดยจะมีการปรับค่ากระแสที่ 1 mA ค่าความผิดพลาดตลอดการทำงานที่อุณหภูมิ $25^{\circ}C$ หรือ $4^{\circ}C$ จะมีค่าความผิดพลาดเท่ากับ $2^{\circ}C$ (สูงสุด $6^{\circ}C$) แต่เมื่อมีการปรับแต่งไอซีให้มีความถูกต้องแล้ว จะได้ค่าความผิดพลาดจำกัดที่อุณหภูมิ $2^{\circ}C$ และมีความไม่เป็นเชิงเส้นของกระแส 1 mA ที่อุณหภูมิ $0.3^{\circ}C$ ตลอดการทำงาน การวัดค่าอุณหภูมิในอากาศต้องใช้เวลาประมาณ 3 นาที จึงจะได้อุณหภูมิสุดท้ายหลังจากที่อุณหภูมิมีการเปลี่ยนแปลงไป การออกแบบเวลาจะกำหนดเป็นค่าคงที่ไว้ที่ 80 วินาที ในน้ำที่กวนให้เคลื่อนที่ น้ำจะมีค่าอุณหภูมิสุดท้ายภายในเวลาประมาณ 3 วินาที (การออกแบบเวลาจะกำหนดเป็นค่าคงที่ไว้ 1 วินาที) ซึ่งอุปกรณ์ดังกล่าวจะมีค่าอุณหภูมิคงที่ในช่วง $0.2^{\circ}C$ ตลอด 1000 ชั่วโมง ถึงแม้ที่อุณหภูมิ $725^{\circ}C$ ค่าไดนามิกส์อิมพีแดนซ์จะน้อยกว่า 1 Ω ที่ความสูงกว่า 1 kHz แต่จะมีค่าไดนามิกส์อิมพีแดนซ์เพิ่มขึ้น 20 ถึง 30 Ω ที่ความถี่ 100 kHz

ข้อควรระวังของเซนเซอร์ตรวจวัดอุณหภูมิเบอร์ LM355 คือ เมื่อป้อนแรงดันไฟฟ้าไบอัสกลับให้ซีเนอร์ไดโอดจะเกิดกระแสไฟฟ้าซีเนอร์ I_Z ไหลผ่าน LM335 ซึ่งอยู่ในช่วง

$$5\ \text{mA} > I_Z > 400\ \mu A \tag{7.3}$$

และจะให้ค่าความถูกต้องสูงสุดที่ $I_Z < 1\text{mA}$ ดังนั้น จึงสามารถคำนวณหา R_{bias} ได้จาก

$$R_{bias} = \frac{(V_{supply} - V_{nominal})}{1mA} \tag{7.4}$$

เมื่อ R_{bias} คือ ความต้านทานอนุกรมมีหน่วยเป็น Ω

V_{supply} คือ แรงดันไฟฟ้าที่ป้อนให้วงจร (เลือกเลือกใช้ค่า $5\ V_{DC}$)

$V_{nominal}$ หรือ V_Z คือ แรงดันไฟฟ้าที่ใช้งานใน LM335 มีหน่วยเป็น V

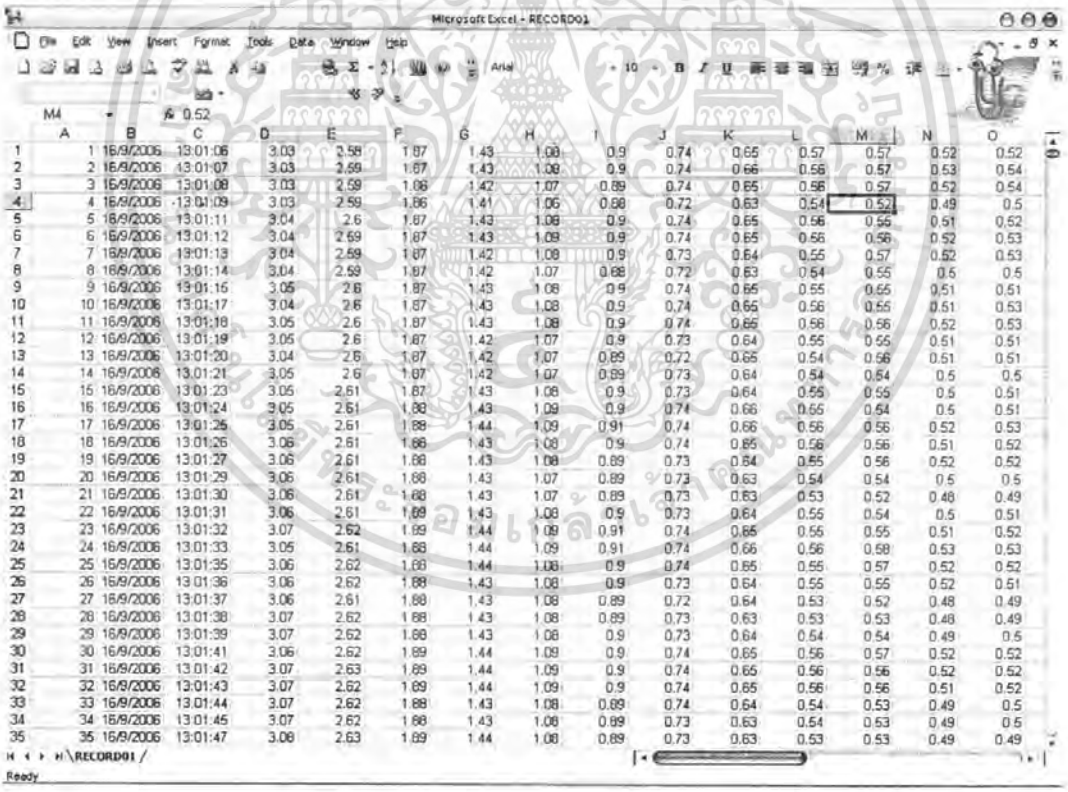
เนื่องจากมีการวัดค่าอุณหภูมิในช่วง $0^{\circ}C$ ถึง $100^{\circ}C$ ดังนั้น ค่า $V_{nominal}$ จึงมีค่าระหว่าง 2.73 V ถึง 3.73 V จากสมการที่ (7.4) จะสามารถคำนวณหาค่า R_{bias} ได้ เนื่องจากค่า $V_{nominal} = 2.73$ V คำนวณหาค่า R_{bias} ได้เท่ากับ $2.27\ \text{k}\Omega$ แต่เนื่องจากตัวต้านทานจะมีค่าความต้านทานที่แน่นอน จึงสามารถเลือกใช้ $R_{bias} = 3\ \text{k}\Omega$ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาค่า $V_{nominal} = 3.73$ V และ $R_{bias} = 3\ k\Omega$ จะมีค่ากระแส I_Z ไหลผ่านไอซีเท่ากับ 423.33 μA จากสมการที่ (7.3) ค่า $I_Z > 400\ \mu A$ ซึ่งอยู่ในช่วงที่ Temperature Sensor LM355 สามารถทำงานได้ เมื่อพิจารณาถึงความร้อนที่เกิดขึ้นจะมีค่ากำลังไฟฟ้าประมาณ 1.58 mW

เมื่อเครื่องได้ทำการวัดและบันทึกข้อมูลตามที่ต้องการแล้ว จะบันทึกข้อมูลลงบนหน่วยความจำข้อมูลแบบพกพา (Compact Flash) ดังตัวอย่างการทดลองต่อไปนี้

การทดลองวัดอุณหภูมิในอากาศ โดยใช้ เซนเซอร์ตัววัดอุณหภูมิ เบอร์ LM355 ซึ่งสามารถนำไปประยุกต์ใช้ในการตรวจวัดค่าอุณหภูมิในการทำงานที่ต้องการกำหนดให้บริเวณงานมีค่าอุณหภูมิสูงหรือต่ำ เช่น ในกระบวนผลิตลวดทองแดง ในเตาหลอมจะต้องมี ตัวตรวจวัดอุณหภูมิช่วยควบคุมอุณหภูมิในเตาหลอมให้มีค่าสูงพอที่จะทำให้น้ำยาเคมีสามารถแทรกซึมเข้าไปในลวดทองแดง เพื่อให้ลวดทองแดงมีคุณสมบัติหรือคุณภาพตามที่ต้องการได้ เป็นต้น โดยการการทดลองนี้ จะทำการวัดและบันทึกค่าอุณหภูมิที่วัดได้ในอากาศ ในแต่ละวินาที ซึ่งมีช่วงของคาบเวลา 1 ชั่วโมง ดังแสดงในรูปที่ 7.10



Microsoft Excel - RECORD01

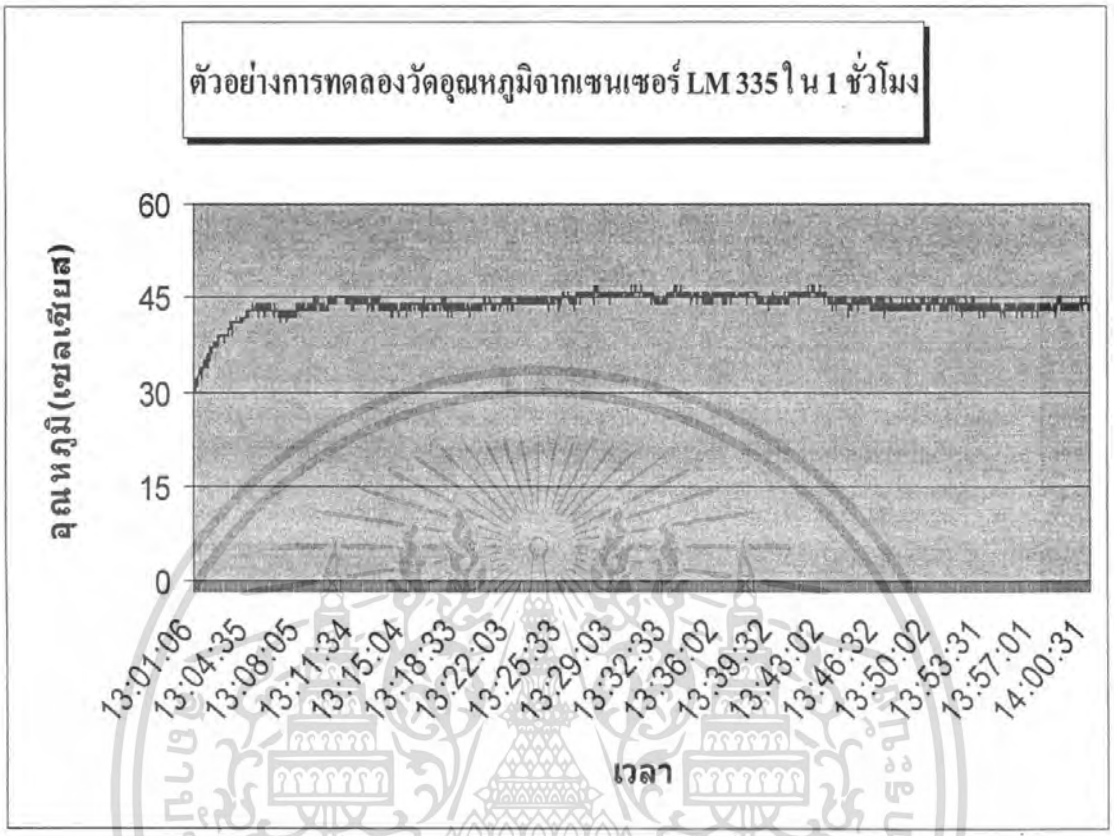
	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
1	1	16/9/2006	13:01:06	3.03	2.58	1.87	1.43	1.08	0.9	0.74	0.65	0.57	0.57	0.52	0.52
2	2	16/9/2006	13:01:07	3.03	2.59	1.87	1.43	1.09	0.9	0.74	0.66	0.56	0.57	0.53	0.54
3	3	16/9/2006	13:01:08	3.03	2.59	1.86	1.42	1.07	0.89	0.74	0.65	0.56	0.57	0.52	0.54
4	4	16/9/2006	13:01:09	3.03	2.59	1.86	1.41	1.06	0.88	0.72	0.63	0.54	0.52	0.49	0.5
5	5	16/9/2006	13:01:11	3.04	2.6	1.87	1.43	1.08	0.9	0.74	0.65	0.56	0.56	0.51	0.52
6	6	16/9/2006	13:01:12	3.04	2.59	1.87	1.43	1.08	0.9	0.74	0.65	0.56	0.56	0.52	0.53
7	7	16/9/2006	13:01:13	3.04	2.59	1.87	1.42	1.08	0.9	0.73	0.64	0.55	0.57	0.52	0.53
8	8	16/9/2006	13:01:14	3.04	2.59	1.87	1.42	1.07	0.88	0.72	0.63	0.54	0.55	0.5	0.5
9	9	16/9/2006	13:01:16	3.05	2.6	1.87	1.43	1.08	0.9	0.74	0.65	0.55	0.55	0.51	0.51
10	10	16/9/2006	13:01:17	3.04	2.6	1.87	1.43	1.08	0.9	0.74	0.65	0.56	0.55	0.51	0.53
11	11	16/9/2006	13:01:18	3.05	2.6	1.87	1.43	1.08	0.9	0.74	0.65	0.56	0.56	0.52	0.53
12	12	16/9/2006	13:01:19	3.05	2.6	1.87	1.42	1.07	0.9	0.73	0.64	0.55	0.55	0.51	0.51
13	13	16/9/2006	13:01:20	3.04	2.6	1.87	1.42	1.07	0.89	0.72	0.65	0.54	0.56	0.51	0.51
14	14	16/9/2006	13:01:21	3.05	2.6	1.87	1.42	1.07	0.89	0.73	0.64	0.54	0.54	0.5	0.5
15	15	16/9/2006	13:01:23	3.05	2.61	1.87	1.43	1.08	0.9	0.73	0.64	0.55	0.55	0.5	0.51
16	16	16/9/2006	13:01:24	3.05	2.61	1.88	1.43	1.09	0.9	0.74	0.66	0.55	0.54	0.5	0.51
17	17	16/9/2006	13:01:25	3.05	2.61	1.88	1.44	1.09	0.91	0.74	0.66	0.56	0.56	0.52	0.53
18	18	16/9/2006	13:01:26	3.06	2.61	1.88	1.43	1.08	0.9	0.74	0.65	0.56	0.56	0.51	0.52
19	19	16/9/2006	13:01:27	3.06	2.61	1.88	1.43	1.08	0.89	0.73	0.64	0.55	0.56	0.52	0.52
20	20	16/9/2006	13:01:29	3.06	2.61	1.88	1.43	1.07	0.89	0.73	0.63	0.54	0.54	0.5	0.5
21	21	16/9/2006	13:01:30	3.06	2.61	1.88	1.43	1.07	0.89	0.73	0.63	0.53	0.52	0.48	0.49
22	22	16/9/2006	13:01:31	3.06	2.61	1.89	1.43	1.08	0.9	0.73	0.64	0.55	0.54	0.5	0.51
23	23	16/9/2006	13:01:32	3.07	2.62	1.89	1.44	1.09	0.91	0.74	0.65	0.55	0.55	0.51	0.52
24	24	16/9/2006	13:01:33	3.05	2.61	1.88	1.44	1.09	0.91	0.74	0.66	0.56	0.58	0.53	0.53
25	25	16/9/2006	13:01:35	3.06	2.62	1.88	1.44	1.08	0.9	0.74	0.65	0.55	0.57	0.52	0.52
26	26	16/9/2006	13:01:36	3.06	2.62	1.88	1.43	1.08	0.9	0.73	0.64	0.55	0.55	0.52	0.51
27	27	16/9/2006	13:01:37	3.06	2.61	1.88	1.43	1.08	0.89	0.72	0.64	0.53	0.52	0.48	0.49
28	28	16/9/2006	13:01:38	3.07	2.62	1.88	1.43	1.08	0.89	0.73	0.63	0.53	0.53	0.48	0.49
29	29	16/9/2006	13:01:39	3.07	2.62	1.88	1.43	1.08	0.9	0.73	0.64	0.54	0.54	0.49	0.5
30	30	16/9/2006	13:01:41	3.06	2.62	1.89	1.44	1.09	0.9	0.74	0.65	0.56	0.57	0.52	0.52
31	31	16/9/2006	13:01:42	3.07	2.63	1.89	1.44	1.09	0.9	0.74	0.65	0.56	0.56	0.52	0.52
32	32	16/9/2006	13:01:43	3.07	2.62	1.89	1.44	1.09	0.9	0.74	0.65	0.56	0.56	0.51	0.52
33	33	16/9/2006	13:01:44	3.07	2.62	1.88	1.43	1.08	0.89	0.74	0.64	0.54	0.53	0.49	0.5
34	34	16/9/2006	13:01:45	3.07	2.62	1.88	1.43	1.08	0.89	0.73	0.63	0.54	0.53	0.49	0.5
35	35	16/9/2006	13:01:47	3.08	2.63	1.89	1.44	1.08	0.89	0.73	0.63	0.53	0.53	0.49	0.49

RECORD01 / Ready

รูปที่ 7.10 ข้อมูลที่ถูกบันทึกลงบนหน่วยความจำข้อมูลแบบพกพา (Compact Flash) ที่ช่วงเวลาการทำงาน 1 ชั่วโมง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสามารถนำมาแสดงค่าเปรียบเทียบเวลาแต่ละวินาทีของการทำงานได้ ดังรูปที่ 7.11



รูปที่ 7.11 ผลการทดลองวัดค่าสัญญาณจากเซนเซอร์อุณหภูมิ LM335

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปและวิจารณ์ผลการทดลอง

1) ในการทดลองวัดและบันทึกค่าสัญญาณอินพุทจากเซนเซอร์วัดอุณหภูมิซึ่งเปรียบเทียบกับค่าจริงที่ได้จากค่าสัญญาณเอาท์พุทจากเซนเซอร์ จะมีค่าความผิดพลาดเท่ากับ ± 0.01 V

2) ในการวัดและบันทึกค่าผลการทดลองในวินาทีที่ 1 จะเกิดค่าความคลาดเคลื่อน เมื่อทำการทดลองแล้วมีการข้ามลำดับการทำงานของเวลาในแต่ละวินาทีถัดไป กล่าวคือ เมื่อเริ่มบันทึกเวลาจากวินาที 1 ไปวินาทีที่ 2 ผลของการบันทึกจะปกติ แต่ถ้าเริ่มบันทึกเวลาจากวินาทีที่ 1 ไปวินาทีที่ 3 ผลการบันทึกจะเกิดความคลาดเคลื่อนในทันที

3) การเก็บข้อมูลที่ได้จากการวัดจะแบ่งออกเป็น 10 ชุดข้อมูล (Record) ซึ่งจะมีการทำงานของเครื่องทั้งหมด 10 ชั่วโมง โดย 1 ชุดข้อมูลจะมีคาบเวลาของการวัดและบันทึกผลเท่ากับ 1 ชั่วโมง

4) ความละเอียดของการสุ่มวัดและบันทึกค่าอยู่ที่ 1 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] วรพงศ์ ตั้งศรีรัตน์ "เซนเซอร์และทรานสดิวเซอร์: ทฤษฎีและการประยุกต์ใช้ในระบบการวัดและระบบควบคุม", สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น), กรุงเทพฯ, 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
โปรแกรมควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//****************************** Intterrupt routine ************************//

bit flag_conv_complete;


unsigned int  compare_timeflag,;
unsigned int time_sampCH1,time_sampCH2,time_sampCH3,time_sampCH4;
unsigned int time_compare;


interrupt [ADC_INT]void ADC_isr(void)
{
    stop_adc();
    flag_conv_complete=1;

}

interrupt [EXT_INT0]void ext0_isr(void)
{
   time_compare++;
   time_sampCH1++;
   time_sampCH2++;
   time_sampCH3++;
   time_sampCH4++;

}



//****************************** Watch dog ************************//


#define flag_WDT MCUCSR.3 // for detect cf card

void WDT_on(void)
{
  WDTCR=0x08; // enable watch dogand set to 17.3 ms timeout at 5 volt

}
void WDT_off(void)
{
  #asm("wdr")// reset watch timer
  WDTCR=0x18;//set both WDE and WDTOE
  WDTCR=0x00;// clear WDE

}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//*****************************  Analog multiplexer  ************************//



#define Vpb 0.0048828125   // volt per bit

#define e1 PORTC.4   // gate 1
#define e2 PORTC.5   // gate 2
#define e3 PORTC.6   // gate 3
#define e4 PORTC.7   // gate 4

#define sel PORTB

unsigned int value_adc[32];


extern bit flag_conv_complete;


bit flag_complete_1;
bit flag_complete_2;
bit flag_complete_3;
bit flag_complete_4;

struct select_channel_ADC  // for select  address per channel
{
  char channel;

}selc;



void initial_ADCmul(void)
{
   ADCSRA=0x8E;  //prescaler for range 50-200Khz
   ADMUX=0x40; // select at ch 0

}



void Initial_PortMul(void)
{
   DDRB=0x07;  // PB = output at bit0-2 for selectchannel
   DDRC=0xF0; // PC = Output at bit4-7 for enable gate
   e1=1;e2=1,e3=1,e4=1;// disable multiplex at enable gate
   sel=0;// select initial for channel 0
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void start_adc(void)
{

   ADCSRA.6=1;// start conversion analog

}

void stop_adc(void)
{

   ADCSRA.6=0;// stop conversion analog

}

void Read_ADC_InputChannel(char enable_gate,char start_channel)
{

    char channel_array ;
    flag_conv_complete=0;
     switch(enable_gate)
     {
      case 1 :
             flag_complete_1=0;
             channel_array=start_channel;
             e1=0; // enable gate1


             for(selc.channel=0;selc.channel<=7;selc.channel++)
             {

                sel=selc.channel; // select input channel
                delay_us(1);// wait for MUX to stabilize
                start_adc();
                while(flag_conv_complete!=1); // wait for conversion complete
               value_adc[channel_array]=ADCW; // calculate volt per channel start 0-7
                flag_conv_complete=0;// // clr flag complete converion analog
                channel_array++;

             }


             e1=1;  // disable_gate1
             sel=0; // select input channel
             delay_us(100); // wait for MUX to stabilize
             flag_complete_1=1;// success for convert 8 ch
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        channel_array=0;
        break;


case 2 :
        flag_complete_2=0;
        channel_array=start_channel;
        e2=0; // enable gate2

        for(selc.channel=0;selc.channel<=7;selc.channel++)
        {

          sel=selc.channel; // select input channel
          delay_us(1);// wait for MUX to stabilize
          start_adc();
          while(flag_conv_complete!=1); // wait for conversion complete
           value_adc[channel_array]=ADCW; // calculate volt per channel start 0-7
          flag_conv_complete=0;// // clr flag complete converion analog
          channel_array++;
        }



        e2=1;  // disable_gate2
        sel=0; // select input channel
        delay_us(1); // wait for MUX to stabilize
        flag_complete_2=1;// success for convert 8 ch
        channel_array=0;
        break;


case 3 :  flag_complete_3=0;
        channel_array=start_channel;
        e3=0; // enable gate3

        for(selc.channel=0;selc.channel<=7;selc.channel++)
        {

          sel=selc.channel; // select input channel
          delay_us(1);// wait for MUX to stabilize
          start_adc();
          while(flag_conv_complete!=1); // wait for conversion complete
         value_adc[channel_array]=ADCW; // calculate volt per channel start 0-7
          flag_conv_complete=0;// // clr flag complete converion analog
          channel_array++;

        }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            e3=1;  // disable_gate3
            sel=0; // select input channel
            delay_us(1); // wait for MUX to stabilize
            flag_complete_3=1;// success for convert 8 ch
            channel_array=0;
            break;


      case 4 :  flag_complete_4=0;
            channel_array=start_channel;
            e4=0; // enable gate4

            for(selc.channel=0;selc.channel<=7;selc.channel++)
            {

               sel=selc.channel; // select input channel
               delay_us(1);// wait for MUX to stabilize
               start_adc();
               while(flag_conv_complete!=1); // wait for conversion complete
               value_adc[channel_array]=ADCW; // calculate volt per channel start 0-7
               flag_conv_complete=0;// // clr flag complete converion analog
               channel_array++;

            }


            e4=1;  // disable_gate3
            sel=0; // select input channel
            delay_us(1); // wait for MUX to stabilize
            flag_complete_4=1;// success for convert 8 ch
            channel_array=0;
            break;

      }


}
void read_ADC0_7(void)
{
    Read_ADC_InputChannel(1,0);
    while(flag_complete_1!=1);

}
void read_ADC8_15(void)
{
    Read_ADC_InputChannel(2,8);
    while(flag_complete_2!=1);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void read_ADC16_23(void)
{
     Read_ADC_InputChannel(3,16);
     while(flag_complete_3!=1);
}
void read_ADC24_31(void)
{
    Read_ADC_InputChannel(4,24);
    while(flag_complete_4!=1);

}

void printADC0_7(void)
{
   char loop_print1;
   for(loop_print1=0;loop_print1<=7;loop_print1++)
   {
      printf("%.2f ",(value_adc[loop_print1]*Vpb));

   }
}
void printADC8_15(void)
{
    char loop_print2;
     for(loop_print2=8;loop_print2<=15;loop_print2++)
    {
      printf("%.2f ",(value_adc[loop_print2]*Vpb));

    }
}
void printADC16_23(void)
{
    char loop_print3;
     for(loop_print3=16;loop_print3<=23;loop_print3++)
    {
      printf("%.2f ",(value_adc[loop_print3]*Vpb));

    }
}
void printADC24_31(void)
{
   char loop_print4;
    for(loop_print4=24;loop_print4<=31;loop_print4++)
    {
      printf("%.2f ",(value_adc[loop_print4]*Vpb));

    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//***************************** EEprom internal ************************//

    char rx_value_time[5];
    char id[3];

  void write_eeproın_int(unsigned int address,unsigned char data)
{


    while(EECR.1!=0); // wait until zero bit write enable
    EEAR=address;
    EEDR=data;
    EECR.2=1;  //  write logical one to EEWME
    EECR.1=1;  //   write logical one to EEWE

}


unsigned char read_eeprom_int(unsigned int address)
{

    while(EECR.1!=0); // wait until zero bit write enable
    EEAR=address;
    EECR.0=1;  //   write logical one to EERE
    return(EEDR);
}


void write_eeprom_16bit(unsigned int address,unsigned int data)
{
   unsigned char buffer_wr_lbyte=0;
   unsigned char buffer_wr_hbyte=0;

   buffer_wr_lbyte=data|buffer_wr_lbyte;
   buffer_wr_hbyte=(data>>8)|buffer_wr_hbyte;

   write_eeprom_int(address,buffer_wr_lbyte);
   write_eeprom_int(address+1,buffer_wr_hbyte);

}


unsigned int read_eeprom_16bit(unsigned int address)
{

      unsigned char buffer_rd_lbyte=0;
      unsigned char buffer_rd_hbyte=0;
      unsigned int buffer_rd=0;

      buffer_rd_lbyte=read_eeprom_int(address);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    buffer_rd_hbyte=read_eeprom_int(address|1);

    buffer_rd=(buffer_rd|buffer_rd_hbyte)<<8;
    buffer_rd= buffer_rd|buffer_rd_lbyte;
    return(buffer_rd);

}
void store_time_eeprom(unsigned char sel)
{
 switch(sel)
 {
      case 0xF1 : // code accept from program time visual basic

              write_eeprom_16bit(0,atoi(rx_value_time));
              putchar('a'); // code aacept data time sampling
              break;


      case 0xF2:

              write_eeprom_16bit(2,atoi(rx_value_time));
              putchar('b'); // code aacept data time sampling
              break;

      case 0xF3 :

              write_eeprom_16bit(4,atoi(rx_value_time));
              putchar('c');// code aacept data time sampling
              break;


      case 0xF4 :

              write_eeprom_16bit(6,atoi(rx_value_time));
              putchar('d'); // code aacept data time sampling
              break;
 }



}
void clr_value_eeprom(void)
{
   write_eeprom_16bit(0,0);
   write_eeprom_16bit(2,0);
   write_eeprom_16bit(4,0);
   write_eeprom_16bit(6,0);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//****************************** Compact flash ************************//

#include<ds1307.h>
#include<bcd.h>

#define write_cmd_cf  'W'
#define read_cmd_cf   'R'
#define rst_cmd_cf    'S'
#define accept_cmd    ':'

char num[]={0,1,2,3,4,5,6,7,8,9};


struct datalogger_time_structure
{
    unsigned char  day;
    unsigned char  month;
    unsigned char  year;
    unsigned char  hour;
    unsigned char  min;
    unsigned char  sec;

} data;


 unsigned char number_rec_hour;

char get_ready[4]={0x0A,0x0D,0x3E};

void chk_accept_cmd(void);

void reset_CF(void)
{
   putchar(rst_cmd_cf);

   chk_accept_cmd();
}


void chk_accept_cmd(void)
{
   unsigned char   i,k,tmp[4];
  loop:
   for(i=0;i<3;i++)
   {
      tmp[i]=getchar();
   }
   for(k=0;k<3;k++)
   {
      if(tmp[k]!=get_ready[k])
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      {
        putchar(rst_cmd_cf);
        goto loop;
      }
  }
}

void write_filename_CF(void)
{
   unsigned char   buff=0,tmp_hour,tmp_l,tmp_h;

   tmp_hour=number_rec_hour;
   tmp_hour=bin2bcd(tmp_hour);
   tmp_h=(tmp_hour&0xF0)/10;
   tmp_l=(tmp_hour&0x0F)%10;

   loop:
   putchar(write_cmd_cf);
   buff=getchar();

   if(buff==accept_cmd)
   {
      printf("RECORD%d%d.DAT",num[tmp_h],num[tmp_l]);
      putchar(13);  // \r code decimal

      putchar(13);  // \r code decimal
   }
   else if(buff!=accept_cmd)
   {
      reset_CF();
      goto loop;
    }

}
void write_time_date(void)
{

      printf("%d/%d/%d ",data.day,data.month,data.year);
      printf(" %d:%d:%d ",data.hour,data.min,data.sec) ;

}

void read_RTC(void)
{

   rtc_get_date(&data.day,&data.month,&data.year);
   rtc_get_time(&data.hour,&data.min,&data.sec);

}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//****************************** Main program ************************//

#include<mega16.h>
#include<delay.h>
#include<stdio.h>
#include<stdlib.h>

#include "multiplex_adc.c"
#include "isr.c"
#include "cf.c"
#include "watch_dog.c"
#include "eeprom_avr.c"

 #define out_sound PORTD.4
#define sw_program PIND.5    // input sw program time sampling
#define push_closefile PORTD.6
#define detect_cf PIND.7

extern char rx_value_time[5];
extern char id[3];
extern unsigned int time_sampCH1,time_sampCH2,time_sampCH3,time_sampCH4;
extern unsigned int time_compare;
extern unsigned char number_rec_hour;

unsigned int time_eep_ch[5];

void initial_port(void)
{

   DDRD.4=1;   // PD4 = Output out_sound
   PORTD.4=1;
   DDRD.5=0;   // PD5 = Input  Sw detect time program
   PORTD.5=0;
   DDRD.6=1;   // PD6 = Output push_closefile
   PORTD.6=0;
   DDRD.7=0;   // PD7 = Input detect cf card
   PORTD.7=0;
}
void initial_int(void)
{
  SREG.7=1;// enable global interrupt
}

void initial_ext_int(void)
{

   MCUCR=0x02; // select INT0 falling edge gen int
   GICR=0x40;// int0 interrupt request enable

}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void initial_uart(void)
{
  UCSRA=0x02;  // 2x
  UCSRB=0x18;
  UCSRC=0x86;
  UBRRH=0;
  UBRRL=103;  // baudrate 9600 bps
}
void rx_val_time(void)
{
     char x;
     clr_value_eeprom();
     for(x=0;x<4;x++)   // four package data
     {
      gets(id,2);  // rx length & code channel
      gets(rx_value_time,id[1]);// time sampling value
      store_time_eeprom(id[0]); // check channel
     }


}
void load_time_samplig(void)
{
    time_eep_ch[1]=read_eeprom_16bit(0);
    time_eep_ch[2]=read_eeprom_16bit(2);
    time_eep_ch[3]=read_eeprom_16bit(4);
    time_eep_ch[4]=read_eeprom_16bit(6);

}
void reccord_complete_sound(void)
{
    delay_ms(500);
    out_sound=1;
    delay_ms(500);
    out_sound=0;
}
void stop_int(void)
{

    SREG.7=0;// enable global interrupt// disable global inttrupt

}
void start_int(void)
{

    SREG.7=1;// enable global interrupt;// disable global inttrupt

}
void start_exint(void)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   GICR=0x40;// int0 interrupt request enable
}
void stop_exint(void)
{
  GICR=0x00;// int0 interrupt request disable
}
void main(void)
{
   initial_int();
   initial_port();
   initial_uart();
   initial_ADCmul();
   Initial_PortMul();
   time_compare=0;// initial value time
   time_sampCH1=0; // initial value time samplimg0-7
   time_sampCH2=0;// initial value time samplimg8-15
   time_sampCH3=0; // initial value time samplimg16-23
   time_sampCH4=0; // initial value time samplimg24-31
   number_rec_hour=1; // nuber file reccord

   if(sw_program!=1)   // check for change time sampling
   {
     delay_ms(100) ;
     rx_val_time();
     while(1);  // for restart
   }



   if(detect_cf==0)// for detect cf card
    {
      push_closefile=1;
      delay_ms(1000);
      push_closefile=0;
      while(1);
    }

   initial_ext_int();// start interrupt ext from ds1307
   load_time_samplig();
   stop_int();

     chk_accept_cmd(); // accept for job
     delay_ms(100);
     reset_CF();


     write_filename_CF();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  start_int();

while(1)
{
  if(time_sampCH1==time_eep_ch[1])
  {
      stop_exint();
      read_RTC();
      read_ADC0_7();
      printf("\r\n");
      printf("CH0-7 ");
      write_time_date();
      printADC0_7();
      time_sampCH1=0;
      start_exint();
  }
  if(time_sampCH2==time_eep_ch[2])
  {
      stop_exint();
      read_RTC();
      read_ADC8_15();
      printf("\r\n");
      printf("CH8-15 ");
      write_time_date();
      printADC8_15();
      time_sampCH2=0;
      start_exint();
  }
  if(time_sampCH3==time_eep_ch[3])
  {
      stop_exint();
      read_RTC();
      read_ADC16_23();
      printf("\r\n");
      printf("CH16-23 ");
      write_time_date();
      printADC16_23();
      time_sampCH3=0;
      start_exint();
  }
  if(time_sampCH4==time_eep_ch[4])
  {
      stop_exint();
      read_RTC();
      read_ADC24_31();
      printf("\r\n");
      printf("CH24-31 ");
      write_time_date();
      printADC24_31();
      time_sampCH4=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            start_exint();
        }
        if(time_compare==36000)
        {
            stop_int(); // disable all interrupt
            time_compare=0;
            push_closefile=1;
            delay_ms(1000);
            push_closefile=0;
           // number_rec_hour++;
            break;
        }
    }

    while(1)
    {
      reccord_complete_sound(); // sound
      if(detect_cf!=0)
      {
          delay_ms(100);
          WDT_on();
          while(1);
      }
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
คู่มือไอซีที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

eatures

High-performance, Low-power AVR® 8-bit Microcontroller
Advanced RISC Architecture
- 131 Powerful Instructions – Most Single-clock Cycle Execution
- 32 x 8 General Purpose Working Registers
- Fully Static Operation
- Up to 16 MIPS Throughput at 16 MHz
- On-chip 2-cycle Multiplier

Nonvolatile Program and Data Memories
- 16K Bytes of In-System Self-Programmable Flash
  Endurance: 10,000 Write/Erase Cycles
- Optional Boot Code Section with Independent Lock Bits
  In-System Programming by On-chip Boot Program
  True Read-While-Write Operation
- 512 Bytes EEPROM
  Endurance: 100,000 Write/Erase Cycles
- 1K Byte Internal SRAM
- Programming Lock for Software Security

JTAG (IEEE std. 1149.1 Compliant) Interface
- Boundary-scan Capabilities According to the JTAG Standard
- Extensive On-chip Debug Support
- Programming of Flash, EEPROM, Fuses, and Lock Bits through the JTAG Interface

Peripheral Features
- Two 8-bit Timer/Counters with Separate Prescalers and Compare Modes
- One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
- Real Time Counter with Separate Oscillator
- Four PWM Channels
- 8-channel, 10-bit ADC
  8 Single-ended Channels
  7 Differential Channels in TQFP Package Only
  2 Differential Channels with Programmable Gain at 1x, 10x, or 200x
- Byte-oriented Two-wire Serial Interface
- Programmable Serial USART
- Master/Slave SPI Serial Interface
- Programmable Watchdog Timer with Separate On-chip Oscillator
- On-chip Analog Comparator

- Special Microcontroller Features
  - Power-on Reset and Programmable Brown-out Detection
  - Internal Calibrated RC Oscillator
  - External and Internal Interrupt Sources
  - Six Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, Standby and Extended Standby
- I/O and Packages
  - 32 Programmable I/O Lines
  - 40-pin PDIP, 44-lead TQFP, and 44-pad QFN/MLF
- Operating Voltages
  - 2.7 - 5.5V for ATmega16L
  - 4.5 - 5.5V for ATmega16
- Speed Grades
  - 0 - 8 MHz for ATmega16L
  - 0 - 16 MHz for ATmega16
- Power Consumption @ 1 MHz, 3V, and 25°C for ATmega16L
  - Active: 1.1 mA
  - Idle Mode: 0.35 mA
  - Power-down Mode: < 1 µA

8-bit AVR® Microcontroller with 16K Bytes In-System Programmable Flash

ATmega16
ATmega16L

Summary

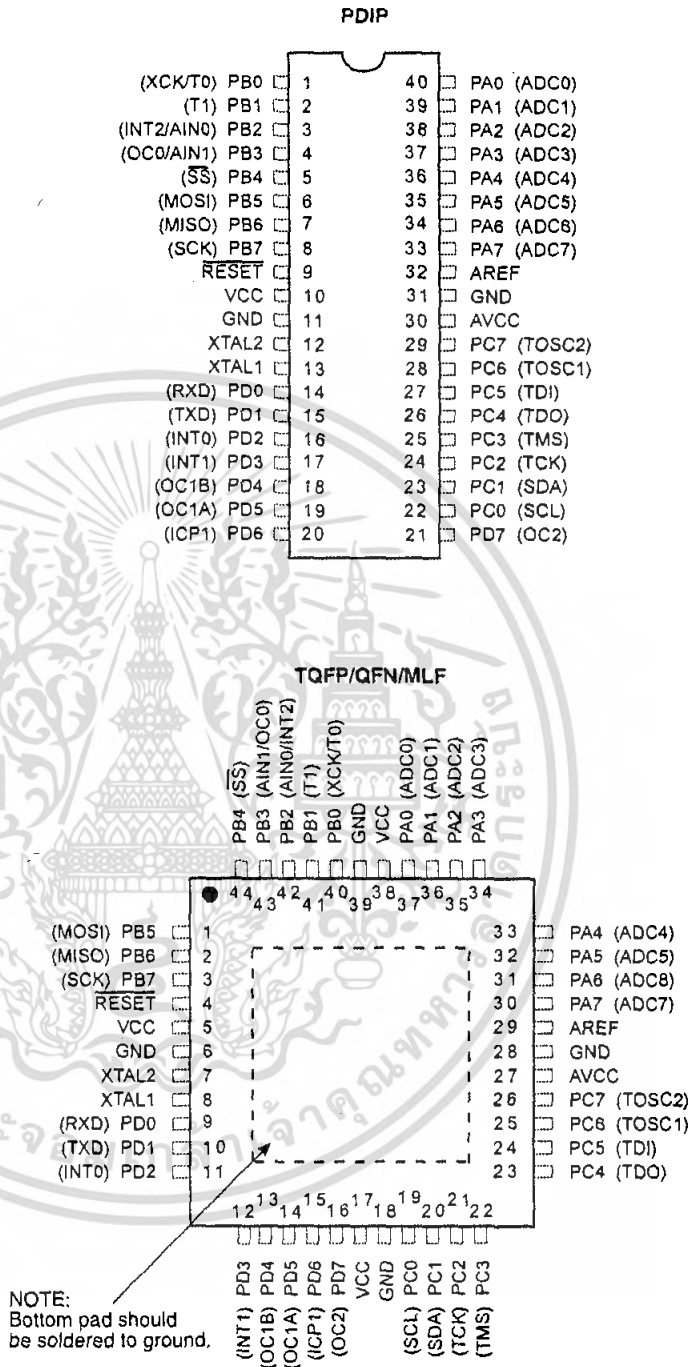
2466NS–AVR–10/06

Note: This is a summary document. A complete document is available on our Web site at www.atmel.com.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

in Configurations

Figure 1. Pinout ATmega16



Disclaimer

Typical values contained in this datasheet are based on simulations and characterization of other AVR microcontrollers manufactured on the same process technology. Min and Max values will be available after the device is characterized.

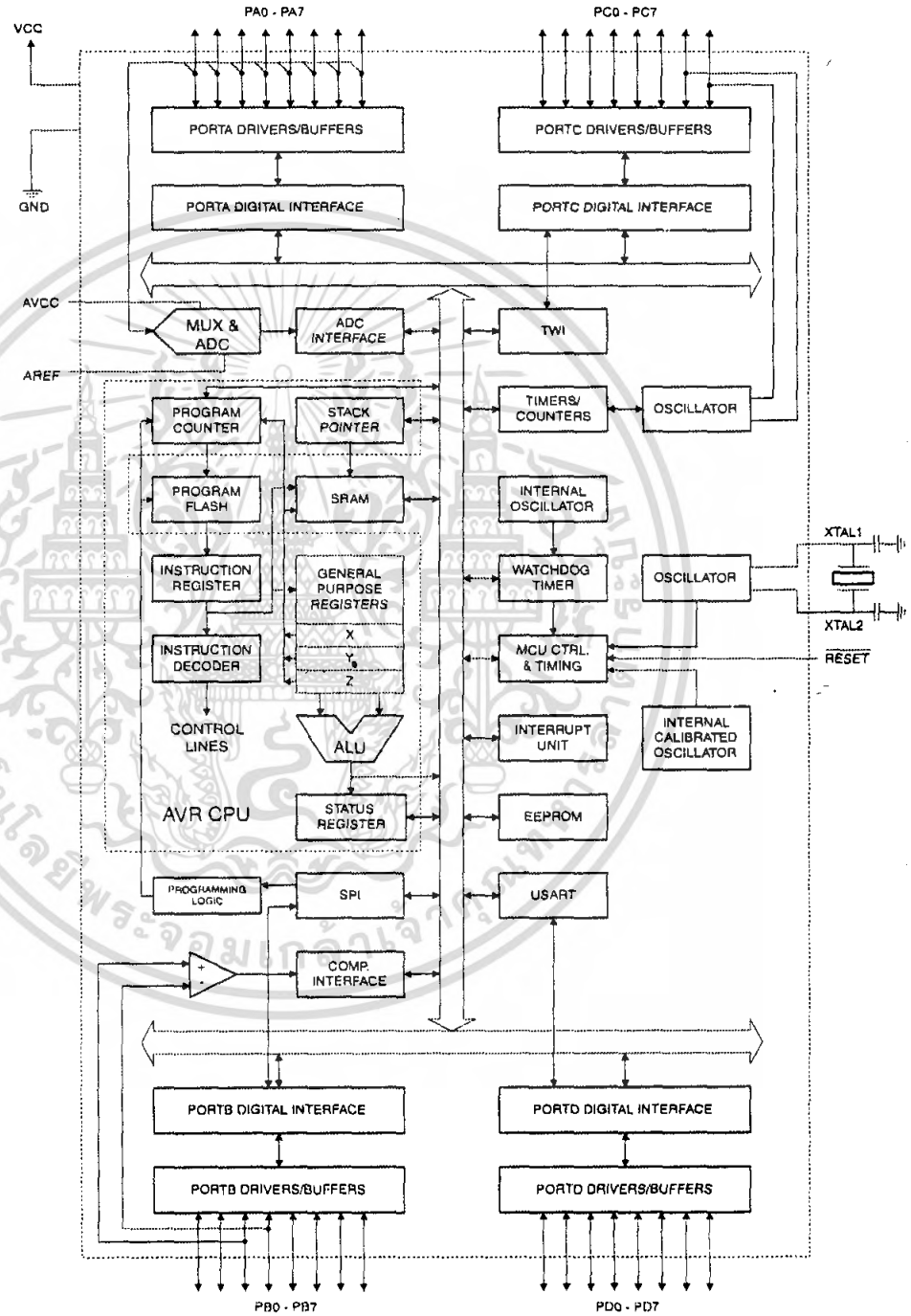
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการคา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

verview

The ATmega16 is a low-power CMOS 8-bit microcontroller based on the AVR enhanced RISC architecture. By executing powerful instructions in a single clock cycle, the ATmega16 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

lock Diagram

Figure 2. Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AVR core combines a rich instruction set with 32 general purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega16 provides the following features: 16K bytes of In-System Programmable Flash Program memory with Read-While-Write capabilities, 512 bytes EEPROM, 1K byte SRAM, 32 general purpose I/O lines, 32 general purpose working registers, a JTAG interface for Boundary-scan, On-chip Debugging support and programming, three flexible Timer/Counters with compare modes, Internal and External Interrupts, a serial programmable USART, a byte oriented Two-wire Serial Interface, an 8-channel, 10-bit ADC with optional differential input stage with programmable gain (TQFP package only), a programmable Watchdog Timer with Internal Oscillator, an SPI serial port, and six software selectable power saving modes. The Idle mode stops the CPU while allowing the USART, Two-wire interface, A/D Converter, SRAM, Timer/Counters, SPI port, and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next External Interrupt or Hardware Reset. In Power-save mode, the Asynchronous Timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except Asynchronous Timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/resonator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low-power consumption. In Extended Standby mode, both the main Oscillator and the Asynchronous Timer continue to run.

The device is manufactured using Atmel's high density nonvolatile memory technology. The On-chip ISP Flash allows the program memory to be reprogrammed in-system through an SPI serial interface, by a conventional nonvolatile memory programmer, or by an On-chip Boot program running on the AVR core. The boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash section will continue to run while the Application Flash section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega16 is a powerful microcontroller that provides a highly-flexible and cost-effective solution to many embedded control applications.

The ATmega16 AVR is supported with a full suite of program and system development tools including: C compilers, macro assemblers, program debugger/simulators, in-circuit emulators, and evaluation kits.

Pin Descriptions

VCC

Digital supply voltage.

GND

Ground.

Port A (PA7..PA0)

Port A serves as the analog inputs to the A/D Converter.

Port A also serves as an 8-bit bi-directional I/O port, if the A/D Converter is not used. Port pins can provide internal pull-up resistors (selected for each bit). The Port A output buffers have symmetrical drive characteristics with both high sink and source capability. When pins PA0 to PA7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated. The Port A pins are tri-stated when a reset condition becomes active, even if the clock is not running.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ort B (PB7..PB0)

Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port B also serves the functions of various special features of the ATmega16 as listed on page 56.

ort C (PC7..PC0)

Port C is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port C output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running. If the JTAG interface is enabled, the pull-up resistors on pins PC5(TDI), PC3(TMS) and PC2(TCK) will be activated even if a reset occurs.

Port C also serves the functions of the JTAG interface and other special features of the ATmega16 as listed on page 59.

Port D (PD7..PD0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port D also serves the functions of various special features of the ATmega16 as listed on page 61.

$\overline{\text{RESET}}$

Reset Input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 36. Shorter pulses are not guaranteed to generate a reset.

XTAL1

Input to the inverting Oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting Oscillator amplifier.

AVCC

AVCC is the supply voltage pin for Port A and the A/D Converter. It should be externally connected to V_{CC}, even if the ADC is not used. If the ADC is used, it should be connected to V_{CC} through a low-pass filter.

AREF

AREF is the analog reference pin for the A/D Converter.

Resources

A comprehensive set of development tools, application notes and datasheets are available for download on http://www.atmel.com/avr.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

egister Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	7
$3E ($5E)	SPH	–	–	–	–	–	SP10	SP9	SP8	10
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	10
$3C ($5C)	OCR0	Timer/Counter0 Output Compare Register								83
$3B ($5B)	GICR	INT1	INT0	INT2	–	–	–	IVSEL	IVCE	46, 67
$3A ($5A)	GIFR	INTF1	INTF0	INTF2	–	–	–	–	–	68
$39 ($59)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	83, 114, 132
$38 ($58)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	84, 115, 132
$37 ($57)	SPMCR	SPMIE	RWWSB	–	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	250
$36 ($56)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	178
$35 ($55)	MCUCR	SM2	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00	30, 66
$34 ($54)	MCUCSR	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	39, 67, 229
$33 ($53)	TCCR0	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	81
$32 ($52)	TCNT0	Timer/Counter0 (8 Bits)								83
$31[1] ($51)[1]	OSCCAL	Oscillator Calibration Register								28
	OCDR	On-Chip Debug Register								225
$30 ($50)	SFIOR	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	55,86,133,199,219
$2F ($4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	109
$2E ($4E)	TCCR1B	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	112
$2D ($4D)	TCNT1H	Timer/Counter1 – Counter Register High Byte								113
$2C ($4C)	TCNT1L	Timer/Counter1 – Counter Register Low Byte								113
$2B ($4B)	OCR1AH	Timer/Counter1 – Output Compare Register A High Byte								113
$2A ($4A)	OCR1AL	Timer/Counter1 – Output Compare Register A Low Byte								113
$29 ($49)	OCR1BH	Timer/Counter1 – Output Compare Register B High Byte								113
$28 ($48)	OCR1BL	Timer/Counter1 – Output Compare Register B Low Byte								113
$27 ($47)	ICR1H	Timer/Counter1 – Input Capture Register High Byte								114
$26 ($46)	ICR1L	Timer/Counter1 – Input Capture Register Low Byte								114
$25 ($45)	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	127
$24 ($44)	TCNT2	Timer/Counter2 (8 Bits)								129
$23 ($43)	OCR2	Timer/Counter2 Output Compare Register								129
$22 ($42)	ASSR	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	130
$21 ($41)	WDTCR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	41
$20[2] ($40)[2]	UBRRH	URSEL	–	–	–	UBRR[11:8]				165
	UCSRC	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	164
$1F ($3F)	EEARH	–	–	–	–	–	–	–	EEAR8	17
$1E ($3E)	EEARL	EEPROM Address Register Low Byte								17
$1D ($3D)	EEDR	EEPROM Data Register								17
$1C ($3C)	EECR	–	–	–	–	EERIE	EEMWE	EEWE	EERE	17
$1B ($3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	64
$1A ($3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	64
$19 ($39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	64
$18 ($38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	64
$17 ($37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	64
$16 ($36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	64
$15 ($35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	65
$14 ($34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	65
$13 ($33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	65
$12 ($32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	65
$11 ($31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	65
$10 ($30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	65
$0F ($2F)	SPDR	SPI Data Register								140
$0E ($2E)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X	140
$0D (' 2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	138
$0C ($2C)	UDR	USART I/O Data Register								161
$0B ($2B)	UCSRA	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	162
$0A ($2A)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	163
$09 ($29)	UBRRL	USART Baud Rate Register Low Byte								165
$08 ($28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	200
$07 ($27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	215
$06 ($26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	217
$05 ($25)	ADCH	ADC Data Register High Byte								218
$04 ($24)	ADCL	ADC Data Register Low Byte								218
$03 ($23)	TWDR	Two-wire Serial Interface Data Register								180
$02 ($22)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
$01 ($21)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	179
$00 ($20)	TWBR	Two-wire Serial Interface Bit Rate Register								178

tes:
1. When the OCDEN Fuse is unprogrammed, the OSCCAL Register is always accessed on this address. Refer to the debugger specific documentation for details on how to use the OCDR Register.
2. Refer to the USART description for details on how to access UBRRH and UCSRC.
3. For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.
4. Some of the Status Flags are cleared by writing a logical one to them. Note that the CBI and SBI instructions will operate on all bits in the I/O Register, writing a one back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers $00 to $1F only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ıstruction Set Summary

Mnemonics	Operands	Description	Operation	Flags	#Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rdl,K	Add Immediate to Word	Rdh:Rdl ← Rdh:Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd - K	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract with Carry two Registers	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd - K - C	Z,C,N,V,H	1
SBIW	Rdl,K	Subtract Immediate from Word	Rdh:Rdl ← Rdh:Rdl - K	Z,C,N,V,S	2
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF - Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 - Rd	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	Rd ← Rd • ($FF - K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1
MUL	Rd, Rr	Multiply Unsigned	R1:R0 ← Rd x Rr	Z,C	2
MULS	Rd, Rr	Multiply Signed	R1:R0 ← Rd x Rr	Z,C	2
MULSU	Rd, Rr	Multiply Signed with Unsigned	R1:R0 ← Rd x Rr	Z,C	2
FMUL	Rd, Rr	Fractional Multiply Unsigned	R1:R0 ← (Rd x Rr) << 1	Z,C	2
FMULS	Rd, Rr	Fractional Multiply Signed	R1:R0 ← (Rd x Rr) << 1	Z,C	2
FMULSU	Rd, Rr	Fractional Multiply Signed with Unsigned	R1:R0 ← (Rd x Rr) << 1	Z,C	2
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect Jump to (Z)	PC ← Z	None	2
JMP	k	Direct Jump	PC ← k	None	3
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect Call to (Z)	PC ← Z	None	3
CALL	k	Direct Subroutine Call	PC ← k	None	4
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1 / 2 / 3
CP	Rd,Rr	Compare	Rd - Rr	Z, N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	Rd - Rr - C	Z, N,V,C,H	1
CPI	Rd,K	Compare Register with Immediate	Rd - K	Z, N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) PC ← PC + 2 or 3	None	1 / 2 / 3
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) PC ← PC + 2 or 3	None	1 / 2 / 3
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) PC ← PC + 2 or 3	None	1 / 2 / 3
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b)=1) PC ← PC + 2 or 3	None	1 / 2 / 3
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC←PC+k + 1	None	1 / 2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC←PC+k + 1	None	1 / 2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1 / 2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1 / 2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1 / 2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1 / 2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V= 0) then PC ← PC + k + 1	None	1 / 2
BRLT	k	Branch if Less Than Zero, Signed	if (N ⊕ V= 1) then PC ← PC + k + 1	None	1 / 2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1 / 2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1 / 2
BRTS	k	Branch if T Flag Set	if (T = 1) then PC ← PC + k + 1	None	1 / 2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1 / 2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1 / 2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1 / 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mnemonics	Operands	Description	Operation	Flags	#Clocks
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1 / 2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1 / 2
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	None	1
MOVW	Rd, Rr	Copy Register Word	Rd+1:Rd ← Rr+1:Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, - X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, - Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd,Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	- X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	- Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q,Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q,Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
LPM	Rd, Z	Load Program Memory	Rd ← (Z)	None	3
LPM	Rd, Z+	Load Program Memory and Post-Inc	Rd ← (Z), Z ← Z+1	None	3
SPM		Store Program Memory	(Z) ← R1:R0	None	-
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P,b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P,b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left Through Carry	Rd(0)←C,Rd(n+1)← Rd(n),C←Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right Through Carry	Rd(7)←C,Rd(n)← Rd(n+1),C←Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n=0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0)←Rd(7..4),Rd(7..4)←Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Twos Complement Overflow.	V ← 1	V	1
CLV		Clear Twos Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half Carry Flag in SREG	H ← 1	H	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

nemonics	Operands	Description	Operation	Flags	#Clocks
LH		*Clear Half Carry Flag in SREG*	H ← 0	H	1
CU CONTROL INSTRUCTIONS					
OP		No Operation		None	1
LEEP		Sleep	(see specific descr. for Sleep function)	None	1
DR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1
REAK		Break	For On-Chip Debug Only	None	N/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rdering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
8	2.7 - 5.5V	ATmega16L-8AC ATmega16L-8PC ATmega16L-8MC	44A 40P6 44M1	Commercial (0°C to 70°C)
		ATmega16L-8AI ATmega16L-8AU[1] ATmega16L-8PI ATmega16L-8PU[1] ATmega16L-8MI ATmega16L-8MU[1]	44A 44A 40P6 40P6 44M1 44M1	Industrial (-40°C to 85°C)
16	4.5 - 5.5V	ATmega16-16AC ATmega16-16PC ATmega16-16MC	44A 40P6 44M1	Commercial (0°C to 70°C)
		ATmega16-16AI ATmega16-16AU[1] ATmega16-16PI ATmega16-16PU[1] ATmega16-16MI ATmega16-16MU[1]	44A 44A 40P6 40P6 44M1 44M1	Industrial (-40°C to 85°C)

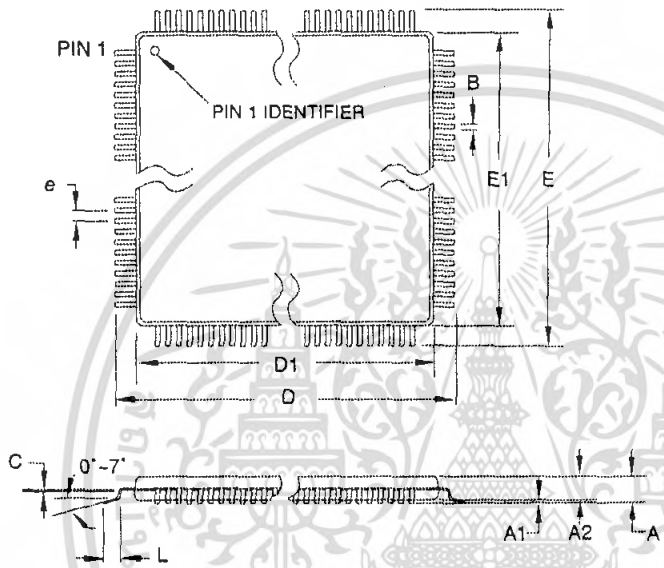
Note: 1. Pb-free packaging alternative, complies to the *European Directive for Restriction of Hazardous Substances* (RoHS directive). Also Halide free and fully Green.

Package Type	
44A	44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
40P6	40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44M1	44-pad, 7 x 7 x 1.0 mm body, lead pitch 0.50 mm, Quad Flat No-Lead/Micro Lead Frame Package (QFN/MLF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ackaging Information

4A



COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	1.20	
A1	0.05	–	0.15	
A2	0.95	1.00	1.05	
D	11.75	12.00	12.25	
D1	9.90	10.00	10.10	Note 2
E	11.75	12.00	12.25	
E1	9.90	10.00	10.10	Note 2
B	0.30	–	0.45	
C	0.09	–	0.20	
L	0.45	–	0.75	
e	0.80 TYP			

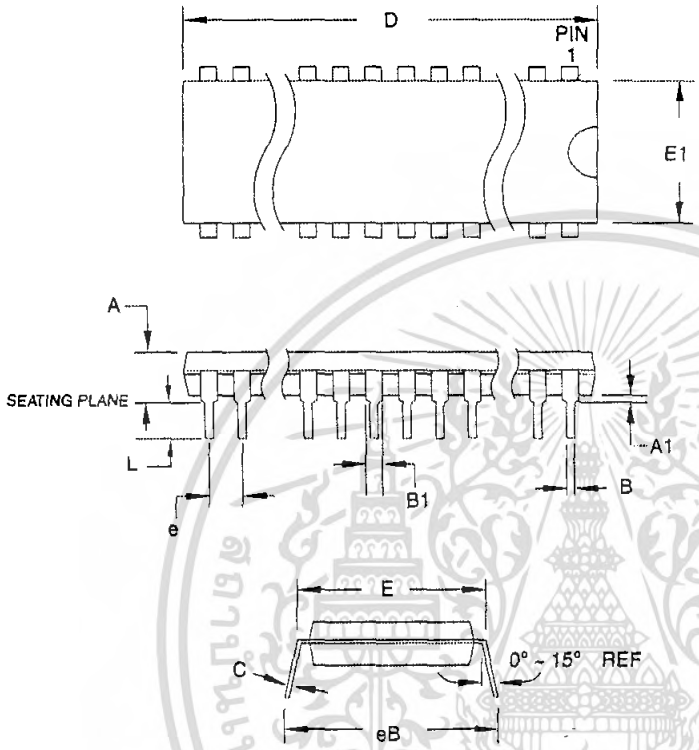
Notes:
1. This package conforms to JEDEC reference MS-026, Variation ACB.
2. Dimensions D1 and E1 do not include mold protrusion. Allowable protrusion is 0.25 mm per side. Dimensions D1 and E1 are maximum plastic body size dimensions including mold mismatch.
3. Lead coplanarity is 0.10 mm maximum.

10/5/2001

	TITLE	DRAWING NO.	REV.
2325 Orchard Parkway San Jose, CA 95131	**44A**, 44-lead, 10 x 10 mm Body Size, 1.0 mm Body Thickness, 0.8 mm Lead Pitch, Thin Profile Plastic Quad Flat Package (TQFP)	44A	B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0P6



COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	4.826	
A1	0.381	–	–	
D	52.070	–	52.578	Note 2
E	15.240	–	15.875	
E1	13.462	–	13.970	Note 2
B	0.356	–	0.559	
B1	1.041	–	1.651	
L	3.048	–	3.556	
C	0.203	–	0.381	
eB	15.494	–	17.526	
e	2.540 TYP			

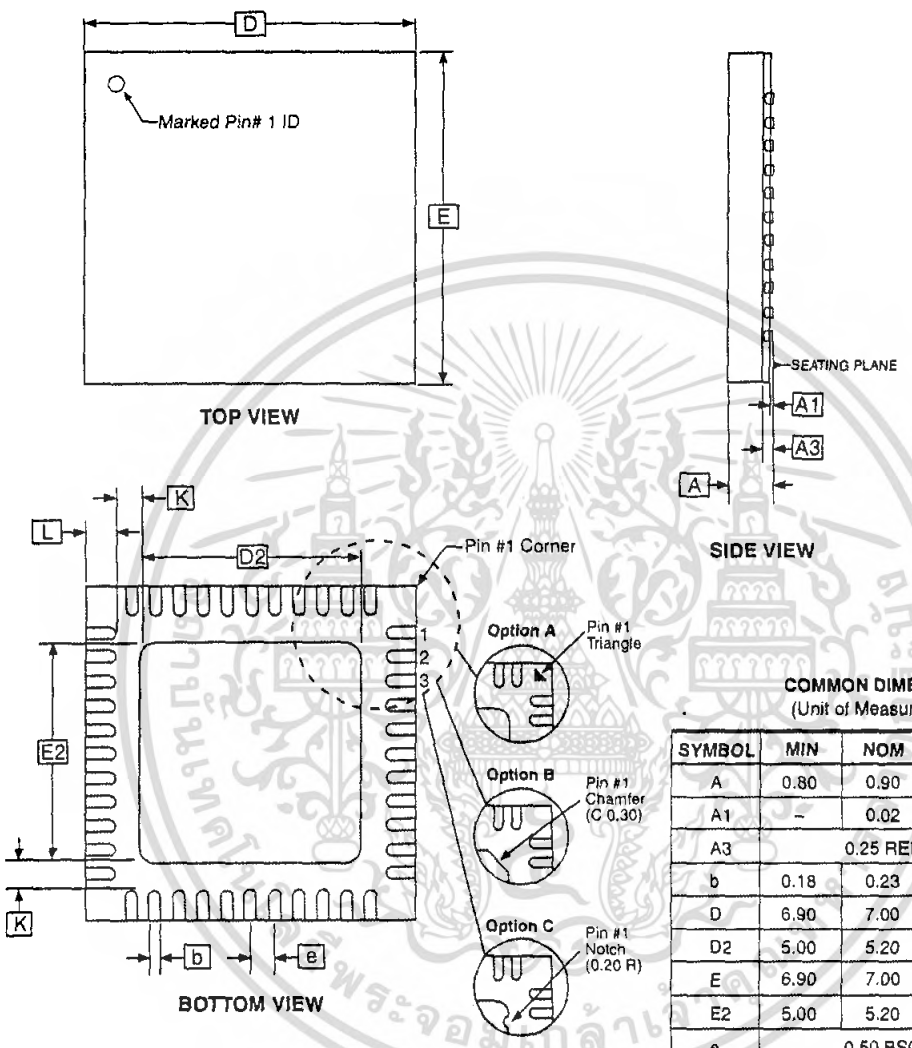
Notes:
1. This package conforms to JEDEC reference MS-011, Variation AC.
2. Dimensions D and E1 do not include mold Flash or Protrusion. Mold Flash or Protrusion shall not exceed 0.25 mm (0.010").

09/28/01

	TITLE	DRAWING NO.	REV.
2325 Orchard Parkway San Jose, CA 95131	**40P6**, 40-lead (0.600"/15.24 mm Wide) Plastic Dual Inline Package (PDIP)	40P6	B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

44M1



COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	0.80	0.90	1.00	
A1	–	0.02	0.05	
A3		0.25 REF		
b	0.18	0.23	0.30	
D	6.90	7.00	7.10	
D2	5.00	5.20	5.40	
E	6.90	7.00	7.10	
E2	5.00	5.20	5.40	
e		0.50 BSC		
L	0.59	0.64	0.69	
K	0.20	0.26	0.41	

Note: JEDEC Standard MO-220, Fig. 1 (SAW Singulation) VKKD-3.

5/27/06

	TITLE	DRAWING NO.	REV.
2325 Orchard Parkway San Jose, CA 95131	**44M1**, 44-pad, 7 x 7 x 1.0 mm Body, Lead Pitch 0.50 mm, 5.20 mm Exposed Pad, Micro Lead Frame Package (MLF)	44M1	G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rrata

The revision letter in this section refers to the revision of the ATmega16 device.

rmega16(L) Rev. M

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. **First Analog Comparator conversion may be delayed**

   If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

   Problem Fix/Workaround

   When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

2. **Interrupts may be lost when writing the timer registers in the asynchronous timer**

   If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

   Problem Fix/Workaround

   Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. **IDCODE masks data from TDI input**

   The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

   Problem Fix / Workaround

   - If ATmega16 is the only device in the scan chain, the problem is not visible.
   - Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
   - If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

ATmega16(L) Rev. L

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. **First Analog Comparator conversion may be delayed**

   If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

   Problem Fix/Workaround

   When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

2. **Interrupts may be lost when writing the timer registers in the asynchronous timer**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

ATmega16(L) Rev. K

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.

- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

ATmega16(L) Rev. J

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. **First Analog Comparator conversion may be delayed**

   If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

   Problem Fix/Workaround

   When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

2. **Interrupts may be lost when writing the timer registers in the asynchronous timer**

   If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

   Problem Fix/Workaround

   Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. **IDCODE masks data from TDI input**

   The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

   Problem Fix / Workaround

   - If ATmega16 is the only device in the scan chain, the problem is not visible.
   - Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
   - If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

ATmega16(L) Rev. I

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. **First Analog Comparator conversion may be delayed**

   If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

   Problem Fix/Workaround

   When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. **Interrupts may be lost when writing the timer registers in the asynchronous timer**

   If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

   Problem Fix/Workaround

   Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. ***IDCODE masks data from TDI input***

   The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

   Problem Fix / Workaround

   - If ATmega16 is the only device in the scan chain, the problem is not visible.
   - Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
   - If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

ATmega16(L) Rev. H

- **First Analog Comparator conversion may be delayed**
- **Interrupts may be lost when writing the timer registers in the asynchronous timer**
- **IDCODE masks data from TDI input**

1. **First Analog Comparator conversion may be delayed**

   If the device is powered by a slow rising V_{CC}, the first Analog Comparator conversion will take longer than expected on some devices.

   Problem Fix/Workaround

   When the device has been powered or reset, disable then enable theAnalog Comparator before the first conversion.

2. **Interrupts may be lost when writing the timer registers in the asynchronous timer**

   If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

   Problem Fix/Workaround

   Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. **IDCODE masks data from TDI input**

   The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

   Problem Fix / Workaround

   - If ATmega16 is the only device in the scan chain, the problem is not visible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Select the *Device ID Register* of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the fist device in the chain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

atasheet Revision istory

Please note that the referring page numbers in this section are referred to this document. The referring revision in this section are referring to the document revision.

ev. 2466N-10/06

1. Updated "Timer/Counter Oscillator" on page 31.
2. Updated "Fast PWM Mode" on page 102.
3. Updated Table 38 on page 83, Table 40 on page 84, Table 45 on page 112, Table 47 on page 113, Table 50 on page 129 and Table 52 on page 130.
4. Updated C code example in "USART Initialization" on page 150.
5. Updated "Errata" on page 343.

Rev. 2466M-04/06

1. Updated typos.
2. Updated "Serial Peripheral Interface – SPI" on page 136.
3. Updated Table 86 on page 222, Table 116 on page 279 ,Table 121 on page 298 and Table 122 on page 300.

Rev. 2466L-06/05

1. Updated note in "Bit Rate Generator Unit" on page 179.
2. Updated values for V_{INT} in "ADC Characteristics" on page 300.
3. Updated "Serial Programming Instruction set" on page 279.
4. Updated USART init C-code example in "USART" on page 145.

Rev. 2466K-04/05

1. Updated "Ordering Information" on page 11.
2. MLF-package alternative changed to "Quad Flat No-Lead/Micro Lead Frame Package QFN/MLF".
3. Updated "Electrical Characteristics" on page 294.

Rev. 2466J-10/04

1. Updated "Ordering Information" on page 11.

Rev. 2466I-10/04

1. Removed references to analog ground.
2. Updated Table 7 on page 28, Table 15 on page 38, Table 16 on page 42, Table 81 on page 211, Table 116 on page 279, and Table 119 on page 296.
3. Updated "Pinout ATmega16" on page 2.
4. Updated features in "Analog to Digital Converter" on page 205.
5. Updated "Version" on page 230.
6. Updated "Calibration Byte" on page 264.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. Added "Page Size" on page 265.

ev. 2466H-12/03

1. Updated "Calibrated Internal RC Oscillator" on page 29.

ev. 2466G-10/03

1. Removed "Preliminary" from the datasheet.
2. Changed ICP to ICP1 in the datasheet.
3. Updated "JTAG Interface and *On-chip Debug* System" on page 36.
4. Updated assembly and C code examples in "Watchdog Timer Control Register – WDTCR" on page 43.
5. Updated Figure 46 on page 103.
6. Updated Table 15 on page 38, Table 82 on page 218 and Table 115 on page 279.
7. Updated "Test Access Port – TAP" on page 223 regarding JTAGEN.
8. Updated description for the JTD bit on page 232.
9. Added note 2 to Figure 126 on page 255.
10. Added a note regarding JTAGEN fuse to Table 105 on page 263.
11. Updated Absolute Maximum Ratings* and DC Characteristics in "Electrical Characteristics" on page 294.
12. Updated "ATmega16 Typical Characteristics" on page 302.
13. Fixed typo for 16 MHz QFN/MLF package in "Ordering Information" on page 11.
14. Added a proposal for solving problems regarding the JTAG instruction IDCODE in "Errata" on page 15.

Rev. 2466F-02/03

1. Added note about masking out unused bits when reading the Program Counter in "Stack Pointer" on page 12.
2. Added Chip Erase as a first step in "Programming the Flash" on page 291 and "Programming the EEPROM" on page 292.
3. Added the section "Unconnected pins" on page 55.
4. Added tips on how to disable the OCD system in "On-chip Debug System" on page 34.
5. Removed reference to the "Multi-purpose Oscillator" application note and "32 kHz Crystal Oscillator" application note, which do not exist.
6. Added information about PWM symmetry for Timer0 and Timer2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. Added note in "Filling the Temporary Buffer (Page Loading)" on page 256 about writing to the EEPROM during an SPM Page Load.

8. Removed ADHSM completely.

9. Added Table 73, "TWI Bit Rate Prescaler," on page 183 to describe the TWPS bits in the "TWI Status Register – TWSR" on page 182.

10. Added section "Default Clock Source" on page 25.

11. Added note about frequency variation when using an external clock. Note added in "External Clock" on page 31. An extra row and a note added in Table 118 on page 296.

12. Various minor TWI corrections.

13. Added "Power Consumption" data in "Features" on page 1.

14. Added section "EEPROM Write During Power-down Sleep Mode" on page 22.

15. Added note about Differential Mode with Auto Triggering in "Prescaling and Conversion Timing" on page 208.

16. Added updated "Packaging Information" on page 12.

Rev. 2466E-10/02

1. Updated "DC Characteristics" on page 294.

Rev. 2466D-09/02

1. Changed all Flash write/erase cycles from 1,000 to 10,000.

2. Updated the following tables: Table 4 on page 26, Table 15 on page 38, Table 42 on page 85, Table 45 on page 112, Table 46 on page 112, Table 59 on page 144, Table 67 on page 168, Table 90 on page 237, Table 102 on page 261, "DC Characteristics" on page 294, Table 119 on page 296, Table 121 on page 298, and Table 122 on page 300.

3. Updated "Errata" on page 15.

Rev. 2466C-03/02

1. Updated typical EEPROM programming time, Table 1 on page 20.

2. Updated typical start-up time in the following tables:
   Table 3 on page 25, Table 5 on page 27, Table 6 on page 28, Table 8 on page 29, Table 9 on page 29, and Table 10 on page 30.

3. Updated Table 17 on page 43 with typical WDT Time-out.

4. Added Some Preliminary Test Limits and Characterization Data.
   Removed some of the TBD's in the following tables and pages:
   Table 15 on page 38, Table 16 on page 42, Table 116 on page 272 (table removed in document review #D), "Electrical Characteristics" on page 294, Table 119 on page 296, Table 121 on page 298, and Table 122 on page 300.

5. Updated TWI Chapter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Added the note at the end of the "Bit Rate Generator Unit" on page 179.

6. **Corrected description of ADSC bit in "ADC Control and Status Register A – ADCSRA" on page 220.**

7. **Improved description on how to do a polarity check of the ADC doff results in "ADC Conversion Result" on page 217.**

8. **Added JTAG version number for rev. H in Table 87 on page 230.**

9. **Added not regarding OCDEN Fuse below Table 105 on page 263.**

10. **Updated Programming Figures:**
    Figure 127 on page 265 and Figure 136 on page 277 are updated to also reflect that AVCC must be connected during Programming mode. Figure 131 on page 273 added to illustrate how to program the fuses.

11. **Added a note regarding usage of the "PROG_PAGELOAD ($6)" on page 283 and "PROG_PAGEREAD ($7)" on page 283.**

12. **Removed alternative algortihm for leaving JTAG Programming mode.**
    See "Leaving Programming Mode" on page 291.

13. **Added Calibrated RC Oscillator characterization curves in section "ATmega16 Typical Characteristics" on page 302.**

14. **Corrected ordering code for QFN/MLF package (16MHz) in "Ordering Information" on page 11.**

15. **Corrected Table 90, "Scan Signals for the Oscillators(1)(2)(3)," on page 237.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 487-2600

Regional Headquarters

Europe
Atmel Sarl
Route des Arsenaux 41
Case Postale 80
CH-1705 Fribourg
Switzerland
Tel: (41) 26-426-5555
Fax: (41) 26-426-5500

Asia
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimshatsui
East Kowloon
Hong Kong
Tel: (852) 2721-9778
Fax: (852) 2722-1369

Japan
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
Tel: (81) 3-3523-3551
Fax: (81) 3-3523-7581

Atmel Operations

Memory
2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 436-4314

Microcontrollers
2325 Orchard Parkway
San Jose, CA 95131, USA
Tel: 1(408) 441-0311
Fax: 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
Tel: (33) 2-40-18-18-18
Fax: (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards
Zone Industrielle
13106 Rousset Cedex, France
Tel: (33) 4-42-53-60-00
Fax: (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
Tel: 1(719) 576-3300
Fax: 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR, Scotland
Tel: (44) 1355-803-000
Fax: (44) 1355-242-743

RF/Automotive
Theresienstrasse 2
Postfach 3535
74025 Heilbronn, Germany
Tel: (49) 71-31-67-0
Fax: (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
Tel: 1(719) 576-3300
Fax: 1(719) 540-1759

Biometrics/Imaging/Hi-Rel MPU/
High Speed Converters/RF Datacom
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex, France
Tel: (33) 4-76-58-30-00
Fax: (33) 4-76-58-34-80

Literature Requests
www.atmel.com/literature

Disclaimer: The information in this document is provided in connection with Atmel products. No license, express or implied, by estoppel or otherwise, to any intellectual property right is granted by this document or in connection with the sale of Atmel products. **EXCEPT AS SET FORTH IN ATMEL'S TERMS AND CONDITIONS OF SALE LOCATED ON ATMEL'S WEB SITE, ATMEL ASSUMES NO LIABILITY WHATSOEVER AND DISCLAIMS ANY EXPRESS, IMPLIED OR STATUTORY WARRANTY RELATING TO ITS PRODUCTS INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTY OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT. IN NO EVENT SHALL ATMEL BE LIABLE FOR ANY DIRECT, INDIRECT, CONSEQUENTIAL, PUNITIVE, SPECIAL OR INCIDENTAL DAMAGES (INCLUDING, WITHOUT LIMITATION, DAMAGES FOR LOSS OF PROFITS, BUSINESS INTERRUPTION, OR LOSS OF INFORMATION) ARISING OUT OF THE USE OR INABILITY TO USE THIS DOCUMENT, EVEN IF ATMEL HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.** Atmel makes no representations or warranties with respect to the accuracy or completeness of the contents of this document and reserves the right to make changes to specifications and product descriptions at any time without notice. Atmel does not make any commitment to update the information contained herein. Unless specifically provided otherwise, Atmel products are not suitable for, and shall not be used in, automotive applications. Atmel's products are not intended, authorized, or warranted for use as components in applications intended to support or sustain life.

© 2006 Atmel Corporation. All rights reserved. Atmel®, logo and combinations thereof, Everywhere You Are®, AVR®, AVR Studio®, and others, are registered trademarks or trademarks of Atmel Corporation or its subsidiaries. Other terms and product names may be trademarks of others.

2466NS–AVR–10/06

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS SEMICONDUCTOR MAXIM

DS1307
64 x 8, Serial, I²C Real-Time Clock

GENERAL DESCRIPTION

The DS1307 serial real-time clock (RTC) is a low-power, full binary-coded decimal (BCD) clock/calendar plus 56 bytes of NV SRAM. Address and data are transferred serially through an I²C*, bidirectional bus. The clock/calendar provides seconds, minutes, hours, day, date, month, and year information. The end of the month date is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with AM/PM indicator. The DS1307 has a built-in power-sense circuit that detects power failures and automatically switches to the battery supply.

** I²C is a trademark of Philips Corp. Purchase of I²C components of Maxim Integrated Products, Inc., or one of its sublicensed Associated Companies, conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips Corp.*

FEATURES

- Real-Time Clock (RTC) Counts Seconds, Minutes, Hours, Date of the Month, Month, Day of the week, and Year with Leap-Year Compensation Valid Up to 2100
- 56-Byte, Battery-Backed, Nonvolatile (NV) RAM for Data Storage
- I²C Serial Interface
- Programmable Square-Wave Output Signal
- Automatic Power-Fail Detect and Switch Circuitry
- Consumes Less than 500nA in Battery-Backup Mode with Oscillator Running
- Optional Industrial Temperature Range: -40°C to +85°C
- Available in 8-Pin Plastic DIP or SO
- Underwriters Laboratory (UL) Recognized

Typical Operating Circuit and Pin Configurations appear at end of data sheet.

ORDERING INFORMATION

PART	TEMP RANGE	VOLTAGE (V)	PIN-PACKAGE	TOP MARK*
DS1307	0°C to +70°C	5.0	8 PDIP (300 mils)	DS1307
DS1307+	0°C to +70°C	5.0	8 PDIP (300 mils)	DS1307
DS1307N	-40°C to +85°C	5.0	8 PDIP (300 mils)	DS1307
DS1307Z	0°C to +70°C	5.0	8 SO (150 mils)	DS1307
DS1307Z+	0°C to +70°C	5.0	8 SO (150 mils)	DS1307
DS1307ZN	-40°C to +85°C	5.0	8 SO (150 mils)	DS1307N
DS1307ZN+	-40°C to +85°C	5.0	8 SO (150 mils)	DS1307N
DS1307Z/T&R	0°C to +70°C	5.0	8 SO (150 mils) Tape and Reel	DS1307
DS1307Z+T&R	0°C to +70°C	5.0	8 SO (150 mils) Tape and Reel	DS1307
DS1307ZN/T&R	-40°C to +85°C	5.0	8 SO (150 mils) Tape and Reel	DS1307N
DS1307ZN+T&R	-40°C to +85°C	5.0	8 SO (150 mils) Tape and Reel	DS1307N

+ Denotes a lead-free/RoHS-compliant device.

** A "+" anywhere on the top mark indicates a lead-free device. An "N" on the lower left corner of the top mark indicates an industrial temperature grade device.*

Note: *Some revisions of this device may incorporate deviations from published specifications known as errata. Multiple revisions of any device may be simultaneously available through various sales channels. For information about device errata, click here: www.maxim-ic.com/errata.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground ....-0.5V to +7.0V
Operating Temperature Range (Noncondensing)
Commercial ..0°C to +70°C
Industrial -40°C to +85°C
Storage Temperature Range -55°C to +125°C
Soldering Temperature (DIP, leads).. .....+260°C for 10 seconds
Soldering Temperature (surface mount) .. .See JPC/JEDEC Standard J-STD-020A

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(T_A = 0°C to +70°C, T_A = -40°C to +85°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}		4.5	5.0	5.5	V
Logic 1 Input	V_{IH}		2.2		V_{CC} + 0.3	V
Logic 0 Input	V_{IL}		-0.3		+0.8	V
V_{BAT} Battery Voltage	V_{BAT}		2.0	3	3.5	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = 4.5V to 5.5V; T_A = 0°C to +70°C, T_A = -40°C to +85°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage (SCL)	I_{LI}		-1		1	µA
I/O Leakage (SDA, SQW/OUT)	I_{LO}		-1		1	µA
Logic 0 Output (I_{OL} = 5mA)	V_{OL}				0.4	V
Active Supply Current (f_{SCL} = 100kHz)	I_{CCA}				1.5	mA
Standby Current	I_{CCS}	(Note 3)			200	µA
V_{BAT} Leakage Current	I_{BATLKG}			5	50	nA
Power-Fail Voltage (V_{BAT} = 3.0V)	V_{PF}		1.216 x V_{BAT}	1.25 x V_{BAT}	1.284 x V_{BAT}	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = 0V, V_{BAT} = 3.0V; T_A = 0°C to +70°C, T_A = -40°C to +85°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{BAT} Current (OSC ON); SQW/OUT OFF	I_{BAT1}			300	500	nA
V_{BAT} Current (OSC ON); SQW/OUT ON (32kHz)	I_{BAT2}			480	800	nA
V_{BAT} Data-Retention Current (Oscillator Off)	I_{BATDR}			10	100	nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = **4.5V to 5.5V**; T_A = 0°C to +70°C, T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f_{SCL}		0		100	kHz
Bus Free Time Between a STOP and START Condition	t_{BUF}		4.7			µs
Hold Time (Repeated) START Condition	$t_{HD:STA}$	(Note 4)	4.0			µs
LOW Period of SCL Clock	t_{LOW}		4.7			µs
HIGH Period of SCL Clock	t_{HIGH}		4.0			µs
Setup Time for a Repeated START Condition	$t_{SU:STA}$		4.7			µs
Data Hold Time	$t_{HD:DAT}$		0			µs
Data Setup Time	$t_{SU:DAT}$	(Notes 5, 6)	250			ns
Rise Time of Both SDA and SCL Signals	t_R				1000	ns
Fall Time of Both SDA and SCL Signals	t_F				300	ns
Setup Time for STOP Condition	$t_{SU:STO}$		4.7			µs

CAPACITANCE

(T_A = +25°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pin Capacitance (SDA, SCL)	$C_{I/O}$				10	pF
Capacitance Load for Each Bus Line	C_B	(Note 7)			400	pF

Note 1: All voltages are referenced to ground.

Note 2: Limits at -40°C are guaranteed by design and are not production tested.

Note 3: I_{CCS} specified with V_{CC} = 5.0V and SDA, SCL = 5.0V.

Note 4: After this period, the first clock pulse is generated.

Note 5: A device must internally provide a hold time of at least 300ns for the SDA signal (referred to the $V_{IH(MIN)}$ of the SCL signal) to bridge the undefined region of the falling edge of SCL.

Note 6: The maximum $t_{HD:DAT}$ only has to be met if the device does not stretch the LOW period (t_{LOW}) of the SCL signal.

Note 7: C_B—total capacitance of one bus line in pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM

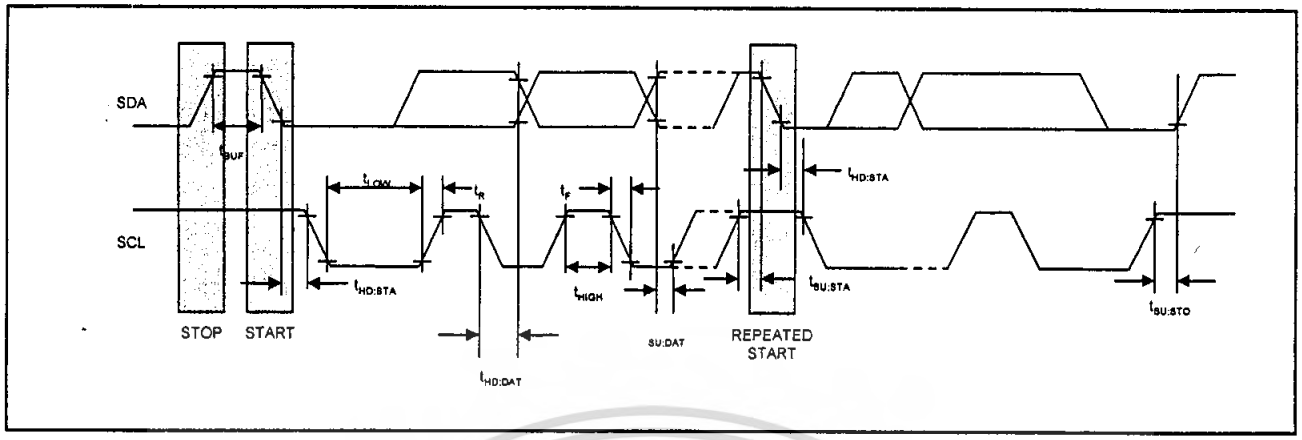
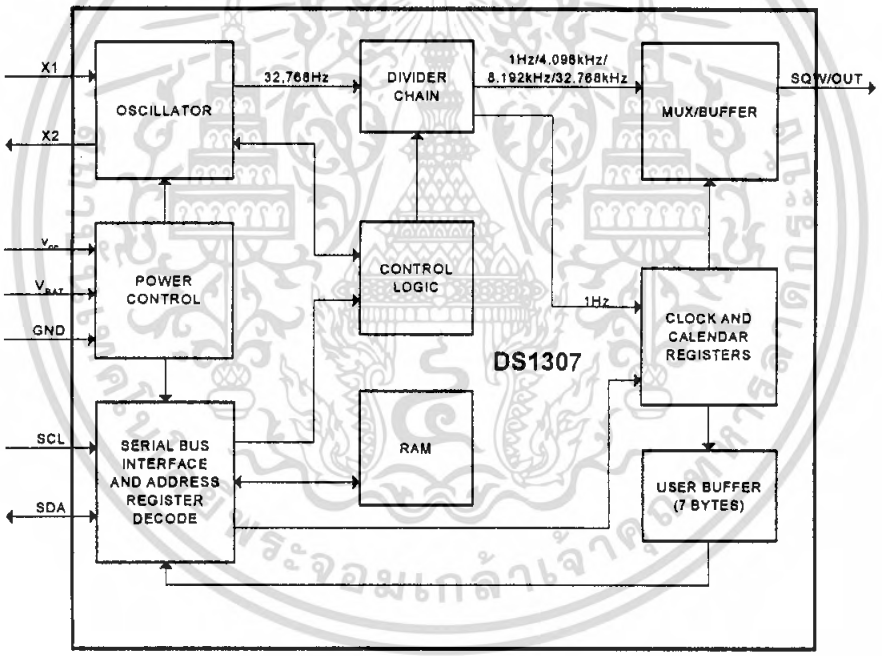


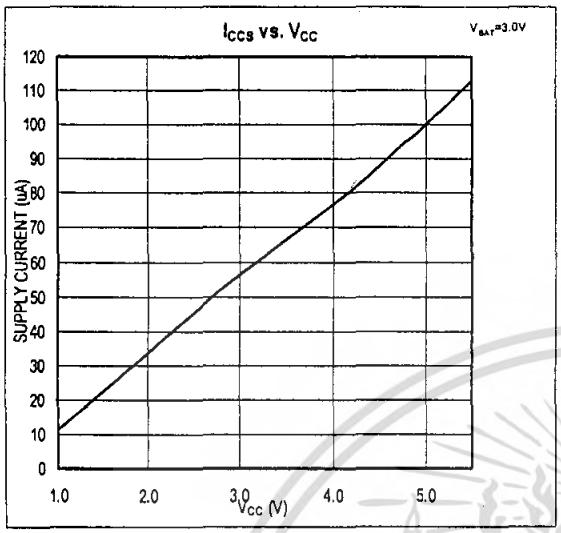
Figure 1. Block Diagram

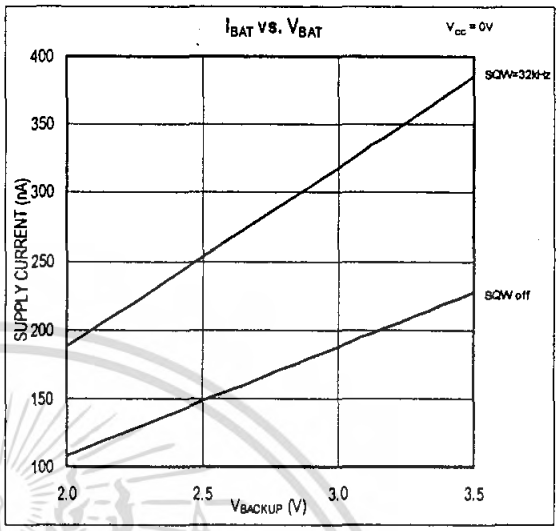


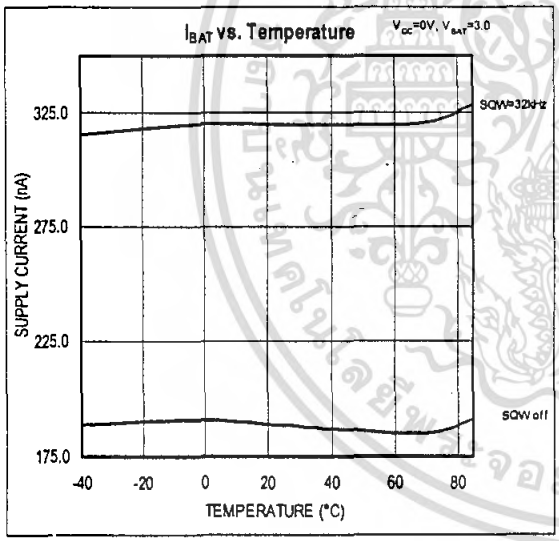
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

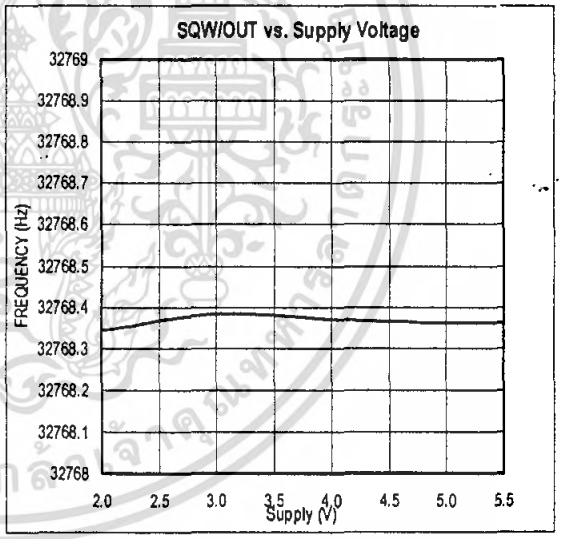
TYPICAL OPERATING CHARACTERISTICS

(V_{CC} = 5.0V, T_A = +25°C, unless otherwise noted.)









เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN	NAME	FUNCTION
1	X1	Connections for Standard 32.768kHz Quartz Crystal. The internal oscillator circuitry is designed for operation with a crystal having a specified load capacitance (C_L) of 12.5pF. X1 is the input to the oscillator and can optionally be connected to an external 32.768kHz oscillator. The output of the internal oscillator, X2, is floated if an external oscillator is connected to X1. **Note:** For more information on crystal selection and crystal layout considerations, refer to *Application Note 58: Crystal Considerations with Dallas Real-Time Clocks*.
2	X2	
3	V_{BAT}	Backup Supply Input for Any Standard 3V Lithium Cell or Other Energy Source. Battery voltage must be held between the minimum and maximum limits for proper operation. Diodes in series between the battery and the V_{BAT} pin may prevent proper operation. If a backup supply is not required, V_{BAT} must be grounded. The nominal power-fail trip point (V_{PF}) voltage at which access to the RTC and user RAM is denied is set by the internal circuitry as 1.25 x V_{BAT} nominal. A lithium battery with 48mAhr or greater will back up the DS1307 for more than 10 years in the absence of power at +25°C. UL recognized to ensure against reverse charging current when used with a lithium battery.
4	GND	Ground
5	SDA	Serial Data Input/Output. SDA is the data input/output for the I²C serial interface. The SDA pin is open drain and requires an external pullup resistor.
6	SCL	Serial Clock Input. SCL is the clock input for the I²C interface and is used to synchronize data movement on the serial interface.
7	SWQ/OUT	Square Wave/Output Driver. When enabled, the SQWE bit set to 1, the SQW/OUT pin outputs one of four square-wave frequencies (1Hz, 4kHz, 8kHz, 32kHz). The SQW/OUT pin is open drain and requires an external pullup resistor. SQW/OUT operates with either V_{CC} or V_{BAT} applied.
8	V_{CC}	Primary Power Supply. When voltage is applied within normal limits, the device is fully accessible and data can be written and read. When a backup supply is connected to the device and V_{CC} is below V_{TP}, read and writes are inhibited. However, the timekeeping function continues unaffected by the lower input voltage.

DETAILED DESCRIPTION

The DS1307 is a low-power clock/calendar with 56 bytes of battery-backed SRAM. The clock/calendar provides seconds, minutes, hours, day, date, month, and year information. The date at the end of the month is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The DS1307 operates as a slave device on the I²C bus. Access is obtained by implementing a START condition and providing a device identification code followed by a register address. Subsequent registers can be accessed sequentially until a STOP condition is executed. When V_{CC} falls below 1.25 x V_{BAT}, the device terminates an access in progress and resets the device address counter. Inputs to the device will not be recognized at this time to prevent erroneous data from being written to the device from an out-of-tolerance system. When V_{CC} falls below V_{BAT}, the device switches into a low-current battery-backup mode. Upon power-up, the device switches from battery to V_{CC} when V_{CC} is greater than V_{BAT}+0.2V and recognizes inputs when V_{CC} is greater than 1.25 x V_{BAT}. The block diagram in Figure 1 shows the main elements of the serial RTC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CIRCUIT

The DS1307 uses an external 32.768kHz crystal. The oscillator circuit does not require any external resistors or capacitors to operate. Table 1 specifies several crystal parameters for the external crystal. Figure 3 shows a functional schematic of the oscillator circuit. If using a crystal with the specified characteristics, the startup time is usually less than one second.

CLOCK ACCURACY

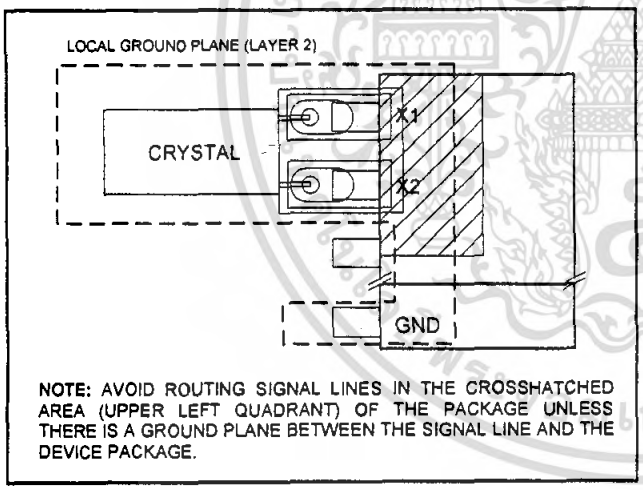
The accuracy of the clock is dependent upon the accuracy of the crystal and the accuracy of the match between the capacitive load of the oscillator circuit and the capacitive load for which the crystal was trimmed. Additional error will be added by crystal frequency drift caused by temperature shifts. External circuit noise coupled into the oscillator circuit may result in the clock running fast. Refer to *Application Note 58: Crystal Considerations with Dallas Real-Time Clocks* for detailed information.

Table 1. Crystal Specifications*

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Nominal Frequency	f_O		32.768		kHz
Series Resistance	ESR			45	kΩ
Load Capacitance	C_L		12.5		pF

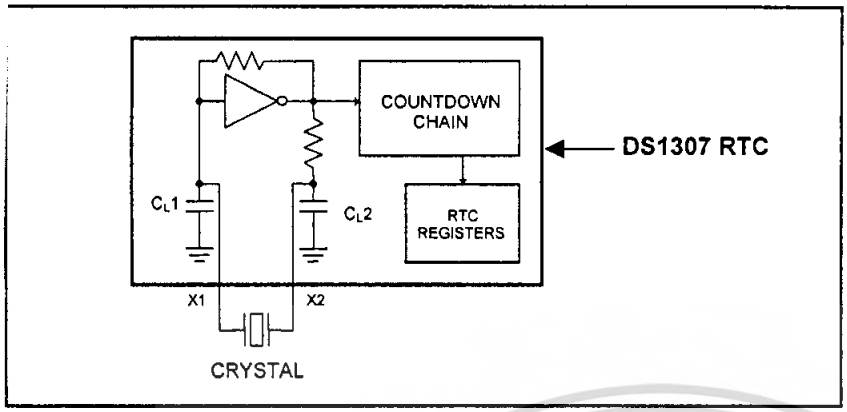
**The crystal, traces, and crystal input pins should be isolated from RF generating signals. Refer to Application Note 58: Crystal Considerations for Dallas Real-Time Clocks for additional specifications.*

Figure 2. Recommended Layout for Crystal



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Oscillator Circuit Showing Internal Bias Network



RTC AND RAM ADDRESS MAP

Table 2 shows the address map for the DS1307 RTC and RAM registers. The RTC registers are located in address locations 00h to 07h. The RAM registers are located in address locations 08h to 3Fh. During a multibyte access, when the address pointer reaches 3Fh, the end of RAM space, it wraps around to location 00h, the beginning of the clock space.

CLOCK AND CALENDAR

The time and calendar information is obtained by reading the appropriate register bytes. Table 2 shows the RTC registers. The time and calendar are set or initialized by writing the appropriate register bytes. The contents of the time and calendar registers are in the BCD format. The day-of-week register increments at midnight. Values that correspond to the day of week are user-defined but must be sequential (i.e., if 1 equals Sunday, then 2 equals Monday, and so on.) Illogical time and date entries result in undefined operation. Bit 7 of Register 0 is the clock halt (CH) bit. When this bit is set to 1, the oscillator is disabled. When cleared to 0, the oscillator is enabled.

Please note that the initial power-on state of all registers is not defined. Therefore, it is important to enable the oscillator (CH bit = 0) during initial configuration.

The DS1307 can be run in either 12-hour or 24-hour mode. Bit 6 of the hours register is defined as the 12-hour or 24-hour mode-select bit. When high, the 12-hour mode is selected. In the 12-hour mode, bit 5 is the AM/PM bit with logic high being PM. In the 24-hour mode, bit 5 is the second 10-hour bit (20 to 23 hours). The hours value must be re-entered whenever the 12/24-hour mode bit is changed.

When reading or writing the time and date registers, secondary (user) buffers are used to prevent errors when the internal registers update. When reading the time and date registers, the user buffers are synchronized to the internal registers on any I^2C START. The time information is read from these secondary registers while the clock continues to run. This eliminates the need to re-read the registers in case the internal registers update during a read. The divider chain is reset whenever the seconds register is written. Write transfers occur on the I^2C acknowledge from the DS1307. Once the divider chain is reset, to avoid rollover issues, the remaining time and date registers must be written within one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Timekeeper Registers

ADDRESS	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	FUNCTION	RANGE
00H	CH	10 Seconds			Seconds				Seconds	00 59
01H	0	10 Minutes			Minutes				Minutes	00 59
02H	0	12	10 Hour	10 Hour	Hours				Hours	1 12 +AM/PM
		24	PM/AM							00 23
03H	0	0	0	0	0	DAY			Day	01 07
04H	0	0	10 Date		Date				Date	01 31
05H	0	0	0	10 Month	Month				Month	01 12
06H	10 Year				Year				Year	00 99
07H	OUT	0	0	SQWE	0	0	RS1	RS0	Control	—
08H-3FH									RAM 56 x 8	00H–FFH

0 = Always reads back as 0.

CONTROL REGISTER

The DS1307 control register is used to control the operation of the SQW/OUT pin.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OUT	0	0	SQWE	0	0	RS1	RS0

Bit 7: Output Control (OUT). This bit controls the output level of the SQW/OUT pin when the square-wave output is disabled. If SQWE = 0, the logic level on the SQW/OUT pin is 1 if OUT = 1 and is 0 if OUT = 0.

Bit 4: Square-Wave Enable (SQWE). This bit, when set to logic 1, enables the oscillator output. The frequency of the square-wave output depends upon the value of the RS0 and RS1 bits. With the square-wave output set to 1Hz, the clock registers update on the falling edge of the square wave.

Bits 1, 0: Rate Select (RS1, RS0). These bits control the frequency of the square-wave output when the square-wave output has been enabled. The following table lists the square-wave frequencies that can be selected with the RS bits.

RS1	RS0	SQUARE-WAVE OUTPUT FREQUENCY
0	0	1Hz
0	1	4.096kHz
1	0	8.192kHz
1	1	32.768kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I²C DATA BUS

The DS1307 supports the I²C protocol. A device that sends data onto the bus is defined as a transmitter and a device receiving data as a receiver. The device that controls the message is called a master. The devices that are controlled by the master are referred to as slaves. The bus must be controlled by a master device that generates the serial clock (SCL), controls the bus access, and generates the START and STOP conditions. The DS1307 operates as a slave on the I²C bus.

Figures 4, 5, and 6 detail how data is transferred on the I²C bus.

- Data transfer may be initiated only when the bus is not busy.
- During data transfer, the data line must remain stable whenever the clock line is HIGH. Changes in the data line while the clock line is high will be interpreted as control signals.

Accordingly, the following bus conditions have been defined:

Bus not busy: Both data and clock lines remain HIGH.

Start data transfer: A change in the state of the data line, from HIGH to LOW, while the clock is HIGH, defines a START condition.

Stop data transfer: A change in the state of the data line, from LOW to HIGH, while the clock line is HIGH, defines the STOP condition.

Data valid: The state of the data line represents valid data when, after a START condition, the data line is stable for the duration of the HIGH period of the clock signal. The data on the line must be changed during the LOW period of the clock signal. There is one clock pulse per bit of data.

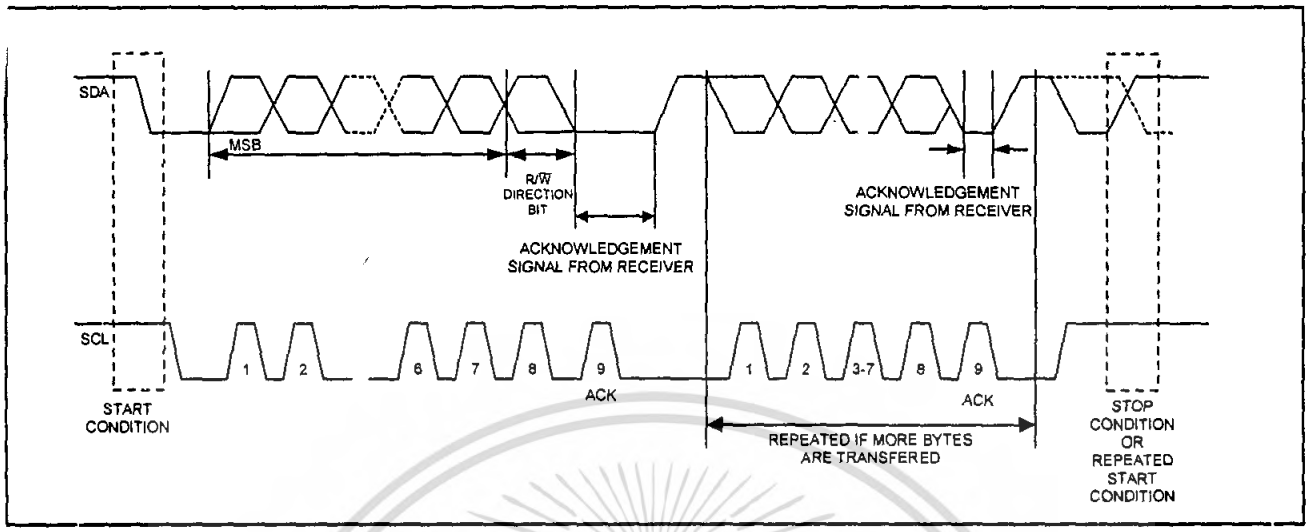
Each data transfer is initiated with a START condition and terminated with a STOP condition. The number of data bytes transferred between START and STOP conditions is not limited, and is determined by the master device. The information is transferred byte-wise and each receiver acknowledges with a ninth bit. Within the 2-wire bus specifications a standard mode (100kHz clock rate) and a fast mode (400kHz clock rate) are defined. The DS1307 operates in the standard mode (100kHz) only.

Acknowledge: Each receiving device, when addressed, is obliged to generate an acknowledge after the reception of each byte. The master device must generate an extra clock pulse which is associated with this acknowledge bit.

A device that acknowledges must pull down the SDA line during the acknowledge clock pulse in such a way that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse. Of course, setup and hold times must be taken into account. A master must signal an end of data to the slave by not generating an acknowledge bit on the last byte that has been clocked out of the slave. In this case, the slave must leave the data line HIGH to enable the master to generate the STOP condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4. Data Transfer on I²C Serial Bus



Depending upon the state of the R/$\overline{W}$ bit, two types of data transfer are possible:

1. **Data transfer from a master transmitter to a slave receiver.** The first byte transmitted by the master is the slave address. Next follows a number of data bytes. The slave returns an acknowledge bit after each received byte. Data is transferred with the most significant bit (MSB) first.

2. **Data transfer from a slave transmitter to a master receiver.** The first byte (the slave address) is transmitted by the master. The slave then returns an acknowledge bit. This is followed by the slave transmitting a number of data bytes. The master returns an acknowledge bit after all received bytes other than the last byte. At the end of the last received byte, a "not acknowledge" is returned.

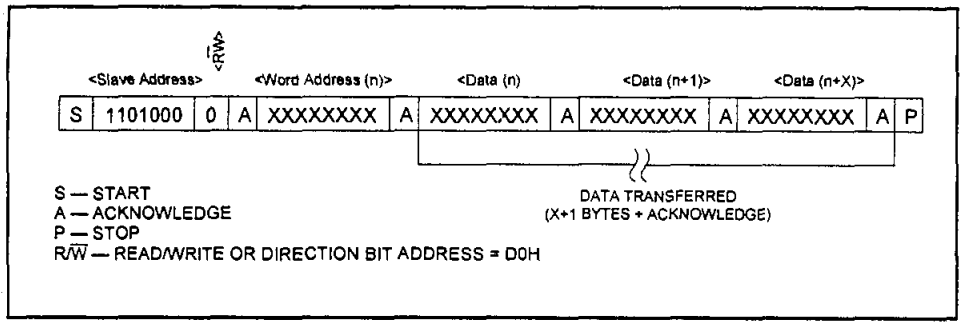
   The master device generates all the serial clock pulses and the START and STOP conditions. A transfer is ended with a STOP condition or with a repeated START condition. Since a repeated START condition is also the beginning of the next serial transfer, the bus will not be released. Data is transferred with the most significant bit (MSB) first.

The DS1307 may operate in the following two modes:

1. **Slave Receiver Mode (Write Mode):** Serial data and clock are received through SDA and SCL. After each byte is received an acknowledge bit is transmitted. START and STOP conditions are recognized as the beginning and end of a serial transfer. Hardware performs address recognition after reception of the slave address and direction bit (see Figure 5). The slave address byte is the first byte received after the master generates the START condition. The slave address byte contains the 7-bit DS1307 address, which is 1101000, followed by the direction bit (R/$\overline{W}$), which for a write is 0. After receiving and decoding the slave address byte, the DS1307 outputs an acknowledge on SDA. After the DS1307 acknowledges the slave address + write bit, the master transmits a word address to the DS1307. This sets the register pointer on the DS1307, with the DS1307 acknowledging the transfer. The master can then transmit zero or more bytes of data with the DS1307 acknowledging each byte received. The register pointer automatically increments after each data byte are written. The master will generate a STOP condition to terminate the data write.

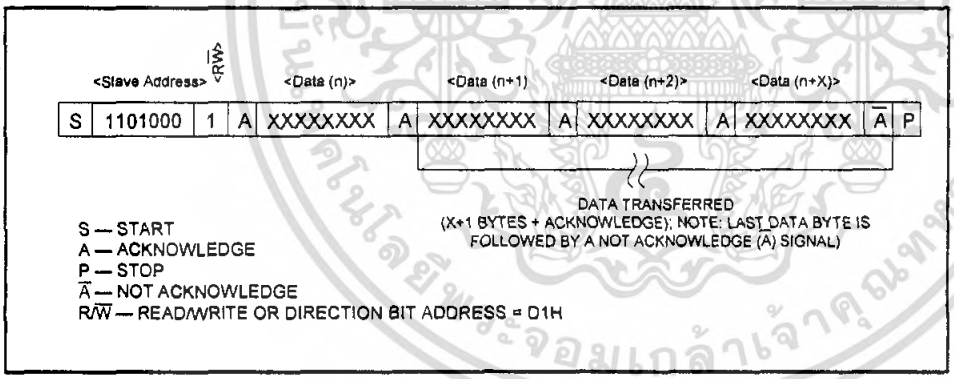
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Data Write—Slave Receiver Mode



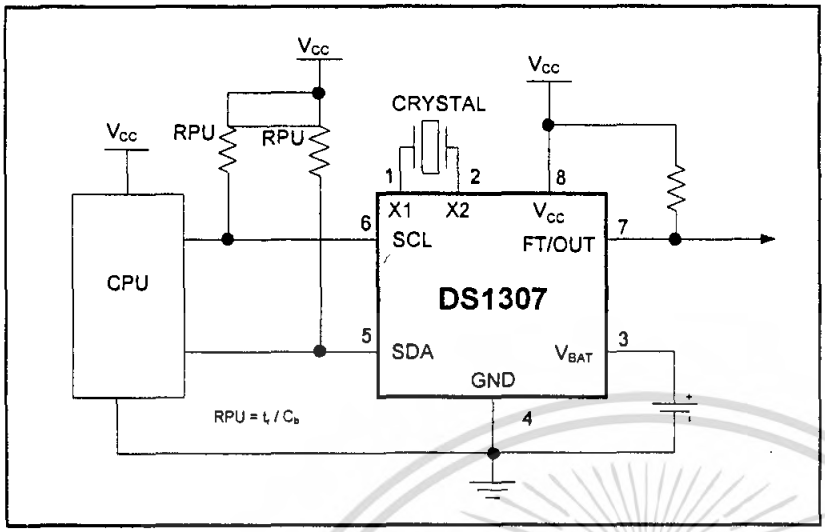
2. **Slave Transmitter Mode (Read Mode):** The first byte is received and handled as in the slave receiver mode. However, in this mode, the direction bit will indicate that the transfer direction is reversed. The DS1307 transmits serial data on SDA while the serial clock is input on SCL. START and STOP conditions are recognized as the beginning and end of a serial transfer (see Figure 6). The slave address byte is the first byte received after the START condition is generated by the master. The slave address byte contains the 7-bit DS1307 address, which is 1101000, followed by the direction bit ($R/\overline{W}$), which is 1 for a read. After receiving and decoding the slave address the DS1307 outputs an acknowledge on SDA. The DS1307 then begins to transmit data starting with the register address pointed to by the register pointer. If the register pointer is not written to before the initiation of a read mode the first address that is read is the last one stored in the register pointer. The register pointer automatically increments after each byte are read. The DS1307 must receive a Not Acknowledge to end a read.

Figure 6. Data Read—Slave Transmitter Mode



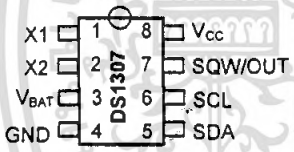
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL OPERATING CIRCUIT

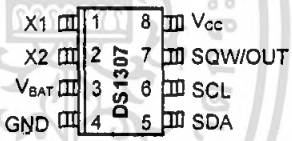


PIN CONFIGURATIONS

TOP VIEW



PDIP (300 mils)



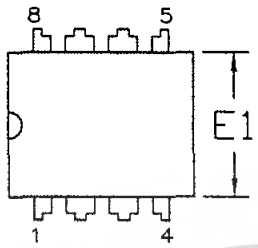
SO (150 mils)

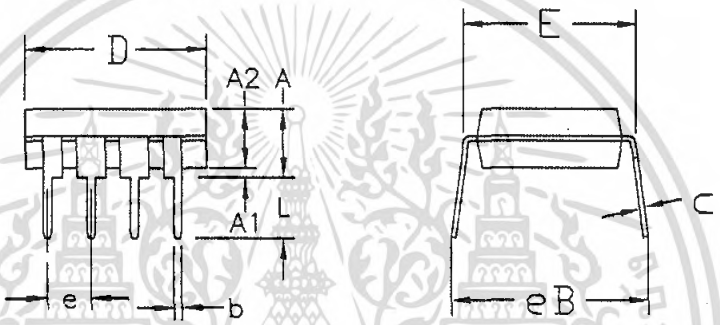
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE INFORMATION

(The package drawing(s) in this data sheet may not reflect the most current specifications. For the latest package outline information, go to **www.maxim-ic.com/DallasPackInfo**.)

REVISIONS			
LTR	DESCRIPTION	DATE	APPROVED
A	NEW DRAWING	12/01	





	8 PIN	
	MIN	MAX
A	–	0.170
A1	0.015	–
A2	0.115	0.195
b	0.015	0.022
c	0.008	0.012
D	0.360	0.380
E	0.300	0.325
E1	0.240	0.260
e	0.090	0.110
L	0.125	0.135
eB	–	0..430

ALL DIMENSIONS ARE IN INCHES

SIGNATURE		DATE
DOC. CONTROL:		
ENGR. MGR:		
MFG. ENGR:		
CHECKED BY:	TWM	12/01
DRAWN BY:	JFD	12/01
DO NOT SCALE DWG.		

DALLAS SEMICONDUCTOR MAXIM

TITLE: MARKETING OUTLINE, 8 LEAD PLASTIC DUAL-IN-LINE PACKAGE (0.300")

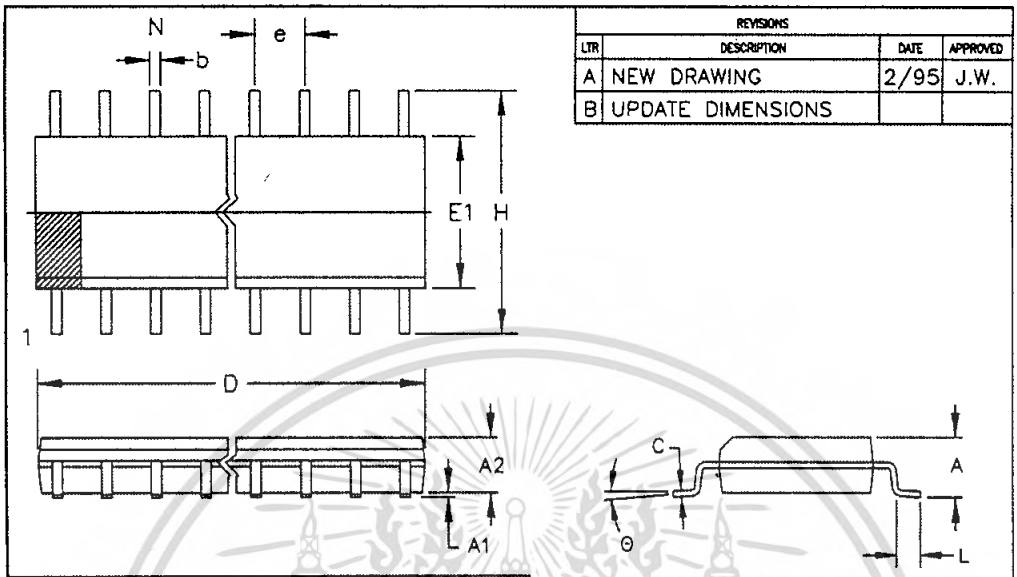
SIZE	FSCM NO	PART NO.	REV
A		56-G5005-000	A

SCALE N/A SHEET 1 OF 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE INFORMATION (continued)

(The package drawing(s) in this data sheet may not reflect the most current specifications. For the latest package outline information, go to **www.maxim-ic.com/DallasPackInfo**.)



REVISIONS			
LTR	DESCRIPTION	DATE	APPROVED
A	NEW DRAWING	2/95	J.W.
B	UPDATE DIMENSIONS		

PKG		8 PIN		14 PIN		16 PIN	
LTR		MIN	MAX	MIN	MAX	MIN	MAX
A	IN.	0.053	0.069	0.053	0.069	0.053	0.069
	MM	1.35	1.75	1.35	1.75	1.35	1.75
A1	IN.	0.004	0.010	0.004	0.010	0.004	0.010
	MM	0.10	0.25	0.10	0.25	0.10	0.25
A2	IN.	0.048	0.062	0.048	0.062	0.048	0.062
	MM	1.22	1.57	1.22	1.57	1.22	1.57
b	IN.	0.012	0.020	0.012	0.020	0.012	0.020
	MM	0.030	0.51	0.30	0.51	0.30	0.51
C	IN.	0.007	0.011	0.007	0.011	0.007	0.011
	MM	0.18	0.28	0.18	0.28	0.18	0.28
D	IN.	0.188	0.196	0.337	0.344	0.386	0.393
	MM	4.78	4.98	8.56	8.74	9.80	9.98
e	IN.	.050 BSC		.050 BSC		.050 BSC	
	MM	1.27 BSC		1.27 BSC		1.27 BSC	
E1	IN.	0.150	0.158	0.150	0.158	0.150	0.158
	MM	3.81	4.01	3.81	4.01	3.81	4.01
H	IN.	0.230	0.244	0.230	0.244	0.230	0.244
	MM	5.84	6.20	5.84	6.20	5.84	6.20
L	IN.	0.016	0.050	0.016	0.050	0.016	0.050
	MM	0.41	1.27	0.41	1.27	0.41	1.27
Θ		0°	8°	0°	8°	0°	8°

THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A TERMINAL 1 IDENTIFIER MUST BE POSITIONED SO THAT 1/2 OR MORE OF IT'S AREA IS CONTAINED IN THE HATCHED ZONE.

SIGNATURE		DATE
DOC. CONTROL:		
ENGR. MGR:		
MFG. ENGR:		
CHECKED BY:		
DRAWN BY:	M.W.C.	2/95

DALLAS SEMICONDUCTOR MAXIM

TITLE: PACKAGE OUTLINE .150" SOIC 8,14&16 LD.

SIZE	FSCM NO	PART NO.	REV
A		56-G2008-001	B

DO NOT SCALE DWG. | SCALE N/A | SHEET 1 OF 1

Maxim/Dallas Semiconductor cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim/Dallas Semiconductor product. No circuit patent licenses are implied. Maxim/Dallas Semiconductor reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2005 Maxim Integrated Products • Printed USA

The Maxim logo is a registered trademark of Maxim Integrated Products, Inc. The Dallas logo is a registered trademark of Dallas Semiconductor Corporation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS

CD4051B, CD4052B, CD4053B

Data sheet acquired from Harris Semiconductor
SCHS047D

August 1998 - Revised March 2000

CMOS Analog Multiplexers/Demultiplexers with Logic Level Conversion

The CD4051B, CD4052B, and CD4053B analog multiplexers are digitally-controlled analog switches having low ON impedance and very low OFF leakage current. Control of analog signals up to $20V_{P-P}$ can be achieved by digital signal amplitudes of 4.5V to 20V (if V_{DD}-V_{SS} = 3V, a V_{DD}-V_{EE} of up to 13V can be controlled; for V_{DD}-V_{EE} level differences above 13V, a V_{DD}-V_{SS} of at least 4.5V is required). For example, if V_{DD} = +4.5V, V_{SS} = 0V, and V_{EE} = -13.5V, analog signals from -13.5V to +4.5V can be controlled by digital inputs of 0V to 5V. These multiplexer circuits dissipate extremely low quiescent power over the full V_{DD}-V_{SS} and V_{DD}-V_{EE} supply-voltage ranges, independent of the logic state of the control signals. When a logic "1" is present at the inhibit input terminal, all channels are off.

The CD4051B is a single 8-Channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned on, and connect one of the 8 inputs to the output.

The CD4052B is a differential 4-Channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 of 4 pairs of channels to be turned on and connect the analog inputs to the outputs.

The CD4053B is a triple 2-Channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole, double-throw configuration.

When these devices are used as demultiplexers, the "CHANNEL IN/OUT" terminals are the outputs and the "COMMON OUT/IN" terminals are the inputs.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD4051BF, CD4052BF, CD4053BF	-55 to 125	16 Ld CERAMIC DIP
CD4051BE, CD4052BE, CD4053BE	-55 to 125	16 Ld PDIP
CD4051BM, CD4051BNS	-55 to 125	16 Ld SOIC
CD4051BPW, CD4052BPW, CD4053BPW	-55 to 125	16 Ld TSSOP

Features

- Wide Range of Digital and Analog Signal Levels
  - Digital . . . . . 3V to 20V
  - Analog. . . . . ≤$20V_{P-P}$
- Low ON Resistance, 125Ω (Typ) Over $15V_{P-P}$ Signal Input Range for V_{DD}-V_{EE} = 18V
- High OFF Resistance, Channel Leakage of ±100pA (Typ) at V_{DD}-V_{EE} = 18V
- Logic-Level Conversion for Digital Addressing Signals of 3V to 20V (V_{DD}-V_{SS} = 3V to 20V) to Switch Analog Signals to $20V_{P-P}$ (V_{DD}-V_{EE} = 20V)
- Matched Switch Characteristics, r_{ON} = 5Ω (Typ) for V_{DD}-V_{EE} = 15V
- Very Low Quiescent Power Dissipation Under All Digital-Control Input and Supply Conditions, 0.2μW (Typ) at V_{DD}-V_{SS} = V_{DD}-V_{EE} = 10V
- Binary Address Decoding on Chip
- 5V, 10V and 15V Parametric Ratings
- 10% Tested for Quiescent Current at 20V
- Maximum Input Current of 1μA at 18V Over Full Package Temperature Range, 100nA at 18V and 25°C
- Break-Before-Make Switching Eliminates Channel Overlap

Applications

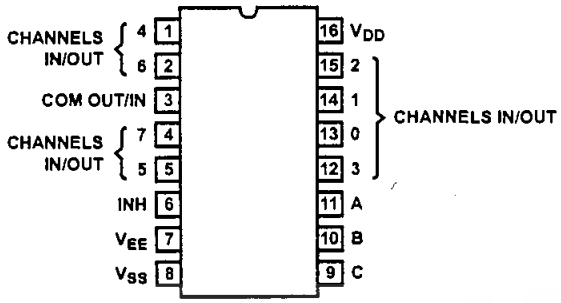
- Analog and Digital Multiplexing and Demultiplexing
- A/D and D/A Conversion
- Signal Gating

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Copyright © 2000, Texas Instruments Incorporated

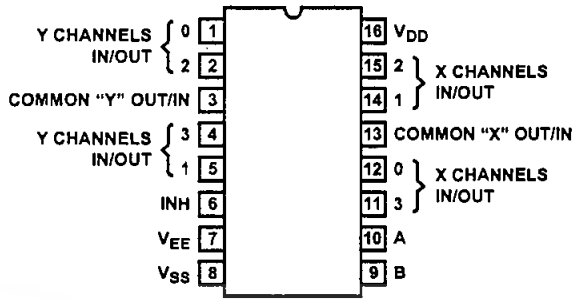
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinouts

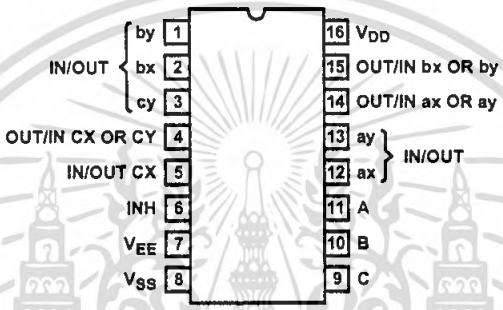
CD4051B (PDIP, CDIP, SOIC, TSSOP)
TOP VIEW



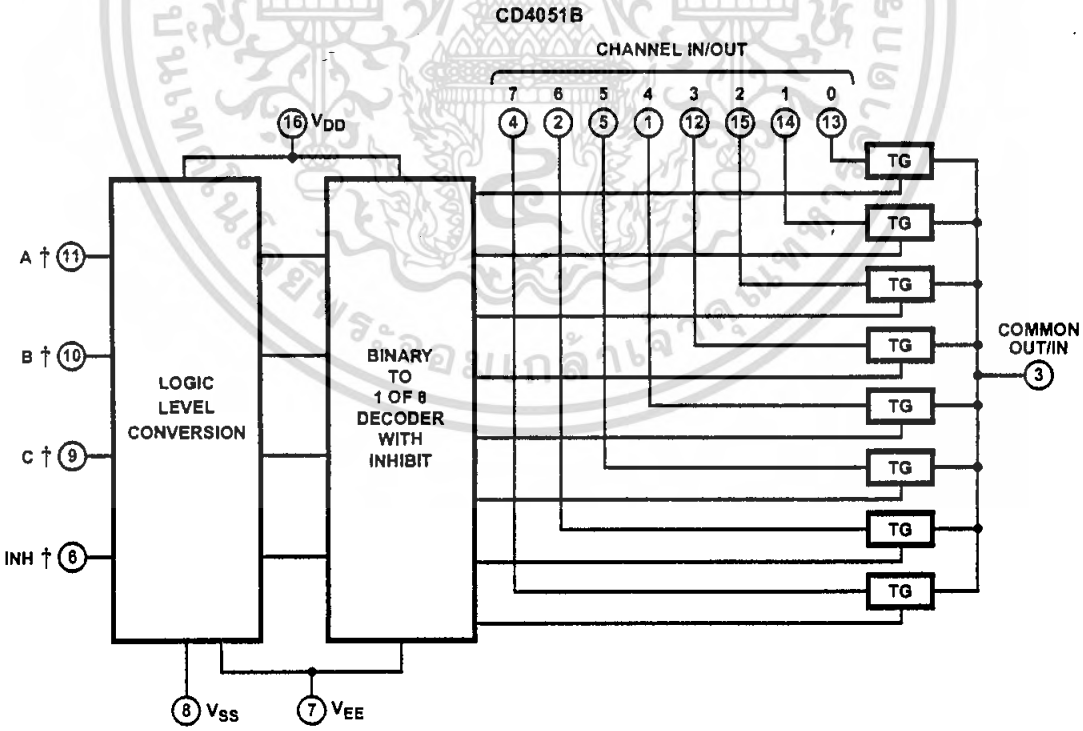
CD4052B (PDIP, CDIP, TSSOP)
TOP VIEW



CD4053B (PDIP, CDIP, TSSOP)
TOP VIEW



Functional Block Diagrams

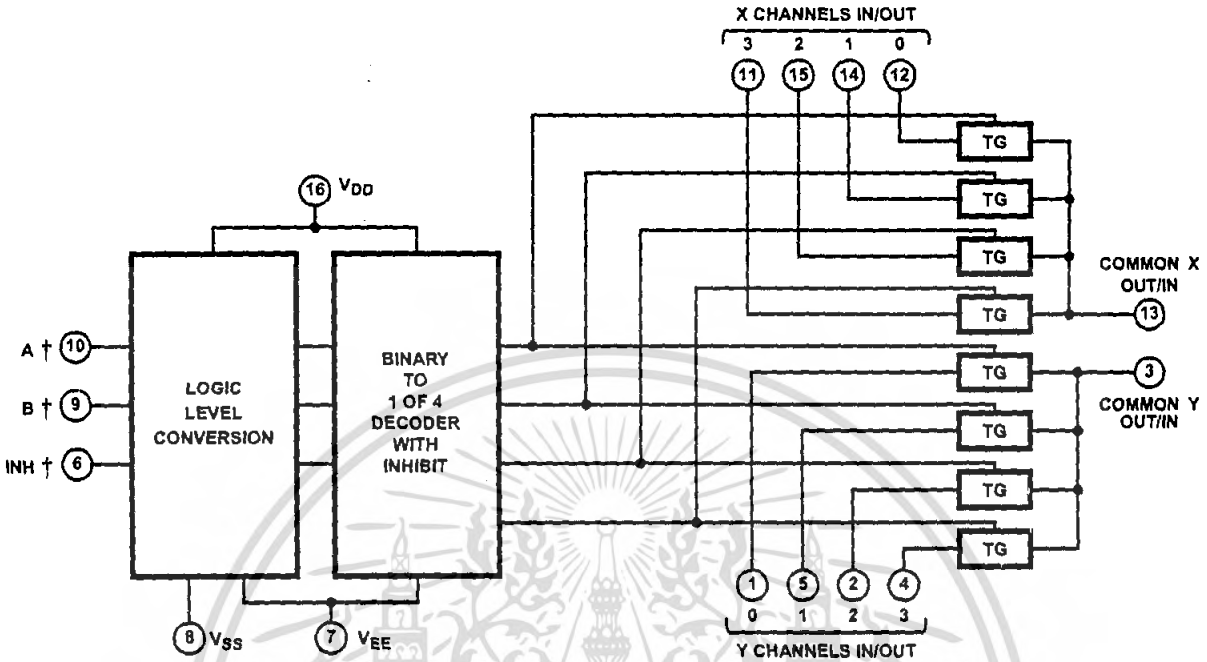


†All inputs are protected by standard CMOS protection network.

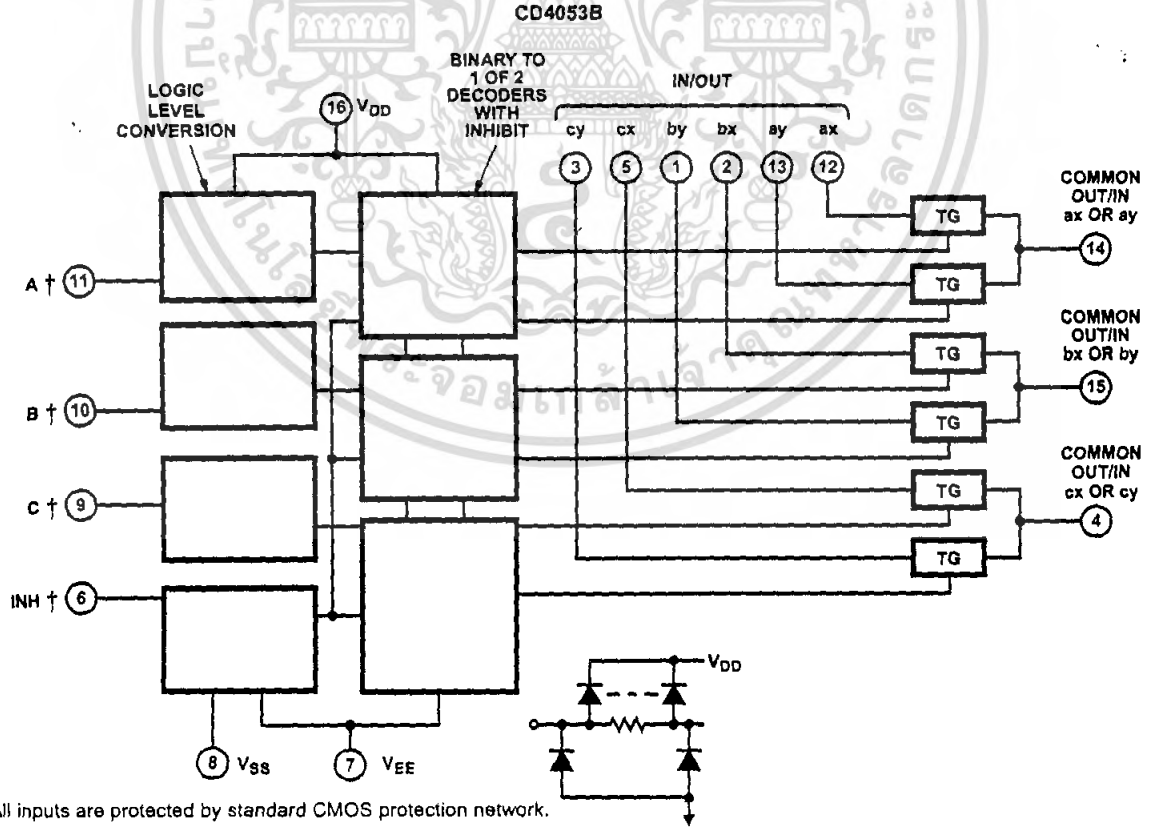
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams (Continued)

CD4052B



CD4053B



†All inputs are protected by standard CMOS protection network.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRUTH TABLES

INPUT STATES				
INHIBIT	**C**	**B**	**A**	**"ON" CHANNEL(S)**
CD4051B				
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	None

CD4052B			
INHIBIT	**B**	**A**	
0	0	0	0x, 0y
0	0	1	1x, 1y
0	1	0	2x, 2y
0	1	1	3x, 3y
1	X	X	None

CD4053B		
INHIBIT	**A OR B OR C**	
0	0	ax or bx or cx
0	1	ay or by or cy
1	X	None

X = Don't Care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage (V+ to V-)
Voltages Referenced to V_{SS} Terminal ..... -0.5V to 20V
DC Input Voltage Range ..... -0.5V to V_{DD} +0.5V
DC Input Current, Any One Input..... ±10mA

Operating Conditions

Temperature Range ..... -55°C to 125°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
E Package	67	N/A
F Package	115	45
D Package	73	N/A
NS Package	64	N/A
PW Package	108	N/A

Maximum Junction Temperature (Ceramic Package) .....175°C
Maximum Junction Temperature (Plastic Package) .....150°C
Maximum Storage Temperature Range..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) .....265°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. The package thermal impedance is calculated in accordance with JESD51.

Electrical Specifications

Common Conditions Here: If Whole Table is For the Full Temp. Range, V_{SUPPLY} = ±5V, A_V = +1, R_L = 100Ω, Unless Otherwise Specified (Note 3)

PARAMETER	CONDITIONS				LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
									25			
	V_{IS} (V)	V_{EE} (V)	V_{SS} (V)	V_{DD} (V)	-55	-40	85	125	MIN	TYP	MAX	
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS})												
Quiescent Device Current, I_{DD} Max	-	-	-	5	5	5	150	150	-	0.04	5	µA
	-	-	-	10	10	10	300	300	-	0.04	10	µA
	-	-	-	15	20	20	600	600	-	0.04	20	µA
	-	-	-	20	100	100	3000	3000	-	0.08	100	µA
Drain to Source ON Resistance r_{ON} Max $0 \le V_{IS} \le V_{DD}$	-	0	0	5	800	850	1200	1300	-	470	1050	Ω
	-	0	0	10	310	330	520	550	-	180	400	Ω
	-	0	0	15	200	210	300	320	-	125	240	Ω
Change in ON Resistance (Between Any Two Channels), Δr_{ON}	-	0	0	5	-	-	-	-	-	15	-	Ω
	-	0	0	10	-	-	-	-	-	10	-	Ω
	-	0	0	15	-	-	-	-	-	5	-	Ω
OFF Channel Leakage Current: Any Channel OFF (Max) or ALL Channels OFF (Common OUT/IN) (Max)	-	0	0	18	±100 (Note 2)		±1000 (Note 2)		-	±0.01	±100 (Note 2)	nA
Capacitance: Input, C_{IS}	-	-5	5-	5	-	-	-	-	-	5	-	pF
Output, C_{OS} CD4051					-	-	-	-	-	30	-	pF
CD4052					-	-	-	-	-	18	-	pF
CD4053					-	-	-	-	-	9	-	pF
Feedthrough C_{IOS}					-	-	-	-	-	0.2	-	pF
Propagation Delay Time (Signal Input to Output	V_{DD}	R_L = 200kΩ, C_L = 50pF, t_r, t_f = 20ns		5	-	-	-	-	-	30	60	ns
				10	-	-	-	-	-	15	30	ns
				15	-	-	-	-	-	10	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications Common Conditions Here: If Whole Table is For the Full Temp. Range, V_{SUPPLY} = ±5V, A_V = +1, R_L = 100Ω, Unless Otherwise Specified **(Continued)** (Note 3)

PARAMETER	CONDITIONS				LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
									25			
	V_{IS} (V)	V_{EE} (V)	V_{SS} (V)	V_{DD} (V)	-55	-40	85	125	MIN	TYP	MAX	
CONTROL (ADDRESS OR INHIBIT), V_C												
Input Low Voltage, V_{IL}, Max	V_{IL} = V_{DD} through 1kΩ; V_{IH} = V_{DD} through 1kΩ	V_{EE} = V_{SS}, R_L = 1kΩ to V_{SS}, I_{IS} < 2μA on All OFF Channels		5	1.5	1.5	1.5	1.5	-	-	1.5	V
				10	3	3	3	3	-	-	3	V
				15	4	4	4	4	-	-	4	V
Input High Voltage, V_{IH}, Min				5	3.5	3.5	3.5	3.5	3.5	-	-	V
				10	7	7	7	7	7	-	-	V
				15	11	11	11	11	11	-	-	V
Input Current, I_{IN} (Max)	V_{IN} = 0, 18			18	±0.1	±0.1	±1	±1	-	$\pm 10^{-5}$	±0.1	μA
Propagation Delay Time: Address-to-Signal OUT (Channels ON or OFF) See Figures 10, 11, 14	t_r, t_f = 20ns, C_L = 50pF, R_L = 10kΩ	0	0	5	-	-	-	-	-	450	720	ns
		0	0	10	-	-	-	-	-	160	320	ns
		0	0	15	-	-	-	-	-	120	240	ns
		-5	0	5	-	-	-	-	-	225	450	ns
Propagation Delay Time: Inhibit-to-Signal OUT (Channel Turning ON) See Figure 11	t_r, t_f = 20ns, C_L = 50pF, R_L = 1kΩ	0	0	5	-	-	-	-	-	400	720	ns
		0	0	10	-	-	-	-	-	160	320	ns
		0	0	15	-	-	-	-	-	120	240	ns
		-10	0	5	-	-	-	-	-	200	400	ns
Propagation Delay Time: Inhibit-to-Signal OUT (Channel Turning OFF) See Figure 15	t_r, t_f = 20ns, C_L = 50pF, R_L = 10kΩ	0	0	5	-	-	-	-	-	200	450	ns
		0	0	10	-	-	-	-	-	90	210	ns
		0	0	15	-	-	-	-	-	70	160	ns
		-10	0	5	-	-	-	-	-	130	300	ns
Input Capacitance, C_{IN} (Any Address or Inhibit Input)					-	-	-	-	-	5	7.5	pF

NOTE:

2. Determined by minimum feasible leakage measurement for automatic testing.

Electrical Specifications

PARAMETER	TEST CONDITIONS					LIMITS	UNITS
	V_{IS} (V)	V_{DD} (V)	R_L (kΩ)			TYP	
Cutoff (-3dB) Frequency Channel ON (Sine Wave Input)	5 (Note 3)	10	1	V_{OS} at Common OUT/IN	CD4053	30	MHz
	V_{EE} = V_{SS}, $20\text{Log}\frac{V_{OS}}{V_{IS}} = -3\text{dB}$				CD4052	25	MHz
					CD4051	20	MHz
				V_{OS} at Any Channel		60	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

PARAMETER	TEST CONDITIONS					LIMITS	UNITS
	V_{IS} (V)	V_{DD} (V)	R_L (kΩ)			TYP	
Total Harmonic Distortion, THD	2 (Note 3)	5	10			0.3	%
	3 (Note 3)	10				0.2	%
	5 (Note 3)	15				0.12	%
	$V_{EE} = V_{SS}$, f_{IS} = 1kHz Sine Wave						%
-40dB Feedthrough Frequency (All Channels OFF)	5 (Note 3)	10	1	V_{OS} at Common OUT/IN	CD4053	8	MHz
	$V_{EE} = V_{SS}$, $20\text{Log}\frac{V_{OS}}{V_{IS}} = -40\text{dB}$				CD4052	10	MHz
					CD4051	12	MHz
				V_{OS} at Any Channel		8	MHz
-40dB Signal Crosstalk Frequency	5 (Note 3)	10	1	Between Any 2 Channels		3	MHz
	$V_{EE} = V_{SS}$, $20\text{Log}\frac{V_{OS}}{V_{IS}} = -40\text{dB}$			Between Sections, CD4052 Only	Measured on Common	6	MHz
					Measured on Any Channel	10	MHz
				Between Any Two Sections, CD4053 Only	In Pin 2, Out Pin 14	2.5	MHz
					In Pin 15, Out Pin 14	6	MHz
Address-or-Inhibit-to-Signal Crosstalk	-	10	10 (Note 4)			65	mV_{PEAK}
	$V_{EE} = 0$, $V_{SS} = 0$, t_r, t_f = 20ns, $V_{CC} = V_{DD} - V_{SS}$ (Square Wave)					65	mV_{PEAK}

NOTES:

3. Peak-to-Peak voltage symmetrical about $\frac{V_{DD} - V_{EE}}{2}$

4. Both ends of channel.

Typical Performance Curves

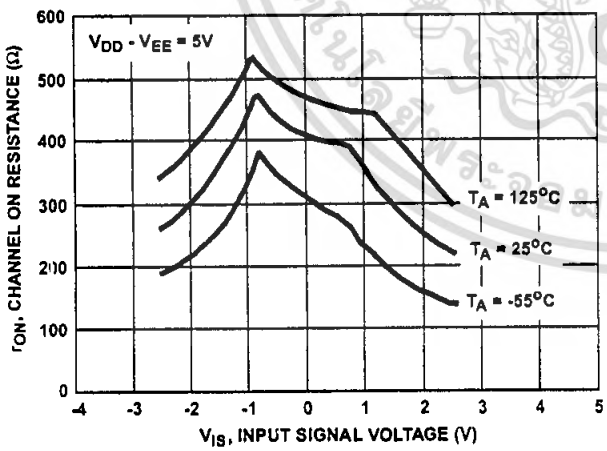


FIGURE 1. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

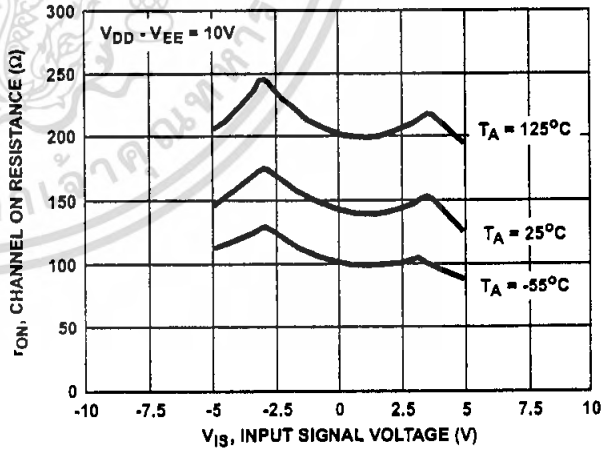


FIGURE 2. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

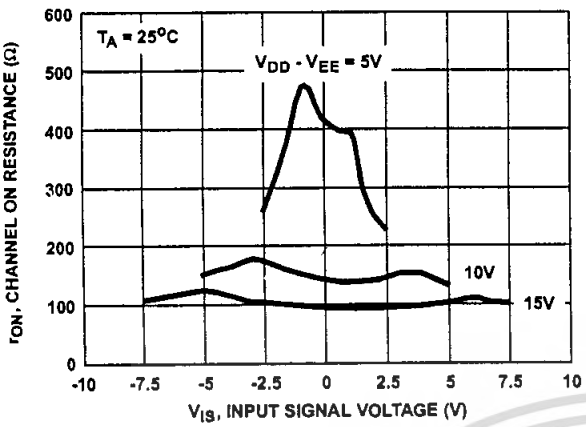


FIGURE 3. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

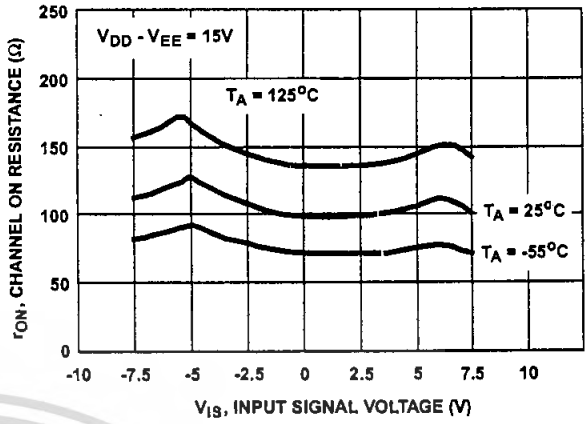


FIGURE 4. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

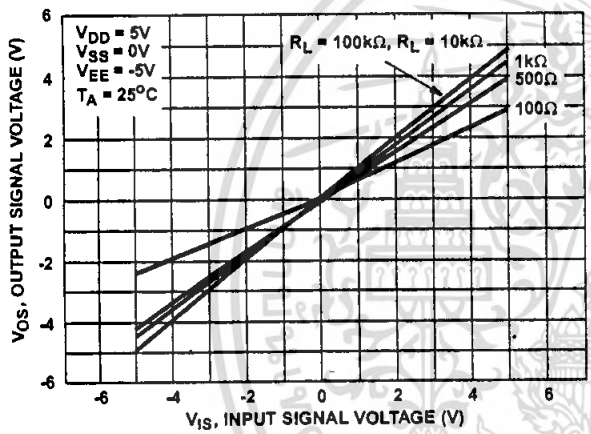


FIGURE 5. ON CHARACTERISTICS FOR 1 OF 8 CHANNELS (CD4051B)

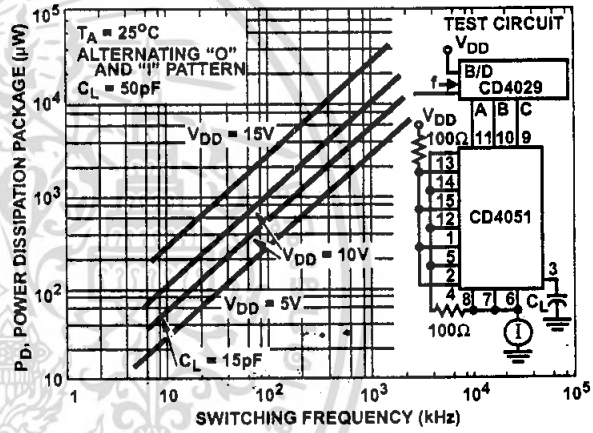


FIGURE 6. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4051B)

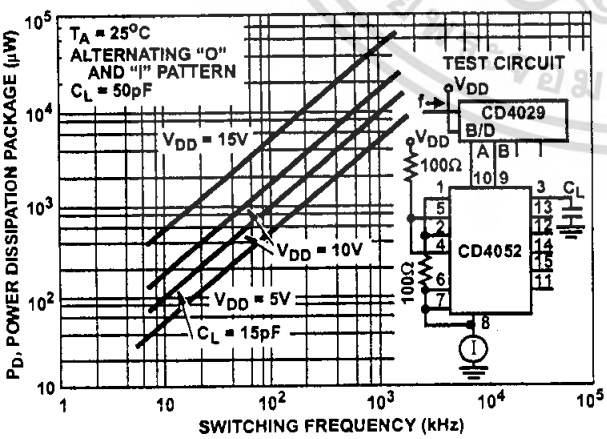


FIGURE 7. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4052B)

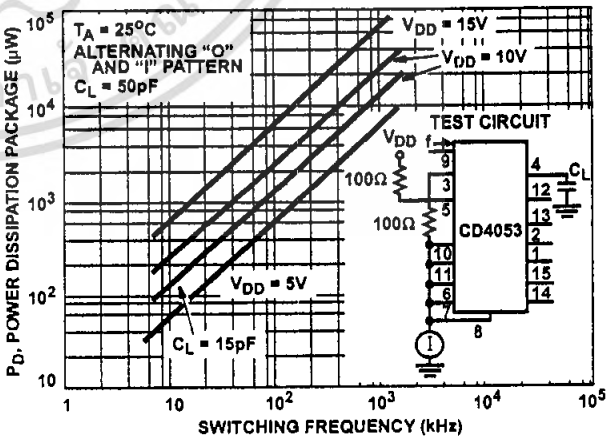
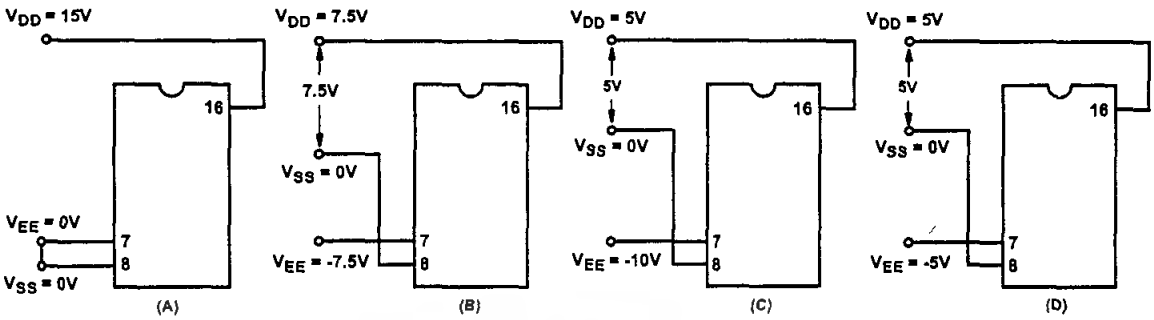


FIGURE 8. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4053B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms



NOTE: The ADDRESS (digital-control inputs) and INHIBIT logic levels are: "0" = V_{SS} and "1" = V_{DD}. The analog signal (through the TG) may swing from V_{EE} to V_{DD}.

FIGURE 9. TYPICAL BIAS VOLTAGES

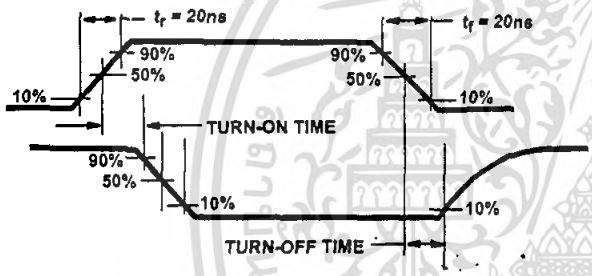


FIGURE 10. WAVEFORMS, CHANNEL BEING TURNED ON (R_L = 1kΩ)

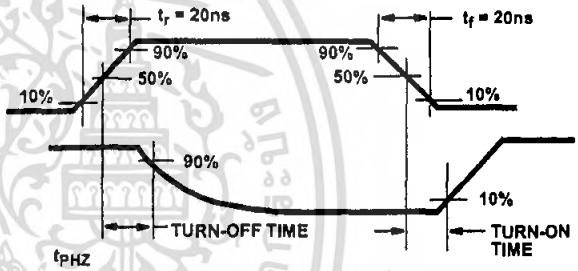


FIGURE 11. WAVEFORMS, CHANNEL BEING TURNED OFF (R_L = 1kΩ)

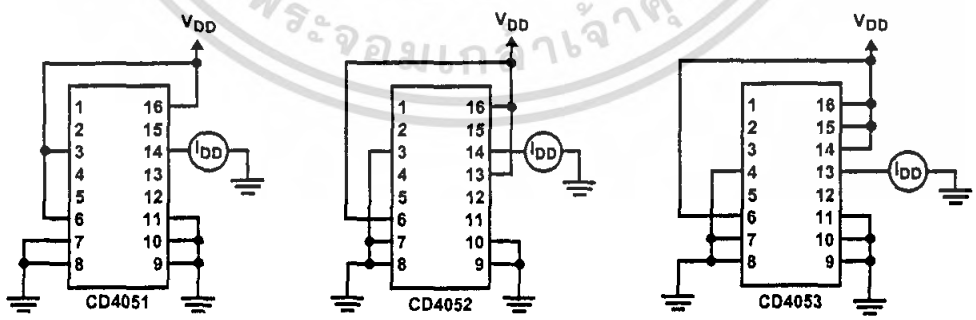


FIGURE 12. OFF CHANNEL LEAKAGE CURRENT - ANY CHANNEL OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms (Continued)

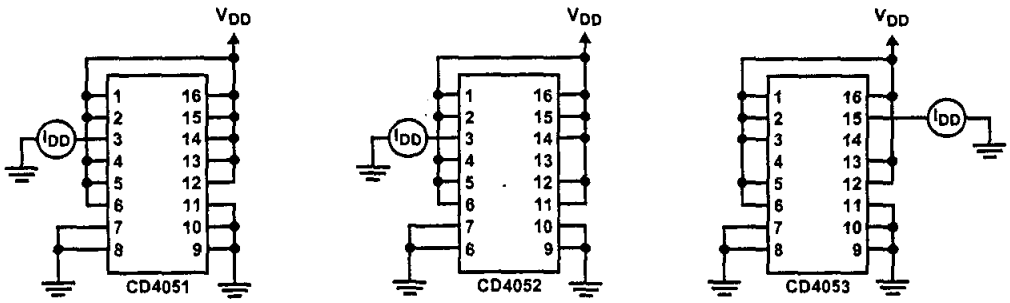


FIGURE 13. OFF CHANNEL LEAKAGE CURRENT - ALL CHANNELS OFF

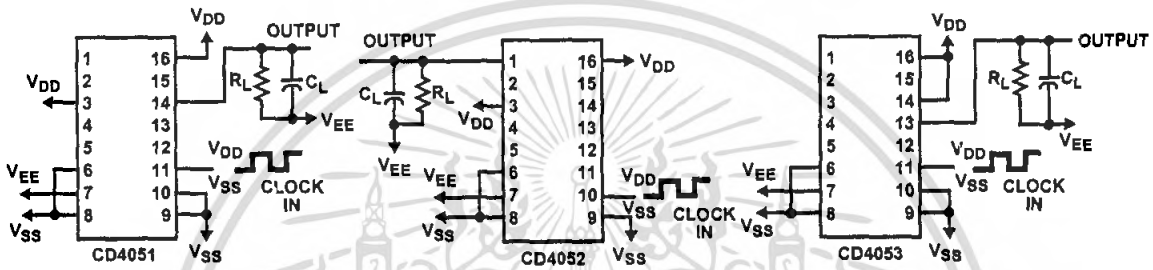


FIGURE 14. PROPAGATION DELAY - ADDRESS INPUT TO SIGNAL OUTPUT

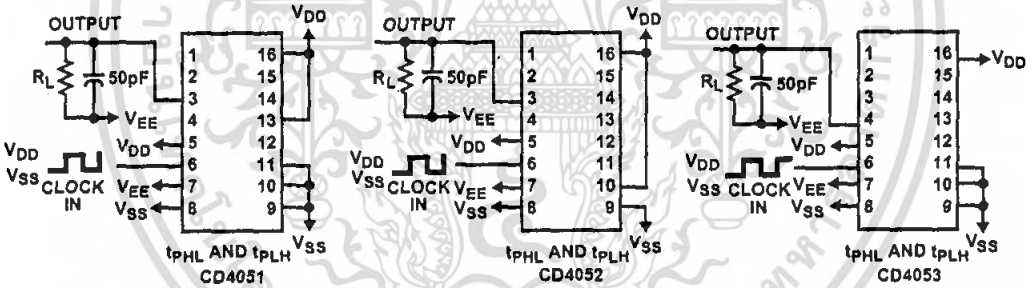


FIGURE 15. PROPAGATION DELAY - INHIBIT INPUT TO SIGNAL OUTPUT

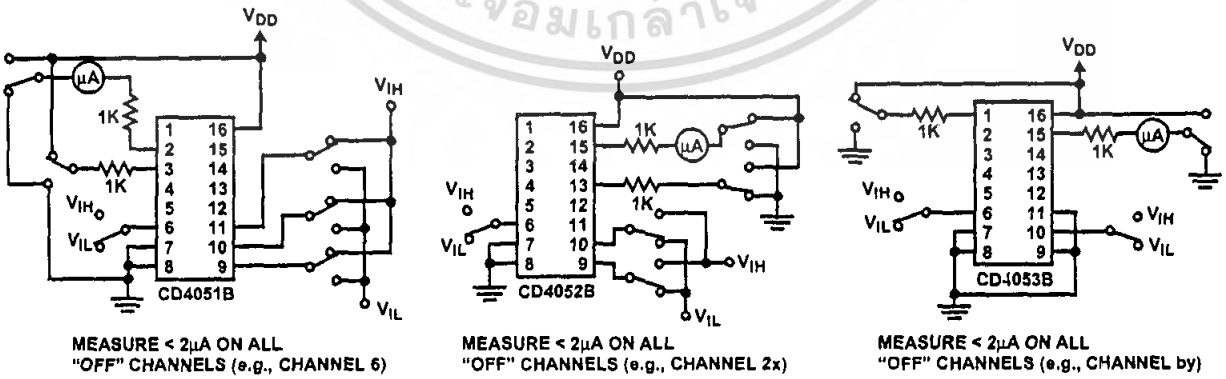


FIGURE 16. INPUT VOLTAGE TEST CIRCUITS (NOISE IMMUNITY)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms (Continued)

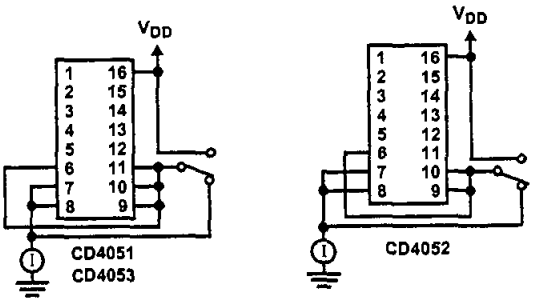


FIGURE 17. QUIESCENT DEVICE CURRENT

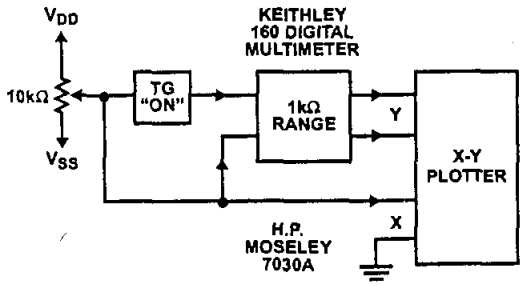


FIGURE 18. CHANNEL ON RESISTANCE MEASUREMENT CIRCUIT

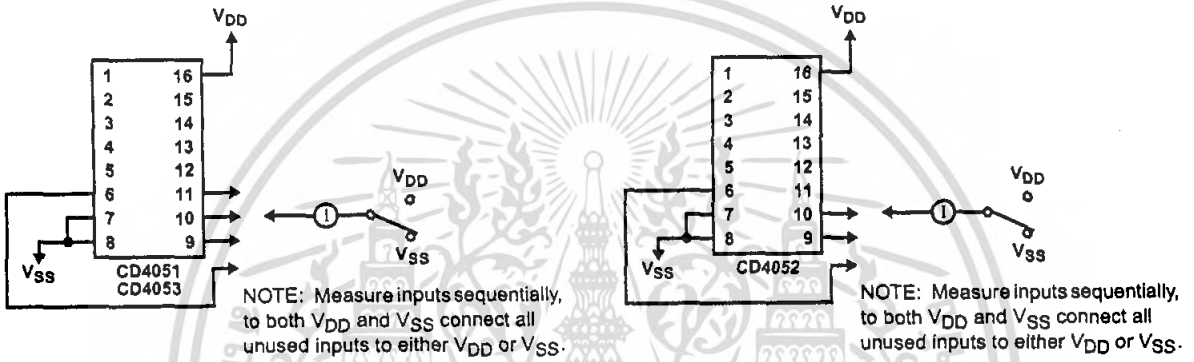


FIGURE 19. INPUT CURRENT

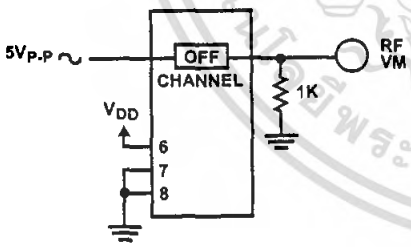


FIGURE 20. FEEDTHROUGH (ALL TYPES)

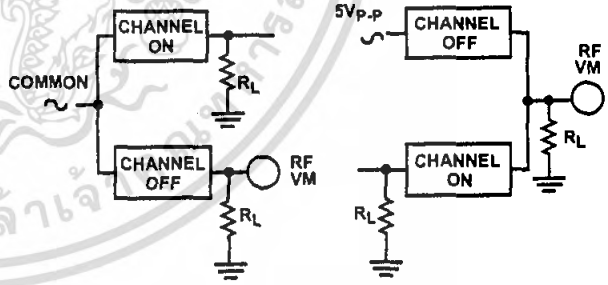


FIGURE 21. CROSSTALK BETWEEN ANY TWO CHANNELS (ALL TYPES)

FIGURE 22. CROSSTALK BETWEEN DUALS OR TRIPLETS (CD4052B, CD4053B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms (Continued)

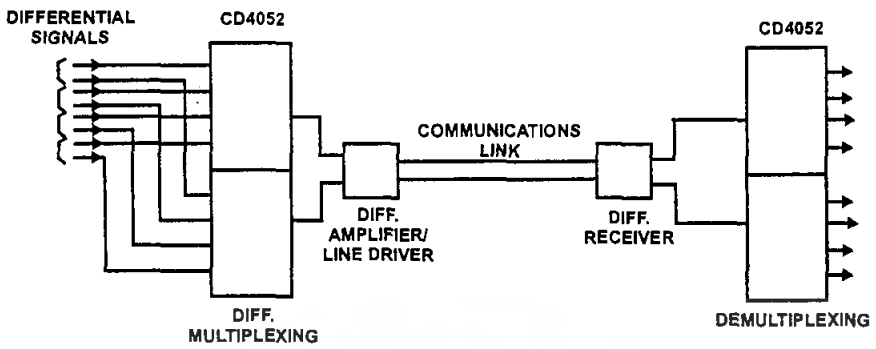


FIGURE 23. TYPICAL TIME-DIVISION APPLICATION OF THE CD4052B

Special Considerations

In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load). This provision avoids permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from the CD4051B, CD4052B or CD4053B.

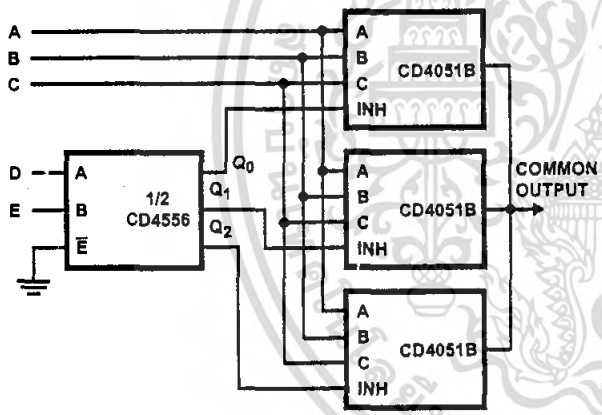


FIGURE 24. 24-TO-1 MUX ADDRESSING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgment, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Customers are responsible for their applications using TI components.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 2000, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-4323; Rev 9; 5/00

MAXIM

+5V-Powered, Multichannel RS-232 Drivers/Receivers

General Description

The MAX220–MAX249 family of line drivers/receivers is intended for all EIA/TIA-232E and V.28/V.24 communications interfaces, particularly applications where ±12V is not available.

These parts are especially useful in battery-powered systems, since their low-power shutdown mode reduces power dissipation to less than 5µW. The MAX225, MAX233, MAX235, and MAX245/MAX246/MAX247 use no external components and are recommended for applications where printed circuit board space is critical.

Applications

Portable Computers

Low-Power Modems

Interface Translation

Battery-Powered RS-232 Systems

Multidrop RS-232 Networks

Features

Superior to Bipolar

- ♦ **Operate from Single +5V Power Supply (+5V and +12V—MAX231/MAX239)**
- ♦ **Low-Power Receive Mode in Shutdown (MAX223/MAX242)**
- ♦ **Meet All EIA/TIA-232E and V.28 Specifications**
- ♦ **Multiple Drivers and Receivers**
- ♦ **3-State Driver and Receiver Outputs**
- ♦ **Open-Line Detection (MAX243)**

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX220CPE	0°C to +70°C	16 Plastic DIP
MAX220CSE	0°C to +70°C	16 Narrow SO
MAX220CWE	0°C to +70°C	16 Wide SO
MAX220C/D	0°C to +70°C	Dice*
MAX220EPE	-40°C to +85°C	16 Plastic DIP
MAX220ESE	-40°C to +85°C	16 Narrow SO
MAX220EWE	-40°C to +85°C	16 Wide SO
MAX220EJE	-40°C to +85°C	16 CERDIP
MAX220MJE	-55°C to +125°C	16 CERDIP

Ordering Information continued at end of data sheet.

**Contact factory for dice specifications.*

Selection Table

Part Number	Power Supply (V)	No. of RS-232 Drivers/Rx	No. of Ext. Caps	Nominal Cap. Value (µF)	SHDN & Three-State	Rx Active in SHDN	Data Rate (kbps)	Features
MAX220	+5	2/2	4	0.1	No	—	120	Ultra-low-power, industry-standard pinout
MAX222	+5	2/2	4	0.1	Yes	—	200	Low-power shutdown
MAX223 (MAX213)	+5	4/5	4	1.0 (0.1)	Yes	✔	120	MAX241 and receivers active in shutdown
MAX225	+5	5/5	0	—	Yes	✔	120	Available in SO
MAX230 (MAX200)	+5	5/0	4	1.0 (0.1)	Yes	—	120	5 drivers with shutdown
MAX231 (MAX201)	+5 and +7.5 to +13.2	2/2	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; same functions as MAX232
MAX232 (MAX202)	+5	2/2	4	1.0 (0.1)	No	—	120 (64)	Industry standard
MAX232A	+5	2/2	4	0.1	No	—	200	Higher slew rate, small caps
MAX233 (MAX203)	+5	2/2	0	—	No	—	120	No external caps
MAX233A	+5	2/2	0	—	No	—	200	No external caps, high slew rate
MAX234 (MAX204)	+5	4/0	4	1.0 (0.1)	No	—	120	Replaces 1488
MAX235 (MAX205)	+5	5/5	0	—	Yes	—	120	No external caps
MAX236 (MAX206)	+5	4/3	4	1.0 (0.1)	Yes	—	120	Shutdown, three state
MAX237 (MAX207)	+5	5/3	4	1.0 (0.1)	No	—	120	Complements IBM PC serial port
MAX238 (MAX208)	+5	4/4	4	1.0 (0.1)	No	—	120	Replaces 1488 and 1489
MAX239 (MAX209)	+5 and +7.5 to +13.2	3/5	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; single-package solution for IBM PC serial port
MAX240	+5	5/5	4	1.0	Yes	—	120	DIP or flatpack package
MAX241 (MAX211)	+5	4/5	4	1.0 (0.1)	Yes	—	120	Complete IBM PC serial port
MAX242	+5	2/2	4	0.1	Yes	✔	200	Separate shutdown and enable
MAX243	+5	2/2	4	0.1	No	—	200	Open-line detection simplifies cabling
MAX244	+5	8/10	4	1.0	No	—	120	High slew rate
MAX245	+5	8/10	0	—	Yes	✔	120	High slew rate, int. caps, two shutdown modes
MAX246	+5	8/10	0	—	Yes	✔	120	High slew rate, int. caps, three shutdown modes
MAX247	+5	8/9	0	—	Yes	✔	120	High slew rate, int. caps, nine operating modes
MAX248	+5	8/8	4	1.0	Yes	✔	120	High slew rate, selective half-chip enables
MAX249	+5	6/10	4	1.0	Yes	✔	120	Available in quad flatpack package

For free samples and the latest literature, visit www.maxim-ic.com or phone 1-800-998-8800. For small orders, phone 1-800-835-8769.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN} ..... -0.3V to (V_{CC} - 0.3V)
R_{IN} (Except MAX220) ..... ±30V
R_{IN} (MAX220) ..... ±25V
T_{OUT} (Except MAX220) (Note 1) ..... ±15V
T_{OUT} (MAX220) ..... ±13.2V
Output Voltages
T_{OUT} ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Driver/Receiver Output Short Circuited to GND ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) 842mW
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
20-Pin Plastic DIP (derate 8.00mW/°C above +70°C) 440mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) 696mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
18-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
20-Pin Wide SO (derate 10.00mW/°C above +70°C) 800mW
20-Pin SSOP (derate 8.00mW/°C above +70°C) 640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) 800mW
18-Pin CERDIP (derate 10.53mW/°C above +70°C) 842mW
Operating Temperature Ranges
MAX2_ _AC_ _, MAX2_ _C_ _ ..... 0°C to +70°C
MAX2_ _AE_ _, MAX2_ _E_ _ ..... -40°C to +85°C
MAX2_ _AM_ _, MAX2_ _M_ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 1: Input voltage measured with T_{OUT} in high-impedance state, $\overline{SHDN}$ or V_{CC} = 0V.
Note 2: For the MAX220, V+ and V- can have a maximum magnitude of 7V, but their absolute difference cannot exceed 13V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, MAX220, C1 = 0.047µF, C2–C4 = 0.33µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±8		V
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High	All devices except MAX220		2	1.4		V
	MAX220: V_{CC} = 5.0V		2.4			
Logic Pull-Up/Input Current	All except MAX220, normal operation			5	40	µA
	$\overline{SHDN}$ = 0V, MAX222/242, shutdown, MAX220			±0.01	±1	
Output Leakage Current	V_{CC} = 5.5V, $\overline{SHDN}$ = 0V, V_{OUT} = ±15V, MAX222/242			±0.01	±10	µA
	V_{CC} = $\overline{SHDN}$ = 0V, V_{OUT} = ±15V			±0.01	±10	
Data Rate				200	116	kb/s
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V			±7	±22	mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±30	V
RS-232 Input Threshold Low	V_{CC} = 5V	All except MAX243 $R2_{IN}$	0.8	1.3		V
		MAX243 $R2_{IN}$ (Note 2)	-3			
RS-232 Input Threshold High	V_{CC} = 5V	All except MAX243 $R2_{IN}$		1.8	2.4	V
		MAX243 $R2_{IN}$ (Note 2)		-0.5	-0.1	
RS-232 Input Hysteresis	All except MAX243, V_{CC} = 5V, no hysteresis in shdn.		0.2	0.5	1	V
	MAX243			1		
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243 (continued)

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, MAX220, C1 = 0.047µF, C2–C4 = 0.33µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
TTL/CMOS Output Leakage Current	$\overline{SHDN}$ = V_{CC} or $\overline{EN}$ = V_{CC} ($\overline{SHDN}$ = 0V for MAX222), 0V ≤ V_{OUT} ≤ V_{CC}			±0.05	±10	µA
$\overline{EN}$ Input Threshold Low	MAX242			1.4	0.8	V
$\overline{EN}$ Input Threshold High	MAX242		2.0	1.4		V
Operating Supply Voltage			4.5		5.5	V
V_{CC} Supply Current ($\overline{SHDN}$ = V_{CC}), Figures 5, 6, 11, 19	No load	MAX220		0.5	2	mA
		MAX222/232A/233A/242/243		4	10	
	3kΩ load both inputs	MAX220		12		
		MAX222/232A/233A/242/243		15		
Shutdown Supply Current	MAX222/242	T_A = +25°C		0.1	10	µA
		T_A = 0°C to +70°C		2	50	
		T_A = -40°C to +85°C		2	50	
		T_A = -55°C to +125°C		35	100	
$\overline{SHDN}$ Input Leakage Current	MAX222/242				±1	µA
$\overline{SHDN}$ Threshold Low	MAX222/242			1.4	0.8	V
$\overline{SHDN}$ Threshold High	MAX222/242		2.0	1.4		V
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V	MAX222/232A/233A/242/243	6	12	30	V/µs
		MAX220	1.5	3	30	
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}	MAX222/232A/233A/242/243		1.3	3.5	µs
		MAX220		4	10	
	t_{PLHT}	MAX222/232A/233A/242/243		1.5	3.5	
		MAX220		5	10	
Receiver Propagation Delay RS-232 to TLL (normal operation), Figure 2	t_{PHLR}	MAX222/232A/233A/242/243		0.5	1	µs
		MAX220		0.6	3	
	t_{PLHR}	MAX222/232A/233A/242/243		0.6	1	
		MAX220		0.8	3	
Receiver Propagation Delay RS-232 to TLL (shutdown), Figure 2	t_{PHLS}	MAX242		0.5	10	µs
	t_{PLHS}	MAX242		2.5	10	
Receiver-Output Enable Time, Figure 3	t_{ER}	MAX242		125	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}	MAX242		160	500	ns
Transmitter-Output Enable Time ($\overline{SHDN}$ goes high), Figure 4	t_{ET}	MAX222/242, 0.1µF caps (includes charge-pump start-up)		250		µs
Transmitter-Output Disable Time ($\overline{SHDN}$ goes low), Figure 4	t_{DT}	MAX222/242, 0.1µF caps		600		ns
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}	MAX222/232A/233A/242/243		300		ns
		MAX220		2000		
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}	MAX222/232A/233A/242/243		100		ns
		MAX220		225		

Note 3: MAX243 $R2_{OUT}$ is guaranteed to be low when $R2_{IN}$ is ≥ 0V or is floating.

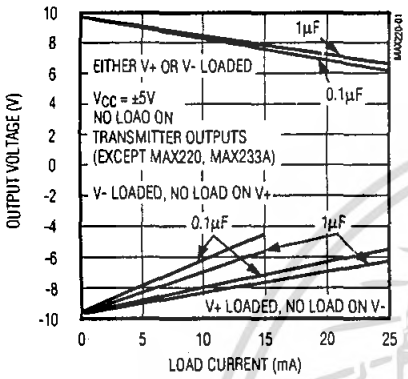
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

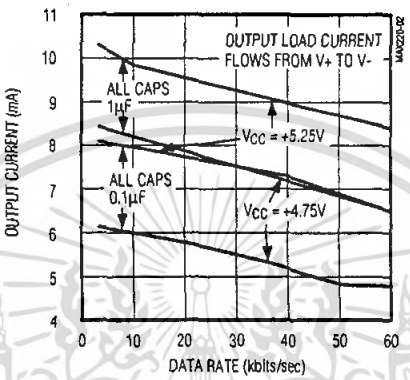
Typical Operating Characteristics

MAX220/MAX222/MAX232A/MAX233A/MAX242/MAX243

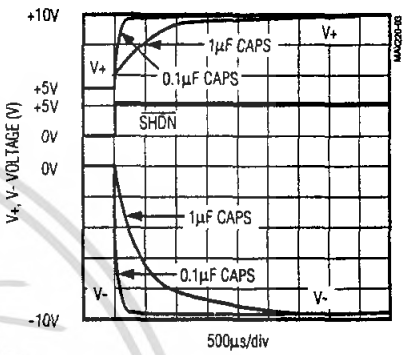
OUTPUT VOLTAGE vs. LOAD CURRENT



AVAILABLE OUTPUT CURRENT vs. DATA RATE



MAX222/MAX242 ON-TIME EXITING SHUTDOWN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX223/MAX230–MAX241

V_{CC} ..... -0.3V to +6V
V+ ..... (V_{CC} - 0.3V) to +14V
V- ..... +0.3V to -14V
Input Voltages
T_{IN} ..... -0.3V to (V_{CC} + 0.3V)
R_{IN} ..... ±30V
Output Voltages
T_{OUT} ..... (V+ + 0.3V) to (V- - 0.3V)
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Short-Circuit Duration, T_{OUT} ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
14-Pin Plastic DIP (derate 10.00mW/°C above +70°C) 800mW
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) 842mW
20-Pin Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
24-Pin Narrow Plastic DIP
(derate 13.33mW/°C above +70°C) 1.07W
24-Pin Plastic DIP (derate 9.09mW/°C above +70°C) 500mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
20-Pin Wide SO (derate 10 00mW/°C above +70°C) 800mW
24-Pin Wide SO (derate 11.76mW/°C above +70°C) 941mW
28-Pin Wide SO (derate 12.50mW/°C above +70°C) 1W
44-Pin Plastic FP (derate 11.11mW/°C above +70°C) 889mW
14-Pin CERDIP (derate 9.09mW/°C above +70°C) 727mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) 800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C) 889mW
24-Pin Narrow CERDIP
(derate 12.50mW/°C above +70°C) 1W
24-Pin Sidebraze (derate 20.0mW/°C above +70°C) 1.6W
28-Pin SSOP (derate 9.52mW/°C above +70°C) 762mW
Operating Temperature Ranges
MAX2 _ _ C _ _ ..... 0°C to +70°C
MAX2 _ _ E _ _ ..... -40°C to +85°C
MAX2 _ _ M _ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX223/MAX230–MAX241

(MAX223/230/232/234/236/237/238/240/241, V_{CC} = +5V ±10; MAX233/MAX235, V_{CC} = 5V ±5%, C1–C4 = 1.0µF; MAX231/MAX239, V_{CC} = 5V ±10%; V+ = 7.5V to 13.2V; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to ground		±5.0	±7.3		V
V_{CC} Power-Supply Current	No load, T_A = +25°C	MAX232/233		5	10	mA
		MAX223/230/234–238/240/241		7	15	
		MAX231/239		0.4	1	
V+ Power-Supply Current		MAX231		1.8	5	mA
		MAX239		5	15	
Shutdown Supply Current	T_A = +25°C	MAX223		15	50	µA
		MAX230/235/236/240/241		1	10	
Input Logic Threshold Low	T_{IN}; EN, $\overline{SHDN}$ (MAX233); $\overline{EN}$, SHDN (MAX230/235–241)				0.8	V
Input Logic Threshold High	T_{IN}		2.0			V
	EN, $\overline{SHDN}$ (MAX223); $\overline{EN}$, SHDN (MAX230/235/236/240/241)		2.4			
Logic Pull-Up Current	T_{IN} = 0V			1.5	200	µA
Receiver Input Voltage Operating Range			-30		30	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ELECTRICAL CHARACTERISTICS—MAX223/MAX230–MAX241 (continued)

(MAX223/230/232/234/236/237/238/240/241, V_{CC} = +5V ±10; MAX233/MAX235, V_{CC} = 5V ±5%, C1–C4 = 1.0µF; MAX231/MAX239, V_{CC} = 5V ±10%; V+ = 7.5V to 13.2V; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS			MIN	TYP	MAX	UNITS
RS-232 Input Threshold Low	T_A = +25°C, V_{CC} = 5V	Normal operation $\overline{SHDN}$ = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)		0.8	1.2		V
		Shutdown (MAX223) $\overline{SHDN}$ = 0V, EN = 5V ($R4_{IN}$, $R5_{IN}$)		0.6	1.5		
RS-232 Input Threshold High	T_A = +25°C, V_{CC} = 5V	Normal operation $\overline{SHDN}$ = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)			1.7	2.4	V
		Shutdown (MAX223) $\overline{SHDN}$ = 0V, EN = 5V ($R4_{IN}$, $R5_{IN}$)			1.5	2.4	
RS-232 Input Hysteresis	V_{CC} = 5V, no hysteresis in shutdown			0.2	0.5	1.0	V
RS-232 Input Resistance	T_A = +25°C, V_{CC} = 5V			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 1.6mA (MAX231/232/233, I_{OUT} = 3.2mA)					0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1mA			3.5	V_{CC} - 0.4		V
TTL/CMOS Output Leakage Current	0V ≤ R_{OUT} ≤ V_{CC}; EN = 0V (MAX223); $\overline{EN}$ = V_{CC} (MAX235–241)				0.05	±10	µA
Receiver Output Enable Time	Normal operation	MAX223			600		ns
		MAX235/236/239/240/241			400		
Receiver Output Disable Time	Normal operation	MAX223			900		ns
		MAX235/236/239/240/241			250		
Propagation Delay	RS-232 IN to TTL/CMOS OUT, C_L = 150pF	Normal operation			0.5	10	µs
		$\overline{SHDN}$ = 0V (MAX223)	t_{PHLS}		4	40	
			t_{PLHS}		6	40	
Transition Region Slew Rate	MAX223/MAX230/MAX234–241, T_A = +25°C, V_{CC} = 5V, R_L = 3kΩ to 7kΩ, C_L = 50pF to 2500pF, measured from +3V to -3V or -3V to +3V			3	5.1	30	V/µs
	MAX231/MAX232/MAX233, T_A = +25°C, V_{CC} = 5V, R_L = 3kΩ to 7kΩ, C_L = 50pF to 2500pF, measured from +3V to -3V or -3V to +3V				4	30	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V			300			Ω
Transmitter Output Short-Circuit Current					±10		mA

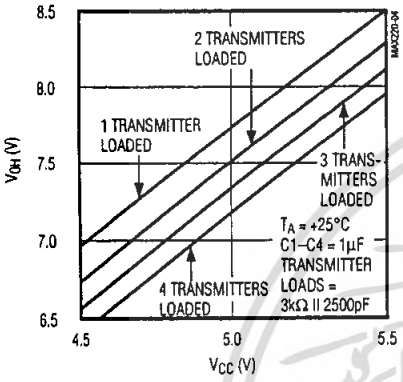
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

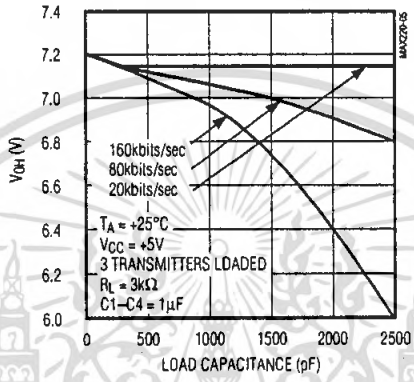
Typical Operating Characteristics

MAX223/MAX230–MAX241

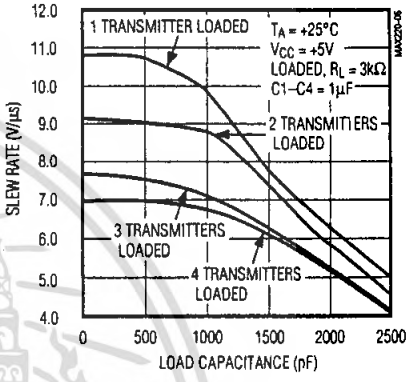
TRANSMITTER OUTPUT VOLTAGE (V_{OH}) vs. V_{CC}



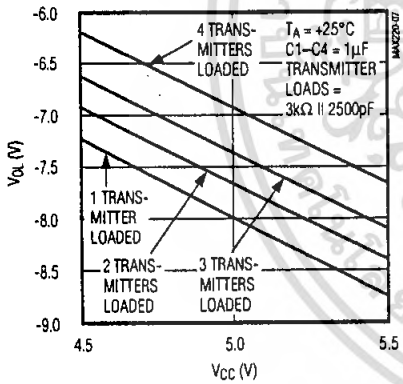
TRANSMITTER OUTPUT VOLTAGE (V_{OH}) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



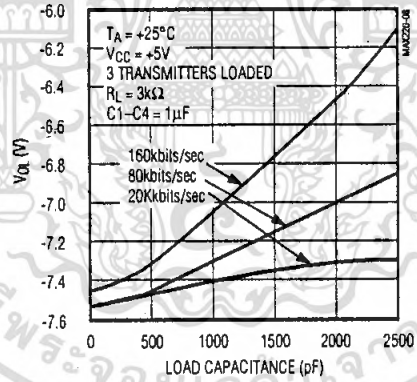
TRANSMITTER SLEW RATE vs. LOAD CAPACITANCE



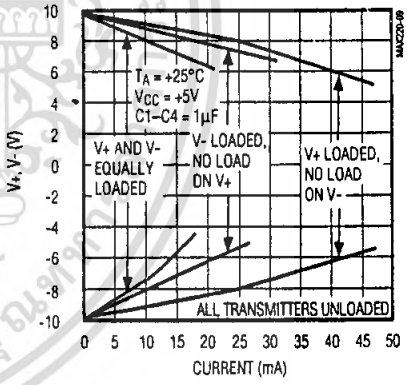
TRANSMITTER OUTPUT VOLTAGE (V_{OL}) vs. V_{CC}



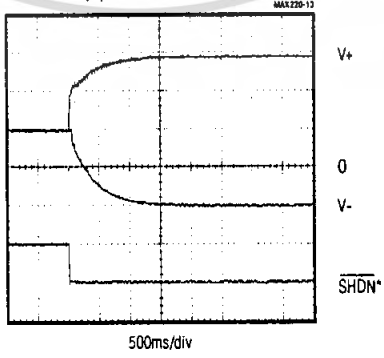
TRANSMITTER OUTPUT VOLTAGE (V_{OL}) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



TRANSMITTER OUTPUT VOLTAGE (V+, V-) vs. LOAD CURRENT



V+, V- WHEN EXITING SHUTDOWN (1µF CAPACITORS)



*SHUTDOWN POLARITY IS REVERSED FOR NON MAX241 PARTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX225/MAX244–MAX249

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN}, $\overline{ENA}$, $\overline{ENB}$, $\overline{ENR}$, $\overline{ENT}$, $\overline{ENRA}$, $\overline{ENRB}$, $\overline{ENTA}$, $\overline{ENTB}$ ..... -0.3V to (V_{CC} + 0.3V)
R_{IN} ..... ±25V
T_{OUT} (Note 3) ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Short Circuit (one output at a time)
T_{OUT} to GND ..... Continuous
R_{OUT} to GND ..... Continuous

Continuous Power Dissipation (T_A = +70°C)
28-Pin Wide SO (derate 12.50mW/°C above +70°C) 1W
40-Pin Plastic DIP (derate 11.11mW/°C above +70°C) ... 611mW
44-Pin PLCC (derate 13.33mW/°C above +70°C) 1.07W
Operating Temperature Ranges
MAX225C_ _, MAX24_C_ _ ..... 0°C to +70°C
MAX225E_ _, MAX24_E_ _ ..... -40°C to +85°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 4: Input voltage measured with transmitter output in a high-impedance state, shutdown, or V_{CC} = 0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX225/MAX244–MAX249

(MAX225, V_{CC} = 5.0V ±5%; MAX244–MAX249, V_{CC} = +5.0V ±10%, external capacitors C1–C4 = 1µF; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High			2	1.4		V
Logic Pull-Up/Input Current	Tables 1a–1d	Normal operation		10	50	µA
		Shutdown		±0.01	±1	
Data Rate	Tables 1a–1d, normal operation			120	64	kbits/sec
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±7.5		V
Output Leakage Current (shutdown)	Tables 1a–1d	$\overline{ENA}$, $\overline{ENB}$, $\overline{ENT}$, $\overline{ENTA}$, $\overline{ENTB}$ = V_{CC}, V_{OUT} = ±15V		±0.01	±25	µA
		V_{CC} = 0V, V_{OUT} = ±15V		±0.01	±25	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V (Note 4)		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V		±7	±30		mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±25	V
RS-232 Input Threshold Low	V_{CC} = 5V		0.8	1.3		V
RS-232 Input Threshold High	V_{CC} = 5V			1.8	2.4	V
RS-232 Input Hysteresis	V_{CC} = 5V		0.2	0.5	1.0	V
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		
TTL/CMOS Output Leakage Current	Normal operation, outputs disabled, Tables 1a–1d, 0V ≤ V_{OUT} ≤ V_{CC}, $\overline{ENR_}$ = V_{CC}			±0.05	±0.10	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ELECTRICAL CHARACTERISTICS—MAX225/MAX244–MAX249 (continued)

(MAX225, V_{CC} = 5.0V ±5%; MAX244–MAX249, V_{CC} = +5.0V ±10%, external capacitors C1–C4 = 1µF; T_A = T_{MIN} to T_{MAX}; unless otherwi· e noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY AND CONTROL LOGIC						
Operating Supply Voltage		MAX225	4.75		5.25	V
		MAX244–MAX249	4.5		5.5	
V_{CC} Supply Current (normal operation)	No load	MAX225		10	20	mA
		MAX244–MAX249		11	30	
	3kΩ loads on all outputs	MAX225		40		
		MAX244–MAX249		57		
Shutdown Supply Current	T_A = +25°C			8	25	µA
	T_A = T_{MIN} to T_{MAX}				50	
Control Input	Leakage current				±1	µA
	Threshold low			1.4	0.8	V
	Threshold high		2.4	1.4		
AC CHARACTERISTICS						
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V		5	10	30	V/µs
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}			1.3	3.5	µs
	t_{PLHT}			1.5	3.5	
Receiver Propagation Delay TLL to RS-232 (normal operation), Figure 2	t_{PHLR}			0.6	1.5	µs
	t_{PLHR}			0.6	1.5	
Receiver Propagation Delay TLL to RS-232 (low-power mode), Figure 2	t_{PHLS}			0.6	10	µs
	t_{PLHS}			3.0	10	
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}			350		ns
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}			350		ns
Receiver-Output Enable Time, Figure 3	t_{ER}			100	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}			100	500	ns
Transmitter Enable Time	t_{ET}	MAX246–MAX249 (excludes charge-pump start-up)		5		µs
		MAX225/MAX245–MAX249 (includes charge-pump start-up)		10		ms
Transmitter Disable Time, Figure 4	t_{DT}			100		ns

Note 5: *The 300Ω minimum* specification complies with EIA/TIA-232E, but the actual resistance when in shutdown mode or V_{CC} = 0V is 10MΩ as is implied by the leakage specification.

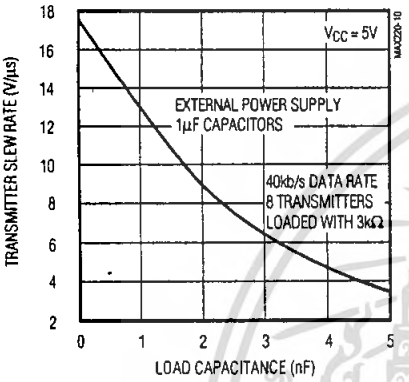
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

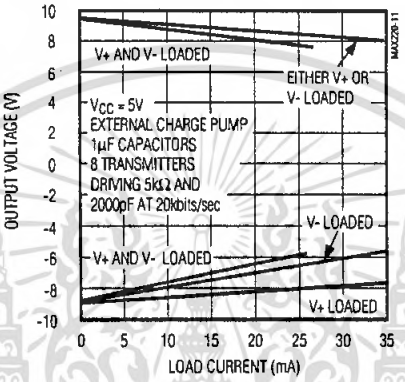
Typical Operating Characteristics

MAX225/MAX244–MAX249

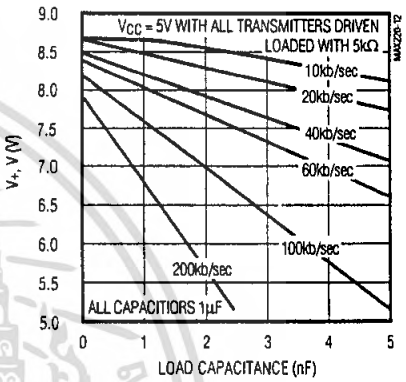
TRANSMITTER SLEW RATE vs. LOAD CAPACITANCE



OUTPUT VOLTAGE vs. LOAD CURRENT FOR V+ AND V-



TRANSMITTER OUTPUT VOLTAGE (V+, V-) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

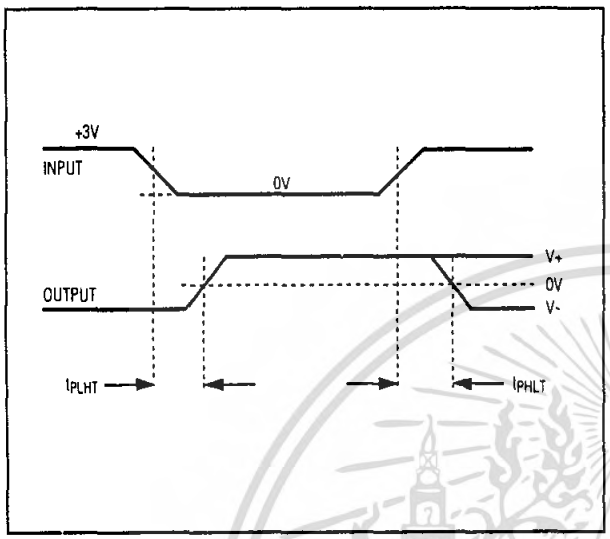


Figure 1. Transmitter Propagation-Delay Timing

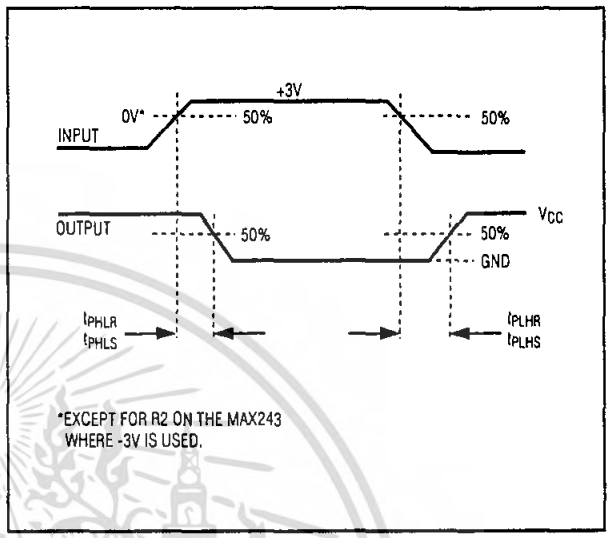


Figure 2. Receiver Propagation-Delay Timing

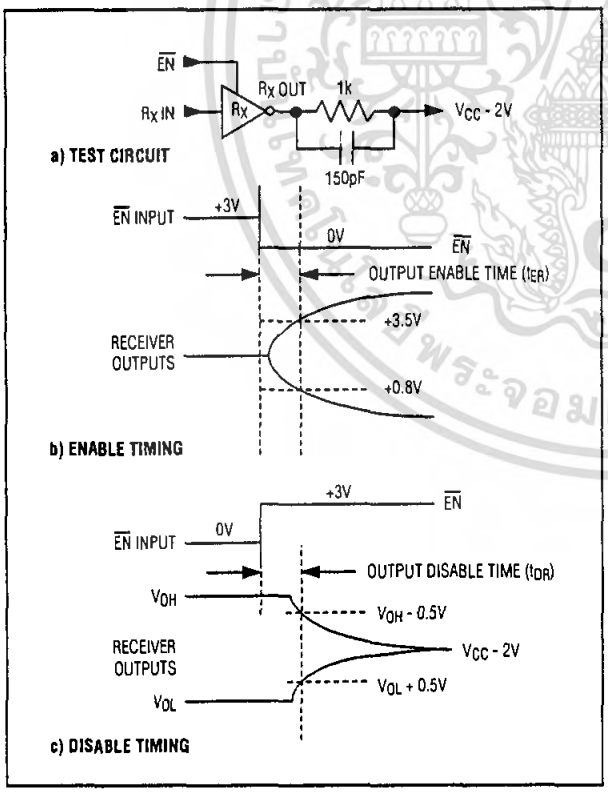


Figure 3. Receiver-Output Enable and Disable Timing

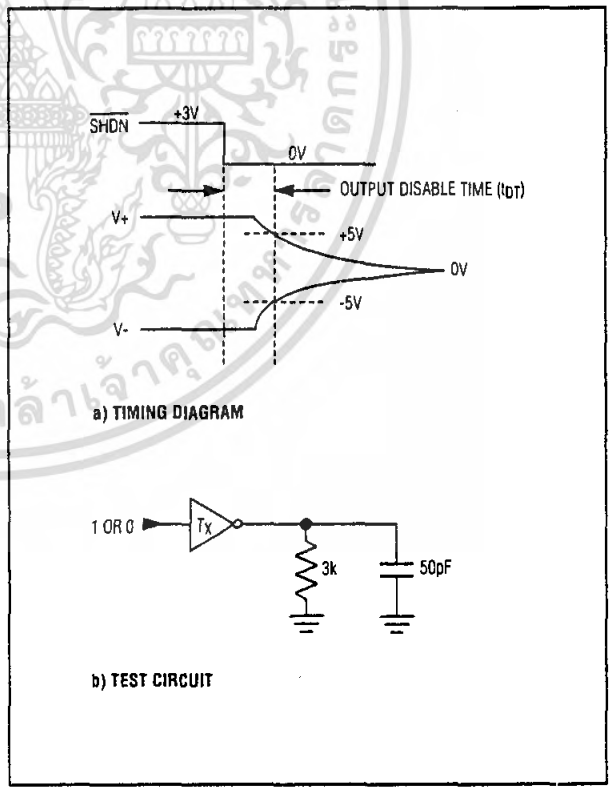


Figure 4. Transmitter-Output Disable Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Table 1a. MAX245 Control Pin Configurations

$\overline{ENT}$	$\overline{ENR}$	OPERATION STATUS	TRANSMITTERS	RECEIVERS
0	0	Normal Operation	All Active	All Active
0	1	Normal Operation	All Active	All 3-State
1	0	Shutdown	All 3-State	All Low-Power Receive Mode
1	1	Shutdown	All 3-State	All 3-State

Table 1b. MAX245 Control Pin Configurations

$\overline{ENT}$	$\overline{ENR}$	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1–TA4	TB1–TB4	RA1–RA5	RB1–RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All Active	RA1–RA4 3-State, RA5 Active	RB1–RB4 3-State, RB5 Active
1	0	Shutdown	All 3-State	All 3-State	All Low-Power Receive Mode	All Low-Power Receive Mode
1	1	Shutdown	All 3-State	All 3-State	RA1–RA4 3-State, RA5 Low-Power Receive Mode	RB1–RB4 3-State, RB5 Low-Power Receive Mode

Table 1c. MAX246 Control Pin Configurations

$\overline{ENA}$	$\overline{ENB}$	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1–TA4	TB1–TB4	RA1–RA5	RB1–RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All 3-State	All Active	RB1–RB4 3-State, RB5 Active
1	0	Shutdown	All 3-State	All Active	RA1–RA4 3-State, RA5 Active	All Active
1	1	Shutdown	All 3-State	All 3-State	RA1–RA4 3-State, RA5 Low-Power Receive Mode	RB1–RB4 3-State, RA5 Low-Power Receive Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1d. MAX247/MAX248/MAX249 Control Pin Configurations

$\overline{ENTA}$	$\overline{ENTB}$	$\overline{ENRA}$	$\overline{ENRB}$	OPERATION STATUS		TRANSMITTERS		RECEIVERS	
					MAX247	TA1–TA4	TB1–TB4	RA1–RA4	RB1–RB5
					MAX248	TA1–TA4	TB1–TB4	RA1–RA4	RB1–RB4
					MAX249	TA1–TA3	TB1–TB3	RA1–RA5	RB1–RB5
0	0	0	0	Normal Operation		All Active	All Active	All Active	All Active
0	0	0	1	Normal Operation		All Active	All Active	All Active	All 3-State, except RB5 stays active on MAX247
0	0	1	0	Normal Operation		All Active	All Active	All 3-State	All Active
0	0	1	1	Normal Operation		All Active	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247
0	1	0	0	Normal Operation		All Active	All 3-State	All Active	All Active
0	1	0	1	Normal Operation		All Active	All 3-State	All Active	All 3-State, except RB5 stays active on MAX247
0	1	1	0	Normal Operation		All Active	All 3-State	All 3-State	All Active
0	1	1	1	Normal Operation		All Active	All 3-State	All 3-State	All 3-State, except RB5 stays active on MAX247
1	0	0	0	Normal Operation		All 3-State	All Active	All Active	All Active
1	0	0	1	Normal Operation		All 3-State	All Active	All Active	All 3-State, except RB5 stays active on MAX247
1	0	1	0	Normal Operation		All 3-State	All Active	All 3-State	All Active
1	0	1	1	Normal Operation		All 3-State	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247
1	1	0	0	Shutdown		All 3-State	All 3-State	Low-Power Receive Mode	Low-Power Receive Mode
1	1	0	1	Shutdown		All 3-State	All 3-State	Low-Power Receive Mode	All 3-State, except RB5 stays active on MAX247
1	1	1	0	Shutdown		All 3-State	All 3-State	All 3-State	Low-Power Receive Mode
1	1	1	1	Shutdown		All 3-State	All 3-State	All 3-State	All 3-State, except RB5 stays active on MAX247

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Detailed Description

The MAX220–MAX249 contain four sections: dual charge-pump DC-DC voltage converters, RS-232 drivers, RS-232 receivers, and receiver and transmitter enable control inputs.

Dual Charge-Pump Voltage Converter

The MAX220–MAX249 have two internal charge-pumps that convert +5V to ±10V (unloaded) for RS-232 driver operation. The first converter uses capacitor C1 to double the +5V input to +10V on C3 at the V+ output. The second converter uses capacitor C2 to invert +10V to -10V on C4 at the V- output.

A small amount of power may be drawn from the +10V (V+) and -10V (V-) outputs to power external circuitry (see the *Typical Operating Characteristics* section), except on the MAX225 and MAX245–MAX247, where these pins are not available. V+ and V- are not regulated, so the output voltage drops with increasing load current. Do not load V+ and V- to a point that violates the minimum ±5V EIA/TIA-232E driver output voltage when sourcing current from V+ and V- to external circuitry.

When using the shutdown feature in the MAX222, MAX225, MAX230, MAX235, MAX236, MAX240, MAX241, and MAX245–MAX249, avoid using V+ and V- to power external circuitry. When these parts are shut down, V- falls to 0V, and V+ falls to +5V. For applications where a +10V external supply is applied to the V+ pin (instead of using the internal charge pump to generate +10V), the C1 capacitor must not be installed and the $\overline{SHDN}$ pin must be tied to V_{CC}. This is because V+ is internally connected to V_{CC} in shutdown mode.

RS-232 Drivers

The typical driver output voltage swing is ±8V when loaded with a nominal 5kΩ RS-232 receiver and V_{CC} = +5V. Output swing is guaranteed to meet the EIA/TIA-232E and V.28 specification, which calls for ±5V minimum driver output levels under worst-case conditions. These include a minimum 3kΩ load, V_{CC} = +4.5V, and maximum operating temperature. Unloaded driver output voltage ranges from (V+ -1.3V) to (V- +0.5V).

Input thresholds are both TTL and CMOS compatible. The inputs of unused drivers can be left unconnected since 400kΩ input pull-up resistors to V_{CC} are built in (except for the MAX220). The pull-up resistors force the outputs of unused drivers low because all drivers invert. The internal input pull-up resistors typically source 12µA, except in shutdown mode where the pull-ups are disabled. Driver outputs turn off and enter a high-impedance state—where leakage current is typically microamperes (maximum 25µA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to ±15V. The power-supply current typically drops to 8µA in shutdown mode. The MAX220 does not have pull-up resistors to force the outputs of the unused drivers low. Connect unused inputs to GND or V_{CC}.

The MAX239 has a receiver three-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver three-state control line and a low-power shutdown control. Table 2 shows the effects of the shutdown control and receiver three-state control on the receiver outputs.

The receiver TTL/CMOS outputs are in a high-impedance, three-state mode whenever the three-state enable line is high (for the MAX225/MAX235/MAX236/MAX239–MAX241), and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1µA with the driver output pulled to ground. The driver output leakage remains less than 1µA, even if the transmitter output is backdriven between 0V and (V_{CC} + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1kΩ series impedance. The transmitter is also zener clamped to approximately V_{CC} + 6V, with a series impedance of 1kΩ.

The driver output slew rate is limited to less than 30V/µs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/µs unloaded and 10V/µs loaded with 3Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a logic 0, so all receivers invert. Input thresholds are set at 0.8V and 2.4V, so receivers respond to TTL level inputs as well as EIA/TIA-232E and V.28 levels.

The receiver inputs withstand an input overvoltage up to ±25V and provide input terminating resistors with

Table 2. Three-State Control of Receivers

PART	SHDN	$\overline{SHDN}$	EN	$\overline{EN(R)}$	RECEIVERS
MAX223	—	Low High High	X Low High	—	High Impedance Active High Impedance
MAX225	—	—	—	Low High	High Impedance Active
MAX235 MAX236 MAX240	Low Low High	—	—	Low High X	High Impedance Active High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

nominal 5kΩ values. The receivers implement Type 1 interpretation of the fault conditions of V.28 and EIA/TIA-232E.

The receiver input hysteresis is typically 0.5V with a guaranteed minimum of 0.2V. This produces clear output transitions with slow-moving input signals, even with moderate amounts of noise and ringing. The receiver propagation delay is typically 600ns and is independent of input swing direction.

Low-Power Receive Mode

The low-power receive-mode feature of the MAX223, MAX242, and MAX245–MAX249 puts the IC into shutdown mode but still allows it to receive information. This is important for applications where systems are periodically awakened to look for activity. Using low-power receive mode, the system can still receive a signal that will activate it on command and prepare it for communication at faster data rates. This operation conserves system power.

Negative Threshold—MAX243

The MAX243 is pin compatible with the MAX232A, differing only in that RS-232 cable fault protection is removed on one of the two receiver inputs. This means that control lines such as CTS and RTS can either be driven or left floating without interrupting communication. Different cables are not needed to interface with different pieces of equipment.

The input threshold of the receiver without cable fault protection is -0.8V rather than +1.4V. Its output goes positive only if the input is connected to a control line that is actively driven negative. If not driven, it defaults to the 0 or "OK to send" state. Normally, the MAX243's other receiver (+1.4V threshold) is used for the data line (TD or RD), while the negative threshold receiver is connected to the control line (DTR, DTS, CTS, RTS, etc.).

Other members of the RS-232 family implement the optional cable fault protection as specified by EIA/TIA-232E specifications. This means a receiver output goes high whenever its input is driven negative, left floating, or shorted to ground. The high output tells the serial communications IC to stop sending data. To avoid this, the control lines must either be driven or connected with jumpers to an appropriate positive voltage level.

Shutdown—MAX222–MAX242

On the MAX222, MAX235, MAX236, MAX240, and MAX241, all receivers are disabled during shutdown. On the MAX223 and MAX242, two receivers continue to operate in a reduced power mode when the chip is in shutdown. Under these conditions, the propagation delay increases to about 2.5µs for a high-to-low input transition. When in shutdown, the receiver acts as a CMOS inverter with no hysteresis. The MAX223 and MAX242 also have a receiver output enable input ($\overline{EN}$ for the MAX242 and EN for the MAX223) that allows receiver output control independent of $\overline{SHDN}$ (SHDN for MAX241). With all other devices, $\overline{SHDN}$ (SHDN for MAX241) also disables the receiver outputs.

The MAX225 provides five transmitters and five receivers, while the MAX245 provides ten receivers and eight transmitters. Both devices have separate receiver and transmitter-enable controls. The charge pumps turn off and the devices shut down when a logic high is applied to the ENT input. In this state, the supply current drops to less than 25µA and the receivers continue to operate in a low-power receive mode. Driver outputs enter a high-impedance state (three-state mode). On the MAX225, all five receivers are controlled by the $\overline{ENR}$ input. On the MAX245, eight of the receiver outputs are controlled by the $\overline{ENR}$ input, while the remaining two receivers (RA5 and RB5) are always active. RA1–RA4 and RB1–RB4 are put in a three-state mode when $\overline{ENR}$ is a logic high.

Receiver and Transmitter Enable Control Inputs

The MAX225 and MAX245–MAX249 feature transmitter and receiver enable controls.

The receivers have three modes of operation: full-speed receive (normal active), three-state (disabled), and low-power receive (enabled receivers continue to function at lower data rates). The receiver enable inputs control the full-speed receive and three-state modes. The transmitters have two modes of operation: full-speed transmit (normal active) and three-state (disabled). The transmitter enable inputs also control the shutdown mode. The device enters shutdown mode when all transmitters are disabled. Enabled receivers function in the low-power receive mode when in shutdown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Tables 1a–1d define the control states. The MAX244 has no control pins and is not included in these tables.

The MAX246 has ten receivers and eight drivers with two control pins, each controlling one side of the device. A logic high at the A-side control input ($\overline{ENA}$) causes the four A-side receivers and drivers to go into a three-state mode. Similarly, the B-side control input ($\overline{ENB}$) causes the four B-side drivers and receivers to go into a three-state mode. As in the MAX245, one A-side and one B-side receiver (RA5 and RB5) remain active at all times. The entire device is put into shutdown mode when both the A and B sides are disabled ($\overline{ENA}$ = $\overline{ENB}$ = +5V).

The MAX247 provides nine receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs each control four drivers. The ninth receiver (RB5) is always active. The device enters shutdown mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

The MAX248 provides eight receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control four drivers each. This part does not have an always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

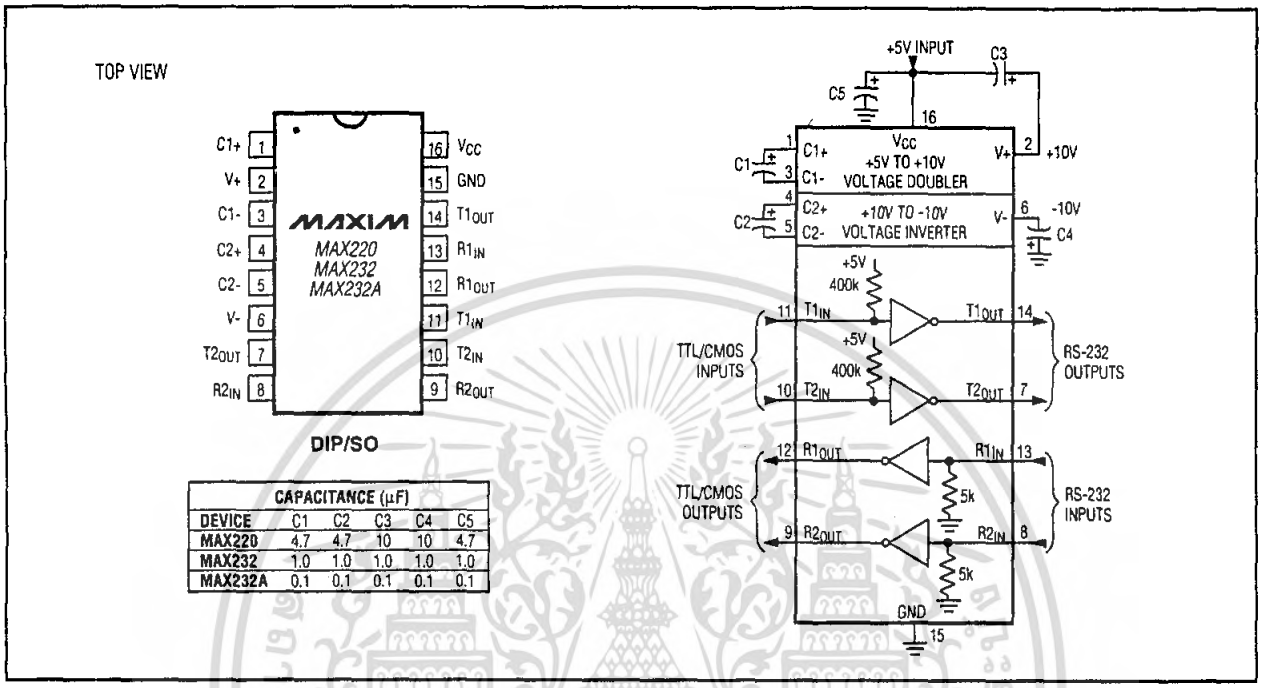
The MAX249 provides ten receivers and six drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control five receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control three drivers each. There is no always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$. In shutdown mode, active receivers operate in a low-power receive mode at data rates up to 20kbits/sec.

Applications Information

Figures 5 through 25 show pin configurations and typical operating circuits. In applications that are sensitive to power-supply noise, V_{CC} should be decoupled to ground with a capacitor of the same value as C1 and C2 connected as close as possible to the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers



CAPACITANCE (µF)					
DEVICE	C1	C2	C3	C4	C5
MAX220	4.7	4.7	10	10	4.7
MAX232	1.0	1.0	1.0	1.0	1.0
MAX232A	0.1	0.1	0.1	0.1	0.1

Figure 5. MAX220/MAX232/MAX232A Pin Configuration and Typical Operating Circuit

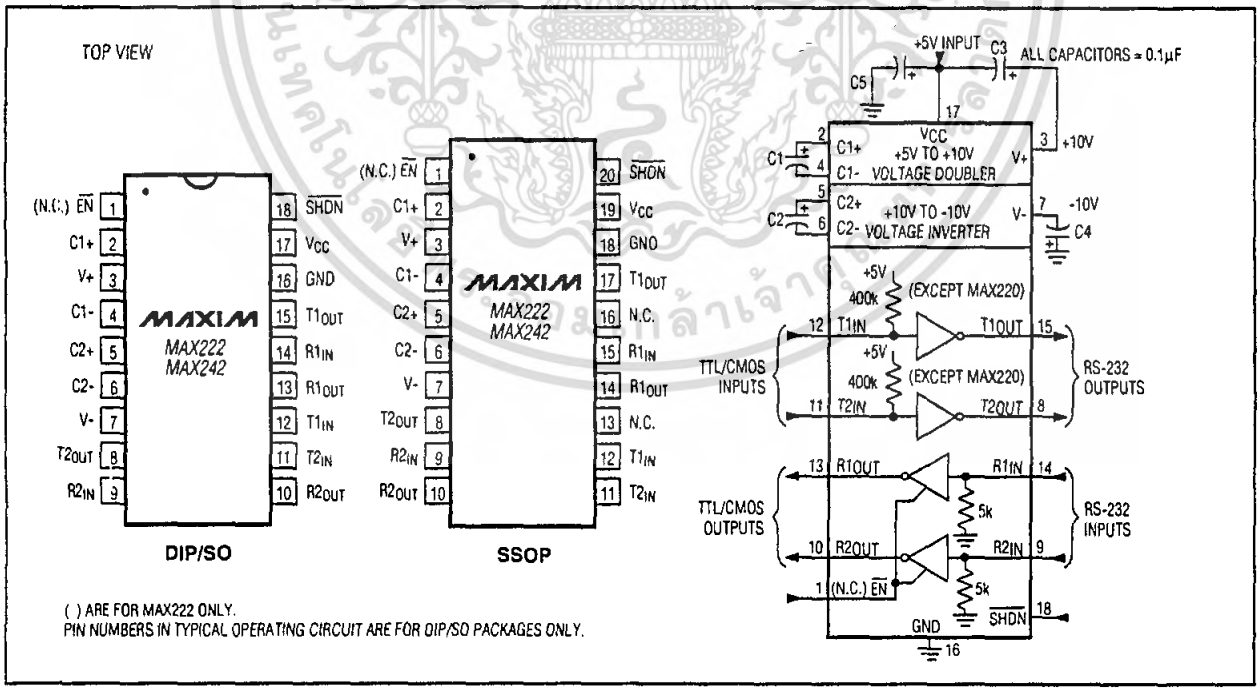


Figure 6. MAX222/MAX242 Pin Configurations and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

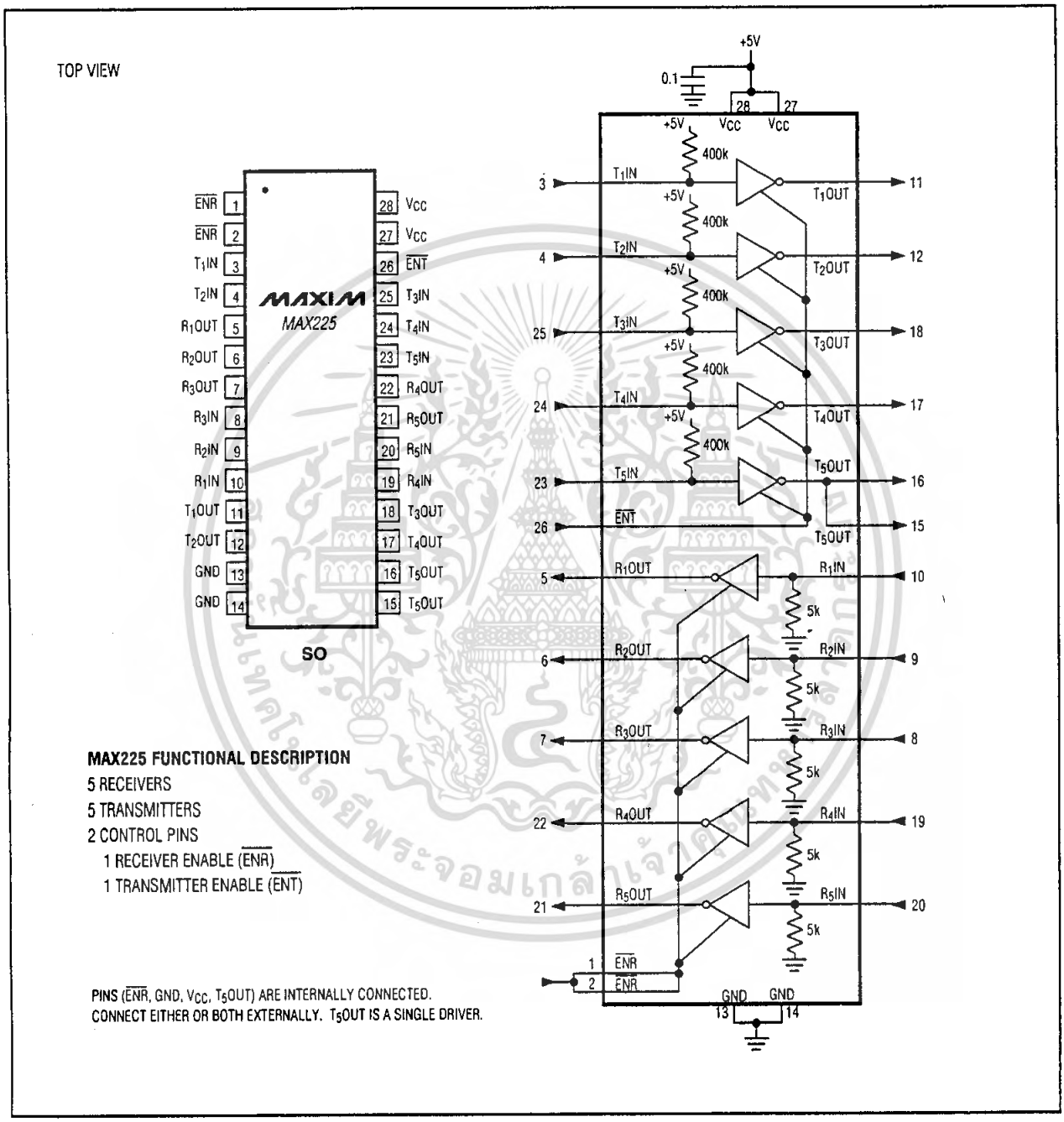


Figure 7. MAX225 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

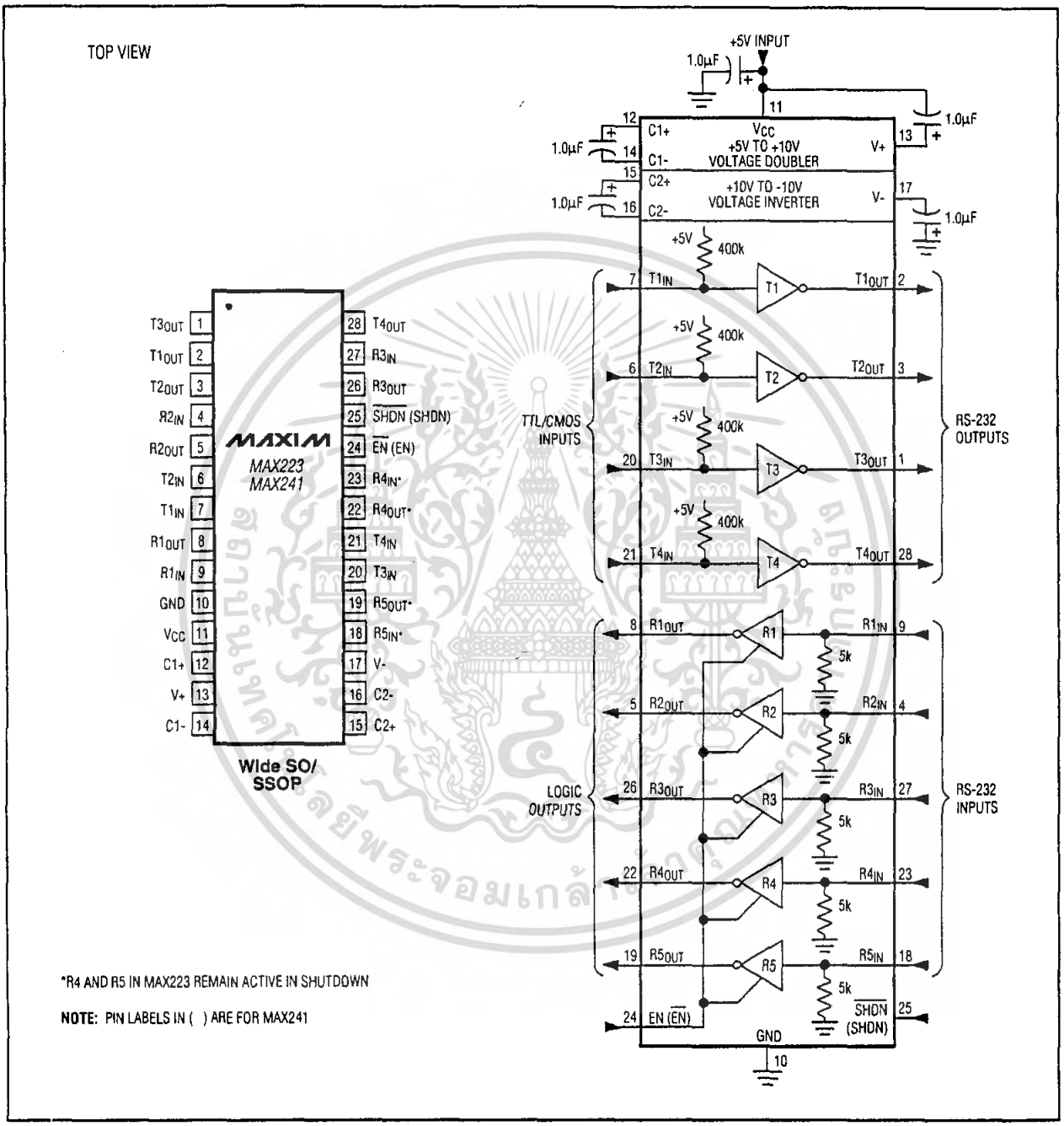


Figure 8. MAX223/MAX241 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

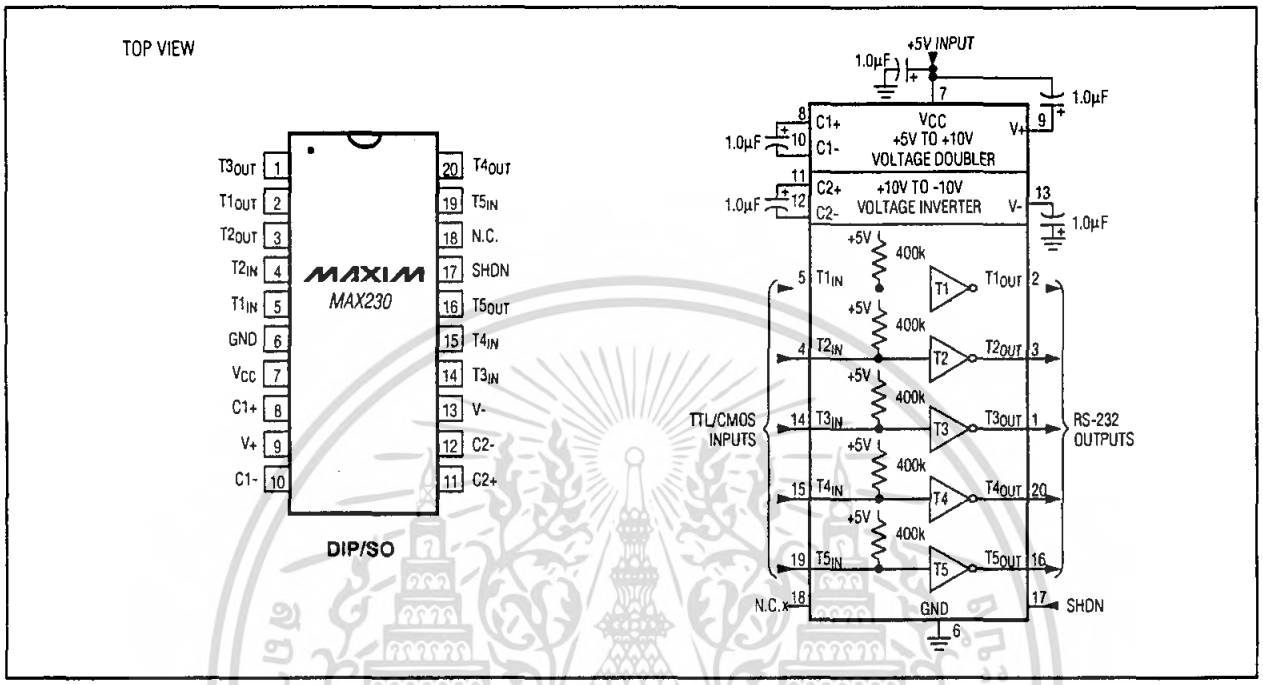


Figure 9. MAX230 Pin Configuration and Typical Operating Circuit

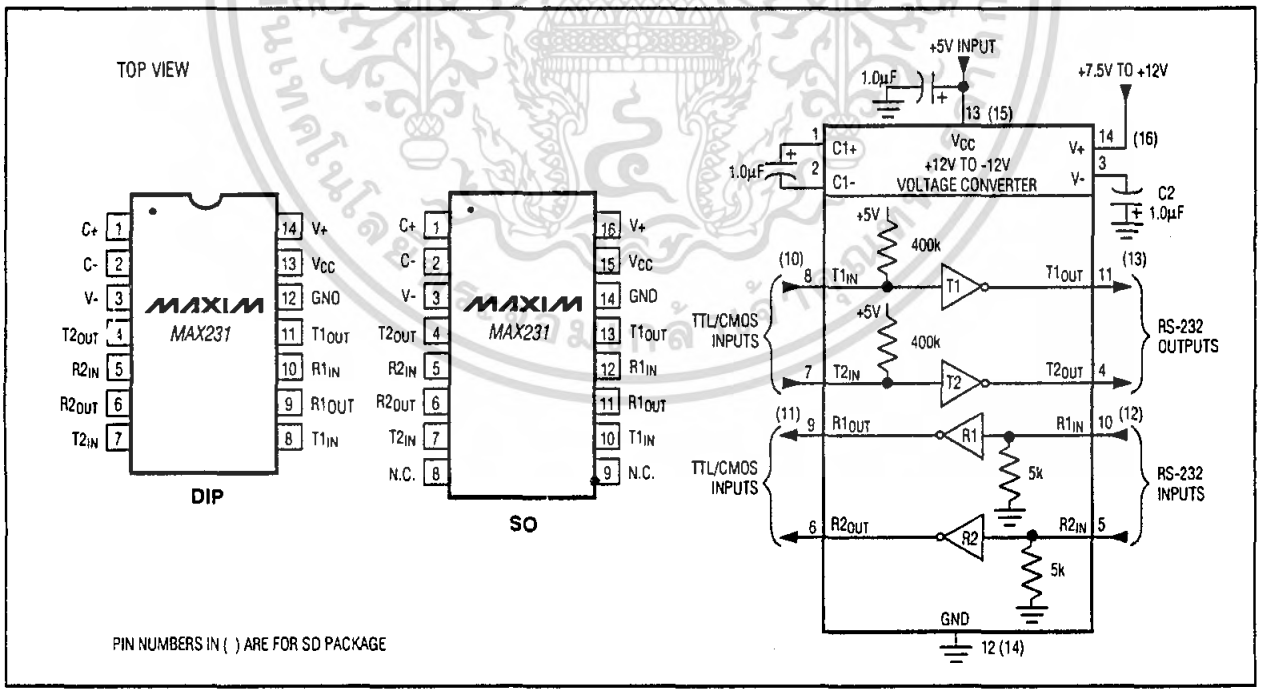


Figure 10. MAX231 Pin Configurations and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

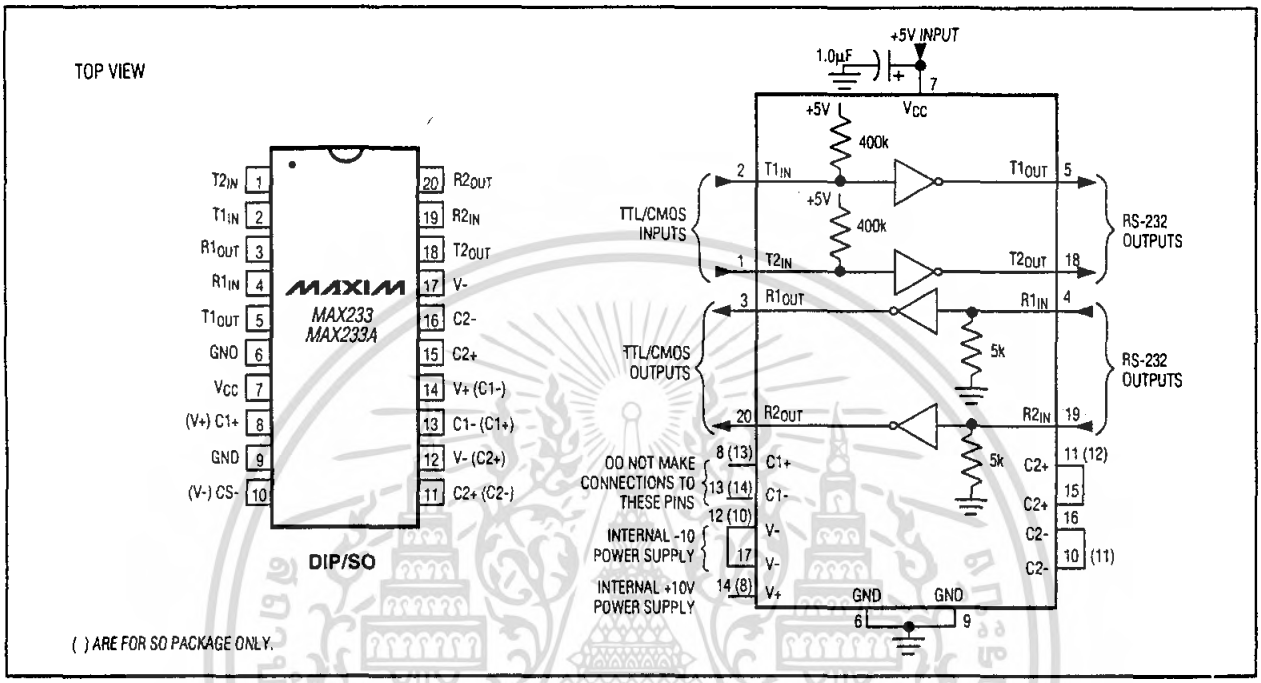


Figure 11. MAX233/MAX233A Pin Configuration and Typical Operating Circuit

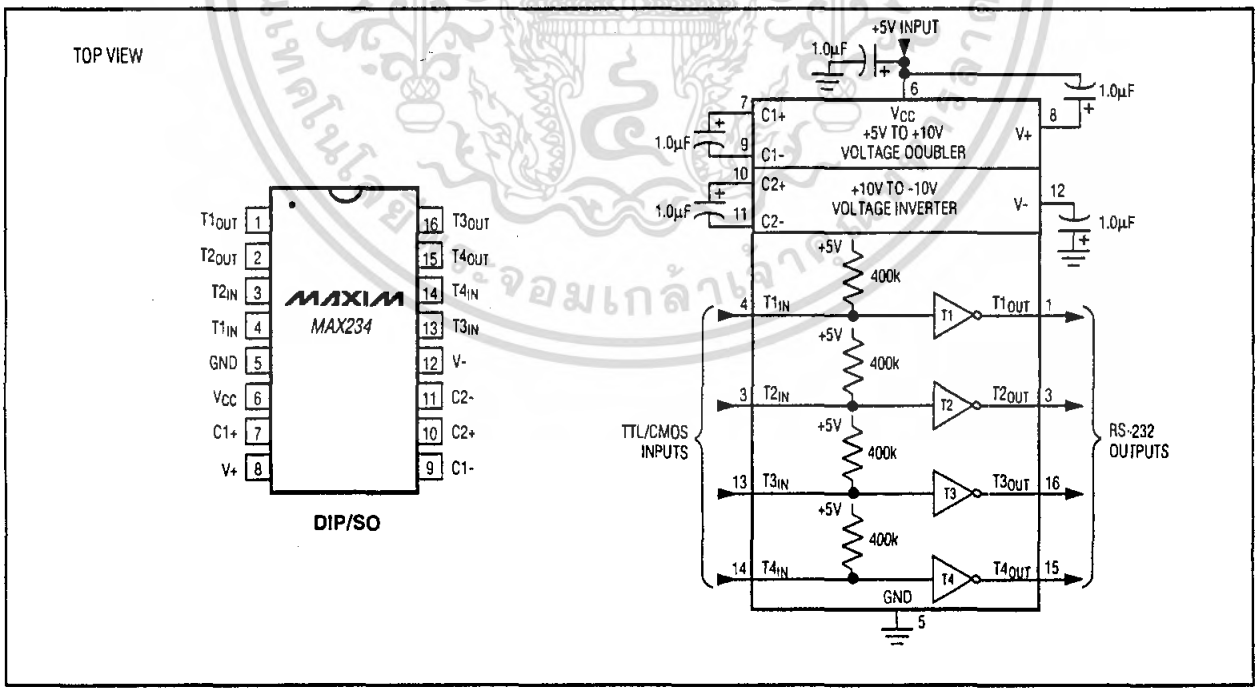


Figure 12. MAX234 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

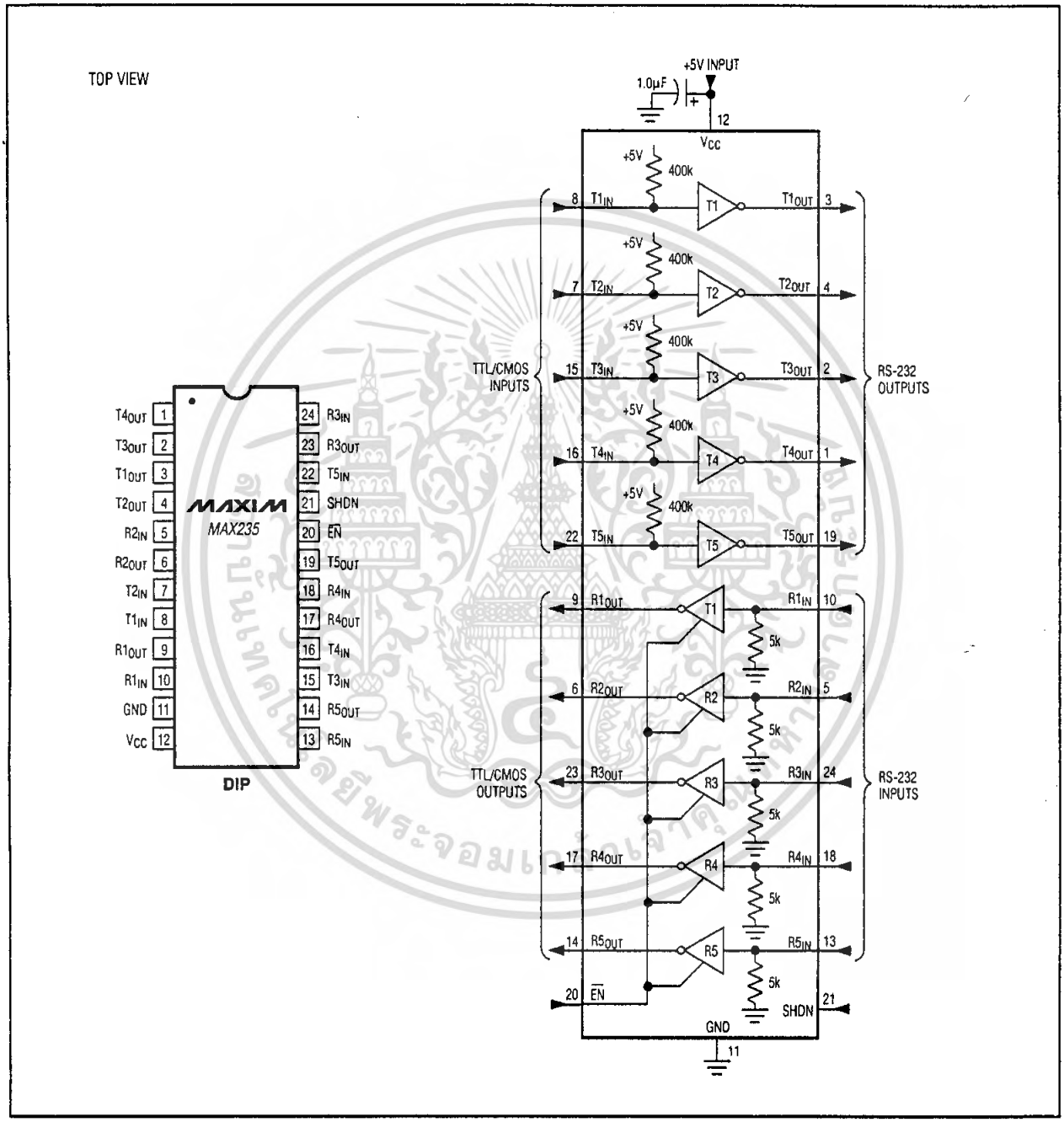


Figure 13. MAX235 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

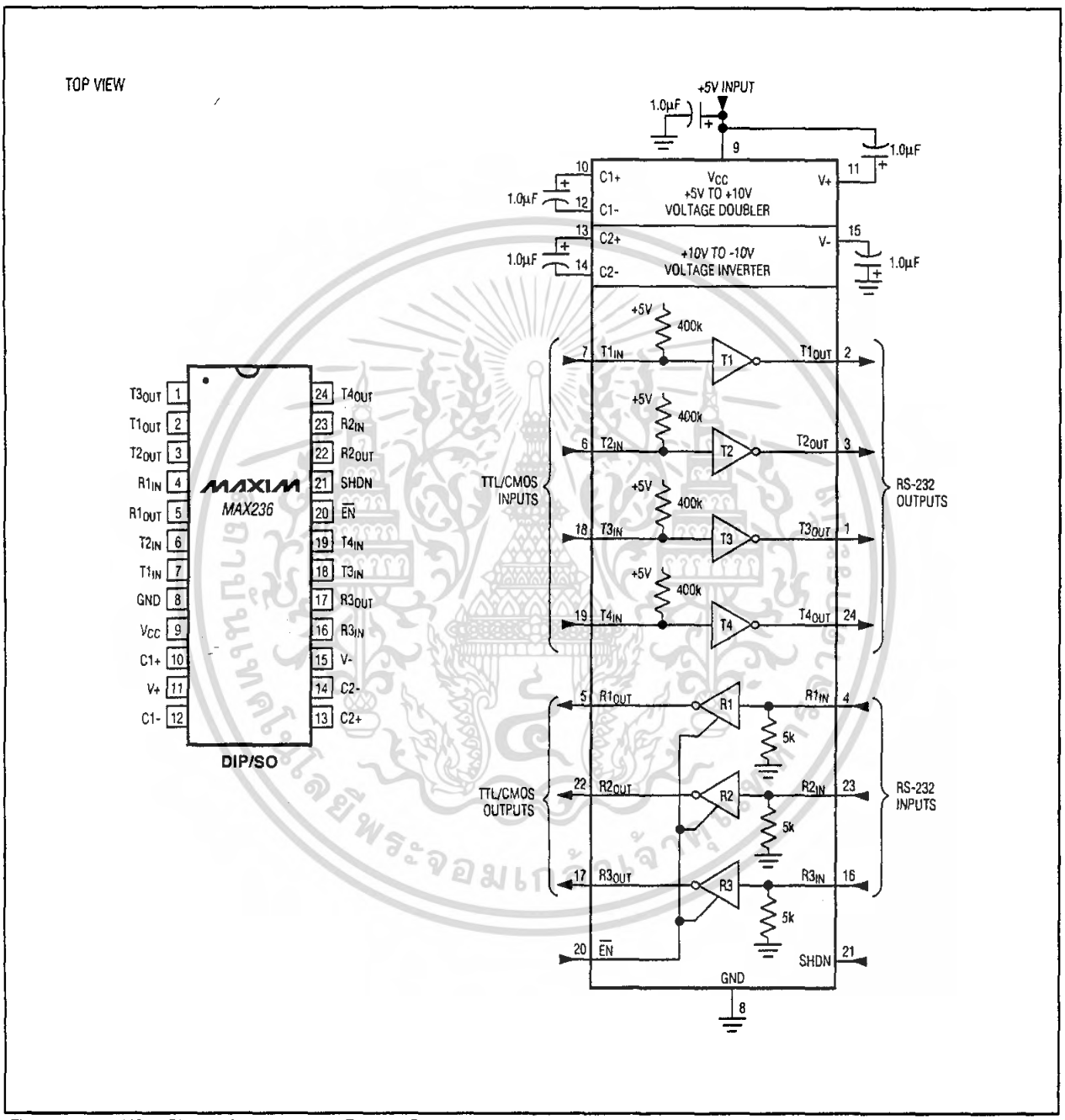


Figure 14. MAX236 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

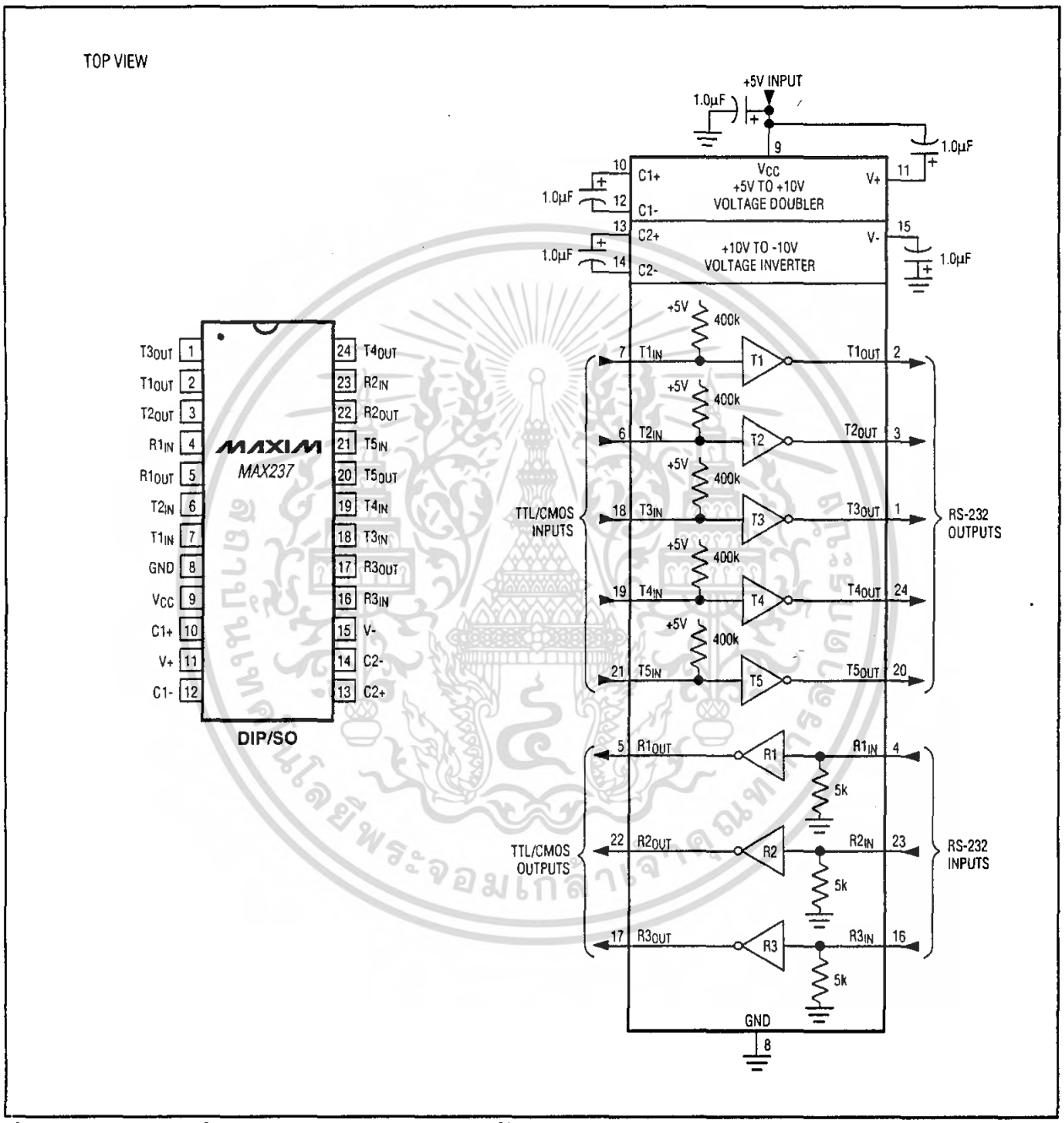


Figure 15. MAX237 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

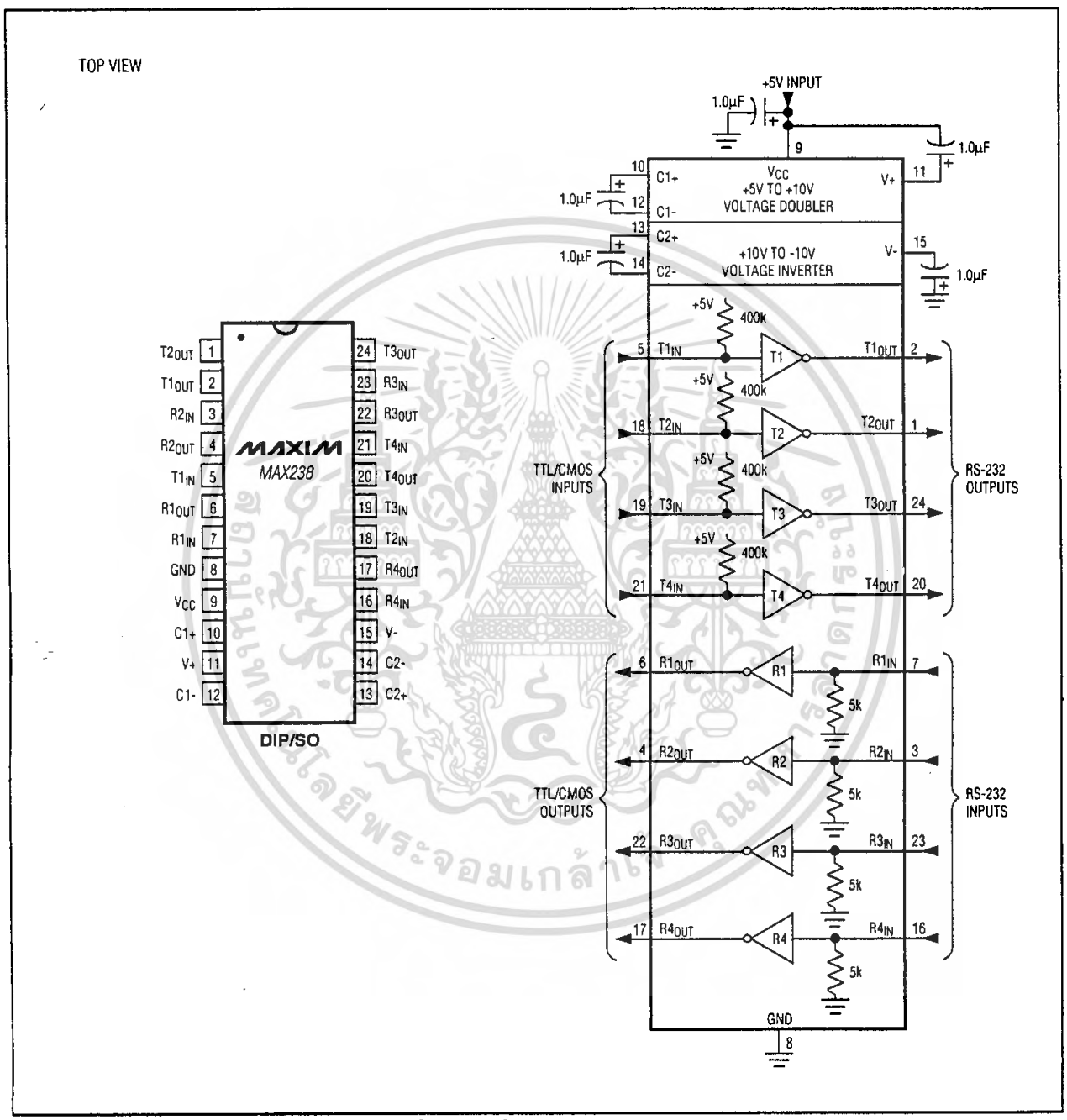


Figure 16. MAX238 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

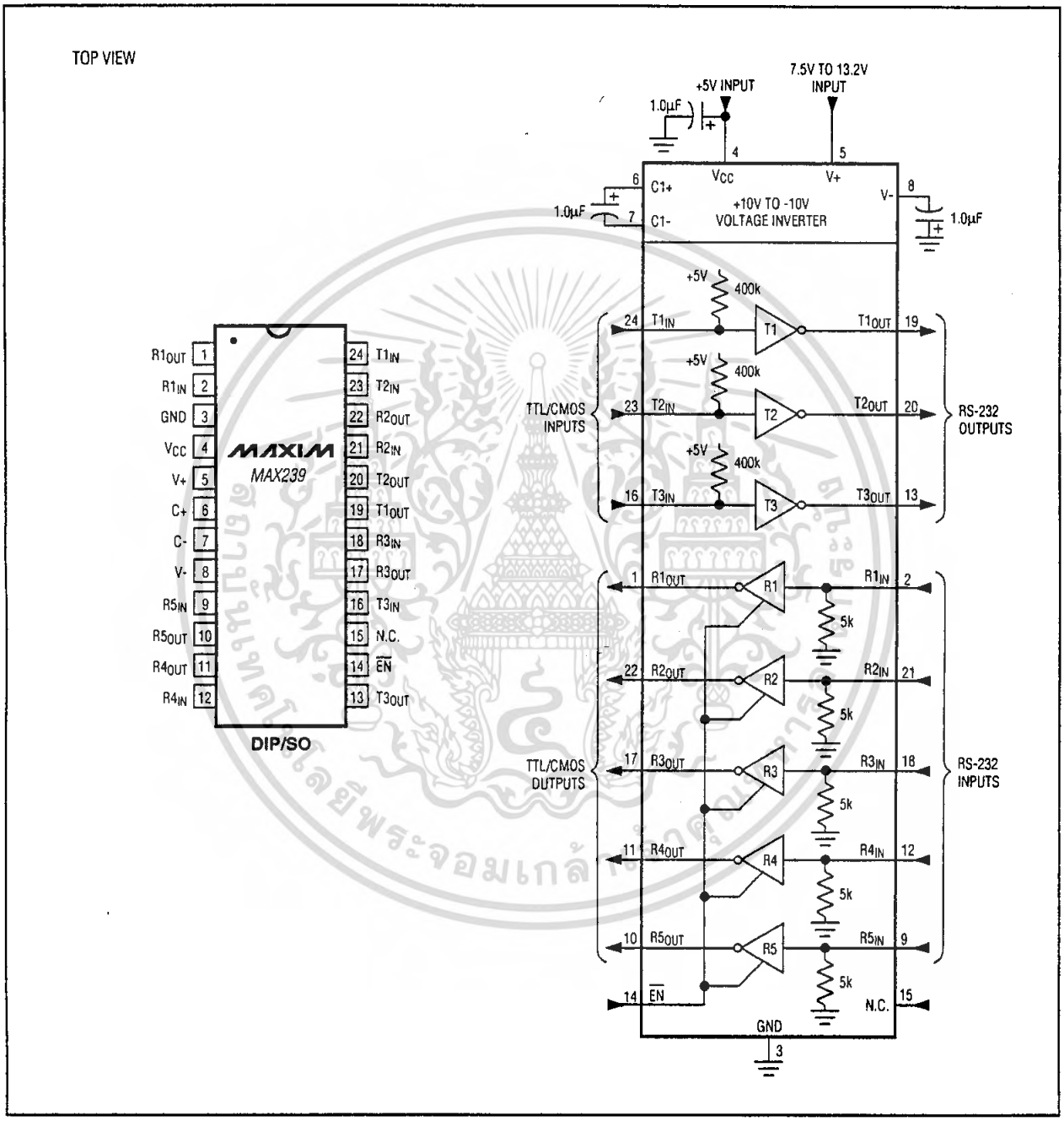


Figure 17. MAX239 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

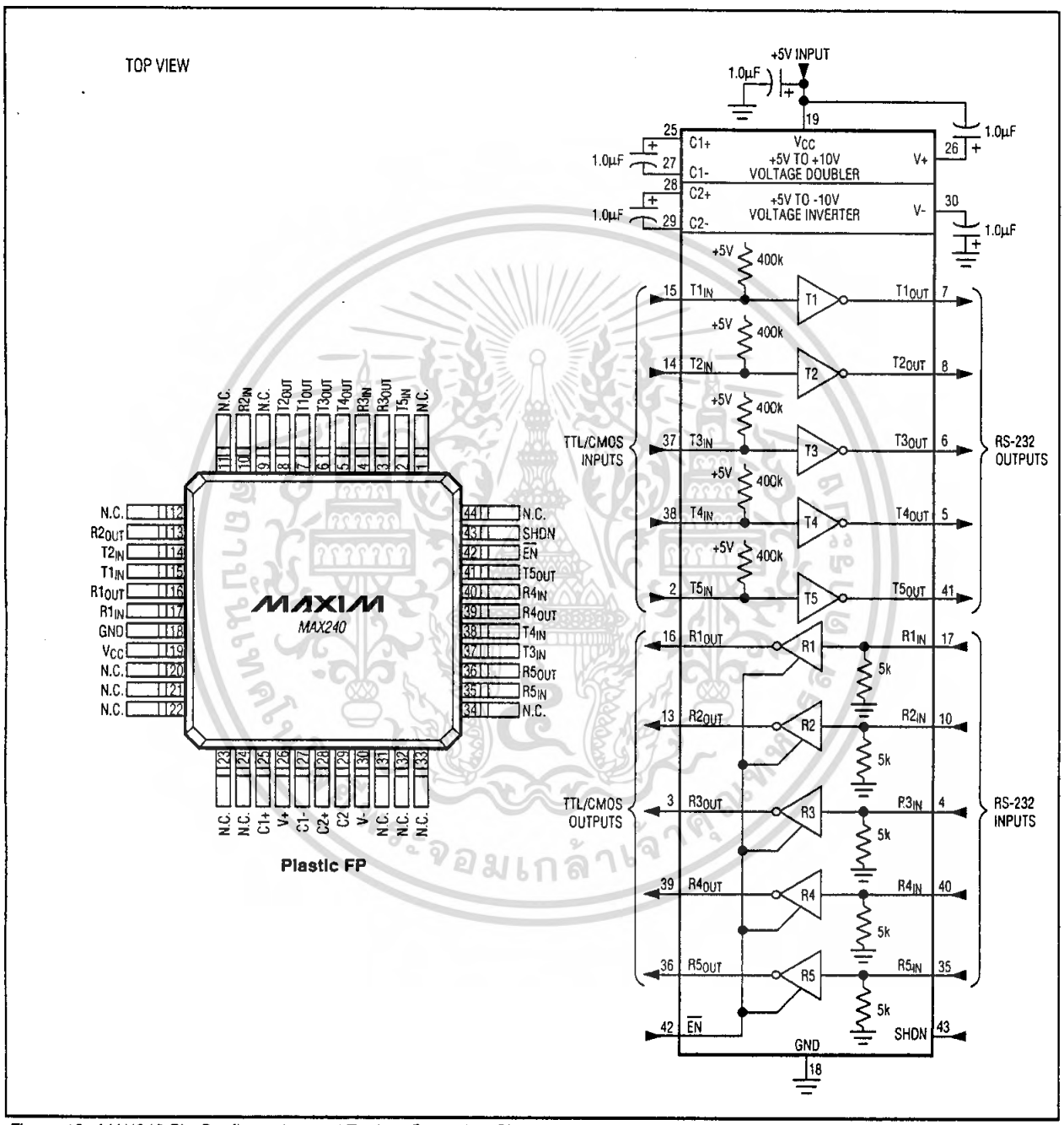


Figure 18. MAX240 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

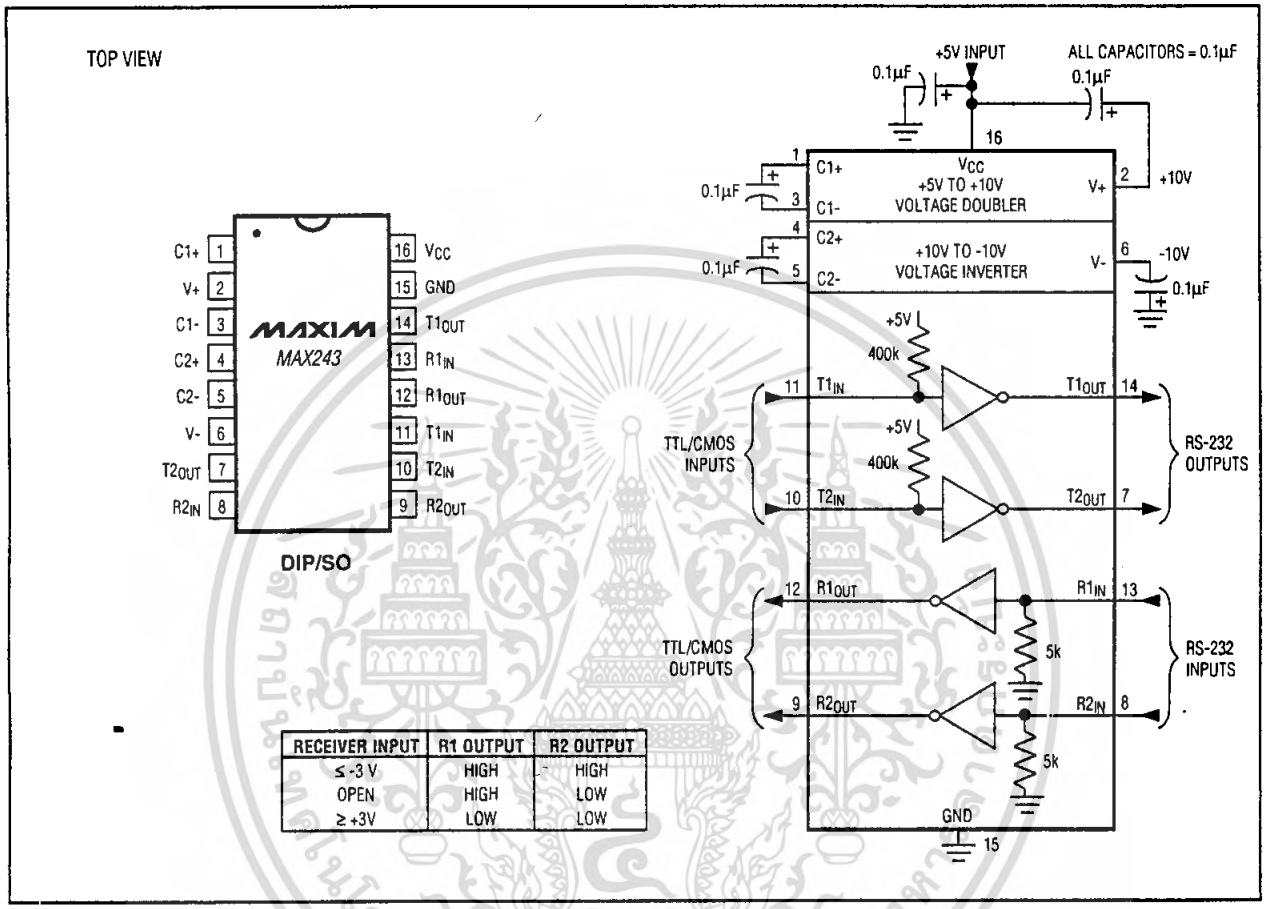


Figure 19. MAX243 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

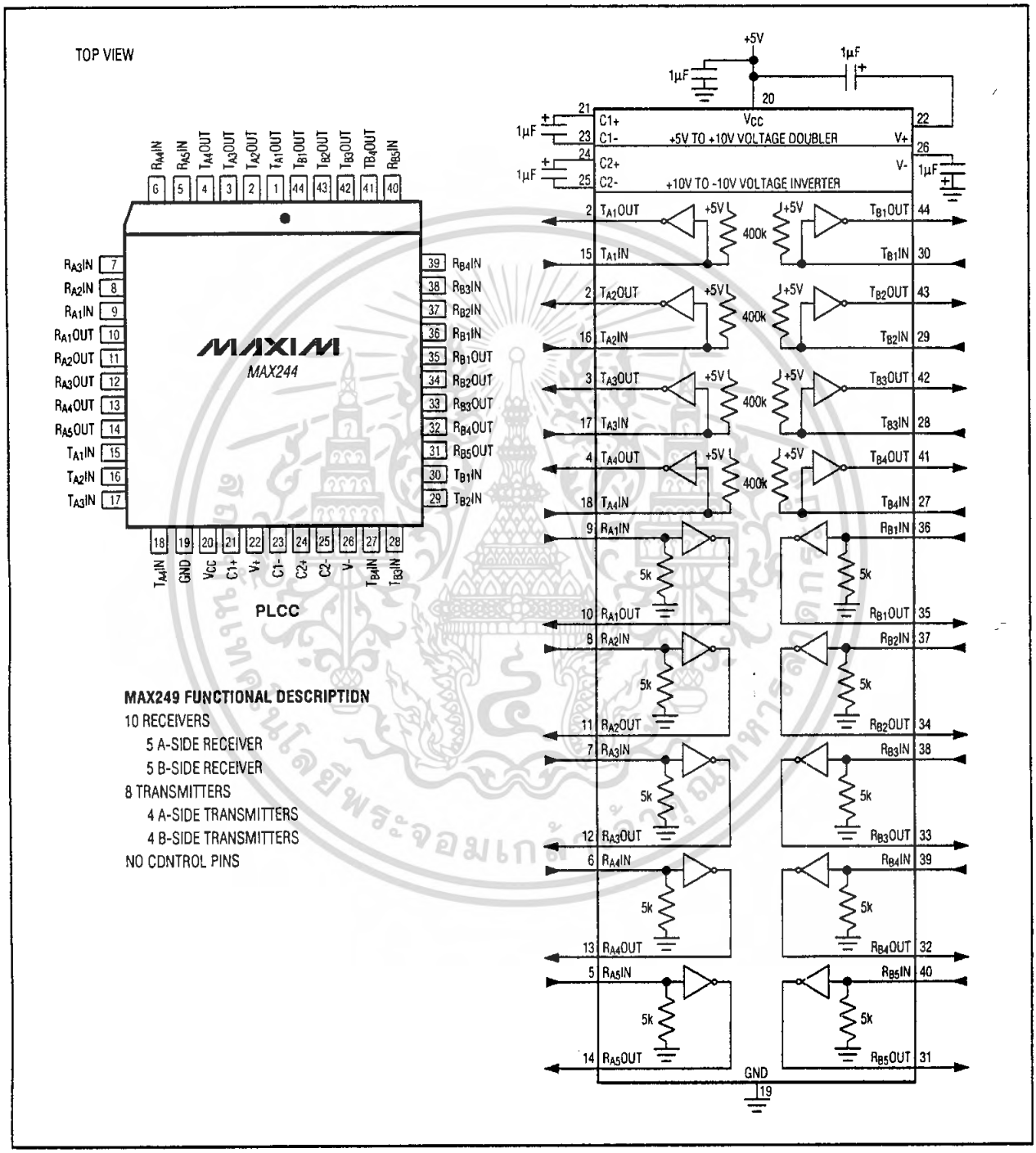
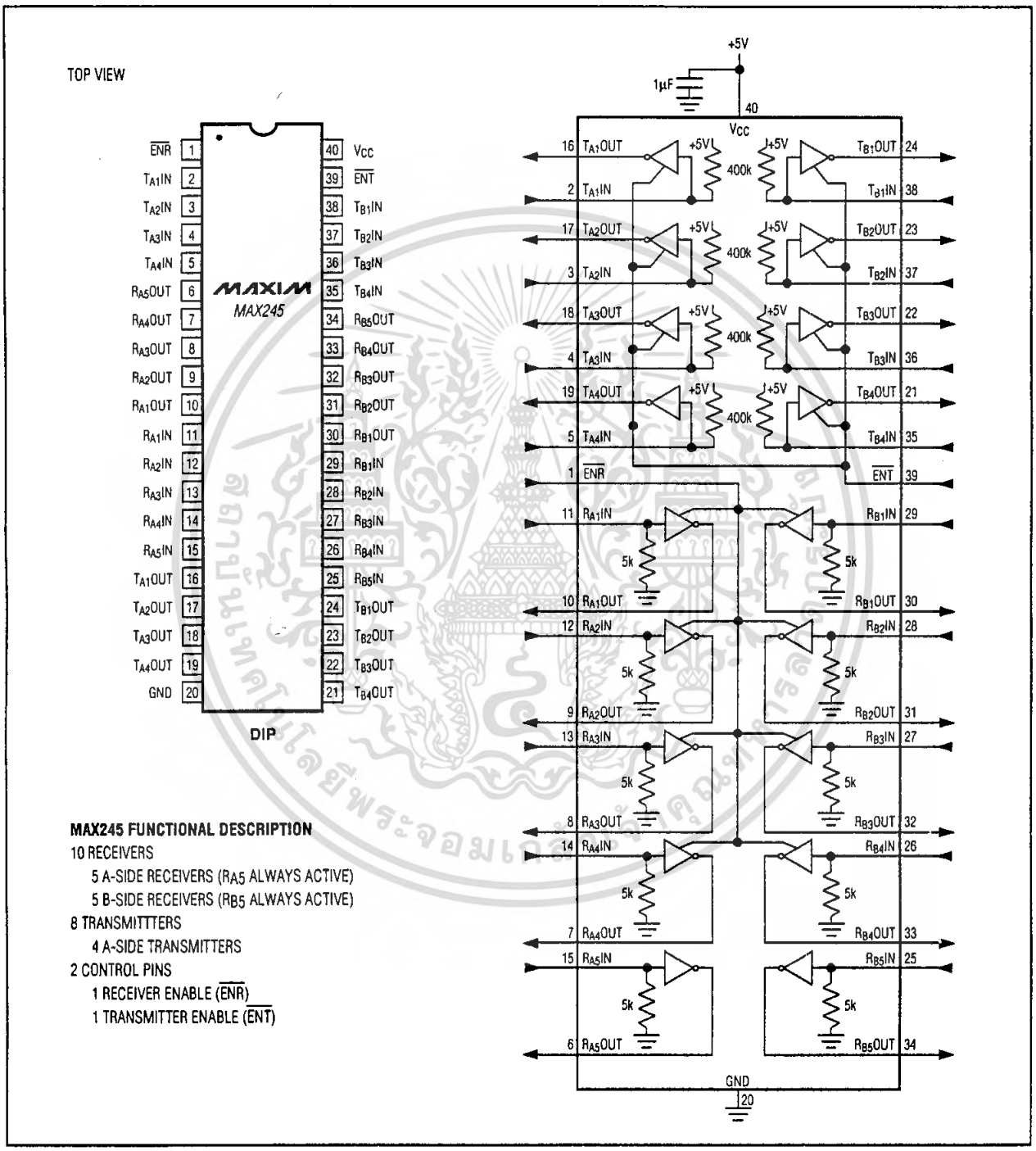


Figure 20. MAX244 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers



MAX245 FUNCTIONAL DESCRIPTION

10 RECEIVERS
- 5 A-SIDE RECEIVERS (R_{A5} ALWAYS ACTIVE)
- 5 B-SIDE RECEIVERS (R_{B5} ALWAYS ACTIVE)

8 TRANSMITTTERS
- 4 A-SIDE TRANSMITTERS

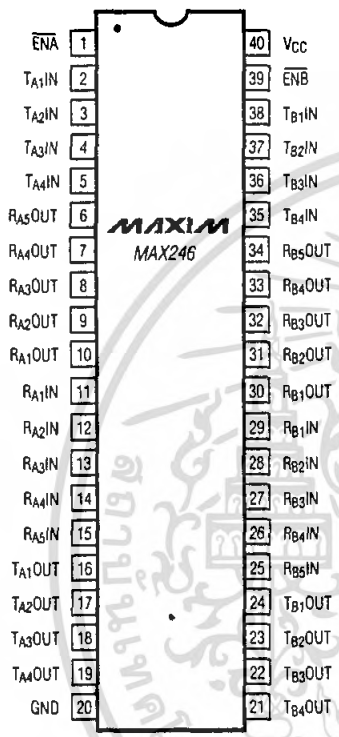
2 CONTROL PINS
- 1 RECEIVER ENABLE ($\overline{ENR}$)
- 1 TRANSMITTER ENABLE ($\overline{ENT}$)

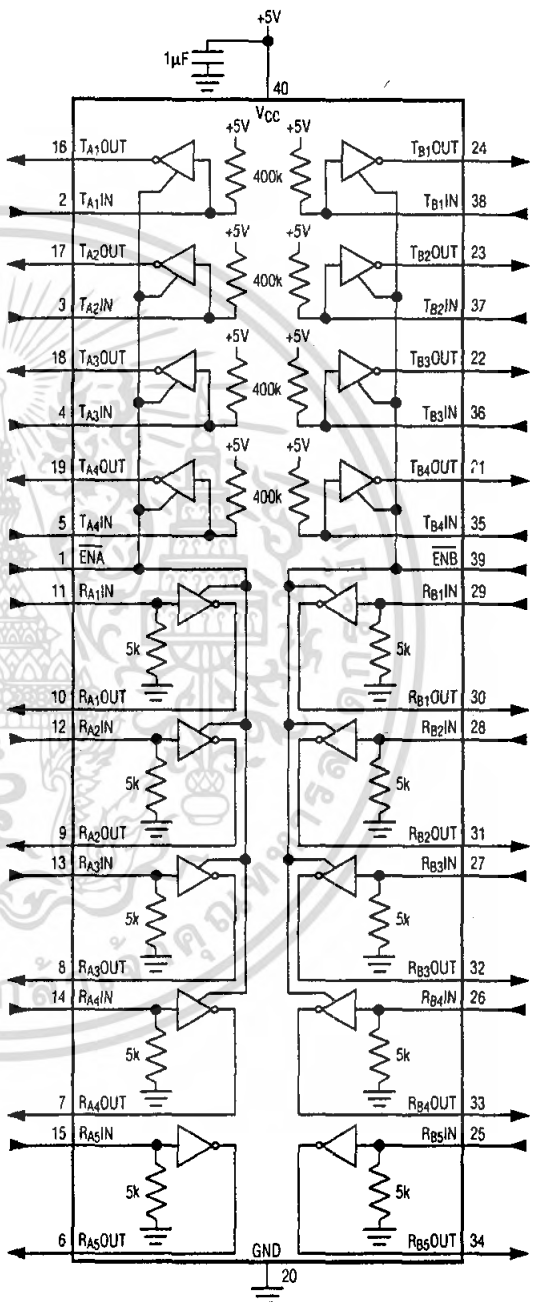
Figure 21. MAX245 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

TOP VIEW





MAX246 FUNCTIONAL DESCRIPTION

10 RECEIVERS
- 5 A-SIDE RECEIVERS (R_{A5} ALWAYS ACTIVE)
- 5 B-SIDE RECEIVERS (R_{B5} ALWAYS ACTIVE)

8 TRANSMITTERS
- 4 A-SIDE TRANSMITTERS
- 4 B-SIDE TRANSMITTERS

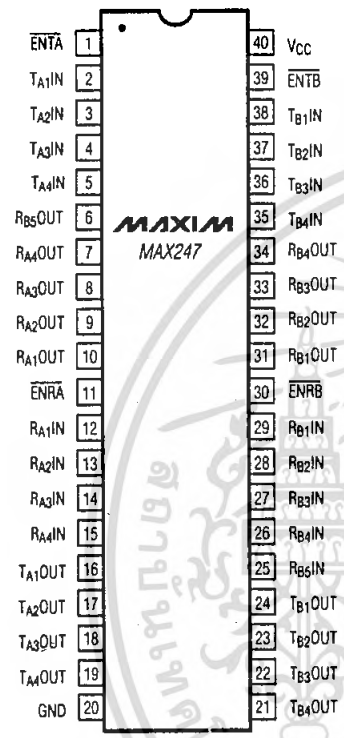
2 CONTROL PINS
- ENABLE A-SIDE ($\overline{ENA}$)
- ENABLE B-SIDE ($\overline{ENB}$)

Figure 22. MAX246 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

TOP VIEW



DIP

MAX247 FUNCTIONAL DESCRIPTION

9 RECEIVERS
- 4 A-SIDE RECEIVERS
- 5 B-SIDE RECEIVERS (RB5 ALWAYS ACTIVE)

8 TRANSMITTERS
- 4 A-SIDE TRANSMITTERS
- 4 B-SIDE TRANSMITTERS

4 CONTROL PINS
- ENABLE RECEIVER A-SIDE ($\overline{ENRA}$)
- ENABLE RECEIVER B-SIDE ($\overline{ENRB}$)
- ENABLE RECEIVER A-SIDE ($\overline{ENTA}$)
- ENABLE RECEIVERr B-SIDE ($\overline{ENTB}$)

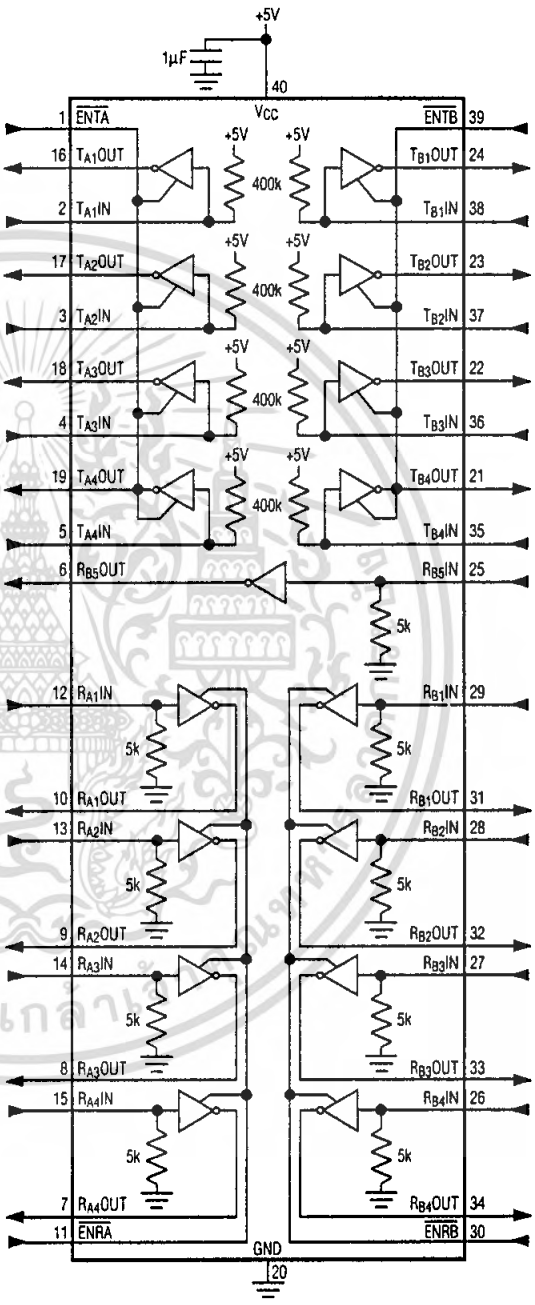
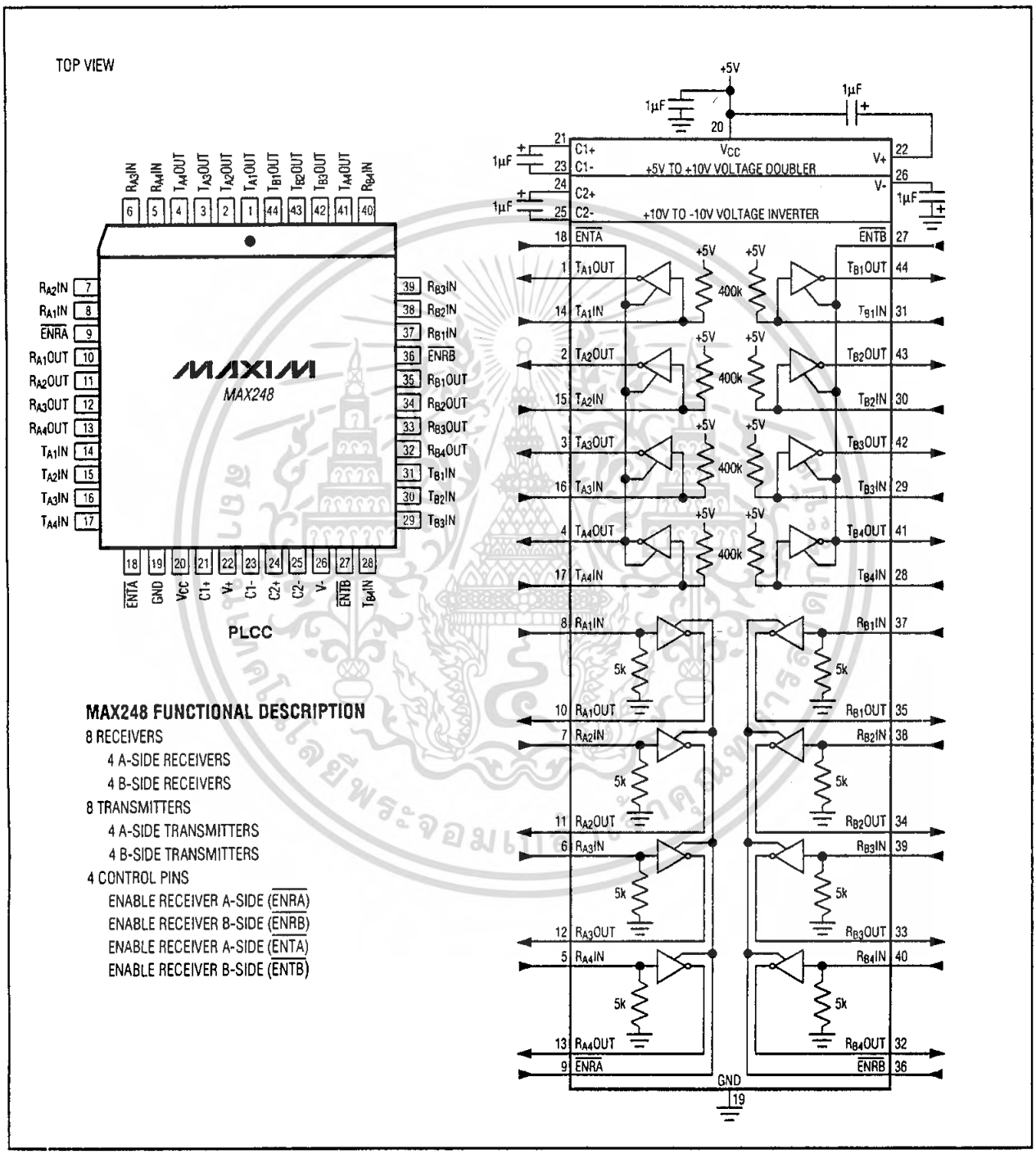


Figure 23. MAX247 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers



MAX248 FUNCTIONAL DESCRIPTION

8 RECEIVERS
- 4 A-SIDE RECEIVERS
- 4 B-SIDE RECEIVERS

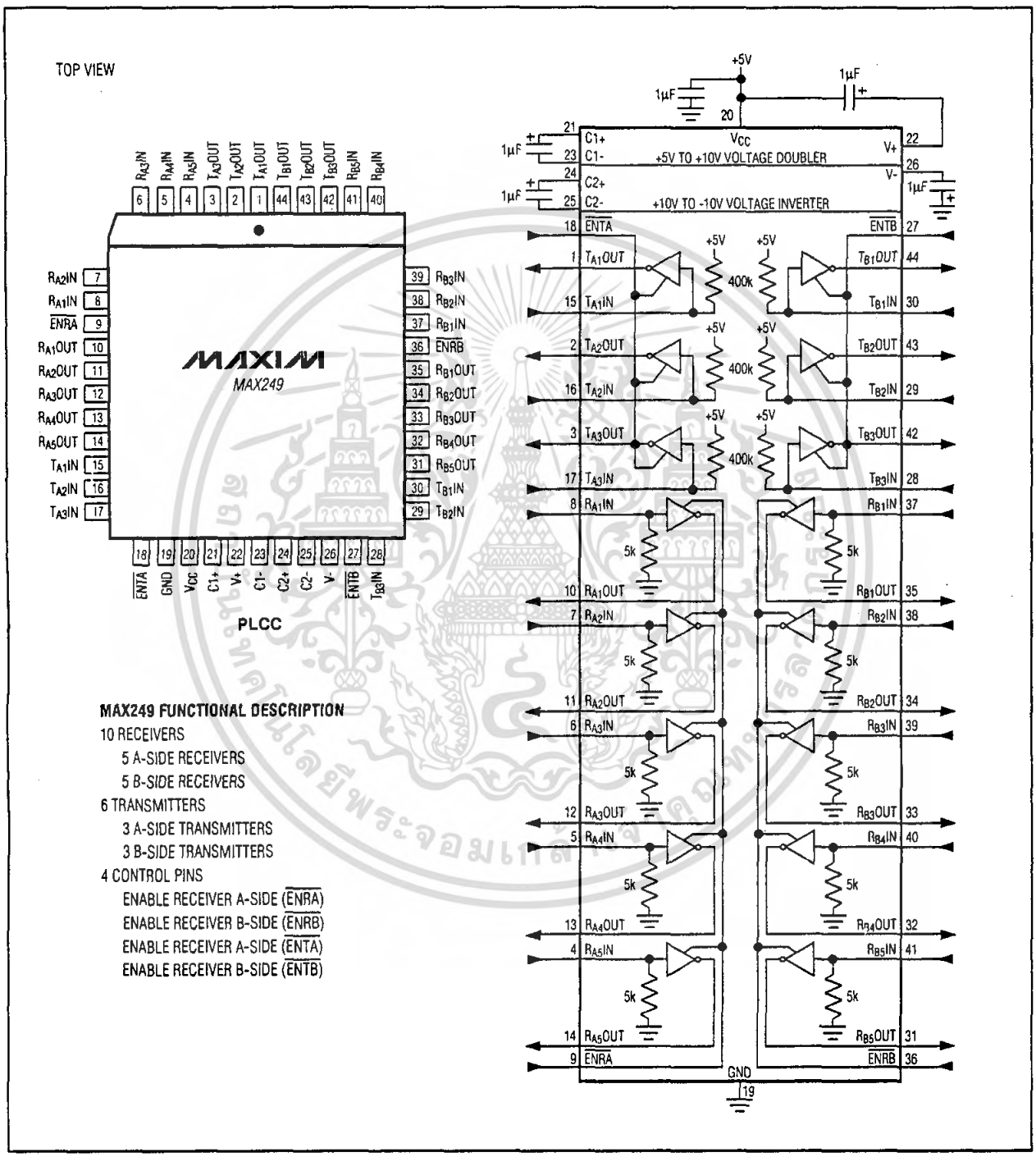
8 TRANSMITTERS
- 4 A-SIDE TRANSMITTERS
- 4 B-SIDE TRANSMITTERS

4 CONTROL PINS
- ENABLE RECEIVER A-SIDE ($\overline{ENRA}$)
- ENABLE RECEIVER B-SIDE ($\overline{ENRB}$)
- ENABLE RECEIVER A-SIDE ($\overline{ENTA}$)
- ENABLE RECEIVER B-SIDE ($\overline{ENTB}$)

Figure 24. MAX248 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers



MAX249 FUNCTIONAL DESCRIPTION

10 RECEIVERS
- 5 A-SIDE RECEIVERS
- 5 B-SIDE RECEIVERS

6 TRANSMITTERS
- 3 A-SIDE TRANSMITTERS
- 3 B-SIDE TRANSMITTERS

4 CONTROL PINS
- ENABLE RECEIVER A-SIDE ($\overline{ENRA}$)
- ENABLE RECEIVER B-SIDE ($\overline{ENRB}$)
- ENABLE RECEIVER A-SIDE ($\overline{ENTA}$)
- ENABLE RECEIVER B-SIDE ($\overline{ENTB}$)

Figure 25. MAX249 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX222CPN	0°C to +70°C	18 Plastic DIP
MAX222CWN	0°C to +70°C	18 Wide SO
MAX222C/D	0°C to +70°C	Dice*
MAX222EPN	-40°C to +85°C	18 Plastic DIP
MAX222EWN	-40°C to +85°C	18 Wide SO
MAX222EJN	-40°C to +85°C	18 CERDIP
MAX222MJN	-55°C to +125°C	18 CERDIP
MAX223CAI	0°C to +70°C	28 SSOP
MAX223CWI	0°C to +70°C	28 Wide SO
MAX223C/D	0°C to +70°C	Dice*
MAX223EAI	-40°C to +85°C	28 SSOP
MAX223EWI	-40°C to +85°C	28 Wide SO
MAX225CWI	0°C to +70°C	28 Wide SO
MAX225EWI	-40°C to +85°C	28 Wide SO
MAX230CPP	0°C to +70°C	20 Plastic DIP
MAX230CWP	0°C to +70°C	20 Wide SO
MAX230C/D	0°C to +70°C	Dice*
MAX230EPP	-40°C to +85°C	20 Plastic DIP
MAX230EWP	-40°C to +85°C	20 Wide SO
MAX230EJP	-40°C to +85°C	20 CERDIP
MAX230MJP	-55°C to +125°C	20 CERDIP
MAX231CPD	0°C to +70°C	14 Plastic DIP
MAX231CWE	0°C to +70°C	16 Wide SO
MAX231CJD	0°C to +70°C	14 CERDIP
MAX231C/D	0°C to +70°C	Dice*
MAX231EPD	-40°C to +85°C	14 Plastic DIP
MAX231EWE	-40°C to +85°C	16 Wide SO
MAX231EJD	-40°C to +85°C	14 CERDIP
MAX231MJD	-55°C to +125°C	14 CERDIP
MAX232CPE	0°C to +70°C	16 Plastic DIP
MAX232CSE	0°C to +70°C	16 Narrow SO
MAX232CWE	0°C to +70°C	16 Wide SO
MAX232C/D	0°C to +70°C	Dice*
MAX232EPE	-40°C to +85°C	16 Plastic DIP
MAX232ESE	-40°C to +85°C	16 Narrow SO
MAX232EWE	-40°C to +85°C	16 Wide SO
MAX232EJE	-40°C to +85°C	16 CERDIP
MAX232MJE	-55°C to +125°C	16 CERDIP
MAX232MLP	-55°C to +125°C	20 LCC
MAX232ACPE	0°C to +70°C	16 Plastic DIP
MAX232ACSE	0°C to +70°C	16 Narrow SO
MAX232ACWE	0°C to +70°C	16 Wide SO
MAX232AC/D	0°C to +70°C	Dice*
MAX232AEPE	-40°C to +85°C	16 Plastic DIP
MAX232AESE	-40°C to +85°C	16 Narrow SO
MAX232AEWE	-40°C to +85°C	16 Wide SO
MAX232AEJE	-40°C to +85°C	16 CERDIP
MAX232AMJE	-55°C to +125°C	16 CERDIP
MAX232AMLP	-55°C to +125°C	20 LCC
MAX233CPP	0°C to +70°C	20 Plastic DIP
MAX233EPP	-40°C to +85°C	20 Plastic DIP
MAX233ACPP	0°C to +70°C	20 Plastic DIP
MAX233ACWP	0°C to +70°C	20 Wide SO
MAX233AEPP	-40°C to +85°C	20 Plastic DIP
MAX233AEWP	-40°C to +85°C	20 Wide SO
MAX234CPE	0°C to +70°C	16 Plastic DIP
MAX234CWE	0°C to +70°C	16 Wide SO
MAX234C/D	0°C to +70°C	Dice*
MAX234EPE	-40°C to +85°C	16 Plastic DIP
MAX234EWE	-40°C to +85°C	16 Wide SO
MAX234EJE	-40°C to +85°C	16 CERDIP
MAX234MJE	-55°C to +125°C	16 CERDIP
MAX235CPG	0°C to +70°C	24 Wide Plastic DIP
MAX235EPG	-40°C to +85°C	24 Wide Plastic DIP
MAX235EDG	-40°C to +85°C	24 Ceramic SB
MAX235MDG	-55°C to +125°C	24 Ceramic SB
MAX236CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX236CWG	0°C to +70°C	24 Wide SO
MAX236C/D	0°C to +70°C	Dice*
MAX236ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX236EWG	-40°C to +85°C	24 Wide SO
MAX236ERG	-40°C to +85°C	24 Narrow CERDIP
MAX236MRG	-55°C to +125°C	24 Narrow CERDIP
MAX237CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX237CWG	0°C to +70°C	24 Wide SO
MAX237C/D	0°C to +70°C	Dice*
MAX237ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX237EWG	-40°C to +85°C	24 Wide SO
MAX237ERG	-40°C to +85°C	24 Narrow CERDIP
MAX237MRG	-55°C to +125°C	24 Narrow CERDIP
MAX238CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX238CWG	0°C to +70°C	24 Wide SO
MAX238C/D	0°C to +70°C	Dice*
MAX238ENG	-40°C to +85°C	24 Narrow Plastic DIP

** Contact factory for dice specifications.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX238EWG	-40°C to +85°C	24 Wide SO
MAX238ERG	-40°C to +85°C	24 Narrow CERDIP
MAX238MRG	-55°C to +125°C	24 Narrow CERDIP
MAX239CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX239CWG	0°C to +70°C	24 Wide SO
MAX239C/D	0°C to +70°C	Dice*
MAX239ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX239EWG	-40°C to +85°C	24 Wide SO
MAX239ERG	-40°C to +85°C	24 Narrow CERDIP
MAX239MRG	-55°C to +125°C	24 Narrow CERDIP
MAX240CMH	0°C to +70°C	44 Plastic FP
MAX240C/D	0°C to +70°C	Dice*
MAX241CAI	0°C to +70°C	28 SSOP
MAX241CWI	0°C to +70°C	28 Wide SO
MAX241C/D	0°C to +70°C	Dice*
MAX241EAI	-40°C to +85°C	28 SSOP
MAX241EWI	-40°C to +85°C	28 Wide SO
MAX242CAP	0°C to +70°C	20 SSOP
MAX242CPN	0°C to +70°C	18 Plastic DIP
MAX242CWN	0°C to +70°C	18 Wide SO
MAX242C/D	0°C to +70°C	Dice*
MAX242EPN	-40°C to +85°C	18 Plastic DIP
MAX242EWN	-40°C to +85°C	18 Wide SO
MAX242EJN	-40°C to +85°C	18 CERDIP
MAX242MJN	-55°C to +125°C	18 CERDIP
MAX243CPE	0°C to +70°C	16 Plastic DIP
MAX243CSE	0°C to +70°C	16 Narrow SO
MAX243CWE	0°C to +70°C	16 Wide SO
MAX243C/D	0°C to +70°C	Dice*
MAX243EPE	-40°C to +85°C	16 Plastic DIP
MAX243ESE	-40°C to +85°C	16 Narrow SO
MAX243EWE	-40°C to +85°C	16 Wide SO
MAX243EJE	-40°C to +85°C	16 CERDIP
MAX243MJE	-55°C to +125°C	16 CERDIP
MAX244CQH	0°C to +70°C	44 PLCC
MAX244C/D	0°C to +70°C	Dice*
MAX244EQH	-40°C to +85°C	44 PLCC
MAX245CPL	0°C to +70°C	40 Plastic DIP
MAX245C/D	0°C to +70°C	Dice*
MAX245EPL	-40°C to +85°C	40 Plastic DIP
MAX246CPL	0°C to +70°C	40 Plastic DIP
MAX246C/D	0°C to +70°C	Dice*
MAX246EPL	-40°C to +85°C	40 Plastic DIP
MAX247CPL	0°C to +70°C	40 Plastic DIP
MAX247C/D	0°C to +70°C	Dice*
MAX247EPL	-40°C to +85°C	40 Plastic DIP
MAX248CQH	0°C to +70°C	44 PLCC
MAX248C/D	0°C to +70°C	Dice*
MAX248EQH	-40°C to +85°C	44 PLCC
MAX249CQH	0°C to +70°C	44 PLCC
MAX249EQH	-40°C to +85°C	44 PLCC

** Contact factory for dice specifications.*

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 2000 Maxim Integrated Products Printed USA ***MAXIM*** is a registered trademark of Maxim Integrated Products.

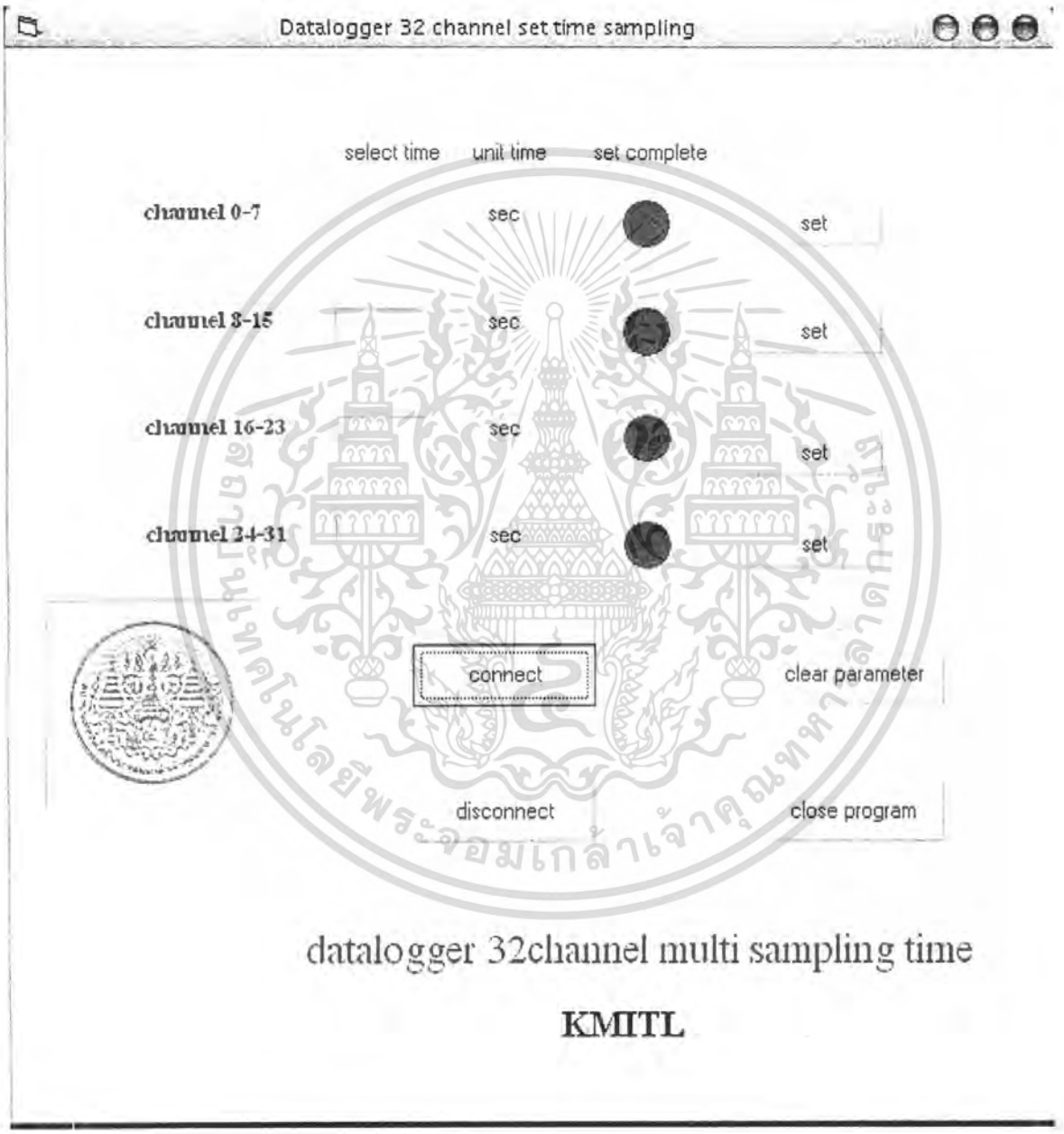
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.
การใช้งานโปรแกรมตั้งค่าเวลาสุ่มเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานโปรแกรมตั้งค่าเวลาสุ่มเก็บข้อมูล

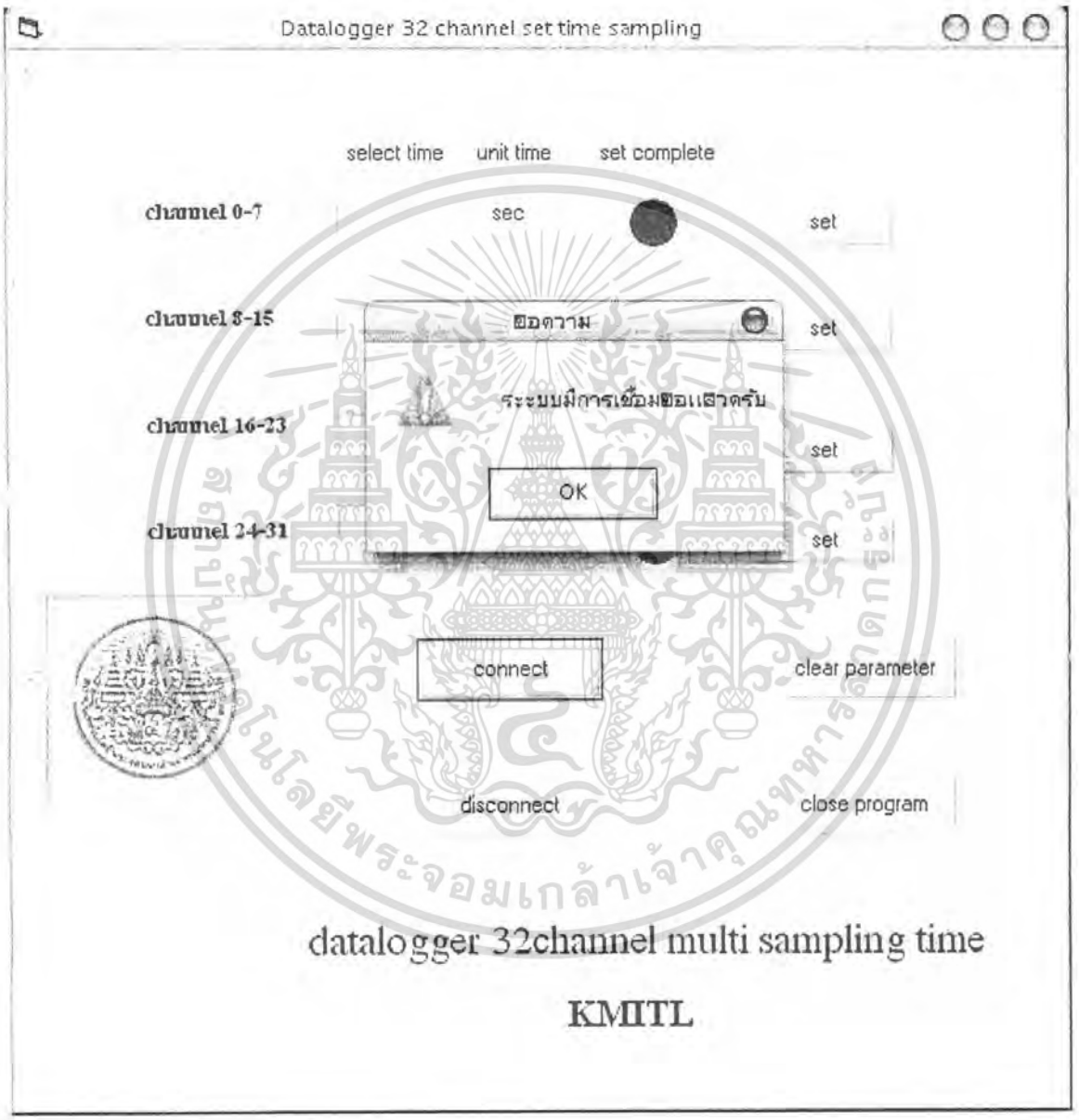
1. เมื่อทำการเชื่อมต่อเครื่องเข้ากับคอมพิวเตอร์โดยผ่านทางพอรต์อนุกรมพร้อมทั้งเปิดโปรแกรมใช้งานจะปรากฏหน้าจอ User interface ดังรูป 1



รูปที่ 1 หน้าจอหลักของ User interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

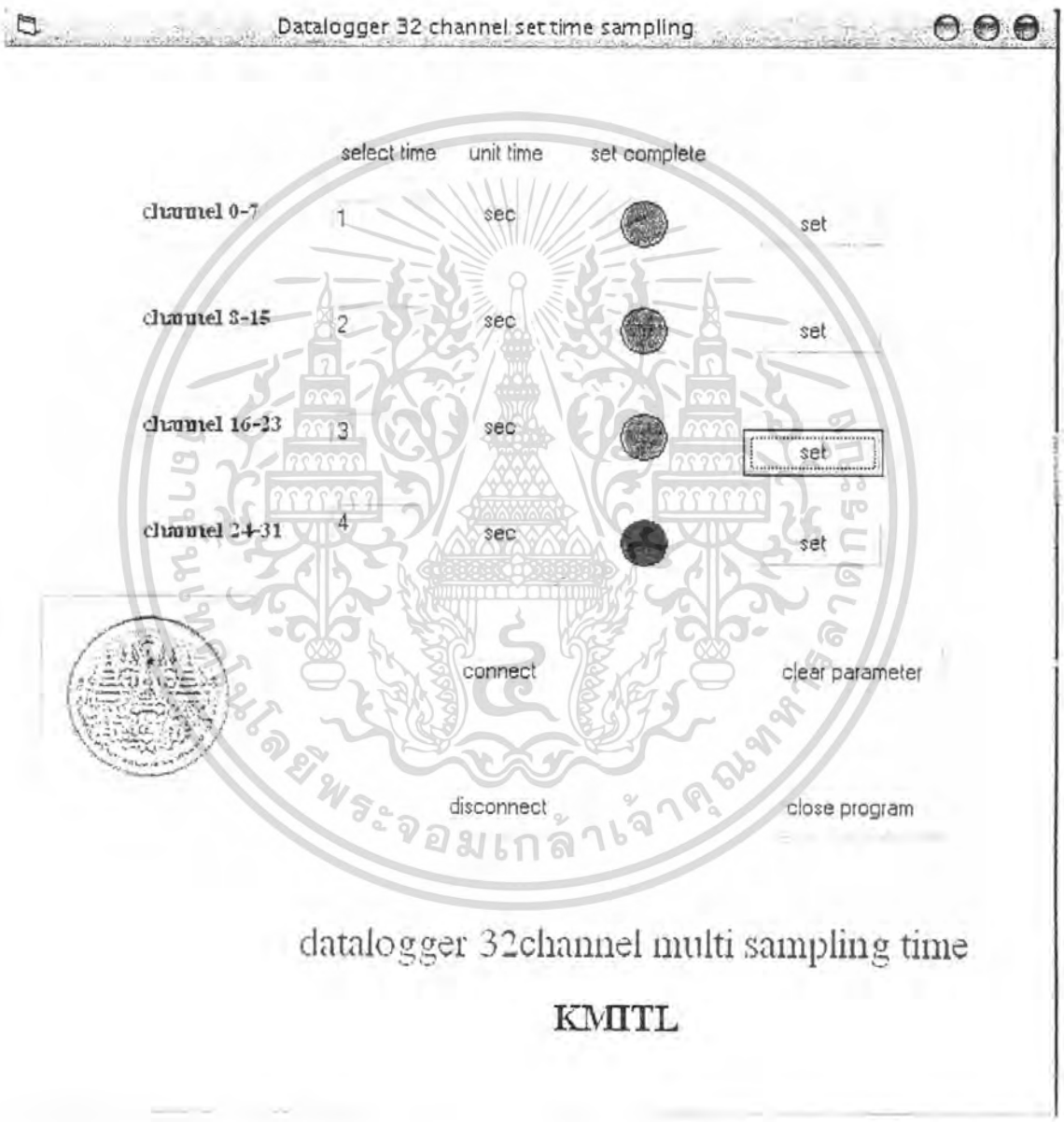
2. ให้ทำการเชื่อมต่อระหว่างเครื่องกับโปรแกรมที่จะตั้งค่าเวลาการสุ่มเก็บค่าโดยกดที่ปุ่ม Connect เมื่อเครื่องมีการรับรู้ การเชื่อมต่อจะปรากฏหน้าต่างแจ้งเตือนดังรูป 2 ถ้ามีการเชื่อมต่อสมบูรณ์แล้วการยกเลิกการเชื่อมต่อสามารถยกเลิกโดยการกดปุ่ม Disconnect ก็จะมีการแสดงหน้าต่างเจ้งการยกเลิกการเชื่อมต่อเช่นเดียวกัน



รูปที่ 2 การเชื่อมต่อโปรแกรมตั้งค่าเวลาสุ่มเก็บข้อมูลกับดาต้าล็อกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในการตั้งค่าเวลาสุ่มเก็บค่า ให้ใส่ค่าเวลาที่ต้องการสุ่มลงในช่อง Select time โดยมีค่าอยู่ที่ระหว่าง 1-3600 วินาที จากนั้นกดปุ่ม Set ถ้ามีการตอบรับดวงไฟสีแดงจะกลายเป็นสีเขียวดังรูป 3 แสดงว่ามีการตั้งค่าสมบูรณ์ ให้ทำซ้ำแบบนี้ให้ครบทุกช่อง หากมีความต้องการตั้งค่าเวลาใหม่ให้กดปุ่ม Clear parameter หลอดที่แสดงสถานะจะกลายเป็นสีแดงจากนั้น แล้วทำ การ Reset คาต้าล็อกเกอร์ แล้วทำซ้ำตามขั้นตอนที่กล่าวมาเพื่อตั้งค่าเวลาใหม่อีกครั้ง



รูปที่ 3 แสดงการตั้งค่าเวลาลงบนดาต้าล็อกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้