สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

Security System by CCTV

โดย

นาย จาตุรงค์ ขัติยศ

นาย ธีระวุฒิ โพธิ์สุวรรณ

นาย สมยศ สนโสม

วศ.
ว 2975
2550
เลขหมู่.....
เลขทะเบียน 83011
วัน,เดือน,ปี 30 ก.ค. 2551

b 11958029
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

Security System by CCTV

โดย

นาย จาตุรงค์ ขัติยศ 48015243

นาย ธีระวุฒิ โพธิ์สุวรรณ 48015253

นาย สมยศ สนโสม 48015273

อาจารย์ที่ปรึกษา

อาจารย์ ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2550

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

ผู้จัดทำ

นาย จาตุรงค์ ขัติยศ 48015243

นาย ธีระวุฒิ โพธิ์สุวรรณ 48015253

นาย สมยศ สนโสม 48015273

..... อาจารย์ที่ปรึกษา

(อาจารย์ ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

SECURITY SYSTEM BY CCTV

ผู้จัดทำ

นาย จาตุรงค์ ขัติยศ 48015243

นาย ธีระวุฒิ โพธิ์สุวรรณ 48015253

นาย สมยศ สนโสม 48015273

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

..... อาจารย์ที่ปรึกษา

(อาจารย์ ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

นาย จาตุรงค์ ขัติยศ รหัส 48015243
นาย ธีระวุฒิ โพธิ์สุวรรณ รหัส 48015253
นาย สมยศ สนโสม รหัส 48015273
อาจารย์ ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอระบบรักษาความปลอดภัย ด้วยการประมวลสัญญาณภาพ จากกล้องวีดีโอวงจรปิด สัญญาณภาพที่ได้จากกล้องวีดีโอวงจรปิดซึ่งเป็นสัญญาณอนาล็อก นำมาแปลงให้เป็นสัญญาณดิจิตอล แล้วเก็บลงในหน่วยความจำ หลังจากนั้นจะนำข้อมูลภาพที่เก็บไว้ในหน่วยความจำไปแสดงผลเป็นภาพ และนำข้อมูลภาพที่เก็บไว้ในหน่วยความจำไประมวลผลทำการเปรียบเทียบหาความแตกต่างของภาพโดยใช้ เอฟพีจีเอเปรียบเทียบข้อมูลที่ต่อเนื่องกัน ถ้าหากภาพทั้งสองมีความแตกต่างกันกว่าที่กำหนดแสดงว่ามีความผิดปกติของเหตุการณ์เกิดขึ้นระบบจะส่งสัญญาณเตือนให้ผู้ใช้งานทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SECURITY SYSTEM BY CCTV

Mr. Jaturong Khuttiyot ID 48015243

Mr. Teerawoot Posuwan ID 48015253

Mr. Somyot Sonsom ID 48015273

Mr. Chinnapat Nantajiwakornchai Advisor

Education Year 2007

ABSTRACT

This project presents the indoor security system using image from a video camera . The system received signal from video camera and converted into digital format and then are stored into RAM . After that, the image data in RAM are shown and processed by FPGA . In the process, if the differences of 2 continuous by captures are more than the setting value it means something wrong happens. The system will be sent an alert to a user.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ทั้งนี้ ต้องขอขอบพระคุณ อาจารย์ ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา เป็นอย่างสูง ที่คอยปรึกษาและคำแนะนำที่เป็นประโยชน์ต่างๆ ในโครงงานรวมทั้งตรวจแก้ไขข้อบกพร่อง ทำให้โครงงานสำเร็จลุล่วงไปได้ด้วยดีและขอขอบพระคุณบิดามารดาที่ให้กำลังใจ ขอบพระคุณท่านอาจารย์ทุกท่านที่ได้ถ่ายทอดแนะแนวทางการศึกษา ขอบพระคุณ พี่ๆ เพื่อนๆ น้องๆ และผู้เกี่ยวข้องทุกคนที่ให้กำลังใจ ให้คำปรึกษาและการช่วยเหลือจนกระทั่งปริญญานิพนธ์เสร็จสมบูรณ์ได้

จัดทำโดย

นาย จาตุรงค์ ขัติยศ

นาย ธีระวุฒิ โพธิ์สุวรรณ

นาย สมยศ สนโสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VII
บทที่1 บทนำ	1
1.1 วัตถุประสงค์	1
1.2 ขอบเขตของโครงงาน	2
1.3 ขั้นตอนการดำเนินโครงงาน	2
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 กล้องวงจรปิด	4
2.I.1 อุปกรณ์ที่ใช้ในระบบกล้องวงจรปิด	4
2.I.2 ประโยชน์การใช้งานระบบกล้องวงจรปิด	5
2.1.3 ระบบกล้องวงจรปิด	5
2.1.4 การทำงานของกล้องวงจรปิด	5
2.2 องค์ประกอบภาพ	7
2.3 การสแกน	9
2.4 ลักษณะของสัญญาณภาพ	I5
2.4.1 สัญญาณภาพขาวดำ	I8
2.4.2 สัญญาณแบลงกิ้ง	19
2.4.3 สัญญาณซิงโครไนซ์	19
2.4.3 สัญญาณอีควอไลซิ่ง	20
2.5 การเปลี่ยนเปลงข้อมูลจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	22
2.5.I การสุ่ม(Sampling)	22
2.5.2 การควอนไตซ์(Quantization)	23
2.5.3 แฟลชคอนเวอเตอร์(Flash Converter)	24
บทที่ 3 เอฟพีจีเอ	25
3.1 เอฟพีจีเอ(FPGA:Field Programmable Gate Array)	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.1.1 เทคโนโลยีเอฟพีจีเอ	6
3.1.2 ทำไมการออกแบบถึงทำได้ง่ายและสะดวกรวดเร็ว	29
3.2 การออกแบบวงจดิจิตอลโดยการวาดวงจร(Schematic)	30
3.3 การออกแบบวงดิจิตอลโดยภาษาอธิบายพฤติกรรมของฮาร์ดแวร์(VHDL)	30
3.3.1 ข้อกำหนดของภาษาวีเอชดีแอล	31
3.3.2 องค์ประกอบพื้นฐานของวีเอชดีแอล	32
3.3.3 โปรเซส	39
3.4 ขั้นตอนการออกแบบเอฟพีจีเอ	43
3.4.1 การสร้างข้อกำหนดของการออกแบบ(Design Specification)	45
3.4.2 จำลองการทำงานโมเดลวงจรระดับอาร์ทีแอล(RTL Simmulation)	45
3.4.3 สังเคราะห์และออปติไมซ์วงจร(Synthesis & Optimization)	45
3.4.4 การจำลองการทำงานของวงจรระดับลอกจิกเกต(Gate Level Simulation)	45
3.4.5 การวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ(Place & Route)	46
3.4.6 การจำลองการทำงานระดับฐานเวลาจริง(Timing Simulation)	46
3.4.7 โปรแกรมลงสู่ชิพ(Download to Device)	46
บทที่ 4 AT89C4051 ไมโครคอนโทรลเลอร์	47
4.1 คุณสมบัติของไมโครคอนโทรลเลอร์ MCS-51 อนุกรม AT89C×051	47
4.2 การจัดขาของไมโครคอนโทรลเลอร์ AT89C×051	48
4.3 โครงสร้างและการทำงานของพอร์ท	50
4.4 การใช้งานเป็นพอร์ตอินพุต	52
4.5 การใช้งานเป็นพอร์ตเอาต์พุต	53
4.6 การอ่านค่าลอจิกจากพอร์ต	54
4.7 จังหวะการทำงานของไมโครคอนโทรลเลอร์ AT89C×051	54
4.8 การอินเตอร์รัปต์จากสัญญาณภายนอกของไมโครคอนโทรลเลอร์ AT89Cx051	55
4.8.1 ความรู้ที่ควรทราบ	55
4.8.2 รีจิสเตอร์ที่เกี่ยวข้องกับการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์	55
4.8.3 การเข้าถึงรีจิสเตอร์เพื่อกำหนดการตอบสนองอินเตอร์รัปต์	57
4.9 การเขียนโปรแกรมย่อยบริการอินเตอร์รัปต์	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.9.1 การประกาศฟังก์ชั่นตอบสนองอินเตอร์รัปต์	58
4.10 การใช้งานไทเมอร์ภายในไมโครคอนโทรลเลอร์ AT89Cx051	60
4.10.1 การทำงานเป็นไทเมอร์	60
4.10.2 รีจิสเตอร์ที่เกี่ยวข้องกับการทำงานของไทเมอร์ /เคาน์เตอร์ 0และ 1	60
4.10.3 โหมดการทำงานของไทเมอร์/เคาน์เตอร์ 0 และ 1	63
บทที่ 5 การออกแบบและการจำลองการทำงานของวงจร	71
5.1 หลักการเบื้องต้น	71
5.2 การออกแบบและการทำงาน	71
5.2.1 การทำงานของวงจรแยกสัญญาณซิงค์	72
5.2.2 การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	73
5.2.3 การทำงานของวงจรกำเนิดสัญญาณความถี่สูง	74
5.2.4 การทำงานของวงจรส่วนหน่วยความจำภาพ	75
5.2.5 การทำงานของวงจรหารความถี่	78
5.2.6 การทำงานของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ	78
5.2.7 การทำงานของวงจรเริ่มเก็บภาพและหยุดเก็บภาพ	79
5.2.8 การทำงานของวงจรนับ 15 บิท	80
5.2.9 การทำงานของวงจรเลือกภาพ	80
5.2.10 การทำงานของวงจรเปรียบเทียบสัญญาณภาพ	81
5.2.11 การทำงานของวงจรนำข้อมูลภาพส่งไปยังคอมพิวเตอร์	82
5.2.12 การทำงานของวงจรควบคุมการทำงาน	83
บทที่ 6 การทดลองการทำงานของวงจร	88
6.1 การวัดสัญญาณที่จุดต่างๆ	88
6.1.1 สัญญาณที่ได้จากกล้องโทรทัศน์วงจรปิด	88
6.1.2 สัญญาณที่ได้จากวงจรแยกซิงค์	89
6.1.3 สัญญาณที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	90
6.1.4 สัญญาณที่ได้จากวงจรหารความถี่	92
6.1.5 การเริ่มต้นการเก็บภาพ	93
6.1.6 การหยุดการเก็บภาพ	95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
6.1.7 การสุ่มสัญญาณภาพ	96
6.1.8 การเก็บภาพลงในหน่วยความจำ	97
6.1.9 การอ่านข้อมูลจากหน่วยความจำและการเปรียบเทียบภาพ	97
6.2 ส่วนแสดงการทำงานจริงของวงจร	99
6.3 การนำข้อมูลในหน่วยความจำมาแสดงผล	103
6.4 รูปผลงาน	105
บทที่ 7 สรุปและวิจารณ์ผลการทดลอง	106
7.1 การจำลองการทำงานของวงจร	106
7.2 การวัดสัญญาณที่จุดต่างๆ	106
7.3 การทำงานจริงของวงจร	107
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้องCCTV	3
รูปที่ 2.1 หลอดวีดีคอน	6
รูปที่ 2.2 ความคมชัดของภาพในขนาดต่องๆ	6
รูปที่ 2.3 องค์ประกอบภาพที่เอาเฉพาะพิคเซลไปใช้งาน	8
รูปที่ 2.4 แสดงวิธีเบื้องต้นของการสแกน	9
รูปที่ 2.5 รายละเอียดการสแกนสลับเส้น(Interlaced Scanning)หรือแบบสอดแทรก	10
รูปที่ 2.6 รายละเอียดการสแกนสลับเส้นหรือแบบสอดแทรกระบบ CCIR	11
รูปที่ 2.7 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่งภาพเป็น 2 ฟิลด์	14
รูปที่ 2.8 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวนอน	15
รูปที่ 2.9 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวตั้ง	15
รูปที่ 2.10 แสดงความสัมพันธ์ระหว่างสัญญาณทางด้านแนวนอนและแนวตั้ง	16
รูปที่ 2.11 เวลาในการสุ่มสำหรับการสแกนแนวนอนของสัญญาณคอมโพสิทวีดีโอ	17
รูปที่ 2.12 แสดงระดับสัญญาณขาวดำ โดยเกรย์สเกล(Gray Scale)	18
รูปที่ 2.13 ลักษณะของสัญญาณภาพรวมเบื้องต้น	20
รูปที่ 2.14 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง	21
รูปที่ 2.15 แสดงระนาบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	21
รูปที่ 2.16 ฟังก์ชันการสุ่มสองมิติ	22
รูปที่ 2.17 วงจรแฟลชคอนเวอร์เตอร์(Flash Converter)	24
รูปที่ 3.1 แสดงผังการแบ่งกลุ่ม ของวงจรรวม ASIC	25
รูปที่ 3.2 โครงสร้างภายในของเอฟพีจีเอ ตระกูล FLEX10X	27
รูปที่ 3.3 ชิพเอฟพีจีเอในตระกูล FLEX10X	28
รูปที่ 3.4 แสดงกระบวนการออกแบบ	29
รูปที่ 3.5 การออกแบบวงจร BCD to 7-SEGMENT ด้วยการวาดวงจร	30
รูปที่ 3.6 การกำหนดการเชื่อมต่อและสถาปัตยกรรม	33
รูปที่ 3.7 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ Clock_component	34
รูปที่ 3.8 การบรรยายเชิงพฤติกรรมของ Clock_component	34
รูปที่ 3.9 โครงสร้างทั่วไปของส่วนการประกาศแพ็คเกจ	35
รูปที่ 3.10 โครงสร้างของบอดี้แพ็คเกจ	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 3.11 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ	36
รูปที่ 3.12 การใช้โพรซีเจอร์	37
รูปที่ 3.13 การใช้ฟังก์ชัน	37
รูปที่ 3.14 ตัวดำเนินการในวีเอชดีแอล	38
รูปที่ 3.15 รูปแบบของการบรรยายแบบโปรเซส	39
รูปที่ 3.16 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส	40
รูปที่ 3.17 การกระทำในโปรเซส	40
รูปที่ 3.18 เงื่อนไขการกระทำในโปรเซส	41
รูปที่ 3.19 (a) ตัวอย่างโมเดล D-FLIP FLOP	42
(b) การบรรยายการเชื่อมต่อของ D- FLIP FLOP	42
รูปที่ 3.20 การบรรยายเชิงพฤติกรรมของ D-FLIP FLOP	
(a) การใช้ตัวกระทำนอกโปรเซส	42
(b) การใช้ตัวกระทำภายในโปรเซส	43
รูปที่ 3.21 การออกแบบระบบดิจิตอล	44
รูปที่ 3.22 ขั้นตอนการออกแบบวงจรด้วย FPGA	44
รูปที่ 3.23 การโปรแกรมลงชิพ	46
รูปที่ 4.1 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรม AT89C×051	48
รูปที่ 4.2 รายละเอียดโครงสร้างและหลักการจัดขาของไมโครคอนโทรลเลอร์ AT89C×051 ของ Atmel	50
รูปที่ 4.3 วงจรภายในของพอร์ต 1 ในไมโครคอนโทรลเลอร์ AT89C×051	51
รูปที่ 4.4 วงจรพูลอัพภายในพอร์ต 1 และ 3 ของไมโครคอนโทรลเลอร์ AT89C×051	51
รูปที่ 4.5 วงจรภายในของพอร์ต 3 ในไมโครคอนโทรลเลอร์ AT89C×051	52
รูปที่ 4.6 แสดงการขับโหลดในลักษณะกระแสซิงก์ของขาพอร์ตของไมโครคอนโทรลเลอร์	53
รูปที่ 4.7 ไดอะแกรมการทำงานในโหมด 0 และ ของไทเมอร์ 1	63
รูปที่ 4.8 ไดอะแกรมการทำงานในโหมด 1 ไทเมอร์ 1	64
รูปที่ 4.9 ไดอะแกรมการทำงานในโหมด 2 ของไทเมอร์ 1	65
รูปที่ 4.10ไดอะแกรมการทำงานในโหมด 3 ของไทเมอร์ 0	66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 5.1 วงจรแยกสัญญาณซิงค์	72
รูปที่ 5.2 (a) สัญญาณภาพรวม (b) สัญญาณซิงค์รวม (c) สัญญาณเวอร์ติคอล	72
(d) สัญญาณฟิลด์คู่/ฟิลด์คี่ (e) สัญญาณเบิร์ส	72
รูปที่ 5.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ใช้ไอซี เบอร์ TDA 8708A	73
รูปที่ 5.4 ไทม์มิ่งไดอะแกรมของข้อมูล	74
รูปที่ 5.5 วงจรกำเนิดสัญญาณความถี่สูง	74
รูปที่ 5.6 วงจรส่วนหน่วยความจำที่ใช้ไอซี เบอร์ UT 621024	75
รูปที่ 5.7 ไทม์มิ่งไดอะแกรมของการเขียนข้อมูลลงในหน่วยความจำ	76
รูปที่ 5.8 ไทม์มิ่งไดอะแกรมของการอ่านข้อมูลออกจากหน่วยความจำ	77
รูปที่ 5.9 วงจรหารความถี่	78
รูปที่ 5.10 สัญญาณของวงจรหารความถี่ที่ได้จากการทดลองการทำงาน	78
รูปที่ 5.11 วงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ	78
รูปที่ 5.12 สัญญาณของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ	79
รูปที่ 5.13วงจรเริ่มเก็บภาพ	79
รูปที่ 5.14 วงจรหยุดภาพ	79
รูปที่ 5.15 สัญญาณของวงจรเริ่มเก็บภาพและหยุดภาพ	79
รูปที่ 5.16 วงจรนับ 15 บิท	80
รูปที่ 5.17 สัญญาณของวงจรนับ 15 บิท	80
รูปที่ 5.18 วงจรเลือกภาพ	80
รูปที่ 5.19 สัญญาณของวงจรเลือกภาพ	81
รูปที่ 5.20 วงจรเปรียบเทียบสัญญาณภาพ	81
รูปที่ 5.21 สัญญาณของวงจรเปรียบเทียบสัญญาณภาพ	81
รูปที่ 5.22 วงจรส่งข้อมูลภาพ	82
รูปที่ 5.23 สัญญาณของวงจรส่งข้อมูลภาพ	82
รูปที่ 5.24 วงจรควบคุมการทำงานที่ออกแบบใน FPGA	84
รูปที่ 5.20 สัญญาณของวงจรควบคุมการทำงาน	85
รูปที่ 5.26 วงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV	86
รูปที่ 5.27 วงจรส่งข้อมูลภาพผ่านพอร์ตอนุกรม	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 6.1 (a) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีความสว่างน้อย	88
(b) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีความสว่างมาก	88
รูปที่ 6.2 สัญญาณซิงค์ที่แยกจากสัญญาณภาพรวม	89
รูปที่ 6.3 สัญญาณจากกล้องวงจรปิดกับสัญญาณที่ขา 19 ของ TDA 8708A	90
รูปที่ 6.4 สัญญาณของวงจรแปลงอนาลอกเป็นดิจิตอลจากการแซมปิ้งด้วยความถี่ 2 เมกะเฮิร์ท	91
รูปที่ 6.5 สัญญาณหารความถี่ที่ออกแบบในเอฟพีจีเอ	92
รูปที่ 6.6 สัญญาณต่างๆ ของการเริ่มต้นการทำงาน	93
รูปที่ 6.7 สัญญาณควบคุมการเริ่มต้นการทำงาน	94
รูปที่ 6.8 สัญญาณควบคุมการหยุดการทำงาน	95
รูปที่ 6.9 สัญญาณของการสุ่มสัญญาณภาพ	96
รูปที่ 6.10 สัญญาณการเขียนข้อมูลลงในหน่วยความจำ	97
รูปที่ 6.11 สัญญาณการอ่านข้อมูลภาพจากหน่วยความจำ	98
รูปที่ 6.12 การอ่านข้อมูลภาพจากหน่วยความจำไปเก็บในเอฟพีจีเอและการเปรียบเทียบ	99
รูปที่ 6.13 การจำลองสถานการณ์การทดลอง	100
รูปที่ 6.14 การเปรียบเทียบขนาดของสุนัขและคน	101
รูปที่ 6.15 ภาพตัวละครสุนัขที่เข้ามาในฉาก	101
รูปที่ 6.16 ภาพตัวละครคนที่เข้ามาในฉาก	102
รูปที่ 6.17 คำสั่งในการบันทึกข้อมูลที่รับมาจากพอร์ตอนุกรม	103
รูปที่ 6.18 ไฟล์ข้อมูลที่บันทึกได้จากพอร์ตอนุกรม	103
รูปที่ 6.19 ภาพที่ได้จากการนำข้อมูลฉากสีดำมาจัดเรียงโดยใช้ MATH LAB	104
รูปที่ 6.20 ภาพที่ได้จากการนำข้อมูลฉากสีขาวมาจัดเรียงโดยใช้ MATH LAB	104
รูปที่ 6.21 (a) แสดงมุมมองด้านบนของผลงาน	105
(b) แสดงมุมมองด้านหน้าของผลงาน	105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันระบบตรวจตราความปลอดภัยเป็นระบบที่ได้รับความนิยมมาก โดยระบบตรวจตราความปลอดภัยสามารถแบ่งได้เป็น 2 ระบบคือ ระบบตรวจตราความปลอดภัยแบบอนาล็อก (Analog) อาจจะเป็นการมองภาพผ่านกล้องวงจรปิดธรรมดาโดยไม่มีการนำภาพมาประมวลผลแต่อย่างไร และระบบตรวจตราความปลอดภัยแบบดิจิตอล(Digital) ระบบตรวจตราความปลอดภัยแบบดิจิตอลโดยทั่วไป จะมีการส่งข้อมูลภาพไปเก็บไว้ที่คอมพิวเตอร์ที่มีการติดตั้งโปรแกรมที่เหมาะสมสำหรับระบบที่มีขนาดเล็ก และอาจเป็น server สำหรับระบบที่มีขนาดใหญ่ ดังที่ได้ทราบแล้วว่าระบบตรวจตราความปลอดภัยแบบดิจิตอล เป็นระบบที่มีศักยภาพสูงในการสืบค้นข้อมูล ทำให้การใช้งานมีความแพร่หลายมากยิ่งขึ้นกว่าในอดีต อย่างไรก็ตามทั้ง 2 แบบต้องใช้ผู้เชี่ยวชาญในการดูแลระบบและติดตั้งโปรแกรมใช้งานที่เหมาะสมให้กับระบบ ซึ่งงานการดูแลและติดตั้งเหล่านี้อาจเป็นปัญหาใหญ่สำหรับผู้ที่ไม่มีความเชี่ยวชาญ

ดังนั้นเพื่อเป็นการอำนวยความสะดวกสำหรับผู้ที่ต้องการติดตั้งระบบในการตรวจตราความปลอดภัยให้สามารถใช้งานระบบได้อย่างง่ายดาย โดยใช้อุปกรณ์ระบบกล้องวงจรปิด โดยเมื่อเกิดเหตุการณ์ผิดปกติของภาพเกิดขึ้นเกินกว่าที่กำหนดไว้ระบบจะทำการเตือนผู้ใช้งานทันที หลักการณ์ทำงานในเบื้องต้นนั้นจะนำสัญญาณภาพจากกล้องวงจรปิด (CCTV) มาทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog Digital Converter) แล้วนำสัญญาณที่ได้ไปเก็บไว้ในหน่วยความจำ (Memory RAM) หลังจากนั้นจะนำสัญญาณที่เก็บไว้ไปประมวลผล โดยใช้เอฟพีจีเอ เพื่อหาการเปลี่ยนแปลงของภาพ ถ้าภาพนั้นมีการเปลี่ยนแปลงหรือมีคนเข้ามาอยู่ในห้องวงจรที่ออกแบบในเอฟพีจีเอก็จะส่งสัญญาณเตือนให้ผู้ใช้งานระบบรักษาความปลอดภัยทราบ

1.1 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาการทำงานของกล้องวงจรปิด
2. เพื่อศึกษาการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ การแปลงสัญญาณภาพจากสัญญาณอนาล็อกเป็นดิจิตอล และการต่อวงจรกำเนิดความถี่สูง
3. เพื่อศึกษาการเก็บข้อมูลลงในหน่วยความจำ และการระบุตำแหน่งของหน่วยความจำ
4. เพื่อการประยุกต์ใช้งานกล้องวีดีโอ ผ่านระบบรักษาความปลอดภัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เพื่อศึกษาและเรียนรู้การใช้งานโปรแกรม Quartus II ในการสร้างวงจรทางลอจิกด้วยภาษาวีเอชดีแอล (VHDL) และสามารถสังเคราะห์วงจรที่สร้างขึ้นมาได้
6. เพื่อศึกษาและประยุกต์ใช้งานเอฟพีจีเอในการสร้างวงจรทางลอจิก

1.2 ขอบเขตของโครงงาน

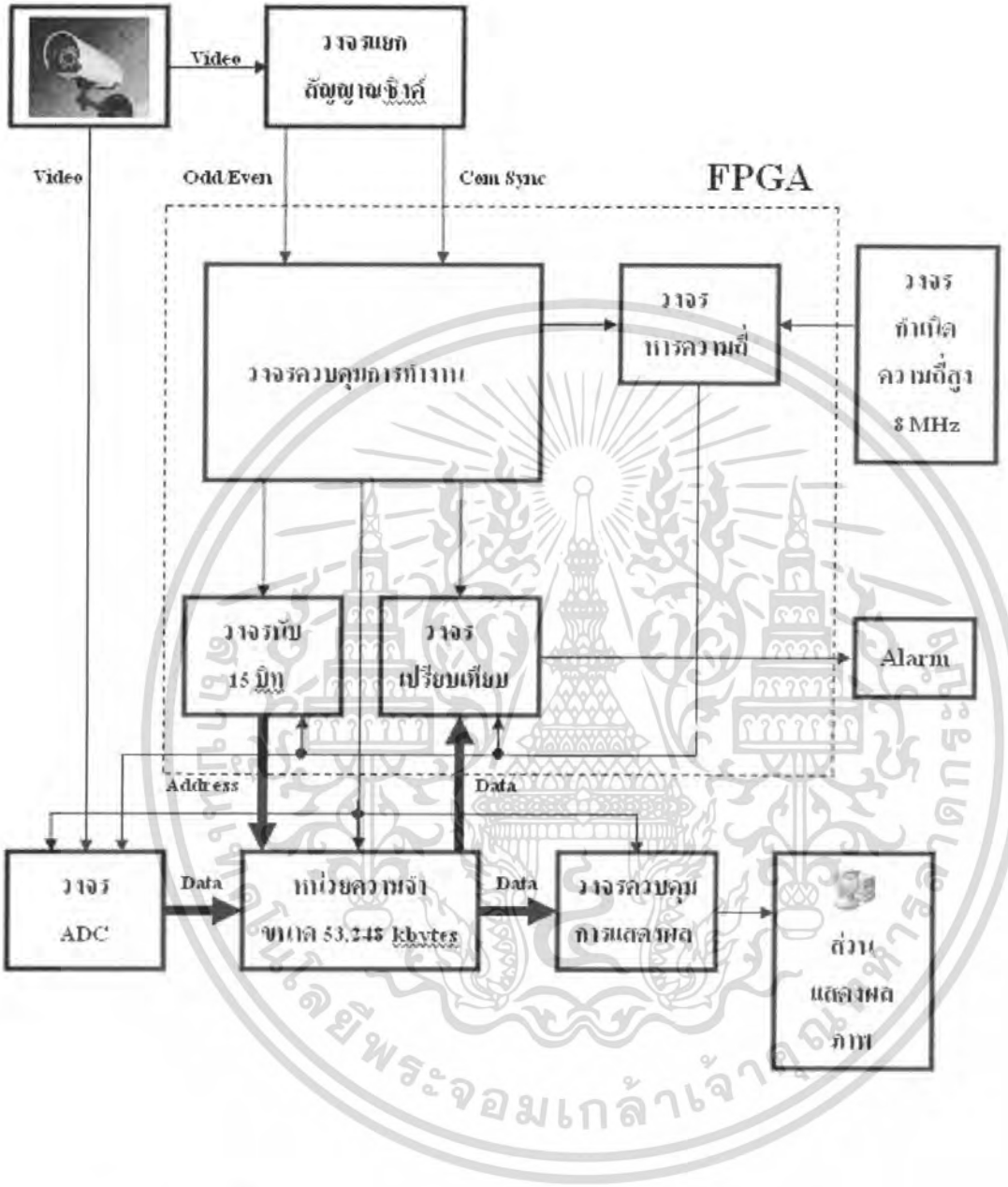
ในส่วนของภาคการศึกษาที่หนึ่ง เป็นการศึกษาเกี่ยวกับลักษณะของสัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิด วงจรกำเนิดสัญญาณความถี่สูงและหารความถี่ สัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์ (Video Sync Separator) การเปลี่ยนสัญญาณภาพจากสัญญาณอนาลอกให้เป็นดิจิตอลและออกแบบวงจรนับ วงจรควบคุมในเอฟพีจีเอ เพื่อนำไปใช้ระบุตำแหน่งของหน่วยความจำในการเก็บสัญญาณภาพ ที่แปลงจากอนาล็อกเป็นดิจิตอล

ในส่วนของภาคการศึกษาที่สองจะเป็นการออกแบบเอฟพีจีเอ ในส่วนของวงจรอ่านสัญญาณภาพที่อยู่ในหน่วยความจำออกมาแสดงผลเพื่อให้ผู้ใช้สามารถรับรู้ถึงเหตุการณ์ที่กำลังเกิดขึ้นในขณะนั้น และนำสัญญาณภาพมาเปรียบเทียบกันระหว่างภาพที่ 1 กับภาพที่ 2 และวงจรควบคุมการทำงานในส่วนต่างๆ โดยเมื่อเกิดความผิดปกติระหว่างภาพที่ต่อเนื่องกันสองภาพมากกว่าที่กำหนดไว้ วงจรที่ออกแบบไว้ก็จะทำการประมวลผลสัญญาณภาพที่ได้ แล้วส่งสัญญาณเตือนออกไปให้ผู้ใช้งานทราบ

1.3 ขั้นตอนการดำเนินโครงงาน

1. หาข้อมูลของกล้องโทรทัศน์วงจงปิด
2. หาข้อมูลเกี่ยวกับสัญญาณภาพ การแยกสัญญาณซิงค์ออกจากสัญญาณภาพ การแปลงสัญญาณภาพจากสัญญาณอนาล็อกเป็นดิจิตอล และการต่อวงจรกำเนิดความถี่สูง
3. ศึกษาข้อมูลที่หามาได้ และจัดเตรียมอุปกรณ์ในการทำโครงงาน
4. ทำการออกแบบระบบ และจำลองการทำงานของระบบ
5. บันทึกผลการจำลองการทำงาน
6. ทดลองและวัดสัญญาณที่จุดต่าง ๆ ของวงจรที่ได้ออกแบบไว้
7. บันทึกผลการทดลอง และสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

ภาพที่เกิดขึ้นที่หน้าจอโทรทัศน์เป็นภาพนิ่งที่เราเอามาเรียงต่อกันโดยแต่ละภาพจะมีความแตก ต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้สายตาของคนเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรม โดยตัวของมันเองประกอบด้วยพื้นที่เล็กๆของแสง และจุดหากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุด และแสงรายละเอียดน้อย (ภาพออกมาหยาบ)

2.1 กล้องวงจรปิด

กล้องวงจรปิด (Close Circuit Television System : CCTV) เป็น การส่งสัญญาณภาพ จากกล้องโทรทัศน์วงจรปิด ที่ได้ติดตั้งตามที่ต่างๆ มายังส่วนแสดงภาพ ซึ่งเรียกว่าจอภาพ(Monitor) โดยทั่วไปจะติดตั้งอยู่คนละที่กับกล้อง เช่นที่ห้องควบคุม เป็นต้น

2.1.1 อุปกรณ์ที่ใช้ในระบบกล้องวงจรปิด

1. กล้องโทรทัศน์วงจรปิด(CCTV Camera)
2. เลนส์(CCTV Lenses)
3. เครื่องเลือก/สลับภาพ(Video Switcher) และเครื่องผสม/รวมภาพ(Multiple Screen Displays)
4. จอภาพ(Video Monitor)
5. เครื่องบันทึกภาพ(Video Recorder)
6. อุปกรณ์เสริม เพื่อเพิ่มประสิทธิภาพในการทำงานของระบบโทรทัศน์วงจรปิด (Related Accessories for more efficiency CCTV System)
   - กล่องหุ้มกล้อง(Camera Housing)
   - ฐานกล้องปรับทิศทางได้(Pan & Tilt units)
   - อุปกรณ์อื่นๆ ที่เกี่ยวข้อง
7. ระบบการควบคุม(Control System)
8. อุปกรณ์อื่น ๆ ที่นำเข้าใช้เกี่ยวข้องกับระบบโทรทัศน์วงจรปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ประโยชน์ การใช้งาน ระบบกล้องวงจรปิด

1. ในด้านการรักษาความปลอดภัย ของบุคคลและสถานที่
2. ในการตรวจสอบการทำงาน ของเครื่องจักร ในโรงงานอุตสาหะกรรมขนาดใหญ่ ที่ ทำงานด้วยระบบอัตโนมัติ หรือการทำงานของพนักงาน
3. ใช้งานร่วมกับระบบควบคุมอาคารอัตโนมัติ เช่น ตรวจสอบจำนวนคนเพื่อการเปิด-ปิด เครื่องปรับอากาศ ฯ
4. ใช้งานร่วมกับระบบควบคุมการจราจร เช่น ตรวจสอบปริมาณรถยนต์ ฯ

2.1.3 ระบบกล้องวงจรปิด ส่วนมากที่ใช้งานในปัจจุบันนี้มี ๒ ลักษณะ คือ

2.1.3.1 ติดตั้งตายตัว หรือ กล้องติดอยู่กับที่ (Fixed Camera)

หมายถึงตัวกล้องจะติดตั้งอยู่บนขากล้องหรืออื่นๆ ซึ่งไม่สามารถจะขยับ หรือหมุนเปลี่ยนทิศทางในการดูได้ ถ้าต้องการหมุนหรือเปลี่ยนทิศทาง ก็จะต้องถอดตัวกล้องแยกออกจากขากล้องจึงจะเปลี่ยนตำแหน่งได้.

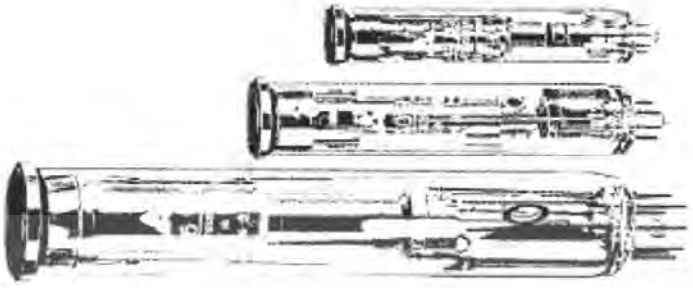
2.1.3.2 สามารถหมุนปรับทิศทางได้ (Moving Camera)

เพื่อเป็นการเพิ่มประสิทธิภาพในการใช้งาน ระบบโทรทัศน์วงจรปิด จึงได้มีการเพิ่มอุปกรณ์ประกอบเข้าไป คือ ฐานกล้องหมุนปรับทิศได้ สามารถที่จะปรับให้หมุนซ้าย/ขวา ก้ม-เงยได้(Pan and Tilt unit) และอาจจะมีอุปกรณ์อื่น เพิ่มอีก เช่น เลนส์ปรับขนาดภาพได้(Zoom Lens) และ เครื่องหุ้มกล้อง (Camera Housing) เป็นต้น

2.1.4 การทำงานของกล้องวงจรปิด

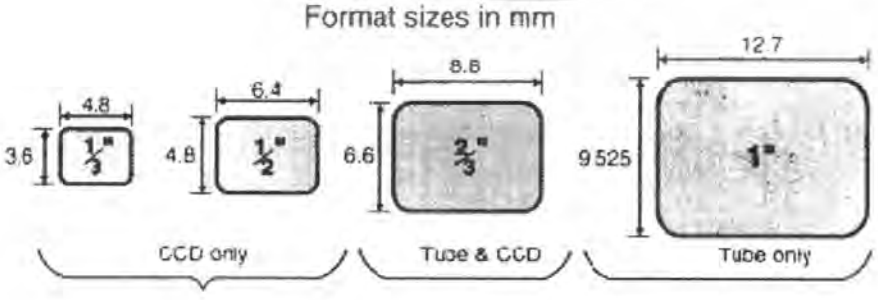
กล้องจะทำหน้าที่แปลงสัญญาณภาพ ให้เป็นสัญญาณไฟฟ้า โดยมีอุปกรณ์ชิ้นหนึ่งเป็นตัวรับภาพ ในอดีต ใช้หลอดเป็นตัวรับภาพ หรือ สร้างภาพ เรียกว่า หลอดวิดีคอน(Vidicon Tube) เริ่มตั้งแต่ขนาด 1 นิ้ว, 2/3 นิ้ว และ 1/2 นิ้ว ต่อมาได้มีการพัฒนา เป็น แผ่นรับภาพ หรือ CCD (Charge Coupled Device) เริ่มตั้งแต่ ขนาด 2/3นิ้ว , 1/2 นิ้ว , 1/3 นิ้ว , 1/4 นิ้ว ยังไม่สิ้นสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 หลอดวิดีคอน

กล้องโทรทัศน์วงจรปิด มีทั้งขาว/ดำ(Monochrome) และสี(Color) ความสามารถในการทำงาน หรือ การใช้งานจะแตกต่างกันไปขึ้นอยู่กับความต้องการของงานตามแต่วัตถุประสงค์ในการเลือกใช้งาน เช่น ความไวแสง(Sensitivity) หมายถึงปริมาณแสงน้อยที่สุด ที่จะสามารถมองเห็นภาพได้ กล้องโทรทัศน์วงจรปิด จะสามารถรับภาพได้ จะต้องมีแสงส่องไปที่วัตถุนั้นและสะท้อนออกมาจากวัตถุนั้น กล้องแต่ละรุ่น แต่ละผู้ผลิต จะมีความไวแสงแตกต่างกันไป ดังนั้น ในการเปรียบเทียบความไวของกล้องแต่ละกล้อง ควรจะเปรียบเทียบที่มาตรฐานเดียวกัน เช่น กล้องตัวหนึ่ง ที่ 30 IRE F1.2 มีความไวแสง 0.64 Lux แต่เมื่อไปเทียบที่ 50 IRE F1.2 จะมีความไวแสงเป็น 2.0 Lux เป็นต้น. ความคมชัดของภาพ(Resolution) กล้องที่ใช้งานโดยทั่วไป จะมีความคมชัดของภาพ ที่ 330 เส้น สำหรับกล้องสี ที่ 340 เส้น สำหรับกล้องขาว/ดำ แต่การใช้งานในบางกรณีก็มีความจำเป็นที่ต้องการกล้อง ที่ให้รายละเอียดของภาพสูงกว่าปกติ ก็จะต้องเลือกใช้กล้อง ที่มีความคมชัดของภาพสูง(High Resolution) เช่น 580 เส้นสำหรับกล้องขาว/ดำ หรือ 480 เส้นสำหรับกล้องสี เป็นต้น



รูปที่ 2.2 ความคมชัดของภาพในขนาดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ ยังมีกล้องโทรทัศน์วงจรปิด แบบอื่นๆ อีกที่สามารถจะเลือกใช้ให้เหมาะกับความต้องการ เช่น กล้องโดม(Dome Camera) จะเป็นกล้องที่มีลักษณะภายนอก(ตัวกล้อง) เป็นรูปทรงกลม บางชนิด หมุนได้รอบตัว ก้ม-เงยได้ กำลังเป็นที่นิยมใช้งานในขณะนี้ โดยเฉพาะอย่างยิ่งการติด ตั้งภายในอาคาร โดยนำไปติดไว้กับฝ้า หรือผนังอาคาร ดูเรียบร้อยสวยงาม มีขนาดกะทัดรัด ไม่มีอุปกรณ์ต่อพ่วงให้ดูรกรุงรัง การติดตั้งง่าย และยังเป็นการพรางตา สำหรับคนทั่วไปว่าที่นี่มีกล้องโทรทัศน์วงจรปิด

2.2 องค์ประกอบภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล่องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมายมาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพหรือพิคเจอร์อีลิเมนต์ (Picture Element) หรือพิคเซล (Pixel)

ทำนองเดียวกันภาพที่ปรากฏทางจอโทรทัศน์ ก็เอามาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีส่วนที่ดำสนิท ส่วนที่จาง และส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสง หรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ

ระบบการสแกน 525 เส้น เราจะแบ่งส่วนทางแนวตั้งได้ 700 เส้น ดังนั้น จึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้น แล้วจะได้เท่ากับ 525×700 เท่ากับ 367,500 พิคเซล ยิ่งภาพมีจำนวนเส้นภาพมากเท่าไรรายละเอียดของภาพยิ่งมากขึ้นเท่านั้น เหมือนที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีเส้นสแกนมากย่อมได้รายละเอียดหรือความชัดเจนของภาพมีมากกว่า แต่การออกแบบวงจรจะยากตามไปด้วย เนื่องจากแบนวิดธ์(bandwidth)ของความถี่จะต้องกว้างขึ้นด้วย ให้พิจารณาจากสูตรต่อไปนี้

$$max = Kn^2fp(b/h)(y/x) \qquad (2.1)$$

เมื่อ f max คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

n คือ จำนวนเส้นขนาน

fp คือ จำนวนภาพต่อวินาที

b/h คือ อัตราส่วน แอสเปคท์ซึ่งทั่วๆเราใช้อัตรา 4 ต่อ 3

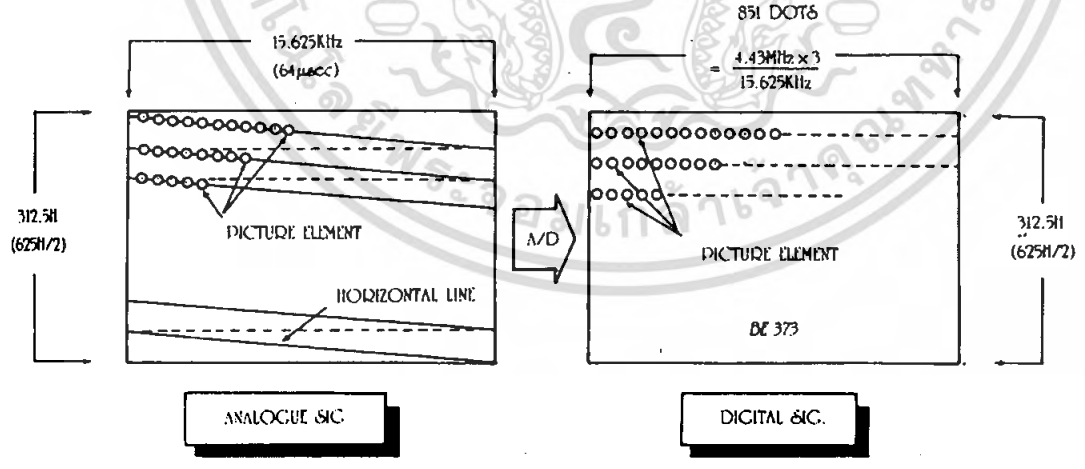
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

x/y คือ ค่าเอฟเฟ็คตีฟเฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราจะพบว่าถ้าจำนวนเส้นสแกนเพิ่มขึ้น ความถี่จะเพิ่มขึ้นตามด้วย จากที่กล่าวว่าระบบ 525 เส้น นั้นมีองค์ประกอบ 367,500 พิคเซล แต่ในความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิคเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากทดลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิคเซล

ระบบที่ใช้อยู่ในประเทศไทยปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพ ต่อวินาที จึงทำให้แบนด์วิดธ์ต้องกว้างถึง 7 เมกะเฮิรตซ์ (MHz) ในขณะที่ระบบ 525 เส้น กว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตามองค์ประกอบภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบภาพได้จากค่าจำนวนสแกน 625 เส้น แล้วคูณกับจำนวนจุดหรือองค์ประกอบทางแนวดั้ง 851 เส้น ได้เท่ากับ 531,875 พิคเซล

ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพได้ถูกนำเอาไปใช้งานอย่างเป็นจริงมากขึ้น ในโทรทัศน์หรือเครื่องเล่นวีดีโอคาสเซ็ทเร็คคอร์เดอร์ จะมีการนำเอาพิคเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิคเซลเท่านั้นที่ระบบดิจิตอลจะจัดการกับข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล โทรทัศน์ระบบคอมพิวเตอร์ โทรทัศน์จอภาพแอลซีดี ดิจิตอลวีซีอาร์ โทรทัศน์หรือวีซีอาร์ ระบบภาพซ้อนภาพ ฯลฯ



รูปที่ 2.3 องค์ประกอบภาพที่เอาเฉพาะพิคเซลไปใช้งาน

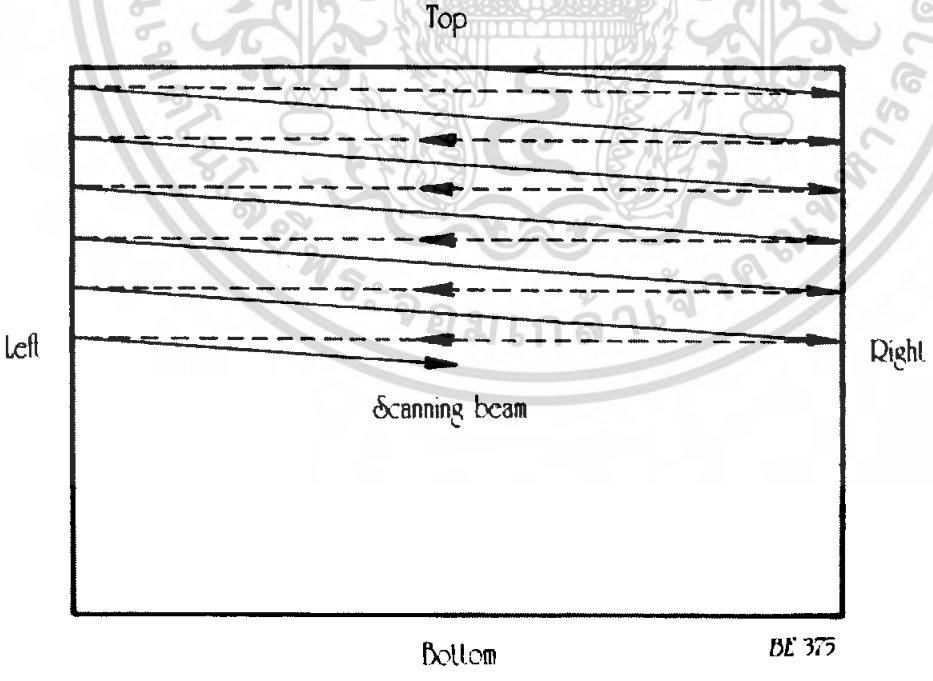
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันสำหรับโทรทัศน์ธรรมดาเราจะพบว่า มีการเพิ่มเส้นภาพให้มากขึ้นและนั่นแน่นอนว่าจำนวนพิคเซลย่อมมากขึ้นด้วย อย่างโทรทัศน์จอใหญ่หรือโทรทัศน์ที่ต้องการรายละเอียดสูงอย่าง HDTV อาจต้องใช้เส้นสแกนภาพมากกว่า 625 เส้น เช่นที่นิยมใช้กันในปัจจุบันคือ 725 เส้น หรืออย่างเครื่องฉายวีดีโอโปรเจ็คเตอร์จะใช้เส้นภาพ 2,200 เส้นภาพ และหากเป็นภาพจอใหญ่หลายร้อยนิ้วอาจต้องเพิ่มรายละเอียดมากขึ้นอีก นั่นคือการเพิ่มพิคเจอร์อีลีเมนต์นั่นเอง

2.3 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาแล้ว เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมาเครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเองหลอดภาพมีโครงสร้างคล้ายกับหลอดสุญญากาศทั่วไป ที่ปล่อยอิเล็กตรอนออกมาจากขั้วแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับแอโหนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)



รูปที่ 2.4 แสดงวิธีการเบื้องต้นของการสแกน

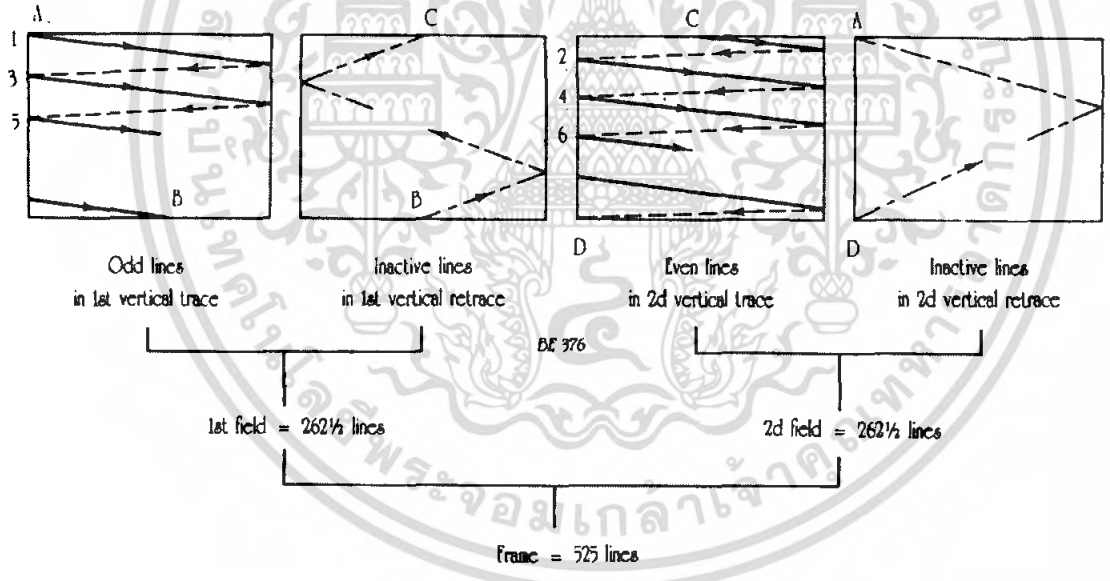
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะทำให้การสแกนมีความต่อเนื่อง ขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการ คือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเราเรียกว่า "รีเทรซ"(Retrace) หรือ ฟลายแบ็ค (Fly back) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3. ในขณะเสนที่สแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนั้นโดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)



รูปที่ 2.5 รายละเอียดการสแกนสลับเส้น (Interlaced Scanning) หรือแบบสอดแทรก

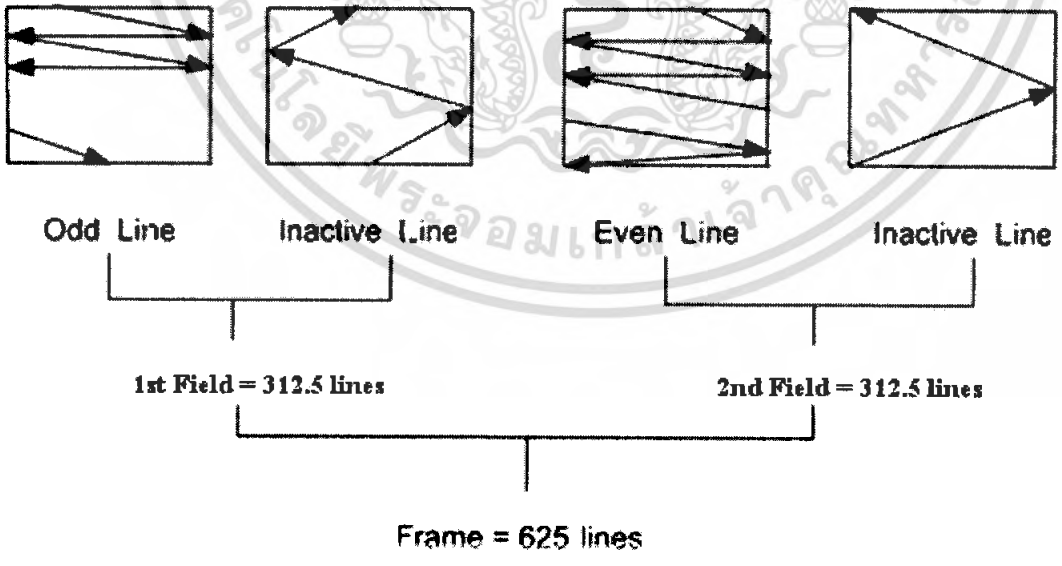
การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้เราพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาที แล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวาบนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่าง แสงด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกของกรณีนี้ก็คือเกิดแสงกระพริบ หรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้น หรือบางคนเรียกว่าการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่(Odd line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้นนั่นหมายความว่าการได้ภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตรฐานเอฟซีซี (FCC) ใช้เส้นสแกน 525 เส้นต่อ 1 ภาพ และใช้ 30 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์ จะมีเส้นสแกน 262.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/30 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้มาจากจำนวนเส้นภาพคูณกับจำนวนภาพในหนึ่งเฟรม จึงได้ 525 × 30 เท่ากับ 15,750 เฮิรตซ์ ส่วนความถี่บังคับการหักเหในแนวตั้งใน 1 เฟรม จะใช้เวลาเพียง I/60 วินาทีเท่านั้น ความถี่จึงเท่ากับ 60 เฮิรตซ์

ตามมาตรฐานซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625 × 25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์



รูปที่ 2.6 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรกระบบ CCIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 และ 2.6 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่โดยเริ่มจาก ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางด้านขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้น ที่ 3, 5, 7, 9 และต่อๆไป จนกระทั่งได้เส้นสแกน262.5 เส้น ในระบบเอฟซีซี (FCC) หรือ 312.5 เส้น ในระบบซีซีไออาร์ (CCIR) ซึ่งก็คือ สแกนมาถึงจุด B ดังในภาพที่ 2.7 และ 2.8 ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ซึ่งเรียกว่า เวอร์ติคอลรีเทรซ (Vertical Retrace) หรือสัญญาณฟลายแบ็ค จึงกลับไปตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรซ (Retrace time) ทั้งการรีเทรซทางเวอร์ติคอล และฮอริซอนดอลเป็นเวลาสั้นๆ ถึงอย่างไรก็ตามเราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้นเรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่าในส่วนของการกวาดลำแสง หรือการสแกนในแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10 – 16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี (FCC) เราใช้เวลาในการสแกนทางแนวนอนเท่ากับ 63.5 ไมโครเซ็คคั่น (us) ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็คคั่น (us) ส่วนระบบซีซีไออาร์ (CCIR) เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็คคั่น (us) ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครวินาที (us) ในส่วนทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5 – 8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซ็ควินาที (us) และ 500 ไมโครวินาที (us) ตามลำดับ นั่นหมายความว่าในช่วงของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8 – 10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้น เรามิอาจเห็นได้ครบทุกเส้นอย่างน้อยๆในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการ ฟลายแบ็ค (Fly back) ซึ่งในเครื่องรับเราเรียกตัวนี้ว่า สัญญาณแบลงกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง ในระบบโทรทัศน์เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นมีเวอร์ติคอลรีเทรซเท่ากับ 3 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้น จงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนแบบนี้

วิธีทำ เวลาของการสแกนทางแนวตั้ง = 1/50 วินาที

ค่า 3 เปอร์เซ็นต์ในกรณีรีเทรซ = 3/(50 × 100) วินาที

เวลาในการรีเทรซ = 600 ไมโครวินาที

เวลาในการสแกนเส้นภาพ = 1/15625 วินาที

ดังนั้นการรีเทรซจะกินเส้นภาพไป = 600/64

= 9.375 เส้น

คำตอบ ในกรณีนี้คือ ประมาณ 10 เส้นภาพ

ตัวอย่าง ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้ค่าเวลามากที่สุดที่มาตรฐานในปัจจุบันกำหนดไว้ คือเวลาประมาณ 5 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางเวอร์ติคอล จงหาจำนวนเส้นภาพที่ปรากฏจริงบนหน้าจอว่ามีกี่ภาพ

วิธีทำ เวลาของการสแกนทางแนวตั้ง = 1/50 วินาที

ค่า 5 เปอร์เซ็นต์ = 5 / (50 × 100) วินาที

เพราะฉะนั้นเวลารีเทรซ = 1,000 ไมโครวินาที

เวลาในการสแกนเส้นภาพ = 64 ไมโครวินาที

การรีเทรซทางแนวตั้งกินเส้นภาพ = 1,000/60

= 15.625

หรือประมาณ 16 เส้นภาพ

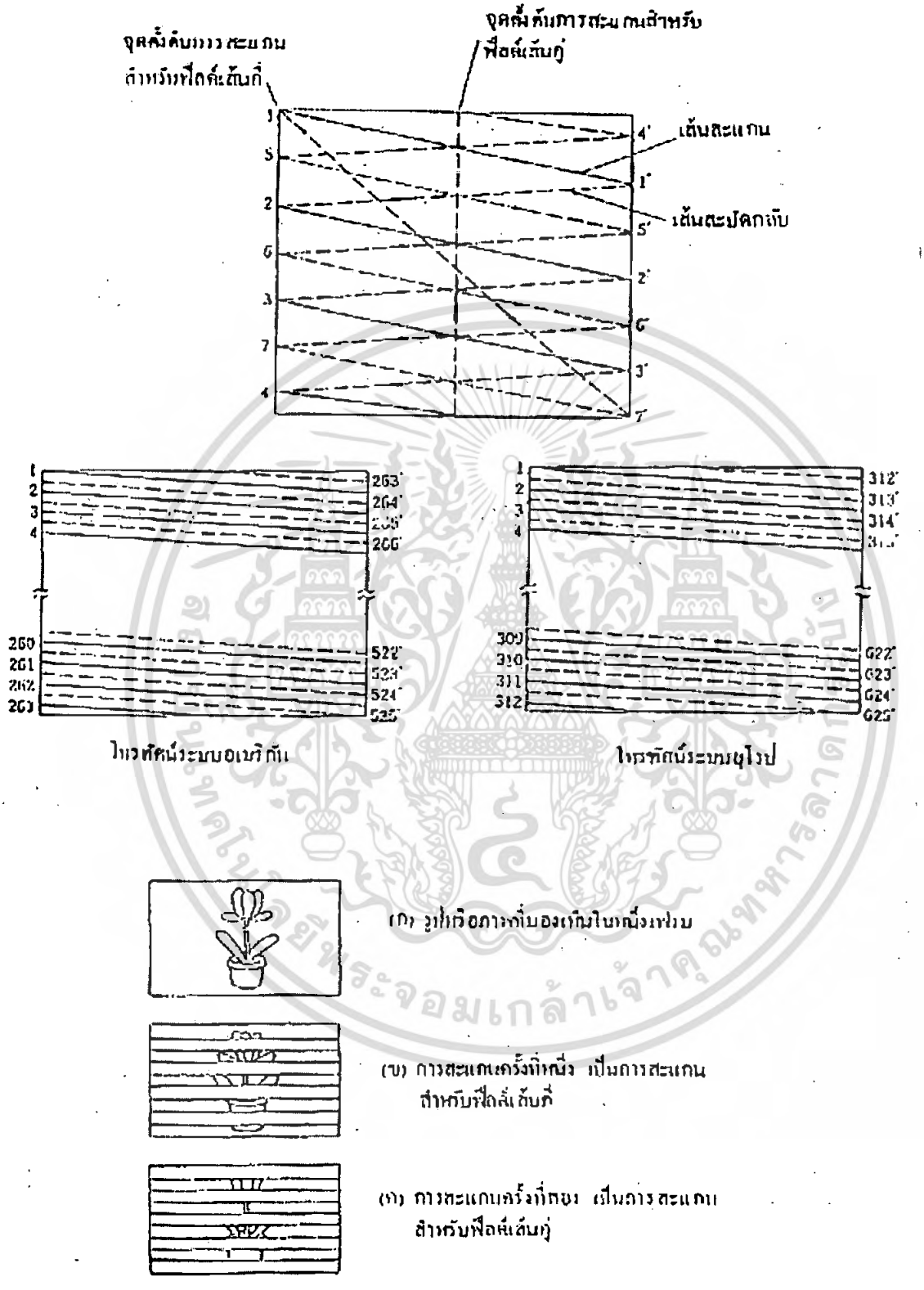
จำนวนเส้นภาพที่จอปรากฏให้เห็น = 625-16

คำตอบ ในกรณีนี้คือ ประมาณ 609 เส้นภาพ

จากหลักการดังกล่าวในโทรทัศน์ระบบดิจิตอล จะนำเอาสัญญาณภาพเข้าสู่หน่วยความจำของระบบดิจิตอล จึงเอาเส้นภาพไปเก็บเพียงครั้งละ 308 เส้นภาพเท่านั้น (แทนที่จะเอาทั้ง 312.5 เส้นภาพ) เพราะจากมาตรฐานโทรทัศน์ในปัจจุบันที่กำหนดมาตรฐานสัญญาณโทรทัศน์ในกรณีรีเทรซทางแนวตั้ง เท่ากับ 3 เปอร์เซ็นต์ เราจึงได้เส้นภาพ 625-10 เส้นภาพ (615เส้นภาพ)เมื่อแบ่งเฟรมแล้วจะได้ค่าเส้นภาพประมาณ 308 เส้นภาพ

.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

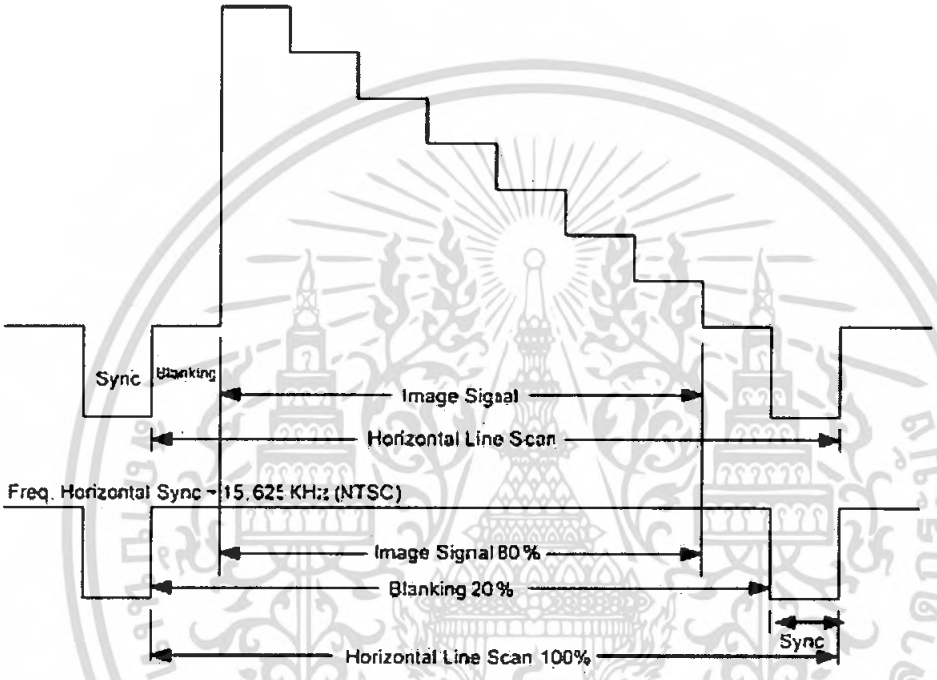


รูปที่ 2.7 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่งภาพเป็น 2 ฟิลด์

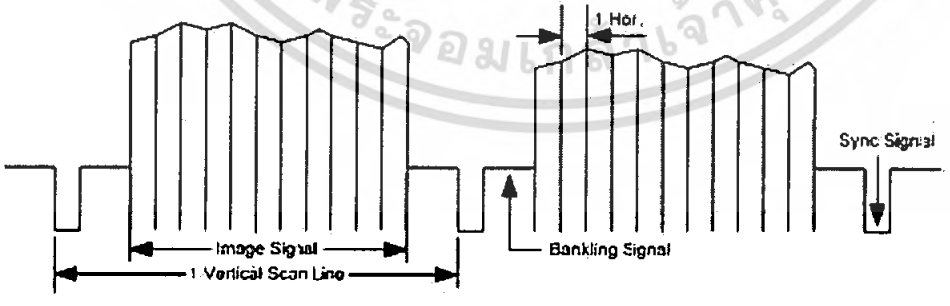
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ลักษณะของสัญญาณภาพ

สัญญาณภาพโดยทั่วไปจะมีลักษณะเป็นสัญญาณคอมโพสิทวีดีโอ (Composite Video) คือ จะประกอบไปด้วยข้อมูล สัญญาณภาพ (Image Signal), สัญญาณซิงค์ (Sync Signal), และสัญญาณแบลงกิ้ง (Blanking Signal) โดยลักษณะของสัญญาณดังกล่าวแสดงดังรูปที่ 2.8

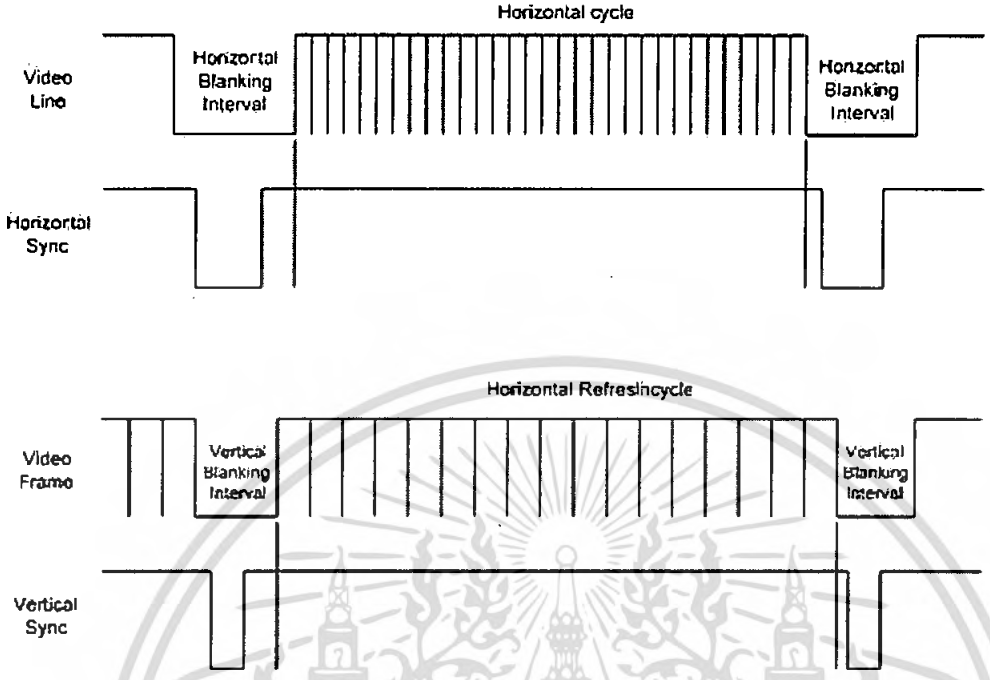


รูปที่ 2.8 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวนอน



รูปที่ 2.9 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงความสัมพันธ์ระหว่างสัญญาณทางด้านแนวนอนและแนวตั้ง

สัญญาณดังรูปที่ 2.8,2.9 และ 2.10 จะเป็นสัญญาณภาพรวมที่ประกอบด้วย เส้นสแกนทางแนวนอน และเส้นสแกนทางแนวตั้ง โดยเส้นสแกนทั้งสองจะประกอบด้วย สัญญาณซิงค์ สัญญาณแบลงกิ้ง และสัญญาณภาพ สัญญาณดังกล่าวจะถูกส่งไปยังมอนิเตอร์ ทำให้เกิดการสแกนที่หน้าจอมอนิเตอร์ซึ่งจะทำให้ปรากฏเป็นภาพขึ้นมา

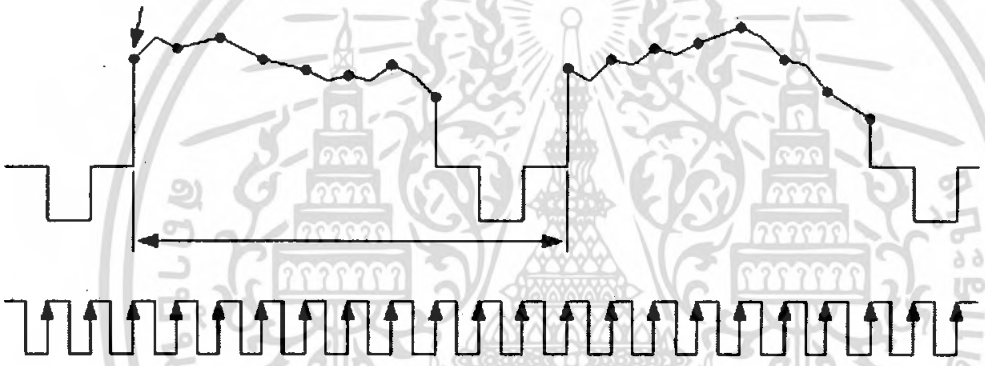
การจัดเก็บสัญญาณภาพจากคอมโพสิทวีดีโอ ซึ่งมีลักษณะเป็นสัญญาณอนาลอกเข้าไปเก็บไว้ในหน่วยความจำ ซึ่งมีจำเป็นอย่างยิ่งที่จะต้องทำการแปลงสัญญาณภาพดังกล่าว จากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อให้จะสามารถที่จะจัดเก็บเข้าไปยังหน่วยความจำได้ ในการแปรงสัญญาณอนาลอกนั้นก็ต้องประกอบด้วย ส่วนของการสุ่มตัวอย่างสัญญาณ และการควอนไตซ์สัญญาณ (Quantization) หรือการจัดระดับสัญญาณ ซึ่งการจัดระดับสัญญาณนั้นกระทำโดยนำสัญญาณที่ผ่านการสุ่มสัญญาณแล้ว นำมาทำการแปลงให้เป็นสัญญาณทางดิจิตอล โดยสัญญาณภาพที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว สามารถที่จะถูกจัดเก็บลงไปยังหน่วยความจำได้ แต่ในการสแกนทางด้านแนวนอนของสัญญาณภาพนั้น จะใช้เวลาในการสแกนที่สั้นมาก ดังนั้นจึงทำให้เกิดปัญหาในขั้นตอนของการเปลี่ยนสัญญาณภาพจากสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล (Analog to Digital Converter) รวมทั้งการเขียนข้อมูลเข้าไปเก็บยังหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปัญหาแรกคือ ปัญหาในเรื่องของการแปลงสัญญาณอนาลอกเป็นดิจิตอล การที่สัญญาณภาพมีเวลาที่ใช้ในการสแกนทางแนวนอนที่สั้นมาก ในการจัดเก็บเพื่อให้ได้ความละเอียดของภาพคงเดิมดังเช่นที่แสดงทางหน้าจอมอนิเตอร์ จำเป็นจะต้องใช้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่มีอัตราในการสุ่มตัวอย่างที่สูงเพียงพอกับสัญญาณดังกล่าว

ปัญหาที่สองนั้น เกิดขึ้นจากข้อมูลที่ถูกแปลงแล้วจะนำไปเขียนยังหน่วยความจำ ซึ่งในการเขียนข้อมูลดังกล่าวนี้จะต้องมีการจัดเวลาที่เหมาะสมเพื่อไม่ให้เกิดปัญหาขึ้นในขั้นตอนของการเขียนข้อมูลลงหน่วยความจำ ในการจัดเก็บข้อมูลภาพลงสู่หน่วยความจำนั้นจะอาศัยหลักการจัดเก็บภาพลงสู่หน่วยความจำแบบแอดเดรสเป็นแบบต่อเนื่อง ดังแสดงให้เห็นดังรูปที่ 2.11



รูปที่ 2.11 เวลาในการสุ่มสำหรับการสแกนทางแนวนอน ของสัญญาณคอมโพสิทวีดีโอ

จากรูปที่ 2.11 ถ้าหากเป็นสัญญาณภาพที่ได้รับจากสัญญาณคอมโพสิทวีดีโอทั่วๆไป ตัวอย่างเช่นสัญญาณวีดีโอในระบบ NTSC (The National Television System Committee) จะพบว่าใน 1 เส้นสแกนทางแนวนอนจะใช้เวลาทั้งสิ้น 64 ไมโครวินาที แต่เนื่องจากส่วนที่เป็นสัญญาณภาพจริงๆ จะประมาณ 80% ของสัญญาณทั้งหมด คือ 64 × 0.8 = 51.2 ไมโครวินาที ส่วนที่เหลือดังกล่าวจะเป็นสัญญาณในช่วงแบลงกิ้ง และถ้าหากต้องการที่จะทำการจัดเก็บสัญญาณในแต่ละเส้นสแกนทางแนวนอนให้มีจุดภาพทั้งสิ้น 512 จุดภาพ ก็จำเป็นต้องใช้เวลาในการเขียนข้อมูลภาพแต่ละจุดภาพลงสู่หน่วยความจำเท่ากับ

เวลาในการเขียนข้อมูลภาพแต่ละจุดภาพ = 51.2 / 512 ไมโครวินาที

= 100 นาโนวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

83011

เวลาดังกล่าวเป็นค่า ACCESS TIME ของหน่วยความจำที่นำมาใช้ โดยค่าความจุของหน่วยความจำที่ใช้จะมีค่าเท่ากับผลคูณของจำนวนเส้นสแกนต่อหนึ่งเฟรมกับจำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอน คือ

ความจุของหน่วยความจำ = จำนวนเส้นสแกน × จำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอน

= 512 × 512

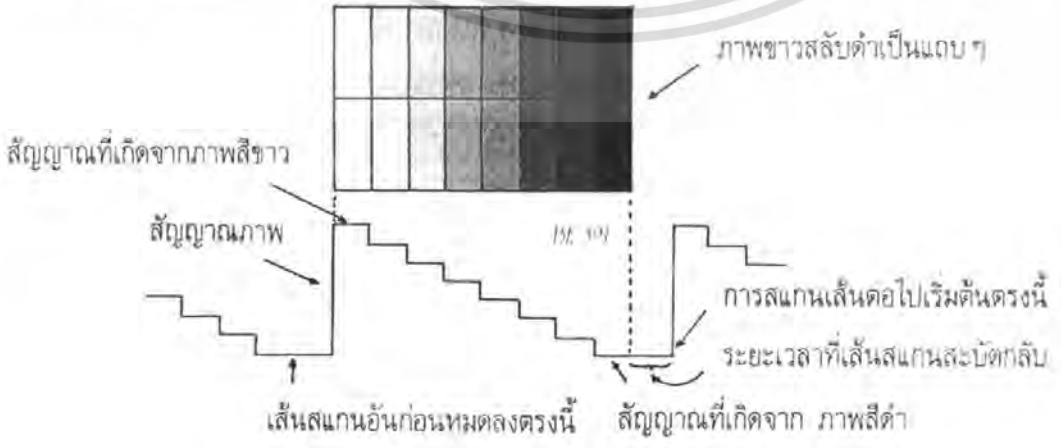
= 256 กิโลไบต์

เครื่องส่งทำการส่งสัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์ บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่างๆ ดังนี้

1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นเครื่องรับโทรทัศน์
2. สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน
3. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและหักเหทางแนวนอน เพื่อให้เครื่องส่งกับเครื่องรับทำงานสอดคล้องตรงกัน
4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าเป็นการสแกนแบบสลับเส้นก็ตาม

2.4.1 สัญญาณภาพขาวดำ

สมมุติว่าเราจะดูระดับความขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลย ภาพที่ดีที่สุดของกรณีนี้คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่า ระดับเกรย์ (Gray scale) นั่นเอง



รูปที่ 2.12 แสดงระดับสัญญาณขาวดำ โดยเกรย์สเกล (Gray scale)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.12 แสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว เทา และดำ นั้น ระดับสัญญาณจะลดลงมาเรื่อยๆ นั้นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี (FCC) และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์ (CCIR) ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

2.4.2 สัญญาณแบลงกิ้ง

ทราบแล้วว่าเมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรซหรือเส้นสะบัดกลับซึ่งเป็นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงกิ้งส่วนหนึ่ง เครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์ แต่มันจะสัมพันธ์เครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่สองอย่าง คือ เวอร์ติคอลแบลงกิ้ง (Vertical blanking) กับฮอริซอนทอลแบลงกิ้ง (Horizontal blanking)

2.4.3 สัญญาณซิงโครไนซ์

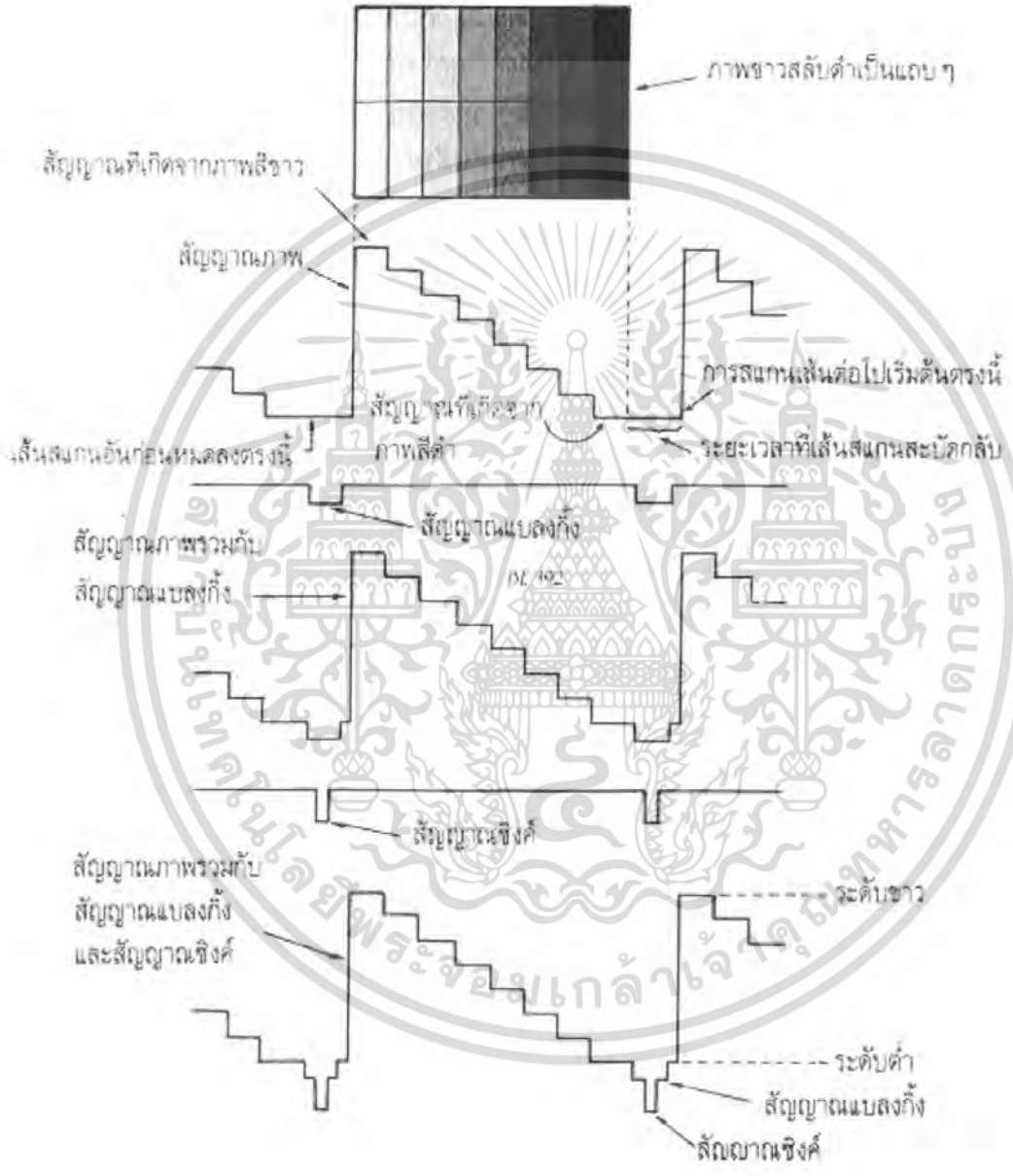
เป็นสัญญาณเพื่อที่ให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอนโดยสัญญาณซิงโครไนซ์ หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

1. ฮอริซอนทอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้
2. เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้งซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้ง ไม่ว่าจะเป็นแนวนอน หรือแนวตั้ง จะมีความถี่เท่ากัน เวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์ มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์กับแบลงกิ้งพัลซ์ไปด้วย ให้แบลงกิ้งพัลซ์เป็นฐานของสัญญาณซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบลงกิ้งจะอยู่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ)



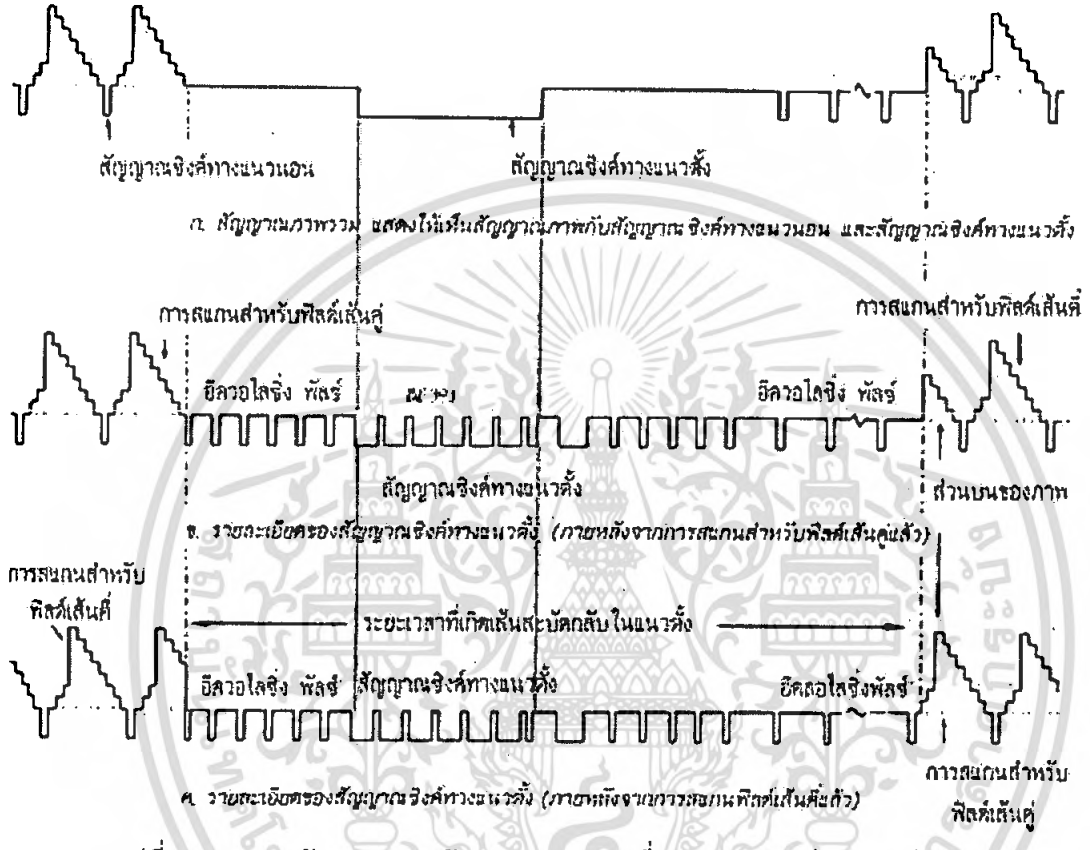
รูปที่ 2.13 ลักษณะของสัญญาณภาพรวมเบื้องต้น

2.4.4 สัญญาณอีควอไลซิ่ง

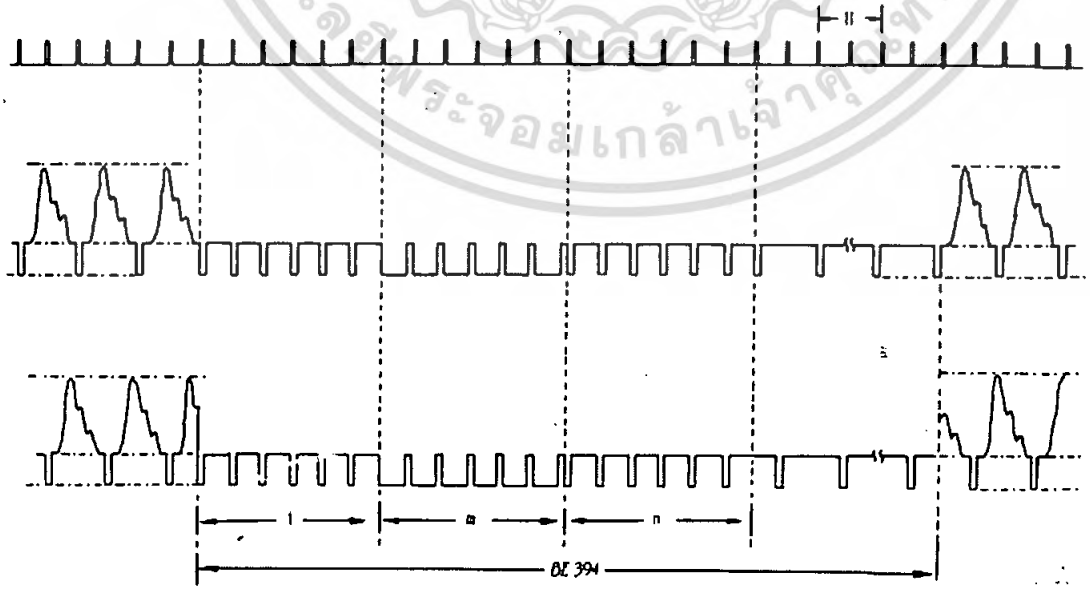
เป็นสัญญาณที่บังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวนอน เพื่อให้สามารถคงรูปถูกต้อง แล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอน ไม่ขาดช่วงหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอลซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็กๆ ในระบบ 525 เส้น และถูกแบ่งเป็นเป็น 5 ลูก ในระบบ 625 เส้น ดังแสดงในรูปที่ 2.14



รูปที่ 2.14 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง



รูปที่ 2.15 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การเปลี่ยนข้อมูลจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

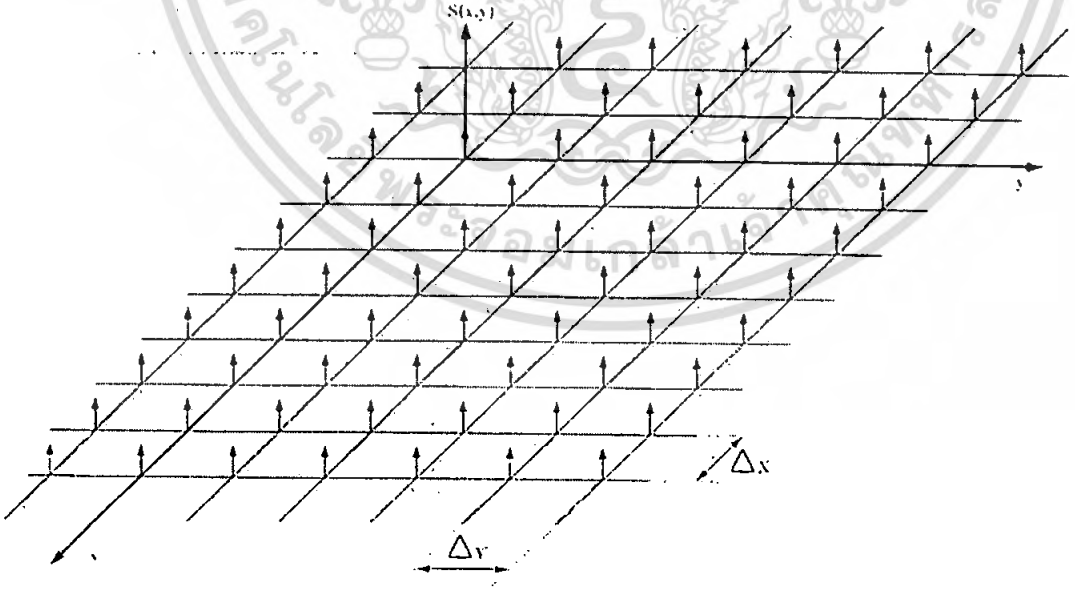
ในการเปลี่ยนสัญญาณภาพที่ต่อเนื่องให้เป็นข้อมูลภาพทางดิจิตอลด้วยการดิจิไตซ์ ในการดิจิไตซ์ในสปาเชียลโดเมน (x , y) จะเรียกว่าการสุ่ม "การสุ่มภาพ" (image sampling) และในขณะที่การดิจิไตซ์ทางแอมปลิจูดจะเรียกว่า "การควอนไตซ์ระดับเทา" (gray-level quantization)

2.5.1 การสุ่ม (Sampling)

ฟังก์ชั่นของการสุ่มสามารถเขียนเป็นฟังชั่นทางคณิตศาสตร์ ด้วยอิมพัลซ์ฟังก์ชั่น $\delta_{(x,y)}$ที่กระทำกับสัญญาณภาพซึ่งสามารถกำหนดได้ดังนี้

$$\int_{-\infty}^{\infty}\int_{-\infty}^{\infty} f(x,y)\delta(x-xo,y-yo)dxdy = f(xo,yo) \qquad (2.2)$$

ฟังก์ชั่นของการสุ่มสองมิตินั้นจะประกอบด้วยพัลซ์เทรนที่ห่างกัน Δx ในทิศทาง x และช่วงห่าง Δy ในทิศทาง y ดังในรูปที่ 2.14 โดยฟังก์ชั่นของภาพจะเป็น $f(x,y)$ และมีค่า x และ y ที่ต่อเนื่องการสุ่มทำได้โดยการคูณฟังก์ชั่นอิมพัลซ์ $\delta(x,y)$ กับฟังก์ชั่นภาพ $f(x,y)$ จะได้ $\delta(x,y)f(x,y)$



รูปที่ 2.16 ฟังก์ชั่นของการสุ่มสองมิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่ใช้ในการสุ่มในระบบของภาพนั้นจะเป็นตัวบ่งบอกถึงขนาดของภาพ ภาพที่ผ่านการสุ่มด้วยความถี่สูงๆ ก็จะได้จำนวนจุดภาพมากขึ้น ในกรณีที่จำนวนจุดภาพมีค่าน้อยจะทำให้เกิดผลอย่างหนึ่งคือ การเกิดซ้ำกันของจุดภาพ (Pixel Replication) ทำให้เห็นภาพเป็นบล็อกๆ (Checker-Board Effect)

2.5.2 การควอนไตซ์ (Quantization)

การควอนไตซ์เป็นการเข้ารหัสของระดับที่ผ่านการสุ่ม เพื่อจัดเข้าระดับที่เป็นมาตรฐานหรือเป็นไปตามที่ต้องการ แต่ในทางด้านการประมวลผลภาพการควอนไตซ์เป็นการจัดระดับของสัญญาณภาพที่ผ่านการสุ่มให้อยู่ในระดับเทา จำนวนระดับเทาที่ใช้นั้นขึ้นอยู่กับจำนวนบิตของข้อมูลดิจิตอล จำนวนของระดับเทาที่ใช้นั้นเท่ากับสองยกกำลังตามด้วยจำนวนบิท แสดงตามสมการดังนี้

$$G = 2^m \qquad (2.3)$$

เมื่อ G เท่ากับจำนวนระดับเทา และ m เป็นจำนวนบิตของข้อมูลดิจิตอลที่ใช้ ตัวอย่างเช่น ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ให้ข้อมูลดิจิตอลจากการแปลงแล้ว 8 บิท ทำให้ได้ระดับเทาที่แตกต่างกัน 256 ระดับ ระดับของการควอนไตซ์นั้นจะมีผลต่อภาพที่เก็บ ถ้าใช้ระดับการควอนไตซ์ที่มีจำนวนระดับความแตกต่างน้อยหรือกล่าวอีกนัยหนึ่ง คือจำนวนบิตของข้อมูลดิจิตอลที่น้อยกว่าปกตินั้นจะทำให้เกิดความผิดพลาดของข้อมูลสูง สาเหตุที่เป็นเช่นนี้เพราะว่าความห่างของระดับนั้นมีมาก เวลาทำการควอนไตซ์จะเกิดการปรับค่าที่ได้จากการสุ่มให้เข้าสู่ระดับที่กำหนดถ้าข้อมูลที่ได้จากการสุ่มห่างจากระดับที่กำหนดมากเท่าใด ก็จะทำให้เกิดการผิดพลาดมากขึ้นเท่านั้น หรือกล่าวอีกนัยหนึ่งคือเราไม่มีระดับเทาที่แทนค่าของระดับความเข้มของภาพได้หมด ส่วนจำนวนระดับเทาหรือบิตของข้อมูลภาพที่ใช้นั้นปกติไม่ควรต่ำกว่า 64 ระดับเทา หรือจำนวนบิตไม่ควรต่ำกว่า 6 บิท จึงเหมาะสมกับสายตาของคนเราที่จะไม่รู้สึกว่าเกิดการคลาดเคลื่อนขึ้นกับภาพแต่ถ้าใช้จำนวนระดับที่ต่ำกว่านี้จะทำให้เกิดผลอย่างหนึ่งที่เรียกว่า "ขอบเทียม" (false contour) แม้มีการใช้จำนวนบิตของจุดภาพที่น้อยลง แต่สายตาเราก็ยังไม่สามารถตรวจจับความแตกต่างของภาพได้ แต่ถ้ามีการลดจำนวนบิตของจุดภาพลงไปอีก จะทำให้เราสามารถตรวจจับความผิดเพี้ยนของภาพที่เกิดขึ้นได้

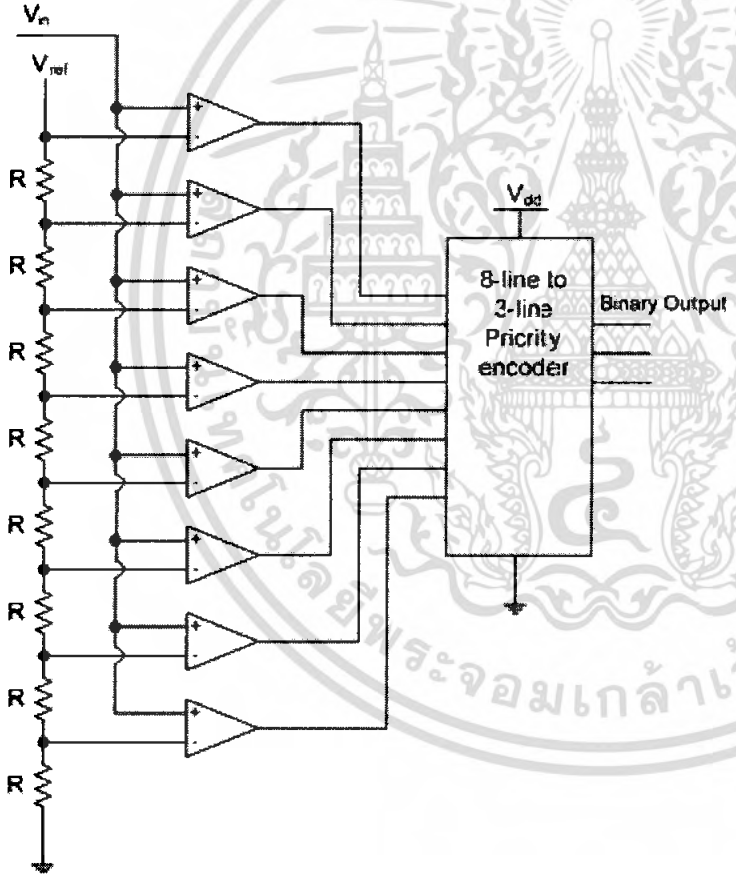
ในการกำหนดขนาดของภาพ และระดับเทาของภาพสำหรับวงจรเก็บข้อมูลภาพจะต้องพิจารณาให้เหมาะสมกับงานที่จะใช้ ซึ่งโดยรวมเป็นการกำ หนดรายละเอียดของภาพ(Resolution of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Image) ถ้ากำหนดภาพที่มีรายละเอียดสูงๆ ก็จะได้คุณภาพของภาพที่ดีแต่ทำให้ต้องใช้หน่วยความจำในการเก็บข้อมูลภาพที่มีขนาดใหญ่มาก หรือถ้ากำหนดรายละเอียดของภาพต่ำก็จะสามารถใช้หน่วยความจำขนาดเล็กแต่อาจไม่ได้รายละเอียดเท่าที่ควร ฉะนั้นการออกแบบวงจรเก็บข้อมูลภาพควรให้มีความเหมาะสมในเรื่องคุณสมบัติของภาพที่ต้องการจัดเก็บด้วย

2.5.3 แฟลชคอนเวอร์เตอร์ (Flash Converter)

หลักการของ Flash Converter คือการแบ่งแรงดันเป็น Voltage หลายๆ ค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic



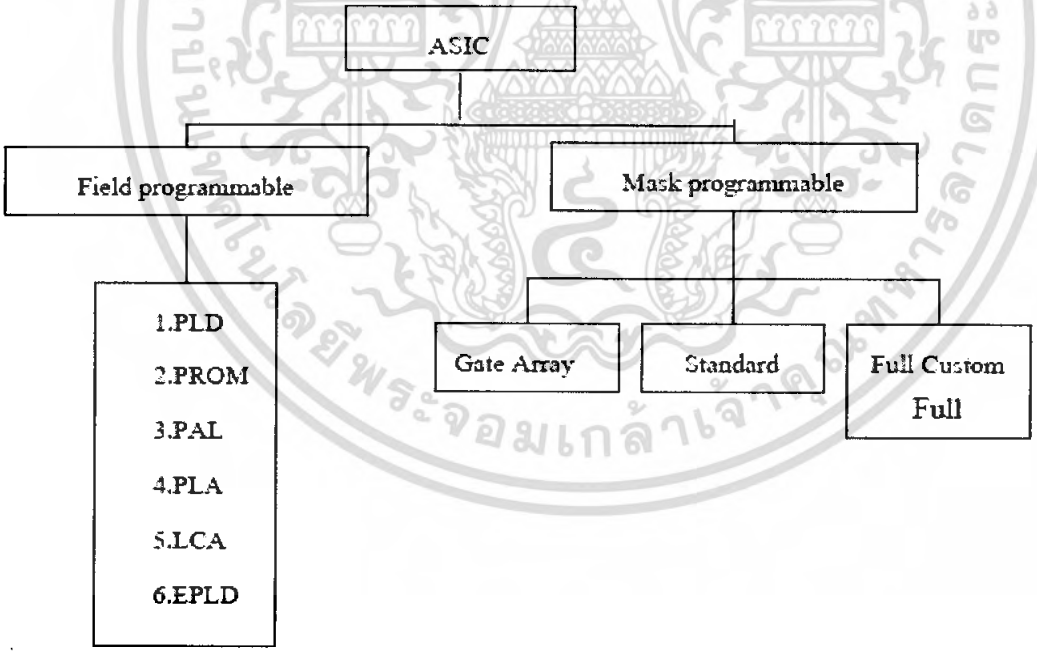
รูปที่ 2.17 วงจรแฟลชคอนเวอร์เตอร์ (Flash Converter)

จากวงจร มี Voltage เปรียบเทียบ 8 บิท ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไปเปรียบเทียบกับ Vin ถ้ามากกว่าก็จะให้ลอจิก 1ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก 0 วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ

นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
เอฟพีจีเอ

ความก้าวหน้าของอุตสาหกรรมอิเล็กทรอนิกส์ปัจจุบัน ทำให้เกิดการพัฒนาความสามารถของอุปกรณ์ต่างๆมากมาย ซึ่งทำให้เกิดการลดค่าใช้จ่ายการสิ้นเปลืองพลังงาน และขนาดในขณะเดียวกันก็มีการเพิ่มประสิทธิภาพ และระดับความเชื่อถือได้ของวงจรรวมที่สูงขึ้นเห็นได้ชัดจากเทคโนโลยีไมโครโพรเซสเซอร์และหน่วยความจำปัจจุบัน ทุกๆ ครั้งที่มีการพัฒนาขึ้นทำให้เกิดช่องว่างวงจรรวมและไอซีมาตรฐานมากขึ้น ในการพัฒนาเพิ่มความหนาแน่นและจำนวน ฟังก์ชั่นลอจิกที่เหมาะสม นักออกแบบอุปกรณ์ทางด้านดิจิตอลได้พิจารณาถึงการผลิตให้ขนาดมากๆ และการผลิตวงจรรวม (ASIC: Application Specific Integrated Circuit) ซึ่งวงจรรวมจะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ Field Programmable และ Mask Programmable ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 แสดงผังแสดงการแบ่งกลุ่มของวงจรรวม ASIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 เอฟพีจีเอ (FPGA : Field Programmable Gate Array)

เป็นอุปกรณ์ที่ถูกพัฒนา ต่อจากอุปกรณ์แอลซีเอ ของบริษัทไซริงซ์ (XILINX Inc.) โดยมีประ สิทธิภาพการทำงานและมีปริมาณความหนาแน่นของเกทสูง สามารถจะกำหนดฟังก์ชั่นการทำงานได้ความต้องการ ของผู้ใช้โดยผ่านการโปรแกรม เอฟพีจีเอได้รวบรวมข้อดีทั้งหมดของการทำคัสตัมวีแอลเอสไอ (Custom VLSI) มารวมไว้ทั้งหมดได้แก่ การออกแบบการผลิต และลดเวลาที่จะส่งตัวผลิตภัณฑ์ออกตลาดซึ่งเป็นประโยชน์ต่อการผลิตวงจรเป็นอย่างมากนักออกแบบเพียงกำหนดฟังก์ชั่นการทำงานของวงจรดังนั้นการออกแบบวงจรโดยใช้เอฟพีจีเอสามารถออกแบบและทดสอบภายในเวลาเพียง 2-3 วัน เท่านั้น ตรงกันข้ามกับการออกแบบโดยใช้เกตอาร์เรย์ ซึ่งใช้เวลาหลายอาทิตย์การเปลี่ยนแปลงแก้ไขแบบก็เช่นเดียวกัน จากประโยชน์ของเอฟพีจีเอ ดังกล่าวมาทำให้เกิดการประหยัดค่าใช้จ่ายเป็นอย่างมากเพราะได้ความเสี่ยงในการที่จะต้องแก้ไขตัววงจร การเลื่อนเวลาการออกผลิตภัณฑ์ ลดค่าเอ็นอาร์อี (NRE : Nonrecurring Engineering Cost) ลงไปด้วย

3.1.1 เทคโนโลยีของเอฟพีจีเอ

เนื่องจากเป็นลักษณะของ ชิพที่สามารถโปรแกรมได้นั่น ก็คือสามารถกำหนดจุดเชื่อมต่อต่างๆภายในได้ เพื่อประกอบเป็นลักษณะของวงจรตามที่เราต้องการได้ ซึ่งเราสามารถแบ่งลักษณะของจุดเชื่อมต่อต่างๆได้ดังนี้

1. Physical Changing

1.1 Fused สามารถโปรแกรมได้เพียงครั้งเดียว หลังจากโปรแกรมจุดเชื่อมต่อขาดจากกัน

1.2 Anty Fuse สามารถโปรแกรมได้เพียงครั้งเดียวหลังจากโปรแกรม จุดเชื่อมต่อจะเชื่อมถึงกัน

2. Memory Base

2.1 EEPROM – Base FPGA

มักเรียกเอฟพีจีเอ ประเภทนี้ว่า CPLD จะใช้เทคโนโลยีเหมือนกับ EEPROM ในการโปรแกรม ซึ่งจะทำให้มีความจุของเกตต่ำ โดยทั่วๆไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM-Base FPGA คือสามารถเก็บข้อมูล ที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยง และในการ โปรแกรม จะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิท สามารถโปรแกรมได้ประมาณ 10,000 ครั้งมักจะมี การจัดสถาปัตยกรรมในรูปแบบอาร์เรย์ ใช้ AND- OR Plane ในการทำลอจิกฟังก์ชัน

2.2 SRAM - Base FPGA

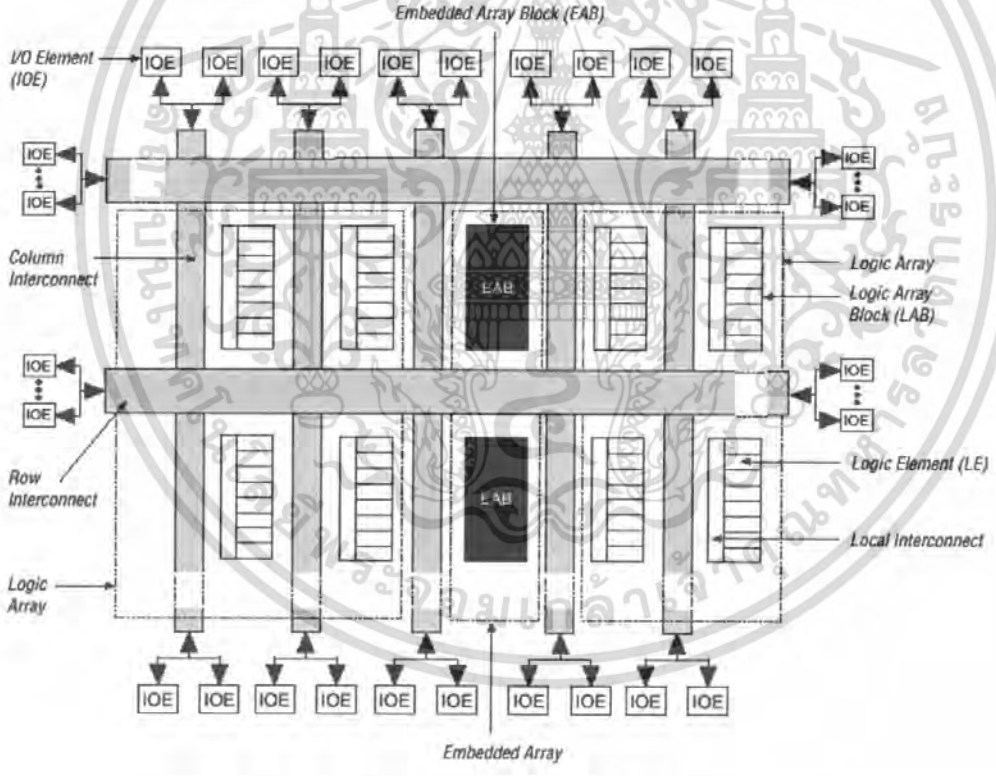
จะใช้เทคโนโลยีเหมือน SRAM ในการโปรแกรม ซึ่งจะสามารถทำให้โปรแกรมซ้ำได้ไม่จำกัดจำนวนครั้ง มีความจุของเกตปานกลางถึงสูงมาก (ประมาณ 10,000 – 1,000,000 เกท) จะใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Look-Up Table ในการทำลอจิกฟังก์ชัน (Logic Function) และจะมีการจัดทรัพยากรภายในโครงสร้าง แบบอาร์เรย์ข้อดีของ SRAM - Base FPGA คือจะใช้เวลาในการโปรแกรมน้อย (ในระดับมิลลิวินาที) การโปรแกรมจะทำได้ง่ายเทียบเท่ากับการเขียน SRAM ทั่วไปและไม่จำกัด จำนวนครั้งในกระบวนการผลิตจะทำได้ง่าย และเหมาะสมสำหรับการออกแบบวงจรที่มีความสลับซับซ้อนข้อเสียก็คือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ มักจะใช้เอฟพีจีเอชนิดนี้ควบคู่กับ รอม (ROM) เพื่อเก็บโปรแกรมและโหลดโปรแกรมเข้าในตัวชิพเมื่อเริ่มต้นใช้งาน

โครงสร้างภายในของเอฟพีจีเอ

ลักษณะโครงสร้างภายใน เป็นอาร์เรย์ลอจิก ที่สามารถทำการโปรแกรมได้ ดังแสดงในรูปที่ 3.2



รูปที่ 3.2โครงสร้างภายในของเอฟพีจีเอ ตระกูล FLEK10K

จากรูปเป็น บล็อกไดอะแกรมของเอฟพีจีเอ ตระกูล FLEX10K ซึ่งเป็นชิพเอฟพีจีเอ ของบริษัท ALTERA ที่ใช้การโปรแกรมแบบ SRAM Based FPGA มีความจุเกท 10,000-250,000 เกท มีขาอินพุทหรือเอาท์พุท (I/O) สำหรับให้เลือกเชื่อมต่อใช้งานกับวงจรภายนอก 64 - 600 ขา โดย FLEX10K นี้เป็นชิพในกลุ่มของ Logic Element (LE) ในลักษณะ Logic Array Block (LAB) โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LAB จะถูกจัดในลักษณะของแถวในแนวนอนและแนวตั้ง โดยในแต่ละแถวจะประกอบ ไปด้วย EAB เดี่ยวๆ อยู่ซึ่ง LABS และ EABS จะมีการต่อภายใน ลักษณะของ ส่วน IOE (INPUT / OUTPUT Element) จะอยู่ที่ปลายของแต่ละแถวและแต่ละคอร์ลัม โดยมีการต่อเชื่อมในลักษณะของ FastTrack Interconnect

FLEX 10K เป็นอุปกรณ์ที่มีการกำหนดให้อินพุท 6 อินพุท มีลักษณะเป็น Flip Flop เลยทำให้มั่นใจได้ว่า FLEX 10K จะทำให้สัญญาณที่เข้ามาทำงานในลักษณะ High Speed , Low Skew(less than 15 ns) โดยสัญญาณที่รับมาจะถูกแยกไปตามแชนแนลต่างๆ ซึ่งในแต่ละแชนแนลจะถูกแบ่งออกเป็นลักษณะของสัญญาณที่มีค่าของ delay time และมีค่าความผิดเพี้ยนต่ำ แล้วจะถูกเชื่อมต่อไปใช้งานอย่างรวดเร็ว ส่วนอินพุทอีก 4 ส่วน จะถูกนำไปใช้กับสัญญาณ Four Gobal Signal โดยมีลอจิกภายในเป็นตัวควบคุมการทำงาน ซึ่งจะคอยกำหนดสัญญาณ Clock ให้เป็น Clock ในอุดม คติ หรือคอยทำไม่ให้เกิดการ Asynchronous ในการ Clear สัญญาณ หรืออาจจะใช้ในการ Clear Registers ใน FLEX ก็ได้

รูปที่ 3.3 ชิพเอฟพีจีเอในตระกูล FLEX10K

คุณสมบัติของเอฟพีจีเอ FLEX 10K

1. มีหน่วยความจำภายในที่มีประสิทธิภาพและสามารถสร้างฟังทางตรรกยะ (Logic) ที่พิเศษได้ เนื่องจากมีลักษณะของอาร์เรย์
2. High Density คือ มีจำนวนเกตภายในจำนวนมาก สามารถเพิ่มจำนวน RAM ขึ้น เป็น 2 เท่า โดยไม่ทำให้ค่าลอจิกภายในลดลง
3. คุณลักษณะ System-Level คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

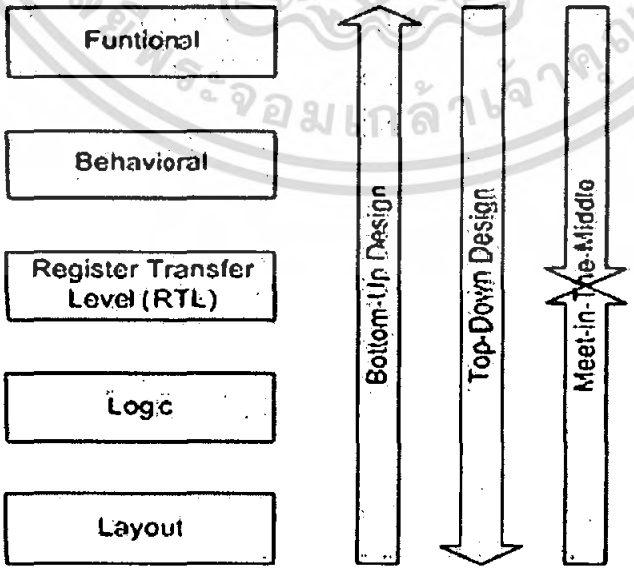
- Multi I/O interface support
- FLEX 10K ใช้กับแรงดันไฟ 5.0 โวลต์
- ใช่พลังงานน้อย คือโดยเวลาทำงานกินกระแสน้อยกว่า 5 มิลลิแอมป์
- FLEX 10K เป็นอุปกรณ์ที่รองรับการต่ออุปกรณ์ภายนอกโดยใช้ PCI บัส เป็นตัวเชื่อมต่อ
- FLEX 10K ได้รองรับมาตรฐาน IEEE 1149.1-1990

3.1.2 ทำไมการออกแบบถึงทำได้ง่ายและสะดวกรวดเร็ว

1.ในการออกแบบเราไม่จำเป็นต้องรู้ถึงโครงสร้างภายในของตัวชิพ เพียงแต่รู้ขั้นตอนการออกแบบลอจิกก็พอ ไม่เหมือนไมโครโปรเซสเซอร์ที่เราจำเป็นต้องรู้โครงสร้างภายในรวมถึงการศึกษาการเขียนภาษา Assembly ซึ่งแต่ละตัวก็ไม่เหมือนกันด้วย

2. การใช้ภาษาในการอธิบายการทำงานของวงจร ที่เรียกว่า HDL (Hardware Description Language) จะช่วยได้มากสำหรับการออกแบบ เนื่องจากเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้เร็ว และ ไม่จำเป็นต้องรู้ลักษณะของวงจรที่จะออกแบบว่าต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน และตัวซอพท์แวร์จะทำ Synthesis and Optimize ให้เราเอง นอกจากนี้ภาษาที่ใช้ ยังเป็นมาตราฐานเดียวกัน สามารถใช้ได้กับชิพททุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เอง และ ใช้เวลาไม่นานโดยเพียงแค่ส่งข้อมูลผ่านสายดาวโหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถ โปรแกรมตัวชิพได้ขณะที่เอยู่ใน ระบบโดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอกและที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำให้ง่ายในการแก้ไขและพัฒนาโดยที่ไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด

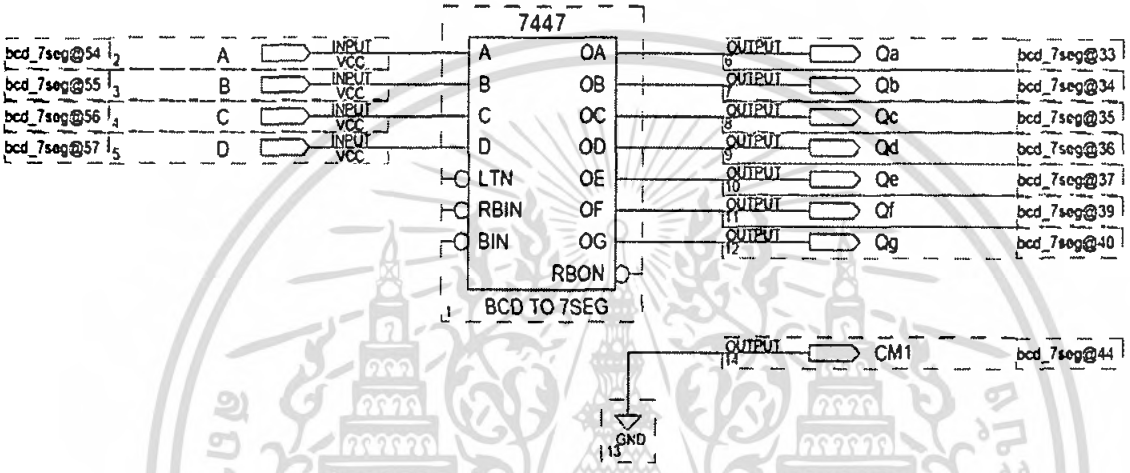


รูปที่ 3.4 แสดงกระบวนการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรดิจิตอลโดยการวาดวงจร (Schematic)

เป็นการออกแบบวงจรให้กับเอฟพีจีเอ โดยการวาดวงจร (Schematic) ซึ่งเป็นการนำเอาอุปกรณ์ที่มีอยู่ในโปรแกรมมาใช้ในการออกแบบ ต่อกันเป็นวงจรเพื่อนำวงจรไป ใช้งานตามที่ผู้ออกแบบต้องการ ซึ่งวิธีนี้ผู้ออกแบบจะต้องทราบรายละเอียดคุณสมบัติของตัวอุปกรณ์ที่นำมาใช้ในการออกแบบ



รูปที่ 3.5 การออกแบบวงจร BCD to 7-SEGMENT ด้วยการวาดวงจร

3.3 การออกแบบวงจรดิจิตอลโดยภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ (VHDL)

เป็นการออกแบบ ระบบดิจิตอล โดยใช้ภาษาวีเอชดีแอล (VHDL : VHSIC Hardware Description Language) มาบรรยายการทำงานของฮาร์ดแวร์ ซึ่งภาษาวีเอชดีแอล นี้เป็นภาษาระดับสูงที่ใช้ในการออกแบบวงจรดิจิตอลได้ตั้งแต่ระบบดิจิตอล (System) ที่ซับซ้อน ไปจนถึงลอจิกเกต (Gate) ซึ่งง่ายต่อการเรียนรู้ สามารถอ่านแล้วเข้าใจง่าย (Human Readable) ออกแบบได้โดยไม่ต้องคำนึงถึงกระบวนการหรือวิธีการของวงจร เพราะวงจรจะถูกสร้างในรูปแบบของฟังก์ชัน เราจะพิจารณาเพียงจุดมุ่งหมายของการออกแบบวงจรเท่านั้น แต่ถึงอย่างไรก็ตามการที่จะทำให้เราทราบถึงการทำงานและขอบเขตของจุดมุ่งหมายอย่างแท้จริงแล้ว เราจำเป็นจะต้องเข้าใจ และคุ้นเคยกับโครงสร้างวงจรนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 ข้อกำหนดของภาษาวีเอชดีแอล

1. ลักษณะทั่วไป DoD ได้กำหนดให้วีเอชดีแอลเป็นภาษาสำหรับ การออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง การจำลอง (Simulation)การสังเคราะห์ (Synthesis) และการทดสอบ(Testing) นอกจากนั้นวีเอชดีแอลยังถูกกำหนด ไว้สำหรับการบรรยายฮาร์ดแวร์ตั้งแต่ระดับบนซึ่งก็คือระบบจน ถึงระดับเกทอีกด้วย เนื่องจากในการทำงานของระบบดิจิตอลนั้น ทุกๆ องค์ประกอบภายในระบบไม่ว่าเล็กหรือใหญ่จะทำงานไปพร้อมๆ กัน ซึ่งในเรื่องของความพร้อมเพรียงในการทำงานนี้ก็ถือเป็นข้อกำหนดที่สำคัญอย่างหนึ่งของวีเอชดีแอลด้วยเช่นกัน(สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์นั้นความพร้อมเพรียงจะหมายถึงทุกๆ คำสั่ง องค์ประกอบ เกทหรือวงจรลอจิกจะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในที่สุดแล้วก็จะดูเหมือนว่าได้มีการปฏิบัติไปพร้อมๆ กัน)

2. สนับสนุนการออกแบบแบบลำดับขั้น การออกแบบแบบลำดับขั้นเป็นลักษณะที่สำคัญอย่างหนึ่งสำหรับการออกแบบระบบที่มีหลายๆ ระดับ โดยในการออกแบบประกอบด้วยส่วนการบรรยายการเชื่อมต่อและส่วนการบรรยายหน้าที่การทำงานซึ่งหน้าที่การทำงาน ของระบบสามารถกำหนดได้ด้วยตัวเองหรืออาจถูกกำหนดโดยโครงสร้างที่ประกอบด้วยองค์ประกอบย่อยๆ ลงไปได้เช่นกันแต่ที่ระดับล่างสุดองค์ ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเองและไม่สามารถ กำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

3. ไลบรารี วีเอชดีแอลได้สนับสนุนการมีไลบรารีเพื่อ ระบบการจัดการที่ดีผู้ออกแบบ สามารถกำหนดลักษณะ และการทำงานของอุปกรณ์พื้นฐานไว้ในระบบ ไลบรารีหรือจะใช้ไลบรารีที่ระ บบได้จัดเตรียมไว้แล้วก็ได้โมเดล และการบรรยายที่ถูกต้องควร จัดเก็บไว้ในไลบรารีหลังจากที่ได้ ผ่านการคอมไพล์เรียบร้อยแล้วเพื่อให้ผู้ออกแบบคนอื่นๆ สามารถนำไปใช้ได้ด้วย

4. ลำดับคำสั่ง แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการโดยพร้อมเพรียงกันจะเป็นคุณ สมบัติที่สำคัญของวีเอชดีแอลก็ตามตัวภาษาเองก็ยังมีการจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วย เมื่อผู้ออกแบบ ได้กำหนดหน้าที่ และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้ เรียบร้อยแล้วผู้ ออกแบบยังสามารถบรรยายหน้าที่ การทำงานซึ่งเป็นรายละเอียดภายในของ แต่ละองค์ประกอบได้ในลักษณะเดียวกับการเขียน โปรแกรมที่ประกอบด้วยโครงสร้างแบบ case, if - then - else และ loop ทั่วๆ ไปได้การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้น อย่างไรก็ตามโครงสร้างทั้งหมดของวีเอชดีแอลก็ยังคงเป็นการทำงานแบบพร้อมเพรียงกันเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การกำหนดคุณสมบัติ นอกจากการกำหนดอินพุทและเอาท์พุทแล้ว เงื่อนไขอื่นๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน โดยสิ่งนี้รวมถึงสภาพแวดล้อม และลักษณะทางกายภาพของอุปกรณ์นั้นๆ ด้วย ซึ่งภาษาสำหรับการออกแบบที่ดีควรให้ผู้ออกแบบ กำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย เช่น สามารถกำหนดขนาดลักษณะทางกายภาพเวลาโหลด และเงื่อนไขทางสภาพแวดล้อมอื่นๆ ซึ่งความสามารถในการกำหนดคุณสมบัตินี้ก็เป็นส่วนหนึ่งที่มีอยู่ในภาษาวีเอชดีแอลด้วยเช่นกัน

6. ชนิดของข้อมูล วีเอชดีแอลสามารถกำหนดชนิด ของข้อมูลไม่เพียงแต่ชนิดบิท และบูลีนเท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยม และชนิดลำดับการนับ (Enumerate Type) หรือแม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นมาเองก็ได้

7. โปรแกรมย่อย ความสามารถในการใช้ฟังก์ชัน และโพรซีเจอร์ (Procedure) ก็เป็นข้อกำหนดอีกอย่างหนึ่งในวีเอชดีแอล ซึ่งผู้ออกแบบสามารถนำโปรแกรมย่อยมา ใช้ในการเปลี่ยนแปลง ชนิดของข้อมูล การกำหนดหน่วยของลอจิก การกำหนดตัวกระทำต่างๆ หรือหน้าที่อื่นๆ ตามที่ต้องการได้เช่นเดียวกับการเขียนโปรแกรมทั่วไป

8. การควบคุมเวลา วีเอชดีแอล อนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกทหรือการหน่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่แน่นอนหรือกำหนดให้มีการรอคอยเหตุการณ์ (Event)นอกจากนี้ก็ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

9. การกำหนดแบบโครงสร้าง การกำหนดโครงสร้างขององค์ประกอบต่างๆสามารถกระทำได้ในทุกระดับของการออกแบบ โดยการกำหนดโครงสร้างขององค์ประกอบร่วมที่เกิดจากองค์ประกอบย่อยซึ่งแตกต่างกันหรือเหมือนกันก็เป็นข้อกำหนดอย่างหนึ่งของวีเอชดีแอลเช่นกัน

3.3.2 องค์ประกอบพื้นฐานของวีเอชดีแอล

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของวีเอสดีแอลจะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ(Interface)และส่วนกำหนดเชิงสถาปัตยกรรม(Architecture) ดังแสดงในรูปที่ 3.6 โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อ ขององค์ประกอบ จากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยาย ถึงพอร์ตการติดต่ออินพุท – เอาท์พุท ขององค์ประกอบ ส่วนลักษณะภายนอกอื่น ๆ เช่น เวลา อุณหภูมิก็สามารถรวมเข้าไปในส่วนนี้ได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

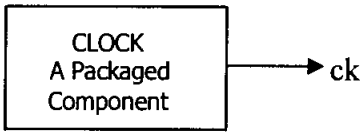
```
ENTITY componnt_name IS
    Input and output ports
    Physical and other parameters
END component_name ;
ARCHITECTURE identifier OF component_name IS
    [declaration]
BEGIN
    Specification of functionality of the component
    In terms of its input lines and as influenced
    By physical and other parameters
END identifier ;
```

รูปที่ 3.6 การกำหนดการเชื่อมต่อและสถาปัตยกรรม

ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุท – เอาท์พุท และพารามิเตอร์อื่นๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่อดังรูปที่ 3.6และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

1. การกำหนดการเชื่อมต่อ การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบ โดยในระดับนี้ ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่นๆ ดังตัวอย่างในรูปที่ 3.7 ซึ่งเป็นบล็อคไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวจ่ายสัญญาณนาฬิกาในบรรทัดแรกของการบรรยายการเชื่อมต่อเป็นการกำหนดชื่อขององค์ประกอบซึ่ง กำหนดเป็น clock_ component ตามด้วยคำว่า PORT และชื่อของพอร์ตอยู่ภายในวงเล็บส่วน IN และ OUT เป็นการกำหนดโหนด ของสัญญาณให้เป็น อินพุทหรือเอาท์พุท และ BIT เป็นการแสดงชนิดของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ENTITY clock_component IS

PORT (en:IN BIT;ck : OUT BIT)

END clock_name;

รูปที่ 3.7 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_ component

2. การกำหนดรูปแบบการบรรยาย หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาท์พุทในเทอมของอินพุทหรือในรูปขององค์ประกอบอื่นๆ หรือทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของclock_component ในรูปที่ 3.8 ซึ่งเป็นการบรรยายในเชิงพฤติกรรมโดยมี en เป็นอินพุทและ ck เป็นเอาท์พุทPROCESS เป็นคำที่ ใช้ในการเริ่มต้นสำหรับ การบรรยายในเชิงพฤติกรรม และภาย ในโปรเซสกำหนดให้ periodic เป็นตัวแปรที่มีค่าเริ่มต้นเป็น “0” ถ้าสัญญาณ en มีค่าเป็น “1”’ จะทำให้ตัวแปร periodic ถูกคอมพลีเมนท์ (complement) และส่งค่าให้กับ ck ซึ่งเป็นสัญญาณเอาท์พุท และสำหรับคำสั่ง WAIT จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

```
ARCHITECTURE behavioral OF clock_componant IS
BEGIN
    PROCESS
    VARIABLE periodc : BIT := ' 0 ' ;
    BEGIN
        IF en = '1' THEN
        periodc = Not periodc ;
        END IF ;
        Ck <= periodc 1 US ;
        WAIT FOR 1 US;
    END PROCESS;
END behavioral;
```

รูปที่ 3.8 การบรรยายเชิงพฤติกรรมของ clock _ component

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. หน่วยการออกแบบแพ็กเก็ต ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนของแพ็กเก็ต ซึ่งหน่วยการออกแบบต่างๆ เช่น หน่วยการออกแบบ Entity หน่วยการออกแบบสถาปัตยกรรม หรือหน่วยการออกแบบแพ็กเกจอื่นๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้ นอกจากนั้นสิ่งที่นิยมทำกันมากคือการนำรูปแบบมาตรฐานต่างๆเช่นอุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XX เป็นต้น) มาเก็บไว้ในรูปของแพ็กเกจที่ทุกคนสามารถ เข้าถึงได้ตามปกติแล้วแพ็กเกจ จะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็กเกจ (Packagen declaration) และส่วนของบอดี้แพ็กเกจ (Package body) เนื่องจาก แพ็กเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็กเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษาวีเอชดีแอลสามารถกระทำได้ด้วยชุดคำสั่ง USE

PACKAGE DECLARATION ส่วนที่มีความสำคัญที่สุดของแพ็กเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็กเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็กเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็กเกจเอง ถ้ามีการประกาศสิ่งใดๆ ในส่วนของส่วนบอดี้แพ็กเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็กเกจ จะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ Entity คือ จุดเชื่อมต่อ หรือ พอร์ต ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเกจสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถนำไปใช้งานจากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศ ชนิด (Type) หรือสัญญาณ เช่นเดียวกับ ส่วนบอดี้แพ็กเกจที่ไม่จำเป็นต้องมี ส่วนของการประกาศแพ็กเกจ แต่แพ็กเกจนั้นจะไม่สามารถนำไปใช้จากรูปแบบอื่นได้

```
PACKAGE package_name IS
    Package_declarative_part
END package_name;
```

รูปที่ 3.9 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ

PACKAGE BODY โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้นๆได้ถูกประกาศไปแล้วในส่วนของการ ประกาศแพ็กเกจ จะถูกเก็บไว้ในส่วนของบอดี้แพ็กเกจ ทั้งนี้รวมถึงการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อ ไว้ก่อนในส่วนของการประกาศแพ็กเกจ และถูกกำหนดค่าในส่วนของบอดี้แพ็กเกจ ฉะนั้นในส่วนของบอดี้แพ็กเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็กเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดี้แพ็กเกจนั้นจะเป็นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PACKAGE BODY package_name IS
    Declarative part
END package_name
```

รูปที่ 3.10 โครงสร้างของบอดี้แพ็กเกจ

3. **หน่วยการออกแบบ Configuration** ดังที่ทราบกันแล้วว่าระบบ ดิจิตอล รูปแบบหนึ่ง ไม่ว่าจะเป็นอะไรก็ตาม จะสามารถมีหน่วย การออกแบบ Entity ได้เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ Entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วยดังนั้นจะต้องมีหน่วยการออกแบบ Configuration มาเพื่อกำหนดการใช้ Configuration ของการประกอบ Entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใดๆ เข้าด้วยกัน

```
COMFIGURTRION identifier OF entity_name IS
    Configuretion_declarative_part
END;
```

รูปที่ 3.11 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

5. **โปรแกรมย่อย** การใช้ฟังก์ชัน และ โพรซีเจอร์ ในภาษาวีเอชดีแอลเปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่วๆไป ค่าที่ถูกส่งกลับหรือ ถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริงๆ ในขณะที่ถ้าใช้โปรแกรมย่อยใน การเปลี่ยนชนิดของข้อมูลหรือในการคำนวณค่าการหน่วงเวลาแล้วก็จะไม่มีผลต่อ โครงสร้างของฮาร์ดแวร์รูปที่ 3.12 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิทเป็นค่าจำนวนเต็ม และรูปที่ 3.13 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิตแทนการกระทำในสมการบูลีน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TYPE byte IS ARRAY (7 DOWNTO 0 ) OF BIT ;
...
PROCEDURE byte_to_integer (ib : IN byte ; oi : OUT INTEGER ) IS
VARIABLE result : INTEGER := 0;
BEGIN
        FOR : IN 0 TO 7 LOOP
                IF ib (i) = '1' THEN
                Result := result + 2** I ;
                END IF;
        END LOOP ;
        oi := result ;
END byte_to_integer;
```

รูปที่ 3.12 การใช้โพรซีเจอร์

```
FUNCTION   f (a,b,c : BIT ) RETURN BIT IS
                VARIABLE X: BIT ;
BEGIN
                X := ((NOT a ) AND (NOT b ) AND c );
                RETURN X;
END f ;
```

รูปที่ 3.13 การใช้ฟังก์ชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. โอเปอร์เรเตอร์ การบรรยายเชิงพฤติกรรมในภาษา วีเอชดีแอล มีตัวดำเนินการหรือโอเปอร์ เรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟท์แวร์ทั่วไปดังรูปที่ 3.14

PREDEFIND OPERATORS

LOGICAL OPERATORS : AND OR NAND NOR XOR

OPERAND TYPE : BIT BOOLEAN

RESULTTYPE : BIT BOOLEAN

RELATIONAL OPERATIOR : = / = < < = > > =

OPERAND TYPE : any type

RESULTTYPE : Boolean

ARITMETIC OPERATOR : + - * / * * MOD REM AES

OPERAND TYPE : INTTEGER REAL Physical

RESULTTYPE : INTEGER REAL Physical

CONCANTENATION OPERATOR : &

OPERAND TYPE : ARRAY of any type

RESULTTYPE : array of any type

RESULTTYPE : array of any type

รูปที่ 3.14 ตัวดำเนินการในวีเอชดีแอล

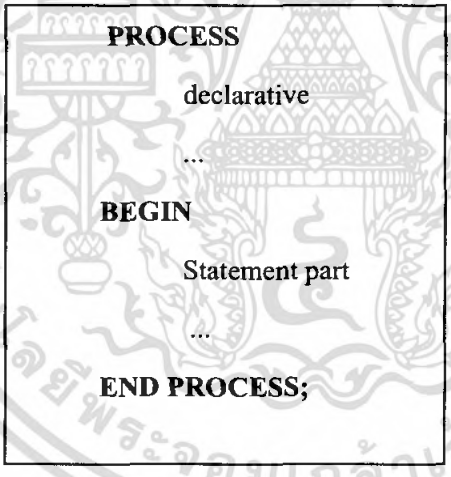
7. เวลาและความพร้อมเพรียง ในวงจรอิเล็กทรอนิกส์อุปกรณ์ทุกๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) และจะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุกๆ เหตุการณ์ที่เกิดขึ้นเสมอ วีเอชดีแอลเป็นภาษาที่ได้รับ การออกแบบมาเพื่อให้สามารถบรรยายรูปแบบ และการพ้องกันของเวลาสำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมีการทำงานภายในเป็นแบบลำดับคำสั่งก็ตามซึ่งหากมีหลายๆ โปรเซสอยู่ภายในโครงสร้างเดียวกันทุกๆโปรเซสก็จะทำงานไปพร้อมๆ กันด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. สัญญาณและตัวแปร สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ที่ใช้ในการส่งผ่าน ข้อมูล และมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย การกำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์<= ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณเช่น w <= a AFTER 12 NS หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป12 นาโนวินาทีในทางตรงข้าม ตัวแปรมีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่งเช่นใน ฟังก์ชัน โพรซีเจอร์ และโปรเซส สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

3.3.3 โปรเซส

โปรเซสเป็นรูปแบบพื้นฐานอย่างหนึ่งที่ใช้ในการกำหนดให้กับสัญญาณ โปรเซสจะอยู่ในสถานะที่เตรียมพร้อมอยู่เสมอและจะปฏิบัติคำสั่งพร้อมๆกันกับโปรเซสอื่นๆที่อยู่ในสถาปัตยกรรมบรรยายเดียวกัน โดยโปรเซสจะปฏิบัติงานตามคำสั่งทันที ที่มีเหตุการณ์เกิดขึ้นกับสัญญาณที่อยู่ทางด้านขวามือของสัญลักษณ์กำหนดค่าให้กับสัญญาณ (<=)



รูปที่ 3.15 รูปแบบของการบรรยายแบบโปรเซส

การบรรยายโปรเซสจะเริ่มต้นด้วยคำสั่ง PROCESS และจบด้วยคำสั่ง END PROCESS ในรูปที่ 3.15 เป็นการแสดงส่วนประกอบของการบรรยายแบบโปรเซส ซึ่งประกอบด้วยส่วนของการประกาศตัวแปรที่ต้องใช้และส่วนของการปฏิบัติคำสั่งเพื่อให้ได้ผลลัพธ์ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การกำหนดตัวดำเนินการภายในโปรเซส ตัวดำเนินการภายในโปรเซสมี 3 ชนิดคือตัว แปร (Variable) ไฟล์ (File) และตัวคงที่ (Constant) ซึ่งตัวดำเนินการทั้งสามชนิดนี้หากมีการประกาศ ไว้ในโปรเซสใดก็จะใช้ได้เฉพาะภายในโปรเซสนั้นเท่านั้น สำหรับการติดต่อกับภายนอกหรือระหว่างโปรเซสสามารถทำได้โดยใช้สัญญาณ (Signal) หรือตัวคงที่ที่ได้ประกาศไว้ในส่วนของ ARCHITECTURE ในรูปที่ 3.16 แสดงตัวอย่างการประกาศตัวกระทำภายในโปรเซส ซึ่งจะอยู่ระหว่างคำสั่ง PROCESS และ BEGIN และค่าเริ่มต้นที่ถูกกำหนดให้กับตัวดำเนินการภายในโปรเซสจะถูกนำมาใช้ ในตอนเริ่มต้นของการปฏิบัติเพียงครั้งเดียวเท่านั้น ต่างกับค่าเริ่มต้นที่อยู่ภายในโปรแกรมย่อยจะถูกนำมาใช้ทุกครั้งที่มีการเรียกใช้โปรแกรมย่อยนั้น ๆ

```
PROCESS
FILE flush : TEXT IS IN "filename.dat";
VARIABLE var : BIT;
CONSTANT n : INTEGER := 0;
BEGIN
    ....
END PROCESS;
```

รูปที่ 3.16 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส

2. การกำหนดการกระทำภายในโปรเซส การกระทำใดๆ ภายในโปรเซสจะเป็นการปฏิบัติแบบลำดับ (Sequential) เสมอ ซึ่งภายในโปรเซสสามารถใช้ประโยคเงื่อนไขหรือการทำซ้ำได้เช่น IF-THEN-ELSE , CASE-WHEN , FOR LOOP และ WHILE-LOOP ดังตัวอย่างในรูปที่ 3.17 และ 3.18

```
ARCHITECTURE demo OF paratial_process IS
...
BEGIN
   PROCESS
   BEGIN
      ...
      X <= a AFTER 10 NS;
      Y <= b AFTER 6 NS;
      ...
   END PROCESS;
```

รูปที่ 3.17 การกระทำในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

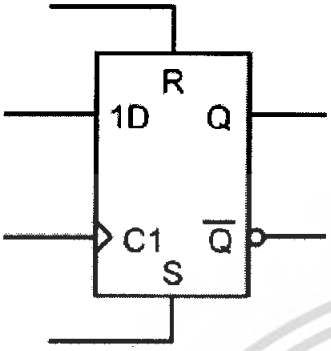
```
ARCHITECTURE demo OF paratial_process IS
...
BEGIN
  PROCESS
  ...
  BEGIN
  ...
        X <= '1';
        IF X = '1' THEN
        perform action_1;
        ELSE perform action_2;
        END IF ;
   ...
   END PROCESS;
END demo;
```

รูปที่ 3.18 เงื่อนไขการกระทำในโปรเซส

3 **การกระตุ้นและยับยั้ง**. การกระทำของ โปรเซสการกระทำภายใน โปรเซสจะอยู่ในสภาพเตรียมพร้อม และมีการปฏิบัติงานอยู่ตลอดเวลาที่มีการเปลี่ยนแปลงของเหตุการณ์เกิดขึ้นอย่างไรก็ดี เราสามารถกระตุ้น หรือยับยั้งการกระทำภายใน โปรเซสได้โดยการกำหนดรายการของสัญญาณที่ต้องการให้โปรเซสปฏิบัติงานเมื่อมีเหตุการณ์เกิดขึ้นกับสัญญาณที่กำหนดไว้เท่านั้น ส่วนเหตุการณ์ใดๆ ที่เกิดขึ้นกับสัญญาณที่ไม่ได้กำหนดไว้ในรายการก็จะไม่ส่งผลให้มีการกระทำภายในโปรเซส ซึ่งรายการของสัญญาณนี้เรียกว่า Sensitivity List และ จะกำหนดไว้ภายในวงเล็บหลังคำสั่ง PROCESS

รูปที่ 3.19 (a) แสดงตัวอย่างโมเดล และรูปที่ 3.19 (b) เป็นตัวอย่างการบรรยายการเชื่อมต่อของ D-Flip Flop ส่วนรูปที่ 3.20 แสดงถึงการบรรยายเชิงพฤติกรรมของ D-Flip Flop โดยในรูปที่ 3.20 (a) เป็นการใช้ตัวกระทำภายนอกโปรเซส และรูปที่ 3.20 (b) เป็นการใช้ตัวกระทำภายในโปรเซส โดยมีรายการของสัญญาณ (rst, set, clk) เป็นตัวกระตุ้นการปฏิบัติงานภายในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ENTITY component_name **IS**

Input and output port

Physical and other parameters

END component_name;

รูปที่ 3.19 (a) ตัวอย่างโมเดล D-Flip Flop

(b) การบรรยายการเชื่อมต่อของ D-Flip Flop

```
ARCHITECTURE behavioral OF d_sr_flipflop IS
  SIGNAL state : BIT := '0' ;
   BEGIN
    Diff : PROCESS ( rst,set,clk )
     BEGIN
      IF set = '1' THEN
        State <= '0' AFTER sq_delay ;
      ELSIF rst = '1' THEN
        State <= '0' AFTER rq_delay ;
      ELSIF clk = '1' AND clk 'EVENT THEN
        State <= d AFTER cq_delay ;
     END IF ;
   END PROCESS diff;
     q <= state ;
     qb <= NOT state ;
END behavioral;
```

(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ARCHITECTURE average_delay_behavioral OF d_sr_flipflop IS
    BEGIN
        Diff : PROCESS ( rst,set,clk )
        VARIABLE state : BIT := '0' ;
       BEGIN
        IF set = '1' THEN
            State <= 'I';
        ELSIF rst = '1' THEN
            State <= '0';
        ELSIF clk = '1' AND clk 'EVENT THEN
            State <= d ;
        END IF ;
            q <= state AFTER (sq_delay+rq_delay+cq_delay)/3;
            qb <= NOT state AFTER (sq_delay+rq_delay+cq_delay)/3 ;
      END PROCESS;
   END behavioral;
```

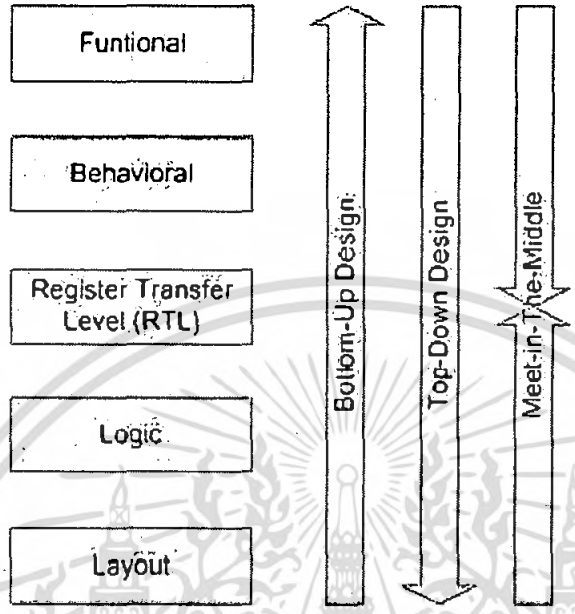
(b)

รูปที่ 3.20 การบรรยายเชิงพฤติกรรมของ D-FlipFlop

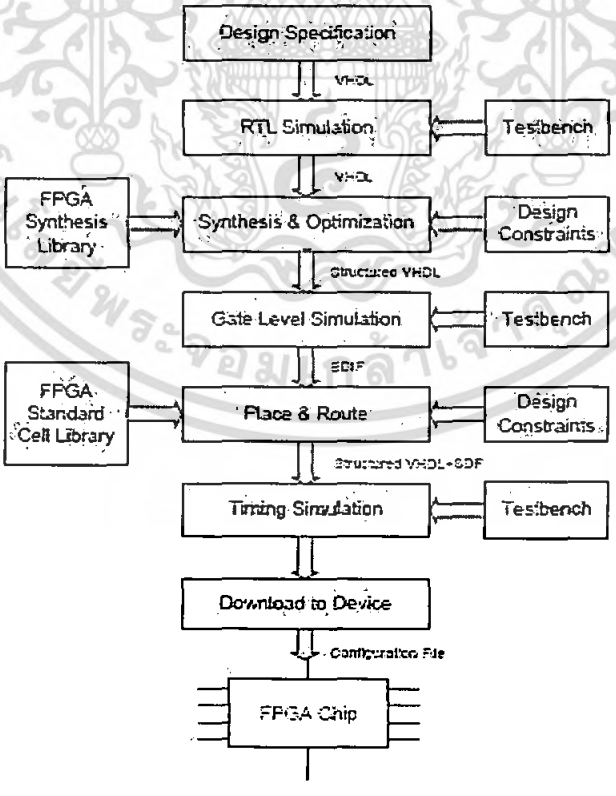
(a) การใช้ตัวกระทำภายนอกโปรเซส (b) การใช้ตัวกระทำภายในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ขั้นตอนการออกแบบเอฟพีจีเอ



รูปที่ 3.21 การออกแบบระบบดิจิตอล



รูปที่ 3.22 ขั้นตอนการออกแบบวงจรด้วย FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 การสร้างข้อกำหนดของการออกแบบ (Design Specificaion)

เป็นขั้นตอนการสร้างข้อกำหนดต่างๆ ของวงจร เช่น วงจรทำงานที่ความถี่เท่าไหร่ ฟังก์ชันการทำงานมีอะไรบ้าง ซึ่งเป็นรายละเอียดของวงจรที่ต้องการออกแบบ และเขียนฟังก์ชันการทำงานของวงจรตามที่ผู้ที่ออกแบบกำหนดด้วยภาษา VHDL ในระดับ RTL

3.4.2 จำลองการทำงานโมเดลวงจรระดับอาร์ทีแอล (RTL Simulation)

เป็นขั้นตอนตรวจสอบการทำงานของโมเดลวงจรในระดับ RTL หรือฟังก์ชันโดยกรจำลองการทำงาน จะถูกทดสอบด้วย Testbench ซึ่งการจำลองการทำงานในขั้นตอนนี้ จะจำลองการทำงานเพียงฟังก์ชัน ไม่คำนึงถึงค่าดีเลย์ (Delay) ของวงจรแต่อย่างใด

3.4.3 สังเคราะห์และออปติไมซ์วงจร (Synthesis & Optimization)

เป็นขั้นตอนการสร้างแผนภาพวงจร (Schematic) จากโมเดลวงจรระดับ RTL ให้อยู่ในรูปของลอจิกเกต โดยอาศัยซอฟต์แวร์ช่วยในการสังเคราะห์วงจรโดยในขั้นตอนนี้จะต้องมีการเลือกใช้เทคโนโลยี FPGA ที่ผู้ออกแบบต้องการเลือกใช้ ซึ่งบริษัทผู้ผลิต FPGA จะมี เทคโนลยีไลบรารี (Technology Library) เตรียมไว้ให้ผู้ออกแบบ ไว้ในซอฟต์แวร์ที่ใช้พัฒนาชิพ FPGA ของแต่ละบริษัทผู้ผลิตไว้อยู่แล้ว โดยเมื่อทำการสังเคราะห์ได้ผังวงจร จากนั้นซอฟต์แวร์จะทำการออปติไมซ์ (Optimize) วงจรตามข้อกำหนดหรือเงื่อนไขของการสังเคราะห์ (Design constraint) ที่ผู้ออกแบบกำหนดขึ้นตาม ขั้นตอนแรกของการออกแบบ ซึ่งผลลัพธ์ที่ได้จากการสังเคราะห์วงจรจะ อยู่ในรูปแบบของไฟล์ VHDL แบบ โครงสร้างลอจิก (Structured VHDL) และ ไฟล์เน็ตลิสต์มาตรฐาน (Netlist) ประเภท EDIF (Electronic Design Interchange Format) ที่จะนำไปใช้ในขั้นตอน Place & Route ต่อไป

3.4.4 การจำลองการทำงานของวงจรระดับลอจิกเกต (Gate Level Simulation)

เป็นขั้นตอน ที่ผู้ออกแบบจะต้องทดสอบไฟล์เน็ตลิสต์ที่เป็น โมเดลของวงจรระดับลอจิกโดยใช้ Testbench ตัวเดิมที่ใช้จำลองการทำงานระดับ RTL มาแล้ว ซึ่งในการจำลองการทำงานในระดับนี้ จะมีเรื่องของเกตดีเลย์ (Gate Delay) เข้ามาเกี่ยวข้องในผลการจำลองการทำงาน ซึ่งจะแตกต่างจากการจำลองการทำงานในระดับ RTL เนื่องจากโมเดลของวงจรระดับเกตนี้ จะมีข้อมูลเรื่อง ดีเลย์ของเกตภายในเทคโนโลยี ที่ผู้ออกแบบเลือกมาใช้ ดังนั้นผู้ออกแบบ จะต้องจำลองการทำงานเพื่อตรวจสอบไทม์มิ่ง (Timing) อีกครั้งหนึ่ง ว่ายังถูกต้องตามข้อกำหนดของวงจรหรือไม่ ถ้าไม่ตรงตามข้อกำหนดจะต้องกลับไปขั้นตอนที่ 3 เพื่อทำการสังเคราะห์และออปติไมซ์วงจรใหม่เพื่อให้ผลการจำลองการทำงานถูกต้องตาม Design Specification

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 การวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ (Place & Route)

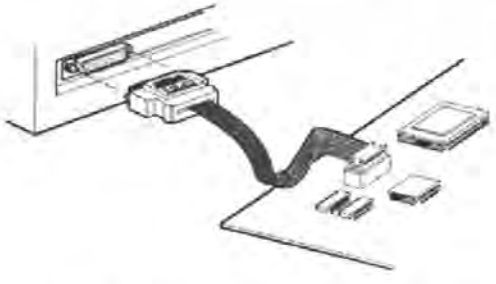
เมื่อตรวจสอบการทำงานในระดับลอจิกเกตเป็นที่เรียบร้อยแล้ว เราจะนำไฟล์เน็ตลิสต์ที่อยู่ในรูปแบบ EDIF มาทำการแปลงลงสู่เทคโนโลยีเซลล์ภายในของ FPGA และทำการเชื่อมต่อเซลล์ภายในเข้าด้วยกัน ตามรูปแบบการเชื่อมต่ออุปกรณ์ต่างๆ ภายในเน็ตลิสต์ โดยขั้นตอนนี้ จะมีการเรียกใช้เทคโนโลยีเซลล์ของ FPGA เนื่องจาก เทคโนโลยีเซลล์ของเอฟพีจีเอ อาจมีมาโครเซลล์ (Macro cells) สำหรับสร้างฟังก์ชันต่างๆ ให้กับผู้ออกแบบใช้งานเพราะมาโครเซลล์ต่างๆ พวกนี้ถูกทางผู้ผลิตออกแบบไว้สำหรับชิพ FPGA แต่ละตัว หรือกล่าวได้ว่าเป็นวงจรที่ออปติไมซ์มาแล้ว ซึ่งในการวาง และ เชื่อมต่อเซลล์หรือ มาโครเซลล์ต่างๆ จะถูกควบคุมด้วยข้อกำหนดในการ Place&Route เพื่อให้ซอฟต์แวร์ทำการวางและเชื่อมต่อกันตามความต้องการของผู้ออกแบบ ที่เราเรียกกันว่า Design constraints โดยผลลัพธ์จากขั้นตอนนี้จะอยู่ในไฟล์ประเภท SDF (Standard DelayFormat) ซึ่งเป็นไฟล์รูปแบบมาตรฐานที่มี ข้อมูลเกี่ยวกับค่าดีเลย์ ของเส้นทางการเชื่อมต่อภายใน(Routing delay) ภายในเอฟพีจีเอ

3.4.6 การจำลองการทำงานระดับฐานเวลาจริง (Timing Simulation)

เป็นขั้นตอนสุดท้าย ของการตรวจสอบความถูกต้อง ก่อนจะนำวงจรที่ออกแบบไปโปรแกรมหรือบางครั้งเรียกว่า Download ลงสู่ชิพจริงต่อไปโดยขั้นตอนจำลองการทำงนในระดับไทม์มิ่ง (Timing model) ผลลัพธ์จากการจำลองการทำงานที่ได้จะมีความใกล้เคียงกับไทม์มิ่งการทำงาน จริงบนชิพเอฟพีจีเอ เนื่องจากในการจำลองการทำงานในขั้นตอนนี้มีข้อมูลเกี่ยวกับดีเลย์ของเซลล์ภาย ในเอฟพีจีเอ และดีเลย์ของการเชื่อมต่อเซลล์เข้ามาเกี่ยวข้อง ทำให้ผลการจำลองการทำงาน ในระ ดับนี้ใกล้เคียงกันกับไทม์มิ่งการทำงานบนฮาร์ดแวร์จริง

3.4.7 โปรแกรมลงสู่ชิพจริง (Download to device)

เป็นขั้นตอนสุดท้ายสำหรับการออกแบบวงจร เพื่อการใช้งานชิพเอฟพีจีเอ คือ ขั้นตอนโปรแกรม Configuration ลงสู่เอฟพีจีเอ บนบอร์ดเพื่อทดสอบการทำงานจริงต่อไป



รูปที่ 3.23 การโปรแกรมลงในชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

AT89C4051 ไมโครคอนโทรลเลอร์

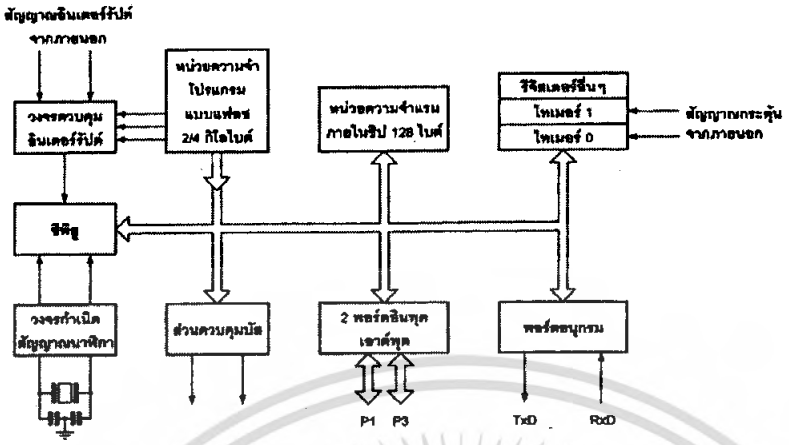
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ที่ใช้ในโครงงานนี้นี้จะอ้างอิงถึงไมโครคอนโทรลเลอร์ในอนุกรม AT89C×051 ซึ่งมีหน่วยความจำภายในเป็นแบบแฟลช (flash memory) ของ Atmel Corporation มีเบอร์หลักๆคือ AT89C2051 และ AT89C4051 ซึ่งทั้งสองเบอร์มีความแตกต่างกันที่ความจุของหน่วยความจำโปรแกรม โดย AT89C2051 มีความจุ 2 กิโลไบต์ ในขณะที่ AT89C4051 มีความจุ 4 กิโลไบต์

4.1 คุณสมบัติของไมโครคอนโทรลเลอร์ MCS-51 อนุกรม AT89C×051

- เป็นไมโครคอนโทรลเลอร์ที่ใช้ซีพียูขนาด 8 บิต
- ภายในมีหน่วยความจำโปรแกรมเป็นแบบแฟลช สามารถลบและเขียนใหม่ได้พันครั้ง ความจุ 2 ถึง 4 กิโลไบต์ ขึ้นอยู่กับเบอร์ของไมโครคอนโทรลเลอร์
- หน่วยความจำข้อมูลพื้นฐานเป็นหน่วยความจำแบบแรม
- ขาพอร์ตเป็นแบบสองทิศทาง สามารถใช้งานเป็นได้ทั้งอินพุตและเอาต์พุต
- มีขาพอร์ตสำหรับต่อใช้งาน 15 ขา โดยแบ่งเป็นพอร์ต 1 (8 บิต : P1.0-P1.7) และพอร์ต3 (7 บิต : P3.0-P3.5 และ P3.7)
- มีวงจรสื่อสารอนุกรมแบบฟูลดูเพล็กซ์
- ไทเมอร์/เคาน์เตอร์ขนาด 16 บิต 2 ตัว
- สามารถรองรับแหล่งกำเนิดอินเตอร์รัปต์ได้ 6 ประเภท

ในรูปที่ 4-1 เป็นโครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 ในอนุกรม AT89C×051 จะเห็นได้ว่า เหมือนกับไมโครคอนโทรลเลอร์ตระกูล MCS-51 พื้นฐาน หากแต่แตกต่างกันที่หน่วยความจำโปรแกรมแบบแฟลชที่เพิ่มเติมเข้ามา และจำนวนขาพอร์ตที่น้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4-1 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรม AT89C×051

เบอร์ของไมโครคอนโทรลเลอร์	หน่วยความจำโปรแกรม	หน่วยความจำข้อมูล	จำนวนไทเมอร์/เคาน์เตอร์ 16 บิต
AT89C2051	แบบแฟลช ขนาด 2 กิโลไบต์	แรม 128 ไบต์	2
AT89C4051	แบบแฟลช ขนาด 4 กิโลไบต์	แรม 128 ไบต์	2

ตารางที่4-1 รายละเอียดโดยสรุปบางส่วนของไมโครคอนโทรลเลอร์ AT89C×051 แบบแฟลชที่ Atmel ผลิตขึ้น

ในตารางที่ 4-1 แสดงรายละเอียดบางส่วนของไมโครคอนโทรลเลอร์ MCS-51 ในอนุกรม AT89C×051 ที่ Atmel ผลิตขึ้น และมีใช้งานอยู่ในปัจจุบัน

4.2 การจัดขาของไมโครคอนโทรลเลอร์ AT89C×051

ไมโครคอนโทรลเลอร์ MCS-51ในอนุกรมAT89C×051 ทุกเบอร์จะมีสถาปัตยกรรมและขาใช้งานพื้นฐานเหมือนกัน ดังแสดงในรูปที่ 4-2 โดยมีรายละเอียดขึ้นต้น ดังนี้

ขา Vcc ใช้สำหรับต่อไฟเลี้ยง +5V

ขา GND เป็นขากราวด์ สำหรับต่อกับกราวด์ของระบบ

ขาพอร์ต 1(P1.0-P1.7) มี 8 ขา แต่ละขาสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุต สำหรับใช้งานทั่วไป ถ้าหากต้องการกำหนดให้ขาพอร์ตใดเป็นอินพุต สามารถทำได้โดยการเขียนข้อมูล “1” ไปยังแต่ละบิตของพอร์ตที่ต้องการติดต่อด้วย

ขาพอร์ต 3 (P3.0-P3.5,P3.7) มี 7 ขา สามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุต สำหรับใช้งานทั่วไป ถ้าหากต้องการกำหนดให้ขาพอร์ตใดเป็นอินพุต สามารถทำได้โดยการเขียนข้อมูล “1” ไปยังแต่ละบิตของพอร์ตที่ต้องการติดต่อด้วย ส่งผลให้ขาพอร์ตนั้นมีสถานะปล่อยลอย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(float) จึงมีอินพุตอิมพีแดนซ์สูง สามารถใช้งานเป็นขาพอร์ตอินพุตได้ นอกจากนั้นขาพอร์ต 3 ยังเป็นขาที่มีหน้าที่การใช้งานพิเศษ ดังมีรายละเอียดขั้นต้นต่อไปนี้

P3.0 ใช้เป็นขาอินพุตสำหรับรับข้อมูลจากการสื่อสารแบบอนุกรม หรือขา R×D

P3.1 ใช้เป็นขาอินพุตสำหรับส่งข้อมูลจากการสื่อสารแบบอนุกรม หรือขา T×D

P3.2 ใช้เป็นขาอินพุตรับสัญญาณอินเตอร์รัปต์จากภายนอกช่อง 0 หรือขา INT0

P3.3 ใช้เป็นขาอินพุตรับสัญญาณอินเตอร์รัปต์จากภายนอกช่อง 1 หรือขา INT1

P3.4 ใช้เป็นขาอินพุตสำหรับรับสัญญาณไทเมอร์จากภายนอกช่อง 0 หรือขา T0

P3.5 ใช้เป็นขาอินพุตสำหรับรับสัญญาอินเตอร์รัปต์จากภายนอกช่อง 1 หรือขา T1

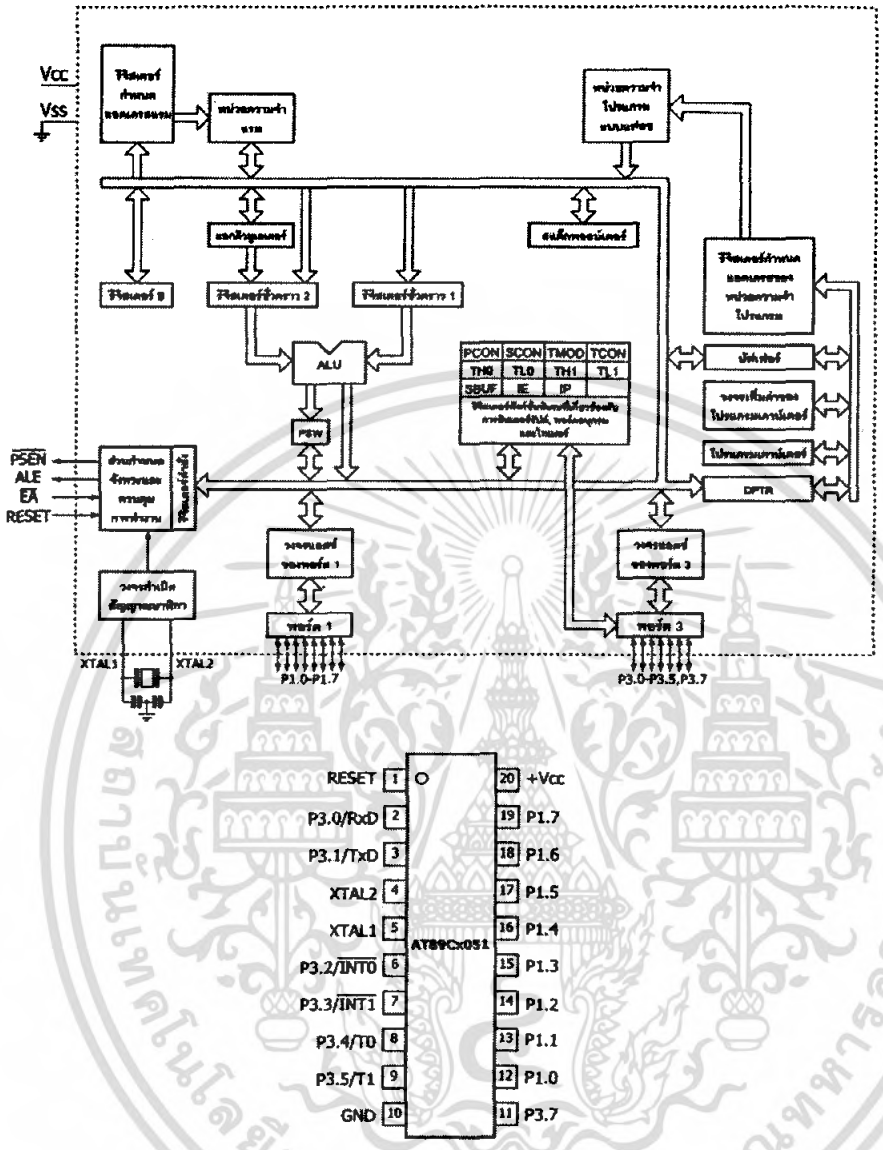
P3.7 เป็นขาพอร์ตใช้งานทั่วไป

สำหรับ P3.6 โดยแท้จริงแล้วใน AT89C×051 มีให้ใช้งาน เพราะ P3.6 เป็นเอาต์พุตของโมดูลเปรียบเทียบแรงดันอะนาลอก (analog comparator) ที่มีอยู่ภายในตัว AT89C×051 ทุกตัว แต่ต้องอ่านค่าด้วยซอฟต์แวร์ผ่านทางรีจิสเตอร์ ไม่มีการต่อขาออกมาให้ใช้งานภายนอก

ขารีเซต (Reset) ใช้ในการรีเซตการทำงานของไมโครคอนโทรลเลอร์ โดยในการป้อนสัญญาณเพื่อรีเซต สถานะที่ขานี้ต้องอยู่ในระดับรีเซตอย่างน้อย 2 แมชชีนไซเกิล โดยที่วงจรกำเนิดสัญญาณนาฬิกายังคงทำงานต่อเนื่องอย่างปกติ

ขา XTAL1 และ **XTAL2** เป็นขาสำหรับต่อคริสตอลเพื่อสร้างสัญญาณนาฬิกาในการกำหนดจังหวะการทำงานของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4-2 รายละเอียดโครงสร้างและหลักการจัดขาของไมโครคอนโทรลเลอร์ AT89C×051 ของ Atmel

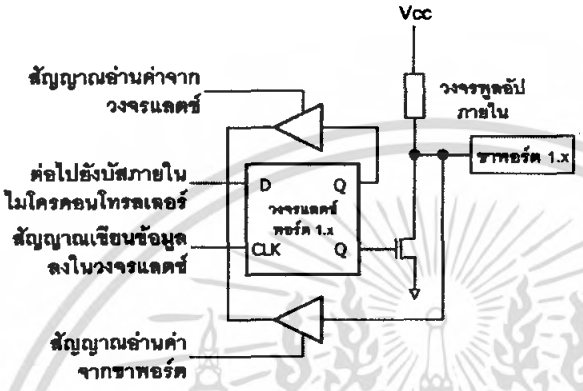
4.3 โครงสร้างและการทำงานของพอร์ต

ไมโครคอนโทรลเลอร์ AT89C×051 มีพอร์ตให้ใช้งาน 2 พอร์ตคือ พอร์ต 1 และพอร์ต 3 แต่ละพอร์ตมีขนาด 8 บิต แต่สำหรับพอร์ต 3 มีต่อให้ใช้งานทางฮาร์ดแวร์จริง 7 บิต เป็นพอร์ตแบบ 2 ทิศทาง กล่าวคือ สามารถเป็นได้ทั้งอินพุตสำหรับรับสัญญาณข้อมูลเข้าและเอาต์พุตสำหรับส่งสัญญาณข้อมูลออก ทุกพอร์ตของไมโครคอนโทรลเลอร์ AT89C×051 มีวงจรแลตช์และวงจรขับตลอดจนบัฟเฟอร์อินพุต ดังแสดงให้เห็นในสถาปัตยกรรมรูปที่ 4-2

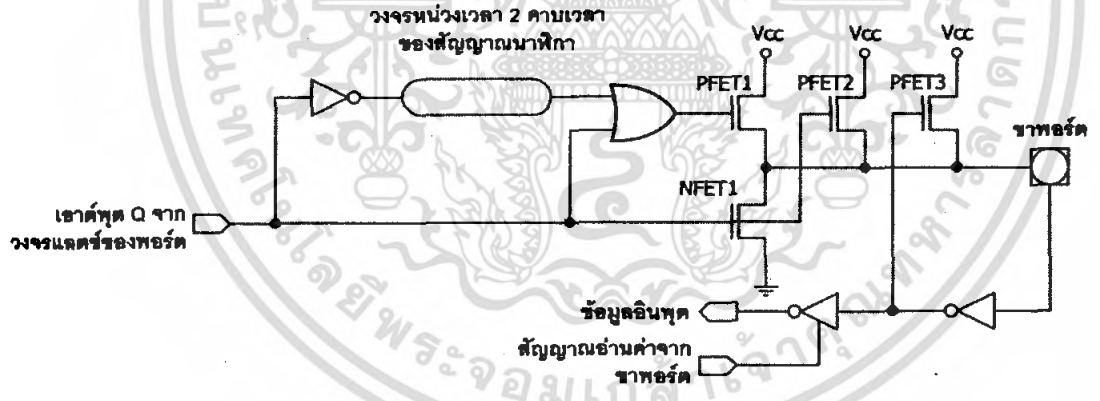
ในรูปที่ 2-3 เป็นวงจรของพอร์ต 1 วงจรแลตช์ของแต่ละบิตในแต่ละพอร์ตก็คือวงจรดีฟลิปฟลอป การอ่านค่าสถานะของพอร์ตและสถานะของวงจรแลตช์สามารถกระทำได้อย่างอิสระด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่แยกจากกัน นั่นคือ สัญญาณอ่านข้อมูลจากขาพอร์ต และสัญญาณอ่านข้อมูลจากวงจรแลตช์ ส่วนการเขียนข้อมูลมายังพอร์ตต้องส่งสัญญาณมายังขา CLK ของดีฟลิปฟลอปในขณะที่ข้อมูลจะผ่านมาทางขาบัสข้อมูลภายในเข้าสู่ขา D ของดีฟลิปฟลอป มีวงจรพูลอัพภายในที่แต่ละบิตของพอร์ต สำหรับรายละเอียดของวงจรพูลอัพแสดงรูปที่ 2-4

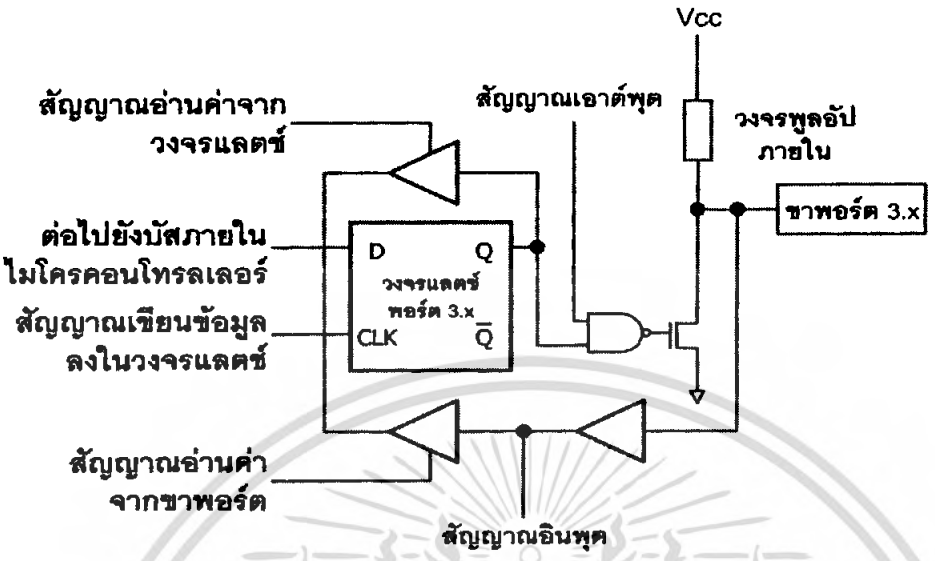


รูป 4-3 วงจรภายในของพอร์ต 1 ในไมโครคอนโทรลเลอร์ AT89C×051



รูป 4-4 วงจรพูลอัพภายในพอร์ต 1 และ 3 ของไมโครคอนโทรลเลอร์ AT89C×051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4-5 วงจรภายในของพอร์ต 3 ในไมโครคอนโทรลเลอร์ AT89C×051

ในรูปที่ 4-5 เป็นวงจรภายในของพอร์ต 3 จะเห็นได้ว่าคล้ายกับพอร์ต 1 มีการเพิ่มเติมวงจรบัฟเฟอร์ และวงจรอินพุตเอาต์พุตเมื่อทำงานในฟังก์ชั่นพิเศษเข้ามา เนื่องจากพอร์ต 3 สามารถนำไปใช้งานในหน้าที่พิเศษได้เกือบทุกขา (เว้น P3.7)

4.4 การใช้งานเป็นพอร์ตอินพุต

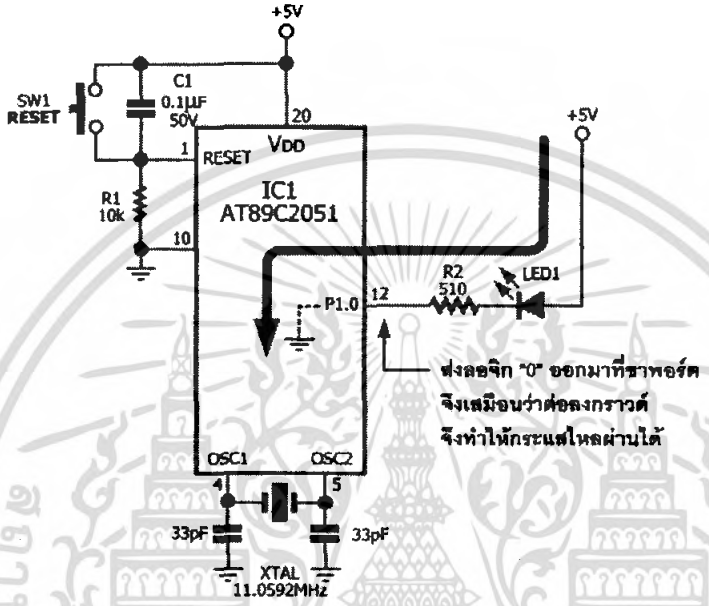
เนื่องจากพอร์ตทั้งหมดของไมโครคอนโทรลเลอร์ AT89C×051 สามารถเป็นได้ทั้งอินพุตและเอาต์พุต ดังนั้นจึงมีความจำเป็นอย่างยิ่งต้องทำความเข้าใจถึงการกำหนดลักษณะการทำงานให้แก่พอร์ต

ในการกำหนดให้เป็นพอร์ตอินพุต ต้องเริ่มต้นด้วยการเขียนข้อมูล “1” มาที่แต่ละบิตของพอร์ตที่ต้องการใช้งานเป็นอินพุต เพื่อหยุดการทำงานของเฟตที่ใช้ในการขับสัญญาณเอาต์พุตของบิตนั้นๆ ทำให้ขาสัญญาณของพอร์ตเชื่อมต่อเข้ากับวงจรพูลอัปภายในโดยตรง ส่งผลให้ขาพอร์ตนั้นมีลอจิกเป็น “1” สามารถรับสัญญาณลอจิก “0” จากอุปกรณ์ภายนอกได้ง่าย สัญญาณข้อมูลจากอุปกรณ์ภายนอกจะถูกส่งเข้ามาแล้วเก็บไว้ในวงจรบัฟเฟอร์ภายในพอร์ต แล้วรอให้ซีพียูมาอ่านค่าเข้าไป เมื่อเป็นเช่นนี้ อุปกรณ์ภายนอกที่เชื่อมต่อกับพอร์ตอินพุตของไมโครคอนโทรลเลอร์ AT89C×051 ควรกำหนดให้ทำงานในสภาวะลอจิก “0” จะดีและสะดวกที่สุด (ซึ่งในปัจจุบันอุปกรณ์อินพุตที่เชื่อมต่อไมโครคอลโทรลเลอร์แทบทั้งหมดทำงานที่ลอจิก “0” แล้ว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การใช้งานเป็นพอร์ตเอาต์พุต

โดยปกติแล้ว ขาพอร์ตจะกำหนดให้มีลักษณะเป็นเอาต์พุตอยู่แล้ว ดังนั้นจึงสามารถส่งข้อมูลออกไปได้อย่างง่ายดายและตรงไปตรงมา กล่าวคือ เมื่อต้องการส่งข้อมูล “0” ออกไปทางเอาต์พุตก็ให้เขียนข้อมูล “0” ไปยังวงจรแลตช์ ซึ่งก็จะส่งต่อไปขับเฟต ทำให้เฟตทำงาน ที่ขาพอร์ต



รูป 4-6 แสดงการขับโหลดในลักษณะกระแสซิงก์ของขาพอร์ตของไมโครคอนโทรลเลอร์

ที่กำหนดให้ทำงานก็จะเกิดลอจิก “0” ขึ้น ในทางตรงกันข้างหากต้องการส่งข้อมูล “1” ไปยังวงจรแลตช์ วงจรขับก็จะหยุดทำงาน ทำให้ที่ขาพอร์ตเชื่อมต่อกับวงจรพูลอัปภายในเกิดเป็นลอจิก “1” ที่ขาพอร์ตนั้น ซึ่งจะคล้ายกับการกำหนดให้เป็นขาอินพุตมาก เพียงแต่แตกต่างกันที่กระบวนการในการเคลื่อนย้ายข้อมูล โดยถ้าเป็นอินพุตจะมีสัญญาณมาอ่านข้อมูลที่บัฟเฟอร์ แต่ถ้าเป็นเอาต์พุตจะไม่มีการอ่านข้อมูลที่บัฟเฟอร์แต่อย่างใด เว้นแต่ในกรณีที่ต้องการตรวจสอบข้อมูลที่ส่งออกมาทางเอาต์พุต

เมื่อใช้งานเป็นพอร์ตเอาต์พุต แต่ละขา (หรือแต่ละบิต) ของแต่ละพอร์ตมีความสามารถในการจ่ายกระแสหรือที่เรียกว่า กระแสซอร์ส (source current) ได้น้อยมาก (ในหน่วย µA) แต่จะจ่ายกระแสในลักษณะ กระแสซิงก์ (sink current) ซึ่งทำงานด้วยลอจิก “0” ได้สูงถึง 20 mA ต่อขาพอร์ต ในกรณีที่ใช้งานทุกพอร์ตเอาต์พุตจะสามารถจ่ายกระแสได้รวมกันสูงสุด 80 mA ดังนั้นในการใช้งานเป็นพอร์ตเอาต์พุตเพื่อไม่ให้เกิดปัญหาเกี่ยวกับความสามารถในการจ่ายกระแสจึงควรต่อวงจรบัฟเฟอร์ทางเอาตุพุดเพื่อช่วยในการขับกระแสอีกทางหนึ่ง หรือ ขับกระแสในลักษณะซิงก์ นั่นคือ ส่งลอจิก “0” ออกไปทางเอาต์พุตเพื่อขับโหลด ดังแสดงวงจรตัวอย่างในรูปที่ 4-6

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การอ่านค่าลอจิกจากพอร์ต

ในไมโครคอนโทรลเลอร์ AT89C×051 สามารถอ่านค่าลอจิกจากพอร์ตได้ 2 ลักษณะ คือ อ่านจากขาพอร์ตโดยตรง และ อ่านจากวงจรแลตช์ ของแต่ละพอร์ต เหมือนกับในไมโครคอนโทรลเลอร์ MCS-51 มาตรฐาน

ในกรณีที่พอร์ตต่อกับขาเบสทรานซิสเตอร์ชนิด NPN และขาอิมิตเตอร์ของทรานซิสเตอร์ตัวนั้นต่อลงกราวด์ หากมีการส่งข้อมูล "1" ไปยังทรานซิสเตอร์ จะทำให้ทรานซิสเตอร์ทำงาน สถานะลอจิกที่ขาพอร์ตจะเป็น "0" เนื่องจากเมื่อทรานซิสเตอร์ทำงานจะเสมือนว่าขาพอร์ตนั้นถูกต่อลงกราวด์ ทำให้หากอ่านค่าลอจิกที่ขาพอร์ตจะได้ผลตรงข้ามกับที่ส่งออกมา แต่ถ้าหากอ่านค่าลอจิกที่วงจรแลตช์ จะได้ค่าที่ตรงกับค่าที่ต้องการส่งจริง ดังนั้น ในการอ่านค่าลอจิกจากพอร์ตจึงต้องเลือกวิธีการให้เหมาะสมกับอุปกรณ์ที่นำมาต่อด้วย

4.7 จังหวะการทำงานของไมโครคอนโทรลเลอร์ AT89C×051

เหมือนกับไมโครคอนโทรลเลอร์ MCS-51 มาตรฐาน นั่นคือ ใน 1 รอบการทำงานหรือ 1 แมชีนไซเกิล ซีพียูในไมโครคอนโทรลเลอร์ใช้เวลา 12 คาบเวลาของสัญญาณนาฬิกา นั่นคือ เวลาในการทำงาน 1 ไซเกิลมีค่าเท่ากับ 1 ms หรือมีความเร็วในการทำงานภายใน 1 MHz ในกรณีที่ใช้ความถี่สัญญาณนาฬิกา 12 MHz ดังนั้นถ้าต้องการทราบความเร็วของการทำงานภายในของไมโครคอนโทรลเลอร์ AT89C×051 สามารถหาได้จากค่าความถี่สัญญาณนาฬิกา หารด้วย 12 และถ้าต้องการหาค่าเวลาของ 1 รอบการทำงานหรือ 1 แมชีนไซเกิล สามารถทำได้โดยการหารส่วนกลับของความเร็ว ในการทำงานภายในของไมโครคอนโทรลเลอร์ AT89C×051 สามารถสรุปเป็นสูตรทางคณิตศาสตร์ได้ดังนี้

ความเร็วในการทำงานภายในของไมโครคอนโทรลเลอร์เท่ากับ

ความถี่ของสัญญาณนาฬิกา (ค่าของคริสตอลที่ต่ออยู่ที่ขา XTAL1 และ XTAL2)/12

เวลา 1 แมชีนไซเกิล = 1/ ความเร็วในการทำงานภายในของไมโครคอนโทรลเลอร์

อย่างไรก็ตาม ไมโครคอนโทรลเลอร์ AT89C×051 สามารถทำงานกับสัญญาณนาฬิกาความถี่สูงสุด 24MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 การอินเตอร์รัปต์จากสัญญาณภายนอกของไมโครคอนโทรลเลอร์ AT89Cx051

สำหรับการทดลองนี้ เป็นตัวอย่างการใช้งานขาอินพุตรับสัญญาณอินเตอร์รัปต์จากภายนอกของไมโครคอนโทรลเลอร์ AT89Cx051ซึ่งตรงกับขา P3.2 (INT0) และ P3.3 (INT1) นี้จะเขียนโปรแกรมให้ไมโครคอนโทรลเลอร์ AT89Cx051 ตอบสนองการอินเตอร์รัปต์ จากสัญญาณภายนอก โดยใช้สวิตช์กดติดปล่อยดับเป็นอุปกรณ์ในการกำเนิดสัญญาณ อินเตอร์รัปต์ เมื่อเกิดการอินเตอร์รัปต์ขึ้น ไมโครคอนโทรลเลอร์จะตอบสนองการอินต์รัปต์ ด้วยการขับLED

4.8.1 ความรู้พื้นฐานที่ควรทราบ

4.8.1.1 การจัดอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS-51

เมื่อมีการอินเตอร์รัปต์เกิดขึ้น และมีการเอ็นเอเบิลการตอบสนองการอินต์รัปต์ไว้ ซีพียูจะกระโดดไปยังแอดเดรสที่เรียกว่า **แอดเดรสอินเตอร์รัปต์ (interrupt vector address)** ดังนั้นจะต้องมีการเขียนโปรแกรมย่อยบริการอินเตอร์รัปต์ไว้ที่แอดเดรสอินเตอร์รัปต์เวกเตอร์นี้ โดยค่าของแอดเดรสอินเตอร์รัปต์เวกเตอร์จะแตกต่างกันไปในการอินเตอร์รัปต์แบบต่างๆดังนี้

การอินเตอร์รัปต์ภายนอกที่ขา INTO มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 0x03
การอินเตอร์รัปต์จากไทเมอร์ 0 มีค่าแอดเดรสอินเตอร์รัปเวกเตอร์อยู่ที่ 0x0B
การอินเตอร์รัปต์ภายนอกที่ขา INT1 มีค่าแอดเดรสอินเตอร์รัปเวกเตอร์อยู่ที่ 0x13H
การอินเตอร์รัปต์จากไทเมอร์ 1 มีค่าแอดเดรสอินเดอร์รัปเวกเตอร์อยู่ที่ 0x1BH
การอินเตอร์รัปต์จากพอร์ตอนุกรม NT1 มีค่าแอดเดรสอินเตอร์รัปเวกเตอร์อยู่ที่ 0x23H
การอินเดอร์รัปต์ไทเมอร์2 มีค่าแอดเดรสอินเตอร์รัปด์เวกเตอร์อยู่ที่ 0x2BH

4.8.2 รีจิสเตอร์ที่เกี่ยวข้องกับการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS-51

4.8.2.1 รีจิสเดอร์เอ็นเอเบิลการอินเตอร์รัปหรือ IE (Interrupt Enable register)

มีแอดเดรสอยู่ที่ 0xA8 ในพื้นที่ของริจิสเตอร์ฟังก์ชั่นพิเศษหรือ SFR มีขนาด 8 บิด สามารถเข้าถึงได้ในระดับบิต ใช้เอ็นเอเบิลการตอบสนองการอินเตอร์รัปต์แบบต่างๆมีรายละเอียดดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต1	บิต 0
EA	-	ET2	ES	ET1	EX1	ET0	EX0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EA (Global enable/disable interrupt) ใช้เอ็นเอเบิลและดิสเอเบิลการตอบสนองอินเตอร์รัปต์ทั้งหมด

" 0" ดิสเอเบิลการอินเตอร์รัปต์ นั่นคือ การกำหนดให้ไม่ตอบสนองการอินเตอร์รัปต์

"1 " เอ็นเอเบิลการอินเตอร์รัปต์ นั่นคือ กำหนดให้ตอบสนองการอินเตอร์รัปต์

นั่นคือ ถ้าต้องการให้ไมโครคอนโทรลเลอร์ตอบสนองการอินเตอร์รัปต์ไม่ว่าจะแหล่งกำเนิดใดจะต้องเซตบิตนี้ก่อนเสมอ สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

ET2 (Timer 2 interrupt enable) ใช้เอ็นเอเบิลการอินเตอร์รัปต์อันเนื่องมากจากการโอเวอร์โฟลวหรือการแคปเจอร์ในไทเมอร์/เคาน์เตอร์ 2 มีเฉพาะในเบอร์ AT89C52 และ ในอนุกรม AT89xx เท่านั้นบิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

ES (Serial port interrupt enable bit) ใช้เอ็นเอเบิลการอินเตอร์รัปต์เนื่องจากการรับหรือส่งข้อมูลบนพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51 สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

ET1 (Timer interrupt enable) ใช้เอ็นเอเบิลการอินเตอร์รัปต์จากการโอเวอร์โฟลวไทเมอร์ 1 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

EX1 (External interrupt 1 enable bit) ใช้เอ็นเอเบิลการอินเตอร์รัปต์ภายนอกที่ป้อนเข้ามายังขา INT1 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟแวร์

ET0 (Timer 0 interrupt enable) ใช้เอ็นเอเบิลการอินเตอร์รัปต์เนื่องจากสัญญาณภายนอกที่ป้อน 0 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

EX0 (External interrupt 1 enable bit) ใช้เอ็นเอเบิลการอินเตอร์รัปต์จากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT0 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิต 6 ของรีจิสเตอร์ IE ไม่มีการใช้งาน ต้องกำหนดให้เป็น 0 เสมอ

4.8.2.2 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการอินเตอร์รัปต์หรือ IP

มีแอดเดรสอยู่ที่ 0xB8 ในพื้นที่ของรีจิสเตอร์ฟังก์ชั่นพิเศษหรือ SFR มีขนาด 8 บิต สามารถเข้าถึงได้ในระดับบิต เลือกลำดับความสำคัญของการตอบสนองการ อินเตอร์รัปต์ได้ว่า ต้องการให้ตอบสนองสัญญาณอินเตอร์รัปต์จากแหล่งกำเนิดใดเป็นลำดับก่อนหลัง ถ้าต้องการให้อินเตอร์รัปต์จากแหล่งกำเนิดใดมีความสำคัญสูงสุด ให้กำหนดที่บิตนั้นเป็น 1 มีรายละเอียดของรีจิสเอตร์ IP ดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต1	บิต 0
-	-	PT2	PS	PT1	PX1	PT0	PX0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PT2 (Timer 2 Interrupt priority bit) ใช้กำหนดระดับความสำคัญของการอินเตอร์รัปต์เนื่องจากการโอเวอร์โฟลวหรือการแคปเจอร์ในไทเมอร์ 2 มีเฉพาะเบอร์ AT89C52 และ ในอนุกรม AT89Sxx เท่านั้น สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

PS (Serial port Interrupt priority bit) ใช้กำหนดความสำคัญของการอินเตอร์รัปต์เนื่องจากการรับหรือส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51 สามารถเซตและเคลียร์ได้ทางซอฟต์แวร์

PT1 (Timer 1 Interrupt priority bit) ใช้กำหนดระดับความสำคัญของการอินเตอร์รัปต์เนื่องจากการโอเวอร์โฟลวในไทเมอร์ 1 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

PX1 (External Interrupt1 priority bit) ใช้กำหนดระดับความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT1 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

PT0 (Timer 0 Interrupt priority bit) ใช้กำหนดระดับความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการโอเวอร์โฟลวในไทเมอร์ 0 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

PX0 (External Interrupt 0 priority bit) ใช้กำหนดระดับความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT0 บิตนี้สามารถเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิต 6 และ 7 ของรีจิสเตอร์ IP ไม่มีการใช้งาน ต้องกำหนดให้เป็น 0 เสมอ

4.8.3 การเข้าถึงรีจิสเตอร์เพื่อกำหนดการตอบสนองอินเตอร์รัปต์

สำหรับรีจิสเตอร์ของ MCS-51 ที่มีแอดเดรสที่ลงท้ายด้วย 8 หรือ 0 จะเป็นรีจิสเตอร์ที่สามารถเข้าถึงได้ในระดับบิต กล่าวคือในการเขียนโปรแกรมควบคุมนั้นสามารถอ้างอิงประจำบิตได้เลย เช่น เดียวกับรีจิสเตอร์ IE ที่มีตำแหน่งแอสเดรสเป็น 0xA8ก็มีตำแหน่งแอดเดรสที่ลงท้ายด้วย 8 ดังนั้นเมื่อต้องการกำหนดค่าข้อมูลใกล้กับบิตใดๆภายในรีจิสเตอร์นี้ก็สามารถอ้างถึงได้ทันที เช่น ต้องการให้ค่าของบิต EA และ EX0 เป็น 1 ทั้งคู่ สามารถเขียนโปรแกรมภาษา C เพื่อกำหนดค่าได้ 2 แบบ

(ก) **แบบที่ 1** : เข้าถึงในระดับบิต

```
EA = 1;          // เปิดการตอบสนองของอินเตอร์รัปต์ทั้งหมด
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
EX0 = 1;          // เปิดการตอบสนองของอินเตอร์รัปต์ที่ขา P3.2 (INTO)
```

(ข) แบบที่ 2 : กำหนดค่าข้อมูลให้กับรีจิสเตอร์โดยตรง

```
IE = 0x81 ;       // กำหนดให้ EA (บิต 7) และบิต EX0 (บิต 0) ของริจิสเตอร์ IE
                  // เป็น 1 บิตอื่นเป็น 0
```

จากการอ้างอิงทั้ง 2 แบบจะให้ผลลัพธ์เหมือนกัน ในแบบที่ 1 ค่อนข้างจะสะดวกตรงที่ถ้าจำชื่อบิตควบคุมได้ก็อ้างชื่อได้ทันที สำหรับในแบบที่ 2 จะต้องทราบทั้งชื่อรีจิสเตอร์และตำแหน่งของบิตควบคุมด้วยจึงจะกำหนดค่าได้ถูกต้อง

4.9 การเขียนโปรแกรมย่อยบริการอินเตอร์รัปต์

มีหลักการโดยทั่วๆไป ดังนี้

1. เริ่มต้นด้วยแอดเดรสอินเตอร์รัปต์เวกเตอร์เสมอ เพื่อให้การตรวจสอบทำได้ง่าย และแยกส่วนของโปรแกรมย่อยนี้ออกจากโปรแกรมหลักหรือโปรแกรมย่อยๆอื่นๆอย่างชัดเจน

2. เมื่อเข้าสู่โปรแกรมย่อย ควรเก็บค่าของรีจิสเตอร์หรือแฟลกที่ใช้แสดงสถานะต่างๆซึ่งต้องมีการใช้งานในโปรแกรมย่อยบริการอินเตอร์รัปต์นี้ไว้ในสแตกเสียก่อน เพื่อป้องกันความผิดพลาดที่อาจเกิดขึ้นการทำงานของทั้งโปรแกรมบริการอินเตอร์รัปต์นี้และโปรแกรมหลัก

3. เมื่อเขียนโปรแกรมบริการอินเตอร์รัปต์เรียบร้อยแล้วให้การทำการคืนค่าของรีจิสเตอร์ที่นำมาใช้ในโปรแกรมบริการอินเตอร์รัปต์ ยกเว้นรีจิสเตอร์ที่ต้องการนำผลการกระทำในโปรแกรมบริการอินเตอร์รัปต์นี้ไปใช้งาน ในทางปฏิบัติจริง ไม่พบมากนัก และไม่นำให้เขียนโปรแกรมในลักษณะนี้

4.9.1 การประกาศฟังก์ชั่นตอบสนองอินเตอร์รัปต์

เมื่อเกิดการอินเตอร์รัปต์เนื่องจากแหล่งกำเนิดใดๆขึ้นและมีการเอ็นเอเบิลการตอบสนองอินเตอร์รัปต์นั้นๆไว้ล่วงหน้า จะทำให้เกิดการกระโดดของโปรแกรมเข้าไปกระทำคำสั่งภายในฟังก์ชั่นตอบสนองอินเตอร์รัปต์ของเหตุการณ์นั้นๆ โดยรูปแบบในการเขียนฟังก์ชั่นตอบสนองการอินเตอร์รัปต์ของภาษา C มีรูปแบบดังนี้

```
void function_name interrupt num
{
    คำสั่งที่ 1;
    คำสั่งที่ 2 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.....
    .....
    คำสั่งที่ n;
}
```

โดยที่ function_name คือ ชื่อของฟังก์ชั่น สามารถตั้งชื่อได้เหมือนการประกาศฟังก์ชั่นทั่วๆไป

num คือ เลขลำดับอินเตอร์รัปต์ชั่นคือค่าลำดับของตัวเลขที่จะต้องระบุต่อท้ายคีย์เวิร์ด interrupt ซึ่งจะเขียนกำกับไว้ในส่วนหัวของฟังก์ชั่นตอบสนองอินเตอร์รัปต์ ซึ่งจะเป็นตัวบ่งบอกว่าฟังก์ชั่นดังกล่าวจะถูกเรียกตอบสนองเมื่อเกิดการอินเตอร์รัปจากเหตุการณ์ใด ซึ่งระบุได้จาก

สาเหตุการอินเตอร์รัปต์	**ลำดับที่ (num)**
อินเตอร์รัปต์จากภายนอกที่ขา P3.2 (INT0)	0
อินเตอร์รัปต์จากไทเมอร์ 0	1
อินเตอร์รัปต์จากภายนอกที่ขา P3.3 (INT1)	2
อินเตอร์รัปต์จากไทเมอร์ 1	3
อินเตอร์รัปต์จากพอร์ตอนุกรม	4

ตัวอย่าง

```
void external0 (void) interrupt 0          // ฟังก์ชั่นตอบสนองอินเตอร์รัปต์จากภายนอกที่ขา P3.2
{
    /*      คำสั่งต่างๆที่กำหนด */
}
void timer0 (void) interrupt 1             // ฟังก์ชั่นตอบสนองอินเตอร์รัปต์จากไทเมอร์ 0
{
    /*      คำสั่งต่างๆที่กำหนด */
}
void serial (void) interrupt 4             // ฟังก์ชั่นตอบสนองอินเตอร์รัปต์จากพอร์ตอนุกรม
{
    /*      คำสั่งต่างๆที่กำหนด */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

}

4.10 การใช้งานไทเมอร์ภายในไมโครคอนโทรลเลอร์ AT89Cx051

4.10.1 การทำงานเป็นไทเมอร์

เมื่อการทำงานเป็นตัวตั้งเวลาหรือไทเมอร์ **ค่าของรีจิสเตอร์จะเพิ่มขึ้นในทุกๆแมชีนไซเกิล** ดังนั้นเมื่อทำงานเป็นไทเมอร์รีจิสเตอร์จะนับค่าของแมชชีนไซเกิลนั่นเอง และเนื่องจากแมชชีนไซเกิลประกอบด้วยคาบเวลาของวงจรกำเนิดสัญญาณนาฬิกา 12 คาบเวลา ดังนั้นอัตราในการนับของรีจิสเตอร์จึงเท่ากับ 1/12 ของความถี่สัญญานาฬิกา

4.10.2 รีจิสเตอร์ที่เกี่ยวข้องกับการทำงานของไทเมอร์ /เคาน์เตอร์ 0และ 1

ไทเมอร์/เคาน์ตอร์ 0 และ 1 ในไมโครคอนโทรลเลอร์ AT89Cx051 มีริสจิสเตอร์เกี่ยวข้องเป็นพื้นฐานอยู่ 6ตัว ดังมีรายละเอียดต่อไปนี้

4.10.2.1 รีจิสเตอร์ไทเมอร์

มี 4 ตัวคือ

TL0 มีแอดเดรสอยู่ที่ 0x8A

TH0 มีแอดเดรสอยู่ที่ 0x8C

TL1 มีแอดเดรสอยู่ที่ 0x8B

TH1 มีแอดเดรสอยู่ที่ 0x8D

รีจิสเตอร์แต่ละตัวมีขนาด 8 บิต แต่ในการใช้งานโดยทั่วไปมักใช้ร่วมกันโดยจัดเป็นคู่ คือ

TL0 กับ TH0 รวมเป็นรีจิสเตอร์ Timer 0 ขนาด 16 บิต

TL1 กับTH1 รวมเป็นรีจิสเตอร์ Timer 1 ขนาด 16 บิต

โดย TL0และ TL1 เก็บข้อมูล 8 บิตล่าง ส่วน TH0และ TH1 เก็บข้อมูล 8 บิตบน รีจิสเตอร์ทั้ง 2 คู่เมื่อนำมาใช้ร่วมกันจะสามารถหาค่าของการนับได้สูงสุด 65,536 หรือ 0xFFFF เมื่อนับถึงค่านี้แล้วจะวนไปเริ่มนับ 0000 ใหม่ และเมื่อเกิดการนับรอบใหม่ บิต TF0 หรือ TF1 ในรีจิสเตอร์ TCON ที่ใช้ควบคุมการทำงานของไทเมอร์เกิดการเซต เพื่อแจ้งให้ทราบว่า นับเกินค่าสูงสุดแล้ว การเซตบิต TF0 หรือ TF1 ขึ้นอยู่กับว่าเลือกใช้งานรีจิสเตอร์ตัวใด

4.10.2.2 รีจิสเตอร์ควบคุมการทำงานของไทเมอร์ /เคาน์เตอร์หรือ TCON

เป็นรีจิสเตอร์ขนาด 8 บิต มีแอดเดรสอยู่ที่ 0x88 ในพื้นที่ของรีจิสเตอร์ SFRสามารถเข้าถึงได้ในระดับบิต มีรายละเอียดการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต1	บิต 0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

TF1 (Timer 1 overflow flag) เซตด้วยกระบวนการทางฮาร์ดแวร์ เมื่อค่าของรีจิสเตอร์ Timer 1 เกิดการนับเกินหรือเกิดโอเวอร์โฟลว การเคลียร์บิตนี้ทำได้ด้วยกระบวนการทางฮาร์ดแวร์เมื่อมีการอินเตอร์รัปต์เกิดขึ้น

TR1 (Timer 1 run control bit) ใช้เปิดการทำงานของไทเมอร์ 1 (เอ็นเอเบิลหรือดิสเอเบิล) ทำการเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์ ถ้าต้องการให้ไทเมอร์ 1 ทำงานต้องเซตบิตนี้ให้เป็น 1

TF0 (Timer 0 overflow flag) เซตด้วยกระบวนการทางฮาร์ดแวร์เมื่อค่าของรีจิสเตอร์ Timer 0 เกิดการนับเกินหรือเกิดโอเวอร์โฟลว การเคลียร์บิตนี้ทำได้ด้วยกระบวนการ ฮาร์ดแวร์เช่นกัน โดยบิตนี้จะเคลียร์เมื่อมีการอินเตอร์รัปต์เกิดขึ้น

TR0 (Timer 0 run control bit) ใช้เปิดการทำงานของไทเมอร์ 1 (เอ็นเอเบิลหรือดิสเอเบิล) ทำการเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์ ถ้าต้องการให้ไทเมอร์ 0 ทำงานต้องเซตบิตนี้ให้เป็น 1

IE1 (External Interrupt 1 edge flag) บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ สามารถเซตได้ด้วยกระบวนการทางฮาร์ดแวร์ เมื่อสามารถตรวจจับขอบขาของสัญญาณอินเตอร์รัปต์จากภายนอกที่ขาอินพุตอินเตอร์รัปต์ 1 (INT1) ได้ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

IT1 (Interrupt 1 type control bit) บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ โดยใช้ในการเลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการให้ทำการตอบสนองสำหรับขาอินพุตอินเตอร์รัปต์ 1 (INT1) การเซตและเคลียร์ทำได้ด้วยกระบวนการซอฟต์แวร์

"0" เลือกขอบขาลงของสัญญาณ (falling edge)

"1" เลือกระดับลอจิกต่ำ (low level triggered)

IE0 (External Interrupt 0 edge flag) บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ สามารถเซตได้ด้วยกระบวนการทางฮาร์ดแวร์ เมื่อสามารถตรวจจับขอบขาของสัญญาณอินเตอร์รัปต์จากภายนอกที่ขาอินพุตอินเตอร์รัปต์ 0 (INT0) ได้ และจะทำการเคลียร์เมื่อมีการบริการ อินเตอร์รัปต์เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IT0 (Interrupt 0 type control bit)) บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ โดยใช้ในการเลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการให้ทำการตอบสนองสำหรับขาอินพุตอินเตอร์รัปต์ 0 (INT0) การเซตและเคลียร์ทำได้ด้วยกระบวนการซอฟต์แวร์

"0" เลือกขอบขาลงของสัญญาณ (falling edge)

"1" เลือกระดับลอจิกต่ำ (low level triggered)

4.10.2.3 รีจิสเตอร์เลือกโหมดการทำงานของไทเมอร์/เคาน์เตอร์ หรือ TMOD

เป็นรีจิสเตอร์ขนาด 8 บิตมีแอดเดรสอยู่ 0x89 ในพื้นที่ของรีจิสเตอร์SFR ไม่สามารถเข้าถึงได้ในระดับบิต แบ่งการทำงานเป็น 2 ส่วนคือ 4 บิตล่างใช้เลือกโหมดการทำงานของไทเมอร์ 0 และ 4 บิดบน ใช้เลือกโหมดการทำงานของไทเมอร์ 1 ดังนั้นในการอธิบายการทำงานขออธิบายเพียงส่วนเดียวดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต1	บิต 0
GATE	$\overline{C/T}$	M1	M0	GATE	$\overline{C/T}$	M1	M0
ไทเมอร์ 1				ไทเมอร์ 0			

GATE : ใช้เลือกลักษณะการควบคุมการทำงานของไทเมอร์/เคาน์เตอร์

"0" ไทเมอร์/เคาน์เตอร์ จะทำงานเมื่อบิต TRx ในรีจิสเตอร์ TCON เป็น 1 เรียกการควบคุมแบบนี้ว่า การควบคุมทางซอฟต์แวร์

"1" ไทเมอร์ / เคาน์เตอร์จะทำงานเมื่อบิต TRx ในรีจิสเตอร์ TCON เป็น 1 และสถานะลอจิกที่ขาอินพุตอินเตอร์รัปต์ INT0 และ INT1 เป็น1 เรียกการควบคุมแบบนี้ว่า การควบคุมทางฮาร์ดแวร์

C/T (Timer or Counter selector) : ใช้เลือกลักษณะการทำงานของไทเมอร์/เคาน์เตอร์

"0" เลือกเป็นไทเมอร์ ใช้สัญญาณอินพุตจากสัญญาณนาฬิกาภายในไมโครคอนโทรลเลอร์

"1" เลือกเป็นเคาน์เตอร์ โดยรับสัญญาณอินพุตทางขา T0 หรือ T1

M1 , M0 (Mode selector bit) : ใช้เลือกโหมดการทำงานของไทเมอร์/เคาน์เตอร์

"00" เลือกให้ทำงานในโหมดไทเมอร์/เคาน์เตอร์ 13 บิต

"01" เลือกให้ทำงานในโหมดไทเมอร์/เคาน์เตอร์ 16 บิต

"10" เลือกให้ทำงานในโหมดไทเมอร์/เคาน์เตอร์ขนาด 8 บิต แบบตั้งค่าอัตโนมัติ

"11" <u>สำหรับไทเมอร์ 0</u> เลือกให้ทำงานในโหมดไทเมอร์/เคาน์เตอร์แยกส่วน โดยแยกออกเป็นไทเมอร์/เคาน์เตอร์ 8 บิต 2 ตัว รีจิสเตอร์ TL0 จะได้รับการควบคุมจากบิต TR0 ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ TL1 และรีจิสเตอร์ TH1 ซึ่งเป็นไทเมอร์ / เคาน์เตอร์ 8 บิตอีกตัวหนึ่ง จะได้รับการควบคุมจากบิต TR1 ในรีจิสเตอร์ TCON

ในกรณีของไทเมอร์ 1 เป็นการสั่งให้ไทเมอร์/เคาน์เตอร์ 1 หยุดทำงาน (ดิสเอเบิล)

4.10.3 โหมดการทำงานของไทเมอร์/เคาน์เตอร์ 0 และ 1

ไทเมอร์ 0 และไทเมอร์ 1 สามารถเลือกโหมดการทำงานได้ 4 โหมด คือ

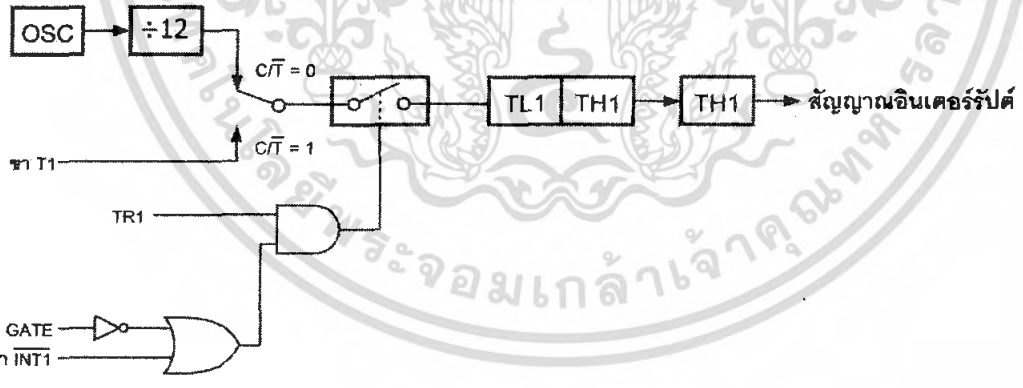
โหมด 0 : ไทเมอร์/เคาน์เตอร์ 13 บิต (13 bit timer/counter)

โหมด 1 : ไทเมอร์/เคาน์เตอร์ 16 บิต (16 bit timer/counter)

โหมด 2 : ตั้งค่าอัตโนมัติ 8 บิต (8 bit auto-reload timer/counter)

โหมด 3 : ไทเมอร์ / เคาน์เตอร์แยกส่วน (split timer/counter) หรือไทเมอร์/เคาน์เตอร์ 8 บิต

การเลือกโหมดการทำงานของไทเมอร์ 0 และ 1 ทำได้โดยการกำหนดค่าของรีจิสเตอร์ TCON และ TMOD ร่วมกัน โดยTCON ใช้เอ็นเอเบิลไทเมอร์ ส่วนTMOD ใช้เลือกโหมดและลักษณะการทำงาน



รูป 4-7 ไดอะแกรมการทำงานในโหมด 0 และ ของไทเมอร์ 1

4.10.3.1 โหมด 0 : ไทเมอร์/เคาน์เตอร์ 13 บิต

มีไดอะแกรมการทำงานแสดงในรูปที่ 4-7 ในที่นี้จะใช้ไทเมอร์ 1 ในการอธิบาย โหมดนี้จะเป็นการกำหนดให้ใช้งานรีจิสเตอร์ TL1 เพียง 5 บิต และ TH1 ครบ 8 บิต โดย TL0 จะทำหน้าที่คล้ายกับเป็นปรีสเกลเลอร์หาร 32 สัญญาณอินพุตสำหรับการนับจะเลือกจากสัญญาณนาฬิกาภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือภายนอกผ่านทางขา T1 ขึ้นอยู่กับการควบคุมของบิต C/T และGATE ในรีจิสเตอร์ TMOD ,บิต TR1ในรีจิสเตอร์ TCON และสถานะของลอจิกที่ขาอินพุต INT1 เมื่อ TL1 นับครบ 32 คือจาก 0-31 ก็จะส่งสัญญาณไปยัง TH1เพื่อทำการเพิ่มค่า ดังนั้นในโหมดนี้ค่าของการนับจะมีขนาด 13 บิต เมื่อทำการนับครบรอบ ก็จะทำการเซตบิต TF1ในรีจิสเตอร์ TCON

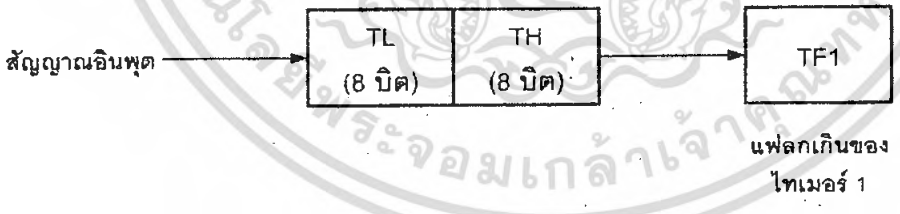
ส่วนการทำงานในโหมดนี้ของไทเมอร์/เคาน์เตอร์ 0 มีลักษณะเหมือนกันทุกประการเพียงแต่เปลี่ยนรีจิสเตอร์และขาสัญญาณที่เกี่ยวข้องให้เป็นของไทเมอร์/เคาน์เตอร์ 0

4.10.3.2 โหมด 1 : ไทเมอร์/เคาน์เตอร์ 16 บิต

มีไดอะแกรมการทำงานแสดงในรูปที่ 2-8 ในที่นี้จะใช้ไทเมอร์ 1 ในการอธิบาย การทำงานในโหมดนี้จะคล้ายกับโหมด 0 แต่จะใช้งานรีจิสเตอร์ TL1 และ TH1 ครบ 8 บิต ดังนั้นในโหมดนี้ค่าของการนับจะมีขนาด 1 6บิต คือ 0x0000-0xFFFF เมื่อนับครบรอบ ค่าของการนับเปลี่ยนจาก 0xFFFF เป็น 0x0000 ก็จะเซตบิต TF1 ในรีจิสเตอร์ TCON ส่วนการทำงานในโหมดนี้ของไทเมอร์ 0 มีลักษณะเหมือนกันทุกประการ เพียงแต่เปลี่ยนริจิสเตอร์และสัญญาณที่เกี่ยวข้องให้เป็นของไทเมอร์ 0

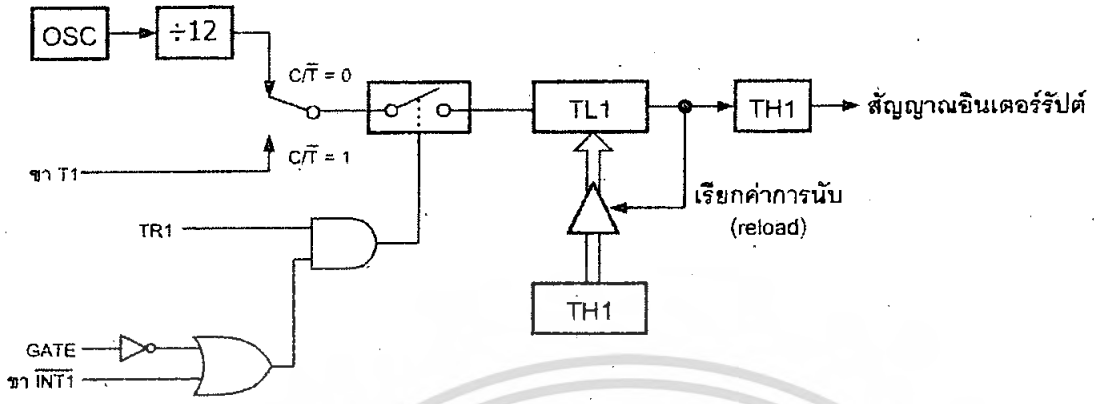
4.10.3.3 โหมด 2 : ไทเมอร์/เคาน์เตอร์ 8 บิตแบบตั้งค่าอัตโนมัติ

มีไดอะแกรมการทำงานแสดงในรูปที่ 2-9 ในที่นี้จะใช้ไทเมอร์ 1 ในการอธิบายการทำงานในโหมดนี้จะแยกรีจิสเตอร์ไทเมอร์ออกเป็น 2 ตัว ตัวละ 8 บิต โดยรีจิสเตอร์ TL1 ทำหน้าที่เป็นตัวนับค่า ส่วน TH1



รูป 4-8 ไดอะแกรมการทำงานในโหมด 1 ไทเมอร์ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4-9 ไดอะแกรมการทำงานในโหมด 2 ของไทเมอร์ 1

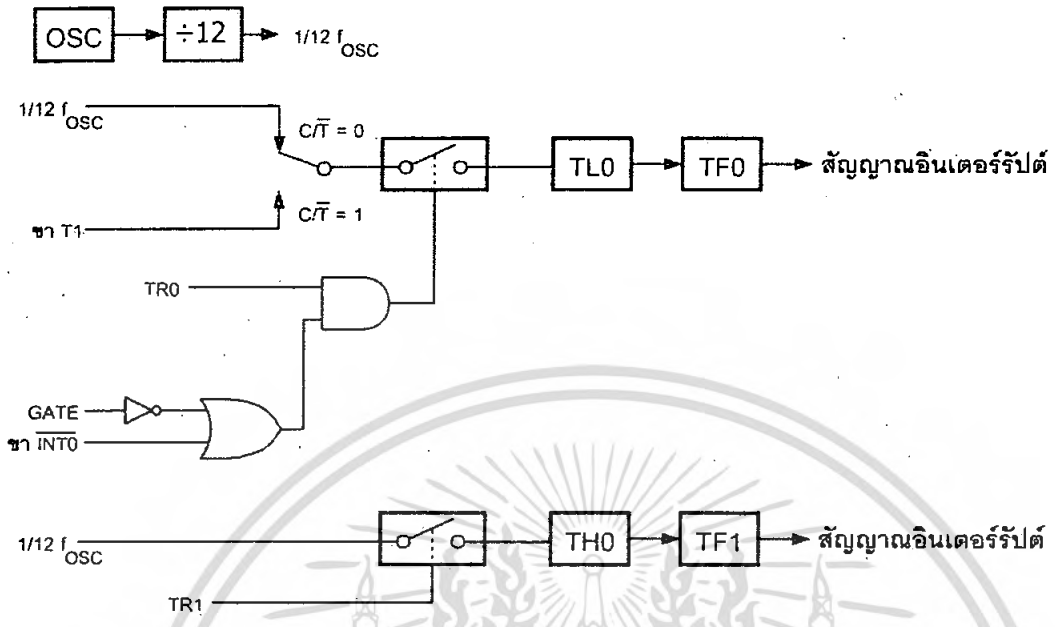
ใช้ในการเก็บค่าเริ่มต้นของการนับ เมื่อเริ่มต้นการทำงาน ค่าของรีจิสเอตร์ TH1 จะถูกส่งไปยังรีจิสเตอร์ TL1 ทำให้เมื่อเริ่มต้นการทำงาน ค่าของรีจิสเตอร์ TL1 และ TH1 จะเหมือนกัน เมื่อ TL1 นับถึง 0xFF และจะเริ่มต้นการนับรอบใหม่ จะทำการเซตบิต TF1 พร้อมๆกับการับค่าการนับเริ่มต้นจาก TH1 ใหม่โดยอัตโนมัติ หรือเรียกกระบวนการนี้ว่า รีโหลด (reload) แม้ว่าจะมีการส่งค่าเริ่มต้นไปยัง TL1 แล้วก็ตาม ค่าของข้อมูลในรีจิสเตอร์ TH1 ก็ยังคงเป็นค่าเดิม ไม่มีการเปลี่ยนแปลง จนกว่าจะมีการกำหนดค่าใหม่ด้วยกระบวนการทางซอฟต์แวร์

ส่วนการทำงานในโหมดนี้ของไทเมอร์/เคาน์เตอร์ 0 มีลักษณะเหมือนกันทุกประการ เพียงแต่เปลี่ยนรีจิสเตอร์และขาสัญญาณที่เกี่ยวข้องให้เป็นของไทเมอร์/เคาน์เตอร์ 0

4.10.3.4 โหมด 3 : ไทเมอร์/เคาน์เตอร์แยกส่วนหรือไทเมอร์เคาน์เตอร์ 8 บิต

ในโหมดนี้เป็นโหมดเดียวที่การทำงานของไทเมอร์ 0 และไทเมอร์ 1 ไม่เหมือนกัน ขออธิบายในส่วนของไทเมอร์ 1 เมื่อเข้าสู่โหมดนี้ จะเป็น การสั่งให้ไทเมอร์หยุดนับ ค่าของการนับก่อนหน้านี้จะถูกเก็บไว้ในรีจิสเตอร์ไทเมอร์ 1 มีลักษณะการทำงานเหมือนกับการดิสเอเบิลไทเมอร์ 1 ด้วยการเคลียร์บิต TR1 ในรีจิสเตอร์ TCON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4-10ไดอะแกรมการทำงานในโหมด 3 ของไทเมอร์ 0

ส่วนการทำงานของไทเมอร์ 0 ในโหมดนี้มีไดอะแกรมการทำงานแสดงในรูปที่4-10 การทำงานในโหมดนี้จะแยกรีจิสเตอร์ไทเมอร์ 0 ออกเป็น 2 ตัว ตัวละ 8 บิต คือรีจิสเตอร์ TL0 และ TH1 โดยแยกการทำงานออกจากกัน รีจิสเตอร์ TL0 สามารถเลือกการทำงานได้เหมือนกับไทเมอร์/เคาน์เตอร์ตามปกติ ส่วนรีจิสเตอร์ TH0 สามารถทำงานในโหมดไทเมอร์ได้เพียงอย่างเดียว กล่าวคือ สามารถรับสัญญาณอินพุตจากสัญญาณนาฬิการภายในเพียงทางเดียวเท่านั้น แต่การแจ้งการนับเกินยังคงเหมือนเดิม หากแต่ TL0 แจ้งผ่านบิต TF0 ในขณะที่TH0 จะแจ้งผ่านทางบิต TF1

4.10.3.5 ข้อมูลที่ใช้ในการเลือกโหมดการทำงานของไทเมอร์ 0 และ 1

เนื่องจากมีตัวแปรอยู่หลายตัวที่ใช้ในการควบคุมและเลือกโหมดการทำงานของไทเมอร์/เคาน์เตอร์ 0 และ 1 เพื่อให้เกิดความสะดวกในการใช้งานจึงได้ทำการสรุปข้อมูลที่ใช้ในการกำหนดข้อมูลที่ใช้ในการกำหนดรูปแบบการทำงานของไทเมอร์ 0 และ 1 ไว้ในตารางที่ 4-2 ถึง 4-5

อย่างไรก็ตาม ข้อมูลที่นำมายกเป็นตัวอย่างขั้นต้นนี้ สามรถเปลี่ยนแปลงได้ตามความต้องการของผู้ใช้งาน ไม่จำเป็นต้องยึดค่าเหล่านี้ไว้เสมอไป แต่สำหรับผู้เริ่มต้นใช้งานควรใช้ค่าตัวอย่างที่ให้ไว้ในการเขียนโปรแกรมควบคุมก่อน จนกว่ามีความชำนาญจึงค่อยปรับเปลี่ยนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 4-2 แสดงข้อมูลของรีจิสเตอร์ TMOD เพื่อกำหนดให้ ไทเมอร์/เคาน์เตอร์0ทำงานเป็นไทเมอร์

โหมด	ฟังก์ชั่นของ ไทเมอร์ 0	TMOD	
		การควบคุมจาก ภายใน	การควบคุมจาก ภายนอก
0	ไทเมอร์/เคาน์เตอร์ 13 บิต	0x00	0x08
1	ไทเมอร์/เคาน์เตอร์ 16 บิต	0x01	0x09
2	8 บิตตั้งค่าอัตโนมัติ	0x02	0x0A
3	ไทเมอร์/เคาน์เตอร์ แยกส่วน	0x03	0x0B

หมายเหตุ

การควบคุมจากภายใน : ควบคุมให้ไทเมอร์เปิดปิดด้วยการเซตและเคลียร์บิต TR0 โดยกระบวนการทางซอฟต์แวร์

การควบคุมจากภายนอก : ควบคุมให้ไทเมอร์เปิดปิดด้วยการตรวจสอบการเปลี่ยนแปลง จาก “1” เป็น “0” ที่ขา INT0 (P3.2) เมื่อ TR0 = “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 4-3 แสดงข้อมูลของรีจิสเตอร์ TMODเพื่อกำหนดให้ไทเมอร์/เคาน์เตอร์0ทำงานเป็นเคาน์เตอร์

โหมด	ฟังก์ชั่นของไทเมอร์ 0	TMOD	
		การควบคุมจากภายใน	การควบคุมจากภายนอก
0	ไทเมอร์/เคาน์เตอร์ 13 บิต	0x04	0x0C
1	ไทเมอร์/เคาน์เตอร์ 16 บิต	0x05	0x0D
2	8 บิตตั้งค่าอัตโนมัติ	0x06	0x0E
3	ไทเมอร์/เคาน์เตอร์ แยกส่วน	0x07	0x0F

หมายเหตุ

การควบคุมจากภายใน : ควบคุมให้ไทเมอร์เปิดปิดด้วยการเซตและเคลียร์บิต TR0 โดยกระบวนการทางซอฟต์แวร์

การควบคุมจากภายนอก : ควบคุมให้ไทเมอร์เปิดปิดด้วยการตรวจสอบการเปลี่ยนแปลง จาก “1” เป็น “0” ที่ขา INT0 (P3.2) เมื่อ TR0 = “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง4-4 แสดงข้อมูลของรีจิสเตอร์ TMOD เพื่อกำหนดให้ไทเมอร์/เคาน์เตอร์ 1ทำงานเป็นไทเมอร์

โหมด	ฟังก์ชั่นของ ไทเมอร์ 0	TMOD	
		การควบคุมจาก ภายใน	การควบคุมจาก ภายนอก
0	ไทเมอร์/เคาน์เตอร์ 13 บิต	0x00	0x80
1	ไทเมอร์/เคาน์เตอร์ 16 บิต	0x10	0x90
2	8 บิตตั้งค่าอัตโนมัติ	0x20	0xA0
3	หยุดทำงาน	0x30	0xB0

หมายเหตุ

การควบคุมจากภายใน : ควบคุมให้ไทเมอร์เปิดปิดด้วยการเซตและเคลียร์บิต TR1 โดยกระบวนการทางซอฟต์แวร์

การควบคุมจากภายนอก : ควบคุมให้ไทเมอร์เปิดปิดด้วยการตรวจสอบการเปลี่ยนแปลง จาก “1” เป็น “0” ที่ขา INT1 (P3.3) เมื่อ TR1 = “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง4-5 แสดงข้อมูลของรีจิสเตอร์ TMOD เพื่อกำหนดให้ไทเมอร์/เคาน์เตอร์ 1ทำงานเป็นไทเมอร์

โหมด	ฟังก์ชั่นของไทเมอร์ 0	TMOD	
		การควบคุมจากภายใน	การควบคุมจากภายนอก
0	ไทเมอร์/เคาน์เตอร์ 13 บิต	0x40	0xC0
1	ไทเมอร์/เคาน์เตอร์ 16 บิต	0x50	0xD0
2	8 บิตตั้งค่าอัตโนมัติ	0x60	0xE0
3	-	-	-

หมายเหตุ

การควบคุมจากภายใน : ควบคุมให้ไทเมอร์เปิดปิดด้วยการเซตและเคลียร์บิต TR1 โดยกระบวนการทางซอฟต์แวร์

การควบคุมจากภายนอก : ควบคุมให้ไทเมอร์เปิดปิดด้วยการตรวจสอบการเปลี่ยนแปลง จาก "1" เป็น "0" ที่ขา INT1 (P3.3) เมื่อ TR1 = "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบและการจำลองการทำงานของวงจร

5.1 หลักการเบื้องต้น

หลักการณ์ออกแบบการทำงานทำงานของระบบจะแบ่งการออกแบบการทำงานเป็น 2 ส่วน คือ ส่วนฮาร์ดแวร์(Hardware) เป็นส่วนของการทำงานที่สามารถมองเห็นได้และจับต้องได้ ซึ่งเป็นการนำอุปกรณ์ทางอิเล็กทรอนิกส์มาต่อเป็นวงจรที่ทำงานได้ตามที่เราต้องการ และส่วนที่สองคือ ส่วนของซอร์ฟแวร์(Software) ในส่วนนี้เป็นการออกแบบโดยการเขียนโปรแกรมภาษาวีเอชดีแอลเพื่อบรรยายการทำงานเชิงลอจิกให้กับเอฟพีจีเอ และนำเอฟพีจีเอไปควบการทำงานในส่วนของฮาร์ดแวร์อีกต่อไป ในการออกแบบส่วนของการควบคุมการทำงานนั้น จะใช้เอฟพีจีเอเป็นตัวควบคุมการทำงานของระบบ เริ่มตั้งแต่จังหวะในการเลือกเก็บภาพให้สัมพันธ์กับการชี้ตำแหน่งในการเก็บภาพลงในหน่วยความจำ และการส่งสัญญาณเพื่อเก็บภาพลงในหน่วยความจำ

5.2 การออกแบบและการทำงาน

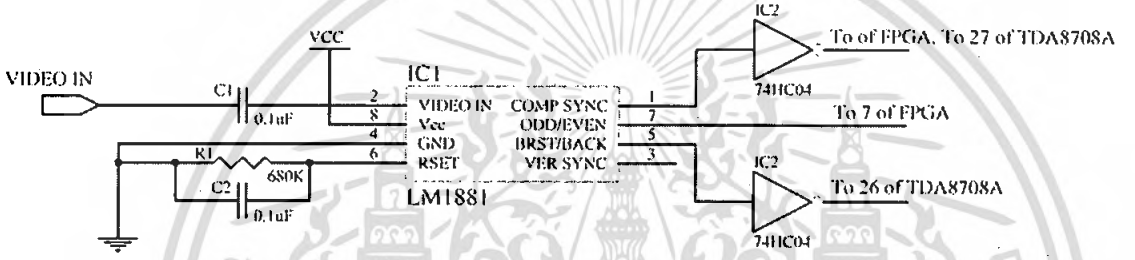
หลักการทำงานของวงจรแบ่งออกเป็นส่วนต่างๆ ตามบล็อกไดอะแกรม ได้ดังนี้

1. วงจรแยกสัญญาณซิงค์
2. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล
3. วงจรกำเนิดสัญญาณความถี่สูง
4. วงจรส่วนหน่วยความจำภาพ
5. วงจรหารความถี่
6. วงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ
7. วงจรเริ่มเก็บภาพและหยุดเก็บภาพ
8. วงจรนับ 15 บิท
9. วงจรเลือกเก็บภาพ
10. การทำงานของวงจรเปรียบเทียบสัญญาณภาพ
11. การทำงานของวงจรเปรียบเทียบสัญญาณภาพ
12. วงจรควบคุมการทำงาน

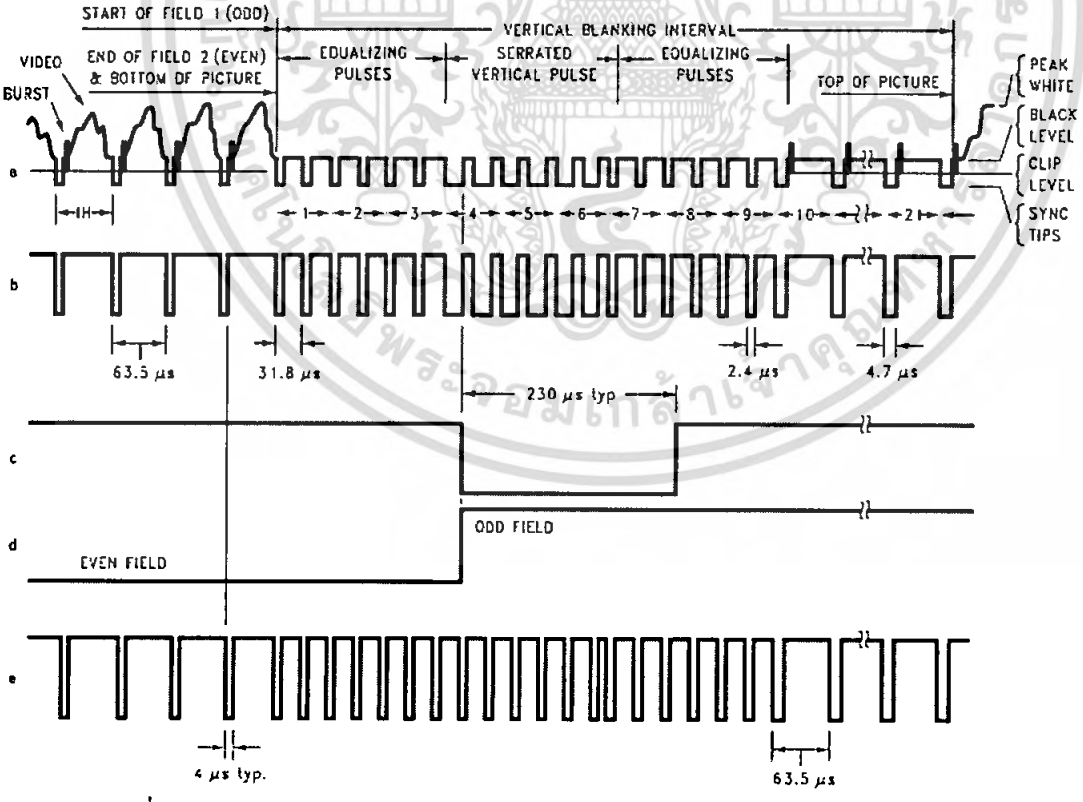
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 การทำงานของวงจรแยกสัญญาณซิงค์

การทำงานของวงจรแยกซิงค์ จะทำการแยกสัญญาณต่างๆ ออกจากสัญญาณภาพ โดยใช้ไอซีเบอร์ LM1881 Video Sync Separator ซึ่งจะได้สัญญาณต่างๆ คือสัญญาณคอมโพสิทซิงค์ (Compasite sync 15,625 Hz) สัญญาณเวอร์ติคอลซิงค์(Vertical sync 50 Hz) สัญญาณฟิลด์คู่/ฟิลด์คี่ (Odd/Even 25 Hz) สัญญาณเบิร์สต์/แบ็ค (Burst/Back 15,625 Hz) โดยสัญญาณที่นำไปใช้ในการออกแบบวงจรคือ สัญญาณคอมโพสิทซิงค์หรือฮอริซอนทอลซิงค์ ซึ่งนำสัญญาณนี้ไปใช้ในส่วนของวงจรหน่วงสัญญาณซิงค์และวงจรนับเส้นภาพ และอีกสัญญาณคือ สัญญาณฟิลด์คู่/ฟิลด์คี่ซึ่งนำสัญญาณนี้ไปใช้เป็นส่วนของวงจรควบคุมการทำงานในส่วนต่างๆ



รูปที่ 5.1วงจรแยกสัญญาณซิงค์

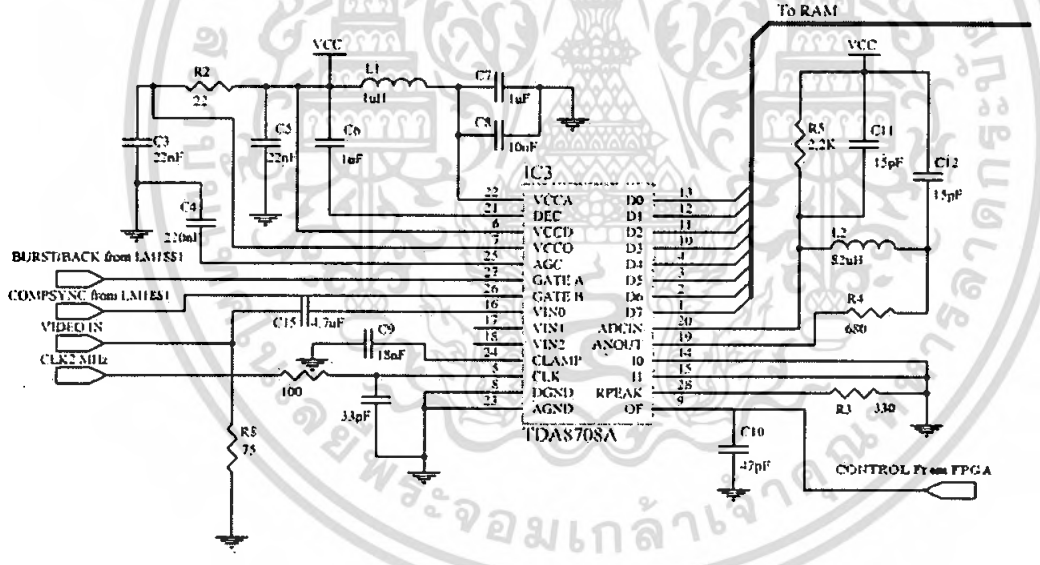


รูปที่ 5.2 (a) สัญญาณภาพรวม; (b) สัญญาณซิงค์รวม; (c) สัญญาณเวอร์ติคอล; (d) สัญญาณฟิลด์คู่/ฟิลด์คี่; (e) สัญญาณเบิร์สต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

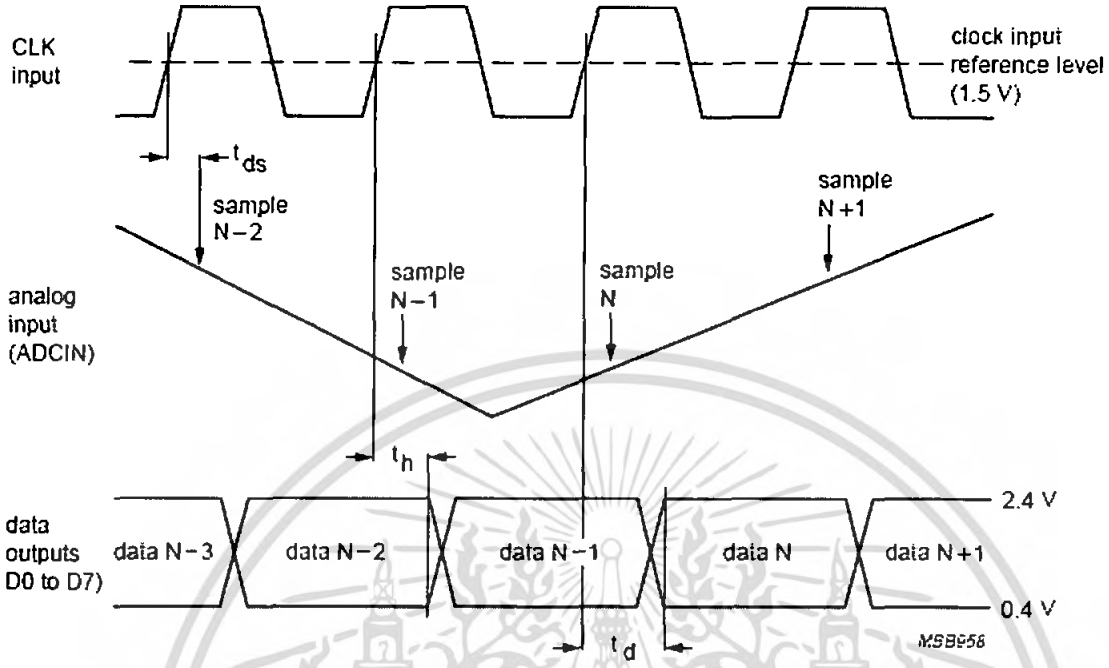
5.2.2 การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

สัญญาณที่ได้จากกล้องโทรทัศน์วงจรปิดเป็นสัญญาณอนาลอก ซึ่งการทำงานของวงจรที่ออกแบบนั้นจะใช้ข้อมูลภาพที่เป็นสัญญาณดิจิตอลเก็บลงในหน่วยความจำและประมวลผลภาพ จึงจำเป็นต้องใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลในการออกแบบวงจร โดยในวงจรใช้ไอซี เบอร์ TDA8708A ซึ่งเป็นไอซี Video Analog Input Interface แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท โดยจะรับสัญญาณภาพที่เป็นอนาลอกเข้ามา แล้วใช้สัญญาณแซมปลิ้งจากวงจรหารความถี่ 2 เมกะเฮิรตซ์ ทำการสุ่มสัญญาณภาพ ข้อมูลที่ได้จะเป็นค่าระดับความสว่างของแต่ละพิคเซล แบ่งเป็น 256 ระดับ (0-255) โดยแสงสีขาวจะมีระดับสูงที่สุด และจะนำค่าสัญญาณภาพที่เป็นดิจิตอลที่ได้ออกมาไปเก็บในหน่วยความจำต่อไป โดยสัญญาณเอาท์พุทนั้นจะได้เมื่อสัญญาณแซมปลิ้งผ่านไปแล้ว 20 นาโนวินาที



รูปที่ 5.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ใช้ไอซี เบอร์ TDA8708A

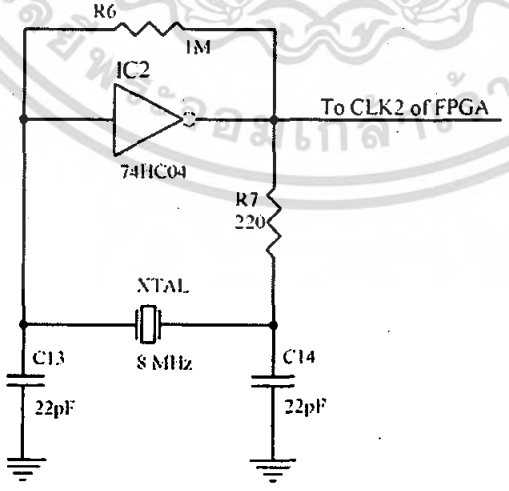
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ไทม์มิ่งไดอะแกรมของข้อมูล

5.2.3 การทำงานของวงจรกำเนิดสัญญาณความถี่สูง

วงจรกำเนิดความถี่สูง จะกำเนิดความถี่ 8 เมกะเฮิรตซ์ จากคริสตอล แล้วนำสัญญาณไปเข้าวงจรหารความถี่ที่ได้ออกแบบด้วยภาษาวีเอชดีแอล ไว้ในเอฟพีจีเอ ซึ่งมีลักษณะเป็นวงจรนับ 2 บิท แล้วนำสัญญาณที่ได้ไปใช้เป็นสัญญาณแซมปลิ้งให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและนำไปใช้ในวงจรนับ 15 บิท เพื่อให้ทำงานเป็นตัวชี้ตำแหน่งแอดเดรสของหน่วยความจำ

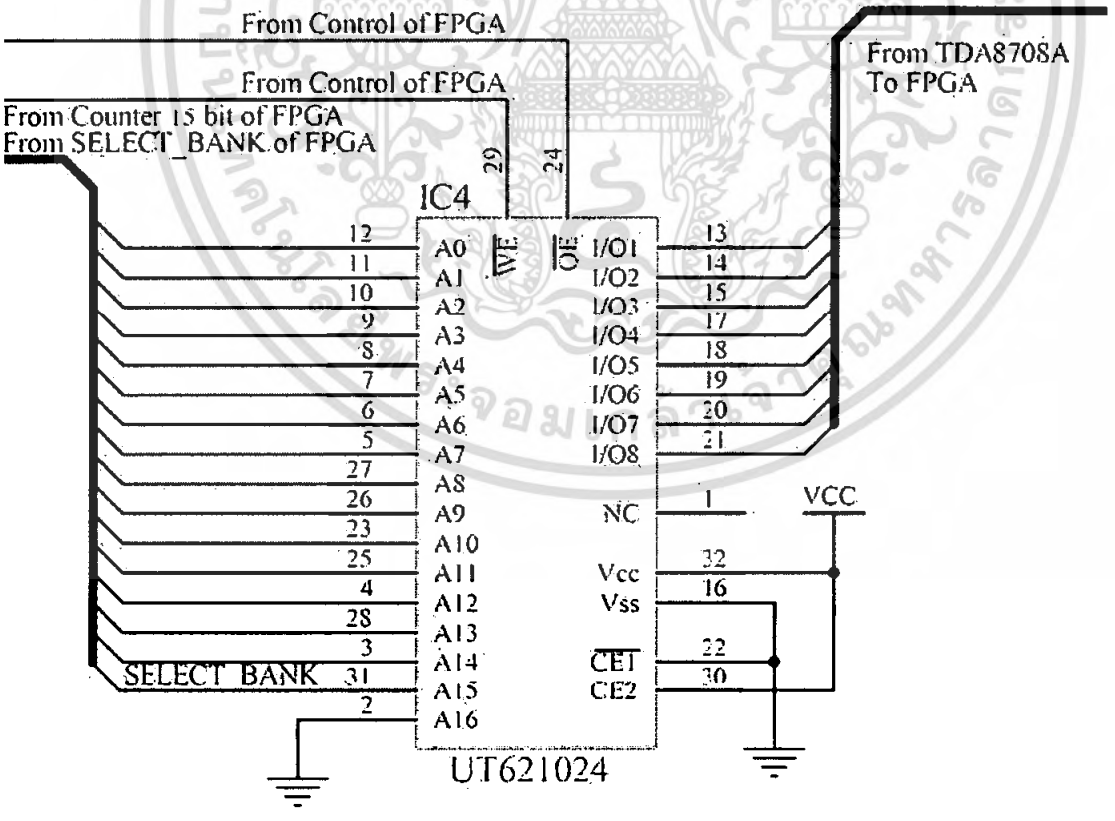


รูปที่ 5.5 วงจรกำเนิดสัญญาณความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 การทำงานของวงจรส่วนหน่วยความจำภาพ .

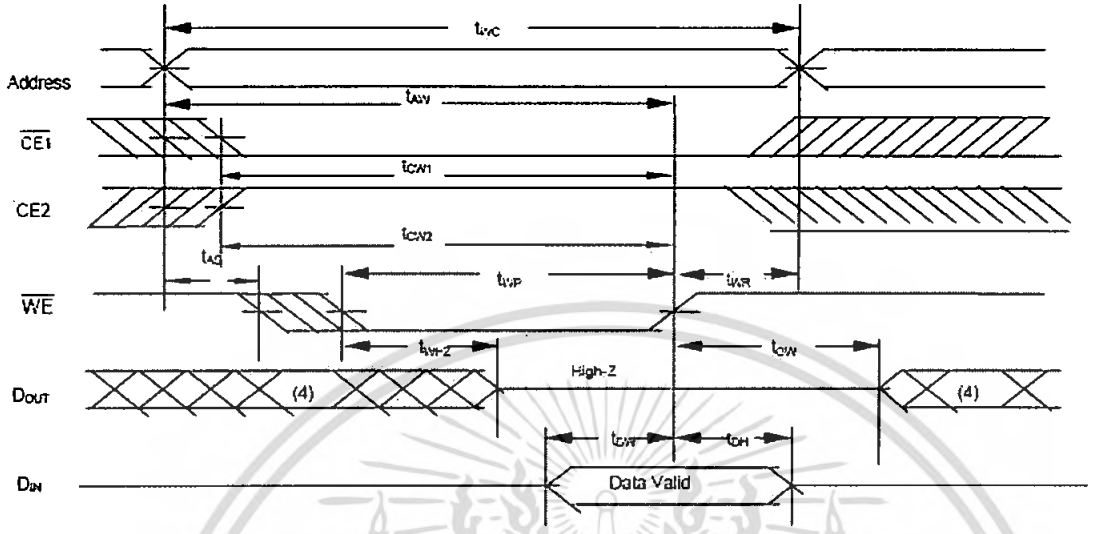
การเก็บภาพ 1 ภาพ จะใช้หน่วยความจำขนาด 26.624 กิโลไบต์ ในการออกแบบการทำงานของวงจรจะเปรียบเทียบความแตกต่างของสัญญาณภาพ จึงต้องเก็บภาพ 2 ภาพไว้ในหน่วยความจำดังนั้นจึงต้องใช้หน่วยความจำ 53.284 กิโลไบต์ โดยสัญญาณภาพที่ 1 มีแอดเดรสตั้งแต่ 0000H-67FFH และสัญญาณภาพที่ 2 มีแอดเดรสตั้งแต่ 6800H-CFFFH จึงต้องใช้หน่วยความจำทั้งหมด 53.284 กิโลไบต์ จากรูปที่ 4.6 เป็นวงจรส่วนหน่วยความจำที่ใช้ไอซีเบอร์ UT621024 ซึ่งรับข้อมูลภาพมาจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแล้วเก็บลงในหน่วยความจำ โดยมีวงจรนับ 15 บิทเป็นตัวชี้ตำแหน่งแอดเดรส นอกจากนี้ยังมีสัญญาณควบคุมการทำงานที่ได้มาจากเอฟพีจีเอโดยจะมีสัญญาณควบคุมการทำงานของบิทที่ 15 ของหน่วยความจำเพื่อเป็นการชี้ตำแหน่งแอดเดรส ของหน่วยความจำระหว่างภาพที่ 1 และภาพที่ 2 และสัญญาณควบคุมกำหนดการเขียนข้อมูล (ที่ขา WE) ของหน่วยความจำเพื่อนำไปใช้ในการเก็บข้อมูลภาพที่ต่อเนื่องกันลงในหน่วยความจำ ซึ่งในการออกแบบนั้นต้องให้การทำงานมีความสอดคล้องและสัมพันธ์กันตามไทม์มิ่งไดอะแกรมของชิพหน่วยความจำ (UT621024)



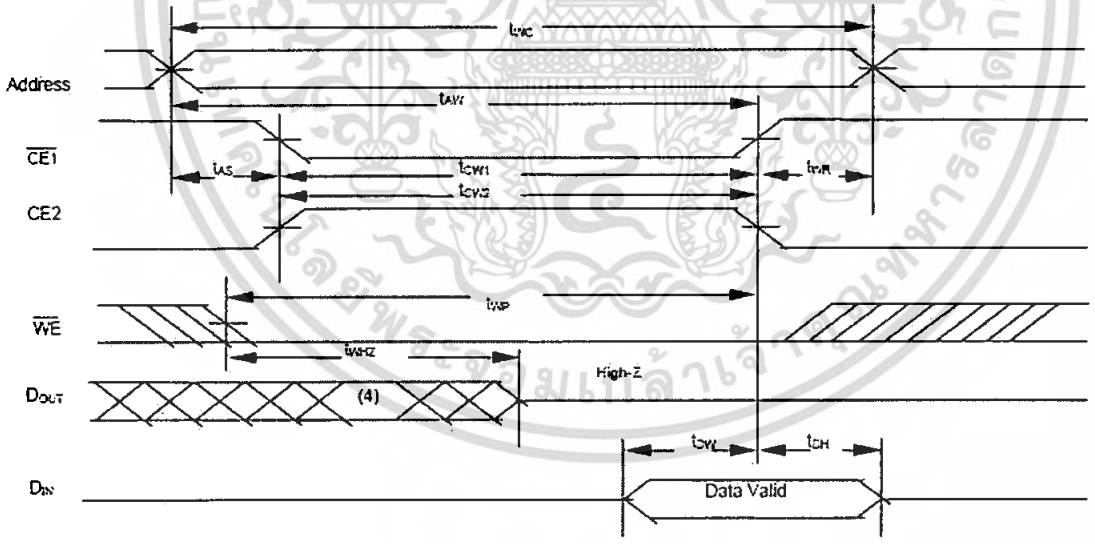
รูปที่ 5.6 วงจรส่วนหน่วยความจำที่ใช้ไอซี เบอร์ UT621024

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 1 ($\overline{WE}$ Controlled) (1,2,3,5)



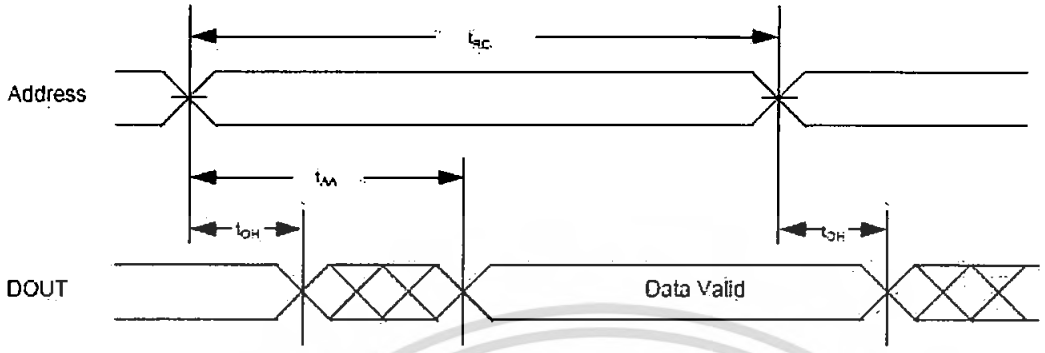
WRITE CYCLE 2 ($\overline{CE1}$ and CE2 Controlled) (1,2,5)



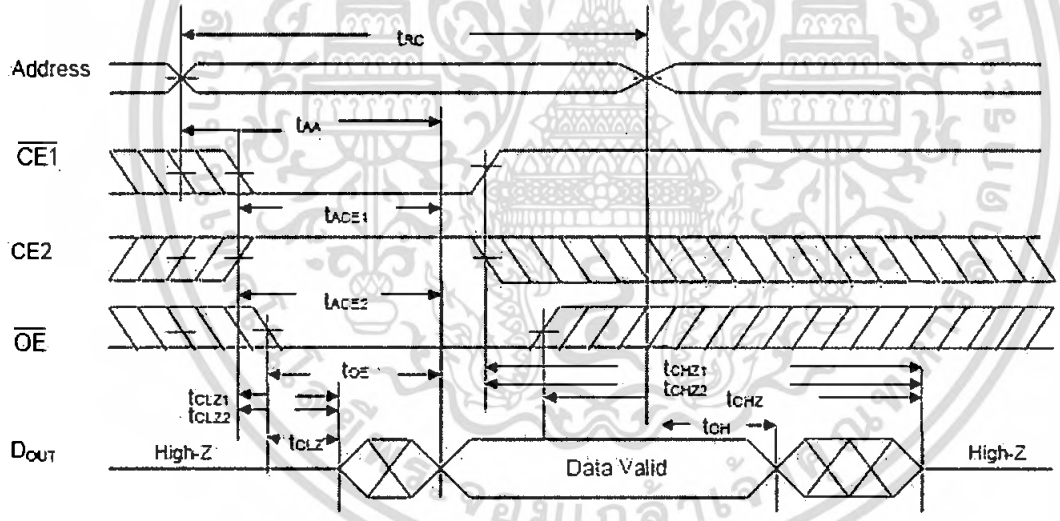
รูปที่ 5.7 ไทม์มิ่งไดอะแกรมของการเขียนข้อมูลลงในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ CYCLE 1 (Address Controlled) (1,2,4)



READ CYCLE 2 ($\overline{CE1}$, CE2 and $\overline{OE}$ Controlled) (1,3,5,6)

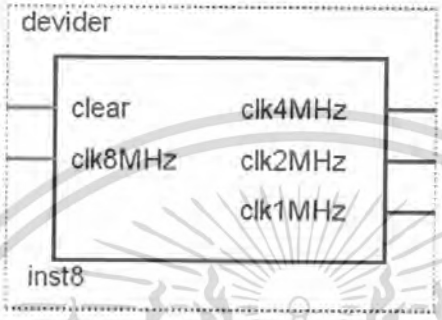


รูปที่ 5.8 ไทม์มิ่งไดอะแกรมของการอ่านข้อมูลออกจากหน่วยความจำ

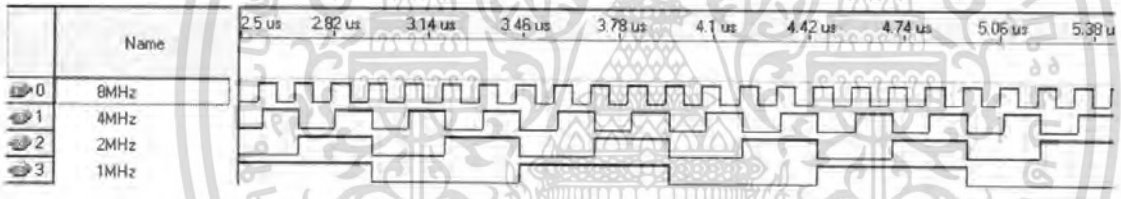
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 การทำงานของวงจรหารความถี่

วงจรหารความถี่จะนำสัญญาณความถี่สูงจากวงจรกำเนิดความถี่สูงมาหาร 2,4,8 เพื่อจะได้สัญญาณความถี่ 2 เมกะเฮิรตซ์มาเป็นสัญญาณนาฬิกาให้วงจรนับ 15 บิทต่อไป



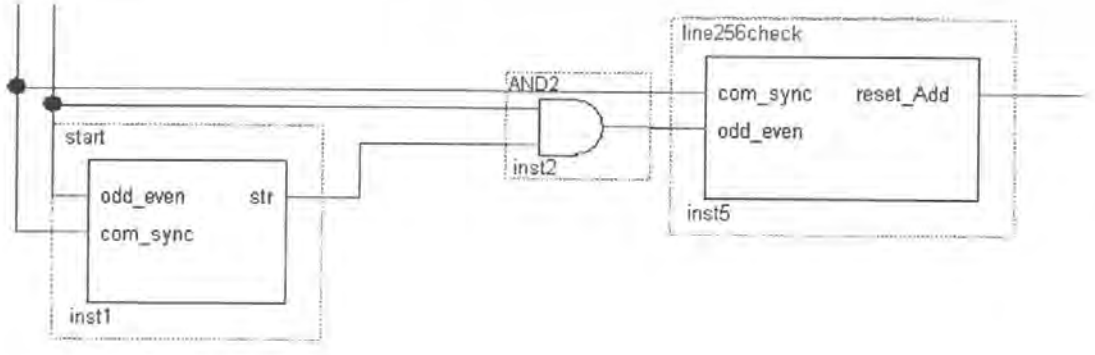
รูปที่ 5.9 วงจรหารความถี่



รูปที่ 5.10 สัญญาณของวงจรหารความถี่ที่ได้จากการจำลองการทำงาน

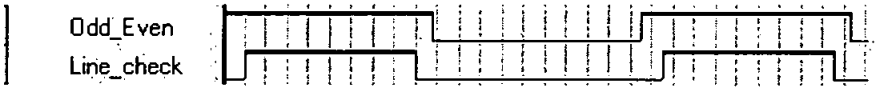
5.2.6 การทำงานของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ

วงหน่วงสัญญาณซิงค์และนับเส้นภาพจะทำงานเมื่อมีสัญญาณฟิลด์คู่/ฟิลด์คี่เข้ามาและจะรอจนกว่าสัญญาณเวอร์ติคอลซิงค์ผ่านไปแล้ววงจรจึงจะทำงาน



รูปที่ 5.11 วงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ

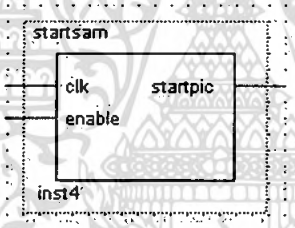
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



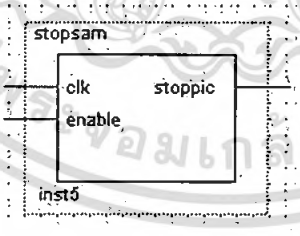
รูปที่ 5.12 สัญญาณของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ

5.2.7 การทำงานของวงจรเริ่มเก็บภาพและหยุดเก็บภาพ

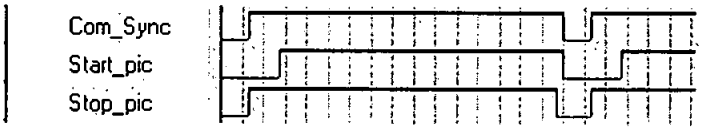
วงจรเริ่มเก็บภาพเมื่อสัญญาณคอมโพสิทซิงค์เข้ามาวงจรจะทำการหน่วงสัญญาณเป็นเวลา 5 ไมโครวินาที เพื่อให้เลยส่วนของสัญญาณที่เป็นบ่าของสัญญาณซิงค์ ซึ่งเป็นส่วนที่เราไม่ต้องการเก็บแล้วจึงเริ่มการทำงานในการเก็บภาพ ในส่วนของวงจรหยุดเก็บภาพนั้นเมื่อนับไปจนถึงบ่าของสัญญาณซิงค์อีกลูกหนึ่งก็จะหยุดการเก็บภาพ



รูปที่ 5.13 วงจรเริ่มเก็บภาพ



รูปที่ 5.14 วงจรหยุดเก็บภาพ

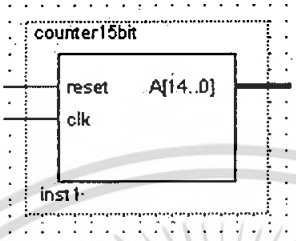


รูปที่ 5.15 สัญญาณของวงจรเริ่มเก็บภาพและหยุดเก็บภาพ

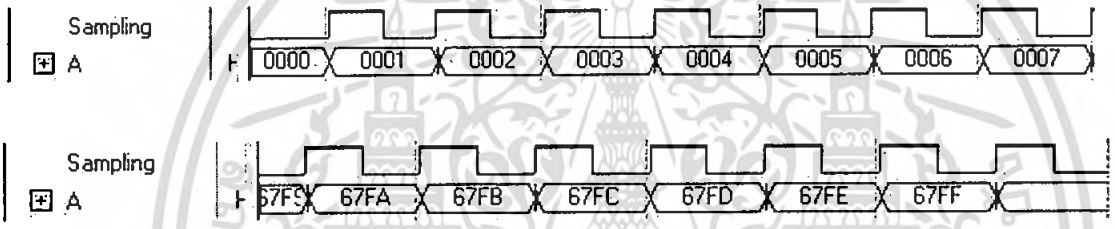
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.8 การทำงานของวงจรนับ 15 บิท

วงจรนับ 15 บิทจะเริ่มการทำงานเมื่อมีสัญญาณความถี่ 2 เมกะเฮิรตซ์เข้ามาที่ขา clk และจะทำการนับเพื่อชี้ตำแหน่งในหน่วยความจำ และจะหยุดนับเมื่อมีสัญญาณมาที่ขา reset



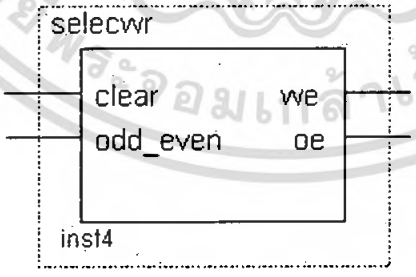
รูปที่ 5.16 วงจรนับ 15 บิท



รูปที่ 5.17 สัญญาณของวงจรวงจรนับ 15 บิท

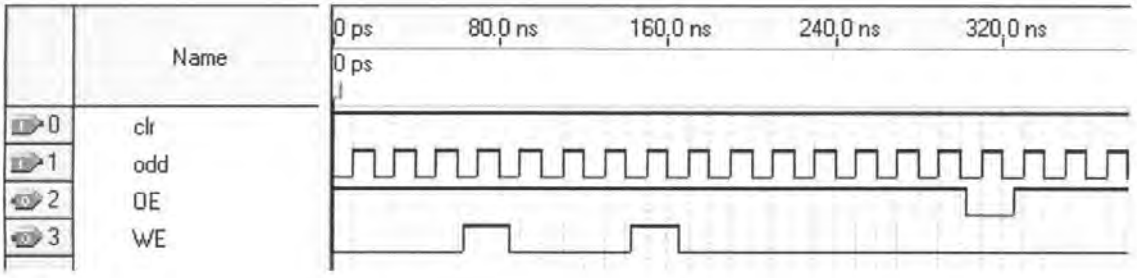
5.2.9 การทำงานของวงจรเลือกเก็บภาพ

วงจรเลือกเก็บภาพจะทำงานเป็นวงจรระบุตำแหน่งของภาพที่ 1 และภาพที่ 2 โดยการนำสัญญาณฟิลด์คู่/ฟิลด์คี่มานับ เพื่อเป็นสัญญาณในการชี้ตำแหน่งขา 15 ของหน่วยความจำ



รูปที่ 5.18 วงจรเลือกเก็บภาพ

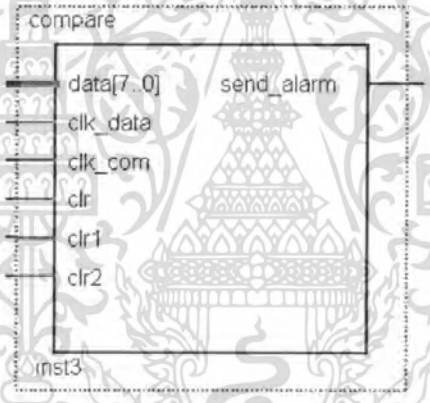
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



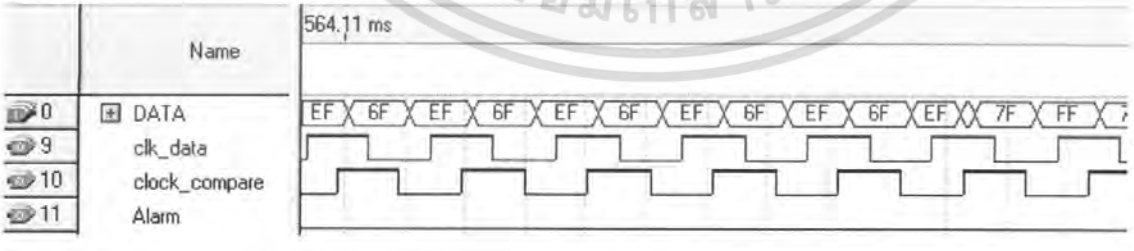
รูปที่ 5.19 สัญญาณของวงจรเลือกเก็บภาพ

5.2.10 การทำงานของวงจรเปรียบเทียบสัญญาณภาพ

การทำงานของวงจรนี้คือจะนำ clk_data เพื่อนำภาพแรกและภาพที่สองออกมาจากหน่วยความจำจากนั้นก็จะทำการเปรียบเทียบกัน โดยใช้ clk_com



รูปที่ 5.20 วงจรเปรียบเทียบสัญญาณภาพ

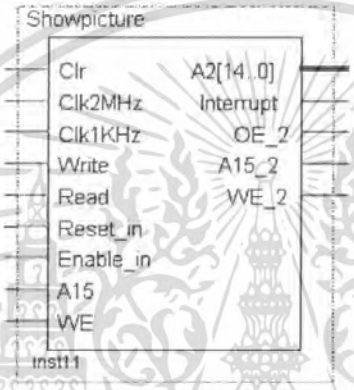


รูปที่ 5.21 สัญญาณของวงจรเปรียบเทียบสัญญาณภาพ

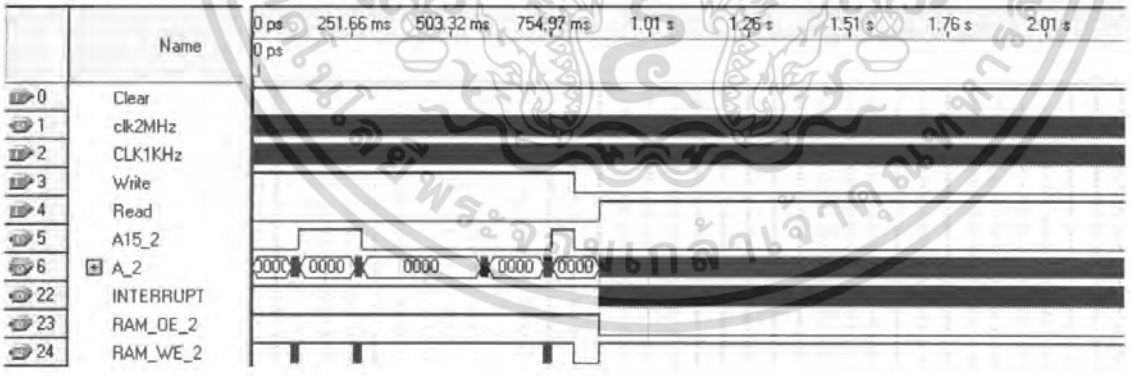
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 การทำงานของวงจรนำข้อมูลภาพส่งไปยังคอมพิวเตอร์

การทำงานของวงจรคือ วงจรจะรอการขอสัญญาณ Write จาก MCS-51 เมื่อมีสัญญาณมาแล้ววงจรจะทำการเขียนข้อมูลลงหน่วยความจำตัวที่สอง โดยใช้ความถี่ 2MHz จากนั้นเมื่อ MCS-51 ส่งสัญญาณ Read เข้ามาวงจรจะใช้ความถี่ 1KHz ในการระบุตำแหน่งของหน่วยความจำเพื่อให้สอดคล้องกับอัตราเร็วของการส่งข้อมูลแบบอนุกรม



รูปที่ 5.22 วงจรส่งข้อมูลภาพ



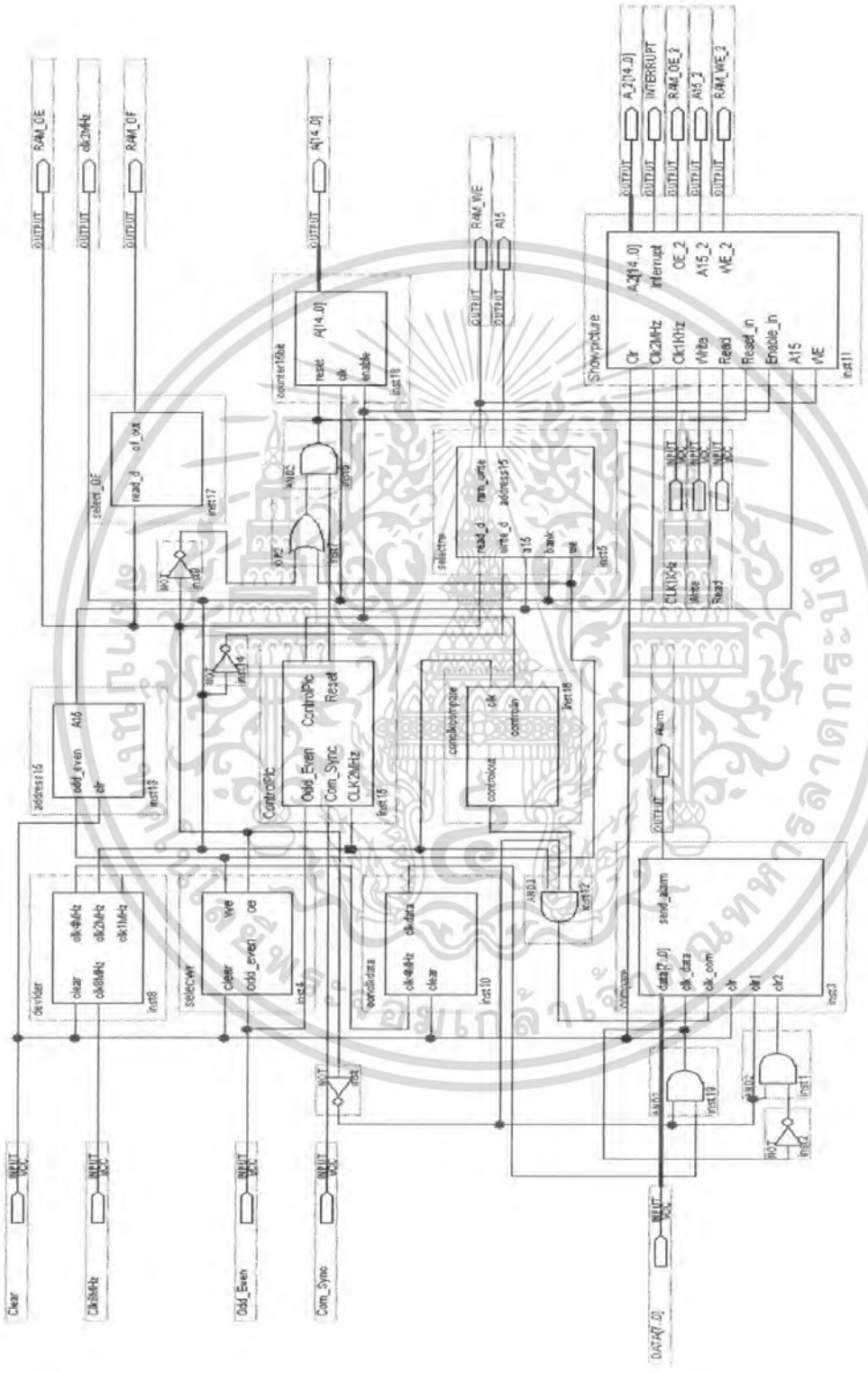
รูปที่ 5.23 สัญญาณของวงจรส่งข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.12 การทำงานของวงจรควบคุมการทำงาน

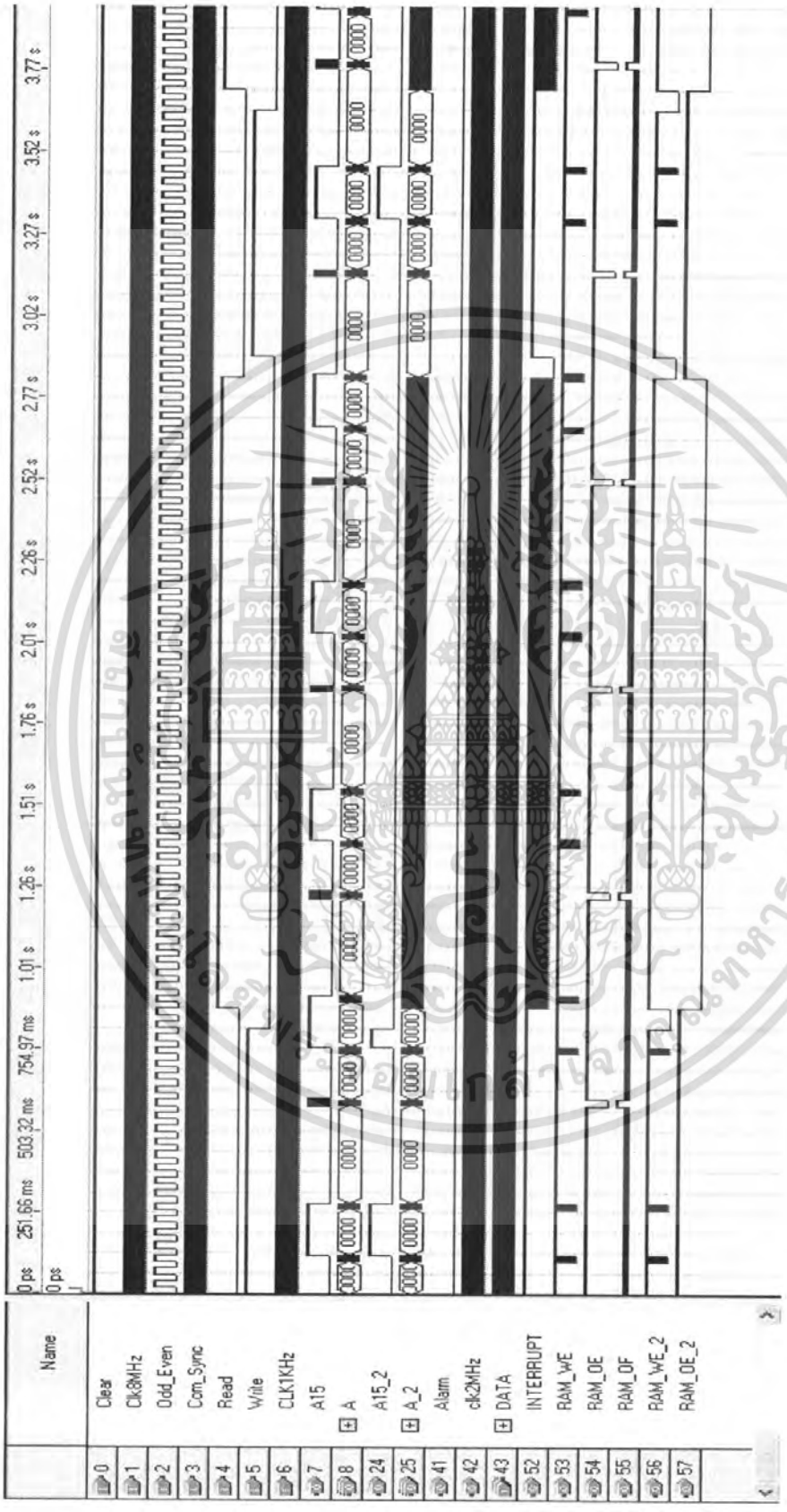
ในส่วนของการควบคุมการทำงานนี้ได้ออกแบบไว้ในเอฟพีจีเอ ซึ่งจะเป็นการนำสัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์มาใช้เป็นสัญญาณในการควบคุมการทำงาน เช่น นำสัญญาณฟิลด์คู่/ฟิลด์คี่มาเปิดการทำงานของวงจรและเลือกเก็บภาพ และนำสัญญาณคอมโพสิทซิงค์มาควบคุมการเก็บภาพและนับเส้นภาพ รวมถึงการนำสัญญาณความถี่สูง 8 เมกะเฮิรตซ์ มาหาร 4 จะได้สัญญาณความถี่ 2 เมกะเฮิรตซ์ แล้วนำความถี่ที่ได้จากการหารมาเข้าวงจรนับ 15 บิท เพื่อนำไปใช้ในการระบุตำแหน่งแอดแดรสของหน่วยความจำต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



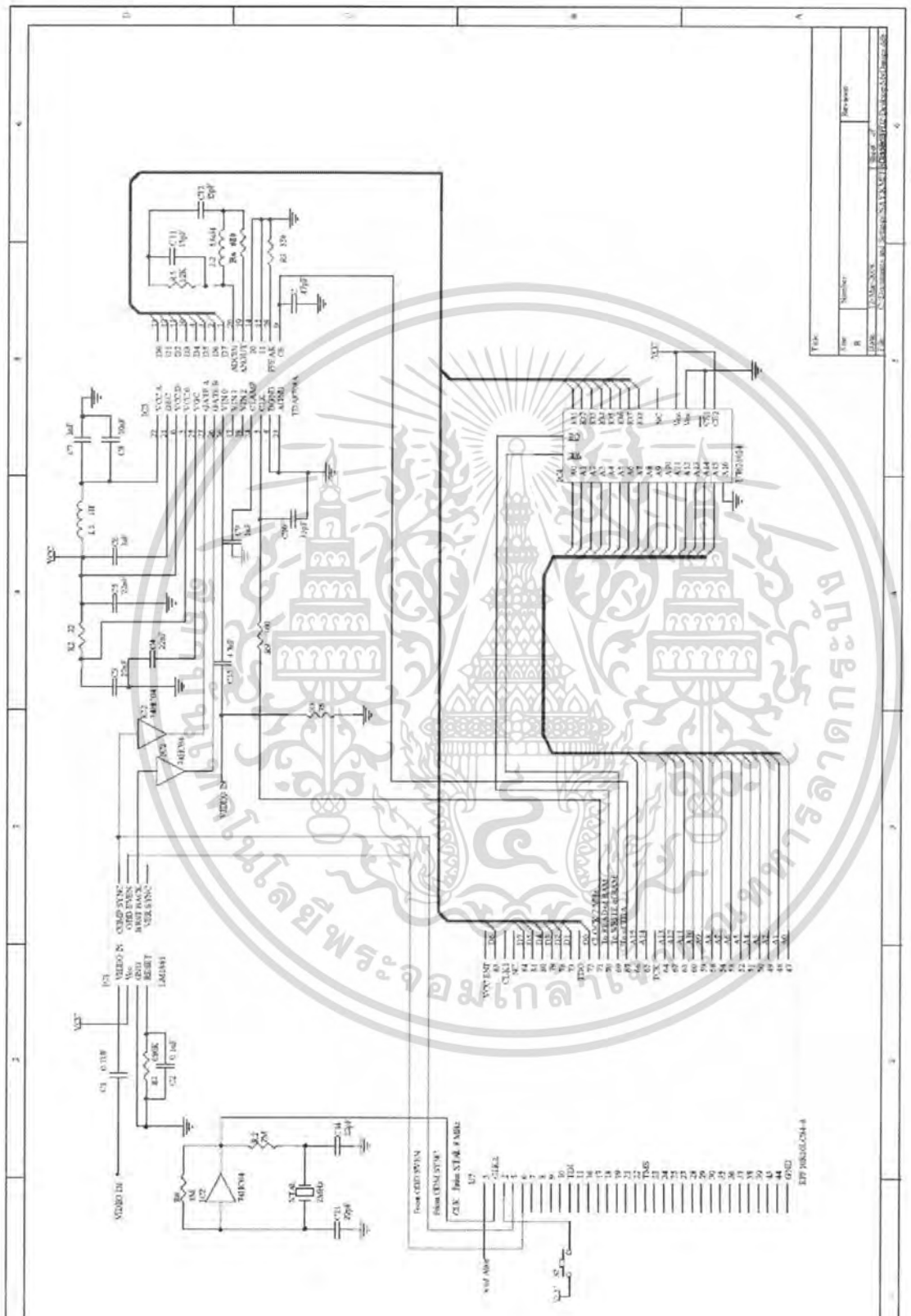
รูปที่ 5.24 วงจรควบคุมการทำงานที่ออกแบบใน FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



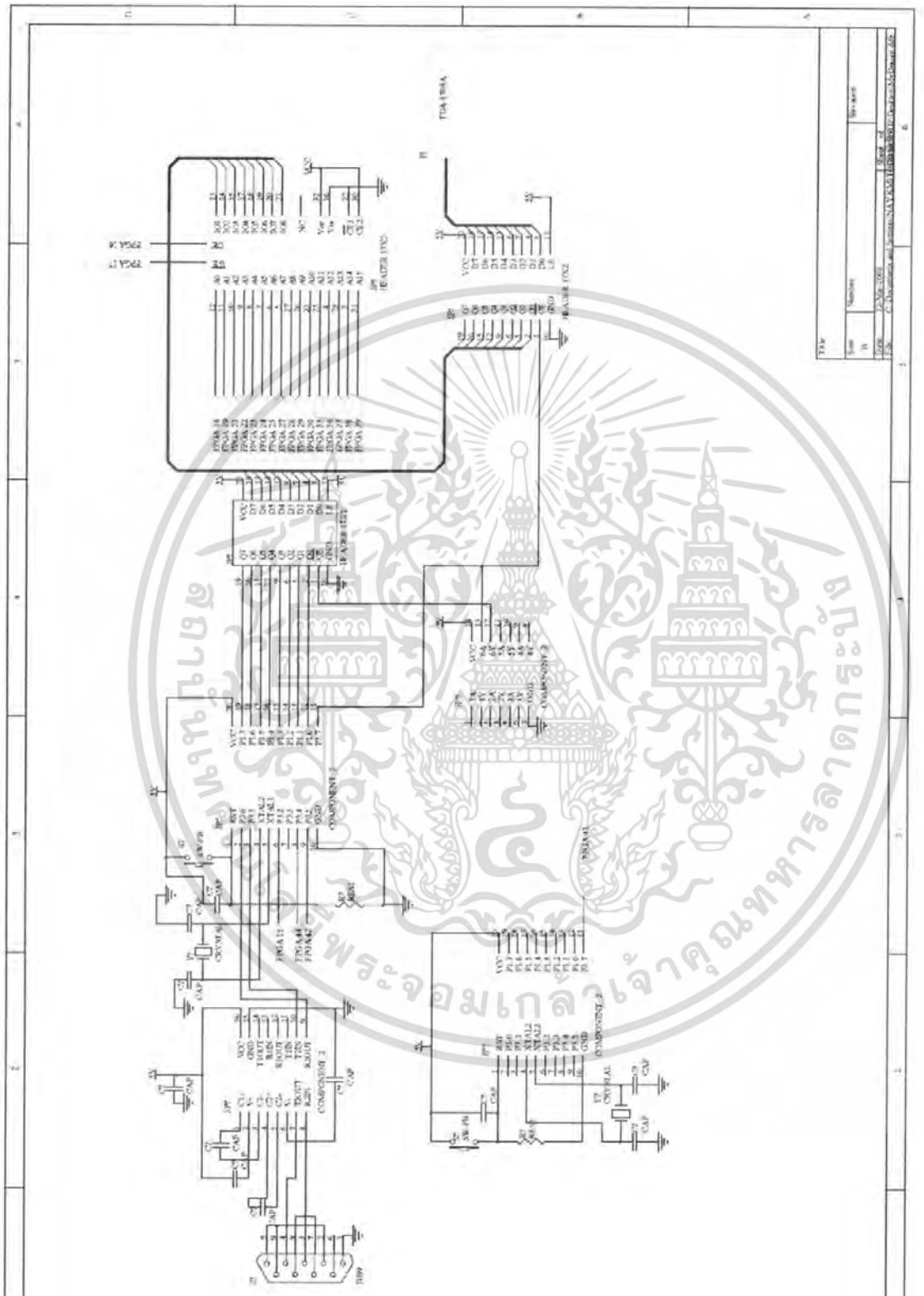
รูปที่ 5.25 สัญญาณของวงจรควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.26 วงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.27 วงจรส่งข้อมูลภาพผ่านพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองการทำงานของวงจร

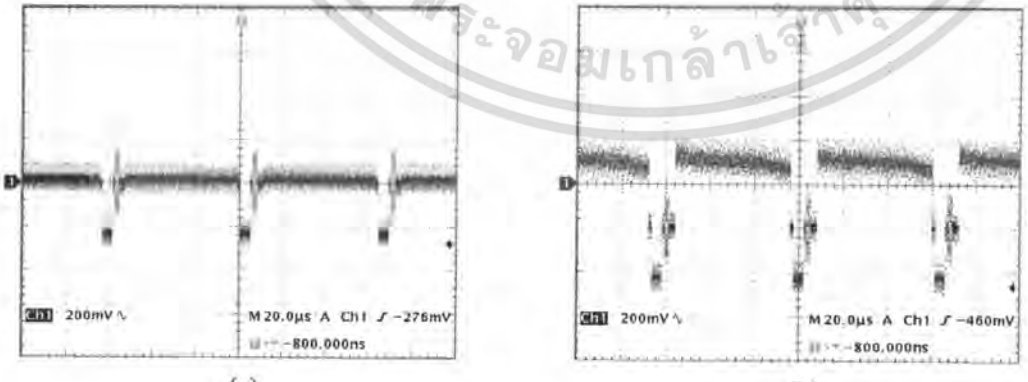
ในส่วนของการทดลองจะเป็นการวัดสัญญาณที่จุดต่าง ๆ ของวงจรทางฮาร์ดแวร์ที่ประกอบขึ้นมา เพื่อแสดงให้เห็นว่าวงจรมีการทำงานจริงดังที่ได้ออกแบบวงจรทางซอฟร์แวร์ไว้จึงจะนำสัญญาณจากการทดลองมาแสดงไว้เพื่อบอกการทำงานจริงของวงจร

6.1 การวัดสัญญาณที่จุดต่างๆ

ในวงจรนั้นจะมีสัญญาณอินพุทเพียงสัญญาณเดียว คือ สัญญาณภาพรวมซึ่งเป็นสัญญาณที่ได้มาจากกล้องวงจรปิด

6.1.1 สัญญาณที่ได้จากกล้องโทรทัศน์วงจรปิด

สัญญาณที่ได้จากกล้องโทรทัศน์วงจรปิด คือ สัญญาณภาพรวม ที่แสดงในรูปที่ 5.1 ซึ่งสัญญาณภาพนี้เป็นสัญญาณอนาลอก โดยรูปที่ 5.1 (a) เป็นสัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพที่มีความสว่างน้อย และรูปที่ 5.1 (b) เป็นสัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีความสว่างมากจะเห็นได้ว่าภาพที่มีความสว่างมากมีขนาดสูงกว่าภาพที่มีความสว่างน้อยและสัญญาณทั้งสองลักษณะนี้ยังมีสัญญาณซิงค์ที่เหมือนกันอยู่ด้วย ซึ่งสัญญาณนี้เองที่นำไปใช้เป็นสัญญาณควบคุมการทำงานในส่วนต่างๆ ของวงจร



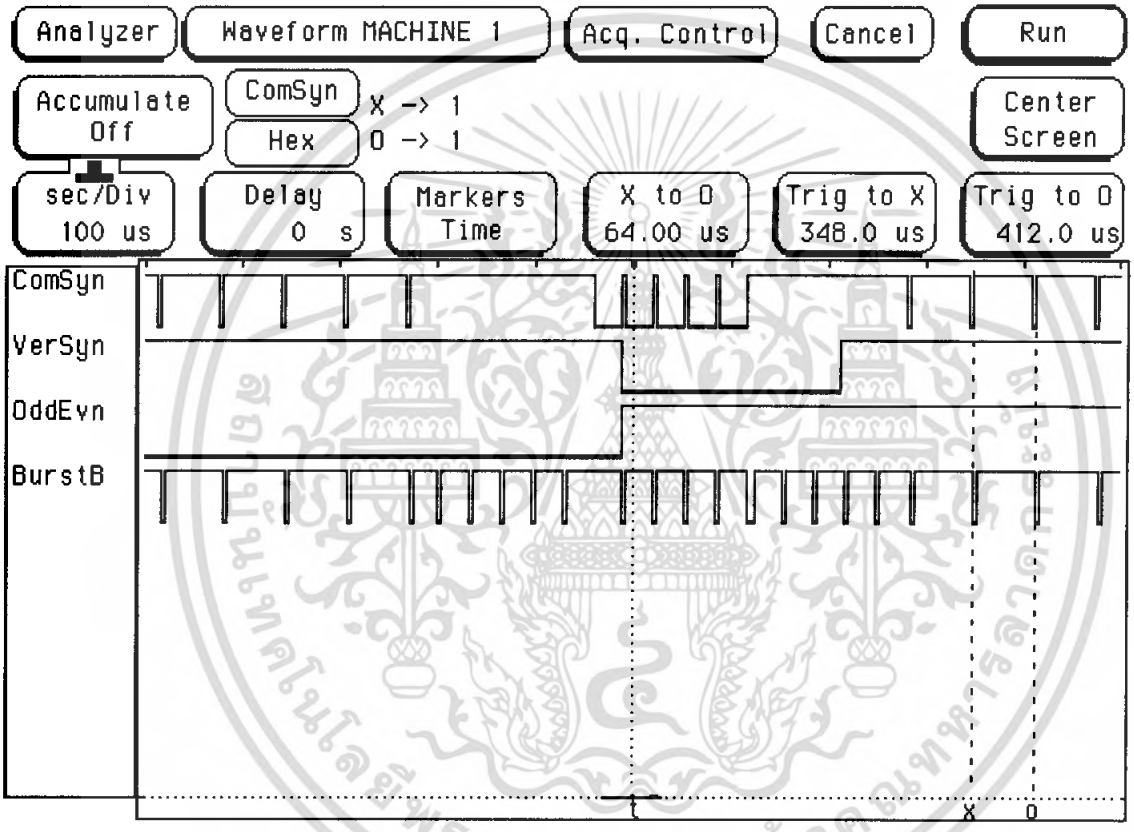
(a) (b)

รูปที่ 5.1 (a) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีความสว่างน้อย
(b) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีความสว่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.2 สัญญาณที่ได้จากวงจรแยกซิงค์

สัญญาณที่ได้จากวงจรแยกซิงค์ โดยสัญญาณจะประกอบไปด้วยสัญญาณคอมโพสิทซิงค์หรือฮอริซอนทอลซิงค์ สัญญาณเวอร์ติคอลซิงค์ สัญญาณเบิร์สต์ และสัญญาณฟิลด์คู่/ฟิลด์คี่ ซึ่งในการทำงานของวงจรนี้จะใช้สัญญาณคอมโพสิทซิงค์ในการควบคุมจังหวะการสุ่มสัญญาณภาพและสัญญาณฟิลด์คู่/ฟิลด์คี่ในการควบคุมการทำงานของวงจรให้สอดคล้องกัน



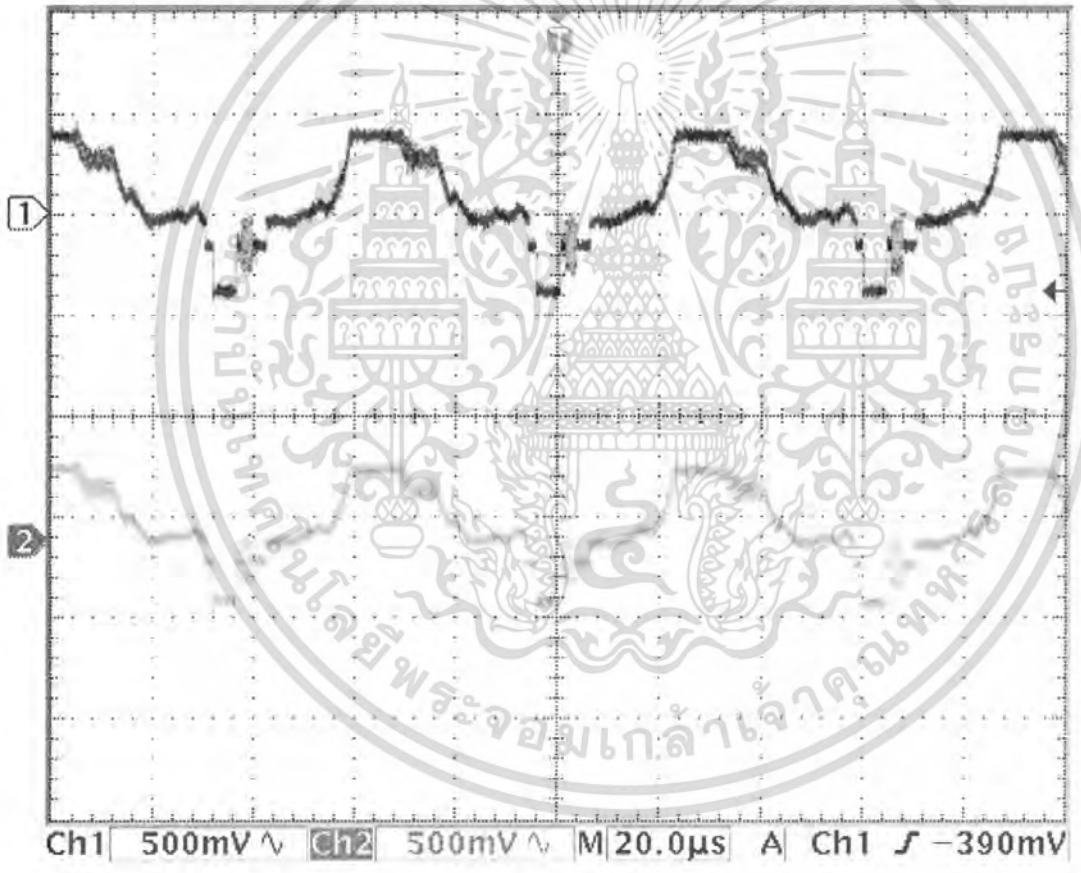
รูปที่ 6.2 สัญญาณซิงค์ที่แยกจากสัญญาณภาพรวม

วงจรแยกสัญญาณซิงค์ออกจากสัญญาณภาพ จะทำให้ได้สัญญาณคอมโพสิทซิงค์หรือฮอริซอนทอลซิงค์ และสัญญาณเบิร์สต์ที่มีความถี่ 15.625 กิโลเฮิรตซ์ สัญญาณเวอร์ติคอลซิงค์ที่มีความถี่ 50 เฮิรตซ์ และสัญญาณฟิลต์คู่/ฟิลด์คี่ที่มีความถี่ 25 เฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.3 สัญญาณที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

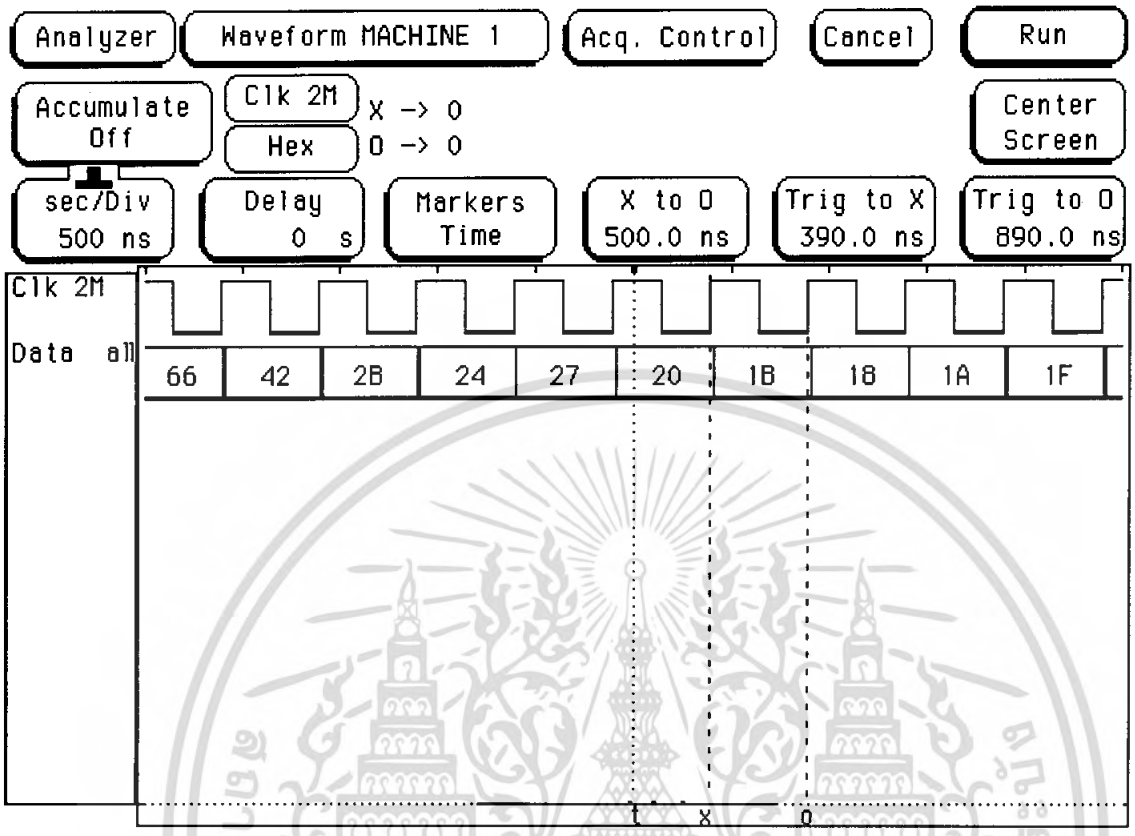
วงจรนี้ได้ออกแบบให้มีการนำสัญญาณภาพเข้ามาที่ขา 16(VIN0) ของไอซีเบอร์ TDA8708A จะมีการเลือกสัญญาณโดยขา 14(I0) และ 15(I1) เพราะสามารถนำสัญญาณภาพเข้าได้ถึง 3 สัญญาณ และสัญญาณที่ถูกเลือกจะสามารถวัดได้ที่ขา 19(ANOUT) ซึ่งจะเป็นสัญญาณที่มีลักษณะเหมือนกับสัญญาณที่ขา 16 ดังแสดงในรูปที่ 5.3 และจะนำสัญญาณที่ได้นี้ไปผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกำจัดวัญญาณรบกวนที่มีความถี่สูงออกไป และนำไปผ่านวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 8 บิท ซึ่งสัญญาณที่ออกมานี้แสดงได้ดังรูปที่ 5.4



1. สัญญาณภาพจากกล้องวงจรปิด
2. สัญญาณภาพที่จะนำไปแปลงเป็นดิจิตอล

รูปที่ 6.3 สัญญาณจากกล้องวงจรปิดกับสัญญาณที่ขา 19 ของ TDA8708A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



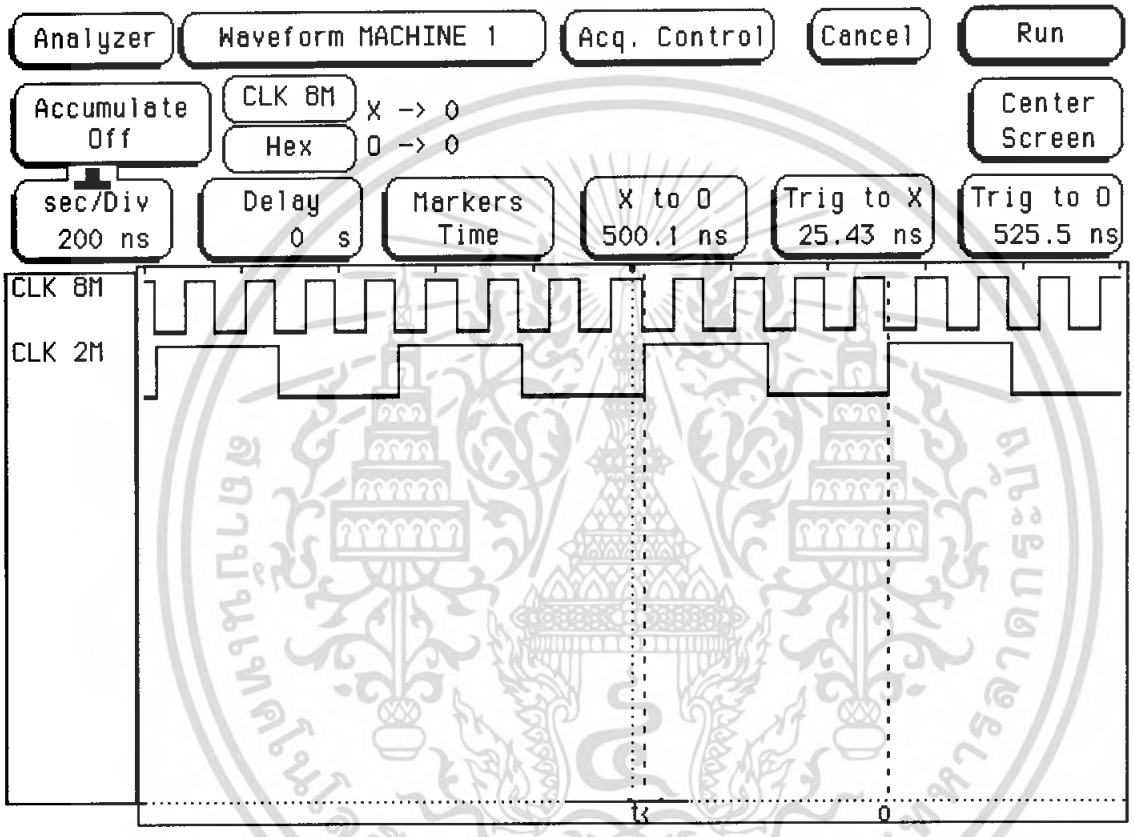
รูปที่ 6.4 สัญญาณของวงจรแปลงอนาลอกเป็นดิจิตอลจากการแซมปลิ้งด้วยความถี่ 2 เมกะเฮิรตซ์

วงจรแปลงอนาลอกเป็นดิจิตอลจากการแซมปลิ้งด้วยความถี่ 2 เมกะเฮิรตซ์ ข้อมูลที่ได้จะเป็นชุดข้อมูลของเลขฐานสอง(D0-D7)ซึ่งได้แสดงผลเป็นระบบบัสตัวเลขฐานสิบหกดังแสดงในรูปที่ 5.5 เมื่อมีความถี่ในการสุ่มเข้ามาวงจรจะนำสัญญาณภาพที่เป็นสัญญาณอนาล็อกมาแปลงเป็นสัญญาณดิจิตอลฐานสองขนาด 8 บิท เลขฐานสองที่ได้จะขึ้นอยู่กับความมืดหรือความสว่างของภาพ ถ้าภาพสว่างมากก็จะทำให้ได้ข้อมูลของเลขฐานสองที่มีค่าสูง และภาพสว่างน้อยก็จะทำให้ได้ข้อมูลของเลขฐานสองที่มีค่าต่ำตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.4 สัญญาณที่ได้จากวงจรหารความถี่

วงจรหารความถี่จะได้รับสัญญาณมาจากวงจรกำเนิดความถี่สูงซึ่งมีคริสตอลเป็นตัวกำเนิดความถี่ หลังจากนั้นจะทำการหาร 4 และนำสัญญาณความถี่ที่ได้ไปใช้ในวงจรการสุ่มสัญญาณภาพ วงจรนับ 15 บิท เพื่ออ้างอิงตำแหน่งการเก็บข้อมูล



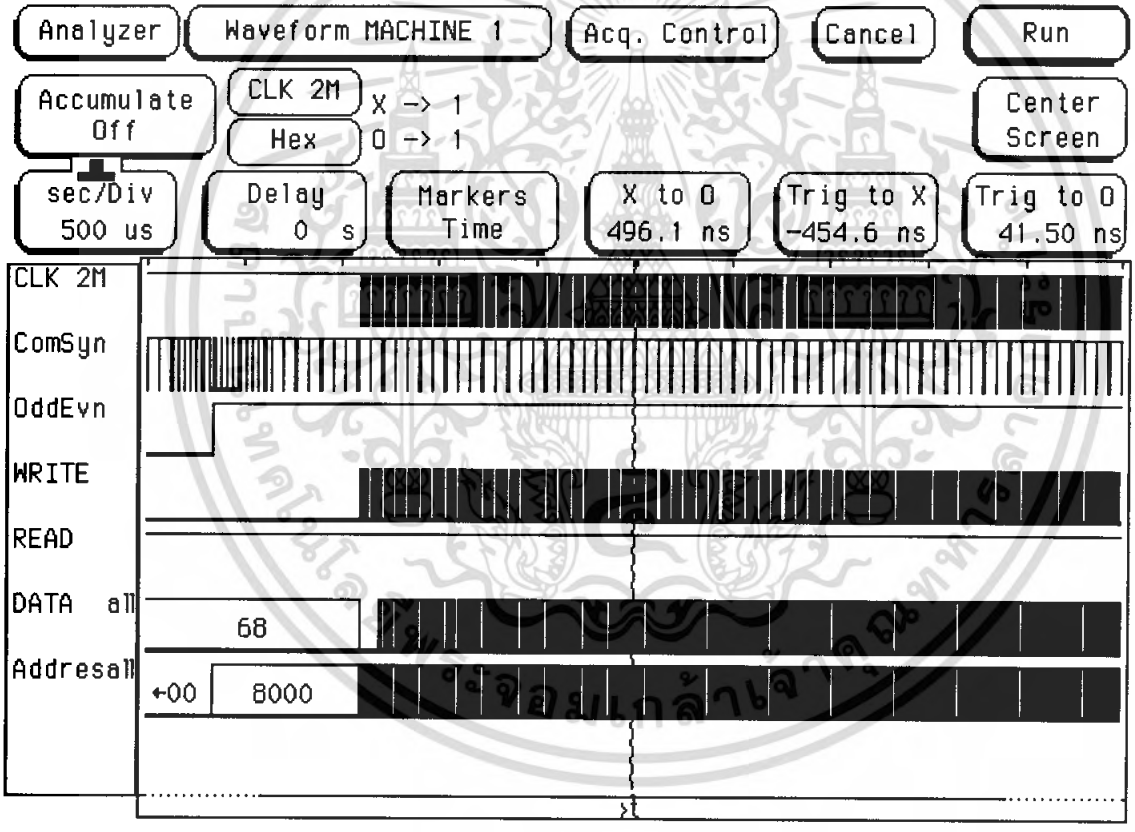
รูปที่ 6.5 สัญญาณของวงจรหารความถี่ที่ออกแบบในเอฟพีจีเอ

การทำงานของวงจรหารความถี่นี้จะอยู่ข้างในเอฟพีจีเอซึ่งได้ออกแบบไว้โดยใช้ภาษาวีเอชดีเอลในการเขียนโปรแกรม ซึ่งสัญญาณความถี่ที่ได้จากวงจรกำเนิดความถี่ จะมีความถี่ 8 เมกะเฮิรตซ์ เนื่องจากวงจรของระบบจะใช้ความถี่ 2 เมกะเฮิรตซ์ จึงจำเป็นต้องหารความถี่นี้ และอีกประการหนึ่งคือจะนำไปกำหนดอัตราการสุ่มข้อมูล จึงจำเป็นต้องหารความถี่ที่ถูกควบคุมด้วยสัญญาณฟิลด์คู่/ฟิลด์คี่ เพื่อให้การทำงานทำงานอย่างสอดคล้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.5 การเริ่มต้นการเก็บภาพ

การทำงานของวงจรในส่วนของการเริ่มต้นการเก็บภาพได้แบบไว้ในเอฟพีจีเอ ซึ่งการทำงานของวงจรควบคุมการเริ่มต้นการเก็บภาพ เริ่มจาก เมื่อสัญญาณฟิลล์คู่/ฟิลล์ ซึ่งเป็นสัญญาณภาพเริ่มต้นมาถึง วงจรจะทำการหน่วงสัญญาณไป 2 มิลลิวินาที(mS) เพื่อให้พ้นในส่วนของการสะบัดกลับทางแนวตั้งดั้งนั้นในช่วงแรกๆ จึงไม่มีการเก็บภาพ หลังจากนั้นก็จะกำหนดให้เริ่มต้นนับเส้นภาพ เพื่อให้วงจรควบคุมการทำงานที่ออกแบบไว้ส่งสัญญาณที่เป็นลอจิก 1 เพื่อเปิดการทำงานของวงจรนับ 15 บิท และวงจรหารความถี่ เพื่อทำการสุ่มสัญญาณภาพ แล้วนำสัญญาณภาพจากที่ได้จาก TDA8708A ไปเก็บไว้ในหน่วยความจำ ซึ่งแสดงดังรูปที่ 6.6 และ 6.7



รูปที่ 6.6 สัญญาณต่าง ๆ ของการเริ่มต้นการทำงาน

เนื่องจากมาตรฐานในปัจจุบันนั้นกำหนดการสะบัดกลับทางแนวตั้งไว้ 5 เปอร์เซ็นต์ของการสแกนทางแนวตั้งจึงแสดงการคำนวนได้ดังนี้

ความถี่ของการสแกนทางแนวตั้ง = 50 Hz

เวลาของการสแกนทางแนวตั้ง = 1/(50Hz) = 20 mS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

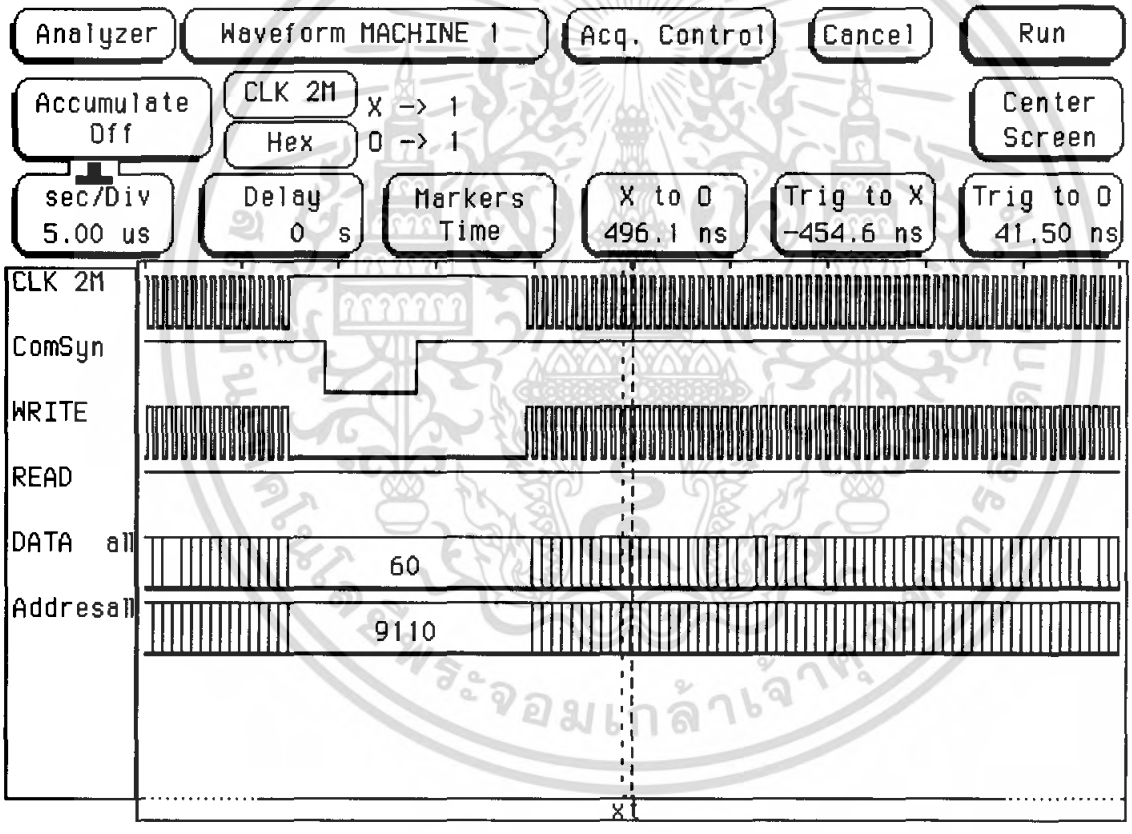
ค่า 5 เปอร์เซ็นต์ของการสแกนทางแนวตั้ง = 0.05*(20mS) = 1 mS

เวลาในการสแกนเส้นภาพทางแนวนอน = 64 uS

ดังนั้นการสะบัดกลับทางแนวตั้งจะกินเส้นภาพ = 1mS/(64uS) = 15.625 เส้น

หรือประมาณ 16 เส้น

เพราะฉะนั้นเมื่อสัญญาณฟิลด์คี่/ฟิลด์คู่เข้ามาจะเกิดการสะบัดกลับทางแนวตั้งขึ้นหรือที่เรียกกันว่าการรีเทรซ ซึ่งจะกินเส้นภาพไปประมาณ 16 เส้น เพื่อความแน่ใจว่าการรีเทรซสิ้นสุดลงแล้ว จึงได้ตัดเส้นภาพออ 16 เส้น ซึ่งจะใช้เวลาเท่ากับ 1 มิลลิวินาที ดังนั้นวงจรจะทำการหน่วงสัญญาณไป 1 มิลลิวินาที จึงจะเริ่มต้นการเก็บภาพ



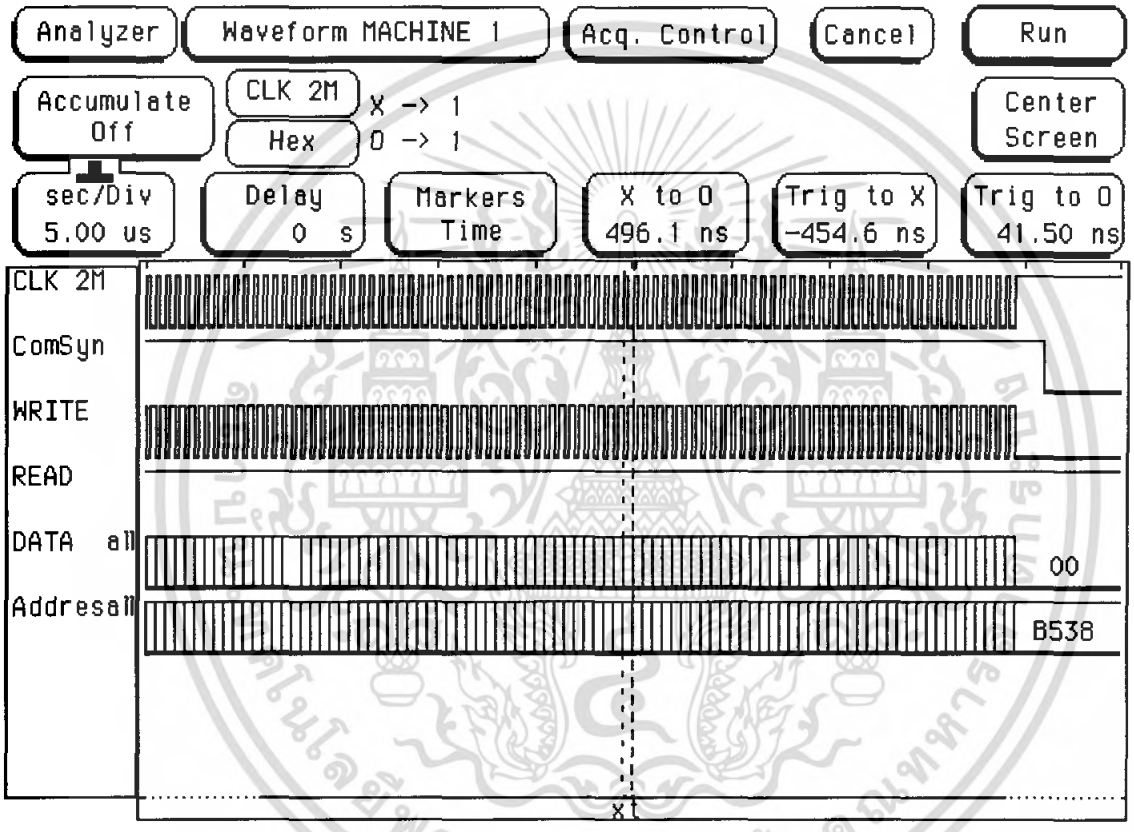
รูปที่ 6.7 สัญญาณควบคุมการเริ่มต้นการเก็บภาพ

ในส่วนของการเก็บภาพในแต่ละเส้นนั้น เมื่อสัญญาณคอมโพสิทซิงค์ หรือฮอริซอนทอลซิงค์เข้ามาวงจรส่วนของวงจรควบคุมจะทำการหน่วงสัญญาณเป็นเวลา 5 ไมโครวินาที เพื่อให้พ้นบ่าของสัญญาณซิงค์ และถึงสัญญาณภาพจริง ๆ ก่อน จึงจะเริ่มสุ่มสัญญาณภาพให้เป็นสัญญาณดิจิตอลและเก็บลงในหน่วยความจำต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.6 การหยุดการเก็บภาพ

เมื่อเก็บภาพครบเรียบร้อยแล้ว คือ วงจรนับเส้นภาพทำการนับเส้นภาพครบ 256 เส้น แล้ววงจรนับเส้นภาพจะทำการหยุดส่งลอจิก 1 ไปให้วงจรนับ 15 บิท จึงมีการหยุดเก็บภาพรอจนกว่าจะมีสัญญาณฟิลด์คี่ลูกต่อไปมาอีกครั้งจึงจะมีการเก็บภาพที่ 2 ต่อไปซึ่งมีการแสดงการทำงานดังรูปที่ 6.8



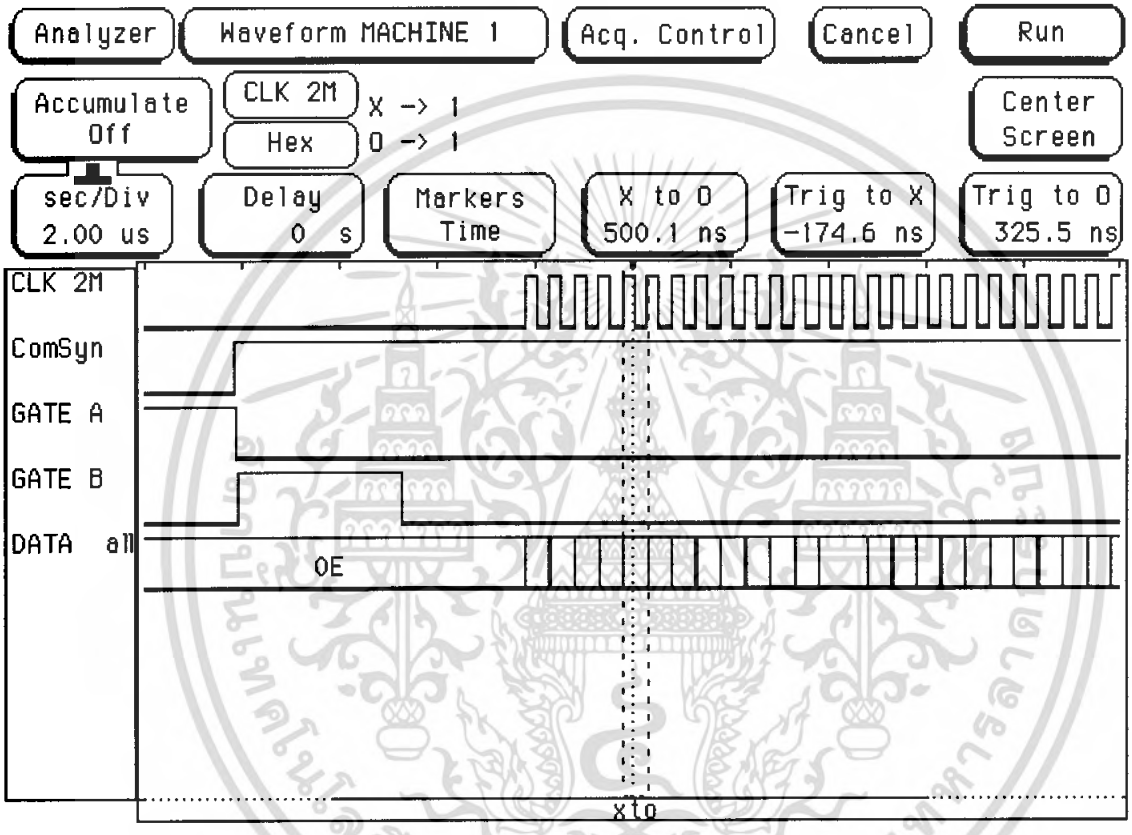
รูปที่ 6.8 สัญญาณควบคุมการหยุดการเก็บภาพ

เนื่องจากสัญญาณภาพนั้นใช้เวลา 64 ไมโครวินาที แต่ที่จริงแล้วส่วนที่เป็นภาพจริง ๆ นั้นอยู่ในช่วง 52 ไมโครวินาที สัญญาณภาพที่ได้จากการสุ่มก็จะได้ 104 จุด ดังนั้นเมื่อเริ่มเก็บภาพขึ้นส่วนของวงจรควบคุมก็จะนับไปอีก 104 สัญญาณนาฬิกาพอครบแล้วก็จะส่งสัญญาณให้หยุดการสุ่มภาพทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.7 การสุ่มสัญญาณภาพ

เมื่อมีการเริ่มต้นการเก็บภาพวงจรหารความถี่จะทำงานและส่งสัญญาณความถี่ 2 เมกะเฮิรตซ์ ไปสุ่มสัญญาณภาพเพื่อแปลงสัญญาณภาพเป็นสัญญาณดิจิตอล และนำข้อมูลไปเก็บลงในหน่วยความจำต่อไปการทำงานของการสุ่มสัญญาณภาพซึ่งมีการแสดงการทำงานดังรูปที่ 5.9



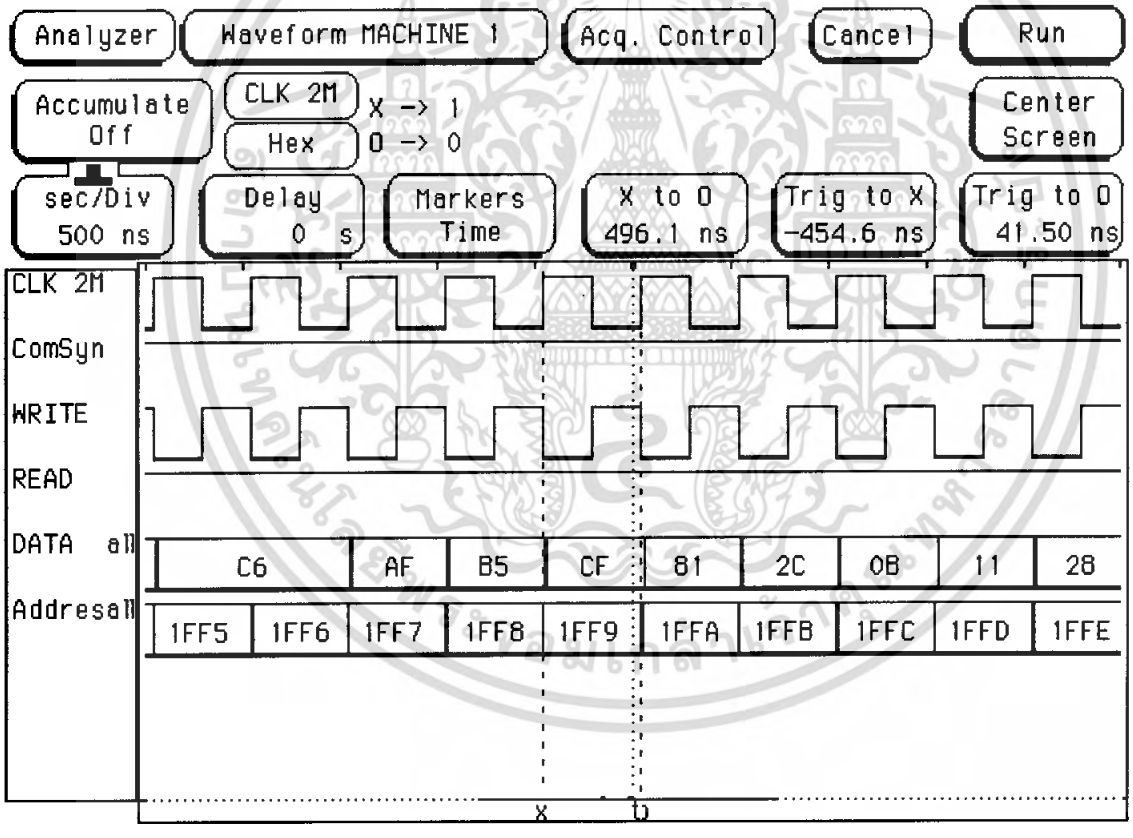
รูปที่ 6.9 สัญญาณของการสุ่มสัญญาณภาพ

ในการสุ่มสัญญาณภาพนั้นจะกำหนดการทำงานโดย GATE A และ GATE B ซึ่งจะมีการทำงานอยู่ 2 โหมด คือ โหมดที่ 1 จะเอาสัญญาณภาพทั้งหมดมาคิดเลยตั้งแต่ระดับ 0 ถึง 255 (0 V – 1 V) และโหมดที่ 2 จะไม่คิดส่วนของสัญญาณซิงค์ จะเริ่มคิดที่ระดับ 64 ถึง 255 (0.25 V – 1 V) ในการทำงานของวงจรนั้นเราจะใช้การทำงานในโหมดที่ 2 ดังนั้นจะดูได้จากผลของการวัดสัญญาณ คือ สัญญาณที่วัดได้จะสูงกว่าระดับ 64(40H) ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.8 การเก็บภาพลงในหน่วยความจำ

การทำงานของวงจรในส่วนนี้จะนำสัญญาณภาพที่เป็นสัญญาณดิจิตอลซึ่งได้จากการสุ่มสัญญาณภาพที่เป็นอนาลอก โดยใช้ไอซีเบอร์ TDA8708A และเก็บลงในหน่วยความจำข้อมูล (DATA all) ที่ได้จากการสุ่มด้วยความถี่ 2 เมกะเฮิรตซ์ (CLK2MH) สัญญาณคอมโพสิทซิงค์ (COMSYN) สัญญาณการเขียน (WRITE) และสัญญาณบอกตำแหน่งในการเก็บภาพระหว่างภาพที่ 1 กับ 2 (ADDRES all) ซึ่งจะเห็นได้ว่าในช่วงเวลาของการเขียนข้อมูลนั้นสัญญาณการอ่านจะเป็นลอจิก 1 (NON-ACTIVE) และสัญญาณการเขียนได้ถูกจัดให้เกิดขึ้นและสิ้นสุดในช่วงที่สัญญาณดาต้า และแอดเดรสได้เกิดขึ้นแล้วโดยที่สัญญาณข้อมูลและสัญญาณแอดเดรสถูกจัดให้เกิดขึ้นพร้อมกัน ซึ่งมีความกว้างเท่ากันมีค่าเท่ากับ 500 นาโนวินาที



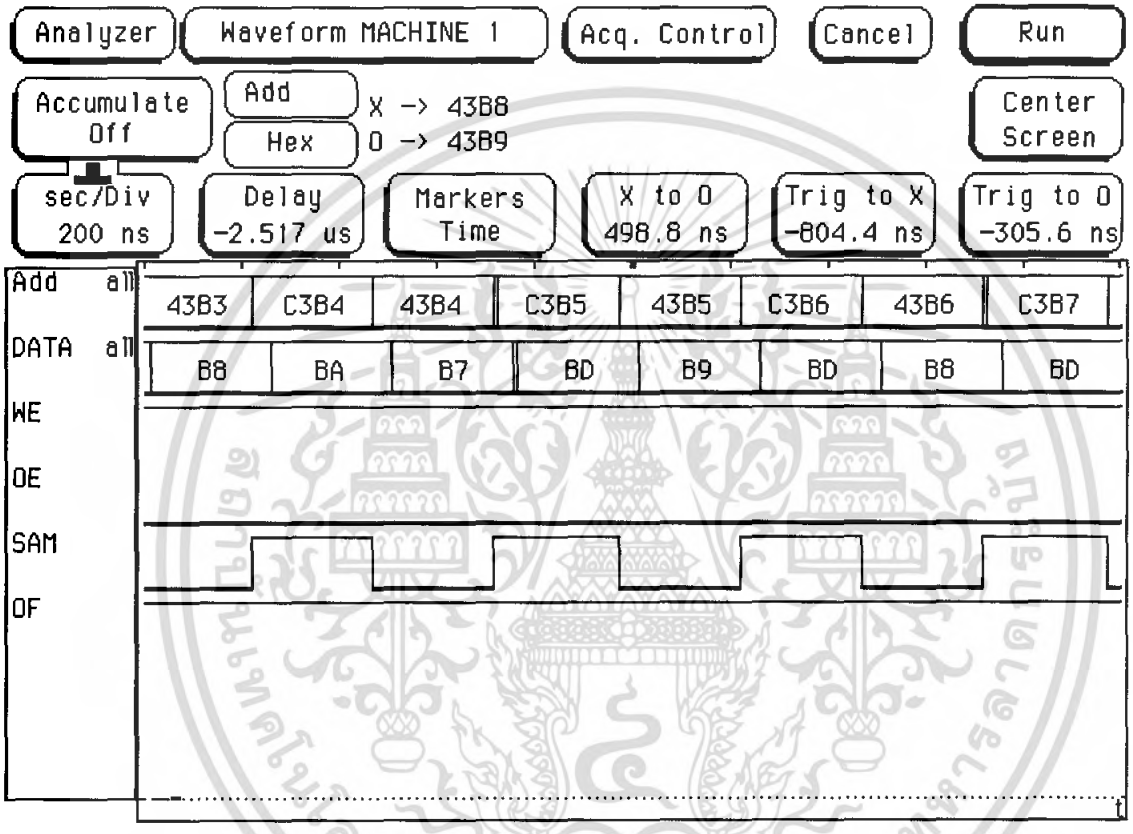
รูปที่ 6.10 สัญญาณการเขียนข้อมูลภาพลงในหน่วยความจำ

6.1.9การอ่านข้อมูลจากหน่วยความจำและการเปรียบเทียบภาพ

หลังจากทำการเก็บข้อมูลครบแล้ววงจรที่ออกแบบในเอฟพีจีเอ จะทำการอ่านข้อมูลภาพที่ 1 และภาพที่ 2 ที่อยู่ในหน่วยความจำ มีการควบคุมการอ่านด้วยแอดเดรส แล้วนำภาพที่ได้ไปเก็บ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเอฟพีจีเอ ก่อนที่จะทำการเปรียบเทียบภาพดังนั้นจึงต้องมีการอ่านสองครั้งในการทำงานหนึ่งช่วงของแอดแดรส โดยการเปลี่ยนแอดเดรสของภาพที่ 1 และภาพที่ 2 สลับกัน ดังรูปที่ 6.11 ซึ่งกำหนดให้สัญญาณการเขียน(WE) เป็นลอจิก 1 และสัญญาณการอ่าน(OE) เป็นลอจิก 0 เพื่อนำข้อมูลของภาพทั้งสองภาพออกมา

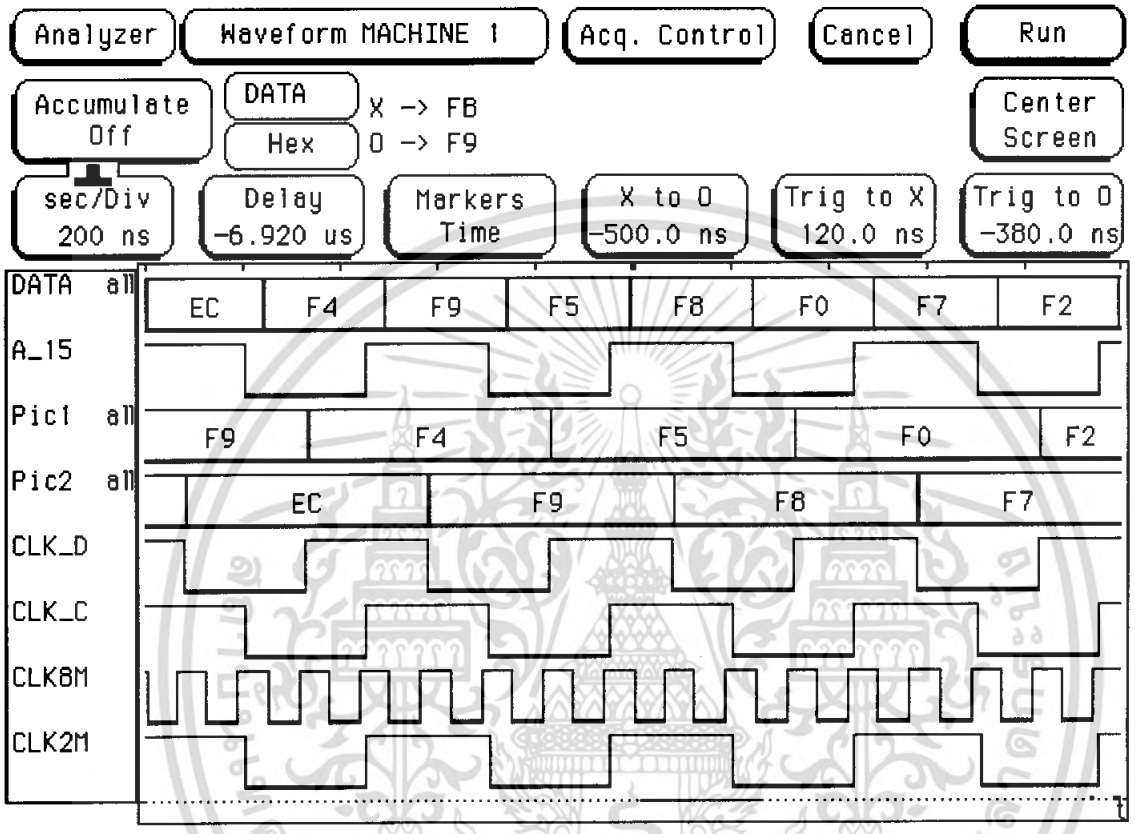


รูปที่ 6.11 สัญญาณการอ่านข้อมูลภาพจากหน่วยความจำ

จากรูปที่ 5.12 เป็นการนำข้อมูลภาพจากหน่วยความจำไปเก็บในเอฟพีจีเอ โดยมีสัญญาณ CLK_D เป็นสัญญาณที่กำหนดให้มีการนำภาพที่ 1 และภาพที่ 2 ไปเก็บในเอฟพีจีเอ ก่อนที่จะนำสัญญาณภาพไปเปรียบเทียบกัน โดยที่ Pic1 จะเก็บภาพที่ 1 และ Pic2 จะเก็บภาพที่ 2 ตามลำดับเมื่อ CLK_D เปลี่ยนเป็นลอจิก 1 ก็จะทำการนำภาพที่ 1 ไปเก็บไว้ใน Pic1 และเมื่อ CLK_D เปลี่ยนเป็นลอจิก 0 ก็จะทำการนำภาพที่ 2 ไปเก็บไว้ใน Pic2 หลังจากมีข้อมูลอยู่ใน Pic1 และ Pic2 แล้วก็จะเป็นการนำ Pic1 และ Pic2 มาทำการเปรียบเทียบกันโดยมีสัญญาณในการเปรียบเทียบคือ CLK_C เป็นสัญญาณที่จะใช้ในการเปรียบเทียบ Pic1 และ Pic2 โดยมีการกำหนดให้ เมื่อ CLK_C เปลี่ยนเป็นลอจิก 1 จะนำข้อมูลของสัญญาณภาพที่อยู่ใน Pic1 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pic2 มาทำการเปรียบเทียบกัน และเมื่อ CLK_C เปลี่ยนเป็นลอจิก 0 ก็จะนำค่าที่ได้จากการเปรียบเทียบ Pic1 และ Pic2 มาเปรียบเทียบกับค่าผลต่างที่ยอมให้เกิดขึ้น



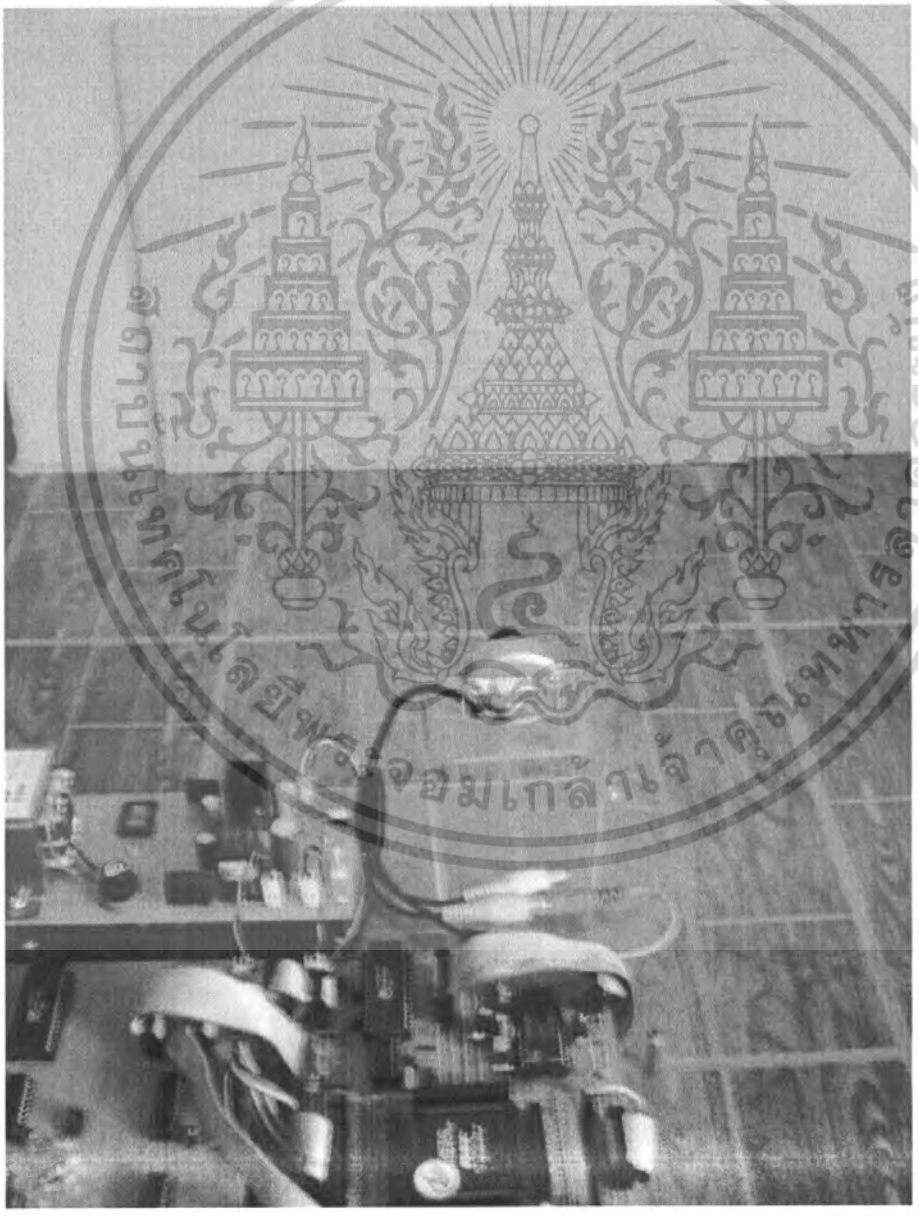
รูปที่ 6.12 การอ่านข้อมูลภาพจากหน่วยความจำไปเก็บในเอฟพีจีเอและการเปรียบเทียบข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ส่วนแสดงการทำงานจริงของวงจร

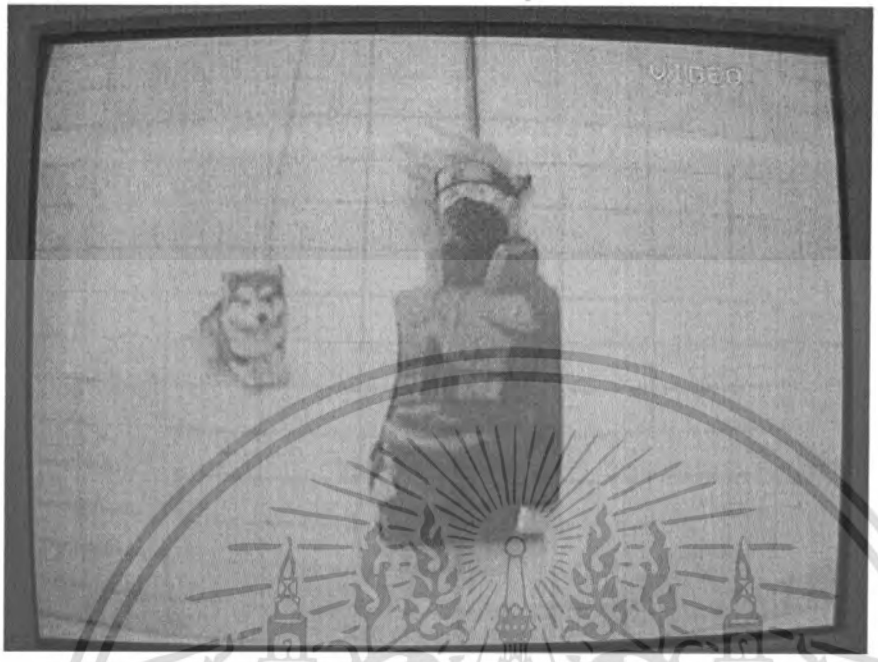
การทดลองนั้นได้ถูกกำหนดให้จำลองสถานการณ์ของตัวละครที่เข้ามาในเฟรมของกล้องโทรทัศน์วงจรปิดโดยมีตัวละครที่มีขนาดแตกต่างกันโดยกำหนดให้เป็นสุนัขและคน โดยมีฉากพื้นหลังเป็นพื้นสีขาวขนาด 30x40 เซ็นติเมตรและตั้งกล้องห่างจากพื้นหลัง 35 เซ็นติเมตร ซึ่งการทดลองมีขั้นตอนดังนี้

6.2.1 จัดตั้งกล้องและพื้นหลังดังรูปที่ 6.13



รูปที่ 6.13 การจำลองสถานการณ์การทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



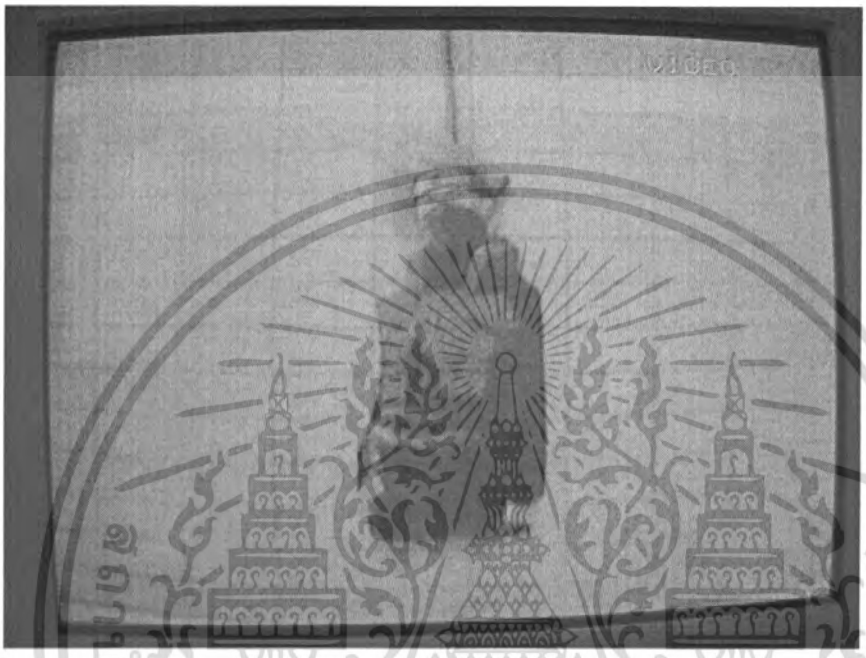
รูปที่ 6.14 การเปรียบเทียบขนาดของสุนัขและคน

6.2.2 การจัดให้ตัวละครตัวหนึ่ง ซึ่งเป็นสุนัขเคลื่อนที่เข้ามาและเคลื่อนที่ไปมาในฉาก ผลปรากฏว่าไม่มีการแจ้งเตือนเกิดขึ้น ดังรูปที่ 6.15

รูปที่ 6.15 ภาพตัวละครสุนัขที่เข้ามาในฉาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.3 การจัดให้ตัวละครที่สองซึ่งเป็นคนเคลื่อนที่เข้ามาในฉาก ผลปรากฏว่ามีสัญญาณแจ้งเตือนเกิดขึ้น ดังรูปที่ 6.16



รูปที่ 6.16 ภาพตัวละครคนที่เข้ามาในฉาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การนำข้อมูลในหน่วยความจำมาแสดงผล

การทดลองนี้คือการนำข้อมูลในหน่วยความจำมาแสดงผลทางหน้าจอคอมพิวเตอร์ โดยใช้ไมโครคอนโทรเลอร์ MCS-51 เป็นตัวส่งข้อมูลจากหน่วยความจำเข้าคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม (DB-9) ซึ่งข้อมูลภาพที่ส่งมาเป็นภาพฉากสีดำและภาพสีขาว

6.3.1 พิมพ์คำสั่งบันทึกข้อมูลที่รับเข้ามาในคอมพิวเตอร์ใน Command Prompt โดยบันทึกข้อมูลเป็นไฟล์นามสกุล dat

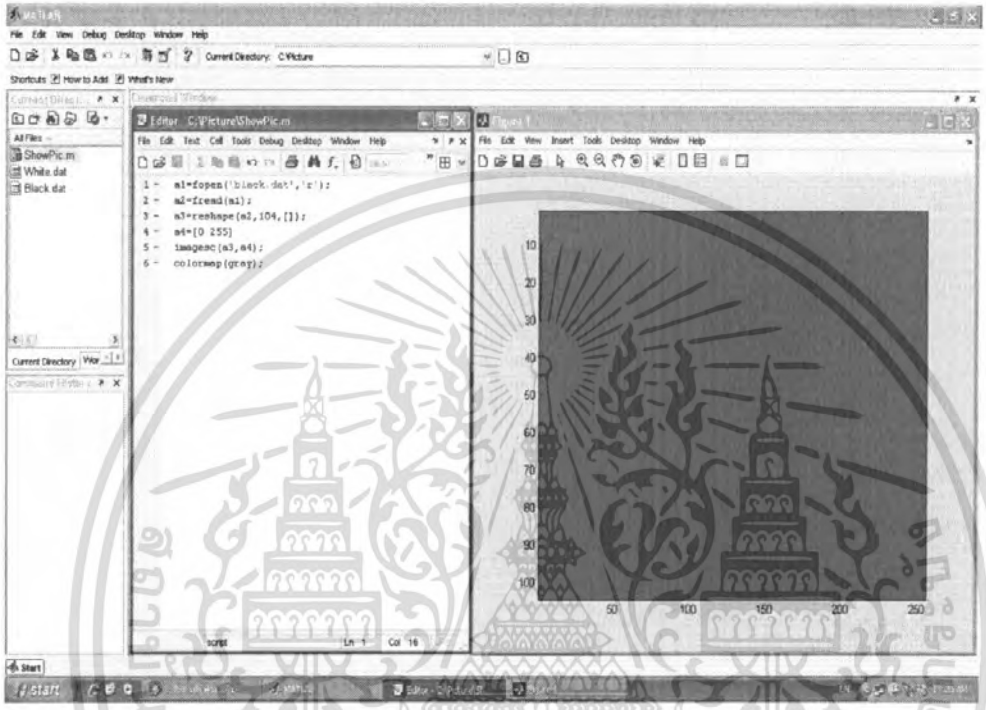
รูปที่ 6.17 คำสั่งในการบันทึกข้อมูลที่รับมาจากพอร์ตอนุกรม

6.3.2 เมื่อทำการบันทึกเสร็จสิ้นจะได้ไฟล์ที่มีขนาดความจุเท่ากับขนาดภาพ 1 ภาพ

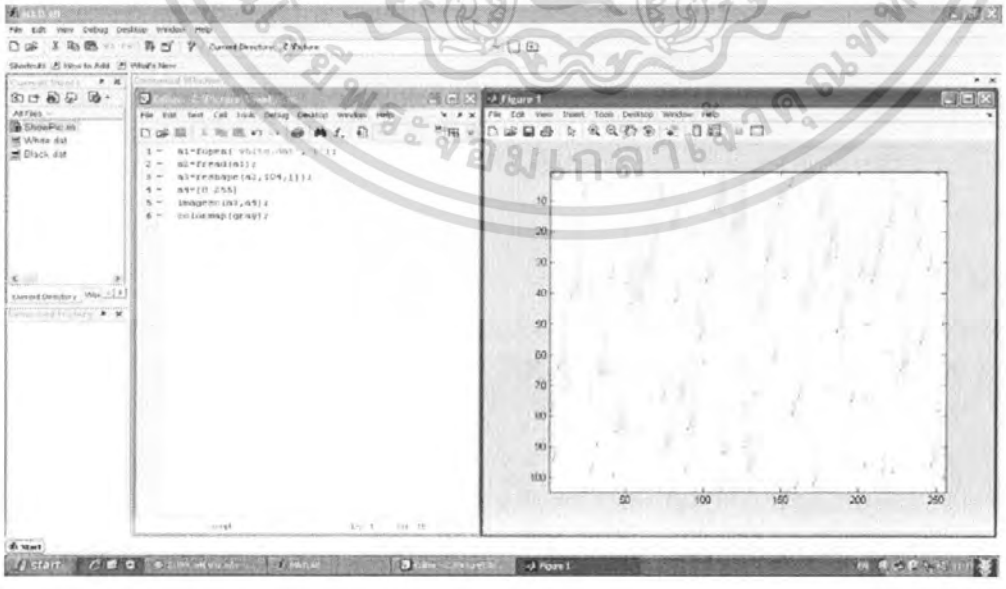
รูปที่ 6.18 ไฟล์ข้อมูลที่บันทึกได้จากพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3 นำไฟล์ที่ได้จากการบันทึกมาพล็อตเป็นภาพขนาด 104 x 256 โดยใช้โปรแกรม MATLAB



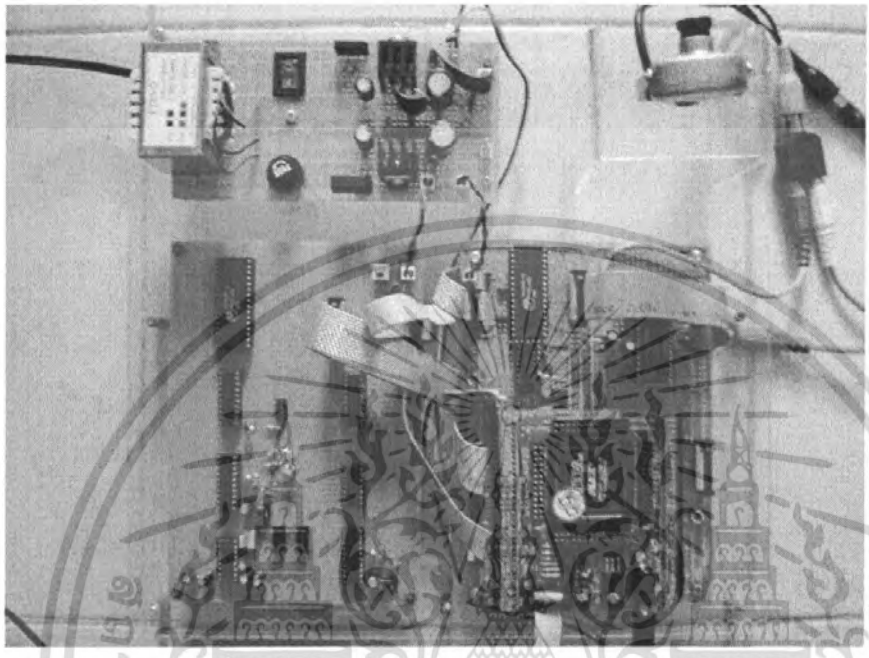
รูปที่ 6.19 ภาพที่ได้จากการนำข้อมูลฉากสีดำมาจัดเรียงโดยใช้โปรแกรม MATLAB



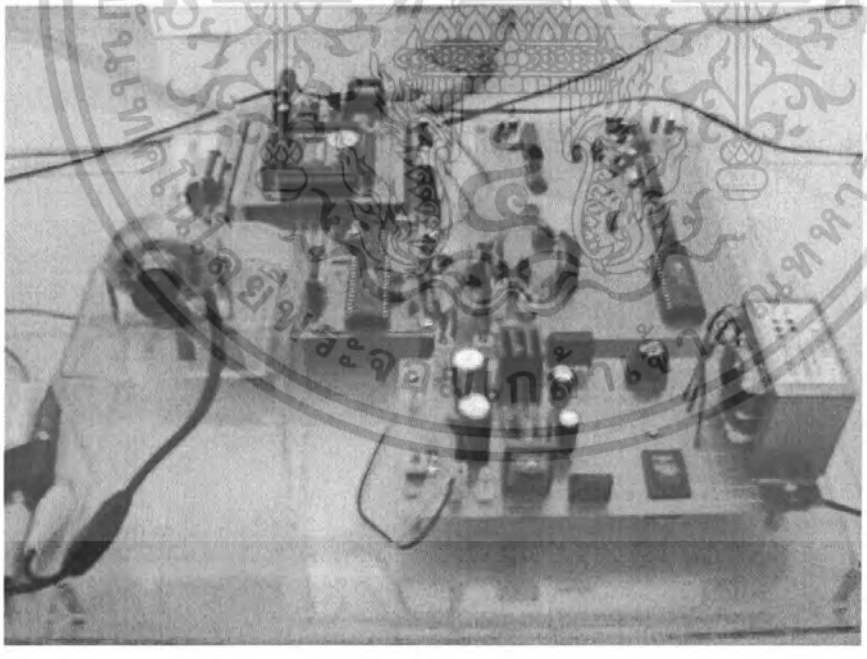
รูปที่ 6.20 ภาพที่ได้จากการนำข้อมูลฉากสีขาวมาจัดเรียงโดยใช้โปรแกรม MATLAB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 รูปผลงาน



(a)



(b)

รูปที่ 6.21 (a) แสดงมุมองด้านบนของผลงาน
(b) แสดงมุมองด้านหน้าของผลงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์ผลการทดลอง

การทำโครงงานเรื่องระบบรักษาความปลอดภัยผ่านกล้องวงจรปิด จากการทำโครงงานในครั้งนี้จึงเป็นการศึกษาเกี่ยวกับสัญญาณภาพจากกล้องวงจรปิด ซึ่งจะได้นำสัญญาณภาพนี้มาทำการประมวลผลและเปรียบเทียบภาพสองภาพในเวลาที่ต่อเนื่องกันถ้าหากภาพมีความแตกต่างกันเกิดขึ้นแสดงว่าขณะนั้นเกิดความผิดปกติของเหตุการณ์ขึ้นจึงจะส่งสัญญาณเตือนให้ผู้ใช้งานทราบทันที ในการทำงานของวงจรในเบื้องต้น คือ จะทำการแยกสัญญาณซิงค์ออกจากสัญญาณภาพเพื่อนำไปใช้ในวงจรควบคุมการทำงาน เพื่อควบคุมการทำงานของระบบ และสัญญาณภาพอีกทางหนึ่งก็จะนำมาแปลงเป็นสัญญาณดิจิตอลเพื่อเก็บลงในหน่วยความจำ และนำไปเปรียบเทียบกันอย่างต่อเนื่องอีกต่อไป

จากหลักการทำงานทำให้ได้ศึกษาเกี่ยวกับสัญญาณภาพในเบื้องต้น การแยกสัญญาณซิงค์ออกจากสัญญาณภาพ การนำสัญญาณภาพที่เป็นอนาล็อกมาแปลงเป็นดิจิตอล และการเก็บภาพที่เป็นดิจิตอลลงในหน่วยความจำรวมถึงการระบุตำแหน่งของหน่วยความจำอีกด้วย ซึ่งวงจรต่าง ๆ เหล่านี้จะขาดไม่ได้เลยสำหรับการออกแบบวงจรในส่วนของวงจรควบคุม ซึ่งจะมีการควบคุมการทำงานต่าง ๆ ให้สัมพันธ์กัน ในส่วนของวงจรควบคุมนี้ได้ออกแบบโดยใช้เอฟพีจีเอ ซึ่งจะแบ่งเป็นการจำลองการทำงาน(บทที่ 5) และการทดลองการทำงานของวงจร(บทที่ 6)

7.1 การจำลองการทำงานของวงจร

การจำลองการทำงานของวงจรนั้นจะจำลองการทำงานโดยใช้โปรแกรม Quartus II ในการจำลองการทำงาน สำหรับโปรแกรมตัวนี้จะเป็นโปรแกรมที่ใช้ออกแบบเอฟพีจีเอทั้งระบบโดยเริ่มจากการเขียนโปรแกรมด้วยภาษาวีเอชดีแอล เพื่อบรรยายการทำงานของวงจรในเชิงลอจิกและนำโปรแกรมที่เขียนไว้ไปจำลองการทำงานซึ่งการจำลองการทำงานก็ได้ผลตามที่ได้ออกแบบไว้ การจำลองการทำงานจึงไม่เกิดปัญหาและอุปสรรคใด ๆ

7.2 การวัดสัญญาณที่จุดต่าง ๆ

ในการวัดสัญญาณที่จุดต่าง ๆ นี้ เพื่อจะให้ได้ผลการทำงานดังที่ออกแบบไว้จึงจำเป็นที่จะต้องใช้เครื่องมือวัดที่สามารถแสดงผลเป็นดิจิตอล ซึ่งเครื่องมือนี้คือเครื่องลอจิกอนาไลท์เซอร์ (Logic Analyzer) และผลที่ได้จากการทดลองปรากฏว่าเป็นไปตามที่ได้ออกแบบไว้ทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตั้งแต่วงจรแยกสัญญาณซิงค์ วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และวงจรที่ออกแบบไว้ในเอฟพีจีเอ ซึ่งปัญหาและอุปสรรคในส่วนนี้ก็คือ การวัดนั้นไม่สามารถวัดสัญญาณที่คงที่ได้เพราะสัญญาณนั้นมีการเปลี่ยนแปลงตลอดเวลา ดังนั้นหนทางในการแก้ปัญหาก็คือ พยายามจับสัญญาณในส่วนที่ต้องการโดยการสุ่มวัดหลาย ๆ ครั้งจึงจะได้สัญญานในส่วนที่ต้องการออกมา

7.2 การทำงานจริงของวงจร

การทดลองจำลองสถานการณ์การใช้งานจริงโดยผลการทดลองขึ้นอยู่กับความเข้มและความสว่างของวัตถุที่นำมาทดลองในฉาก โดยวัตถุที่มีความสว่าง จะให้ผลการทดลองที่ค่อนข้างแน่นอน และในส่วนของการกำหนดขนาดของวัตถุ ผลการทดลองที่ได้ค่อนข้างจะเป็นไปตามค่าที่ตั้งไว้ในโปรแกรมที่ออกแบบ โดยมีปัจจัยที่มีผลกระทบต่อการทำงาน คือ ความละเอียดของการสุ่มสัญญาณที่ใช้เนื่องจากความละเอียดที่ใช้นั้นมีขนาด 256 × 104 พิคเซล ซึ่งให้ความละเอียดมากในระดับหนึ่ง และมีความสอดคล้องกับทฤษฎีตามที่ได้ศึกษามา ซึ่งหากใช้ความละเอียดของการสุ่มสัญญาณที่มากกว่านี้ ก็จะทำให้ภาพที่ออกมามีความละเอียดและชัดเจนมากขึ้น

การนำไปใช้งานจริงในส่วนของการตั้งค่ากำหนดขนาดของวัตถุที่มีการเคลื่อนที่ จะต้องดูขนาดจริงของวัตถุที่วงจรยอมให้เกิดความแตกต่างของภาพได้ โดยการเปลี่ยนแปลงค่าจะต้องกำหนดในส่วนของโปรแกรม ซึ่งอาจจะทำให้ยุ่งยากในการที่จะเปลี่ยนไปใช้งานในบริเวณที่มีการเปลี่ยนแปลงของขนาดภาพที่กล้องจับไม่เท่าเดิม

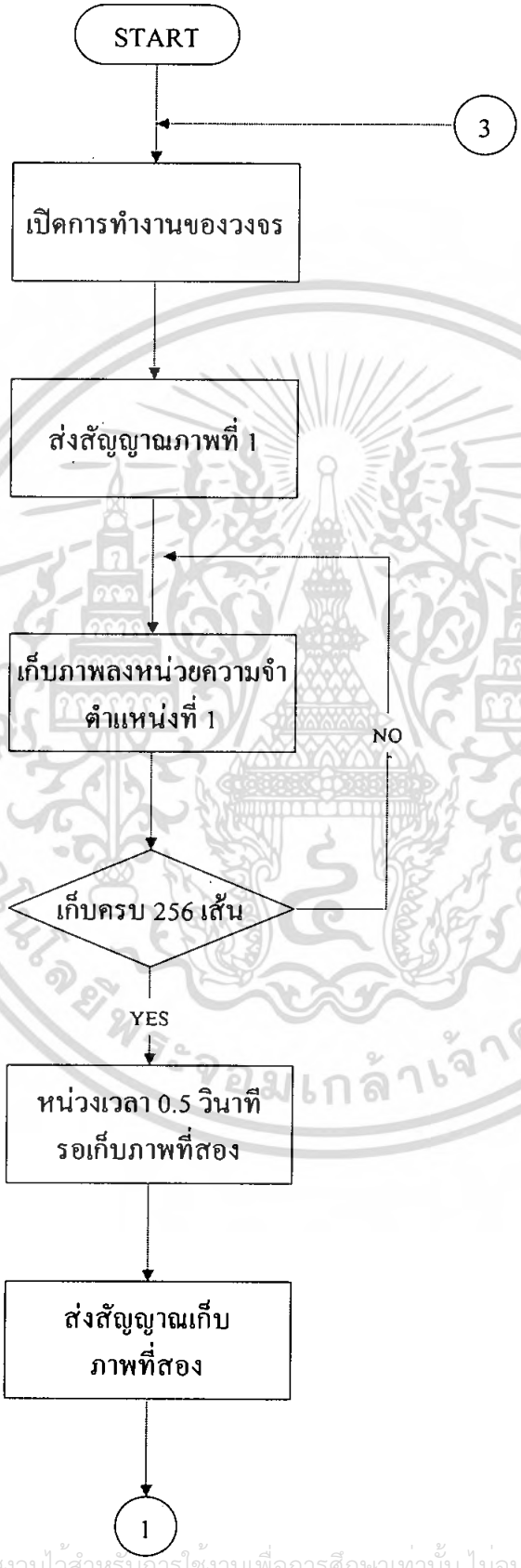
นอกจากนี้ในการทดลอง ยังพบข้อผิดพลาดจากสภาวะแวดล้อม เกี่ยวกับแสงสว่างที่มีความสว่างมากหรือน้อยเกินไป ซึ่งข้อจำกัดนี้มีผลมาจากการใช้กล้องวงจรปิดที่มีคุณภาพแตกต่างกันและการใช้เลือกงานของกล้องแบบต่างๆ ในสภาวะแวดล้อมที่แตกต่างกัน และข้อจำกัดอีกอย่างก็คือการทำงานจริงต้องมีความสว่างของสภาวะแวดล้อมที่ค่อนข้างคงที่ เช่น ในห้องที่มีแสงสว่างคงที่ เนื่องจากการทำงานของวงจรที่ออกแบบเป็นการเปรียบเทียบภาพ ถ้าภาพเกิดการเปลี่ยนแปลงมากกว่าค่าที่ได้กำหนดไว้ในโปรแกรมจะทำให้วงจรส่งสัญญาณเตือนออกมา และยังมีความผิดพลาดในส่วนของการจัดเรียงภาพ ซึ่งในการทดลองสามารถจับได้เพียงภาพที่มีลักษณะสีของพื้นภาพเป็นสีเดียวกัน เพราะอาจเกิดปัญหาจากการระบุตำแหน่งของหน่วยความจำในขณะที่ทำการส่งสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

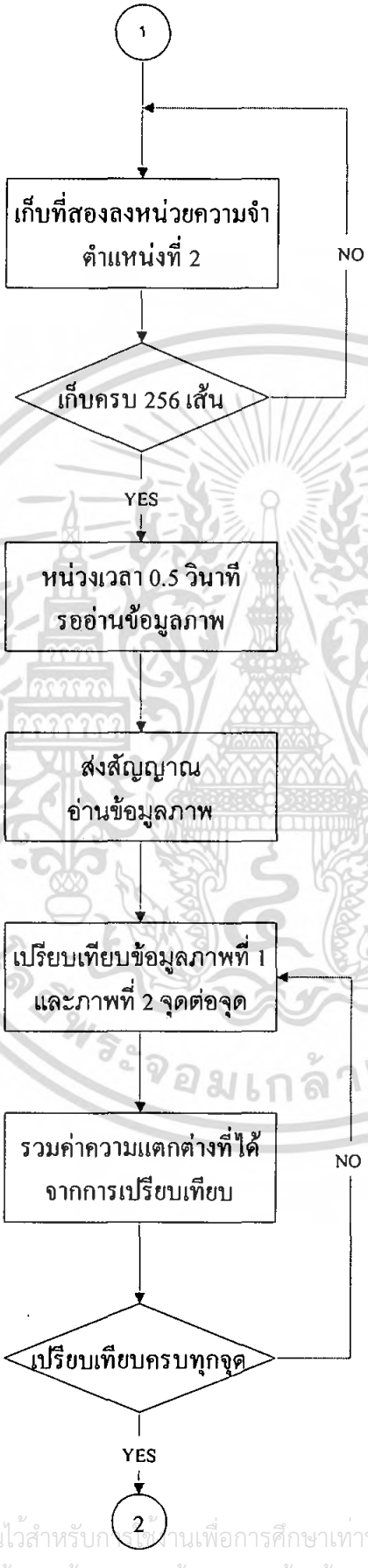
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

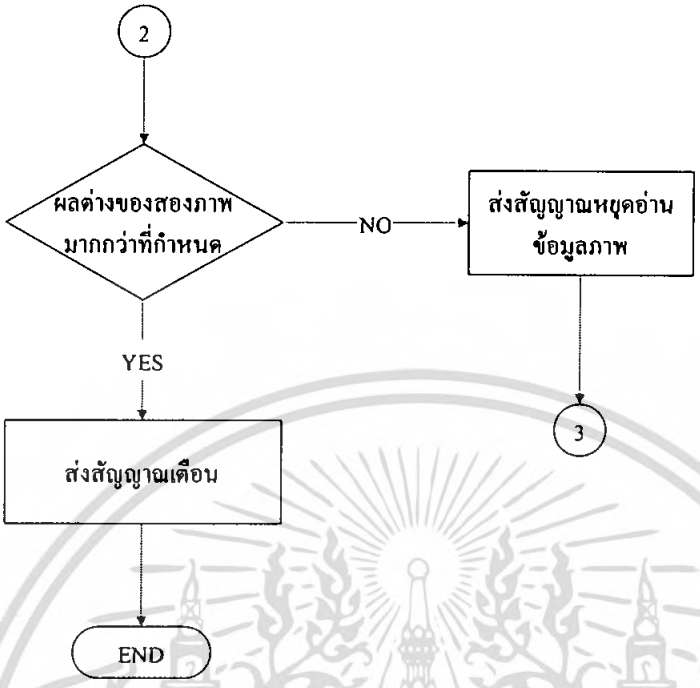
โฟลวชาร์ตแสดงการทำงานของวงจรเก็บภาพ และประมวลผลภาพ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

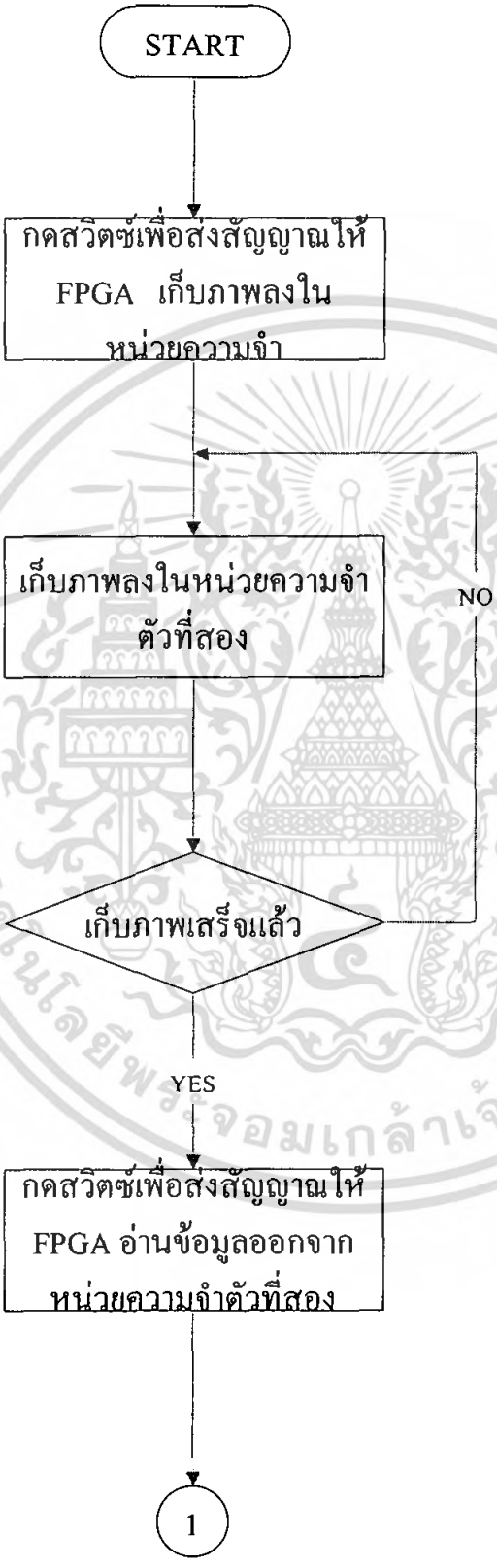


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

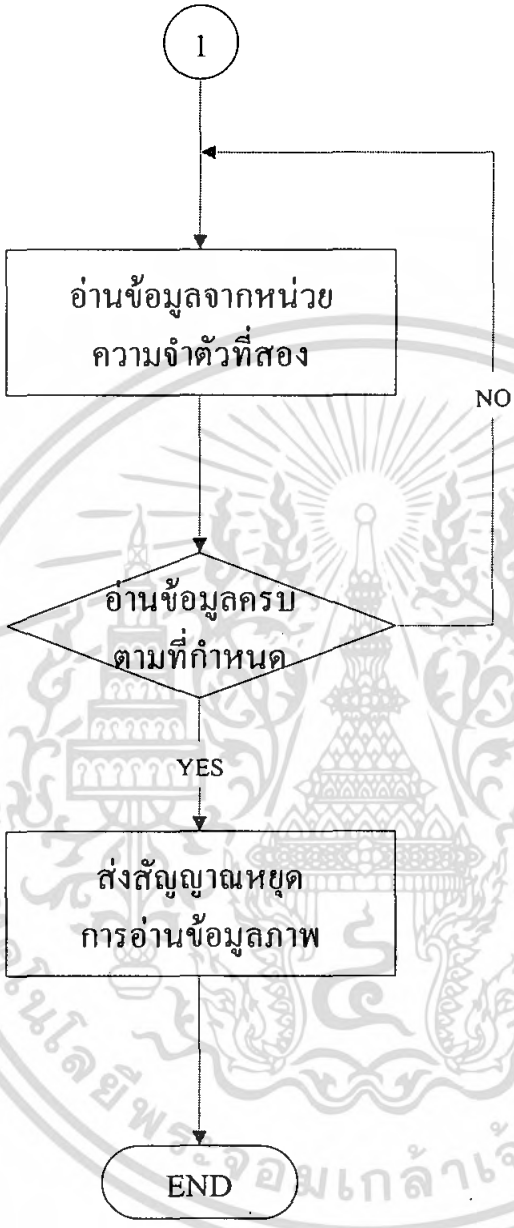


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟลวชาร์ตแสดงการทำงานของวงจรส่งข้อมูลภาพที่ออกแบบใน MCS-51



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการเปรียบเทียบสัญญาณภาพที่เก็บในหน่วยความจำ เมื่อกล้องจับภาพนิ่งเพื่อหาค่าความแตกต่างของภาพแต่ละจุด ที่วงจรยอมให้เกิดความแตกต่างของภาพจุดนั้น

การจับภาพของฉากสีขาวเพื่อหาจุดต่างของภาพ			
ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2
CCH	DDH	EFH	F9H
CFH	DCH	F4H	EEH
D2H	DAH	F5H	F2H
CCH	DCH	FBH	F9H
CCH	E1H	F1H	EAH
CEH	DCH	F6H	E7H
D2H	D8H	F5H	F2H
CEH	D9H	EEH	E4H
CAH	DAH	EBH	EAH
F1H	F0H	E5H	E5H
EFH	F1H	E7H	E0H
F1H	ECH	EFH	E1H
EBH	F0H	EAH	E3H
F1H	EBH	E5H	E2H
F0H	EFH	EAH	D0H
EEH	F7H	D6H	D3H
F0H	F4H	D3H	D0H
F9H	EEH	D3H	D3H
F3H	EFH	D5H	D3H

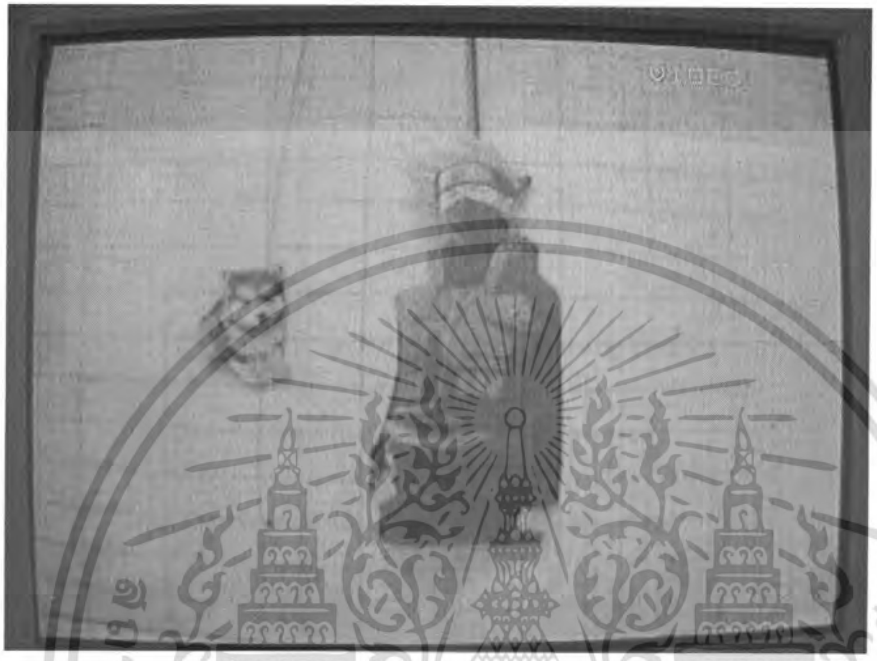
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจับภาพของฉากสีขาวเพื่อหาจุดต่างของภาพ			
ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2
D3H	D1H	CFH	D4H
D3H	D3H	CEH	CEH
D2H	D2H	D0H	CCH
D3H	D2H	D5H	CFH
DFH	C1H	D2H	D4H
D2H	CFH	CCH	D0H
CBH	D6H	D5H	CFH
CFH	D2H	D7H	CFH
CDH	CFH	D0H	CAH
C7H	D0H	CEH	D1H
CAH	D4H	CFH	D2H
CEH	D1H	D4H	CEH
D0H	D0H	D4H	C9H
CAH	CFH	CDH	CDH
C7H	D2H	CAH	D0H
CDH	D0H	D0H	E2H
D0H	CCH	D0H	DEH
D3H	CDH	DBH	E2H
D3H	D2H	DAH	E4H

จากตัวอย่างของผลการเปรียบเทียบสัญญาณภาพระหว่างภาพที่ 1 และภาพที่ 2 ที่เก็บไว้ในหน่วยความจำ ซึ่งเป็นภาพนิ่ง จะเกิดความแตกต่างระหว่างจุดภาพขึ้น ดังนั้นจึงกำหนดให้ค่าที่วงจรยอมให้เกิดความแตกต่างของภาพแต่ละจุด มีค่า 30H (00110000B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมาณจำนวนจุดที่เกิดความแตกต่างของภาพ



ในการประมาณจำนวนจุดที่ยอมให้ภาพแตกต่างได้นั้น สามารถทำได้โดยการประมาณจำนวนสัดส่วนของจุดที่กล้องจับภาพ ซึ่งในการทดลองสามารถประมาณได้ดังนี้

จำนวนจุดของภาพทั้งหมด 256 เส้น ×104 จุด = 26,624 จุด
กล้องจับภาพที่มีฉากหลังเป็นตารางที่มีจำนวนประมาณ
แนวนอน 10 ช่อง × แนวตั้ง 14 ช่อง = 140 ช่อง
แต่ละช่องจึงมีจำนวนจุดประมาณ 26,624 จุด / 140 ช่อง = 190 จุด
ภาพสุนัขที่กล้องจับภาพอยู่ในพื้นที่ประมาณ 3 ช่อง × 190 จุด = 570 จุด
ภาพคนที่กล้องจับภาพอยู่ในพื้นที่ประมาณ 14 ช่อง × 190 จุด = 2,660 จุด

การทดลองจริงให้วงจรเตือนเมื่อมีภาพคนเข้ามาในภาพและจะไม่เตือนเมื่อสุนัขเข้ามา ดังนั้น กำหนดให้จำนวนจุดที่ภาพเกิดความแตกต่าง 1000 จุด การกำหนดค่าจุดที่ภาพเกิดความแตกต่าง ต้องกำหนดให้มากกว่าค่าของจุดที่ยอมให้เกิดความแตกต่างที่ประมาณได้ และต้องกำหนดให้เหมาะสมกับขนาดที่ต้องการตรวจจับในบริเวณนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ออกแบบในเอฟพีจีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรหารความถี่

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity devider is
        port(
                clear,clk8MHz : in std_logic;
                clk4MHz,clk2MHz,clk1MHz      : out std_logic
        );
end devider;

architecture rtl of devider is
        signal a : integer range 0 to 7;
        signal s : std_logic_vector(2 downto 0);
begin
        process(clear,clk8MHz)
        begin
                if(clear='0')then
                        a<=0;
                elsif(clk8MHz'event and clk8MHz='1')then
                        a<=a+1;
                end if;
                s<=conv_std_logic_vector(a,3);
                clk4MHz<=s(0);
                clk2MHz<=s(1);
                clk1MHz<=s(2);
        end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรกำหนดการเก็บภาพ

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
use ieee.std_logic_arith.all;

entity selectwr2 is
        port(
                clr,odd_even : in std_logic;
                we,oe : out std_logic
        );
end selectwr2;

architecture rtl of selectwr2 is

begin
        process(odd_even,clr)
                variable num1 : integer range 0 to 50;
        begin
                if clr='0' then
                        we<='0';
                        oe<='1';
                        num1:=0;
                elsif odd_even'event and odd_even ='1' then
                        num1:=num1+1;
                        if num1 = 16 then
                                we<='1';
                        elsif num1=17 then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                we<='0';
            elsif num1=29 then
                we<='1';
            elsif num1=30 then
                we<='0';
            elsif num1=42 then
                oe<='0';
            elsif num1=43 then
                we<='0';
                oe<='1';
                num1:=0;
            end if;
        end if;
    end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรนับ 15 บิต

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter15bit is
        port(
                reset,clk,enable : in std_logic;
                A        : out std_logic_vector(14 downto 0)
        );
end counter15bit;
architecture rtl of counter15bit is
        signal c : std_logic_vector(14 downto 0);
begin
        process(reset,clk,enable)
        begin
                if(reset='0')then
                        A<="000000000000000";
                        c<="000000000000000";
                elsif(clk'event and clk='1')then
                        if(enable='1')then
                                if(c<"111111111111111")then
                                        c<=c+'1';
                                else
                                        c<="000000000000000";
                                end if;
                        end if;
                end if;
                A<=c;
        end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรหน่วงสัญญาณซิงค์

```
Library ieee;
Use ieee.Std_Logic_1164.All;

Entity start is
Port (
        odd_even,com_sync  : in std_logic;
        str  : out std_logic
        );
end start;

Architecture rtl of start is
begin
    process(odd_even,com_sync)
        variable A : integer range 0 to 32;
    begin
        if (odd_even = '0') then
            str <= '0';
            A := 0;
        elsif (com_sync'event and com_sync = '1') then
            if (A < 32) then
                A := A + 1;
                str<='0';
            else
                str<='1';
        end if;
    end if;
    end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรนับเส้นภาพ

```
library ieee;
use ieee.std_logic_1164.all;
entity line256check is
	port(
		com_sync	: in std_logic;
		odd_even	: in std_logic;
		reset_Add	: out std_logic
	);
end line256check;

architecture rtl of line256check is
begin
	process(com_sync,odd_even)
	variable sync : integer range 0 to 256;
	begin
		if(odd_even='0')then
			reset_Add<='0';
			sync:=0;
		elsif(com_sync'event and com_sync='1')then
			if(sync<256)then
				sync:=sync+1;
				reset_Add<='1';
			else
				reset_Add<='0';
			end if;
		end if;
	end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรเริ่มเก็บภาพ

```
library ieee;
use ieee.std_logic_1164.all;
entity startsam is
	port(
		clk	: in std_logic;
		enable	: in std_logic;
		startpic: out std_logic
	);
end startsam;

architecture rtl of startsam is
begin
	process(clk,enable)
	variable ck : integer range 0 to 11;
	begin
		if(enable='0')then
			startpic<='0';
			ck:=0;
		elsif(clk'event and clk='1')then
			if(ck<11)then
				ck:=ck+1;
				startpic<='0';
			else
				startpic<='1';
			end if;
		end if;
	end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรหยุดเก็บภาพ

```
library ieee;
use ieee.std_logic_1164.all;
entity stopsam is
        port(
                clk     : in std_logic;
                enable   : in std_logic;
                stoppic  : out std_logic
        );
end stopsam;

architecture rtl of stopsam is
begin
        process(clk,enable)
        variable cl : integer range 0 to 115;
        begin
                if(enable='0')then
                        stoppic<='0';
                        cl:=0;
                elsif(clk'event and clk='1')then
                        if(cl<115)then
                                cl:=cl+1;
                                stoppic<='1';
                        else
                                stoppic<='0';
                        end if;
                end if;
        end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรเปรียบเทียบข้อมูลภาพ

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity compare is
        port(
                data : in std_logic_vector(7 downto 0);
                clk_data,clk_com,clr,clr1,clr2 : in std_logic;
                send_alarm : out std_logic
        );
end compare;

architecture rtl of compare is
        signal a,b,c,d : std_logic_vector(7 downto 0);
        signal e,f,g,h,i : std_logic;
        signal counter : integer range 0 to 2000;
begin
        g <= e or f;
p1:     process(clr1,clk_data)
        begin
                if(clr1='0')then
                        a<="00000000";
                elsif(clk_data'event and clk_data='1')then
                        a<=data;
                end if;
        end process p1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
p2:     process(clr1,clk_data)
        begin
                if(clr1='0')then
                        b<="00000000";
                elsif(clk_data'event and clk_data='0')then
                        b<=data;
                end if;
        end process p2;

p3:     process(clr1,clk_com)
        begin
          if(clr1='0')then
                        c<="00000000";
                elsif(clk_com'event and clk_com='1')then
                        if(a>b)then
                                c<=a-b;
                        else
                                c<="00000000";
                        end if;
                end if;
        end process p3;

p4:     process(clr1,clk_com)
        begin
          if(clr1='0')then
                        d<="00000000";
                elsif(clk_com'event and clk_com='1')then
                        if(b>a)then
                                d<=b-a;
                        else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    d<="00000000";
                end if;
            end if;
        end process p4;

p5:     process(clr2,clk_com)
        begin
            if(clr2='0')then
                e<='0' ;
          elsif(clk_com'event and clk_com='0')then
                if(c>"00110000")then
                    e<='1';
                else
                    e<='0';
                end if;
            end if;
        end process p5;

p6:     process(clr2,clk_com)
        begin
            if(clr2='0')then
                f<='0' ;
          elsif(clk_com'event and clk_com ='0')then
                if(d>"00110000")then
                    f<='1';
                else
                    f<='0';
                end if;
            end if;
        end process p6;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
p7:     process(g,clr1)
        begin
                if(clr1='0')then
                        counter<=0;
                        h<='0';
                elsif(g'event and g='1')then
                        if(counter<1000)then
                                counter<=counter+1;
                                h<='0';
                        else
                                h<='1';
                        end if;
                end if;
         end process p7;

p8:     process(h,clr)
        begin
                if(clr='0')then
                        i<='0';
                elsif(h'event and h='1')then
                        i<='1';
                end if;
         end process p8;
        send_alarm<=i;

end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรควบคุมการส่งข้อมูล

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity showpic is
        port(
                clr,clk2MHz,clk1KHz,we,oe,resetin,enablein : in std_logic;
                clkout,resetout1,resetout2,enableout,inter : out std_logic
        );
end showpic;

architecture rtl of showpic is
begin
        process(clr,we,oe)
        begin
                if(clr='0')then
                        clkout<='0';
                        resetout1<='0';
                        resetout2<='0';
                        enableout<='0';
                        inter<='1';
                elsif(we='1')then
                        clkout<=clk2MHz;
                        resetout1<=resetin;
                        resetout2<='0';
                        enableout<=enablein;
                        inter<='1';
                elsif(oe='1')then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                clkout<=clk1KHz;
                resetout1<='0';
                resetout2<='1';
                enableout<='1';
                inter<=clk1KHz;
        elsif(we='0')then
                clkout<='0';
                resetout1<='0';
                resetout2<='0';
                enableout<='0';
                inter<='1';
        elsif(oe='0')then
                clkout<='0';
                resetout1<='0';
                resetout2<='0';
                enableout<='0';
                inter<='1';
        end if;
    end process;
end rtl;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ออกแบบใน MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ในการส่งข้อมูล

```
#include<reg51.h>
sbit write=P3^5;
sbit read =P3^4;
sbit latch=P3^7;

int num=0,time=0;
unsigned int count=0;
char dat=0;
bit send=0;

void send_data(void)interrupt 0{
        if(send==1){
                count++;
                if(count<=26624){
                        dat=P1;
                        SBUF=dat;
                }
        }
}

void timer(void)interrupt 1{
        TH0=0xDC;
        TL0=0x00;
        time++;
        if(num<2){
                if(time==300){
                        num++;
                }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
        else
                if(time==6000){
                        num++;
                }
}

void store_send(void)interrupt 2{
        num++;
}

void series(void)interrupt 4{
        if(TI){
                TI=0;
        }
}

void main(void){
        TMOD=0x21;
        SCON=0x50;
        TH1=0xFD;
        TH1=0xFD;
        TH0=0xDC;
        TL0=0x00;
        IT0=1;
        EX0=1;
        IT1=1;
        EX1=1;
        EA=1;
        ES=1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TI=0;
TR0=0;
TR1=1;
ET0=1;
TF0=0;
TF1=0;
write=0;
read=0;
latch=0;
while(1){
        if(num==1){
                TR0=1;
                write=1;
                send=0;
        }
        if(num==2){
                TR0=0;
                time=0;
                write=0;
                send=0;
                count=0;
        }
        if(num==3){
                TR0=1;
                read=1;
                latch=1;
                send=1;
        }
        if(num==4){
                TR0=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                time=0;
                read=0;
                latch=0;
                count=0;
                send=0;
                num=0;
            }
        }
}
```

โปรแกรมกำเนิดความถี่ 500 Hz

```
#include<reg51.h>
sbit clk=P3^7;

void clock(void)interrupt 3{
        TH1=0xFC;
        TL1=0x66;
        clk=~clk;
}

void main(void)
{
        TMOD=0x10;
        TH1=0xFC;
        TL1=0x66;
        TF1=0;
        TR1=1;
        EA=1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ET1=1;
        while(1)
        {
        }
}
```

โปรแกรมที่ใช้จัดเรียงภาพใน Matlab

```
a1=fopen('data.dat','r');
a2=fread(a1);
a3=reshape(a2,256,104);
a4 = [0 255];
imagesc(a3,a4);
colormap(gray);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT04
Hex inverter

Product specification
File under Integrated Circuits, IC06

September 1993

Philips Semiconductors

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES

- Output capability: standard
- I_{CC} category: SSI

GENERAL DESCRIPTION

The 74HC/HCT04 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT04 provide six inverting buffers.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay nA to nY	C_L = 15 pF; V_{CC} = 5 V	7	8	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	21	24	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

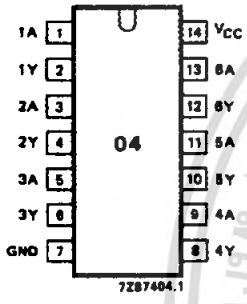


Fig.1 Pin configuration.

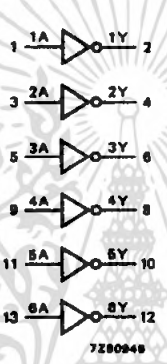


Fig.2 Logic symbol.

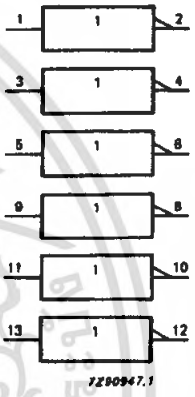


Fig.3 IEC logic symbol.

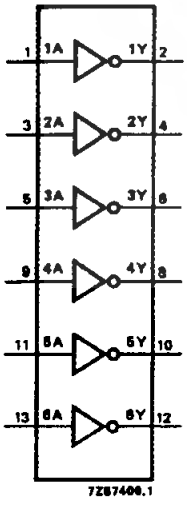


Fig.4 Functional diagram.

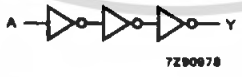


Fig.5 Logic diagram (one inverter).

FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: SSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay nA to nY		25 9 7	85 17 14		105 21 18		130 26 22	ns	2.0 4.5 6.0	Fig.6
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: SSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications.
To determine ΔI_{CC} per unit, multiply this value by the unit load coefficient shown in the table below.

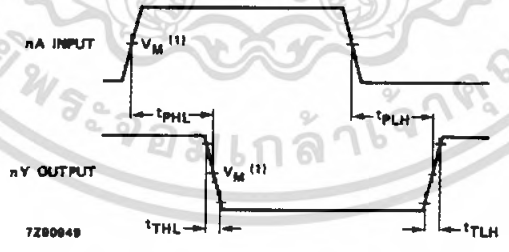
INPUT	UNIT LOAD COEFFICIENT
nA	1.20

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay nA to nY		10	19		24		29	ns	4.5	Fig.6
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6

AC WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}
HCT: V_M = 1.3 V; V_I = GND to 3 V

Fig.6 Waveforms showing the data input (nA) to data output (nY) propagation delays and the output transition times.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This datasheet has been download from:

www.datasheetcatalog.com

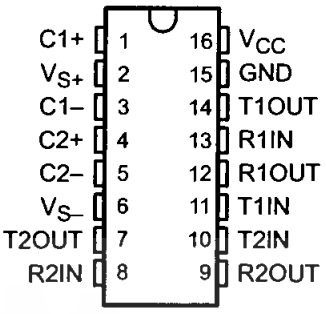
Datasheets for electronics components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLLS047I – FEBRUARY 1989 – REVISED OCTOBER 2002

- **Meet or Exceed TIA/EIA-232-F and ITU Recommendation V.28**
- **Operate With Single 5-V Power Supply**
- **Operate Up to 120 kbit/s**
- **Two Drivers and Two Receivers**
- **±30-V Input Levels**
- **Low Supply Current . . . 8 mA Typical**
- **Designed to be Interchangeable With Maxim MAX232**
- **ESD Protection Exceeds JESD 22**
  - **2000-V Human-Body Model (A114-A)**
- **Applications**
  - **TIA/EIA-232-F**
  - **Battery-Powered Systems**
  - **Terminals**
  - **Modems**
  - **Computers**

MAX232 . . . D, DW, N, OR NS PACKAGE
MAX232I . . . D, DW, OR N PACKAGE
(TOP VIEW)



description/ordering information

The MAX232 is a dual driver/receiver that includes a capacitive voltage generator to supply EIA-232 voltage levels from a single 5-V supply. Each receiver converts EIA-232 inputs to 5-V TTL/CMOS levels. These receivers have a typical threshold of 1.3 V and a typical hysteresis of 0.5 V, and can accept ±30-V inputs. Each driver converts TTL/CMOS input levels into EIA-232 levels. The driver, receiver, and voltage-generator functions are available as cells in the Texas Instruments LinASIC™ library.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	PDIP (N)	Tube	MAX232N	MAX232N
	SOIC (D)	Tube	MAX232D	MAX232
		Tape and reel	MAX232DR	
	SOIC (DW)	Tube	MAX232DW	MAX232
		Tape and reel	MAX232DWR	
	SOP (NS)	Tape and reel	MAX232NSR	MAX232
–40°C to 85°C	PDIP (N)	Tube	MAX232IN	MAX232IN
	SOIC (D)	Tube	MAX232ID	MAX232I
		Tape and reel	MAX232IDR	
	SOIC (DW)	Tube	MAX232IDW	MAX232I
		Tape and reel	MAX232IDWR	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

LinASIC is a trademark of Texas Instruments.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2002, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

Function Tables

EACH DRIVER

INPUT TIN	OUTPUT TOUT
L	H
H	L

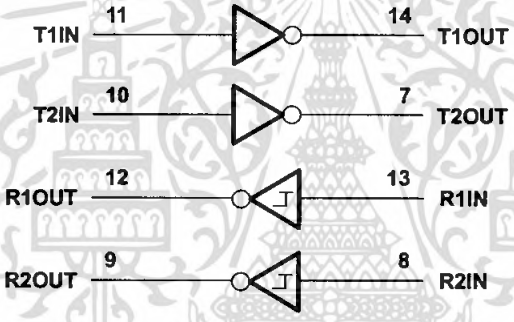
H = high level, L = low level

EACH RECEIVER

INPUT RIN	OUTPUT ROUT
L	H
H	L

H = high level, L = low level

logic diagram (positive logic)



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Input supply voltage range, V_{CC} (see Note 1) ..... –0.3 V to 6 V
Positive output supply voltage range, V_{S+} ..... V_{CC} – 0.3 V to 15 V
Negative output supply voltage range, V_{S-} ..... –0.3 V to –15 V
Input voltage range, V_I: Driver ..... –0.3 V to V_{CC} + 0.3 V
Receiver ..... ±30 V
Output voltage range, V_O: T1OUT, T2OUT ..... V_{S-} – 0.3 V to V_{S+} + 0.3 V
R1OUT, R2OUT ..... –0.3 V to V_{CC} + 0.3 V
Short-circuit duration: T1OUT, T2OUT ..... Unlimited
Package thermal impedance, θ_{JA} (see Note 2): D package ..... 73°C/W
DW package ..... 57°C/W
N package ..... 67°C/W
NS package ..... 64°C/W
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C
Storage temperature range, T_{stg} ..... –65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values are with respect to network ground terminal.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions

			MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	V
V_{IH}	High-level input voltage (T1IN,T2IN)		2			V
V_{IL}	Low-level input voltage (T1IN, T2IN)				0.8	V
R1IN, R2IN	Receiver input voltage				±30	V
T_A	Operating free-air temperature	MAX232	0		70	°C
		MAX232I	–40		85	

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 3 and Figure 4)

PARAMETER		TEST CONDITIONS		MIN	TYP‡	MAX	UNIT
I_{CC}	Supply current	V_{CC} = 5.5 V, T_A = 25°C	All outputs open,		8	10	mA

‡ All typical values are at V_{CC} = 5 V and T_A = 25°C.

NOTE 3: Test conditions are C1–C4 = 1 µF at V_{CC} = 5 V ± 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER			TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	T1OUT, T2OUT	R_L = 3 kΩ to GND		5	7		V
V_{OL}	Low-level output voltage‡	T1OUT, T2OUT	R_L = 3 kΩ to GND			–7	–5	V
r_o	Output resistance	T1OUT, T2OUT	$V_{S+} = V_{S-} = 0$,	V_O = ±2 V	300			Ω
I_{OS}§	Short-circuit output current	T1OUT, T2OUT	V_{CC} = 5.5 V,	V_O = 0		±10		mA
I_{IS}	Short-circuit input current	T1IN, T2IN	V_I = 0				200	µA

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.
§ Not more than one output should be shorted at a time.
NOTE 3: Test conditions are C1–C4 = 1 µF at V_{CC} = 5 V ± 0.5 V.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see Note 3)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR	Driver slew rate	R_L = 3 kΩ to 7 kΩ, See Figure 2			30	V/µs
SR(t)	Driver transition region slew rate	See Figure 3		3		V/µs
	Data rate	One TOUT switching		120		kbit/s

NOTE 3: Test conditions are C1–C4 = 1 µF at V_{CC} = 5 V ± 0.5 V.

RECEIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (see Note 3)

PARAMETER			TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	R1OUT, R2OUT	I_{OH} = –1 mA		3.5			V
V_{OL}	Low-level output voltage‡	R1OUT, R2OUT	I_{OL} = 3.2 mA				0.4	V
V_{IT+}	Receiver positive-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C		1.7	2.4	V
V_{IT-}	Receiver negative-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C	0.8	1.2		V
V_{hys}	Input hysteresis voltage	R1IN, R2IN	V_{CC} = 5 V		0.2	0.5	1	V
r_i	Receiver input resistance	R1IN, R2IN	V_{CC} = 5,	T_A = 25°C	3	5	7	kΩ

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.
NOTE 3: Test conditions are C1–C4 = 1 µF at V_{CC} = 5 V ± 0.5 V.

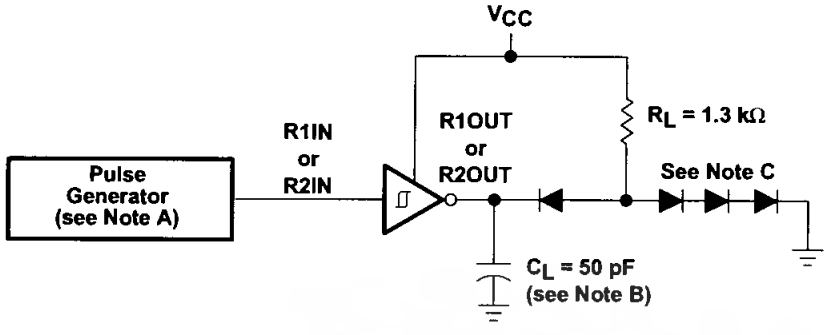
switching characteristics, V_{CC} = 5 V, T_A = 25°C (see Note 3 and Figure 1)

PARAMETER		TYP	UNIT
$t_{PLH(R)}$	Receiver propagation delay time, low- to high-level output	500	ns
$t_{PHL(R)}$	Receiver propagation delay time, high- to low-level output	500	ns

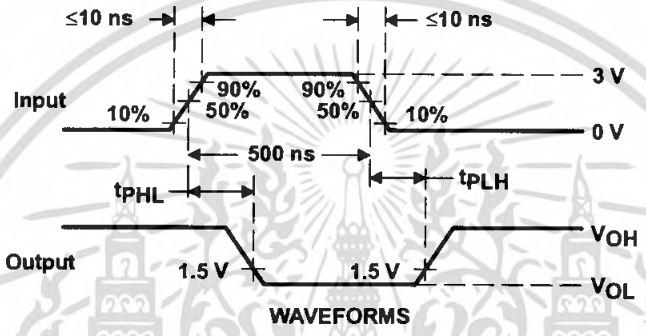
NOTE 3: Test conditions are C1–C4 = 1 µF at V_{CC} = 5 V ± 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT



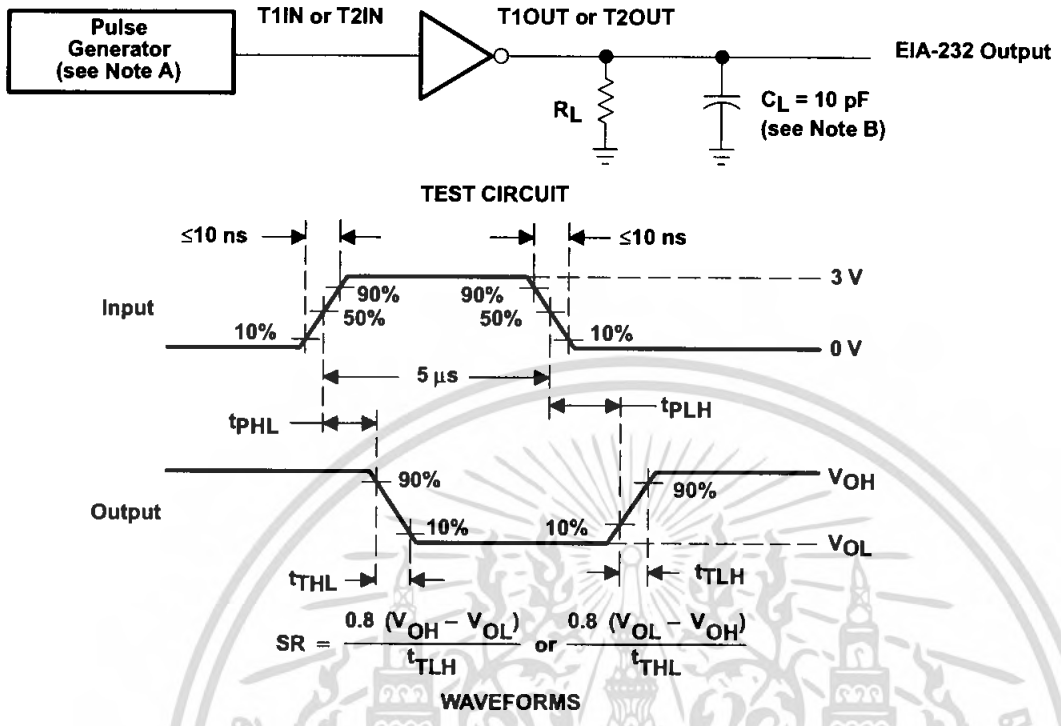
WAVEFORMS

NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064 or equivalent.

Figure 1. Receiver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements

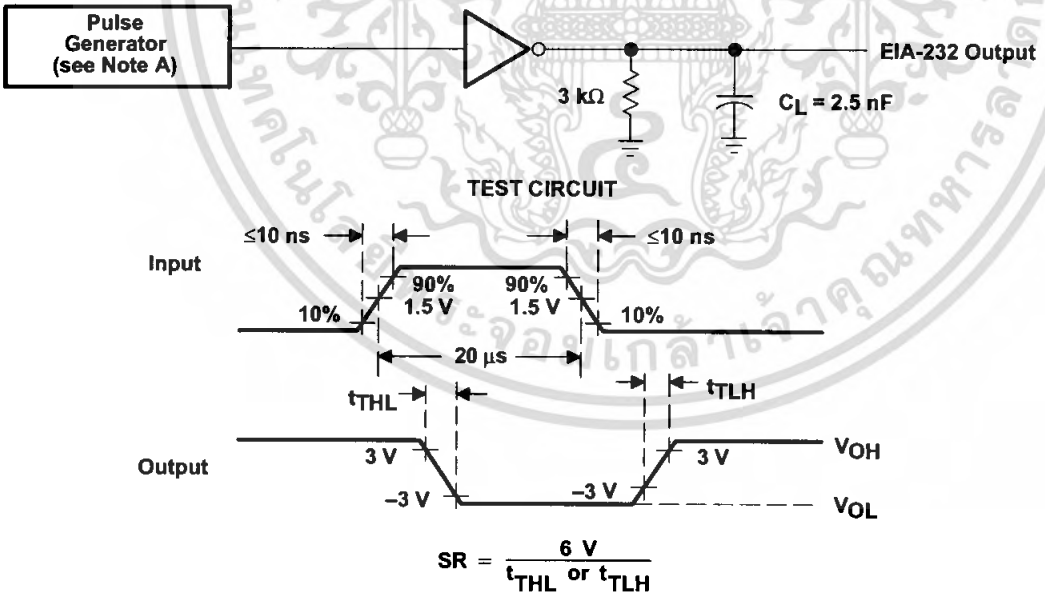
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.

Figure 2. Driver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements (5-µs Input)

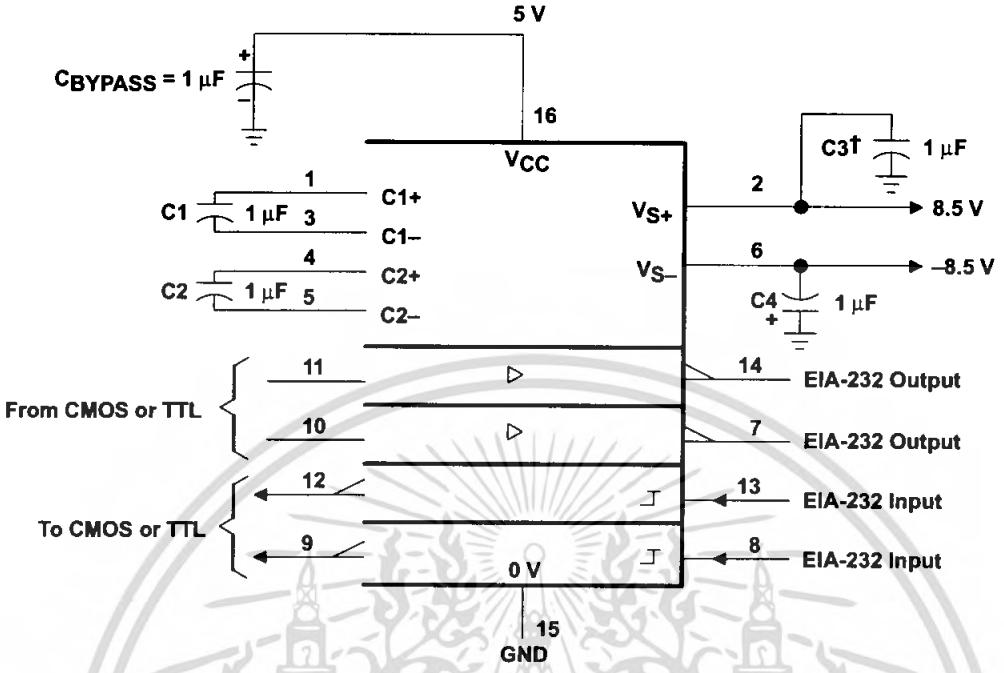


NOTE A: The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.

Figure 3. Test Circuit and Waveforms for t_{THL} and t_{TLH} Measurements (20-µs Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION



† C3 can be connected to V_{CC} or GND.

Figure 4. Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third–party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Mailing Address:

Texas Instruments
Post Office Box 655303
Dallas, Texas 75265

Copyright © 2002, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือการใช้งาน

Wizard FLEX-D01

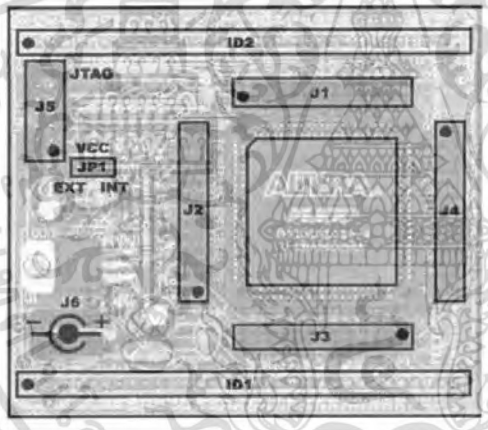
บอร์ด Wizard FLEX-D01 เป็นชุดพัฒนาเอฟพีจีเอที่ถูกออกแบบมาให้ใช้งานได้สะดวก และทำงานกับชิพเอฟพีจีเอในตระกูล FLEX10K เบอร์ EPF10K10LC84 ซึ่งมีความจุของเกทประมาณ 10,000 เกท

รูปที่ 1 Wizard FLEX-D01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของ Wizard FLEX-D01

รูปที่ 2 ด้านข้างของ Wizard FLEX-D01

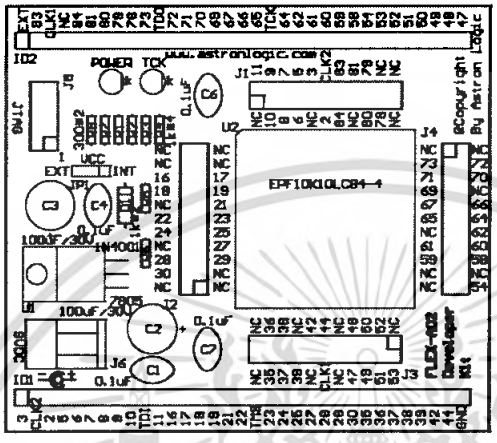


รูปที่ 3 การจัดวางอุปกรณ์รอบข้างของ Wizard FLEX-D01

ภายใน Wizard FLEX-D01 ประกอบด้วย

- วงจรรวมตระกูล FLEX10K ในอนุกรม EPF10K10LC84
- JTAG CONNECTOR
- พอร์ตขยายช่องสัญญาณ
- Jumper เลือกแหล่งจ่ายแรงดันจากภายในบอร์ดหรือภายนอกบอร์ด
- DC INPUT แรงดัน 7-12 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



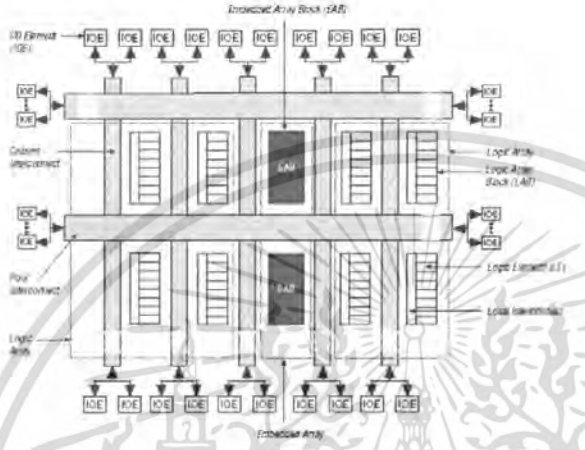
รูปที่ 4 การจัดวางอุปกรณ์ของ Wizard FLEX-D01

รายละเอียดของ Wizard FLEX-D01

วงจรรวมตระกูล FLEX10K **ในอนุกรม** EPF10K10LC84

EPF10K10LC84 เป็นชิพเอฟพีจีเอที่มีโครงสร้างภายในเป็นแบบ SRAM-BASE FPGA ใช้เทคโนโลยีในการโปรแกรมเหมือนกับหน่วยความจำแบบ SRAM (Static RAM) ทำให้การโปรแกรมสามารถทำซ้ำได้ โดยไม่จำกัดจำนวนครั้งและใช้เวลาในการโปรแกรมชิพเอฟพีจีเอน้อยมาก (ระดับ nsec) การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAM ทั่วไป นอกจากนี้ยังมีความจุของเกทประมาณ 10,000 เกท และภายใน EPF10K10LC84 ยังมีส่วนของหน่วยความจำภายใน (RAM bits) ให้สามารถใช้งานได้อีก 6,144 บิท เหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 โครงสร้างภายในของ EPF10K10LC84

JTAG CONNECTOR

JTAG Connector เป็น Header ตัวผู้แบบ 5x2 ขา ใช้สำหรับต่อกับสาย ByteBlaster เพื่อ Download ข้อมูลทางลอจิกของวงจรที่ได้ออกแบบมาจากคอมพิวเตอร์ลงสู่ชิพเอฟพีจีเอ ซึ่งมีตำแหน่งขาและการจัดวางดังรูปที่ 6

รูปที่ 6 ตำแหน่งขาและการจัดวาง JTAG Connector

พอร์ตขยายช่องสัญญาณ

Wizard FLEX-D01 มีพอร์ตขยายช่องสัญญาณให้เลือกใช้งาน 2 แบบ คือ Header คู่ตัวเมีย (J1-J4) และ Header แถวเดียวตัวผู้ (ID1, ID2) ซึ่งมีรายละเอียดการเชื่อมต่อดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Header คู่ตัวเมีย (J1-J4) ดังรูปที่ 3 และรูปที่ 7 สำหรับขยายการต่อช่องสัญญาณโดยการ Jump สาย ตำแหน่งขาของชิพเอฟพีจีเอ กับ Hole จะมีความสัมพันธ์กันดังตารางที่ 1 ถึงตารางที่ 4

รูปที่ 7 การจัดวางตำแหน่งของชิพไอซีกับ Header

ตารางที่ 1 ความสัมพันธ์ระหว่าง J1 กับตำแหน่งขาของ U2

J4 Pin Number	EPF10K10LC84 Pin Number	J4 Pin Number	EPF10K10LC84 Pin Number
1	NC	2	11
3	10	4	9
5	8	6	7
7	6	8	5
9	NC	10	3
11	2	12	1(GCLK2)
13	84	14	83
15	NC	16	81
17	80	18	79
19	78	20	NC
21	NC	22	NC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 ความสัมพันธ์ระหว่าง J2 กับตำแหน่งขาของ U2

J4 Pin Number	EPF10K10LC84 Pin Number	J4 Pin Number	EPF10K10LC84 Pin Number
1	NC	2	NC
3	NC	4	30
5	29	6	28
7	27	8	NC
9	25	10	24
11	23	12	22
13	21	14	NC
15	19	16	18
17	17	18	16
19	NC	20	NC
21	NC	22	NC

ตารางที่ 3 ความสัมพันธ์ระหว่าง J3 กับตำแหน่งขาของ U2

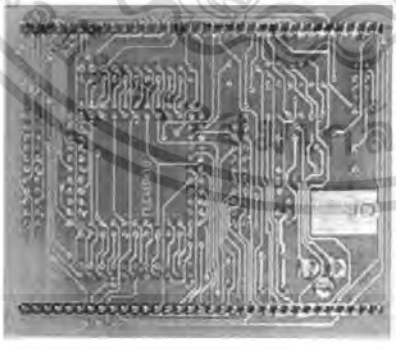
J4 Pin Number	EPF10K10LC84 Pin Number	J4 Pin Number	EPF10K10LC84 Pin Number
1	NC	2	53
3	52	4	51
5	50	6	49
7	48	8	47
9	NC	10	NC
11	44	12	43(GCLK1)
13	42	14	NC
15	NC	16	39
17	38	18	37
19	36	20	35
21	NC	22	NC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4 ความสัมพันธ์ระหว่าง J4 กับตำแหน่งขาของ U2

J4 Pin Number	EPF10K10LC84 Pin Number	J4 Pin Number	EPF10K10LC84 Pin Number
1	NC	2	NC
3	73	4	72
5	71	6	70
7	69	8	NC
9	67	10	66
11	65	12	64
13	NC	14	62
15	61	16	60
17	59	18	58
19	NC	20	NC
21	NC	22	54

2. Header แถวเดียวตัวผู้ (ID1 และ ID2) ดังรูปที่ 3 และ รูปที่ 8 ตำแหน่งขาของชิพไอซีกับตำแหน่งขาของ Header มีความสัมพันธ์กันดังตารางที่ 5 และตารางที่ 6



รูปที่ 8 ขาเชื่อมต่อแบบ Header แถวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5 ตำแหน่งขาของ Header แถวเดียว ID1

ID1 Pin Number	EPF10K10LC84 Pin Number	ID1 Pin Number	EPF10K10LC84 Pin Number
1	3	18	57(TMS)
2	1(GCLK2)	19	23
3	2	20	24
4	5	21	25
5	6	22	27
6	7	23	28
7	8	24	29
8	9	25	30
9	10	26	35
10	15(TDI)	27	36
11	11	28	37
12	16	29	38
13	17	30	39
14	18	31	42
15	19	32	44
16	21	33	ALL GND
17	22	-	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6 ตำแหน่งขาของ Header แถวเดียว ID2

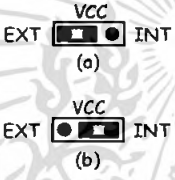
ID2 Pin Number	EPF10K10LC84 Pin Number	ID2 Pin Number	EPF10K10LC84 Pin Number
1	ALL VCC	18	65
2	83	19	77(TCK)
3	43(GCLK1)	20	64
4	NC	21	62
5	84	22	61
6	81	23	60
7	80	24	59
8	79	25	58
9	78	26	54
10	73	27	53
11	74(TDO)	28	52
12	72	29	51
13	71	30	50
14	70	31	49
15	69	32	48
16	67	33	47
17	66	-	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Jumper เลือกแหล่งจ่ายแรงดัน

Jumper JP1 สำหรับเลือกแหล่งจ่ายแรงดันจากภายในบอร์ดหรือภายนอกบอร์ด สำหรับจ่ายให้กับชิฟเอฟพีจีเอ ดังรูปที่ 9

รูปที่ 9 Jumper เลือกแหล่งจ่ายแรงดัน



รูปที่ 10 การเลือกแหล่งจ่ายแรงดัน

การเลือกแหล่งจ่ายแรงดันสำหรับจ่ายให้กับชิฟเอฟพีจีเอสามารถเลือกได้จาก 2 แหล่ง

1. การเลือกแหล่งจ่ายแรงดันจากภายนอก จะต้องต่อแรงดันไฟกระแสตรง 5 โวลท์ เข้ากับขาที่ 1 ของ ID2 และต่อกราวด์เข้ากับขาที่ 33 ของ ID1 แล้วเลือก Jumper ดังรูปที่ 10(a)
2. การเลือกแหล่งจ่ายแรงดันจากวงจรเร็คกูเรเตอร์ภายในบอร์ด Wizard FLEX-D01 ให้เลือก Jumper ดังรูปที่ 10(b)

DC INPUT แรงดัน 7-12 Volt

เป็นแจ็คอแด็ปเตอร์ตัวเมียแกนใหญ่ สำหรับแรงดันไฟตรง 7 ถึง 12 โวลท์ โดยแกนในของ J6 จะเป็นขั้วบวกและแกนนอกจะเป็นขั้วลบดังรูปที่ 11 ภายในบอร์ดทดลองจะมีไอซี 7805 ทำหน้าที่เป็นเร็คกูเลเตอร์ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลท์ เพื่อเป็นแหล่งจ่ายแรงดันคงที่ สำหรับจ่ายให้กับชิพเอฟพีจีเอในกรณีที่เลือก Jumper เป็นแหล่งจ่ายแรงดันจากภายในบอร์ด Wizard FLEX-A01 ส่วนในกรณีที่เลือกแหล่งจ่ายแรงดันจากภายนอกจะใช้แรงดันไฟตรงที่ต่ออยู่กับขา 1 ของ ID2 มาเป็นแหล่งจ่ายไฟตรงให้กับชิพเอฟพีจีเอ และกราวด์จะใช้ขา 33 ของ ID1

รูปที่ 11 แกนในเป็นบวกแกนนอกเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Astron Logic Research & Development Co., LTD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UTRON

UT621024

Rev. 1.5

128K X 8 BIT LOW POWER CMOS SRAM

FEATURES

- Access time : 35/55/70ns (max.)
- Low power consumption :
  Operating : 60/50/40 mA (typical)
  Standby : 2μA (typical) L-version
  1μA (typical) LL-version
- Single 5V power supply
- All inputs and outputs TTL compatible
- Fully static operation
- Three state outputs
- Data retention voltage : 2V (min.)
- Package : 32-pin 600 mil PDIP
  32-pin 450 mil SOP
  32-pin 8mmx20mm TSOP-1
  32-pin 8mmx13.4mm STSOP

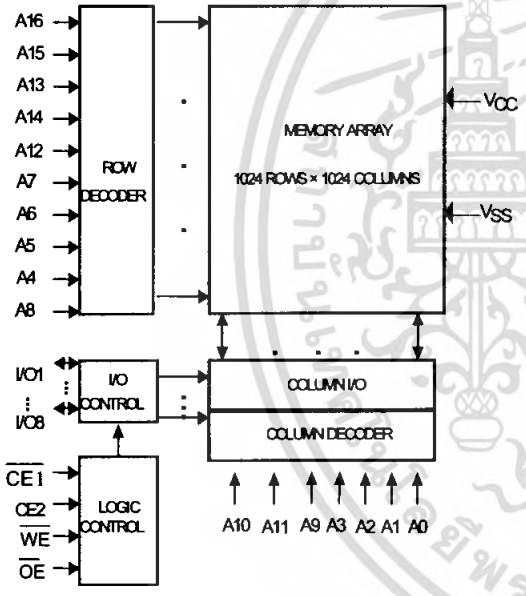
GENERAL DESCRIPTION

The UT621024 is a 1,048,576-bit low power CMOS static random access memory organized as 131,072 words by 8 bits. It is fabricated using high performance, high reliability CMOS technology.

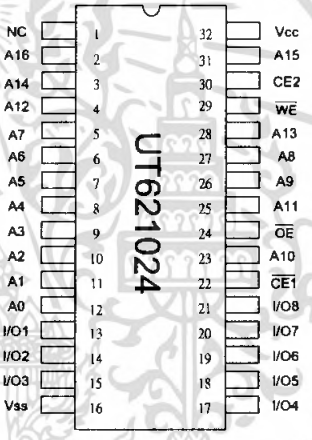
The UT621024 is designed for low power application. It is particularly well suited for battery back-up nonvolatile memory application.

The UT621024 operates from a single 5V power supply and all inputs and outputs are fully TTL compatible.

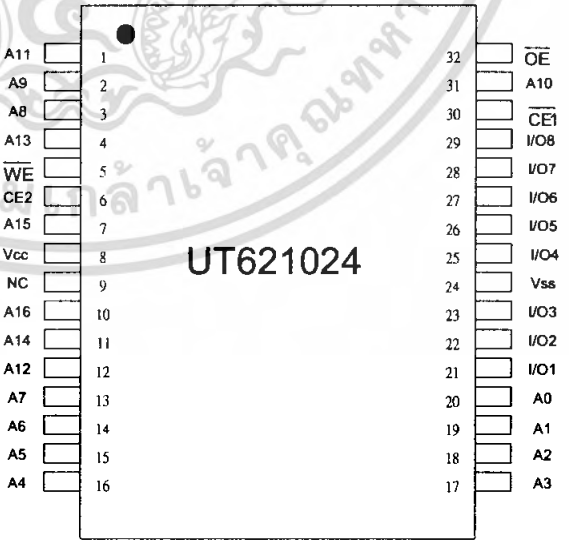
FUNCTIONAL BLOCK DIAGRAM



PIN CONFIGURATION



PDIP / SOP



TSOP-I/STSOP

PIN DESCRIPTION

SYMBOL	DESCRIPTION
A0 - A16	Address Inputs
I/O1 - I/O8	Data Inputs/Outputs
$\overline{CE1}$,CE2	Chip enable 1,2 Inputs
$\overline{WE}$	Write Enable Input
$\overline{OE}$	Output Enable Input
V_{CC}	Power Supply
V_{SS}	Ground
NC	No Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

UTRON TECHNOLOGY INC.
1F, No. 11, R&D Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
TEL: 886-3-5777882 FAX: 886-3-5777919

ABSOLUTE MAXIMUM RATINGS*

PARAMETER	SYMBOL	RATING	UNIT
Terminal Voltage with Respect to Vss	V_{TERM}	-0.5 to +7.0	V
Operating Temperature	T_A	0 to +70	℃
Storage Temperature	T_{STG}	-65 to +150	℃
Power Dissipation	P_D	1	W
DC Output Current	I_{OUT}	50	mA
Soldering Temperature (under 10 sec)	T_{solder}	260	℃

*Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to the absolute maximum rating conditions for extended period may affect device reliability.

TRUTH TABLE

MODE	$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	I/O OPERATION	SUPPLY CURRENT
Standby	H	X	X	X	High - Z	I_{SB},I_{SB1}
Standby	X	L	X	X	High -Z	I_{SB},I_{SB1}
Output Disable	L	H	H	H	High - Z	I_{CC}
Read	L	H	L	H	D_{OUT}	I_{CC}
Write	L	H	X	L	D_{IN}	I_{CC}

Note: H = V_{IH}, L=V_{IL}, X = Don't care.

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5V± 10%, T_A = 0℃ to 70℃)

PARAMETER	SYMBOL	TEST CONDITION		MIN.	TYP.	MAX.	UNIT
Input High Voltage	V_{IH}			2.2	-	V_{CC}+0.5	V
Input Low Voltage	V_{IL}			- 0.5	-	0.8	V
Input Leakage Current	I_{IL}	$V_{SS} \leqq V_{IN} \leqq V_{CC}$		- 1	-	1	µA
Output Leakage Current	I_{OL}	$V_{SS} \leqq V_{I/O} \leqq V_{CC}$ $\overline{CE1}$ =V_{IH} or CE2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}		- 1	-	1	µA
Output High Voltage	V_{OH}	I_{OH} = - 1mA		2.4	-	-	V
Output Low Voltage	V_{OL}	I_{OL}= 4mA		-	-	0.4	V
Average Operating Power Supply Courrent	I_{CC}	Cycle time=min, 100% duty,	-35	-	60	100	mA
		$\overline{CE1}$ =V_{IL}, CE2 = V_{IH},	-55	-	50	85	mA
		$I_{I/O}$ = 0mA	-70	-	40	70	mA
	I_{CC1}	Cycle time=1µs,100% duty,$I_{I/O}$=0mA $\overline{CE1} \leqq$0.2V,CE2$\geqq V_{CC}$-0.2V, other pins at 0.2V or V_{CC}-0.2V,		-	-	10	mA
Standby Power Supply Current	I_{SB}	$\overline{CE1}$ =V_{IH} or CE2 = V_{IL} other pins at 0.2V or V_{CC}-0.2V,		-	-	3	mA
	I_{SB1}	$\overline{CE1} \geqq V_{CC}$-0.2V or CE2$\leqq$0.2V other pins at 0.2V or V_{CC}-0.2V,	- L	-	2	100 40*	µA
			- LL	-	1	50 15*	µA

*Those parameters are for reference only under 50℃

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE (T_A=25℃, f=1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Input Capacitance	C_{IN}	-	8	pF
Input/Output Capacitance	$C_{I/O}$	-	10	pF

Note : These parameters are guaranteed by device characterization, but not production tested.

AC TEST CONDITIONS

Input Pulse Levels	0V to 3.0V
Input Rise and Fall Times	5ns
Input and Output Timing Reference Levels	1.5V
Output Load	C_L=100pF, I_{OH}/I_{OL}=-1mA/4mA

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 5V± 10% , T_A = 0℃ to 70℃)

(1) READ CYCLE

PARAMETER	SYMBOL	UT621024-35		UT621024-55		UT621024-70		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Read Cycle Time	t_{RC}	35	-	55	-	70	-	ns
Address Access Time	t_{AA}	-	35	-	55	-	70	ns
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	-	35	-	55	-	70	ns
Output Enable Access Time	t_{OE}	-	25	-	30	-	35	ns
Chip Enable to Output in Low-Z	t_{CLZ1}*, t_{CLZ2}*	10	-	10	-	10	-	ns
Output Enable to Output in Low-Z	t_{OLZ}*	5	-	5	-	5	-	ns
Chip Disable to Output in High-Z	t_{CHZ1}*, t_{CHZ2}*	-	25	-	30	-	35	ns
Output Disable to Output in High-Z	t_{OHZ}*	-	25	-	30	-	35	ns
Output Hold from Address Change	t_{OH}	5	-	5	-	5	-	ns

(2) WRITE CYCLE

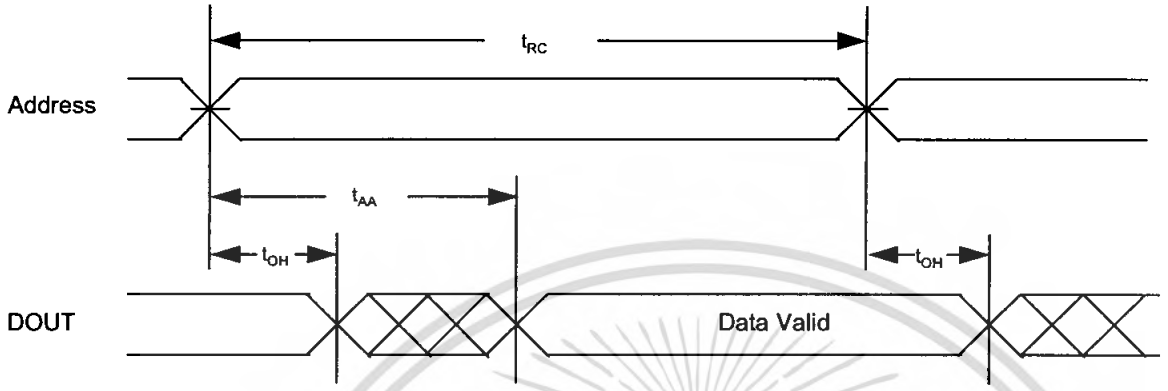
PARAMETER	SYMBOL	UT621024-35		UT621024-55		UT621024-70		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Write Cycle Time	t_{WC}	35	-	55	-	70	-	ns
Address Valid to End of Write	t_{AW}	30	-	50	-	60	-	ns
Chip Enable to End of Write	t_{CW1}, t_{CW2}	30	-	50	-	60	-	ns
Address Set-up Time	t_{AS}	0	-	0	-	0	-	ns
Write Pulse Width	t_{WP}	25	-	40	-	45	-	ns
Write Recovery Time	t_{WR}	0	-	0	-	0	-	ns
Data to Write Time Overlap	t_{DW}	20	-	25	-	30	-	ns
Data Hold from End of Write-Time	t_{DH}	0	-	0	-	0	-	ns
Output Active from End of Write	t_{OW}*	5	-	5	-	5	-	ns
Write to Output in High-Z	t_{WHZ}*	-	15	-	20	-	25	ns

*These parameters are guaranteed by device characterization, but not production tested.

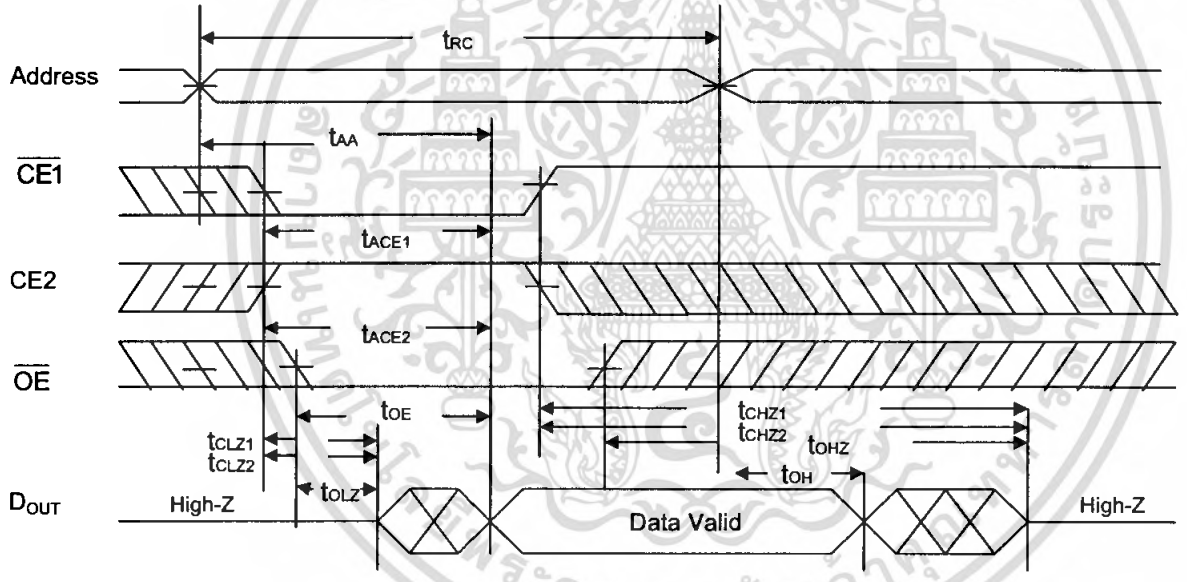
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS

READ CYCLE 1 (Address Controlled) (1,2,4)



READ CYCLE 2 ($\overline{CE1}$, CE2 and $\overline{OE}$ Controlled) (1,3,5,6)

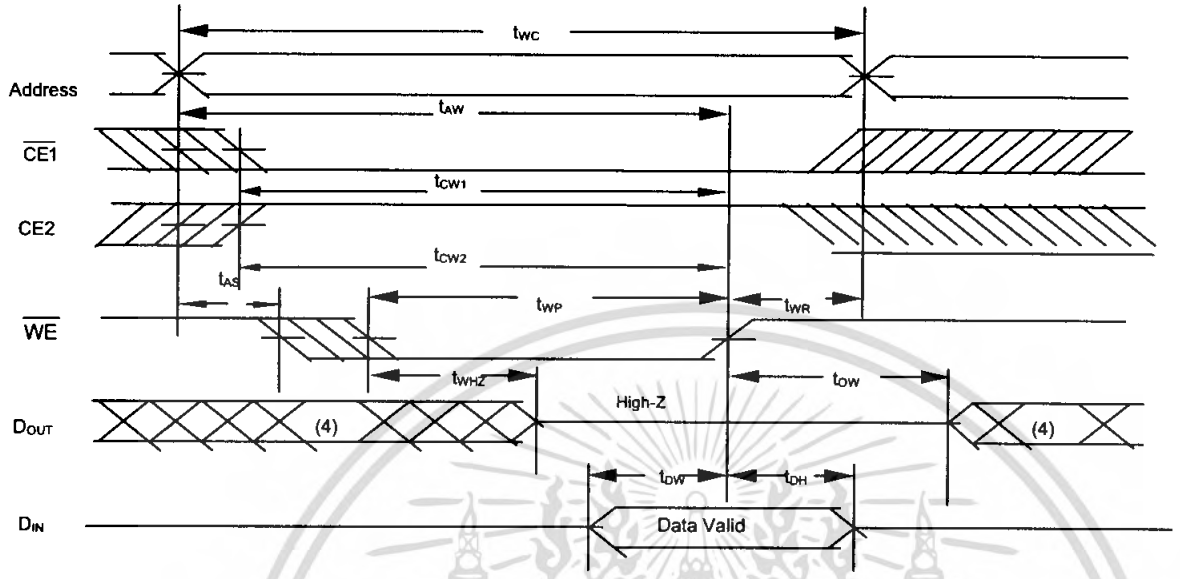


Notes :

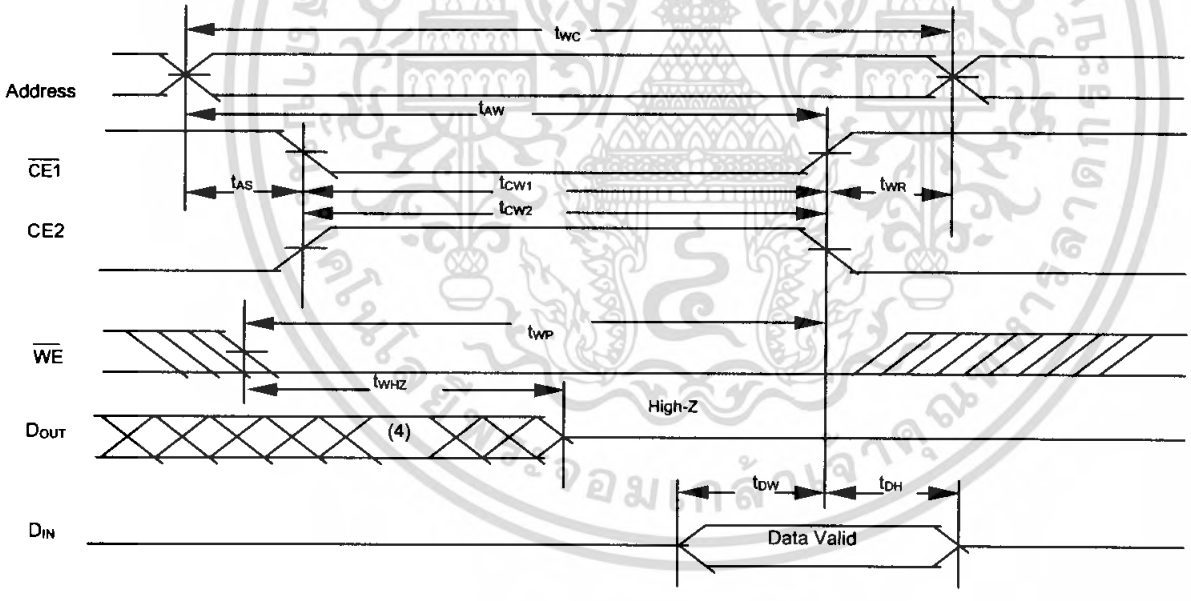
1. $\overline{WE}$ is HIGH for read cycle.
2. Device is continuously selected $\overline{CE1}$ =V_{IL} and CE2=V_{IH}.
3. Address must be valid prior to or coincident with $\overline{CE1}$ and CE2 transition; otherwise t_{AA} is the limiting parameter.
4. $\overline{OE}$ is low.
5. t_{CLZ1}, t_{CLZ2}, t_{OLZ}, t_{CHZ1}, t_{CHZ2} and t_{OHZ} are specified with C_L=5pF. Transition is measured ± 500mV from steady state.
6. At any given temperature and voltage condition, t_{CHZ1} is less than t_{CLZ1}, t_{CHZ2} is less than t_{CLZ2}, t_{OHZ} is less than t_{OLZ}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 1 ($\overline{WE}$ Controlled) (1,2,3,5)



WRITE CYCLE 2 ($\overline{CE1}$ and CE2 Controlled) (1,2,5)



Notes :

1. $\overline{WE}$ or $\overline{CE1}$ must be HIGH or CE2 must be LOW during all address transitions.
2. A write occurs during the overlap of a low $\overline{CE1}$, a high CE2 and a low $\overline{WE}$.
3. During a $\overline{WE}$ controlled with write cycle with $\overline{OE}$ LOW, t_{WP} must be greater than $t_{WHZ}+t_{DW}$ to allow the I/O drivers to turn off and data to be placed on the bus.
4. During this period, I/O pins are in the output state, and input singals must not be applied.
5. If the $\overline{CE1}$ LOW transition occurs simultaneously with or after $\overline{WE}$ LOW transition, the outputs remain in a high impedance state.
6. t_{OW} and t_{WHZ} are specified with C_L=5pF. Transition is measured ± 500mV from steady state.

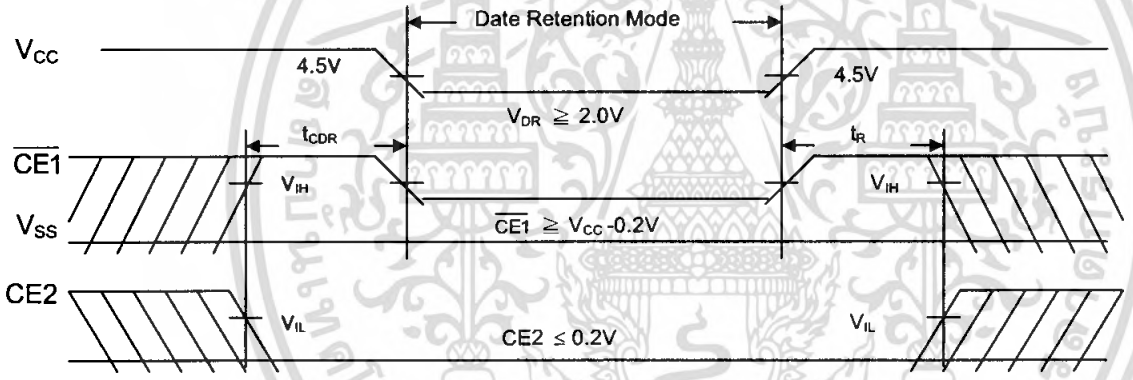
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA RETENTION CHARACTERISTICS (T_A = 0℃ to 70℃)

PARAMETER	SYMBOL	TEST CONDITION		MIN.	TYP.	MAX.	UNIT
Vcc for Data Retention	V_{DR}	$\overline{CE1} \geq V_{CC}$-0.2V or CE2 ≤ 0.2V		2.0	-	-	V
Data Retention Current	I_{DR}	Vcc=3V	- L	-	1	40	µA
						20*	
		$\overline{CE1} \geq V_{CC}$-0.2V or CE2 ≤ 0.2V	- LL	-	0.5	20	µA
						10*	
Chip Disable to Data Retention Time	t_{CDR}	See Data Retention Waveforms (below)		0	-	-	ns
Recovery Time	t_R			t_{RC}*	-	-	ns

t_{RC}* = Read Cycle Time
*Those parameters are for reference only under 50℃

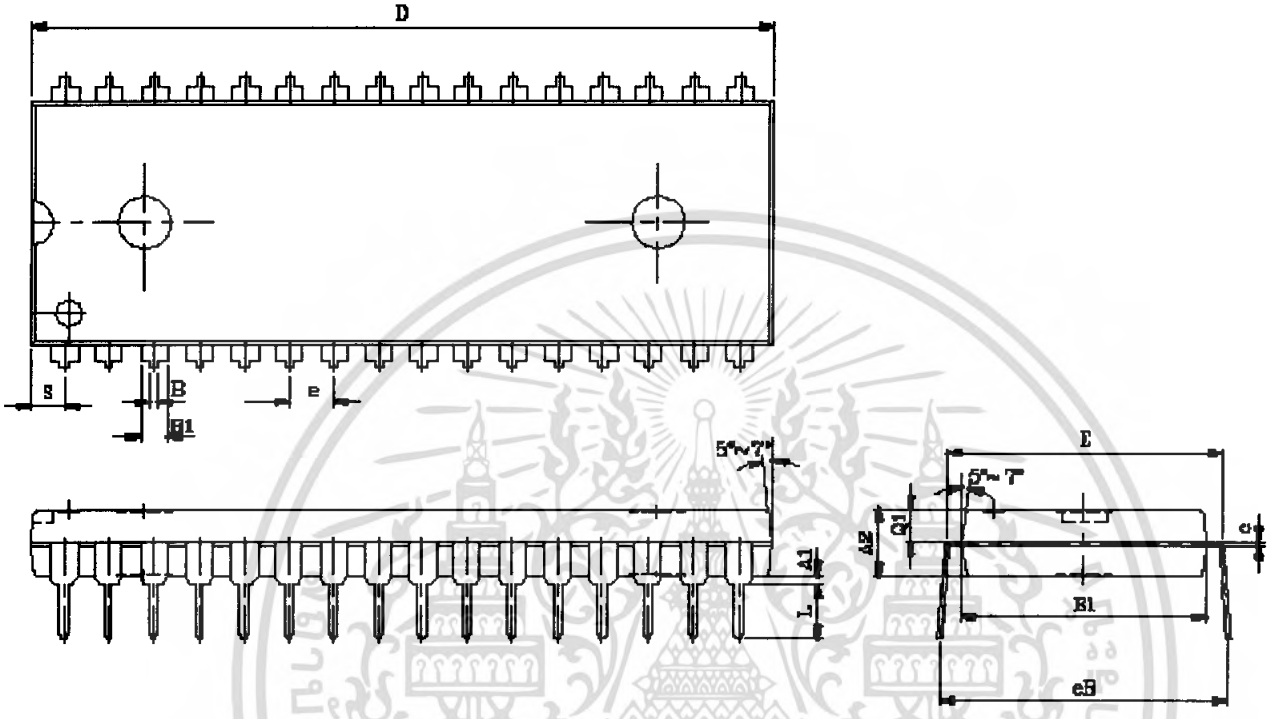
DATA RETENTION WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINE DIMENSION

32 pin 600 mil PDIP Package Outline Dimension

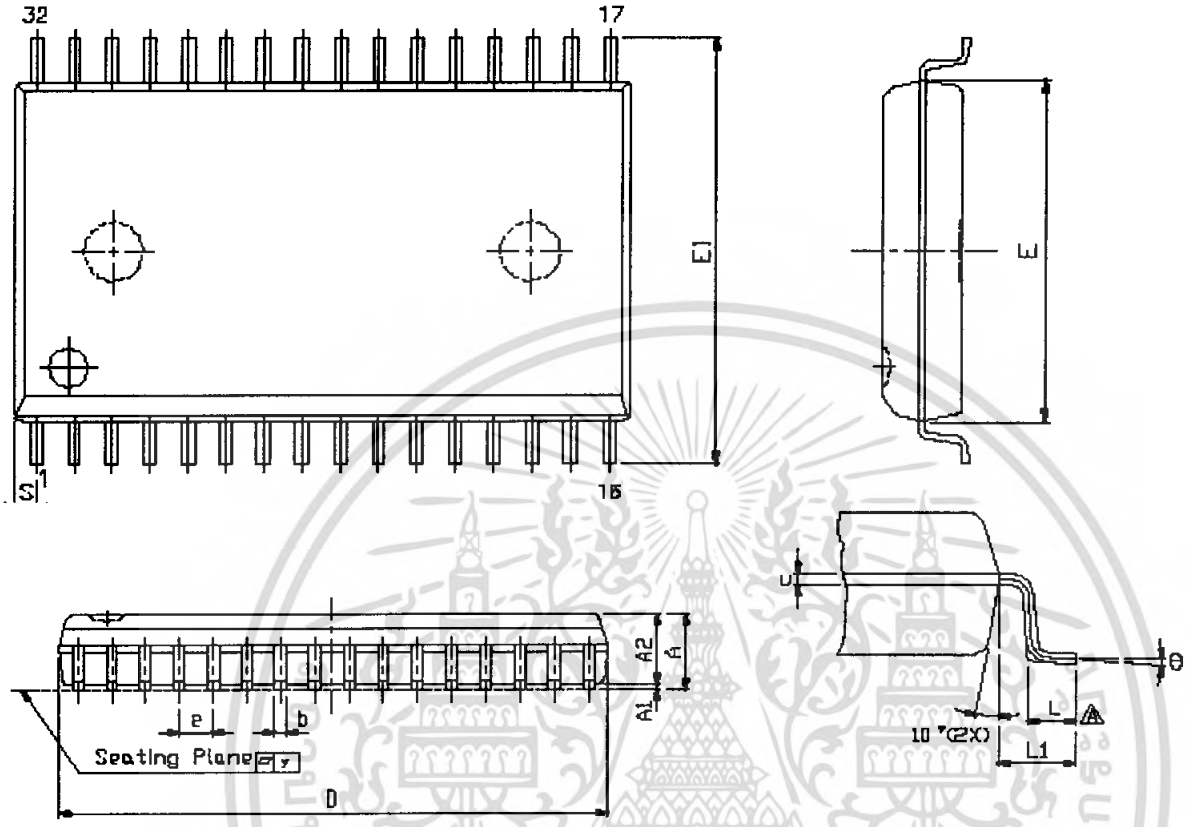


SYMBOL \ UNIT	INCH(BASE)	MM(REF)
A1	0.010 (MIN)	0.254 (MIN)
A2	0.150 ± 0.005	3.810 ± 0.127
B	0.018 ± 0.005	0.457 ± 0.127
△A B1	0.050 ± 0.005	1.270 ± 0.127
c	0.010± 0.004	0.254± 0.102
D	1.650 ± 0.005	41.910 ± 0.127
△A E	0.600 ± 0.010	15.240 ± 0.254
E1	0.544 ± 0.004	13.818 ± 0.102
e	0.100(TYP)	2.540(TYP)
eB	0.640 ± 0.020	16.256 ± 0.508
L	0.130 ± 0.010	3.302 ± 0.254
S	0.075 ± 0.010	1.905± 0.254
Q1	0.070± 0.005	1.778± 0.127

Note:
1. D/E1/S DIMENSION DO NOT INCLUDE MOLD FLASH.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

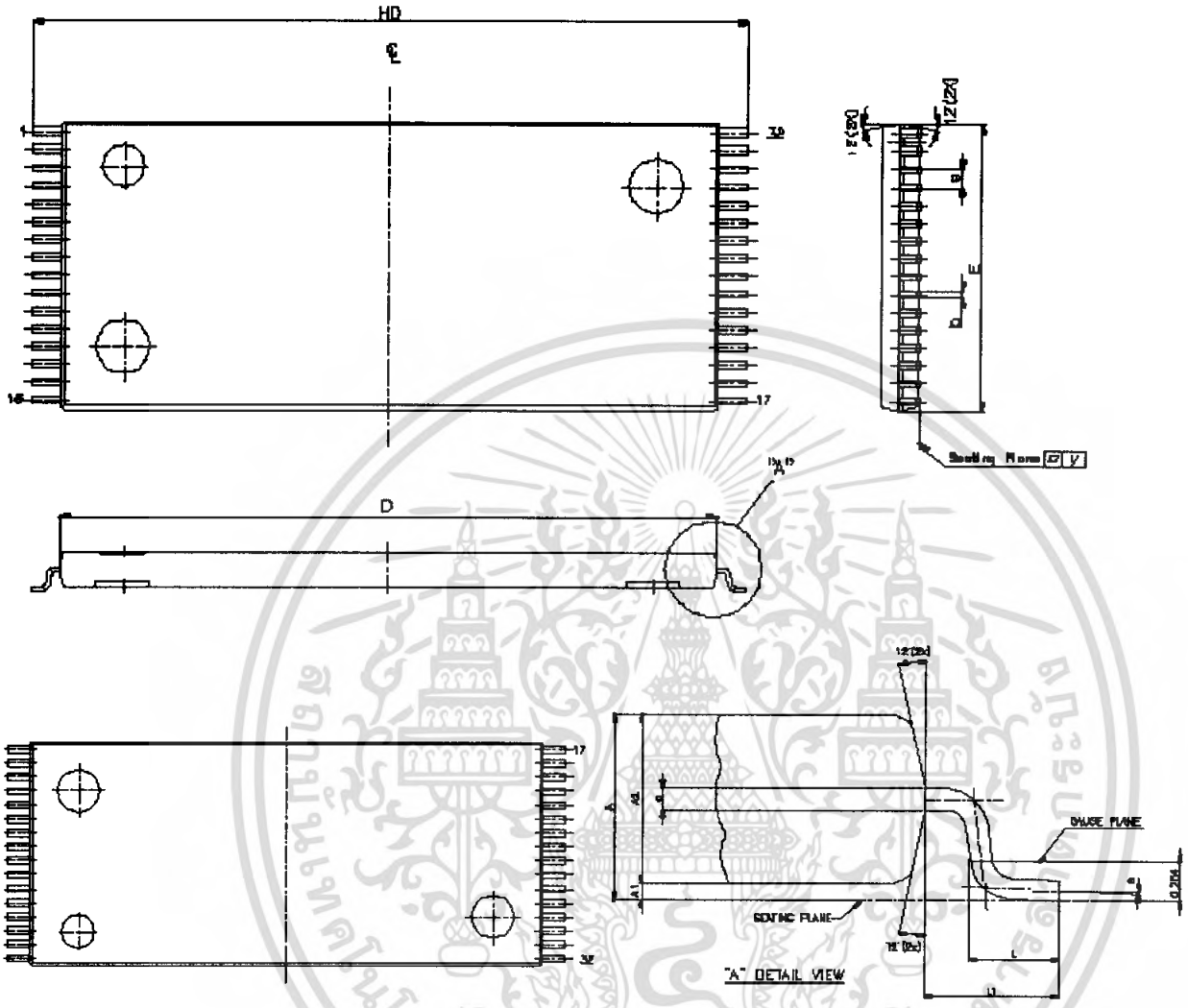
32 pin 450mil SOP Package Outline Dimension



SYMBOL \ UNIT	INCH(BASE)	MM(REF)
A	0.118 (MAX)	2.997 (MAX)
A1	0.004(MIN)	0.102(MIN)
A2	0.111(MAX)	2.82(MAX)
b	0.015(MIN) 0.020(MAX)	0.38(MIN) 0.50(MAX)
c	0.008(TYP)	0.203(TYP)
D	0.817(MAX)	20.75(MAX)
△A E	0.445 ± 0.005	11.303 ± 0.127
E1	0.555 ± 0.005	14.097 ± 0.127
e	0.050(TYP)	1.270(TYP)
△A L	0.0347 ± 0.008	0.881 ± 0.203
L1	0.055 ± 0.008	1.397 ± 0.203
S	0.026(MAX)	0.660 (MAX)
△C y	0.004(MAX)	0.101(MAX)
θ	0° -10°	0° -10°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

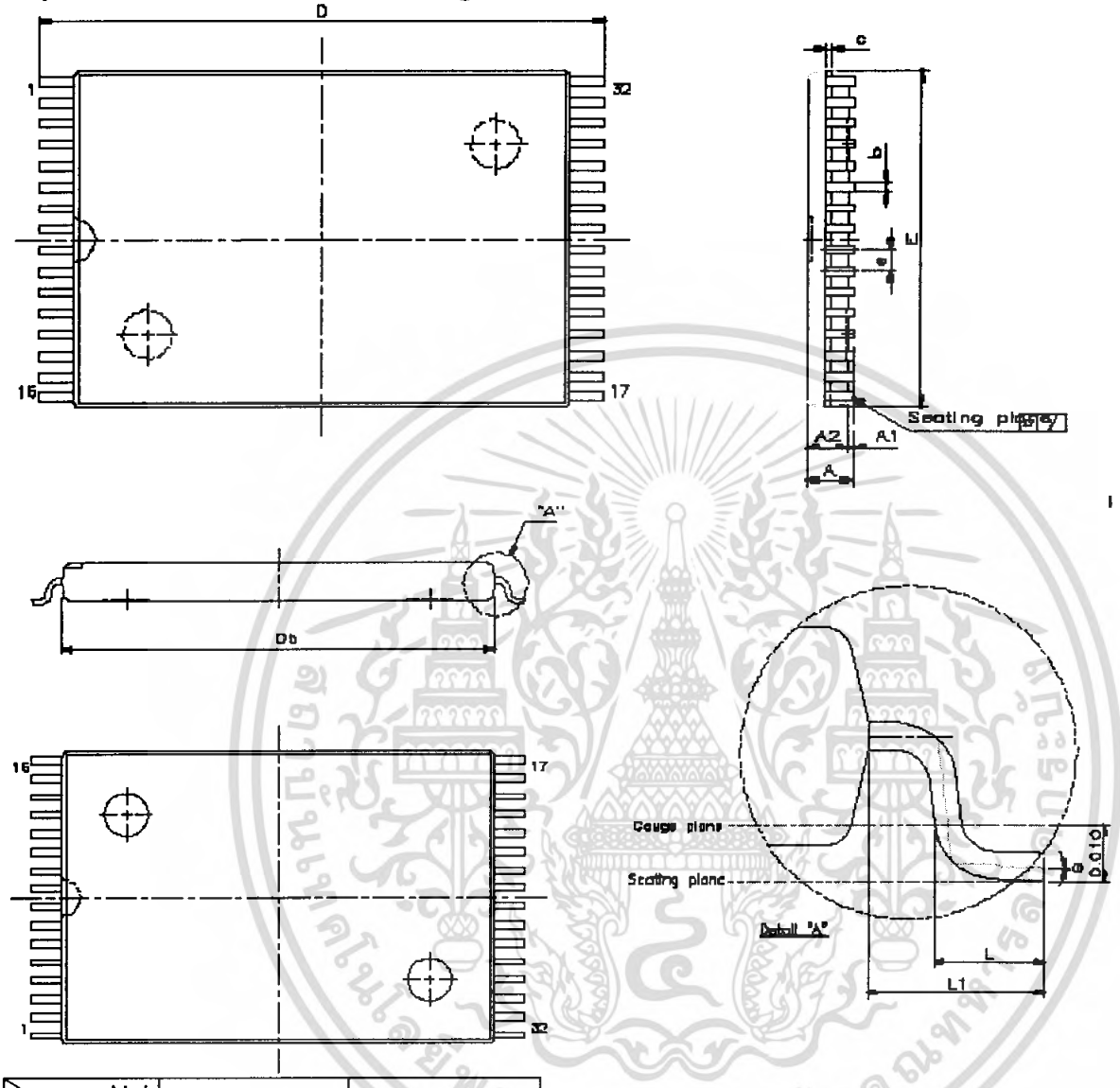
32 pin TSOP-I Package Outline Dimension



SYMBOL \ UNIT	INCH(BASE)	MM(REF)
A	0.047 (MAX)	1.20 (MAX)
A1	0.004 ± 0.002	0.10 ± 0.05
A2	0.039 ± 0.002	1.00 ± 0.05
b	0.008 + 0.002 - 0.001	0.20 + 0.05 -0.03
c	0.005 (TYP)	0.127 (TYP)
D	0.724 ± 0.004	18.40 ± 0.10
E	0.315 ± 0.004	8.00 ± 0.10
e	0.020 (TYP)	0.50 (TYP)
HD	0.787 ± 0.008	20.00 ± 0.20
L	0.0197 ± 0.004	0.50 ± 0.10
L1	0.0315 ± 0.004	0.08 ± 0.10
y	0.003 (MAX)	0.076 (MAX)
θ	0°~5°	0°~5°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32 pin 8mm x 13.4mm STSOP Package Outline Dimension



Uni / Symbol	MM(REF)	INCH(BASE)
A	1.20(Max.)	0.047(Max).
A1	0.10±0.05	0.004±0.002
A2	1.00±0.05	0.039±0.002
b	020(TYP.)	0.006(TYP.)
c	0.15(TYP.)	0.006(TYP.)
D	13.40±0.20	0.526±0.006
Db	11.80±0.10	0.465±0.004
E	8.000±0.10	0.315±0.004
e	0.50(TYP.)	0.020(TYP.)
L	0.50±0.10	0.020±0.004
L1	0.80±0.10	0.0315±0.004
y	0.08(Max.)	0.003(Max.)
e	0°~5°	0°~5°

Note :
1.E dinmension is not including end flash.
2.The total of both sides' end flash Is not above 0.3mm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

PART NO.	ACCESS TIME (ns)	STANDBY CURRENT (μA)	PACKAGE
UT621024PC-35L	35	100	32 PIN PDIP
UT621024PC-35LL	35	50	32 PIN PDIP
UT621024SC-35L	35	100	32 PIN SOP
UT621024SC-35LL	35	50	32 PIN SOP
UT621024LC-35L	35	100	32 PIN TSOP-I
UT621024LC-35LL	35	50	32 PIN TSOP-I
UT621024LS-35L	35	100	32 PIN STSOP
UT621024LS-35LL	35	50	32 PIN STSOP
UT621024PC-55L	55	100	32 PIN PDIP
UT621024PC-55LL	55	50	32 PIN PDIP
UT621024SC-55L	55	100	32 PIN SOP
UT621024SC-55LL	55	50	32 PIN SOP
UT621024LC-55L	55	100	32 PIN TSOP-I
UT621024LC-55LL	55	50	32 PIN TSOP-I
UT621024LS-55L	55	100	32 PIN STSOP
UT621024LS-55LL	55	50	32 PIN STSOP
UT621024PC-70L	70	100	32 PIN PDIP
UT621024PC-70LL	70	50	32 PIN PDIP
UT621024SC-70L	70	100	32 PIN SOP
UT621024SC-70LL	70	50	32 PIN SOP
UT621024LC-70L	70	100	32 PIN TSOP-I
UT621024LC-70LL	70	50	32 PIN TSOP-I
UT621024LS-70L	70	100	32 PIN STSOP
UT621024LS-70LL	70	50	32 PIN STSOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REVISION HISTORY

REVISION	DESCRIPTION	DATE
REV. 1.0	Original.	Apr. 05 2000
REV. 1.1	NA	--
REV. 1.2	NA	--
REV. 1.3	Add STSOP-I Package	Aug. 29.2000
REV. 1.4	Modify the format of power consumption	Sep. 01.2000
REV. 1.5	1. Operating : 60/40 -> 60/50/40 2. Standby Current : 10 ->2 (L-version) 3. Add I_{CC}–data as (-55, TYP 50, MAX 85) 4. Revise I_{SB1} TYP : 10-> 2, MAX : 300/100 ->100/40 5. The symbols CE1# ,OE# & WE# are revised as $\overline{CE1}$, $\overline{OE}$ & $\overline{WE}$	Jun. 18,2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface | TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum –3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

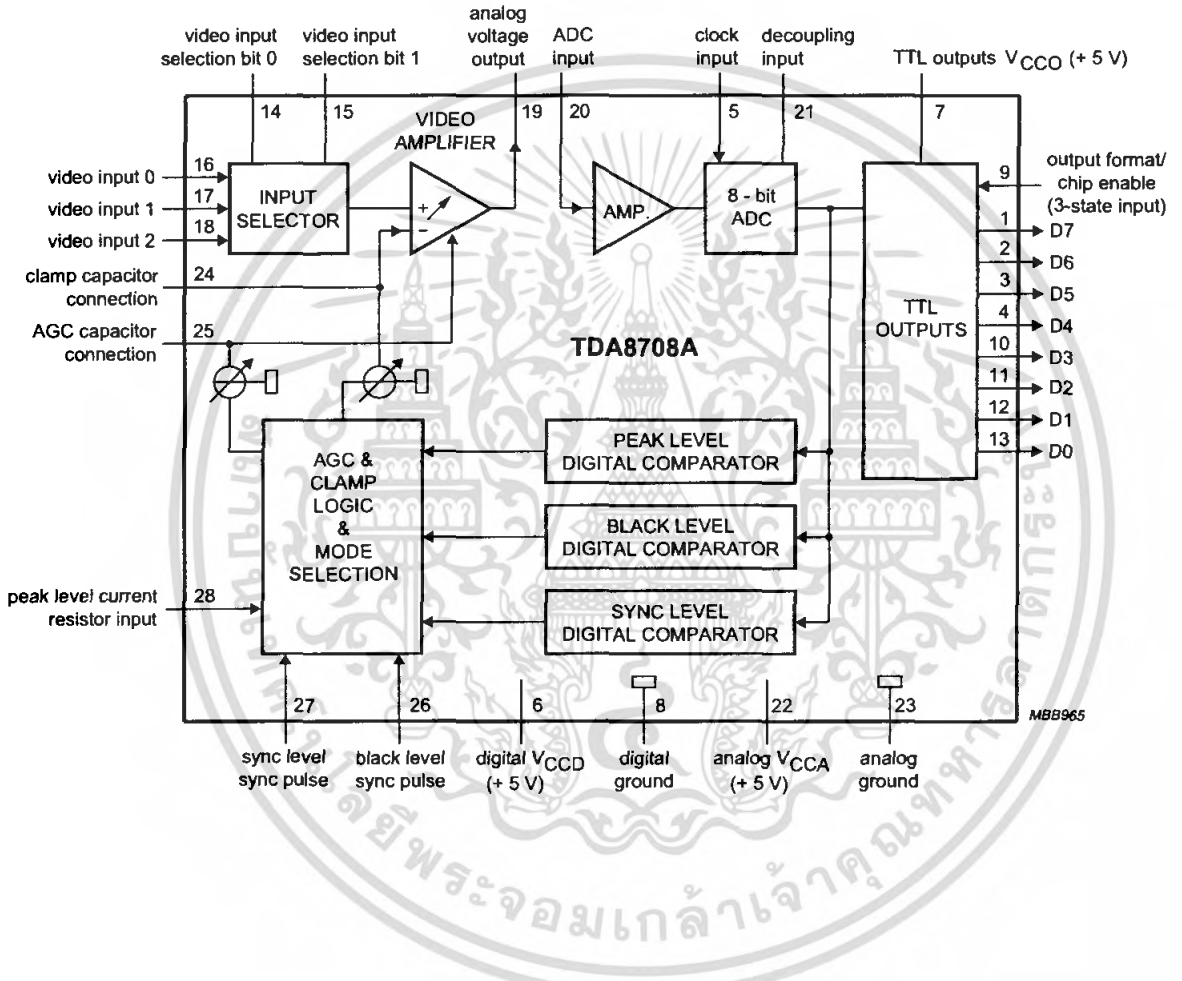


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

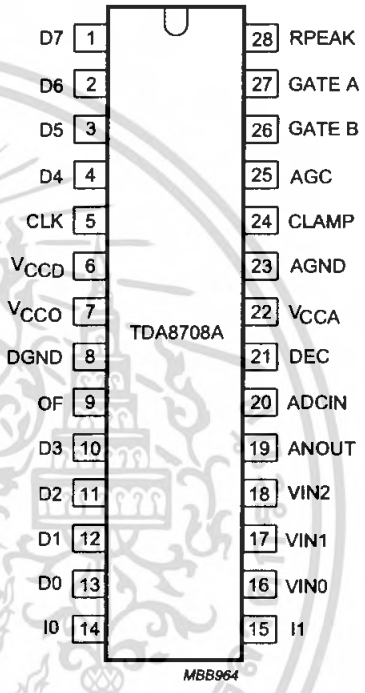


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = –0.5 to +0.5 V; V_{CCO} to V_{CCD} = –0.5 to +0.5 V; V_{CCA} to V_{CCO} = –0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk}= 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	μA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	μA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC\,(p-p)}}{V_{ANOUTY\,(RMS\ noise)}}$$ at B = 5 MHz.

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_I = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f_i = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	–2.5 µA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 µA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 µA	2
		0 < output < 248	–2.5 µA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	–2.5 µA	1
X(1)	0	X(1)	0 µA	2
0	1	output < 64	+50 µA	2
		64 < output	–50 µA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} – 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} – 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

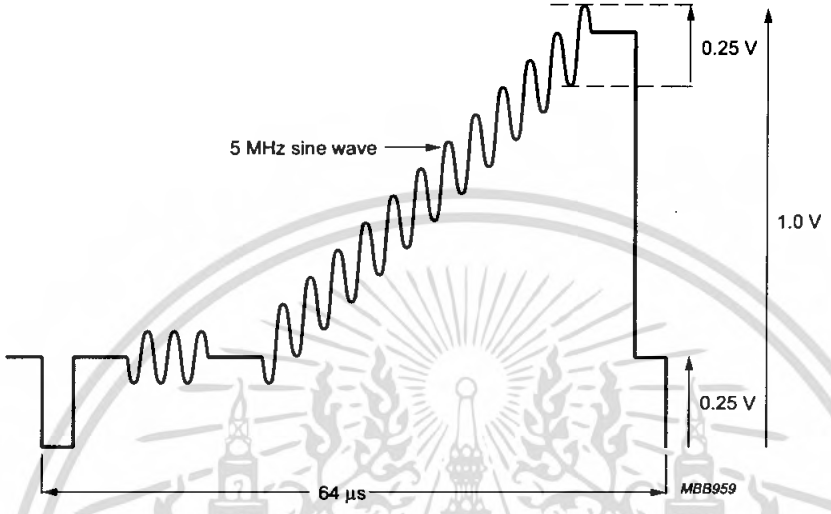


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

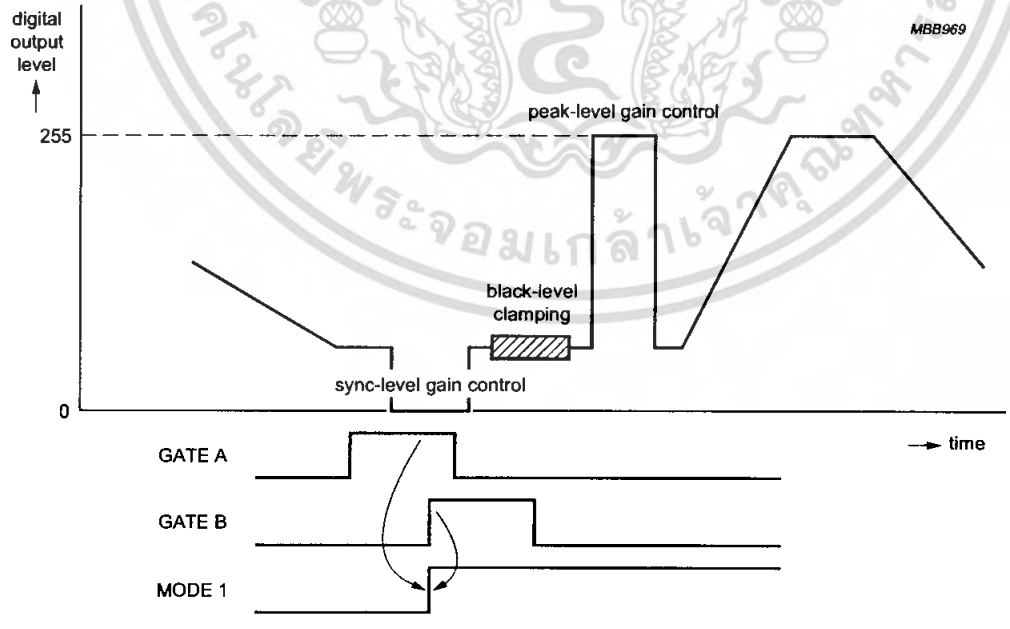


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

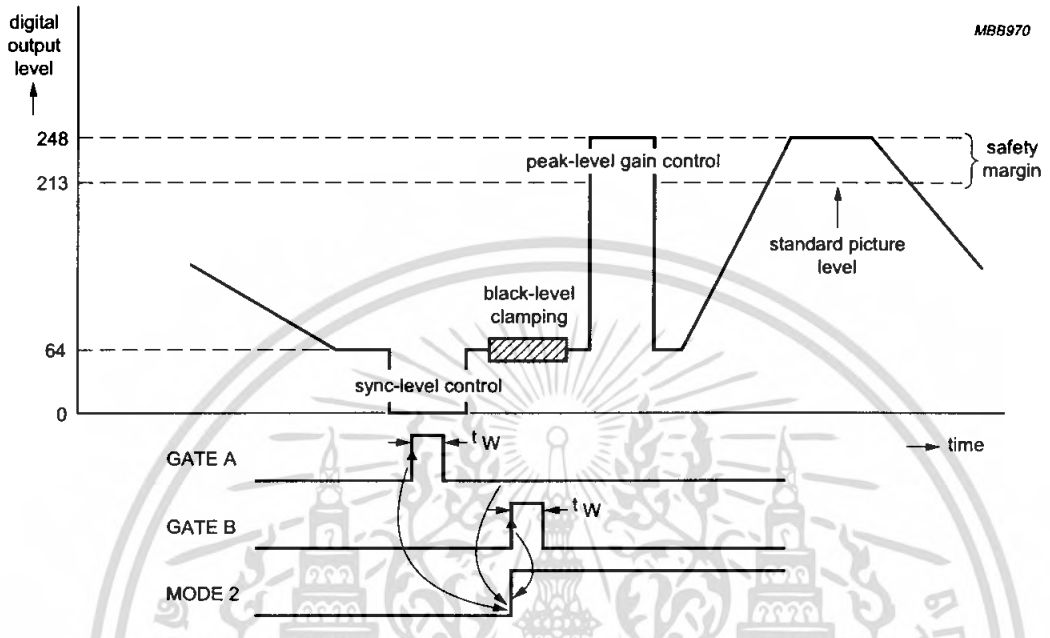


Fig.5 Control mode 2.

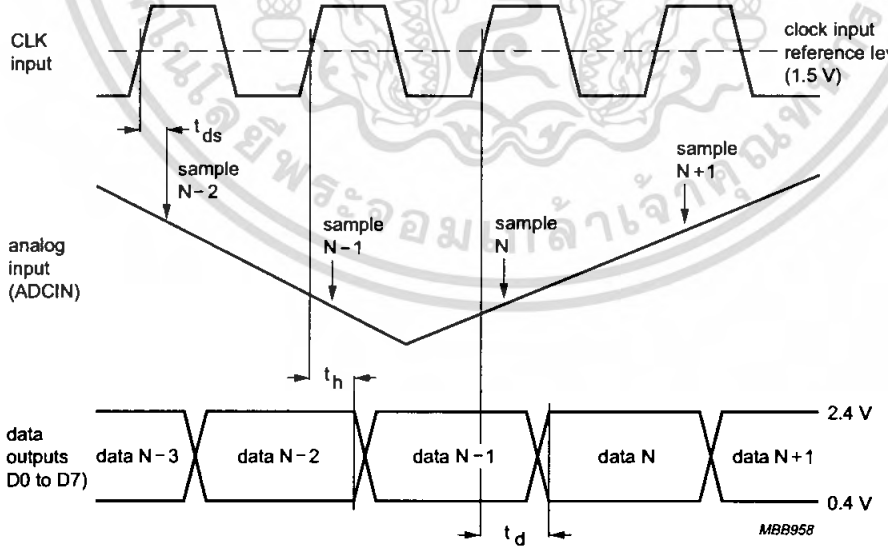


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

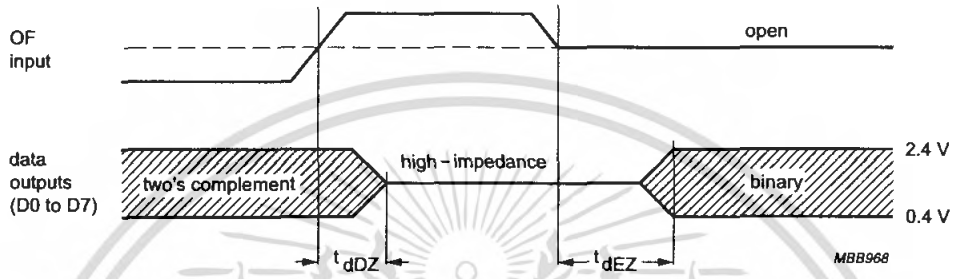


Fig.7 Output format timing diagram.

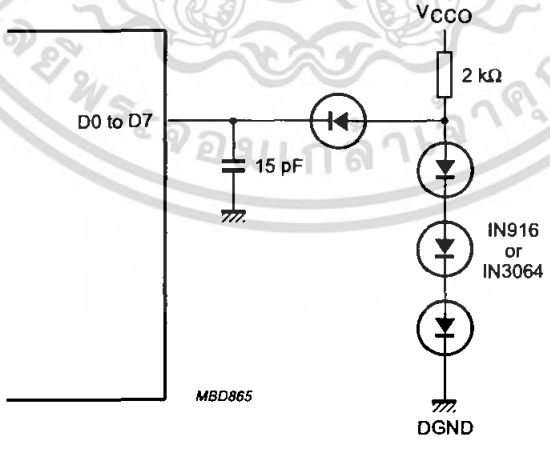


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

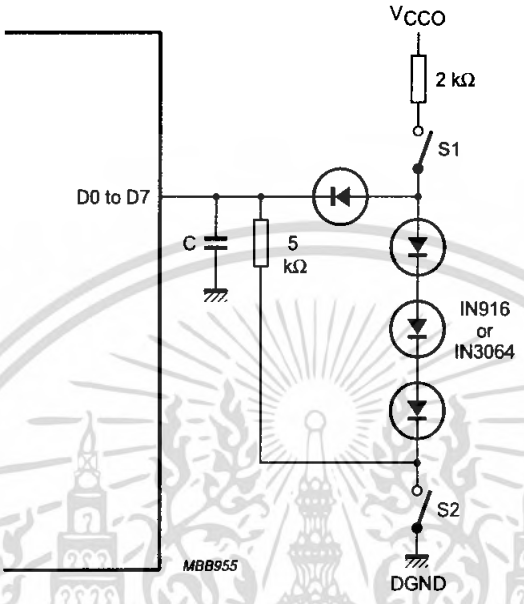
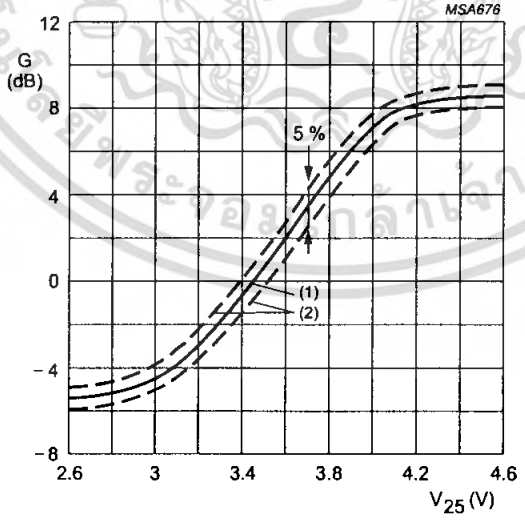


Fig.9 Load circuit for timing measurement; 3-state outputs (OF: f_i = 1 MHz; V_{OF} = 3 V).



(1) Typical value (V_{CCA} = V_{CCD} = 5 V; T_{amb} = 25 °C).
(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

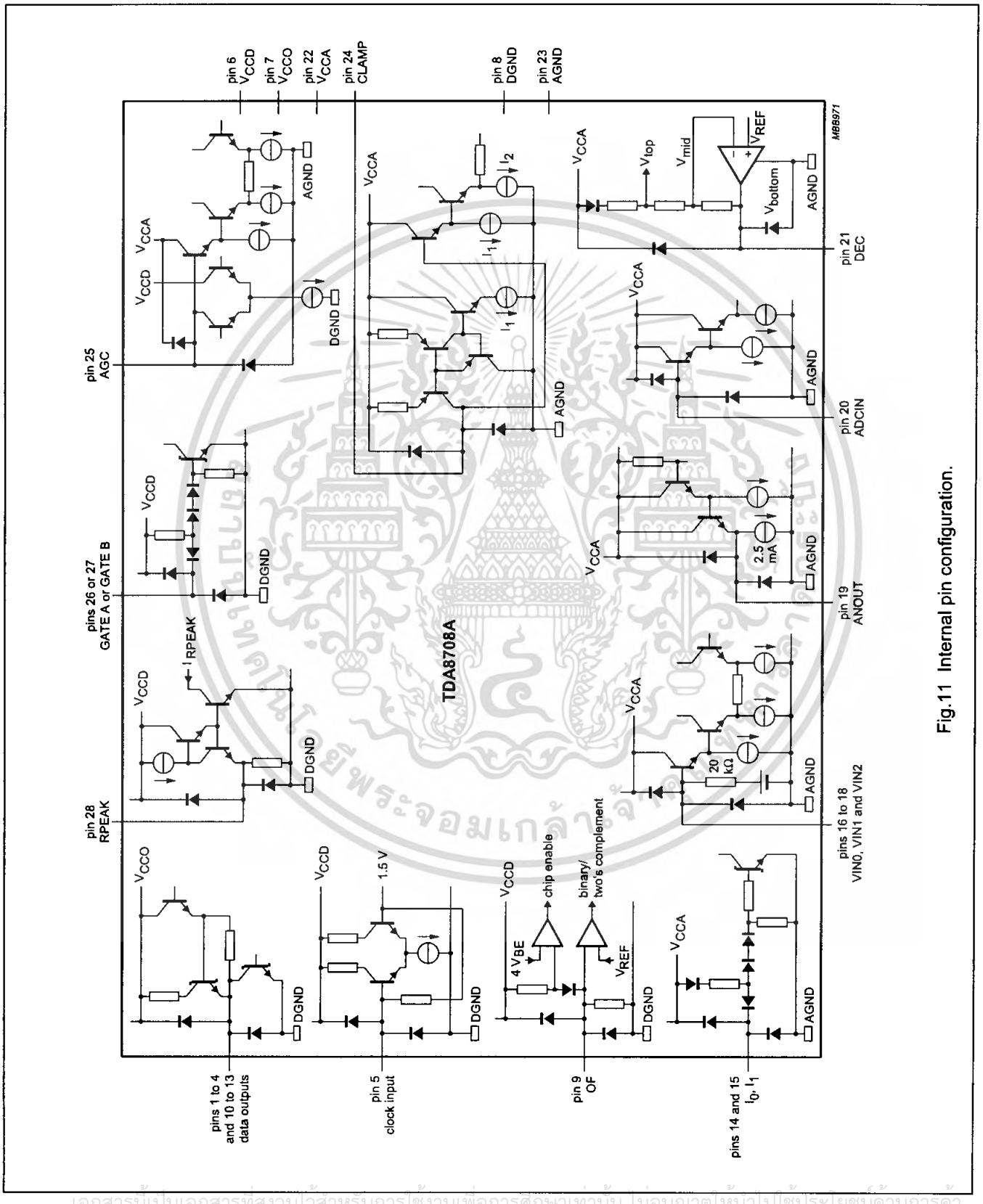
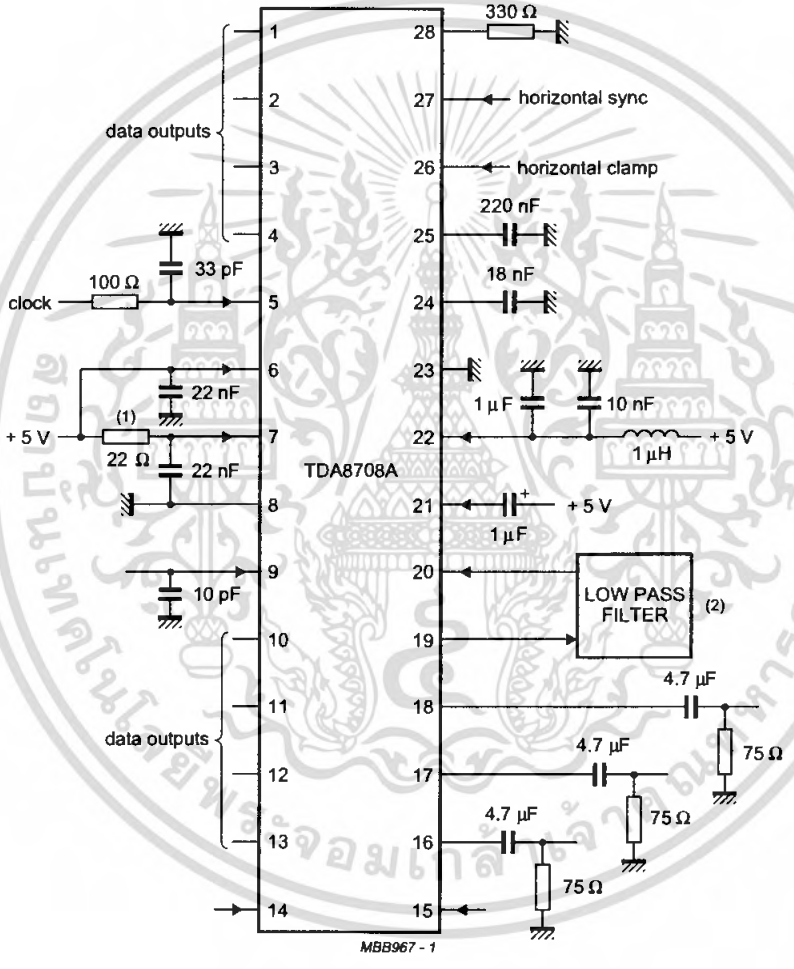


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

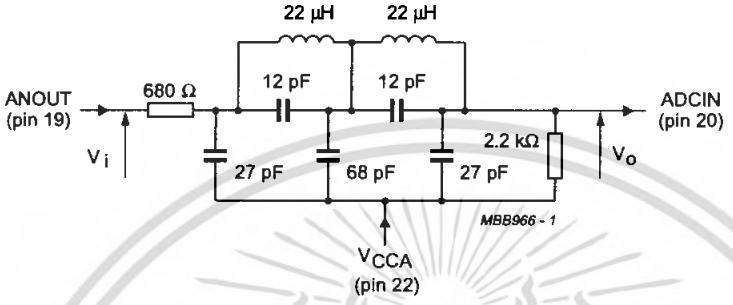


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

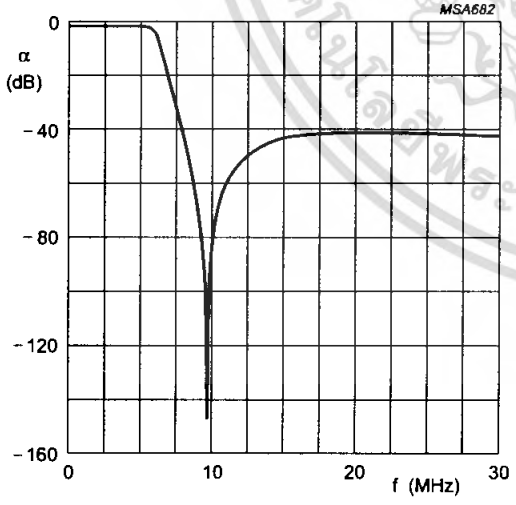
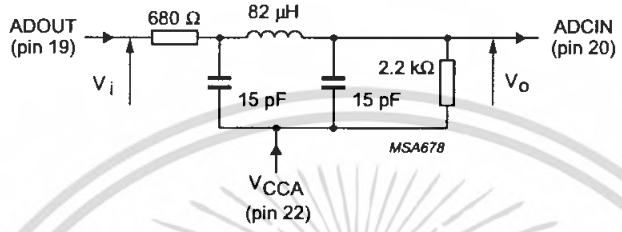


Fig.14 Frequency response for filter shown in Fig.13.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB
- f_{notch} = 9.75 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

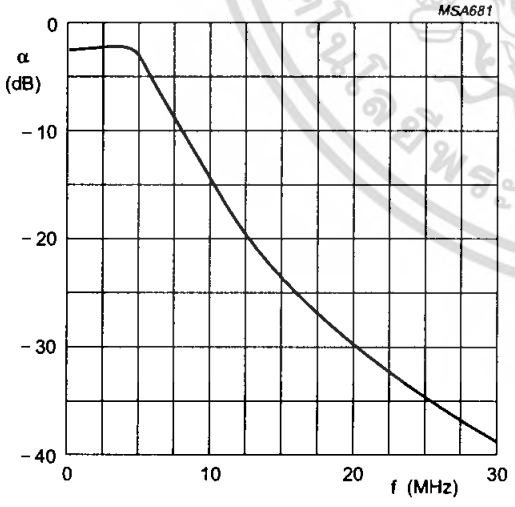


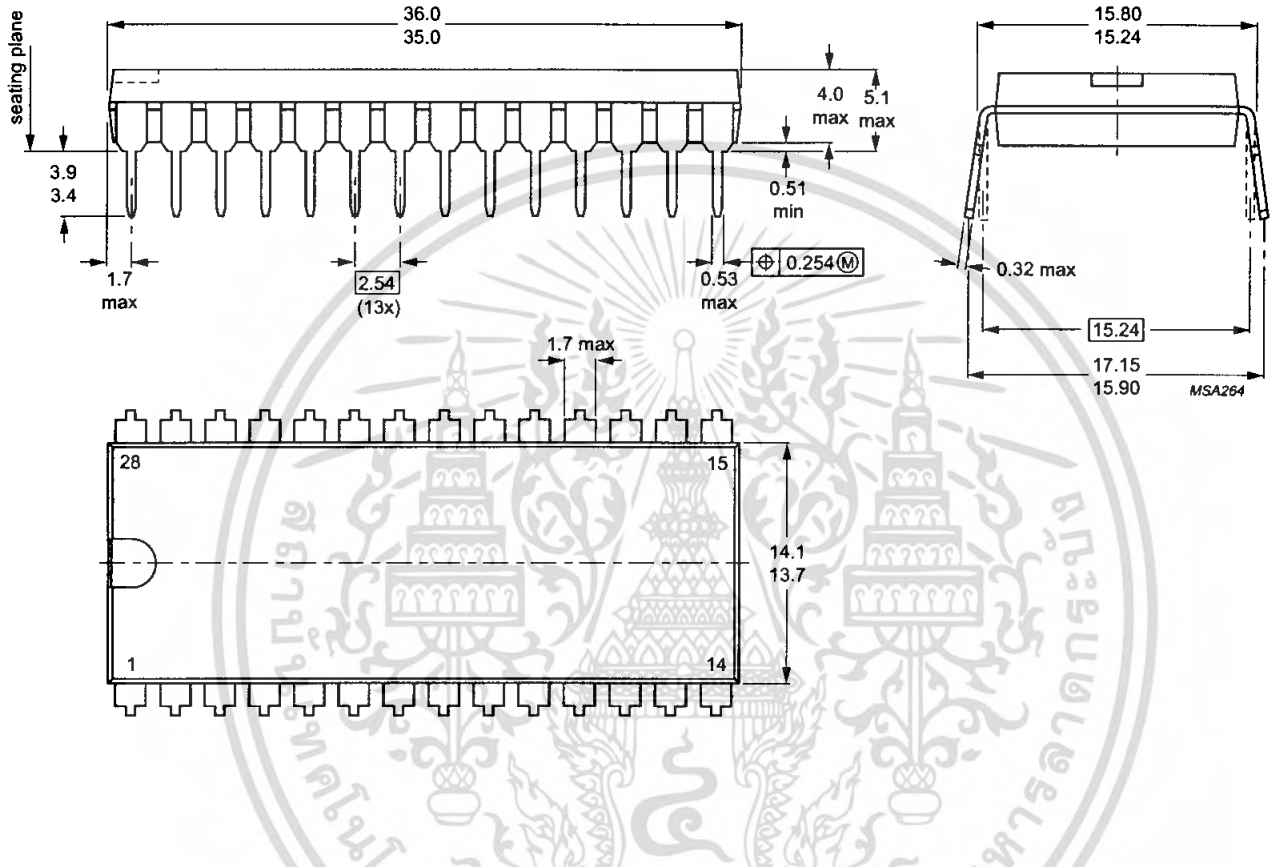
Fig.16 Frequency response for filter shown in Fig.15.

Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

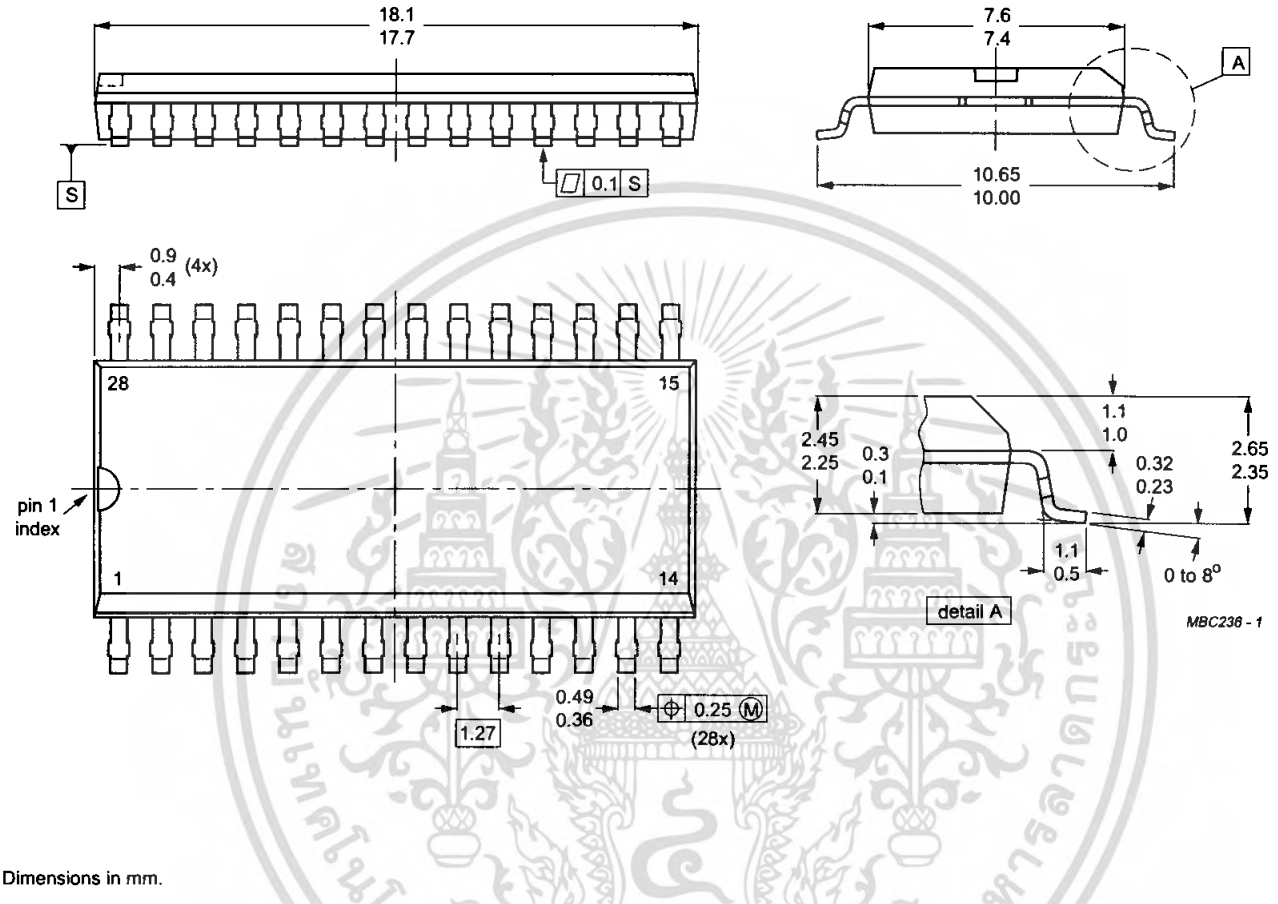
PACKAGE OUTLINES



Dimensions in mm.

Fig.17 Plastic dual in-line package; 28 leads (600 mil) with internal heat spreader (SOT117-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dimensions in mm.

Fig.18 Plastic small outline package; 28 leads; large body (SOT136-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOLDERING

Plastic dual in-line packages

BY DIP OR WAVE

The maximum permissible temperature of the solder is 260 °C; this temperature must not be in contact with the joint for more than 5 s. The total contact time of successive solder waves must not exceed 5 s.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified storage maximum. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron below the seating plane (or not more than 2 mm above it). If its temperature is below 300 °C, it must not be in contact for more than 10 s; if between 300 and 400 °C, for not more than 5 s.

Plastic small-outline packages

BY WAVE

During placement and before soldering, the component must be fixed with a droplet of adhesive. After curing the adhesive, the component can be soldered. The adhesive can be applied by screen printing, pin transfer or syringe dispensing.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder bath is 10 s, if allowed to cool to less than 150 °C within 6 s. Typical dwell time is 4 s at 250 °C.

A modified wave soldering technique is recommended using two solder waves (dual-wave), in which a turbulent wave with high upward pressure is followed by a smooth laminar wave. Using a mildly-activated flux eliminates the need for removal of corrosive residues in most applications.

BY SOLDER PASTE REFLOW

Reflow soldering requires the solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the substrate by screen printing, stencilling or pressure-syringe dispensing before device placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt, infrared, and vapour-phase reflow. Dwell times vary between 50 and 300 s according to method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 min at 45 °C.

REPAIRING SOLDERED JOINTS (BY HAND-HELD SOLDERING IRON OR PULSE-HEATED SOLDER TOOL)

Fix the component by first soldering two, diagonally opposite, end pins. Apply the heating tool to the flat part of the pin only. Contact time must be limited to 10 s at up to 300 °C. When using proper tools, all other pins can be soldered in one operation within 2 to 5 s at between 270 and 320 °C. (Pulse-heated soldering is not recommended for SO packages.)

For pulse-heated solder tool (resistance) soldering of VSO packages, solder is applied to the substrate by dipping or by an extra thick tin/lead plating before package placement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Philips Semiconductors – a worldwide company

Argentina: IEROD, Av. Juramento 1992 - 14.b, (1428)
BUENOS AIRES, Tel. (541)786 7633, Fax. (541)786 9367

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. (02)805 4455, Fax. (02)805 4466

Austria: Triester Str. 64, A-1101 WIEN, P.O. Box 213,
Tel. (01)60 101-1236, Fax. (01)60 101-1211

Belgium: Postbus 90050, 5600 PB EINDHOVEN, The Netherlands,
Tel. (31)40 783 749, Fax. (31)40 788 399

Brazil: Rua do Rocio 220 - 5th floor, Suite 51,
CEP: 04552-903-SÃO PAULO-SP, Brazil.
P.O. Box 7383 (01064-970).
Tel. (011)821-2327, Fax. (011)829-1849

Canada: INTEGRATED CIRCUITS:
Tel. (800)234-7381, Fax. (708)296-8556
DISCRETE SEMICONDUCTORS: 601 Milner Ave,
SCARBOROUGH, ONTARIO, M1B 1M8,
Tel. (0416)292 5161 ext. 2336, Fax. (0416)292 4477

Chile: Av. Santa Maria 0760, SANTIAGO,
Tel. (02)773 816, Fax. (02)777 6730

Colombia: IPRELENSO LTDA, Carrera 21 No. 56-17,
77621 BOGOTA, Tel. (571)249 7624/(571)217 4609,
Fax. (571)217 4549

Denmark: Prags Boulevard 80, PB 1919, DK-2300 COPENHAGEN S,
Tel. (032)88 2636, Fax. (031)57 1949

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. (9)0-50261, Fax. (9)0-520971

France: 4 Rue du Port-aux-Vins, BP317,
92156 SURESNES Cedex,
Tel. (01)4099 6161, Fax. (01)4099 6427

Germany: PHILIPS COMPONENTS UB der Philips G.m.b.H.,
P.O. Box 10 63 23, 20043 HAMBURG,
Tel. (040)3296-0, Fax. (040)3296 213.

Greece: No. 15, 25th March Street, GR 17778 TAVROS,
Tel. (01)4894 339/4894 911, Fax. (01)4814 240

Hong Kong: PHILIPS HONG KONG Ltd., Components Div.,
6/F Philips Ind. Bldg., 24-28 Kung Yip St., KWAI CHUNG, N.T.,
Tel. (852)424 5121, Fax. (852)428 6729

India: Philips INDIA Ltd, Components Dept,
Shivsagar Estate, A Block ,
Dr. Annie Besant Rd. Worli, Bombay 400 018
Tel. (022)4938 541, Fax. (022)4938 722

Indonesia: Philips House, Jalan H.R. Rasuna Said Kav. 3-4,
P.O. Box 4252, JAKARTA 12950,
Tel. (021)5201 122, Fax. (021)5205 189

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. (01)640 000, Fax. (01)640 200

Italy: PHILIPS COMPONENTS S.r.l.,
Viale F. Testi, 327, 20162 MILANO,
Tel. (02)6752.3302, Fax. (02)6752 3300.

Japan: Philips Bldg 13-37, Kohnan 2-chome, Minato-ku, TOKYO 108,
Tel. (03)3740 5028, Fax. (03)3740 0580

Korea: (Republic of) Philips House, 260-199 Itaewon-dong,
Yongsan-ku, SEOUL, Tel. (02)794-5011, Fax. (02)798-8022

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA,
SELANGOR, Tel. (03)750 5214, Fax. (03)757 4880

Mexico: Philips Components, 5900 Gateway East, Suite 200,
EL PASO, TX 79905, Tel. 9-5(800)234-7381, Fax. (708)296-8556

Netherlands: Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB
Tel. (040)783749, Fax. (040)788399

New Zealand: 2 Wagener Place, C.P.O. Box 1041, AUCKLAND,
Tel. (09)849-4160, Fax. (09)849-7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. (022)74 8000, Fax. (022)74 8341

Pakistan: Philips Electrical Industries of Pakistan Ltd.,
Exchange Bldg. ST-2/A, Block 9, KDA Scheme 5, Clifton,
KARACHI 75600, Tel. (021)587 4641-49,
Fax. (021)577035/5874546.

Philippines: PHILIPS SEMICONDUCTORS PHILIPPINES Inc,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. (02)810 0161, Fax. (02)817 3474

Portugal: PHILIPS PORTUGUESA, S.A.,
Rua dr. António Loureiro Borges 5, Arquiparque - Miraflores,
Apartado 300, 2795 LINDA-A-VELHA,
Tel. (01)14163160/4163333, Fax. (01)14163174/4163366.

Singapore: Lorong 1, Toa Payoh, SINGAPORE 1231,
Tel. (65)350 2000, Fax. (65)251 6500

South Africa: S.A. PHILIPS Pty Ltd., Components Division,
195-215 Main Road Martindale, 2092 JOHANNESBURG,
P.O. Box 7430 Johannesburg 2000,
Tel. (011)470-5911, Fax. (011)470-5494.

Spain: Balmes 22, 08007 BARCELONA,
Tel. (03)301 6312, Fax. (03)301 42 43

Sweden: Kottbygatan 7, Akalla. S-164 85 STOCKHOLM,
Tel. (0)8-632 2000, Fax. (0)8-632 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. (01)488 2211, Fax. (01)481 77 30

Taiwan: PHILIPS TAIWAN Ltd., 23-30F, 66, Chung Hsiao West
Road, Sec. 1. Taipeh, Taiwan ROC, P.O. Box 22978,
TAIPEI 100, Tel. (02)388 7666, Fax. (02)382 4382.

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong,
Bangkok 10260, THAILAND,
Tel. (662)398-0141, Fax. (662)398-3319.

Turkey: Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,
Tel. (0212)279 2770, Fax. (0212)269 3094

United Kingdom: Philips Semiconductors Limited, P.O. Box 65,
Philips House, Torrington Place, LONDON, WC1E 7HD,
Tel. (071)436 41 44, Fax. (071)323 03 42

United States: INTEGRATED CIRCUITS:
811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. (800)234-7381, Fax. (708)296-8556
DISCRETE SEMICONDUCTORS: 2001 West Blue Heron Blvd.,
P.O. Box 10330, RIVIERA BEACH, FLORIDA 33404,
Tel. (800)447-3762 and (407)881-3200, Fax. (407)881-3300

Uruguay: Coronel Mora 433, MONTEVIDEO,
Tel. (02)70-4044, Fax. (02)92 0601

For all other countries apply to: Philips Semiconductors,
International Marketing and Sales, Building BAF-1,
P.O. Box 218, 5600 MD, EINDHOVEN, The Netherlands,
Telex 35000 phtcnl, Fax. +31-40-724825

SCD31 © Philips Electronics N.V. 1994

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

533061/1500/05/pp24 Date of release: June 1994
Document order number: 9397 734 20011

Philips Semiconductors

PHILIPS

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 2003

LM1881, LM1881-X Video Sync Separator

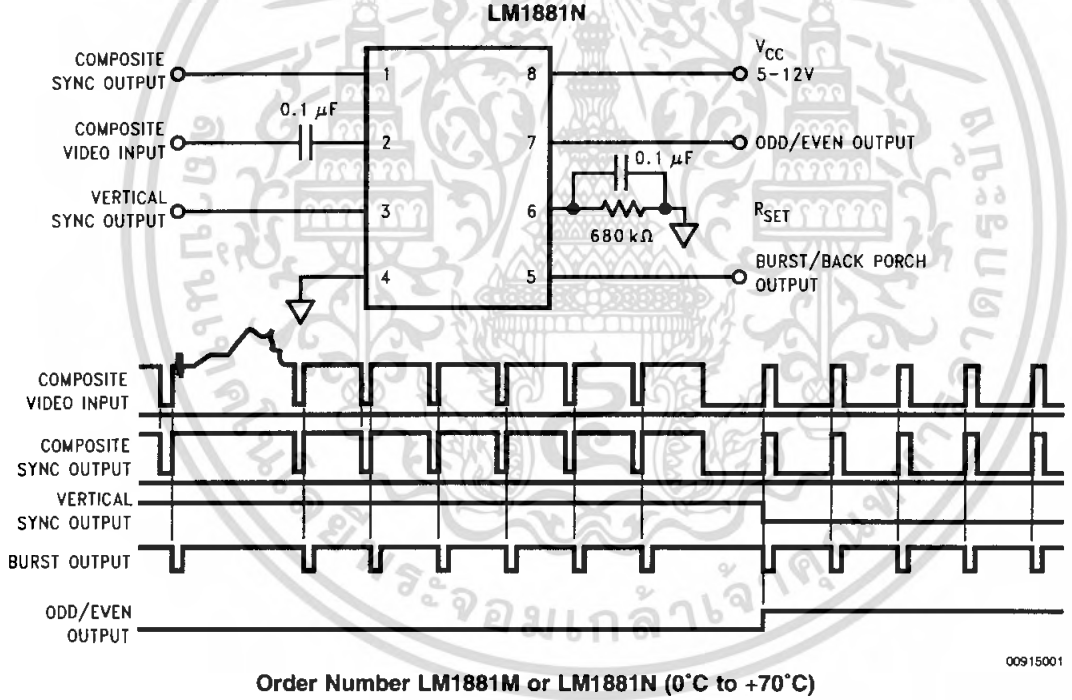
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)
- -40˚C to +85˚C operation (LM1881-X)

Connection Diagram



Order Number LM1881M or LM1881N (0˚C to +70˚C)
Order Number LM1881M-X or LM1881N-X (-40˚C to +85˚C)
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 2003 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} (V_{CC} = 5V)
	6 V_{P-P} ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Storage Temperature Range	−65˚C to +150˚C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260˚C
Small Outline Package	
Vapor Phase (60 sec.)	215˚C
Infrared (15 sec.)	220˚C

Electrical Characteristics LM1881

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 0˚C to +70˚C by correlation with 100% electrical testing at T_A=25˚C

Parameter	Conditions		Min	Typ (Note 4)	Max	Units
Supply Current	Outputs at Logic 1	V_{CC} = 5V		5.2	10	mA
		V_{CC} = 12V		5.5	12	
DC Input Voltage	Pin 2		1.3	1.5	1.8	V
Input Threshold Voltage	(Note 5)		55	70	85	mV
Input Discharge Current	Pin 2; V_{IN} = 2V		6	11	16	µA
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.2	0.8		mA
R_{SET} Pin Reference Voltage	Pin 6; (Note 6)		1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.0	4.5		V
		V_{CC} = 12V	11.0			
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	2.4	3.6		V
		V_{CC} = 12V	10.0			
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.0	4.5		V
		V_{CC} = 12V	11.0			
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1			0.2	0.8	V
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3			0.2	0.8	V
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5			0.2	0.8	V
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7			0.2	0.8	V
Vertical Sync Width			190	230	300	µs
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		2.5	4	4.7	µs
Vertical Default Time	(Note 7)		32	65	90	µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics LM1881–X

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = −40˚C to +85˚C by correlation with 100% electrical testing at T_A=25˚C

Parameter	Conditions		Min	Typ	Max	Units
Supply Current	Outputs at Logic 1	V_{CC} = 5V V_{CC} = 12V		5.2 5.5	10 12	mA
DC Input Voltage	Pin 2		1.3	1.5	1.8	V
Input Threshold Voltage			55	70	85	mV
Input Discharge Current	Pin 2; V_{IN} = 2V		6	11	16	µA
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.2	0.8		mA
R_{SET} Pin Reference Voltage	Pin 6;		1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.0 11.0	4.5		V
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V V_{CC} = 12V	2.4 10.0	3.6		V
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.0 11.0	4.5		V
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1			0.2	0.8	V
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3			0.2	0.8	V
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5			0.2	0.8	V
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7			0.2	0.8	V
Vertical Sync Width			140	230	588	µs
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		2.2	4	4.7	µs
Vertical Default Time			32	65	90	µs

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed.

Note 2: For operation in ambient temperatures above 25˚C, the device must be derated based on a 150˚C maximum junction temperature and a package thermal resistance of 110˚C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25˚C and represent the most likely parametric norm.

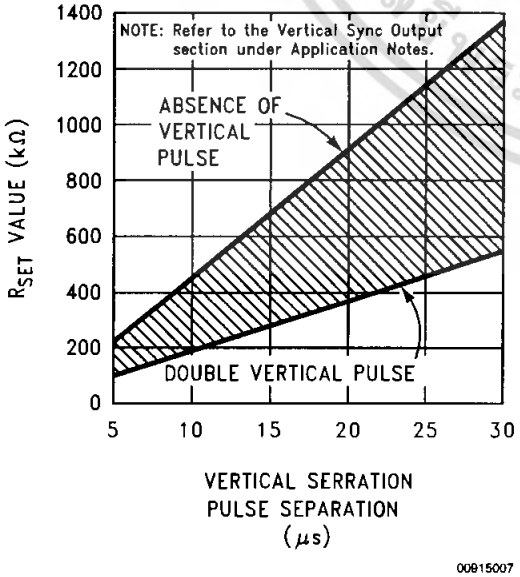
Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

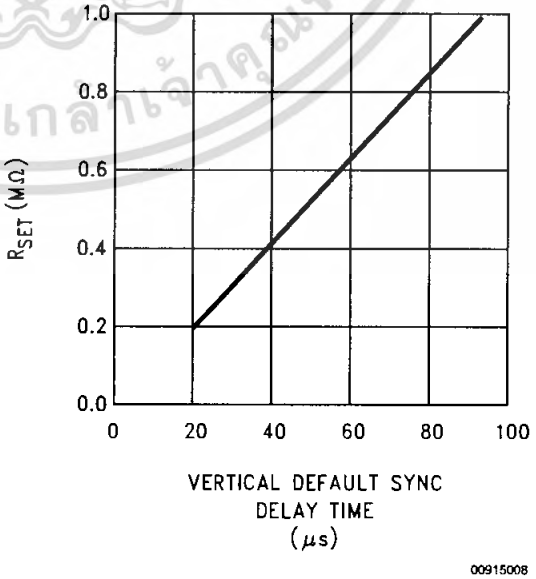
Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

Typical Performance Characteristics

R_{SET} Value Selection vs Vertical Serration Pulse Separation



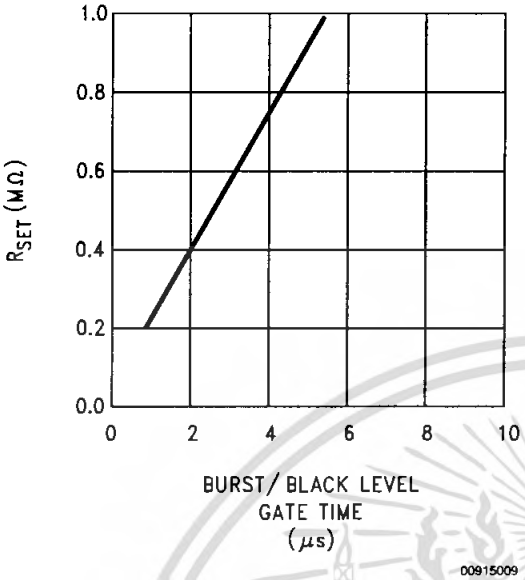
Vertical Default Sync Delay Time vs R_{SET}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

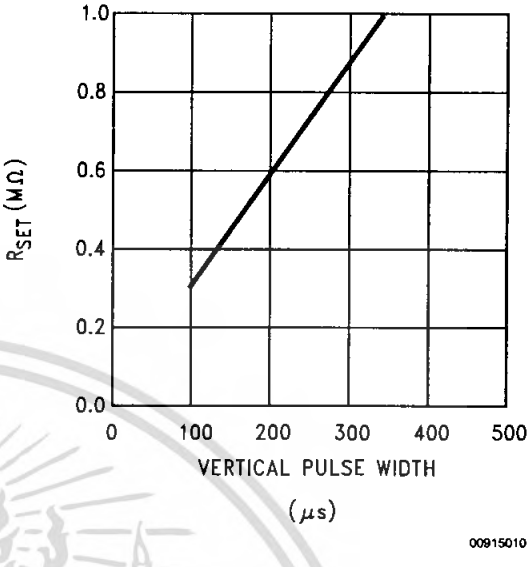
Typical Performance Characteristics (Continued)

Burst/Black Level Gate Time vs R_{SET}



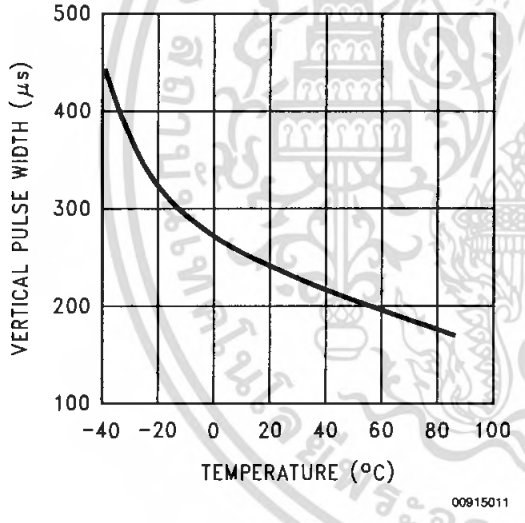
00915009

Vertical Pulse Width vs R_{SET}



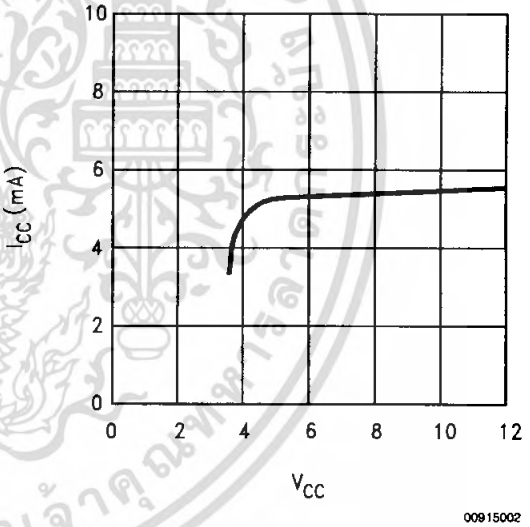
00915010

Vertical Pulse Width vs Temperature



00915011

Supply Current vs Supply Voltage



00915002

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA,

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1. With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{SET}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET}" graph shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{SET} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET}" graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 µs. In this case R_{SET} must be larger than 680 kΩ. R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{SET} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

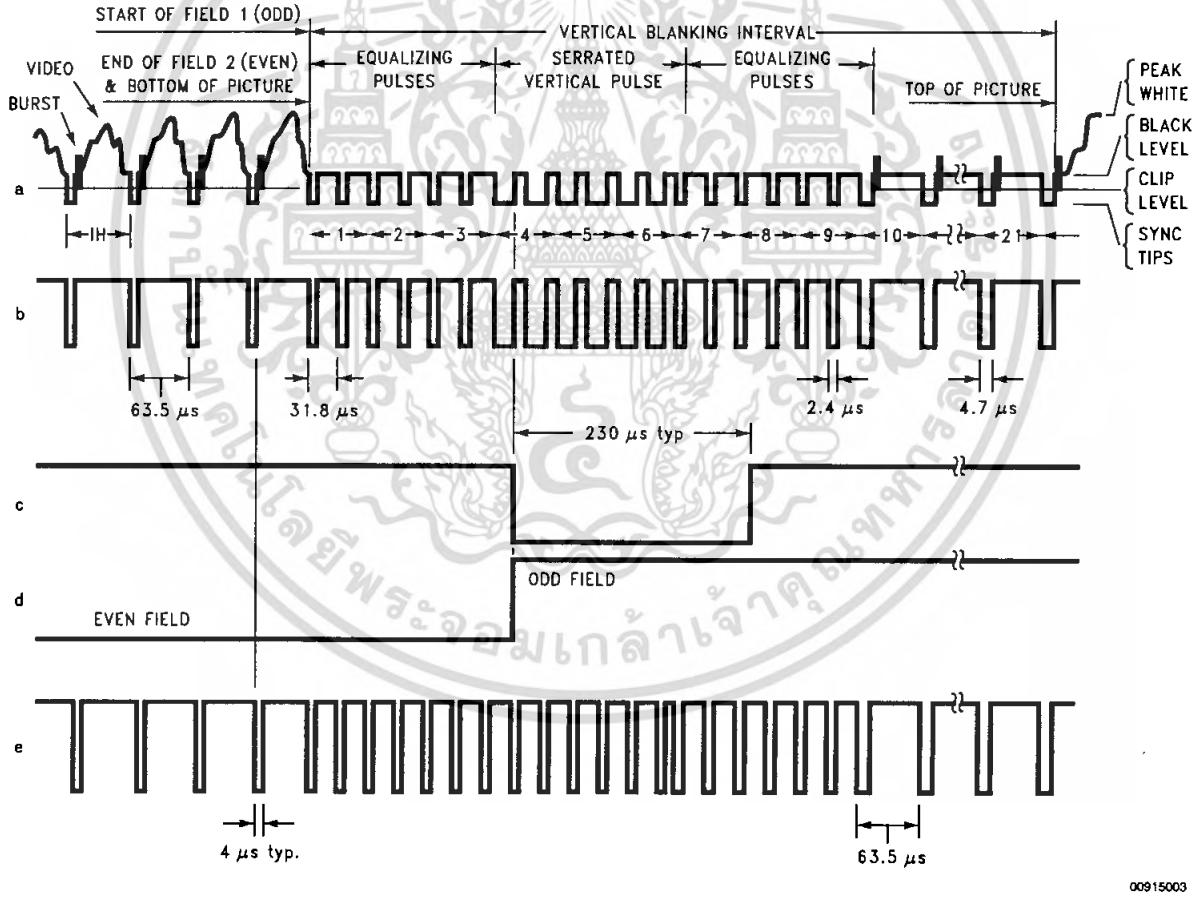
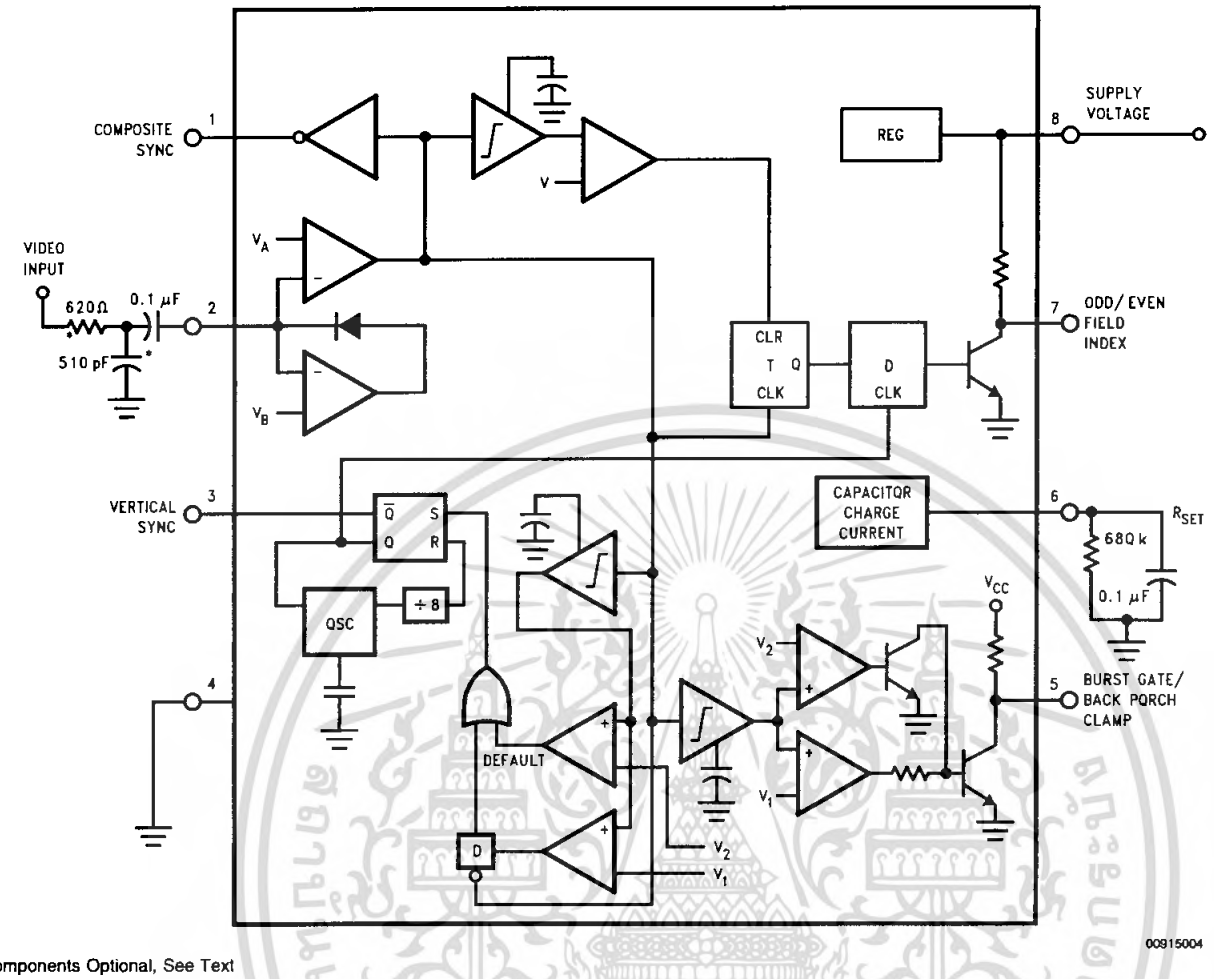


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a singe video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

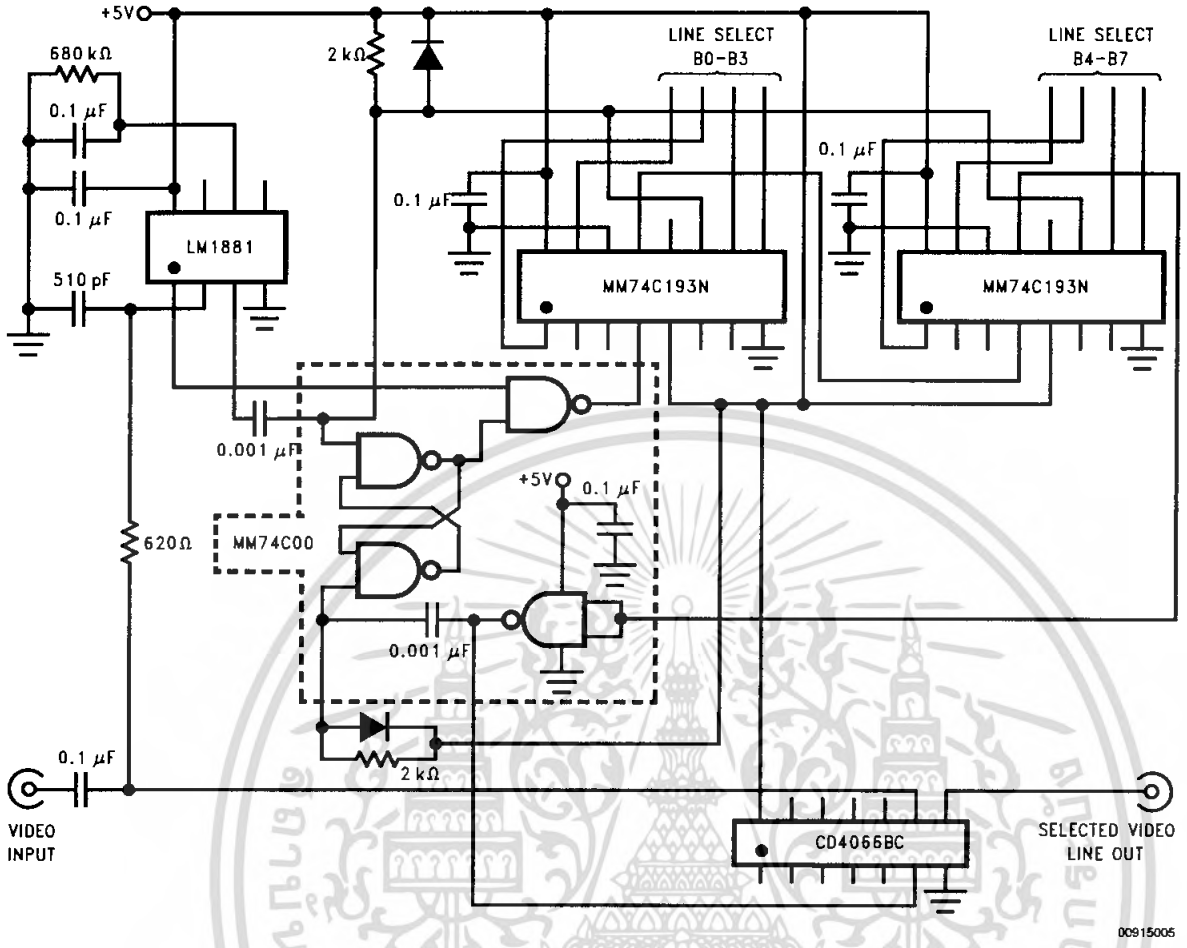


FIGURE 3. Video Line Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

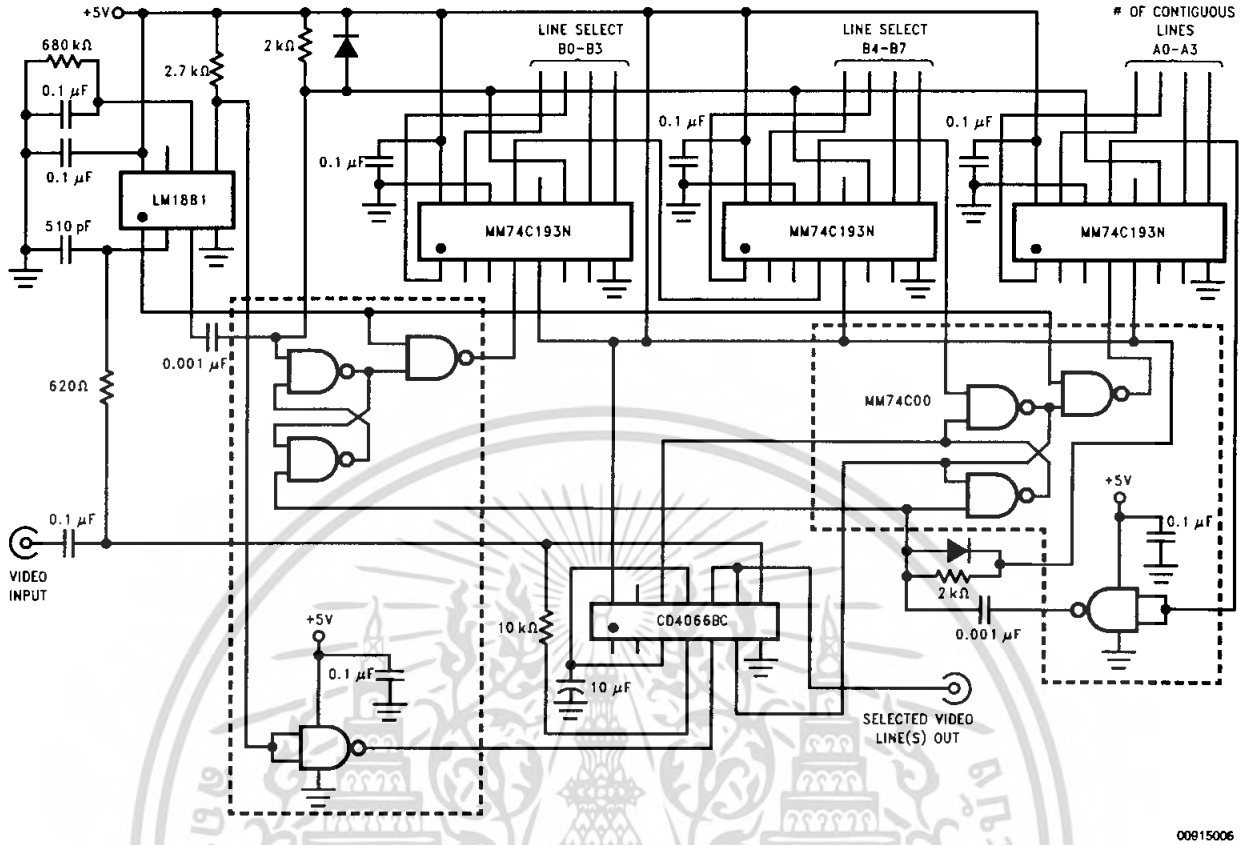
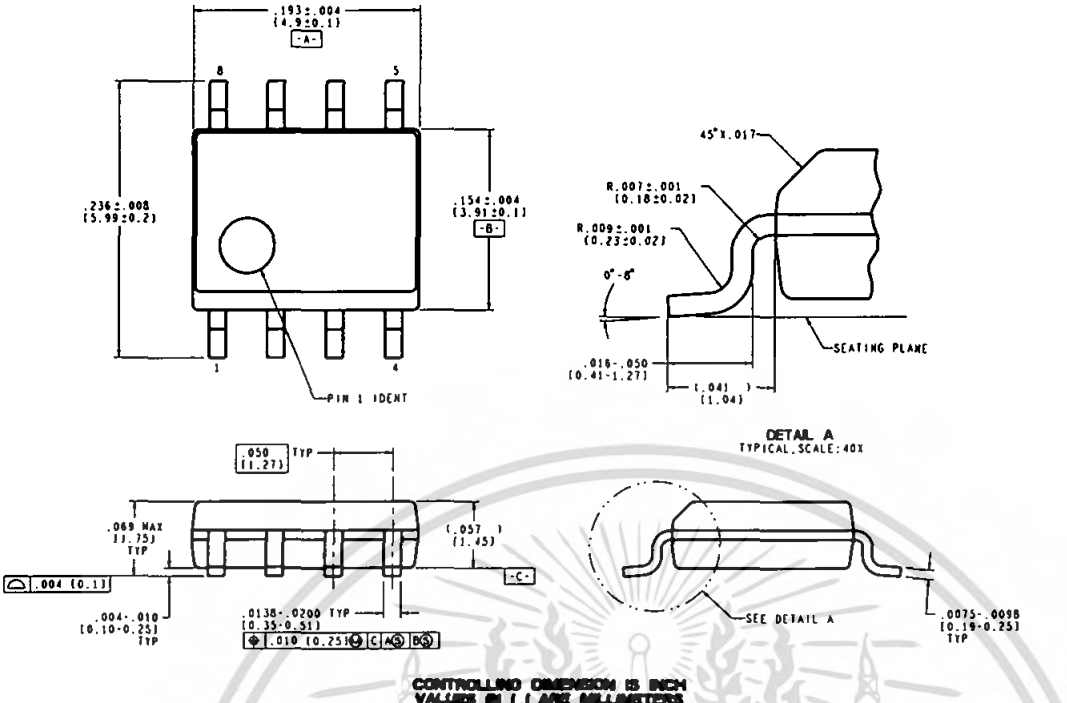


FIGURE 4. Multiple Contiguous Video Line Selector with Black Level Restoration

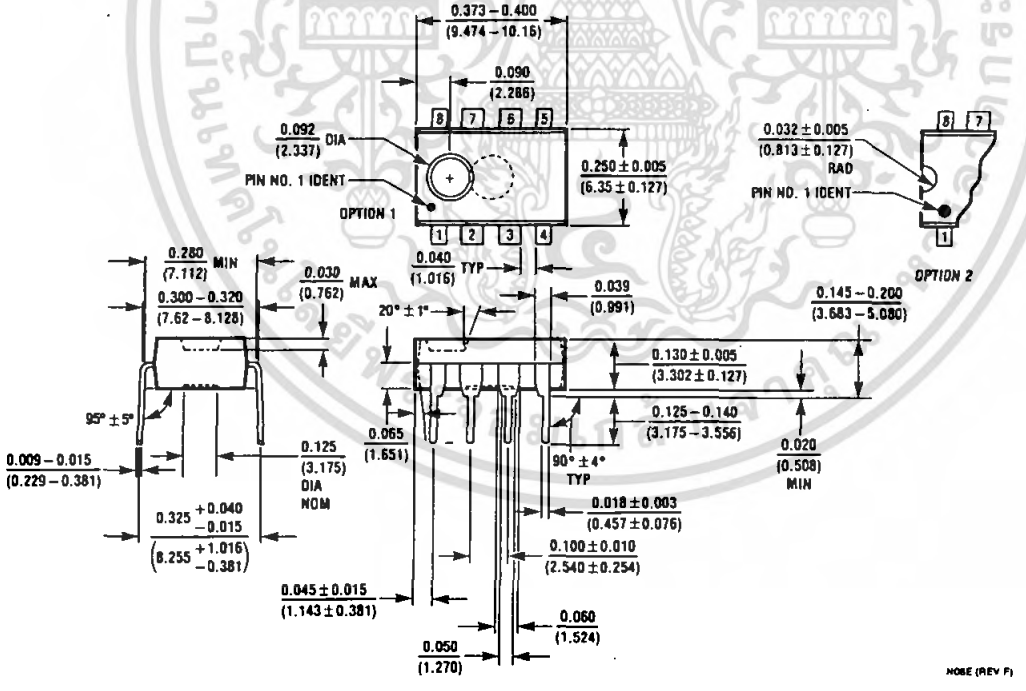
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



M08A (Rev J)

Molded Small Outline Package (M)
Order Number LM1881M (0°C to +70°C)
Order Number LM1881M-X (-40°C to +85°C)
NS Package Number M08A



N08E (REV F)

Molded Dual-In-Line Package (N)
Order Number LM1881N (0°C to +70°C),
Order Number LM1881N-X (-40°C to +85°C)
NS Package Number N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

www.national.com

National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560

เอกสารนี้ใช้เอกสารสิ่งนี้เป็นสิทธิ์ของผู้ใช้งานเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

eatures

- Compatible with MCS®51 Products
- 4K Bytes of Reprogrammable Flash Memory
- Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-chip Analog Comparator
- Low-power Idle and Power-down Modes
- Brown-out Detection

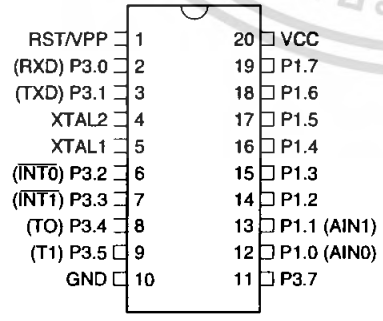
escription

ıe AT89C4051 is a low-voltage, high-performance CMOS 8-bit microcomputer with
{ bytes of Flash programmable and erasable read-only memory (PEROM). The
ıvice is manufactured using Atmel's high-density nonvolatile memory technology and
compatible with the industry-standard MCS-51 instruction set. By combining a ver-
.tile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C4051 is a powerful
icrocomputer which provides a highly-flexible and cost-effective solution to many
nbedded control applications.

ıe AT89C4051 provides the following standard features: 4K bytes of Flash,
:8 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five-vector, two-level inter-
pt architecture, a full duplex serial port, a precision analog comparator, on-chip
:cillator and clock circuitry. In addition, the AT89C4051 is designed with static logic
r operation down to zero frequency and supports two software-selectable power sav-
g modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters,
ırial port and interrupt system to continue functioning. The power-down mode saves
e RAM contents but freezes the oscillator disabling all other chip functions until the
ext hardware reset.

in Configuration

DIP/SOIC



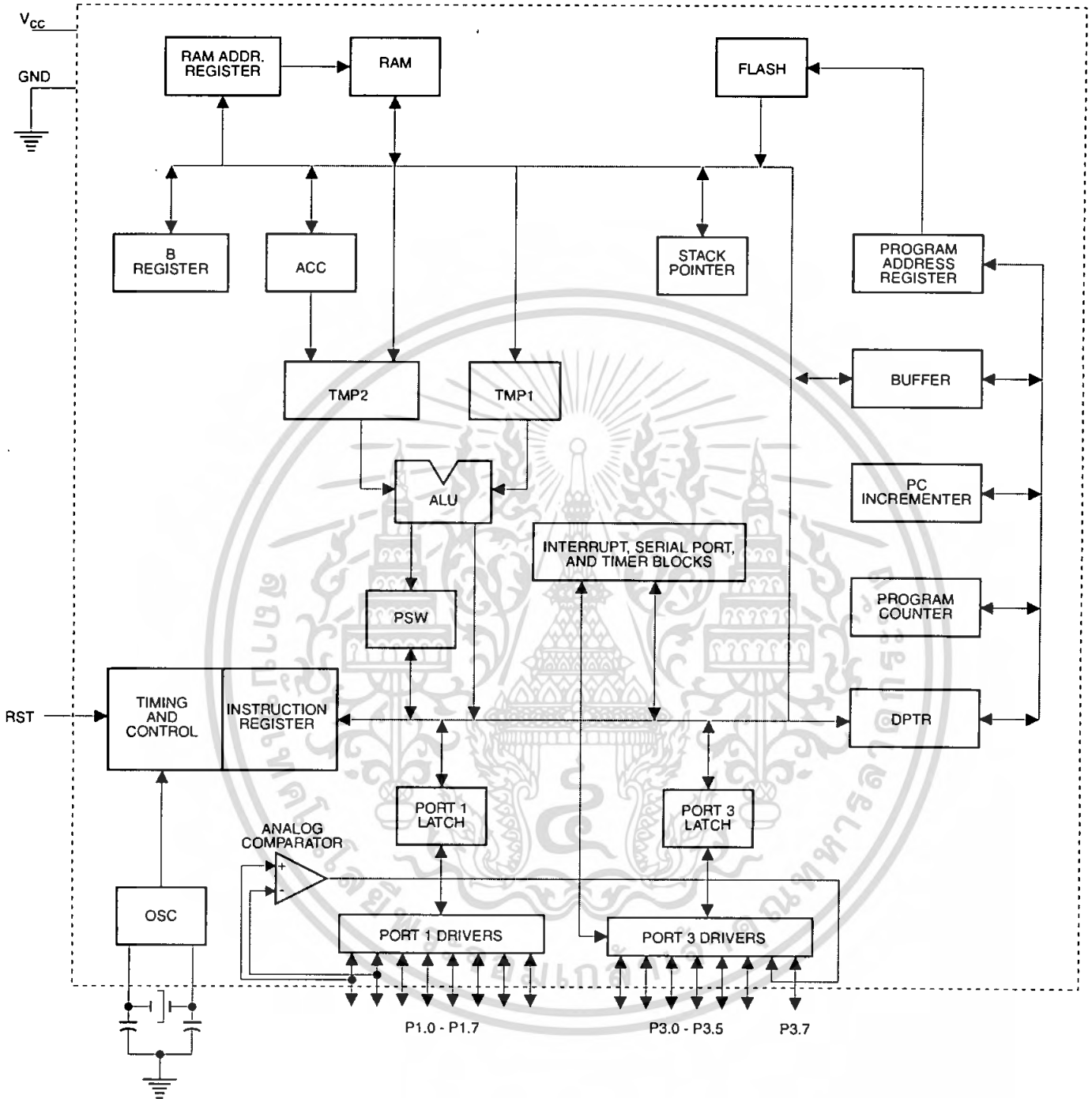
8-bit Microcontroller with 4K Bytes Flash

AT89C4051

Rev. 1001D–06/01

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

lock Diagram



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

in Description

CC Supply voltage.

ND Ground.

ort 1 Port 1 is an 8-bit bi-directional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and verification.

ort 3 Port 3 pins P3.0 to P3.5, P3.7 are seven bi-directional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C4051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and verification.

ST Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

TAL1 Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

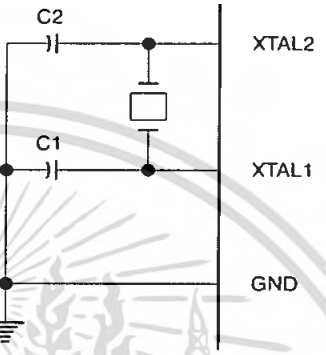
TAL2 Output from the inverting oscillator amplifier.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.scillator 'haracteristics

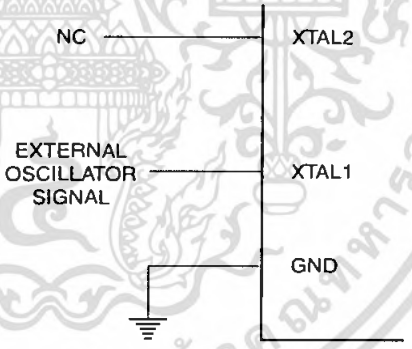
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Note: C1, C2= 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pecial Function egisters

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

ble 1. AT89C4051 SFR Map and Reset Values

F8H									0FFH
F0H	B 00000000								0F7H
E8H									0EFH
E0H	ACC 00000000								0E7H
D8H									0DFH
D0H	PSW 00000000								0D7H
C8H									0CFH
C0H									0C7H
B8H	IP XXX00000								0BFH
B0H	P3 11111111								0B7H
A8H	IE 0XX00000								0AFH
A0H									0A7H
8H	SCON 00000000	SBUF XXXXXXXX							9FH
0H	P1 11111111								97H
8H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
0H		SP 00000111	DPL 00000000	DPH 00000000				PCON 0XXX0000	87H

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

estrictions on ertain Instructions

The AT89C4051 is an economical and cost-effective member of Atmel's growing family of microcontrollers. It contains 4K bytes of Flash program memory. It is fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program this device.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 4K for the AT89C4051. This should be the responsibility of the software programmer. For example, LJMP 0FE0H would be a valid instruction for the AT89C4051 (with 4K of memory), whereas LJMP 1000H would not.

ranching Instructions

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR. These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to FFFH for the 89C4051). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above applies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts, the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

OVX-related structions, Data emory

The AT89C4051 contains 128 bytes of internal data memory. Thus, in the AT89C4051 the stack depth is limited to 128 bytes, the amount of available RAM. External DATA memory access is not supported in this device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.

rogram Memory ock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table:

Lock Bit Protection Modes[1]

Program Lock Bits			
	LB1	LB2	Protection Type
1	U	U	No program lock features
2	P	U	Further programming of the Flash is disabled
3	P	P	Same as mode 2, also verify is disabled

Note: 1. The Lock Bits can only be erased with the Chip Erase operation.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

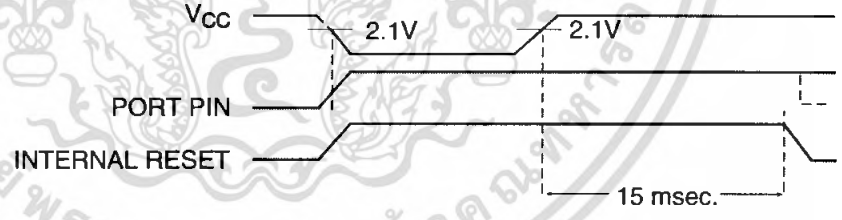
Power-down Mode

In the power-down mode the oscillator is stopped and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. The only exit from power-down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.

Brown-out Detection

When V_{CC} drops below the detection threshold, all port pins (except P1.0 and P1.1) are weakly pulled high. When V_{CC} goes back up again, an internal Reset is automatically generated after a delay of typically 15 msec. The nominal brown-out detection threshold is 2.1V ± 10%.



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rogramming The lash

The AT89C4051 is shipped with the 4K bytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C4051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C4051, the following sequence is recommended.

1. Power-up sequence:
   Apply power between VCC and GND pins
   Set RST and XTAL1 to GND
2. Set pin RST to "H"
   Set pin P3.2 to "H"
3. Apply the appropriate combination of "H" or "L" logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.

To Program and Verify the Array:

4. Apply data for Code byte at location 000H to P1.0 to P1.7.
5. Raise RST to 12V to enable programming.
6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
7. To verify the programmed data, lower RST from 12V to logic "H" level and set pins P3.3 to P3.7 to the appropriate levels. Output data can be read at the port P1 pins.
8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
9. Repeat steps 6 through 8, changing data and advancing the address counter for the entire 4K bytes array or until the end of the object file is reached.
10. Power-off sequence:
    set XTAL1 to "L"
    set RST to "L"
    Turn V_{CC} power off

$\overline{\text{Data}}$ Polling: The AT89C4051 features $\overline{\text{Data}}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. $\overline{\text{Data}}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{\text{Busy}}$: The Progress of byte programming can also be monitored by the RDY/$\overline{\text{BSY}}$ output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from "L" to "H".
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (4K bytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel

(001H) = 41H indicates 89C4051

rogramming iterface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

ash Programming Modes

lode		RST/V_{PP}	P3.2/$\overline{PROG}$	P3.3	P3.4	P3.5	P3.7
Vrite Code Data[1][3]		12V		L	H	H	H
lead Code Data[1]		H	H	L	L	H	H
Vrite Lock	Bit - 1	12V		H	H	H	H
	Bit - 2	12V		H	H	L	L
hip Erase		12V	(2)	H	L	L	L
lead Signature Byte		H	H	L	L	L	L

tes:
1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL1 pin.
2. Chip Erase requires a 10-ms $\overline{PROG}$ pulse.
3. P3.1 is pulled Low during programming to indicate RDY/$\overline{BSY}$.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Programming the Flash Memory

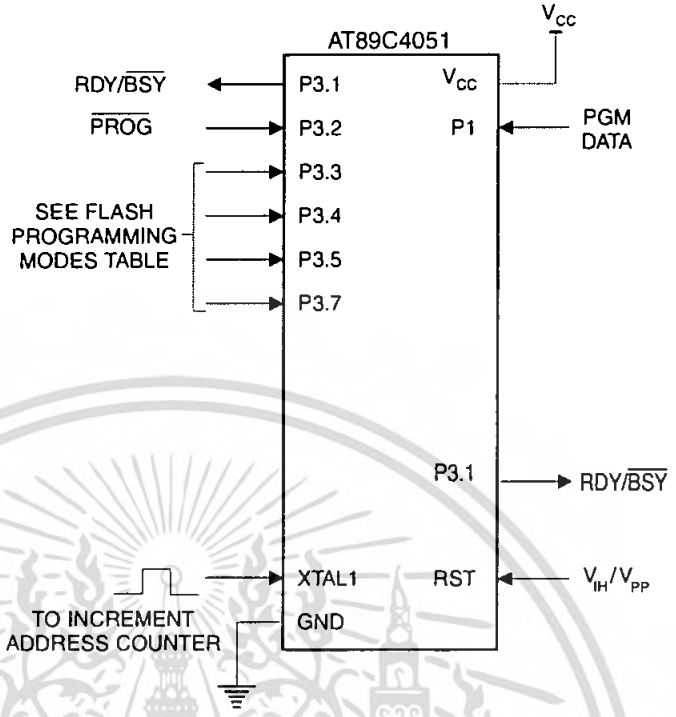
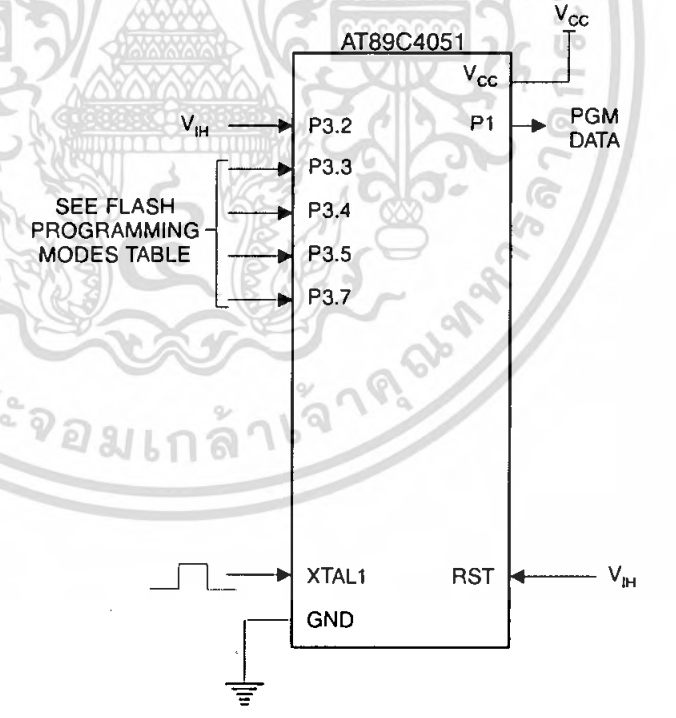


Figure 4. Verifying the Flash Memory



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

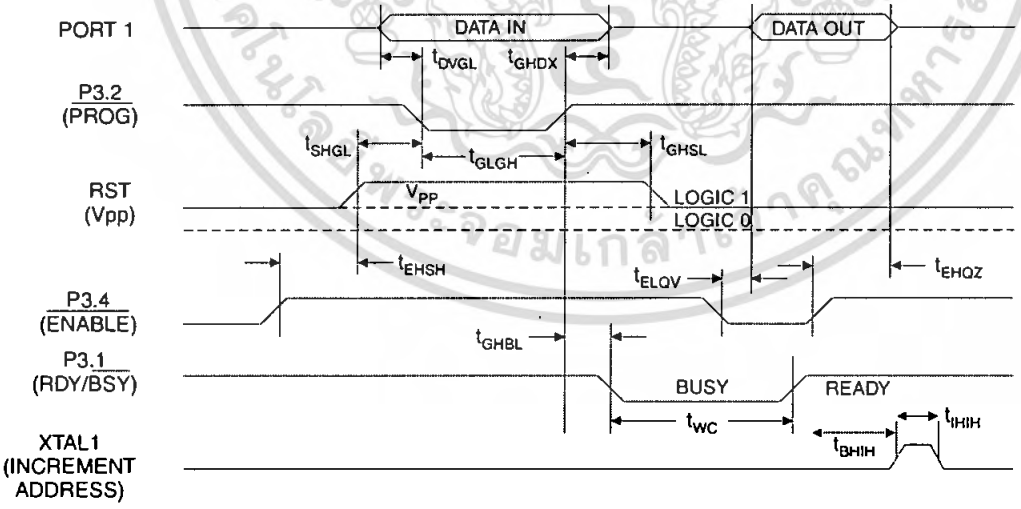
lash Programming and Verification Characteristics

= 20°C to 30°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
PP	Programming Enable Voltage	11.5	12.5	V
PP	Programming Enable Current		250	µA
DVGL	Data Setup to $\overline{PROG}$ Low	1.0		µs
GHDX	Data Hold after $\overline{PROG}$	1.0		µs
EHSH	P3.4 ($\overline{ENABLE}$) High to V_{PP}	1.0		µs
SHGL	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
GHSL	V_{PP} Hold after $\overline{PROG}$	10		µs
GLGH	$\overline{PROG}$ Width	1	110	µs
ELQV	$\overline{ENABLE}$ Low to Data Valid		1.0	µs
EHQZ	Data Float after $\overline{ENABLE}$	0	1.0	µs
GHBL	$\overline{PROG}$ High to $\overline{BUSY}$ Low		50	ns
WC	Byte Write Cycle Time		2.0	ms
BHIH	RDY/$\overline{BSY}$\ to Increment Clock Delay	1.0		µs
HIL	Increment Clock High	200		ns

ote: 1. Only used in 12-volt programming mode.

lash Programming and Verification Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bsolute Maximum Ratings*

)perating Temperature	-55°C to +125°C
;torage Temperature	-65°C to +150°C
'oltage on Any Pin ;ith Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
)C Output Current	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

C Characteristics

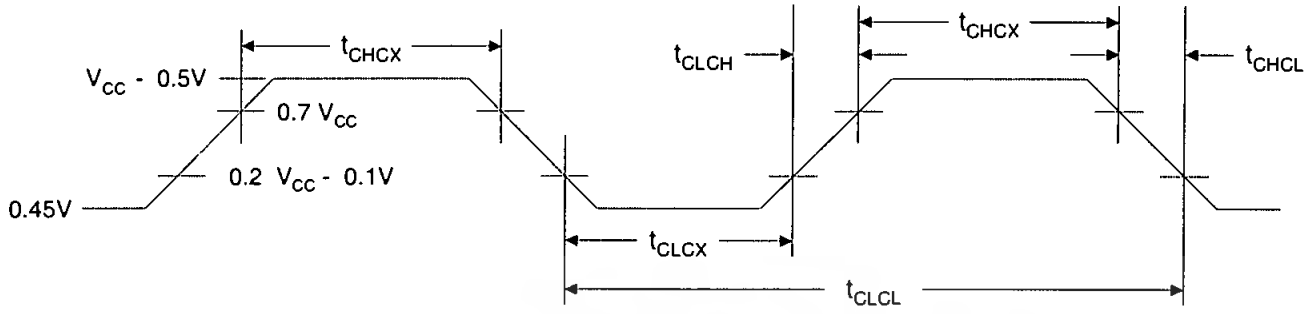
= -40°C to 85°C, V_{CC} = 2.7V to 6.0V (unless otherwise noted)

ymbol	Parameter	Condition	Min	Max	Units
IL	Input Low-voltage		-0.5	0.2 V_{CC} - 0.1	V
IH	Input High-voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
IH1	Input High-voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
OL	Output Low-voltage[1] (Ports 1, 3)	I_{OL} = 20 mA, V_{CC} = 5V I_{OL} = 10 mA, V_{CC} = 2.7V		0.5	V
OH	Output High-voltage (Ports 1, 3)	I_{OH} = -80 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -30 µA	0.75 V_{CC}		V
		I_{OH} = -12 µA	0.9 V_{CC}		V
L	Logical 0 Input Current (Ports 1, 3)	V_{IN} = 0.45V		-50	µA
TL	Logical 1 to 0 Transition Current (Ports 1, 3)	V_{IN} = 2V, V_{CC} = 5V ± 10%		-750	µA
LI	Input Leakage Current (Port P1.0, P1.1)	0 < V_{IN} < V_{CC}		±10	µA
OS	Comparator Input Offset Voltage	V_{CC} = 5V		20	mV
CM	Comparator Input Common Mode Voltage		0	V_{CC}	V
RST	Reset Pulldown Resistor		50	300	KΩ
IO	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
CC	Power Supply Current	Active Mode, 12 MHz, V_{CC} = 6V/3V		15/5.5	mA
		Idle Mode, 12 MHz, V_{CC} = 6V/3V P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power-down Mode[2]	V_{CC} = 6V P1.0 & P1.1 = 0V or V_{CC}		20	µA
		V_{CC} = 3V P1.0 & P1.1 = 0V or V_{CC}		5	µA

tes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 20 mA
Maximum total I_{OL} for all output pins: 80 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

xternal Clock Drive Waveforms



xternal Clock Drive

ymbol	Parameter	V_{CC} = 2.7V to 6.0V		V_{CC} = 4.0V to 6.0V		Units
		Min	Max	Min	Max	
/t_{CLCL}	Oscillator Frequency	0	12	0	24	MHz
LCL	Clock Period	83.3		41.6		ns
HCX	High Time	30		15		ns
LCX	Low Time	30		15		ns
LCH	Rise Time		20		20	ns
HCL	Fall Time		20		20	ns

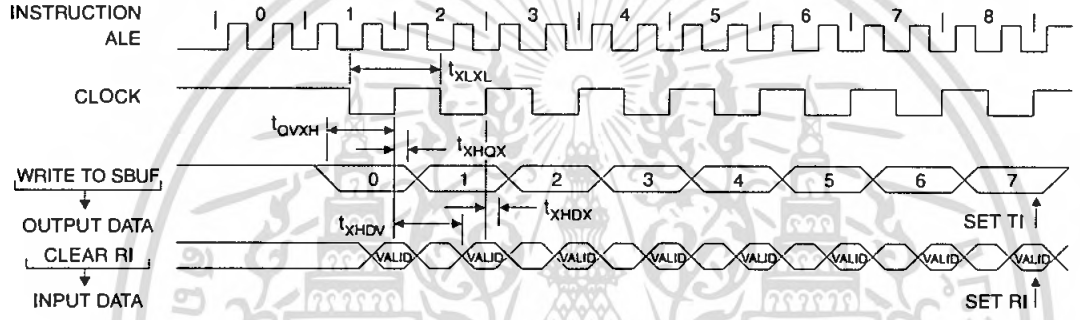
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

erial Port Timing: Shift Register Mode Test Conditions

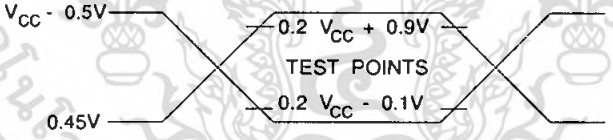
$_{CC}$ = 5.0V ± 20%; Load Capacitance = 80 pF

ymbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
XLXL	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
QVXH	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
XHQX	Output Data Hold after Clock Rising Edge	50		$2t_{CLCL}$-117		ns
XHDX	Input Data Hold after Clock Rising Edge	0		0		ns
XHDV	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

hift Register Mode Timing Waveforms

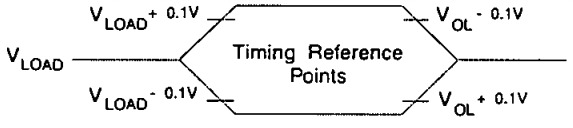


C Testing Input/Output Waveforms[1]



te: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

loat Waveforms[1]

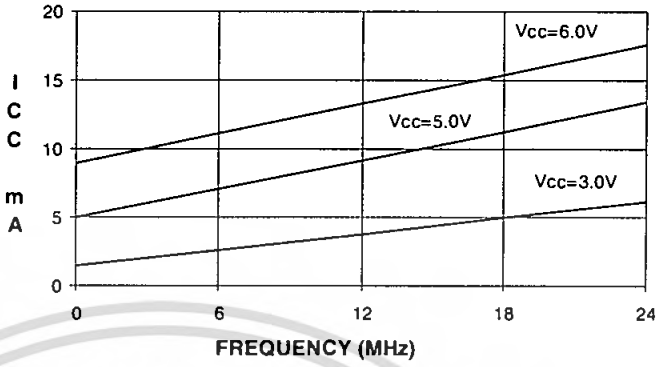


te: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change frothe loaded V_{OH}/V_{OL} level occurs.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

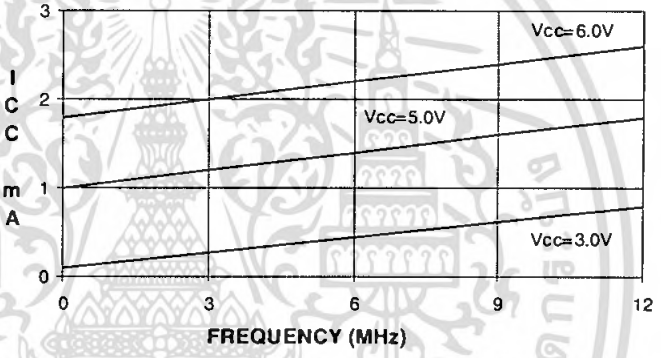
AT89C4051

TYPICAL ICC - ACTIVE (85°C)



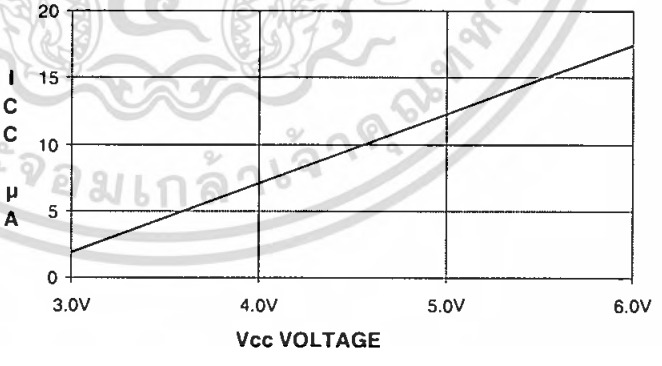
AT89C4051

TYPICAL ICC - IDLE (85°C)



AT89C4051

TYPICAL ICC vs. VOLTAGE- POWER DOWN (85°C)



Power-Down Mode Notes: 1. XTAL1 tied to GND for I_{CC} (power-down)
2. P.1.0 and P1.1 = V_{CC} or GND
3. Lock bits programmed

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rdering Information

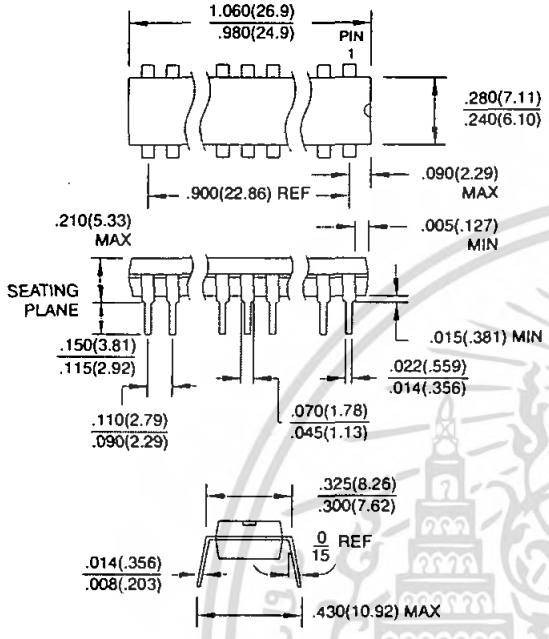
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6.0V	AT89C4051-12PC AT89C4051-12SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C4051-12PI AT89C4051-12SI	20P3 20S	Industrial (-40°C to 85°C)
24	4.0V to 6.0V	AT89C4051-24PC AT89C4051-24SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C4051-24PI AT89C4051-24SI	20P3 20S	Industrial (-40°C to 85°C)

Package Type	
20P3	20-lead, 0.300" Wide, Plastic Dual In-line Package (PDIP)
20S	20-lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)

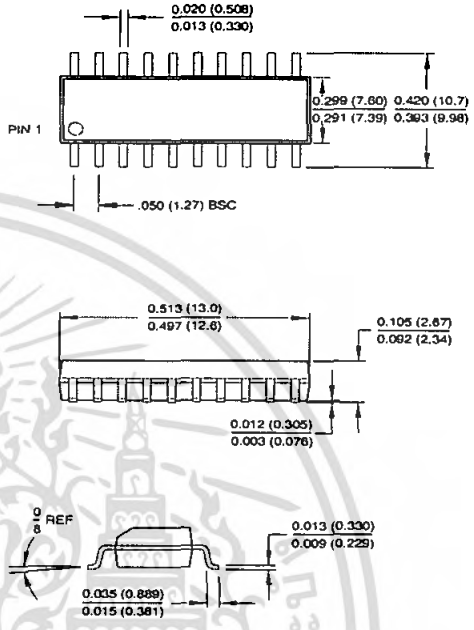
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ackaging Information

20P3, 20-lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-001 AD



20S, 20-lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
Dimensions in Inches and (Millimeters)



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Headquarters

Corporate Headquarters
2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel SarL
Route des Arsenaux 41
Casa Postale 80
CH-1705 Fribourg
Switzerland
TEL (41) 26-426-5555
FAX (41) 26-426-5500

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan
Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Atmel Smart Card ICs
Scottish Enterprise Technology Park
East Kilbride, Scotland G75 0QR
TEL (44) 1355-357-000
FAX (44) 1355-242-743

Atmel Grenoble
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-7658-3000
FAX (33) 4-7658-3480

Fax-on-Demand
North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail
literature@atmel.com

Web Site
http://www.atmel.com

BBS
1-(408) 436-4309

Atmel Corporation 2001.
nel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty ich is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors ich may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does t make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical mponents in life support devices or systems.

CS is a registered trademark of Intel Corporation.

rms and product names in this document may be trademarks of others.

Printed on recycled paper.

1001D–06/01/xM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT373
Octal D-type transparent latch; 3-state

Product specification
File under Integrated Circuits, IC06

September 1993

Philips Semiconductors

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

Octal D-type transparent latch; 3-state 74HC/HCT373

FEATURES

- 3-state non-inverting outputs for bus oriented applications
- Common 3-state output enable input
- Functionally identical to the "563", "573" and "533"
- Output capability: bus driver
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT373 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT373 are octal D-type transparent latches featuring separate D-type inputs for each latch and 3-state outputs for bus oriented applications. A latch enable (LE) input and an output enable ($\overline{OE}$) input are common to all latches.

The "373" consists of eight D-type transparent latches with 3-state true outputs. When LE is HIGH, data at the D_n inputs enters the latches. In this condition the latches are transparent, i.e. a latch output will change state each time its corresponding D-input changes.

When LE is LOW the latches store the information that was present at the D-inputs a set-up time preceding the HIGH-to-LOW transition of LE. When $\overline{OE}$ is LOW, the contents of the 8 latches are available at the outputs. When $\overline{OE}$ is HIGH, the outputs go to the high impedance OFF-state. Operation of the $\overline{OE}$ input does not affect the state of the latches.

The "373" is functionally identical to the "533", "563" and "573", but the "563" and "533" have inverted outputs and the "563" and "573" have a different pin arrangement.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	D_n to Q_n		12	14	ns
	LE to Q_n		15	13	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per latch	notes 1 and 2	45	41	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}. For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 5, 6, 9, 12, 15, 16, 19	Q_0 to Q_7	3-state latch outputs
3, 4, 7, 8, 13, 14, 17, 18	D_0 to D_7	data inputs
10	GND	ground (0 V)
11	LE	latch enable input (active HIGH)
20	V_{CC}	positive supply voltage

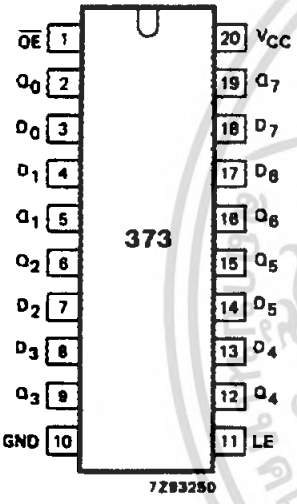


Fig.1 Pin configuration.

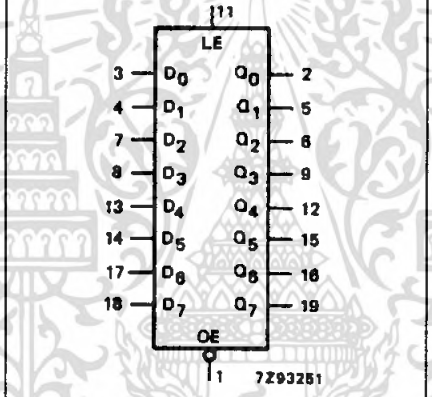


Fig.2 Logic symbol.

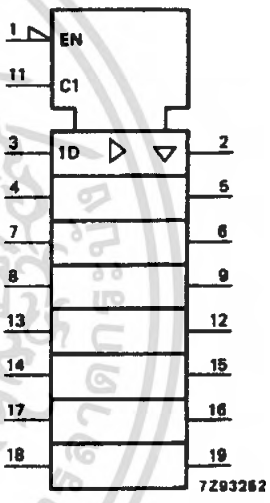


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

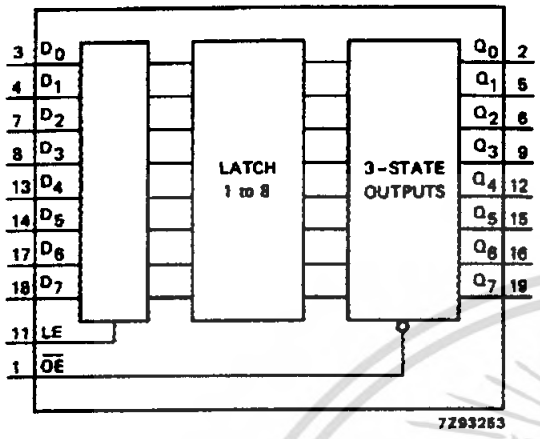


Fig.4 Functional diagram.

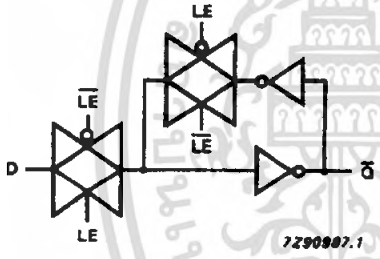


Fig.5 Logic diagram (one latch).

FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL LATCHES	OUTPUTS
	$\overline{OE}$	LE	D_n		Q_0 to Q_7
enable and read register (transparent mode)	L	H	L	L	L
	L	H	H	H	H
latch and read register	L	L	l	L	L
	L	L	h	H	H
latch register and disable outputs	H	X	X	X	Z
	H	X	X	X	Z

Notes

1. H = HIGH voltage level
   h = HIGH voltage level one set-up time prior to the HIGH-to-LOW LE transition
   L = LOW voltage level
   l = LOW voltage level one set-up time prior to the HIGH-to-LOW LE transition
   X = don't care
   Z = high impedance OFF-state

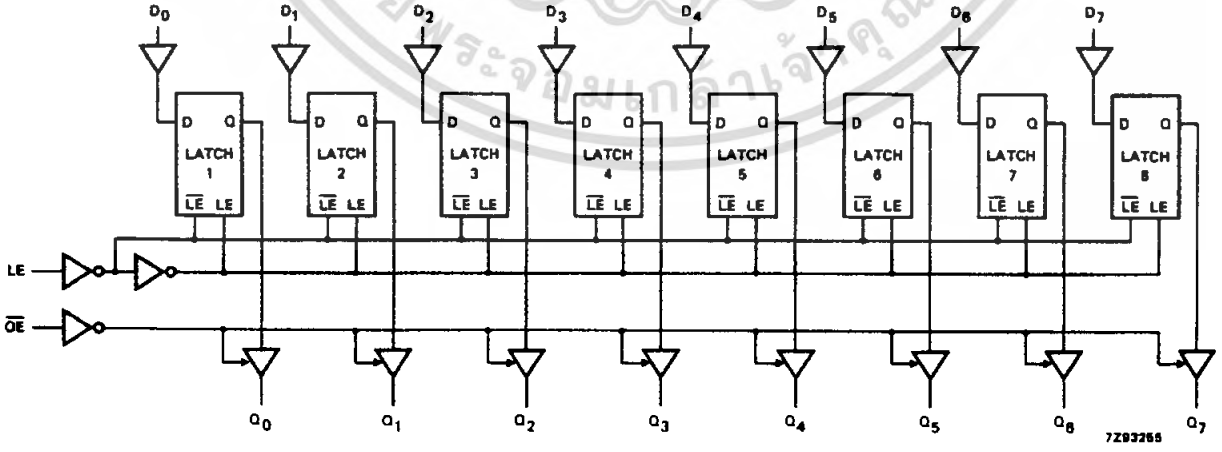


Fig.6 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C) 74HC +25 min.	+25 typ.	+25 max.	−40 to +85 min.	−40 to +85 max.	−40 to +125 min.	−40 to +125 max.	UNIT	TEST CONDITIONS V_{CC} (V)	TEST CONDITIONS WAVEFORMS
t_{PHL}/ t_{PLH}	propagation delay D_n to Q_n		41 15 12	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.7
t_{PHL}/ t_{PLH}	propagation delay LE to Q_n		50 18 14	175 35 30		220 44 37		265 53 45	ns	2.0 4.5 6.0	Fig.8
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		44 16 13	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.9
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		47 17 14	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.9
t_{THL}/ t_{TLH}	output transition time		14 5 4	60 12 10		75 15 13		90 18 15	ns	2.0 4.5 6.0	Fig.7
t_W	LE pulse width HIGH	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.8
t_{su}	set-up time D_n to LE	50 10 9	14 5 4		65 13 11		75 15 13		ns	2.0 4.5 6.0	Fig.10
t_h	hold time D_n to LE	5 5 5	−8 −3 −2		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
D_n	0.30
LE	1.50
$\overline{OE}$	1.00

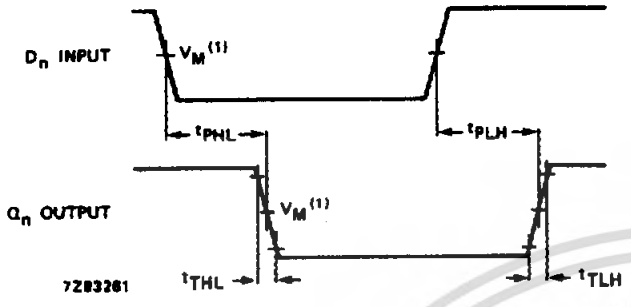
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay D_n to Q_n		17	30		38		45	ns	4.5	Fig.7
t_{PHL}/ t_{PLH}	propagation delay LE to Q_n		16	32		40		48	ns	4.5	Fig.8
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		19	32		40		48	ns	4.5	Fig.9
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		18	30		38		45	ns	4.5	Fig.9
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5	Fig.7
t_W	LE pulse width HIGH	16	4		20		24		ns	4.5	Fig.8
t_{su}	set-up time D_n to LE	12	6		15		18		ns	4.5	Fig.10
t_h	hold time D_n to LE	4	−1		4		4		ns	4.5	Fig.10

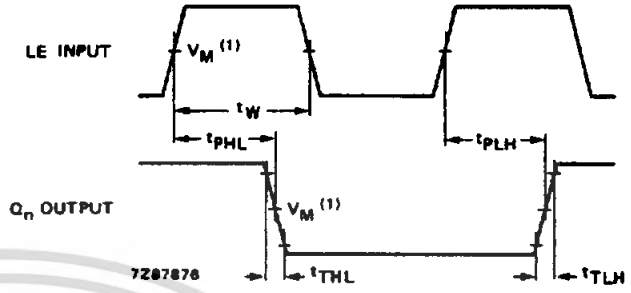
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



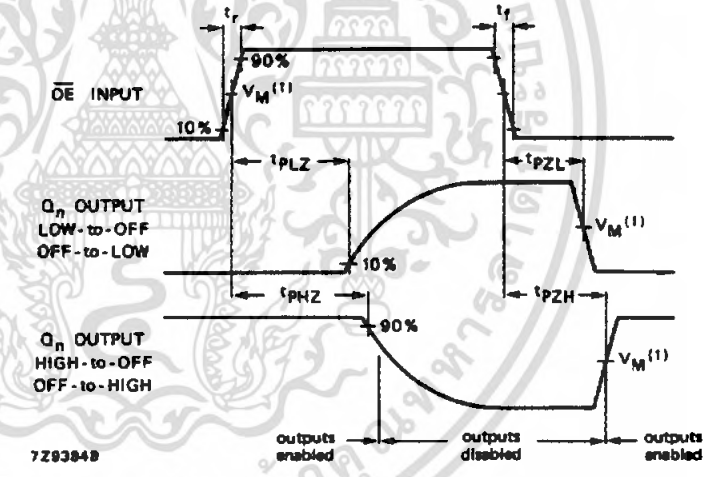
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the input (D_n) to output (Q_n) propagation delays and the output transition times.



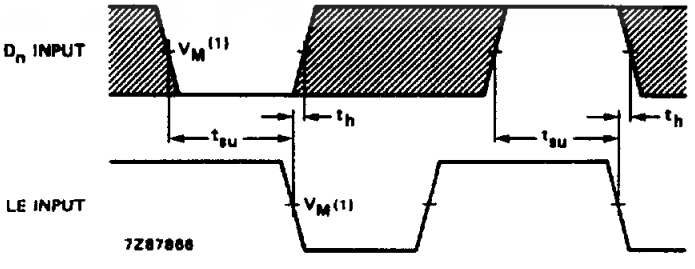
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.8 Waveforms showing the latch enable input (LE) pulse width, the latch enable input to output (Q_n) propagation delays and the output transition times.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.9 Waveforms showing the 3-state enable and disable times.



The shaded areas indicate when the input is permitted to change for predictable output performance.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.10 Waveforms showing the data set-up and hold times for D_n input to LE input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้