สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ดิจิตอล สเท็ธโธสโคป

Digital Stethoscope

โดย

นาย กฤษฎา พิมพ์สกุล

นาย ภาคภูมิ ระงับใจ

วศ.
ก279ด
2550

เลขหมู่.....
เลขทะเบียน.....83009
วัน,เดือน,ปี.....30 ก.ค. 2551

b.....11958012.....
i.....

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลสเท็ธโธสโคป

Digital Stethoscope

โดย

นาย กฤษฎา พิมพ์สกุล รหัส 48015238
นาย ภาคภูมิ ระงับใจ รหัส 48015262

อาจารย์ที่ปรึกษา

ผศ.ดร. กิตติพล ชิตสกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ดิจิตอลสเท็ธโธสโคป

Digital Stethoscope

ผู้จัดทำ

1. นาย กฤษฎา พิมพ์สกุล รหัส 48015238
2. นาย ภาคภูมิ ระงับใจ รหัส 48015262

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. กิตติพล ชิตสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอล สเท็ธโธสโคป

นาย กฤษฎา พิมพ์สกุล รหัส 48015238
นาย ภาคภูมิ ระงับใจ รหัส 48015262
ผศ.ดร. กิติพล ชิตสกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

ในการตรวจฟังเสียงหัวใจโดยทั่วๆ ไปจะใช้เครื่องฟังเสียงจากร่างกายที่เรียกว่าสเท็ธโธสโคป ซึ่งเป็นเครื่องมือที่ใช้รับเสียงหัวใจจากทรวงอกของผู้ป่วยผ่านผิวหนังมาสู่หูของแพทย์ผู้วินิจฉัย ซึ่งเสียงที่แพทย์ได้ยินจะไม่ได้มีเฉพาะแต่เสียงหัวใจเท่านั้น แต่ยังมีเสียงรบกวนอื่นๆ อยู่ด้วย เช่นเสียงการไหลของโลหิตผ่านหัวใจและเสียงรบกวนภายนอกเป็นต้น ทำให้การแยกแยะเสียงรบกวนออกได้ยาก สำหรับรายงานนี้เสนอวิธีการให้แพทย์สามารถฟังเสียงหัวใจและสามารถดูรูปคลื่นบนจอภาพคอมพิวเตอร์ โดยการนำเอาสัญญาณจากอิเล็กเทรทคอนเดนเซอร์ไมโครโฟน ไปขยายแล้วผ่านวงจรกรองความถี่ต่ำผ่านในช่วง 0-1000 เฮิร์ตซ์ แล้วนำไปผ่านวงจรแปลงจากสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล(Analog to Digital Converter : ADC) ซึ่งกระบวนการทั้งสามดังกล่าวจะอยู่ในชิปไมโครคอนโทรลเลอร์(PSoC)ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL STETHOSCOPE

Mr. Kritsada Pimsakoon ID 48015238

Mr. Pakpoom Ra-ngubjai ID 48015262

Asst.Prof.Dr.Kitiphol Chitsakul Advisor

Educational Year 2007

Abstract

The stethoscope is simply a device that carries sound energy from the chest of a patient to the ears of the physician through a column of air. The heart sounds is not the pure heart sound, but it includes other noises such as cardiac murmur, and external noise. These noises cause a lot of problems in heart sound detection. This paper presents a method to analysis the heart sounds from the computer graphics display. In this method, the heart sound signals from a electret condenser microphone are amplified and passed through a 0-1000 Hz low-pass filter, the output signal is then passed through a ADC circuit to convert from analog into digital signal. All three stages are built in microcontroller PSoC chip. The digital signals are then displayed as graphic waveform of the heart sounds signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ ผศ.ดร. กิติพล ชิตสกุล ซึ่งเป็นอาจารย์ที่ปรึกษาและคณาจารย์ภาคอิเลคทรอนิกส์ทุกท่านที่ได้อบรมและสั่งสอนและชี้แนะแนวทาง ผู้เอื้อเฟื้ออุปกรณ์ที่ใช้ในการทดลอง ขอขอบคุณ นาย ธีรศักดิ์ จันทร์วิเมลือง(พี่หมู) นักศึกษาปริญญาโท สาขา อิเลคทรอนิคส์ชีวการแพทย์ ที่ให้คำปรึกษาและแนะนำแนวทางในการดำเนินงานในเรื่องต่าง ๆ จนโครงงานสำเร็จลุล่วงไปได้ด้วยดี

ขอขอบพระคุณบิดาและมารดาที่คอยให้เงินทุนและกำลังใจในการทำงาน ที่ให้กำลังใจมาโดยตลอด ได้อบรมสั่งสอน และส่งเสียให้ได้รับการศึกษาจนสำเร็จการศึกษาจนถึงทุกวันนี้และขอขอบคุณเพื่อนๆ ที่คอยแลกเปลี่ยนความคิดดีๆ มากมาย

กฤษฎา พิมพ์สกุล

ภาคภูมิ ระงับใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	V
สารบัญตาราง	IV
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีเสียงของหัวใจ	2
2.1 การทำงานของหัวใจ	3
2.2 เสียงหัวใจ	4
2.3 Microcontroller PSoC	5
บทที่ 3 การออกแบบและการทำงานของวงจร	14
3.1 การไบอัสอิเล็กเทรทคอนเดนเซอร์ไมโครโฟน	14
3.2 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSoC)	15
3.2.1 User Module Selection View	15
3.2.2 Interconnection View	20
บทที่ 4 การทดลองและผลการทดลอง	32
4.1 การทดลองในส่วนของวงจรการทำงาน	32
บทที่ 5 บทวิจารณ์และสรุป	39
เอกสารอ้างอิง	40
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

ภาพที่		หน้า
1.	ภาพตัดขวางของส่วนต่าง ๆ ของหัวใจ	3
2.	ตัวอย่างเสียงหัวใจเปรียบเทียบกับ ECG	5
3.	บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC	7
4.	PSoC Core	8
5.	Digital System	9
6.	Analog System	10
7.	System Resource	11
8.	PSoC เบอร์ CY24223A	13
9.	การหาความต้านทานไบอัสอิเล็กเทรทไมโครโฟน	14
10.	บล็อกไดอะแกรมการทำงานของระบบ	15
11.	วงจรดิจิตอลสเท็ธโทสโคป	15
12.	แสดงการสร้าง PGA	16
13.	แสดงการสร้าง LPF	17
14.	แสดงการสร้าง LPF	17
15.	แสดงการสร้าง ADC	18
16.	แสดงการสร้าง UART	19
17.	แสดงการสร้าง Counter	20
18.	แสดงการเชื่อมต่อสายสัญญาณ PGA	21
19.	แสดงการตั้งค่า User Module Parameter	21
20.	แสดงการเชื่อมต่อสายสัญญาณ Counter	22
21.	แสดงการตั้งค่า User Module Parameter	23
22.	แสดงการเชื่อมต่อสายสัญญาณ LPF	24
23.	แสดงโมดูล LPF2_1	24
24.	แสดงการเชื่อมต่อสายสัญญาณ Clock ให้กับ LPF2_1	25
25.	แสดงการตั้งค่า User Module Parameter	25
26.	แสดงการเชื่อมต่อสายสัญญาณ ADC	26
27.	แสดงการตั้งค่า User Module Parameter	26
28.	แสดงการเชื่อมต่อสายสัญญาณ UART_1	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

ภาพที่		หน้า
29.	แสดงหน้าต่าง Digital Interconnect	28
30.	แสดง Global Out Odd_2	29
31.	แสดงการเชื่อมต่อ Digital Interconnect Row_0_Output_3	29
32.	แสดง Global Out Odd_4	30
33.	แสดงเส้นเชื่อมต่อออกมาที่ Port_1_4	30
34.	แสดงการตั้งค่า User Module Parameter	31
35.	แสดงการตั้งค่า Global Resources	31
36.	แสดงผลการทดสอบแอมพลิไฟเออร์	32
37.	กราฟผลตอบสนองทางความถี่ของวงจรขยายสัญญาณ	33
38.	กราฟผลตอบสนองทางความถี่ของวงจรขยายความถี่ต่ำผ่าน	34
39.	แสดงสัญญาณเสียงหัวใจหลังภาคแอมพลิไฟเออร์	35
40.	แสดงสัญญาณเสียงหัวใจหลังที่ผ่าน RS232	35
41.	แสดงสัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 4 จากด้านล่างซ้าย	36
42.	แสดงสัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านล่างซ้าย	36
43.	แสดงสัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านบนซ้าย	37
44.	แสดงสัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านบนขวา	37
45.	แสดงสัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 4 จากด้านบนขวา	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
1.	แสดงความถี่ของเสียงชนิดต่าง ๆ	5
2.	แสดงหน้าที่การทำงานของขาต่างๆ	11
3.	ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณ	33
4.	ผลตอบสนองทางความถี่ของวงจรขยายความถี่ต่ำผ่าน	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

นับตั้งแต่มีการค้นพบว่า เสียงหัวใจบริเวณทรวงอกสามารถนำมาวินิจฉัยหาสมมุติฐานของโรคในช่องทรวงอกได้ ตั้งแต่กลางคริสต์ศตวรรษที่ 19 และได้มีการประดิษฐ์สเท็ธโธสโคปโดยแพทย์ชาวฝรั่งเศส Lannec (1781-1826) การฟังเสียงหัวใจยังคงเป็นวิธีการวินิจฉัยที่สำคัญในปัจจุบันและได้มีการพัฒนา ระบบการฟังเสียงหัวใจอย่างต่อเนื่อง เช่น มีการพัฒนารูปแบบของ สเท็ธโธสโคป เพื่อให้คุณภาพของเสียงที่ดีขึ้น

โครงงานนี้ได้สร้างและพัฒนาเครื่องฟังเสียงหัวใจโดยใช้ไมโครคอนโทรลเลอร์ (PSoC) เพื่อแยกสัญญาณรบกวนออกและสามารถดูรูปคลื่นผ่านจอคอมพิวเตอร์ โดยที่การประมวลผลสัญญาณส่วนใหญ่จะอยู่ในชิพไมโครคอนโทรเลอร์ เพื่อลดขนาดและน้ำหนักของชิ้นงานให้น้อยที่สุด

1.2 วัตถุประสงค์และขอบเขตการศึกษา

เป็นการออกแบบและการสร้างเครื่องฟังเสียงหัวใจแบบดิจิตอล (Digital Stethoscope) โดยใช้ชิพ PSoC เป็นหลักและแสดงผลผ่านจอคอมพิวเตอร์ เพื่อศึกษาลักษณะเสียงของหัวใจ อีกส่วนเป็นการเขียนโปรแกรมลงบนชิพไมโครคอนโทรลเลอรโดยใช้ภาษาซี

1.3 ประโยชน์ที่คาดว่าจะได้รับ

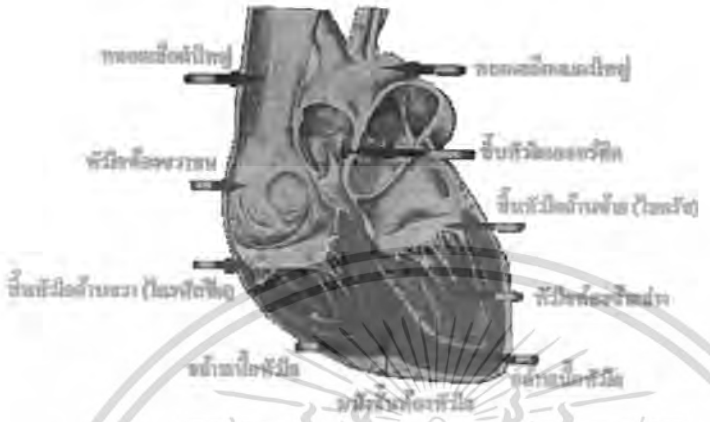
- ได้รับความรู้ในเรื่องการทำงานของหัวใจและเสียงของหัวใจ
- ได้รับความรู้ในเรื่องการทำงานของ Microcontroller PSoC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีเสียงของหัวใจ

หัวใจเป็นอวัยวะที่มีความสำคัญมากที่สุดของร่างกายมีการทำงานและส่วนที่สำคัญดังที่จะกล่าวนี้ หัวใจของคนจะมีขนาดเท่ากับกำปั้นของเจ้าของ ทำหน้าที่คล้ายๆกับปั๊มน้ำที่คอยปั๊มเลือดให้ไหลไปยังส่วนต่างๆของร่างกายผ่านไปทางหลอดเลือดต่าง ๆ ของร่างกายไปจนถึงเส้นเลือดฝอยเพื่อที่จะให้โลหิตเหล่านี้หล่อเลี้ยงเซลล์ต่างๆของร่างกายซึ่งรวมทั้งเซลล์ของกล้ามเนื้อหัวใจด้วย ตำแหน่งของหัวใจนั้นจะอยู่ที่ข้างในทรวงอกอยู่เหนือกระบังลมและค่อนมาทางซ้ายของหน้าอกภายในหัวใจจะบอกออกเป็นสี่ห้องมีผนังกั้นระหว่างซีกซ้ายและขวาเรียกว่า เซปตั้ม (Septum) โดยห้องของหัวใจที่อยู่ทางด้านขวาจะทำหน้าที่รับโลหิตดำจากส่วนต่างๆของร่างกายและการบีบตัวของกล้ามเนื้อหัวใจ เพื่อส่งโลหิตออกไปจะกระทำพร้อมกันทั้งซีกซ้ายและซีกขวาเราเรียกหัวใจห้องบนว่า เอเทรียม (Atrium)และหัวใจห้องล่างว่า เวนทริเคิล (ventricle) โลหิตดำจากร่างกายจะไหลกลับเข้าสู่หัวใจทางหลอดโลหิตดำใหญ่ที่ชื่อ ซุปพีเรียวีนาคาวา (superior vena cava) และอินฟีเรียวีนาคาวา (inferior vena cava) เข้าสู่หัวใจห้องบนขวา โลหิตแดงที่ได้รับออกซิเจนจากปอดแล้วจะไหลเข้าสู่หัวใจ โดยเข้าทางหลอดเลือดแดงพัลโมนารี (pulmonary veins) เข้าสู่ห้องบนซ้าย หัวใจห้องบนทั้งซ้ายและขวาจะบีบตัวส่งโลหิตไปยังหัวใจห้องล่างซึ่งมีลิ้นหัวใจกั้นอยู่หลังจากที่หัวใจห้องบนหดตัวส่งโลหิตมายังหัวใจห้องล่างเรียบร้อยแล้ว หัวใจห้องล่างก็จะหดตัวส่งโลหิตออกไปพร้อมกันทั้งซ้ายและขวา โดยที่หัวใจห้องล่างขวาจะส่งโลหิตดำไปยังปอดเพื่อรับออกซิเจนโดยผ่านหลอดเลือดดำใหญ่โมนารี อาเทอรี่ (pulmonary artery) และหัวใจห้องล่างซ้ายจะส่งโลหิตไปหล่อเลี้ยงร่างกาย โดยผ่านหลอเลือดแดงใหญ่เออร์ตา (aorta) ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ภาพตัดขวางของส่วนต่าง ๆ ของหัวใจ

2.1 การทำงานของหัวใจแบ่งได้เป็นช่วงจังหวะต่าง ๆ ดังนี้

2.1.1 ช่วงที่การบีบตัวส่งเลือดออกไปของหัวใจสิ้นสุดลง และกำลังรอจังหวะการบีบตัวครั้งต่อไป ช่วงนี้เป็นช่วงที่เลือดไหลเข้าสู่หัวใจ สภาพหัวใจขณะนี้จะถือว่าเป็นสภาวะพัก (Resting state) ของหัวใจ

2.1.2 เป็นช่วงที่เกิดขึ้นหลังจากที่ระยะพักเสร็จสิ้นลง ในช่วงนี้หัวใจห้องบน (Atrium) เริ่มหดตัว ทำให้ความดันหัวใจห้องบนเพิ่มขึ้นเล็กน้อยและด้วยความดันนี้จะทำให้เลือดไหลจากหัวใจห้องบนเข้าสู่หัวใจห้องล่าง (Ventricle)

2.1.3 เมื่อความดันในหัวใจห้องล่างเพิ่มมากขึ้นจะทำให้วาล์วที่กั้นระหว่างหัวใจห้องบนกับห้องล่างทั้งด้านขวาและด้านซ้ายปิด ดังนั้นปริมาตรของหัวใจห้องล่างจะไม่เปลี่ยนแปลงในขณะที่หัวใจห้องล่างเริ่มหดตัวนั้นความดันในเส้นเลือดดำจากหัวใจห้องบนขวาเท่ากับ 7 มิลลิเมตรปรอทขณะที่ในเส้นเลือดแดงใหญ่เลือดจากหัวใจห้องล่างส่งไปยังร่างกายมีความดันเท่ากับ 80 มิลลิเมตรปรอท ลิ้นเปิด - ปิดของเส้นเลือดแดงใหญ่ (Aorta valve) และเส้นเลือดดำใหญ่ (Pulmonary valve) จะปิดอยู่นกระทั่งความดันขึ้นจนเพียงพอ

2.1.4 เมื่อความดันในหัวใจห้องล่างซ้ายเพิ่มขึ้นจนมากกว่าความดันในเส้นเลือดแดงใหญ่ลิ้นหัวใจของเส้นเลือดแดงใหญ่จะเปิดและหัวใจห้องล่างซ้ายจะสูบฉีดเลือดผ่านเส้นเลือดแดงใหญ่เข้าสู่ระบบไปเลี้ยงร่างกาย ความดันจะขึ้นถึงจุดสูงสุดประมาณ 125 มิลลิเมตรปรอท หลังจากเลือดส่วนใหญ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 เมื่อความดันในหัวใจห้องล่างตกลงจรถึงค่าหนึ่ง ความดันในเส้นเลือดแดงใหญ่และเส้นเลือดดำใหญ่จะมากกว่าความดันในห้องหัวใจ (Chambers) ลิ้นปิด – เปิดของหลอดเลือดแดงและหลอดเลือดดำจะปิดที่จุดนี้การสูบฉีดเลือดออกจากหัวใจจะหยุดลงขณะที่หัวใจห้องล่างกำลังพองตัว ความดันจะยังคงตกลงเรื่อยๆ

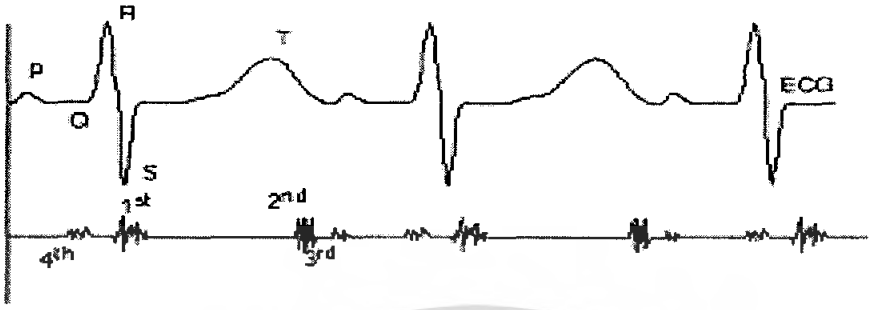
2.1.6 เมื่อความดันในหัวใจห้องล่างตกลงต่ำกว่าความดันในหัวใจห้องบน ลิ้นหัวใจจะเปิดและเลือดเริ่มไหลเข้าสู่หัวใจห้องล่างอย่างรวดเร็ว และจะช้าลงเมื่อหัวใจห้องล่างเริ่มเพิ่มขนาดขึ้นสูงสุด ขณะนี้เป็นช่วงของระยะพักหัวใจ ดังกล่าวไว้ในข้อ 1 และครบวงจรการเต้นของหัวใจ วงจรต่อไปก็จะเริ่มใหม่อีก

2.2 เสียงหัวใจ

คลื่นเสียงหัวใจเป็นคลื่นที่มีลักษณะที่ซับซ้อน เกิดจากการเคลื่อนตัวของกล้ามเนื้อลิ้นหัวใจหรือเลือดที่ไหลเวียนภายในหัวใจภายใต้ทรวงอก ซึ่งคลื่นเสียงหัวใจที่เกิดขึ้นจะมีความแตกต่างกันทั้งด้านของรูปคลื่น แอมพลิจูด และความถี่ หากดูลักษณะของรูปคลื่นเสียงหัวใจจะมีลักษณะเป็นเสียงที่เกิดจากเสียงหลายๆเสียงประกอบเข้าด้วยกัน ในทางทฤษฎีจะแบ่งลักษณะของเสียงหัวใจเป็น 5 ส่วนคือ ส่วนที่ หนึ่ง (S_1) ส่วนที่ สอง (S_2) จนถึงส่วนที่ ห้า ตามลำดับ ลักษณะของเสียงต่างๆ นี้จะมีลักษณะเฉพาะ เช่นเสียงที่หนึ่ง จะมีแอมพลิจูดสูงกว่าเสียงที่สอง แต่จะมีความถี่ต่ำกว่าเสียงที่สอง ซึ่งเสียงที่หนึ่งจะมีความถี่อยู่ในช่วง 20 - 40 H_z ที่ความถี่ 20 H_z เป็นความถี่ต่ำสุดที่หูของมนุษย์สามารถได้ยิน ซึ่งความถี่ของคลื่นเสียงหัวใจที่ต่ำกว่านี้มีถึง 1 H_z สำหรับเสียงที่สองจะมีความถี่อยู่ในช่วง 40 – 400 H_z

เสียงที่หนึ่งและเสียงที่สองของคลื่นหัวใจนี้จะมีความสำคัญมาก สำหรับแพทย์ที่จะวิเคราะห์ถึงสภาวะต่าง ๆ ของหัวใจ ซึ่งโครงงานนี้จะให้ความสำคัญเฉพาะกับการประมวลผลของสัญญาณเสียงที่หนึ่งและเสียงที่สอง จากคลื่นเสียงหัวใจที่เกิดบริเวณทรวงอกที่ต่างตำแน่งกันจะมีความแตกต่างทางด้านแอมพลิจูดและความถี่ ซึ่งเสียงที่แอมพลิจูดสูงสุดจะอยู่ที่ตำแหน่งระหว่างซี่โครงที่ 4 และซี่โครงที่ 5 ทางด้านซ้ายของกระดูกสันอก และจะมีการกระจายของแอมพลิจูดที่มีขนาดลดลง ณ บริเวณรอบ ๆ จุดนี้บริเวณทรวงอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ตัวอย่างเสียงหัวใจเปรียบเทียบกับ ECG

2.3 การเกิดเสียงของหัวใจ

เสียงที่หนึ่ง เกิดจากการปิดลิ้นหัวใจระหว่างห้องบนขวากับห้องล่างขวา

เสียงที่สอง เกิดจากการปิดลิ้นหัวใจระหว่างหัวใจห้องล่างขวากับหลอดเลือด

เสียงที่สาม เกิดจากการลิ้นหัวใจเริ่มคลายตัว เลือดจะมีการไหลจากห้องบนซ้าย

เสียงที่สี่ เกิดจากการหัวใจห้องบนบีบตัว ทำให้เลือดจากหัวใจห้องบนไหลสู่หัวใจห้องล่าง

หมายเหตุ เสียงที่สามและเสียงที่สี่ต้องใช้เครื่องมือวัดช่วยจับเสียง

ตารางที่ 2.1 แสดงความถี่ของเสียงชนิดต่าง ๆ

	เสียง	ความถี่ (H_z)
Heart	Low pitched heart murmurs	440
	High pitched heart murmurs	660
	Systolic and diastolic murmurs	120 – 660
Murmur	Presystolic murmurs	140
	Pericardial	140 – 660
Lungs	Rales	120 – 1000
	Amphonic breathing	240 – 660
	Bronchial	240 – 1000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Microcontroller PSoC

ระบบไมโครคอนโทรลเลอร์เดิม ซึ่งสามารถรองรับการทำงานเฉพาะสัญญาณทางดิจิตอล จึงมีการพัฒนาชิพไมโครคอนโทรลเลอร์ขึ้นเพื่อลดปัญหาและข้อจำกัดของระบบไมโครคอนโทรลเลอร์แบบเดิมตามคอนเซ็ปที่ว่า PSoC หรือ Programmable System On Chip ซึ่งรวมเอาการทำงานทางด้านอนาล็อกเข้ามาภายในชิพเดียวจึงถือว่าเป็นประโยชน์ต่อการพัฒนา และลดความยุ่งยากในการจัดทำวงจรอินเตอร์เฟสเพิ่มเติม

2.4.1 คุณสมบัติสำคัญของ PSoC

1) มีการสร้างระบบภายในแบบ Harvard Architecture ด้วยหน่วยประมวลผลแบบ M8C และสามารถทำงานได้ที่ความถี่สูงถึง 24 MHz

2) มีวงจรคูณเลขภายในแบบ 8X8 Multiply (32 Bit Accumulate)

3) สามาทำงานแรงดันไฟต่ำได้ 3 – 5 โวลต์

4) มีโหมดการทำงานแบบ Switch Mode Pump (SMP) ซึ่งช่วยให้ระบบทำงานในสภาวะแรงดันที่ต่ำถึง 1 โวลต์

5) ทำงานในช่วงอุณหภูมิ -40 ถึง 85 องศาเซลเซียส

6) วงจรกำเนิดสัญญาณนาฬิกาภายในที่มีความเที่ยงตรงสูง เท่ากับ 24/48 MHz และยังทำงานร่วมกับ External Oscillator ได้ที่ความถี่สูงถึง 24 MHz

7) มีหน่วยความจำภายในที่ยืดหยุ่นสูง

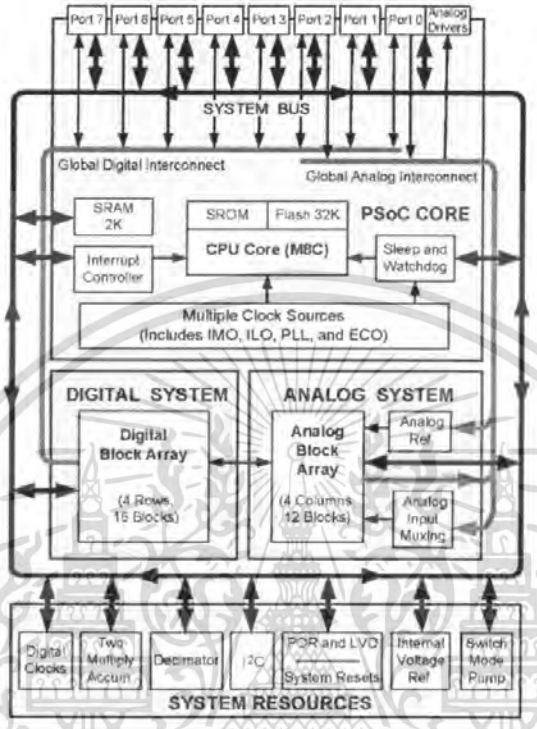
8) สามารถโปรแกรมฟังก์ชั่นการทำงานให้กับขาต่างๆของไมโครคอนโทรลเลอร์ได้ และสามารถขับกระแสได้ 25 mA ทุกขาในโหมด GPIO

9) และมีทรัพยากรเพิ่มเติมที่มีอยู่ภายในต่างๆ เช่น I2C Slave Master Watchdog sleep timer และมีวงจรกำเนิดแรงดันอ้างอิงภายในที่มีความเที่ยงตรงสูง

10) มีซอฟต์แวร์สำหรับใช้ในการพัฒนาการใช้งานได้ทั้ง C และ Assembly

การศึกษาและใช้งานไมโครคอนโทรลเลอร์ให้เกิดประโยชน์และประสิทธิภาพสูงสุด ผู้ใช้จะต้องควรทราบถึงองค์ประกอบและความสามารถภายในตัวชิพ เพื่อสามารถนำไปประยุกต์ใช้งานได้อย่างถูกต้องและเหมาะสม สำหรับ PSoC มีรูปแบโครงสร้างของระบบภายในดังรูป 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

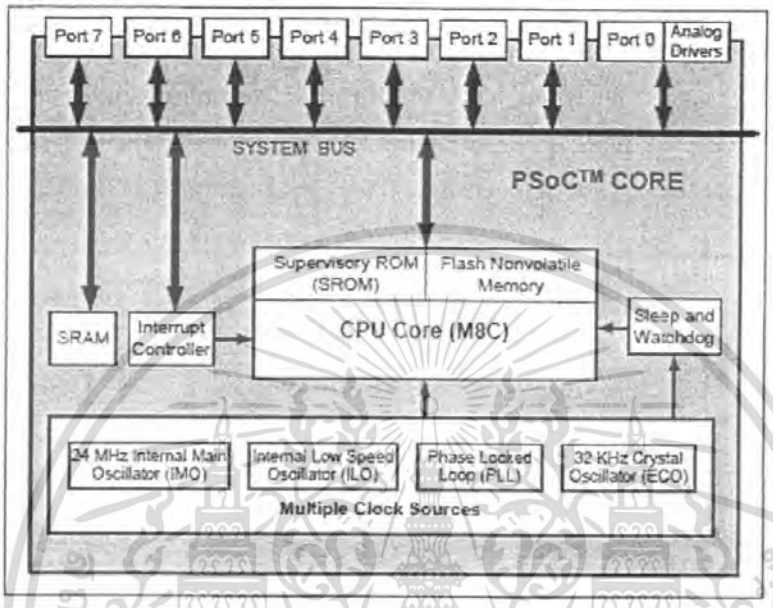


รูปที่ 2.3 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC

2.4.2 PSoC Core

เป็นส่วนของแกนหลักในการประมวลผลและควบคุมการทำงานภายในทั้งหมด อันประกอบด้วย หน่วยประมวลผลแบบ M8C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

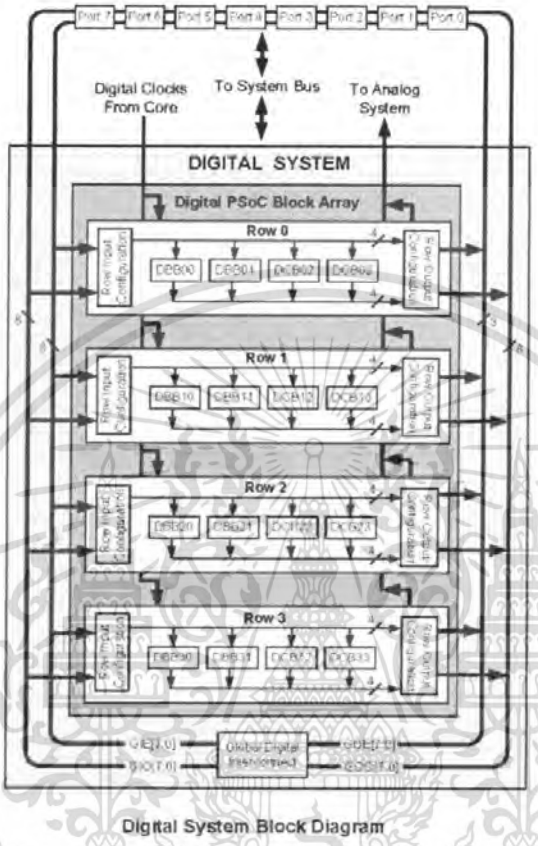


รูปที่ 2.4 PSoC Core

2.4.3 Digital System

เป็นพื้นที่การทำงานของระบบดิจิตอลโดยเป็นส่วนการทำงานทางด้าน Hardware ที่ แยกเป็นอิสระจาก PCoS Core โครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านดิจิตอลลงบนชิพเองได้ เช่น Timer Counter PWM I2C และ UART เป็นต้นเพื่อให้ชิพมีคุณสมบัติทางดิจิตอลตามที่ต้องการ สำหรับชิพเบอร์ CY29666 มีให้ใช้งานได้ 16 Digital Block และแต่ละบล็อกมีข้อมูลขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

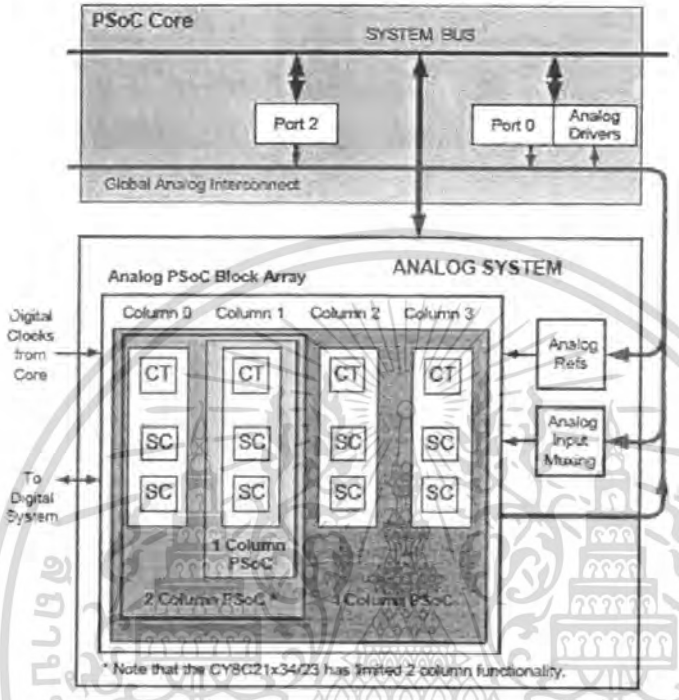


รูปที่ 2.5 Digital System

2.4.4 Analog System

เป็นพื้นที่การทำงานของระบบอนาล็อกโดยเป็นส่วนการทำงานทางด้าน Hardware ที่แยกเป็นอิสระจาก PCoS Core และ Digital system โดยโครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านอนาล็อกลงบนชิพเองได้ เช่น Amplifier ADC DAC เป็นต้น สำหรับชิพเบอร์ CY29666 มีให้ใช้งานได้ 12 Analog Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 Analog System

2.4.5 System Resource

เป็นส่วนของทรัพยากรรวมภายใน ซึ่งละส่วนของระบบไมโครคอนโทรลเลอร์สามารถติดต่อถึงกันได้ผ่านซิสเต็มบัส (System Bus) อันประกอบด้วย

Digital Clocks สำหรับควบคุมการหารความถี่สัญญาณนาฬิกา

Multiply Accumulate (MAC)

Decimator

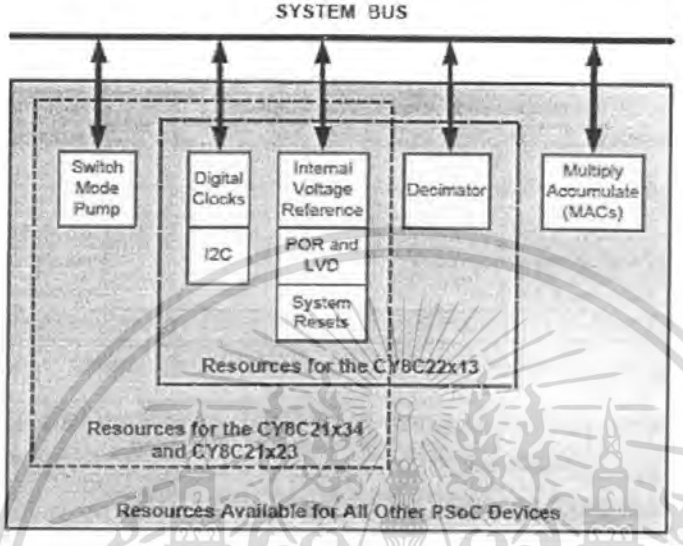
I2C สำหรับการสื่อสารด้วยรูปแบบ I2C

POR and LVD สำหรับควบคุมระบบ Reset และระบบตรวจสอบแรงกดันไฟเลี้ยงต่ำกว่ากำหนด

Internal Voltage Reference แรงดันอ้างอิงภายในสามารถกำหนดเป็นแรงดันอ้างอิงให้แก่ ADC หรือส่งค่าแรงดันอ้างอิงออกสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

Switch Mode Pump เป็นโหมดการทำงานเพื่อบูทแรงดันไฟเลี้ยงที่ต่ำให้มีแรงดันที่สูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ที่ประยุกต์ใช้กับแบตเตอรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 System Resource

2.4.6 PORT

เป็นขาสัญญาณต่างๆ สำหรับการอินเตอร์เฟสไปยังวงจรต่างๆ โดยจำนวนของพอร์ต จะขึ้นอยู่กับเบอร์ของชิพ สำหรับเบอร์ CY29666 ที่ใช้จะมี 48 ขาให้ได้เลือกใช้งาน ซึ่งขาสัญญาณของ PSoC มีลักษณะคล้ายกับไมโครคอนโทรลเลอร์เบอร์อื่นๆ คือมีทั้งขาสัญญาณอินพุต เอาต์พุต ซึ่งในบางขาอาจจะทำหน้าที่มากกว่าหนึ่งหน้าที่ หน้าที่การทำงานของขาสัญญาณต่างๆของ PSoC สามารถสรุปได้ดังตารางที่2.2

Pin Name	Description	Input/Output
SMP	Switch Mode Pump	Power
Vdd	Supply Voltage	Power
Vss	Ground	Input
XRES	External Reset (Active High)	Input/Output
P0[0] - P0[1]	Port 0[0], 0[1], Analog Input	Input/Output
P0[2] - P0[5]	Port 0[2], 0[3], 0[4], 0[5], Analog Input/Output	Input/Output
P0[6] - P0[7]	Port 0[6], 0[7], Analog Input	Input/Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P1[0]	Port 1[0],ALOut / SDATA / I2C SCL	Input/Output
P1[1]	Port 10], XTALIn / SCLK / I2C SCL	Input/Output
P1[2]	Port 1[2]	Input/Output
P1[3}	Port 1[3]	Input/Output
P1[4]	Port 1[4], EXTCLK	Input/Output
P1[5]	Port 1[5], I2C SDA	Input/Output
P1[6]	Port 1[6]	Input/Output
P1[7]	Port 1[7], I2C SCL	Input/Output
P2[0] - P2[3]	Port 2[0], 2[1], 2[2], 2[3], Non-Multiplexed Analog Input(Switched Capacitor)	Input/Output
P2[4]	Port 2[4], External AGND	Input/Output
P2[5]	Port 2[5]	Input/Output
P2[6]	Port 2[6], External VREF	Input/Output
P2[7]	Port 2[7]	Input/Output

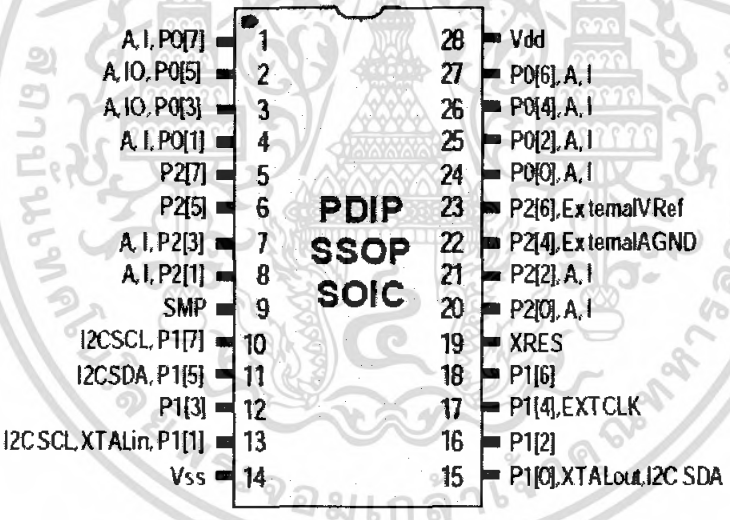
ตารางที่ 2.2 แสดงหน้าที่การทำงานของขาต่างๆ

นอกจากการใช้งานของขาพอร์ตต่างๆเป็นพอร์ตอินพุต/เอาต์พุตทั่วไปแล้ว ขาพอร์ตของขายังมีหน้าที่เฉพาะอย่างดังต่อไปนี้

- VDD เป็นขาสัญญาณไฟเลี้ยง ต่อกับไฟ 5 โวลต์
- VSS เป็นขากราวด์ ต่อกับไฟเลี้ยง 0 โวลต์
- XRES เป็นขาสำหรับรีเซต เมื่อนี้มีลอจิกเป็น "1" CPU จะถูกรีเซต
- P0[2]-P0[5] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล นอกจากนี้แล้วยังสามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้อีกด้วย
- P0[6]-P0[7] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล แต่ไม่สามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P0[0] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้งานร่วมกับ P0[1])
- P0[1] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้งานร่วมกับ P0[0])
- P1[4] เป็นขาสำหรับรับสัญญาณจากภายนอก
- P1[5] เป็นขารับ/ส่งข้อมูลของ I2C ซึ่งจะเรียกว่าขา SDA (Serial Data)
- P1[7] เป็นขารับสัญญาณนาฬิกาในการรับ/ส่งของมูล I2C เพื่อให้ด้านส่งและด้านรับทำการรับส่งข้อมูลได้อย่างสอดคล้องกัน ซึ่งเรียกว่า SCL (Serial Clock)
- P2[0]- P2[3] เป็นขารับสัญญาณอนาล็อกแบบ Non – Multiplexed
- P2[6] เป็นขารับสัญญาณอ้างอิงจากภายนอก



รูปที่ 2.8 PSoC เบอร์ CY24423A

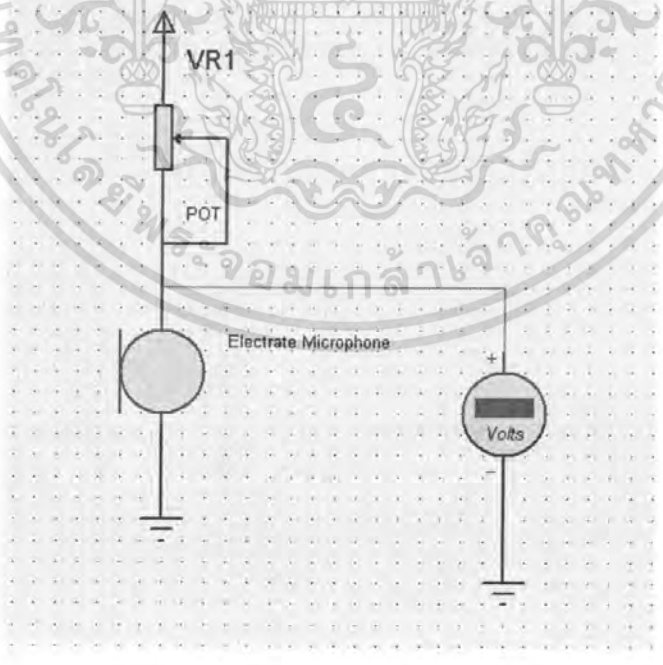
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการทำงานของวงจร

หลักการออกแบบการทำงานของระบบจะแบ่งการออกแบบการทำงานเป็น 2 ส่วน คือ ส่วนฮาร์ดแวร์(Hardware) เป็นส่วนของการทำงานที่สามารถมองเห็นได้และจับต้องได้ซึ่งเป็นการนำอุปกรณ์ทางอิเล็กทรอนิกส์มาต่อเป็นวงจรที่ทำงานได้ตามที่เราต้องการ และส่วนที่สองคือ ส่วนของซอฟท์แวร์(Software) ในส่วนนี้เป็นการออกแบบโดยการเขียนโปรแกรมภาษาซีเพื่อบรรยายการทำงานไมโครคอนโทรลเลอร์ (PSoC) และนำไมโครคอนโทรลเลอร์ (PSoC) ไปควบคุมการทำงานในส่วนของฮาร์ดแวร์ต่อไป

3.1 การไบอัสอิเล็กเทรทคอนเดนเซอร์ไมโครโฟน

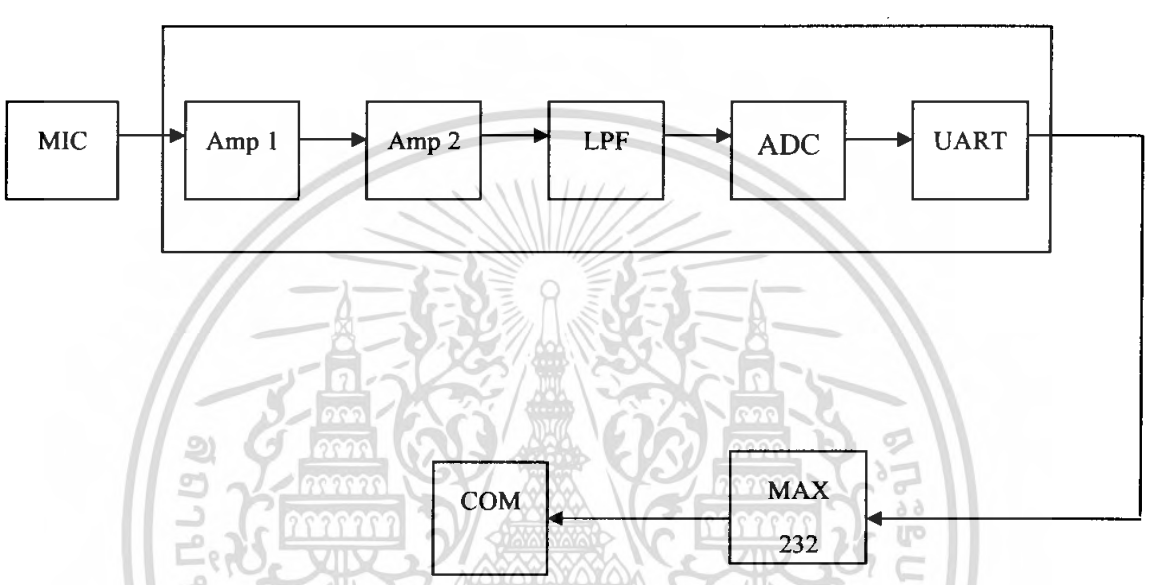
ใช้แรงดัน บวก 5 โวลต์ในการไบอัสให้กับอิเล็กเทรทคอนเดนเซอร์ไมโครโฟนเนื่องจากสามารถใช้แหล่งจ่ายแรงดันกับวงจรอื่น ๆ ได้ด้วย ขั้นตอนการหาความต้านทานจากอิเล็กเทรทคอนเดนเซอร์ไมโครโฟนดังรูป



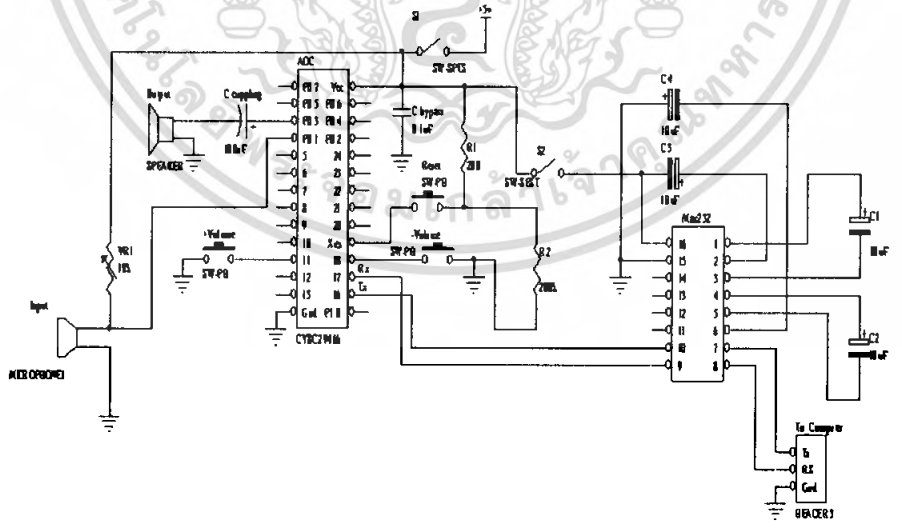
รูปที่ 3.1 การหาความต้านทานไบอัสอิเล็กเทรทไมโครโฟน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการปรับ VR1 จนกระทั่งได้แรงดัน Vo เท่ากับ 2.5 โวลต์ ปลด VR1 ออกจากวงจรนำมาวัดค่าความต้านทาน จากการทดลองดังกล่าวได้ค่าความต้านทานไบอัสประมาณ 8.2 KΩ เลือกใช้ความต้านทานค่า 8.2 KΩ ซึ่งเป็นค่ามาตรฐาน



รูปที่ 3.2 บล็อกไดอะแกรมการทำงานของระบบ



รูปที่ 3.3 วงจรดิจิตอลสเท็ธโทสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSOC)

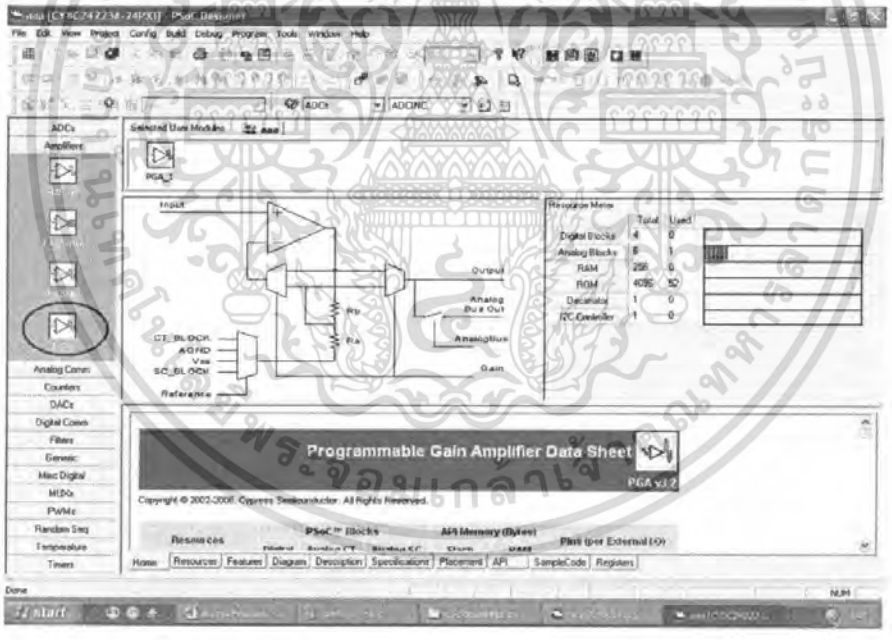
ในตัวไอซีไมโครคอนโทรลเลอร์มีฟังก์ชั่นการทำงานมากมาย คือ วงจร AC to DC , DC to AC , Amplifiers , Pulse width mod. , timers , ... ทำให้ง่ายต่อการออกแบบให้เป็นวงจรรวมภายในตัวเดียวได้ทันทีโดยที่ไม่ต้องมีการต่อกับวงจรภาคต่างๆให้วุ่นวายและเปลืองเนื้อที่อื่นใด

เริ่มการทำงานโดย

3.2.1 User Module Selection View

3.2.1.1 Amplifier

เลือกฟังก์ชั่น Amplifier ดับเบิลคลิกเลือกฟังชั่นย่อย PGA เพื่อทำการเลือกโมดูลวงจรขยาย (Gain) เพื่อใช้ขยายสัญญาณเสียงหัวใจ



รูปที่ 3.4 แสดงการสร้าง PGA

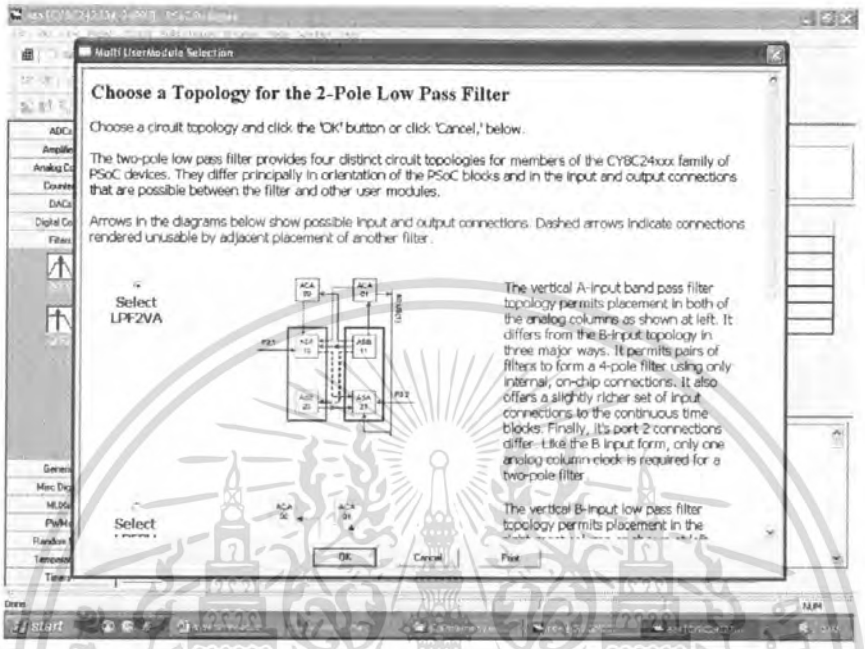
3.2.1.2 LPF

1. เลือกฟังก์ชัน Filters ดับเบิลคลิกที่ฟังก์ชัน LPF จะพบหน้าต่าง Multi User Module Selection

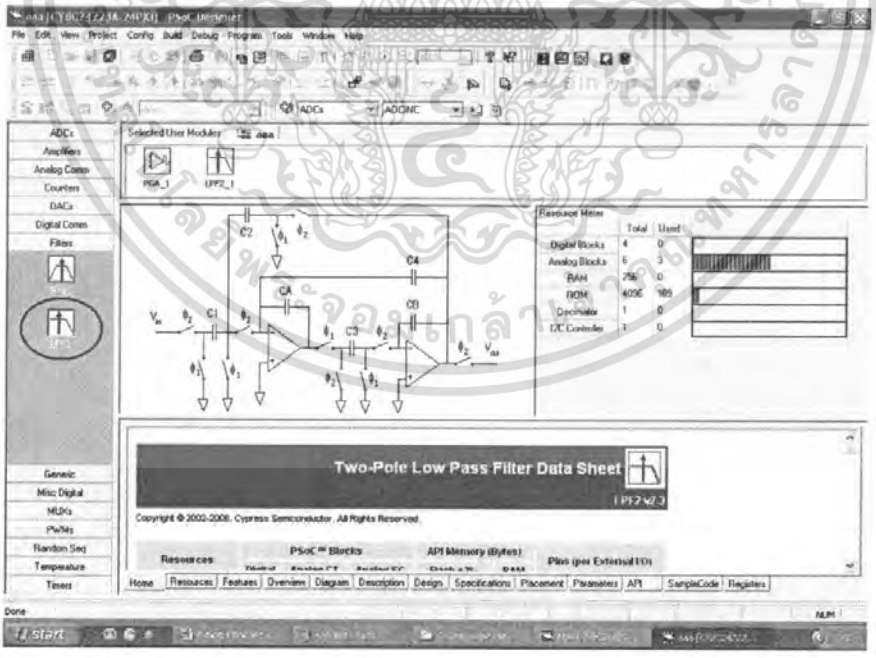
2. เลือก LPF2VA คลิก ok

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.5 แสดงการสร้าง LPF

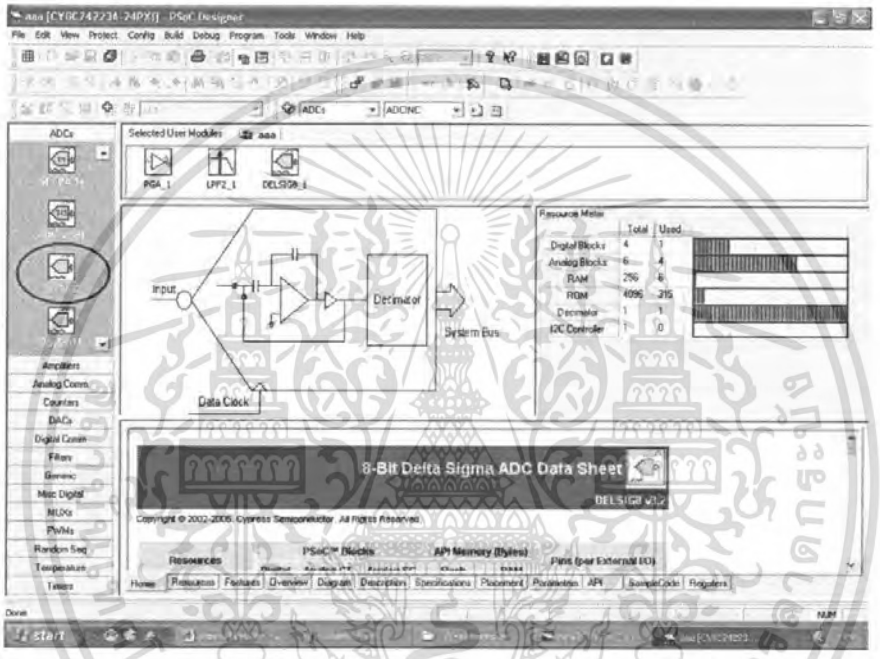


รูปที่ 3.6แสดงการสร้าง LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
83009

3.2.1.3 ADC

คลิกที่ฟังก์ชัน ADC_s ดับเบิลคลิกที่ฟังก์ชันย่อย DELSIG8 เพื่อใช้ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

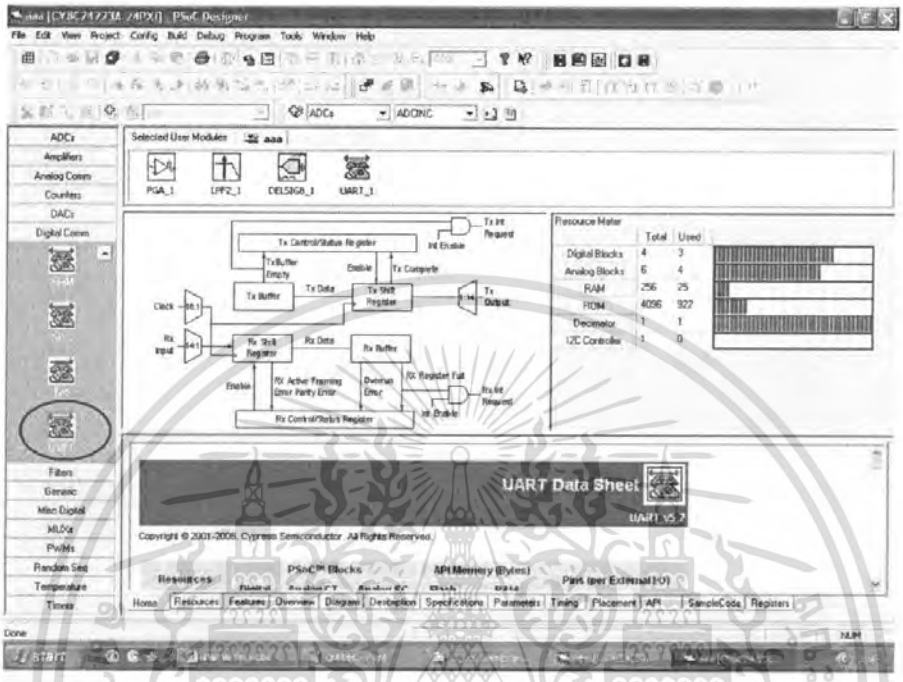


รูปที่ 3.7 แสดงการสร้าง ADC

3.2.1.4 UART

คลิกที่ฟังก์ชัน Digital Comm ดับเบิลคลิกที่ฟังก์ชันย่อย UART ใช้ทำหน้าที่รับส่งข้อมูลแบบอนุกรม มาตรฐาน RS232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

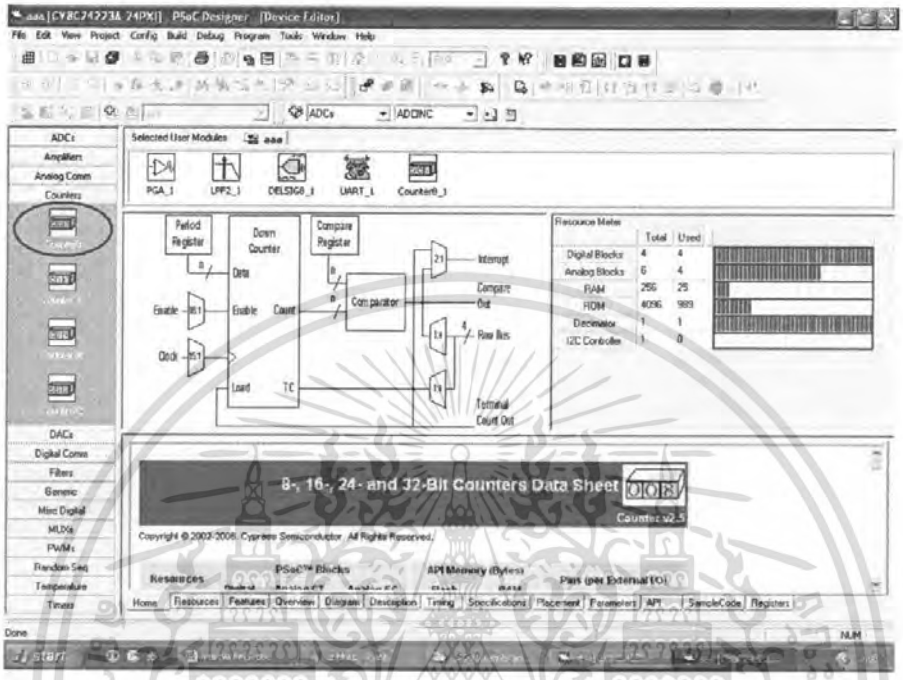


รูปที่ 3.8 แสดงการสร้าง UART

3.2.1.5 Counter

คลิกที่ฟังก์ชัน Counter ดับเบิลคลิกที่ฟังก์ชันย่อย Counter 8 บิต เพื่อใช้เป็นตัวหารสัญญาณ Clock ของระบบซึ่งมีความถี่ 24 MHz ให้เป็นความถี่ที่เหมาะสมกับ LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงการสร้าง Counter

3.2.2 Interconnection View

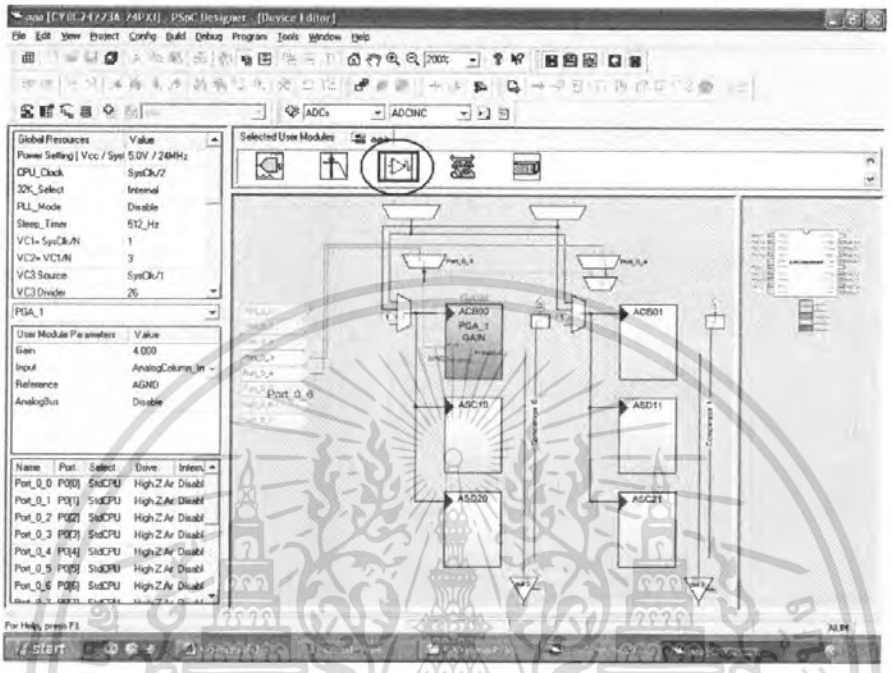
3.2.2.1 Amplifer

1. คลิกเลือกโมดูล PGA_1 ให้เป็นสีเทา

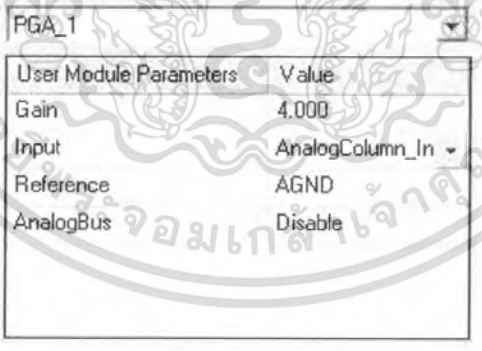
2. เลือกคำสั่ง Place use Module เพื่อวางโมดูลลงใน Analog Block ตามต้องการดังรูปที่ 3.9

3. ตั้งค่า User Module Parameter ในช่อง Value ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงการเชื่อมต่อสายสัญญาณ PGA



รูปที่ 3.11 แสดงการตั้งค่า User Module Parameter

3.2.2.2 Counter

1. คลิกเลือกโมดูล Counter8_1 ให้เป็นสีเทา

2. เลือกคำสั่ง Place use Module เพื่อวางโมดูลลงใน Analog Block ตามต้องการดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

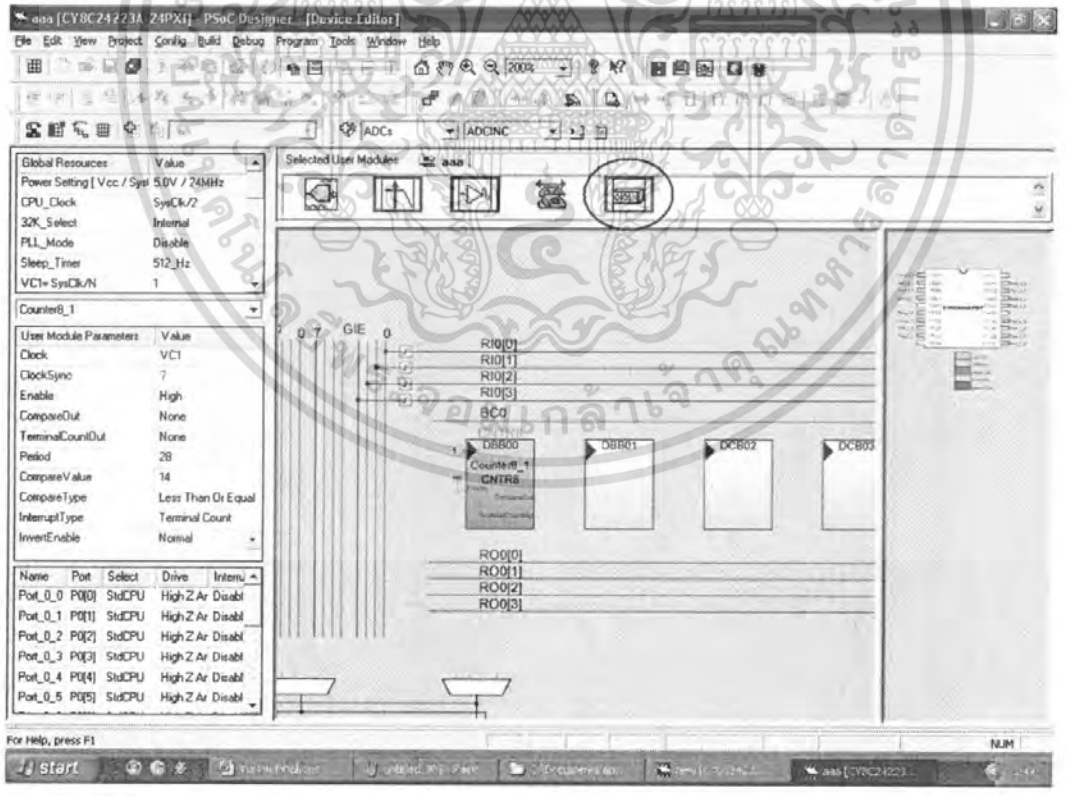
3. ตั้งค่า User Module Parameter ในช่อง Value ดังรูปที่ 3.12

การคำนวณคาบเวลาของ Clock ที่ Output Period ของ Couter8_1 ซึ่งจะนำไปสู่การทราบถึงค่าความถี่ของ Clock ที่ LPF ต้องการ โดยคำนวณได้จากสูตร

Output Period = (Period Value + 1) t_{clk}

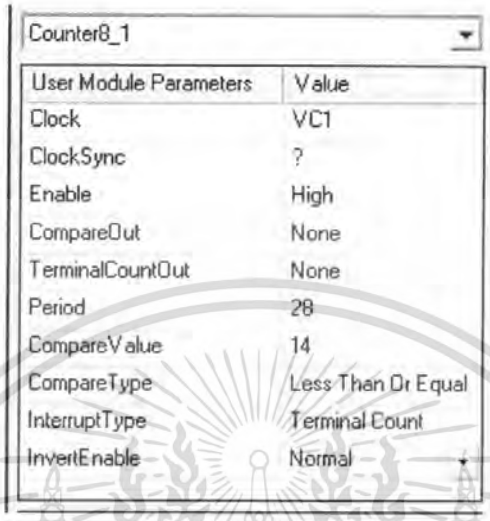
Duty Cycle = $\frac{CompareValue}{PeriodValue+1}$; สำหรับการตั้งค่า Compare Type ในตาราง User Module Parameter เป็น Less Than

Duty Cycle = $\frac{CompareValue+1}{PeriodValue+1}$; สำหรับการตั้งค่า Compare Type ในตาราง User Module Parameter เป็น Less Than Or Equal



รูปที่ 3.12 แสดงการเชื่อมต่อสายสัญญาณ Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงการตั้งค่า User Module Parameter

3.2.3.3 LPF

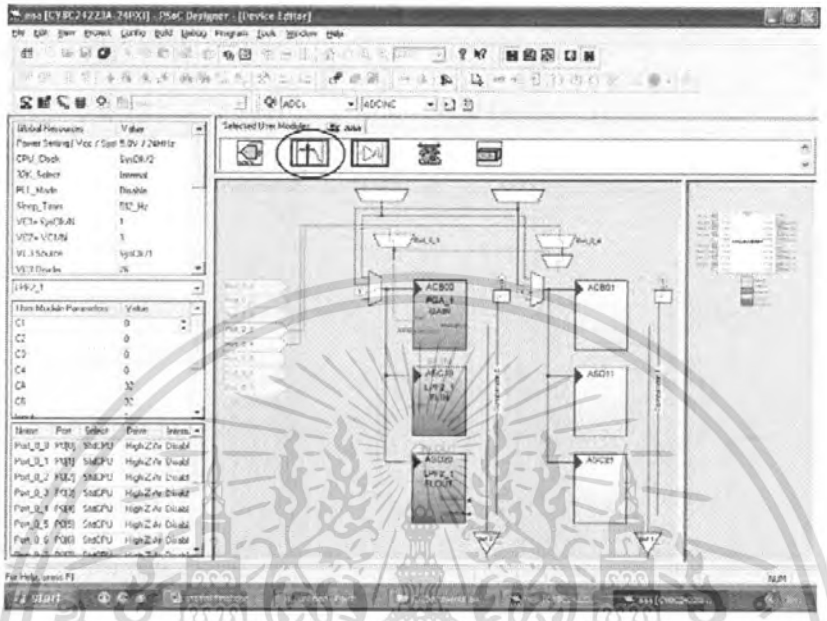
1. คลิกเลือกโมดูล LPF2_1 ให้เป็นสีเทา ดังรูปที่ 3.13

2. คลิกขวาที่โมดูล LPF2_1 เลือก Filter Design Wizard ใส่ค่าดัง รูปที่ 3.14 คลิก Apply

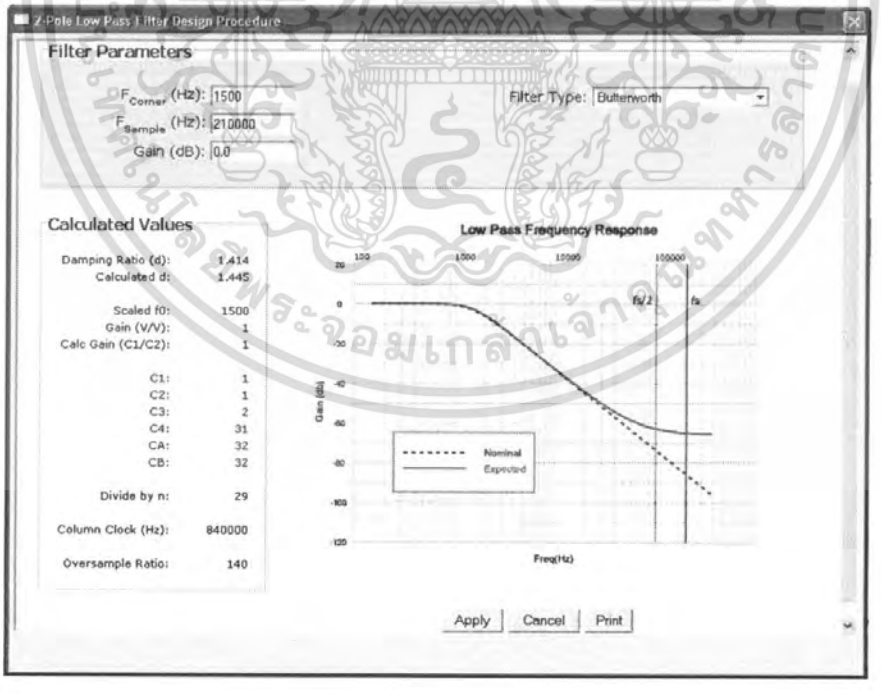
3. กำหนด Clock กำหนด Clock ให้กับ LPF2_1 ที่ได้จากตัว Counter8_1 ดัง รูปที่ 3.1

4. ตั้งค่า User Module Parameter ดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

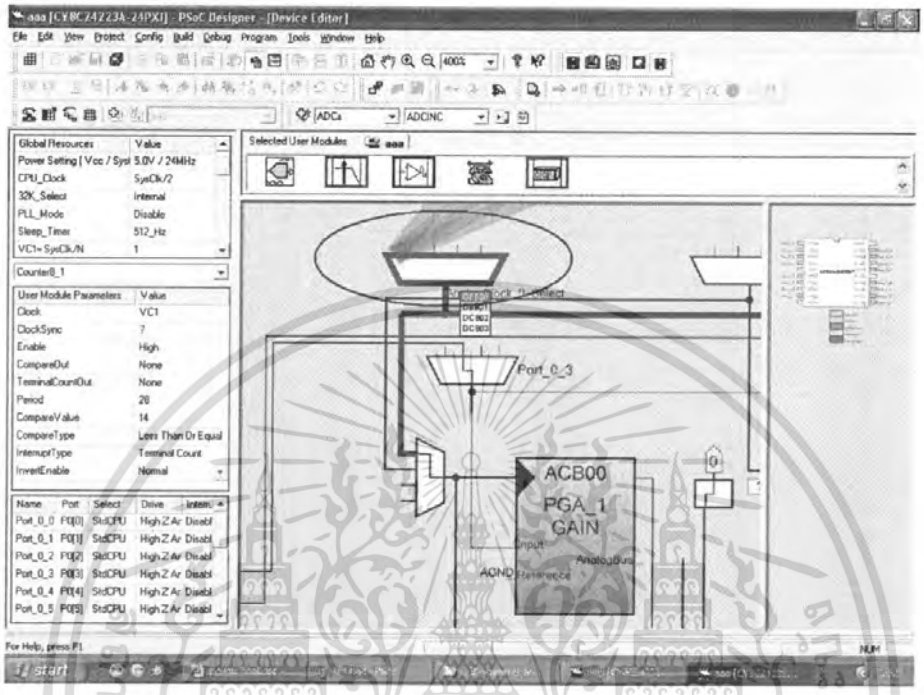


รูปที่ 3.14 แสดงการเชื่อมต่อสายสัญญาณ LPF



รูปที่ 3.15 แสดงโมดูล LPF2_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงการเชื่อมต่อสายสัญญาณ Clock ให้กับ LPF2_1

LPF2_1

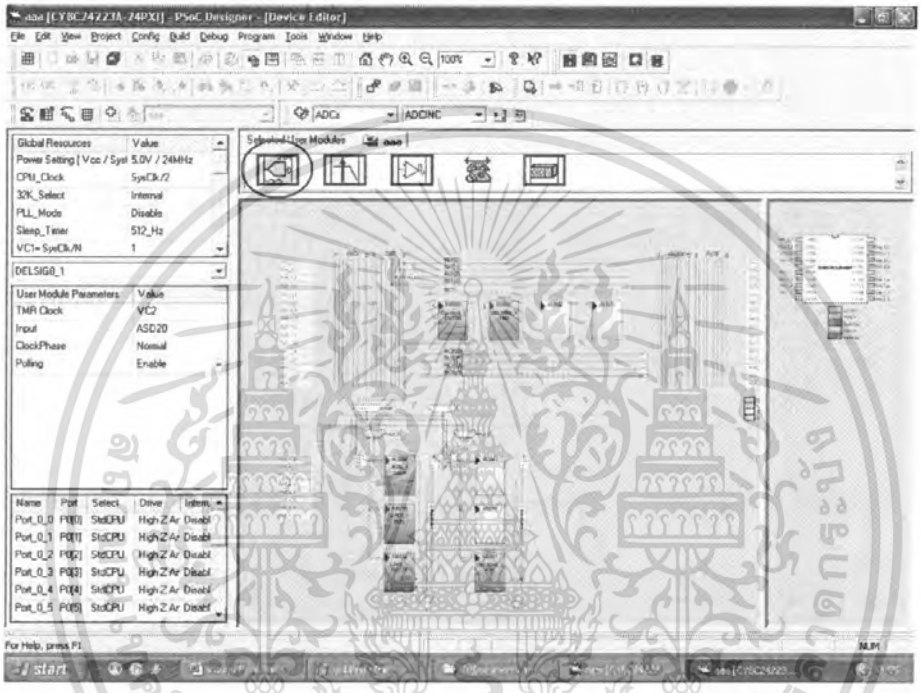
User Module Parameters	Value
C1	1
C2	1
C3	2
C4	31
CA	32
CB	32
Input	ACB00
AnalogBus	DISABLE
CompBus	DISABLE
Polarity	Non-Inverting

รูปที่ 3.17แสดงการตั้งค่า User Module Parameter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3.4 ADC

ทำการวางโมดูล DESIGN8_1 ลงใน Block และตั้งค่า User Module Parameters ดังรูปที่ 3.17 และรูปที่ 3.18



รูปที่ 3.18 แสดงการเชื่อมต่อสายสัญญาณ ADC

รูปที่ 3.19 แสดงการตั้งค่า User Module Parameter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณหา DataClock ของ Analog to Digital Converter คำนวณได้จากสูตร

$$\text{Sample Rate} = \frac{DataClock}{256}$$

DataClock = SampleRate*256 = 20 Ksps*256 = 5.12 MHz

3.2.3.4 UART

1. วางโมดูล UART_1 ลงใน Block

2. เชื่อมต่อเอาท์พุทของตัวส่งออกไปยังขา Port1_2 โดยคลิกที่ Digital Interconnect ของ Row_0_Output_2 ตามรูปที่ 3.19

3. จะปรากฏหน้าต่าง Digital Interconnect ให้คลิกที่ Row_0_Output_2-_Drive_2 แล้วเลือกเป็น Global Out Odd_2 ตามรูปที่ 3.20

4. คลิกบนเส้น Global Out Odd_2 จากนั้นคลิก Close ดังรูปที่ 3.21

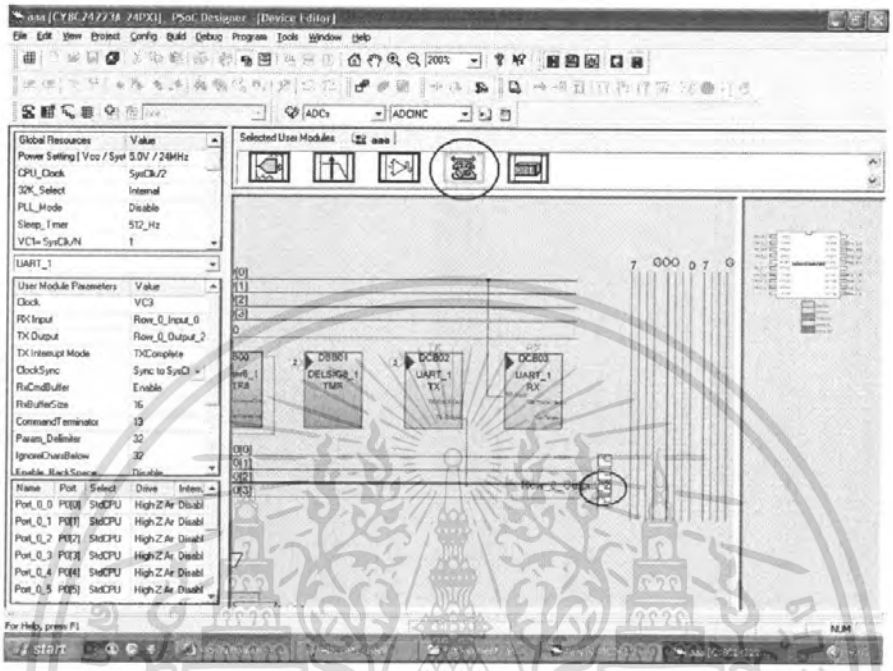
5. เชื่อมต่ออินพุทของตัวรับโดยคลิกที่ตัว Digital Interconnect Row_0_Output_3 ดังรูปที่ 3.22

6. คลิกที่ตัว Row_0_Output_3 เลือก Global Out Odd_4 ดังรูปที่ 3.23

7. คลิกบนเส้น Global Out Odd_4 เลือก Pin...แล้วเลือก Port_1_4 ดังรูปที่ 3.24

8. จะปรากฏเส้นเชื่อมต่อออกมาที่ Port_1_4 ดังรูปที่ 3.24

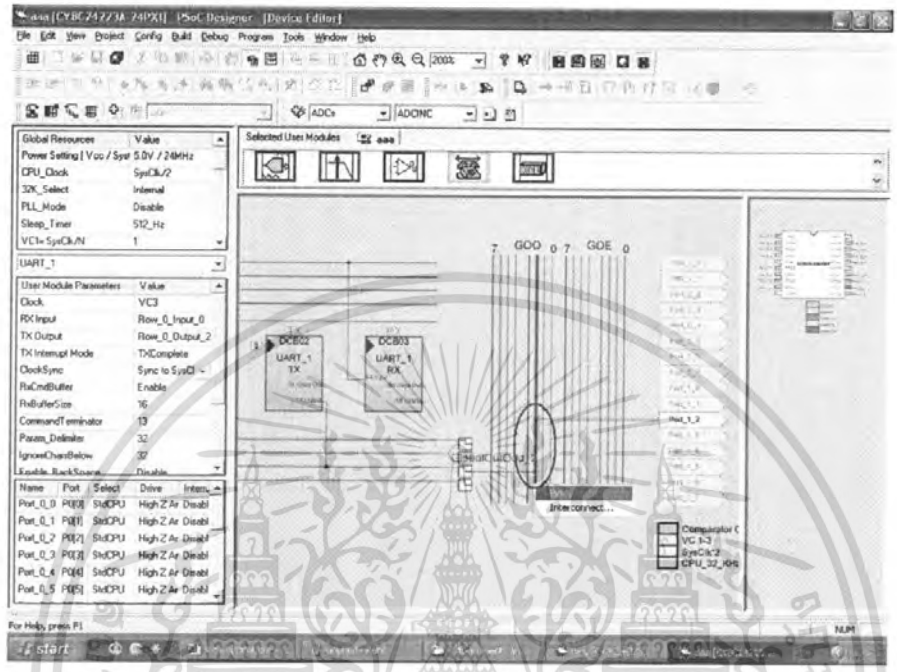
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



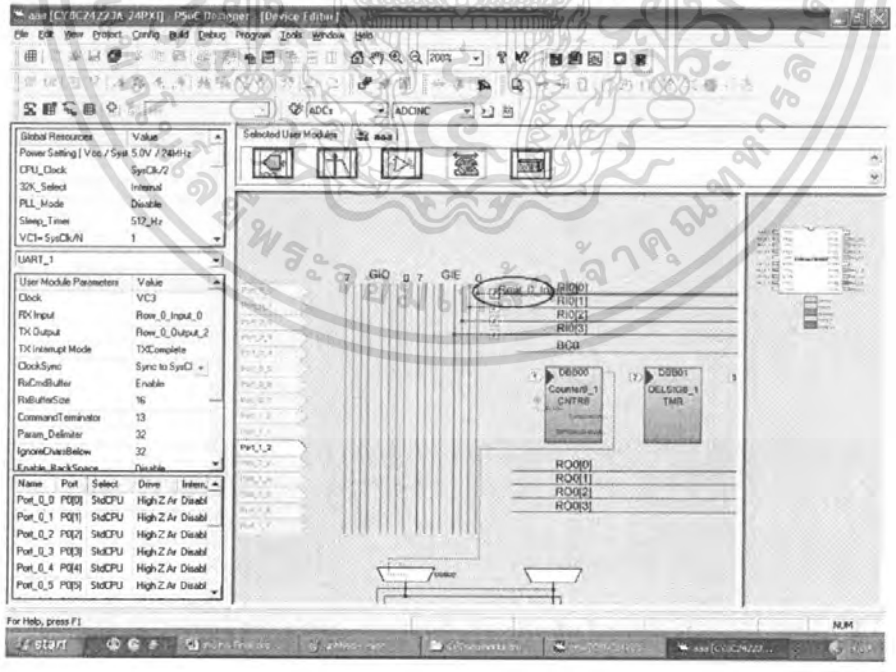
รูปที่ 3.20 แสดงการเชื่อมต่อสายสัญญาณ UART_1

รูปที่ 3.21 แสดงหน้าต่าง Digital Interconnect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

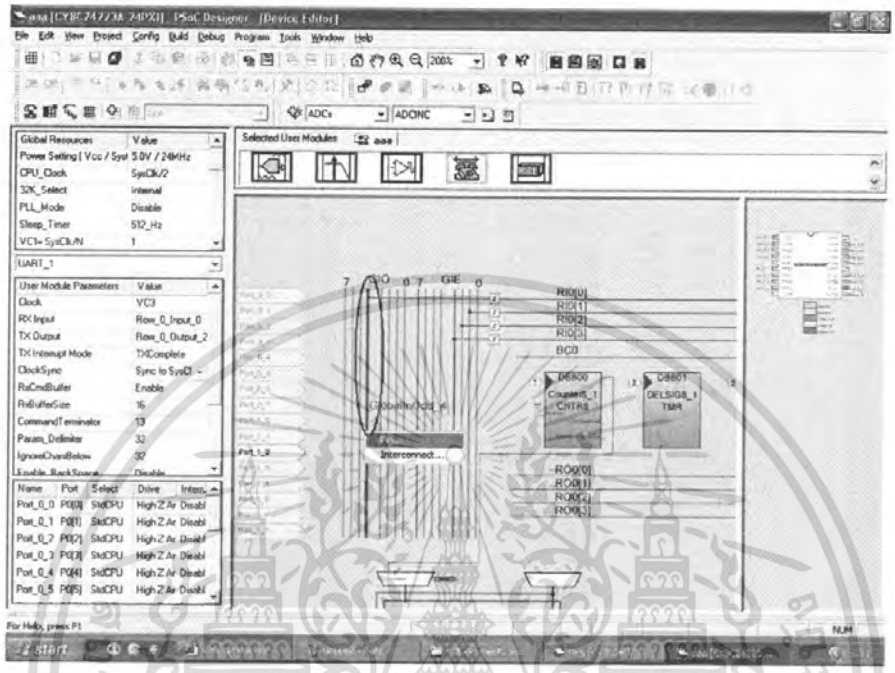


รูปที่ 3.22 แสดง Global Out Odd_2

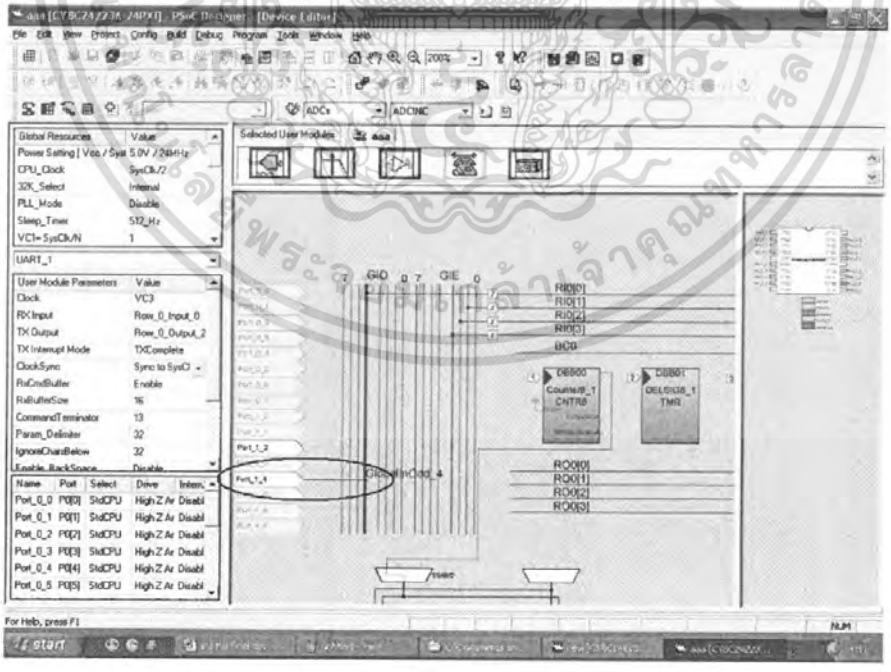


รูปที่ 3.23 แสดงการเชื่อมต่อ Digital Interconnect Row_0_Output_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

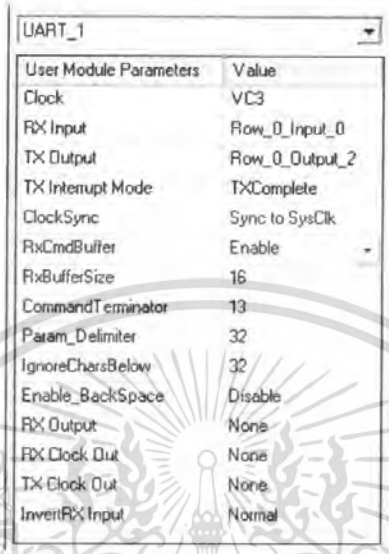


รูปที่ 3.24 แสดง Global Out Odd_4



รูปที่ 3.25 แสดงเส้นเชื่อมต่อออกมาที่ Port_1_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



UART_1

User Module Parameters	Value
Clock	VC3
RX Input	Row_0_Input_0
TX Output	Row_0_Output_2
TX Interrupt Mode	TXComplete
ClockSync	Sync to SysClk
RxCmdBuffer	Enable
RxBufferSize	16
CommandTerminator	13
Param_Delimiter	32
IgnoreCharsBelow	32
Enable_BackSpace	Disable
RX Output	None
RX Clock Out	None
TX Clock Out	None
InvertRX Input	Normal

รูปที่ 3.26 แสดงการตั้งค่า User Module Parameter

หมายเหตุ ความถี่ของ Clock ที่ป้อนให้กับ UART ต้องมากกว่า Bit Rate 8 เท่า

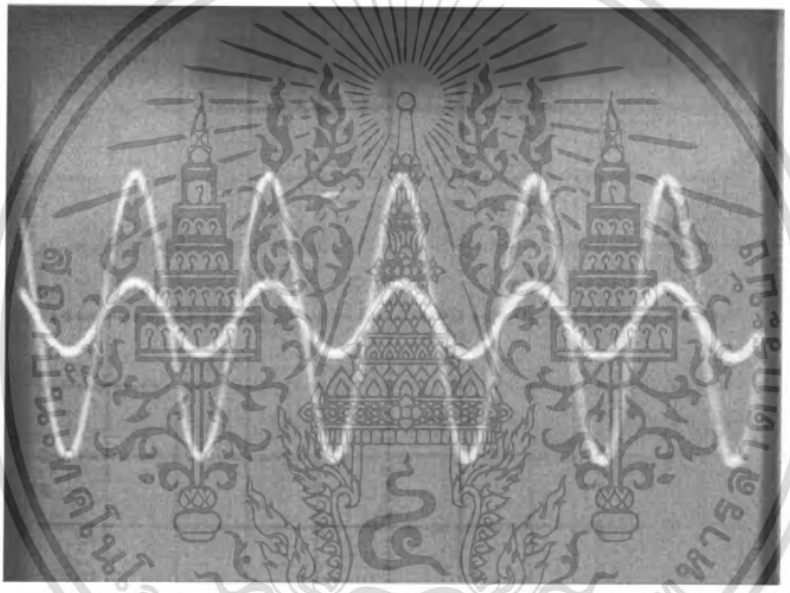
Global Resources	Value
Power Setting [Vcc / Syst	5.0V / 24MHz
CPU_Clock	SysClk/2
32K_Select	Internal
PLL_Mode	Disable
Sleep_Timer	512_Hz
VC1= SysClk/N	1
VC2= VC1/N	3
VC3 Source	SysClk/1
VC3 Divider	26
SysClk Source	Internal
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-(Vdd/2)
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Watchdog Enable	Disable

รูปที่ 3.27 แสดงการตั้งค่า Global Resources

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

ทดสอบการทำงานของภาคแอมพลิไฟเออร์โดยตั้งอัตราขยาย 4 เท่าและป้อนสัญญาณอินพุท 1 โวลต์พีคทูพีคซึ่งผลที่ได้ออกมาแสดงดังรูปที่ 4.1



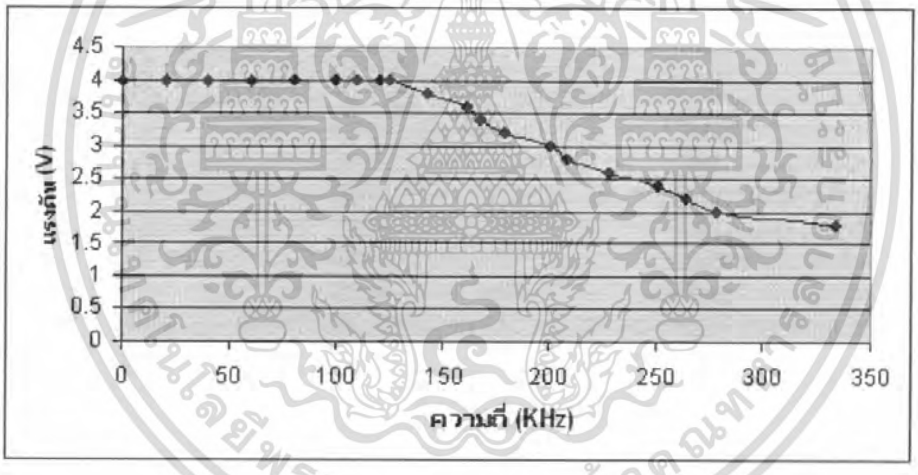
รูปที่ 4.1 แสดงผลการทดสอบแอมพลิไฟเออร์

ความถี่(KHz)	เอาท์พุท(V)
0	4
20	4
40	4
60	4
80	4
100	4
110	4
120	4
125	4
142	3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

161	3.6
166.67	3.4
178.57	3.2
200	3
208	2.8
227.27	2.6
250	2.4
263.15	2.2
277.77	2
333.33	1.8

ตารางที่ 4.1 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณ



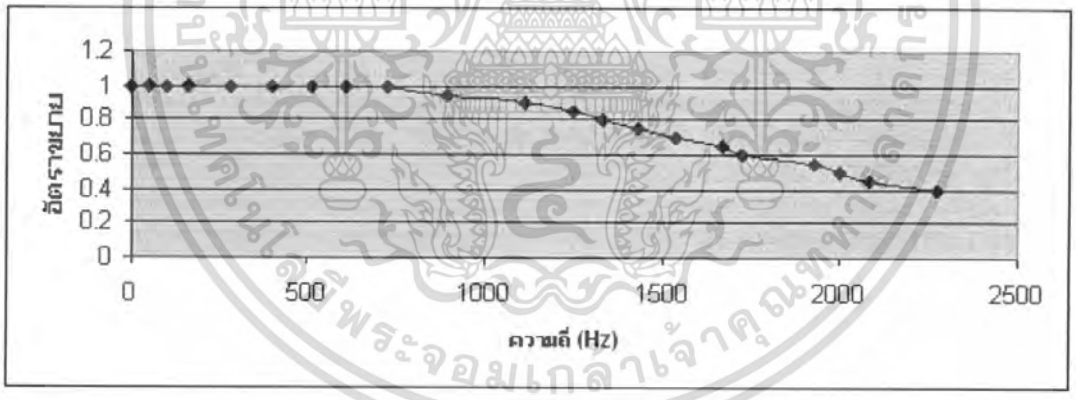
รูปที่ 4.2 กราฟผลตอบสนองทางความถี่ของวงจรขยายสัญญาณ

ความถี่(KHz)	เอาท์พุท(V)
0	1
50	1
100	1
160	1
280	1
400	1
510	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

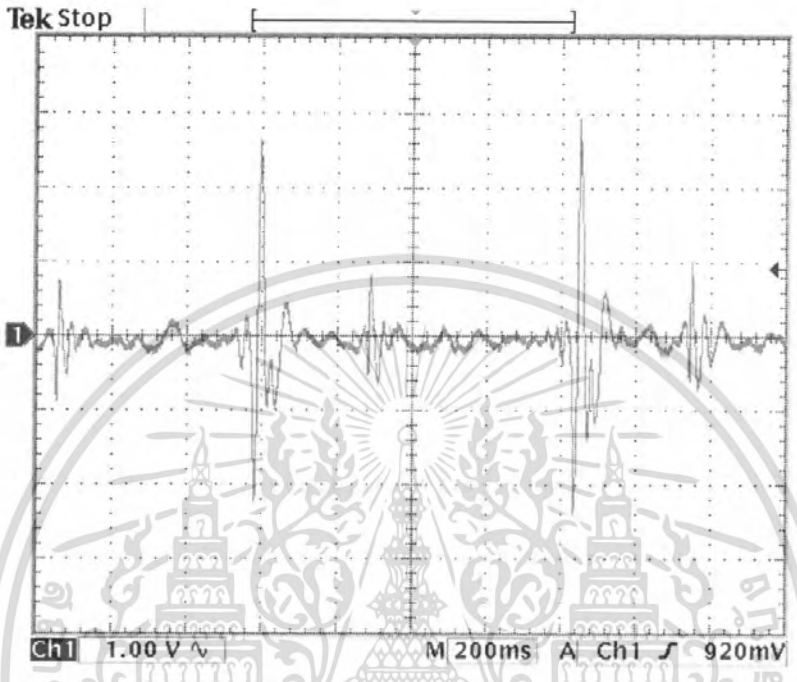
606.06	1
725	1
892.85	0.95
1111.11	0.9
1250	0.85
1333.33	0.8
1428.57	0.75
1538.461	0.7
1666.66	0.65
1724.137	0.6
1923.67	0.55
2000	0.5
2083.33	0.45
2272.72	0.4

ตารางที่ 4.2 ผลตอบสนองทางความถี่ของวงจรขยายความถี่ต่ำผ่าน

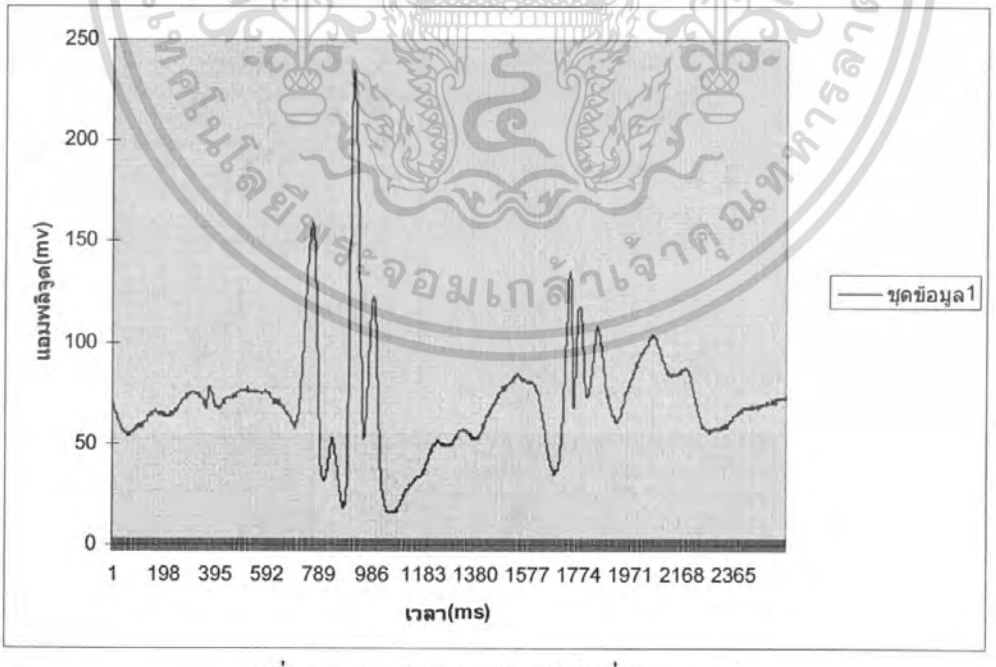


รูปที่ 4.3 กราฟผลตอบสนองทางความถี่ของวงจรขยายความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

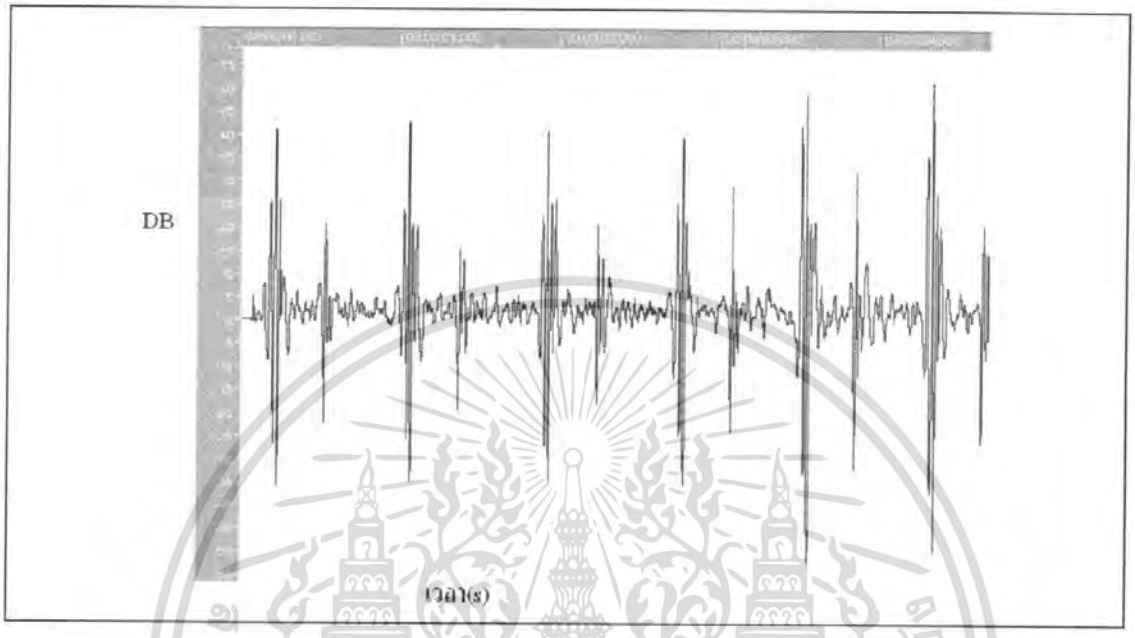


รูปที่ 4.4 แสดงสัญญาณเสียงหัวใจหลังภาคแอมพลิไฟเออร์

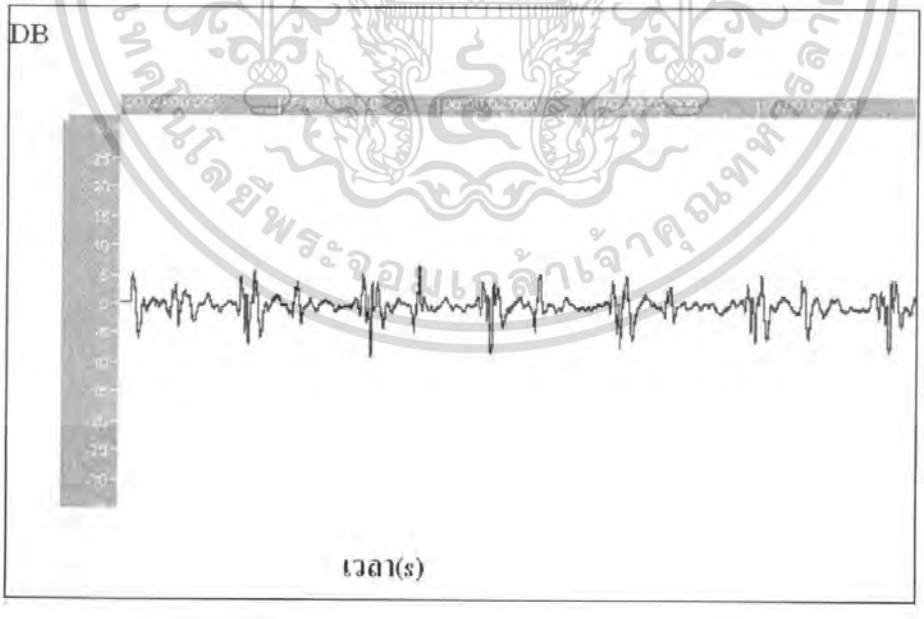


รูปที่ 4.5 แสดงสัญญาณเสียงหัวใจที่ผ่าน RS 232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

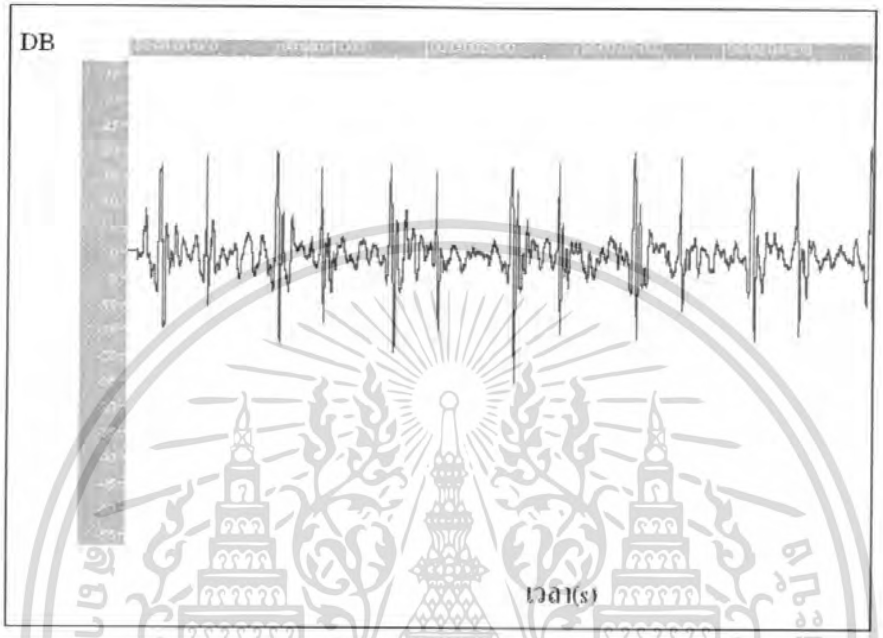


รูปที่ 4.6 สัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 4 จากด้านล่างซ้าย

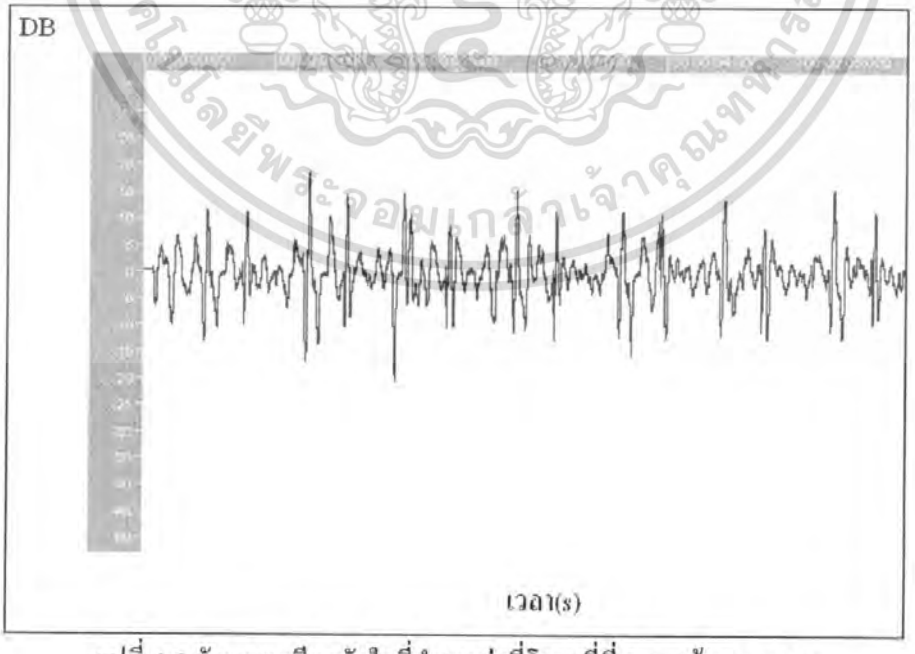


รูปที่ 4.7 สัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านล่างซ้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

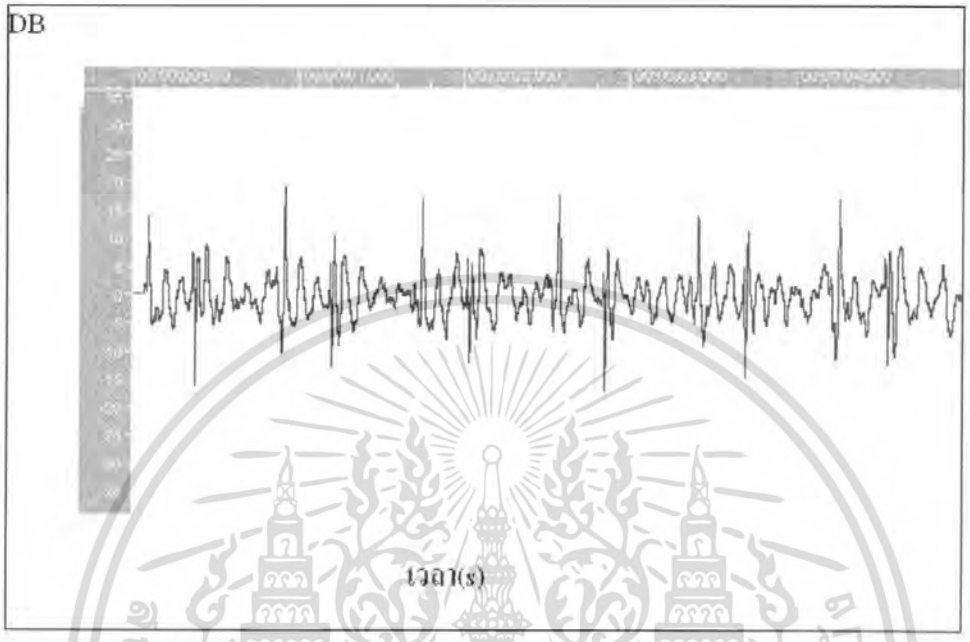


รูปที่ 4.8 สัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านบนซ้าย



รูปที่ 4.6 สัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 2 จากด้านบนขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณเสียงหัวใจที่ตำแหน่งซี่โครงซี่ที่ 4 จากด้านบนขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

รายงานเล่มนี้ได้กล่าวถึงความเป็นมาของ Stethoscope ทฤษฎีการเกิดเสียงของหัวใจและนำเสนอการฟังเสียงหัวใจรูปแบบใหม่ โดยใช้ไมโครคอนโทรลเลอร์ (PSoC) ในการประมวลสัญญาณเป็นหลัก เพื่อให้ได้วงจรและผลที่เล็กที่สุดและสามารถพกพาได้สะดวก โดยเริ่มจากอิเล็กเทรทคอนเดนเซอร์ไมโครโฟนเป็นอุปกรณ์รับสัญญาณเสียงเข้ามาโดยมีตัวต้านทานปรับระดับแรงดัน offset ให้สัญญาณสามารถสวิงได้เต็มรูปคลื่น ซึ่งทำงานในลักษณะ Amplifier คลาส A จากนั้นเข้าสู่โมดูล Amplifier คลาส A ภายในชิพ PSoC มีอัตราขยาย 4 เท่าเพราะสัญญาณเสียงหัวใจที่ผ่านไมค์เข้ามาอยู่ที่ประมาณ 1 โวลต์ เมื่อผ่าน LPF จะได้สัญญาณที่ความถี่คัทออฟที่ 1,500 Hz เพื่อเป็นการจำกัดช่วงความถี่ให้กับ ADC โมดูล ADC ทำการแปลงสัญญาณอนาลอกเป็นดิจิตอลด้วยความละเอียด 8 บิต จากนั้นโมดูล UART จะส่งข้อมูลผ่านพอร์ตอนุกรมด้วยค่า 9,600 Bps

สรุปผลการทดลอง

จากการทดลองจะเห็นได้ว่าสามารถฟังเสียงหัวใจจากตัวรับสัญญาณเสียง และผ่านตัวของไมโครคอนโทรลเลอร์ (PSoC) โดยใช้หูฟัง

วิจารณ์ผลการทดลอง

เนื่องจากตัวรับสัญญาณเสียงหัวใจใช้อิเลคเทรทคอนเดนเซอร์ไมโครโฟนเป็นตัวรับสัญญาณ ซึ่งในการวัดสัญญาณเสียงหัวใจจะมีสัญญาณรบกวน เช่น สัญญาณเสียงของผู้ทดลองหรือแม้กระทั่งอุปกรณ์ที่วัดสัญญาณที่กระทบกับผิวหนังหรือเสื้อผ้าของผู้ทดลอง

แนวทางในการพัฒนาต่อไป

- จะต้องทำให้อุปกรณ์มีขนาดเล็ก เบา และกะทัดรัด
- อาจจะมีจอแสดงผลที่ตัวของเครื่องฟังเสียงหัวใจ
- สามารถดูสัญญาณเสียงหัวใจผ่านโปรแกรมการแสดงผล
- สามารถเก็บข้อมูลลงคอมพิวเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สมเกียรติ โสภณธรรมรักษ์ , " Cardiac Ausculation " เสียงหัวใจ...ง่ายนิดเดียว
คณะแพทย์ศาสตร์ มหาวิทยาลัยสงขลานครินทร์ สงขลา สิงหาคม 2546

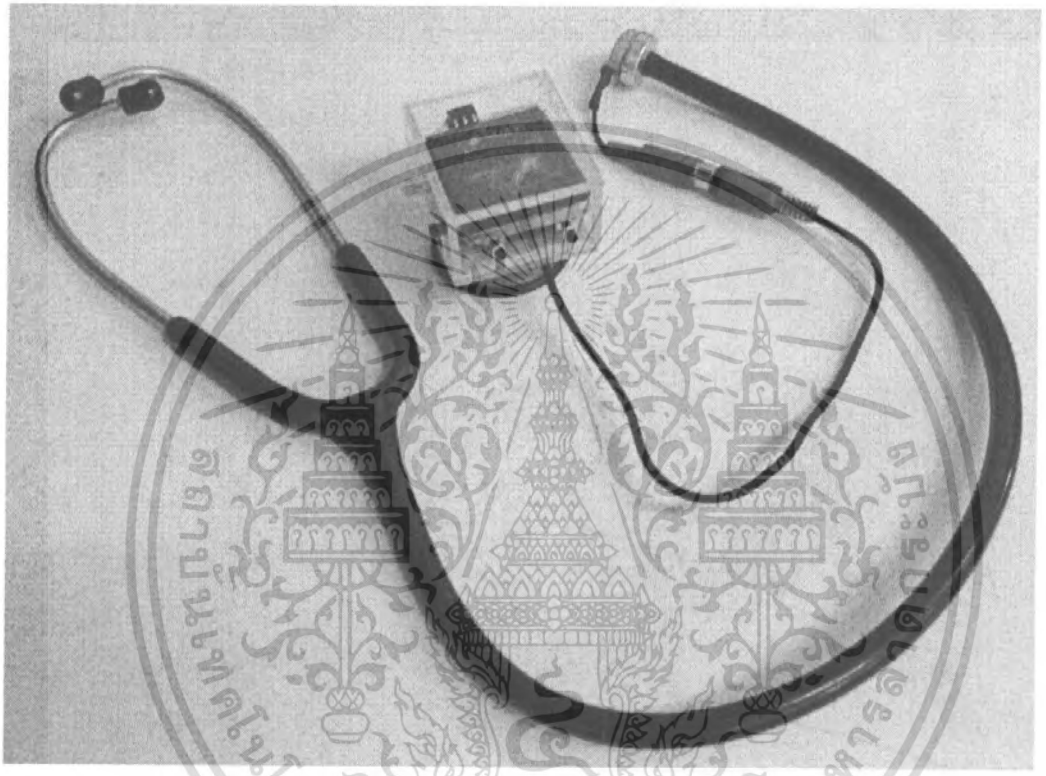
2. อุกฤษฏ์ ตันทสุทธานนท์ และ ทีมงาน , "PSOC การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PSOC ด้วยภาษา C "

3. " เรียนรู้และเข้าใจ PSOC Microcontroller ด้วยภาษา Assembly และ ภาษา C " , บริษัท อีทีที จำกัด กรุงเทพ 26 มิถุนายน 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

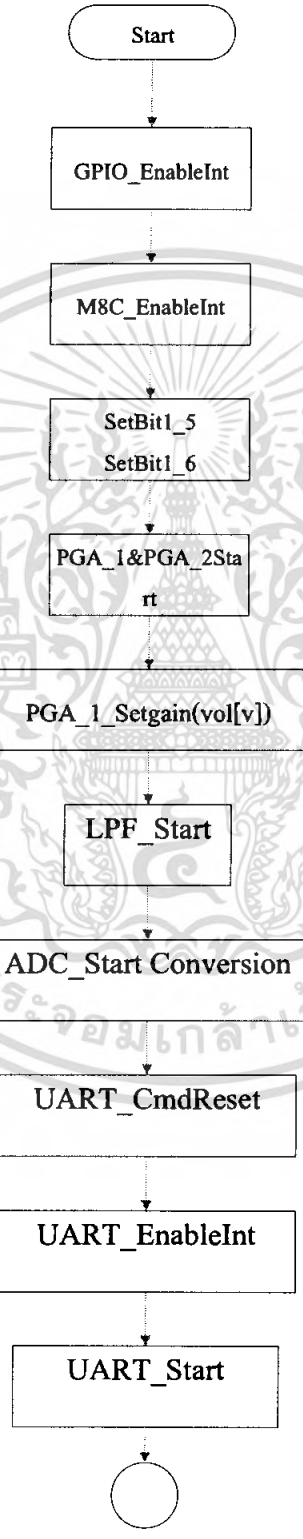


รูป ดิจิตอลสเท็ธโทสโคป

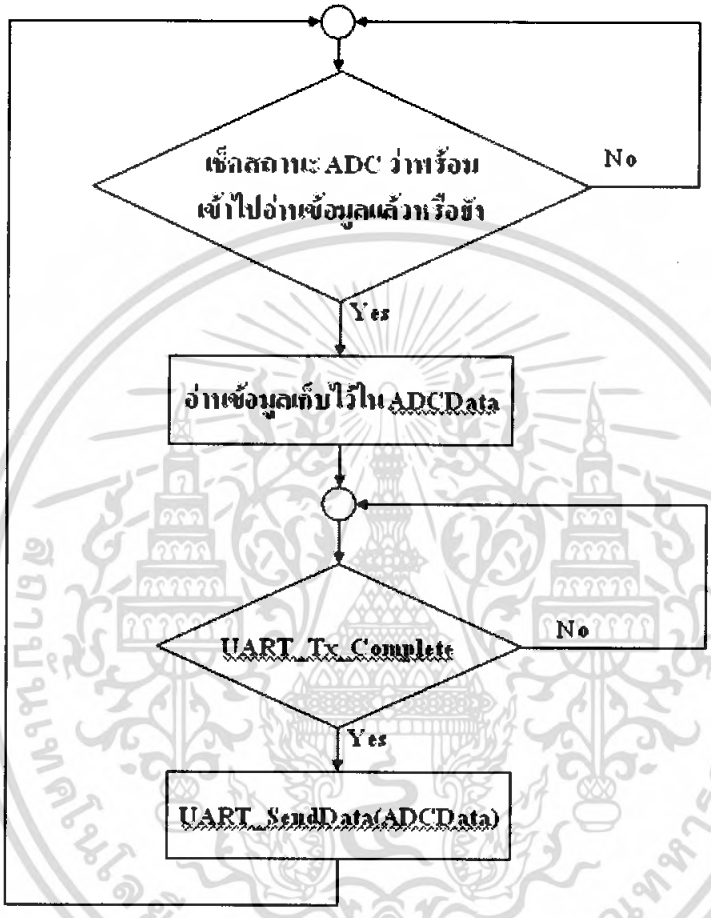
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟล์วชาร์ต

Main Program

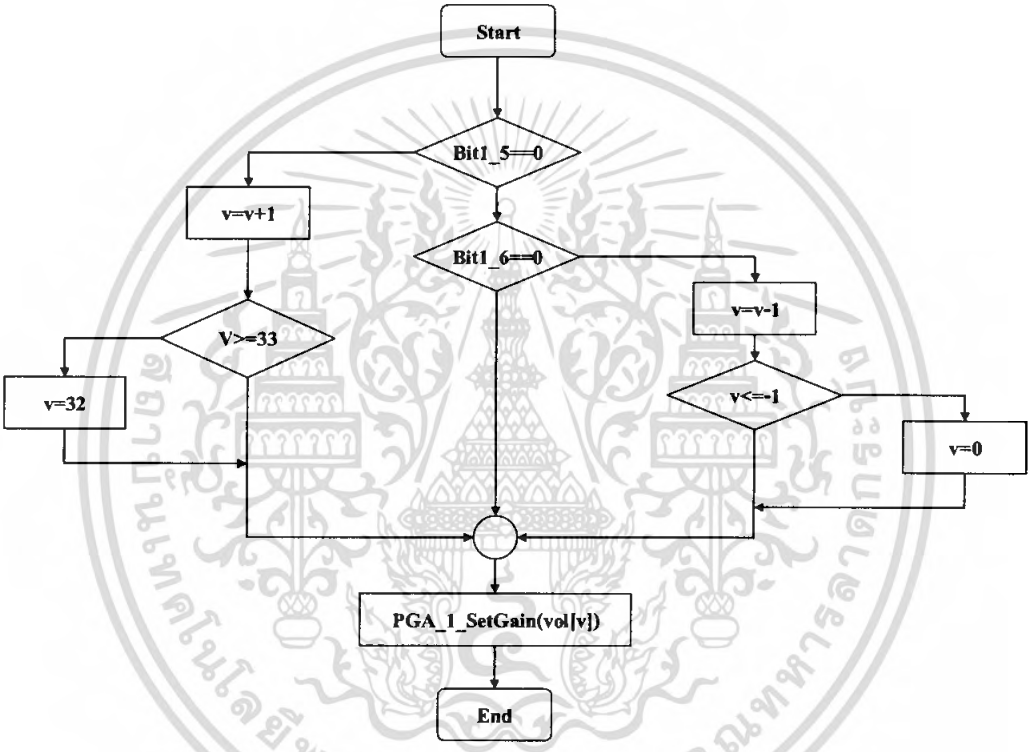


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟล์วชาร์ต GPIO Interrupt



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

processor. The CPU utilizes an interrupt controller with 11 vectors, to simplify programming of real time embedded events. Program execution is timed and protected using the included Sleep and Watchdog Timers (WDT).

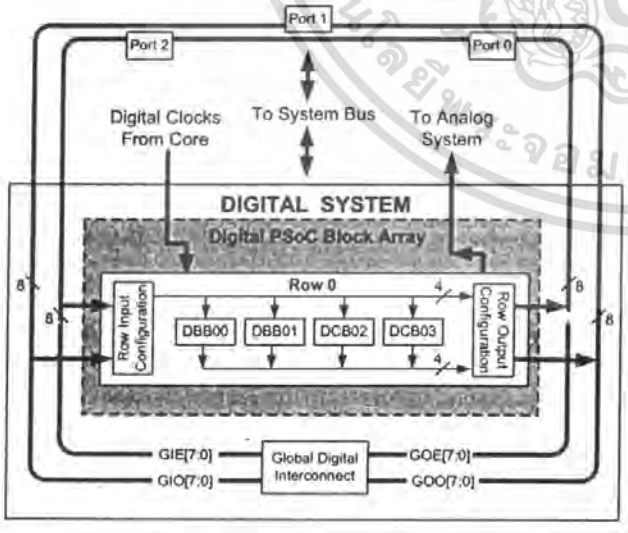
Memory encompasses 4 KB of Flash for program storage, 256 bytes of SRAM for data storage, and up to 2 KB of EEPROM emulated using the Flash. Program Flash utilizes four protection levels on blocks of 64 bytes, allowing customized software IP protection.

The PSoC device incorporates flexible internal clock generators, including a 24 MHz IMO (internal main oscillator) accurate to 2.5% over temperature and voltage. The 24 MHz IMO can also be doubled to 48 MHz for use by the digital system. A low power 32 kHz ILO (internal low speed oscillator) is provided for the Sleep timer and WDT. If crystal accuracy is desired, the ECO (32.768 kHz external crystal oscillator) is available for use as a Real Time Clock (RTC) and can optionally generate a crystal-accurate 24 MHz system clock using a PLL. The clocks, together with programmable clock dividers (as a System Resource), provide the flexibility to integrate almost any timing requirement into the PSoC device.

PSoC GPIOs provide connection to the CPU, digital and analog resources of the device. Each pin's drive mode may be selected from eight options, allowing great flexibility in external interfacing. Every pin also has the capability to generate a system interrupt on high level, low level, and change from last read.

The Digital System

The Digital System is composed of 4 digital PSoC blocks. Each block is an 8-bit resource that can be used alone or combined with other blocks to form 8, 16, 24, and 32-bit peripherals, which are called user module references.



Digital System Block Diagram

Digital peripheral configurations include those listed below.

- PWMs (8 to 32 bit)
- PWMs with Dead band (8 to 24 bit)
- Counters (8 to 32 bit)
- Timers (8 to 32 bit)
- UART 8 bit with selectable parity
- SPI master and slave
- I2C slave and multi-master (1 available as a System Resource)
- Cyclical Redundancy Checker/Generator (8 to 32 bit)
- IrDA
- Pseudo Random Sequence Generators (8 to 32 bit)

The digital blocks can be connected to any GPIO through a series of global buses that can route any signal to any pin. The buses also allow for signal multiplexing and for performing logic operations. This configurability frees your designs from the constraints of a fixed peripheral controller.

Digital blocks are provided in rows of four, where the number of blocks varies by PSoC device family. This allows you the optimum choice of system resources for your application. Family resources are shown in the table titled "PSoC Device Characteristics" on page 3.

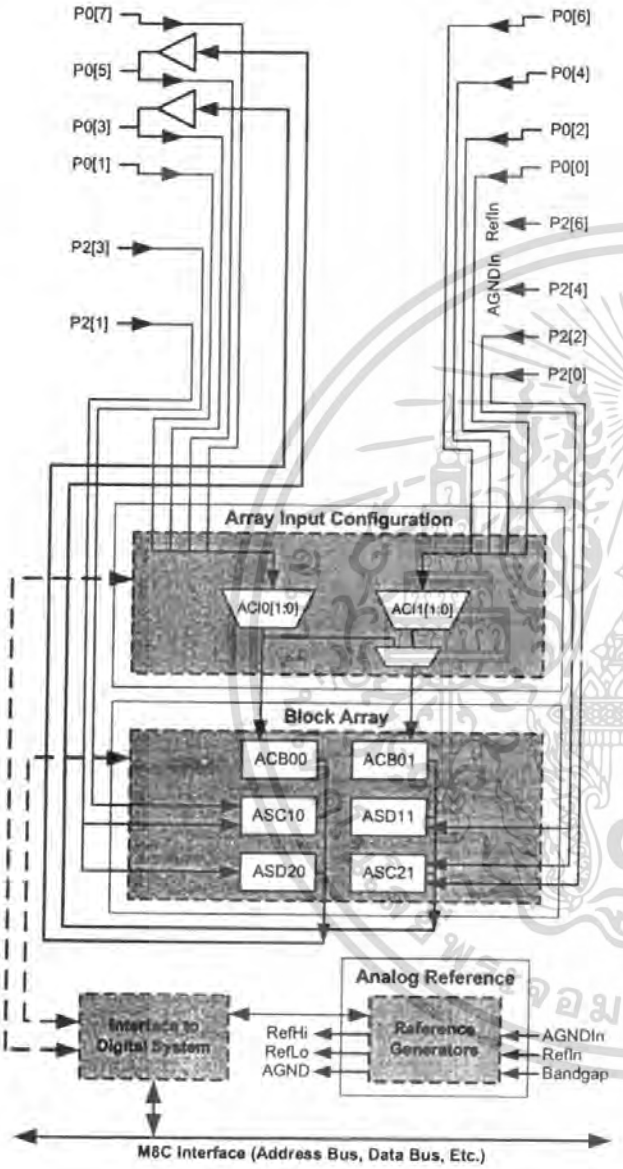
The Analog System

The Analog System is composed of 6 configurable blocks, each comprised of an opamp circuit allowing the creation of complex analog signal flows. Analog peripherals are very flexible and can be customized to support specific application requirements. Some of the more common PSoC analog functions (most available as user modules) are listed below.

- Analog-to-digital converters (up to 2, with 6- to 14-bit resolution, selectable as Incremental, Delta Sigma, and SAR)
- Filters (2 and 4 pole band-pass, low-pass, and notch)
- Amplifiers (up to 2, with selectable gain to 48x)
- Instrumentation amplifiers (1 with selectable gain to 93x)
- Comparators (up to 2, with 16 selectable thresholds)
- DACs (up to 2, with 6- to 9-bit resolution)
- Multiplying DACs (up to 2, with 6- to 9-bit resolution)
- High current output drivers (two with 30 mA drive as a PSoC Core resource)
- 1.3V reference (as a System Resource)
- DTMF Dialer
- Modulators
- Correlators
- Peak Detectors
- Many other topologies possible

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog blocks are arranged in a column of three, which includes one CT (Continuous Time) and two SC (Switched Capacitor) blocks, as shown in the figure below.



Analog System Block Diagram

Additional System Resources

System Resources, some of which have been previously listed, provide additional capability useful to complete systems. Additional resources include a multiplier, decimator, switch mode pump, low voltage detection, and power on reset. Brief statements describing the merits of each system resource are presented below.

- Digital clock dividers provide three customizable clock frequencies for use in applications. The clocks can be routed to both the digital and analog systems. Additional clocks can be generated using digital PSoC blocks as clock dividers.
- A multiply accumulate (MAC) provides a fast 8-bit multiplier with 32-bit accumulate, to assist in both general math as well as digital filters.
- The decimator provides a custom hardware filter for digital signal processing applications including the creation of Delta Sigma ADCs.
- The I2C module provides 100 and 400 kHz communication over two wires. Slave, master, and multi-master modes are all supported.
- Low Voltage Detection (LVD) interrupts can signal the application of falling voltage levels, while the advanced POR (Power On Reset) circuit eliminates the need for a system supervisor.
- An internal 1.3V reference provides an absolute reference for the analog system, including ADCs and DACs.
- An integrated switch mode pump (SMP) generates normal operating voltages from a single 1.2V battery cell, providing a low cost boost converter.

PSoC Device Characteristics

Depending on your PSoC device characteristics, the digital and analog systems can have 16, 8, or 4 digital blocks and 12, 6, or 4 analog blocks. The following table lists the resources available for specific PSoC device groups. The PSoC device covered by this data sheet is highlighted below.

PSoC Device Characteristics

PSoC Device Group	Digital IO (max)	Digital Rows	Digital Blocks	Analog Inputs	Analog Outputs	Analog Columns	Analog Blocks	Amount of SRAM	Amount of Flash
CY8C29x66	64	4	16	12	4	4	12	2K	32K
CY8C27x43	44	2	8	12	4	4	12	256 Bytes	16K
CY8C24794	50	1	4	48	2	2	6	1K	16K
CY8C24x23A	**24**	**1**	**4**	**12**	**2**	**2**	**6**	**256 Bytes**	**4K**
CY8C24x23	24	1	4	12	2	2	6	256 Bytes	4K
CY8C21x34	28	1	4	28	0	2	4[a]	512 Bytes	8K
CY8C21x23	16	1	4	8	0	2	4[a]	256 Bytes	4K

a. Limited analog functionality.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Getting Started

The quickest path to understanding the PSoC silicon is by reading this data sheet and using the PSoC Designer Integrated Development Environment (IDE). This data sheet is an overview of the PSoC integrated circuit and presents specific pin, register, and electrical specifications. For in-depth information, along with detailed programming information, reference the *PSoC™ Mixed-Signal Array Technical Reference Manual*.

For up-to-date Ordering, Packaging, and Electrical Specification information, reference the latest PSoC device data sheets on the web at http://www.cypress.com/psoc.

Development Kits

Development Kits are available from the following distributors: Digi-Key, Avnet, Arrow, and Future. The Cypress Online Store contains development kits, C compilers, and all accessories for PSoC development. Go to the Cypress Online Store web site at http://www.cypress.com, click the Online Store shopping cart icon at the bottom of the web page, and click *PSoC (Programmable System-on-Chip)* to view a current list of available items.

Technical Training

Free PSoC technical training is available for beginners and is taught by a marketing or application engineer over the phone. PSoC training classes cover designing, debugging, advanced analog, as well as application-specific classes covering topics such as PSoC and the LIN bus. Go to http://www.cypress.com, click on Design Support located on the left side of the web page, and select Technical Training for more details.

Consultants

Certified PSoC Consultants offer everything from technical assistance to completed PSoC designs. To contact or become a PSoC Consultant go to http://www.cypress.com, click on Design Support located on the left side of the web page, and select CYPros Consultants.

Technical Support

PSoC application engineers take pride in fast and accurate response. They can be reached with a 4-hour guaranteed response at http://www.cypress.com/support/login.cfm.

Application Notes

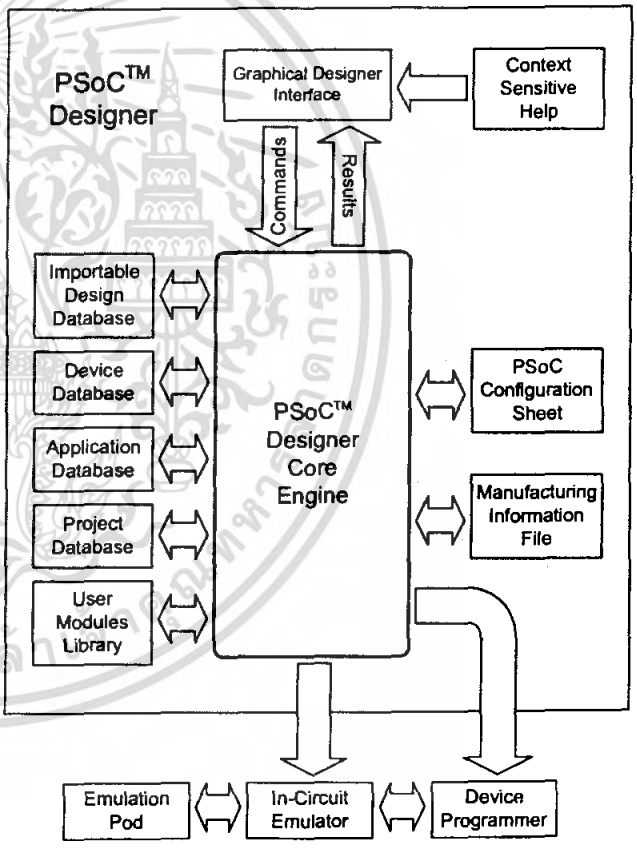
A long list of application notes will assist you in every aspect of your design effort. To view the PSoC application notes, go to the http://www.cypress.com web site and select Application Notes under the Design Resources list located in the center of the web page. Application notes are listed by date as default.

Development Tools

The Cypress MicroSystems PSoC Designer is a Microsoft® Windows-based, integrated development environment for the Programmable System-on-Chip (PSoC) devices. The PSoC Designer IDE and application runs on Windows NT 4.0, Windows 2000, Windows Millennium (Me), or Windows XP. (Reference the PSoC Designer Functional Flow diagram below.)

PSoC Designer helps the customer to select an operating configuration for the PSoC, write application code that uses the PSoC, and debug the application. This system provides design database management by project, an integrated debugger with In-Circuit Emulator, in-system programming support, and the CYASM macro assembler for the CPUs.

PSoC Designer also supports a high-level C language compiler developed specifically for the devices in the family.



PSoC Designer Subsystems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSoC Designer Software Subsystems

Device Editor

The Device Editor subsystem allows the user to select different onboard analog and digital components called user modules using the PSoC blocks. Examples of user modules are ADCs, DACs, Amplifiers, and Filters.

The device editor also supports easy development of multiple configurations and dynamic reconfiguration. Dynamic configuration allows for changing configurations at run time.

PSoC Designer sets up power-on initialization tables for selected PSoC block configurations and creates source code for an application framework. The framework contains software to operate the selected components and, if the project uses more than one operating configuration, contains routines to switch between different sets of PSoC block configurations at run time. PSoC Designer can print out a configuration sheet for a given project configuration for use during application programming in conjunction with the Device Data Sheet. Once the framework is generated, the user can add application-specific code to flesh out the framework. It's also possible to change the selected components and regenerate the framework.

Design Browser

The Design Browser allows users to select and import preconfigured designs into the user's project. Users can easily browse a catalog of preconfigured designs to facilitate time-to-design. Examples provided in the tools include a 300-baud modem, LIN Bus master and slave, fan controller, and magnetic card reader.

Application Editor

In the Application Editor you can edit your C language and Assembly language source code. You can also assemble, compile, link, and build.

Assembler. The macro assembler allows the assembly code to be merged seamlessly with C code. The link libraries automatically use absolute addressing or can be compiled in relative mode, and linked with other software modules to get absolute addressing.

C Language Compiler. A C language compiler is available that supports PSoC family devices. Even if you have never worked in the C language before, the product quickly allows you to create complete C programs for the PSoC family devices.

The embedded, optimizing C compiler provides all the features of C tailored to the PSoC architecture. It comes complete with embedded libraries providing port and bus operations, standard keypad and display support, and extended math functionality.

Debugger

The PSoC Designer Debugger subsystem provides hardware in-circuit emulation, allowing the designer to test the program in a physical system while providing an internal view of the PSoC device. Debugger commands allow the designer to read and program and read and write data memory, read and write IO registers, read and write CPU registers, set and clear breakpoints, and provide program run, halt, and step control. The debugger also allows the designer to create a trace buffer of registers and memory locations of interest.

Online Help System

The online help system displays online, context-sensitive help for the user. Designed for procedural and quick reference, each functional subsystem has its own context-sensitive help. This system also provides tutorials and links to FAQs and an Online Support Forum to aid the designer in getting started.

Hardware Tools

In-Circuit Emulator

A low cost, high functionality ICE (In-Circuit Emulator) is available for development support. This hardware has the capability to program single devices.

The emulator consists of a base unit that connects to the PC by way of the parallel or USB port. The base unit is universal and will operate with all PSoC devices. Emulation pods for each device family are available separately. The emulation pod takes the place of the PSoC device in the target board and performs full speed (24 MHz) operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Designing with User Modules

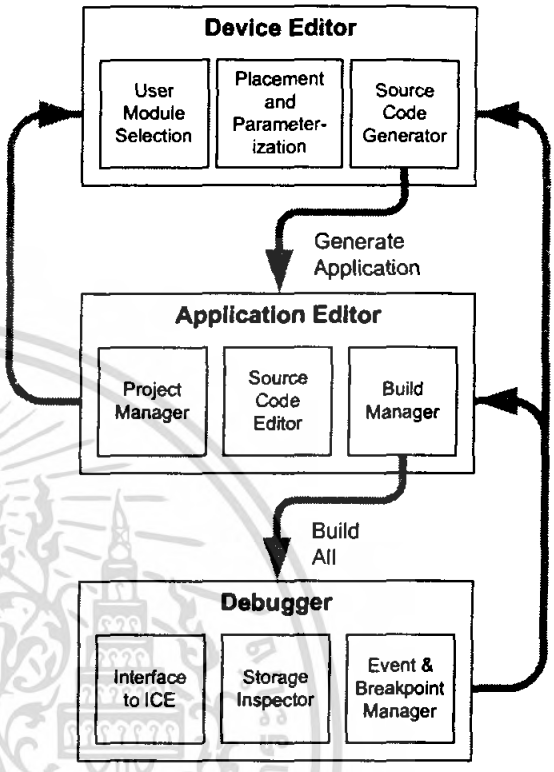
The development process for the PSoC device differs from that of a traditional fixed function microprocessor. The configurable analog and digital hardware blocks give the PSoC architecture a unique flexibility that pays dividends in managing specification change during development and by lowering inventory costs. These configurable resources, called PSoC Blocks, have the ability to implement a wide variety of user-selectable functions. Each block has several registers that determine its function and connectivity to other blocks, multiplexers, buses and to the IO pins. Iterative development cycles permit you to adapt the hardware as well as the software. This substantially lowers the risk of having to select a different part to meet the final design requirements.

To speed the development process, the PSoC Designer Integrated Development Environment (IDE) provides a library of pre-built, pre-tested hardware peripheral functions, called "User Modules." User modules make selecting and implementing peripheral devices simple, and come in analog, digital, and mixed signal varieties. The standard User Module library contains over 50 common peripherals such as ADCs, DACs Timers, Counters, UARTs, and other not-so common peripherals such as DTMF Generators and Bi-Quad analog filter sections.

Each user module establishes the basic register settings that implement the selected function. It also provides parameters that allow you to tailor its precise configuration to your particular application. For example, a Pulse Width Modulator User Module configures one or more digital PSoC blocks, one for each 8 bits of resolution. The user module parameters permit you to establish the pulse width and duty cycle. User modules also provide tested software to cut your development time. The user module application programming interface (API) provides high-level functions to control and respond to hardware events at run-time. The API also provides optional interrupt service routines that you can adapt as needed.

The API functions are documented in user module data sheets that are viewed directly in the PSoC Designer IDE. These data sheets explain the internal operation of the user module and provide performance specifications. Each data sheet describes the use of each user module parameter and documents the setting of each register controlled by the user module.

The development process starts when you open a new project and bring up the Device Editor, a graphical user interface (GUI) for configuring the hardware. You pick the user modules you need for your project and map them onto the PSoC blocks with point-and-click simplicity. Next, you build signal chains by interconnecting user modules to each other and the IO pins. At this stage, you also configure the clock source connections and enter parameter values directly or by selecting values from drop-down menus. When you are ready to test the hardware configuration or move on to developing code for the project, you perform the "Generate Application" step. This causes PSoC Designer to generate source code that automatically configures the device to your specification and provides the high-level user module API functions.



User Module and Source Code Development Flows

The next step is to write your main program, and any sub-routines using PSoC Designer's Application Editor subsystem. The Application Editor includes a Project Manager that allows you to open the project source code files (including all generated code files) from a hierarchal view. The source code editor provides syntax coloring and advanced edit features for both C and assembly language. File search capabilities include simple string searches and recursive "grep-style" patterns. A single mouse click invokes the Build Manager. It employs a professional-strength "makefile" system to automatically analyze all file dependencies and run the compiler and assembler as necessary. Project-level options control optimization strategies used by the compiler and linker. Syntax errors are displayed in a console window. Double clicking the error message takes you directly to the offending line of source code. When all is correct, the linker builds a HEX file image suitable for programming.

The last step in the development process takes place inside the PSoC Designer's Debugger subsystem. The Debugger downloads the HEX image to the In-Circuit Emulator (ICE) where it runs at full speed. Debugger capabilities rival those of systems costing many times more. In addition to traditional single-step, run-to-breakpoint and watch-variable features, the Debugger provides a large trace buffer and allows you define complex breakpoint events that include monitoring address and data bus values, memory locations and external signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Document Conventions

Acronyms Used

The following table lists the acronyms that are used in this document.

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
GUI	graphical user interface
HBM	human body model
ICE	in-circuit emulator
ILO	internal low speed oscillator
IMO	internal main oscillator
IO	input/output
IPOR	imprecise power on reset
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
PLL	phase-locked loop
POR	power on reset
PPOR	precision power on reset
PSoC™	Programmable System-on-Chip™
PWM	pulse width modulator
SC	switched capacitor
SLIMO	slow IMO
SMP	switch mode pump
SRAM	static random access memory

Units of Measure

A units of measure table is located in the Electrical Specifications section. Table 3-1 on page 15 lists all the abbreviations used to measure the PSoC devices.

Numeric Naming

Hexidecimal numbers are represented with all letters in uppercase with an appended lowercase 'h' (for example, '14h' or '3Ah'). Hexidecimal numbers may also be represented by a '0x' prefix, the C coding convention. Binary numbers have an appended lowercase 'b' (e.g., 01010100b' or '01000011b'). Numbers not indicated by an 'h' or 'b' are decimal.

Table of Contents

For an in depth discussion and more information on your PSoC device, obtain the *PSoC Mixed-Signal Array Technical Reference Manual*. This document encompasses and is organized into the following chapters and sections.

1. Pin Information 8
1.1 Pinouts 8
1.1.1 8-Pin Part Pinout 8
1.1.2 20-Pin Part Pinout 9
1.1.3 28-Pin Part Pinout 10
1.1.4 32-Pin Part Pinout 11

2. Register Reference 12
2.1 Register Conventions 12
2.1.1 Abbreviations Used 12
2.2 Register Mapping Tables 12

3. Electrical Specifications 15
3.1 Absolute Maximum Ratings 16
3.2 Operating Temperature 16
3.3 DC Electrical Characteristics 17
3.3.1 DC Chip-Level Specifications 17
3.3.2 DC General Purpose IO Specifications 18
3.3.3 DC Operational Amplifier Specifications 19
3.3.4 DC Analog Output Buffer Specifications 22
3.3.5 DC Switch Mode Pump Specifications 24
3.3.6 DC Analog Reference Specifications 25
3.3.7 DC Analog PSoC Block Specifications 26
3.3.8 DC POR, SMP, and LVD Specifications 27
3.3.9 DC Programming Specifications 28
3.4 AC Electrical Characteristics 29
3.4.1 AC Chip-Level Specifications 29
3.4.2 AC General Purpose IO Specifications 32
3.4.3 AC Operational Amplifier Specifications 33
3.4.4 AC Digital Block Specifications 36
3.4.5 AC Analog Output Buffer Specifications 38
3.4.6 AC External Clock Specifications 39
3.4.7 AC Programming Specifications 40
3.4.8 AC I2C Specifications 41

4. Packaging Information 42
4.1 Packaging Dimensions 42
4.2 Thermal Impedances 47
4.3 Capacitance on Crystal Pins 47
4.4 Solder Reflow Peak Temperature 48

5. Ordering Information 49
5.1 Ordering Code Definitions 49

6. Sales and Company Information 50
6.1 Revision History 50
6.2 Copyrights and Code Protection 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

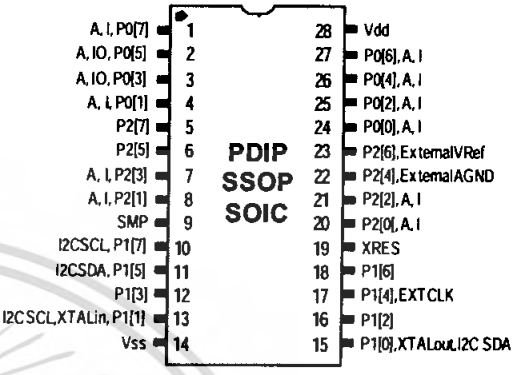
1.1.3 28-Pin Part Pinout

Table 1-3. 28-Pin Part Pinout (PDIP, SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
10	IO		P1[7]	I2C Serial Clock (SCL).
11	IO		P1[5]	I2C Serial Data (SDA).
12	IO		P1[3]	
13	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL), ISSP-SCLK.
14	Power		Vss	Ground connection.
15	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA), ISSP-SDATA.
16	IO		P1[2]	
17	IO		P1[4]	Optional External Clock Input (EXTCLK).
18	IO		P1[6]	
19	Input		XRES	Active high external reset with internal pull down.
20	IO	I	P2[0]	Direct switched capacitor block input.
21	IO	I	P2[2]	Direct switched capacitor block input.
22	IO		P2[4]	External Analog Ground (AGND).
23	IO		P2[6]	External Voltage Reference (VRef).
24	IO	I	P0[0]	Analog column mux input.
25	IO	I	P0[2]	Analog column mux input.
26	IO	I	P0[4]	Analog column mux input.
27	IO	I	P0[6]	Analog column mux input.
28	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C24423A 28-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.4 32-Pin Part Pinout

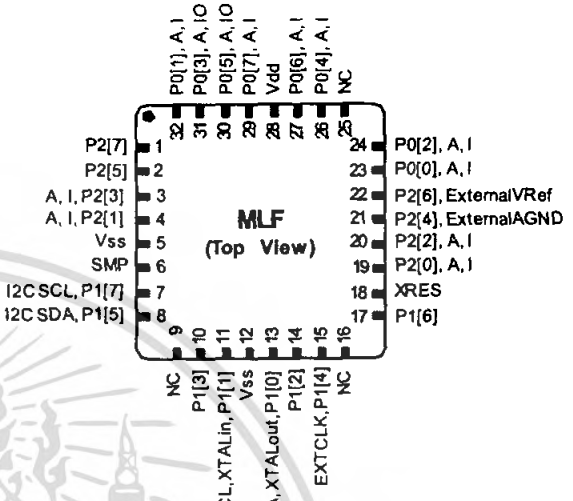
Table 1-4. 32-Pin Part Pinout (MLF*)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO		P2[7]	
2	IO		P2[5]	
3	IO	I	P2[3]	Direct switched capacitor block input.
4	IO	I	P2[1]	Direct switched capacitor block input.
5	Power		Vss	Ground connection.
6	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
7	IO		P1[7]	I2C Serial Clock (SCL).
8	IO		P1[5]	I2C Serial Data (SDA).
9			NC	No connection. Do not use.
10	IO		P1[3]	
11	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL), ISSP-SCLK.
12	Power		Vss	Ground connection.
13	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA), ISSP-SDATA.
14	IO		P1[2]	
15	IO		P1[4]	Optional External Clock Input (EXTCLK).
16			NC	No connection. Do not use.
17	IO		P1[6]	
18	Input		XRES	Active high external reset with internal pull down.
19	IO	I	P2[0]	Direct switched capacitor block input.
20	IO	I	P2[2]	Direct switched capacitor block input.
21	IO		P2[4]	External Analog Ground (AGND).
22	IO		P2[6]	External Voltage Reference (VRef).
23	IO	I	P0[0]	Analog column mux input.
24	IO	I	P0[2]	Analog column mux input.
25			NC	No connection. Do not use.
26	IO	I	P0[4]	Analog column mux input.
27	IO	I	P0[6]	Analog column mux input.
28	Power		Vdd	Supply voltage.
29	IO	I	P0[7]	Analog column mux input.
30	IO	IO	P0[5]	Analog column mux input and column output.
31	IO	IO	P0[3]	Analog column mux input and column output.
32	IO	I	P0[1]	Analog column mux input.

LEGEND: A = Analog, I = Input, and O = Output.

* The MLF package has a center pad that must be connected to ground (Vss).

CY8C24423A 32-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Register Reference

This chapter lists the registers of the CY8C24x23A PSoC device. For detailed register information, reference the *PSoC™ Mixed-Signal Array Technical Reference Manual.*

2.1 Register Conventions

2.1.1 Abbreviations Used

The register conventions specific to this section are listed in the following table.

Convention	Description
R	Read register or bit(s)
W	Write register or bit(s)
L	Logical register or bit(s)
C	Clearable register or bit(s)
#	Access is bit specific

2.2 Register Mapping Tables

The PSoC device has a total register address space of 512 bytes. The register space is referred to as IO space and is divided into two banks. The XOI bit in the Flag register (CPU_F) determines which bank the user is currently in. When the XOI bit is set the user is in Bank 1.

Note In the following register mapping tables, blank fields are reserved and should not be accessed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 0 Table: User Space

Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48			88			C8	
PRT2IE	09	RW		49			89			C9	
PRT2GS	0A	RW		4A			8A			CA	
PRT2DM2	0B	RW		4B			8B			CB	
	0C			4C			8C			CC	
	0D			4D			8D			CD	
	0E			4E			8E			CE	
	0F			4F			8F			CF	
	10			50		ASD20CR0	90	RW		D0	
	11			51		ASD20CR1	91	RW		D1	
	12			52		ASD20CR2	92	RW		D2	
	13			53		ASD20CR3	93	RW		D3	
	14			54		ASC21CR0	94	RW		D4	
	15			55		ASC21CR1	95	RW		D5	
	16			56		ASC21CR2	96	RW	I2C_CFG	D6	RW
	17			57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58			98		I2C_DR	D8	RW
	19			59			99		I2C_MSCR	D9	#
	1A			5A			9A		INT_CLR0	DA	RW
	1B			5B			9B		INT_CLR1	DB	RW
	1C			5C			9C			DC	
	1D			5D			9D		INT_CLR3	DD	RW
	1E			5E			9E		INT_MSK3	DE	RW
	1F			5F			9F			DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68			A8		MUL_X	E8	W
DCB02DR1	29	W		69			A9		MUL_Y	E9	W
DCB02DR2	2A	RW		6A			AA		MUL_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL_DL	EB	R
DCB03DR0	2C	#		6C			AC		ACC_DR1	EC	RW
DCB03DR1	2D	W		6D			AD		ACC_DR0	ED	RW
DCB03DR2	2E	RW		6E			AE		ACC_DR3	EE	RW
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
	30		ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
	31		ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
	32		ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34		ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
	35		ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
	36		ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	
	3A			7A			BA			FA	
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 1 Table: Configuration Space

Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48			88			C8	
PRT2DM1	09	RW		49			89			C9	
PRT2IC0	0A	RW		4A			8A			CA	
PRT2IC1	0B	RW		4B			8B			CB	
	0C			4C			8C			CC	
	0D			4D			8D			CD	
	0E			4E			8E			CE	
	0F			4F			8F			CF	
	10			50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
	11			51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
	12			52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
	13			53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
	14			54		ASC21CR0	94	RW		D4	
	15			55		ASC21CR1	95	RW		D5	
	16			56		ASC21CR2	96	RW		D6	
	17			57		ASC21CR3	97	RW		D7	
	18			58			98			D8	
	19			59			99			D9	
	1A			5A			9A			DA	
	1B			5B			9B			DB	
	1C			5C			9C			DC	
	1D			5D			9D		OSC_GO_EN	DD	RW
	1E			5E			9E		OSC_CR4	DE	RW
	1F			5F			9F		OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW		68			A8		IMO_TR	E8	W
DCB02IN	29	RW		69			A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW		6C			AC			EC	
DCB03IN	2D	RW		6D			AD			ED	
DCB03OU	2E	RW		6E			AE			EE	
	2F			6F			AF			EF	
	30		ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
	31		ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
	32		ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34		ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
	35		ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
	36		ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	
	3A			7A			BA			FA	
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Electrical Specifications

This chapter presents the DC and AC electrical specifications of the CY8C24x23A PSoC device. For the most up to date electrical specifications, confirm that you have the most recent data sheet by going to the web at http://www.cypress.com/psoc.

Specifications are valid for -40°C ≤ T_A ≤ 85°C and T_J ≤ 100°C, except where noted.

Refer to Table 3-20 for the electrical specifications on the internal main oscillator (IMO) using SLIMO mode.

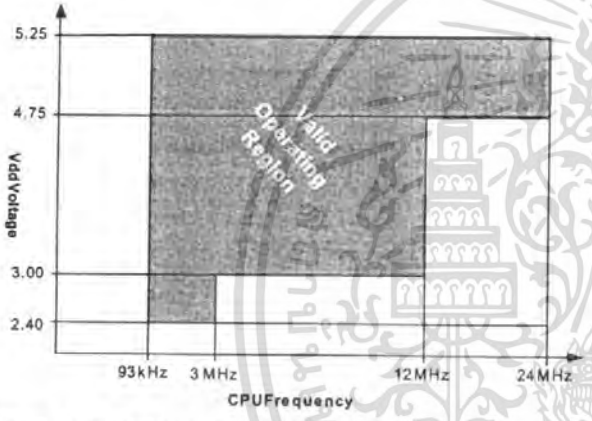


Figure 3-1a. Voltage versus CPU Frequency

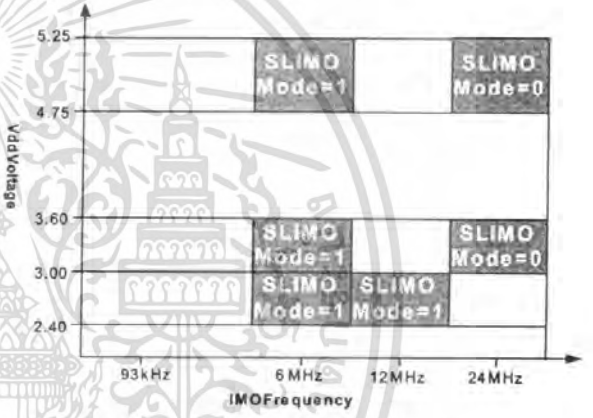


Figure 3-1b. IMO Frequency Trim Options

The following table lists the units of measure that are used in this chapter.

Table 3-1: Units of Measure

Symbol	Unit of Measure	Symbol	Unit of Measure
°C	degree Celsius	µW	microwatts
dB	decibels	mA	milli-ampere
fF	femto farad	ms	milli-second
Hz	hertz	mV	milli-volts
KB	1024 bytes	nA	nanoampere
Kbit	1024 bits	ns	nanosecond
kHz	kilohertz	nV	nanovolts
kΩ	kilohm	Ω	ohm
MHz	megahertz	pA	picoampere
MΩ	megaohm	pF	picofarad
µA	microampere	pp	peak-to-peak
µF	microfarad	ppm	parts per million
µH	microhenry	ps	picosecond
µs	microsecond	sps	samples per second
µV	microvolts	σ	sigma: one standard deviation
µVrms	microvolts root-mean-square	V	volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Absolute Maximum Ratings

Table 3-2. Absolute Maximum Ratings

Symbol	Description	Min	Typ	Max	Units	Notes
T_{STG}	Storage Temperature	-55	–	+100	°C	Higher storage temperatures will reduce data retention time.
T_A	Ambient Temperature with Power Applied	-40	–	+85	°C	
Vdd	Supply Voltage on Vdd Relative to Vss	-0.5	–	+6.0	V	
V_{IO}	DC Input Voltage	Vss - 0.5	–	Vdd + 0.5	V	
V_{IOZ}	DC Voltage Applied to Tri-state	Vss - 0.5	–	Vdd + 0.5	V	
I_{MIO}	Maximum Current into any Port Pin	-25	–	+50	mA	
ESD	Electro Static Discharge Voltage	2000	–	–	V	Human Body Model ESD.
LU	Latch-up Current	–	–	200	mA	

3.2 Operating Temperature

Table 3-3. Operating Temperature

Symbol	Description	Min	Typ	Max	Units	Notes
T_A	Ambient Temperature	-40	–	+85	°C	
T_J	Junction Temperature	-40	–	+100	°C	The temperature rise from ambient to junction is package specific. See "Thermal Impedances" on page 47. The user must limit the power consumption to comply with this requirement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 DC Electrical Characteristics

3.3.1 DC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-4. DC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
Vdd	Supply Voltage	2.4	–	5.25	V	See DC POR and LVD specifications, Table 3-18 on page 27.
I_{DD}	Supply Current	–	5	8	mA	Conditions are Vdd = 5.0V, T_A = 25 °C, CPU = 3 MHz, SYSCLK doubler disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz, analog power = off. SLIMO mode = 0. IMO = 24 MHz.
I_{DD3}	Supply Current	–	3.3	6.0	mA	Conditions are Vdd = 3.3V, T_A = 25 °C, CPU = 3 MHz, SYSCLK doubler disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz, analog power = off. SLIMO mode = 0. IMO = 24 MHz.
I_{DD27}	Supply Current	–	2	4	mA	Conditions are Vdd = 2.7V, T_A = 25 °C, CPU = 0.75 MHz, SYSCLK doubler disabled, VC1 = 0.375 MHz, VC2 = 23.44 kHz, VC3 = 0.09 kHz, analog power = off. SLIMO mode = 1. IMO = 6 MHz.
I_{SB}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT.[a]	–	3	6.5	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C, analog power = off.
I_{SBH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT at high temperature.[a]	–	4	25	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, 55 °C < T_A ≤ 85 °C, analog power = off.
I_{SBXTL}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal.[a]	–	4	7.5	µA	Conditions are with properly loaded, 1 µW max, 32.768 kHz crystal. Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C, analog power = off.
I_{SBXTLH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal at high temperature.[a]	–	5	26	µA	Conditions are with properly loaded, 1µW max, 32.768 kHz crystal. Vdd = 3.3 V, 55 °C < T_A ≤ 85 °C, analog power = off.
V_{REF}	Reference Voltage (Bandgap)	1.28	1.30	1.33	V	Trimmed for appropriate Vdd. Vdd > 3.0V.
V_{REF27}	Reference Voltage (Bandgap)	1.16	1.30	1.33	V	Trimmed for appropriate Vdd. Vdd = 2.4V to 3.0V.

a. Standby current includes all functions (POR, LVD, WDT, Sleep Time) needed for reliable system operation. This should be compared with devices that have similar functions enabled.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 DC General Purpose IO Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-5. 5V and 3.3V DC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{PU}	Pull up Resistor	4	5.6	8	kΩ	
R_{PD}	Pull down Resistor	4	5.6	8	kΩ	
V_{OH}	High Output Level	Vdd - 1.0	–	–	V	IOH = 10 mA, Vdd = 4.75 to 5.25V (maximum 40 mA on even port pins (for example, P0[2], P1[4]), maximum 40 mA on odd port pins (for example, P0[3], P1[5])). 80 mA maximum combined IOH budget.
V_{OL}	Low Output Level	–	–	0.75	V	IOL = 25 mA, Vdd = 4.75 to 5.25V (maximum 100 mA on even port pins (for example, P0[2], P1[4]), maximum 100 mA on odd port pins (for example, P0[3], P1[5])). 150 mA maximum combined IOL budget.
V_{IL}	Input Low Level	–	–	0.8	V	Vdd = 3.0 to 5.25.
V_{IH}	Input High Level	2.1	–		V	Vdd = 3.0 to 5.25.
V_H	Input Hysterisis	–	60	–	mV	
I_{IL}	Input Leakage (Absolute Value)	–	1	–	nA	Gross tested to 1 µA.
C_{IN}	Capacitive Load on Pins as Input	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C_{OUT}	Capacitive Load on Pins as Output	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.

Table 3-6. 2.7V DC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{PU}	Pull up Resistor	4	5.6	8	kΩ	
R_{PD}	Pull down Resistor	4	5.6	8	kΩ	
V_{OH}	High Output Level	Vdd - 0.4	–	–	V	IOH = 2 mA (6.25 Typ), Vdd = 2.4 to 3.0V (16 mA maximum, 50 mA Typ combined IOH budget).
V_{OL}	Low Output Level	–	–	0.75	V	IOL = 11.25 mA, Vdd = 2.4 to 3.0V (90 mA maximum combined IOL budget).
V_{IL}	Input Low Level	–	–	0.75	V	Vdd = 2.4 to 3.0.
V_{IH}	Input High Level	2.0	–	–	V	Vdd = 2.4 to 3.0.
V_H	Input Hysteresis	–	90	–	mV	
I_{IL}	Input Leakage (Absolute Value)	–	1	–	nA	Gross tested to 1 µA.
C_{IN}	Capacitive Load on Pins as Input	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C_{OUT}	Capacitive Load on Pins as Output	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 DC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

The Operational Amplifier is a component of both the Analog Continuous Time PSoC blocks and the Analog Switched Cap PSoC blocks. The guaranteed specifications are measured in the Analog Continuous Time PSoC block. Typical parameters apply to 5V at 25°C and are for design guidance only.

Table 3-7. 5V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.6	10	mV	
	Power = Medium, Opamp Bias = High	–	1.3	8	mV	
	Power = High, Opamp Bias = High	–	1.2	7.5	mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.0	–	Vdd	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
	Common Mode Voltage Range (high power or high opamp bias)	0.5	–	Vdd - 0.5		
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low, Opamp Bias = High	60				
	Power = Medium, Opamp Bias = High	60				
	Power = High, Opamp Bias = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low, Opamp Bias = High	Vdd - 0.2	–	–	V	
	Power = Medium, Opamp Bias = High	Vdd - 0.2	–	–	V	
	Power = High, Opamp Bias = High	Vdd - 0.5	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low, Opamp Bias = High	–	–	0.2	V	
	Power = Medium, Opamp Bias = High	–	–	0.2	V	
	Power = High, Opamp Bias = High	–	–	0.5	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = High	–	150	200	µA	
	Power = Low, Opamp Bias = High		300	400	µA	
	Power = Medium, Opamp Bias = High	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = High	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	64	80	–	dB	Vss ≤ VIN ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ VIN ≤ Vdd.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-8. 3.3V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value) Power = Low, Opamp Bias = High Power = Medium, Opamp Bias = High High Power is 5 Volts Only	 – –	 1.65 1.32	 10 8	 mV mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.2	–	Vdd - 0.2	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
G_{OLOA}	Open Loop Gain Power = Low, Opamp Bias = Low Power = Medium, Opamp Bias = Low Power = High, Opamp Bias = Low	 60 60 80	–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals) Power = Low, Opamp Bias = Low Power = Medium, Opamp Bias = Low Power = High is 5V only	 Vdd - 0.2 Vdd - 0.2 Vdd - 0.2	 – – –	 – – –	 V V V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals) Power = Low, Opamp Bias = Low Power = Medium, Opamp Bias = Low Power = High, Opamp Bias = Low	 – – –	 – – –	 0.2 0.2 0.2	 V V V	
I_{SOA}	Supply Current (including associated AGND buffer) Power = Low, Opamp Bias = Low Power = Low, Opamp Bias = High Power = Medium, Opamp Bias = Low Power = Medium, Opamp Bias = High Power = High, Opamp Bias = Low Power = High, Opamp Bias = High	 – – – – – –	 150 300 600 1200 2400 4600	 200 400 800 1600 3200 6400	 µA µA µA µA µA µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	64	80	–	dB	Vss ≤ VIN ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ VIN ≤ Vdd..

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-9. 2.7V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.65	10	mV	
	Power = Medium, Opamp Bias = High	–	1.32	8	mV	
	High Power is 5 Volts Only					
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.2	–	Vdd - 0.2	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low, Opamp Bias = Low	60				
	Power = Medium, Opamp Bias = Low	60				
	Power = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low, Opamp Bias = Low	Vdd - 0.2	–	–	V	
	Power = Medium, Opamp Bias = Low	Vdd - 0.2	–	–	V	
	Power = High is 5V only	Vdd - 0.2	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low, Opamp Bias = Low	–	–	0.2	V	
	Power = Medium, Opamp Bias = Low	–	–	0.2	V	
	Power = High, Opamp Bias = Low	–	–	0.2	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	µA	
	Power = Low, Opamp Bias = High	–	300	400	µA	
	Power = Medium, Opamp Bias = Low	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = Low	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	64	80	–	dB	Vss ≤ VIN ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ VIN ≤ Vdd.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 DC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-10. 5V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	–	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.1	–	–	V	
	Power = High	0.5 x Vdd + 1.1	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.3	V	
	Power = High	–	–	0.5 x Vdd - 1.3	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	–	1.1	5.1	mA	
	Power = High	–	2.6	8.8	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	52	64	–	dB	V_{OUT} > (Vdd - 1.25).

Table 3-11. 3.3V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	-	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.0	–	–	V	
	Power = High	0.5 x Vdd + 1.0	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.0	V	
	Power = High	–	–	0.5 x Vdd - 1.0	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low		0.8	2.0	mA	
	Power = High	–	2.0	4.3	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	52	64	–	dB	V_{OUT} > (Vdd - 1.25).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-12. 2.7V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	-	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 0.2	–	–	V	
	Power = High	0.5 x Vdd + 0.2	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 0.7	V	
	Power = High	–	–	0.5 x Vdd - 0.7	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low		0.8	2.0	mA	
	Power = High	–	2.0	4.3	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	52	64	–	dB	V_{OUT} > (Vdd - 1.25).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 DC Switch Mode Pump Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-13. DC Switch Mode Pump (SMP) Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{PUMP} 5V	5V Output Voltage from Pump	4.75	5.0	5.25	V	Configuration of footnote.[a] Average, neglecting ripple. SMP trip voltage is set to 5.0V.
V_{PUMP} 3V	3.3V Output Voltage from Pump	3.00	3.25	3.60	V	Configuration of footnote.[a] Average, neglecting ripple. SMP trip voltage is set to 3.25V.
V_{PUMP} 2V	2.6V Output Voltage from Pump	2.45	2.55	2.80	V	Configuration of footnote.[a] Average, neglecting ripple. SMP trip voltage is set to 2.55V.
I_{PUMP}	Available Output Current					Configuration of footnote.[a]
	V_{BAT} = 1.8V, V_{PUMP} = 5.0V	5	–	–	mA	SMP trip voltage is set to 5.0V.
	V_{BAT} = 1.5V, V_{PUMP} = 3.25V	8	–	–	mA	SMP trip voltage is set to 3.25V.
	V_{BAT} = 1.3V, V_{PUMP} = 2.55V	8	–	–	mA	SMP trip voltage is set to 2.55V.
V_{BAT}5V	Input Voltage Range from Battery	1.8	–	5.0	V	Configuration of footnote.[a] SMP trip voltage is set to 5.0V.
V_{BAT}3V	Input Voltage Range from Battery	1.0	–	3.3	V	Configuration of footnote.[a] SMP trip voltage is set to 3.25V.
V_{BAT}2V	Input Voltage Range from Battery	1.0	–	3.0	V	Configuration of footnote.[a] SMP trip voltage is set to 2.55V.
$V_{BATSTART}$	Minimum Input Voltage from Battery to Start Pump	1.2	–	–	V	Configuration of footnote.[a] 0°C ≤ T_A ≤ 100. 1.25V at T_A = -40°C.
ΔV_{PUMP_Line}	Line Regulation (over V_{BAT} range)	–	5	–	%V_O	Configuration of footnote.[a] V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-18 on page 27.
ΔV_{PUMP_Load}	Load Regulation	–	5	–	%V_O	Configuration of footnote.[a] V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-18 on page 27.
ΔV_{PUMP_Ripple}	Output Voltage Ripple (depends on capacitor/load)	–	100	–	mVpp	Configuration of footnote.[a] Load is 5 mA.
E_3	Efficiency	35	50	–	%	Configuration of footnote.[a] Load is 5 mA. SMP trip voltage is set to 3.25V.
E_2	Efficiency					
F_{PUMP}	Switching Frequency	–	1.3	–	MHz	
DC_{PUMP}	Switching Duty Cycle	–	50	–	%	

a. L_1 = 2 µH inductor, C_1 = 10 µF capacitor, D_1 = Schottky diode. See Figure 3-2.

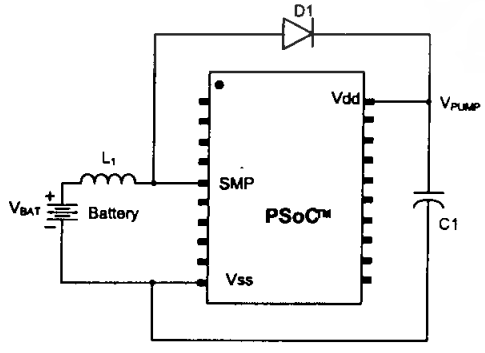


Figure 3-2. Basic Switch Mode Pump Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 DC Analog Reference Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

The guaranteed specifications are measured through the Analog Continuous Time PSoC blocks. The power levels for AGND refer to the power of the Analog Continuous Time PSoC block. The power levels for RefHi and RefLo refer to the Analog Reference Control register. The limits stated for AGND include the offset error of the AGND buffer local to the Analog Continuous Time PSoC block. Reference control power is high.

Table 3-14. 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.33	V
–	AGND = Vdd/2	Vdd/2 - 0.04	Vdd/2 - 0.01	Vdd/2 + 0.007	V
–	AGND = 2 x BandGap	2 x BG - 0.048	2 x BG - 0.030	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.011	P2[4]	P2[4] + 0.011	V
–	AGND = BandGap	BG - 0.009	BG + 0.008	BG + 0.016	V
–	AGND = 1.6 x BandGap	1.6 x BG - 0.022	1.6 x BG - 0.010	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.10	Vdd/2 + BG	Vdd/2 + BG + 0.10	V
–	RefHi = 3 x BandGap	3 x BG - 0.06	3 x BG	3 x BG + 0.06	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.113	2 x BG + P2[6] - 0.018	2 x BG + P2[6] + 0.077	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.130	P2[4] + BG - 0.016	P2[4] + BG + 0.098	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.133	P2[4] + P2[6] - 0.016	P2[4] + P2[6]+ 0.100	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.112	3.2 x BG	3.2 x BG + 0.076	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.04	Vdd/2 - BG + 0.024	Vdd/2 - BG + 0.04	V
–	RefLo = BandGap	BG - 0.06	BG	BG + 0.06	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.084	2 x BG - P2[6] + 0.025	2 x BG - P2[6] + 0.134	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.026	P2[4] - BG + 0.107	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.057	P2[4] - P2[6] + 0.026	P2[4] - P2[6] + 0.110	V

Table 3-15. 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.33	V
–	AGND = Vdd/2	Vdd/2 - 0.03	Vdd/2 - 0.01	Vdd/2 + 0.005	V
–	AGND = 2 x BandGap	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4] + 0.001	P2[4] + 0.009	V
–	AGND = BandGap	BG - 0.009	BG + 0.005	BG + 0.015	V
–	AGND = 1.6 x BandGap	1.6 x BG - 0.027	1.6 x BG - 0.010	1.6 x BG + 0.018	V
–	AGND Column to Column Variation (AGND = Vdd/2)	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.075	P2[4] + P2[6] - 0.009	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4]- P2[6] + 0.022	P2[4] - P2[6] + 0.092	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-16. 2.7V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.16	1.30	1.33	V
–	AGND = Vdd/2	Vdd/2 - 0.03	Vdd/2 - 0.01	Vdd/2 + 0.01	V
–	AGND = 2 x BandGap	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.01	P2[4]	P2[4] + 0.01	V
–	AGND = BandGap	BG - 0.01	BG	BG + 0.015	V
–	AGND = 1.6 x BandGap	Not Allowed			
–	AGND Column to Column Variation (AGND = Vdd/2)	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.08	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.06	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.05	P2[4]- P2[6] + 0.01	P2[4] - P2[6] + 0.09	V

3.3.7 DC Analog PSoC Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-17. DC Analog PSoC Block Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{CT}	Resistor Unit Value (Continuous Time)	–	12.2	–	kΩ	
C_{SC}	Capacitor Unit Value (Switch Cap)	–	80	–	fF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.8 DC POR, SMP, and LVD Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Note The bits PORLEV and VM in the table below refer to bits in the VLT_CR register. See the *PSoC Mixed-Signal Array Technical Reference Manual* for more information on the VLT_CR register.

Table 3-18. DC POR and LVD Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
	Vdd Value for PPOR Trip					Vdd must be greater than or equal to 2.5V during startup, reset from the XRES pin, or reset from Watchdog.
V_{PPOR0}	PORLEV[1:0] = 00b	–	2.36	2.40	V	
V_{PPOR1}	PORLEV[1:0] = 01b	–	2.82	2.95	V	
V_{PPOR2}	PORLEV[1:0] = 10b	–	4.55	4.70	V	
	Vdd Value for LVD Trip					
V_{LVD0}	VM[2:0] = 000b	2.40	2.45	2.51[a]	V	
V_{LVD1}	VM[2:0] = 001b	2.85	2.92	2.99[b]	V	
V_{LVD2}	VM[2:0] = 010b	2.95	3.02	3.09	V	
V_{LVD3}	VM[2:0] = 011b	3.06	3.13	3.20	V	
V_{LVD4}	VM[2:0] = 100b	4.37	4.48	4.55	V	
V_{LVD5}	VM[2:0] = 101b	4.50	4.64	4.75	V	
V_{LVD6}	VM[2:0] = 110b	4.62	4.73	4.83	V	
V_{LVD7}	VM[2:0] = 111b	4.71	4.81	4.95	V	
	Vdd Value for SMP Trip					
V_{PUMP0}	VM[2:0] = 000b	2.50	2.55	2.62[c]	V	
V_{PUMP1}	VM[2:0] = 001b	2.96	3.02	3.09	V	
V_{PUMP2}	VM[2:0] = 010b	3.03	3.10	3.16	V	
V_{PUMP3}	VM[2:0] = 011b	3.18	3.25	3.32[d]	V	
V_{PUMP4}	VM[2:0] = 100b	4.54	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.62	4.73	4.83	V	
V_{PUMP6}	VM[2:0] = 110b	4.71	4.82	4.92	V	
V_{PUMP7}	VM[2:0] = 111b	4.89	5.00	5.12	V	

a. Always greater than 50 mV above V_{PPOR} (PORLEV=00) for falling supply.
b. Always greater than 50 mV above V_{PPOR} (PORLEV=01) for falling supply.
c. Always greater than 50 mV above V_{LVD0}.
d. Always greater than 50 mV above V_{LVD3}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.9 DC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-19. DC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
Vdd_{IWRITE}	Supply Voltage for Flash Write Operations	2.70	–	–	V	
I_{DDP}	Supply Current During Programming or Verify	–	5	25	mA	
V_{ILP}	Input Low Voltage During Programming or Verify	–	–	0.8	V	
V_{IHP}	Input High Voltage During Programming or Verify	2.1	–	–	V	
I_{ILP}	Input Current when Applying Vilp to P1[0] or P1[1] During Programming or Verify	–	–	0.2	mA	Driving internal pull-down resistor.
I_{IHP}	Input Current when Applying Vihp to P1[0] or P1[1] During Programming or Verify	–	–	1.5	mA	Driving internal pull-down resistor.
V_{OLV}	Output Low Voltage During Programming or Verify	–	–	Vss + 0.75	V	
V_{OHV}	Output High Voltage During Programming or Verify	Vdd - 1.0	–	Vdd	V	
$Flash_{ENPB}$	Flash Endurance (per block)	50,000	–	–	–	Erase/write cycles per block.
$Flash_{ENT}$	Flash Endurance (total)[a]	1,800,000	–	–	–	Erase/write cycles.
$Flash_{DR}$	Flash Data Retention	10	–	–	Years	

a. A maximum of 36 x 50,000 block endurance cycles is allowed. This may be balanced between operations on 36x1 blocks of 50,000 maximum cycles each, 36x2 blocks of 25,000 maximum cycles each, or 36x4 blocks of 12,500 maximum cycles each (to limit the total number of cycles to 36x50,000 and that no single block ever sees more than 50,000 cycles).
For the full industrial range, the user must employ a temperature sensor user module (FlashTemp) and feed the result to the temperature argument before writing. Refer to the Flash APIs Application Note AN2015 at http://www.cypress.com under Application Notes for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 AC Electrical Characteristics

3.4.1 AC Chip-Level Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-20. 5V and 3.3V AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{IMO24}	Internal Main Oscillator Frequency for 24 MHz	23.4	24	24.6[a,b,c]	MHz	Trimmed for 5V or 3.3V operation using factory trim values. See Figure 3-1b on page 15. SLIMO mode = 0.
F_{IMO6}	Internal Main Oscillator Frequency for 6 MHz	5.75	6	6.35[a,b,c]	MHz	Trimmed for 5V or 3.3V operation using factory trim values. See Figure 3-1b on page 15. SLIMO mode = 1.
F_{CPU1}	CPU Frequency (5V Nominal)	0.93	24	24.6[a,b]	MHz	
F_{CPU2}	CPU Frequency (3.3V Nominal)	0.93	12	12.3[b,c]	MHz	
F_{48M}	Digital PSoC Block Frequency	0	48	49.2[a,b,d]	MHz	Refer to the AC Digital Block Specifications.
F_{24M}	Digital PSoC Block Frequency	0	24	24.6[b, d]	MHz	
F_{32K1}	Internal Low Speed Oscillator Frequency	15	32	64	kHz	
F_{32K2}	External Crystal Oscillator	–	32.768	–	kHz	Accuracy is capacitor and crystal dependent. 50% duty cycle.
F_{PLL}	PLL Frequency	–	23.986	–	MHz	Is a multiple (x732) of crystal frequency.
Jitter24M2	24 MHz Period Jitter (PLL)	–	–	600	ps	
$T_{PLLSLEW}$	PLL Lock Time	0.5	–	10	ms	
$T_{PLLSLEWS-LOW}$	PLL Lock Time for Low Gain Setting	0.5	–	50	ms	
T_{OS}	External Crystal Oscillator Startup to 1%	–	1700	2620	ms	
T_{OSACC}	External Crystal Oscillator Startup to 100 ppm	–	2800	3800	ms	The crystal oscillator frequency is within 100 ppm of its final value by the end of the T_{osacc} period. Correct operation assumes a properly loaded 1 uW maximum drive level 32.768 kHz crystal. 3.0V ≤ Vdd ≤ 5.5V, -40 °C ≤ T_A ≤ 85 °C.
Jitter32k	32 kHz Period Jitter	–	100		ns	
T_{XRST}	External Reset Pulse Width	10	–	–	µs	
DC24M	24 MHz Duty Cycle	40	50	60	%	
Step24M	24 MHz Trim Step Size	–	50	–	kHz	
Fout48M	48 MHz Output Frequency	46.8	48.0	49.2[a,c]	MHz	Trimmed. Utilizing factory trim values.
Jitter24M1P	24 MHz Period Jitter (IMO) Peak-to-Peak	–	300		ps	
Jitter24M1R	24 MHz Period Jitter (IMO) Root Mean Squared	–	–	600	ps	
F_{MAX}	Maximum frequency of signal on row input or row output.	–	–	12.3	MHz	
T_{RAMP}	Supply Ramp Time	0	–	–	µs	

a. 4.75V < Vdd < 5.25V.
b. Accuracy derived from Internal Main Oscillator with appropriate trim for Vdd range.
c. 3.0V < Vdd < 3.6V. See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.
d. See the individual user module data sheets for information on maximum frequencies for user modules.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-21. 2.7V AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{IMO12}	Internal Main Oscillator Frequency for 12 MHz	11.5	12	12.7[a,b,c]	MHz	Trimmed for 2.7V operation using factory trim values. See Figure 3-1b on page 15. SLIMO mode = 1.
F_{IMO6}	Internal Main Oscillator Frequency for 6 MHz	5.75	6	6.35[a,b,c]	MHz	Trimmed for 2.7V operation using factory trim values. See Figure 3-1b on page 15. SLIMO mode = 1.
F_{CPU1}	CPU Frequency (2.7V Nominal)	0.93	3	3.15[a,b]	MHz	
F_{BLK27}	Digital PSoC Block Frequency (2.7V Nominal)	0	12	12.7[a,b,c]	MHz	Refer to the AC Digital Block Specifications.
F_{32K1}	Internal Low Speed Oscillator Frequency	8	32	96	kHz	
Jitter32k	32 kHz Period Jitter	–	150		ns	
T_{XRST}	External Reset Pulse Width	10	–	–	µs	
DC12M	12 MHz Duty Cycle	40	50	60	%	
Jitter12M1P	12 MHz Period Jitter (IMO) Peak-to-Peak	–	340		ps	
Jitter12M1R	12 MHz Period Jitter (IMO) Root Mean Squared	–	–	600	ps	
F_{MAX}	Maximum frequency of signal on row input or row output.	–	–	12.7	MHz	
T_{RAMP}	Supply Ramp Time	0	–	–	µs	

a. 2.4V < Vdd < 3.0V.
b. Accuracy derived from Internal Main Oscillator with appropriate trim for Vdd range.
c. See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on maximum frequency for User Modules.

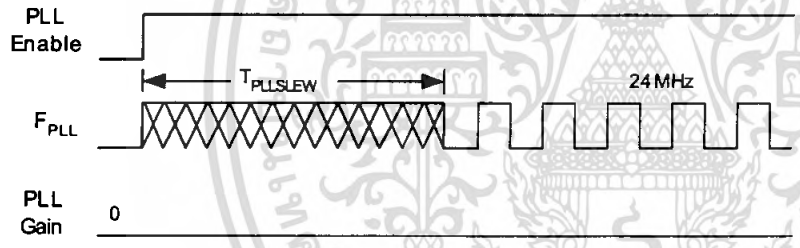


Figure 3-3. PLL Lock Timing Diagram

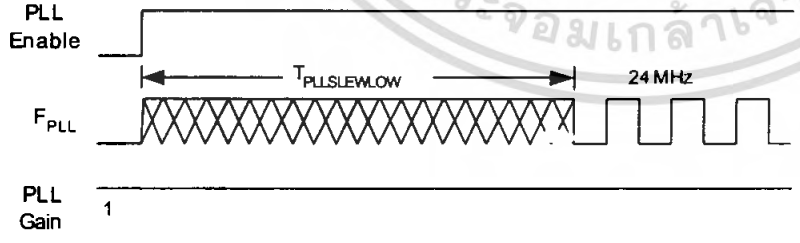


Figure 3-4. PLL Lock for Low Gain Setting Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

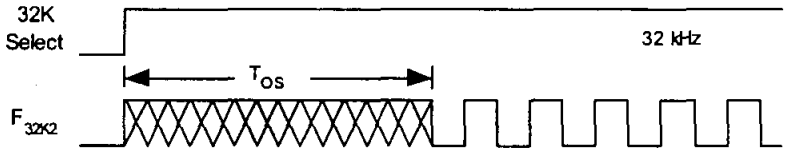


Figure 3-5. External Crystal Oscillator Startup Timing Diagram

Figure 3-6. 24 MHz Period Jitter (IMO) Timing Diagram

Figure 3-7. 32 kHz Period Jitter (ECO) Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 AC General Purpose IO Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-22. 5V and 3.3V AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	–	12	MHz	Normal Strong Mode
TRiseF	Rise Time, Normal Strong Mode, Cload = 50 pF	3	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TFallF	Fall Time, Normal Strong Mode, Cload = 50 pF	2	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TRiseS	Rise Time, Slow Strong Mode, Cload = 50 pF	10	27	–	ns	Vdd = 3 to 5.25V, 10% - 90%
TFallS	Fall Time, Slow Strong Mode, Cload = 50 pF	10	22	–	ns	Vdd = 3 to 5.25V, 10% - 90%

Table 3-23. 2.7V AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	–	3	MHz	Normal Strong Mode
TRiseF	Rise Time, Normal Strong Mode, Cload = 50 pF	6	–	50	ns	Vdd = 2.4 to 3.0V, 10% - 90%
TFallF	Fall Time, Normal Strong Mode, Cload = 50 pF	6	–	50	ns	Vdd = 2.4 to 3.0V, 10% - 90%
TRiseS	Rise Time, Slow Strong Mode, Cload = 50 pF	18	40	120	ns	Vdd = 2.4 to 3.0V, 10% - 90%
TFallS	Fall Time, Slow Strong Mode, Cload = 50 pF	18	40	120	ns	Vdd = 2.4 to 3.0V, 10% - 90%

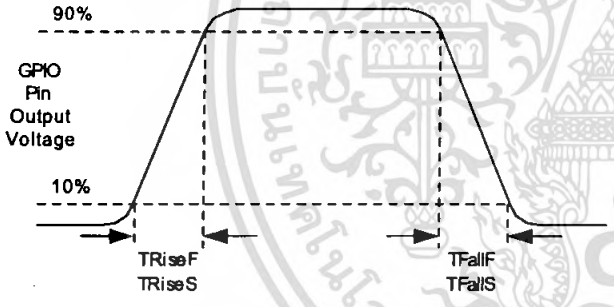


Figure 3-8. GPIO Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 AC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Settling times, slew rates, and gain bandwidth are based on the Analog Continuous Time PSoC block.

Power = High and Opamp Bias = High is not supported at 3.3V and 2.7V.

Table 3-24. 5V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
	Power = High, Opamp Bias = High	–	–	0.62	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.92	µs	
	Power = High, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.15	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.7	–	–	V/µs	
	Power = High, Opamp Bias = High	6.5	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.01	–	–	V/µs	
	Power = Medium, Opamp Bias = High	0.5	–	–	V/µs	
	Power = High, Opamp Bias = High	4.0	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.75	–	–	MHz	
	Power = Medium, Opamp Bias = High	3.1	–	–	MHz	
	Power = High, Opamp Bias = High	5.4	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

Table 3-25. 3.3V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.92	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.41	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	–	–	V/µs	
	Power = Medium, Opamp Bias = High	2.7	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.8	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	–	–	MHz	
	Power = Medium, Opamp Bias = High	2.8	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-26. 2.7V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.92	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.41	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	–	–	V/µs	
	Power = Medium, Opamp Bias = High	2.7	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.8	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	–	–	MHz	
	Power = Medium, Opamp Bias = High	2.8	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When bypassed by a capacitor on P2[4], the noise of the analog ground signal distributed to each block is reduced by a factor of up to 5 (14 dB). This is at frequencies above the corner frequency defined by the on-chip 8.1k resistance and the external capacitor.

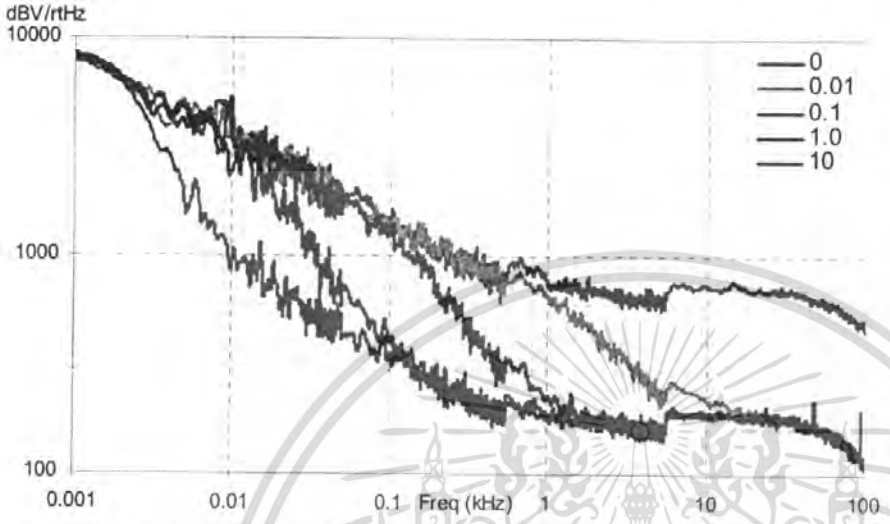


Figure 3-9. Typical AGND Noise with P2[4] Bypass

At low frequencies, the opamp noise is proportional to 1/f, power independent, and determined by device geometry. At high frequencies, increased power level reduces the noise spectrum level.

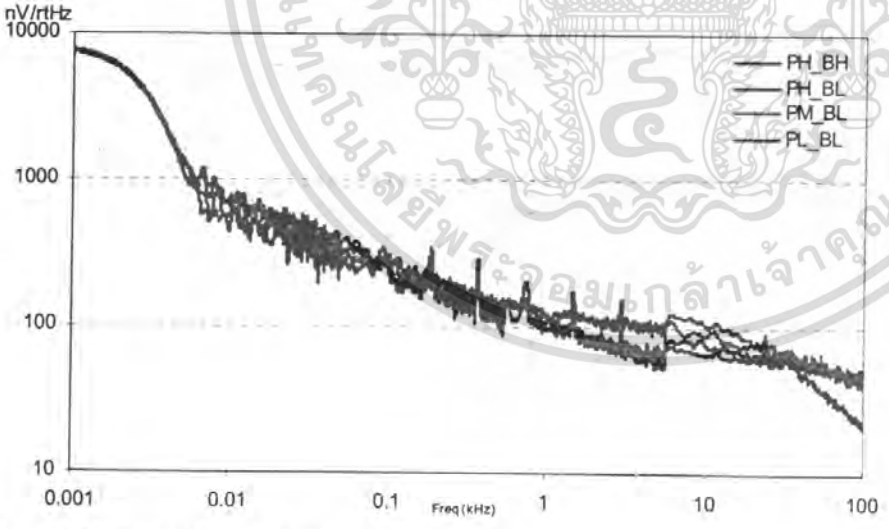


Figure 3-10. Typical Opamp Noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 AC Digital Block Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-27. 5V and 3.3V AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
Timer	Capture Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Capture	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, With Capture		–	24.6	MHz	
Counter	Enable Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Enable Input	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, Enable Input	–	–	24.6	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart Mode	20	–	–	ns	
	Synchronous Restart Mode	50[a]	–	–	ns	
	Disable Mode	50[a]	–	–	ns	
	Maximum Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (PRS Mode)	Maximum Input Clock Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (CRC Mode)	Maximum Input Clock Frequency	–	–	24.6	MHz	
SPIM	Maximum Input Clock Frequency	–	–	8.2	MHz	Maximum data rate at 4.1 MHz due to 2 x over clocking.
SPIS	Maximum Input Clock Frequency	–	–	4.1	ns	
	Width of SS_ Negated Between Transmissions	50[a]	–	–	ns	
Transmitter	Maximum Input Clock Frequency	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.
	Maximum Input Clock Frequency with Vdd ≥ 4.75V, 2 Stop Bits	–	–	49.2	MHz	Maximum data rate at 6.15 MHz due to 8 x over clocking.
Receiver	Maximum Input Clock Frequency	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.
	Maximum Input Clock Frequency with Vdd ≥ 4.75V, 2 Stop Bits	–	–	49.2	MHz	Maximum data rate at 6.15 MHz due to 8 x over clocking.

a. 50 ns minimum input pulse width is based on the input synchronizers running at 24 MHz (42 ns nominal period).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-28. 2.7V AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
All Functions	Maximum Block Clocking Frequency			12.7	MHz	2.4V < Vdd < 3.0V.
Timer	Capture Pulse Width	100[a]	–	–	ns	
	Maximum Frequency, With or Without Capture	–	–	12.7	MHz	
Counter	Enable Pulse Width	100[a]	–	–	ns	
	Maximum Frequency, No Enable Input	–	–	12.7	MHz	
	Maximum Frequency, Enable Input	–	–	12.7	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart Mode	20	–	–	ns	
	Synchronous Restart Mode	100[a]	–	–	ns	
	Disable Mode	100[a]	–	–	ns	
	Maximum Frequency	–	–	12.7	MHz	
CRCPRS (PRS Mode)	Maximum Input Clock Frequency	–	–	12.7	MHz	
CRCPRS (CRC Mode)	Maximum Input Clock Frequency	–	–	12.7	MHz	
SPIM	Maximum Input Clock Frequency	–	–	6.35	MHz	Maximum data rate at 3.17 MHz due to 2 x over clocking.
SPIS	Maximum Input Clock Frequency	–	–	4.23	ns	
	Width of SS_ Negated Between Transmissions	100[a]	–	–	ns	
Transmitter	Maximum Input Clock Frequency	–	–	12.7	MHz	Maximum data rate at 1.59 MHz due to 8 x over clocking.
Receiver	Maximum Input Clock Frequency	–	–	12.7	MHz	Maximum data rate at 1.59 MHz due to 8 x over clocking.

a. 50 ns minimum input pulse width is based on the input synchronizers running at 12 MHz (84 ns nominal period).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 AC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-29. 5V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.5	µs	
	Power = High	–	–	2.5	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.2	µs	
	Power = High	–	–	2.2	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.8	–	–	MHz	
	Power = High	0.8	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	300	–	–	kHz	
	Power = High	300	–	–	kHz	

Table 3-30. 3.3V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	3.8	µs	
	Power = High	–	–	3.8	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.6	µs	
	Power = High	–	–	2.6	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.7	–	–	MHz	
	Power = High	0.7	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	200	–	–	kHz	
	Power = High	200	–	–	kHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-31. 2.7V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	4	µs	
	Power = High	–	–	4	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	3	µs	
	Power = High	–	–	3	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.4	–	–	V/µs	
	Power = High	0.4	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.4	–	–	V/µs	
	Power = High	0.4	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.6	–	–	MHz	
	Power = High	0.6	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	180	–	–	kHz	
	Power = High	180	–	–	kHz	

3.4.6 AC External Clock Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-32. 5V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency	0.093	–	24.6	MHz	
–	High Period	20.6	–	5300	ns	
–	Low Period	20.6	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

Table 3-33. 3.3V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency with CPU Clock divide by 1[a]	0.093	–	12.3	MHz	
F_{OSCEXT}	Frequency with CPU Clock divide by 2 or greater[b]	0.186	–	24.6	MHz	
–	High Period with CPU Clock divide by 1	41.7	–	5300	ns	
–	Low Period with CPU Clock divide by 1	41.7	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

a. Maximum CPU frequency is 12 MHz at 3.3V. With the CPU clock divider set to 1, the external clock must adhere to the maximum frequency and duty cycle requirements.
b. If the frequency of the external clock is greater than 12 MHz, the CPU clock divider must be set to 2 or greater. In this case, the CPU clock divider will ensure that the fifty percent duty cycle requirement is met.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-34. 2.7V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency with CPU Clock divide by 1[a]	0.093	–	12.3	MHz	
F_{OSCEXT}	Frequency with CPU Clock divide by 2 or greater[b]	0.186	–	12.3	MHz	
–	High Period with CPU Clock divide by 1	41.7	–	5300	ns	
–	Low Period with CPU Clock divide by 1	41.7	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

a. Maximum CPU frequency is 12 MHz at 3.3V. With the CPU clock divider set to 1, the external clock must adhere to the maximum frequency and duty cycle requirements.
b. If the frequency of the external clock is greater than 12 MHz, the CPU clock divider must be set to 2 or greater. In this case, the CPU clock divider will ensure that the fifty percent duty cycle requirement is met.

3.4.7 AC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-35. AC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{RSCLK}	Rise Time of SCLK	1	–	20	ns	
T_{FSCLK}	Fall Time of SCLK	1	–	20	ns	
T_{SSCLK}	Data Set up Time to Falling Edge of SCLK	40	–	–	ns	
T_{HSCLK}	Data Hold Time from Falling Edge of SCLK	40	–	–	ns	
F_{SCLK}	Frequency of SCLK	0	–	8	MHz	
T_{ERASEB}	Flash Erase Time (Block)	–	20	–	ms	
T_{WRITE}	Flash Block Write Time	–	20	–	ms	
T_{DSCLK}	Data Out Delay from Falling Edge of SCLK	–	–	45	ns	Vdd > 3.6
T_{DSCLK3}	Data Out Delay from Falling Edge of SCLK	–	–	50	ns	3.0 ≤ Vdd ≤ 3.6
T_{DSCLK2}	Data Out Delay from Falling Edge of SCLK	–	–	70	ns	2.4 ≤ Vdd ≤ 3.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.8 AC I²C Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, or 2.4V to 3.0V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V, 3.3V, and 2.7V at 25°C and are for design guidance only.

Table 3-36. AC Characteristics of the I²C SDA and SCL Pins for Vdd > 3.0V

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
F_{SCLI2C}	SCL Clock Frequency	0	100	0	400	kHz	
$T_{HDSTAI2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	–	0.6	–	µs	
T_{LOWI2C}	LOW Period of the SCL Clock	4.7	–	1.3	–	µs	
$T_{HIGHI2C}$	HIGH Period of the SCL Clock	4.0	–	0.6	–	µs	
$T_{SUSTAI2C}$	Set-up Time for a Repeated START Condition	4.7	–	0.6	–	µs	
$T_{HDDATI2C}$	Data Hold Time	0	–	0	–	µs	
$T_{SUDATI2C}$	Data Set-up Time	250	–	100[a]	–	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	–	0.6	–	µs	
T_{BUFI2C}	Bus Free Time Between a STOP and START Condition	4.7	–	1.3	–	µs	
T_{SPI2C}	Pulse Width of spikes are suppressed by the input filter.	–	–	0	50	ns	

a. A Fast-Mode I2C-bus device can be used in a Standard-Mode I2C-bus system, but the requirement $t_{SU;DAT} \geq 250$ ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250$ ns (according to the Standard-Mode I2C-bus specification) before the SCL line is released.

Table 3-37. AC Characteristics of the I²C SDA and SCL Pins for Vdd < 3.0V (Fast Mode Not Supported)

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
F_{SCLI2C}	SCL Clock Frequency	0	100	–	–	kHz	
$T_{HDSTAI2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	–	–	–	µs	
T_{LOWI2C}	LOW Period of the SCL Clock	4.7	–	–	–	µs	
$T_{HIGHI2C}$	HIGH Period of the SCL Clock	4.0	–	–	–	µs	
$T_{SUSTAI2C}$	Set-up Time for a Repeated START Condition	4.7	–	–	–	µs	
$T_{HDDATI2C}$	Data Hold Time	0	–	–	–	µs	
$T_{SUDATI2C}$	Data Set-up Time	250	–	–	–	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	–	–	–	µs	
T_{BUFI2C}	Bus Free Time Between a STOP and START Condition	4.7	–	–	–	µs	
T_{SPI2C}	Pulse Width of spikes are suppressed by the input filter.	–	–	–	–	ns	

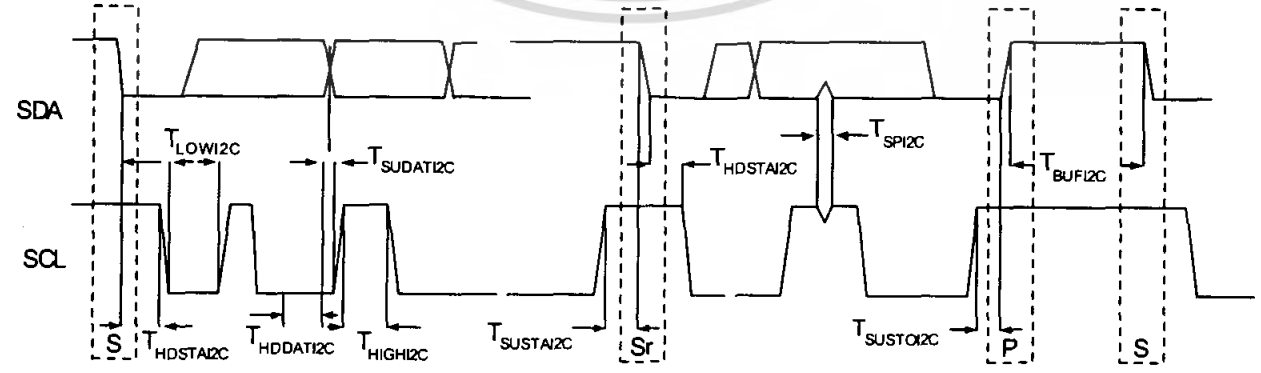
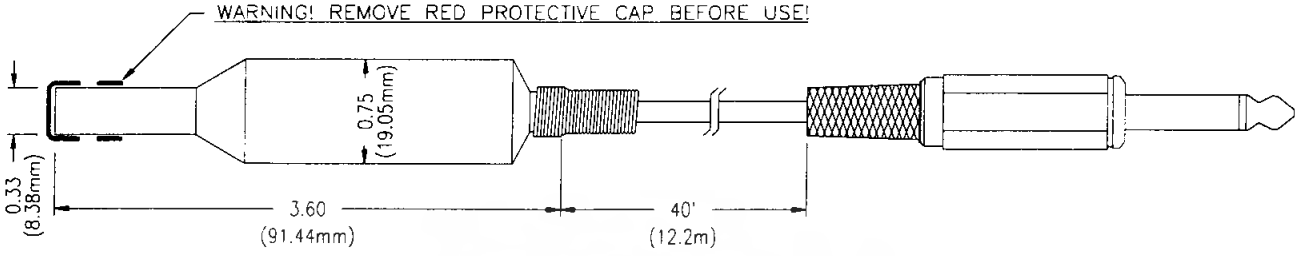


Figure 3-11. Definition for Timing for Fast/Standard Mode on the I²C Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RANE Professional Audio Products Data Sheet

MIC 1
CONDENSER MICROPHONE



General Description

The Rane MIC 1 Condenser Microphone is a professional quality back-electret condenser microphone with an omnidirectional pickup pattern. Originally designed specifically for use with Rane's real-time equalizers and analyzers, it may be used with any real-time analyzer to measure room response and/or sound pressure levels.

Today, the MIC 1 finds itself being used in a number of other related areas. Indeed, it is well suited for any application requiring a full frequency, high SPL omnidirectional microphone. This includes many broadcast, sound reinforcement, and musical instrument uses.

The MIC 1 comes complete with an extra long 40 ft (12.2m) cord to facilitate distant placing of the microphone from the analyzer. Included also is a zippered, weather-resistant carrying/storage bag for added convenience and protection. The MIC 1 comes with a non-reflective black wrinkle powder-coat finish that is extremely durable and scratch resistant.

Like all condenser microphones, the MIC 1 must be powered before operating. This may be done using standard batteries, or a remote DC power supply. (See Application Information section for details).

The MIC 1 is supplied with the RA 27 Realtime Analyzer and the RE 27 Realtime Equalizer. When ordering separately, please contact the Parts Department and specify part number 410-008.

Features and Specifications

Parameter	Specification	Limit	Units	Conditions/Comments
Microphone Type	Back-Electret Condenser			6mm capsule
Frequency Response	20 to 16,000	1	dB	+2dB at 20kHz
Polar Pattern	Omnidirectional			
Impedance	1.8k	5%	Ohms	With 2.2k Ohms Load
Sensitivity	-64	3	dBV	re 0dB=1V/µbar, 1kHz
	(0.63 mV @ 74dB SPL)			1µbar = 74dB SPL
Maximum SPL	140		dB	1kHz
Signal-To-Noise Ratio	58 (re 94dB SPL)	Min	dB	1kHz, A-weighted
Phasing	Non-inverting			Positive pressure on diaphragm
				equals positive output voltage
Power				
.....Voltage Range	1.5 to 10		VDC	Absolute Min & Max Ratings
.....Rated Voltage	2.0	10%	VDC	
.....Sensitivity Loss	-3dB @ 1.5VDC			
.....Current Demand	0.5	Max	mA	At 2.0 VDC
.....Battery	9 VDC Alkaline (Type 1604A)			1000 hrs (typ) continuous
	or (2) 1.5 VDC Alkaline (Size AA)			4000 hrs (typ) continuous
Cable	Attached; 40 ft (12.2m) Long			1 cond. shielded; ¼" TS phone
Case	6" x 9" (15.2cm x 22.9cm)			Zippered Heavy Black Vinyl
Storage Temperature	-20 to 60		oC	-4 to 140 oF
Operating Temperature	-18 to 50		oC	0 to 122 oF
Relative Humidity	0 to 95		%	Operating or Storage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

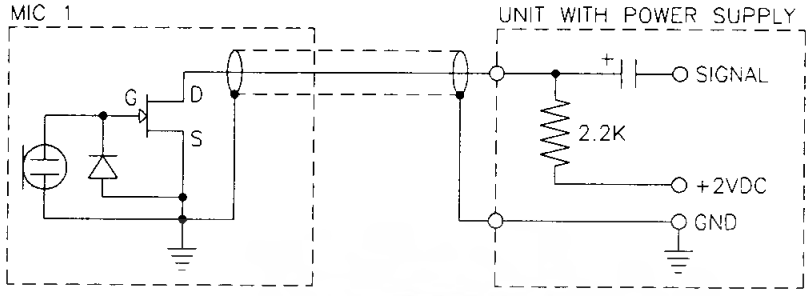
MIC 1

CONDENSER MICROPHONE

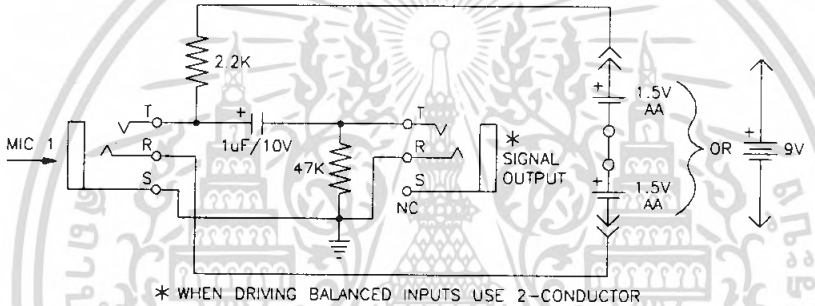
Professional Audio Products Data Sheet

RANE

Electrical Diagram



Optional Battery Power Supply



Application Information

The MIC 1 is a back-electret condenser microphone. The "back-electret" is an improved version of the standard electret condenser design where the polarization charge voltage, or electret bias, is applied to the rear backplate. This provides increased mechanical strength, improved resistance to environmental effects, and better sensitivity and stability of the charge. Since the electret is permanently charged (we think 30 years qualifies as permanent) it does not need the high voltage powering common to standard condenser designs—a major benefit. This benefit is reduced, however, by the electret requiring an impedance converter (built-in JFET) which *does* need low voltage powering. So, as always, you just can't quite win.

Details of the simple power supply appear in the Electrical Diagram. As shown, the recommended standard operating voltage is +2 VDC supplied through a 2.2k ohms resistor. Usually the 2 volts is zener regulated to a higher voltage and resistively divided down. Regulation and tolerances are not critical; however, the supply should be as noise free as possible. While 2 volts is recommended, the MIC 1 runs equally well up to 10 volts. *When using higher voltages be sure to observe the absolute maximum voltage limit of 10 volts.*

Battery power is an option where it is not possible to build the supply into the receiving unit, or portable applications demand it. The diagram shows a complete battery power supply using either (2) AA cells (preferred) or a single 9 volt transistor battery. Either design should use alkaline cells for longest life. Standard 5% tolerance, ¼ watt resistors work just fine. The capacitor and pull-down resistor values are minimum; larger sizes are okay.

©Rane Corporation 10802 47th Ave. W., Mukilteo WA 98275-5098 TEL (206)-355-6000 FAX (206)-347-7757 WEB http://www.rane.com

Printed in the U.S.A. on Recycled Paper All features & specifications subject to change without notice 520-169 JUN96

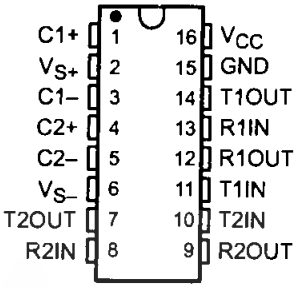
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAX232, MAX232I
DUAL EIA-232 DRIVER/RECEIVER

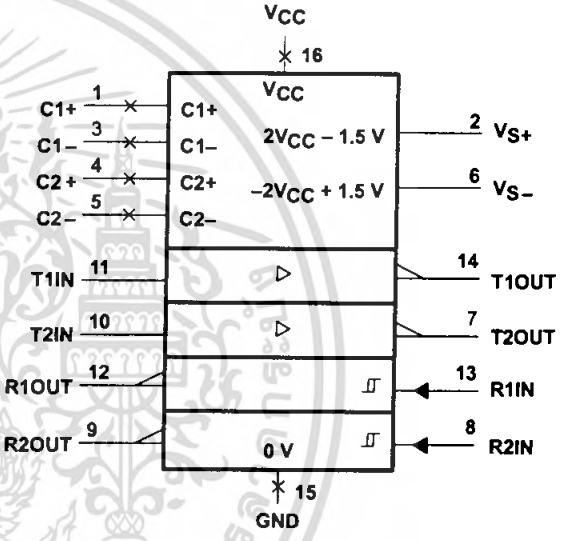
SLLS047G – FEBRUARY 1989 – REVISED AUGUST 1998

- Operates With Single 5-V Power Supply
- LinBiCMOS™ Process Technology
- Two Drivers and Two Receivers
- ±30-V Input Levels
- Low Supply Current . . . 8 mA Typical
- Meets or Exceeds TIA/EIA-232-F and ITU Recommendation V.28
- Designed to be Interchangeable With Maxim MAX232
- Applications
  - TIA/EIA-232-F
  - Battery-Powered Systems
  - Terminals
  - Modems
  - Computers
- ESD Protection Exceeds 2000 V Per MIL-STD-883, Method 3015
- Package Options Include Plastic Small-Outline (D, DW) Packages and Standard Plastic (N) DIPs

D, DW, OR N PACKAGE
(TOP VIEW)



logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

description

The MAX232 device is a dual driver/receiver that includes a capacitive voltage generator to supply EIA-232 voltage levels from a single 5-V supply. Each receiver converts EIA-232 inputs to 5-V TTL/CMOS levels. These receivers have a typical threshold of 1.3 V and a typical hysteresis of 0.5 V, and can accept ±30-V inputs. Each driver converts TTL/CMOS input levels into EIA-232 levels. The driver, receiver, and voltage-generator functions are available as cells in the Texas Instruments LinASIC™ library.

The MAX232 is characterized for operation from 0°C to 70°C. The MAX232I is characterized for operation from –40°C to 85°C.

AVAILABLE OPTIONS

T_A	PACKAGED DEVICES		
	SMALL OUTLINE (D)	SMALL OUTLINE (DW)	PLASTIC DIP (N)
0°C to 70°C	MAX232D‡	MAX232DW‡	MAX232N
–40°C to 85°C	MAX232ID‡	MAX232IDW‡	MAX232IN

‡ This device is available taped and reeled by adding an R to the part number (i.e., MAX232DR).

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

LinASIC and LinBiCMOS are trademarks of Texas Instruments Incorporated.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1998, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งาน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Input supply voltage range, V_{CC} (see Note 1) ..... −0.3 V to 6 V
Positive output supply voltage range, V_{S+} ..... V_{CC} − 0.3 V to 15 V
Negative output supply voltage range, V_{S-} ..... −0.3 V to −15 V
Input voltage range, V_I: Driver ..... −0.3 V to V_{CC} + 0.3 V
Receiver ..... ±30 V
Output voltage range, V_O: T1OUT, T2OUT ..... V_{S-} −0.3 V to V_{S+} + 0.3 V
R1OUT, R2OUT ..... −0.3 V to V_{CC} + 0.3 V
Short-circuit duration: T1OUT, T2OUT ..... Unlimited
Package thermal impedance, θ_{JA} (see Note 2): D package ..... 113°C/W
DW package ..... 105°C/W
N package ..... 78°C/W
Storage temperature range, T_{stg} ..... −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values are with respect to network ground terminal.

2. The package thermal impedance is calculated in accordance with JESD 51, except for through-hole packages, which use a trace length of zero.

recommended operating conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	V
High-level input voltage, V_{IH} (T1IN,T2IN)		2			V
Low-level input voltage, V_{IL} (T1IN, T2IN)				0.8	V
Receiver input voltage, R1IN, R2IN				±30	V
Operating free-air temperature, T_A	MAX232	0		70	°C
	MAX232I	−40		85	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	T1OUT, T2OUT	R_L = 3 kΩ to GND		5	7		V
		R1OUT, R2OUT	I_{OH} = –1 mA		3.5			
V_{OL}	Low-level output voltage‡	T1OUT, T2OUT	R_L = 3 kΩ to GND			–7	–5	V
		R1OUT, R2OUT	I_{OL} = 3.2 mA				0.4	
V_{IT+}	Receiver positive-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C		1.7	2.4	V
V_{IT-}	Receiver negative-going input threshold voltage	R1IN, R2IN	V_{CC} = 5 V,	T_A = 25°C	0.8	1.2		V
V_{hys}	Input hysteresis voltage	R1IN, R2IN	V_{CC} = 5 V		0.2	0.5	1	V
r_i	Receiver input resistance	R1IN, R2IN	V_{CC} = 5,	T_A = 25°C	3	5	7	kΩ
r_o	Output resistance	T1OUT, T2OUT	V_{S+} = V_{S-} = 0,	V_O = ± 2 V	300			Ω
I_{OS}§	Short-circuit output current	T1OUT, T2OUT	V_{CC} = 5.5 V,	V_O = 0		±10		mA
I_{IS}	Short-circuit input current	T1IN, T2IN	V_I = 0				200	µA
I_{CC}	Supply current		V_{CC} = 5.5 V, T_A = 25°C	All outputs open,		8	10	mA

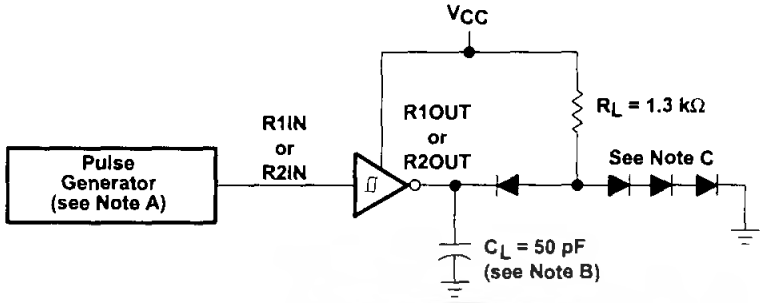
† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels only.
§ Not more than one output should be shorted at a time.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

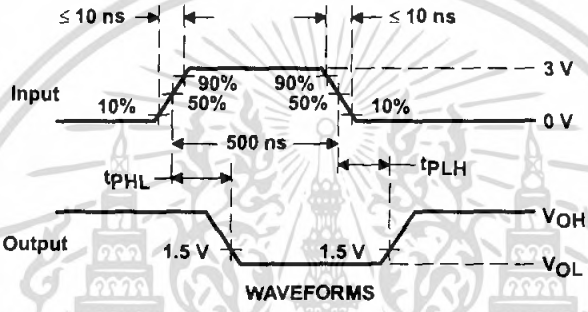
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH(R)}$	Receiver propagation delay time, low- to high-level output	See Figure 1		500		ns
$t_{PHL(R)}$	Receiver propagation delay time, high- to low-level output	See Figure 1		500		ns
SR	Driver slew rate	R_L = 3 kΩ to 7 kΩ, See Figure 2			30	V/µs
SR(tr)	Driver transition region slew rate	See Figure 3		3		V/µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT



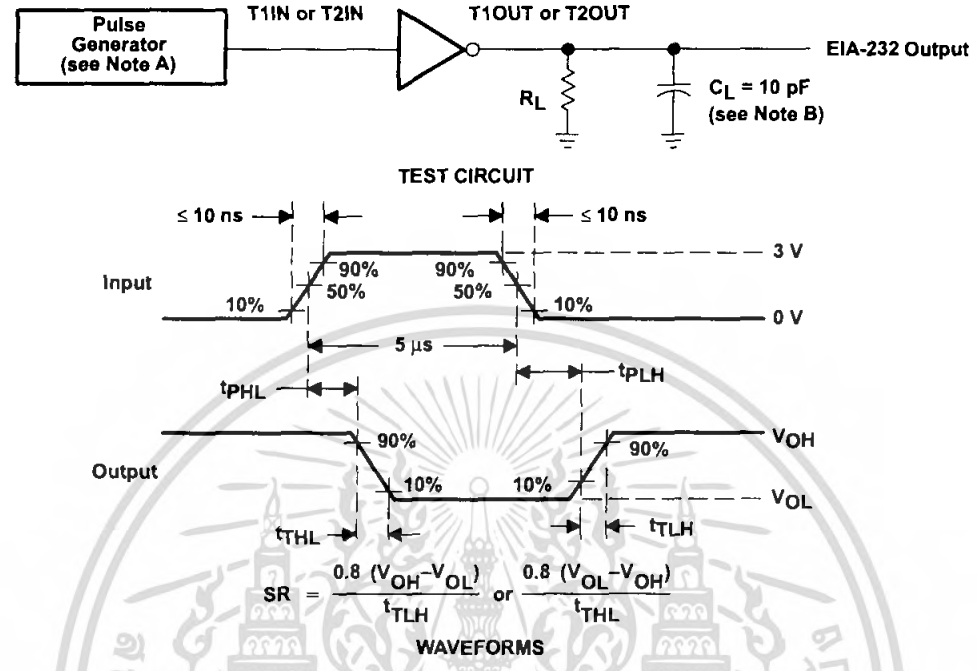
WAVEFORMS

NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064 or equivalent.

Figure 1. Receiver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements

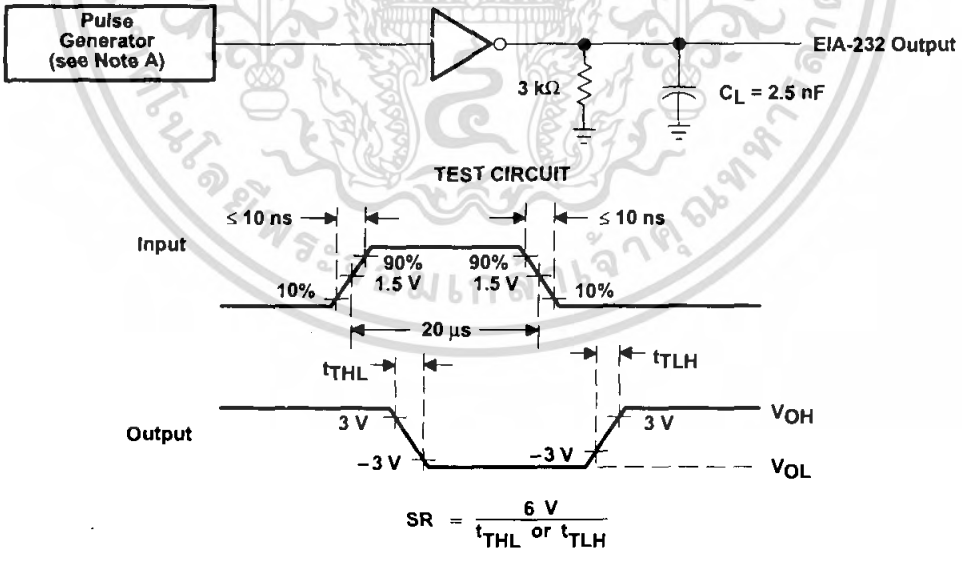
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



NOTES: A. The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.
B. C_L includes probe and jig capacitance.

Figure 2. Driver Test Circuit and Waveforms for t_{PHL} and t_{PLH} Measurements (5-µs input)



NOTE A: The pulse generator has the following characteristics: Z_O = 50 Ω, duty cycle ≤ 50%.

Figure 3. Test Circuit and Waveforms for t_{THL} and t_{TLH} Measurements (20-µs input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

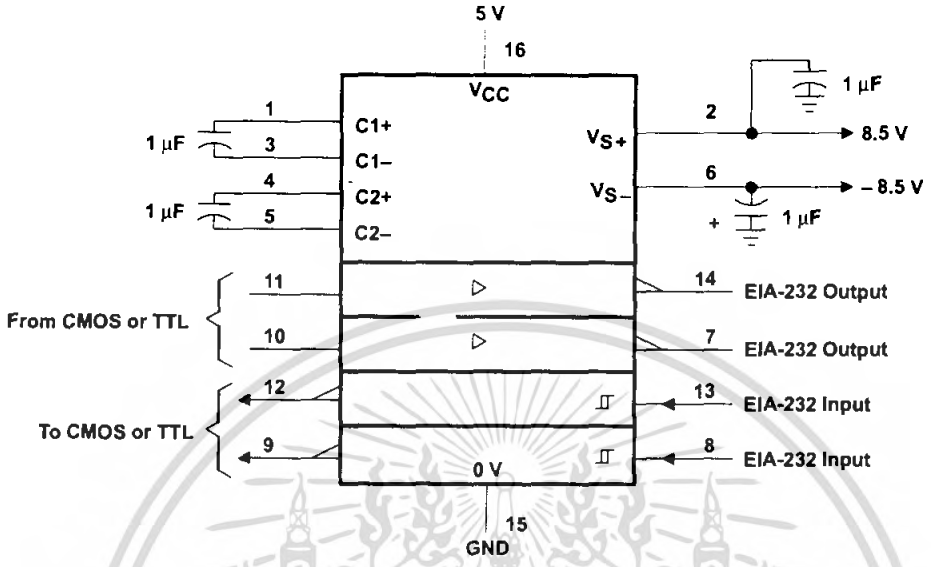


Figure 4. Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 1998, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้