สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อินเวอร์เตอร์

INVETER

โดย

นายกนกพงศ์	ใจห้าว	47010004
นายโตมร	ศรีบุญเรือง	47010263
นายทวาทศ	ผดุงสุนทรารักษ์	47010273

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ว.ศร
ก 124อ
2550

เลขหมู่.....
เลขทะเบียน 82463
วัน,เดือน,ปี 11 ก.ค. 2551

b 11906244
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2550

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง อินเวอร์เตอร์

ผู้จัดทำ	นาย กนกพงศ์	ใจห้าว	47010004
	นาย โตมร	ศรีบุญเรือง	47010263
	นาย ทวาทศ	ผดุงสุนทรารักษ์	47010273

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

วันที่ 14 / มี.ค. / 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์

นายกนกพงศ์ ใจห้าว 47010004
นายโตมร ศรีบุญเรือง 47010263
นายทวาทศ ผดุงสุนทรารักษ์ 47010273
ผศ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

รายงานฉบับนี้กล่าวถึงการสร้างวงจร Inverter มีส่วนประกอบหลักด้วยกันอยู่ 2 ส่วน คือ DCto DC converter ซึ่งเป็นการทำงานแบบ Push – Pull ที่ความถี่การสวิทช์ 70 KHz โดยใช้หม้อแปลงเป็นตัวแปลงแรงดันขึ้นจากแรงดัน 24 VDC เป็น 311 VDC และส่วนที่สองคือการนำ DC 311V มาทำการสวิทช์ที่ 20 KHz ด้วยหลักการ PWM โดยใช้ Microcontroller ควบคุมการทำงานของ H-Bridge ให้ออกมาเป็นคลื่นรูป Sine

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inverter

Mr. Kanokpong Jaihow ID.47010004
Mr. Tomorn Sriboonreung ID.47010263
Mr. Tawatos Phadungsoondararak ID.47010273
Assis Prof. Prapakorn Suwana Advisor
Educational Year 2006

Abstract

This report states a topic about making an inverter which is consisted with 2 parts. First is "DC to DC converter". This part provides 311 VDC from 24 VDC by using Push – Pull method with 70 KHz operation frequency and High frequency transformer. And the second part is PWM Sinewave shaping. 311 VDC from the first part will be switched by H-Bridge circuitry based on PWMmethod controlled by Microcontroller.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเรื่องอินเวอร์เตอร์ซึ่งประกอบด้วยชิ้นงานและเอกสารประกอบโครงงานฉบับนี้ คงจะสำเร็จบรรลุไปได้ด้วยดีได้ หากมิได้อาจารย์ ประภากร สุวรรณะ และอาจารย์ ผลผดุง ผดุงกุล ที่คอยให้ปรึกษาแนะนำและดูแลเรื่องของวงจรมาโดยตลอด

นายกนกพงศ์ ใจห้าว
นายโตมร ศรีบุญเรือง
นายทวาทศ ผดุงสุนทรารักษ์
ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 วงจรสวิตช์	2
1.2 หม้อแปลง	1
1.3 วงจรเรียงกระแส	1
1.4 วงจรกรองแรงดัน	1
1.5 Microcontroller	2
1.6 Buffer	2
1.7 IR2110	2
1.8 MOSFET	2
บทที่ 2 ทฤษฎี DC to DC Converter	3
2.1 DC to DC Converter	3
2.1.1 Forward Converter	3
2.1.1.1 Step-down Converter	3
2.1.1.2 Push-Pull Converter	5
2.1.2 Flyback Converter	5
2.1.2.1 Boots Converter	6
2.1.2.2 Buck-Boots Converter	7
2.2 วงจรสวิตช์	8
2.2.1 MOSFET	8
2.2.1.1 Cut-off Region	9
2.2.1.2 Linear Region	9
2.2.1.3 Saturation Region	9
2.2.2 วงจรควบคุมการทำงานของสวิตช์	10
2.2.2.1 การทำงานของ IC เบอร์ TL494	10
2.3 หม้อแปลง	12
2.3.1 ทฤษฎีพื้นฐานของหม้อแปลง	12
2.3.2 ชนิดและรูปร่างของแกนที่ใช้กับหม้อแปลงความถี่สูง	15
2.3.3 การเลือกขนาดของเส้นลวด	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.1 Skin Effect 15
2.3.4 สรุปขั้นตอนการออกแบบหม้อแปลง 18
2.4 วงจรเรียงกระแส 19
2.4.1 วงจรเรียงกระแสแบบครึ่งคลื่น 19
2.4.2 วงจรเรียงกระแสแบบเต็มคลื่น 19
2.4.2.1 วงจรเรียงกระแสเต็มคลื่นแบบหม้อแปลงมีแท็ป 20
2.4.2.2 วงจรเรียงกระแสเต็มคลื่นแบบบริดจ์ 20
2.4.3 การเลือกใช้ Diode 21
2.5 วงจรกรองแรงดัน (Filter) 21
2.5.1 การเลือกใช้ตัวเหนี่ยวนำ 22
2.5.2 การเลือกใช้ตัวเก็บประจุ 23
2.6 วงจร DC to AC Converter 23
2.7 Microcontoller 23
2.7.1 รายละเอียดคำสั่งที่ใช้ใน Program 24
2.8 IR2110 High-side-Gate-Driver 26
2.9 H-Bridge 28
2.10 Filter 29
2.10.1 บัตเตอร์เวิร์ทฟิลเตอร์ 32
2.10.2 การออกแบบบัตเตอร์เวิร์ทฟิลเตอร์ 34
บทที่ 3 การออกแบบ Inverter 37
3.1 ส่วนประกอบของ Inverter 37
3.2 วงจรควบคุม Pulse width 37
3.3 วงจรขับ MOSFET 38
3.4 วงจร Push – pull และหม้อแปลง 39
3.5 วงจร Output filter 41
3.6 วงจรควบคุมการสวิตช์ 42
3.7 วงจรขับ MOSFET 44
3.8 Low Pass Filter 45
บทที่ 4 วงจรและรายการอุปกรณ์ 46
4.1 วงจรควบคุมการทำงานของสวิตช์ 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Power Circuit 48
4.3 วงจร AC to DC Converter 50
บทที่ 5 ผลการทดลอง 52
5.1 ผลการทดลองที่ 25W 53
5.2 ผลการทดลองที่ 100W 55
5.3 ผลการทดลองที่ 300W 56
บทที่ 6 สรุปและวิเคราะห์ผลการทดลอง 57
6.1 สรุปผลการทดลอง 57
6.2 ปัญหาที่เกิดขึ้น และทางแก้ไข 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

ภาพที่ 1.1 Block Diagram การทำงานของ Inverter 2

ภาพที่ 2.1 วงจร Buck Converter 3

ภาพที่ 2.2 การทำงานของวงจร Buck Converter ทั้ง 2 สภาวะ 4

ภาพที่ 2.3 วงจร Push-Pull Converter 5

ภาพที่ 2.4 วงจร Boots Converter 6

ภาพที่ 2.5 การทำงานของ Boots Converter ทั้ง 2 สภาวะ 6

ภาพที่ 2.6 วงจร Buck-Boots Converter 7

ภาพที่ 2.7 วงจร Buck-Boots Converter ที่สภาวะต่างๆ 7

ภาพที่ 2.8 N-channel enhancement MOSFET 8

ภาพที่ 2.9 Block diagram ของ TL 494 10

ภาพที่ 2.10 Timing Diagram ของ TL 494 11

ภาพที่ 2.11 โครงสร้างพื้นฐานของหม้อแปลง 12

ภาพที่ 2.12 การอ่านค่า Bsat จาก Datasheet 13

ภาพที่ 2.13 dimension ต่าง ๆ ของหม้อแปลง 14

ภาพที่ 2.14 แสดงพื้นที่ ที่มีความหนาแน่นกระแสที่ต่างกัน 15

ภาพที่ 2.15 วงจรเรียงกระแสแบบครึ่งคลื่น 19

ภาพที่ 2.16 วงจรเรียงกระแสเต็มคลื่นแบบหม้อแปลงมีแท็ป 20

ภาพที่ 2.17 วงจรเรียงกระแสเต็มคลื่นแบบบริดจ์ 20

ภาพที่ 2.18 วงจรกรองแรงดัน 21

ภาพที่ 2.19 วงจร H-Bridge 27

ภาพที่ 2.20 Block Diagram ของ IR2110 27

ภาพที่ 2.21 การเชื่อมต่อของ IR2110 28

ภาพที่ 2.22 วงจร H-Bridge 28

ภาพที่ 2.23 การทำงานของ H-Bridge ครึ่งแรก 29

ภาพที่ 2.24 การทำงานของ H-Bridge ครึ่งหลัง 29

ภาพที่ 2.25 การตอบสนองความถี่ของวงจรฟิลเตอร์ชนิดต่าง ๆ 31

ภาพที่ 2.26 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านชนิดบัตเตอร์เวิร์ท 32

ภาพที่ 2.27 Attenuation characteristic of Butterworth filers 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 2.28 Butterworth LC Elements Values 36
ภาพที่ 3.1 วงจรภายในของ TL494 ส่วนควบคุม Pulse width 37
ภาพที่ 3.2 วงจรป้อนแรงดันกระแสตรงให้กับขา Deadtime control 38
ภาพที่ 3.3 วงจรขับ MOSFET แบบ Totem pole 38
ภาพที่ 3.4 วงจร Push – pull 39
ภาพที่ 3.5 วงจร Push – pull ที่มี Snubber 40
ภาพที่ 3.6 Output filter 41
ภาพที่ 3.7 รูปวงจร Auto Reset ของ Microcontroller 44
ภาพที่ 4.1 วงจรควบคุมการทำงานของสวิตช์โดยใช้ IC TL494 47
ภาพที่ 4.2 Power Circuit 49
ภาพที่ 4.3 วงจร DC to AC Converter 51
ภาพที่ 5.1 การทดลอง 52
ภาพที่ 5.2 วงจรที่ใช้ทดลอง 52
ภาพที่ 5.3 โหลดที่ใช้ในการทดลอง 52
ภาพที่ 6.1 การแก้ปัญหากระแสกระชากรบกวนวงจรควบคุม 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ตารางแสดงความสัมพันธ์ระหว่าง skin effect กับขนาดของเส้นลวด	17
ตารางที่ 5.1 ผลของการใส่ Snubber ที่ 25W	53
ตารางที่ 5.2 ผลของการใส่ Snubber ที่ 100W	55
ตารางที่ 5.3 ผลของการใส่ Snubber ที่ 300W	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เนื่องจากในปัจจุบันการเก็บพลังงานทางไฟฟ้าสามารถเก็บไว้ในรูปแบบของไฟฟ้ากระแสตรง (Direct current : DC)ในแบตเตอรี่เท่านั้น ดังนั้นการเก็บพลังงานที่เป็นรูปแบบของกระแสสลับ(Alternating Current : AC)จึงไม่สามารถทำได้ จากข้อจำกัดในการเก็บพลังงานดังกล่าวข้างต้นนี้ เราสามารถที่จะนำพลังงานไฟฟ้ากระแสตรงที่เก็บไว้แบตเตอรี่มาแปลงผัน (Convert) เป็นไฟฟ้ากระแสสลับเพื่อนำใช้งานได้ซึ่งการแปลงผันพลังงานจากไฟฟ้ากระแสตรงไปเป็นไฟฟ้ากระแสสลับวงจรที่ทำงานในลักษณะนี้เรียกว่า (DC to AC Converter) ซึ่งวงจรจะมีส่วนประกอบ 2 ส่วนคือ

DC to DC Converter

วงจรนี้จะทำหน้าที่แปลงผันไฟตรงจากแบตเตอรี่ซึ่งมีแรงดันค่าหนึ่งไปเป็นไฟตรงซึ่งมีแรงดันอีกค่าหนึ่งซึ่งมีวงจรหลากหลายแบบ โดยได้ลือกใช้วงจร Push – Pull Converter โดยประกอบด้วย

1.1 วงจรสวิตซ์

วงจรนี้จะควบคุมลักษณะการไหลของไฟกระแสตรงให้ผ่านขดลวดของหม้อแปลงเพื่อให้หม้อแปลงทำการแปลงผันแรงดันได้

1.2 หม้อแปลง

ทำหน้าที่เปลี่ยนระดับแรงดันไฟสลับที่ได้จากการสวิตซ์ให้สูงขึ้น

1.3 วงจรเรียงกระแส

ทำหน้าที่เรียงแรงดันไฟสลับที่ได้จากหม้อแปลงให้เป็นไฟตรงแต่จะมีแรงดันที่กระเพื่อม

1.4 วงจรกรองแรงดัน

ทำหน้าที่ลดการกระเพื่อมของไฟที่ได้จากวงจรเรียงกระแสจะทำให้ได้ไฟตรงที่เรียบขึ้น

DC to AC Converter

วงจรนี้จะทำหน้าที่แปลงผันไฟกระแสตรงที่ได้จากวงจรที่แล้ว (DC to DC converter) ให้เป็นไฟกระแสสลับเราจะใช้ Microcontroller ควบคุมการทำงานของ MOSFET ที่ต่อไว้แบบ H-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bridge ซึ่งจะทำหน้าที่ Switch สัญญาณที่ได้จาก DC to DC Converter เพื่อนำมาเปลี่ยนเป็นไฟ AC ที่มีคุณสมบัติตามต้องการได้โดยจะประกอบด้วย

1.5 Microcontroller

จะถูก Program เพื่อให้นำไปควบคุม IC IR2110 เพื่อให้ Drive MOSFET ได้แบบที่ต้องการ

1.6 BUFFER (CD4050)

ทำหน้าที่ขยายกระแสจาก Microcontroller เพื่อนำไปป้อนให้กับ IR2110

1.7 IR2110

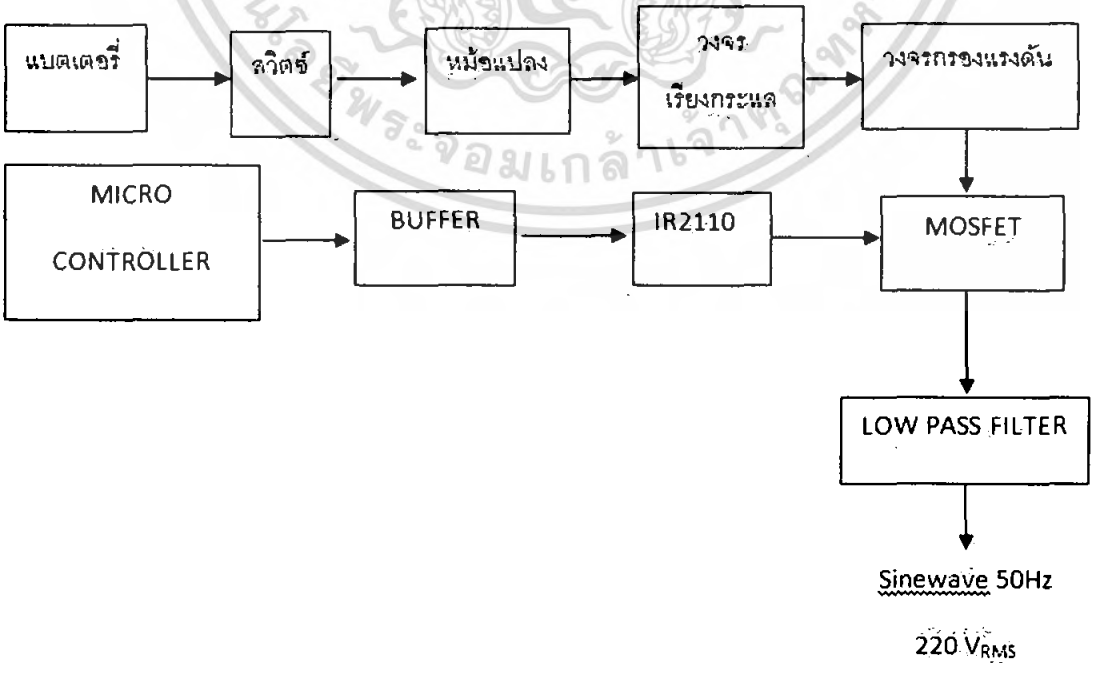
เป็น IC MOSFET Driver ที่มีทั้งฝั่ง LOW และฝั่ง HIGH

1.8 MOSFET

ถูกควบคุมด้วย IR2110 และต่อแบบ H-Bridge

1.9 LOW PASS FILTER

จะทำการกรองความถี่สูงที่เกิดจากการ Switch ออกทำให้เหลือแต่ความถี่ที่ต้องการ



ภาพที่ 1.1 Block การทำงานของ Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี Inverter

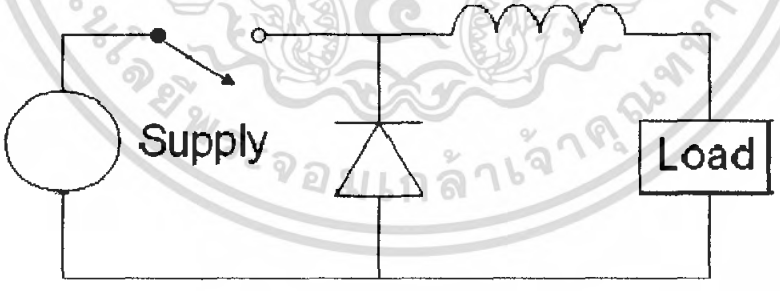
2.1 DC To DC Converter

วงจร DC to DC converter เป็นวงจรที่เปลี่ยนแปลงไฟกระแสตรงจากแรงดันค่าหนึ่งไปยังแรงดันอีกค่าหนึ่งโดยสามารถทำได้ทั้งเพิ่มแรงดันลดแรงดันหรือกลับขั้วแรงดันโดยทำการ Switch แรงดัน DC จาก Battery ให้เป็นไฟ AC ที่ความถี่ค่าหนึ่งแล้วทำการป้อนให้กับหม้อแปลงความถี่สูงซึ่งมีข้อดีคือมีขนาดเล็กเพื่อทำการเปลี่ยนแปลงแรงดันให้เป็นไปตามที่ต้องการได้โดยมีวิธีการต่างๆ ดังนี้

2.1.1 Forward Converter

ใน Forward Converter นั้นพลังงานจาก input จะถ่ายเทไปสู้พลังงานไปยังโหลดผ่านอุปกรณ์ที่มีคุณสมบัติแม่เหล็ก

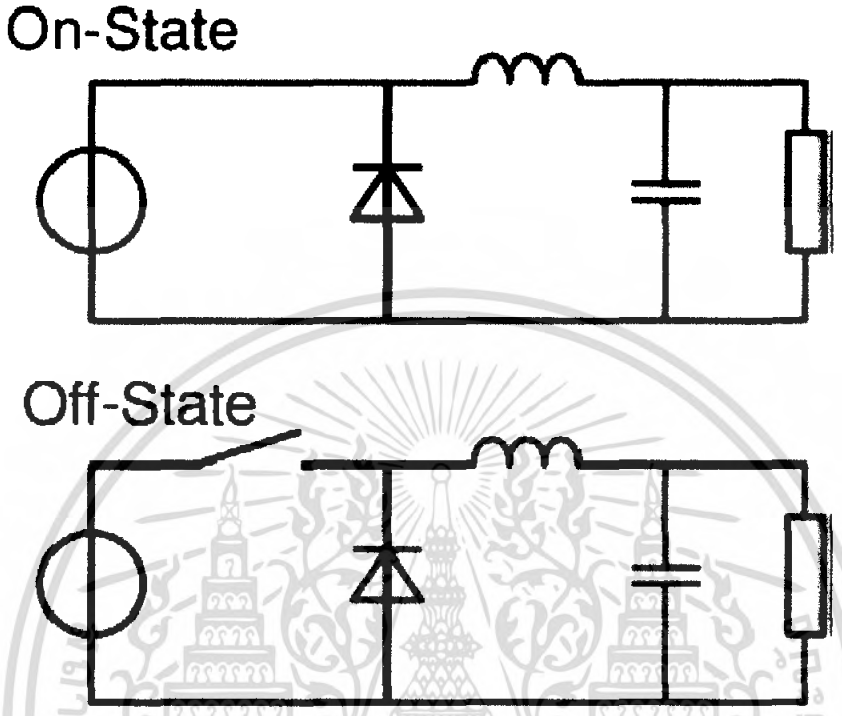
2.1.1.1 Step-down (Buck) Converter



ภาพที่ 2.1 วงจร Buck Converter

Buck Converter เป็นวงจรแปลงไฟลงประกอบด้วย Switch 2 อัน (ส่วนใหญ่คือ Transistor และ Diode) ที่ควบคุมการทำงานระหว่างการชาจพลังงานให้เก็บไว้ใน L พร้อมกับให้พลังงานโหลดและการให้พลังงานที่เก็บไว้ใน L ถ่ายเทไปยังโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

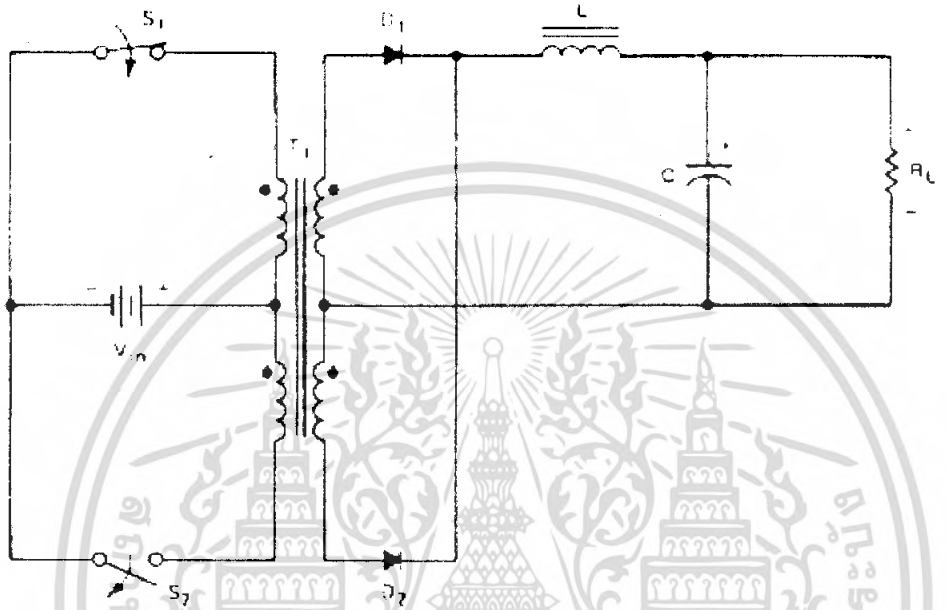


ภาพที่ 2.2 การทำงานของวงจร Buck Converter ทั้ง 2 สภาวะ

โดยเมื่อสวิตซ์ปิดวงจร (รูป a) นั้นกระแสจะไหลจาก Source ผ่าน L สู่โหลดและ L จะถูกชาจพลังงานไปด้วย ส่วน Diode D นั้นจะถูก Reverse Bias จากแรงดันของ Source (VIN) และ เมื่อสวิตซ์เปิดวงจร (รูป b) นั้นกระแสจาก Source จะถูกตัดออกไปทำให้ L นั้นถ่ายเทพลังงานไปยังโหลด และDiode D จะถูก Forward Bias จากแรงดันของ L ที่เปลี่ยนไปซึ่งถ้าทำการเปิดปิด Switch อย่างเหมาะสมจะทำโหลดนั้นได้รับพลังงานตลอดเวลา Diode ในวงจรนี้โดยทั่วไปเรียกว่า "Free-Wheeling Diode"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1.2 Push-Pull Converter



ภาพที่ 2.3 วงจร Push-Pull Converter

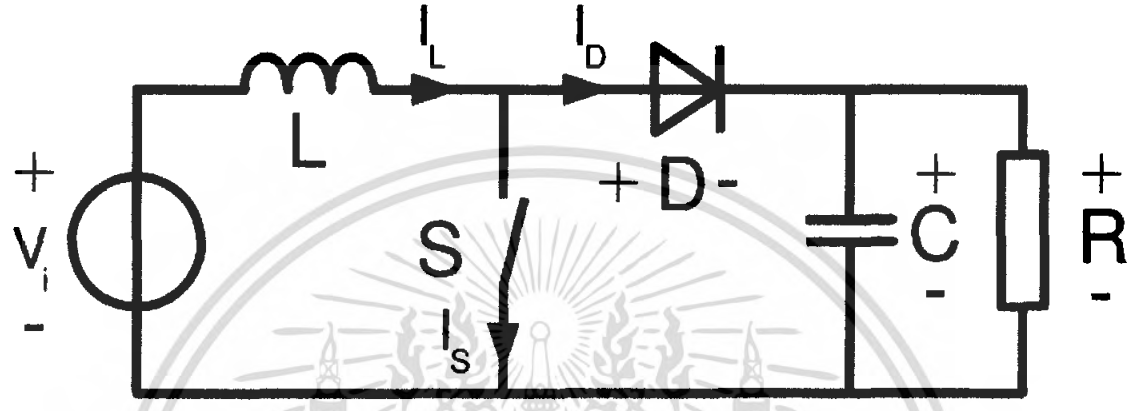
Push-Pull Converter เป็น DC to DC converter ที่ใช้หม้อแปลงในการเปลี่ยนแปลงแรงดัน โดยแรงดันนั้นกำหนดโดย Turn Ratio ของหม้อแปลงโดย มี Switch ในการควบคุมแรงดันทางด้านขดPrimary ให้เป็น AC ทำให้เกิดแรงดันทางด้านขด Secondary และมี Rectifier ทำให้เป็น DC เพื่อใช้ขับโหลดต่อไปโดยจะมี Filter เพื่อกรององค์ประกอบความถี่สูงที่เกิดจากการ Switch ไม่ให้ผ่านไปยังโหลดโดย Switch ในการควบคุมนั้นส่วนใหญ่ใช้ Transistor เป็น Switch และมีวงจรควบคุมการเปิดปิดSwitch ให้ได้ความถี่และ Duty Cycle ตามที่ต้องการเพื่อให้ได้ Output ตามที่ต้องการ

2.1.2 Flyback Converter

Flyback Converter นั้นพลังงานจาก input จะถูกเก็บไว้ในอุปกรณ์ที่มีคุณสมบัติแม่เหล็ก หลังจากนั้นอุปกรณ์ที่มีคุณสมบัติแม่เหล็กจะถ่ายเทพลังงานไปยังโหลด

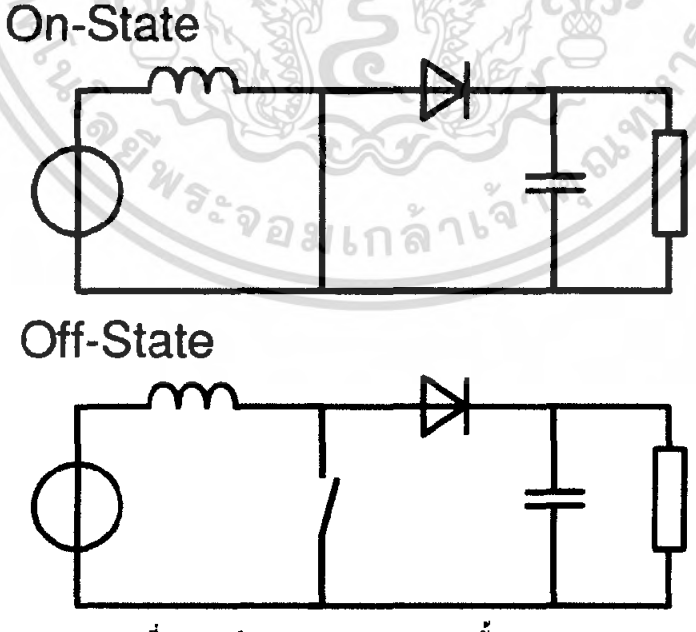
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2.1 Boots Converter



ภาพที่ 2.4 วงจร Boots Converter

วงจร boots converter (Step-up converter) เป็นวงจรที่ให้ output มีแรงดันมากกว่า input ประกอบด้วย Switch 2 ตัว (ในรูปคือ S ซึ่งส่วนใหญ่เป็น Transistor และ Diode D) และอุปกรณ์เก็บพลังงานอย่างน้อย 1 ตัว



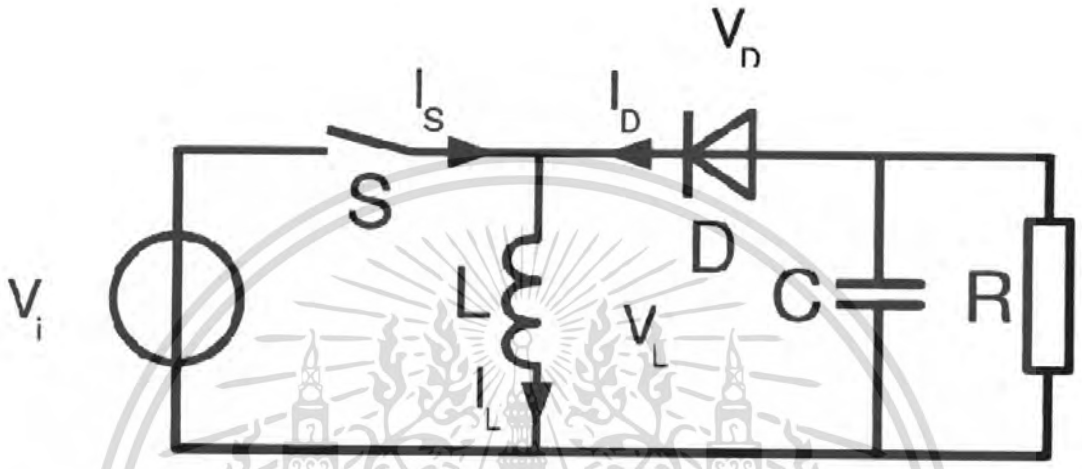
ภาพที่ 2.5 การทำงานของ Boots Converter ทั้ง 2 สภาวะ

การทำงานคือเมื่อ สวิตซ์ S ปิดวงจร (On-State)กระแสจาก Source จะไหลผ่าน L เพื่อสะสมพลังงานเก็บไว้ในสถานะนี้โหลดจะไม่ได้รับพลังงานจาก Source และ Diode จะ Reverse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

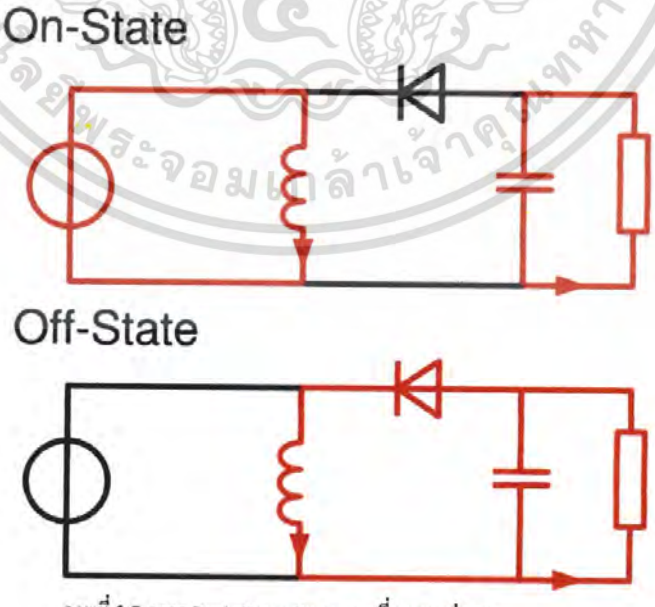
Bias และเมื่อสวิตช์ S เปิดวงจร (Off State) ในสถานะนี้โหลดจะได้รับพลังงานจาก Source รวมกับพลังงานที่สะสมไว้ใน L เมื่อ S ปิดวงจรผ่าน Diode ไปยังโหลด

2.1.2.2 Buck-Boots Converter



ภาพที่ 2.6 วงจร Buck-Boots Converter

วงจร buck-boost converter เป็น dc to dc convert ที่ขนาดของแรงดัน output (VO) สามารถเป็นได้ทั้งมากกว่าและน้อยกว่าแรงดัน input (Vi) จะมีลักษณะการทำงานคล้ายกับ buck converter และboots converter ค่าแรงดัน output จะขึ้นอยู่กับ Duty Cycle ของ สวิตช์ S (Transistor)



ภาพที่ 2.7 วงจร Buck-Boots Converter ที่สภาวะต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้มีการทำงานคือเมื่อสวิตซ์ S ปิดวงจร (on-state) กระแสจาก Source จะไหลผ่าน L และสะสมพลังงานไว้ พร้อมๆกับโหลดจะได้รับพลังงานจาก C และเมื่อสวิตซ์ S เปิดวงจร(off-state) Diode จะถูก Forward Bias ทำให้ L ถ่ายเทพลังงานให้ C และ โหลด

2.2 วงจรสวิตซ์

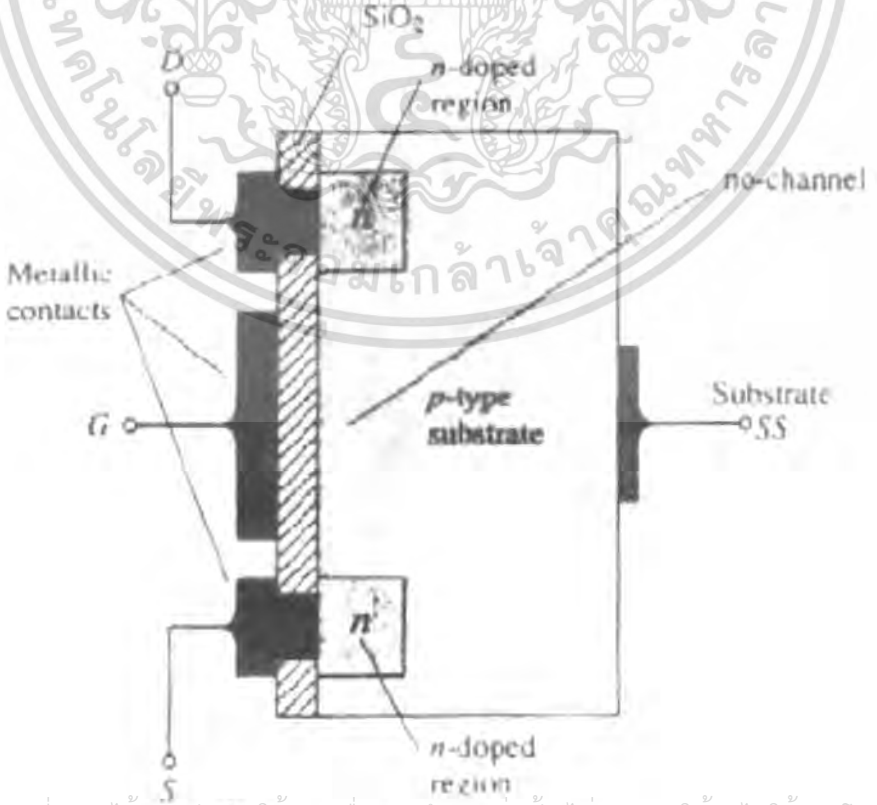
วงจรนี้จะทำหน้าที่ควบคุมการไหลของไฟกระแสตรงจากแบตเตอรี่ให้ผ่านขดลวดหม้อแปลงประกอบด้วย อุปกรณ์ดังนี้

2.2.1 MOSFET (metal-oxide-semiconductor field-effect transistor)

มอสเฟทจะทำหน้าที่เป็นสวิตซ์เพื่อกำหนดลักษณะการไหลของไฟกระแสตรงจากแบตเตอรี่โดย มอสเฟทนั้นแบ่งได้ 2 ชนิดคือ ดีพลีชั่น (Depletion) และ เอนฮานซ์เมนต์ (Enhancement) โดยเราจะใช้แค่ MOSFET แบบ enhancement เพียงชนิดเดียว

Enhancement MOSFET (E-MOSFET)

N-channel enhancement MOSFET



ภาพที่ 2.8 N-channel enhancement MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N-channel enhancement MOSFET ประกอบด้วยฐานสารกึ่งตัวนำ p (p-substrate) และขั้ว Drain (D) กับขั้ว Source(S) ต่อกับบริเวรที่มีการโดปสารให้เป็นสารกึ่งตัวนำ n (n-doped region) โดยมีรอยต่อเป็นโลหะและจะไม่นำไฟฟ้าจนกว่าจะมี VGS ค่าหนึ่งซึ่งเรียกว่าแรงดันขีดเริ่ม (ThresholdVoltage :VT) จะย่านการทำงาน 3 ย่านคือ

2.2.1.1 Cut-off Region; (VGS<VT)

ในย่านนี้ VGS จะน้อยกว่า VT MOSFET ยังไม่นำกระแส (ไม่มีกระแสไหลแม้จะมี VDS)

2.2.1.2 Linear Region; (VGS>VT และ VDS < VGS-VT)

ถ้าเราเพิ่ม VGS ขึ้นเรื่อยๆจน VGS มีค่ามากกว่า VT จะเกิด channel ที่สามารถให้กระแสไหลผ่านDrain ไปยัง Source ได้โดยจะมีกระแสไหลเมื่อ VDS มีค่าเป็นบวก (VDS > 0) แต่ไม่เกินค่า VDSSAT(VGS –VT) ค่าของกระแสที่ไหลจะมีความสัมพันธ์ตามสมการ

$$I_D \approx \mu_N C_{OX} \frac{W}{L}((V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2})$$

μ_N คือ the charge-carrier effective mobility

W คือ ความกว้างของเกท

L คือ ความยาวของเกท

C_{OX} คือ ค่าความจุของตัวเก็บประจุที่เกทต่อพื้นที่ (the gate oxid capacitance per unit area)

2.2.1.3 Saturation Region ; (VGS>VT และ VDS > VGS-VT)

จาก Linear Region เมื่อเราเพิ่ม VDS กระแสจะเพิ่มตามสมการกระแสแต่เมื่อ VDS เพิ่มขึ้นถึงค่าหนึ่ง (VGS – VT) กระแส ID ที่ไหลผ่าน MOSFET จะไม่ขึ้นอยู่กับ VDS เพราะ channel จะเกิดการ pinch offและค่าของกระแสจะประมาณได้ตามสมการ

$$I_D \approx \frac{\mu_N C_{OX}}{2} \frac{W}{L}(V_{GS} - V_{TH})^2$$

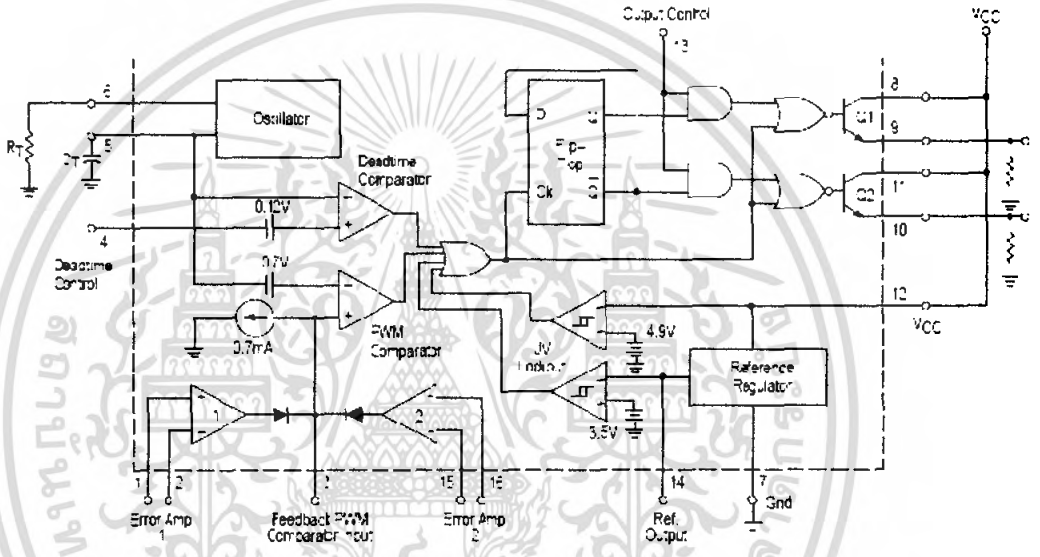
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 วงจรควบคุมการทำงานของสวิตซ์

วงจรนี้จะควบคุมการทำงานของมอสเฟตให้ On และ off ในลักษณะต่างๆเพื่อให้กระแสไหลผ่านขดลวดของหม้อแปลงเป็นไปตามรูปแบบที่เราต้องการซึ่งจะควบคุมโดย IC TL494

2.2.2.1 การทำงานของ IC เบอร์ TL494

TL494 เป็น IC ควบคุม PWM ที่มีการเปลี่ยน PWM โดยเปลี่ยน Duty Cycle โดยมีความถี่คงที่โดยจะมี block การทำงานภายในดังนี้



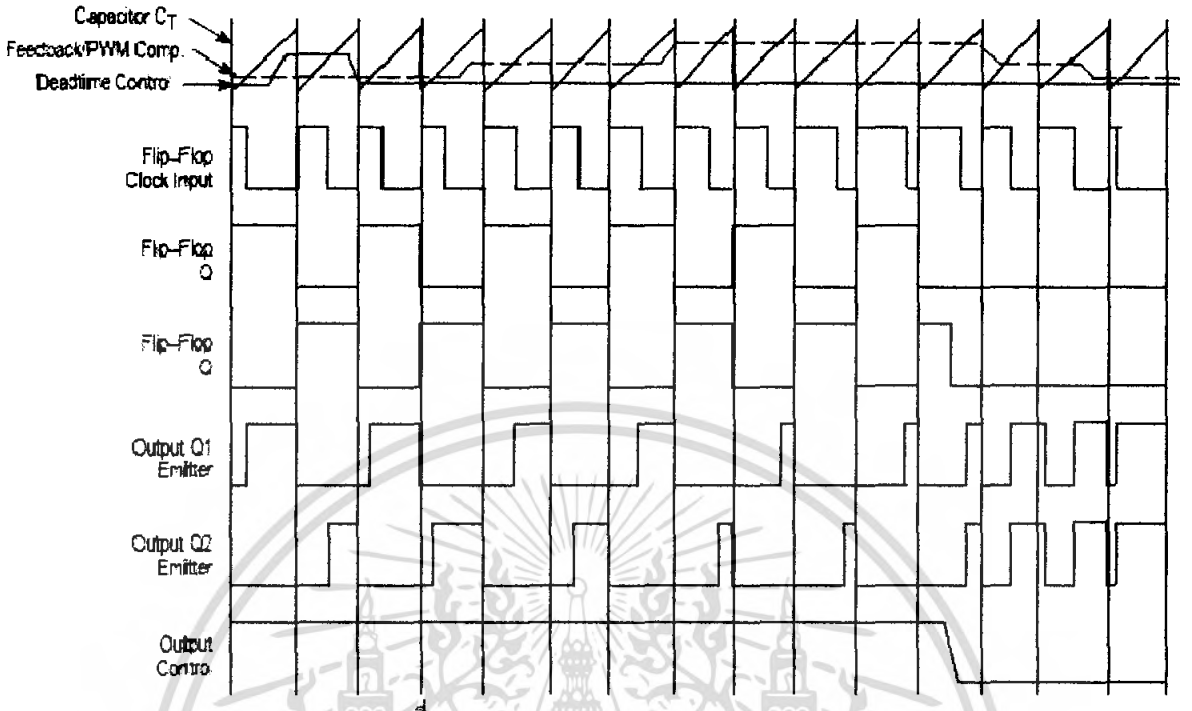
ภาพที่ 2.9 Block diagram ของ TL 494

โดยจาก Block diagram จะมี saw tooth oscillator ภายในที่กำหนดความที่โดย CT และ RT ที่ต่ออยู่ภายนอกที่ขา 5 และ 6 โดยความถี่จะเป็นไปตามความสัมพันธ์

$$f_{osc} = \frac{1.1}{R_T C_T}$$

PWM ที่ output เกิดขึ้นจากการนำ Voltage ของ CT ที่เป็น saw tooth ไปเปรียบเทียบกับสัญญาณ Deadtime Control (ขา 4) และ Feedback PWM Comparator Input (ขา 3) และมี NOR Gateที่ควบคุมการทำงานของ Transistor Q1 และ Q2 โดย Transistor จะ on เมื่อ clock ของ flip-flop มีค่าเป็นลอจิก “0” ซึ่งการที่ logic ของ clock จะเป็น “0” ได้นั้นเกิดจากการที่ voltage ของ saw tooth นั้นมีค่ามากกว่า voltage ที่นำมาเปรียบเทียบด้วย ดังนั้น การเพิ่มแรงดันของ สัญญาณที่ขา 3 และขา 4 ทำให้เกิดการเพิ่มของ Pulse Width ของ output ด้วยดังรูป timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.10 Timing Diagram ของ TL 494

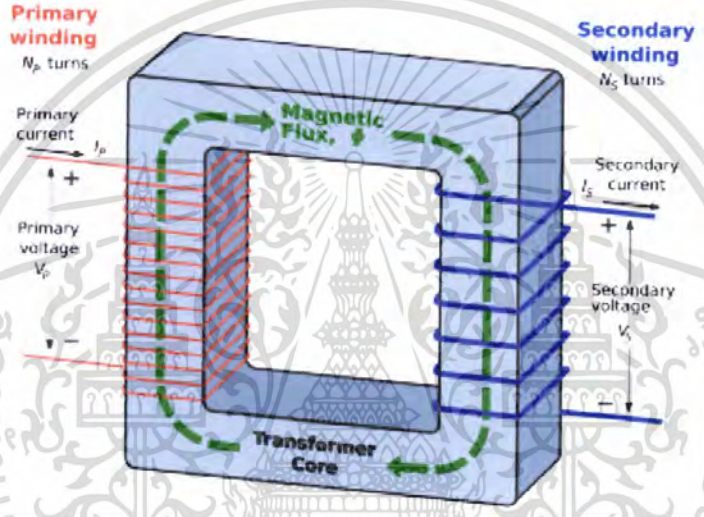
โดยภายในขา 4 นั้นจะมี offset 120mV เพื่อกำหนดให้ค่า deadtime น้อยสุดมีค่าประมาณ 4%ของคาบเวลาของ saw tooth oscillator หรือ duty cycle ของ pulse width จะมีค่ามากสุด 96% เมื่อ outputmode control (ขา 13) ต่อลง Ground และ 48% เมื่อขา 13 ต่อไปยังไฟเลี้ยงและสามารถเพิ่ม deadtime โดยการตั้งค่าจากขา dead-time control (ขา 4) โดยป้อนแรงดันที่มีค่าจาก 0 ถึง 3.3 โวลต์ PWMComparator ทำงานโดยการใช้ error amplifier ในการควบคุมความกว้างของ pulse โดยสามารถนำไปใช้ในการ sense กระแส หรือ แรงดัน output ได้ error amplifier output ของ error amp ทั้งสองตัวและขา 3 จะถูก OR ด้วยกันแล้วนำไปป้อนให้กับขา non inverting ของ PWM comparator เมื่อ CT คายประจุจนแรงดันที่นำไปเปรียบเทียบน้อยกว่าแรงดันที่ขา dead time control output ของ deadtimecomparator จะเป็น "1" ซึ่งจะทำไปหยุดการทำงานของ output transistor Q1 , Q2 และให้สัญญาณclock แก่ flip-flop เมื่อต่อ output mode control (ขา 13) เข้าไฟเลี้ยง output ของ flip-flop จะถูกนำไปAND กับ clock ของ flip-flop จะทำให้ Q1 และ Q2 สลับกันทำงานโดยความถี่จะเป็นครึ่งหนึ่งของความถี่ oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หม้อแปลง

2.3.1 ทฤษฎีพื้นฐานของหม้อแปลง

เนื่องจาหถ้ามีหระแสไหลในขดลวดที่พันรอบๆแกนที่เป็นลูปปิด จะทำให้เกิดฟลักแม่เหล็กภานในแกน ถ้ามีกระแสที่มีลักษณะเป็นคาบและมีขดลวดอีกขดพันอยู่รอบแกนเดียวกันนี้ก็จะทำให้เกิดผลที่ตรงกันข้ามกัน กล่าวคือเกิดการเหนี่ยวนำในขดลวดทำให้มีกระแสไหล



ภาพที่ 2.11 โครงสร้างพื้นฐานของหม้อแปลง

หากเราคิดว่าหม้อแปลงใดๆ เป็นหม้อแปลงที่มีประสิทธิภาพสูงใกล้เคียงกับอุดมคติจะได้ว่า

$$\frac{N_P}{N_S} = \frac{V_P}{V_S}$$

ดังนั้นหม้อแปลงจึงสามารถทำได้ทั้ง step up และ step down ในตังเดี่ยวกัน

ข้อได้เปรียบอีกอย่างของหม้อแปลงคือสมบัติการแยกโดดทางไฟฟ้าระหว่างขดลวดต่างๆ จากสมการพื้นฐานความสัมพันธ์ทางแม่เหล็กของหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e = NA_e(\frac{dB}{dt})10^{-8}$$

เราจะสามารถหาความหนาแน่น flux (B) ได้เพื่อที่จะแน่ใจว่าหม้อแปลงทำงานอยู่ในช่วงที่เป็นเชิงเส้นของ magnetization curve

$$B = \frac{(V_P)10^8}{kfN_PA_e} G$$

กำหนดให้ VP คือแรงดันที่ขด primary Ae คือพื้นที่ที่ใช้งานได้ของหม้อแปลง (cm2) NP คือจำนวนรอบของขด primary และ k เป็นค่าคงที่ซึ่งจะใช้ค่าประมาณ 4.44 ถ้าเป็น sine wave แต่ในการสร้าง switching power supply ส่วนมากจะเป็นคลื่นสี่เหลี่ยม ดังนั้นเราจะใช้ k เท่ากับ 4 ถ้าเป็น pushpullและ k = 2 ถ้าเป็น forward converters

Property	Symbol	Condition	Unit	6H10	6H20	6H40	6H41	6H42
AC initia permeability	μi	0.1 MHz	—	2300	2300	2400	2500	3400
Saturation magnetic flux density	Bs (1000 A/m)	23 °C	mT	510	510	530	530	530
		100 °C		390	390	430	430	430
Residual magnetic flux density	Br	23 °C	mT	110	130	110	110	110
Coercivity	Hc	23 °C	A/m	13	13	10	10	10
Relative loss factor	tanδ/μi	0.1 MHz	$\times 10^{-6}$	<5	<5	<3	<3	<3

ภาพที่ 2.12 การอ่านค่า Bsat จาก Datasheet

โดยปกติแล้ว Bmax หรือค่าความหนาแน่น flux ที่แกนสามารถรับได้ในการสร้าง หม้อแปลงผู้ออกแบบจะสามารถเลือกใช้ได้ตามต้องการ โดยให้อยู่ในช่วงที่เป็นเส้น แต่ช่วงที่ เหมาะสมที่สุดคือครึ่งหนึ่งของค่าที่แกนทนได้ (Bsat) ณ อุณหภูมิที่ใช้งาน

จากสมการข้างต้นจะสามารถหาจำนวนรอบของขด primary ได้โดย

$$N_P = \frac{(V_P)10^8}{KfB_{max}A_e}$$

ตัวแปรที่สำคัญอีก 2 ตัวในการออกแบบหม้อแปลง คือ พื้นที่ในการพันขดลวดของ Bobbin เพื่อจะให้เพียงพอในการพันลวดในขนาดที่เหมาะสมเพื่อลดการสูญเสียที่เกิดขึ้นในเส้นลวด อีกตัวแปรหนึ่งคือความสามารถในการถ่ายเทพลังงาน ซึ่งตัวแปลทั้งสองนี้จะเกี่ยวข้องกับสมการ

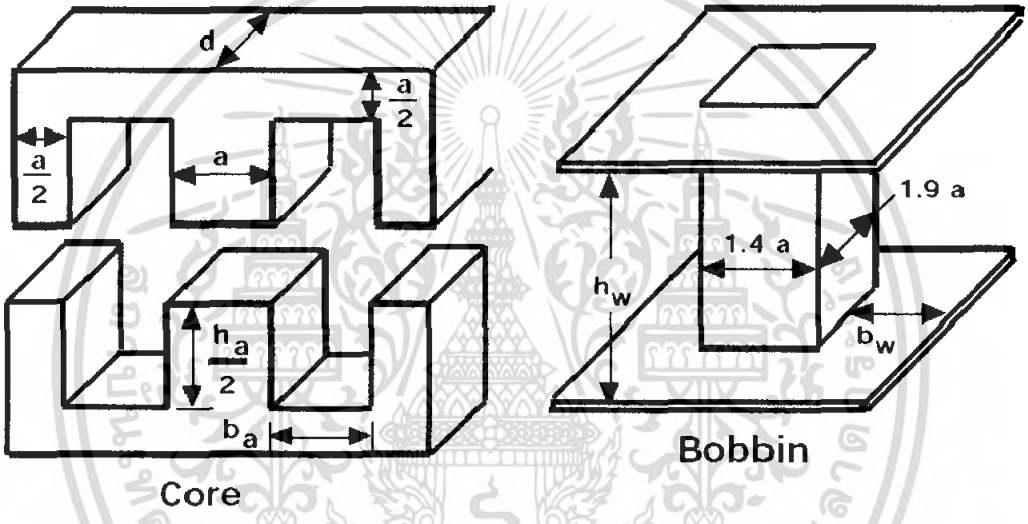
$$P_{out} = (1.16B_{max}fdA_eA_c)10^{-9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย d คือความหนาแน่นกระแสของลวด (A/m2) Ae คือพื้นที่หน้าตัดของแกน Ac คือพื้นที่ในการพันลวดของ Bobbin (ในบางครั้งอาจเรียกว่า Wa) จัดรูปสมการใหม่จะได้ว่า Area product ของ Transformer

$$A_eA_c = \frac{P_{out}x10^9}{1.16B_{max}fd}cm^4$$

โดยทั่วไปแล้วค่าความหนาแน่นของกระแสในขดลวดทองแดง (d) จะใช้ประมาณ 3 – 5A/mm2



Characteristic	Relative Size
Core area A_{core}	$1.5\ a^2$
Winding area A_W	$1.4\ a^2$
Area product $AP = A_WA_C$	$2.1\ a^4$
Core volume V_{core}	$13.5\ a^3$
Winding volume V_W	$12.3a^3$
Total surface area of assembled core and winding	$59.6\ a^2$

ภาพที่ 2.13 dimension ต่าง ๆ ของหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 ชนิดและรูปร่างของแกนที่ใช้กับหม้อแปลงความถี่สูง

ในการออกแบบหม้อแปลงความถี่สูงนั้นสามารถใช้สารแม่เหล็กได้หลายชนิดในการนำมาใช้เป็นแกน แต่ที่นิยมสุดจะเป็นแกนที่ทำจาก ferrite แม่ว่า ferrite อาจจะไม่สามารถมีความหนาแน่นของflux ได้สูงมากโดยทั่วไปจะอยู่ระหว่าง 3000 – 50000 Gauss(G) แต่ข้อดีของแกนจะมีการสูญเสียน้อยที่ความถี่สูงเพราะแกนมีความต้านทานสูงจึงทำให้ลดผลของ Eddy current

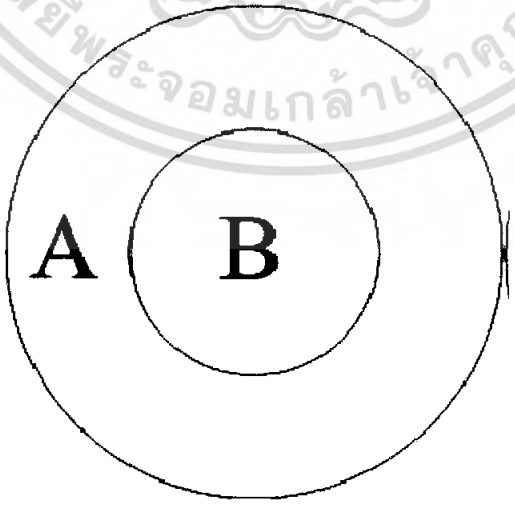
รูปร่างของแกนที่นิยมใช้ได้แก่ EE, EI, EC ขึ้นอยู่กับการใช้งานและการออกแบบ

2.3.3 การเลือกขนาดของเส้นลวด

การเลือกขนาดของเส้นลวดนั้นจะต้องคำนึงถึงตัวแปรสำคัญสองตัวคือ ความหนาแน่นของกระแสต่อพื้นที่ของลวด เช่นถ้าทองแดงจะมีความหนาแน่นของกระแสประมาณ 3-5 A/mm2 และ skindept ซึ่งจะแปลตามความถี่โดยถ้าความถี่สูงนั้นจะทำให้ความหนาแน่นของกระแสจะอยู่เฉพาะผิวของตัวนำทำให้ไม่สามารถใช้งานเส้นลวดได้เต็มที่

2.3.3.1 Skin Effect

Skin Effect เป็นผลจากการที่กระแสไฟฟ้าของไฟฟ้ากระแสสลับนั้นไม่สามารถไหลในตัวนำได้เต็มที่โดยความหนาแน่นกระแสที่ผิวของตัวนำจะมากกว่าแกนของตัวนำทำให้เหมือนกับกระแสไฟฟ้าไหลได้แค่เพียงบางส่วนของตัวนำโดยจะเหมือนว่าค่าความต้านทานเสมือนของตัวนำเพิ่มขึ้นแปลผันตรงกับความถี่ของกระแสสลับที่ไหลผ่านตัวนำนั้นๆ



ภาพที่ 2.14 แสดงพื้นที่ ที่มีความหนาแน่นกระแสที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงกลมคือลวดตัวนำ พื้นที่ A คือพื้นที่ที่มีความหนาแน่นกระแสสูงกว่าพื้นที่ B ซึ่งจะทำให้กระแสสามารถไหลได้ในพื้นที่ A ได้สะดวกกว่าพื้นที่ Bโดยสามารถลดผลของ Skin effect ได้โดยการใช้สายเล็กหลายๆเส้นแทนที่จะใช้สายใหญ่ๆเส้นเดียว

ตารางด้านล่างแสดงให้เห็นถึง skin dept ของทองแดงที่ความถี่ต่างๆและขนาดลวดที่เหมาสมของความถี่ใช้งานนั้นๆ

ขนาดลวด (AWG)	เส้นผ่านศูนย์กลาง (mm)	ความต้านทาน (Ohms/km)	กระแสสูงสุด (A)	ความถี่สูงสุดที่ไม่มีผลของ Skin effect
12	2.05232	5.20864	9.3	4150 Hz
13	1.8288	6.56984	7.4	5300 Hz
14	1.62814	8.282	5.9	6700 Hz
15	1.45034	10.44352	4.7	8250 Hz
16	1.29032	13.17248	3.7	11 k Hz
17	1.15062	16.60992	2.9	13 k Hz
18	1.02362	20.9428	2.3	17 kHz
19	0.91186	26.40728	1.8	21 kHz
20	0.8128	33.292	1.5	27 kHz
21	0.7239	41.984	1.2	33 kHz
22	0.64516	52.9392	0.92	42 kHz
23	0.57404	66.7808	0.729	53 kHz
24	0.51054	84.1976	0.577	68 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

25	0.45466	106.1736	0.457	85 kHz
26	0.40386	133.8568	0.361	107 kHz
27	0.36068	168.8216	0.288	130 kHz
28	0.32004	212.872	0.226	170 kHz
29	0.28702	268.4024	0.182	210 kHz
30	0.254	338.496	0.142	270 kHz
31	0.22606	426.728	0.113	340 kHz
32	0.2032	538.248	0.091	430 kHz
33	0.18034	678.632	0.072	540 kHz
34	0.16002	855.752	0.056	690 kHz
35	0.14224	1079.12	0.044	870 kHz
36	0.127	1360	0.035	1100 kHz
37	0.1143	1715	0.0289	1350 kHz
38	0.1016	2163	0.0228	1750 kHz
39	0.0889	2728	0.0175	2250 kHz
40	0.07874	3440	0.0137	2900 kHz

ตารางที่ 2.1 ตารางแสดงความสัมพันธ์ระหว่าง skin effect กับขนาดของเส้นลวด

82463

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 สรุปขั้นตอนการออกแบบหม้อแปลง

1. เลือกชนิดของแกนและรูปแบบของแกนเช่น N27, 3C8, 6H20

2. เลือกค่า B_{max} ประมาณ $\frac{B_{sat}}{2}$ ของแกนที่เลือก เช่นถ้า B_{sat} = 3,000 G จะใช้ค่า B_{max} = 1,500 G เพื่อป้องกันการอิ่มตัว

3. คำนวนหาค่ากระแสสูงสุดของขด primary จากสมการ

$$I_P = \frac{3P_{out}}{V_{in}}$$

4.เลือกขนาดของแกนและ Bobbin จากสมการ Area product เลือกให้ใหญ่กว่าค่าที่คำนวนได้เล็กน้อย

5.เลือกขนาดลวดและจำนวนของขด primary ถ้าหากเป็น push-pull จะต้องพันขด primary เป็น2 เท่าโดยดึง center tap

6. คำนวนย้อนตรวจสอบค่า Bmax ว่าไม่เกินค่า $\frac{B_{sat}}{2}$

7. คำนวนจำนวนชั้นของการพันขดลวด primary

8.คำนวนขดลวด secondary จาก

$$N_S = N_P \frac{V_S}{V_P}$$

9.คำนวนหาขนาดของลวดขด secondary

10. ตรวจสอบความลงตัวของพื้นที่ในการพัน ในการพันลวดจะพันให้เป็นระเบียบเพื่อป้องกันLeakage inductance

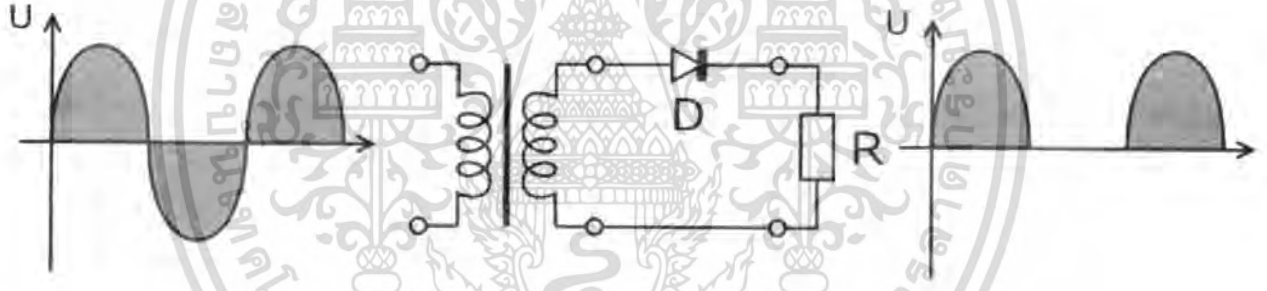
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรเรียงกระแส

วงจรเรียงกระแสนั้นอาศัยคุณสมบัติของไดโอดที่ยอมให้กระแสไหลผ่านทางเดียวนำมาใช้เรียงกระแส(Rectifier) ให้เป็นไปตามที่ต้องการ เราสามารถแบ่งชนิดของวงจรเรียงกระแส (Rectifier) ตามมุมเฟสของกระแสที่ไหลผ่านโหลด ได้ 2 ชนิด คือแบบครึ่งคลื่นและแบบเต็มคลื่น

2.4.1 วงจรเรียงกระแสแบบครึ่งคลื่น (Half Wave Rectifier :HW)

วงจรจะประกอบด้วยไดโอดตัวเดียวดังรูปซึ่ง Diode D นำกระแสแค่ครึ่งคาบของ AC (ครึ่งคาบที่ Diode ถูก Forward Bias) จะทำให้ได้กระแสที่ไหลผ่านโหลดแค่ครึ่งคลื่นของ AC โดย Diodeจะมี Peak Inverse Voltage เท่ากับ Peak Voltage ของขด Secondary และมีความถี่เท่ากับความถี่ของสัญญาณที่ป้อนเข้าขด Primary ข้อดีของวงจรนี้คือใช้อุปกรณ์น้อยทำให้ประหยัดค่าใช้จ่ายและเป็นวงจรที่ง่ายที่สุด



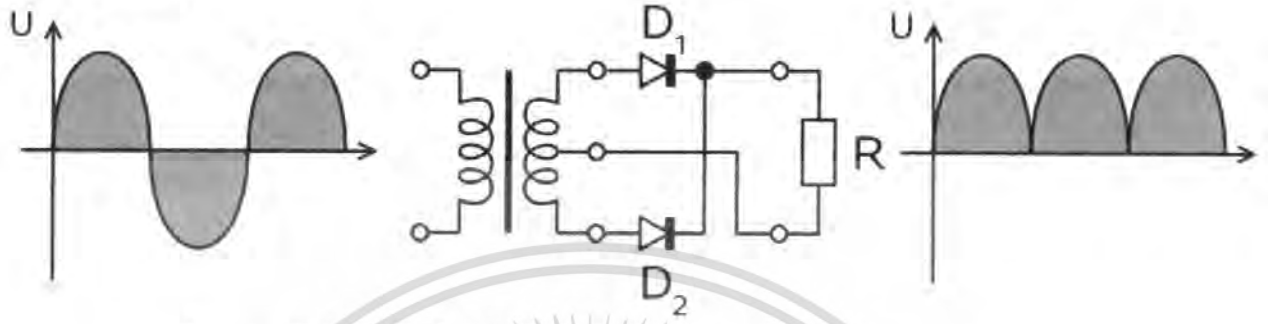
ภาพที่ 2.15 วงจรเรียงกระแสแบบครึ่งคลื่น (Half Wave Rectifier : HW)

2.4.2 วงจรเรียงกระแสแบบเต็มคลื่น (Full Wave Rectifier)

มีลักษณะการทำงานคือใช้ไดโอด 2 ชุด สลับกันทำงานชุดละครึ่งคาบของไฟ AC สามารถต่อได้ 2 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

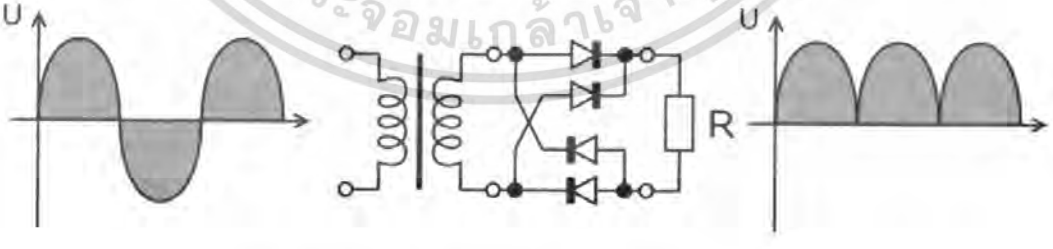
2.4.2.1 วงจรเรียงกระแสเต็มคลื่นแบบหม้อแปลงมีแท็ป(Full Wave Center Tapped:FWCT)



ภาพที่ 2.16 วงจรเรียงกระแสเต็มคลื่นแบบหม้อแปลงมีแท็ป (Full Wave Center Tapped : FWCT)

เป็นวงจรที่ประกอบด้วย Diode 2 ตัวและหม้อแปลงที่มี ขด Secondary แบบมีแท็ปกลาง โดยจะให้ Diode สลับกันทำงานทีละครึ่งคาบคือที่มุม 0 – 180 องศา จะทำให้ D1 นั้นถูก Forward Bias และ D2ถูก Reverse Bias จะทำให้ D1 นำกระแสและมีแรงดันคร่อมโหลดตามรูปและเมื่อ AC ที่มุม 180 – 360องศา จะทำให้ D1 ถูก Reverse Bias และ D2 ถูก Forward Bias ทำให้ D2 นำกระแส ซึ่งเราจะได้กระแสไหลผ่านโหลดและได้แรงดันคร่อมโหลดเต็มคลื่นของ AC โดยไดโอดแต่ละตัว จะต้องสามารถทนPeak inverse voltage ได้เป็น 2 เท่า Peak voltage ที่คร่อมโหลดหรือ 2 เท่าของ Peak Voltage ของขดSecondary ขดใดขดหนึ่ง และสูญเสีย Forward Bias Voltage ให้กับ Diode 1 ตัวและความถี่ของสัญญาณที่ Rectify ได้จะเป็น 2 เท่าจากความถี่ของสัญญาณที่มาจากขด Primary

2.4.2.2 วงจรเรียงกระแสเต็มคลื่นแบบบริดจ์ (Full-Wave Bridge : FWB)



ภาพที่ 2.17 วงจรเรียงกระแสเต็มคลื่นแบบบริดจ์ (Full-Wave Bridge : FWB)

เป็นการเรียงกระแสโดยใช้ Diode 4 ตัวดังรูปโดยไดโอดจะนำกระแสทีละ 2 ตัวในวงจร โดยจะสลับการนำกระแสให้กระแสไหลผ่านโหลดได้เต็มช่วงของคลื่น AC ซึ่งการต่อแบบนี้จะทำให้ Peakinverse voltage ของ Diode แต่ละตัวนั้นลดลงครึ่งหนึ่งของวงจร Full wave center-tap สำหรับวงจรนี้จะสูญเสีย Forward Bias Voltage ให้กับ Diode 2 ตัว

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

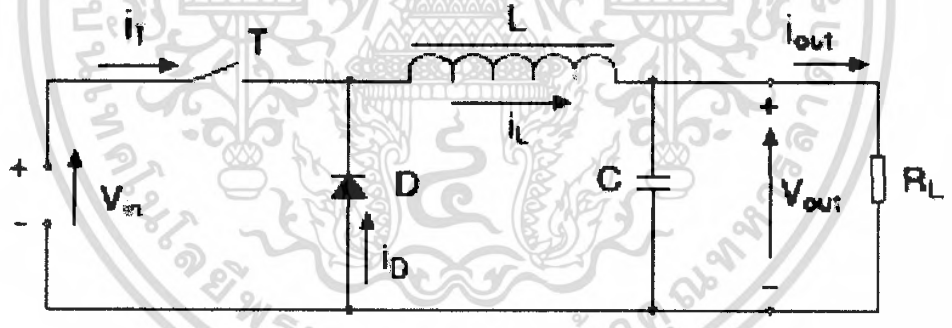
หลังจากหม้อแปลงจะได้แรงดันกระแสสลับที่มีรูปคลื่นเป็นสี่เหลี่ยมที่ความถี่ Switching จากนั้นต้องทำการจัดเรียงกระแส โดยมีวิธีคล้ายคลึงกับการจัดเรียงกระแสของ AC Line ความแตกต่างคือ Switching power supply จะมีรูปคลื่นเป็นสี่เหลี่ยม ซึ่งจะมีค่า dv/dt ที่สูงมาก และความถี่ที่สูงมากดังนั้นจึงต้องใช้ Diode ที่สามารถทำงานได้ทัน

2.4.3 การเลือกใช้ Diode

ต้องเป็นชนิด Fast recovery หรือ Ultra fast recovery ขึ้นไปซึ่งจะมีข้อดีคือสามารถตอบสนองความถี่ได้สูง มีแรงดันตกคร่อมประมาณ 0.8 – 1.2 V และมี breakdown ที่สูงแต่ในการใช้งานความถี่ที่สูงขึ้นจะต้องใช้ Diode ชนิด Schottky barrier ซึ่งจะมีความเร็วสูงมากจนสามารถละทิ้งได้ในการคำนวน มีแรงดันตกคร่อมที่ต่ำมากประมาณ 0.5 V แต่มีข้อเสียคือมี Breakdown voltage ที่ต่ำไม่เกิน100V

2.5 วงจรกรองแรงดัน (Filter)

Filter จะต้องมีความสามารถในการรับค่า dv/dt ได้โดยมีวงจรพื้นฐานดังนี้



ภาพที่ 2.18 วงจรกรองแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 การเลือกใช้ตัวเหนี่ยวนำ

หน้าที่ของ Inductor ใน switching power supply มี 2 ข้อคือเก็บพลังงานเพื่อใช้ในการจ่ายในช่วงที่ transistor หยุดทำงาน หรือ notch เพื่อรักษาให้กระแสไหลได้อย่างต่อเนื่อง อีกข้อคือรักษาระดับค่าเฉลี่ยของแรงดันขาออกให้ค่ากระเพื่อมอยู่ในค่าที่กำหนด

วัสดุที่ใช้เป็นแกนมีหลายชนิดแต่ที่นิยมมากที่สุดจะเป็นพวก iron powder และ MPP เนื่องจากคุณลักษณะดังนี้

1. มีค่า Bsat ที่สูงถึง 8,000 G
2. มีค่าความจุพลังงานที่สูง
3. มี air gap โดยธรรมชาติของวัสดุ จึงไม่จำเป็นต้องสร้าง air gap
4. มีหลายขนาด

ในการใช้ Inductor มาเป็น Filter สามารถคำนวนได้ดังนี้

เนื่องจาก $$V_L = L\frac{di}{dt}$$

โดยที่ $$V_L = (E_{in} - E_{out}) \quad V$$

จะได้ $$V_L = \frac{(E_{in}-E_{out})}{\delta I_L} \quad H$$

ในการใช้งานจริงจะต้องมีการจำกัดค่ากระแส peak ในการทำงานให้ไม่สูงเกินไปจะได้สมการ

$$L = \frac{E_{out}t_{off}}{0.25I_{out}} \quad H$$

ค่า t_{off} สามารถหาได้จาก

$$t_{off} = \frac{1 - (\frac{E_{out}}{E_{in}})}{2f} \quad s$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การเลือกใช้ตัวเก็บประจุ

ข้อแรกที่ควรคำนึงถึงคือค่า Equivalent Series Resistance (ESR) เนื่องจากค่า ESR สูงจะทำให้เกิดการสูญเสียพลังงานที่ตกคร่อม R ภายในตามสมการ I2R และยังลดทอนผลของ C ลงด้วย

แรงดันของ C จะขึ้นอยู่กับกระแสดังสมการ

$$V = \frac{1}{C}\int_{t_1}^{t_2} idt$$

แต่ค่ากระแสเฉลี่ยระหว่างเวลา t1 และ t2 คือ $\frac{[\frac{\Delta I_{out}}{2}]}{2}$ หรือ $\frac{\Delta I_{out}}{4}$ จึงได้

$$V_{out} = \frac{I_{out}}{4}\frac{T}{2C_{out}} = \frac{(\Delta I_{out})T}{8C_{out}} = \frac{\Delta I_{out}}{8fC_{out}}$$

ได้ $C_{out} = \frac{\Delta I_{out}}{8f\Delta V_{out}}$

โดยค่า ESR ควรจะมีค่าไม่เกิน

$$ESR_{max} = \frac{\Delta V_{out}}{\Delta I_{out}}$$

2.6 วงจร DC To AC Converter

วงจร DC To Ac Converter มีหน้าที่ทำการแปลงไฟกระแสตรงให้เป็นไฟกระแสสลับโดยเราสามารถควบคุณสมบัติของ AC ที่เราต้องการได้ซึ่งเราได้ใช้วงจรแบบ H-Bridge โดยมี Microcontroller คอยควบคุมการทำงาน

2.7 Micro Controller

Micro Controller นั้นเป็นอุปกรณ์ที่สามารถโปรแกรมให้มีการทำงานอย่างที่ต้องการได้ซึ่งจะโปรแกรมด้วยภาษา C หรือ Assembly ซึ่งจะใช้เป็นตัวควบคุมการทำงานของ IR2110 เพื่อให้ IR2110 ไป Drive MOSFET ของ H-Bridge ให้ Switch ได้ AC ตามคุณสมบัติที่เราต้องการคือ 50Hz Sine Pulse Width Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.1 รายละเอียดคำสั่งที่ใช้ใน Program

MOV Rn,#data

การทำงาน : (Rn)<---#data

นำข้อมูลมาเก็บไว้ที่รีจีสเตอร์ R0-R7

จำนวนไบต์ : 2 จำนวนไซเคิล : 1

SETB bit (Set bit)

การทำงาน : (bit)<---1

ทำการเซตค่าของข้อมูลในบิตที่กำหนดให้เท่ากับ "1"

จำนวนไบต์ : 2 จำนวนไซเคิล : 1

CLR bit (Clear bit)

การทำงาน : (bit)<---0

ทำการเคลียร์ค่าของข้อมูลในบิตที่กำหนดให้เท่ากับ "0"

จำนวนไบต์ : 2 จำนวนไซเคิล : 1

NOP (No Operation)

การทำงาน : (PC)<---(PC)+1

เป็นคำสั่งที่ทำให้เกิดการเลื่อนแอดเดรสไปหนึ่งแอดเดรส

จำนวนไบต์ : 1 จำนวนไซเคิล : 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LJMP addr16 (Long Jump)

การทำงาน : กำหนดให้ซีพียูมาทำงานยังแอดเดรสที่ระบุไว้ใน addr16 มีขอบเขต 64 กิโลไบต์ (0000H - FFFFH)

จำนวนไบต์ : 1 จำนวนไซเคิล : 2

DJNZ Rn,rel (Decrement and Jump if Not Zero)

การทำงาน : กำหนดให้ซีพียูกระโดดไปยังแอดเดรสปลายทางตามค่าสัมพันธ์ (rel) เมื่อทำการลดค่าของรีจิสเตอร์ R0-R7 ลงหนึ่งค่าแล้วผลลัพธ์ไม่เท่ากับศูนย์

จำนวนไบต์ : 2 จำนวนไซเคิล : 2

LCALL addr16 (Long Call)

การทำงาน : กำหนดให้ซีพียูกระโดดไปยังโปรแกรมย่อยซึ่งมีแอดเดรสอยู่ภายในขอบเขตสัมบูรณ์แบบไกล ซึ่งสามารถอ้างแอดเดรสได้สูงสุด 64 กิโลไบต์ และจะกลับมาโปรแกรมหลักก็ต่อเมื่อพบคำสั่ง RET

จำนวนไบต์ : 3 จำนวนไซเคิล : 2

RET (Return from subroutine)

การทำงาน : กำหนดให้ซีพียูกระโดดออกจากโปรแกรมย่อยกลับไปยังโปรแกรมหลัก เป็นคำสั่งสุดท้ายของทุกโปรแกรมย่อย ยกเว้นโปรแกรมย่อยบริการอินเตอร์รัปต์

จำนวนไบต์ : 1 จำนวนไซเคิล : 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORG แอดเดรสเริ่มต้นหรือชื่อของลาเบลที่เป็นตำแหน่งเริ่มต้น

การทำงาน : กำหนดจุดเริ่มต้นหรือแอดเดรสเริ่มต้นของหน่วยความจำส่วนต่างๆ ที่ทำงานอยู่ ณ บรรทัดนั้น ซึ่งอาจเป็นส่วนของหน่วยความจำโปรแกรมก็ได้

END

การทำงาน : แจ้งให้โปแกรมแอสเซมเบลอร์

BIT

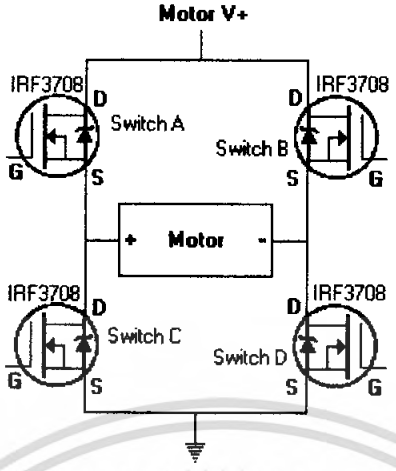
ชื่อตัวแปร BIT แอดเดรสเริ่มต้นตำแหน่งบิตที่มีในหน่วยความจำข้อมูลภายในแบบอ้างแอดเดรสโดยตรง (ในแอดเดรส 20H-2FH) หรือบิตในรีจิสเตอร์ของระบบที่สามารถเข้าถึงได้ในระดับบิต

2.8 IR2110 : High-side Gate Diver

โดยปกติแล้วการใช้งาน MOSFET ในการทำหน้าที่เป็นสวิทช์ จะนิยมใช้ N-MOSFET มากกว่า P-MOSFET ด้วยเหตุผลหลายประการ เช่น ความเร็วในการทำงาน, ขนาดของ MOSFET และราคา เป็นต้น

N-MOSFET จะสามารถทำหน้าที่เป็นสวิทช์ได้ก็ต่อเมื่อมีศักดา V_{GS} เป็นบวกเท่านั้น ถ้าหากเรานำมาใช้งานในวงจรในลักษณะ Common source จะสามารถทำการขับขา Gate ได้ไม่ยาก เพราะว่าแรงดันในการขับ Gate ไม่สูงเกินไฟเลี้ยงของวงจร แต่ถ้าหากต้องการใช้งาน N-MOSFET แบบ Common drain จะเห็นว่าถ้าหาก MOSFET ทำงาน จะทำให้ศักดาที่ขา Drain และ ขา Source มีค่าเท่ากัน ซึ่งมีค่าเท่ากับไฟเลี้ยงของวงจร แต่แรงดันที่จะต้องใช้ขับ Gate ต้องมีค่าสูงกว่า Source ซึ่งก็หมายความว่าต้องสูงกว่าไฟเลี้ยงเช่นกัน ดังนั้นจึงเป็นไปไม่ได้ที่จะขับ Gate ด้วยวิธีธรรมดา ตัวอย่างของวงจรที่ต้องใช้ N-MOSFET เป็นแบบ Common drain เช่น Top drive ของวงจร H-Bridge

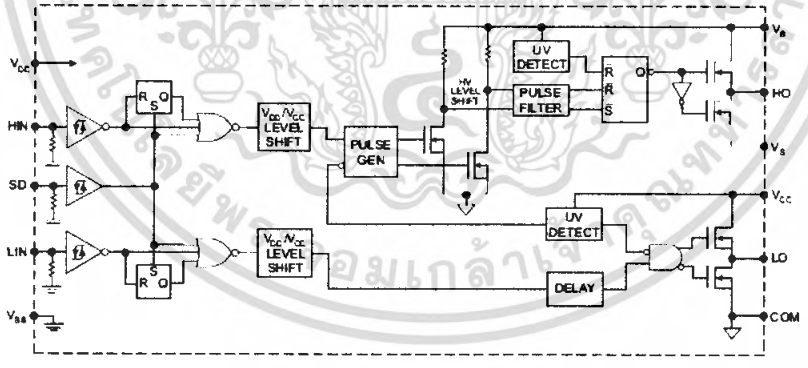
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.19 : วงจร H-Bridge

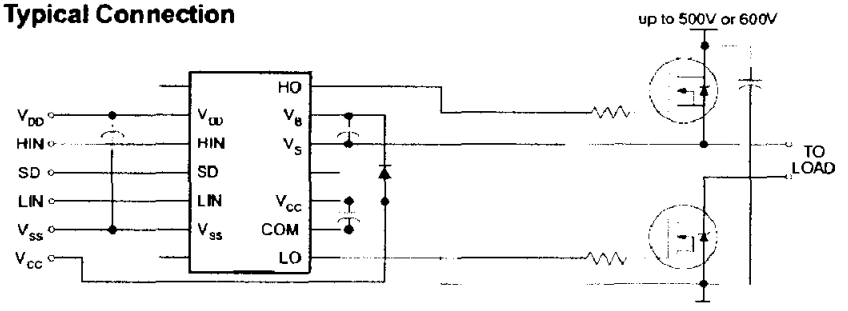
จากตัวอย่างข้างต้นจะเห็นได้ว่า เราจะต้องทำการจ่ายแรงดันที่มีค่าสูงกว่าไปลี้ยงของวงจรให้กับ Gate โดยสามารถทำได้หลายวิธี เช่นใช้แหลงจ่ายไฟมากกว่าหนึ่งแหล่งเพื่อใช้ในการขับ Gate โดยเฉพาะ หรือใช้ Pulse transformer หรือใช้ตัวเก็บประจุในการจ่ายแรงดันให้ Gate

สำหรับ IC เบอร์ IR2110 นี้ใช้ตัวเก็บประจุในการขับ Gate โดยการ Bootstrap ผ่าน CMOS



ภาพที่ 2.20 : Block diagram ของ IR2110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

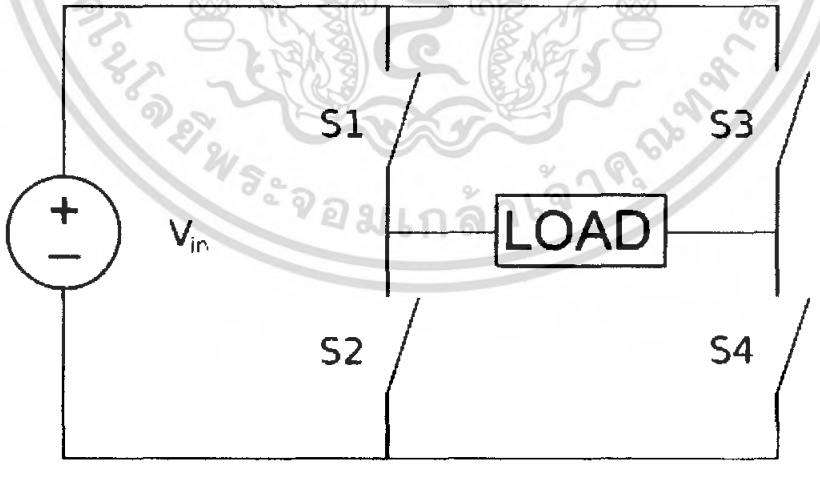


ภาพที่ 2.21 : การเชื่อมต่อของ IR2110

สัญญาณที่ได้จาก Input จะผ่านวงจร Level shift ที่ใช้สำหรับเปลี่ยนระดับแรงดันของ Pulse จากระดับไฟเลี้ยง Logic เป็นระดับไฟเลี้ยงของPower state

ในขณะที่ Logic ด้าน High side เป็น 0 และ Low side เป็น 1 ขา V_S จะมีแรงดันเท่ากับ Ground ซึ่งจะทำให้กระแสไหลผ่าน Bootstrap diode มาประจุตัวเก็บประจุ ในขณะที่ Logic ด้าน High side เป็น 1 และ Low side เป็น 0 ขา V_S จะมีแรงดันเท่ากับไฟเลี้ยง แต่แรงดันที่ขา V_B จะมีค่าเท่ากับ $V_{CC} + V_C$ แล้ว MOSFET ตัวบนจะทำงาน จึงทำให้แรงดันนี้ไปขับ Gate

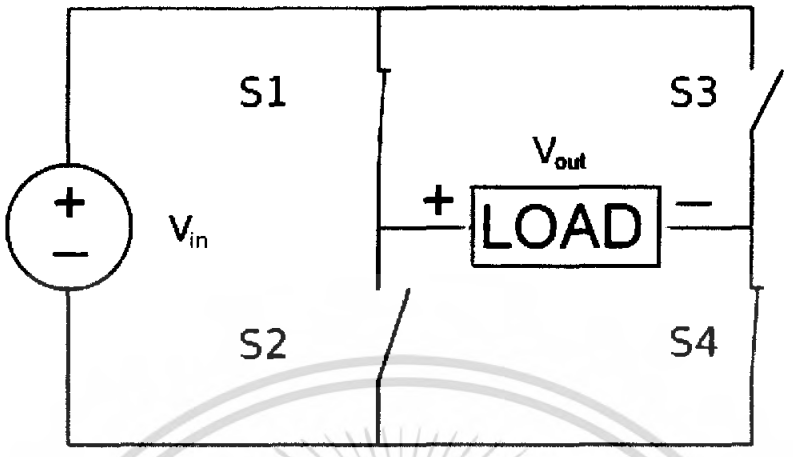
2.9 H-Bridge



ภาพที่ 2.22 วงจร H-Bridge

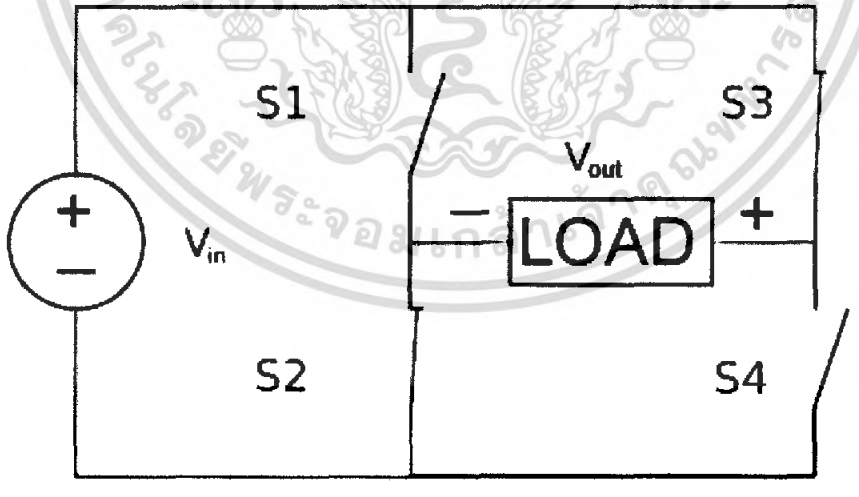
วงจร H-Bridge จะเป็นการต่อ MOSFET 4 ตัวเป็นสวิตซ์ดังภาพที่ 2.22 โดยจะมีการทำงานสลับกันเพื่อแปลงไฟตรงให้เป็นไฟสลับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.23 การทำงานของ H-Bridge ครึ่งแรก

จากรูป 2.23 จะเห็นว่า Switch S1 และ S4 จะ on พร้อมกันในขณะเดียวกัน S2 และ S3 จะ off ในช่วงเวลา 0- π ทำให้มีกระแสไหลผ่าน โหลดกระแสไหลเข้าทาง S1 และออกจากโหลดทาง S4 จะทำให้ได้ V_{OUT} ดังรูป



ภาพที่ 2.24 การทำงานของ H-Bridge ครึ่งหลัง

จากรูป 2.24 จะเห็นว่า Switch S2 และ S3 จะ on พร้อมกันในขณะเดียวกัน S1 และ S4 จะ off จในช่วงเวลา π - 2π จะทำให้กระแสไหลเข้าสู่โหลดทาง S3 และไหลออกจากโหลดทาง S2 จะทำให้ได้ V_{OUT} ตรงข้ามกับในภาพที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 **Filters**

Filters คือ วงจรที่ใช้สำหรับกรองสัญญาณให้ความถี่เฉพาะที่ต้องการใช้ผ่านออกมาได้เท่านั้น ส่วนความถี่อื่น ๆ ที่ไม่ต้องการผ่านจะถูกลดทอนจนหมดไป

แบ่งตามหน้าที่การทำงานของวงจรฟิลเตอร์ เราสามารถแบ่งออกเป็น 4 ชนิด ด้วยกัน คือ แบบกรองความถี่ต่ำผ่าน (low-pass) แบบกรองความถี่สูงผ่าน (high-pass) แบบกรองความถี่ผ่านเฉพาะบางช่วง (band- pass) และแบบที่กันไม่ให้ความถี่ผ่านเฉพาะบางช่วง (band-eliminate หรือ band-reject)

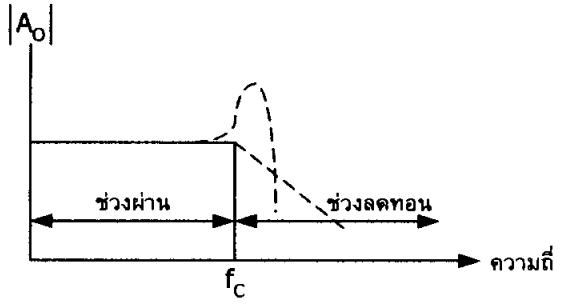
วงจรแบบกรองความถี่ต่ำจะยอมให้ความถี่ผ่านได้ในช่วงตั้งแต่สัญญาณที่เป็นแรงดัน DC ไปจนถึง ความถี่คัตออฟ (cut-off frequency) แทนด้วยเครื่องหมาย f_p ความถี่คัตออฟคือความถี่ ณ ขณะที่อัตราขยายของวงจรมีค่าลดลงเป็น 0.707 เท่าของอัตราขยายปกติ (-3 เดซิเบล) บางครั้งอาจเรียกความถี่นี้ได้ว่า ความถี่มุม (corner frequency) ถ้ามีความถี่ที่สูงเกิน f_p ผ่านวงจรจะลดทอนขนาดความถี่นั้นจนมีค่าน้อยมาก ๆ จากในรูปเส้นทึบแสดงถึงผลในทางอุดมคติ ส่วนเส้นประแสดงถึงผลของวงจรในทางความเป็นจริง ในช่วงที่ยอมให้ความถี่ผ่านได้เราเรียกว่า ช่วงผ่าน (pass band) และช่วงที่ไม่ยอมให้ความถี่ผ่านเรียกว่า ช่วงลดทอน (stop band)

วงจรกรองความถี่สูงจะทำการลดทอนสัญญาณในช่วงที่มีความถี่ต่ำและยอมให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่สูงกว่าความถี่คัตออฟ f_p โดยในช่วงความถี่สูง ๆ นั้นจะมีอัตราขยายคงที่

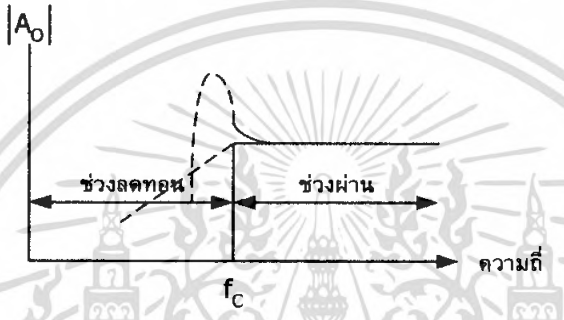
วงจรแบบที่ยอมให้ความถี่ผ่านได้เฉพาะช่วงจะยอมให้ความถี่ผ่านได้ในบางช่วงเท่านั้น ความถี่ที่นอกเหนือจากนั้นจะถูกลดทอนไป

วงจรแบบที่ไม่ยอมให้ความถี่ผ่านเฉพาะช่วง วงจรแบบนี้มีความหมายในทิศทางตรงข้ามกับวงจรแบบที่ยอมให้ความถี่ผ่านเฉพาะช่วง วงจรแบบนี้มีความหมายในทิศทางตรงข้ามกับวงจรแบบที่ยอมให้ความถี่ผ่านได้เฉพาะช่วงคือ จำกัดไม่ให้สัญญาณผ่านได้ในบางช่วงของความถี่ เส้นกราฟที่แสดงทั้งหมดนั้น เส้นประแสดงถึงผลในทางความเป็นจริง ส่วนเส้นทึบแสดงถึงผลในทางอุดมคติ

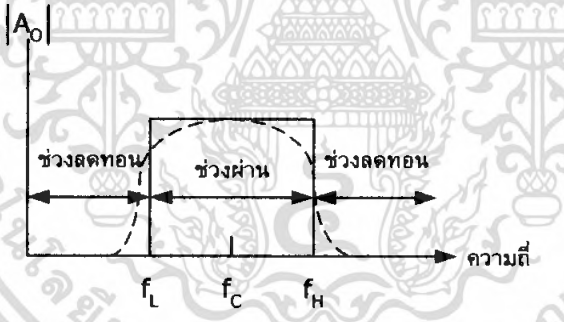
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



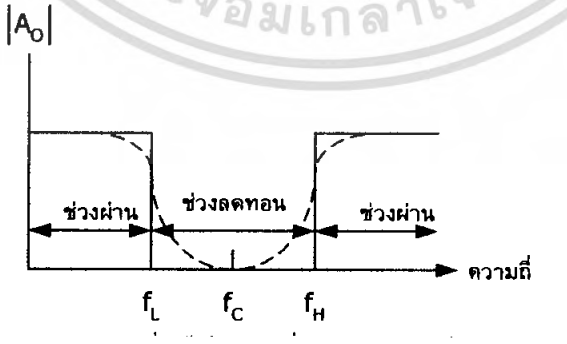
(ก) แบบกรองความถี่ต่ำผ่าน



(ข) แบบกรองความถี่สูงผ่าน



(ค) แบบกรองความถี่ผ่านเฉพาะบางช่วง



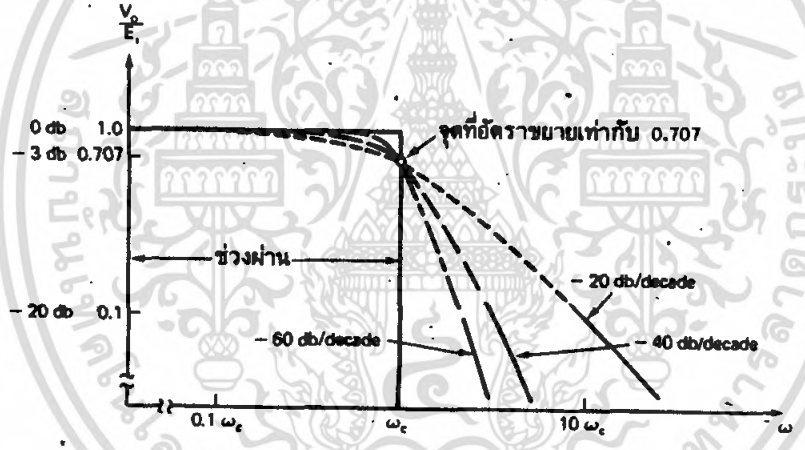
ภาพที่ 2.25 : การตอบสนองความถี่ของวงจรฟิลเตอร์ชนิดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.1บัตเตอร์เวิร์ทฟิลเตอร์

ในการออกแบบวงจรกรองสัญญาณความถี่ต่ำนั้น นอกจากจะต้องให้ได้จุดคัตออฟที่ถูกต้องแล้วยังต้องทำให้อัตราการขยายแบบลูปปิดมีค่าเท่ากับ 1 ในช่วงผ่าน บัตเตอร์เวิร์ทฟิลเตอร์เป็นวงจรที่มีคุณสมบัติเด่นในเรื่องของอัตราขยายของวงจร โดยจะให้ค่า A_{CL} ที่คงที่ตลอดในสัญญาณช่วงผ่าน บางครั้งจึงเรียกวงจรแบบนี้ว่าMaximally flat หรือ flat-flat filter

ภาพด้านล่าง แสดงถึงผลตอบสนองทางความถี่ เส้นทึบแสดงถึงผลในทางอุดมคติ ส่วนเส้นประแสดงถึงผลในทางความเป็นจริง ที่ค่าความชันในการลดลงแตกต่างกัน 3 แบบคือ -20 เดซิเบลต่อดีเคด -40 เดซิเบลต่อดีเคด และ -60 เดซิเบลต่อดีเคด



ภาพที่ 2.26: การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านชนิดบัตเตอร์เวิร์ท

วงจรหนึ่งในช่วงความถี่ที่สูงกว่า มีความชันของ $|A_{CL}|$ เป็น -20 เดซิเบลต่อดีเคด ถ้านำเอาวงจรนี้ 2วงจรมาต่อรวมกัน จะทำให้ได้ความชันเป็น -40 เดซิเบลต่อดีเคด แต่จะเป็นการสิ้นเปลืองและไม่สะดวก เนื่องจากต้องใช้ออปแอมป์ถึงสองตัว ในหัวข้อที่ 3 นี้จะได้กล่าวถึงการนำเอาออปแอมป์เพียงตัวเดียวมาสร้างเป็นวงจรบัตเตอร์เวิร์ทที่ให้ความชันในการลดลงของ เป็น -40 เดซิเบลต่อดีเคด มาต่อรวมกับวงจรที่มีความชัน -20 เดซิเบลต่อดีเคด เพื่อให้ได้ค่าความชันเป็น -60 เดซิเบลต่อดีเคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำเอาวงจรบัฟเตอร์เวิร์ทไปใช้งาน มักจะเป็นการออกแบบวงจรที่ไม่ต้องการคำนึงถึงเฟสที่เลื่อนไปอันเนื่องมาจากความถี่มากนักทั้งนี้เพราะ ณ ตำแหน่งที่ความถี่คัตออฟ ω_c วงจรจะเกิดการเลื่อนเฟสไปมีค่าคงที่เสมอ ตัวอย่างเช่น

วงจรที่มีอัตราการลดลงของ $|A_{CL}|$ เป็น -20 เดซิเบลต่อดีเคด จะมีเฟสเลื่อนไป -45 องศาที่ $\omega = \omega_c$

วงจรที่มีอัตราการลดลงของ $|A_{CL}|$ เป็น -40 เดซิเบลต่อดีเคด จะมีเฟสเลื่อนไป -90 องศาที่ $\omega = \omega_c$

วงจรที่มีอัตราการลดลงของ $|A_{CL}|$ เป็น -60 เดซิเบลต่อดีเคด จะมีเฟสเลื่อนไป -135 องศาที่ $\omega = \omega_c$

จากทั้งหมดนี้อาจกล่าวได้ว่า การเพิ่มขึ้นของความชันทุก ๆ –20 เดซิเบลต่อดีเคด จะทำให้มีมุมเลื่อนไป -45 องศาที่ $\omega = \omega_c$ เสมอ (ค่าของการเลื่อนเฟสนี้วัดจากมุมที่แตกต่างกันของเอาท์พุทเมื่อเทียบกับอินพุท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.2 การออกแบบบัตเตอร์เวิร์ทฟิลเตอร์

เมื่อเรารู้ความถี่ที่เป็นองค์ประกอบ เราจะสามารถหาค่าความลดทอนของ Passband และ Stopband ได้จากตาราง Attenuation characteristic of Butterworth filters โดยจะทราบค่า Normalize frequency ได้จาก

$$\Omega = \frac{f}{f_p} \quad \text{โดยที่} \quad f_p = \text{Cut-off frequency}$$

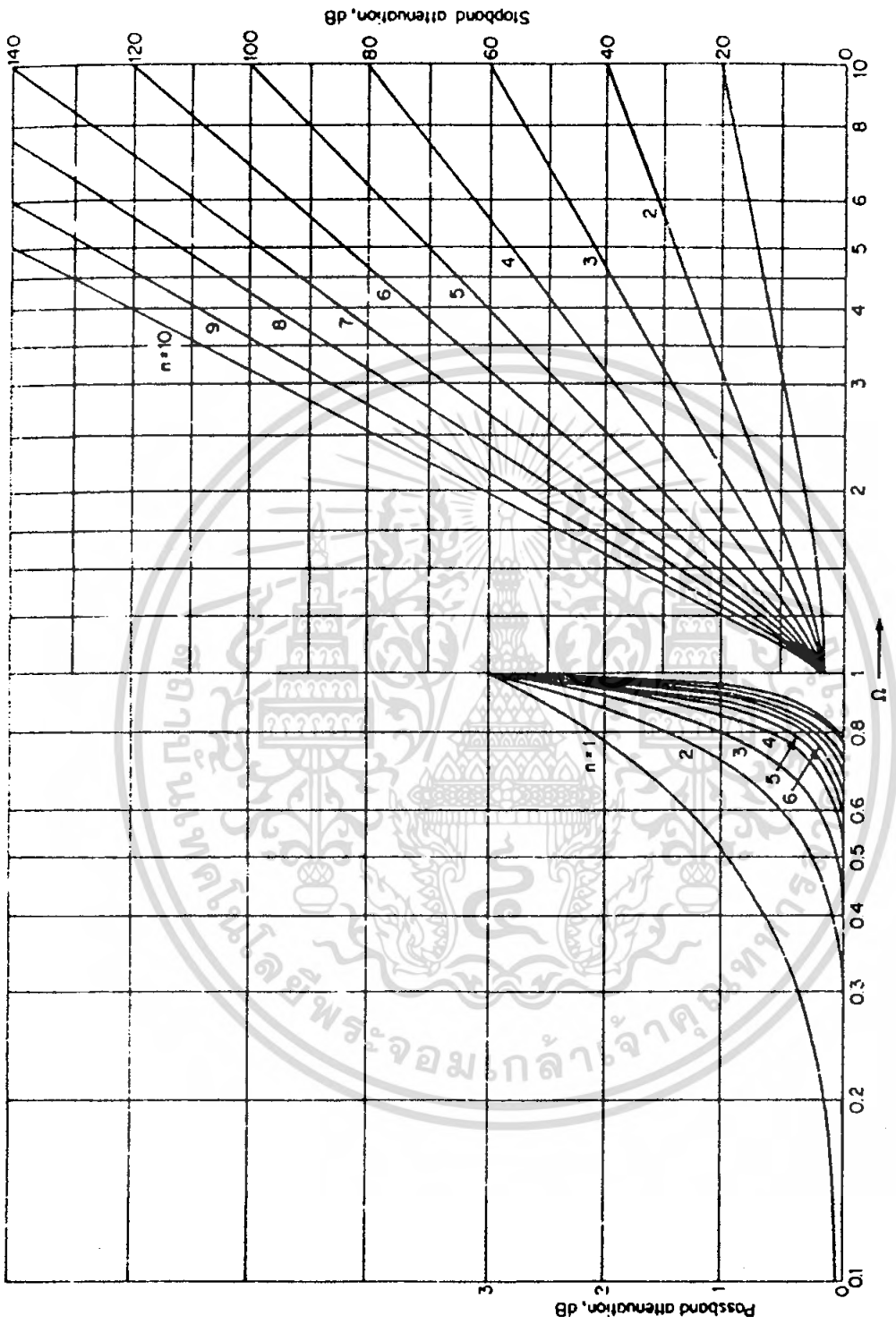
จากนั้นนำค่า f_p ที่ได้มาคำนวนหาค่าของอุปกรณ์ในวงจร Filter โดยดูจากตาราง Butterworth LC Element Values โดยจะสามารถหาค่า Normalize ได้จาก

$$R = R_n Z$$

$$L = \frac{L_n Z}{2\pi f_p}$$

$$C = \frac{C_n}{2\pi f_p Z}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

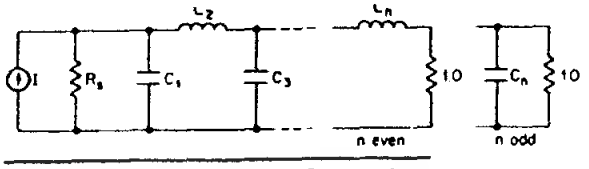


Attenuation characteristics for Butterworth filters. (*From Anatol I. Zverev*, Handbook of Filter Synthesis, *John Wiley and Sons, Inc., New York, 1967. By permission of the publishers.*)

ภาพที่ 2.27 : Attenuation characteristic of Butterworth filters

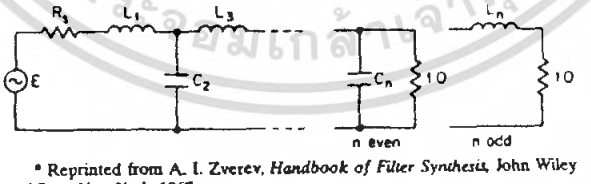
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Butterworth *LC* Element Values*



n	R_s	C_1	L_2	C_3	L_4
2	1.0000	1.4142	1.4142		
	1.1111	1.0353	1.8352		
	1.2500	0.8485	2.1213		
	1.4286	0.6971	2.4387		
	1.6667	0.5657	2.8284		
	2.0000	0.4483	3.3461		
	2.5000	0.3419	4.0951		
	3.3333	0.2447	5.3126		
	5.0000	0.1557	7.7067		
	10.0000	0.0743	14.8138		
	Inf.	1.4142	0.7071		
3	1.0000	1.0000	2.0000	1.0000	
	0.9000	0.8082	1.6332	1.5994	
	0.8000	0.8442	1.3840	1.9259	
	0.7000	0.9152	1.1652	2.2774	
	0.6000	1.0225	0.9650	2.7024	
	0.5000	1.1811	0.7789	3.2612	
	0.4000	1.4254	0.6042	4.0642	
	0.3000	1.8380	0.4396	5.3634	
	0.2000	2.6687	0.2842	7.9102	
	0.1000	5.1672	0.1377	15.4554	
	Inf.	1.5000	1.3333	0.5000	
4	1.0000	0.7654	1.8478	1.8478	0.7654
	1.1111	0.4657	1.5924	1.7439	1.4690
	1.2500	0.3882	1.6946	1.5110	1.8109
	1.4286	0.3251	1.8618	1.2913	2.1752
	1.6667	0.2690	2.1029	1.0824	2.6131
	2.0000	0.2175	2.4524	0.8826	3.1868
	2.5000	0.1692	2.9858	0.6911	4.0094
	3.3333	0.1237	3.8826	0.5072	5.3381
	5.0000	0.0804	5.6835	0.3307	7.9397
	10.0000	0.0392	11.0942	0.1616	15.6421
	Inf.	1.5307	1.5772	1.0824	0.3827

n	$1/R_s$	L_1	C_2	L_3	C_4



* Reprinted from A. I. Zverev, *Handbook of Filter Synthesis*, John Wiley and Sons, New York, 1967.

ภาพที่ 2.28 : Butterworth LC Element Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ Inverter

3.1 ส่วนประกอบของ Inverter

ประกอบด้วยส่วนของ DC – DC Converter และ DC – AC Converter

DC – DC Converter ประกอบด้วยวงจรอยู่ 4 ภาคคือ

1) วงจรควบคุม Pulse width

2) วงจรขับ MOSFET

3) วงจร Push – pull และหม้อแปลง

4) วงจร Output filter

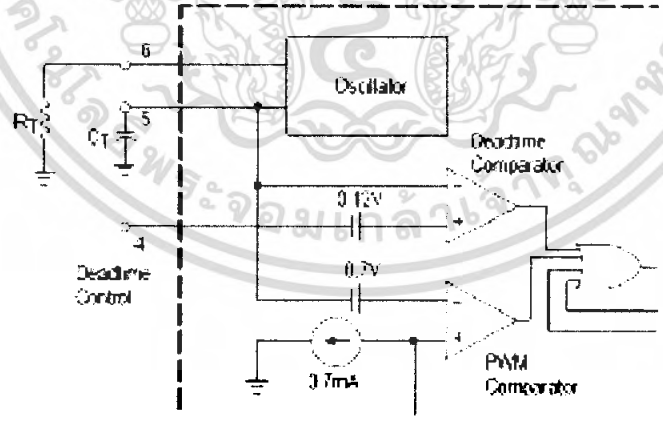
DC –AC Converter ประกอบด้วยวงจรอยู่ 3 ภาคคือ

1) วงจรควบคุมการ Swtich

2) วงจร ขับ MOSFET

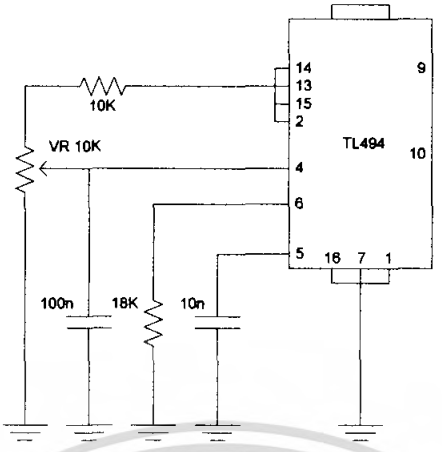
3)วงจร Low Pass Filter

3.2 วงจรควบคุม Pulse width



ภาพที่ 3.1 วงจรภายในของ TL494 ส่วนควบคุม Pulse width

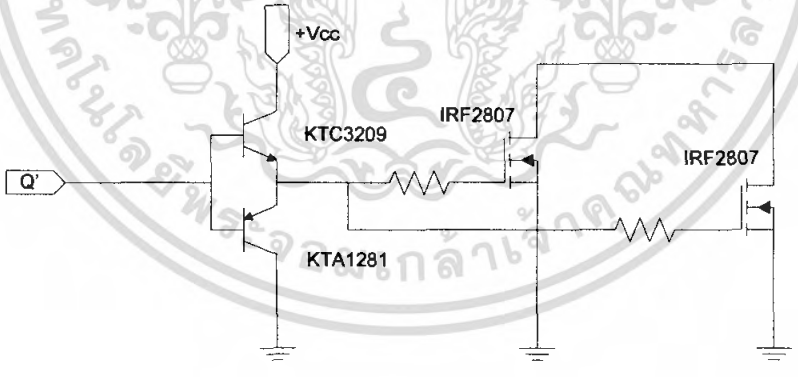
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.2 วงจรป้อนแรงดันกระแสตรงให้กับขา Deadtime control

หลักการในการควบคุม Pulse width ที่ใช้ในการทดลองนี้ ใช้ IC สำเร็จรูปเบอร์ TL494 ซึ่งมีการทำงานคือ นำแรงดัน DC ที่ป้อนเข้าทางขา Deadtime control ไปเปรียบเทียบกับคลื่นรูปสามเหลี่ยมที่ได้จาก Oscillator ที่ทำงานที่ความถี่ 35 KHz ซึ่งช่วงของแรงดัน DC ที่นำมาป้อนจะได้มาจากการปรับตัวต้านทานปรับค่าได้ซึ่งต่ออยู่ภายนอก และมีช่วงของแรงดันตั้งแต่ 0 ถึง 2.5 โวลต์ ทำให้ได้ Dutycycle ตั้งแต่ 0% จนถึง 48%

3.3 วงจรขับ MOSFET



ภาพที่ 3.3 วงจรขับ MOSFET แบบ Totem pole

วงจรขับ MOSFET ที่ใช้งานในวงจรนี้ ใช้รูปแบบของ Totem pole ซึ่งจะทำหน้าที่เป็น Bufferรักษาแรงดันที่ใช้ในการขับ Gate ของ MOSFET ให้เท่ากับแรงดันที่ได้จาก TL494 แต่จะสามารถขับกระแสได้สูงกว่า หรือจะสามารถเรียกได้ว่าเป็น Voltage follower โดยหากระแสที่ใช้ขับได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนดให้ค่าความจุที่ Gate ของ MOSFET เบอร์ IRF2807 เท่ากับ 3820pF แรงดันในการขับ Gate คือ 12 โวลต์ และกำหนดให้ Rise time และ Fall time ไม่เกิน 5% ของคาบเวลาซึ่งเท่ากับ 1.43uS จะได้

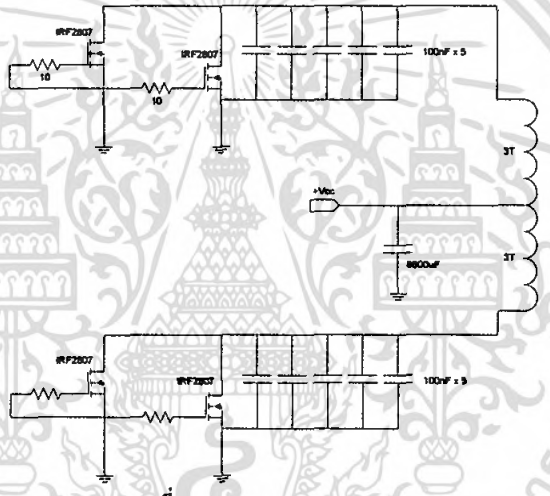
$$I = (3820 \times 10^{-12})(\frac{12}{1.43 \times 10^{-6}})$$

$$I = 32.05 \text{ mA}$$

Transistor ที่เลือกใช้คือคู่ complementary เบอร์ KTC3209 และ KTA1281 ซึ่งสามารถจ่ายกระแสได้สูงถึง 2A เพียงพอต่อการขับ MOSFET 2 ตัว

3.4 วงจร Push – pull และหม้อแปลง

3.4.1 วงจร Push – pull



ภาพที่ 3.4 วงจร Push – pull

วงจรที่ใช้งานในตอนแรกเป็นวงจร Push – pull ธรรมดาทั่วไป โดยใช้ MOSFET ทั้งหมด 4 ตัวแยกทำงานเป็นคู่ เนื่องจากต้องการความสามารถในการรับกระแสกระชาก และค่าความต้านทานขณะนำกระแสเต็มที่ ซึ่ง MOSFET เบอร์ที่ใช้งานนี้จะมีค่าความต้านทานขณะนำกระแสเต็มที่ 13mΩ เมื่อนำมาขนานกัน จะทำให้มีความต้านทาน 6.5mΩ จะมีผลทำให้สูญเสียพลังงานลดลงครึ่งหนึ่งจากสมการ

$$P = I^2R$$

แต่จากวงจรข้างต้นจะไม่สามารถใช้ในการออกแบบวงจรที่ให้พลังงานสูงได้ เนื่องจากวงจรที่ให้พลังงานสูงจะต้องมีหม้อแปลงขนาดใหญ่ ซึ่งก็หมายความว่าค่า Inductance ของหม้อแปลงจะมีค่ามากไปด้วย จะทำให้เกิดแรงดันชั่วขณะ หรือ Spike ขึ้น เช่นวงจรในภาพ ถูกกำหนดให้ทำงานที่ 300Wหม้อแปลงมีค่า Inductance ประมาณ 24uH กำหนดขนาดของ magnetizing current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

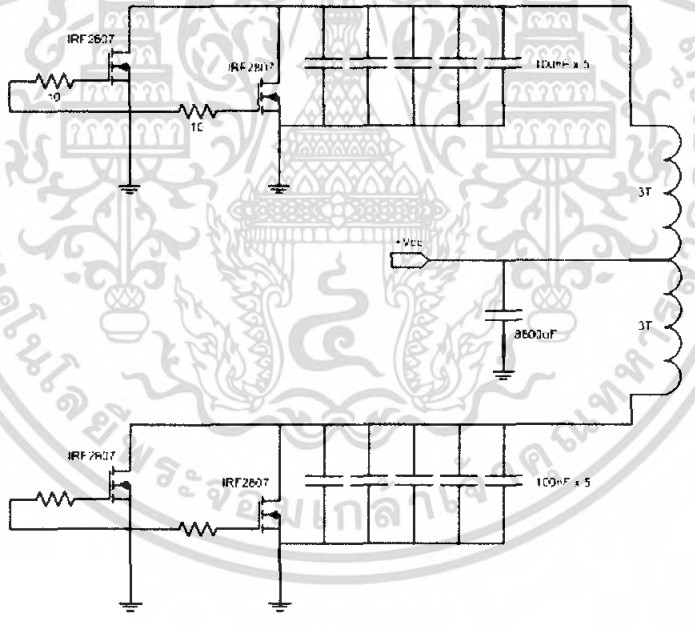
ให้ไม่เกิน 1 ใน 3ของกระแสที่วงจรใช้ขับพลังงานซึ่งก็คือประมาณ 10A และเวลาในการหยุดนำกระแส 1.43uS จะได้

$$V = L\frac{\Delta I}{\Delta t}$$

$$V = (24\ x\ 10^{-6})(\frac{10}{1.43\ x\ 10^{-6}})$$

$$V = 167.88 \quad V$$

จะเห็นว่าแรงดันที่เกิดจากการคายพลังงานของขดลวดของหม้อแปลงมีค่าสูงมาก ทำให้ไม่สามารถหา MOSFET ที่สามารถรับกระแส และแรงดันได้ เนื่องจากถ้า MOSFET สามารถรับกระแสสูงได้ ก็จะทนแรงดันได้ต่ำ และถ้ารับแรงดันได้สูง ก็จะรับกระแสได้ต่ำ และจะมีความต้านทานขณะนำกระแสเต็มที่สูง ซึ่งก็หมายถึงการสูญเสียพลังงานที่มากขึ้น

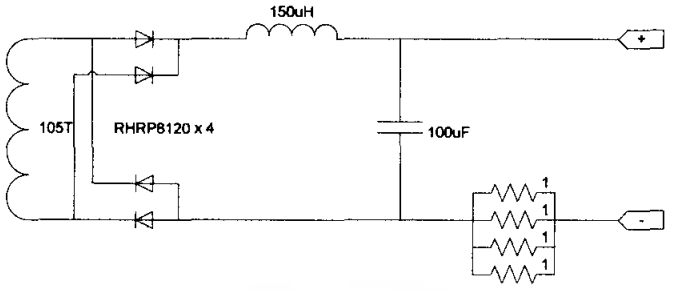


ภาพที่ 3.5 วงจร Push – pull ที่มี Snubber

จากปัญหาข้างต้น จึงต้องเลือก MOSFET ที่สามารถรับกระแสได้สูง และความต้านทานขณะนำกระแสเต็มที่ต่ำ ส่วนแรงดัน Spike จะต้องใช้วงจร Snubber เข้าช่วย จึงทดลองใส่ Snubber คร่อมMOSFET ทีละ 100nF แล้วสังเกตผลของ Spike จนได้ข้อสรุปว่าใส่ Snubber ข้างละ 500nF จะทำให้Spike ที่เกิดขึ้นลดลงเหลือ 57.6V ที่ 300W เหลือ 43V ที่ 100W และ 25V ที่ 25W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจร Output filter



ภาพที่ 3.6 Output filter

จากหม้อแปลงจะได้แรงดัน AC แบบ PWM ที่ 400V ต้องนำมาจัดเรียงกระแสโดยการใช้ Bridge rectifier ซึ่ง Diode ที่ใช้ ต้องสามารถตอบสนองความถี่สูงได้ ซึ่งที่เลือกใช้คือเบอร์ RHRP1820ซึ่งเป็น Hyperfast recovery สามารถตอบสนองได้ถายใน 55nS ซึ่งถ้าเทียบกับคาบเวลาจะเป็นแค่ 0.38%ซึ่งถือว่าน้อยมาก และ Diode นี้สามาถถทนแรงดันได้ถึง 1200V เพียงพอสำหรับการใช้งาน

Inductor จะสามารถหาได้โดยเริ่มจากการหาช่วงเวลา toff ของคาบ

$$t_{off} = \frac{1 - (\frac{E_{out}}{E_{in}})}{2f}$$

$$t_{off} = \frac{1 - (\frac{311}{400})}{2x70x10^{3}}$$

$$t_{off} = 1.5 \text{ x } 10^{-6}$$

จากนั้นจะนำค่า t_{off} ไปคำนวณต่อ

$$L = \frac{E_{out}t_{off}}{0.25I_{out}}$$

$$L = \frac{311 \text{ x } 1.5 \text{ x } 10^{-6}}{0.25 \text{ x } 2}$$

$$L = 933 \quad \mu H$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นจะคำนวนหา Capacitor จาก

$$C_{out} = \frac{\Delta I_{out}}{8f\Delta V_{out}}$$

$$C_{out} = \frac{2}{8 \times 70 \times 10^3 \times 0.5}$$

$$C_{out} = 7.14 \quad \mu F$$

3.6. วงจรควบคุมการ สวิตช์

ในส่วนของ Controller ใช้ Microcontroller MCS-51 ที่มีความถี่ 24 MHz ซึ่งทำหน้าที่สร้างชุดของ Pulse ซึ่งมีความถี่ 20 KHz โดยกำหนดให้ความกว้างของ Pulse แปรเปลี่ยนตามค่า Sine จนครบ 360^0 เพื่อสร้างคลื่น Sine 50 Hz โดยการคำนวนหาว่าในหนึ่งลูกคลื่น Sine จะมี Pulse อยู่กี่ Pulse

$$\text{Number of Pulses} = \frac{\text{PWM Switching frequency}}{\text{Filtered frequency}}$$

$$\text{Number of Pulses} = \frac{20\text{KHz}}{50\text{Hz}} = 400 \text{ Pulses}$$

จากนั้น เมื่อรู้จำนวนของ Pulse ก็นำมาหาต่อว่าหนึ่ง Pulse ใช้กี่องศาโดย

$$\text{Degrees per pulse} = \frac{360^o}{\text{Pulses}}$$

$$\text{Degrees per pulse} = \frac{360^o}{400} = 0.9 \text{ Degrees}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราทราบแล้วว่าจะต้องสร้าง Pulse ทั้งหมด 400 Pulses และแต่ละลูกจะมีความต่างกัน 0.9 องศา จากนั้นนำไปคำนวนหา Duty ratio โดยสมการ

$$\text{Duty ratio} = \sin(0.9X) \quad ; \quad X = [0,400]$$

หาจำนวน Machine cycle จากสมการ

$$\text{Machine cycles} = \frac{\text{CPU Clock}}{\text{Clocks in 1 machine cycle} \times \text{Switching frequency}}$$

$$\text{Machine cycles} = \frac{24\ \text{MHz}}{12 \times 20\ \text{KHz}} = 100\ \text{Cycles}$$

จากนั้นจะได้จำนวน Machine cycles ที่ต้อง on ในหนึ่ง Pulse จากสมการ

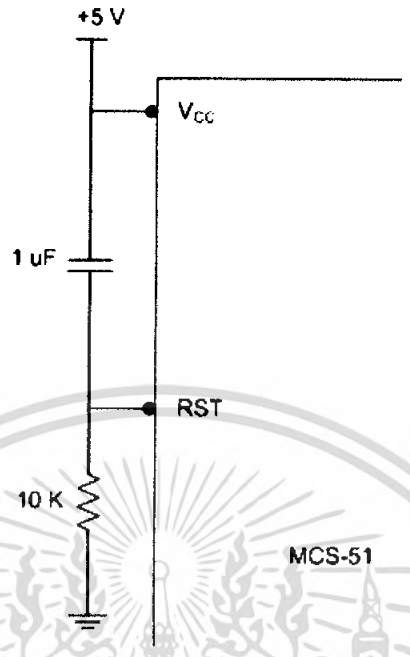
$$\text{"ON" Machine cycles} = \text{Duty ratio} \times \text{Machine cycles}$$

และ Pulse ที่ off

$$\text{"OFF" Machine cycles} = \text{Machine cycles} - \text{"ON" Machine cycle}$$

การเลือก RC สำหรับการ AUTO RESET เมื่อเริ่มมีไฟเข้าสู่ Microcontroller เราจะต่อวงจรดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่3.7 รูปวงจร Auto Reset ของ Microcontroller

ขา RST จะทำการ Reset Microcontroller เมื่อมี Logic เป็น "1" ขณะเริ่มต้น C (1uF) จะไม่มีประจุทำให้กระแสไหลผ่าน R (10K) จะทำให้มี Logic ที่ขา RST เป็น "1" และจะค่อยๆชาร์จ C จนเมื่อ C มีประจุเต็ม กระแสจะหยุดไหลทำให้ Logic ที่ขา RST เป็น "0" จะทำให้ Microcontroller เริ่มทำงานเราสามารถประมาณเวลาที่ Micro จะเริ่มทำงานหลังจากป้อนไฟเป็นเวลา T = RC ซึ่งเราเลือก R = 10K และ C = 1uF จะได้ $T = 10^{4} \times 10^{-6} = 0.1$ วินาที

3.7. วงจรขับ MOSFET

ในส่วนวงจรขับ MOSFET ซึ่งต่อกันอยู่เป็น H-Bridge จะต้องมีการขับ MOSFET ในส่วน Top drive ซึ่งไม่สามารถขับได้โดยวิธีปกติ จึงต้องใช้ IC ขับเบอร์ IR2110 โดยจะใช้วิธีการ Bootstrap เพื่อขับ Gate ของ MOSFET ตัว Top drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8. Low Pass Filter

Filter ส่วนนี้เป็นส่วนที่ทำหน้าที่ในการกรองความถี่ในการ Switch ที่ 20 KHz ออกจากความถี่ 50 Hz โดยใช้ Filter ชนิด Butterworth 4th order หาค่าความลดทอนของ Passband และ Stopband จากตาราง Attenuation characteristic of Butterworth filters จะได้

$f_p = 9.5KHz$

20 KHz : $\Omega = 2.10$ Stopband attenuation = 25 dB

50 Hz : $\Omega = 5.2m$ Passband attenuation -> 0 dB

L1 = 4.2 mH

C1 = 165 nF

L2 = 2.9 mH

C2 = 40 nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

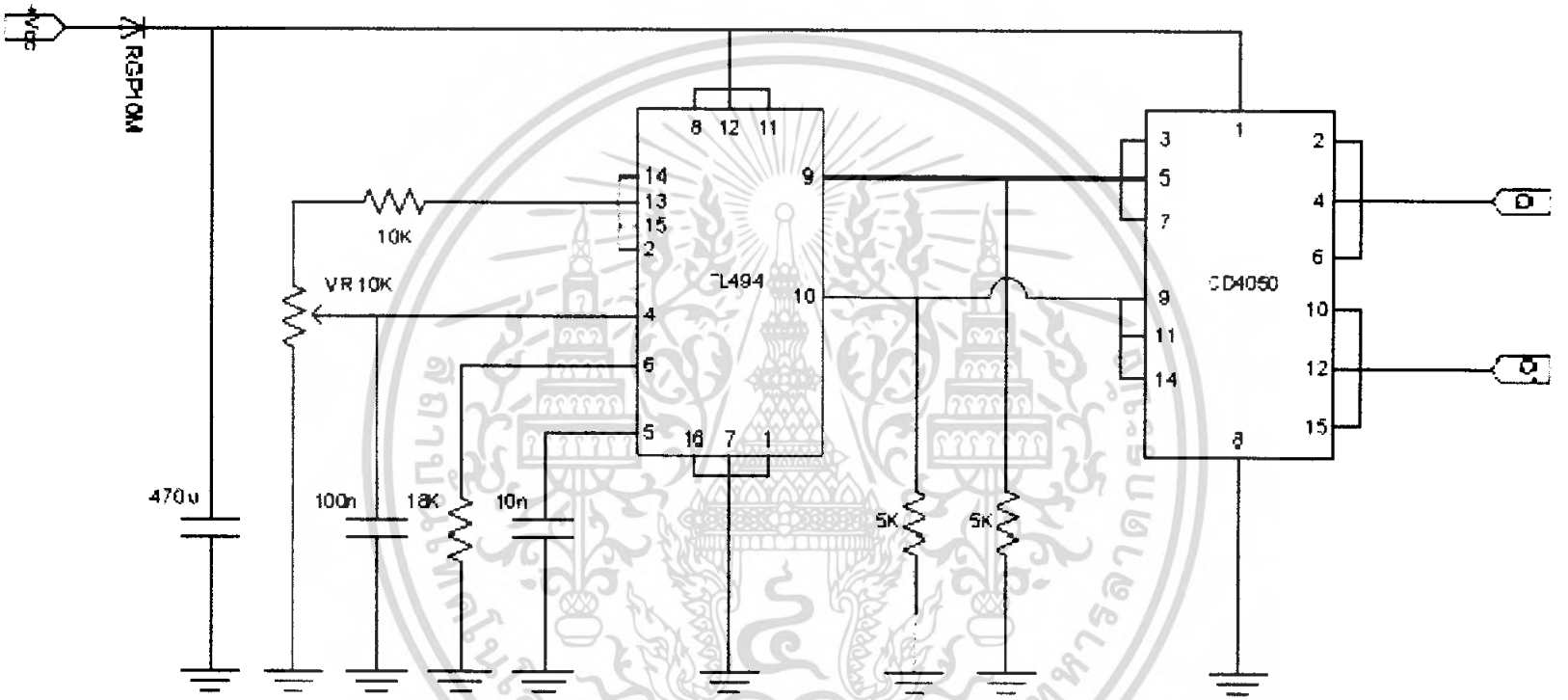
บทที่ 4

วงจรและรายการอุปกรณ์

4.1 วงจรควบคุมการทำงานของสวิตช์

ชนิดรายการอุปกรณ์		จำนวน
IC	TL494	1
Diode	RGP10M	1
Resistor	5 KΩ	2
	10 KΩ	1
	18 KΩ	1
	VR10 KΩ	1
Capacitor	10 nF	1
	100 nF	1
	470 uF	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

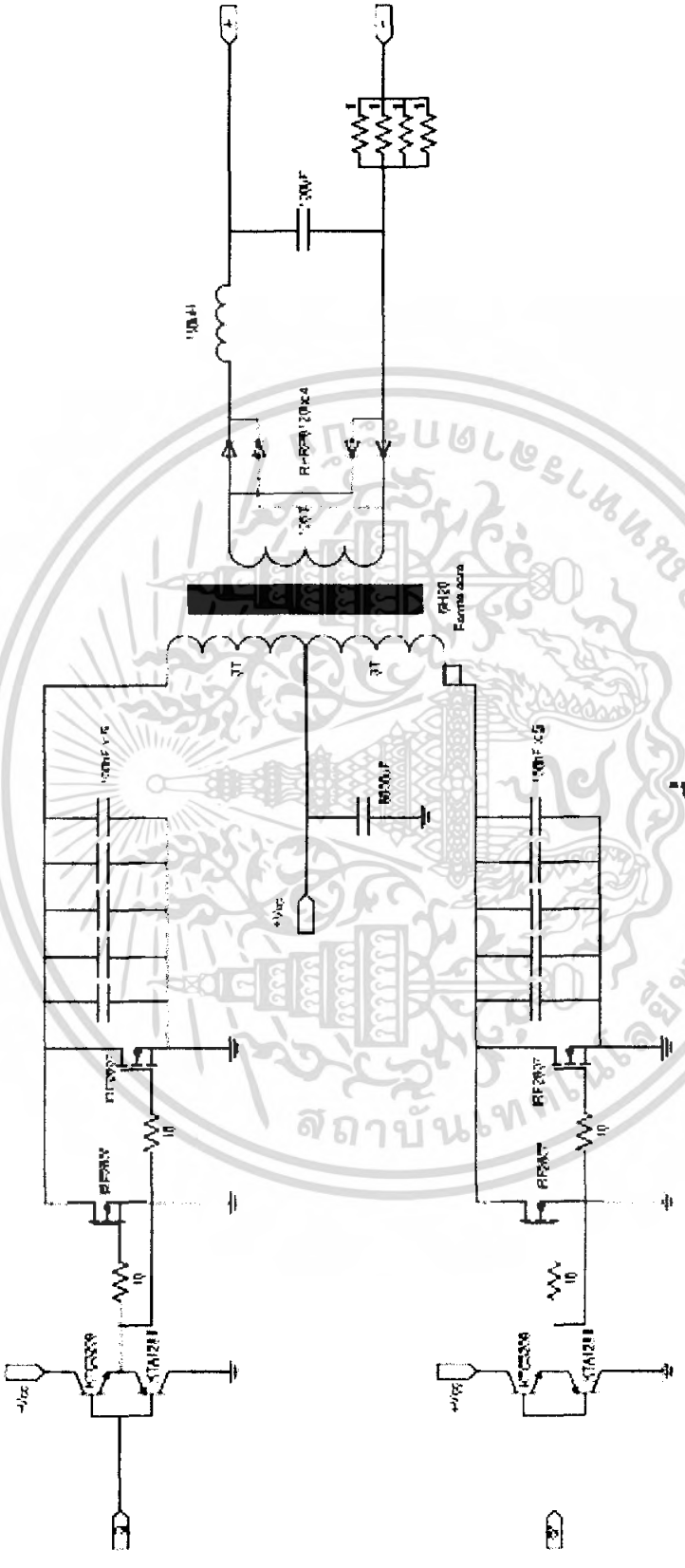


ภาพที่ 4.1 วงจรควบคุมการทำงานของสวิตช์โดยใช้ IC TL494

4.2 Power Circuit

ชนิดรายการอุปกรณ์		จำนวน
Transistor	KTC3209	2
	KTA1281	2
	IRF2807	2
Transformer	6H20 Ferrite Core	1
Diode	RHRP8120	4
Resistor	1 Ω	4
	10 Ω	4
Inductor	150 uH	1
Capacitance	100 nF	10
	100 uF	1
	880 uF	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

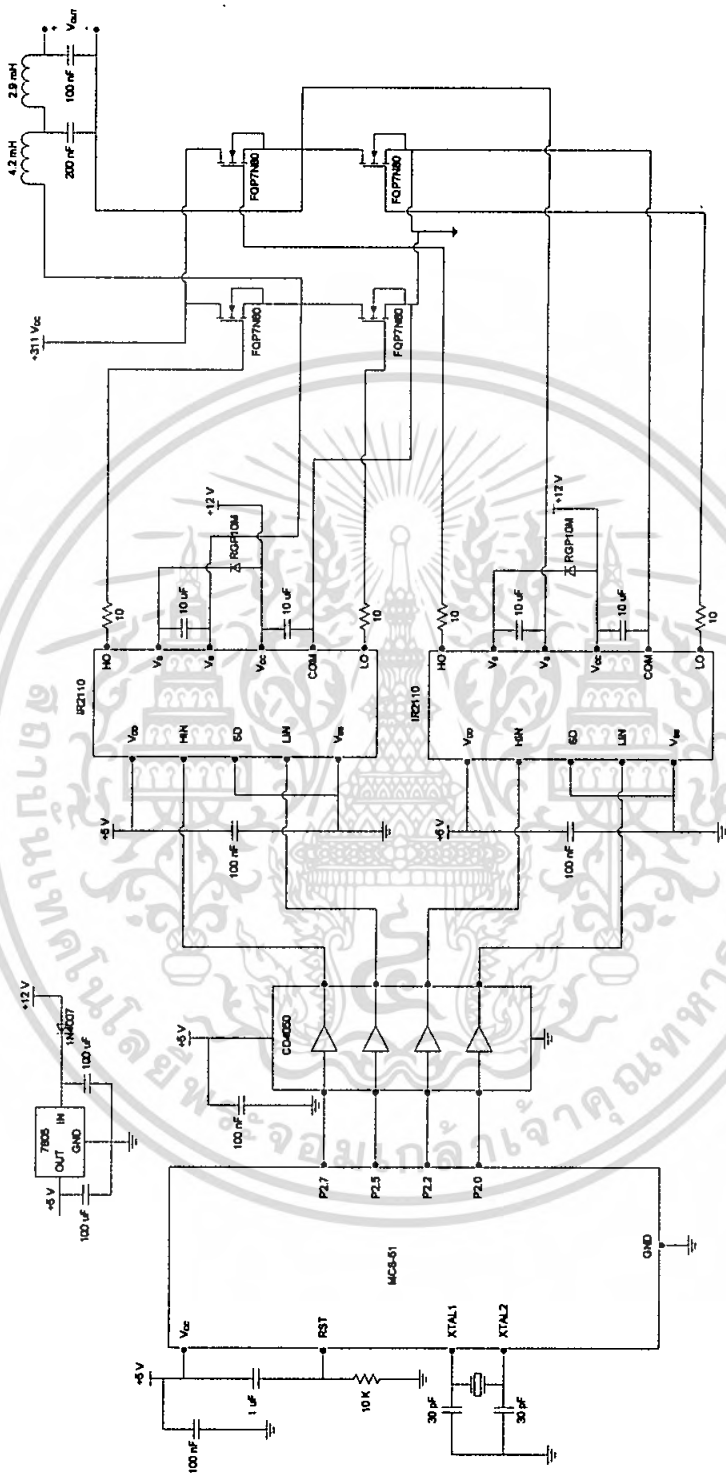


ภาพที่ 4.2 Power Circuit

4.3 วงจร DC to AC Converter

ชนิดรายการอุปกรณ์		จำนวน
IC	AT89C52	1
	CD4050	1
	IR2110	2
	7805	1
Diode	1N4007	1
	RGP10M	2
Resistor	10KΩ	1
	10Ω	4
Capacitor	30 pF	2
	100 nF	4
	1 uF	1
	100 uF	3
	100 nF(Poly)	2
	47 nF(Poly)	1
Inductor	2.9 mH	1
	4.2 mH	1
XTAL	24MHz	1

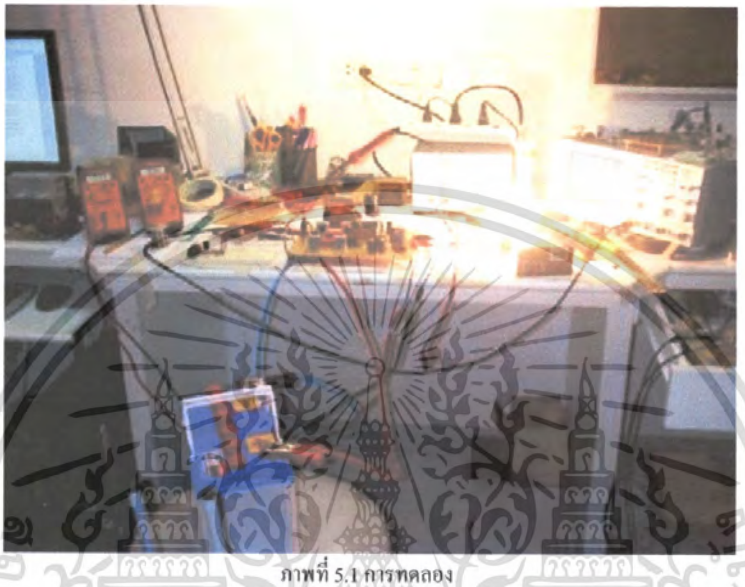
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.3 วงจร DC to AC Converter

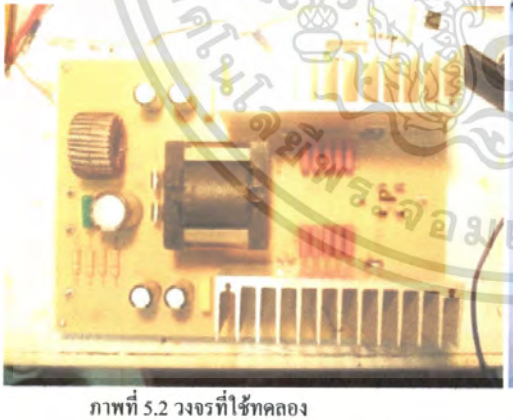
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดสอบประสิทธิภาพ



ภาพที่ 5.1 การทดลอง

การทดลองเพื่อลด Spike ของวงจร DC – DC Converter ทดลองโดยการศึกษาผลของการใส่Snubber ที่ 25W, 100W และ 300W ได้ผลดังนี้



ภาพที่ 5.2 วงจรที่ใช้ทดลอง

ภาพที่ 5.3 โหลดที่ใช้ในการทดลอง

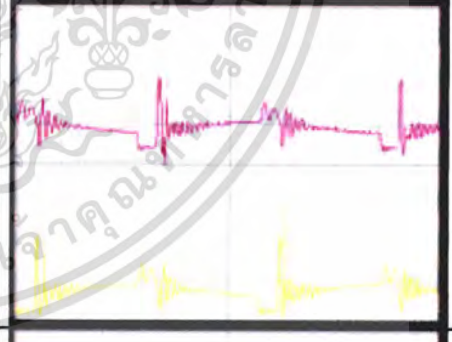
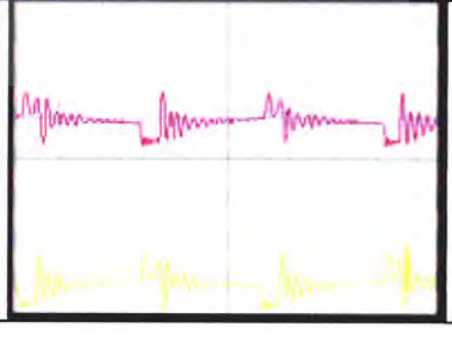
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 ผลการทดลองที่ 25W

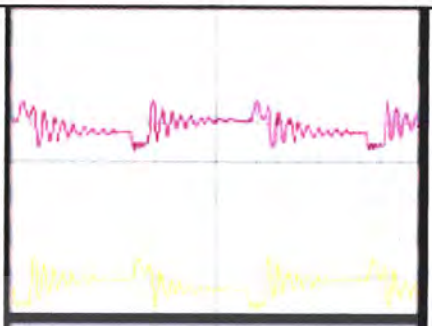
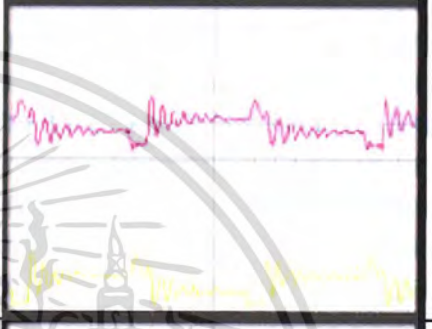
เงื่อนไขการทดลอง

1. ใช้ MOSFET ข้างละ 1 ตัว
2. ติด Heatsink ที่มีพื้นที่ 62.75 cm2
3. แรงดัน Output รักษาไว้ที่ 220V คงที่

ตารางที่ 5.1 ผลของการใส่ Snubber ที่ 25W

Snubber attached (each side)	Approx V_{ds} Spike Voltage	Temperature at 5 minutes	Waveform 20V/Div
0	30V	Over 100	
100nF	40V	75	
200nF	30V	55	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

300nF	25V	53	
400nF	25V	52	
500nF	25V	52	

จะเห็นว่าเมื่อใส่ Snubber แล้ว Spike จะมีค่าลดลง เช่นเดียวกับอุณหภูมิ จนกระทั่ง Snubber ที่300nF การลดของ Spike และอุณหภูมิ จะเริ่มคงที่ จึงใส่ Snubber ไว้แค่ 500nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การทดลองใส่ Snubber ที่ 100W

เงื่อนไขการทดลอง

1. ใช้ MOSFET ข้างละ 1 ตัว
2. ติด Heatsink ที่มีพื้นที่ 62.75 cm^2
3. แรงดันเอาท์พุท ที่ 220.0V 100W
4. หยุดทดลองเมื่ออุณหภูมิหม้อแปลงถึง 75 องศาเซลเซียส

ตารางที่ 5.2 ผลของการใส่ Snubber ที่ 100W

Snubber attached (each side)	Approx V_{DS} Spike Voltage	Waveform 10V Div
500nF	43.5V	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทดลองใส่ Snubber ที่ 300W

เงื่อนไขการทดลอง

1. ใช้ MOSFET ข้างละ 1 ตัว
2. ติด Heatsink ที่มีพื้นที่ 62.75 cm^2
3. แรงดันเอาท์พุท ที่ 220.0V 100W
4. หยุดทดลองเมื่ออุณหภูมิหม้อแปลงถึง 75 องศาเซลเซียส

ตารางที่ 5.3 ผลของการใส่ Snubber ที่ 300W

Snubber attached (each side)	Approx V_{DS} Spike Voltage	Waveform 10V/Div
500nF	57.6V	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 กราฟของสัญญาณเอาท์พุทที่โหลดค่าต่างๆ

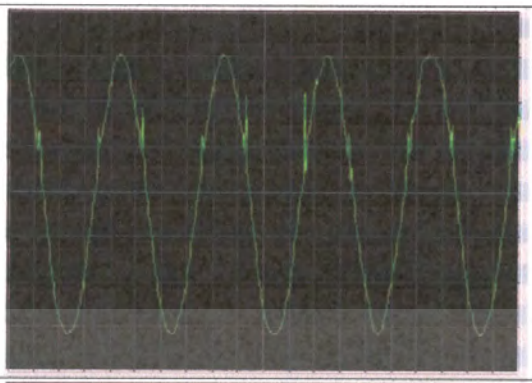
เงื่อนไขการทดลอง

1. แรงดันเอาท์พุทรักษาไว้ที่ 220V คงที่
2. ทำการเปลี่ยนแปลงโหลดค่าต่างๆ
3. บันทึกสัญญาณเอาท์พุทที่โหลดค่างต่างๆ

ตารางที่ 5.4 กราฟของสัญญาณที่โหลดค่าต่างๆ

โหลดค่าต่างๆ (Watts)	กราฟของสัญญาณ V_{OUT}
0	
100	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

200	
300	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การทดสอบประสิทธิภาพของวงจร (Efficiency)

เงื่อนไขการทดลอง

1. แรงดันเอาท์พุทรักษาไว้ที่ 220V คงที่
2. ทำการเปลี่ยนแปลงโหลดค่าต่างๆ
3. บันทึกค่ากระแส และแรงดัน ทั้งทางด้านอินพุทและเอาท์พุท

$$\text{Efficiency (Eff)} = \frac{P_{out}}{P_{in}} \times 100\%$$

$$\text{Percent of Load Regulation} = \frac{(V_{NO\ LOAD} - V_{FULL\ LOAD})}{V_{FULL\ LOAD}} \text{ x } 100 \ \%$$

ตารางที่ 5.5 ประสิทธิภาพของวงจรที่โหลดค่าต่างๆ

Load(W)	I_{in}(A)	V_{in}(V)	I_{out}(A)	V_{out}(V)	P_{in}(w)	P_{out}(w)	Eff(%)
0	1.02	12.17	0.00	225	12.45	0.00	0.00
100	13.40	11.60	0.46	223	155.44	103.25	66.42
200	21.00	11.58	0.95	219	243.18	208.05	85.55
300	27.60	11.55	1.43	217	318.78	310.31	97.34

Percent of Load Regulation

At 100 W = 0.90 %

At 200 W = 2.74 %

At 300 W = 3.69 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิเคราะห์ผลการทดลอง

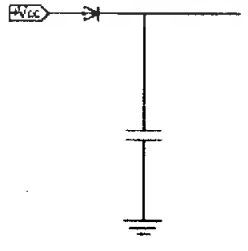
6.1 สรุปผลการทดลอง

จากการทดลอง ทำให้ทราบถึงความแตกต่างระหว่าง Forward converter ที่ไม่มี และมีหม้อแปลง โดย converter ที่มหม้อแปลงจะมี Spike หรือแรงดันที่เกิดจากการคายพลังงานของขดลวดหม้อแปลงขึ้น ซึ่งเป็นปัญหาในการเลือกใช้ MOSFET มาก เพราะ MOSFET ที่สามารถรับกระแสได้สูง จะไม่สามารถทนแรงดันได้สูง ซึ่งจะไม่สามารถทนต่อ Spike ได้ จึงต้องหาวิธีแก้ไขโดยการใช้ Snubberซึ่งจากการทดลอง จะได้ค่า Snubber ที่เหมาะสมที่ 500nF ซึ่งจะสามารถลด Spike และอุณหภูมิของMOSFET ได้ด้วย และที่ 300W จะมี Spike เท่ากับ 57.6V จากข้อมูลของ MOSFET ที่ใช้สามารถทนได้75 V เพียงพอต่อการใช้งาน แต่ยังไม่เป็นที่น่าพอใจ เพราะใกล้เคียงกับค่าสูงสุดที่รับได้เกินไป

จากการทดลองวัดประสิทธิภาพวงจรอินเวอร์เตอร์ที่ออกแบบจะเห็นได้ว่า เมื่อมีการโหลดสัญญาณมากขึ้นจะทำให้รูปของสัญญาณมีความผิดเพี้ยนไปจากสัญญาณไซน์มากขึ้น ซึ่งจากการคำนวณหาโหลดเรคกูเลชั่น โหลดเรคกูเลชั่นจะสูงขึ้นเมื่อมีการโหลดมากขึ้น และเมื่อทำการทดลองประสิทธิภาพของวงจร (Efficiency) จะเห็นว่าประสิทธิภาพของวงจรจะมีค่าสูงเมื่อมีการโหลดมากขึ้น

6.2 ปัญหาที่เกิดขึ้น และทางแก้ไข

ปัญหาในการทดลองส่วนใหญ่เกิดมาจากกระแสกระชากในการ Switch ของวงจร ทำให้เกิดการรบกวนส่วนของวงจรควบคุม จึงต้องออกแบบวงจรเพื่อแก้ปัญหานี้ โดยการใช้ Diode และ Capacitor ที่มีค่ามากพอ และ ESR ต่ำ



ภาพที่ 6.1 การแก้ปัญหากระแสกระชากรบกวนวงจรควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. พลพตุง ผดุงกุล, " อิเล็กทรอนิกส์กำลัง 1", 222หน้า

2 วรพจน์ กรแก้ววัฒนกุล, ชัยวัฒน์ ลิ้มพรจิตรวิไล, "เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS – 51 ฉบับ AT89C5X/AT89SXXXX", บริษัท อินโทเวติฟ เอ็กเพอริเมต์ จำกัด, 455 หน้า, 2521

3. George Chryssis, "High –frequency switching power supplies : Theory and design ",McGraw-Hill,286p,1989.

4. Abraham I. Pressman, "Switching power supply design", McGraw-Hill,541p,1992.

5. Sanjaya Maniktala, "Switching power supply design & optimization", McGraw-Hill,395p,2004.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Standard material characteristics (Power material)

Property	Symbol		Condition	Unit	6H10	6H20	6H40	6H41	6H42	7H10	7H20
AC initial permeability	μi		0.1 MHz	—	2500	2300	2400	2500	3400	1500	1000
Saturation magnetic flux density	Bs (1000 A/m)		23 °C	mT	510	510	530	530	530	480	480
			100 °C		390	390	430	430	430	380	380
Residual magnetic flux density	Br		23 °C	mT	110	130	110	110	110	150	130
Coercivity	Hc		23 °C	A/m	13	13	10	10	10	30	25
Relative loss factor	tanδ/μi		0.1 MHz	×10⁻⁶	<5	<5	<3	<3	<3	<5	<4
Core loss	200 mT	25 kHz	23 °C	kW/m³	—	—	90	75	60	—	—
			40 °C		—	—	75	60	50	—	—
			60 °C		65	80	60	50	40	—	—
			80 °C		55	65	50	40	45	—	—
			100 °C		80	55	40	45	55	—	—
		100 kHz	23 °C	kW/m³	—	—	650	550	450	—	—
			40 °C		—	—	550	450	350	—	—
			60 °C		450	550	450	350	300	—	—
			80 °C		400	450	350	300	325	—	—
			100 °C		500	400	300	325	375	—	—
	50 mT	500 kHz	60 °C	kW/m³	—	—	—	—	—	100	50
			80 °C		—	—	—	—	—	80	40
			100 °C		—	—	—	—	—	100	50
		1 MHz	60 °C	kW/m³	—	—	—	—	—	400	200
			80 °C		—	—	—	—	—	400	200
			100 °C		—	—	—	—	—	500	250
Temperature coefficient	αμr		20 °C~80 °C	×10⁻⁶	8	8	8	8	8	8	8
Curie temperature	Tc		—	°C	>200	>200	>200	>200	>200	>200	>200
Resistivity	ρ		—	Ω · m	3	3	2	2	2	5	5
Apparent density	d		—	×10³ kg/m³	4.8	4.8	4.9	4.9	4.9	4.8	4.8

Standard material 6H Series

6H series are FDK's standard power material with low core loss and high saturation flux density, and are suitable for wide range of transformers and choke coils for switching power supply.

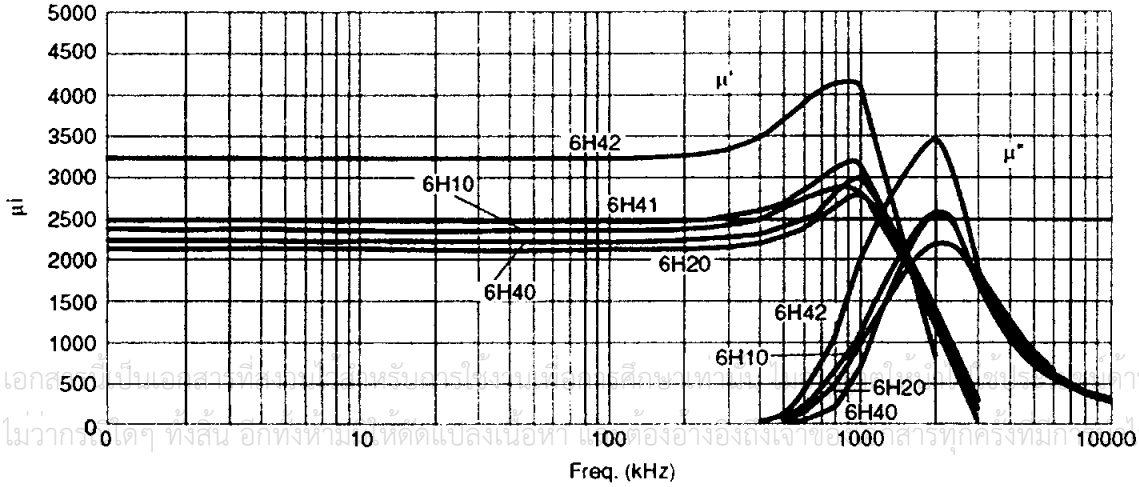
6H20 is standard material with superb characteristics and high cost performance. 6H10 has higher permeability than 6H20 in room temperature, and is suitable for ungapped cores for FF type transformers.

In addition to above, FDK has developed new materials with lower core loss and higher magnetic flux density, which satisfies latest requirements of digital and mobile electronics.

Core loss of new 6H40 material is around 25 % lower than that of standard 6H20, and is suitable for transformers and choke coils for flat, low profile power supplies and AC/DC adaptors of electronic equipments (such as notebook PCs), which strictly require low temperature rise.

For transformers and choke coils of mobile electronic equipments, FDK has developed 6H41 material (bottom temperature of core loss curve 80 °C) and 6H42 (bottom temperature 50 °C), which enables low operation temperature of transformers. (This is key point for mobile equipments, which have frequent contact with human body.)

● **μi vs. Freq.**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับลูกค้าเพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Order this document by TL494/D

MOTOROLA

TL494

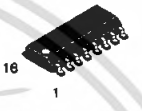
SWITCHMODE™ Pulse Width Modulation Control Circuit

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for SWITCHMODE power supply control.

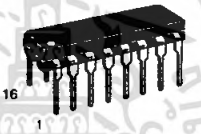
- Complete Pulse Width Modulation Control Circuitry
- On–Chip Oscillator with Master or Slave Operation
- On–Chip Error Amplifiers
- On–Chip 5.0 V Reference
- Adjustable Deadtime Control
- Uncommitted Output Transistors Rated to 500 mA Source or Sink
- Output Control for Push–Pull or Single–Ended Operation
- Undervoltage Lockout

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUIT

SEMICONDUCTOR TECHNICAL DATA

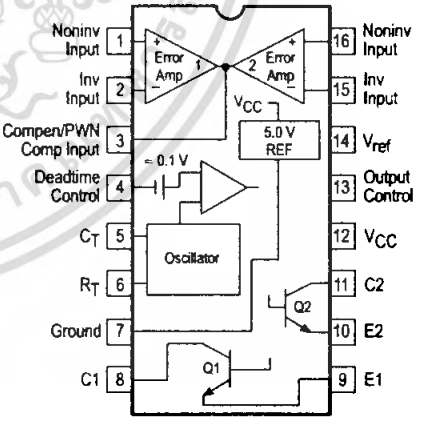


D SUFFIX
PLASTIC PACKAGE
CASE 751B
(SO–16)



N SUFFIX
PLASTIC PACKAGE
CASE 648

PIN CONNECTIONS



(Top View)

MAXIMUM RATINGS (Full operating ambient temperature range applies, unless otherwise noted.)

Rating	Symbol	TL494C	TL494I	Unit
Power Supply Voltage	V_{CC}	42		V
Collector Output Voltage	V_{C1}, V_{C2}	42		V
Collector Output Current (Each transistor) (Note 1)	I_{C1}, I_{C2}	500		mA
Amplifier Input Voltage Range	V_{IR}	–0.3 to +42		V
Power Dissipation @ $T_A \leq 45°C$	P_D	1000		mW
Thermal Resistance, Junction–to–Ambient	$R_{\theta JA}$	80		°C/W
Operating Junction Temperature	T_J	125		°C
Storage Temperature Range	T_{stg}	–55 to +125		°C
Operating Ambient Temperature Range TL494C TL494I	T_A	0 to +70	–25 to +85	°C
Derating Ambient Temperature	T_A	45		°C

NOTE: 1. Maximum thermal limits must be observed.

ORDERING INFORMATION

Device	Operating Temperature Range	Package
TL494CD	T_A = 0° to +70°C	SO–16
TL494CN		Plastic
TL494IN	T_A = – 25° to +85°C	Plastic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996

RECOMMENDED OPERATING CONDITIONS

Characteristics	Symbol	Min	Typ	Max	Unit
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	–	30	40	V
Collector Output Current (Each transistor)	I_{C1}, I_{C2}	–	–	200	mA
Amplified Input Voltage	V_{in}	–0.3	–	V_{CC} – 2.0	V
Current Into Feedback Terminal	I_{fb}	–	–	0.3	mA
Reference Output Current	I_{ref}	–	–	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.0047	0.001	10	µF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 µF, R_T = 12 kΩ, unless otherwise noted.)

For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies, unless otherwise noted.

Characteristics	Symbol	Min	Typ	Max	Unit
REFERENCE SECTION					
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	V
Line Regulation (V_{CC} = 7.0 V to 40 V)	Reg_{line}	–	2.0	25	mV
Load Regulation (I_O = 1.0 mA to 10 mA)	Reg_{load}	–	3.0	15	mV
Short Circuit Output Current (V_{ref} = 0 V)	I_{SC}	15	35	75	mA
OUTPUT SECTION					
Collector Off–State Current (V_{CC} = 40 V, V_{CE} = 40 V)	$I_{C(off)}$	–	2.0	100	µA
Emitter Off–State Current V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	–	–	–100	µA
Collector–Emitter Saturation Voltage (Note 2)					V
Common–Emitter (V_E = 0 V, I_C = 200 mA)	$V_{sat(C)}$	–	1.1	1.3	
Emitter–Follower (V_C = 15 V, I_E = –200 mA)	$V_{sat(E)}$	–	1.5	2.5	
Output Control Pin Current					
Low State (V_{OC} ≤ 0.4 V)	I_{OCL}	–	10	–	µA
High State (V_{OC} = V_{ref})	I_{OCH}	–	0.2	3.5	mA
Output Voltage Rise Time	t_r				ns
Common–Emitter (See Figure 12)		–	100	200	
Emitter–Follower (See Figure 13)		–	100	200	
Output Voltage Fall Time	t_f				ns
Common–Emitter (See Figure 12)		–	25	100	
Emitter–Follower (See Figure 13)		–	40	100	

NOTE: 2. Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperature as possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

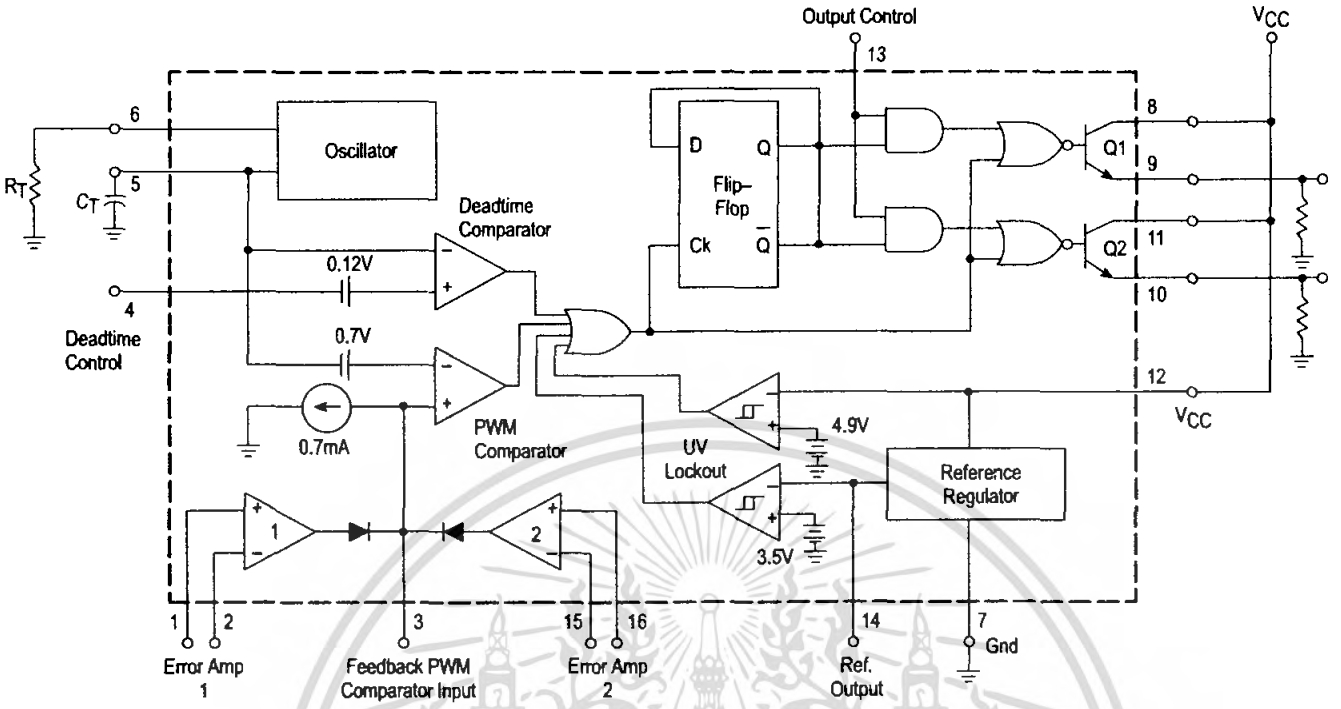
ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 µF, R_T = 12 kΩ, unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies, unless otherwise noted.

Characteristics	Symbol	Min	Typ	Max	Unit
ERROR AMPLIFIER SECTION					
Input Offset Voltage ($V_{O\ (Pin\ 3)}$ = 2.5 V)	V_{IO}	–	2.0	10	mV
Input Offset Current ($V_{O\ (Pin\ 3)}$ = 2.5 V)	I_{IO}	–	5.0	250	nA
Input Bias Current ($V_{O\ (Pin\ 3)}$ = 2.5 V)	I_{IB}	–	–0.1	–1.0	µA
Input Common Mode Voltage Range (V_{CC} = 40 V, T_A = 25°C)	V_{ICR}	–0.3 to V_{CC}–2.0			V
Open Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 V to 3.5 V, R_L = 2.0 kΩ)	A_{VOL}	70	95	–	dB
Unity–Gain Crossover Frequency (V_O = 0.5 V to 3.5 V, R_L = 2.0 kΩ)	f_{C-}	–	350	–	kHz
Phase Margin at Unity–Gain (V_O = 0.5 V to 3.5 V, R_L = 2.0 kΩ)	ϕ_m	–	65	–	deg.
Common Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90	–	dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	–	100	–	dB
Output Sink Current ($V_{O\ (Pin\ 3)}$ = 0.7 V)	I_{O-}	0.3	0.7	–	mA
Output Source Current ($V_{O\ (Pin\ 3)}$ = 3.5 V)	I_{O+}	2.0	–4.0	–	mA
PWM COMPARATOR SECTION (Test Circuit Figure 11)					
Input Threshold Voltage (Zero Duty Cycle)	V_{TH}	–	2.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V)	I_{I-}	0.3	0.7	–	mA
DEADTIME CONTROL SECTION (Test Circuit Figure 11)					
Input Bias Current (Pin 4) ($V_{Pin\ 4}$ = 0 V to 5.25 V)	$I_{IB\ (DT)}$	–	–2.0	–10	µA
Maximum Duty Cycle, Each Output, Push–Pull Mode ($V_{Pin\ 4}$ = 0 V, C_T = 0.01 µF, R_T = 12 kΩ) ($V_{Pin\ 4}$ = 0 V, C_T = 0.001 µF, R_T = 30 kΩ)	DC_{max}	 45 –	 48 45	 50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{th}	 – 0	 2.8 –	 3.3 –	V
OSCILLATOR SECTION					
Frequency (C_T = 0.001 µF, R_T = 30 kΩ)	f_{osc}	–	40	–	kHz
Standard Deviation of Frequency* (C_T = 0.001 µF, R_T = 30 kΩ)	σf_{osc}	–	3.0	–	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	Δf_{osc} (ΔV)	–	0.1	–	%
Frequency Change with Temperature ($\Delta T_A = T_{low}$ to T_{high}) (C_T = 0.01 µF, R_T = 12 kΩ)	Δf_{osc} (ΔT)	–	–	12	%
UNDERVOLTAGE LOCKOUT SECTION					
Turn–On Threshold (V_{CC} increasing, I_{ref} = 1.0 mA)	V_{th}	5.5	6.43	7.0	V
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All other inputs and outputs open) (V_{CC} = 15 V) (V_{CC} = 40 V)	I_{CC}	 – –	 5.5 7.0	 10 15	mA
Average Supply Current (C_T = 0.01 µF, R_T = 12 kΩ, $V_{(Pin\ 4)}$ = 2.0 V) (V_{CC} = 15 V) (See Figure 12)		–	7.0	–	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^{N}(X_n - \bar{X})^2}{N-1}}$

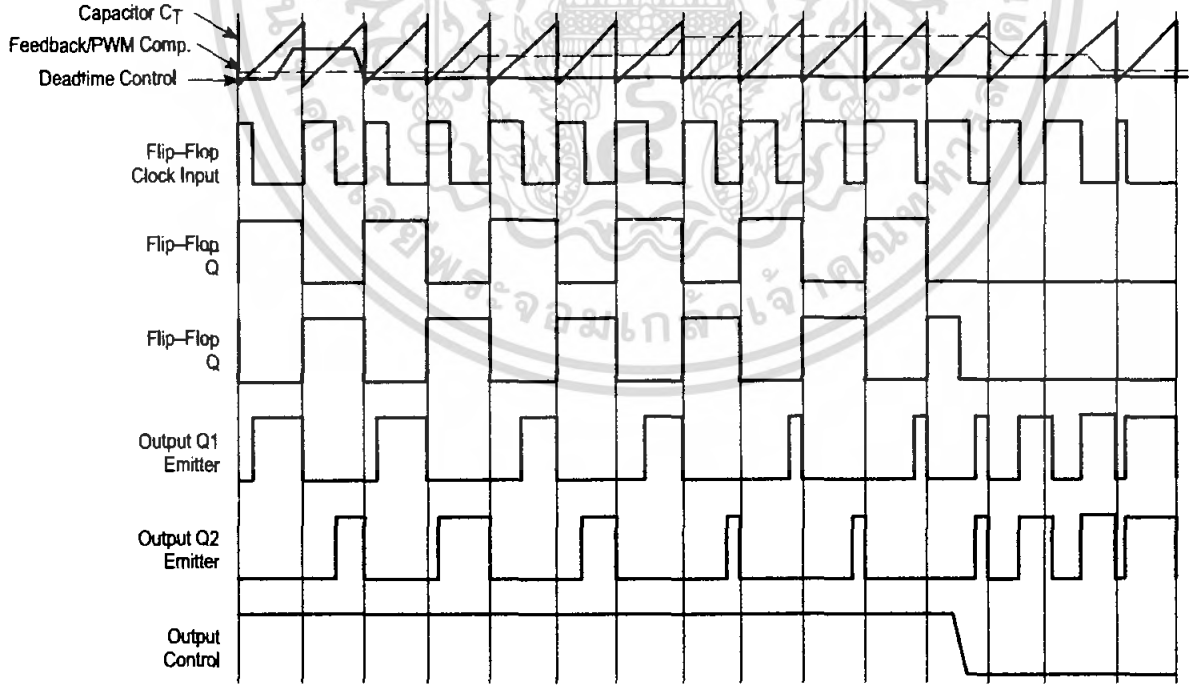
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Representative Block Diagram



This device contains 46 active transistors.

Figure 2. Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

APPLICATIONS INFORMATION

Description

The TL494 is a fixed–frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal–linear sawtooth oscillator is frequency–programmable by two external components, R_T and C_T. The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

For more information refer to Figure 3.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip–flop clock–input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control–signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the Timing Diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the deadtime control, the error amplifier inputs, or the feedback input. The deadtime control comparator has an effective 120 mV input offset which limits the minimum output deadtime to approximately the first 4% of the sawtooth–cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional deadtime may be imposed on the output by setting the deadtime–control input to a fixed voltage, ranging between 0 V to 3.3 V.

Functional Table

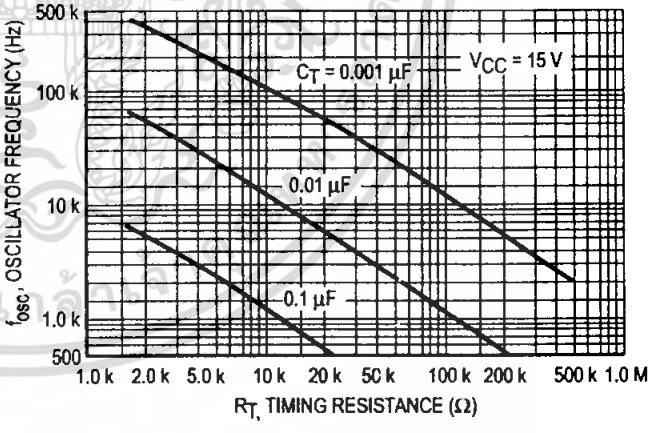
Input/Output Controls	Output Function	$\frac{f_{out}}{f_{osc}}$ =
Grounded	Single–ended PWM @ Q1 and Q2	1.0
@ V_{ref}	Push–pull Operation	0.5

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on–time, established by the deadtime control input, down to zero, as the voltage at the feedback pin varies from 0.5 V to 3.5 V. Both error amplifiers have a common mode input range from –0.3 V to (V_{CC} – 2V), and may be used to sense power–supply output voltage and current. The error–amplifier outputs are active high and are ORed together at the noninverting input of the pulse–width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the deadtime comparator, which clocks the pulse–steering flip–flop and inhibits the output transistors, Q1 and Q2. With the output–control connected to the reference line, the pulse–steering flip–flop directs the modulated pulses to each of the two output transistors alternately for push–pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single–ended operation with a maximum on–time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output–drive currents are required for single–ended operation, Q1 and Q2 may be connected in parallel, and the output–mode pin must be tied to ground to disable the flip–flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5.0 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of ±5.0% with a typical thermal drift of less than 50 mV over an operating temperature range of 0° to 70°C.

Figure 3. Oscillator Frequency versus Timing Resistance



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

Figure 4. Open Loop Voltage Gain and Phase versus Frequency

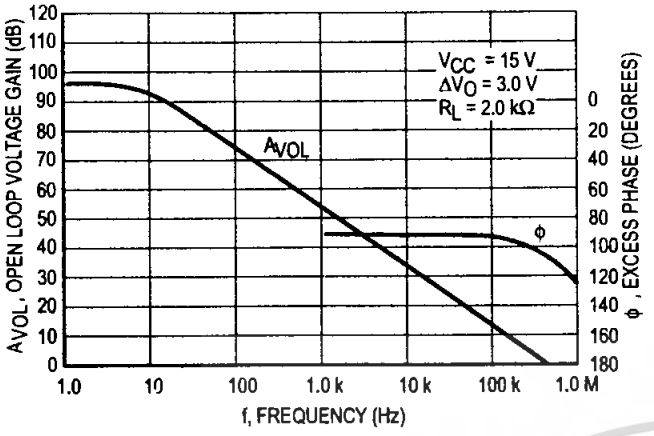


Figure 5. Percent Deadtime versus Oscillator Frequency

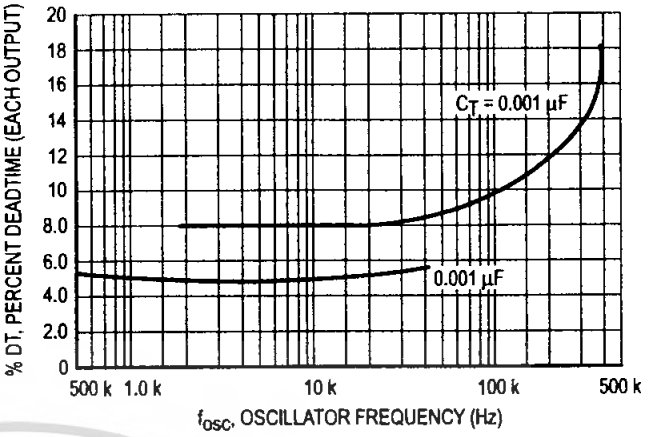


Figure 6. Percent Duty Cycle versus Deadtime Control Voltage

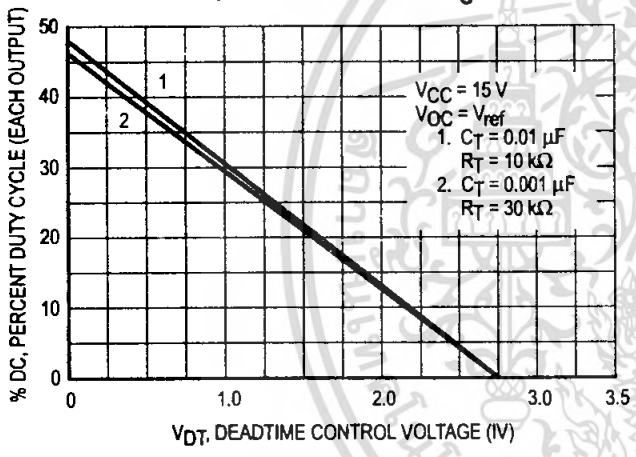


Figure 7. Emitter–Follower Configuration Output Saturation Voltage versus Emitter Current

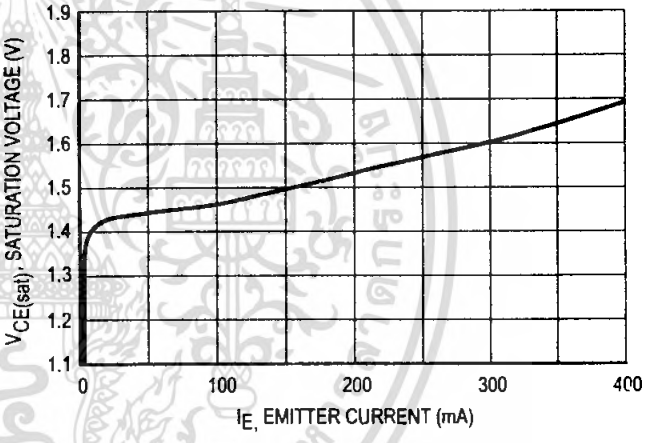


Figure 8. Common–Emitter Configuration Output Saturation Voltage versus Collector Current

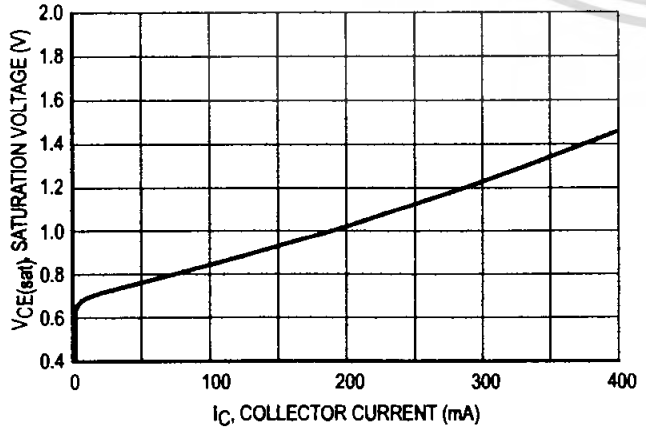
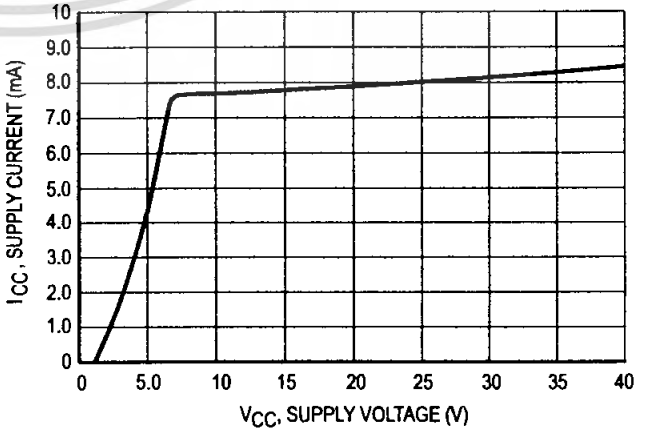


Figure 9. Standby Supply Current versus Supply Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

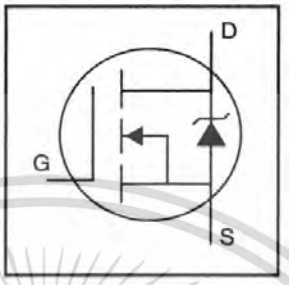
PD - 91309B

International
IOR Rectifier

IRF3710

HEXFET® Power MOSFET

- Advanced Process Technology
- Ultra Low On-Resistance
- Dynamic dv/dt Rating
- 175°C Operating Temperature
- Fast Switching
- Fully Avalanche Rated



V_{DSS} = 100V

$R_{DS(on)}$ = 23mΩ

I_D = 57A

Description

Advanced HEXFET® Power MOSFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.

TO-220AB

Absolute Maximum Ratings

	Parameter	Max.	Units
I_D @ T_C = 25°C	Continuous Drain Current, V_{GS} @ 10V	57	A
I_D @ T_C = 100°C	Continuous Drain Current, V_{GS} @ 10V	40	
I_{DM}	Pulsed Drain Current ①	230	
P_D @T_C = 25°C	Power Dissipation	200	W
	Linear Derating Factor	1.3	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
I_{AR}	Avalanche Current①	28	A
E_{AR}	Repetitive Avalanche Energy①	20	mJ
dv/dt	Peak Diode Recovery dv/dt ③	5.8	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to + 175	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting torque, 6-32 or M3 srew	10 lbf•in (1.1N•m)	

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	0.75	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	62	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	100	—	—	V	V_{GS} = 0V, I_D = 250μA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.13	—	V/°C	Reference to 25°C, I_D = 1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	23	mΩ	V_{GS} = 10V, I_D =28A ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	V_{DS} = V_{GS}, I_D = 250μA
g_{fs}	Forward Transconductance	32	—	—	S	V_{DS} = 25V, I_D = 28A④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	V_{DS} = 100V, V_{GS} = 0V
		—	—	250		V_{DS} = 80V, V_{GS} = 0V, T_J = 150°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	V_{GS} = 20V
	Gate-to-Source Reverse Leakage	—	—	-100		V_{GS} = -20V
Q_g	Total Gate Charge	—	—	130	nC	I_D = 28A
Q_{gs}	Gate-to-Source Charge	—	—	26		V_{DS} = 80V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	43		V_{GS} = 10V, See Fig. 6 and 13
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	V_{DD} = 50V
t_r	Rise Time	—	58	—		I_D = 28A
$t_{d(off)}$	Turn-Off Delay Time	—	45	—		R_G = 2.5Ω
t_f	Fall Time	—	47	—		V_{GS} = 10V, See Fig. 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	3130	—	pF	V_{GS} = 0V
C_{oss}	Output Capacitance	—	410	—		V_{DS} = 25V
C_{rss}	Reverse Transfer Capacitance	—	72	—		f = 1.0MHz, See Fig. 5
E_{AS}	Single Pulse Avalanche Energy②	—	1060⑤	280⑥	mJ	I_{AS} = 28A, L = 0.70mH

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	—	—	57	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode)①	—	—	230		
V_{SD}	Diode Forward Voltage	—	—	1.2	V	T_J = 25°C, I_S = 28A, V_{GS} = 0V ④
t_{rr}	Reverse Recovery Time	—	140	220	ns	T_J = 25°C, I_F = 28A
Q_{rr}	Reverse Recovery Charge	—	670	1010	nC	di/dt = 100A/μs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)

② Starting T_J = 25°C, L = 0.70mH
R_G = 25Ω, I_{AS} = 28A, V_{GS}=10V (See Figure 12)

③ I_{SD} ≤ 28A, di/dt ≤ 380A/μs, V_{DD} ≤ $V_{(BR)DSS}$, T_J ≤ 175°C

④ Pulse width ≤ 400μs; duty cycle ≤ 2%.

⑤ This is a typical value at device destruction and represents operation outside rated limits.

⑥ This is a calculated value limited to T_J = 175°C .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

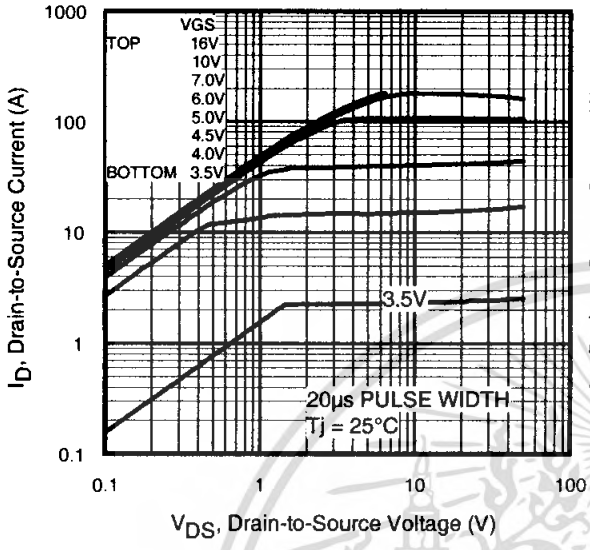


Fig 1. Typical Output Characteristics

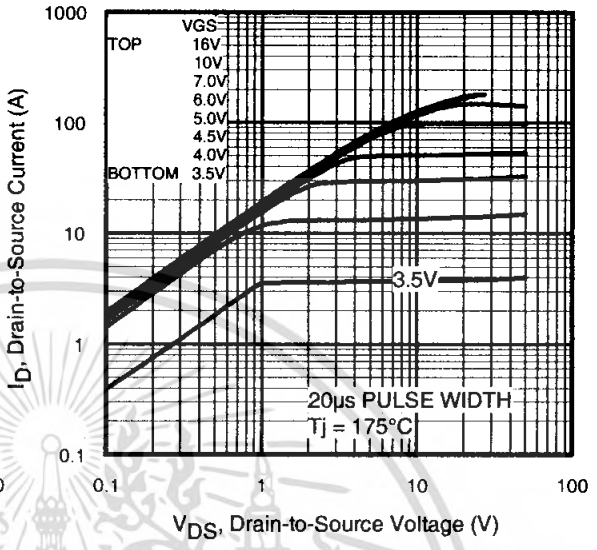


Fig 2. Typical Output Characteristics

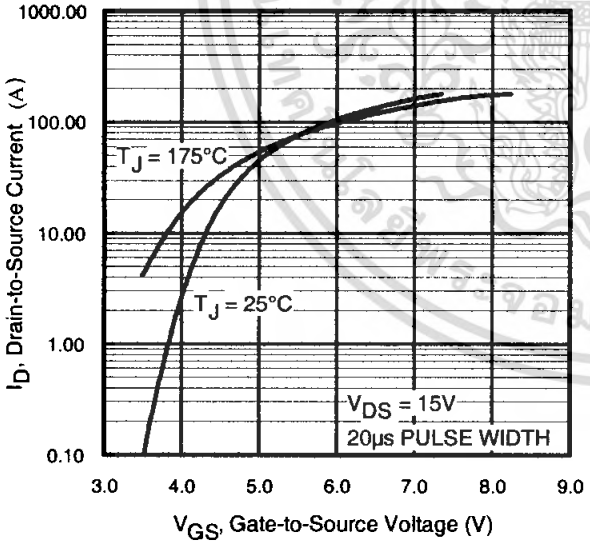


Fig 3. Typical Transfer Characteristics

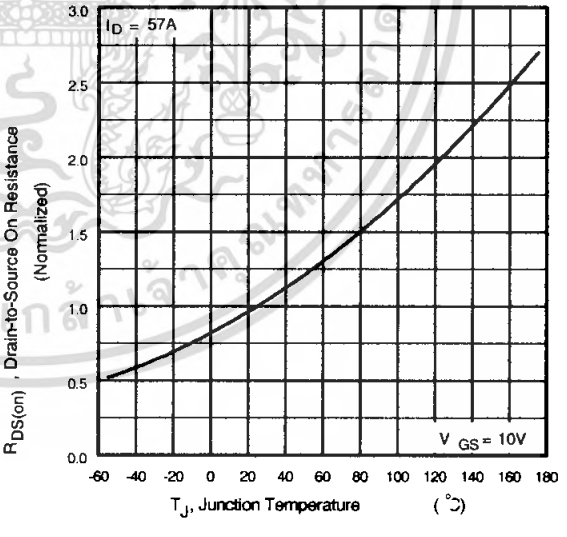


Fig 4. Normalized On-Resistance Vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

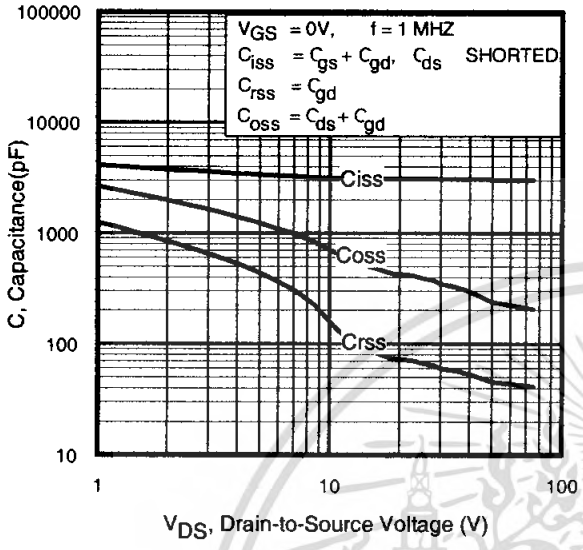


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

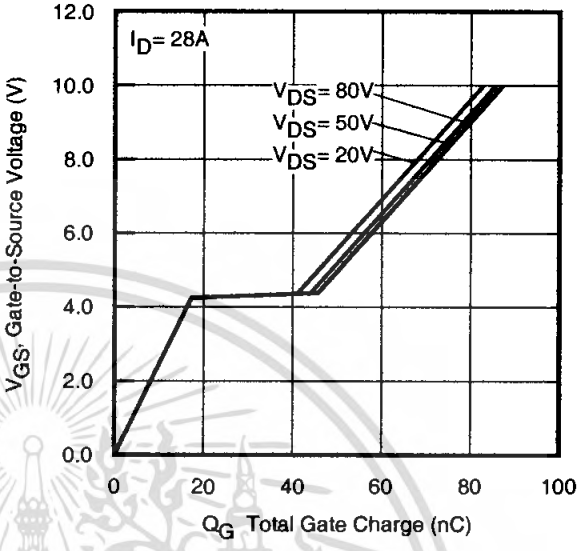


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

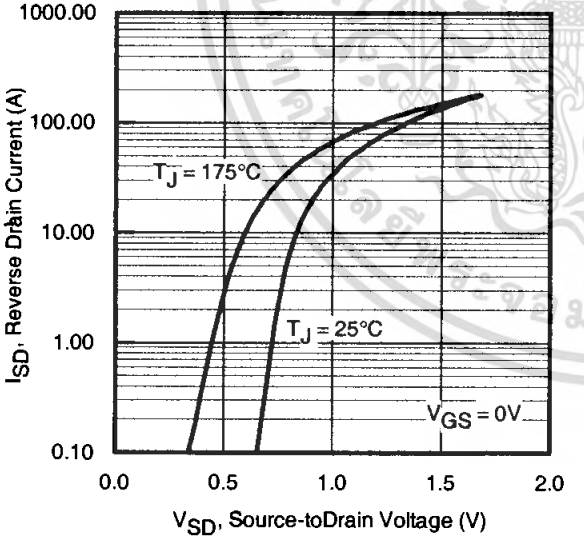


Fig 7. Typical Source-Drain Diode Forward Voltage

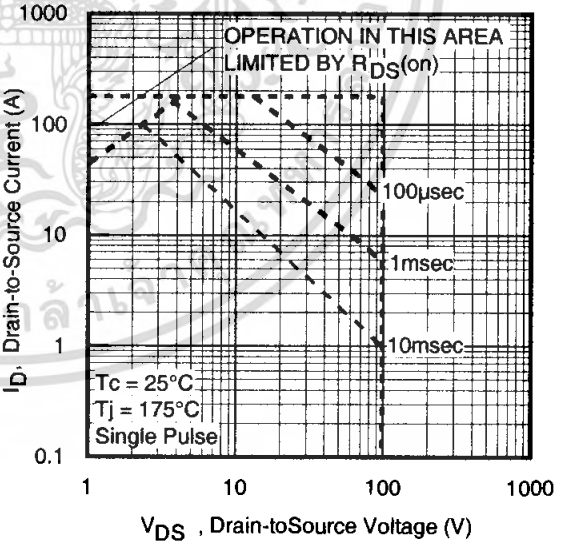


Fig 8. Maximum Safe Operating Area

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

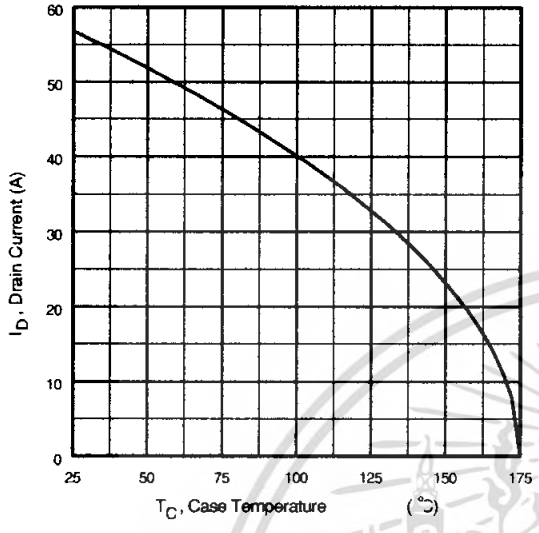


Fig 9. Maximum Drain Current Vs. Case Temperature

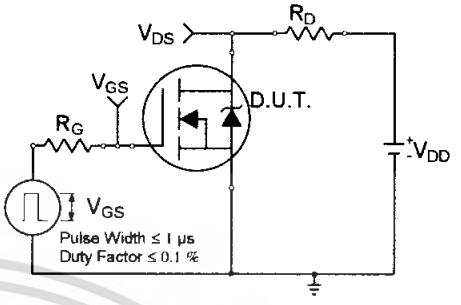


Fig 10a. Switching Time Test Circuit

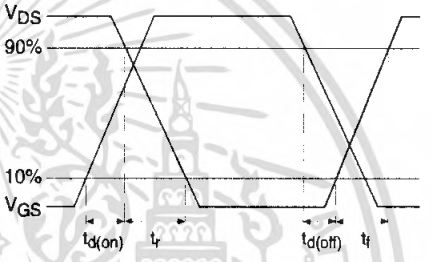


Fig 10b. Switching Time Waveforms

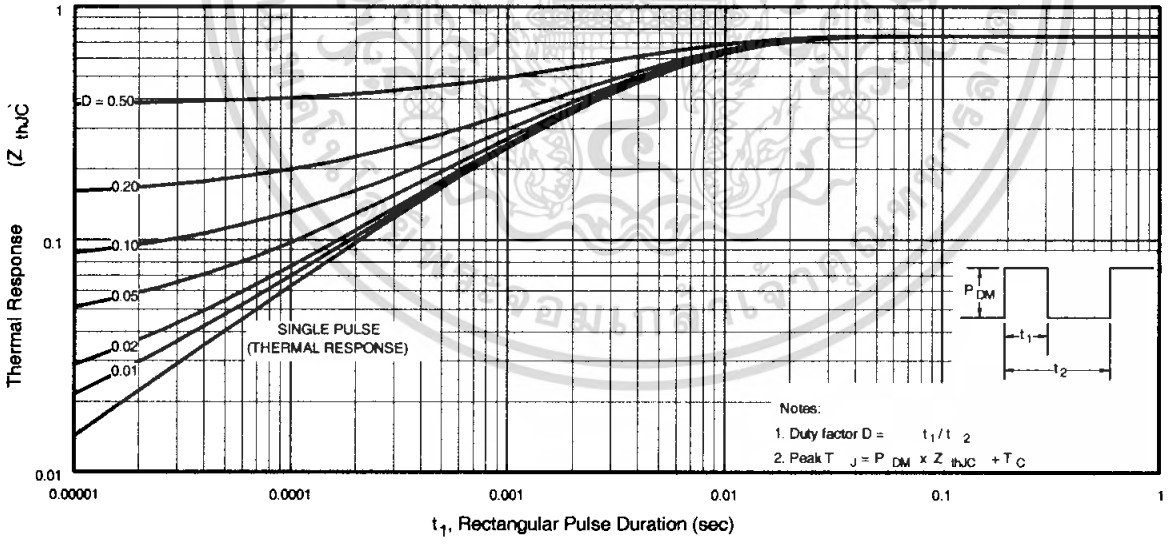


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

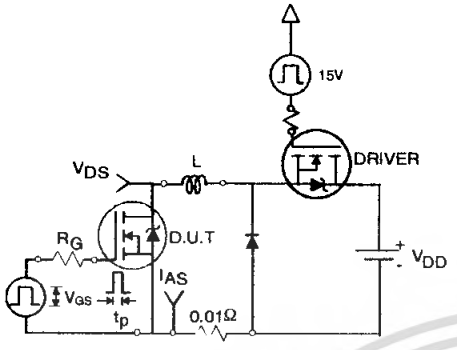


Fig 12a. Unclamped Inductive Test Circuit

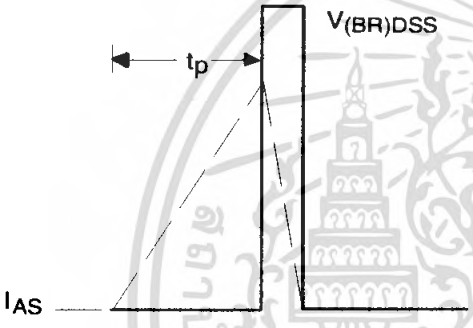


Fig 12b. Unclamped Inductive Waveforms

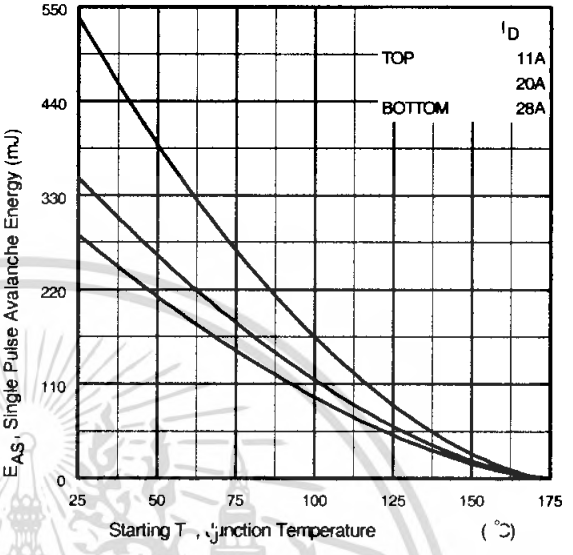


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

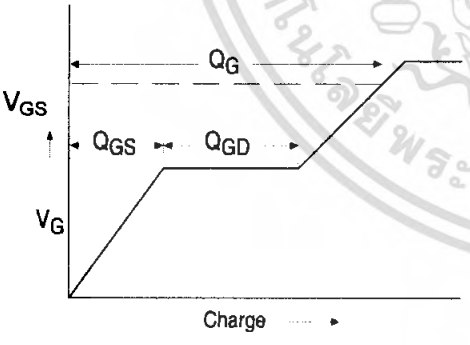


Fig 13a. Basic Gate Charge Waveform

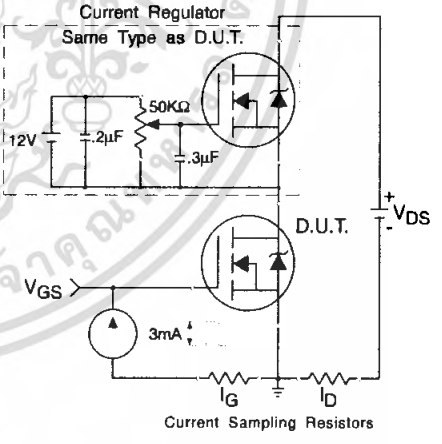


Fig 13b. Gate Charge Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised January 1999

CD4049UBC • CD4050BC
Hex Inverting Buffer • Hex Non-Inverting Buffer

General Description

The CD4049UBC and CD4050BC hex buffers are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. These devices feature logic level conversion using only one supply voltage (V_{DD}). The input signal high level (V_{IH}) can exceed the V_{DD} supply voltage when these devices are used for logic level conversions. These devices are intended for use as hex buffers, CMOS to DTL/TTL converters, or as CMOS current drivers, and at V_{DD} = 5.0V, they can drive directly two DTL/TTL loads over the full operating temperature range.

Features

- Wide supply voltage range: 3.0V to 15V
- Direct drive to 2 TTL loads at 5.0V over full temperature range
- High source and sink current capability
- Special input protection permits input voltages greater than V_{DD}

Applications

- CMOS hex inverter/buffer
- CMOS to DTL/TTL hex converter
- CMOS current "sink" or "source" driver
- CMOS HIGH-to-LOW logic level converter

Ordering Code:

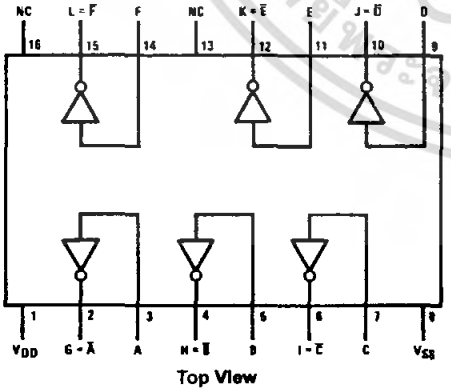
Order Number	Package Number	Package Description
CD4049UBCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4049UBCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4050BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4050BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagrams

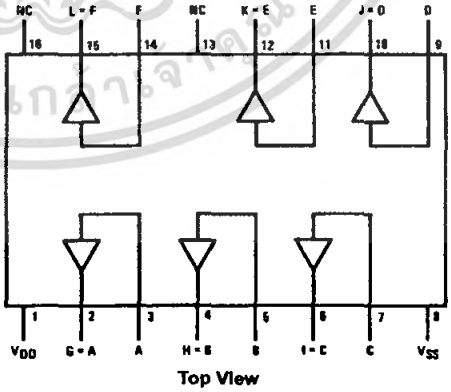
Pin Assignments for DIP

CD4049UBC



Top View

CD4050BC



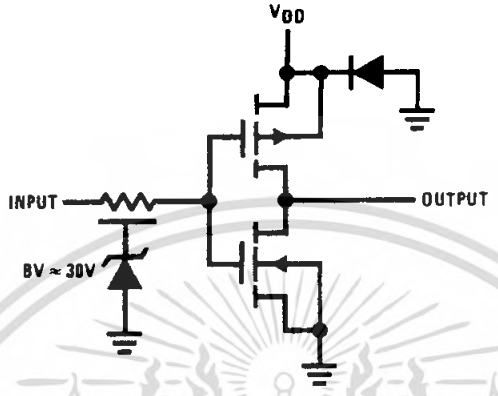
Top View

© 1999 Fairchild Semiconductor Corporation

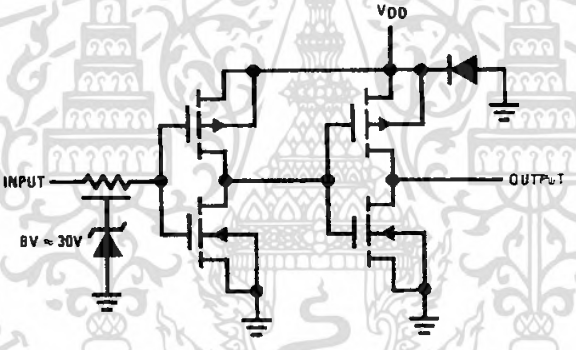
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagrams

CD4049UBC
1 of 6 Identical Units



CD4050BC
1 of 6 Identical Units



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

Supply Voltage (V_{DD})	−0.5V to +18V
Input Voltage (V_{IN})	−0.5V to +18V
Voltage at Any Output Pin (V_{OUT})	−0.5V to V_{DD} + 0.5V
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

Supply Voltage (V_{DD})	3V to 15V
Input Voltage (V_{IN})	0V to 15V
Voltage at Any Output Pin (V_{OUT})	0 to V_{DD}
Operating Temperature Range (T_A)	
CD4049UBC, CD4050BC	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		4		0.03	4.0		30	µA
		V_{DD} = 10V		8		0.05	8.0		60	µA
		V_{DD} = 15V		16		0.07	16.0		120	µA
V_{OL}	LOW Level Output Voltage	V_{IH} = V_{DD}, V_{IL} = 0V, $\|I_O\|$ < 1 µA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	V_{IH} = V_{DD}, V_{IL} = 0V, $\|I_O\|$ < 1 µA								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	LOW Level Input Voltage (CD4050BC Only)	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 0.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V		4.0		6.75	4.0		4.0	V
V_{IL}	LOW Level Input Voltage (CD4049UBC Only)	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 4.5V		1.0		1.5	1.0		1.0	V
		V_{DD} = 10V, V_O = 9V		2.0		2.5	2.0		2.0	V
		V_{DD} = 15V, V_O = 13.5V		3.0		3.5	3.0		3.0	V
V_{IH}	HIGH Level Input Voltage (CD4050BC Only)	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 13.5V	11.0		11.0	8.25		11.0		V
V_{IH}	HIGH Level Input Voltage (CD4049UBC Only)	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 0.5V	4.0		4.0	3.5		4.0		V
		V_{DD} = 10V, V_O = 1V	8.0		8.0	7.5		8.0		V
		V_{DD} = 15V, V_O = 1.5V	12.0		12.0	11.5		12.0		V
I_{OL}	LOW Level Output Current (Note 4)	V_{IH} = V_{DD}, V_{IL} = 0V								
		V_{DD} = 5V, V_O = 0.4V	4.6		4.0	5		3.2		mA
		V_{DD} = 10V, V_O = 0.5V	9.8		8.5	12		6.8		mA
		V_{DD} = 15V, V_O = 1.5V	29		25	40		20		mA
I_{OH}	HIGH Level Output Current (Note 4)	V_{IH} = V_{DD}, V_{IL} = 0V								
		V_{DD} = 5V, V_O = 4.6V	−1.0		−0.9	−1.6		−0.72		mA
		V_{DD} = 10V, V_O = 9.5V	−2.1		−1.9	−3.6		−1.5		mA
		V_{DD} = 15V, V_O = 13.5V	−7.1		−6.2	−12		−5		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V	−0.3		−0.3	-10^{-5}			−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V	0.3		0.3	10^{-5}			1.0	µA

Note 3: V_{SS} = 0V unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Continued)

Note 4: These are peak output current capabilities. Continuous output current is rated at 12 mA maximum. The output current should not be allowed to exceed this value for extended periods of time. I_{OL} and I_{OH} are tested one output at a time.

AC Electrical Characteristics (Note 5)

CD4049UBC

$T_A = 25°C$, $C_L = 50$ pF, $R_L = 200k$, $t_r = t_f = 20$ ns, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}	Propagation Delay Time	$V_{DD} = 5V$		30	65	ns
	HIGH-to-LOW Level	$V_{DD} = 10V$		20	40	ns
		$V_{DD} = 15V$		15	30	ns
t_{PLH}	Propagation Delay Time	$V_{DD} = 5V$		45	85	ns
	LOW-to-HIGH Level	$V_{DD} = 10V$		25	45	ns
		$V_{DD} = 15V$		20	35	ns
t_{THL}	Transition Time	$V_{DD} = 5V$		30	60	ns
	HIGH-to-LOW Level	$V_{DD} = 10V$		20	40	ns
		$V_{DD} = 15V$		15	30	ns
t_{TLH}	Transition Time	$V_{DD} = 5V$		60	120	ns
	LOW-to-HIGH Level	$V_{DD} = 10V$		30	55	ns
		$V_{DD} = 15V$		25	45	ns
C_{IN}	Input Capacitance	Any Input		15	22.5	pF

Note 5: AC Parameters are guaranteed by DC correlated testing.

AC Electrical Characteristics (Note 6)

CD4050BC

$T_A = 25°C$, $C_L = 50$ pF, $R_L = 200k$, $t_r = t_f = 20$ ns, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}	Propagation Delay Time	$V_{DD} = 5V$		60	110	ns
	HIGH-to-LOW Level	$V_{DD} = 10V$		25	55	ns
		$V_{DD} = 15V$		20	30	ns
t_{PLH}	Propagation Delay Time	$V_{DD} = 5V$		60	120	ns
	LOW-to-HIGH Level	$V_{DD} = 10V$		30	55	ns
		$V_{DD} = 15V$		25	45	ns
t_{THL}	Transition Time	$V_{DD} = 5V$		30	60	ns
	HIGH-to-LOW Level	$V_{DD} = 10V$		20	40	ns
		$V_{DD} = 15V$		15	30	ns
t_{TLH}	Transition Time	$V_{DD} = 5V$		60	120	ns
	LOW-to-HIGH Level	$V_{DD} = 10V$		30	55	ns
		$V_{DD} = 15V$		25	45	ns
C_{IN}	Input Capacitance	Any Input		5	7.5	pF

Note 6: AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

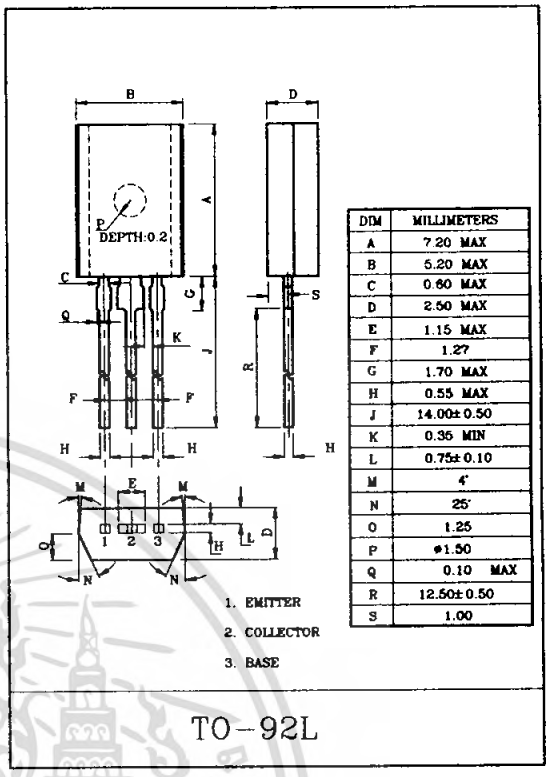
KTC3209

EPITAXIAL PLANAR NPN TRANSISTOR

POWER AMPLFIER APPLICATION.
POWER SWITCHING APPLICATION.

FEATURE

- Low Saturation Voltage.
  : $V_{CE(sat)}$=0.5V(MAX) (I_C=1A)
- High Speed Switching Time : t_{stg}=1.0μS(TYP.)
- Complementary to KTA1281.



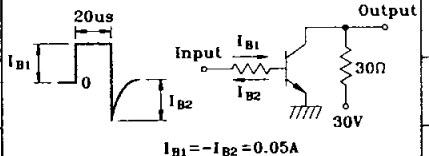
DIM	MILLIMETERS
A	7.20 MAX
B	5.20 MAX
C	0.60 MAX
D	2.50 MAX
E	1.15 MAX
F	1.27
G	1.70 MAX
H	0.55 MAX
J	14.00±0.50
K	0.35 MIN
L	0.75±0.10
M	4°
N	25°
O	1.25
P	ø1.50
Q	0.10 MAX
R	12.50±0.50
S	1.00

TO-92L

MAXIMUM RATINGS (Ta=25℃)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Collector-Base Voltage	V_{CBO}	50	V
Collector-Emitter Voltage	V_{CEO}	50	V
Emitter-Base Voltage	V_{EBO}	5	V
Collector Current	I_C	2	A
Emitter Current	I_E	-2	A
Collector Power Dissipation	P_C	1	W
Junction Temperature	T_j	150	℃
Storage Temperature Range	T_{stg}	-55~150	℃

ELECTRICAL CHARACTERISTICS (Ta=25℃)

CHARACTERISTIC		SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Collector Cut-off Current		I_{CBO}	V_{CB}=50V, I_E=0	-	-	0.1	μA
Emitter Cut-off Current		I_{EBO}	V_{EB}=5V, I_C=0	-	-	0.1	μA
Collector-Emitter Breakdown Voltage		$V_{(BR)CEO}$	I_C=10mA, I_B=0	50	-	-	V
Emitter-Base Breakdown Voltage		$V_{(BR)EBO}$	I_E=1mA, I_C=0	5	-	-	V
DC Current Gain		h_{FE}(1) (Note)	V_{CE}=2V, I_C=0.5A	70	-	240	
		h_{FE}(2) (Note)	V_{CE}=2V, I_C=1.5A	40	-	-	
Collector-Emitter Saturation Voltage		$V_{CE(sat)}$	I_C=1.0A, I_B=0.05A	-	-	0.5	V
Base-Emitter Satiratopm Voltage		$V_{BE(SAT)}$	I_C=1.0A, I_B=0.05A	-	-	1.2	V
Transition Frequency		f_T	V_{CE}=2V, I_C=0.5A	-	100	-	MHz
Collector Output Capacitance		C_{ob}	V_{CB}=10V, I_E=0, f=1MHz	-	30	-	pF
Switching Time	Turn on Time	t_{on}		-	0.1	-	μS
	Storage Time	t_{stg}		-	1.0	-	
	Fall Time	t_f		-	0.1	-	

I_{B1}=-I_{B2}=0.05A
Duty Cycle ≦ 1%

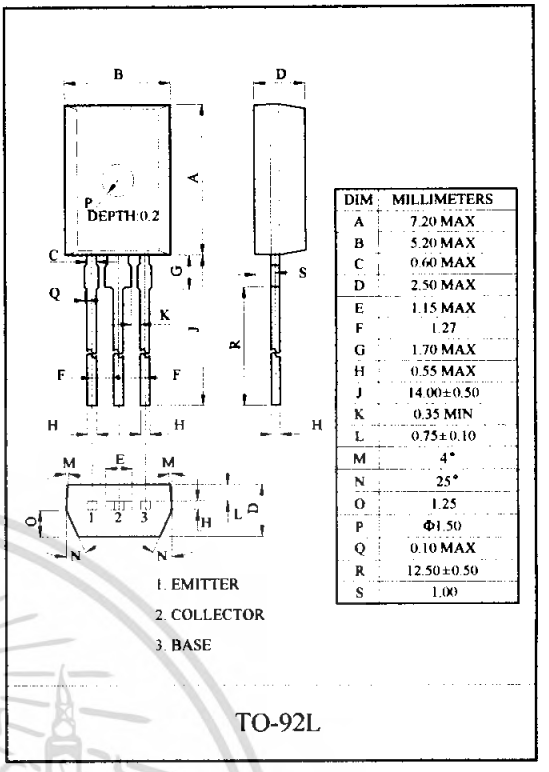
Note : h_{FE} Classification O:70~140, Y:120~240

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER AMPLIFIER APPLICATIONS.
POWER SWITCHING APPLICATIONS.

FEATURES

- Low Collector Saturation Voltage
  : $V_{CE(sat)}$=-0.5V(Max.) (I_C=-1A)
- High Speed Switching Time : t_{stg}=1.0μS(Typ.)
- Complementary to KTC3209.



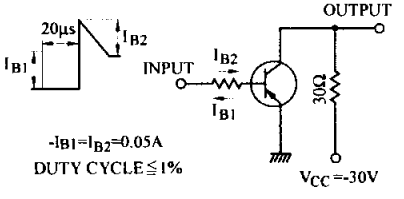
DIM	MILLIMETERS
A	7.20 MAX
B	5.20 MAX
C	0.60 MAX
D	2.50 MAX
E	1.15 MAX
F	1.27
G	1.70 MAX
H	0.55 MAX
J	14.00±0.50
K	0.35 MIN
L	0.75±0.10
M	4°
N	25°
O	1.25
P	Φ1.50
Q	0.10 MAX
R	12.50±0.50
S	1.00

TO-92L

MAXIMUM RATING (Ta=25℃)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Collector-Base Voltage	V_{CBO}	-50	V
Collector-Emitter Voltage	V_{CEO}	-50	V
Emitter-Base Voltage	V_{EBO}	-5	V
Collector Current	I_C	-2	A
Collector Power Dissipation	P_C	1	W
Junction Temperature	T_J	150	℃
Storage Temperature Range	T_{stg}	-55~150	℃

ELECTRICAL CHARACTERISTICS (Ta=25℃)

CHARACTERISTIC		SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Collector Cut-off Current		I_{CBO}	V_{CB}=-50V, I_E=0	-	-	-0.1	μA
Emitter Cut-off Current		I_{EBO}	V_{EB}=-5V, I_C=0	-	-	-0.1	μA
Collector-Emitter Breakdown Voltage		$V_{(BR)CEO}$	I_C=-10mA, I_B=0	-50	-	-	V
DC Current Gain		h_{FE} (1)	V_{CE}=-2V, I_C=-0.5A (Note)	70	-	240	
		h_{FE} (2)	V_{CE}=-2V, I_C=-1.5A	40	-	-	
Collector-Emitter Saturation Voltage		$V_{CE(sat)}$	I_C=-1A, I_B=-0.05A	-	-	-0.5	V
Base-Emitter Saturation Voltage		$V_{BE(sat)}$	I_C=-1A, I_B=-0.05A	-	-	-1.2	V
Transition Frequency		f_T	V_{CE}=-2V, I_C=-0.5A	-	100	-	MHz
Collector Output Capacitance		C_{ob}	V_{CB}=-10V, I_E=0, f=1MHz	-	40	-	pF
Switching Time	Turn-on Time	t_{on}		-	0.1	-	μS
	Storage Time	t_{stg}		-	1.0	-	
	Fall Time	t_f		-	0.1	-	

Note : h_{FE} Classification O:70~140, Y:120~240

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลง เนื้อหา หรือนำไปเผยแพร่ต่อ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ลบข้อความนี้ออก

FAIRCHILD SEMICONDUCTOR™

April 2000

QFET™

FQP7N80

800V N-Channel MOSFET

General Description

These N-Channel enhancement mode power field effect transistors are produced using Fairchild's proprietary, planar stripe, DMOS technology.
This advanced technology has been especially tailored to minimize on-state resistance, provide superior switching performance, and withstand high energy pulse in the avalanche and commutation mode. These devices are well suited for high efficiency switch mode power supply.

Features

- 6.6A, 800V, $R_{DS(on)}$ = 1.5Ω @V_{GS} = 10 V
- Low gate charge (typical 40 nC)
- Low Crss (typical 19 pF)
- Fast switching
- 100% avalanche tested
- Improved dv/dt capability

TO-220
FQP Series

Absolute Maximum Ratings

T_C = 25°C unless otherwise noted

Symbol	Parameter		FQP7N80	Units
V_{DSS}	Drain-Source Voltage		800	V
I_D	Drain Current - Continuous (T_C = 25°C)		6.6	A
	- Continuous (T_C = 100°C)		4.2	A
I_{DM}	Drain Current - Pulsed	(Note 1)	26.4	A
V_{GSS}	Gate-Source Voltage		± 30	V
E_{AS}	Single Pulsed Avalanche Energy	(Note 2)	580	mJ
I_{AR}	Avalanche Current	(Note 1)	6.6	A
E_{AR}	Repetitive Avalanche Energy	(Note 1)	16.7	mJ
dv/dt	Peak Diode Recovery dv/dt	(Note 3)	4.0	V/ns
P_D	Power Dissipation (T_C = 25°C)		167	W
	- Derate above 25°C		1.34	W/°C
T_J, T_{STG}	Operating and Storage Temperature Range		-55 to +150	°C
T_L	Maximum lead temperature for soldering purposes, 1/8" from case for 5 seconds		300	°C

Thermal Characteristics

Symbol	Parameter	Typ	Max	Units
$R_{\theta JC}$	Thermal Resistance, Junction-to-Case	–	0.75	°C/W
$R_{\theta CS}$	Thermal Resistance, Case-to-Sink	0.5	–	°C/W
$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient	–	62.5	°C/W

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

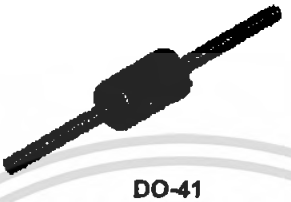
FAIRCHILD SEMICONDUCTOR™

Discrete POWER & Signal Technologies

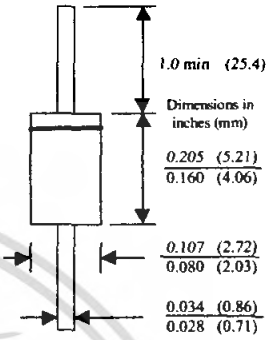
RGP10A - RGP10M

Features

- 1.0 ampere operation at T_A = 55°C with no thermal runaway.
- High temperature metallurgically bonded construction.
- Glass passivated cavity-free junction.
- Typical I_R less than 1µA.
- Fast switching for high efficiency.



DO-41
COLOR BAND DENOTES CATHODE



1.0 Ampere Glass Passivated Fast Recovery Rectifiers

Absolute Maximum Ratings*

T_A = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
I_O	Average Rectified Current .375 " lead length @ T_L = 55°C	1.0	A
$i_{f(surge)}$	Peak Forward Surge Current 8.3 ms single half-sine-wave Superimposed on rated load (JEDEC method)	30	A
P_D	Total Device Dissipation Derate above 25°C	2.5 17	W mW/°C
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	50	°C/W
T_{stg}	Storage Temperature Range	-65 to +175	°C
T_J	Operating Junction Temperature	-65 to +175	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

Electrical Characteristics

T_A = 25°C unless otherwise noted

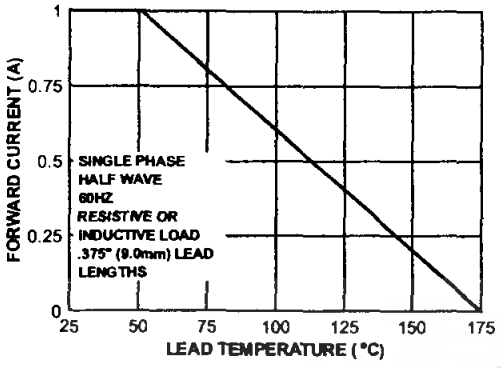
Parameter	Device							Units
	10A	10B	10D	10G	10J	10K	10M	
Peak Repetitive Reverse Voltage	50	100	200	400	600	800	1000	V
Maximum RMS Voltage	35	70	140	280	420	560	700	V
DC Reverse Voltage (Rated V_R)	50	100	200	400	600	800	1000	V
Maximum Reverse Current @ rated V_R T_A = 25°C T_A = 150°C	5.0 200							µA µA
Maximum Reverse Recovery Time I_F = 0.5 A, I_R = 1.0 A, I_{rr} = 0.25 A	150				250	500		nS
Maximum Forward Voltage @ 1.0 A	1.3							V
Typical Junction Capacitance V_R = 4.0 V, f = 1.0 MHz	15							pF

©1999 Fairchild Semiconductor Corporation

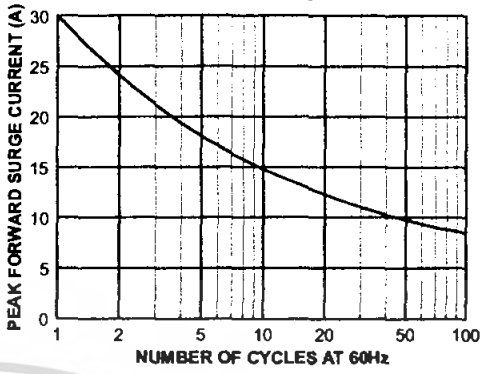
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics

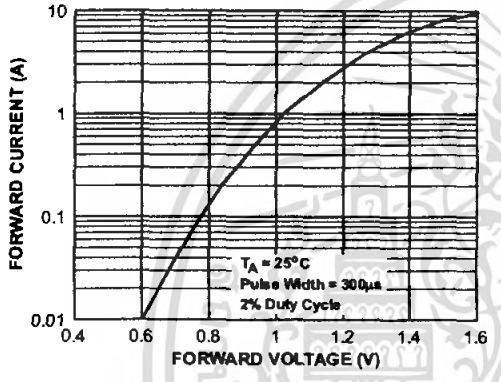
Forward Current Derating Curve



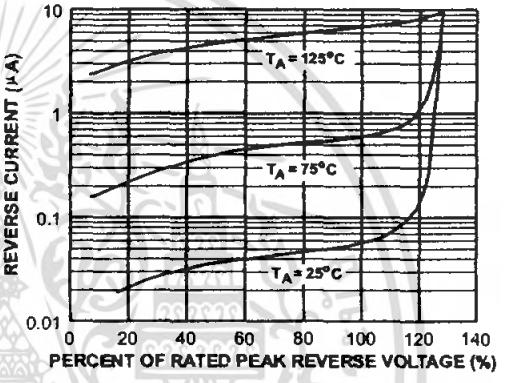
Non-Repetitive Surge Current



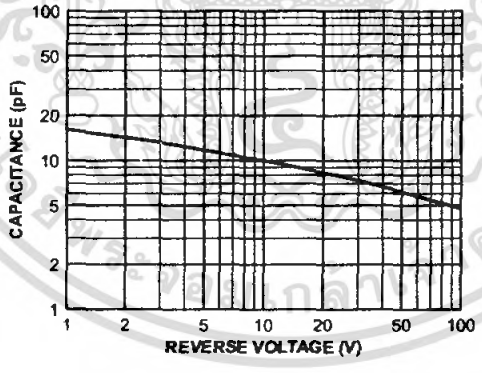
Forward Characteristics

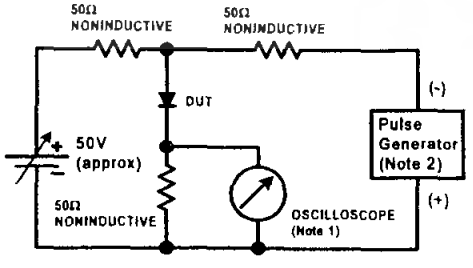


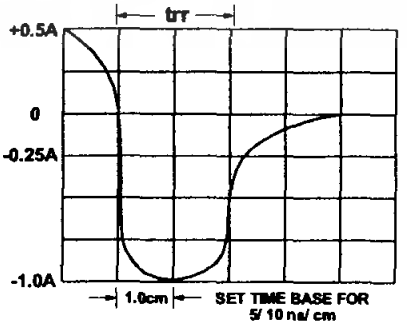
Reverse Characteristics



Junction Capacitance







Reverse Recovery Time Characterstic and Test Circuit Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR®

RHRP8120

Data Sheet | January 2002

8A, 1200V Hyperfast Diode

The RHRP8120 is a hyperfast diodes with soft recovery characteristics (t_{rr} < 55ns). It has half the recovery time of ultrafast diodes and is of silicon nitride passivated ion-implanted epitaxial planar construction.

This device is intended for use as a freewheeling/clamping diode and rectifier in a variety of switching power supplies and other power switching applications. Its low stored charge and hyperfast soft recovery minimize ringing and electrical noise in many power switching circuits, thus reducing power loss in the switching transistors.

Formerly developmental type TA49096.

Ordering Information

PART NUMBER	PACKAGE	BRAND
RHRP8120	TO-220AC	RHRP8120

NOTE: When ordering, use the entire part number.

Symbol

Features

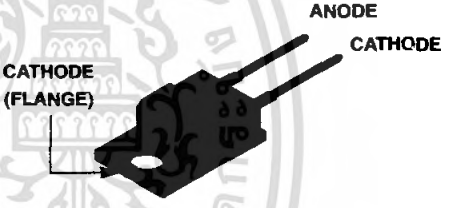
- Hyperfast with Soft Recovery . . . . . <55ns
- Operating Temperature . . . . . 175°C
- Reverse Voltage 1200V
- Avalanche Energy Rated
- Planar Construction

Applications

- Switching Power Supplies
- Power Switching Circuits
- General Purpose

Packaging

JEDEC TO-220AC



Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

		RHRP8120	UNITS
Peak Repetitive Reverse Voltage	V_{RRM}	1200	V
Working Peak Reverse Voltage	V_{RWM}	1200	V
DC Blocking Voltage	V_R	1200	V
Average Rectified Forward Current ($T_C = 140^oC$)	$I_{F(AV)}$	8	A
Repetitive Peak Surge Current (Square Wave, 20kHz)	I_{FRM}	16	A
Nonrepetitive Peak Surge Current (Halfwave, 1 Phase, 60Hz)	I_{FSM}	100	A
Maximum Power Dissipation	P_D	75	W
Avalanche Energy (See Figures 10 and 11)	E_{AVL}	20	mJ
Operating and Storage Temperature	T_{STG}, T_J	-65 to 175	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

SYMBOL	TEST CONDITION	MIN	TYP	MAX	UNITS
V_F	$I_F = 8A$	-	-	3.2	V
	$I_F = 8A$, $T_C = 150^oC$	-	-	2.6	V
I_R	$V_R = 1200V$	-	-	100	μA
	$V_R = 1200V$, $T_C = 150^oC$	-	-	500	μA
t_{rr}	$I_F = 1A$, $dI_F/dt = 200A/\mu s$	-	-	55	ns
	$I_F = 8A$, $dI_F/dt = 200A/\mu s$	-	-	70	ns
t_a	$I_F = 8A$, $dI_F/dt = 200A/\mu s$	-	30	-	ns
t_b	$I_F = 8A$, $dI_F/dt = 200A/\mu s$	-	20	-	ns
Q_{RR}	$I_F = 8A$, $dI_F/dt = 200A/\mu s$	-	165	-	nC
C_J	$V_R = 10V$, $I_F = 0A$	-	25	-	pF
$R_{\theta JC}$		-	-	2	$^oC/W$

DEFINITIONS

V_F = Instantaneous forward voltage (pw = 300μs, D = 2%).

I_R = Instantaneous reverse current.

t_{rr} = Reverse recovery time (See Figure 9), summation of $t_a + t_b$.

t_a = Time to reach peak reverse current (See Figure 9).

t_b = Time from peak I_{RM} to projected zero crossing of I_{RM} based on a straight line from peak I_{RM} through 25% of I_{RM} (See Figure 9).

Q_{RR} = Reverse Recovery Charge.

C_J = Junction Capacitance.

$R_{\theta JC}$ = Thermal resistance junction to case.

pw = Pulse Width.

D = Duty Cycle.

Typical Performance Curves

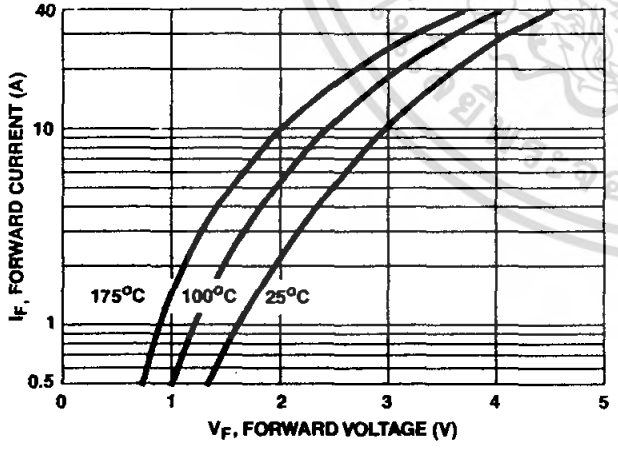


FIGURE 1. FORWARD CURRENT vs FORWARD VOLTAGE

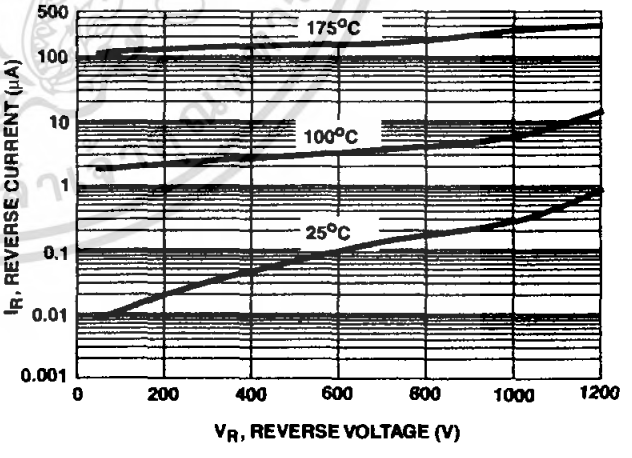


FIGURE 2. REVERSE CURRENT vs REVERSE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
การแสวงหาผลกำไร อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

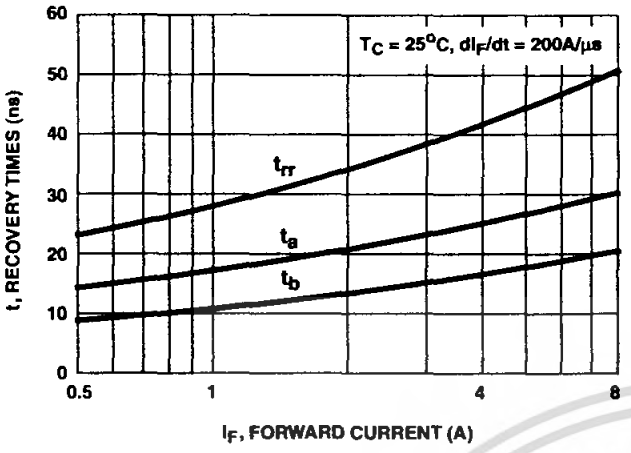


FIGURE 3. t_{rr}, t_a AND t_b CURVES vs FORWARD CURRENT

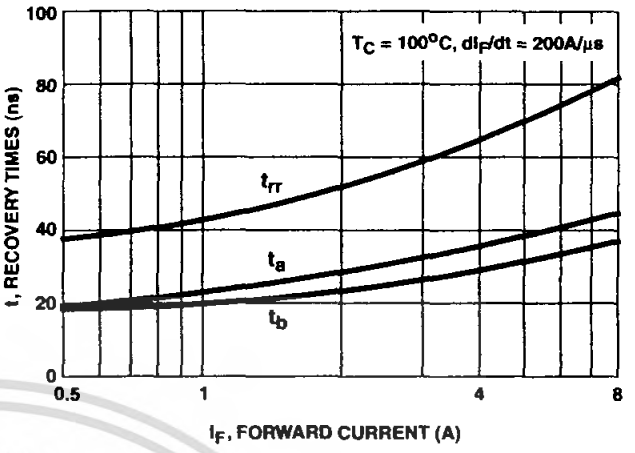


FIGURE 4. t_{rr}, t_a AND t_b CURVES vs FORWARD CURRENT

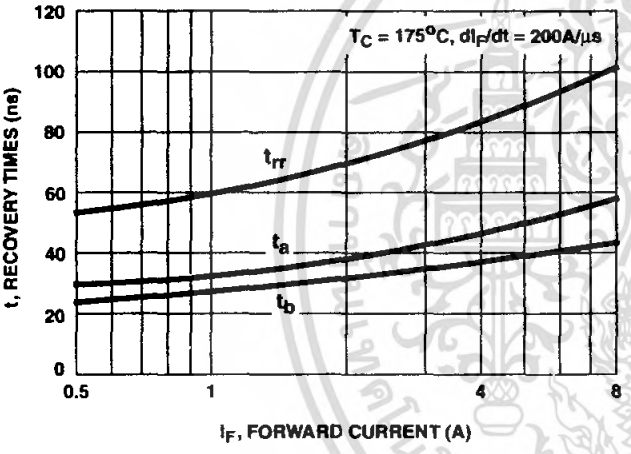


FIGURE 5. t_{rr}, t_a AND t_b CURVES vs FORWARD CURRENT

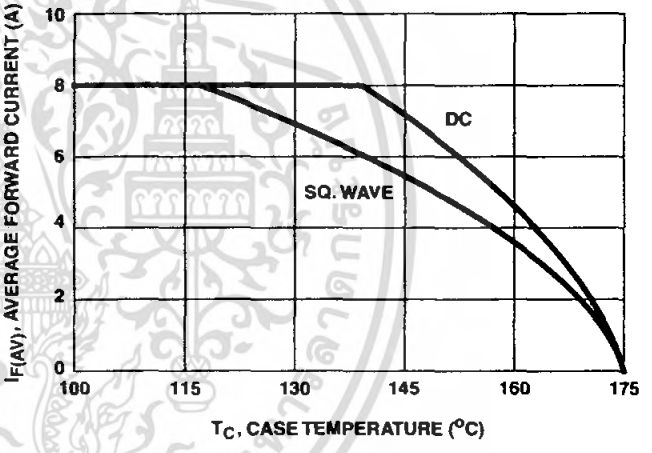


FIGURE 6. CURRENT DERATING CURVE

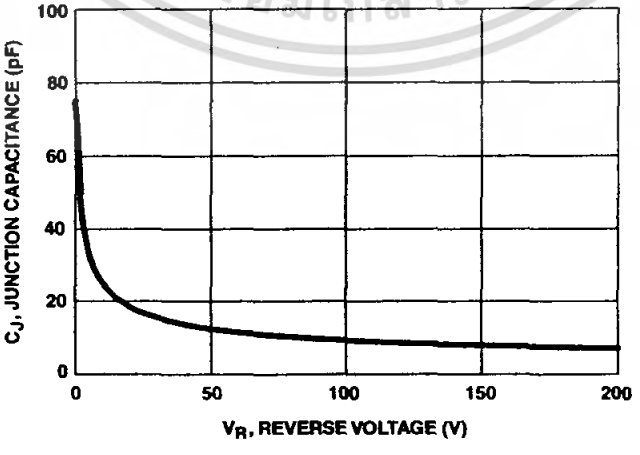


FIGURE 7. JUNCTION CAPACITANCE vs REVERSE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

atures

- ompatible with MCS-51™ Products
- K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- ully Static Operation: 0 Hz to 24 MHz
- hree-Level Program Memory Lock
- 56 x 8-Bit Internal RAM
- 2 Programmable I/O Lines
- hree 16-Bit Timer/Counters
- ight Interrupt Sources
- rogrammable Serial Channel
- ow Power Idle and Power Down Modes

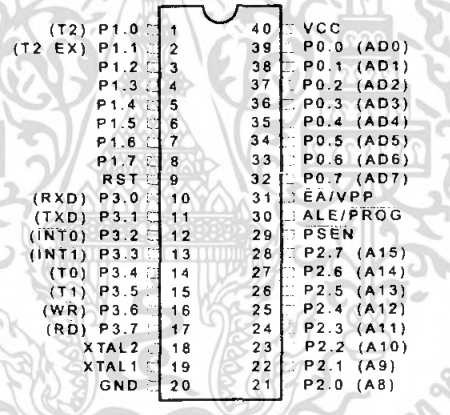
escription

e AT89C52 is a low-power, high-performance CMOS 8-bit microcomputer with 8K es of Flash programmable and erasable read only memory (PEROM). The device manufactured using Atmel's high density nonvolatile memory technology and is mpatible with the industry standard 80C51 and 80C52 instruction set and pinout. e on-chip Flash allows the program memory to be reprogrammed in-system or by a nventional nonvolatile memory programmer. By combining a versatile 8-bit CPU h Flash on a monolithic chip, the Atmel AT89C52 is a powerful microcomputer ich provides a highly flexible and cost effective solution to many embedded control plications.

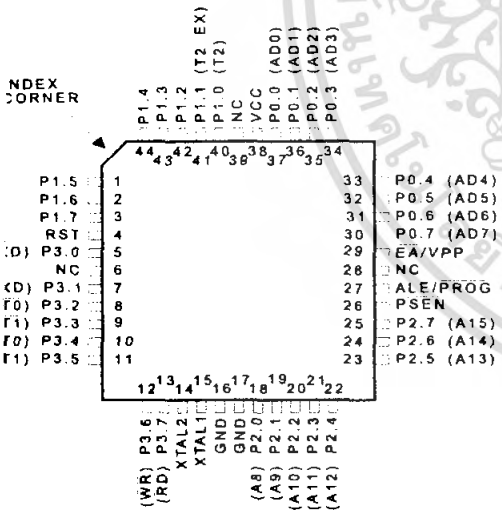
(continued)

in Configurations

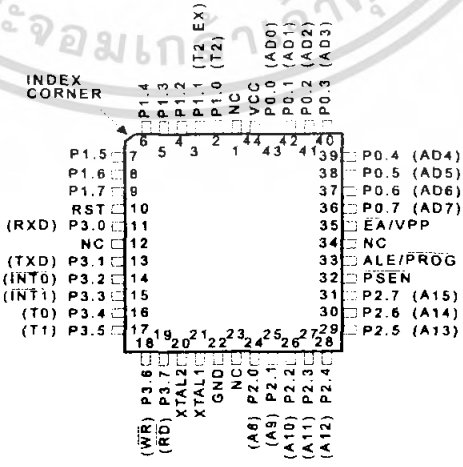
PDIP



PQFP/TQFP



68PLCC



8-Bit Microcontroller with 8K Bytes Flash

AT89C52

0313F-A–12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}-40$		ns
t_{AVLL}	Address Valid to ALE Low	43		$t_{CLCL}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{CLCL}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}-65$	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		$t_{CLCL}-13$		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}-20$		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}-45$	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		$t_{CLCL}-10$	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		$t_{CLCL}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}-55$	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}-90$	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}-165$	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}-75$		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		$t_{CLCL}-20$		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}-120$		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		$t_{CLCL}-20$		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	$t_{CLCL}-20$	$t_{CLCL}+25$	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

T_C = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Typ	Max	Units
Off Characteristics						
BV_{DSS}	Drain-Source Breakdown Voltage	V_{GS} = 0 V, I_D = 250 µA	800	--	--	V
ΔBV_{DSS} / ΔT_J	Breakdown Voltage Temperature Coefficient	I_D = 250 µA, Referenced to 25°C	--	0.77	--	V/°C
I_{DSS}	*Zero Gate Voltage Drain Current*	V_{DS} = 800 V, V_{GS} = 0 V	--	--	10	µA
		V_{DS} = 640 V, T_C = 125°C	--	--	100	µA
I_{GSSF}	Gate-Body Leakage Current, Forward	V_{GS} = 30 V, V_{DS} = 0 V	--	--	100	nA
I_{GSSR}	Gate-Body Leakage Current, Reverse	V_{GS} = -30 V, V_{DS} = 0 V	--	--	-100	nA
On Characteristics						
$V_{GS(th)}$	Gate Threshold Voltage	V_{DS} = V_{GS}, I_D = 250 µA	3.0	--	5.0	V
$R_{DS(on)}$	Static Drain-Source On-Resistance	V_{GS} = 10 V, I_D = 3.3 A	--	1.2	1.5	Ω
g_{FS}	Forward Transconductance	V_{DS} = 50 V, I_D = 3.3 A (Note 4)	--	5	--	S
Dynamic Characteristics						
C_{iss}	Input Capacitance	V_{DS} = 25 V, V_{GS} = 0 V, f = 1.0 MHz	--	1420	1850	pF
C_{oss}	Output Capacitance		--	150	195	pF
C_{rss}	Reverse Transfer Capacitance		--	19	25	pF
Switching Characteristics						
$t_{d(on)}$	Turn-On Delay Time	V_{DD} = 400 V, I_D = 6.6 A, R_G = 25 Ω (Note 4, 5)	--	35	80	ns
t_r	Turn-On Rise Time		--	80	170	ns
$t_{d(off)}$	Turn-Off Delay Time		--	95	200	ns
t_f	Turn-Off Fall Time		--	55	120	ns
Q_g	Total Gate Charge	V_{DS} = 640 V, I_D = 6.6 A, V_{GS} = 10 V (Note 4, 5)	--	40	52	nC
Q_{gs}	Gate-Source Charge		--	8.5	--	nC
Q_{gd}	Gate-Drain Charge		--	20	--	nC
Drain-Source Diode Characteristics and Maximum Ratings						
I_S	Maximum Continuous Drain-Source Diode Forward Current		--	--	6.6	A
I_{SM}	Maximum Pulsed Drain-Source Diode Forward Current		--	--	26.4	A
V_{SD}	Drain-Source Diode Forward Voltage	V_{GS} = 0 V, I_S = 6.6 A	--	--	1.4	V
t_{rr}	Reverse Recovery Time	V_{GS} = 0 V, I_S = 6.6 A, dI_F / dt = 100 A/µs (Note 4)	--	400	--	ns
Q_{rr}	Reverse Recovery Charge		--	4.3	--	µC

Notes:
1. Repetitive Rating : Pulse width limited by maximum junction temperature
2. L = 25mH, I_{AS} = 6.6A, V_{DD} = 50V, R_G = 25 Ω, Starting T_J = 25°C
3. I_{SD} ≤ 6.6A, di/dt ≤ 400A/µs, V_{DD} ≤ BV_{DSS}, Starting T_J = 25°C
4. Pulse Test : Pulse width ≤ 300µs, Duty cycle ≤ 2%
5. Essentially independent of operating temperature

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics

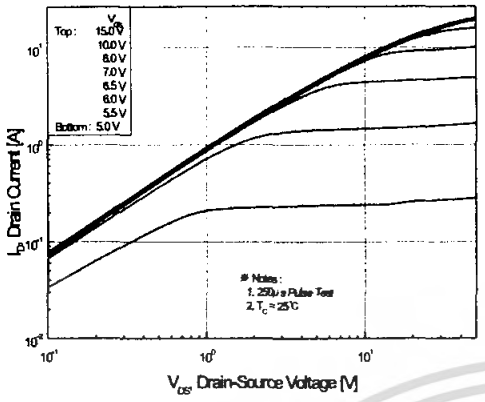


Figure 1. On-Region Characteristics

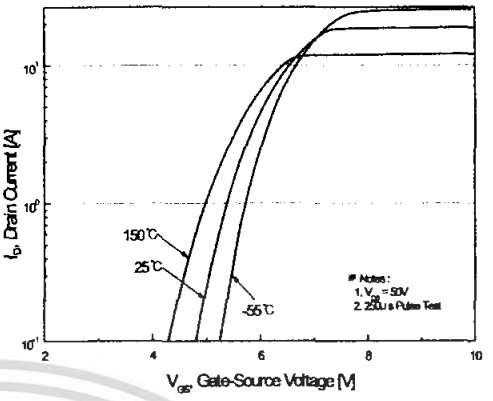


Figure 2. Transfer Characteristics

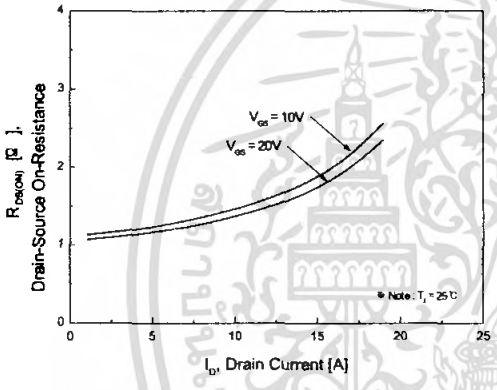


Figure 3. On-Resistance Variation vs. Drain Current and Gate Voltage

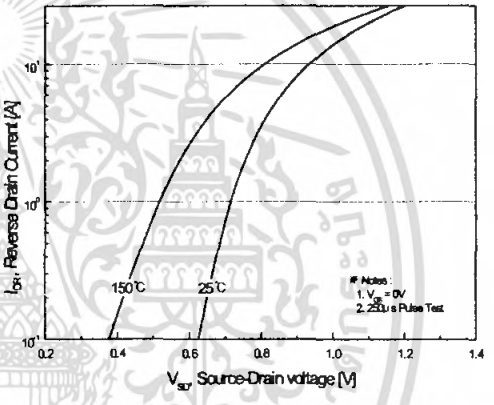


Figure 4. Body Diode Forward Voltage Variation vs. Source Current and Temperature

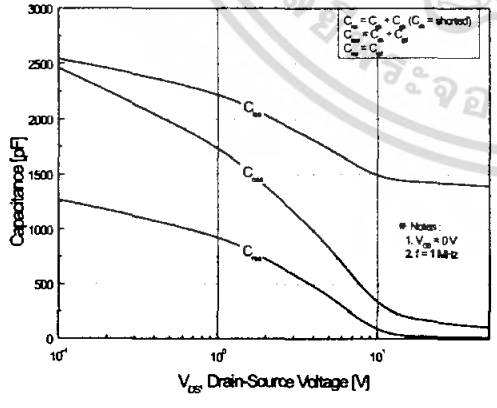


Figure 5. Capacitance Characteristics

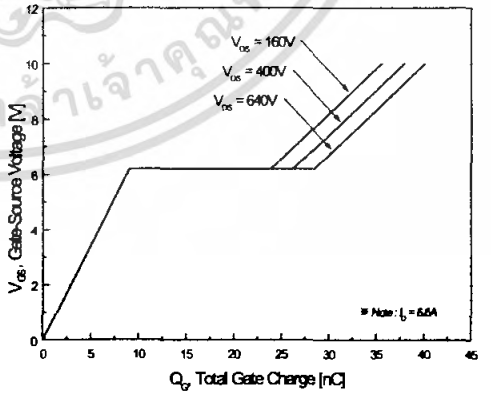


Figure 6. Gate Charge Characteristics

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics (Continued)

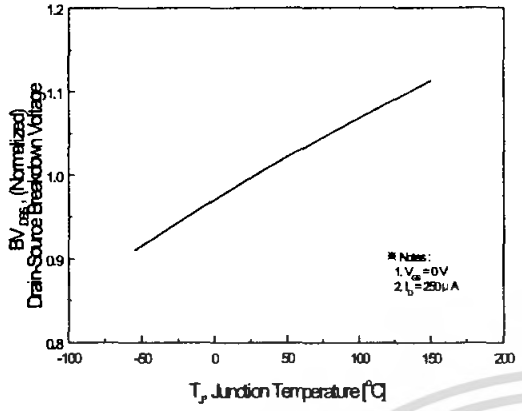


Figure 7. Breakdown Voltage Variation vs. Temperature.

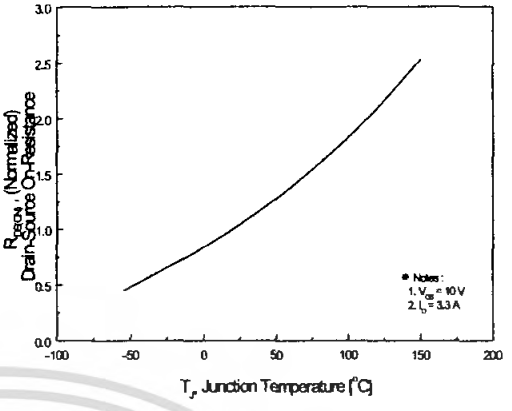


Figure 8. On-Resistance Variation vs. Temperature

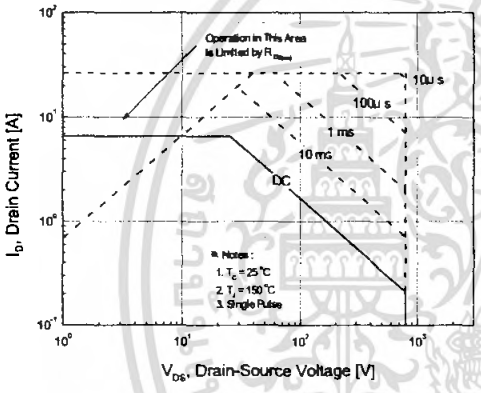


Figure 9. Maximum Safe Operating Area

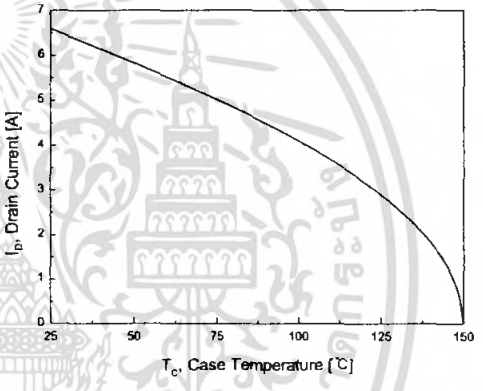


Figure 10. Maximum Drain Current vs. Case Temperature

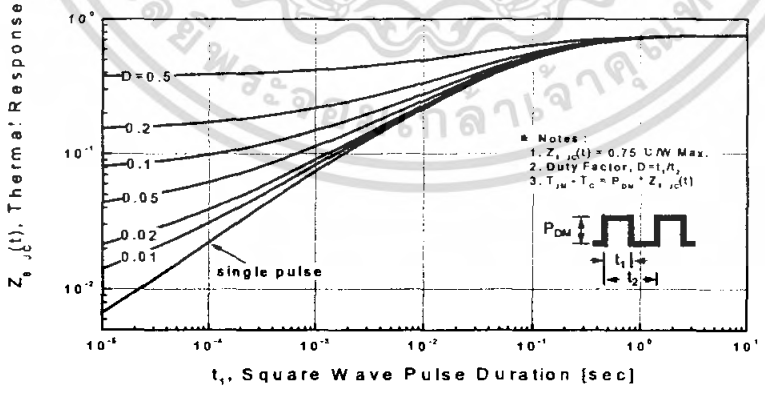
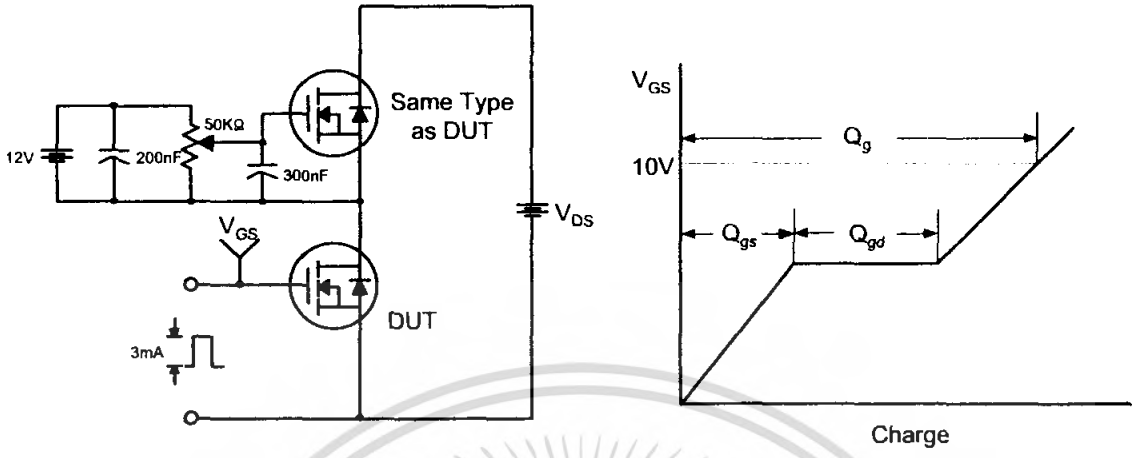


Figure 11. Transient Thermal Response Curve

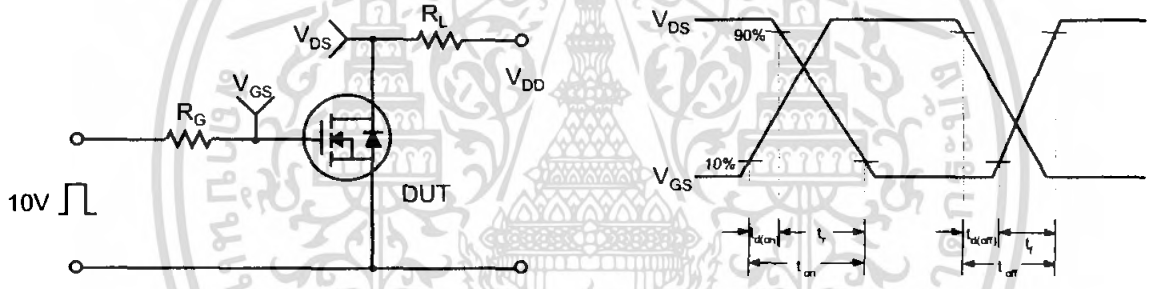
©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

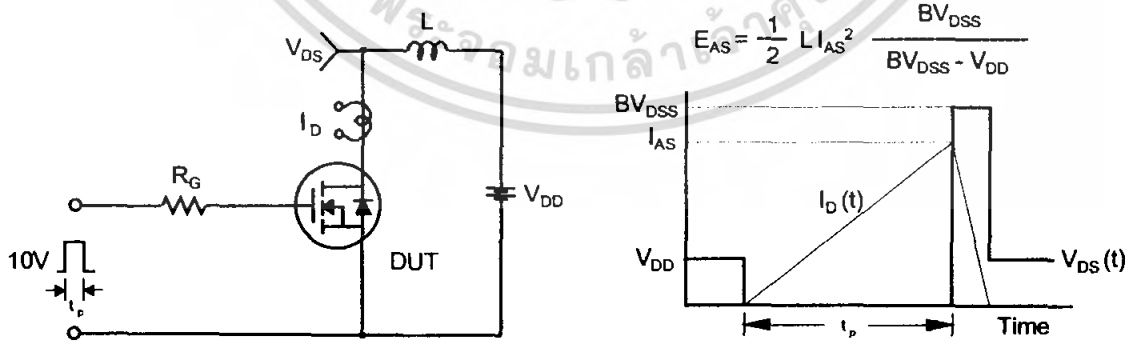
Gate Charge Test Circuit & Waveform



Resistive Switching Test Circuit & Waveforms



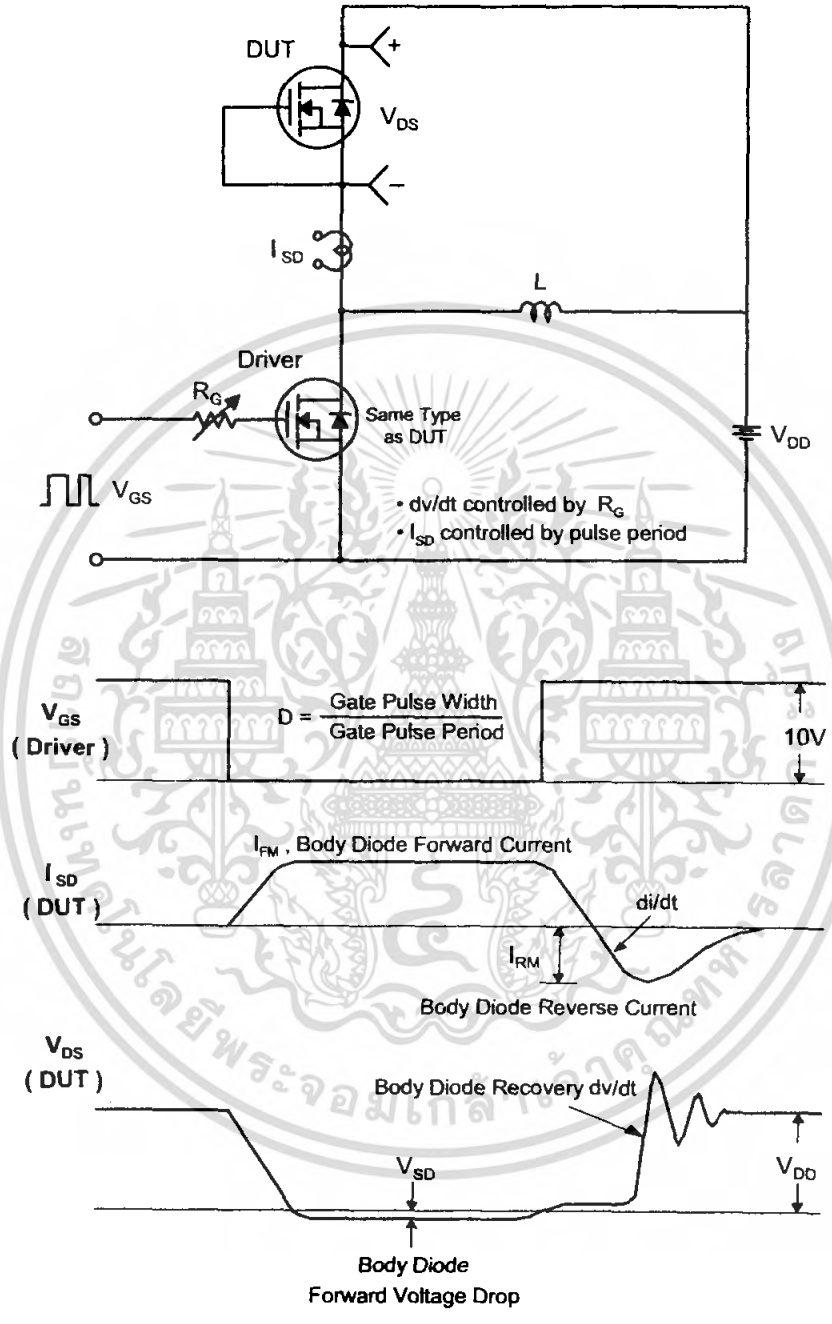
Unclamped Inductive Switching Test Circuit & Waveforms



©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Peak Diode Recovery dv/dt Test Circuit & Waveforms

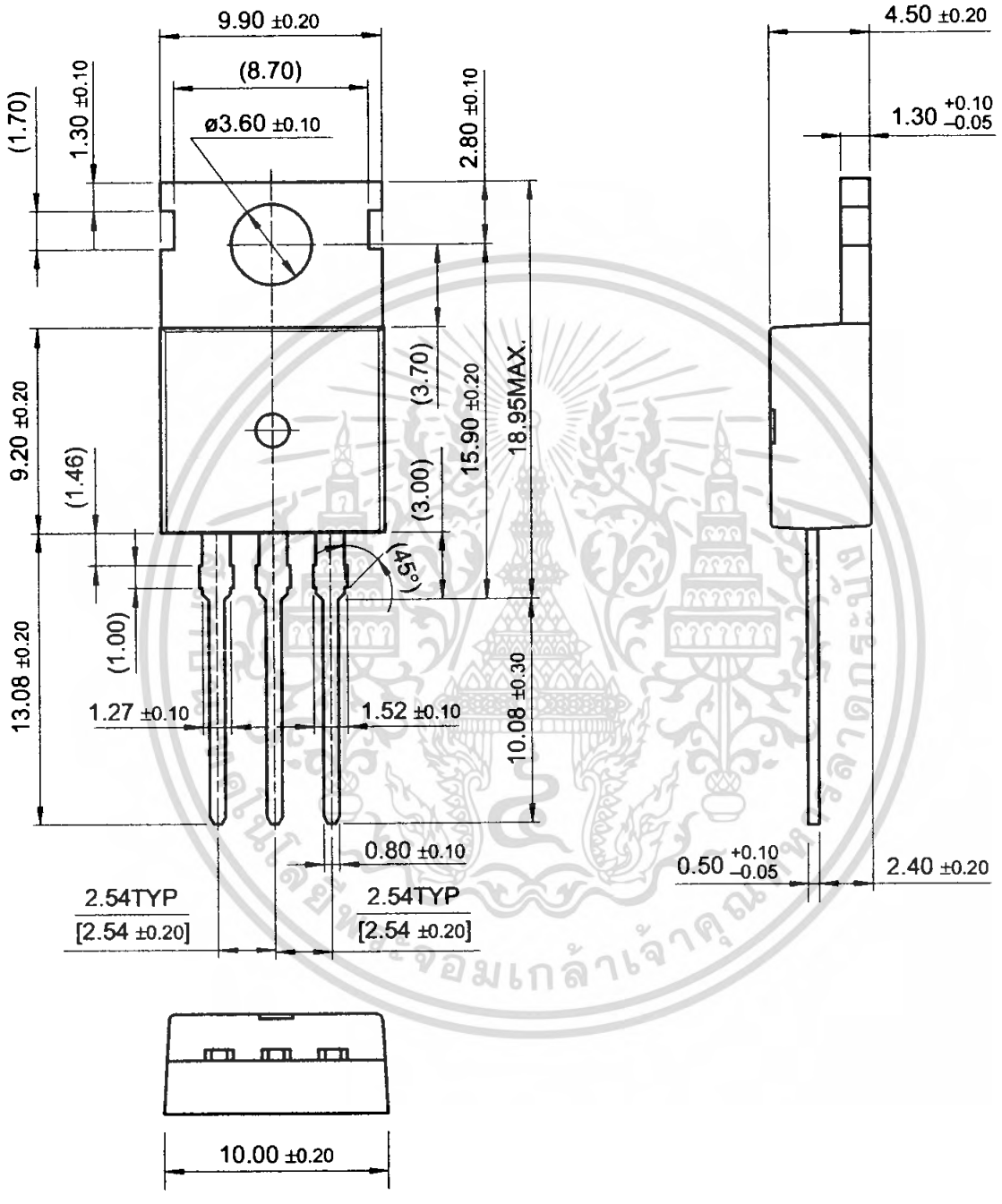


©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

TO-220



©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™
Bottomless™
CoolFET™
CROSSVOLT™
E^2CMOS™
FACT™
FACT Quiet Series™
FAST®
FASTr™
GTO™
HiSeC™
ISOPLANAR™
MICROWIRE™
POP™
PowerTrench®
QFET™
QS™
Quiet Series™
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SyncFET™
TinyLogic™
UHC™
VCX™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR INTERNATIONAL.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical impiant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

©2000 Fairchild Semiconductor International

Rev. A, January 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IOR Rectifier

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

HIGH AND LOW SIDE DRIVER

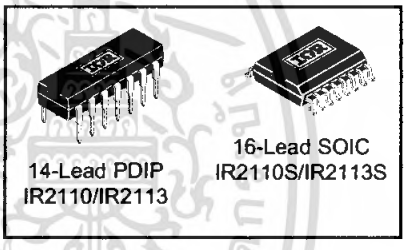
Features

- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
  Separate logic supply range from 3.3V to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
I_O+/-	2A / 2A
V_{OUT}	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

Packages



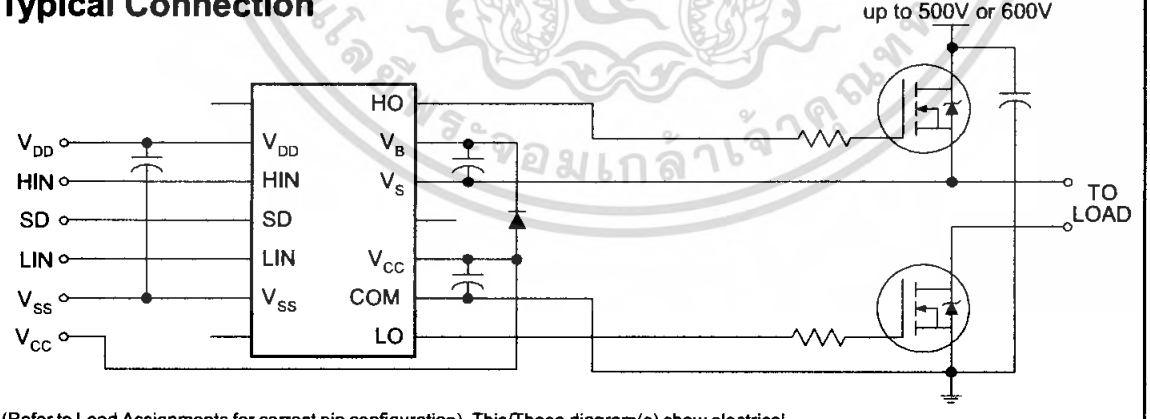
14-Lead PDIP
IR2110/IR2113

16-Lead SOIC
IR2110S/IR2113S

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply voltage	(IR2110)	-0.3	525	V
		(IR2113)	-0.3	625	
V_S	High side floating supply offset voltage		V_B - 25	V_B + 0.3	
V_{HO}	High side floating output voltage		V_S - 0.3	V_B + 0.3	
V_{CC}	Low side fixed supply voltage		-0.3	25	
V_{LO}	Low side output voltage		-0.3	V_{CC} + 0.3	
V_{DD}	Logic supply voltage		-0.3	V_{SS} + 25	
V_{SS}	Logic supply offset voltage		V_{CC} - 25	V_{CC} + 0.3	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS} - 0.3	V_{DD} + 0.3	
dV_S/dt	Allowable offset supply voltage transient (figure 2)		—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25°C$	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R_{THJA}	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T_J	Junction temperature		—	150	°C
T_S	Storage temperature		-55	150	
T_L	Lead temperature (soldering, 10 seconds)		—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply absolute voltage		V_S + 10	V_S + 20	V
V_S	High side floating supply offset voltage	(IR2110)	Note 1	500	
		(IR2113)	Note 1	600	
V_{HO}	High side floating output voltage		V_S	V_B	
V_{CC}	Low side fixed supply voltage		10	20	
V_{LO}	Low side output voltage		0	V_{CC}	
V_{DD}	Logic supply voltage		V_{SS} + 3	V_{SS} + 20	
V_{SS}	Logic supply offset voltage		-5 (Note 2)	5	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS}	V_{DD}	
T_A	Ambient temperature		-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{BS}$. (Please refer to the Design Tip DT97-3 for more details).
Note 2: When $V_{DD} < 5V$, the minimum V_{SS} offset is limited to $-V_{DD}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	V_S = 0V
t_{off}	Turn-off propagation delay	8	—	94	125		V_S = 500V/600V
t_{sd}	Shutdown propagation delay	9	—	110	140		V_S = 500V/600V
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110)	—	—	—	10		
	Delay matching, HS & LS turn-on/off (IR2113)	—	—	—	20		

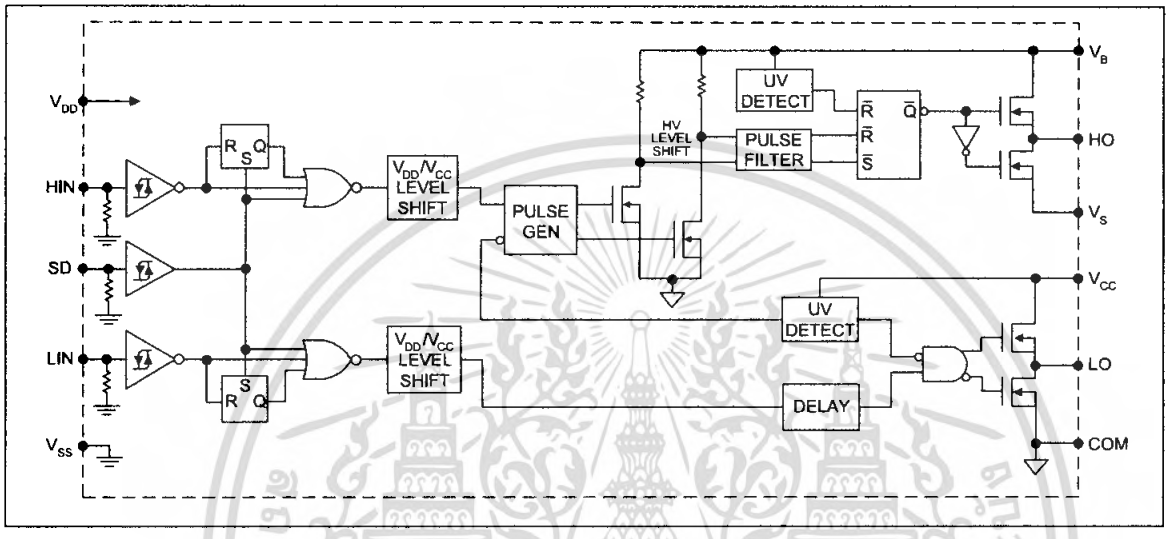
Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, V_{BIAS} - V_O	14	—	—	1.2		I_O = 0A
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		I_O = 0A
I_{LK}	Offset supply leakage current	16	—	—	50	μA	V_B=V_S = 500V/600V
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		V_{IN} = 0V or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		V_{IN} = 0V or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		V_{IN} = 0V or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		V_{IN} = V_{DD}
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		V_{IN} = 0V
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	V_O = 0V, V_{IN} = V_{DD} PW ≤ 10 μs
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		V_O = 15V, V_{IN} = 0V PW ≤ 10 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram

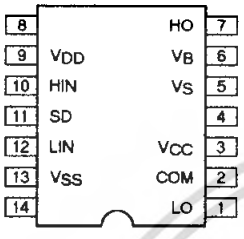


Lead Definitions

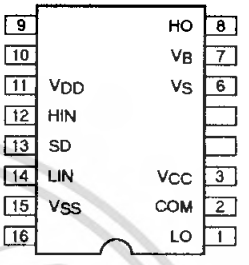
Symbol	Description
V_{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V_{SS}	Logic ground
V_B	High side floating supply
HO	High side gate drive output
V_S	High side floating supply return
V_{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

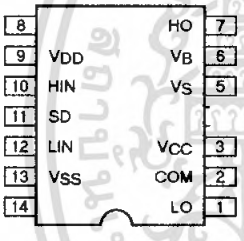
Lead Assignments



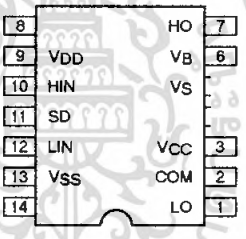
14 Lead PDIP
IR2110/IR2113



16 Lead SOIC (Wide Body)
IR2110S/IR2113S



14 Lead PDIP w/o lead 4
IR2110-1/IR2113-1



14 Lead PDIP w/o leads 4 & 5
IR2110-2/IR2113-2

Part Number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG 0000H
MOV R0,#0
MOV P2,#00H
DELAY_2_CYCLE:DJN
Z R0,DELAY_2_CYCLE
RET
PPWM1 BIT P2.2
PPWM2 BIT P2.7
P50_1 BIT P2.0
P50_2 BIT P2.5
SETB P50_2
MAIN:
;1
SETB P50_1
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;2
NOP
CLR PPWM1
SETB P50_1
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;3
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;4
NOP
NOP
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;5
NOP
NOP
NOP
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;6
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;7
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;8
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;9
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;10
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;11
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;12
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;13
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;14
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;15
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;16
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB P50_1
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;17
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;18
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;19
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;20
MOV R0,#11
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#31
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;21
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;22
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;23
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;24
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB P50_1
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;25
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;26
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;27
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;28
MOV R0,#17
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#25
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;29
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;30
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;31
MOV R0,#19
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#23
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;32
MOV R0,#20
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;33
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;34
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;35
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#20
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;36
MOV R0,#23
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#20
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;37
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;38
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;39
MOV R0,#25
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#18
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;40
MOV R0,#26
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR PPWM1
SETB P50_1
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;41
MOV R0,#26
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#16
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;42
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;43
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;44
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;45
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;46
MOV R0,#29
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#13
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;47
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;48
MOV R0,#30
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;49
MOV R0,#31
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#12
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;50
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;51
MOV R0,#32
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#10
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;52
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;53
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;54
MOV R0,#34
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#9
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;55
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;56
MOV R0,#35
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;57
MOV R0,#35
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#7
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;58
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;59
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;60
MOV R0,#37
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#6
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;61
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;62
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;63
MOV R0,#38
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#4
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;64
MOV R0,#39
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;65
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;66
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;67
MOV R0,#40
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#3
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;68
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;69
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_1
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;70
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;71
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;72
MOV R0,#42
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR PPWM1
SETB P50_1
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;73
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;74
MOV R0,#42
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;75
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;76
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;77
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;78
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;79
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;80
MOV R0,#44
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
CLR P50_1
SETB PPWM1
;81
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
CLR P50_1
SETB PPWM1
;82
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
CLR P50_1
SETB PPWM1
;83
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
CLR P50_1
SETB PPWM1
;84
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
CLR P50_1
SETB PPWM1
;85
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
CLR P50_1
SETB PPWM1
;86
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
CLR P50_1
SETB PPWM1
;87
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;88
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;89
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;90
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;91
MOV R0,#46
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;92
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;93
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;94
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;95
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;96
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;97
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;98
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;99
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;100
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;101
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;102
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;103
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;104
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;105
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;106
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;107
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;108
MOV R0,#46
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;109
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;110
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;111
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;112
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB PPWM1
;113
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;114
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;115
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM1
CLR P50_1
SETB PPWM1
;116
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
CLR P50_1
SETB PPWM1
;117
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
CLR P50_1
SETB PPWM1
;118
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
CLR P50_1
SETB PPWM1
;119
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
CLR P50_1
SETB PPWM1
;120
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_1
SETB PPWM1
;121
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
CLR P50_1
SETB PPWM1
;122
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
CLR P50_1
SETB PPWM1
;123
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
```

```
NOP
CLR P50_1
SETB PPWM1
;124
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;125
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;126
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM1
```

```
SETB P50_1
NOP
NOP
CLR P50_1
SETB PPWM1
;127
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
CLR P50_1
SETB PPWM1
;128
MOV R0,#42
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
NOP
NOP
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NOP
NOP
CLR P50_1
SETB PPWM1
;129
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;130
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;131
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;132
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;133
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;134
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;135
MOV R0,#40
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#3
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;136
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_1
SETB PPWM1
;137
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;138
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;139
MOV R0,#38
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#4
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;140
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;141
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;142
MOV R0,#37
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;143
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;144
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;145
MOV R0,#35
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#7
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;146
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;147
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;148
MOV R0,#34
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#9
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;149
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;150
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;151
MOV R0,#32
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#10
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;152
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;153
MOV R0,#31
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#12
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;154
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;155
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;156
MOV R0,#29
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#13
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;157
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;158
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;159
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;160
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#16
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_1
SETB PPWM1
;161
MOV R0,#26
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#16
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;162
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;163
MOV R0,#25
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#18
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;164
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;165
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;166
MOV R0,#23
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#20
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;167
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#20
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;168
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;169
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;170
MOV R0,#20
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;171
MOV R0,#19
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#23
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;172
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;173
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;174
MOV R0,#17
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;175
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;176
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;177
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;178
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;179
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;180
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;181
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;182
MOV R0,#11
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#31
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;183
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;184
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;185
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;186
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;187
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;188
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;189
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;190
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
;191
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;192
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR P50_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM1
;193
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;194
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;195
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;196
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR PPWM1
SETB P50_1
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;197
NOP
NOP
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;198
NOP
NOP
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;199
NOP
NOP
CLR PPWM1
SETB P50_1
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR P50_1
SETB PPWM1
;200
NOP
CLR PPWM1
SETB P50_1
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR P2.3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;1
NOP
SETB P50_2
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;2
NOP
CLR PPWM2
SETB P50_2
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;3
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;4
NOP
NOP
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;5
NOP
NOP
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;6
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
NOP
CLR PPWM2
SETB P50_2
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;8
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;9
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR PPWM2
SETB P50_2
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;10
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;11
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;12
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;13
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;14
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;15
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;16
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;17
MOV R0,#9
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;18
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;19
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;20
MOV R0,#11
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#31
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;21
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;22
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;23
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;24
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;25
MOV R0,#15
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;26
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;27
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;28
MOV R0,#17
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#25
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;29
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
;30
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;31
MOV R0,#19
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#23
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;32
MOV R0,#20
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;33
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;34
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;35
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#20
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;36
MOV R0,#23
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#20
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;37
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;38
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;39
MOV R0,#25
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#18
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;40
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;41
MOV R0,#26
NOP
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR PPWM2
SETB P50_2
MOV R0,#16
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;42
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;43
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;44
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;45
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;46
MOV R0,#29
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#13
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;47
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;48
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;49
MOV R0,#31
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#12
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;50
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;51
MOV R0,#32
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#10
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
```

```
SETB PPWM2
;52
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;53
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;54
MOV R0,#34
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#9
```

```
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;55
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;56
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;57
MOV R0,#35
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#7
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;58
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;59
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;60
MOV R0,#37
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#6
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;61
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;62
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;63
MOV R0,#38
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;64
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;65
MOV R0,#39
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;66
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;67
MOV R0,#40
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#3
LCALL
DELAY_2_CYCLE
CLR P50_2
```

```
SETB PPWM2
;68
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;69
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;70
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#2
```

```
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;71
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;72
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;73
MOV R0,#42
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR PPWM2
SETB P50_2
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;74
MOV R0,#42
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;75
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;76
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;77
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;78
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
CLR P50_2
SETB PPWM2
;79
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;80
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
CLR P50_2
SETB PPWM2
;81
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
SETB P50_2
SETB PPWM2
;82
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;83
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;84
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;85
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;86
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;87
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;88
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;89
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
CLR P50_2
SETB PPWM2
;90
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;91
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;92
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM2
;93
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;94
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;95
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;96
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;97
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;98
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;99
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;100
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;101
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;102
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;103
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;104
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;105
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;106
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;107
MOV R0,#47
LCALL
DELAY_2_CYCLE
NOP
;108
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;109
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;110
MOV R0,#46
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;111
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;112
MOV R0,#46
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB PPWM2
;113
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
CLR P50_2
SETB PPWM2
;114
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
CLR P50_2
SETB PPWM2
;115
MOV R0,#46
LCALL
DELAY_2_CYCLE
CLR PPWM2
CLR P50_2
SETB PPWM2
;116
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
CLR P50_2
SETB PPWM2
;117
MOV R0,#45
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
CLR P50_2
SETB PPWM2
;118
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;119
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;120
MOV R0,#45
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
CLR P50_2
SETB PPWM2
;121
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
CLR P50_2
SETB PPWM2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;122
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
CLR P50_2
SETB PPWM2
;123
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;124
MOV R0,#44
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;125
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;126
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;127
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;128
MOV R0,#42
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
NOP
NOP
NOP
CLR P50_2
SETB PPWM2
;129
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#1
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_2
SETB PPWM2
;130
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;131
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;132
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;133
MOV R0,#41
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#2
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;134
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;135
MOV R0,#40
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#3
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;136
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;137
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM2
;138
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;139
MOV R0,#38
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#4
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;140
MOV R0,#38
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;141
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;142
MOV R0,#37
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#6
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;143
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;144
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;145
MOV R0,#35
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#7
NOP
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_2
SETB PPWM2
;146
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;147
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;148
MOV R0,#34
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#9
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;149
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;150
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;151
MOV R0,#32
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
;152
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;153
MOV R0,#31
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#12
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;154
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;155
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;156
MOV R0,#29
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#13
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;157
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;158
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;159
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;160
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;161
MOV R0,#26
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#16
NOP
LCALL
DELAY_2_CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR P50_2
SETB PPWM2
;162
MOV R0,#26
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;163
MOV R0,#25
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#18
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;164
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;165
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;166
MOV R0,#23
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;167
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#20
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;168
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;169
MOV R0,#21
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#22
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;170
MOV R0,#20
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#22
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;171
MOV R0,#19
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#23
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;172
MOV R0,#19
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#24
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;173
MOV R0,#18
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#24
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;174
MOV R0,#17
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;175
MOV R0,#17
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;176
MOV R0,#16
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#27
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;177
MOV R0,#15
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#27
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM2
;178
MOV R0,#14
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#28
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;179
MOV R0,#14
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#29
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;180
MOV R0,#13
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#30
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;181
MOV R0,#12
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#30
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;182
MOV R0,#11
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#31
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;183
MOV R0,#11
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#32
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;184
MOV R0,#10
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#33
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;185
MOV R0,#9
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#33
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
```

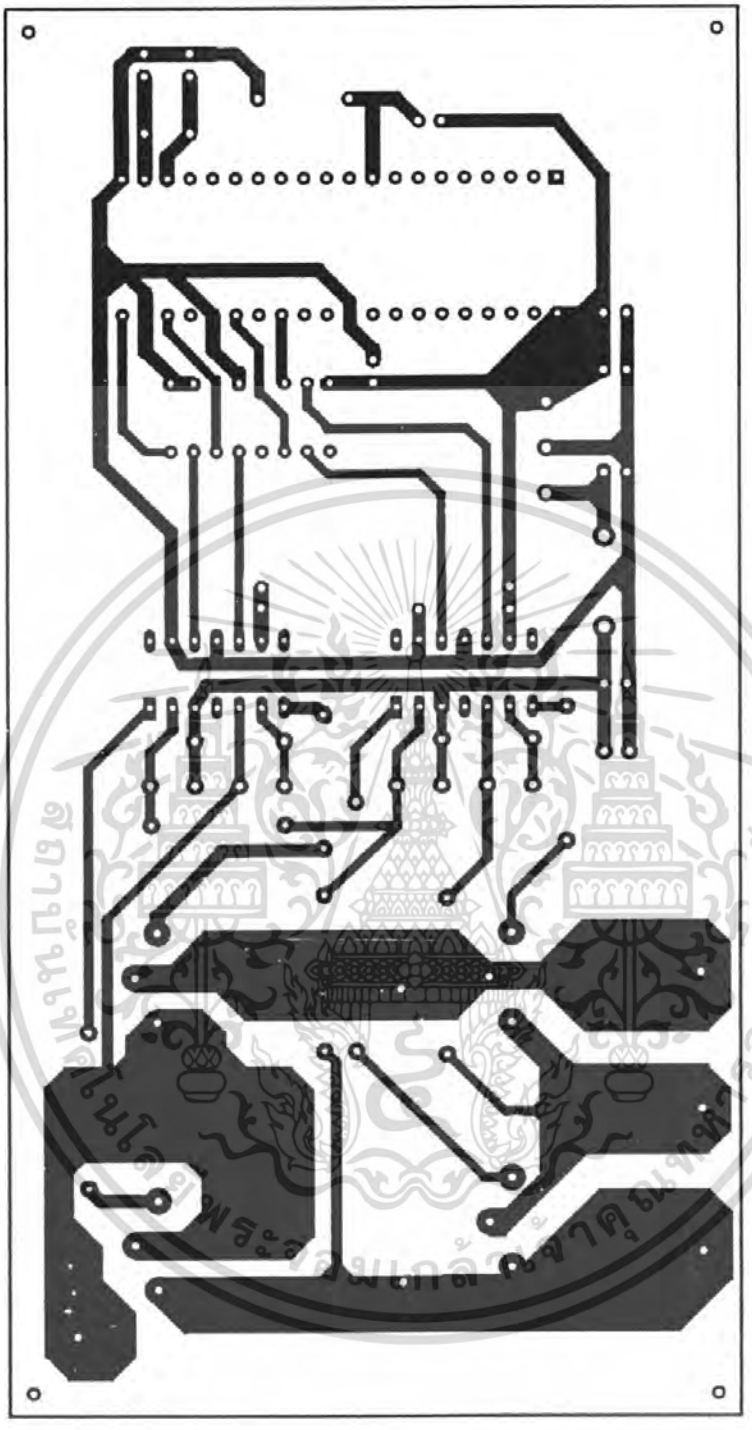
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB PPWM2
;186
MOV R0,#8
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#34
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;187
MOV R0,#8
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#35
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;188
MOV R0,#7
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#36
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;189
MOV R0,#6
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#36
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;190
MOV R0,#5
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;191
MOV R0,#5
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#37
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;192
MOV R0,#4
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#39
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;193
MOV R0,#3
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#39
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

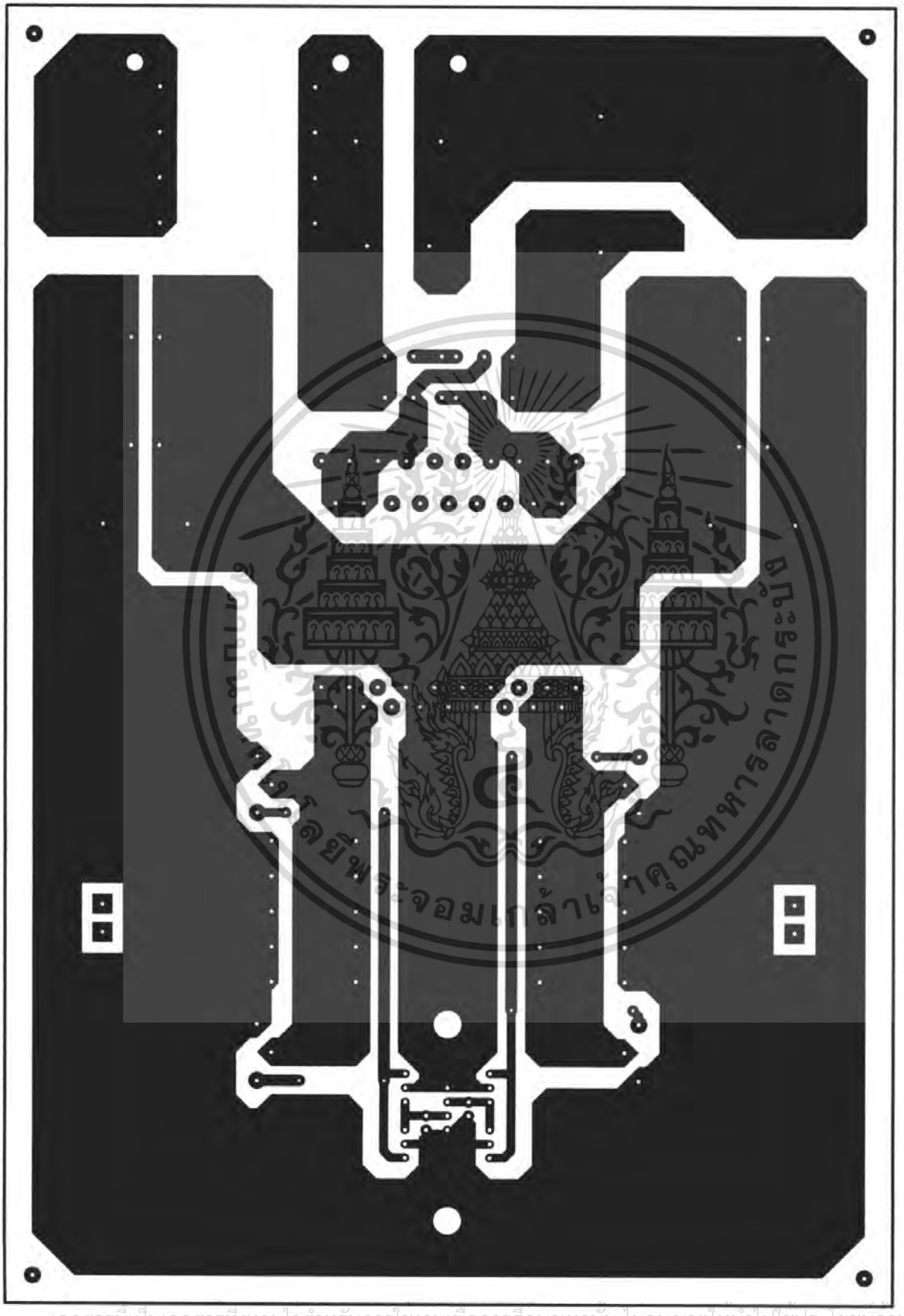
```
SETB PPWM2
;194
MOV R0,#2
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#40
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;195
MOV R0,#1
NOP
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#41
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;196
MOV R0,#1
LCALL
DELAY_2_CYCLE
CLR PPWM2
SETB P50_2
MOV R0,#42
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;197
NOP
NOP
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#43
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;198
NOP
NOP
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#43
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;199
NOP
NOP
CLR PPWM2
SETB P50_2
MOV R0,#44
NOP
LCALL
DELAY_2_CYCLE
CLR P50_2
SETB PPWM2
;200
NOP
CLR PPWM2
SETB P50_2
MOV R0,#45
LCALL
DELAY_2_CYCLE
LJMP MAIN
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

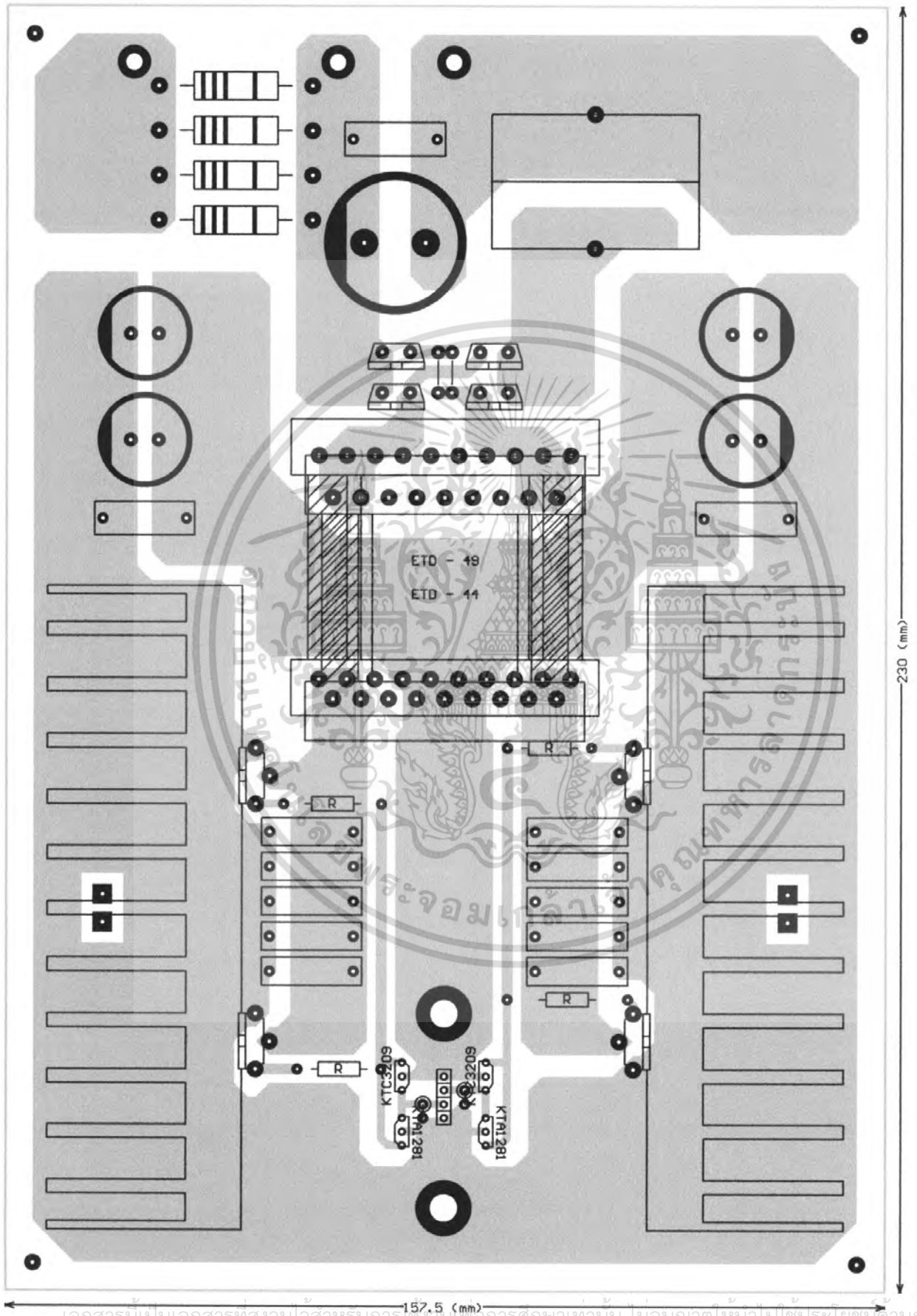


ลายวงจร DC to AC Converter

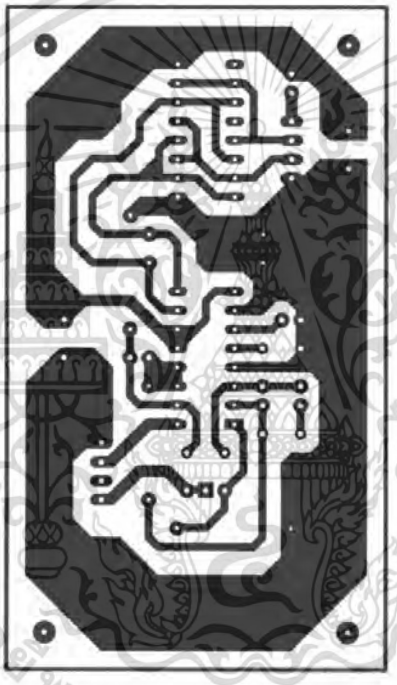
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



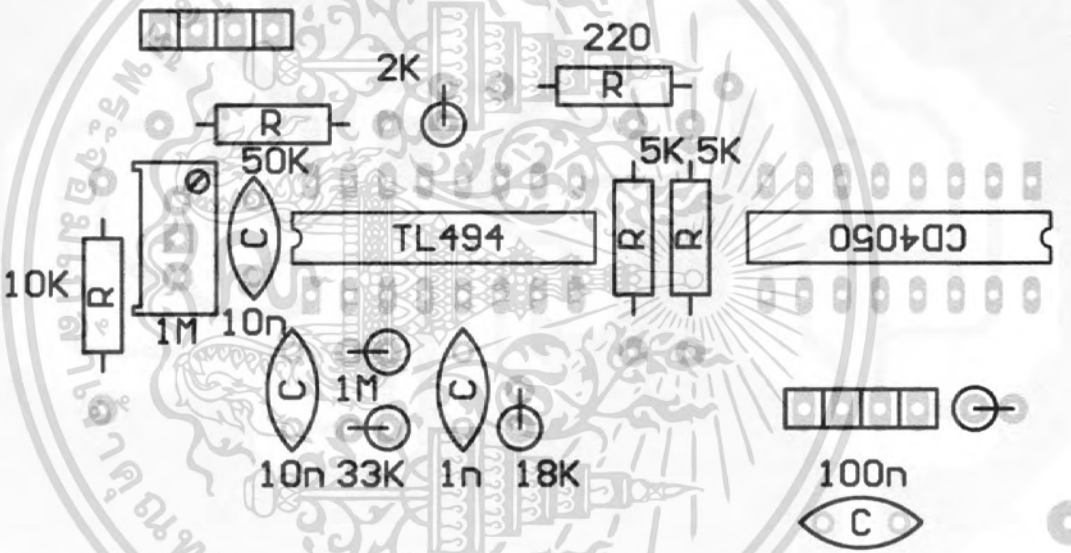
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


220
R
2K
R
50K
5K
5K
R
R
TL494
CD4050
10K
R
1M
10n
C
1M
C
C
10n
33K
1n
18K
100n
C