สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์

Switched Capacitor Filter

โดย

นาย โกมินทร์ พวงศรี

นาย เอกวินิตย์ ลิมปนะรังสรรค์

ปช.
ก๗๔๖
2550

เลขหมู่.....
เลขทะเบียน 82439
วัน,เดือน,ปี 11 ก.ค. 2551

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

b.11943305
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์

Switched Capacitor Filter

โดย

นาย โกมินทร์ พวงศรี รหัส 48015198

นาย เอกวินิตย์ ลิมปนะรังสรรค์ รหัส 48015237

อาจารย์ที่ปรึกษา

รศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2550

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์

ผู้จัดทำ 1. นาย โกมินทร์ พวงศรี รหัส 48015198

2. นาย เอกวินิตย์ ลิมปนะรังสรรค์ รหัส 48015237

.....อาจารย์ที่ปรึกษา

(รศ.ดร. วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์

นาย โกมินทร์ พวงศรี รหัส 48015198
นาย เอกวินิตย์ ลิมปนะรังสรรค์ รหัส 48015237
รศ.ดร.วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

วงจรสวิทช์คาปาซิเตอร์เป็นวงจรที่ได้รับความนิยมเป็นอย่างสูง ทั้งนี้ก็เนื่องจากว่าวงจรมีความเป็นเชิงเส้นที่ดีและมีช่วงปฏิบัติงานกว้าง นอกจากนั้นวงจรสวิทช์คาปาซิเตอร์มีความแม่นยำสูง ความแม่นยำของวงจรขึ้นอยู่กับอัตราส่วนของค่าตัวเก็บประจุ ซึ่งในปัจจุบันนี้มีความคลาดเคลื่อนน้อยมากโดยมีค่าไม่เกิน 0.1% ถือว่าความแม่นยำดังกล่าวมีค่าสูงมาก เมื่อเทียบกับวงจรในกลุ่มสัญญาณต่อเนื่อง เพราะว่าค่าคงตัวทางเวลาจะขึ้นอยู่กับค่าความต้านทานและตัวเก็บประจุ ซึ่งเป็นค่าพื้นฐานในการออกแบบวงจรกรองสัญญาณ

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาเกี่ยวกับการออกแบบวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ ซึ่งประกอบไปด้วย ออปแอมป์ , ตัวเก็บประจุ, สวิทช์ทรานซิสเตอร์สนามไฟฟ้า และวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อน ค่าพารามิเตอร์ที่ใช้เป็นเทคโนโลยี CMOS ขนาด 0.5 ไมครอน โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSpice และใช้โปรแกรม L-Edit ในการออกแบบลายวงจรของชั้นสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHED CAPACITOR FILTER

Mr. Komin Puangsri ID.48015198

Mr. Eakwinit Limpanarangsan ID.48015237

Assoc. Prof. Dr. Varakorn Kasemsuwan Advisor

Educational Year 2007

Abstract

Switched-capacitor circuits have become extremely popular due to their accurate frequency response as well as good linearity and dynamic range. Accurate discrete-time frequency responses are obtained since filter coefficients are determined by capacitance ratios which can be set quite precisely in an integrated circuit (on the order of 0.1 percent). This accuracy is better than that obtained from an integrated RC time constant in the conventional active filter design.

This thesis is concerned with the design of a switched capacitor filter, which compose of an Op-Amp, capacitors, MOS switches and non-overlapping clocks. The parameters employed is a 0.5 μm CMOS technology and the simulation is performed using PSpice program and design layout circuit is obtained using L-Edit program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของหลักสูตรของ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ ขอขอบคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่เปิดโอกาส ให้ข้าพเจ้าได้ใช้โอกาสนี้เข้ามาเรียนในที่แห่งนี้ในนามเด็กต่อเนื่องถึงแม้ว่าจะเป็นภาคค่ำที่มีค่าเล่าเรียนแพงก็ตามที แต่ข้าพเจ้าก็มีความภาคภูมิใจเป็นอย่างยิ่ง ขอขอบพระคุณ อาจารย์ วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา ที่คอยให้คำแนะนำอย่างดีมากๆ ตลอดจนอาจารย์ในสถาบันทุกท่านที่เคยถ่ายทอดวิชาให้ ขอขอบคุณรุ่นพี่ปริญญาโทและปริญญาเอกในห้อง LAB KMICL ทุกคน ที่คอยช่วยเหลือมาโดยตลอด ขอบใจเพื่อนๆ ห้อง 3R2 ทุกๆคน สำหรับมิตรภาพที่ดี และขอขอบคุณผู้มีพระคุณทุกๆ ท่านที่ไม่ได้กล่าวถึงมา ณ ที่นี้ด้วย

นาย โกมินทร์ พวงศรี
นาย เอกวินิตย์ ลิมปนะรังสรรค์
(... คณะผู้จัดทำ ...)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง **หน้า**

บทคัดย่อภาษาไทย.....I
บทคัดย่อภาษาอังกฤษ.....II
กิตติกรรมประกาศ.....III
สารบัญ.....IV
สารบัญรูป.....V
สารบัญตาราง.....VI

บทที่ 1 บทนำ.....1
1.1 ความเป็นมาและความสำคัญของโครงงาน.....1
1.2 วัตถุประสงค์ในการทำโครงงาน.....1

บทที่ 2 หลักการประยุกต์ใช้สวิทช์ในวงจรกรองสัญญาณ.....2
2.1 ข้อบกพร่องของพาสซีฟฟิลเตอร์และแอคทีฟฟิลเตอร์.....2
2.2 ชนิดของวงจรฟิลเตอร์แบบต่างๆ และรูปแบบสมการ.....3
2.2.1 วงจรผ่านความถี่ต่ำ (Low Pass Filter).....3
2.2.2 วงจรผ่านความถี่สูง (High Pass Filter).....3
2.2.3 วงจรผ่านแถบความถี่ (Band Pass Filter).....3
2.2.4 วงจรกำหนดแถบความถี่ (Band Stop Filter).....3
2.3 ความต้านทานสมมูลของโครงข่ายสวิทช์คาปาซิเตอร์.....4
2.4 การใช้ออปแอมป์ในโครงข่ายสวิทช์คาปาซิเตอร์.....7
2.4.1วงจรอินทริเกรเตอร์กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์.....8
2.4.2วงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์.....11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

2.5 MOS Capacitor 13

2.5.1 โครงสร้างตัวเก็บประจุ.....13

2.5.2 Parasitic Capacitance 15

2.6 MOS Switched.....15

2.6.1 Clock Feed-Through.....17

2.7 สัญญาณ Non-Overlapping Clocks.....19

บทที่ 3 วงจรขยายสัญญาณแบบโอเปอเรชั่นแนล (Operational Amplifiers Circuit).....21

3.1 ภาคไบอัสวงจรขยายสัญญาณ (Bias Circuit).....21

3.2 ภาคขยายความแตกต่าง (Differential Amplifiers).....30

3.3 ซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด (The Folded-Cascode CMOS Op Amp).. 44

3.3.1 อินพุทคอมมอนโหมดเรนจ์และเอาท์พุทโวลเตรจสวิง (Input Common Mode Range and the Output Voltage Swing).....46

3.3.2 อัตราขยายแรงดัน (Voltage Gain).....48

3.3.3 การตอบสนองทางความถี่ (Frequency Response).....50

3.3.4 อัตราสลูว์ (Slew Rate).....51

บทที่ 4 วงจรฟิลเตอร์.....52

4.1บทนำ..... 52

4.2 ประเภทของวงจรกรองความถี่.....52

4.3 ทฤษฎีการประมาณ (Approximation Theory).....53

4.4 การสุ่มสัญญาณต่อเนื่อง (Sampling of continuous signal).....53

4.4.1 การเกิดปรากฏการณ์ซ้อนทับ (aliasing effect).....54

4.5 Sample Data Fitter System.....55

4.6 Sampled-Data Operation..... 56

4.7 วงกรองความถี่แบบอันดับสองในรูปอินทิเกรเตอร์.....60

4.8 การได้มาของ Two-Integrator-Loop Biquad.....60

4.9 An Alternative Two-Integrator-Loop Biquad Circuit.....62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

บทที่ 5 การออกแบบและการทดสอบคุณสมบัติของวงจร.....66

5.1 การออกแบบวงจรออปแอมป์ (Operating Amplifiers Design).....66

5.1.1 ขั้นตอนการออกแบบ.....66

5.1.2 การกำหนดค่าพารามิเตอร์ของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด..68

5.1.3 วิธีการออกแบบ.....69

5.1.4 ผลการออกแบบ.....77

5.2 การทดสอบคุณสมบัติของวงจรออปแอมป์ (Operating Amplifiers Simulate)..79

5.2.1 คุณสมบัติทางไฟตรง (DC Sweep).....79

5.2.2 อัตราขยายแรงดัน (Open-loop Voltage Gain) และค่า Input Offset 80

5.2.3 ค่า Input CMR.....81

5.2.4 ค่า Vout Swing.....82

5.2.5 ค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin).....84

5.2.6 อัตราสลูว์ (Slew Rate) และ ค่า Settling time.....85

5.2.7 กำลังงานสูญเสีย (Power Dissipation).....86

5.3 เปรียบเทียบการออกแบบกับการทดสอบคุณสมบัติของออปแอมป์.....87

5.4 การออกแบบวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน(Non-Overlapping Clocks Design).....88

5.5 ผลการทดสอบคุณสมบัติวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน (Non-Overlapping Clocks Simulate).....89

5.6 การออกแบบวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ (Switched Capacitor Filter Design).....90

5.7 ผลการทดลองวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ (Switched Capacitor Filter Simulate).....94

5.8 ผลการทดลองการตอบสนองทางความถี่ของวงจร Switched Capacitor Filter.....97

5.9 กำลังงานสูญเสีย (Power Dissipation).....99

5.10 การทดสอบคุณสมบัติ ของวงจร Switched Capacitor Filter เมื่อเปลี่ยนความถี่ Clock.....100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

5.10.1 ความถี่ Clock = 2.5 kHz , RC-filter f_p = 2 kHz , R = 100k , C = 5 nF.....100

5.10.2 ความถี่ Clock = 10 kHz , RC-filter f_p = 5 kHz , R = 100k , C = 2 nF.....101

บทที่ 6 การออกแบบและการทดสอบคุณสมบัติ Layout ของวงจร.....102

6.1 การออกแบบ Layout ของวงจร Non-Overlapping Clocks.....102

6.2 การทดสอบคุณสมบัติ Layout ของวงจร Non-Overlapping Clocks.....103

6.3 การออกแบบ Layout ของวงจร Op-Amp.....104

6.4 การทดสอบคุณสมบัติ Layout ของวงจร Op-Amp.....105

6.4.1 คุณสมบัติทางไฟตรง (DC Sweep).....105

6.4.2 อัตราขยายแรงดัน (Open-loop Voltage Gain) และค่า Input Offset.....106

6.4.3 ค่า Input CMR.....107

6.4.4 ค่า Vout Swing.....108

6.4.5 ค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin).....110

6.4.6 อัตราสลูว์ (Slew Rate).....111

6.4.7 ค่า Settling time 112

6.5 เปรียบเทียบการออกแบบการทดสอบคุณสมบัติวงจรและ Layout ของออปแอมป์.....113

6.6 การออกแบบ Layout ของวงจร Switched Capacitor Filter.....114

6.7 การทดสอบคุณสมบัติ Layout ของวงจร Switched Capacitor Filter.....115

6.8 ผลการตอบสนองทางความถี่ของ Layout วงจร Switched Capacitor Filter.....118

6.9 การทดสอบคุณสมบัติ Layout ของวงจร Switched Capacitor Filter
เมื่อเปลี่ยนความถี่ Clock.....121

6.9.1 ความถี่ Clock = 2.5 kHz , RC-filter f_p = 2 kHz , R = 100k , C = 5 nF.....121

6.9.2 ความถี่ Clock = 10 kHz , RC-filter f_p = 5 kHz , R = 100k , C = 2 nF.....122

บทที่ 7 สรุป.....103

ภาคผนวก.....124

MODEL ของมอสเฟท เทคโนโลยี 0.5 ไมครอนที่ใช้ในการทดลอง.....124

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

Extract File จาก Layout ของวงจร Non-Overlapping Clocks.....125

Extract File จาก Layout ของวงจร Op-Amp.....129

Extract File จาก Layout ของวงจร Switched Capacitor Filter.....133

หนังสืออ้างอิง.....142

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป **หน้า**

รูปที่ 2.1 แสดงลักษณะผลตอบสนองความถี่ของฟิลเตอร์พื้นฐาน 4 ชนิด.....4
รูปที่ 2.2 โครงข่ายสวิทช์คาปาซิเตอร์.....5
รูปที่ 2.3 วงจรความต้านทานสมมูลแบบสวิทช์คาปาซิเตอร์.....5
รูปที่ 2.4 แผนผังเวลาของสัญญาณนาฬิกาควบคุมการทำงานของสวิทช์ $\phi 1$ และ $\phi 2$.....5
รูปที่ 2.5 แบบจำลองของออปแอมป์ในแบบแรงดันควบคุมแหล่งกำเนิดแรงดัน.....7
รูปที่ 2.6 คุณลักษณะเฉพาะถ่ายโอนระหว่างแรงดันอินพุทกับแรงดันเอาท์พุทของวงจรขยาย.....8
รูปที่ 2.7 วงจรอินทริเกรเตอร์กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์.....8
รูปที่ 2.8 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_1 ทำงาน.....9
รูปที่ 2.9 แผนภูมิภาพลำดับการทำงานของสวิทช์ ϕ_1 และ ϕ_2.....9
รูปที่ 2.10 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_2 ทำงาน.....10
รูปที่ 2.11 วงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์.....11
รูปที่ 2.12 แผนภูมิลำดับการทำงานของสัญญาณนาฬิกา ϕ_1 และ ϕ_2.....11
รูปที่ 2.13 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_1 ทำงาน.....12
รูปที่ 2.14 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_2 ทำงาน.....12
รูปที่ 2.15 แสดงโครงสร้าง MOS Capacitor 14
รูปที่ 2.16 แสดงความจุแฝงที่ตัวเก็บประจุ.....15
รูปที่ 2.17แสดงโครงสร้างของ MOS Transistor 16
รูปที่ 2.18 การควบคุมการสวิทช์ของ MOS Switched ด้วยสัญญาณนาฬิกา.....17
รูปที่ 2.19 แสดงการเกิด Clock Feed Through.....18
รูปที่ 2.20 แสดงการลด Feed Through ด้วยการต่อ Dummy MOSFET.....18
รูปที่ 2.21 CMOS Switched Transmission Gate 19
รูปที่ 2.22 แสดงสัญญาณ Non-Overlapping Clocks.....19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 3.1 องค์ประกอบของวงจรโอเปอเรชั่นแนลแอมป์ปลิฟลายเออร์.....21

รูปที่ 3.2 วงจรสะท้อนกระแสแบบ N Channel.....22

รูปที่ 3.3 แสดงพล็อตเปอร์เซ็นต์ Ratio Error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.2 ที่ V_{DS1}= 2 V.....23

รูปที่ 3.4 แสดงพล็อตเปอร์เซ็นต์ Ratio Error เทียบกับค่าออฟเซทของแรงดันสำหรับวงจรสะท้อนกระแสของรูปที่ 3.2 V_{T1} =1V , K'(W/L) = 24 uA/V^2.....24

รูปที่ 3.5 แสดงวงจรสะท้อนกระแสแบบคาสโคด.....26

รูปที่ 3.6 แสดงแบบจำลองเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่ 3.5.....27

รูปที่ 3.7 แสดงวงจรสะท้อนกระแสแบบวิลสัน N-Channel.....28

รูปที่ 3.8 แสดงวงจรขยายความแตกต่างที่ $Vbs_1 = Vbs_2 = 0$.....32

รูปที่ 3.9 แสดงคุณสมบัติแรงดันค่าความนำของภาคขยายความแตกต่าง.....34

รูปที่ 3.10 วงจรขยายความแตกต่างแบบต่างๆ 35

รูปที่ 3.11 a) แสดงรูปสัญญาณขนาดเล็กของวงจรรูปที่ 3.10 b) ความสมมาตรของวงจรทางอินพุท c) gmlVid/2 ในการควบคุมแหล่งจ่าย d) รูปสัญญาณขนาดเล็ก.....37

รูปที่ 3.12 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.10c.....39

รูปที่ 3.13 a) ภาคขยายความแตกต่างทางอินพุทชนิด N-Channel b) กราฟแสดงแรงดันค่าความนำ เมื่อ Vg2 = -1 และ 1V(Vdd = 5V,Vss = -5V K'n=2K'p=28uA/V, VT=+/-0.7V, และ , $\lambda_{N=0.01}V^{-1}$.....42

รูปที่ 3.14 a) แสดงวงจรสัญญาณขนาดเล็กของรูปที่ 3.10b ในโหมดร่วม b) แสดงวงจรอย่างง่ายของวงจรรูป (a).....43

รูปที่ 3.15 แสดงโครงสร้างของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด.....45

รูปที่ 3.16 วงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดที่ใช้งานจริง.....46

รูปที่ 3.17 วงจรสมมูลย์ของซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดเมื่อวิเคราะห์สัญญาณขนาดเล็ก.....49

รูปที่ 4.1 แสดงการสุ่มสัญญาณ.....54

รูปที่ 4.2 แสดงการเกิดปรากฏการณ์ซ้อนทับในโดเมนความถี่.....55

รูปที่ 4.3 แสดงระบบฟิลเตอร์แบบสุ่มข้อมูล.....55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 4.4 (a) Inverting lossy integrator (b) during $\phi 1$ (c) during $\phi 2$..... 57

รูปที่ 4.5 (a) Non-inverting lossy integrator (b) during $\phi 1$ (c) during $\phi 2$.....58

รูปที่ 4.6 แสดงการได้มาของบล็อกไดอะแกรม ของ Two-Integrator-Loop Biquad..... 61

รูปที่ 4.7 แสดง a)Two-integrator-lop biquad แบบ single-ended b)วงจร Tow-Thomas biquad...63

รูปที่ 4.8 วงจรมาตรฐาน Active RC- Biquad ที่ใช้ในวงจรสวิทช์คาปาซิเตอร์.....63

รูปที่ 4.9 The SC Version of the Circuit ในรูปที่ 4.8.....64

รูปที่ 4.10 วงจร Active RC Biquad หลังจากมีการใช้สวิทช์ร่วมกันแล้วจากรูปที่ 4.9.....65

รูปที่ 5.1 กราฟตอบสนองทางความถี่.....67

รูปที่ 5.2 วงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดที่ใช้ในการออกแบบ.....69

รูปที่ 5.3 วงจรแรงดันอ้างอิง $V_{BIAS\,1}$.....74

รูปที่ 5.4 วงจรแรงดันอ้างอิง $V_{BIAS\,2}$.....75

รูปที่ 5.5 วงจรแรงดันอ้างอิง $V_{BIAS\,3}$.....76

รูปที่ 5.6 แสดงวงจรออปแอมป์ที่ใช้งานหลังจากออกแบบแล้ว.....78

รูปที่ 5.7 วงจรที่ใช้ในการทดสอบคุณสมบัติทางไฟตรง (DC Sweep).....79

รูปที่ 5.8 ผลการทดสอบคุณสมบัติทางไฟตรง (DC Sweep).....79

รูปที่ 5.9 ผลการทดสอบคุณสมบัติอัตราขยายแรงดัน(Open-loop Voltage Gain)
และค่าInput Offset..... 80

รูปที่ 5.10 วงจรที่ใช้ในการทดสอบคุณสมบัติของ ค่า Input CMR.....81

รูปที่ 5.11 ผลการทดสอบคุณสมบัติของ ค่า Input CMR.....81

รูปที่ 5.12 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่า Vout Swing
โดยมีอัตราขยายเท่ากับ -10 เท่า.....82

รูปที่ 5.13 ผลการทดสอบคุณสมบัติของค่า Vout Swing.....82

รูปที่ 5.14 ผลการทดสอบคุณสมบัติของค่า Vout Swing
โดยการป้อนสัญญาณอินพุทขนาด 0.43V.....83

รูปที่ 5.15 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยมีสัญญาณเอาท์พุทขนาด -4.3V.....83

รูปที่ 5.16 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่า GB (Unity-gain Bandwidth) และ
ส่วนเหลือของเฟส (Phase Margin).....84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 5.17 ผลการการทดสอบคุณสมบัติของค่า GB (Unity-gain Bandwidth) และ ส่วนเผื่อของเฟส (Phase Margin)....84
รูปที่ 5.18 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่าอัตราสลูว์ (Slew Rate)และค่า Settling time.... 85
รูปที่ 5.19 ผลการทดสอบคุณสมบัติของค่าอัตราสลูว์ (Slew Rate)....85
รูปที่ 5.20 ผลการทดสอบคุณสมบัติของค่า Settling time....86
รูปที่ 5.21 วงจร Non-OverlappingClocks ที่ออกแบบ....88
รูปที่ 5.22 ผลการทดสอบคุณสมบัติวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน (Non-Overlapping Clocks Simulate)....89
รูปที่ 5.23 วงจร Switched Capacitor Filter แบบ Biquad อันดับ 2 90
รูปที่ 5.24 วงจร Switched Capacitor Filter ที่ได้จากการออกแบบ....92
รูปที่ 5.25 แสดงวงจร Switched Capacitor Filter ทั้งหมด....93
รูปที่ 5.26 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 100 Hz....94
รูปที่ 5.27 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 5 Hz....95
รูปที่ 5.28 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 300 Hz....96
รูปที่ 5.29 การตอบสนองทางความถี่ของวงจร Switched Capacitor Filter....99
รูปที่ 5.30 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 50 Hz 100
รูปที่ 5.31 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 200 Hz....101
รูปที่ 6.1 Layout ของวงจร Non-OverlappingClocks ที่ออกแบบ....102
รูปที่ 6.2 ผลการทดสอบคุณสมบัติ Layout ของวงจร Non-OverlappingClocks ที่ออกแบบ....103
รูปที่ 6.3 Layout ของวงจร Op-Amp ที่ออกแบบ....104
รูปที่ 6.4 ผลการทดสอบคุณสมบัติทางไฟตรง (DC Sweep) Layout ของวงจร Op-Amp ที่ออกแบบ....105
รูปที่ 6.5 Layout ของวงจร Switched Capacitor Filter ที่ออกแบบ....106
รูปที่ 6.6 ผลการทดสอบคุณสมบัติ ค่า Input CMR Layout ของวงจร Op-Amp ที่ออกแบบ....107
รูปที่ 6.7 ผลการทดสอบคุณสมบัติค่า Vout Swing Layout ของวงจร Op-Amp ที่ออกแบบ....108
รูปที่ 6.8 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยการป้อนสัญญาณอินพุท ขนาด 0.42V....109

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 6.9 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยมีสัญญาณเอาท์พุทขนาด -4.2V……109
รูปที่ 6.10 ผลการทดสอบคุณสมบัติค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือ
ของเฟส (Phase Margin) Layout ของวงจร Op-Amp ที่ออกแบบ……...……110
รูปที่ 6.11 ผลการทดสอบคุณสมบัติค่าอัตราสลูว์ (Slew Rate) Layout
ของวงจร Op-Amp ที่ออกแบบ.....111
รูปที่ 6.12 ผลการทดสอบคุณสมบัติค่า Settling time Layout
ของวงจร Op-Amp ที่ออกแบบ.....112
รูปที่ 6.13 Layout ของวงจร Switched Capacitor Filter ที่ออกแบบ.....114
รูปที่ 6.14 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter
ที่ความถี่อินพุท 100 Hz……..115
รูปที่ 6.15 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 5 Hz..116
รูปที่ 6.16 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter
ที่ความถี่อินพุท 300 Hz……..117
รูปที่ 6.17 การตอบสนองทางความถี่ Layout ของวงจร Switched Capacitor Filter……...120
รูปที่ 6.18 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter
ที่ความถี่อินพุท 50 Hz……...121
รูปที่ 6.19 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter
ที่ความถี่อินพุท 200 Hz……122

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง **หน้า**

5.3 ตารางเปรียบเทียบการออกแบบกับการทดสอบคุณสมบัติของออปแอมป์.....87
5.8 ผลการทดลองการตอบสนองทางความถี่ของวงจร Switched Capacitor Filter.....97
6.5 เปรียบเทียบการออกแบบการทดสอบคุณสมบัติวงจรและ Layout ของออปแอมป์.....113
6.8 ผลการตอบสนองทางความถี่ของ Layout วงจร Switched Capacitor Filter.....118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของโครงงาน

ปัจจุบันเทคโนโลยีวงจรรวมแบบ MOS transistor ถูกนำมาใช้ในอุตสาหกรรมอิเล็กทรอนิกส์อย่างกว้างขวางความหนาแน่นของทรานซิสเตอร์มีจำนวนเพิ่มขึ้นจนถึงระดับ VLSI (Very Large Scale Integrated) และมีแนวโน้มจะรวมเอาส่วนอนาล็อกและส่วนดิจิตอลมารวมไว้บนชีพ (Chip) แผ่นเดียว

เมื่อมีการเชื่อมโยงระหว่างระบบอนาล็อกกับระบบดิจิตอลทำให้มีความต้องการใช้ฟิลเตอร์อันดับสูงๆ ในการจำกัดความถี่ในส่วนเชื่อมต่อระหว่างดิจิตอลและอนาล็อก โดยเฉพาะในระบบสื่อสารแบบอิเล็กทรอนิกส์ วงจรฟิลเตอร์ที่นำมาสร้างแรกๆจะเป็นฟิลเตอร์แบบแอคทีฟ RC เป็นหลัก หากแต่มีการพบว่าความเที่ยงตรงของวงจรจะขึ้นอยู่กับค่า RC การสร้างตัวต้านทานจะสิ้นเปลืองพื้นที่ส่วนใหญ่ของแผ่นซิลิคอน เป็นการยากที่จะสร้างความต้านทานสูงๆ บนชิพที่มีขนาดเล็ก จึงมีการนำเอาเทคนิคการออกแบบฟิลเตอร์แบบสวิทช์คาปาซิเตอร์ เข้ามาช่วยแก้ปัญหานี้ เนื่องจากฟิลเตอร์แบบนี้มีฟังก์ชั่นถ่ายโอนเป็นอัตราส่วนของค่าความจุเพียงอย่างเดียว สามารถสร้างให้มีความเที่ยงตรงสูงด้วยเทคโนโลยีวงจรรวมแบบ CMOS ภายในวงจรประกอบด้วย MOS Transistor ที่ทำหน้าที่เป็นสวิทช์ MOS Capacitor และวงจรขยายการทำงานของฟิลเตอร์จะทำงานพื้นฐานเดียวกับฟิลเตอร์แบบแอคทีฟ RC การวิเคราะห์จะวิเคราะห์เป็นฟิลเตอร์ชนิดมีการสุ่มข้อมูลมีการทำงานในรูปแบบดิจิตอลชนิด Recursive หรือ Infinite Impulse Response (IIR)

ดังนั้น เพื่อเป็นพื้นฐานในการออกแบบจะต้องมีความรู้เบื้องต้นเกี่ยวกับฟิลเตอร์แบบอนาล็อกและแบบดิจิตอลเบื้องต้นวิธีการสร้างเพื่อทดสอบเปรียบเทียบ โดยการใช้การจำลองแบบโปรแกรมสำเร็จรูป PSpice

1.2 วัตถุประสงค์ในการทำโครงงาน

- ศึกษาการทำงานและการออกแบบ Op-Amp แบบ Folded-Cascode
- ศึกษาการทำงานและการออกแบบ Switched
- ศึกษาการทำงานของวงจร Switched Capacitor Filter
- ทำการออกแบบวงจร Switched Capacitor Filter แบบ Biquad โดยนำ Op-Amp ที่ออกแบบมาใช้ในวงจรฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การประยุกต์ใช้สวิทช์คาปาซิเตอร์ในวงจรกรองสัญญาณ

แนวคิดเกี่ยวกับสวิทช์คาปาซิเตอร์ เพื่อจำลองเป็น ตัวต้านทาน ถูกนำเสนอครั้งแรกโดย Jame Clerk Maxwell ซึ่งได้พิมพ์ไว้ในหนังสือ Freat on Electricity and Magnetism ทฤษฎีการสุ่มและคงค่าสัญญาณอนาล็อก ได้รับการพัฒนาอย่างมากในปี 1960 Fettweis ได้เสนอการใช้วงจรที่ใช้สำหรับสวิทช์สัญญาณ และ ตัวเก็บประจุ เพื่อจำลองการทำงานของวงจร กรองความถี่ซึ่งคุณสมบัติสำคัญจะขึ้นอยู่กับอัตราส่วนของตัวเก็บประจุอย่างเดียว ต่อมาในปี 1972 ได้มีการนำเสนอการใช้เทคโนโลยีวงจรรวมแบบมอส เพื่อประยุกต์ใช้กับวิธีการสวิทช์ตัวเก็บประจุ แต่ยังคงประสบปัญหาสำคัญคือค่าความไวต่อค่าตัวเก็บประจุแฝง (Sensitivity to Parasitic Capacitance) และหลังจากนั้น R.W Brodersen, P.R Gray และ B.J.Hosticka ได้เสนอผลงานวิจัยเกี่ยวกับวงจรกรองความถี่แบบวงจรสวิทช์คาปาซิเตอร์ที่สามารถลดผลกระทบของตัวเก็บประจุแฝงได้ นับตั้งแต่นั้นมาจนถึงปัจจุบันได้มีการประยุกต์ ใช้งานวงจรสวิทช์คาปาซิเตอร์ ในการออกแบบวงจรรวม สำหรับงานด้านต่างๆ อย่างกว้างขวางเช่น วงจรกรองสัญญาณ วงจรแปลงสัญญาณ เป็นต้น

2.1 ข้อบกพร่องของพาสซีฟฟิลเตอร์และแอคทีฟฟิลเตอร์

วงจรกรองสัญญาณ (Filter Circuit) ได้รับการพัฒนามาตั้งแต่เป็นวงจรพาสซีฟ (Passive) มาใช้วงจรแอคทีฟ (Active)ปัจจุบันนี้สามารถแก้ข้อจำกัดของวงจรแอคทีฟฟิลเตอร์ ที่การปรับเปลี่ยนความถี่คุณลักษณะต้องอาศัยการเปลี่ยนค่าตัวต้านทานและคาปาซิเตอร์ โดยการประยุกต์ใช้สวิทช์คาปาซิเตอร์ ทำให้สามารถปรับเปลี่ยนค่าความถี่ดังกล่าว จากการเปลี่ยนความถี่คล็อกควบคุมสวิทช์ได้

ข้อบกพร่องของวงจรพาสซีฟฟิลเตอร์

วงจรพาสซีฟฟิลเตอร์ประกอบด้วยอุปกรณ์ ตัวต้านทาน, คาปาซิเตอร์และขดลวดตัวนำมักมีปัญหามาจากขดลวดตัวนำคือ

- ขดลวดตัวนำถูกเหนี่ยวนำได้ง่ายเมื่อเข้าใกล้อุปกรณ์อื่น สัญญาณที่ได้จากวงจรจะเกิดการผิดเพี้ยน
- ขนาดของขดลวดตัวนำที่เป็นอุดมคติทำได้ยาก
- ขดลวดตัวนำที่ใช้มีขนาดใหญ่ขึ้นตามความถี่ใช้งานที่ลดลง ทำให้สิ้นเปลืองเนื้อที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรแอคทีฟฟิลเตอร์คือ

- ความสามารถปรับอัตราขยายและปรับเปลี่ยนความถี่เป็นอิสระต่อกัน
- ไม่มีปัญหาจากโหลด (Load) เนื่องจากออปแอมป์มีอินพุทอิมพิแดนซ์ (Impedance) สูง และเอาท์พุทอิมพิแดนซ์ต่ำ
- ราคาถูก เนื่องจากออปแอมป์ในปัจจุบันมีราคาถูก

เนื่องจากวงจรแอคทีฟฟิลเตอร์มีข้อจำกัดดังกล่าว จึงมีการนำเทคโนโลยีมอสมาใช้โดยใช้งานวงจรสวิทช์คาปาซิเตอร์แทนตัวต้านทาน สำหรับการสร้างฟิลเตอร์ดังกล่าวมีข้อดี คือ

- สามารถสร้างความต้านทานเสมือนที่มีค่าความต้านทานมากๆได้โดยใช้พื้นที่เล็กน้อย
- ความถี่คุณสมบัติของวงจรเช่นความถี่คัทออฟมีค่าถูกต้องแม่นยำ
- ความถี่คุณสมบัติของวงจรเช่นความถี่คัทออฟสามารถปรับเปลี่ยนได้จากความถี่คล็อกที่ควบคุมสวิทช์

2.2 ชนิดของวงจรฟิลเตอร์แบบต่างๆ และรูปแบบสมการดังนี้

2.2.1 วงจรผ่านความถี่ต่ำ (Low Pass Filter)

$$\frac{V_{lp}}{V_i} = \frac{K\omega_O^{\,2}}{s^2 + as + \omega_O^{\,2}} \tag{2.1}$$

2.2.2 วงจรผ่านความถี่สูง (High Pass Filter)

$$\frac{V_{hp}}{V_i} = \frac{Ks^2}{s^2 + as + \omega_O^{\,2}} \tag{2.2}$$

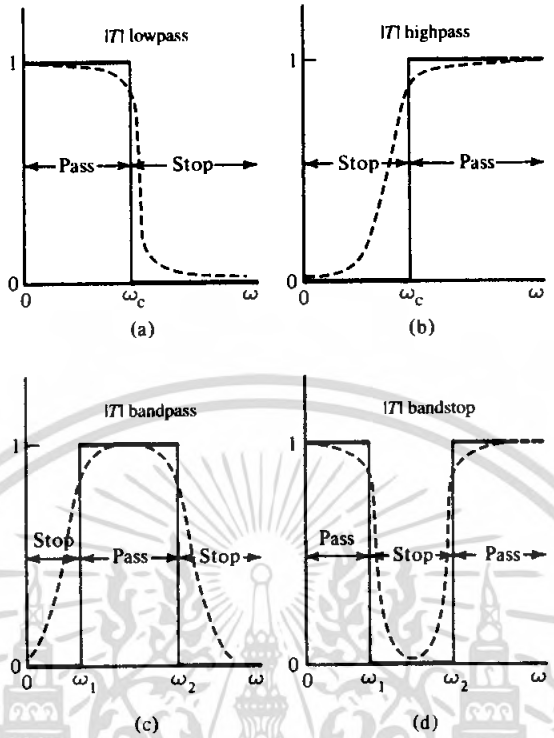
2.2.3 วงจรผ่านแถบความถี่ (Band Pass Filter)

$$\frac{V_{bp}}{V_i} = \frac{Kas}{s^2 + as + \omega_O^{\,2}} \tag{2.3}$$

2.2.4 วงจรกำหนดแถบความถี่ (Band Stop Filter)

$$\frac{V_{bs}}{V_i} = \frac{K(s^2 + \omega_O^{\,2})}{s^2 + as + \omega_O^{\,2}} \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



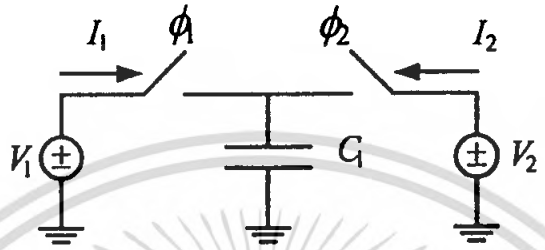
รูปที่ 2.1 แสดงลักษณะผลตอบสนองความถี่ของฟิลเตอร์พื้นฐาน 4 ชนิด

2.3 ความต้านทานสมมูลของโครงข่ายสวิทช์คาปาซิเตอร์

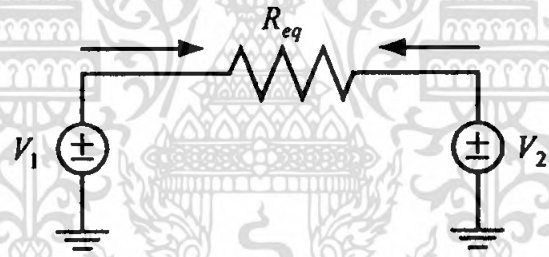
การพัฒนาวงจรสุ่มค่าข้อมูลของสัญญาณอนาล็อก (Analog Sampled Data Circuit) เริ่มจากต้นทุนในการสร้างเชิงการค้า ของความต้านทานที่ใช้สร้างวงจรรวม และความแม่นยำในการสร้างฟังก์ชั่นต่างๆของวงจรอนาล็อก ด้วยเทคโนโลยีวงจรรวม การออกแบบวงจรเชิงอนาล็อก มีส่วนประกอบสำคัญคือ ความต้านทาน ตัวเก็บประจุ และอุปกรณ์ประเภทแอคทีฟ ซึ่งค่าสมรรถภาพของวงจรเหล่านี้จะขึ้นอยู่กับค่าความเที่ยงตรงของตัวเก็บประจุและตัวต้านทาน โดยเฉพาะวงจรกองสัญญาณ ซึ่งความแม่นยำของ ตัวเก็บประจุและตัวต้านทาน จะบอกถึงค่าความยอมรับ ของสมรรถภาพของวงจรกรองสัญญาณซึ่งในเทคโนโลยีการออกแบบวงจรรวม ความสามารถในการสร้างความต้านทานที่เป็นเชิงเส้นและผลกระทบจากการเปลี่ยนแปลงของอุณหภูมิทำได้ยากมาก นอกจากนี้ยังมีขนาดใหญ่อีกด้วย ดังนั้นเทคนิคในการสร้างความต้านทานสมมูล ด้วยอุปกรณ์ที่ทำหน้าที่เป็นสวิทช์ และตัวเก็บประจุจึงได้ถูกนำมาใช้งาน โดยสมรรถภาพของวงจรสามารถกำหนดได้ ด้วยอัตราส่วนของตัวเก็บประจุ ซึ่งง่ายต่อการควบคุม และตัวเก็บประจุยังมีความเหมาะสมกับเทคโนโลยีการสร้างวงจรรวมมากกว่าตัวต้านทานอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

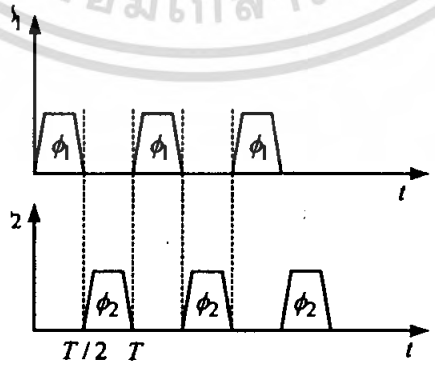
ในหัวข้อนี้เราต้องการเสนอการสร้างความต้าน โดยใช้โครงข่ายของวงจรสวิทช์คาปาซิเตอร์ โดยพิจารณารูปที่ 2.2 ซึ่งประกอบด้วย สวิทช์ ตัวเก็บประจุ และ แหล่งกำเนิดแรงดันแบบอิสระ เราเรียกโครงสร้างดังกล่าวว่า โครงข่ายสวิทช์คาปาซิเตอร์



รูปที่ 2.2 โครงข่ายสวิทช์คาปาซิเตอร์



รูปที่ 2.3 วงจรความต้านทานสมมูลแบบสวิทช์คาปาซิเตอร์



รูปที่ 2.4 แผนผังเวลาของสัญญาณนาฬิกาควบคุมการทำงานของสวิทช์ $\phi 1$ และ $\phi 2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 2.2 จะสมมูลกับวงจรในรูปที่ 2.3 ทำการวิเคราะห์การทำงานของวงจรความต้านทานสมมูลโดยพิจารณาตามลำดับการทำงานของสัญญาณนาฬิกาในรูปที่ 2.4 ดังนี้

ที่ลำดับสัญญาณนาฬิกาลูกที่ 1 ในช่วงครึ่งคาบแรก สัญญาณนาฬิกา $\phi 1$ จะทำให้สวิทช์ตัวที่ 1 ปิดลง ที่เวลาเดียวกันสัญญาณนาฬิกา $\phi 2$ จะทำให้สวิทช์ตัวที่ 2 เปิด ที่เวลานี้ตัวเก็บประจุจะถูกถ่ายเทประจุเข้าไปด้วยกับแรงดัน V_1 ดังนั้นจะได้สมการความสัมพันธ์คือ

$$Q_1 = CV_1 \tag{2.5}$$

ที่ลำดับสัญญาณนาฬิกาลูกที่ 1 ในช่วงครึ่งคาบหลัง สัญญาณนาฬิกา $\phi 1$ จะทำให้สวิทช์ตัวที่ 2 ปิดลง ที่เวลาเดียวกันสัญญาณนาฬิกา $\phi 2$ จะทำให้สวิทช์ตัวที่ 1 เปิด ที่เวลานี้ตัวเก็บประจุจะถูกถ่ายเทประจุเข้าไปด้วยแรงดัน V_2 ดังนั้นจะได้สมการความสัมพันธ์คือ

$$Q_2 = CV_2 \tag{2.6}$$

สัญญาณนาฬิกาเฟส $\phi 1$ และ $\phi 2$ ลำดับต่อไปจะทำงานซ้ำเดิมไปเรื่อยๆ ดังนั้นการหากระแสเฉลี่ยในหนึ่งคาบเวลาคือการเปลี่ยนประจุที่เกิดจากแหล่งกำเนิดแรงดัน V_1 และ V_2 คือ

$$I_{av} = \frac{Q2 - Q1}{T} = \frac{C(V2 - V1)}{T} \tag{2.7}$$

ดังนั้นจะได้สมการความสัมพันธ์ของความต้านทานสมมูลในรูปที่ 2.6 คือ

$$\mathrm{Re}q = \frac{(V2 - V1)}{Iaver} = \frac{T}{C} \tag{2.8}$$

ถ้าเราให้คาบของสัญญาณนาฬิกา (T) ดังนั้น เราสามารถเขียนสมการ 2.8 ได้ใหม่คือ

$$R_{eq} = \frac{T}{C} = \frac{1}{fC} \tag{2.9}$$

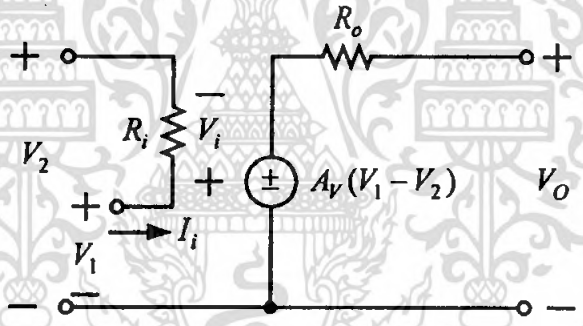
เมื่อ f เป็นความถี่ของสัญญาณนาฬิกามีหน่วยเป็น Hz

C คือค่าความจุของตัวเก็บประจุมีหน่วยเป็น F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การใช้ออปแอมป์ในโครงข่ายสวิทช์คาปาซิเตอร์

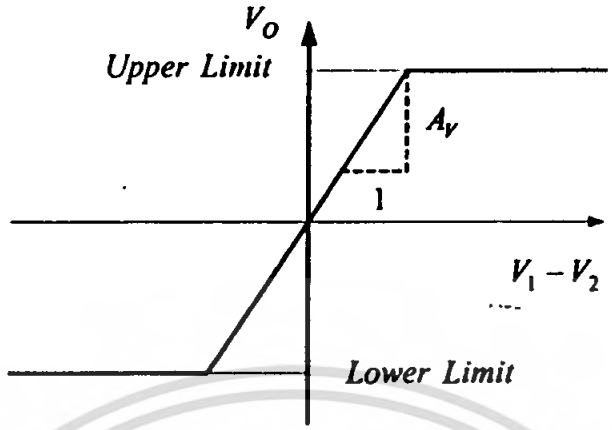
จากข้างต้นเราได้กล่าวถึงโครงข่ายการสุ่มข้อมูลแบบอนาล็อก ซึ่งประกอบด้วย สวิทช์ และตัวเก็บประจุ เท่านั้น ซึ่งโครงข่ายเช่นนี้ยังมีข้อจำกัดในการใช้งานจริง เช่นความสามารถในการถ่ายโอนประจุจากตัวเก็บประจุหนึ่ง ไปยังอีกตัวหนึ่งได้อย่างสมบูรณ์ ดังนั้นเราจึงนำวงจรขยายแบบใช้ออปแอมป์มาใช้ร่วมกับโครงข่ายการสุ่มข้อมูลแบบอนาล็อกข้างต้น เพื่อแก้ไขปัญหาที่เกิดขึ้นออปแอมป์ได้ถูกนำมาใช้งานในด้านการออกแบบวงจรทางอนาล็อกอย่างกว้างขวาง ถ้าเรามองแบบจำลองของออปแอมป์จะอยู่ในรูป แรงดันควบคุมแหล่งกำเนิดแรงดัน (Voltage-Controlled Voltage Source ; VCVS) เราสามารถเขียนแบบจำลองแบบง่ายๆได้ในรูปที่ 2.5 แบบจำลอง VCVS โดยมีความแตกต่างระหว่างแรงดัน V_1 และ V_2 ควบคุมแหล่งกำเนิดแรงดันที่มีอัตราการขยายเท่ากับ Av ดังนั้นแรงดันทางด้านเอาท์พุทจะมีค่าเท่ากับ $A_V(V_1 - V_2)$ ถ้าความต้านทานภาระทางเอาท์พุทมีค่ามากกว่าความต้านทานเอาท์พุท R_Oของออปแอมป์ มากๆ



รูปที่ 2.5 แบบจำลองของออปแอมป์ในแบบแรงดันควบคุมแหล่งกำเนิดแรงดัน

ในทางอุดมคติถ้า R_i คือความต้านทานภายในทางด้านอินพุทของออปแอมป์ และ R_O คือความต้านทานภายในทางด้านเอาท์พุทของออปแอมป์ $R_i = \infty$ และ $R_O = 0$ โดยที่ $A_v = \infty$ ซึ่งมีกราฟแสดงคุณลักษณะเฉพาะ ระหว่างสัญญาณอินพุทและสัญญาณเอาท์พุท ดังรูปที่2.6 ถ้าพิจารณารูปข้างล่างจะพบว่าออปแอมป์ จะมีย่านที่สามารถทำงานเป็นเชิงเส้นอยู่ไม่เกินขอบเขตจำกัดบน และ ขอบเขตจำกัดล่าง โดยจะมีค่าไม่เกินแรงดันอิ่มตัวของออปแอมป์ หรือมีค่าไม่เกินแรงดันไฟตรงที่ใช้จ่ายให้วงจรออปแอมป์

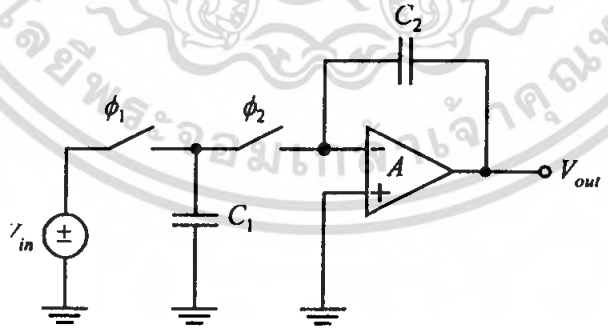
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 คุณลักษณะเฉพาะถ่ายโอนระหว่างแรงดันอินพุทกับแรงดันเอาท์พุทของวงจรขยาย

2.4.1 วงจรอินทริเกรเตอร์กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์

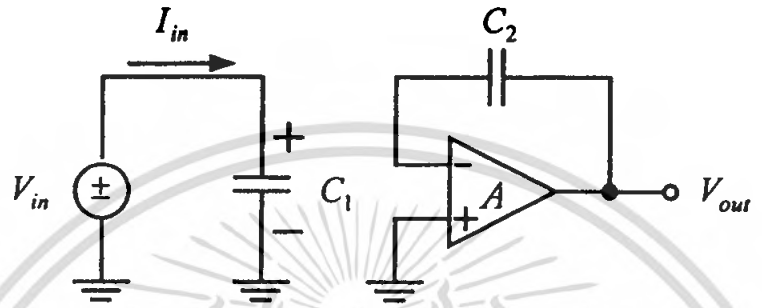
วงจรอินทริเกรเตอร์เป็นอีกวงจรหนึ่งที่มีความสำคัญในระบบการประมวลผลเชิงอนาล็อกเช่น เป็นส่วนประกอบในการออกแบบวงจรกรองสัญญาณ วงจรกำเนิดสัญญาณรูปไซน์ และอื่นๆ ในที่นี้จะขอยกตัวอย่างวงจรอินทริเกรเตอร์แบบง่ายซึ่งประกอบไปด้วย ตัวเก็บประจุ 2 ตัว สวิทช์ 2 ตัว และออปแอมป์ 1 ตัว ดังแสดงได้ในรูปที่ 2.7



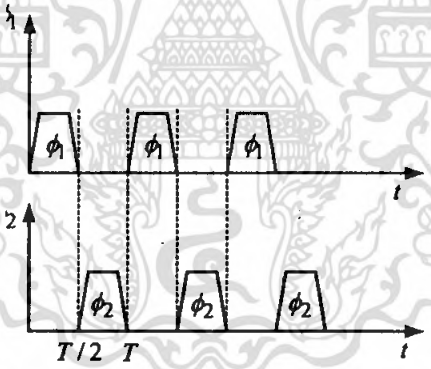
รูปที่ 2.7 วงจรอินทริเกรเตอร์กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการวิเคราะห์การทำงานของวงจรในรูปที่ 2.7 โดยพิจารณาตามลำดับการทำงานของสัญญาณนาฬิกาดังนี้ โดยขณะที่สัญญาณนาฬิกา ϕ_1 ทำงาน เราจะได้วงจรสมมูลดังแสดงในรูปที่ 2.8 และ รูปที่ 2.9 คือแผนภูมิลำดับการทำงานของสัญญาณนาฬิกา ϕ_1 และ ϕ_2 ตามลำดับ



รูปที่ 2.8 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_1 ทำงาน



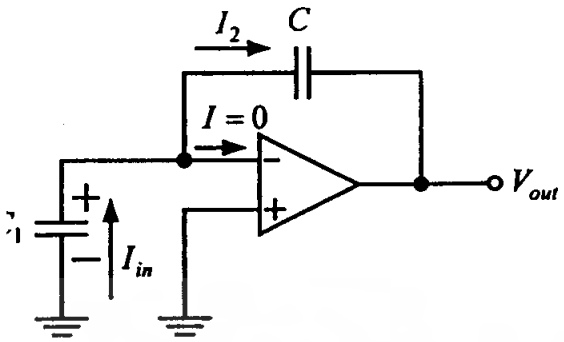
รูปที่ 2.9 แผนภูมิภาพลำดับการทำงานของสวิทช์ ϕ_1 และ ϕ_2

จากรูปที่ 2.8 ประจุ Q_1 จะไหลเข้าสู่ตัวเก็บประจุ C_1 ซึ่งเขียนสมการความสัมพันธ์ได้ดังนี้

$$Q_1 = C_1 V_{in} \tag{2.10}$$

เมื่อช่วงเวลาที่สวิทช์ ϕ_2 ทำงาน วงจรสมมูลการทำงานของรูปที่ 2.7 เขียนแสดงได้ดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_2 ทำงาน

ในขณะที่สัญญาณนาฬิกา ϕ_2 ทำงาน เมื่อพิจารณาวงจรสมมูลในรูปที่ 2.10 ตัวเก็บประจุ C_1 จะทำการคายประจุออกมา ดังนั้นประจุที่เก็บอยู่ในตัวเก็บประจุ C_1 จะไหลเข้าไปในตัวเก็บประจุ C_2 เท่ากับ Q_2เขียนความสัมพันธ์ได้ดังนี้คือ

$$Q_1 = Q_2 \tag{2.11}$$

เขียนสมการความสัมพันธ์ของประจุ Q_1และ Q_2 ในรูปแรงดัน และค่าตัวเก็บประจุคือ

$$C_1 V_{in} = C_2(0 - Vout) \tag{2.12}$$

$$C_1 V_{in} = -C_2 Vout \tag{2.13}$$

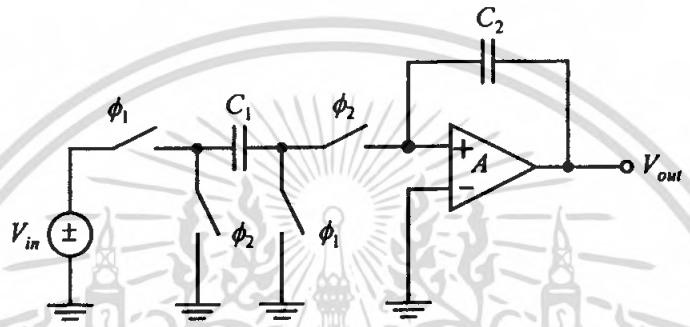
จากรูปที่ 2.7 โครงสร้างของวงจรอินทริเกรเตอร์ จะเกิดการสะสมประจุที่ตัวเก็บประจุ C_2 ทุกๆ คาบเวลาหรือทุกๆการสุ่มค่าสัญญาณอินอินพุทเข้า เมื่อ T คือช่วงคาบเวลาดังนั้นเราจะเขียนสมการความสัมพันธ์ ระหว่างสัญญาณเอาท์พุทกับสัญญาณอินพุทคือ

$$Vout(nT) = -\frac{C1}{C2}\sum_{n=1}^{\infty} Vin(nT) \tag{2.14}$$

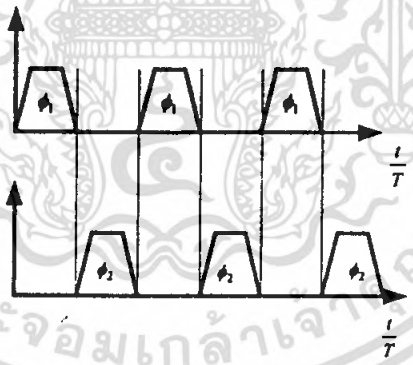
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 วงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์

ในที่นี้จะขอยกตัวอย่างวงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบง่าย ซึ่งประกอบไปด้วย ตัวเก็บประจุ 2 ตัว สวิทช์ 4 ตัวและออปแอมป์ 1 ตัว แสดงดังรูป 2.11 และรูปที่ 2.12 คือแผนภูมิลำดับการทำงานของสัญญาณนาฬิกา ϕ_1 และ ϕ_2 ตามลำดับรูปที่ 2.11 วงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์



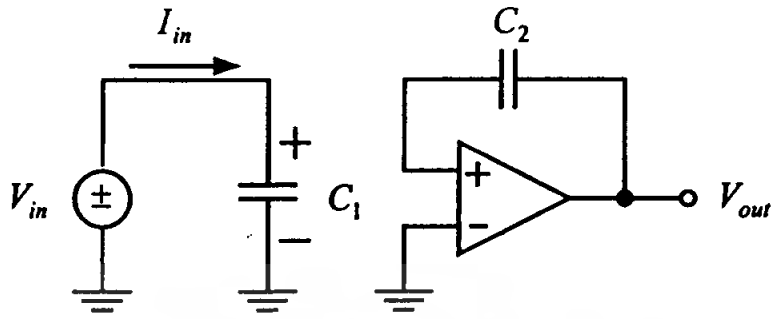
รูปที่ 2.11 วงจรอินทริเกรเตอร์ไม่กลับเฟสสัญญาณแบบโครงข่ายสวิทช์คาปาซิเตอร์



รูปที่ 2.12 แผนภูมิลำดับการทำงานของสัญญาณนาฬิกา ϕ_1 และ ϕ_2

ทำการวิเคราะห์การทำงานของวงจรในรูปที่ 2.11 โดยพิจารณาตามลำดับการทำงานของสัญญาณนาฬิกาดังนี้ โดยขณะที่สัญญาณนาฬิกา ϕ_1 ทำงาน เราจะได้วงจรสมมูลดังแสดงในรูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

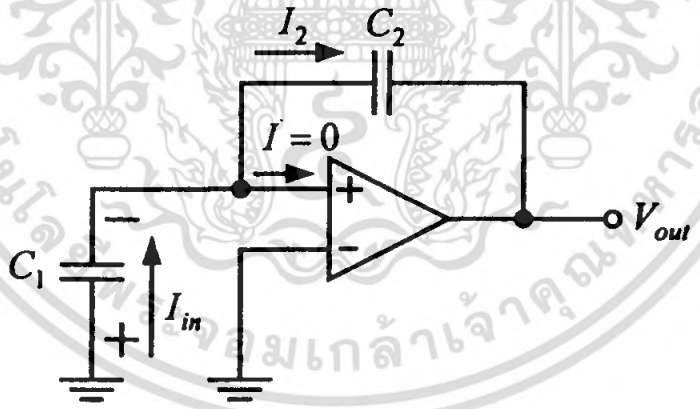


รูปที่ 2.13 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_1 ทำงาน

ประจุ Q_1 จะไหลเข้าสู่ตัวเก็บประจุ C_1 ซึ่งเขียนสมการความสัมพันธ์ คือ

$$Q_1 = C_1 V_{in} \tag{2.15}$$

ในกรณีที่สัญญาณนาฬิกาเฟส ϕ_2 ทำงาน จะได้วงจรสมมูลดังรูปที่ 2.14



รูปที่ 2.14 วงจรสมมูลโครงข่ายสวิทช์คาปาซิเตอร์ขณะที่สวิทช์ ϕ_2 ทำงาน

จากรูปที่ 2.14 ตัวเก็บประจุ C_1 เกิดการสลับขั้วกราวน์ทำให้ได้ค่าประจุเป็นลบ ประจุทั้งหมดที่เก็บในตัวเก็บประจุ C_1 จะถูกถ่ายเทเข้าไปเก็บในตัวเก็บประจุ C_2 เขียนสมการความสัมพันธ์ได้ดังนี้

$$-Q_1 = Q_2 \tag{2.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนสมการความสัมพันธ์ของประจุ Q_1 และ Q_2 ในรูปแรงดัน และค่าตัวเก็บประจุคือ

$$-C_1 V_{in} = C_2(0 - Vout) \tag{2.17}$$

$$C_1 V_{in} = C_2 Vout \tag{2.18}$$

จากรูปที่ 2.11 โครงสร้างของวงจรอินทริเกรเตอร์ จะเกิดการสะสมประจุที่ตัวเก็บประจุ C_2 ทุกๆคาบเวลาหรือทุกๆการสุ่มค่าสัญญาณอินพุทเข้ามา เมื่อ T คือช่วงคาบเวลา ดังนั้นเราจะเขียนสมการความสัมพันธ์ระหว่างสัญญาณเอาท์พุทกับสัญญาณอินพุทคือ

$$Vout(nT) = \frac{C1}{C2}\sum_{n=1}^{\infty} Vin(nT) \tag{2.19}$$

2.5 MOS Capacitor

2.5.1 โครงสร้างตัวเก็บประจุ

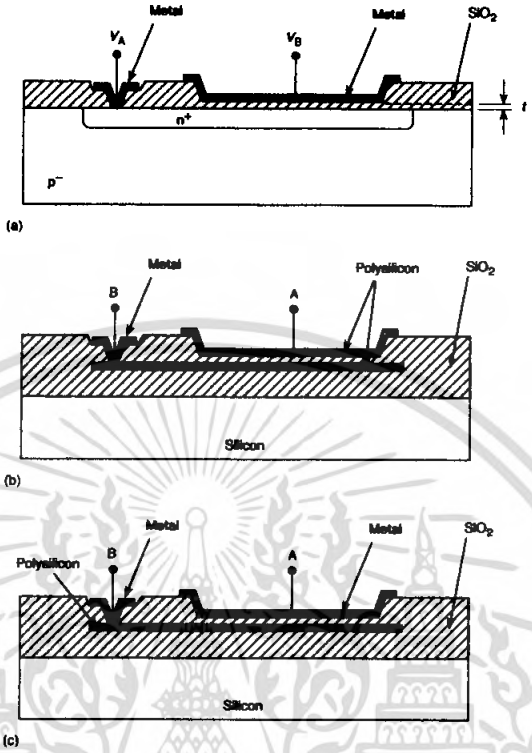
โครงสร้างอันดับที่ 2 ของวงจรรวมฟิลเตอร์แบบสวิทช์คาปาซิเตอร์นั้นคือ MOS capacitors ปกติมักใช้ซิลิคอนไดออกไซด์ (SiO_2) ซึ่งมีความเป็นฉนวนสูงมีค่าไดอิเล็กทริก $\in_{ox} \cong 3.9$ การสร้างตัวเก็บประจุในวงจรรวมมีโครงสร้างดังรูปที่ 2.15

โครงสร้างโลหะบนชิ้นแพร่ (Metal or Polysilicon Over Diffusion Structure) แสดงในรูปที่ 2.15a เริ่มจากการสร้างชั้น SiO_2 ที่มีความเป็นฉนวนสูงบนชั้นฐาน (Substrate) ด้วยกระบวนการสร้างเกทโลหะชั้นเพลทด้านบน ของตัวเก็บประจุจะถูกปิดทับด้วย SiO2 และโลหะก่อนสร้างชั้นโลหะที่ผิวหน้าเพื่อต่อไปใช้ภายนอกด้วยวิธีการ Mctalization ในกรณีเกทเป็นโพลีซิลิคอน ขั้วเกทจะถูกเจือให้เป็นโพลีซิลิคอน และใช้เป็นเพลทด้านบนของตัวเก็บประจุในทางอุดมคติถ้าขั้วไฟฟ้าเป็นตัวนำที่ดีค่าความจุต่อพื้นที่คือ

$$Co = \gamma ox/t \tag{2.20}$$

ในทางปฏิบัติค่าความจุขึ้นอยู่กับแรงดันหรืออยู่ในรูปสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงโครงสร้าง MOS Capacitor a) แบบชั้นโลหะหรือโพลิซิลิกอนบนชั้นแพร่ b) แบบโพลิซิลิกอนบนชั้นโพลิซิลิกอน c) แบบชั้นโลหะบนชั้นโพลิซิลิกอน ค่าความจุที่ได้จากโครงสร้างแบบนี้มีค่าระหว่าง 0.35 ถึง 0.5 fF/μ m^2

$$C = CO\,[1+b(Va + Vb)]^2 \qquad (2.21)$$

เมื่อ b เป็นค่าคงที่สัดส่วนความหนาแน่นสารเจือตรงกันข้าม

t คือระยะห่างระหว่างเพลท ปกติคือความหนาของชั้นเกท

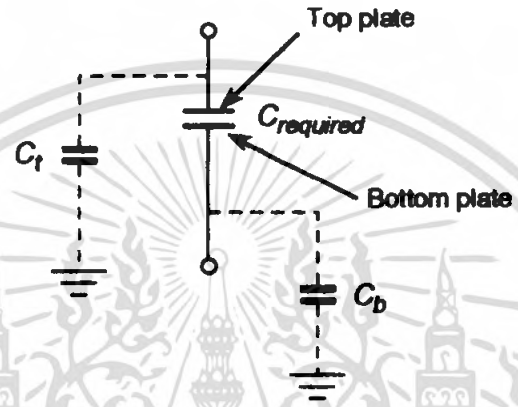
โครงสร้างแบบโพลีซิลิคอน บนชั้นโพลีซิลิคอน (Polysilicon Over Polysilicon Capacitors) ในกระบวนการสร้างเกทซิลิคอนแบบ Poly – Poly ชั้นที่สองจะมีค่าความนำสูงเพื่อใช้เป็นเพลทด้านบนของตัวเก็บประจุได้ ดังรูปที่ 2.15b ข้อเสียของโครงสร้างแบบนี้คือความไม่สม่ำเสมอของชั้นโพลิซิลิคอนที่ผิวหน้า โครงสร้างแบบนี้ความจุมีค่าระหว่าง 0.3 ถึง 0.4 fF/μ m^2

โครงสร้างแบบโลหะบนชั้นโพลีซิลิคอน (Metal Over Polysilicon Cacitors) แสดงดังรูปที่ 2.15c โครงสร้างแบบนี้จะมีคุณสมบัติคล้ายกับรูปที่ 2.15b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 Paracitic Capacitance

ค่าความจุแฝงเกิดขึ้นพร้อมกับโครงสร้าง MOS Capacitor ค่าความจุแฝงที่มีค่ามาก มาจากเพลทด้านบนของฐานรอง (Substrate) จะต้องไบอัสแหล่งจ่ายแก่ชั้นฐานรองสำหรับโครงสร้างแบบโลหะหรือโพลีซิลิคอนชั้นแพร่



รูปที่ 2.16 แสดงความจุแฝงที่ตัวเก็บประจุ

ค่าความจุของตัวเก็บประจุแฝงขึ้นอยู่กับขนาด (Size) ของตัวเก็บประจุเองรวมถึงเทคโนโลยีการสร้างและการออกแบบ

2.6 MOS Switched

MOS Transistor สามารถนำไปใช้ในลักษณะสวิทช์ ปิด-เปิด Single Pole Single Throw (SPST) โดยการควบคุมแรงดันที่เกทให้เป็นศูนย์หรือมากกว่าค่าเทรชโฮลด์ Vt ซึ่งปกติมีค่าอยู่ราวๆ 1 หรือ 2 โวลท์ เรียกโหมดการทำงานของ MOS Transistor ว่าเป็น MOS Switched สาเหตุที่ MOS Transistor เหมาะจะนำมาใช้งานเป็นสวิทช์ นั่นคือ

1. ขณะที่ MOS Transistor ทำงานในย่านอิ่มตัวจะไม่มีค่าแรงดันออฟเซทขณะ Bipolar Transistor จะมีค่าแรงดันตกคร่อมระหว่างคอลเลคเตอร์และอิมิตเตอร์

2. ที่ขาเกทจะมีค่าอิมพิแดนซ์สูง

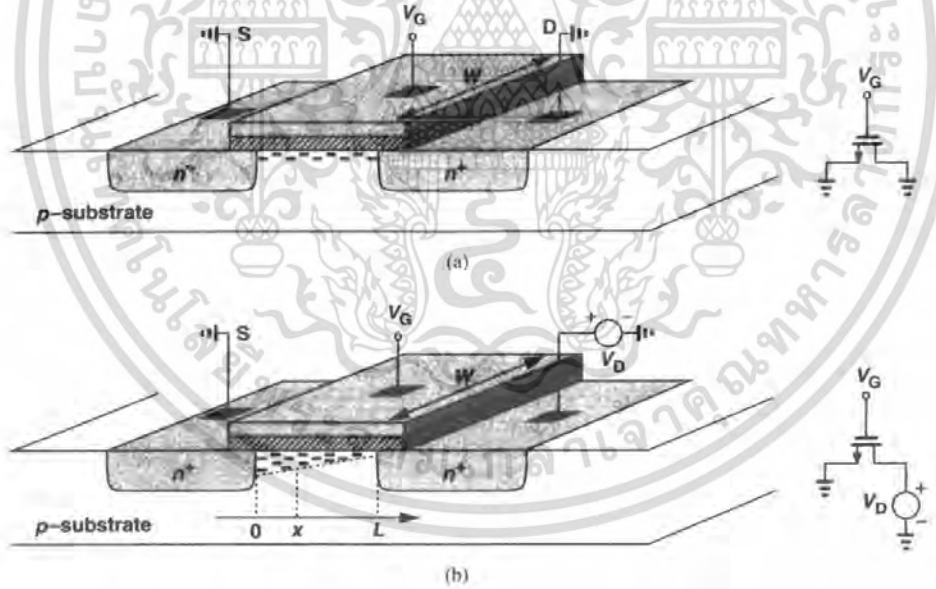
3. ในเทคโนโลยีของ NMOS หรือ PMOS ต่างก็สามารถทำให้แรงดันอินพุทเท่ากับแรงดันแหล่งจ่ายโดยที่ใช้แรงดันเทรชโฮลด์น้อยกว่าแรงดันอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เมื่อใช้ขับโหลดที่เป็นตัวเก็บประจุ MOS Switched จะไม่มีผลกระทบอื่นตามมา เนื่องมาจากผลของค่าเวลาคงที่ ความต้านทานและ MOS Capacitor มีค่าต่ำกว่า 100 ns

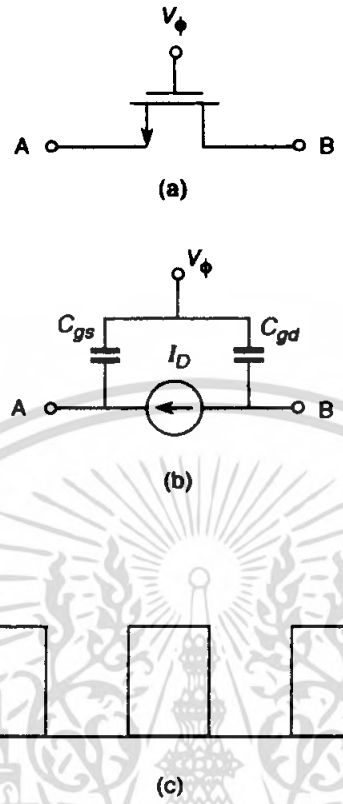
แต่อย่างไรก็ตามยังมีปัญหาเล็กน้อยในการใช้ MOS Transistor เป็นสวิทช์นั่นคือ การมีกระแสรั่วไหลและมีค่าความจุแฝงระหว่าง เกท-ซอส และ เกท-เดรน มีค่าอยู่ระหว่าง 0.01-0.1pF ซึ่งสามารถทำให้เกิดผลที่เรียกว่า Clock Feed-Through

โครงสร้างของ MOS Transistor และสัญลักษณ์แสดงในรูปที่ 2.17a และ 2.7b ตามลำดับ แรงดันที่ควบคุมจะเป็น V_{GS} และส่วนที่จะนำกระแสอยู่ระหว่างซอสและเดรน ซึ่งมีความต้านทานเป็น R_{GS}ขณะที่ทรานซิสเตอร์อยู่ในสภาวะ Off Mode R_{GS} จะมีค่าสูงราวๆ 100 – 1000 MΩ และเมื่ออยู่ในสภาวะ On Mode R_{GS} จะมีค่าต่ำลงมาประมาณ 10 kΩ ขึ้นอยู่กับขนาดทรานซิสเตอร์เมื่อทรานซิสเตอร์ถูกขับหรือควบคุมการสวิทช์ด้วยรูปคลื่นนิยมใช้สัญลักษณ์ ϕ แทนค่า V_{GS} ดังรูปที่ 2.18



รูปที่ 2.17 แสดงโครงสร้างของ MOS Transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 การควบคุมการสวิทช์ของ MOS Switched ด้วยสัญญาณนาฬิกา

2.6.1 Clock Feed-Through

รูปที่ 2.18b แสดงค่าความจุแฝงที่เกิดขึ้นภายใน MOS Transistor ซึ่งเป็นปรากฏการณ์ที่ไม่ต้องการให้เกิดขึ้น การใช้ MOS Transistor เป็นสวิทช์จะเกิดผลกระทบที่เกิดขึ้น พิจารณารูปที่ 2.19 ถ้าความจุจุด A มีค่าเป็น C_A และจุด B มีค่าเป็น C_B เมื่อมีสัญญานาฬิกา $V\phi$ ส่งผ่านถึงโหนด A และ B นั่นคือ

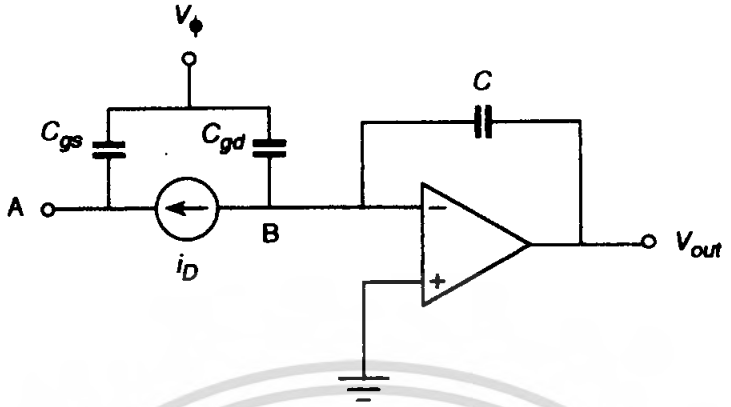
$$V_B = \frac{C_{gd}}{C_{gd} + C_B} V\phi \qquad (2.22)$$

$$V_A = \frac{C_{gs}}{Cgs + C_A} V\phi \qquad (2.23)$$

ตัวอย่าง Cgs ≈ Cgd ≈ 0.02 pF และ $C_A \approx C_B \approx 2$ pF ผลก็คือ $V_A \approx V_B \approx 0.01V$ และ $V\phi \approx 0.1V$ ซึ่งหมายความว่ามีสัญญาขนาดเท่านี้จะมีความถี่เท่ากับ $V\phi$ ถูกส่งผ่านให้แก่โหนด A และ B เหตุการณ์นี้เรียกว่า Clock Feed Through และควรจะมีค่าน้อย ๆ

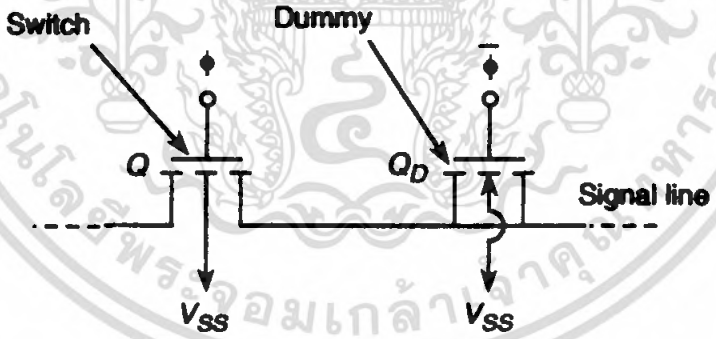
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82439



รูปที่ 2.19 แสดงการเกิด Clock Feed Through

วิธีการลด Clock Feed Through ง่ายๆก็คือการต่อ Dummy Transistor หรือการต่อร่วมทรานซิสเตอร์ที่มีลักษณะเหมือนกับ MOS Switched แต่ขาเดรนและขาซอสต่อถึงกัน และให้แรงดันที่ขาเกทมีเฟสที่ตรงข้ามกับ MOS Switched การต่อทรานซิสเตอร์แบบนี้เป็นการชดเชยการทำงานโดยเฉพาะและไม่มีฟังก์ชั่นของการสวิทชิ่ง

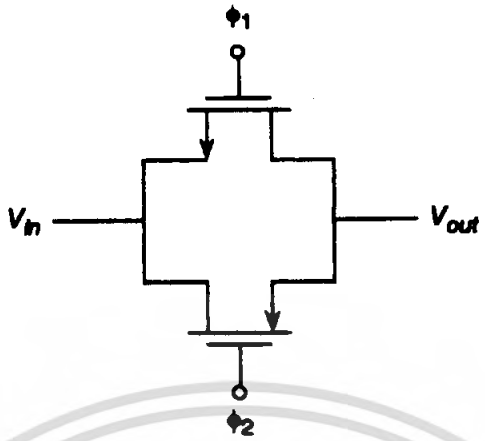


รูปที่ 2.20 แสดงการลด Clock Feed Through ด้วยการต่อ Dummy MOSFET

นอกจากนี้การลดผลจาก Clock Feed Through สามารถลดได้ด้วยการออกแบบสวิทช์ให้มีขนาดเล็กที่สุดเท่าที่จะเป็นไปได้ขณะที่ใช้ตัวเก็บประจุที่มีค่ามากเท่าที่จะเป็นไปได้

วิธีการที่ละเอียดขึ้นโดยการใช้ NMOSและPMOS ต่อรวมกันเป็น CMOS Switched หรือ Transmission Gate ดังรูปที่ 2.21

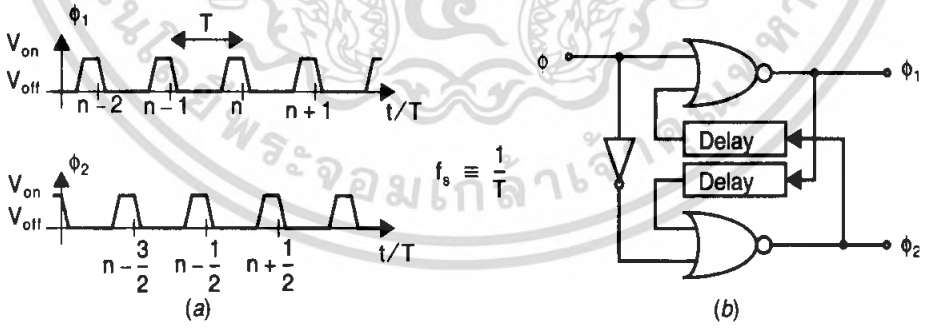
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 CMOS Switched Transmission Gate

วงจรนี้จะยกเลิกการ Feed Through ของสัญญาณ ข้อดีของวงจรแบบนี้คือความต้านทานของสวิทช์ขณะสภาวะ ON จะมีแนวโน้มเป็นเชิงเส้นมาก นอกจากนี้ย่านสัญญาณจะมีค่าเพิ่มขึ้นเพราะอินพุทมีขนาดมากขึ้นเป็นผลให้เอาท์พุทมีค่าเพิ่มมากขึ้นเช่นกัน กรณีที่ทรานซิสเตอร์ OFF แรงดันระหว่างเกทและซอสจะไม่เปลี่ยนเป็นค่าที่มากขึ้น

2.7 สัญญาณ Non-Overlapping Clocks



รูปที่ 2.22 แสดงสัญญาณ Non-Overlapping Clock

สัญญาณ Non-Overlapping Clock เป็นสัญญาณคู่หนึ่ง การเกิดสัญญาณต้องไม่มีการคาบเกี่ยวกันในคู่สัญญาณนั้นๆ และมีความจำเป็นอย่างมากต่อวงจร สวิทช์คาปาซิเตอร์เพราะสามารถช่วยลดการสูญเสียบางอย่าง ที่เราไม่ต้องการให้เกิดขึ้นหรือ ในระหว่างที่เกิดการเปลี่ยนแปลงของสัญญาณ

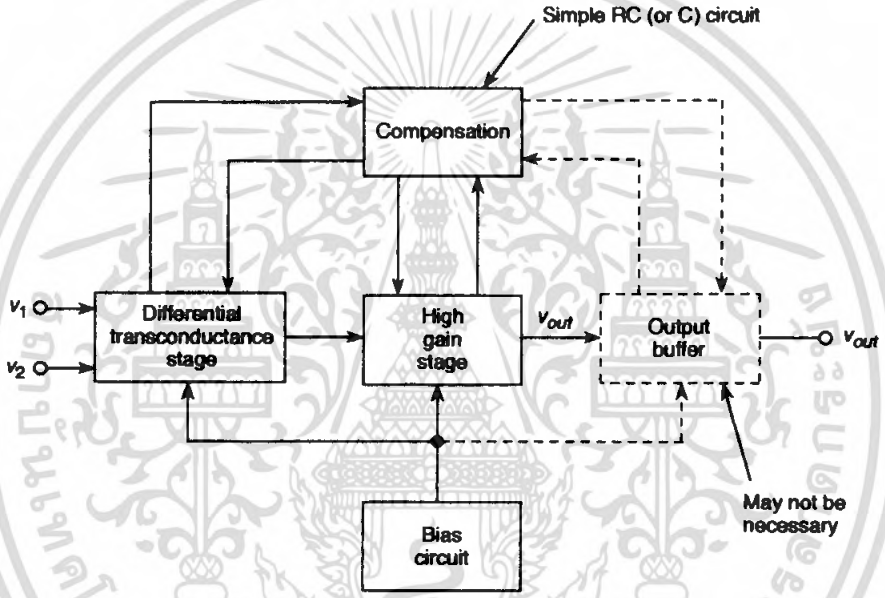
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังรูปที่ 2.22a เป็นส่วนของการไม่คาบเกี่ยวของสัญญาณที่แสดง ถึงการเคลื่อนที่ของสัญญาณลอจิกทั้งสอง ซึ่งมีความถี่และองค์ประกอบเหมือนกันตามลักษณะดังในรูปเวลาเป็นศูนย์จะเป็นสัญญาณสูงทั้งคู่ สังเกตว่าแกนของเวลาในรูปที่ 2.22a ได้ถูก Normalized ดังเรื่องคาบสัญญาณ T, ตัวอย่างการ Normalization แสดงด้วยตำแหน่งของสัญญาณที่ เป็นดีสครีตจำนวนมากโดยจะเกิดขึ้นกับวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ โดยทั่วไปเราหมายถึงจำนวนของการสุ่มที่เป็นค่าจำนวนเต็ม นั่นคือ (n-1),(n),(n+1)และอื่นๆก่อนที่จะสิ้นสุดสัญญาณ $\phi 1$ ในขณะที่สัญญาณ $\phi 2$ จะถูกพิจารณาเป็นค่าคงที่ลดลง ½ ดังแสดงนั่นคือ (n-3/2),(n-1/2)และอื่นๆ อย่างไรก็ตามมันจะถูกพิจารณาด้วยว่า มันไม่มีความสำคัญในขอบขาลงของสัญญาณ $\phi 2$ เกิดขึ้นอย่างทันทีทันใดของครึ่งคาบสัญญาณเร็วกว่าการตกของสัญญาณ $\phi 1$ โดยทั่วไปตำแหน่งของสัญญาณ $\phi 1$ และ $\phi 2$ ต้องถูกควบคุมพอประมาณเพื่อที่จะนำไปใช้ที่อินพุทและเอาท์พุทของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วงจรขยายสัญญาณแบบโอเปอเรชั่นแนล
(Operational Amplifiers Circuit)

วงจรโอเปอเรชั่นแนลแอมป์ปลิฟลายเออร์ สามารถแยกพิจารณาเป็นองค์ประกอบย่อยๆ แสดงดังบล็อกไดอะแกรมดังรูปที่ 3.1



รูปที่ 3.1 องค์ประกอบของวงจรโอเปอเรชั่นแนลแอมป์ปลิฟลายเออร์

3.1 ภาคไบอัสวงจรขยายสัญญาณ (Bias Circuit)

ในการออกแบบภาคไบอัสให้กับวงจรขยายสัญญาณนั้นจะใช้หลักการของวงจรสะท้อนกระแสทั้งชนิด NMOS และ PMOS โดยมีโครงสร้างและรายละเอียดต่างๆ ดังต่อไปนี้

วงจรสะท้อนกระแสเป็นวงจรที่มีประโยชน์มากในการออกแบบวงจรอนาลอก CMOS วงจรนี้ใช้หลักการที่ว่าถ้าแรงดันระหว่างขาเกทและขาซอสของมอสสองตัวที่มีลักษณะเหมือนกันเท่ากัน กระแสของช่องทางเดินของมอสสองตัวนั้นควรจะเท่ากัน รูปที่ 3.1 แสดงการสร้างวงจรสะท้อนกระแสชนิดเอ็นมอสแบบธรรมดา กระแส i_o เป็นกระแสเอาท์พุทหรือกระแสที่ถูกสะท้อนจาก M1 ซึ่งอยู่ในช่วงอิ่มตัวของมอส ส่วนมากแล้วในกรณีทั่วไปอัตราส่วน i_o ต่อ i_i จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}}\right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}}\right)\left(\frac{\mu_{02} C_{OX2}}{\mu_{01} C_{OX1}}\right) \tag{3.1}$$

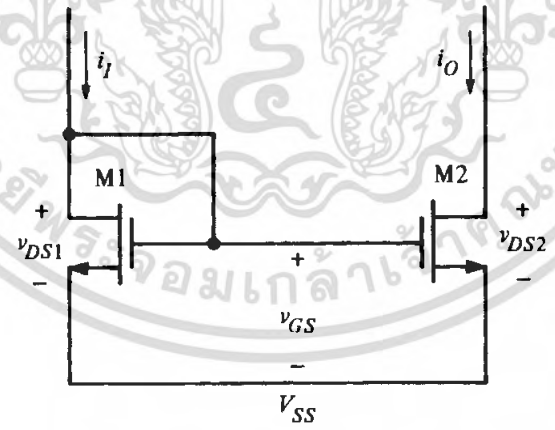
โดยทั่วไปแล้วส่วนประกอบของวงจรสะท้อนกระแสถูกสร้างบนวงจรรวมเดียวกัน ดังนั้น พารามิเตอร์ทางฟิสิกส์ เช่น V_T, μ_O, C_{OX} จะมีค่าใกล้เคียงกัน ดังนั้นสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}}\right) \tag{3.2}$$

ถ้า $V_{DS2} = V_{DS1}$ (ไม่เป็นสมมติฐานที่ดีเสมอไป) แล้ว อัตราส่วน i_O/i_I จะกลายเป็น

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right) \tag{3.3}$$

ดังนั้น i_O/i_O เป็นฟังก์ชั่นของอัตราส่วนพื้นที่ของมอส (aspect ratios) ซึ่งอยู่ในการควบคุมของผู้ออกแบบ



รูปที่ 3.2 วงจรสะท้อนกระแส แบบ N Channel

มีผลกระทบอยู่ 3 ประการ ซึ่งทำให้วงจรสะท้อนกระแสแตกต่างไปจากอุดมคติตามสมการที่ 3.3 ผลเหล่านี้คือ

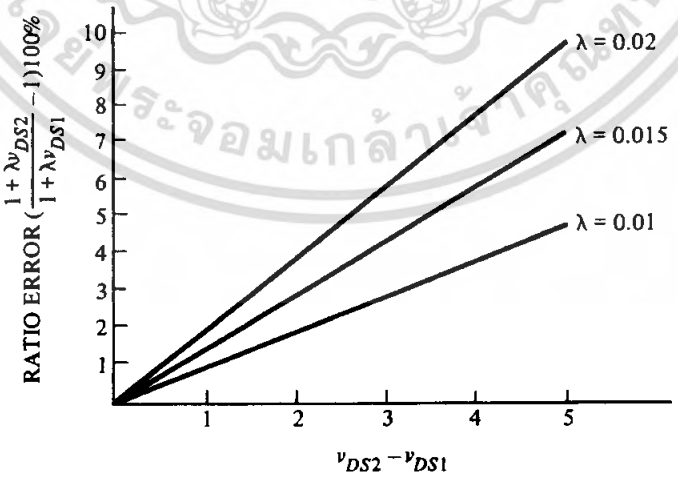
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Channel-Length Modulation
2. ค่า Threshold Offset ของมอสทั้งสองตัว
3. การไม่ Matching กันอย่างสมบูรณ์ทางเรขาคณิต

โดยที่ผลกระทบแต่ละอย่างจะนำมาพิจารณาแยกกัน พิจารณาผลของ Channel-Length Modulation สมมติว่ามอสเป็นอุดมคติ และ Aspect Ratios ของมอสทั้งสองตัวเท่ากับหนึ่งแล้ว สมสมการที่ 3.2 จะสามารถเขียนสมการได้ดังนี้

$$\frac{i_O}{i_I} = \left(\frac{1+\lambda V_{DS2}}{1+\lambda V_{DS1}}\right) \tag{3.4}$$

ด้วยสมมติฐานที่ว่า λ เท่ากันสำหรับมอสทั้งสองตัว สมการนี้จะแสดงว่าความแตกต่างของแรงดันเดรนซอสของมอสทั้งสองตัวสามารถก่อให้เกิดการเบี่ยงเบนไปจากการมีอัตราการขยายเท่ากับ 1 ซึ่งเป็นอุดมคติ รูปที่ 3.2 แสดงพล็อตของค่าผิดพลาดของอัตราส่วนกระแสกับ V_{DS2}–V_{DS1}ในค่าต่างๆ กันของ λ ของมอสทั้งสองตัวที่ทำงานในช่วงอิ่มตัว ข้อเท็จจริงสองประการที่สำคัญควรจะถูกนำมาพิจารณาด้วยจากพล็อตนี้ ประการแรก คือว่าค่าผิดพลาดของอัตราส่วนที่มากสามารถเกิดขึ้นได้เมื่อมอสตัวที่ไม่ได้มีแรงดันเดรนซอสค่าเดียวกัน และประการที่สองสำหรับความแตกต่างใดๆ ในแรงดันเดรนซอส อัตราส่วนของกระแสสะท้อนเทียบกับกระแสอ้างอิงจะดีขึ้นเมื่อ λ น้อยลง (ความต้านทานเอาท์พุทมากขึ้น) ดังนั้นวงจรสะท้อนกระแสที่ดีควรจะมีแรงดันเดรนซอสเท่ากันและมีความต้านทานเอาท์พุทที่สูง



รูปที่ 3.3 แสดงพล็อตเปอร์เซ็นต์ Ratio Error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.2 ที่ V_{DS1}=2 V

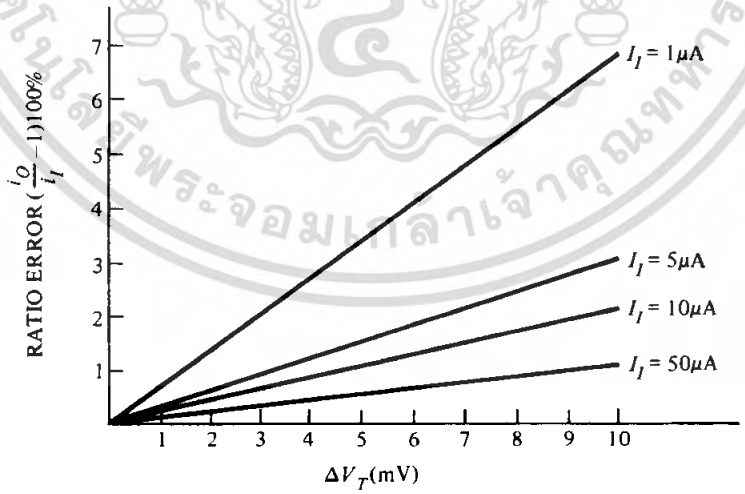
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ไม่เป็นอุดมคติประการที่สอง คือ ค่า Offset ระหว่าง Threshold Voltage ของมอสทั้งสองตัวพิจารณาว่ามอสทั้งสองตัวในวงจรสะท้อนกระแสมีแรงดันเดรนซอสเท่ากันและในค่าอื่นๆ เช่นค่า V_T เท่ากัน ในกรณีสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{i_O}{i_I} = \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}}\right)^2 \tag{3.5}$$

ในรูปที่ 3.4 แสดงพล็อตของค่าผิดพลาดอัตราส่วนเทียบกับ ΔV_T โดยที่ $\Delta V_T = V_{T1} - V_{T2}$ เห็นได้ชัดจากกราฟว่า การทำงานของวงจรสะท้อนกระแสที่ดีกว่า ได้มาจากค่ากระแสที่สูงกว่า เนื่องจาก V_{GS} ยิ่งสูงกระแสก็จะยิ่งสูงด้วย ดังนั้น ΔV_T จะยิ่งเป็นเปอร์เซ็นต์ที่น้อยเมื่อเทียบกับ V_{GS} เป็นไปได้ที่อัตราขยายทรานคอนดักแตนซ์ K' ของวงจรสะท้อนกระแสอาจจะไม่ Match กัน (เนื่องจากขั้นตอนการสร้าง Oxide) วิธีการวิเคราะห์ทางตัวเลขต่อการเปลี่ยนของทั้ง K' และ V_T จะถูกนำมาใช้ โดยให้สมมติว่าอัตราส่วน W/L ของมอสทั้งสองตัวเท่ากัน แต่ K' และ V_T ไม่เท่ากัน สมการที่ (3.5) สามารถถูกเขียนใหม่ได้เป็น

$$\frac{i_O}{i_I} = \frac{K_2'(V_{GS} - V_{T2})^2}{K_1'(V_{GS} - V_{T1})^2} \tag{3.6}$$



รูปที่ 3.4 แสดงพล็อตเปอร์เซ็นต์ Ratio Error เทียบกับค่าออฟเซทของแรงดันสำหรับวงจรสะท้อนกระแสของรูปที่ 3.2 V_{T1} =1V , K'(W/L) = 24 uA/V^2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง $V_{GS1} = V_{GS2} = V_{GS}$ กำหนดให้ $\Delta K' = K'_2 - K'_1$ และ $K' = 0.5(K'_2 + K'_1)$ และ $\Delta V_T = V_{T2} - V_{T1}$ และ $V_T = 0.5(V_{T2} + V_{T1})$ ทำให้ได้ว่า

$$K'_1 = K' - 0.5\,\Delta K' \tag{3.7}$$

$$K'_2 = K' + 0.5\,\Delta K' \tag{3.8}$$

$$V_{T1} = V_T - 0.5\,\Delta V_T \tag{3.9}$$

$$V_{T2} = V_T + 0.5\,\Delta V_T \tag{3.10}$$

แทนค่าสมการที่ (3.7) ถึง (3.10) ลงในสมการที่ (3.6) จะได้

.

$$\frac{i_O}{i_I} \cong \frac{(K'+0.5\Delta K')(V_{GS} - V_T - 0.5\Delta V_T)^2}{(K'-0.5\Delta K')(V_{GS} - V_T + 0.5\Delta V_T)^2} \tag{3.11}$$

แยกแฟกเตอร์ K' และ $(V_{GS} - V_T)$ ออกจะได้

$$\frac{i_O}{i_I} = \frac{\left[1 + \frac{\Delta K'}{2K'}\right]\left[1 - \frac{\Delta V_T}{2(V_{GS} - V_T)}\right]^2}{\left[1 - \frac{\Delta K'}{2K'}\right]\left[1 + \frac{\Delta V_T}{2(V_{GS} - V_T)}\right]^2} \tag{3.12}$$

สมมติว่าปริมาณในสมการที่ 3.12 ที่ตามหลักมีค่าน้อยมาก สมการที่ 3.12 สามารถถูกประมาณได้ว่า

$$\frac{i_O}{i_I} \cong \left[1 + \frac{\Delta K'}{2K'}\right]\left[1 + \frac{\Delta K'}{2K'}\right]\left[1 - \frac{\Delta V_T}{2(V_{GS} - V_T)}\right]^2\left[1 - \frac{\Delta V_T}{2(V_{GS} - V_T)}\right]^2 \tag{3.13}$$

คงไว้เฉพาะผลคูณอันดับแรกจะได้

$$\frac{i_O}{i_I} \cong 1 + \frac{\Delta K'}{K'} - \frac{2\Delta V_T}{(V_{GS} - V_T)} \tag{3.14}$$

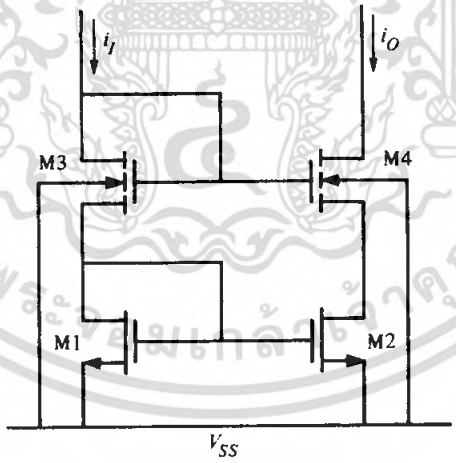
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ารู้การเปลี่ยนแปลงของ K' และ V_T สมการที่ (3.14) สามารถถูกใช้เป็นพื้นฐานในกรณีที่จุดต่ำสุดสำหรับทำนายค่าผิดพลาดในอัตราขยายกระแสของวงจรสะท้อนกระแส

ผลที่ไม่เป็นอุดมคติประการที่ 3 ของวงจรสะท้อนกระแสก็คือ ค่าผิดพลาดใน Aspect Ratios ของมอสทั้งสองตัวซึ่งเกิดเนื่องจากขั้นตอนการทำมาสก์, โฟโตลิโทรกราฟฟี่, เอชชิ่ง และดิฟฟิวชั่น ความคลาดเคลื่อนเหล่านี้เกิดขึ้นได้แม้ว่ามอสสองตัวเป็นตัวที่อยู่ข้างๆ กันก็ตามวิธีหนึ่งที่จะหลีกเลี่ยงผลกระทบเหล่านี้คือ การทำให้ขนาดของมอสใหญ่ขึ้นเพื่อลดผลที่เกิดขึ้น สำหรับมอสที่ขนาด W และ L ที่มากกว่า 10 จะทำให้ค่าผิดพลาดที่เกิดขึ้นเนื่องจากการไม่ Match กันทางเรขาคณิตจะน้อยเมื่อเทียบกับค่าผิดพลาดที่เกิดขึ้นเนื่องจากแรงดันออฟเซตและ V_{DS}

จะเห็นได้ว่าค่าความต้านทานเอาท์พุทของสัญญาณขนาดเล็กเป็นตัววัดความสมบูรณ์ของวงจรสะท้อนกระแสได้ดี ค่าความต้านทานเอาท์พุทของวงจรสะท้อนกระแสแบบธรรมดา ตามรูปที่ 3.2 สามารถหาได้ว่า

$$R_{out} = \frac{1}{gds} = \frac{1}{\lambda I_D} \tag{3.15}$$

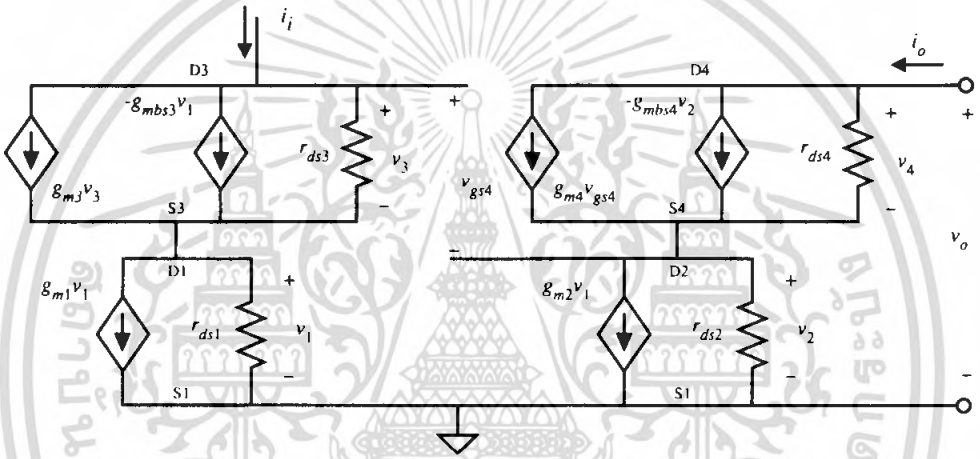


รูปที่ 3.5 แสดงวงจรสะท้อนกระแสแบบคาสโคด

ดังนั้นวงจรสะท้อนกระแสที่ประสิทธิภาพสูงกว่าจะได้มาจากการเพิ่มค่าของ R_{out} โดยใช้สมการที่ 3.15 นี้เป็นจุดเปรียบเทียบ ถึงจุดนี้ได้แสดงการปรับปรุงวงจรสะท้อนกระแสในแง่ต่างๆ ของวงจรในรูปที่ 3.2 แต่ก็ยังมีอีกหลายวิธีที่สามารถปรับปรุงประสิทธิภาพของวงจรสะท้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสได้โดยอาศัยการปรับเปลี่ยนรูปแบบการต่อวงจร มีการต่อรูปแบบหนึ่งที่ใช้ลดผลของความต้านทานเอาท์พุท คือ การต่อวงจรตามรูปที่ 3.5 ถ้ามอสทุกตัวเหมือนกันแล้ว แรงดันเดรนของทรานซิสเตอร์ M1 จะเท่ากับแรงดันเดรนของทรานซิสเตอร์ M2 ถ้าแรงดันของเดรนของทรานซิสเตอร์ M4 จะเริ่ม Turn Off เพื่อที่จะชดเชยการเพิ่มขึ้นของกระแส ผลก็คือการลดลงเล็กน้อยใน V_{GS4} ทำให้เกิดการเพิ่มขึ้นเล็กน้อยใน V_{DS2} การเปลี่ยนแปลงที่ได้นี้ โดยมีความผิดพลาดเพียงเล็กน้อย เนื่องมาจากผลของความต้านทานเอาท์พุท โดยการวิเคราะห์วงจรเสมือนสำหรับสัญญาณขนาดเล็ก จะเห็นได้ชัดถึงการปรับปรุงค่าความต้านทานเอาท์พุท



รูปที่ 3.6 แสดงแบบจำลองเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่ 3.5

เนื่องจาก $i_i = 0$, แรงดันสัญญาณขนาดเล็ก V_1 และ V_3 เป็นศูนย์ทั้งคู่ สามารถใช้ผลของสมการที่ 3.15 เขียนได้ว่า

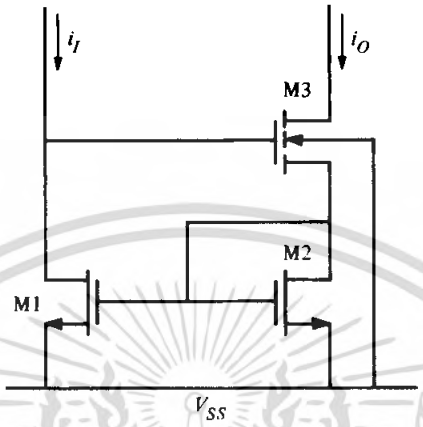
$$R_{out} = rds_2 + rds_4 + gm_4 rds_2 rds_4 (1 + \eta_4) \qquad (3.16)$$

จะเห็นได้ว่าค่าความต้านทานเอาท์พุทสำหรับสัญญาณขนาดเล็กของการต่อแบบนี้สูงกว่าการต่อวงจรสะท้อนกระแสแบบธรรมดาตามสมการที่ 3.15 มาก

วงจรสะท้อนกระแสอีกแบบหนึ่งถูกแสดงไว้ในรูปที่ 3.7 วงจรนี้เป็นวงจรสะท้อนกระแสเอ็นแชนแนลแบบวิลสัน ความต้านทานเอาท์พุทของวงจรสะท้อนกระแสแบบวิลสันถูกทำให้เพิ่มขึ้น โดยผ่านทางการป้อนกลับกระแสลบ ถ้า i_o เพิ่มขึ้นแล้ว กระแสที่ไหลผ่านทรานซิสเตอร์ M2 จะเพิ่มขึ้นด้วย อย่างไรก็ตามการสะท้อนกระแสของทรานซิสเตอร์ M1 และ M2 ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส M1 เพิ่มขึ้นด้วยถ้า i_I คงที่และถ้าสมมติว่ามีค่าความต้านทานเกิดขึ้นจากเกทของทรานซิสเตอร์



รูปที่ 3.7 แสดงวงจรสะท้อนกระแสแบบวิลสัน N-Channel

M3 (เดรนของ M1) ต่อลงกราวนด์แล้วแรงดันเกทของทรานซิสเตอร์ M3 จะลดลง ถ้ากระแส io เพิ่มขึ้นค่าอัตราขยายวงปิดที่ได้จะเป็นผลคูณของ gm_1 กับค่าความต้านทานของขนาดสัญญาณขนาดเล็กที่ถูกมองจากเดรนของทรานซิสเตอร์ M1 ไปยังกราวนด์

สามารถแสดงได้ว่าค่าความต้านทานเอาท์พุทสำหรับสัญญาณขนาดเล็กของวงจรดึงกระแสแบบวิลสันตามรูปที่ 3.6 เป็น

$$R_{out} = rds_3 + rds_2\left[\frac{1 + rds_3 gm_3(1+\eta_3) + gm_1 rds_1 gm_3 rds_3}{1 + gm_2 rds_2}\right] \qquad (3.17)$$

ค่าความต้านทานเอาท์พุทรูปที่ 3.6 ดูเหมือนว่าจะใกล้เคียงกับค่าความต้านทานเอาท์พุทของวงจรรูปที่ 3.4 ข้อเสียคือค่าความต้านทานที่สูงของวงจรนี้ต้องการค่าแรงดันที่ไม่เป็นศูนย์ที่อินพุทและเอาท์พุทมันถึงจะทำงานได้ พิจารณาวงจรสะท้อนกระแสแบบคาสโคดตามรูปที่ 3.4 จากมุมมองของสัญญาณขนาดใหญ่ค่าแรงดันที่อินพุทถูกกำหนดให้เป็น $V_I(min)$ ซึ่งสามารถถูกแสดงได้ว่าขึ้นกับค่าของ i_I เนื่องจาก $V_{DG} = 0$ สำหรับทั้งทรานซิสเตอร์ M1 และ M3 มันจึงทำงานอยู่ในช่วงอิ่มตัวเสมอ ดังนั้นอาจแสดงได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_I(\min) = \left(\frac{2i_I}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + (V_{T1} + V_{T3}) \tag{3.18}$$

จะเห็นได้ว่าสำหรับค่า i_I ใดๆ วิธีเดียวที่จะลดค่า $V_I(\min)$ ก็คือต้องเพิ่มอัตราส่วน W/L ของทั้งทรานซิสเตอร์ M1 และ M3 สนใจค่าแรงดัน $V_{out}(sat)$ ด้วย ซึ่งเป็นแรงดันที่ทรานซิสเตอร์ M4 ใช้เพื่อเปลี่ยนแปลงสถานะจากช่วงที่ไม่อิ่มตัวไปยังช่วงอิ่มตัว ค่าแรงดันนี้สามารถหาได้จากความสัมพันธ์

$$V_{DS4} \geq (V_{GS4} - V_{T4}) \tag{3.19}$$

หรือ

$$V_{D4} \geq (V_{G4} - V_{T4}) \tag{3.20}$$

โดยที่สมการที่ 3.20 สามารถใช้เพื่อหาค่า $V_{out}(sat)$ ได้ว่า

$$\begin{aligned} V_{out}(sat) &= V_I - V_{T4} \\ &= \left(\frac{2I_1}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + (V_{T1} + V_{T3} - V_{T4}) \end{aligned} \tag{3.21}$$

สำหรับแรงดันที่มากกว่า $V_{out}(sat)$ มอสทรานซิสเตอร์ M4 อยู่ในช่วงอิ่มตัวและค่าความต้านทานเอาท์พุทสามารถคำนวณได้จากสมการที่ 3.16 เนื่องมาจากแรงดันที่ตกคร่อมทรานซิสเตอร์ M2 มากกว่าที่จำเป็นในการอยู่ในช่วงอิ่มตัว เทคนิคที่ใช้ในการลด ในหัวข้อที่แล้วสามารถถูกนำมาใช้ได้เพื่อลด $V_{out}(sat)$ แต่โชคไม่ดีที่จะทำให้ค่า $V_I(\min)$ ถูกแสดงได้ว่า

$$V_I(\min) = \left(\frac{2I_O}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_2}{W_2}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + (V_{T2} + V_{T3}) \tag{3.22}$$

สำหรับที่ทรานซิสเตอร์ M3 อิ่มตัว V_{out} ต้องการมากกว่าค่า $V_{out}(sat)$ ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out}(sat) = V_1 - V_{T3} = \left(\frac{2I_O}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_2}{W_2}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + V_{T2} \qquad (3.23)$$

จะเห็นว่าทั้งสองวงจรต้องการอย่างน้อย $2V_T$ ตกคร่อมอินพุทของมันก่อนถึงจะได้ค่า $V_{out}(sat)$ ข้างต้นออกมาได้และค่าอัตราส่วน W/L ที่ใหญ่กว่าจะช่วยลดค่า $V_I(min)$ และ $V_{out}(sat)$ ได้

3.2 ภาคขยายความแตกต่าง (Differential Amplifiers)

วงจร Differential Amplifier เป็นวงจรที่มีความสามารถขยายความแตกต่างของสัญญาณ ซึ่งสัญญาณทั้งสองที่แตกต่างกันนั้น สามารถแบ่งเป็น โหมดสัญญาณความแตกต่าง (Differential Mode Signal, VD) และโหมดสัญญาณร่วม (Common-Mode Signal, VC) ดังจะแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอินพุท V_1 และ V_2 ดังต่อไปนี้

$$V_1 = VC + \frac{VD}{2} \qquad (3.24)$$

$$V_2 = VC - \frac{VD}{2} \qquad (3.25)$$

ดังจะเห็นว่า VD และ VC คือ

$$VD = V_1 - V_2 \qquad (3.26)$$

และ

$$VC = \frac{V_1 + V_2}{2} \qquad (3.27)$$

หลักการของวงจรขยายความแตกต่างก็คือ การขยายสัญญาณความแตกต่างระหว่างสัญญาณอินพุทโดยจะไม่ขยายสัญญาณที่เป็นลักษณะโหมดสัญญาณร่วม ซึ่งอัตราขยายโหมดสัญญาณร่วมและอัตราขยายโหมดสัญญาณความแตกต่าง เป็นคุณสมบัติของวงจรขยายความแตกต่าง (Differential Amplifier) โดยอัตราส่วนของอัตราการขยายโหมดสัญญาณความแตกต่างกับโหมดสัญญาณร่วมถูกเรียกว่า " Common – Mode Rejection Ratio " (CMRR)

ในทางอุตมคติค่า CMRR จะมีค่ามาก นั่นหมายถึง อัตราขยายโหมดสัญญาณร่วม (Common Mode) จะมีค่าน้อยมากคุณลักษณะของวงจรขยายความแตกต่างอีกประการหนึ่งคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงของโหมดสัญญาณอินพุท (Common-Mode Range, CMR) การขยายของสัญญาณความแตกต่างจะทำให้เกิดช่วงของโหมดสัญญาณนอกจากนี้คุณลักษณะที่มีผลกระทบต่อประสิทธิภาพของภาคขยายสัญญาณความแตกต่างก็คือ ออฟเซท (Offset) เมื่อแรงดันความแตกต่างทางอินพุทหรือความแตกต่างของกระแสทางอินพุทเป็นศูนย์ แล้วทางเอาท์พุทของวงจรขยายความแตกต่างไม่เป็นศูนย์ เรียกว่า " Input Offset Voltage, Vos " หมายถึง ค่าของแหล่งจ่ายแรงดันที่ถูกนำมาต่อที่ขาใดขาหนึ่งทางด้านอินพุทของภาคขยายความแตกต่างแล้วทำให้เอาท์พุทของภาคขยายความแตกต่างเป็นศูนย์นั่นเอง สำหรับ " Input Offset Current, Ios " ก็คือความแตกต่างของแหล่งจ่ายกระแสที่ถูกนำมาต่อทางอินพุทของภาคขยายความแตกต่าง แล้วทำให้เอาท์พุทของภาคขยายความแตกต่างมีค่าเท่ากับศูนย์ ซึ่งค่า Vos และ Ios จะขึ้นอยู่กับอุณหภูมิ สำหรับภาคขยายความแตกต่าง

รูปที่ 3.8 เป็นวงจรที่แสดงให้เห็นถึงวงจรทั่วไปของอุปกรณ์ประเภท MOSFET ของภาคขยายความแตกต่าง จะเห็นว่าประกอบด้วยบล็อกของ Active Load ซึ่งถูกพิจารณาในลักษณะความต้านทานจุดหลักของวงขยายความแตกต่างก็คือ คู่ทรานซิสเตอร์ทั้งสองตัว M1 และ M2 และการออกแบบในส่วนของไฟตรงของวงจรดังรูปที่ 3.8 พิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านนำกระแสคงที่ (Saturation) และ VT1 = VT2 ดังจะเขียนเป็นความสัมพันธ์สมการต่อไปนี้

$$VID = VG_1 - VG_2 = Vgs_1 - Vgs_2 = \left[\frac{2ID_1}{K_1}\right]^{\frac{1}{2}} - \left[\frac{2ID_2}{K_2}\right]^{\frac{1}{2}} \tag{3.28}$$

และ

$$Iss = ID_1 + ID_2 \tag{3.29}$$

เมื่อ

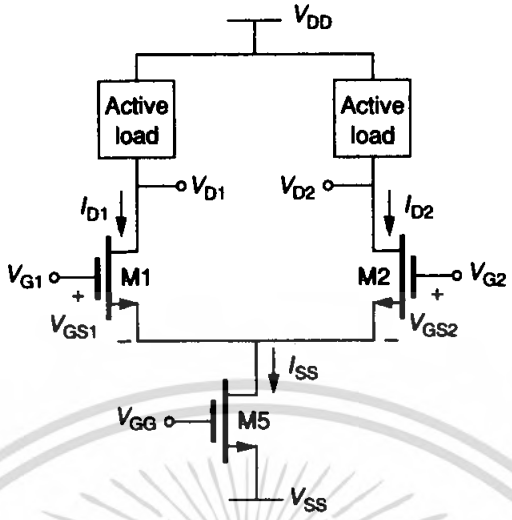
$$ID_1 = \frac{Iss}{2} + \frac{Iss}{2}\left[\frac{KV_{id}^2}{Iss} - \frac{K^2V_{id}^4}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.30}$$

และ

$$ID_2 = \frac{Iss}{2} - \frac{Iss}{2}\left[\frac{KV_{id}^2}{Iss} - \frac{K^2V_{id}^4}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.31}$$

$$|VID| \le \left[\frac{2Iss}{K}\right]^{\frac{1}{2}} \tag{3.32}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรขยายความแตกต่างที่ $Vbs_1 = Vbs_2 = 0$

รูปที่ 3.9 แสดงกราฟของกระแสเดรนของทรานซิสเตอร์ M1 ในส่วนของแรงดันความแตกต่างทางอินพุท คุณสมบัติในการถ่ายโอนแรงดันของภาคขยายความแตกต่าง สามารถใช้ผลของสมการ 3.30 และ 3.31 กับคุณสมบัติแรงดันและ กระแสของอุปกรณ์ Active Load

สิ่งแรกที่จะพิจารณาคือ ทรานซิสเตอร์ M1 และ M2 จะอยู่ในย่านกระแสแสดงที่ ในย่านนี้สามารถที่จะคำนวณและใช้สมการ 3.26 ดังนี้

$$VID = VG_1 - VG_2 \tag{3.33}$$

ถ้าพิจารณาความเป็นสมมาตรของคู่ทรานซิสเตอร์ M1 และ M2 รวมทั้งไม่มีโหมดสัญญาณร่วม

$$VG_1 = \frac{VID}{2} \tag{3.34}$$

และ

$$VG_2 = -\frac{VID}{2} \tag{3.35}$$

ทรานซิสเตอร์ M1 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_1 \geq VG_1 - V_{TN} = \frac{VID}{2} - V_{TN} \tag{3.36}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_2 \geq -\frac{VID}{2} - V_{TN} \tag{3.37}$$

อีกทางหนึ่งที่จะแสดงให้เห็นคือ การพล็อตค่า VD_1 หรือ VD_2 ในฟังก์ชั่นของ VID พิจารณาโหลดของวงจรในรูปที่ 3.8 เป็นความต้านทาน RL รูปที่ 3.9 แสดงกราฟของ VD_1 และ VD_2 สำหรับ ณ ค่า RL ต่างๆ สมการ 3.36 และ 3.37 ถูกนำมาพิจารณาและพล็อตดังในรูปที่ 3.9 ซึ่งจะแสดงย่านของทรานซิสเตอร์ M1 และ M2 ในย่านกระแสคงที่ ในส่วนของคุณลักษณะการถ่ายโอนสัญญาณในย่านกระแสคงที่ จุดที่จะต้องพิจารณาสำหรับสัญญาณคือสภาพความนำ (gm) จากรูปที่ 3.8 โดยการทำอนุพันธ์สมการ 3.30 โดยให้ VID = 0 ดังนั้น

$$gm = \left.\frac{\partial I_{D1}}{\partial V_{ID}}\right|_{VID=0} = (\frac{K_1 Iss}{4})^{\frac{1}{2}} = \left(\frac{K' Iss W_1}{4L_1}\right)^{\frac{1}{2}} = \left(\frac{K' I_{D1} W_1}{2L_1}\right)^{\frac{1}{2}} \tag{3.38}$$

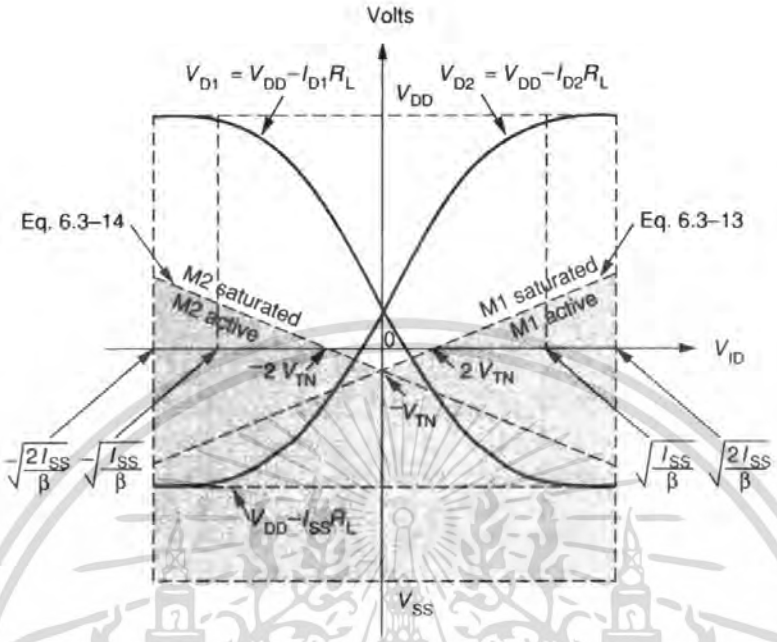
เปรียบเทียบผลของ gm กับวงจรขยายทรานซิสเตอร์เดี่ยว สาเหตุของความแตกต่างกันคือแรงดันทางอินพุทเพียงครึ่งเดียวของทรานซิสเตอร์ M1 หรือ M2 ดังรูปที่ 3.8 ส่งผลให้กระแสทางเอาท์พุทเพียงครึ่งเดียว สภาพความนำของสมการ 3.38 จะเรียกว่า " Differential-in, Single-Ended Output Transconductance " สามารถหาได้จากความแตกต่างของกระแสทางด้านเอาท์พุท (I_{od})

$$I_{OD} = I_{D1} - I_{D2} \tag{3.39}$$

$$gmd = \left.\frac{\partial I_{OD}}{\partial V_{ID}}\right|_{VID=0} = (K_1 Iss)^{\frac{1}{2}} = \left(\frac{K' Iss W_1}{L_1}\right)^{\frac{1}{2}} = \left(\frac{2K' I_{D1} W_1}{L_1}\right)^{\frac{1}{2}} \tag{3.40}$$

ค่าสภาพความนำจะมีค่าเท่ากับค่าสภาพความนำของวงจรทรานซิสเตอร์ซอสร่วม (Common-Souce) ถ้า ID มีค่าครึ่งหนึ่งของ Ids จากสมการ 3.38 และ 3.40 จะแสดงให้เห็นถึงความสำคัญของการถูกควบคุมประสิทธิภาพโดยการเปลี่ยนแปลงทาง dc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงคุณสมบัติแรงดันค่าความนำของภาคขยายความแตกต่าง

แรงดันทางด้านเอาท์พุทของภาคอัตราขยายความแตกต่างขึ้นอยู่กับ Active Load มีค่าเป็นเท่าไร จากรูป 3.8 โดยการปรับปรุง พิจารณาความต้านทาน (Active Load) ชนิด N-Channel ในรูปที่ 3.10a แรงดันทางด้านเอาท์พุทจากขาหนึ่งของคู่ทรานซิสเตอร์ M1 หรือ M2 และ Vd1, Vd2

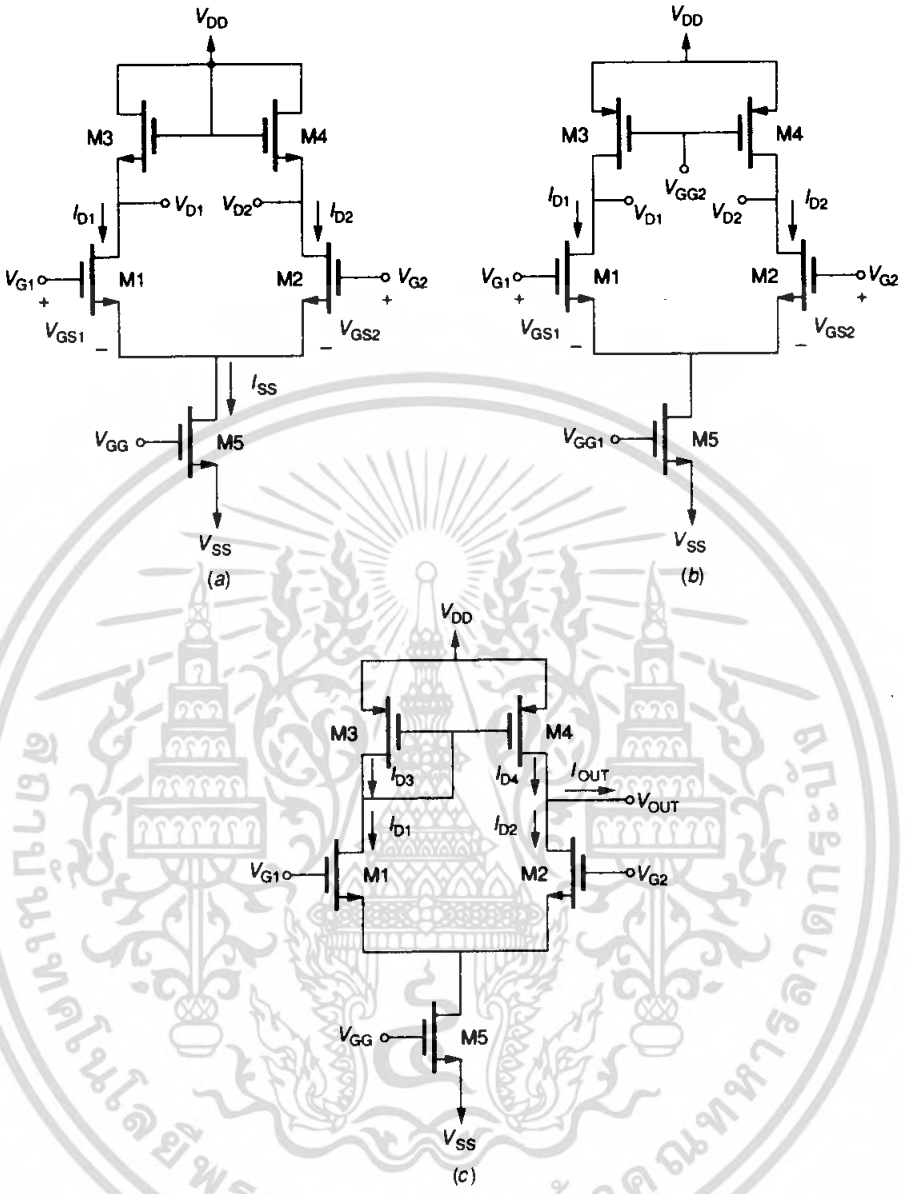
$$V_{D1} = V_{DD} - V_{T3} - \left(\frac{2I_{D1}}{K_3}\right)^{\frac{1}{2}} \tag{3.41}$$

และ

$$V_{D2} = V_{DD} - V_{T4} - \left(\frac{2I_{D2}}{K_4}\right)^{\frac{1}{2}} \tag{3.42}$$

เมื่อ M3 และ M4 อยู่ในย่านกระแสคงที่ (Saturation) สมการที่ 3.30 และ 3.31 สามารถแทนในสมการ 3.41 และ 3.42 ซึ่งจะแสดงให้เห็นถึงค่าแรงดันที่ขาเดรนของทรานซิสเตอร์ M1 และ M2 ในฟังก์ชั่นของ VID อัตราขยายแรงดันจากขาใดขาหนึ่งของคู่ทรานซิสเตอร์ M1 และ M2 สามารถหาได้โดยให้ VID = 0 แล้วหาอนุพันธุ์จากสมการ 3.41 โดยให้ V_{id} =0 และคูณกับสมการ 3.40 ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรขยายความแตกต่างแบบต่างๆ

$$A_{vds} = \left(\frac{\partial V_{D1}}{\partial I_{D1}}\right)\left(\frac{\partial I_{D1}}{\partial V_{ID}}\right)\Bigg|_{VID=0} = -\left(\frac{1}{K_3 Iss}\right)^{\frac{1}{2}}\left(\frac{K_1 Iss}{4}\right)^{\frac{1}{2}} = -\frac{1}{2}\left(\frac{K_1}{K_3}\right)^{\frac{1}{2}} \qquad (3.43)$$

โดยที่อัตราขยายควรจะมีค่าเพียงครึ่งเดียวของอินพุทที่ทรานซิสเตอร์ M1 อัตราขยายแรงดันทางด้านเอาท์พุทเท่ากับ สัดส่วนของความแตกต่างของแรงดันระหว่างขาเดรนของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M1 และ M2 และ V_{id} สัญญาณขนาดเล็กทาง ac ของวงจรรูปที่ 3.10a จะแสดงในรูปที่ 3.11a โดยจะพิจารณาภายใต้เงื่อนไขโหมดความแตกต่าง (Differential Mode) เพียงครึ่งหนึ่งของ V_{id} ดังสมการ

$$Vgs_1 = -Vgs_2 = \frac{V_{id}}{2} \tag{3.44}$$

จากรูปที่ 3.11a พิจารณาความเป็นสมมาตรระหว่างทรานซิสเตอร์ M1 และ M2 จะทำให้ $gm_1=gm_2$ และ Vgs_1 = - Vgs_2 = Vgs ซึ่ง gm_3vgs_3 และ gm_4vgs_4 จะถูกมองอยู่ในรูปความต้านทาน 1/gm3 และ 1/gm4 กระแสที่ไหลผ่าน Vds_1 และ Vds_2 ที่ขาซอสของ M1 และ M2 และที่ขาดเดรนของ M5 จะพิจารณาผ่านไป เมื่อมีการควบคุมที่ขาซอส gm1 Vid/2 สามารถเขียนได้ดังรูป 3.11c โดยที่จุด A จะเป็น ac ground และในที่สุดวงจรขยายสัญญาณขนาดเล็กสามารถแสดงได้ดังรูปที่ 3.11d การคำนวณสำหรับ Vd_1 และ Vd_2 ดังนี้

$$A_{V1} = \frac{V_{D1}}{V_{ID}} = \frac{-gm_1}{2(gm_3 + gds_1 + gds_3)} \approx \frac{-gm_1}{2gm_3} = \frac{-1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_3/L_3}\right]^{\frac{1}{2}} \tag{3.45}$$

และ

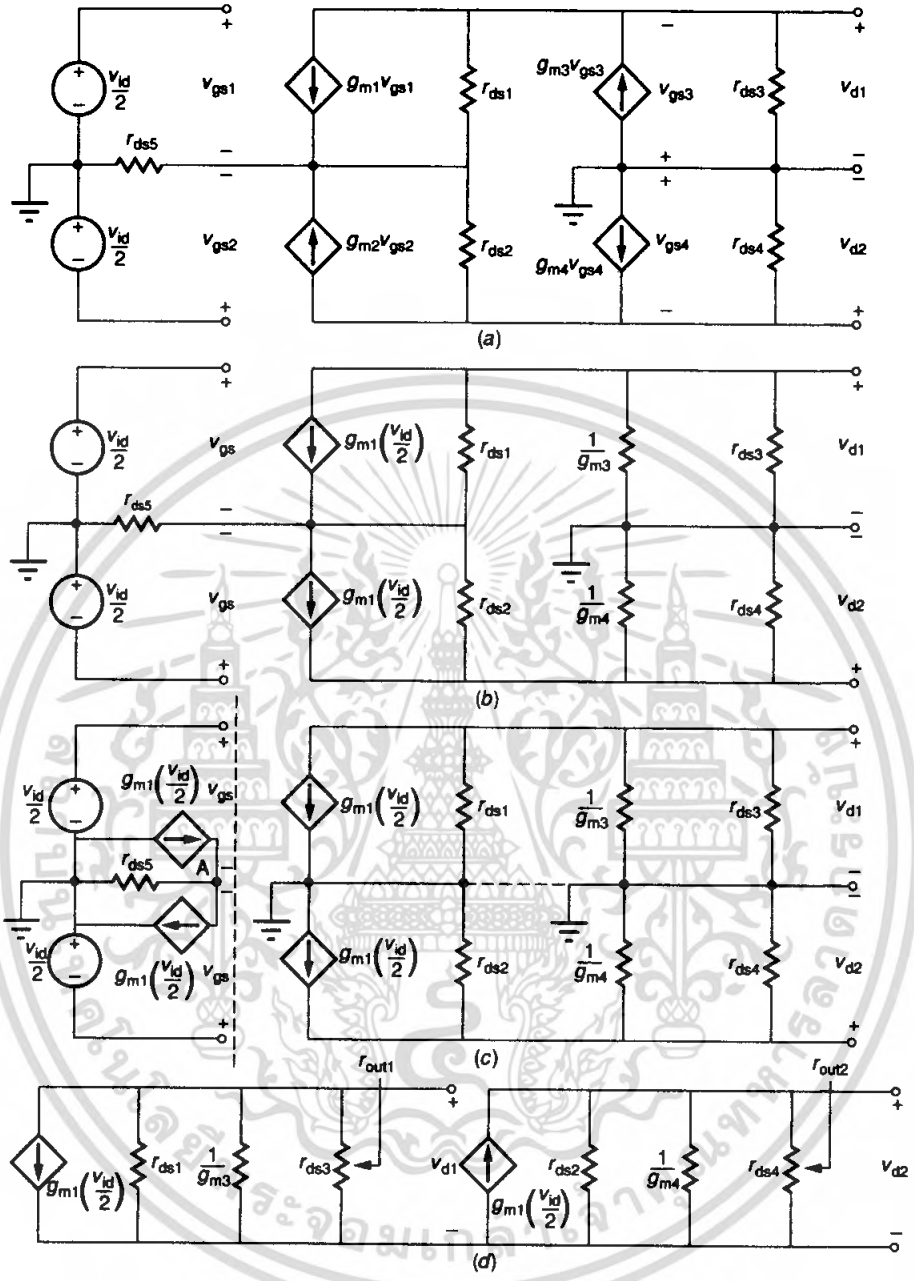
$$A_{V2} = \frac{V_{D2}}{V_{ID}} = \frac{gm_1}{2(gm_4 + gds_2 + gds_4)} \approx \frac{gm_1}{2gm_4} = \frac{1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_4/L_4}\right]^{\frac{1}{2}} \tag{3.46}$$

เปรียบเทียบสมการ 3.45 หรือสมการ 3.46 กับสมการ 3.43 ซึ่งจะแสดงการวิเคราะห์สัญญาณขนาดเล็กกับการวิเคราะห์สัญญาณขนาดใหญ่ โดยอัตราขยายความแตกต่างของแรงดันดังนี้

$$A_{Vdd} = \frac{V_{od}}{V_{ID}} = \frac{V_{d1} - V_{d2}}{V_{id}} = \frac{-gm_1}{2gm_3} = \frac{-gm_1}{2gm_4} = \frac{-gm_1}{gm_3} \tag{3.47}$$

ถ้าทรานซิสเตอร์ M3 และ M4 เหมือนกัน ดังนั้น gm3 = gm4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 a) แสดงรูปสัญญาณขนาดเล็กของวงจรรูปที่ 3.10 b) ความสมมาตรของวงจรทางอินพุท c) gmlVid/2 ในการควบคุมแหล่งจ่าย d) รูปสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานจากความแตกต่างทางอินพุท V_{id} เป็นความต้านทานที่มองเข้าไปทางแหล่งจ่ายแรงดันทางอินพุท V_{id} ในลักษณะเช่นนี้ V_{id} จะมีค่าเป็นอนันต์ ความต้านทางทางเอาท์พุทจากขาใดขาหนึ่งของคู่ทรานซิสเตอร์ M1 และ M2 โดยมองเข้าไปทางด้านเอาท์พุทของวงจรในรูปที่ 3.11d จะมีค่าดังนี้

$$R_{out1} = \frac{1}{gm_3 + gds_1 + gds_3} \approx \frac{1}{gm_3} \tag{3.48}$$

และ

$$R_{out2} = \frac{1}{gm_2 + gds_2 + gds_4} \approx \frac{1}{gm_4} \tag{3.49}$$

ความต้านทานของการขยายความแตกต่างทางด้านเอาท์พุท V_{od} จะมีค่าเท่ากับความต้านทานทาง ac ที่อยู่ระหว่างขาเดรนของทรานซิสเตอร์ M1 และ M2 และเขียนสมการดังนี้

$$R_{od} = R_{out1} + R_{out2} \approx \frac{1}{gm_3} + \frac{1}{gm_4} \approx \frac{2}{gm_3} \tag{3.50}$$

จะพิจารณาและคำนวณทรานซิสเตอร์ทุกตัวของวงจรขยายความแตกต่างที่ทำงานอยู่ในย่านกระแสคงที่ (Saturation) โดยจะคำนึงถึงช่วงแรงดังที่อินพุทและเอาท์พุทประกอบเป็นเงื่อนไข

อัตราขยายความแตกต่างพิจารณาในรูปที่ 3.10a สามารถทำให้มีค่าเพิ่มขึ้นได้โดยใช้แหล่งจ่ายกระแสในตอนต้นสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะให้ gm3 = gm4 = 0

$$A_{Vds1} = A_{V1} = \frac{V_{d1}}{V_{id}} = \frac{-gm_1}{2(gds_1 + gds_3)} \tag{3.51}$$

และ

$$A_{Vds2} = A_{V2} = \frac{V_{d2}}{V_{id}} = \frac{gm_1}{2(gds_2 + gds_4)} \tag{3.52}$$

$$A_{Vdd} = \frac{V_{od}}{V_{id}} = \frac{-gm}{gds_1 + gds_3} = \frac{-gm_2}{gds_2 + gds_4} \tag{3.53}$$

$$R_{out1} = \frac{1}{gds_1 + gds_3} \tag{3.54}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{out2} = \frac{1}{gds_2 + gds_4} \tag{3.55}$$

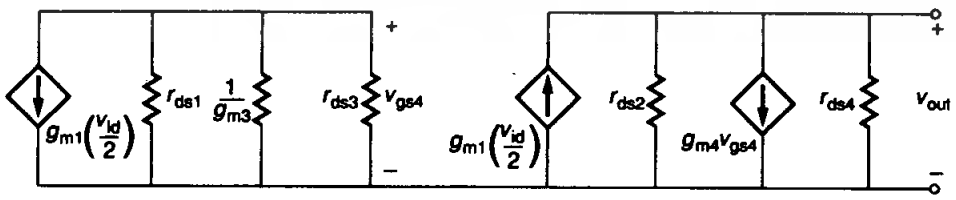
และ

$$R_{od} \cong \frac{2}{gds_1 + gds_3} \tag{3.56}$$

จากโครงสร้างของโหลดสำหรับภาคขยายความแตกต่างดังแสดงในรูปที่ 3.10c หลักการโดยใช้วงจรสะท้อนกระแสของโหลด แรงดันหรือกระแสจากทรานซิสเตอร์ M2 และ M4 โดยการทำงานดังนี้แรงดันความแตกต่าง V_{id} ที่อยู่ระหว่างขาเกทเพียงครึ่งหนึ่งของแรงดันที่ขาเกทและขาซอสของทรานซิสเตอร์ M1 และครึ่งหนึ่งของทรานซิสเตอร์ M2 โดยการเพิ่มขึ้นของกระแสเดรนที่ทรานซิสเตอร์ M1(Id_1) และการลดลงของกระแสเดรนของทรานซิสเตอร์ M2(Id_2) อย่างสัมพันธ์กัน การเพิ่มขึ้นของ (Id_1) จะถูกสะท้อนผ่านทรานซิสเตอร์ M3 ไปยังทรานซิสเตอร์ M4 ส่งผลให้กระแสเดรนของทรานซิสเตอร์ M4(Id4) เพิ่มขึ้นด้วยเมื่อกระแสเดรนของทรานซิสเตอร์ M4 เพิ่มขึ้นและกระแสเดรนที่ทรานซิสเตอร์ M2 ลดลงกระแสเอาท์พุทจะมีค่าเป็น 2Id ดังนั้นค่าสภาพความต้านทานของวงจรในรูปที่ 3.10c อัตราส่วนของกระแสทางเอาท์พุทกับความแตกต่างของแรงดันทางด้านอินพุทมีค่าเท่ากับ ค่าสภาพความนำของทรานซิสเตอร์เพียงตัวใดตัวหนึ่ง

การวิเคราะห์สัญญาณขนาดเล็กดังแสดงในรูปที่ 3.10c เป็นรูปแบบหนึ่งของวงจรในรูปที่ 3.11 และรูปแบบที่เหมาะสมสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะแสดงในรูปที่ 3.12 ซึ่งอัตราขยายความแตกต่างของสัญญาณขนาดเล็กทางด้านอินพุทและทางด้านเอาท์พุทดังนี้

$$\frac{V_{out}}{V_{id}} = A_{Vdd} = \frac{1}{2}\left(gm_1 + \frac{gm_1 gm_4}{gds_1 + gm_3 + gds_3} \right)\left(\frac{1}{gds_2 + gds_4} \right) \tag{3.57}$$



รูปที่ 3.12 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.10c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าพิจารณาทรานซิสเตอร์ M3 และ M4 มีความสมมาตรกัน ดังนั้น gm3 = gm4 และ gm3 มีขนาดใหญ่มากๆ gds1 หรือ gds3 จากสมการ 3.56 สามารถเขียนได้ดังนี้

$$A_{vdd} \cong \frac{gm_1}{gds_2 + gds_4} \tag{3.58}$$

สังเกตว่าประสิทธิภาพของสัญญาณของสัญญาณขนาดเล็กขึ้นอยู่กับค่า $Ids^{-1/2}$ พิจารณาค่า (W/L)1 = 1 และค่า Ids = 10 uA ฉะนั้นอัตราขยายความแตกต่างทางด้านอินพุทและเอาท์พุทของรูปที่ 3.10c อัตราขยายความแตกต่างทางด้านอินพุทของคู่ทรานซิสเตอร์จะมีค่าเท่ากับครึ่งหนึ่งของค่าในสมการ 3.58 และความต้านทานทางเอาท์พุทของสัญญาณขนาดเล็กดังสมการ

$$r_{out} = \frac{1}{gds_2 + gds_4} = \frac{2}{(\lambda_2 + \lambda_4)Iss} \approx \frac{1}{\lambda Iss} \tag{3.59}$$

อย่างไรก็ตามวงจรสัญญาณขนาดเล็ก ความต้านทานที่ความถี่ต่ำของมอสเฟสในวงจรขยายความแตกต่างมีค่าสูงมาก คุณลักษณะที่สำคัญของวงจรขยายความแตกต่างแบบมอสเฟสคือ ช่วงของแรงดันอินพุทโหมดร่วม โดยจะพิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านกระแสอิ่มตัว (Saturation) จากรูปที่ 3.10c โดยให้ $VG_1 = VG_2$ และ $Vdg_1 = VT_1$ สามารถเขียนสมการได้ดังนี้

$$V_{DG1} = V_{DD} - V_{SG3} - V_{G1} \tag{3.60}$$

หรือ

$$V_{DG1} = V_{DD} - \left(\frac{2I_{D3}}{K_3}\right)^{\frac{1}{2}} - |V_{T03}| + V_{G1} \tag{3.61}$$

ถ้า

$$V_{G1}(\max) = V_{DD} - \left(\frac{Iss}{K_3}\right)^{\frac{1}{2}} - |V_{T03}| + V_{T1} \tag{3.62}$$

และ

$$V_{DG5} = V_{G1} - V_{gs1} - V_{GG} \tag{3.63}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ค่า $V_{DG5} = -VT_5$

$$V_{G1}(\min) \cong V_{GG} + \left(\frac{2Iss}{K_1}\right)^{\frac{1}{2}} + VT_1 - VT_5 \qquad (3.64)$$

ข้อจำกัดของการแกว่งของสัญญาณจะพิจารณาจากทรานซิสเตอร์ M2 และ M4 ในย่านกระแสคงที่ (Saturation) เมื่อ Vg_1 มีค่ามากกว่า Vg_2 แรงดันทางด้านเอาท์พุท V_{out} จะมีค่าเพิ่มขึ้น แรงดันที่ขาเดรนและขาซอสของทรานซิสเตอร์ M4 เป็นดังสมการ

$$V_{DG4} = V_{DD} - V_{SD3} - V_{out} = V_{DD} - V_{SG3} - V_{out} \qquad (3.65)$$

โดยที่ทรานซิสเตอร์ M4 จะทำงานในย่านกระแสคงที่ (Saturation) เมื่อ Vdg4 = $|VT_4|$ ใช้ความสัมพันธ์และ V_{sd3} ในสมการ 3.60 และ 3.61 จะให้ค่าแรงดันทางเอาท์พุทสูงสุด

$$V_{out}(\max) = V_{DD} - \left(\frac{Iss}{K_3}\right)^{\frac{1}{2}} - |VT_3| + |VT_4| \cong V_{DD} - \left(\frac{2Iss}{K_3}\right)^{\frac{1}{2}} \qquad (3.66)$$

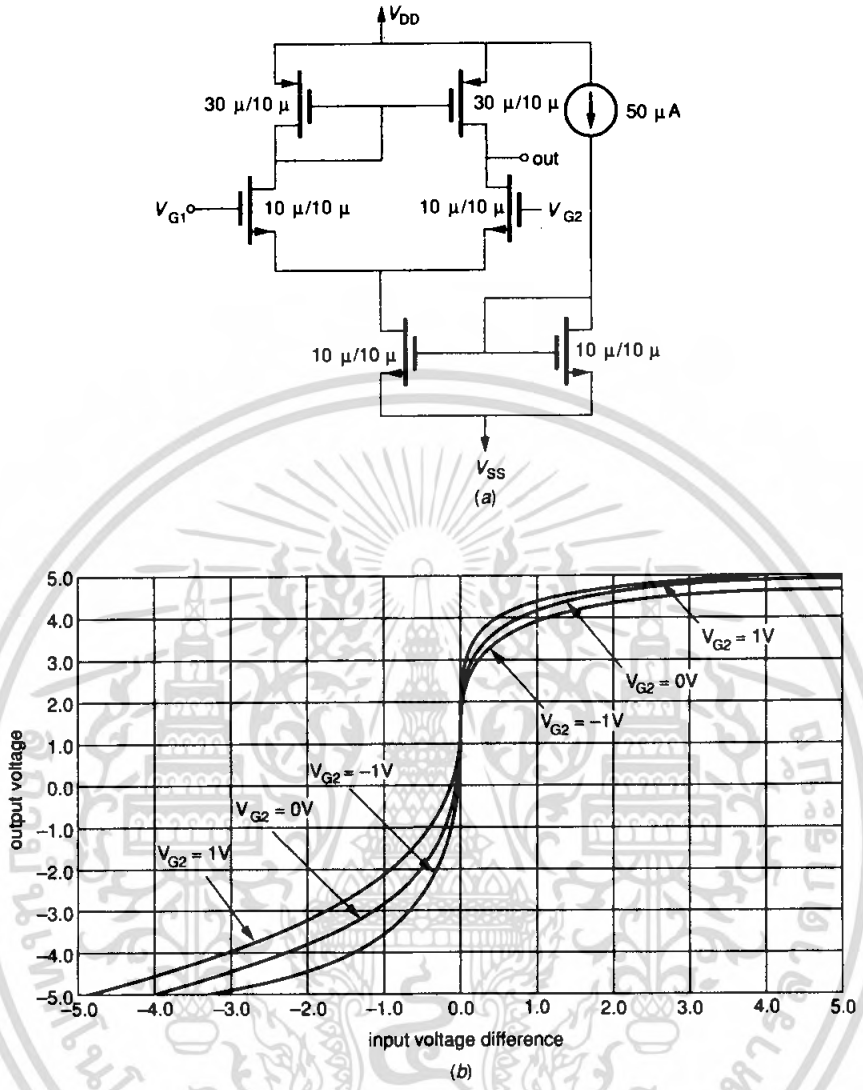
และค่าแรงดันทางเอาท์พุทที่น้อยที่สุดดังแสดงในรูปที่ 3.10c สามารถคำนวณได้ขณะที่ทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่ ดังสมการ

$$V_{out}(min) = V_{G2} - V_{T2} \qquad (3.67)$$

รูปที่ 3.13 แสดงถึงภาคขยายความแตกต่างเหมือนในรูปที่ 3.10c และทำการวิเคราะห์คุณสมบัติการถ่ายโอนแรงดัน จากค่า (W/L) แสดงในรูป 3.13b อิทธิพลของ V_{G2} ขึ้นอยู่กับ V_{out}(min) ดังตัวอย่างในรูป ขีดจำกัดของสัญญาณทางด้านอินพุทและเอาท์พุทของวงจรขยายความแตกต่างในรูปที่ 3.10a และ b

อัตราขยายของสัญญาณขนาดเล็กในโหมดร่วมของภาคขยายความแตกต่าง สามารถทำได้โดยการต่ออินพุทเข้าด้วยกัน และป้อนแรงดันเข้าที่ขาอินพุทข้างใดข้างหนึ่ง รูปแบบของสัญญาณขนาดเล็ก สำหรับวงจรขยายความแตกต่างของรูปที่ 3.10b จะแสดงในรูปที่ 3.14a ถ้าพิจารณาทรานซิสเตอร์ M1 และ M2 มีความสมาตรกันดังจะแสดงในรูปที่ 3.14b อัตราขยายโหมดร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



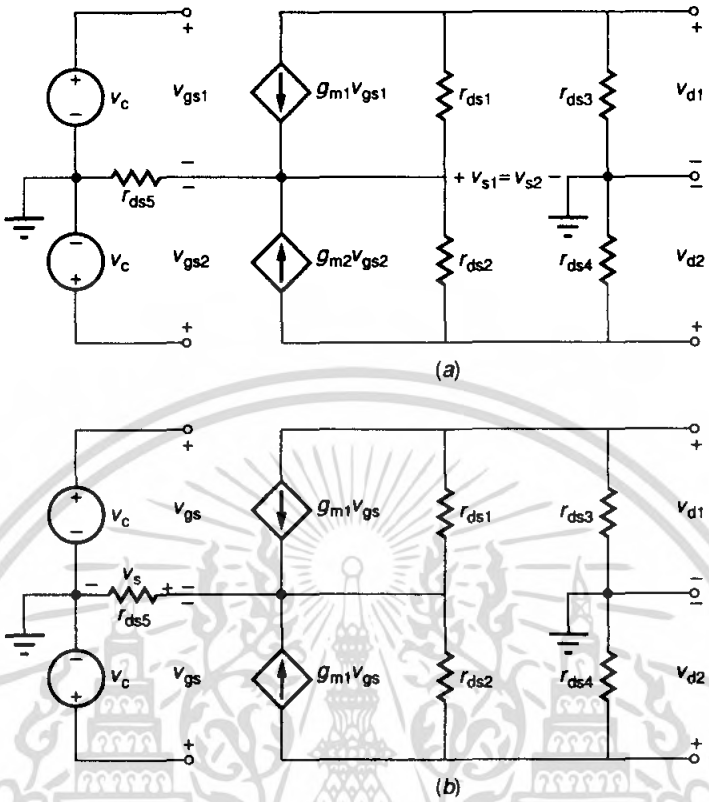
รูปที่ 3.13 a) ภาคขยายความแตกต่างทางอินพุทชนิด N-Channel

b) กราฟแสดงแรงดันค่าความนำเมื่อ Vg2 = -1 และ 1V(Vdd = 5V, Vss = -5V K'n=2K'p=28uA/V, VT=+/-0.7V, และ $\lambda_{N=0.01}V^{-1}$

จะได้จากการหาค่า Vd2 ในรูปของ Vc กระแสที่ผ่านจาก Vds_1 และ Vds_2 จะไหลผ่าน Vds_5 สามารถเขียนเป็นสมการดังนี้

$$V_s \approx 2gm_1 rds_5 V_c \tag{3.68}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 a) แสดงวงจรสัญญาณขนาดเล็กของรูปที่ 3.10b ในโหมดร่วม

b) แสดงวงจรอย่างง่ายของวงจรรูป (a)

ใช้ความสัมพันธ์ Vgs = Vg – Vs ดังนี้

$$V_{gs} = \frac{1}{1+2gm_1 rds_5} V_c \tag{3.69}$$

แรงดัน Vd_2 หาได้จากหลักการ Superposition ของแหล่งจ่ายทั้งสอง Vgs สามารถพิจารณาได้โดยง่ายถ้าไม่คิดค่า Vds_1 และ Vds_2 อัตราขยายแรงดันสามารถเขียนได้ดังนี้

$$\frac{V_{d2}}{V_c} = A_{VC} \cong \frac{-gm_1 rds_3}{1+2gm_1 rds_5} \tag{3.70}$$

อย่างไรก็ตามหลักการนี้อาจจะไม่แน่เสมอไป สำหรับวงจรขยายความแตกต่างในรูปที่ 3.10a เพราะว่าไม่มีจุดที่เหมาะสมเอาท์พุท ในทางปฏิบัติรูปที่ 3.10c จะแสดงให้เห็นว่าอัตราขยายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดร่วมจะไม่เท่ากับศูนย์ เพราะว่าในความเป็นจริงทรานซิสเตอร์ M1, M2, M3 และ M4 ไม่มีความเสมือนอย่างสมบูรณ์ ความผิดพลาดนี้จะส่งผลกระทบของวงจรขยายความแตกต่างในรูปที่ 3.10c และรูปที่ 3.10b ซึ่งจะทำให้อัตราขยายในโหมดร่วมนั้นไม่เท่ากับศูนย์ สำหรับวงจรขยายความแตกต่างในรูปที่ 3.10b อัตราส่วนของการขจัดโหมดร่วมสามารถหาได้ดังนี้

$$CMRR = \frac{|A_{Vds}|}{|A_{VC}|} = \frac{gds_3(1+2gm_1rds_5)}{gds_2 + gds_4} \tag{3.71}$$

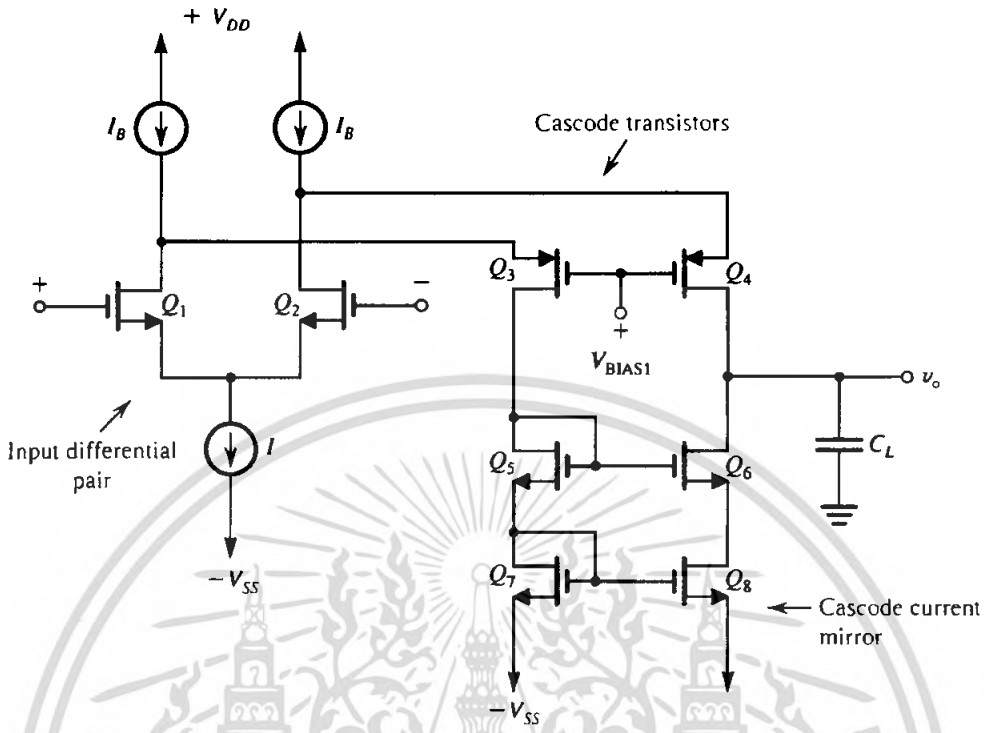
ถ้า $gds_2 = gds_3 = gds_4$ ดังนั้น CMRR ของรูป 3.10b จะประมาณค่าเท่ากับ gm_1rds_5 จะพิจารณา CMRR มีค่ามากๆ เท่าที่จะเป็นไปได้ และถ้า Vds_5 หรือ gm_1 มีค่าเพิ่มขึ้น วงจรขยายความแตกต่างก็จะมีความสามารถที่ดีขึ้นในการที่จะขจัดสัญญาณโหมดร่วม ในลักษณะของสัญญาณโหมดความแตกต่าง

3.3 ซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด (The Folded-Cascode CMOS Op Amp)

วงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดเป็นวงจรขยายที่นิยมใช้กันอย่างแพร่หลายในการออกแบบวงจรภายในของออปแอมป์ เพราะว่าเป็นวงจรที่ออกแบบง่าย มีอิมพีแดนซ์ทางเอาท์พุทที่สูงมาก เพราะเอาท์พุทของวงจรจะต่อวงจรแบบคาสโคด ดังนั้นจึงทำให้อัตราขยายแรงดันของสัญญาณสูงด้วย ถึงจะมีข้อดีมากมายแต่ข้อเสียของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดคือ เหมาะสำหรับใช้งานกับโหลดที่เป็นตัวเก็บประจุ เพราะถ้าโหลดเป็นตัวต้านทานแล้วจะทำให้อัตราขยายแรงดันของวงจรตกลงอย่างมาก เนื่องจากที่เอาท์พุทของวงจรโฟลด์เด็ดคาสโคดมีอิมพีแดนซ์ที่สูงมากเมื่อนำไปต่อโหลดที่เป็นตัวต้านทานแล้ว จะทำให้อิมพีแดนซ์ที่เอาท์พุทต่ำลงอัตราขยายจึงต่ำลงด้วย และอีกประการหนึ่งคือ วงจรโฟลด์เด็ดคาสโคดนี้ไม่มีภาคขยายสัญญาณทางเอาท์พุทให้แรงขึ้น ดังนั้นการใช้งานควรต่อวงจรบัฟเฟอร์ที่เอาท์พุทด้วย

ในรูปที่ 3.15 แสดงโครงสร้างของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด Q_1 และ Q_2 เป็นวงจร Input differential pair โดยการทำงาน Q_1 และ Q_2 จะต่อเป็นวงจรขยายสัญญาณแบบคอมมอนซอส ส่วน Q_3 และ Q_4 เป็น Cascode transistors ที่ขาเกทของ Q_3 และ Q_4 จะต่อกับแรงดันคงที่ V_{BIAS1} ดังนั้นสัญญาณที่อินพุทจะผ่าน Q_1 ไป Q_3 และ Q_2 ไป Q_4 โดย Q_1 และ Q_2 จะถูกไบอัสด้วยกระแสคงที่คือ I ดังนั้นกระแสที่ไหลผ่าน Q_1 หรือ Q_2 แต่ละตัวนั้น จะมีค่าเท่ากับ I/2 ส่วนกระแสที่ไหลผ่าน Q_3 หรือ Q_4 แต่ละตัวนั้นจะมีค่าเท่ากับ($I_B - I/2$) ถ้าเลือก $I_B = I$ แล้ว มอสทั้งหมดจะทำงานที่กระแส I/2 อย่างไรก็ตามควรจะเลือก I_B ให้มีค่ามากกว่า I อยู่ 10% ถึง 20%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

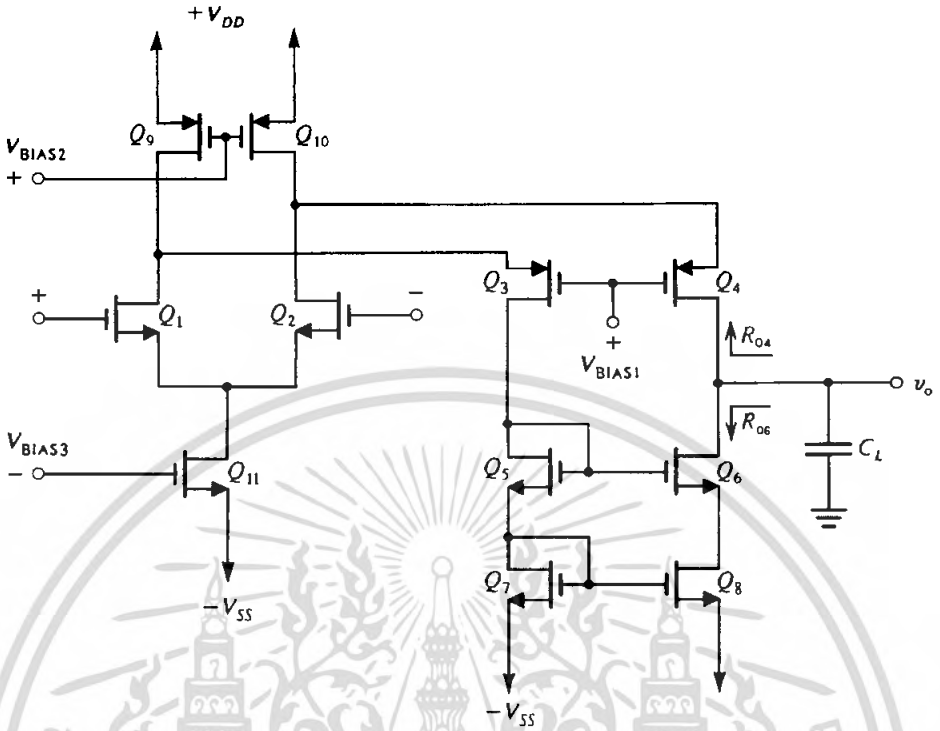


รูปที่ 3.15 แสดงโครงสร้างของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด

ส่วน Q_5 , Q_6 , Q_7 และ Q_8 นั้นจะต่อวงจรแบบ Cascode current mirror เพื่อเป็นการเพิ่มอิมพีแดนซ์ทางเอาท์พุทให้สูงขึ้น ในรูปที่ 3.16 เป็นวงจรขยายซีมอสแบบโฟลด์เด็ดคาสโคดที่สามารถนำไปใช้งานจริงได้โดยมีมอส Q_9 และ Q_{10} เป็นตัวจ่ายกระแสคงที่ I_B ให้กับวงจรทั้งหมด โดยสามารถกำหนดค่ากระแสได้จากการป้อนแรงดัน V_{BIAS2} และปรับค่า (W/L) ของตัวมันเอง

Q_{11} ทำหน้าที่เป็นตัวควบคุมกระแสคงที่ให้กับ Q_1 และ Q_2 โดยกำหนดกระแสได้จากการป้อนแรงดัน V_{BIAS3} หรือปรับค่า (W/L) ของตัวมันเองเช่นเดียวกัน การจ่ายแรงดัน V_{BIAS1} , V_{BIAS2} และ V_{BIAS3} นั้นจะมีผลโดยตรงกับการ Swing แรงดันของสัญญาณ ทางอินพุทและเอาท์พุท ดังนั้นเราสามารถกำหนดการ Swing แรงดันของสัญญาณ ทางอินพุทและเอาท์พุทได้โดยขึ้นอยู่กับการออกแบบของผู้ออกแบบเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดที่ใช้งานจริง

3.3.1 อินพุทคอมมอนโหมดเรนจ์และเอาท์พุทโวลเตรจสวิง (Input Common-Mode Range and the Output Voltage Swing)

การหาค่าแรงดันคอมมอนโหมดเรนจ์ (V_{ICM}) นั้นขั้วอินพุททั้งสองต้องเชื่อมต่อเข้าหากันแล้วต่อกับแรงดัน V_{ICM} การที่จะทำให้แรงดัน V_{ICM} มีค่าสูงสุดนั้นจำเป็นที่ Q_1 และ Q_2 จะต้องทำงานในช่วงอิ่มตัว (Saturation) ตลอดเวลา ฉะนั้นแรงดัน V_{ICM} สูงสุดที่เป็นไปได้และยังทำให้ Q_1 และ Q_2 ยังทำงานในช่วงอิ่มตัวอยู่คือ มีค่ามากกว่าแรงดันที่ขาเดรนไม่เกิน V_{TN} แรงดันที่ขาเดรน (V_D) นั้นควรมีค่าใกล้เคียงกับแรงดัน V_{DD} แต่ในความเป็นจริงแล้วแรงดัน V_D จะถูกคร็อปให้น้อยกว่า V_{DD} โดยแรงดันต่ำสุดที่จะไปตกคร่อมที่มอส Q_9 หรือ Q_{10} คือ V_{DS}(sat)

ดังนั้น
$$V_{ICM}\,(max) = V_{DD} - V_{DS}(sat)_9 + V_{TN} \qquad (3.72)$$

แรงดัน V_{BIAS2} นั้นจะเป็นตัวกำหนดกระแสของ Q_9 และ Q_{10} ซึ่งเป็นตัวจ่ายกระแสหลักของวงจร ค่า V_{DS}(sat) อย่างน้อย ควรออกแบบให้เท่ากับ 0.2V หรือมีค่ามากกว่านั้นเพื่อที่จะทำให้ Q_9 และ Q_{10} ยังทำงานในช่วงอิ่มตัวอยู่ ส่วนแรงดัน V_{ICM} ต่ำสุดนั้นจะเป็นไปตามสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{ICM}(\min) = -V_{SS} + V_{GS1} + V_{DS}(sat)_{11} \quad (3.73)$$

แรงดัน V_{BIAS3} จะเป็นตัวกำหนดกระแสของ Q_1 และ Q_2 จากสมการ (3.73) จะเห็นว่าแรงดัน $V_{GS\ 1}$ และ $V_{DS}(sat)_{11}$ ควรจะมีค่าน้อยๆ เพื่อที่ $V_{ICM}(\min)$ จะมีค่าใกล้เคียงกับ $-V_{SS}$ มากที่สุด อย่างไรก็ตาม $V_{DS}(sat)$ ของมอสแต่ละตัวควรมีค่าต่ำสุดคือ 0.2V หรือมากกว่า เพื่อที่จะทำให้มอสยังทำงานในช่วงอิ่มตัวอยู่ จากสมการ (3.72) และ (3.73) เราสามารถเขียนได้เป็น

$$-V_{SS} + V_{GS1} + V_{DS}(sat)_{11} \leq V_{ICM} \leq V_{DD} - V_{DS}(sat)_9 + V_{TN} \quad (3.74)$$

การหาค่าแรงดันเอาท์พุทสูงสุด ($V_O(max)$) นั้น Q_{10} และ Q_4 จะต้องทำงานในช่วงอิ่มตัวเสมอ โดยที่แรงดัน $V_{DS}(sat)_{10}$ นั้นควรมีค่าน้อยๆเพื่อที่แรงดัน V_O จะได้ Swing ได้มากที่สุด เราสามารถเลือกค่า V_{BIAS1} ได้ถ้า Q_{10} ทำงานในช่วงอิ่มตัวนั่นคือ

$$V_{BIAS1} = V_{DD} - V_{DS}(sat)_{10} - |V_{GS4}| \quad (3.75)$$

เมื่อเรารู้ค่า V_{BIAS1} แล้วเราสามารถหาค่า $V_O(max)$ ได้โดยแรงดัน V_O ที่ขาเดรนของ Q_4 ซึ่งเป็น PMOS จะ Swing ได้สูงสุดคือ

$$V_O(max) = V_{BIAS1} + |V_{TP}| \quad (3.76)$$

แทนสมการ (3.75) และ (3.76) จะได้

$$V_O(max) = V_{DD} - V_{DS}(sat)_{10} - |V_{GS4}| + |V_{TP}| \quad (3.77)$$

หรือ

$$V_O(max) = V_{DD} - V_{DS}(sat)_{10} - V_{DS}(sat)_4 \quad (3.78)$$

ค่าแรงดันเอาท์พุทต่ำสุด ($V_O(min)$) นั้น Q_6 และ Q_8 ต้องทำงานในช่วงอิ่มตัวเสมอเช่นกัน โดยที่แรงดัน $V_{DS}(sat)_6$ และ $V_{DS}(sat)_8$ ควรมีค่าน้อยๆเพื่อที่แรงดัน V_O จะ Swing ได้ต่ำสุด สังเกตว่าแรงดัน $V_{GS\ 8} = V_{GS\ 7} = V_{DS\ 7}$ โดยที่ Q_7 และ Q_8 เป็นวงจร Current mirror ดังนั้น $V_{DS\ 7}$ ควรที่จะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ $V_{DS\,8}$ ในการออกแบบควรเลือกค่า $V_{DS\,8}$ ให้น้อยสุด คือ $V_{DS}(sat)_8$ นั่นเอง จากความสัมพันธ์ที่ได้เราสามารถทราบค่า $V_O(min)$ ได้คือ

$$V_O\,(min) = -V_{SS} + V_{DS}(sat)_6 + V_{GS\,8} \tag{3.79}$$

หรือ

$$V_O\,(min) = -V_{SS} + V_{DS}(sat)_6 + V_{DS}(sat)_8 + V_{TN} \tag{3.80}$$

เราอาจพิจารณา ให้ $V_{DS}(sat)_6 = V_{DS}(sat)_8$ จะได้

$$V_O\,(min) = -V_{SS} + 2V_{DS}(sat)_6 + V_{TN} \tag{3.81}$$

3.3.2 อัตราขยายแรงดัน (Voltage Gain)

วงจรซีมอสออปแอมป์แบบโฟลด์คาสโคด ในเบื้องต้นก็คือ วงจรขยายความนำ (Transconductance amplifier) เพราะอินพุทของวงจรจะมีความต้านทานคือ Ri , มีค่าความนำคือ Gm , และความต้านทานเอาท์พุทคือ Ro ค่าของ Gm มีค่าเท่ากับ g_m ที่มอสของวงจร Differential amp คือ Q_1 และ Q_2 จะได้

$$Gm = g_{m\,1} = g_{m\,2} \tag{3.82}$$

ดังนั้น

$$Gm = \frac{2(I/2)}{V_{DS}(sat1)} = \frac{I}{V_{DS}(sat1)} \tag{3.83}$$

ความต้านทานทางเอาท์พุทของวงจรที่ต่อแบบคาสโคดคือ

$$Ro = Ro_4 \,//\, Ro_6 \tag{3.84}$$

โดยที่ Ro_4 คือความต้านทานมีค่า

$$R_{o4} \cong (g_{m4}r_{o4})(r_{o2} \,//\, r_{o10}) \tag{3.85}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่าความต้านทาน Ro_6 คือ

$$R_{o6} \cong g_{m6}r_{o6}r_{o8} \tag{3.86}$$

สมการ (3.85) และ (3.86) จะได้

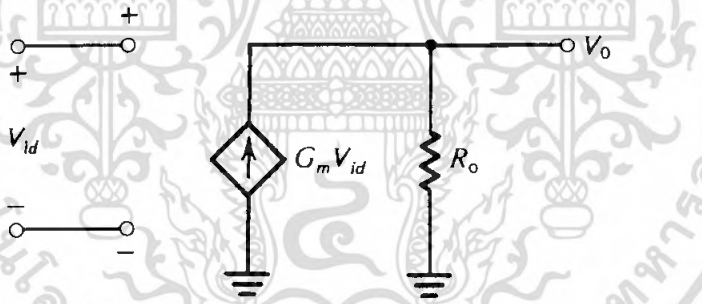
$$\text{Ro} = [(g_{m4}r_{o4})(r_{o2} /\!/ r_{o10})] /\!/ (g_{m6}r_{o6}r_{o8}) \tag{3.87}$$

จากรูปที่ 3.17 จะได้ค่าอัตราขยายแรงดันของสัญญาณ (DC Open-Loop Gain) จากค่า Gm และ Ro คือ

$$A_V = \text{GmRo} \tag{3.88}$$

ดังนั้น

$$A_V = \text{Gm}\{[(g_{m4}r_{o4})(r_{o2} /\!/ r_{o10})] /\!/ (g_{m6}r_{o6}r_{o8})\} \tag{3.89}$$



รูปที่ 3.17 วงจรสมมูลย์ของซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดเมื่อวิเคราะห์สัญญาณขนาดเล็ก

เพราะว่าวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดเป็นวงจรขยายความนำซึ่งมีชื่อเรียกว่า Operational Transconductance Amplifier (OTA) ที่มีความต้านทานทางเอาท์พุทที่สูงมากมีกำลังเท่ากับ $g_m r_o^2$ (ดูสมการ 3.87) ดังนั้นมันจึงมีอัตราการขยายแรงดันที่สูงด้วย ในวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดหรือวงจรออปแอมป์ทั่วไป เราสามารถหาค่าความต้านทานทางเอาท์พุทแบบ Close-Loop ได้โดยการต่อออปแอมป์ให้มีการป้อนกลับแบบลบ (Negative feedback) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{of} = \frac{R_o}{1 + A_v} \cong \frac{R_o}{A_v} \tag{3.90}$$

จากสมการ (3.88) และ (3.90) จะได้

$$R_{of} = \frac{1}{Gm} = \frac{1}{g_{m1}} = \frac{1}{g_{m2}} \tag{3.91}$$

3.3.3 การตอบสนองทางความถี่ (Frequency Response)

ข้อดีอย่างหนึ่งของโครงสร้างแบบคาสโคด (Cascode configuration) คือ สามารถตอบสนองที่ความถี่สูงได้ดี ซึ่งมีโพลที่อินพุทและที่เอาท์พุท โดยทั่วไปสองโพลแรกจะอยู่ที่ความถี่สูงมาก จากที่ออปแอมป์แบบซีมอสใช้ในการขับโหลดตัวเก็บประจุ (ซึ่งปกติ C_L มีค่ามาก) โพลที่เอาท์พุทจึงกลายเป็นโพลหลัก (Dominant Pole) จากรูปที่ 3.17 สามารถเขียนได้ดังนี้

$$\frac{V_O}{V_{id}} = \frac{GmR_O}{1 + sC_L R_O} \tag{3.92}$$

ดังนั้น โพลหลักจะมีความถี่ f_p,

$$f_p = \frac{1}{2\pi C_L R_O} \tag{3.93}$$

และความถี่ที่มีอัตราขยายเท่ากับหนึ่ง (Unity-Gain Frequency, f_t ,GB) จะได้

$$\text{GB} = f_t = GmR_O f_p = \frac{Gm}{2\pi C_L} \tag{3.94}$$

ค่า C_L ควรจะมีค่าที่ทำให้การเลื่อนเฟสที่ความถี่ที่ f_t มีค่าเพียงพอกับข้อกำหนดเฟสมาจิน (Phase Margin)

สำหรับวงจรออปแอมป์แบบสองภาค ถ้า C_L มีค่าเพิ่มขึ้น, ความถี่ของโพลที่สองจะมีค่าลดลง หรือ f_t มีค่าลดลงทำให้เฟสมาจินเพิ่มขึ้น อีกนัยหนึ่งคือโหลดตัวเก็บประจุที่มีค่ามากจะลดแบนด์วิดท์ของวงจรขยายแบบพับ (Folded Cascade Amplifier) แต่ไม่ทำให้ความสามารถในการตอบสนองลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 อัตราสลูว์ (Slew Rate)

สลูว์เกิดขึ้นเมื่อมีการป้อนสัญญาณอินพุทที่มีความต่างกันมาก จากรูปที่ 3.15 พิจารณากรณีที่สัญญาณขนาดใหญ่ V_{id} ถูกป้อนให้กับวงจรแล้ว Q_2จะไม่ทำงาน และ Q_1 จะนำกระแสเท่ากับ I จะเห็นว่า Q_3 จะนำกระแสเท่ากับ $(I_B\text{-}I)$ และ Q_4 จะนำกระแสเท่ากับ I_B วงจรสะท้อนกระแสจะเห็นกระแสอินพุทเท่ากับ $(I_B\text{-}I)$ ผ่าน Q_5 และ Q_7 ดังนั้นกระแสเอาท์พุทที่ขาเดรนของ Q_6จะเท่ากับ $(I_B\text{-}I)$ ที่จุดเอาท์พุทกระแสจะไหลผ่าน C_L เท่ากับ $(I_4 - I_6) = I_B - (I_B - I) = I$ ดังนั้นแรงดันเอาท์พุท Vo จะมีความชัน I/C_L ซึ่ง คือ อัตราสลูว์

$$SR = \frac{I}{C_L} \tag{3.95}$$

เหตุผลที่เลือก $I_B > I$ เนื่องจากป้องกันการไม่ทำงานของวงจรสะท้อนกระแส โดยทั่วไปจะกำหนดให้ I_B มีค่ามากกว่า I ประมาณ 10% ถึง 20% จากสมการ (3.94), (3.95) และ (3.83) สามารถนำมารวมกันเพื่อหาความสัมพันธ์ระหว่าง SRและ f_t

$$SR = 2\pi f_t V_{DS}(sat1) \tag{3.96}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรกรองความถี่

4.1 บทนำ

วงจรกรองความถี่ (Filter) คือวงจรที่ทำหน้าที่กรองสัญญาณ โดยวงจรกรองจะยอมให้สัญญาณ เฉพาะบางย่านความถี่ผ่านไปได้เท่านั้น ส่วนความถี่อื่นๆที่ไม่ต้องการให้ผ่านจะถูกลดทอน(Attenuate) จนหมดไปเราจะเรียกย่านความถี่ ที่วงจรยอมให้ผ่าน ว่าย่านความถี่ผ่าน(Pass band) และย่านความถี่ที่วงจรกั้นไม่ให้ผ่าน จะเรียกว่า ย่านความถี่หยุด (Stop band) ซึ่งในปัจจุบันวงจรกรองมีทั้งแบบดิจิตอลและแบบอนาล็อก วงจรกรองที่ใช้กันอยู่มีอยู่ 2 ลักษณะคือ แบบที่เป็นพาสซีฟ(passive) และแบบแอคทีฟ (active) วงจรในแบบพาสซีฟนั้นใช้อุปกรณ์เพียงแค่ตัวต้านทาน ตัวเก็บประจุและตัวเหนี่ยวนำเท่านั้นแต่ในวงจรประเภทแอคทีฟจะรวมส่วนขยายเท่านั้นที่เพิ่มเข้ามาด้วย

4.2 ประเภทของวงจรกรองความถี่

โดยทั่วไปเราสามารถแยกประเภท ของวงจรกรองความถี่ได้ตามลักษณะ ของผลการตอบสนองทางความถี่(Frequency Response) ของวงจร ทั้งนี้ผลตอบสนองทางความถี่ จะแสดงถึงผลตอบสนองของวงจรที่มีต่อสัญญาณที่ความที่ต่างๆโดยเราสามารถแบ่งผลการตอบสนองทางความถี่ออกได้เป็น

-ผลตอบสนองทางขนาด(Magnitude Response) ซึ่งจะแสดงอัตราขยาย (Gain) ของวงจรที่ความถี่ต่างๆ

-ผลตอบสนองทางเฟส(Phase Response) ซึ่งจะแสดงการเลื่อนเฟสของสัญญาณที่ความที่ต่างๆ

โดยทั่วไปเรานิยมวาดกราฟผลตอบสนองความถี่ ในรูปของผลการตอบสนองทางขนาดโดยวาดกราฟในหน่วยของ dB บนสเกลกึ่งล็อก

หากเราแบ่งประเภทของวงจรกรองตามผลตอบสนองทางความถี่ จะสามารถแบ่งออกเป็น 4 แบบด้วยกัน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.วงจรผ่านความถี่ต่ำ (low pass filter)

2.วงจรผ่านความถี่สูง (high pass filter)

3.วงจรผ่านแถบความถี่ (band pass filter)

4.วงจรกำหนดแถบความถี่ (band stop filter)

ในทางปฏิบัติเราไม่สามารถสร้างวงจรกรองที่มีผลตอบสนอง เป็นดังรูปได้เนื่องจากความไม่เป็นอุดมคติ ดังนั้นเราจึงใช้การประมาณผลตอบสนองทางความถี่ ซึ่งเราเรียกว่า ทฤษฎีการประมาณ (Approximation Theory)

4.3 ทฤษฎีการประมาณ (Approximation Theory)

โดยส่วนใหญ่ข้อกำหนดคุณสมบัติ (Specification) ของวงจรจะถูกกำหนด ในรูปของผลตอบสนองทางความถี่ โดยทั่วไปขั้นตอนการออกแบบวงจรกรอง จะเริ่มจากหาฟังก์ชันโครงข่ายที่สอดคล้องกับคุณสมบัติของวงจร โดยใช้ทฤษฎีการประมาณ แล้วจึงนำฟังก์ชันโครงข่ายที่ได้ ไปทำการสังเคราะห์ให้เป็นวงจรต่อไป หลังจากนั้นจึงเขียนให้อยู่ในรูปของการเชื่อมต่อ ของอุปกรณ์อนาล็อกชนิดต่างๆ หรืออาจใช้วิธีการแปลงสู่โดเมนดิจิตอลจากฟังก์ชัน การถ่ายโอนโดยตรงเพื่อสร้างเป็นวงจรกรองดิจิตอลเชิงคลื่นขึ้นมา ซึ่งในที่นี้จะขอยกตัวอย่างการประมาณที่นิยมเพียง 3 แบบเท่านั้น คือ การประมาณโดยใช้ฟังก์ชัน บัตเตอร์เวิร์ธ ,เชบีเชฟและ เอลลิพติก ส่วนการนำไปใช้นั้นก็แล้วแต่ลักษณะของงานที่จะใช้ เพราะว่าแต่ละแบบมีจุดดีจุดเด่นที่แตกต่างกัน

4.4 การสุ่มสัญญาณต่อเนื่อง (Sampling of continuous signal)

ในทางปฏิบัติเรามักมีสัญญาณต่อเนื่องทางเวลาเสมอ แต่เมื่อต้องการประมวลสัญญาณ ในเชิงเวลาเต็มหน่วย สัญญาณต่อเนื่องดังกล่าวจะถูกเปลี่ยนรูป ให้เป็นสัญญาณเวลาเต็มหน่วยที่สอดคล้องกัน วิธีการก็คือการแทนสัญญาณต่อเนื่องเป็นช่วง ๆ ห่างกันเวลา T_s คงที่ (คือการสุ่มตัวอย่าง) ถ้าหาก T_s มีค่าที่เหมาะสมแล้วการแทนดังกล่าว จะยังคงความถูกต้องเอาไว้ ดังนั้นผลการสุ่มก็คือ การคูณสัญญาณต่อเนื่องด้วยสัญญาณอิมพัลส์ที่ไปเรื่อย ๆ แต่ละครั้งห่างกันเป็นเวลา $T = T_s = 1/f_s$

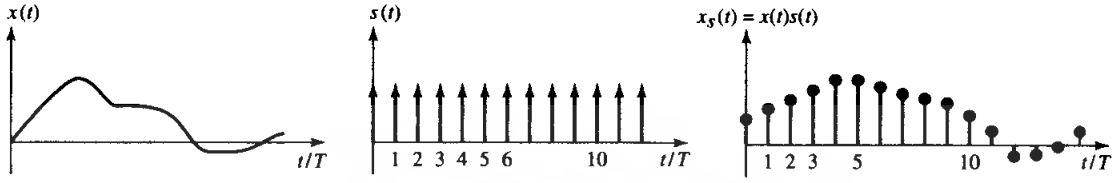
$$y(t) = x(nt) = x(t) * \sum_{t=-\infty}^{+\infty} \delta(t - nT)$$

$$= \sum_{t=-\infty}^{+\infty} x(nT)\delta(t - nT)$$

$$= \sum_{t=-\infty}^{+\infty} x(t)\delta(t - nT) \qquad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่า X(t) ซึ่งเป็นสัญญาณต่อเนื่องจะแทนด้วยชุดแถวของตัวแทน ที่นับด้วยค่าของเลขจำนวนเต็มคือ n คือ x(nT) โดยแต่ละตัวอย่างนั้นจะห่างกันด้วยเวลา T กระบวนการสุ่มนี้แสดงได้ดังรูป



รูปที่ 4.1 แสดงการสุ่มสัญญาณ

กระบวนการดังกล่าวนี้อาจแสดงได้ในโดเมนทางความถี่ หาก $\delta(t) \Leftrightarrow \delta(\omega); x(t) \Leftrightarrow X(\omega)$ การคูณในโดเมนเวลาคือการคูณประสาน (Convolution) ในโดเมนความถี่

$$\sum_{n=-\infty}^{+\infty}\delta(t-nT) \lhd\rhd \frac{2\pi}{T}\sum_{n=-\infty}^{+\infty}\delta\left(\omega-\frac{2\pi}{T}\right) \tag{4.2}$$

ดังนั้น

$$Y(\omega)=\frac{1}{2\pi}X(\omega)*\frac{2\pi}{T}\sum_{n=-\infty}^{+\infty}\delta\left(\omega-\frac{2\pi}{T}\right)$$

$$=\frac{1}{T}\sum_{n=-\infty}^{+\infty}X(\omega)*\delta\left(\omega-\frac{2\pi}{T}\right)$$

$$=\frac{1}{T}\sum_{n=-\infty}^{+\infty}X\left(\omega-\frac{2n\pi}{T}\right) \tag{4.3}$$

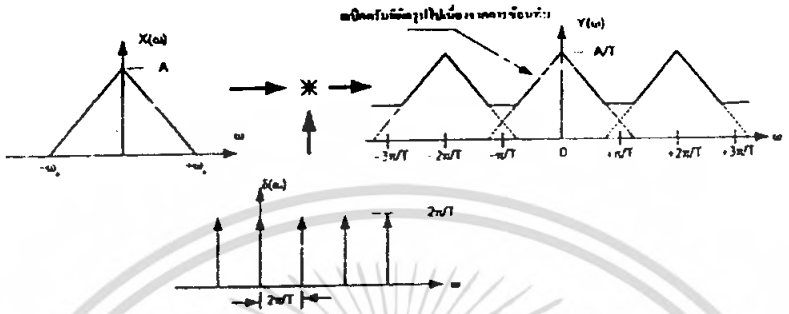
4.4.1 การเกิดปรากฏการณ์ซ้อนทับ (Aliasing effect)

พิจารณาเมื่อความถี่ในการสุ่มสัญญาณน้อยกว่า 2 เท่าของความถี่สัญญาณที่ถูกสุ่มหรือ $2f_a > f_s$ หรือ $|\omega| > \pi/T$ ผลจากการสุ่มสัญญาณในโดเมนความถี่จะได้

$$Y(\omega)=\frac{1}{T}\sum_{n=-\infty}^{+\infty}X\left(\omega_a-\frac{2n\pi}{T}\right) \tag{4.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

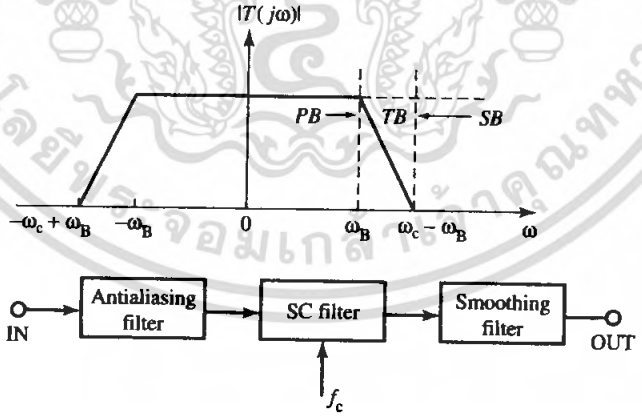
หาก $|\omega| > \pi/T$ จะเห็นได้ว่ามีการซ้อนทับของสเปกตรัมที่เกิดขึ้น การบวกกันในบริเวณที่ซ้อนทับทำให้ค่าสเปกตรัมผิดไปจากค่าที่ควรจะเป็น เมื่อสร้างคืนสัญญาณก็จะได้ค่าที่ไม่ถูกต้อง



รูปที่ 4.2 แสดงการเกิดปรากฏการณ์ซ้อนทับในโดเมนความถี่

4.5 Sample Data Fitter System

วงจรกรองความถี่ที่มีการสุ่มข้อมูล ที่ใช้งานในวงจรที่มีสัญญาณที่มีความต่อเนื่อง เอาท์พุทและอินพุทเป็นสัญญาณอนาล็อก ซึ่งก็คือวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์แสดงบล็อกไดอะแกรมดังรูปที่ 4.3



รูปที่ 4.3 แสดงระบบฟิลเตอร์แบบสุ่มข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปบล็อกไดอะแกรมจะประกอบด้วยวงจรป้องกันการ aliasing ของรูปสัญญาณที่มีความต่อเนื่องทางเวลาจากความถี่ ของการสุ่มสัญญาณมีค่าต่ำวงจรสุ่มข้อมูลแสดงค่า (Sample and hole) เป็นวงจรส่วนหน้าของวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์และมีย่านความถี่ครอบคลุมผลตอบสนองของวงจร สัญญาณวงจรที่ผ่านวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์จะต้องถูกสุ่มอีกครั้งก่อนโดยวงจรสุ่มข้อมูลและทำการคืนรูป ให้เป็นสัญญาณที่มีความต่อเนื่องทางเวลา พร้อมกับปรับรูปคลื่นให้มีความราบรื่น (Smooth) ด้วยวงจรที่เรียกว่า Continuous Reconstruction Filter โดยทั่วไปทั้งระบบนิยมความถี่ $f_{c1} = f_c = f_{cN} = fc$ เพื่อป้องกันการรบกวนระหว่างกันของสัญญาณนาฬิกา

4.6 Sampled-Data Operation

จากรูปวงจร Inverting lossy integrator เราสามารถหาค่ากระแส i (t) ที่ไหลผ่านตัวเก็บประจุ C_1 ในช่วงสัญญาณนาฬิกาเฟสหนึ่งได้เท่ากับ

$$i(t) = C_1 \frac{dv_1(t)}{dt} = -(C_F + C_3)\frac{dv_{out}(t)}{dt} \tag{4.5}$$

จากนั้นเมื่อทำการอินทิเกรตสมการ (4.5) ที่เวลา (n-1/2) Tของช่วงสัญญาณนาฬิกาเฟสสองจนถึงเวลาปัจจุบัน nT ของช่วงสัญญาณนาฬิกาเฟสหนึ่ง จะได้ว่า

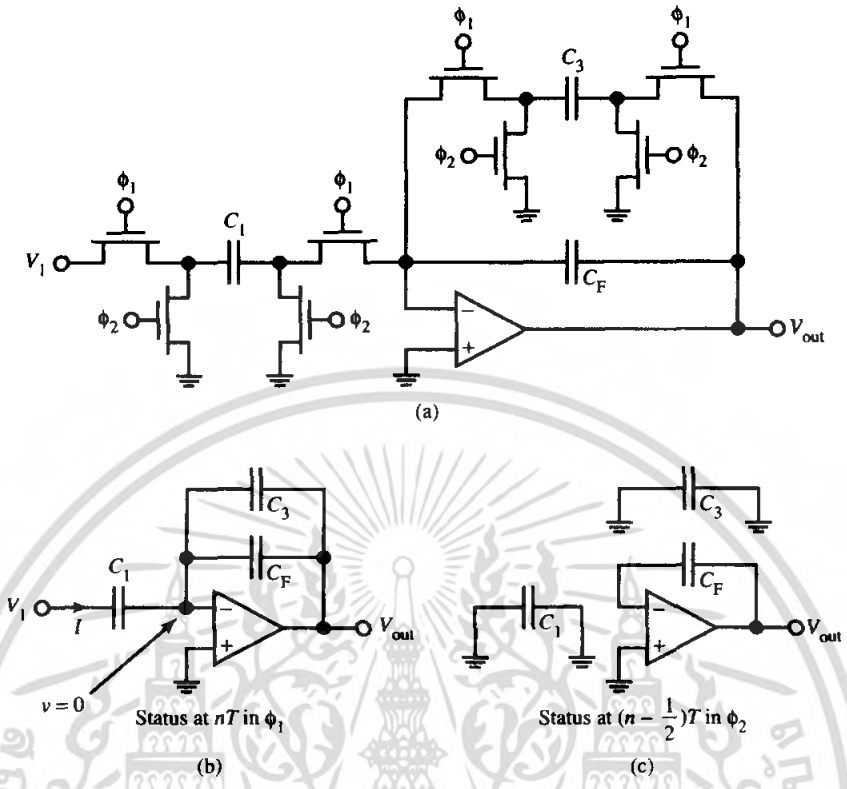
$$C_1 v_1\Big|_{(n-1/2)T}^{nT} = -(C_F + C_3)v_{out}(t)\Big|_{(n-1/2)T}^{nT}$$

$$C_1\{v_1(nT) - v_1[(n-1/2)T]\} = -(C_F + C_3)\{v_{out}(nT) - v_{out}[(n-1/2)T]\} \tag{4.6}$$

จากรูปที่ (4.4 c) จะพบว่าตัวเก็บประจุ C_1 และ C_3 ในช่วงเวลา $t = (n-1/2)T$ ทำการคายประจุลงกราวด์หรือมีประจุเท่ากับศูนย์ดังนั้น จากสมการ (4.6) เราจะได้ว่า

$$C_1 v_1[(n-1/2)T] = 0 \quad \text{and} \quad C_3 v_{out}[(n-1/2)T] = 0 \tag{4.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 (a) Inverting lossy integrator (b) during $\phi 1$ (c) during $\phi 2$

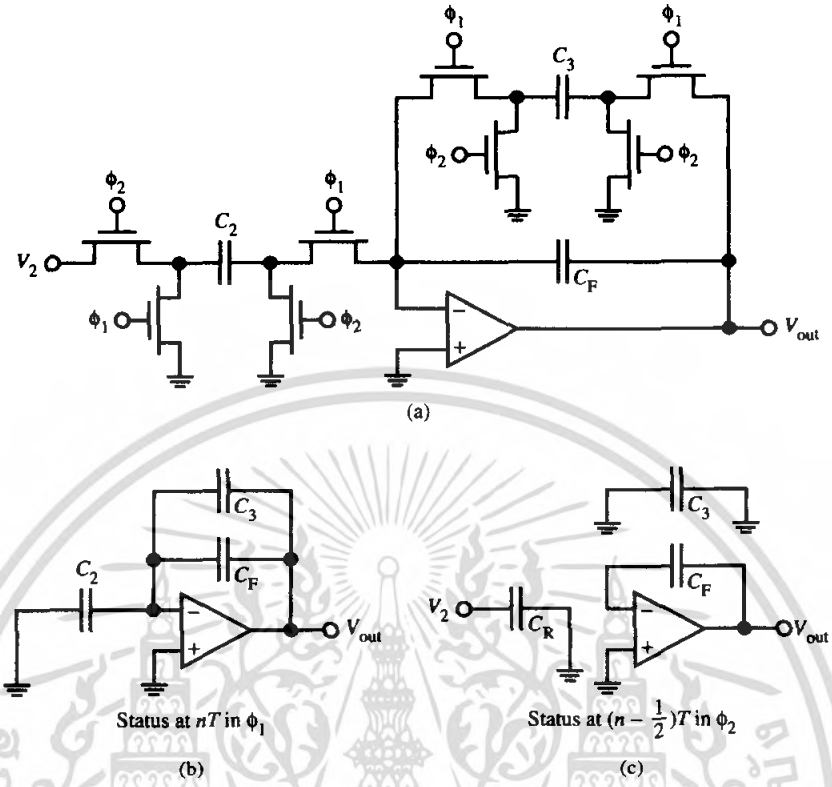
นำเงื่อนไขข้างต้นไปแทนในสมการที่ 4.6 จะได้สมการใหม่ดังนี้คือ

$$(C_F + F_3)v_{out}(nT) - C_F v_{out}[(n-1/2)T] = -C_1 v_1(nT) \tag{4.8}$$

จากนั้นสังเกตว่าออปแอมป์ถูกแยกโดดเดี่ยวตั้งแต่ช่วงเวลา $(n-1)T$ ดังนั้นจะสามารถคงค่าแรงดัน V_{out} หรือพบว่า $v_{out}[(n-1/2)T] = v_{out}[(n-1)T]$ ดังนั้นจากสมการที่ (4.8) เราจะสามารถเขียนใหม่ได้ว่า

$$C_F\{v_{out}(nT) - v_{out}[(n-1)T]\} + C_3 v_{out}(nT) = -C_1 v_1(nT) \tag{4.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 (a) Non-inverting lossy integrator (b) during $\phi 1$ (c) during $\phi 2$

ด้วยวิธีเดียวกันนี้ เราจะสามารถวิเคราะห์วงจร Non-inverting Lossy Integrator จากรูปโดยสังเกตว่า ณ เวลา $[(n-1/2)T]$ประจุบนตัวเก็บประจุ C_2 จะเท่ากับ $C_2 v_2[(n-1/2)T]$ และประจุบนตัวเก็บประจุ C_F จะมีค่าเท่ากับ $C_F v_{out}[(n-1/2)T]$ จากนั้น ที่เวลา nT ตัวประจุ C_2 และ C_3 จะเชื่อมต่อกับวงจร และสังเกตว่าประจุบนตัวเก็บประจุ C_2 จะกลับขั้ว จากรูป (4.5) ตัวเก็บประจุ C_2 จะทำการคายประจุทั้งหมดเนื่องจากทำการเชื่อมต่อ อยู่กับกราวด์และกราวด์เสมือน โดยคายประจุ $C_2 v_2[(n-1/2)T]$ ไปยังตัวเก็บประจุ $(C_F + C_3)$จากนั้นเราจะได้สมการการรวมประจุเป็น

$$(C_F + C_3)v_{out}(nT) = C_F v_{out}[(n-1/2)T] + C_2 v_2[(n-1/2)T] \qquad (4.10)$$

สมมติว่าสวิทช์ทำการเปิดและปิดในทันทีเมื่อมีการเปลี่ยนแปลงที่ขอบของสัญญาณนาฬิกา และไม่มีการถ่ายโอนประจุในระหว่างเวลา $(n-1)$กับเวลา $(n-1/2)T$ เราจะสามารถประมาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า $v_2[(n-1/2)T]=v_2[(n-1)T]$ และว่า $v_{out}[(n-1/2)T]=v_{out2}[(n-1)T]$ จากสมการที่ (4.10) จะได้ว่า

$$C_F\{v_{out}(nT)-v_{out}[(n-1)T]\}+C_3v_{out}(nT)=C_2v_{out}[(n-1)T] \tag{4.11}$$

จากนั้นใช้ลาปลาซทรานสฟอร์ม โดย $L\{v(t-nT)\}=V(s)e^{-snT}$ และกำหนดให้คาบ $T=1$ จากนั้นทำการแทนค่าลงไปในสมการที่ (4.11) จะได้ว่า

$$C_F\left[V_{out}(n)-V_{out}(n)e^{-sT}\right]+C_3v_{out}(n)=-C_1V_1[n] \tag{4.12}$$

$$\frac{V_{out}(n)}{V_1(n)}=-\frac{C_1}{C_F(1-e^{-sT})+C_3} \tag{4.13}$$

และแทนค่าลงไปในสมการที่ (4.13) จะได้ว่า

$$C_F\left[V_{out}(n)-V_{out}(n)e^{-sT}\right]+C_3V_{out}(n)=C_2V_2(n)e^{-sT} \tag{4.14}$$

$$\frac{V_{out}(n)}{V_1(n)}=-\frac{C_2e^{-sT}}{C_F(1-e^{-sT})+C_3} \tag{4.15}$$

เราสนใจค่า Transfer Functions ของอินทิเกรเตอร์ 2 ตัว และพิจารณาแกน $j\omega-axis$ และ $f_c=1/T>>2\pi f=\omega, ie., \omega T<<1$ และประมาณ $e^{-j\omega T}\approx 1-j\omega T$

$$\frac{V_{out}}{V1}=-\frac{C_1}{C_F\left(1-e^{-j\omega T}\right)+C_3}\approx-\frac{C_1}{C_F\left(1-1+j\omega T\right)+C_3} \tag{4.16}$$

$$=-\frac{C_1}{j\omega TC_F+C_3}=-\frac{f_cC_1}{j\omega C_F+f_cC_3} \tag{4.17}$$

การออกแบบวงจรกรองความถี่ เราสามารถทำได้โดยเมื่อเรารู้คุณสมบัติของวงจรกรองความถี่ที่เรา ต้องการก็นำไปหาฟังก์ชันถ่ายโอน โดยเลือกใช้การประมาณให้เหมาะสม กับความต้องการ เมื่อได้ฟังก์ชันโครงข่ายก็นำมาทำการแปลง ให้อยู่ในรูปโดเมนของสวิทช์คาปาซิเตอร์ แล้วจัดรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ แล้วจึงออกแบบวงจรให้อยู่ในรูปของวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ ที่ใช้ออปแอมป์ โดยใช้งานร่วมกับสวิทช์และวงจรกำเนิดสัญญาณนอนโอเวอร์แลบ ซึ่งในรายงานเล่มนี้จะแสดงการออกแบบวงจรกรองความถี่ต่ำผ่าน

4.7 วงกรองความถี่แบบอันดับสองในรูปอินทิเกรเตอร์

ในการที่จะทำความเข้าใจวงจรสวิทช์คาปาซิเตอร์ฟิลเตอร์ลำดับสองนั้น จะขออธิบายจากวงจรกรองความถี่แบบแอคทีฟ (Active RC-Filter) จากนั้นจะทำการแทนค่าความต้านทานด้วยวงจรสวิทช์คาปาซิเตอร์ซึ่งเปรียบเสมือนตัวความต้านทานตัวหนึ่ง แล้วจึงทำการแปลงวงจรให้อยู่ในโดเมนของสวิทช์คาปาซิเตอร์

วงจรสวิทช์คาปาซิเตอร์ที่ทำการออกแบบนั้น จะอ้างอิงวิธีการแบบ Biquad ซึ่งมีสมการของฟังก์ชันถ่ายโอนดังนี้

$$T(s) = \frac{\pm K\omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \qquad (4..18)$$

วงจร Active Filter อันดับสองที่สร้างจาก อินทิเกรเตอร์ 2 ตัวในส่วนนี้เราจะศึกษาฟิลเตอร์แบบ Second Order ในรูปแบบที่ RC ทำงานร่วมกับ Op-Amp โดยมีการสร้างขึ้นบนพื้นฐานของการใช้ อินทิเกรเตอร์ 2 ตัว

4.8 การได้มาของ Two-Integrator-Loop Biquad

วงจร Biquadr ได้มาจากวงจรอินทิเกรเตอร์ 2 ตัวโดยปกติเราพิจารณาสมการTransfer Function แบบ Second Order แบบ High-Pass Transfer Function

$$\frac{V_{hp}}{V_i} = \frac{Ks^2}{s^2 + s(\omega_0 / Q) + \omega_0^2} \qquad (4.19)$$

เมื่อ K คืออัตราการขยายของวงจร

จากนั้นคูนไขว้สมการแล้วจัดรูปจะได้

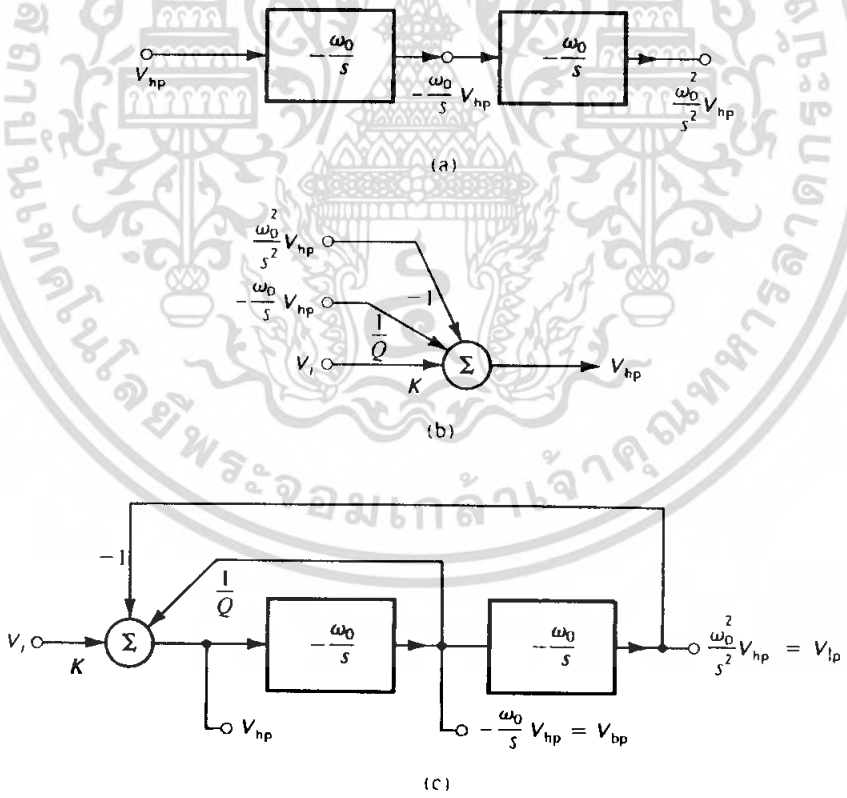
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{hp} + \frac{1}{Q}\left(\frac{\omega_0}{s}V_{hp}\right) + \left(\frac{\omega_0^2}{s^2}V_{hp}\right) = KV_i \tag{4.20}$$

ในสมการ สัญญาณ $\left(\frac{\omega_0}{s}\right)V_{hp}$ สามารถที่จะผ่านไปได้ตลอด ยิ่งไปกว่านั้นยังมีอีก 3 สัญญาณที่สามารถผ่านไปได้ กล่าวคือเราใช้ อินเวอร์ติ้งแอมป์ วงจรมิลเลอร์อินทิเกรเตอร์ เป็นเครื่องมือที่จะกำหนดให้เป็นเครื่องหมายลบในวงจร

อย่างไรก็ตามยังมีปัญหาเหลืออยู่อีกคือ ทำให้อยู่ในรูป V_{hp} ในเทอมของสัญญาณต่างๆ ดังนั้นสามารถจัดรูปสมการใหม่ได้เป็น

$$V_{hp} = KV_i - \frac{1}{Q}\frac{\omega_0}{s}V_{hp} - \frac{\omega_0^2}{s^2}V_{hp} \tag{4.21}$$



รูปที่ 4.6 แสดงการได้มาของบล็อกไดอะแกรม ของ Two-Integrator-Loop Biquad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 แสดงการได้มาของ V_{hp} โดยใช้วงจร Weighted Summer ควรจะทำให้เห็นได้ง่ายลงไปอีกโดยการนำรูป a และ b มาต่อร่วมกันดังแสดงในรูป c ซึ่งเราเรียกว่า Integrator Block V_{hp} ได้รับสัญญาณมาจากเอาท์พุทโดยการป้อนกลับมาที่อินพุท การเป็นสัญญาณที่ผลลัพธ์ผ่านวงจรรวมอันแรกที่มีสัญญาณเป็น $-(\omega_0 / s)V_{hp}$ ซึ่งก็คือฟังก์ชันแบนพาสนั่นเอง

$$\frac{(-\omega_0 / s)V_{hp}}{V_i} = -\frac{K\omega_0 s}{s^2 + s(\omega_0 / Q) + \omega_0^2} = T_{bp}(s) \tag{4.22}$$

เพราะฉะนั้นการเป็นสัญญาณที่ผลลัพธ์ เกิดจากการรวมครั้งแรกถูกกำหนดให้เป็น V_{bp} ที่ความถี่ศูนย์กลาง อัตราขยายของแบนพาสมีค่าเป็น $-KQ$ แต่ที่นิยมเราสามารถที่จะแสดง Transfer Function ที่เป็นฟังก์ชันของ Low-Pass อยู่ที่เอาท์พุทอินทิเกรเตอร์อันดับสองซึ่งมีสมการเป็น

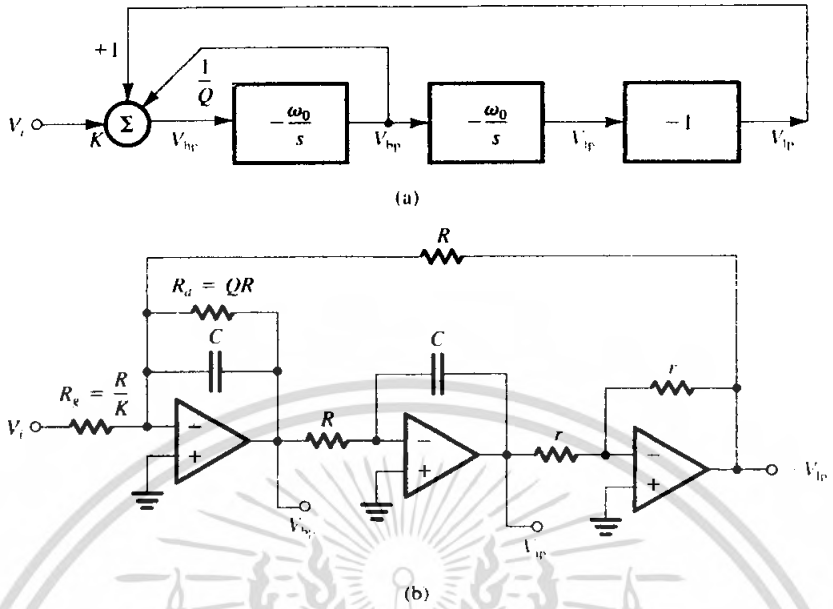
$$\frac{(\omega_0^2 / s^2)}{V_i} V_{hp} = \frac{K\omega_0^2}{s^2 + s(\omega_0 / Q) + \omega_0^2} = T_{lp}(s) \tag{4.23}$$

จะได้ผลสุดท้ายเป็น V_{lp} และมีอัตราขยายเป็นเท่ากับ K เราก็รวมเข้าด้วยกันโดยอินทิเกรเตอร์สองตัว ดังแสดงในบล็อกไดอะแกรมในรูปที่ 4.6 c ผลสุดท้ายก็จะได้ฟิลเตอร์อันดับสอง ที่มีทั้ง LP,BPและHP

4.9 An Alternative Two-Integrator-Loop Biquad Circuit

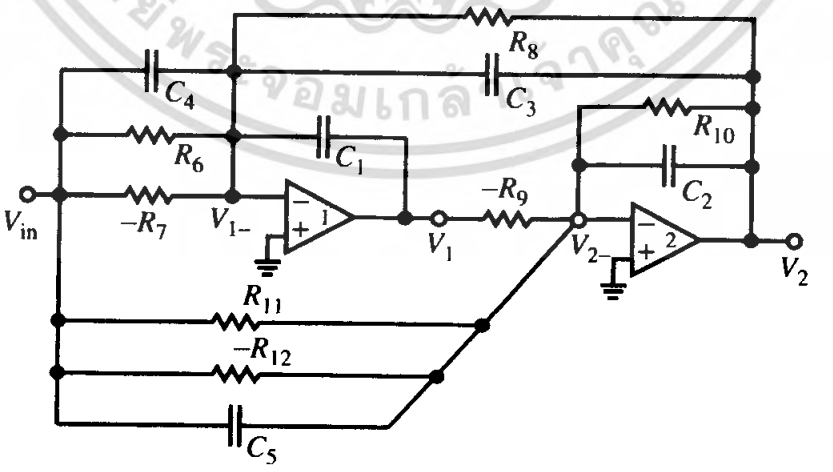
ทางเลือกวงจร Two-Integrator-Loop Biquad คือเราจะใช้ออปแอมป์สามตัว แต่ละตัวทำงานแบบ Single-Ended เพราะถูกพัฒนาให้ดีกว่าโดยนำอินพุทมาบวกกัน อาจจะมีสัมประสิทธิ์ที่เป็นบวกหรือลบ เราสามารถนำวงจรอินเวอร์เตอร์ มาต่อเพิ่มเติมดังแสดงในรูป สัมประสิทธิ์ทั้งหมดเวลานำมาบวกกันมีเครื่องหมายเช่นเดียวกันกับของเดิม และมันสามารถป้อนให้กับวงขยายออปแอมป์ ที่รวมตรงอินพุทของอินทิเกรเตอร์ตัวแรก ที่อินพุทนี้เองมันจะเป็นกราวด์เสมือน ผลสุดท้ายจะเป็นวงจรดังแสดงในรูป 4.6 b จากที่เราสังเกตว่าเป็นฟังก์ชันความถี่สูง จะไม่ใช่อีกต่อไป ออปแอมป์ต่ออยู่ในโหมด single-ended เมื่อเรารวมวงจรย่อยของออปแอมป์ แต่ละตัวเข้าด้วยกันเราจะเรียกว่า วงจรไบควอด หรือมีชื่ออีกอย่างหนึ่งว่า วงจร Tow-Thomas

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดง a)Two-integrator-lop biquad แบบ single-ended b)วงจร Tow-Thomas biquad

สังเกตว่าจากวงจรที่ได้ เราสามารถใช้เทคนิคของวงจรสวิทช์คาปาซิเตอร์ ในการสวิทช์ค่าเพื่อกลับเฟสของสัญญาณ แทนการใช้วงจรป้อนกลับแบบลบได้ จากนั้นจึงทำการรวมวงจรอินทิเกรตทั้งสองตัวเข้าด้วยกัน และใช้เทคนิคในการสวิทช์ดังกล่าว สร้างเป็นวงจรอินทิเกรตแบบบวก และลบโดยใช้ออปแอมป์เพียงอย่างเดียว เพื่อที่จะหาค่าฟังก์ชันถ่ายโอนและค่า Arbitrary Transmission Zeros จากนั้นเราแปลงวงจรให้เป็นดังในรูปข้างล่าง



รูปที่ 4.8 วงจรมาตรฐาน Active RC- Biquad ที่ใช้ในวงจรสวิทช์คาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างวงจรดังรูปข้างบน เราจะใช้ Node Equations ที่ขั้วอินพุทของออปแอมป์ โดย Node Voltage Method ภายใต้เงื่อนไขและการสมมุติฐานให้ เป็น Ideal Op-Amps, $V_{1-} = V_{2-} = 0$ Node V_{1-} จะได้สมการดังนี้

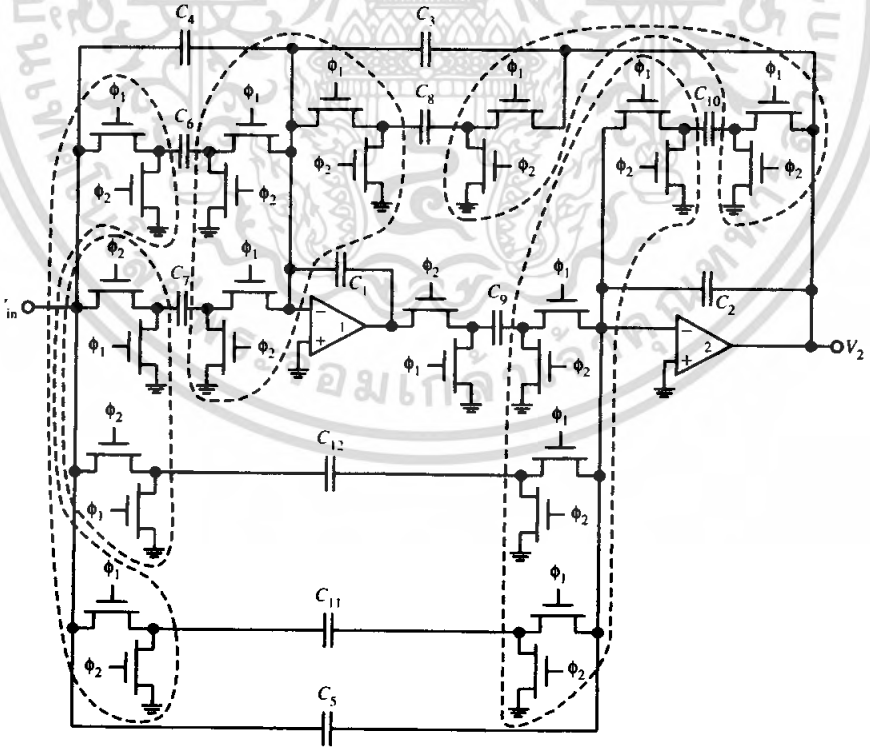
$$V_{in}(sC_4 + G_6 - G_7) + V_1 sC_1 + V_2(sC_3 + G_8) = 0 \tag{4.24}$$

Node V_{2-} จะได้สมการดังนี้

$$V_{in}(sC_5 + G_{11} - G_{12}) - V_1 G_9 + V_2(sC_2 + G_{10}) = 0 \tag{4.25}$$

จากสมการ 4.24 และ 4.25 เราจัดให้อยู่ในรูปของ V_2 ต่อ V_{in} ได้ดังนี้คือ

$$\frac{V_2}{V_{in}} = \frac{s^2 C_1 C_5 + s[C_1(G_{11} - G_{12}) + C_4 G_9] + G_9(G_6 - G_7)}{s^2 C_1 C_2 + s(C_1 C_{10} + C_3 G_9) + G_8 G_9} \tag{4.26}$$



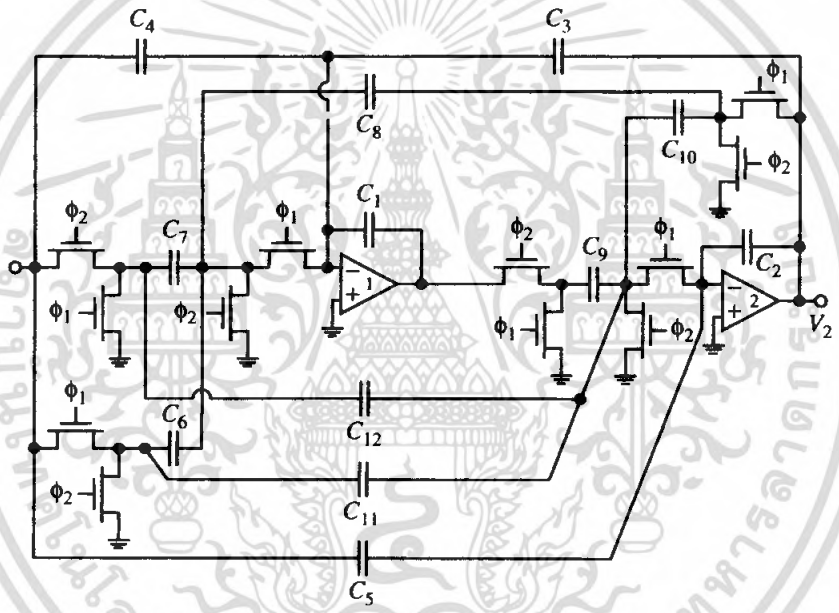
รูปที่ 4.9 The SC Version of the Circuit ในรูปที่ 4.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 4.26 แทนค่าความนำ G ได้ด้วย $f_c C$ จะได้สมการของวงจร SC ที่มี Transfer Function ดังนี้

$$\frac{V_2}{V_{in}} = -\frac{s^2 C_1 C_5 + s f_c [C_1 (C_{11} - C_{12}) + C_4 C_9] + f_c^2 C_9 (C_6 - C_7)}{s^2 C_1 C_2 + s f_c (C_1 C_{10} + C_3 C_9) + f_c^2 C_8 C_9} \tag{4.27}$$

จากนั้นทำการลดสวิทช์โดยมีสวิทช์บางตัวที่สามารถ Shared กันได้ดังรูปข้างล่าง



รูปที่ 4.10 วงจร Active RC Biquad หลังจากมีการใช้สวิทช์ร่วมกันแล้วจากรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการทดสอบคุณสมบัติของวงจร

5.1 การออกแบบวงจรออปแอมป์ (Operating Amplifiers Design)

วงจรออปแอมป์ที่ใช้ ผู้ออกแบบเลือกเป็นออปแอมป์แบบโฟลด์เด็ดคาสโคดซึ่งมีคุณสมบัติที่ดีเหมาะสมกับการใช้งานในวงจรสวิทช์คาปาซิเตอร์ฟิลเตอร์ดังได้กล่าวไปแล้ว จะประกอบด้วย 3 ส่วนที่สำคัญคือ

1. ภาคดิฟเฟอเรนเชี่ยลแอมป์
2. ภาคเอาท์พุทที่เป็นแบบโฟลด์เด็ดคาสโคด
3. ภาคไบอัสวงจร

โดยภาคดิฟเฟอเรนเชี่ยลแอมป์ ทำหน้าที่เป็นอินพุทขยายสัญญาณความแตกต่าง และจะถูกส่งต่อให้กับภาคเอาท์พุทเพื่อทำการเพิ่มอัตราขยายให้มากขึ้น โดยหลักการคือการเพิ่มความต้านทานทางเอาท์พุทโดยต่อวงจรแบบคาสโคด เมื่อผ่านจากภาคนี้แล้ว สัญญาณที่ได้จะมีขนาดเพียงพอตามที่เราต้องการ ส่วนภาคไบอัสวงจรจะมีความสำคัญในการจ่ายกระแสหรือแรงดันคงที่ให้กับวงจรออปแอมป์ วงจรที่ใช้ออกแบบนี้จะเป็น วงจรที่ใช้งานเฉพาะอย่างคือใช้งานร่วมกับวงจรสวิทช์คาปาซิเตอร์ฟิลเตอร์ ไม่ได้เป็นวงจรที่ใช้งานกันโดยทั่วไป เนื่องจากมีค่าความต้านทานเอาท์พุทสูงมากแต่ก็มีข้อดีอื่นๆทดแทน

5.1.1 ขั้นตอนการออกแบบ

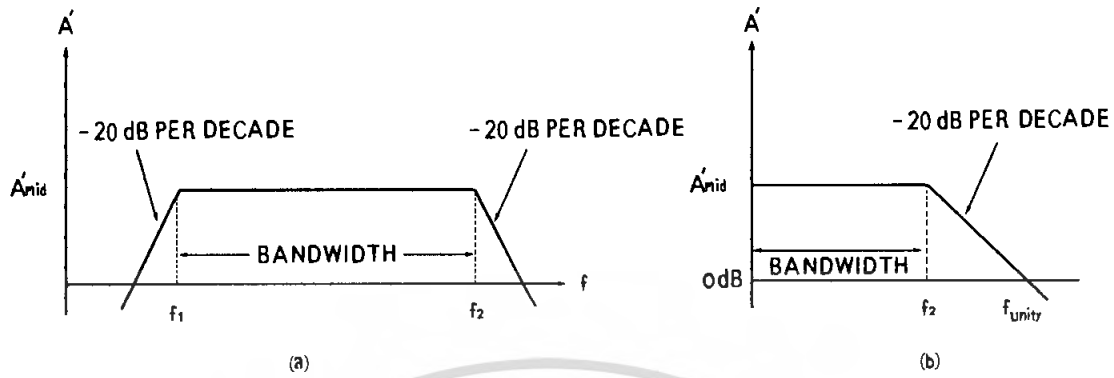
ในการออกแบบวงจร เราสามารถกำหนดขั้นตอนหลักๆได้ดังนี้

1. เลือกลักษณะของวงจรที่ต้องการใช้งาน แต่ละลักษณะก็จะมีข้อดี และข้อเสียต่างกันขึ้นอยู่กับความต้องการ

2. กำหนดค่าพารามิเตอร์ต่างของวงจร รวมถึงการเลือกเทคโนโลยีของอุปกรณ์ และการคำนวณด้วยมือ เมื่อได้แล้วจึงนำไป จำลองโดยโปรแกรม เพื่อได้ทำการปรับค่าให้ได้ตามต้องการ ค่าพารามิเตอร์ต่างๆของออปแอมป์ ที่สำคัญคือ เกน, เกนแบนด์วิดท์, เซ็ททลิ่งไทม์, สลูว์เรท, คอมมอนโหมดอินพุทเรนจ์, แรงดันเอาท์พุทที่สามารถเป็นได้, CMRR,PSRR และ ค่าออฟเซ็ท เป็นต้น

ค่าแบนด์วิดท์ (Band width) หรือ B ของวงจรขยายหาได้จากความแตกต่างของค่าความถี่สูงดัทออฟและความถี่ต่ำดัทออฟ นั่นคือ B = f2-f1 ดังรูปที่ 4.1(a) แต่เนื่องจากออปแอมป์เป็นคับปลิ้งแบบ direct ดังนั้นจะไม่มีความถี่ต่ำดัทออฟ ดังรูป 4.1(b) เป็นกราฟเกนที่มีแบนด์วิดท์ B= f2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 กราฟตอบสนองทางความถี่

ค่าเกนแบนด์วิดท์ (Gain Bandwidth) หรือ GB หาได้จากการนำค่าเกนของวงจรคูณกับแบนด์วิดท์ของวงจร ค่านี้อาจจะพิจารณาได้ว่าเป็นค่าคงที่สำหรับวงจรนั้นๆค่าของGB มีความสัมพันธ์กับค่าพารามิเตอร์อีกอย่างคือ Unity Gain Frequency ทั้ง 2 ค่านี้ สามารถหาได้จากสมการเดียวกันคือ $GB = f_{unity} = A_{cl} * f_{2cl}$ ดังนั้นจะพบว่าออปแอมป์ที่มีค่า GB ที่มีค่ามาก หมายความว่ามีเกนมากกว่าออปแอมป์ที่มีค่า GB น้อยกว่า เมื่อเปรียบเทียบกับค่าความถี่ใช้งานค่าเดียวกัน

ค่าสลูว์เรท คือค่าอัตราความเร็วความเปลี่ยนแปลงของแรงดันเอาท์พุทสูงสุด เกิดจากการที่กระแสสูงสุดผ่านตัวเก็บประจุ มีหน่วยเป็นโวลต์/ไมโครวินาที ค่าของสลูว์เรทจะถูกกำหนดโดยค่ากระแสสูงสุดที่เหมาะสมต่อการทำงาน ค่าสลูว์เรทในออปแอมป์ยิ่งมีค่ามากก็ยิ่งดี ค่าอีกค่าหนึ่งคือ Settling time เป็นเวลาที่แรงดันเอาท์พุทออปแอมป์เริ่มมีความคงที่ค่านี้ควรมีค่าน้อยที่สุด

ค่า CMRR คือค่าอัตราส่วนของ Differential Voltage Gain ต่อ Common Mode Voltage Gain สามารถเขียนสมการได้เป็น $CMRR = A_{difl} / A_{cm}$ ค่านี้ยิ่งมีค่ามาก จะยิ่งทำให้ ออปแอมป์มีคุณภาพดีตาม

ค่าPSRR คือค่าความสามารถในการกำจัดการเปลี่ยนแปลงที่ผ่านทางแหล่งจ่ายแรงดันต่อแรงดันเอาท์พุทซึ่งเป็นตัวกำหนดคุณภาพอย่างหนึ่งของออปแอมป์ค่านี้ยิ่งมากก็ยิ่งดี

ค่าออฟเซท คือ ค่าที่เกิดจากความไม่สมดุลที่รวมทั้งความไม่สมดุลจากการออกแบบและความไม่สมดุลของอุปกรณ์เอง นั่นคือในสถานะที่ไม่มีอินพุทใดๆค่าแรงดันที่เอาท์พุทไม่เป็นศูนย์ค่าที่ปรากฏก็คือค่าออฟเซท หรือค่าแรงดันออฟเซทคือ ค่าแรงดันที่จะทำให้เอาท์พุทเป็นศูนย์เมื่อไม่มีอินพุทใดๆค่านี้ควรมีค่าเข้าใกล้ศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

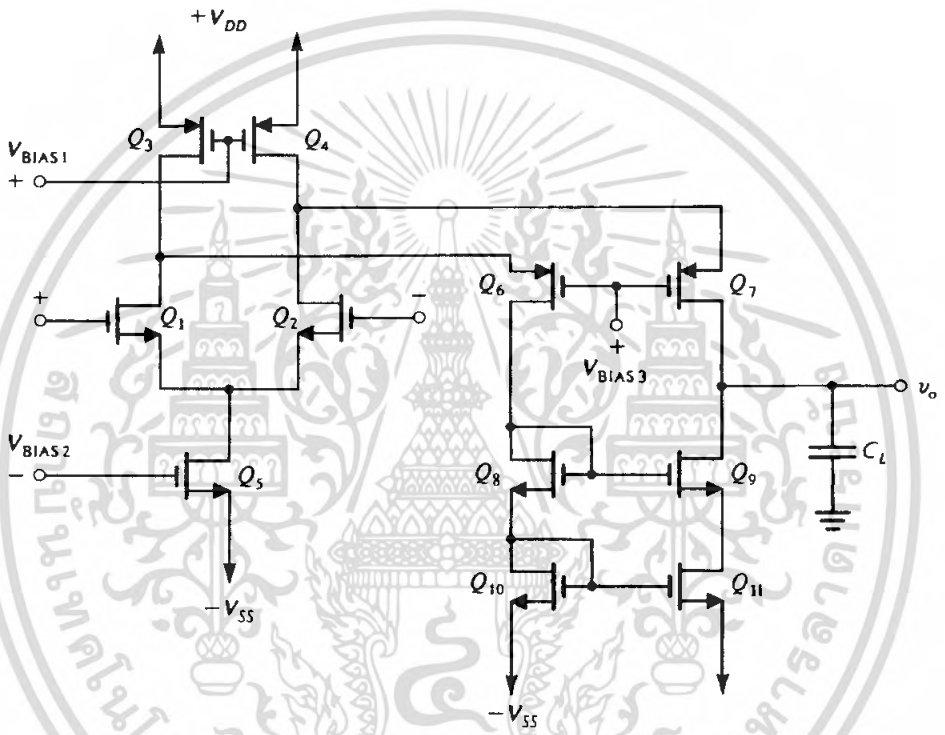
5.1.2 การกำหนดค่าพารามิเตอร์ของวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคด
ออกแบบให้วงจรมีค่าต่างๆดังนี้

1. อัตราขยายแรงดัน (Open-loop Voltage Gain)	$\geq$ 75 dB
2. ค่า GB (Unity-gain Bandwidth)	$\geq$ 10 MHz
3. ค่า Vout Swing	$\geq \pm 4$ V
4. ค่า Input CMR	$\geq \pm 4$ V
5.ค่า Input Offset	$\leq \pm 1$ mV
6. อัตราสลูว์ (Slew Rate)	$\geq$ 10 V/us
7. ค่า Settling time	$\leq$ 1 us
8. ส่วนเหลือของเฟส (Phase Margin)	$\geq$ 60 degree
9. ค่า CMRR	$\geq$ 60 dB
10. ค่า PSRR	$\geq$ 60 dB
11. แหล่งจ่ายแรงดัน (Supply Voltage)	= ± 5 V
12. กำลังงานสูญเสีย (Power Dissipation)	$\leq$ 10 mW
13. โหลดตัวเก็บประจุ (C_L)	= 10 pF
14. เทคโนโลยี CMOS (Channel Length)	= 0.5 um

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 วิธีการออกแบบ

ในรูปที่ 4.2 เป็นวงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดที่ใช้ในการออกแบบโดยใช้ MOS Model Level 1 มีค่า V_{TN} = 0.7V, V_{TP} = -0.8V, K'_N = 197.48 uA/V^2, K'_P = 59.95 uA/V^2 , L = 0.5u ขั้นตอนการออกแบบมีดังนี้



รูปที่ 5.2 วงจรซีมอสออปแอมป์แบบโฟลด์เด็ดคาสโคดที่ใช้ในการออกแบบ

1. หากระแส I หรือ I_5 จากสมการ $SR = \frac{I}{C_L}$

$$I_5 = SR \times C_L$$

$$= 10pF \times 10V/us = 100uA$$

เลือก $I_5 = 200uA$ (เพื่อที่ค่า SR $\geq$ 10 V/us) (5.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หากระแส $I_{(1,2)}$ จากสมการ $I_{(1,2)} = \frac{I_5}{2}$

$$I_{(1,2)} = \frac{200uA}{2} = 100uA \tag{5.2}$$

3. หากระแส $I_{(3,4)}$ จากหลักการ I_B ควรมากกว่า I 10% ถึง 20%
ดังนั้น $I_{(3,4)} > I_5$ อยู่ ในช่วง 10% ถึง 20% จะได้

$$\text{เลือก} \qquad I_{(3,4)} = 230uA \tag{5.3}$$

4. หากระแส $I_{(6,7)} = I_{(8,9)} = I_{(10,11)} = (I_{(3,4)} - I_{(1,2)})$

$$I_{(6,7)} = I_{(8,9)} = I_{(10,11)} = (230uA - 100uA)$$

$$I_{(6,7)} = I_{(8,9)} = I_{(10,11)} = 130uA \tag{5.4}$$

5. หาค่า $gm_{(1,2)}$ จากสมการ $GB = \frac{gm_{(1,2)}}{2\pi \times C_L}$

$$gm_{(1,2)} = 2\pi \times C_L \times GB$$
$$= 2\pi \times 10pF \times 10MHz$$
$$gm_{(1,2)} = 628.32uS$$

$$\text{เลือก} \quad gm_{(1,2)} = 1000uS \quad (\text{เพื่อที่ค่า GB} \geq 10\text{MHz}) \tag{5.5}$$

6. จากข้อ(5) $gm_{(1,2)} = 1000uS$ สามารถหาค่า $W_{(1,2)}$ ได้จากสมการ

$$gm_{(1,2)} = \sqrt{2 \times K'_N \times I_{(1,2)} \times \left(\frac{W}{L}\right)_{(1,2)}}$$

ดังนั้น $$\left(\frac{W}{L}\right)_{(1,2)} = \frac{gm_{(1,2)}^{\ 2}}{2 \times K'_N \times I_{(1,2)}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_{(1,2)} = \frac{1000uS^2}{2\times 197.48uA/V^2 \times 100uA} = 25.32$$

$$W_{(1,2)} = 12.66u \tag{5.6}$$

7. จากข้อ(5) เมื่อรู้ค่าของ $\left(\frac{W}{L}\right)_{(1,2)}$ แล้วสามารถหา $V_{GS(1,2)}$ ได้จากสมการ

$$V_{GS(1,2)} = \sqrt{\frac{2\times I_{(1,2)}}{K'_N \times \left(\frac{W}{L}\right)_{(1,2)}}} + V_{TN}$$

$$V_{GS(1,2)} = \sqrt{\frac{2\times 100uA}{197.48uA/V^2 \times 25.32}} + 0.7V$$

$$V_{GS(1,2)} = 0.9V \tag{5.7}$$

8. จากสมการ $V_{ICM}(\max) = V_{DD} - V_{DS}(sat)_{(3,4)} + V_{TN}$ สามารถหา $\left(\frac{W}{L}\right)_{(3,4)}$ ได้โดย

$$V_{ICM}(\max) = V_{DD} - V_{DS}(sat)_{(3,4)} + V_{TN}$$
$$4V = 5V - V_{DS}(sat)_{(3,4)} + 0.7V$$
$$V_{DS}(sat)_{(3,4)} = 1.7V$$

เลือก $V_{DS}(sat)_{(3,4)} = 0.5V$ (5.8)

$$\left(\frac{W}{L}\right)_{(3,4)} = \frac{2\times I_{(3,4)}}{K'_P \times V_{DS}(sat)^2_{(3,4)}}$$

$$\left(\frac{W}{L}\right)_{(3,4)} = \frac{2\times 230uA}{59.95uA/V^2 \times (0.5V)^2} = 30.69$$

$$W_{(3,4)} = 15.35u \tag{5.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. จากข้อ (8) สามารถหา V_{BIAS1} ได้จาก $V_{BIAS1} = V_{DD} - (V_{DS}(sat)_{(3,4)} + |V_{TP}|)$

$$V_{BIAS1} = 5V - (0.5V + 0.8V) = 3.7V \tag{5.10}$$

10. จากสมการ $V_{ICM}(\min) = -V_{SS} + V_{GS(1,2)} + V_{DS}(sat)_5$ สามารถหา $\left(\frac{W}{L}\right)_5$ ได้โดย

$$V_{ICM}(\min) = -V_{SS} + V_{GS(1,2)} + V_{DS}(sat)_5$$
$$-4V = -5V + 0.9V + V_{DS}(sat)_5$$
$$V_{DS}(sat)_5 = 0.1V$$

เลือก $V_{DS}(sat)_5 = 0.2V$ (เนื่องจากควรเลือก $V_{DS}(sat)$ ต่ำสุด 0.2V) (5.11)

$$\left(\frac{W}{L}\right)_5 = \frac{2 \times I_5}{K'_N \times V_{DS}(sat)^2{}_5}$$

$$\left(\frac{W}{L}\right)_5 = \frac{2 \times 200uA}{197.48uA/V^2 \times (0.2V)^2} = 50.64$$

$$W_5 = 25.32u \tag{5.12}$$

11. จากข้อ (10) สามารถหา V_{BIAS2} ได้จาก $V_{BIAS2} = -V_{SS} + (V_{DS}(sat)_5 + V_{TN})$

$$V_{BIAS2} = -5V + (0.2V + 0.7V) = -4.1V \tag{5.13}$$

12. จากสมการ $V_O(\max) = V_{BIAS3} + |V_{TP}|$ สามารถหา $\left(\frac{W}{L}\right)_{(6,7)}$ ได้โดย

$$V_O(\max) = V_{DD} - V_{DS}(sat)_{(3,4)} - V_{DS}(sat)_{(6,7)}$$
$$4V = 5V - 0.5V - V_{DS}(sat)_{(6,7)}$$
$$V_{DS}(sat)_{(6,7)} = 0.5V$$

เลือก $V_{DS}(sat)_{(6,7)} = 0.4V$ (5.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_{(6,7)} = \frac{2 \times I_{(6,7)}}{K'_P \times V_{DS}(sat)^2_{(6,7)}}$$

$$\left(\frac{W}{L}\right)_{(6,7)} = \frac{2 \times 130uA}{59.95uA/V^2 \times (0.4V)^2} = 27.11$$

$$W_{(6,7)} = 13.56u \qquad (5.15)$$

13. จากข้อ(12) สามารถหา V_{BIAS3} ได้จาก $V_{BIAS3} = V_{DD} - V_{DS}(sat)_{(3,4)} - (V_{DS}(sat)_{(6,7)} + |V_{TP}|)$

$$V_{BIAS3} = 5V - 0.5V - (0.4V + 0.8V) = 3.3V \qquad (5.16)$$

14. จากสมการ $V_O(\min) = -V_{SS} + 2V_{DS}(sat)_{(8,9,10,11)} + V_{TN}$ สามารถหา $\left(\frac{W}{L}\right)_{(8,9,10,11)}$ ได้โดย

$$V_O(\min) = -V_{SS} + 2V_{DS}(sat)_{(8,9,10,11)} + V_{TN}$$
$$-4V = -5V + 2V_{DS}(sat)_{(8,9,10,11)} + 0.7V$$
$$V_{DS}(sat)_{(8,9,10,11)} = 0.15V$$

เลือก $V_{DS}(sat)_{(8,9,10,11)} = 0.2V$ (เนื่องจากควรเลือก $V_{DS}(sat)$ ต่ำสุด 0.2V) (5.17)

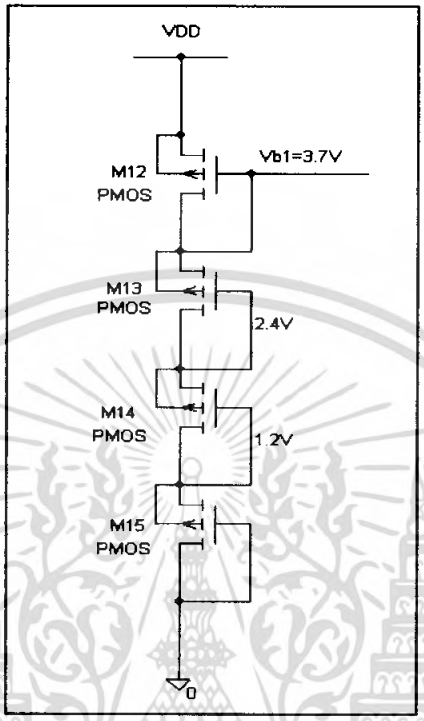
$$\left(\frac{W}{L}\right)_{(8,9,10,11)} = \frac{2 \times I_{(8,9,10,11)}}{K'_N \times V_{DS}(sat)^2_{(8,9,10,11)}}$$

$$\left(\frac{W}{L}\right)_{(8,9,10,11)} = \frac{2 \times 130uA}{197.48uA/V^2 \times (0.2V)^2} = 32.91$$

$$W_{(8,9,10,11)} = 16.46u \qquad (5.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15. แรงดันอ้างอิง $V_{BIAS\,1}$ = 3.7V



รูปที่ 5.3 วงจรแรงดันอ้างอิง $V_{BIAS\,1}$

$$\left(\frac{W}{L}\right)_{(12,13)} = \frac{2\times I_{(12,13)}}{K'_P\times(\left|V_{GS(12,13)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.3V-0.8V)^2}$$

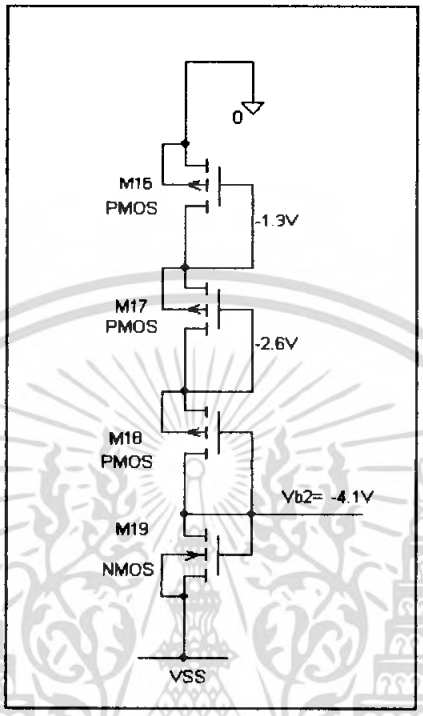
$$\left(\frac{W}{L}\right)_{(12,13)} = 6.672 \qquad W_{(12,13)} = 3.34u \tag{5.19}$$

$$\left(\frac{W}{L}\right)_{(14,15)} = \frac{2\times I_{(14,15)}}{K'_P\times(\left|V_{GS(14,15)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.2V-0.8V)^2}$$

$$\left(\frac{W}{L}\right)_{(14,15)} = 10.425 \qquad W_{(14,15)} = 5.21u \tag{5.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16. แรงดันอ้างอิง $V_{BIAS\,2}$ = -4.1V



รูปที่ 5.4 วงจรแรงดันอ้างอิง $V_{BIAS\,2}$

$$\left(\frac{W}{L}\right)_{(16,17)} = \frac{2\times I_{(16,17)}}{K'_P\times(\left|V_{GS(16,17)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.3V-0.8V)^2}$$

$$\left(\frac{W}{L}\right)_{(16,17)} = 6.672 \qquad W_{(16,17)} = 3.34u \tag{5.21}$$

$$\left(\frac{W}{L}\right)_{18} = \frac{2\times I_{18}}{K'_P\times(\left|V_{GS(18)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.5V-0.8V)^2}$$

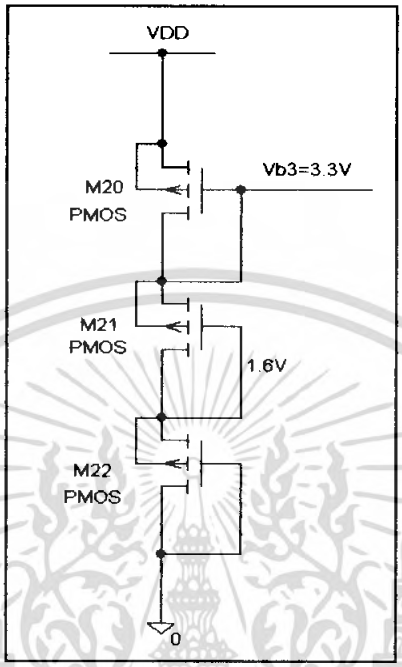
$$\left(\frac{W}{L}\right)_{18} = 3.404 \qquad W_{18} = 1.7u \tag{5.22}$$

$$\left(\frac{W}{L}\right)_{19} = \frac{2\times I_{19}}{K'_N\times(V_{GS(19)}-V_{TN})^2} = \frac{2\times 50uA}{197.48uA/V^2\times(0.9V-0.7V)^2}$$

$$\left(\frac{W}{L}\right)_{19} = 12.659 \qquad W_{19} = 6.33u \tag{5.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17. แรงดันอ้างอิง $V_{BIAS\,3}$ = 3.3V



รูปที่ 5.5 วงจรแรงดันอ้างอิง $V_{BIAS\,3}$

$$\left(\frac{W}{L}\right)_{(20,21)} = \frac{2\times I_{(20,21)}}{K'_P\times(\left|V_{GS(20,21)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.7V-0.8V)^2}$$

$$\left(\frac{W}{L}\right)_{(20,21)} = 2.059 \qquad W_{(20,21)} = 1.03u \tag{5.24}$$

$$\left(\frac{W}{L}\right)_{22} = \frac{2\times I_{22}}{K'_P\times(\left|V_{GS(22)}\right|-\left|V_{TP}\right|)^2} = \frac{2\times 50uA}{59.95uA/V^2\times(1.6V-0.8V)^2}$$

$$\left(\frac{W}{L}\right)_{22} = 2.606 \qquad W_{22} = 1.303u \tag{5.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 ผลการออกแบบ

จากการออกแบบจะได้ค่า W ของมอสแต่ละตัว และ V_{BIAS} ที่จุดต่างๆดังนี้

$W_1 = W_2 = 12.66u$

$W_3 = W_4 = 15.35u$

$W_5 = 25.32u$

$W_6 = W_7 = 13.56u$

$W_8 = W_9 = W_{10} = W_{11} = 16.46u$

$V_{BIAS1} = 3.7V$

$W_{12} = W_{13} = 3.34u$

$W_{14} = W_{15} = 5.21u$

$V_{BIAS2} = -4.1V$

$W_{16} = W_{17} = 3.34u$

$W_{18} = 1.7u$

$W_{19} = 6.33u$

$V_{BIAS3} = 3.3V$

$W_{20} = W_{21} = 1.03u$

$W_{22} = 1.303u$

L ของมอสทุกตัว $= 0.5u$

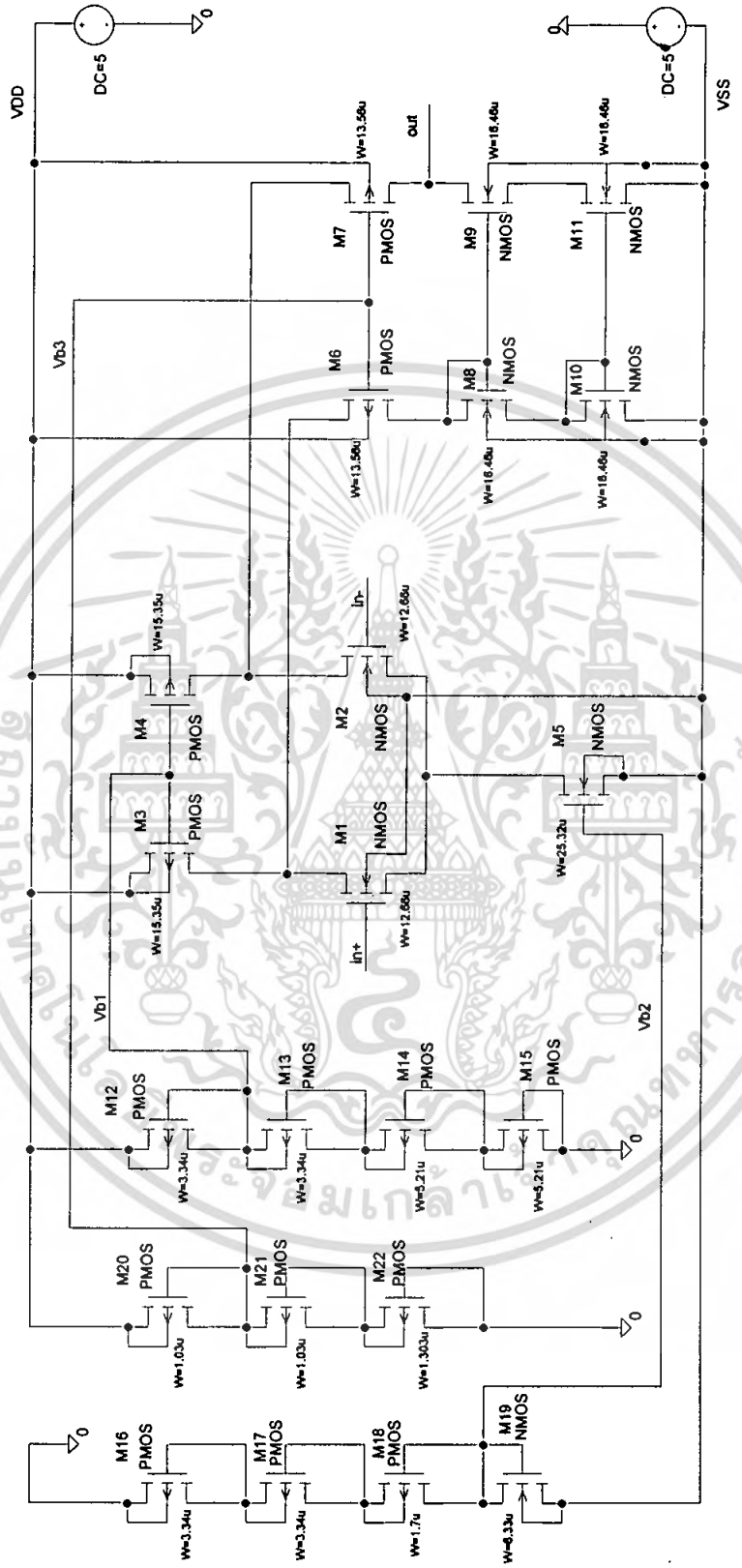
กำลังงานสูญเสีย (Power Dissipation) $= I_{total} \times V_{sup\ ply}$

$=$ (230uA+230uA)x(5V-(5V))+(3x50uA)x5V

$=$ 5.35 mW (5.26)

โดยผลการออกแบบแสดงในรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



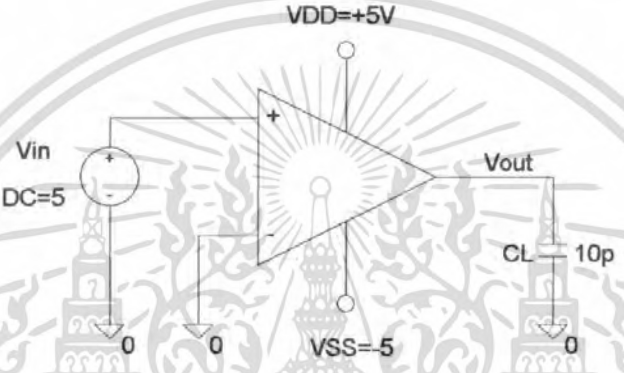
รูปที่ 5.6 แสดงวงจรออปแอมป์ที่ใช้งานหลังจากออกแบบแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

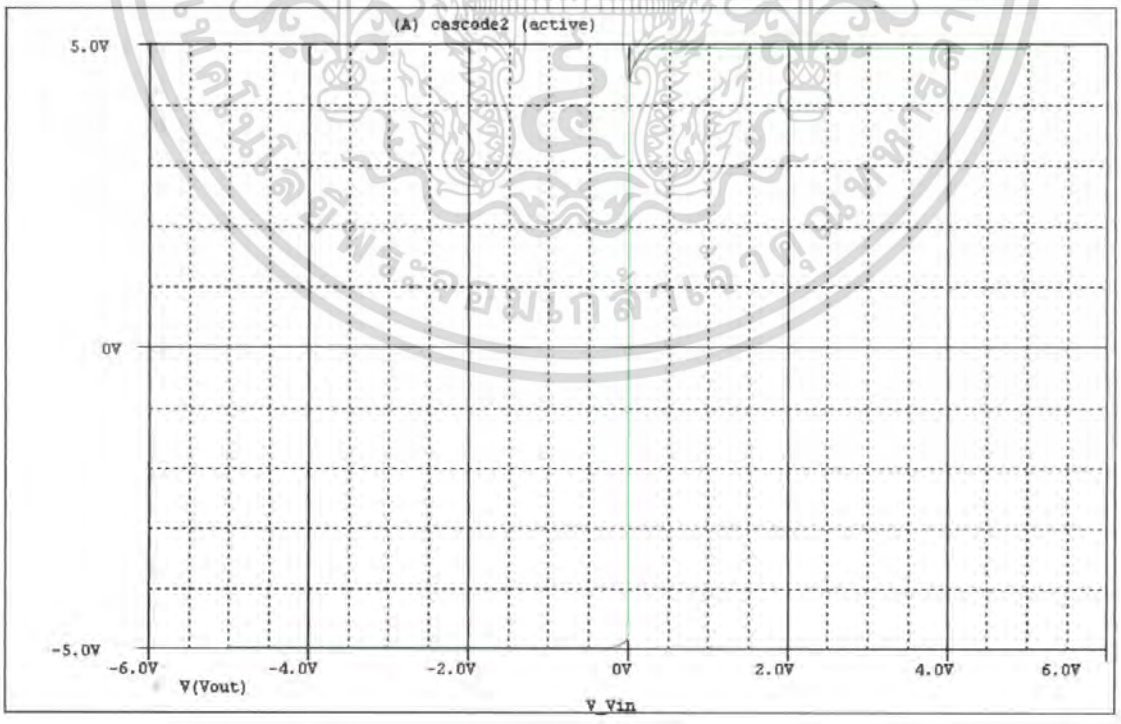
5.2 การทดสอบคุณสมบัติของวงจรออปแอมป์ (Operating Amplifiers Simulate)

ในการทดสอบคุณสมบัติของวงจรออปแอมป์นี้ผู้ออกแบบใช้โปรแกรม Orcad PSpice 9.2 ในการจำลองการทำงานของวงจร

5.2.1 คุณสมบัติทางไฟตรง (DC Sweep)



รูปที่ 5.7 วงจรที่ใช้ในการทดสอบคุณสมบัติทางไฟตรง (DC Sweep)

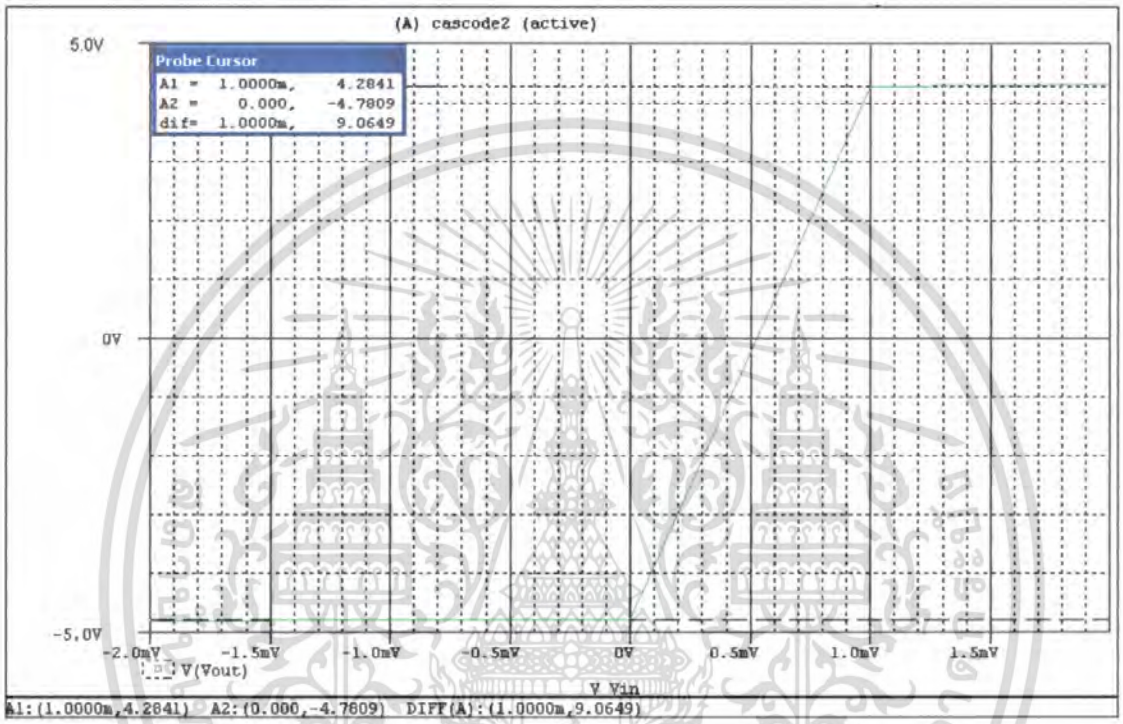


รูปที่ 5.8 ผลการทดสอบคุณสมบัติทางไฟตรง (DC Sweep)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 อัตราขยายแรงดัน (Open-loop Voltage Gain) และค่า Input Offset

จากการทดลอง 5.2.1 สามารถหาอัตราขยายแรงดัน(Open-loop Voltage Gain) และค่า Input Offset ได้โดยการดู รูปที่ 5.8 ในสเกลที่ละเอียดขึ้นแล้วใช้ Cursor ในการอ่านค่า



รูปที่ 5.9 ผลการทดสอบคุณสมบัติอัตราขยายแรงดัน(Open-loop Voltage Gain) และค่าInput Offset

1. อัตราขยายแรงดัน(Open-loop Voltage Gain) = Slope= $\frac{\Delta V_{OUT}}{\Delta V_{in}}$

$$Gain = \frac{9.065V}{1mV} = 9{,}065 \quad \text{เท่า}$$

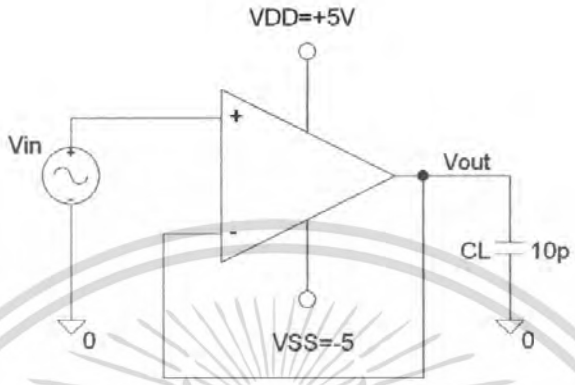
$$Gain_{dB} = 20 \times Log_{10}\left(\frac{\Delta V_{OUT}}{\Delta V_{in}}\right) = 20 \times Log_{10} 9065$$

$$Gain_{dB} = 79.15 \text{ dB} \tag{5.27}$$

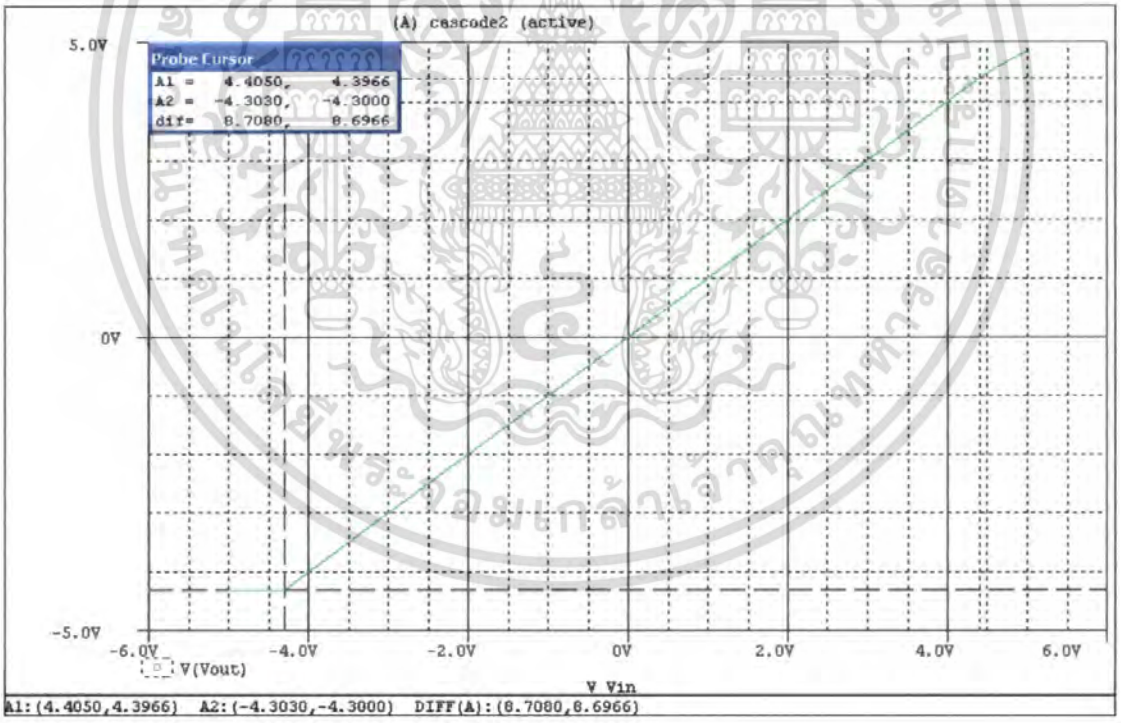
2. ค่าInput Offset = +527 uV (5.28)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 ค่า Input CMR



รูปที่ 5.10 วงจรที่ใช้ในการทดสอบคุณสมบัติของ ค่า Input CMR

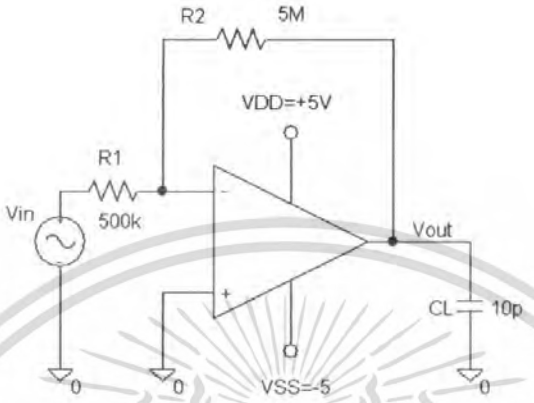


รูปที่ 5.11 ผลการทดสอบคุณสมบัติของ ค่า Input CMR

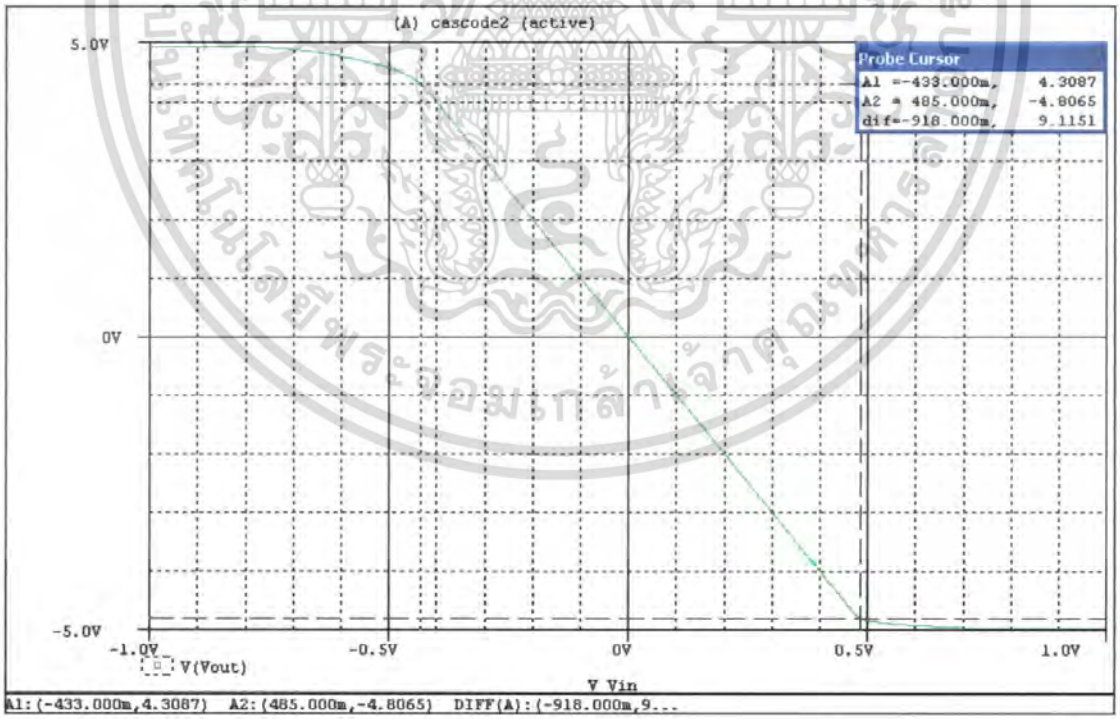
ค่า Input CMR = -4.3V ถึง +4.4V (5.29)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 ค่า Vout Swing



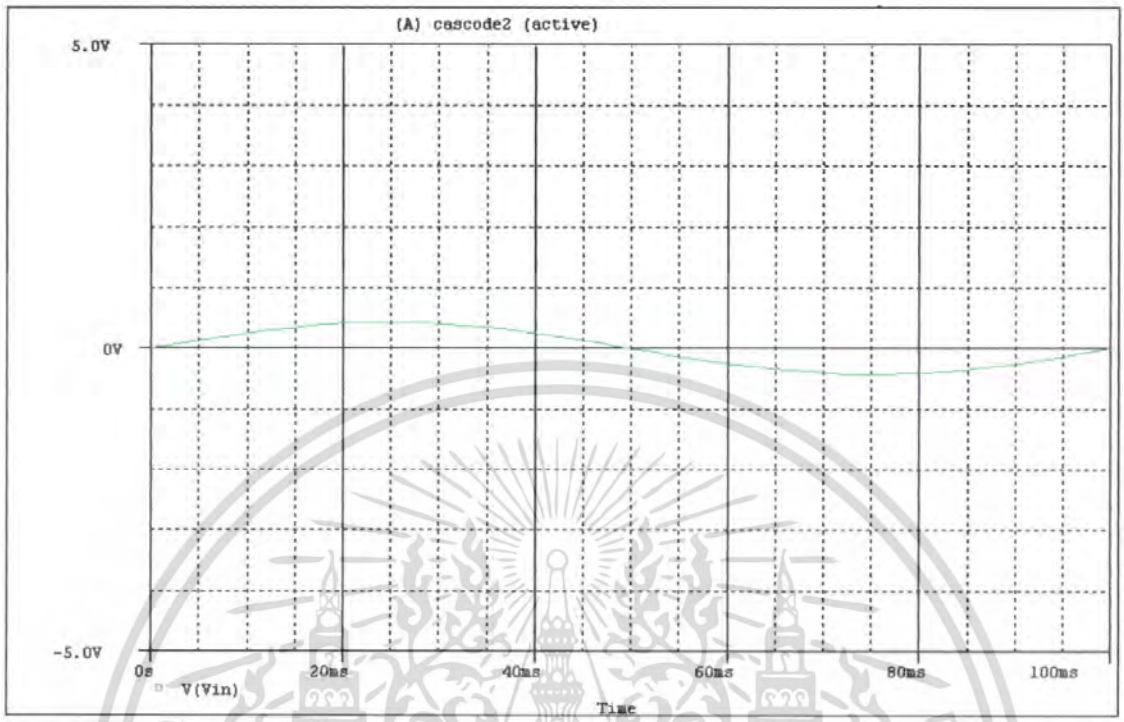
รูปที่ 5.12 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่า Vout Swing โดยมีอัตราขยายเท่ากับ -10 เท่า



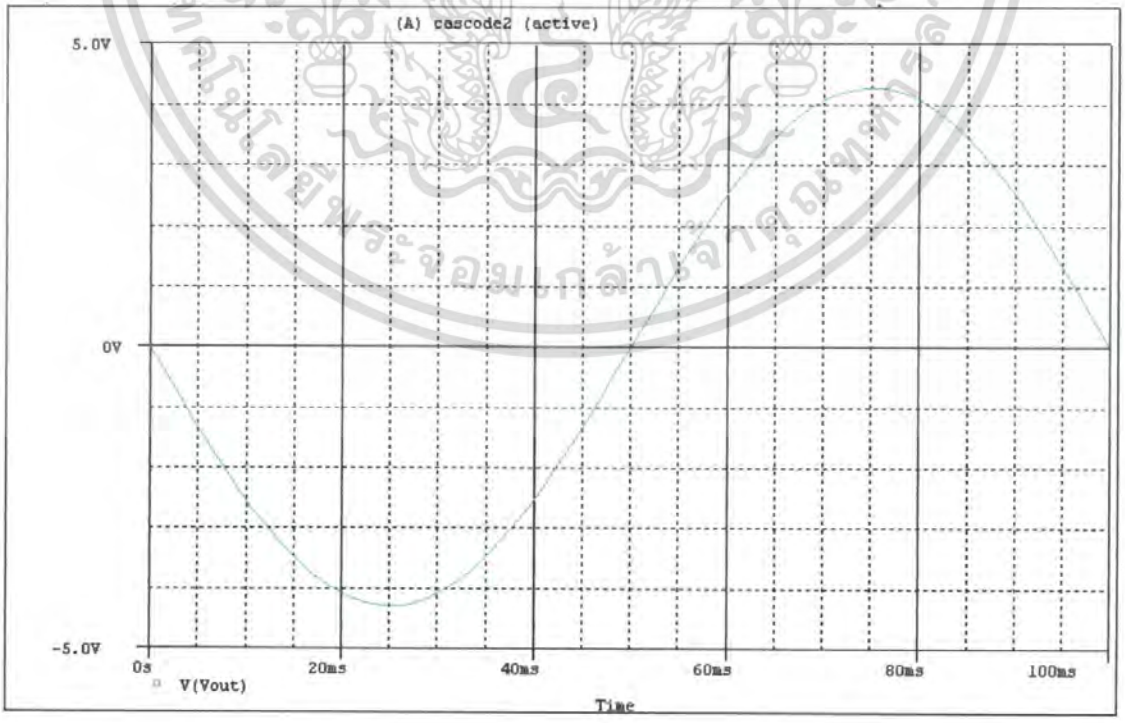
รูปที่ 5.13 ผลการทดสอบคุณสมบัติของค่า Vout Swing

ค่า Vout Swing = -4.8V ถึง +4.3V (5.30)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



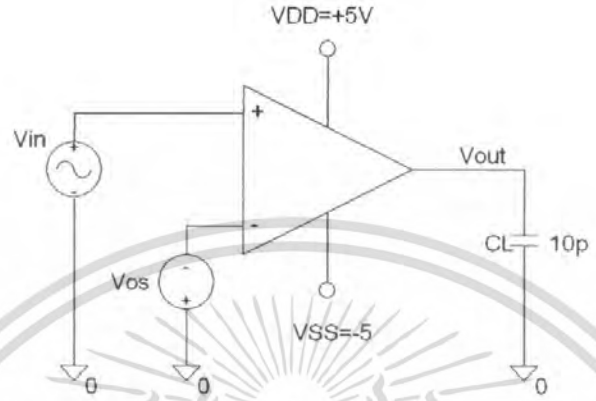
รูปที่ 5.14 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยการป้อนสัญญาณอินพุทขนาด 0.43V



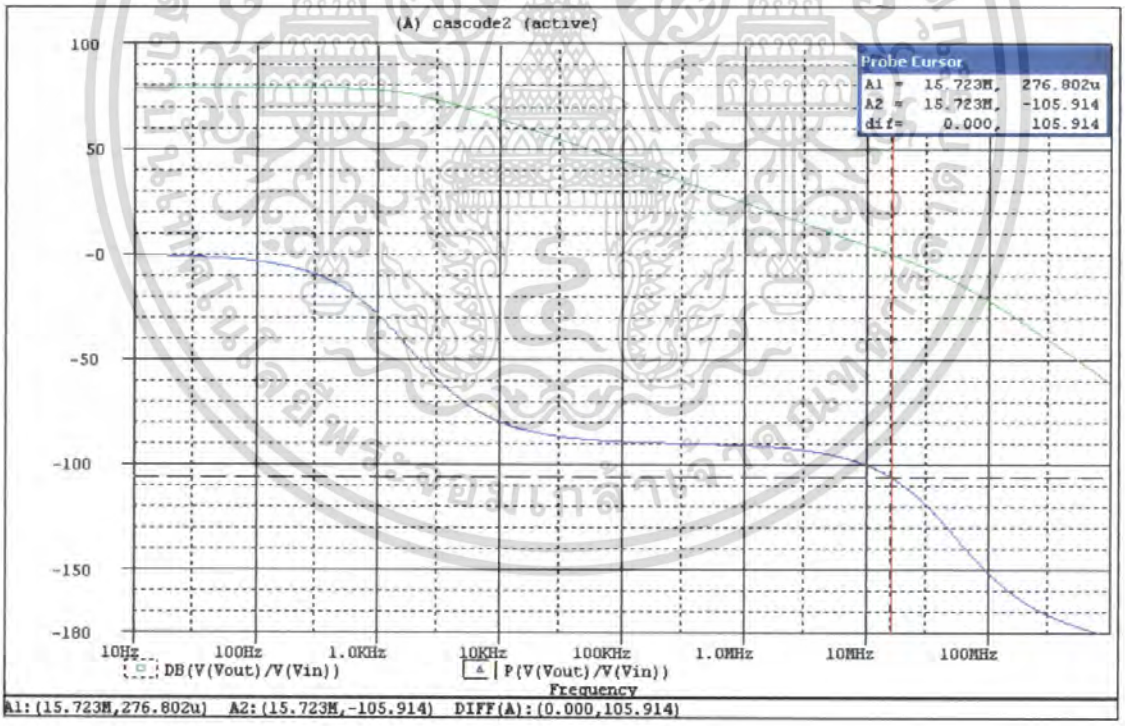
รูปที่ 5.15 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยมีสัญญาณเอาท์พุทขนาด -4.3V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 ค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin)



รูปที่ 5.16 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin)



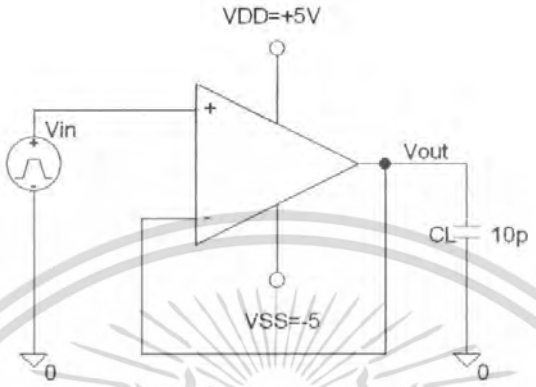
รูปที่ 5.17 ผลการการทดสอบคุณสมบัติของค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin)

1. ค่า GB (Unity-gain Bandwidth) = 15.723 MHz (5.31)

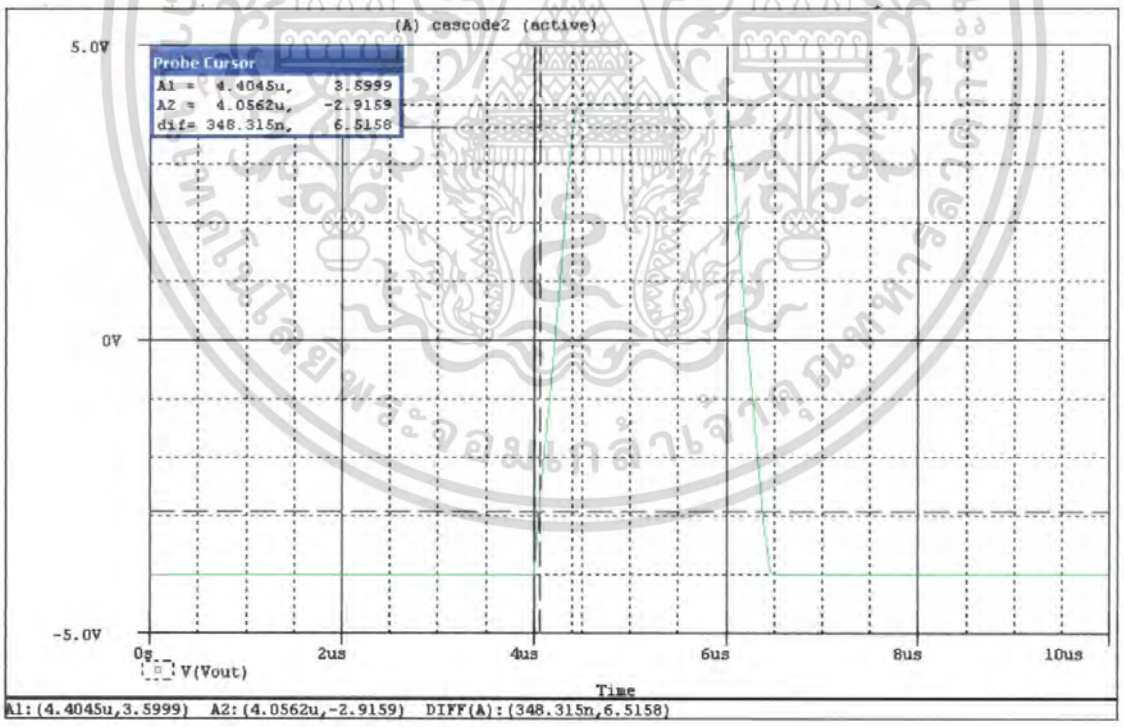
2. ส่วนเหลือของเฟส (Phase Margin) = 180^{o}-105.9^{o} = 74.1^{o} (5.32)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.6 อัตราสลูว์ (Slew Rate) และ ค่า Settling time



รูปที่ 5.18 วงจรที่ใช้ในการทดสอบคุณสมบัติของค่าอัตราสลูว์ (Slew Rate)และ ค่า Settling time

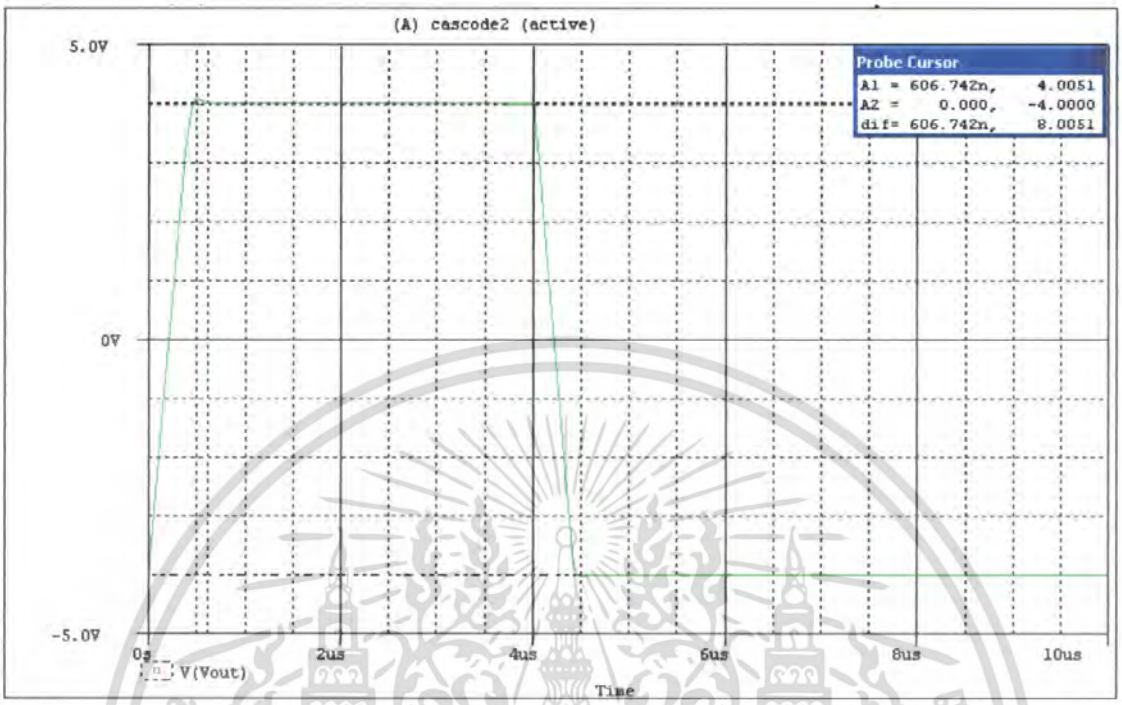


รูปที่ 5.19 ผลการทดสอบคุณสมบัติของค่าอัตราสลูว์ (Slew Rate)

1. อัตราสลูว์ (Slew Rate) ขาขึ้น = +18.707 V/us (5.33)

2. อัตราสลูว์ (Slew Rate) ขาลง = -18.935 V/us (5.34)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.20 ผลการทดสอบคุณสมบัติของค่า Settling time

ค่า Settling time = 606.74 ns (5.35)

5.2.7 กำลังงานสูญเสีย (Power Dissipation)

VOLTAGE SOURCE CURRENTS

NAME CURRENT

V_VDD -5.598E-04

V_Vin 0.000E+00

V_VSS -5.098E-04

TOTAL POWER DISSIPATION 5.35E-03 WATTS (5.36)

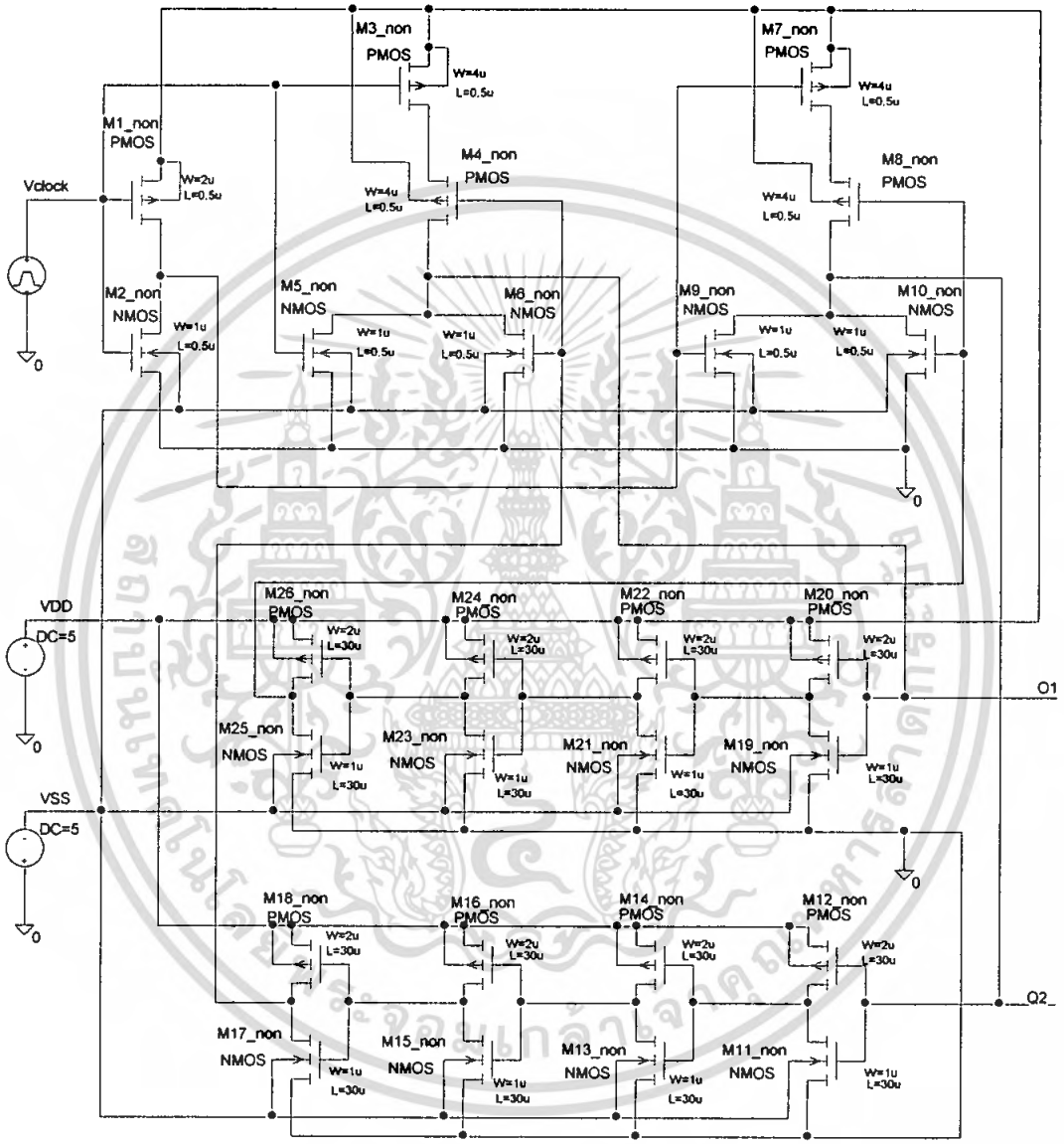
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 เปรียบเทียบการออกแบบกับการทดสอบคุณสมบัติของออปแอมป์

ค่าพารามิเตอร์ของออปีแอมปี	การออกแบบ	การทดสอบคุณสมบัติ
1. อัตราขยายแรงดัน (Open-loop Voltage Gain)	$\geq$ 75 dB	79.15 dB
2. ค่า GB (Unity-gain Bandwidth)	$\geq$ 10 MHz	15.723 MHz
3. ค่า Vout Swing	$\geq \pm 4$ V	-4.8V ถึง +4.3V
4. ค่า Input CMR	$\geq \pm 4$ V	-4.3V ถึง +4.4V
5. ค่า Input Offset	$\leq \pm 1$ mV	+527 uV
6. อัตราสลูว์ (Slew Rate) (C_L= 10 pF)	$\geq$ 10 V/us	+18.707 V/us -18.935 V/us
7. ค่า Settling time	$\leq$ 1 us	606.74 ns
8. ส่วนเหลือของเฟส (Phase Margin)	$\geq$ 60 degree	74.1 degree
9. กำลังงานสูญเสีย (Power Dissipation)	$\leq$ 10 mW	5.35mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

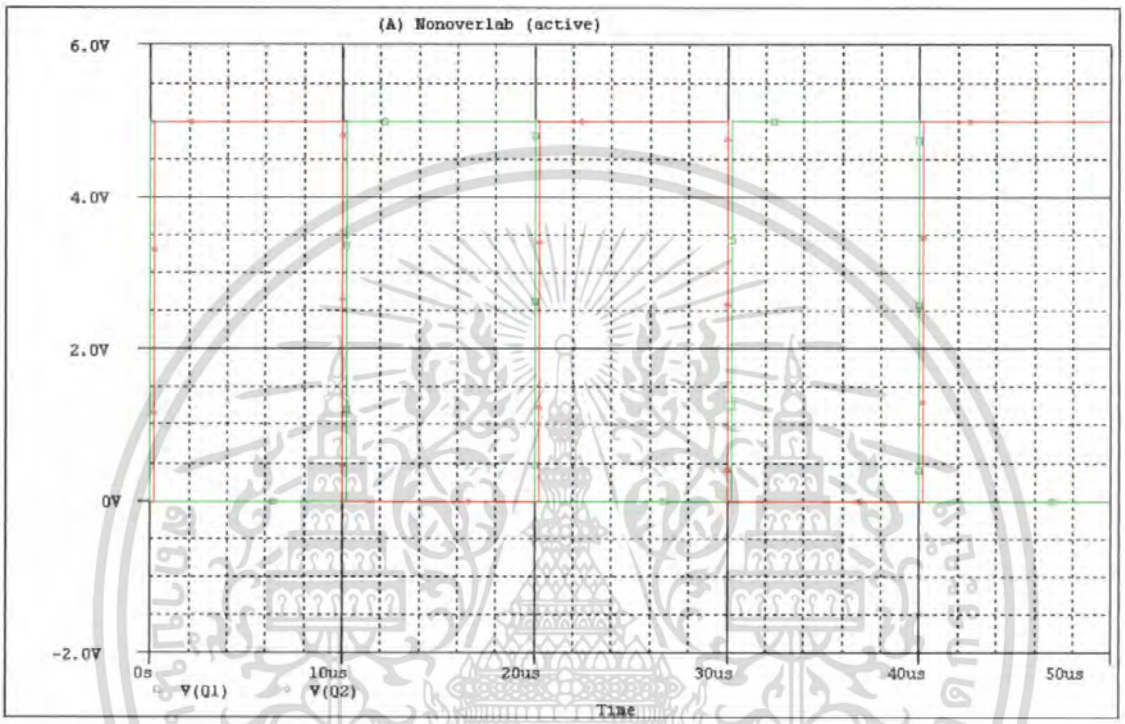
5.4 การออกแบบวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน(Non-Overlapping Clocks Design)



รูปที่ 5.21 วงจร Non-OverlappingClocks ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 ผลการทดสอบคุณสมบัติวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน (Non-Overlapping Clocks Simulate)



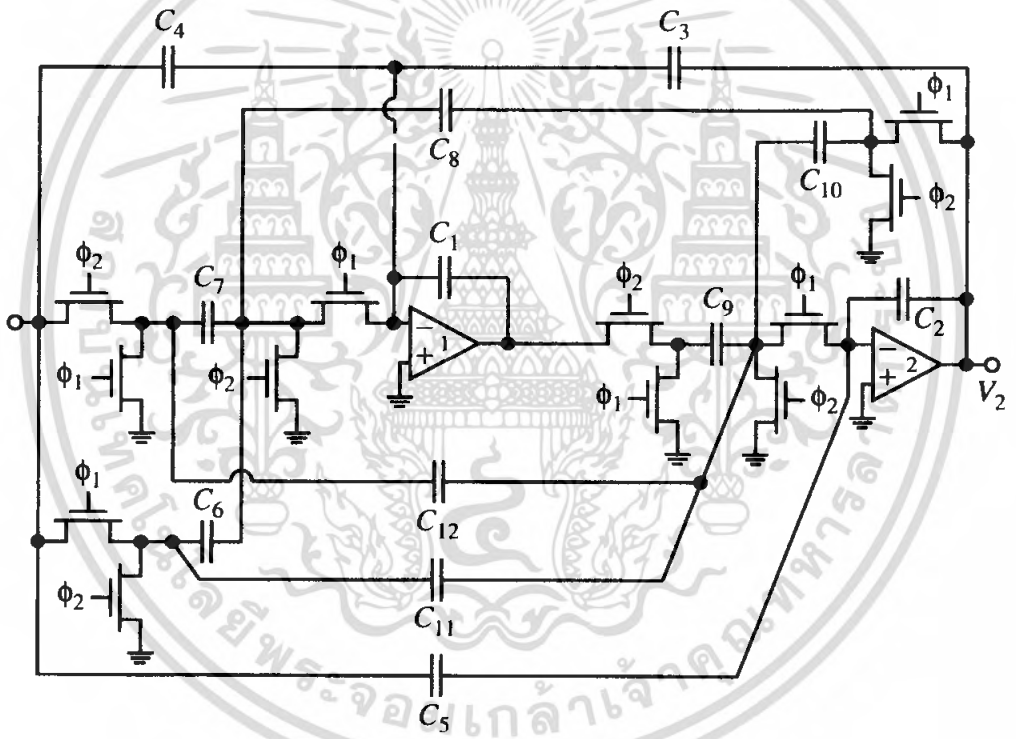
รูปที่ 5.22 ผลการทดสอบคุณสมบัติวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนกัน (Non-Overlapping Clocks Simulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 การออกแบบวงจรกรองความถี่แบบสวิทช์คาปาซิเตอร์ (Switched Capacitor Filter Design)

จากรูปที่ 5.23 เป็นวงจร Switched Capacitor Filter แบบ Biquad อันดับ 2 ซึ่งเป็นวงจรเริ่มต้นที่จะใช้ในการออกแบบ โดยมีสมการความสัมพันธ์ของอินพุทและเอาท์พุทของวงจรคือ

$$\frac{V_2}{V_{in}} = -\frac{s^2C_1C_5 + sf_c\left[C_1(C_{11}-C_{12}) + C_4C_9\right] + f_c^2C_9(C_6 - C_7)}{s^2C_1C_2 + sf_c(C_1C_{10} + C_3C_9) + f_c^2C_8C_9} \qquad (5.37)$$



รูปที่ 5.23 วงจร Switched Capacitor Filter แบบ Biquad อันดับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร Switched Capacitor Filter นี้ จะนำไปใช้เป็นวงจรกรองความถี่ในเครื่องวัดสัญญาณหัวใจ หรือ ECG ซึ่งใช้งานในย่านความถี่ต่ำ ดังนั้นเราสามารถออกแบบวงจรได้ดังนี้

1. วงจร Low pass filter อันดับ 2
2. Cut-off frequency , f_O = 100 Hz
3. Quality factor , Q = 0.707
4. Gain = 0 dB
5. f_C = 5 kHz
6. Supply Voltage = ± 5 V

จากสมการที่ 5.37 สามารถจัดรูปให้เป็นสมการความสัมพันธ์ของวงจร Low pass filter ได้ โดยกำหนดให้ $C_3 = C_4 = C_5 = C_6 = C_{11} = C_{12} = 0$ จะได้สมการคือ

$$\frac{V_2}{V_{in}} = +\frac{f_c^2 C_7 C_9}{s^2 C_1 C_2 + s f_c C_1 C_{10} + f_c^2 C_8 C_9} = \frac{f_c^2 \frac{C_7 C_9}{C_1 C_2}}{s^2 + s f_c \frac{C_{10}}{C_2} + f_c^2 \frac{C_8 C_9}{C_1 C_2}} \qquad (5.38)$$

เมื่อ gain = 0 dB ; $C_7 = C_8$ จะได้

$$f_c \frac{C_{10}}{C_2} = \frac{\omega_o}{Q} \quad \text{และ} \quad \omega_o{}^2 = f_c^2 \frac{C_8 C_9}{C_1 C_2}$$

จะได้

$$Q = \frac{\omega_o}{f_c}\frac{C_2}{C_{10}} = \sqrt{\frac{C_2 C_8 C_9}{C_1}}\frac{1}{C_{10}} = 0.707 \quad \text{และ} \quad f_c\sqrt{\frac{C_8 C_9}{C_1 C_2}} = 2\pi \times 100 s^{-1}$$

เลือก $C_1 = C_2$ และ $C_8 = C_9$ จะได้

$$\frac{C_8}{C_1} = \frac{2\pi \times 100 s^{-1}}{f_c} = \frac{2\pi \times 100}{5000} = 0.12566 \quad \text{และ} \quad \frac{C_8}{C_{10}} = 0.707$$

เลือก $C_1 = C_2 = 2$ pF จะได้ $C_7 = C_8 = C_9 = 0.251$ pF และ $C_{10} = 0.355$ pF (5.39)

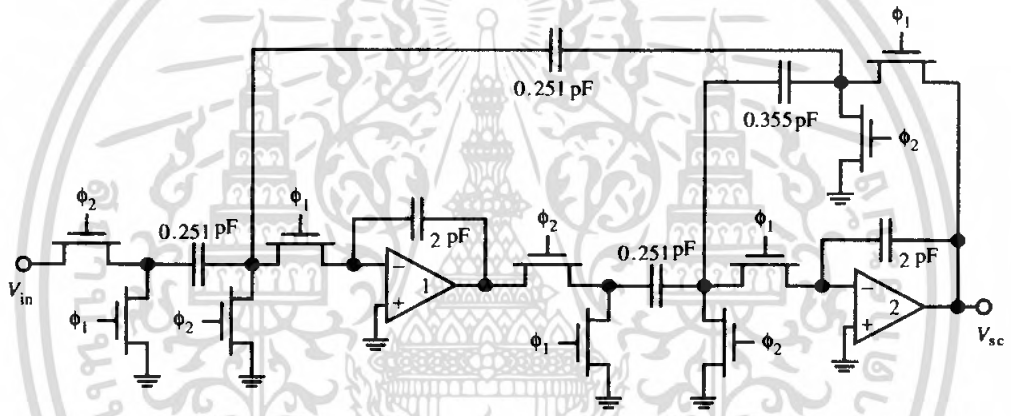
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสวิทช์จะใช้ NMOS ทุกตัว สามารถหาขนาด W_{sw} จากสมการ ของ MOS ที่ทำงานในย่าน Linear

คือ $W_{sw} = \dfrac{L}{R_{on} \times K_N^{'} \times (V_{GS} - V_{TN})}$ โดย R_{on} มีค่าประมาณ 1k – 10k

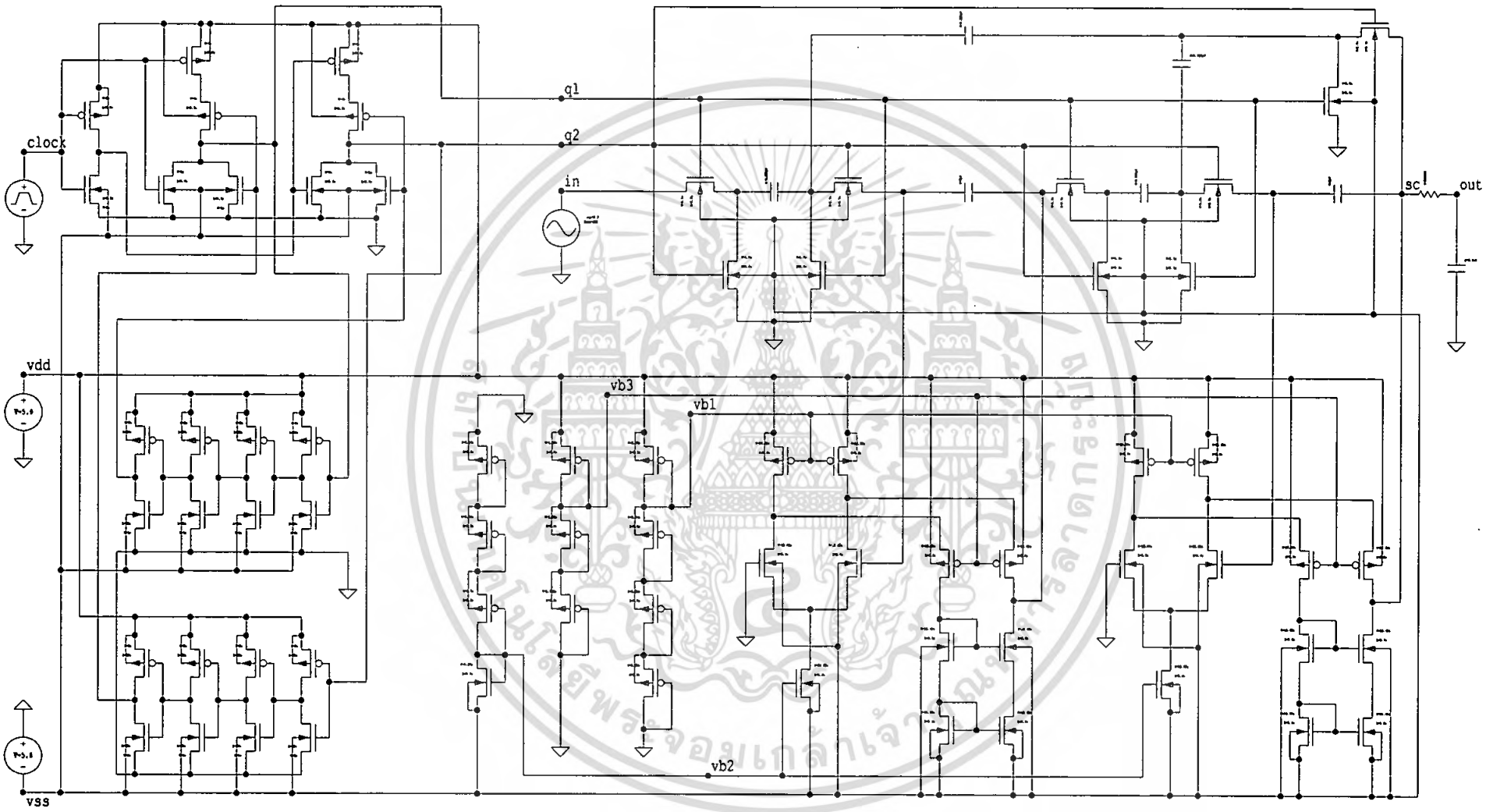
จากการคำนวณและเลือกค่าที่เหมาะสมแล้วจะได้ $W_{sw} = 1.5u$ (5.40)

ในที่สุดจะได้ผลการออกแบบวงจร Switched Capacitor Filter ดังแสดงในรูปที่ 5.24



รูปที่ 5.24 วงจร Switched Capacitor Filter ที่ได้จากการออกแบบ

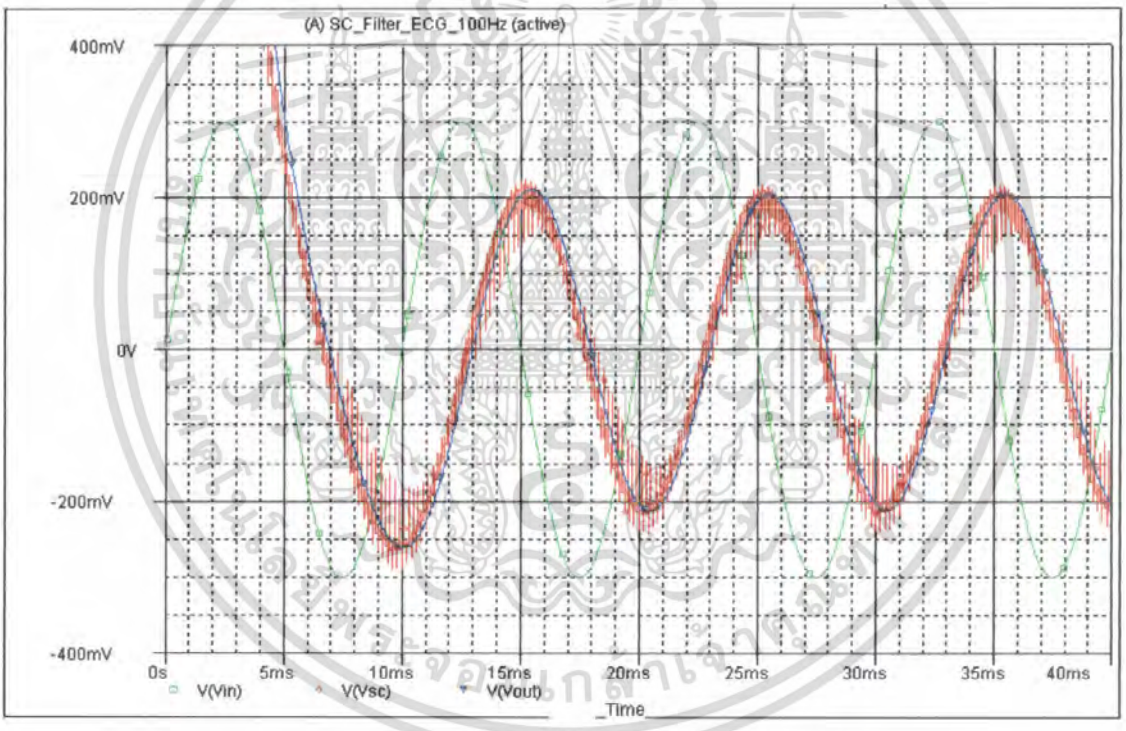
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.25 แสดงวงจร Switched Capacitor Filter ทั้งหมด

5.7 ผลการทดลองวงจรกรองความถี่แบบสวิทช์คาป่าซิเตอร์ (Switched Capacitor Filter Simulate)

จากรูปที่ 5.25 ทำการป้อนสัญญาณอินพุท Sine wave 600 mV_{P-P} ที่ความถี่ค่าต่างๆ โดยf_{clock} = 5 kHz สัญญาณที่ได้จากวงจร Switched Capacitor Filter เมื่อนำไปใช้งานจริงจะต้องผ่านวงจร Low pass filter แบบ Analog filter อีกครั้งหนึ่ง เพื่อที่จะกำจัดความถี่ Clock ให้สัญญาณมีความเรียบขึ้น ในการทดลองนี้จะใช้วงจร Low pass filter แบบ RC filter อันดับ 1 มีค่า R = 100k , C = 2.5 nF , f_p = 4kHz



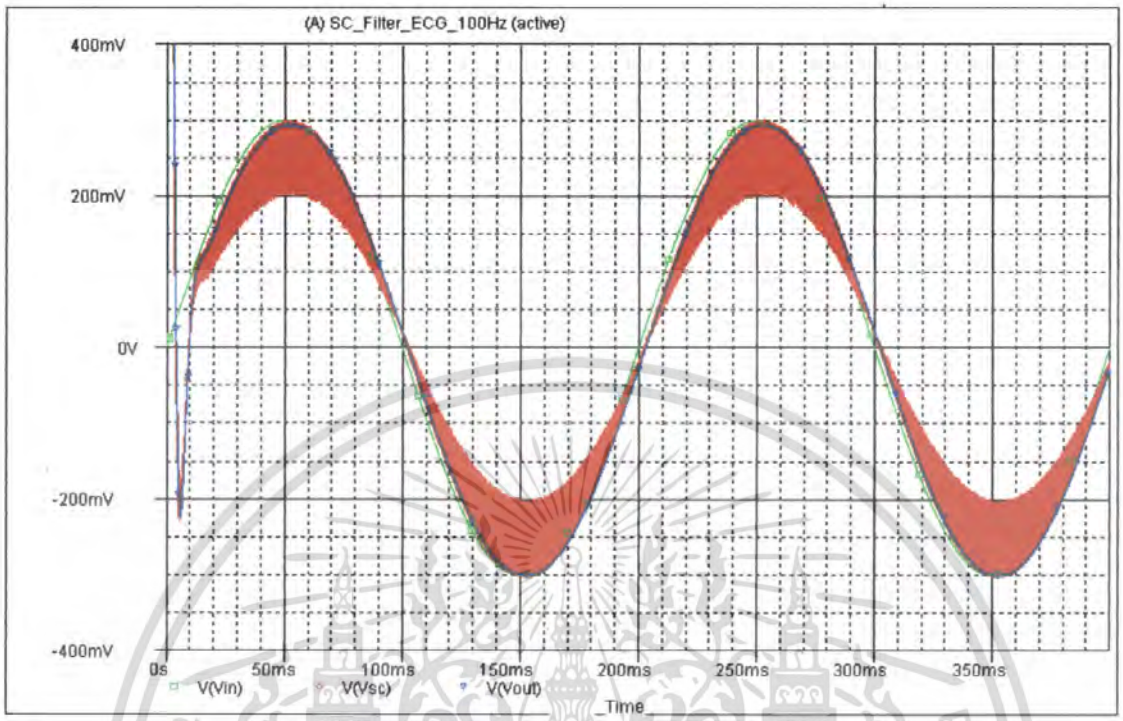
รูปที่ 5.26 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 100 Hz

V_{out} = 417.51 mV_{P-P}

Av = -3.15 dB (5.41)

Delay = 2.93 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



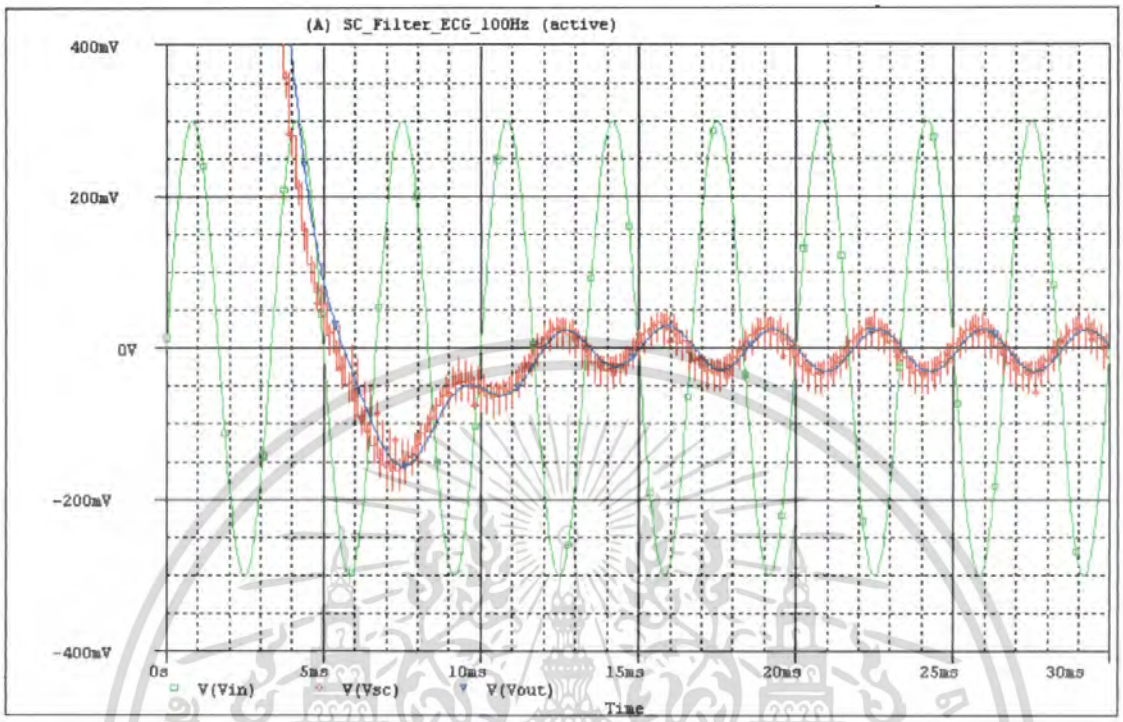
รูปที่ 5.27 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 5 Hz

V_{out} = 594.73 mV_{P-P}

Av = -0.077 dB (5.42)

Delay = 2.30 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.28 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 300 Hz

V_{out} = 56.18 mV_{P-P}

Av = -20.571 dB (5.43)

Delay = 1.69 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8 ผลการทดลองการตอบสนองทางความถี่ของวงจร Switched Capacitor Filter

เมื่อ Vin=600mV$_{P-P}$

f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
5	594.730	-0.077	2.30
10	594.600	-0.079	2.45
20	594.500	-0.080	2.58
30	594.400	-0.081	2.66
40	591.360	-0.126	2.69
50	582.590	-0.256	2.77
60	565.990	-0.507	2.84
70	541.050	-0.898	2.89
75	524.110	-1.175	2.93
80	505.660	-1.486	2.93
85	485.050	-1.847	2.94
90	463.190	-2.248	2.95
91	459.130	-2.324	2.93
92	454.580	-2.411	2.95
93	449.180	-2.515	2.94
94	445.090	-2.594	2.94
95	440.630	-2.682	2.94
96	436.200	-2.769	2.94
97	431.090	-2.872	2.93
98	425.980	-2.975	2.93
98.4	424.600	-3.003	2.94
99	421.950	-3.058	2.94
100	417.510	-3.150	2.93

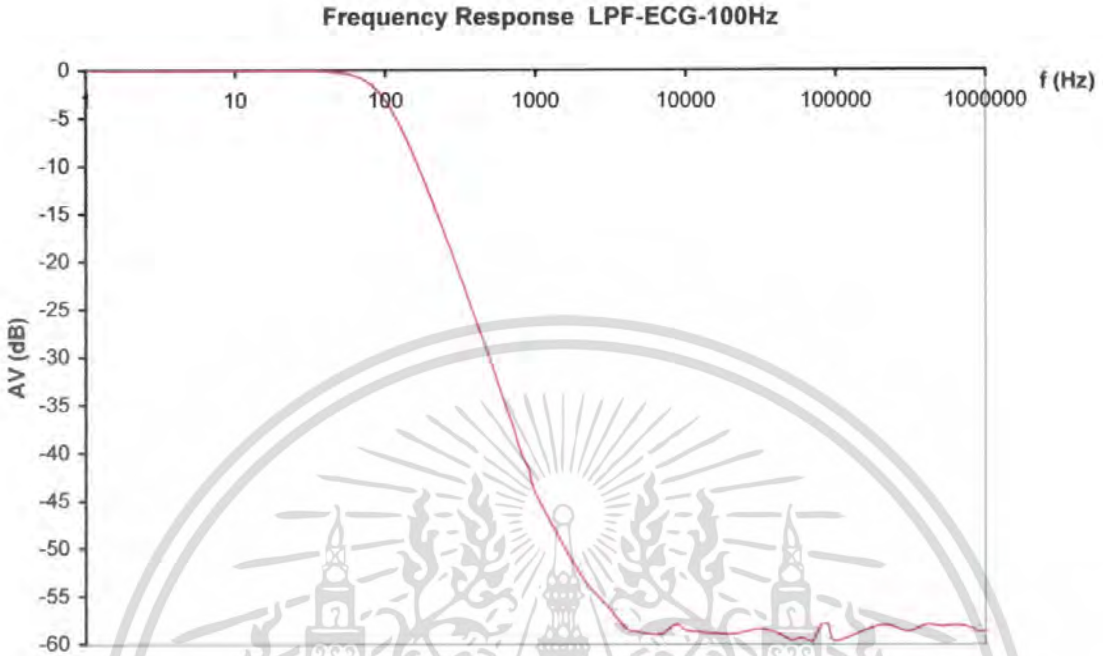
f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
101	412.800	-3.248	2.93
102	407.450	-3.362	2.93
103	403.140	-3.454	2.92
104	398.360	-3.560	2.92
105	394.040	-3.652	2.92
106	388.986	-3.764	2.92
107	384.750	-3.859	2.92
108	380.020	-3.967	2.91
109	375.620	-4.068	2.90
110	370.620	-4.184	2.89
115	348.890	-4.709	2.86
120	327.840	-5.250	2.86
125	308.920	-5.766	2.80
130	290.170	-6.310	2.75
135	272.340	-6.861	2.73
140	255.770	-7.406	2.70
145	241.940	-7.889	2.67
150	229.150	-8.360	2.64
200	131.500	-13.185	2.24
300	56.180	-20.571	1.69
400	29.740	-26.069	1.31
500	18.300	-30.314	1.17
600	11.880	-34.067	1.04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{in} (Hz)	V_{out} (mV_{p-p})	Av (dB)	Delay (ms)
700	8.500	-36.975	1.01
800	6.028	-39.960	0.80
900	4.938	-41.692	0.61
1k	3.679	-44.248	0.53
2k	1.389	-52.709	0.22
3k	0.953	-55.981	
4k	0.731	-58.285	
5k	0.692	-58.761	
6k	0.678	-58.938	
7k	0.685	-58.850	
8k	0.742	-58.155	
9k	0.767	-57.867	
10k	0.710	-58.538	
20k	0.683	-58.875	
30k	0.722	-58.392	
40k	0.691	-58.773	
50k	0.637	-59.480	
60k	0.652	-59.278	
70k	0.625	-59.645	
80k	0.763	-57.912	
90k	0.750	-58.062	
100k	0.629	-59.590	
200k	0.759	-57.958	

f_{in} (Hz)	V_{out} (mV_{p-p})	Av (dB)	Delay (ms)
300k	0.705	-58.599	
400k	0.766	-57.878	
500k	0.751	-58.050	
600k	0.760	-57.947	
700k	0.756	-57.993	
800k	0.736	-58.225	
900k	0.702	-58.636	
1M	0.712	-58.513	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.29 การตอบสนองทางความถี่ของวงจร Switched Capacitor Filter

5.9 กำลังงานสูญเสีย (Power Dissipation)

VOLTAGE SOURCE CURRENTS

NAME CURRENT

V_Vin 0.000E+00

V_VDD -1.020E-03

V_VSS -9.703E-04

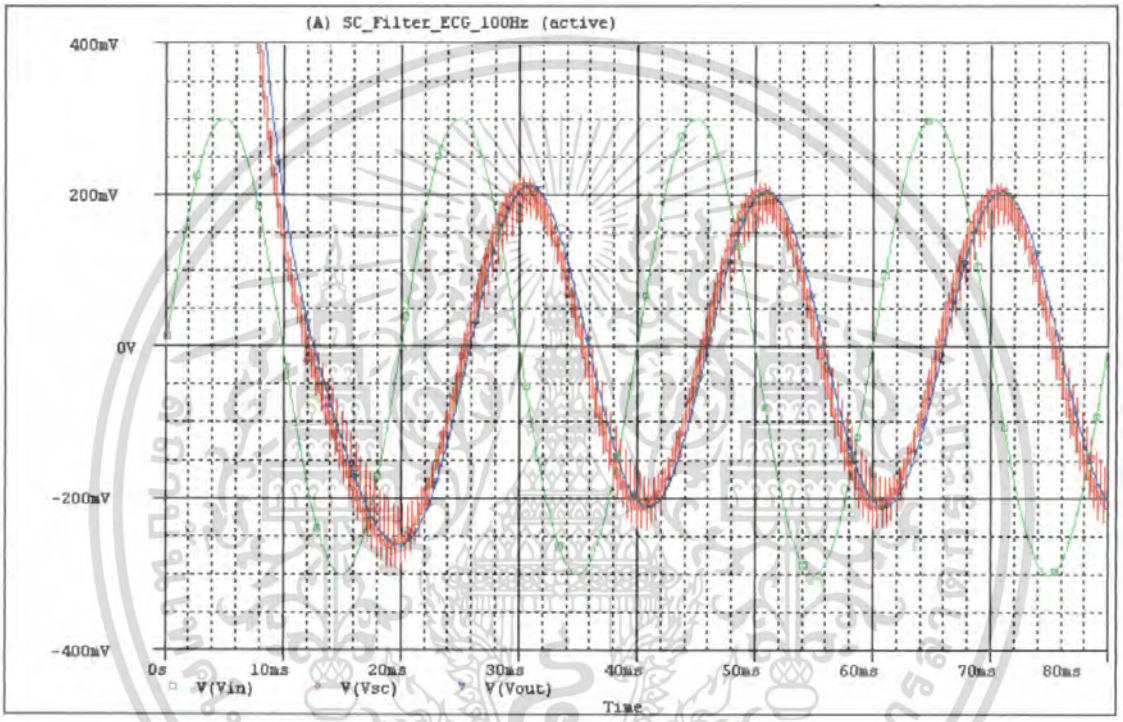
V_Vclock 0.000E+00

TOTAL POWER DISSIPATION 9.95E-03 WATTS (5.44)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.10 การทดสอบคุณสมบัติ ของวงจร Switched Capacitor Filter เมื่อเปลี่ยนความถี่ Clock

5.10.1 ความถี่ Clock = 2.5 kHz , RC-filter f_p = 2 kHz , R = 100k , C = 5 nF



รูปที่ 5.30 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 50 Hz

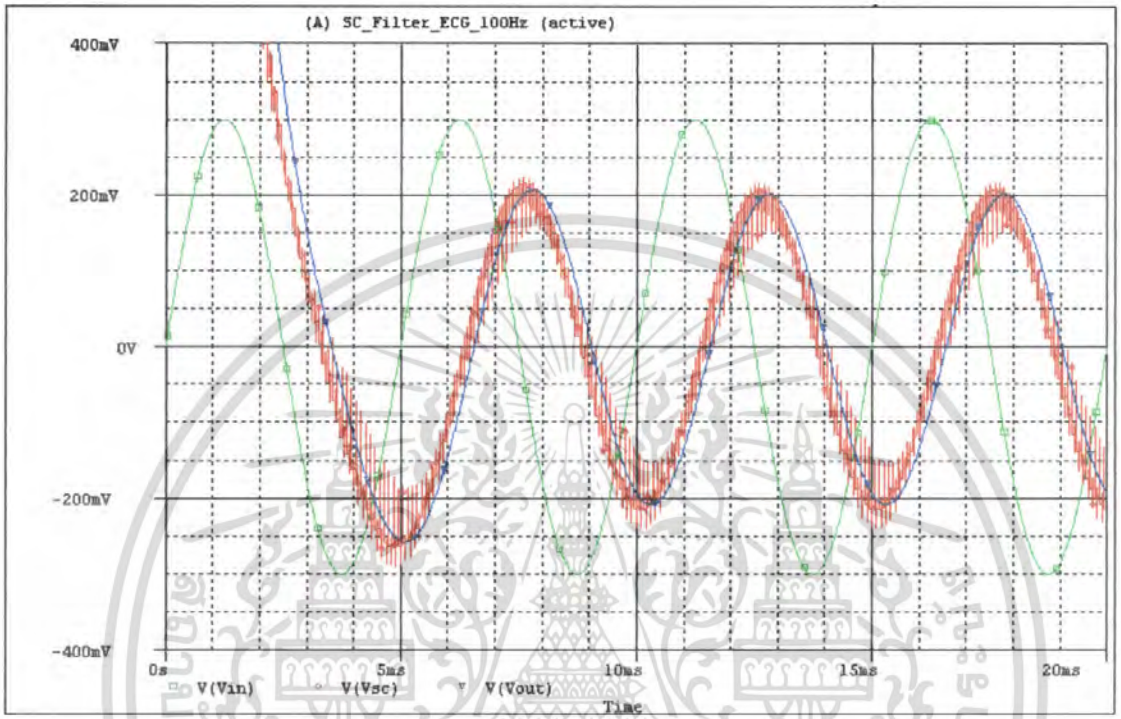
V_{out} = 417.094 mV_{P-P}

Av = -3.158 dB (5.45)

Delay = 5.86 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.10.2 ความถี่ Clock = 10 kHz , RC-filter f_p = 5 kHz , R = 100k , C = 2 nF



รูปที่ 5.31 สัญญาณที่ได้จากวงจร Switched Capacitor Filter ที่ความถี่อินพุท 200 Hz

V_{out} = 415.242 mV_{P-P}

Av = -3.197 dB (5.46)

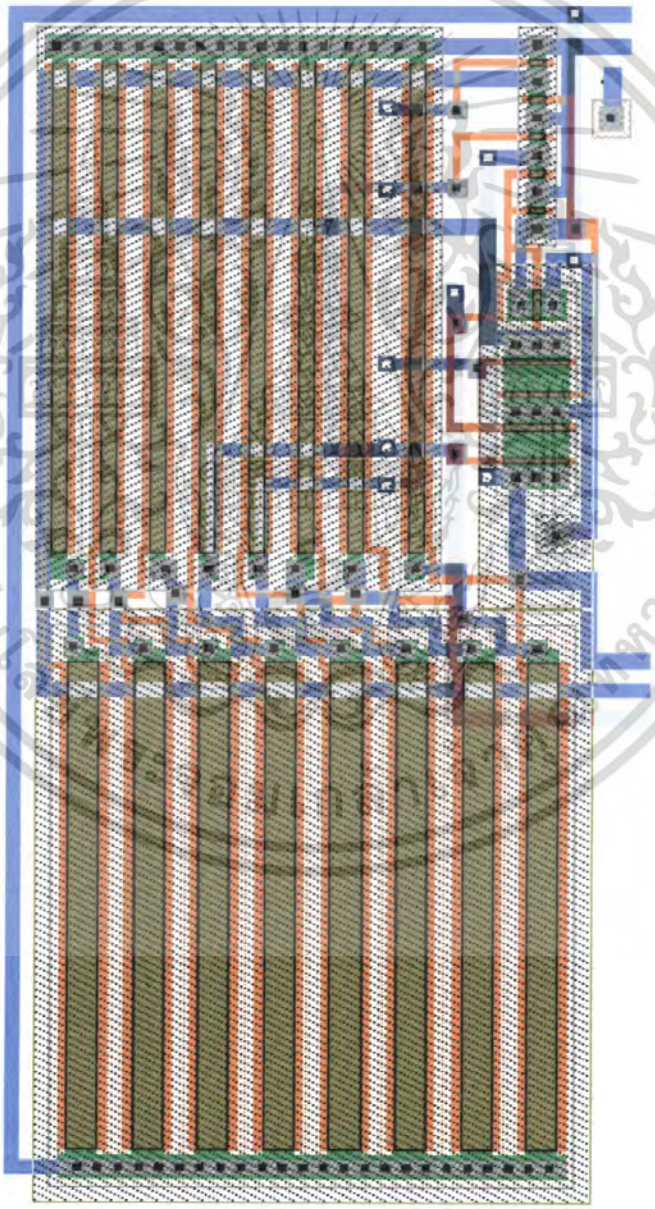
Delay = 1.54 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การออกแบบและการทดสอบคุณสมบัติ Layout ของวงจร

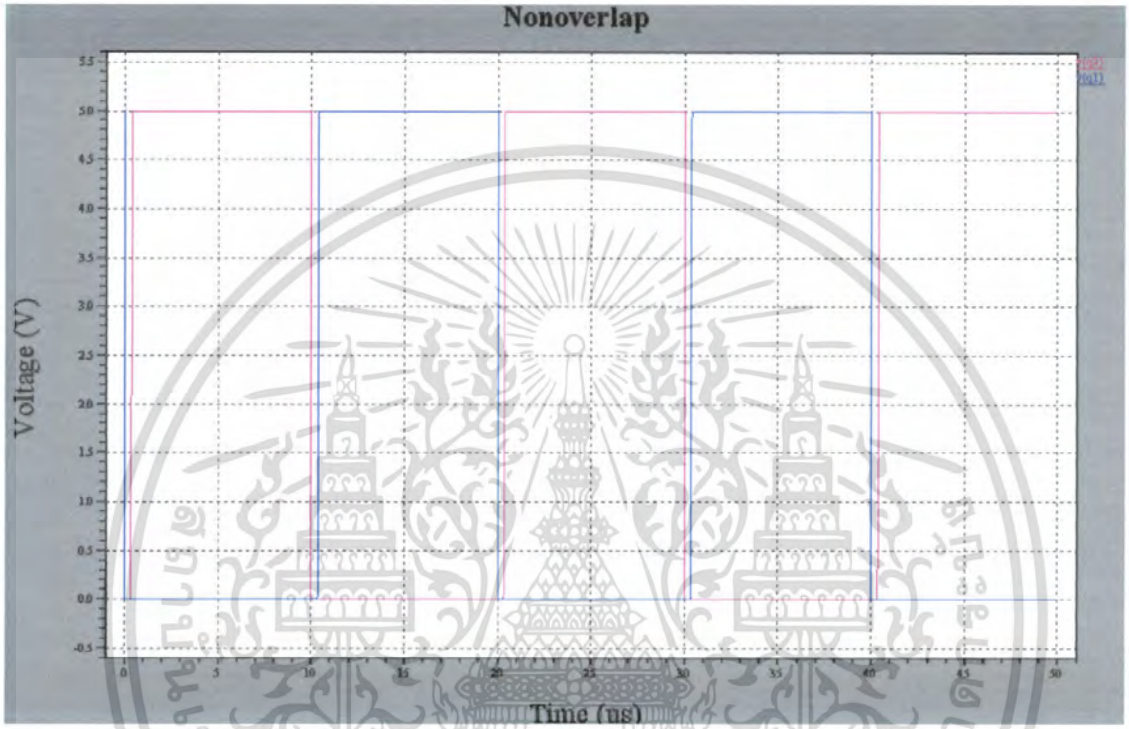
6.1 การออกแบบ Layout ของวงจร Non-Overlapping Clocks



รูปที่ 6.1 Layout ของวงจร Non-OverlappingClocks ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

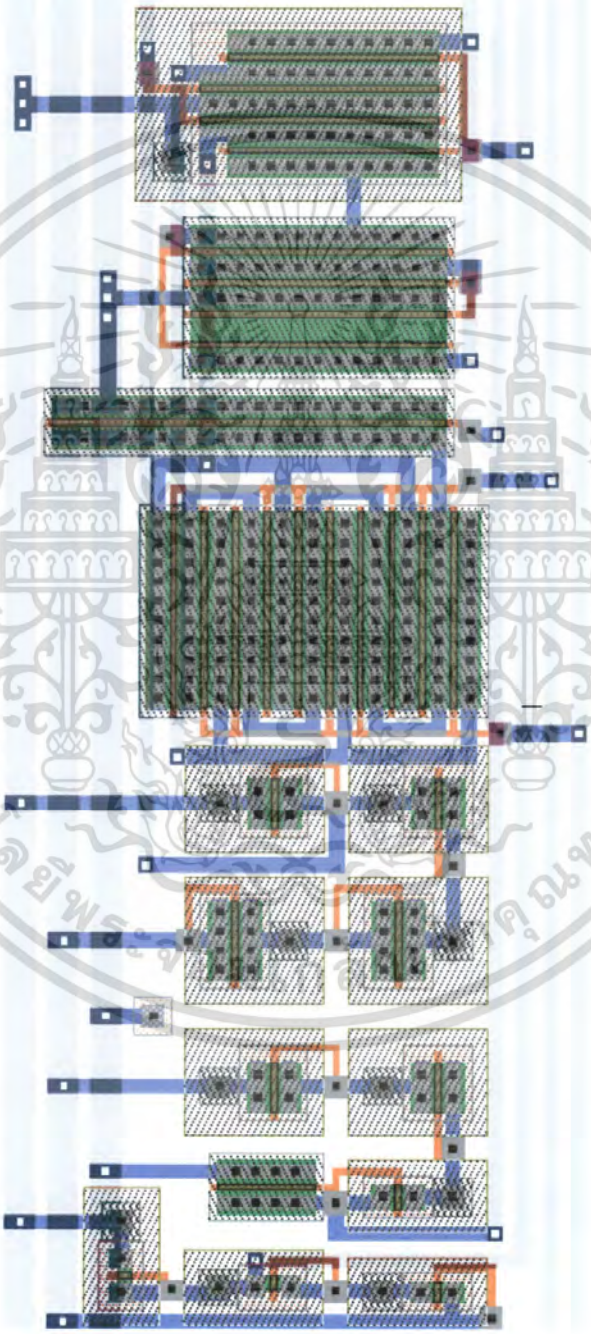
6.2 การทดสอบคุณสมบัติ Layout ของวงจร Non-Overlapping Clocks



รูปที่ 6.2 ผลการทดสอบคุณสมบัติ Layout ของวงจร Non-OverlappingClocks ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การออกแบบ Layout ของวงจร Op-Amp

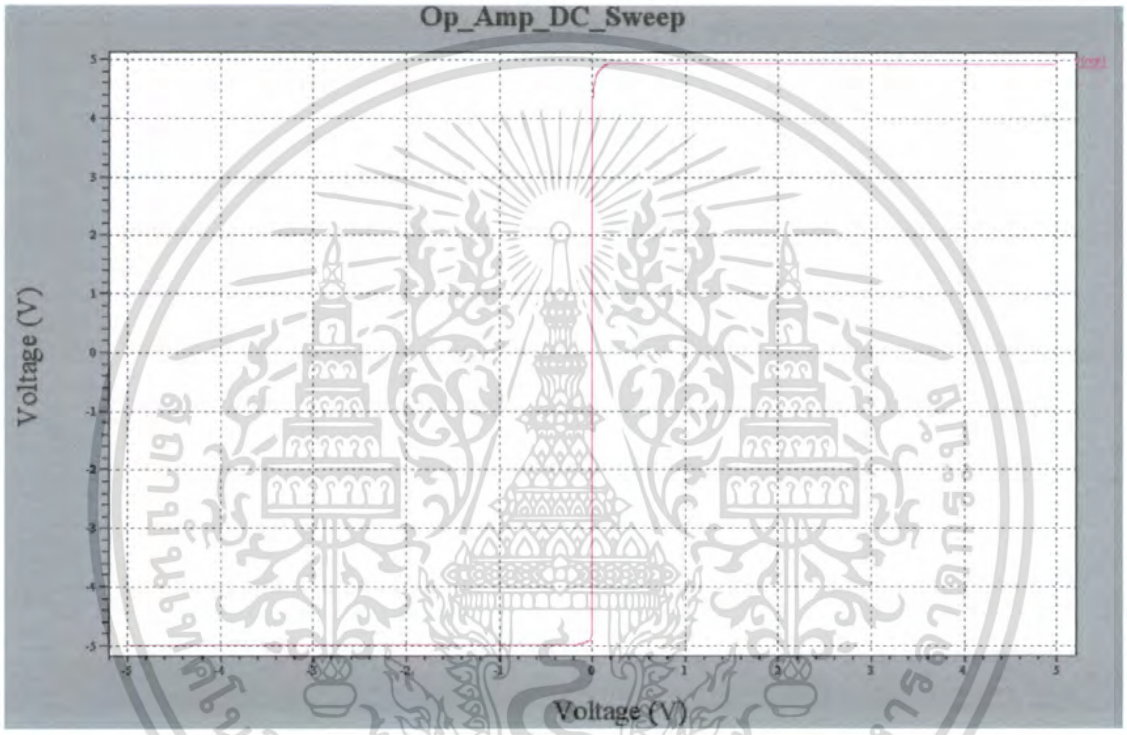


รูปที่ 6.3 Layout ของวงจร Op-Amp ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 การทดสอบคุณสมบัติ Layout ของวงจร Op-Amp

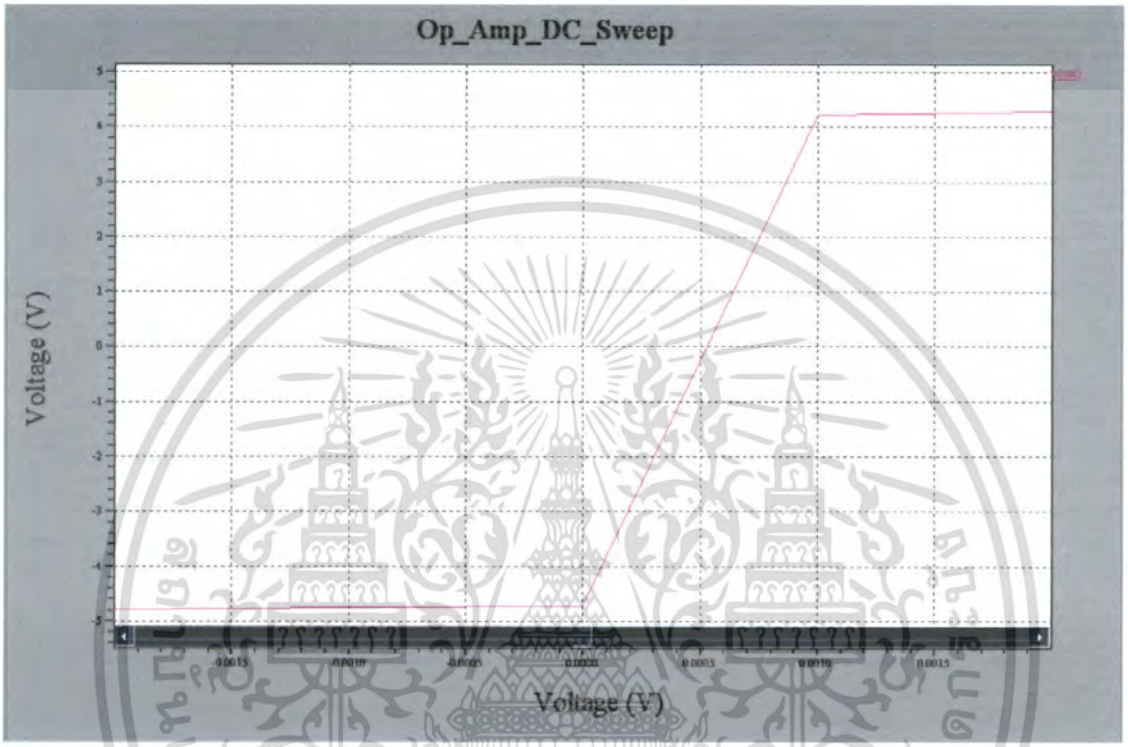
6.4.1 คุณสมบัติทางไฟตรง (DC Sweep)



รูปที่ 6.4 ผลการทดสอบคุณสมบัติทางไฟตรง (DC Sweep) Layout ของวงจร Op-Amp ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.2 อัตราขยายแรงดัน (Open-loop Voltage Gain) และค่า Input Offset



รูปที่ 6.5 ผลการทดสอบคุณสมบัติอัตราขยายแรงดัน(Open-loop Voltage Gain) และค่าInput Offset Layout ของวงจร Op-Amp ที่ออกแบบ

1. อัตราขยายแรงดัน(Open-loop Voltage Gain)

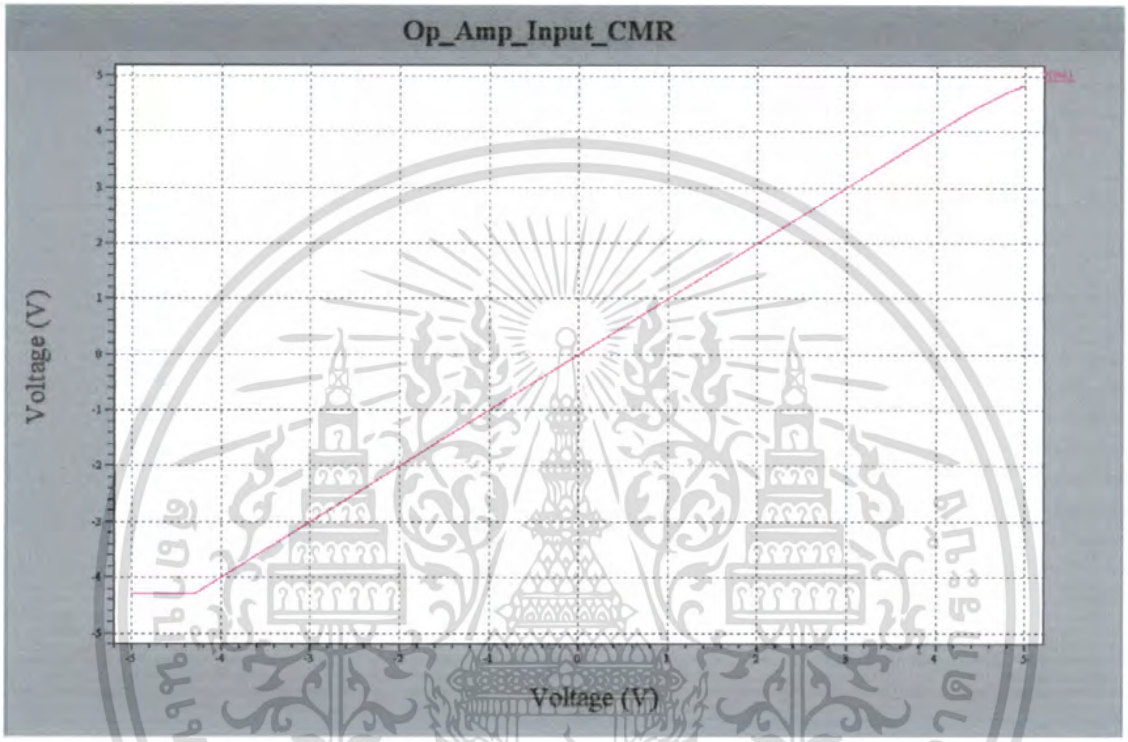
$$Gain = \frac{8.93V}{1mV} = 8930 \quad \text{เท่า}$$

$$Gain_{dB} = 79.02 \text{ dB} \tag{6.1}$$

2. ค่าInput Offset = +540 uV (6.2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.3 ค่า Input CMR

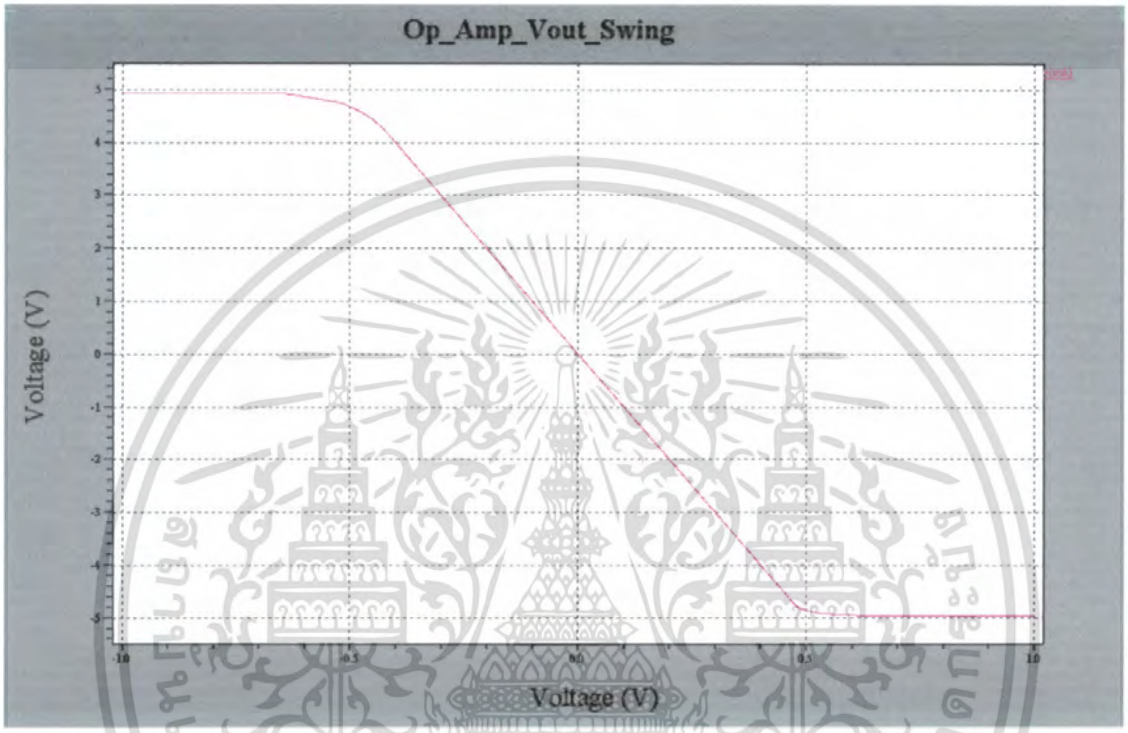


รูปที่ 6.6 ผลการทดสอบคุณสมบัติ ค่า Input CMR Layout ของวงจร Op-Amp ที่ออกแบบ

ค่า Input CMR = -4.27V ถึง +4.36V (6.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

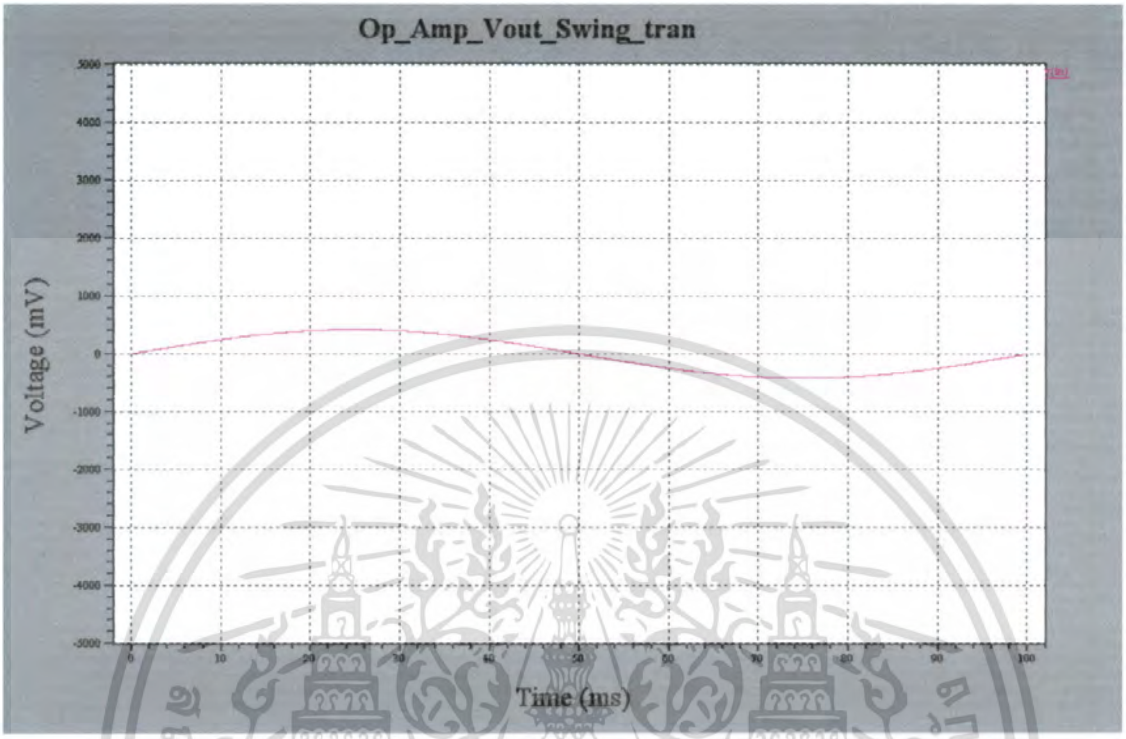
6.4.4 ค่า Vout Swing



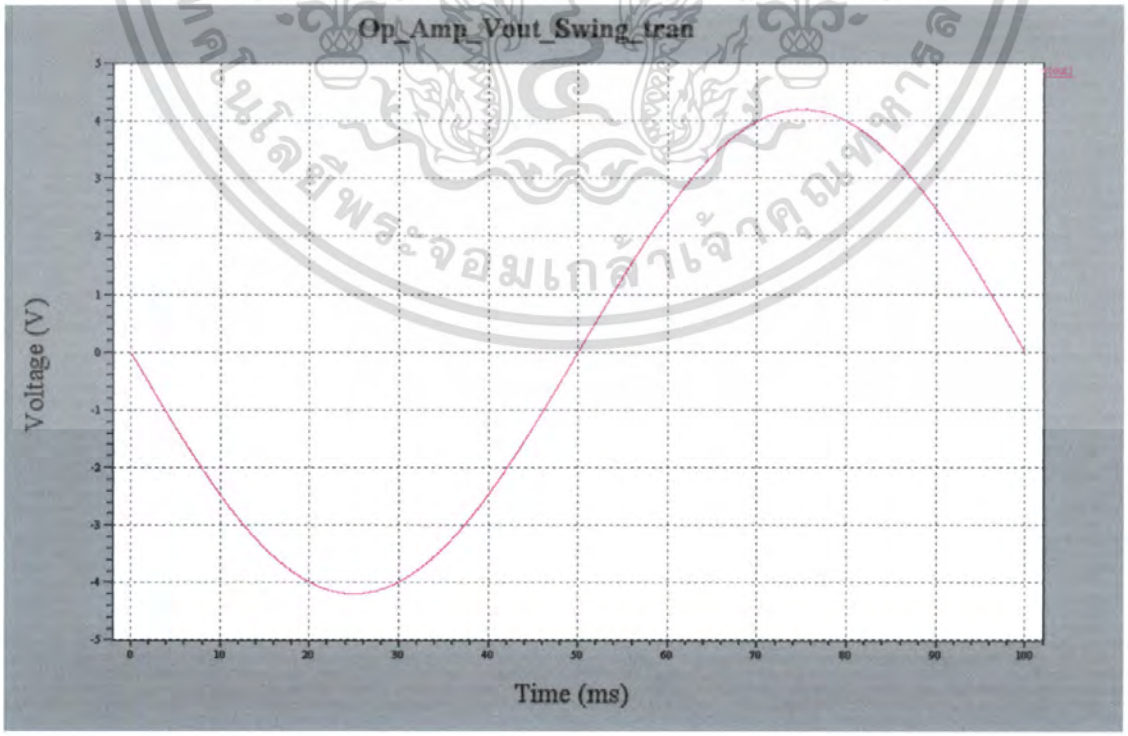
รูปที่ 6.7 ผลการทดสอบคุณสมบัติค่า Vout Swing Layout ของวงจร Op-Amp ที่ออกแบบ

ค่า Vout Swing = -4.78V ถึง +4.27V (6.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



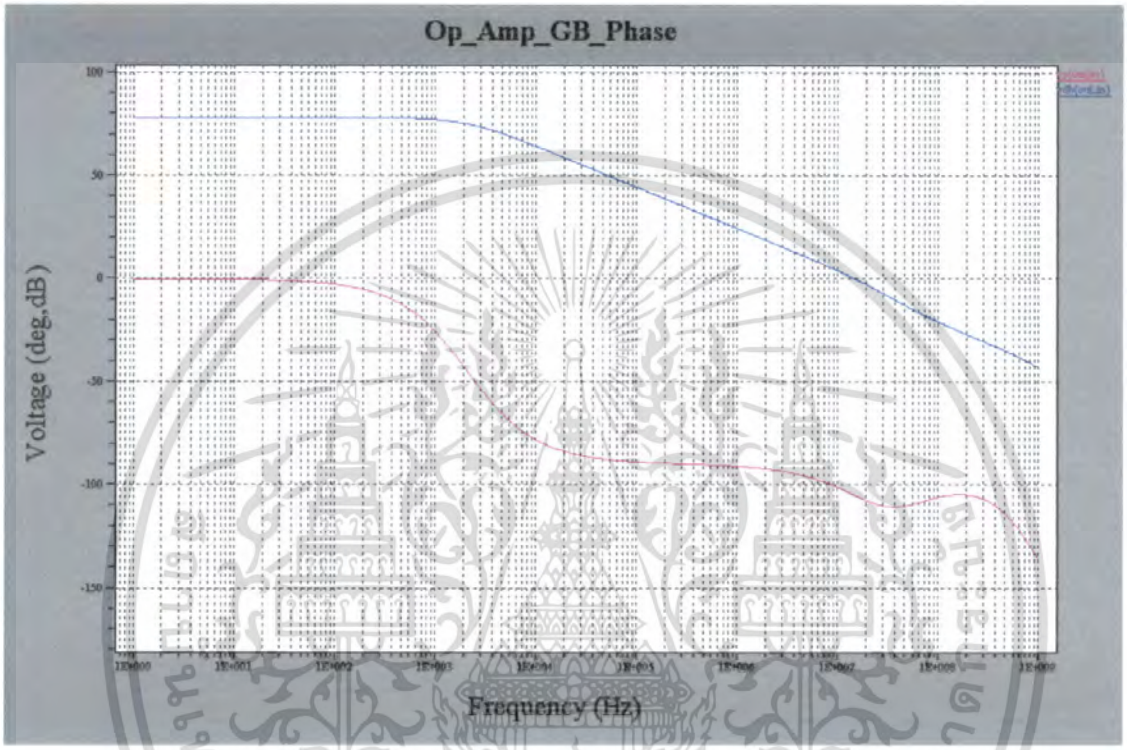
รูปที่ 6.8 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยการป้อนสัญญาณอินพุทขนาด 0.42V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.9 ผลการทดสอบคุณสมบัติของค่า Vout Swing โดยมีสัญญาณเอาท์พุทขนาด -4.2V

6.4.5 ค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin)



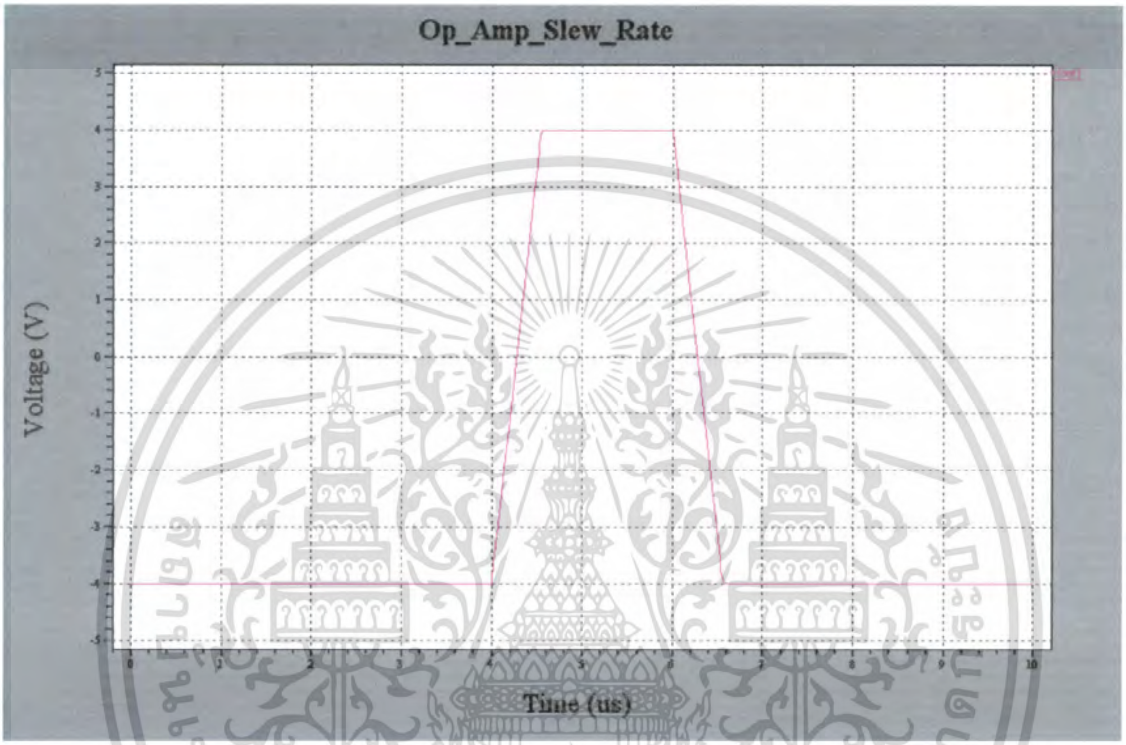
รูปที่ 6.10 ผลการทดสอบคุณสมบัติค่า GB (Unity-gain Bandwidth) และ ส่วนเหลือของเฟส (Phase Margin) Layout ของวงจร Op-Amp ที่ออกแบบ

1. ค่า GB (Unity-gain Bandwidth) = 14.83 MHz (6.5)

2. ส่วนเหลือของเฟส (Phase Margin) = 180^{O}-107^{O} = 73^{O} (6.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.6 อัตราสลูว์ (Slew Rate)



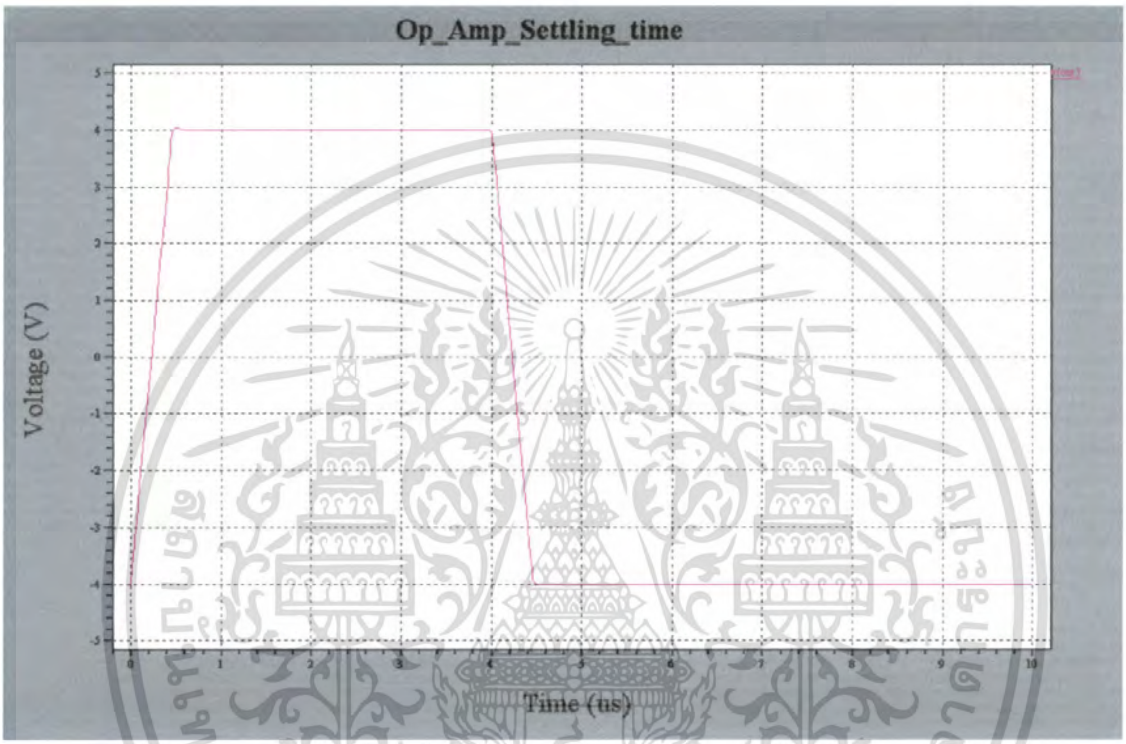
รูปที่ 6.11 ผลการทดสอบคุณสมบัติค่าอัตราสลูว์ (Slew Rate) Layout ของวงจร Op-Amp ที่ออกแบบ

1. อัตราสลูว์ (Slew Rate) ขาขึ้น = +17.07 V/us (6.7)

2. อัตราสลูว์ (Slew Rate) ขาลง = -17.36 V/us (6.8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.7 ค่า Settling time



รูปที่ 6.12 ผลการทดสอบคุณสมบัติค่า Settling time Layout ของวงจร Op-Amp ที่ออกแบบ

ค่า Settling time = 610 ns (6.9)

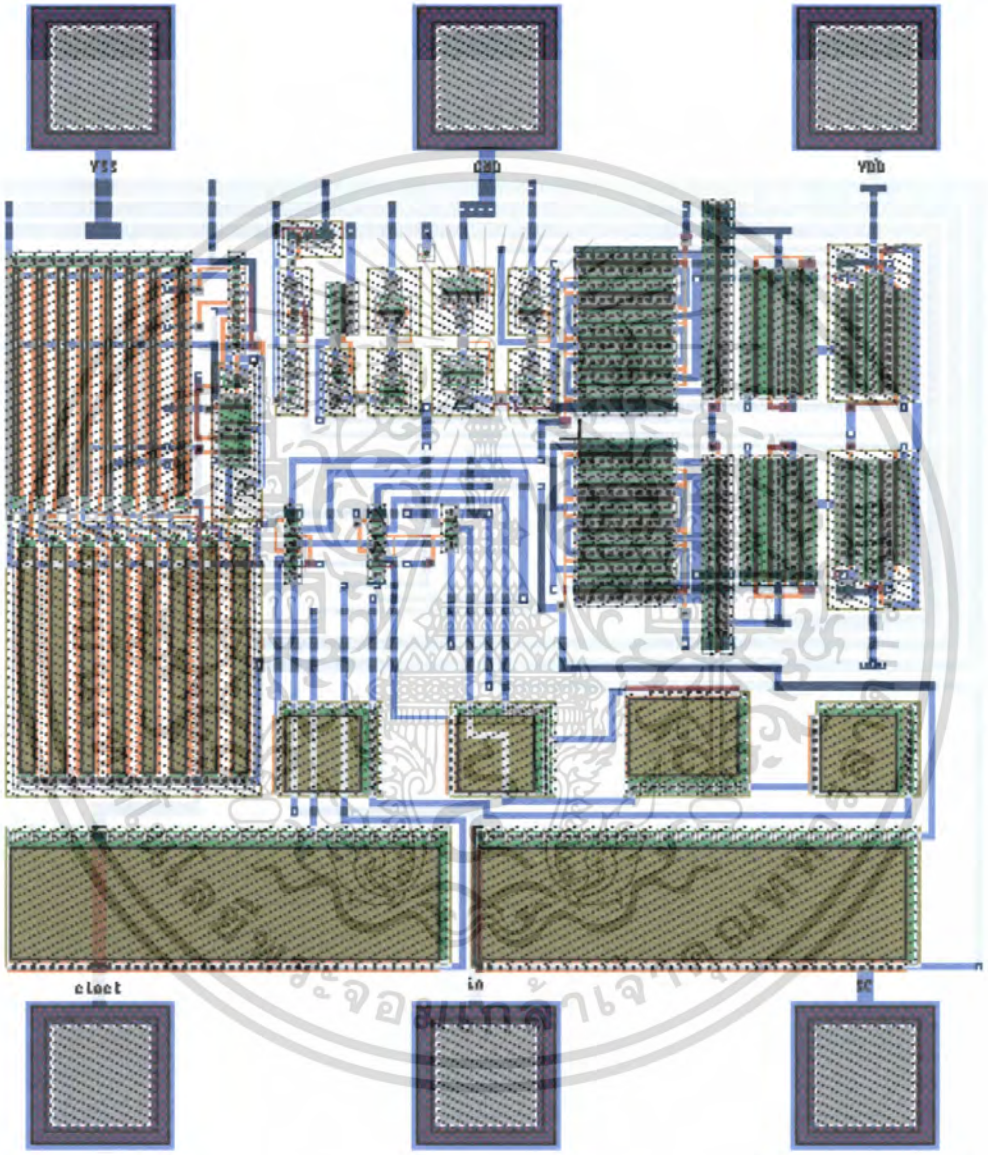
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 เปรียบเทียบการออกแบบการทดสอบคุณสมบัติวงจรและ Layout ของออปแอมป์

ค่าพารามิเตอร์ของออปแอมป์	การออกแบบ	การทดสอบคุณสมบัติวงจร	การทดสอบคุณสมบัติ Layout
1. Gain	$\geq$ 75 dB	79.15 dB	79.02 dB
2. GB	$\geq$ 10 MHz	15.723 MHz	14.83 MHz
3. Vout Swing	$\geq \pm 4$ V	-4.8V ถึง +4.3V	-4.78V ถึง +4.27V
4. Input CMR	$\geq \pm 4$ V	-4.3V ถึง +4.4V	-4.27V ถึง +4.36V
5. Input Offset	$\leq \pm 1$ mV	+527 uV	+540 uV
6. Slew Rate (C_L= 10 pF)	$\geq$ 10 V/us	+18.707 V/us -18.935 V/us	+17.07 V/us -17.36 V/us
7. Settling time	$\leq$ 1 us	606.74 ns	610 ns
8. Phase Margin	$\geq$ 60 degree	74.1 degree	73 degree
9. Power Dissipation	$\leq$ 10 mW	5.35mW	5.35mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 การออกแบบ Layout ของวงจร Switched Capacitor Filter



รูปที่ 6.13 Layout ของวงจร Switched Capacitor Filter ที่ออกแบบ

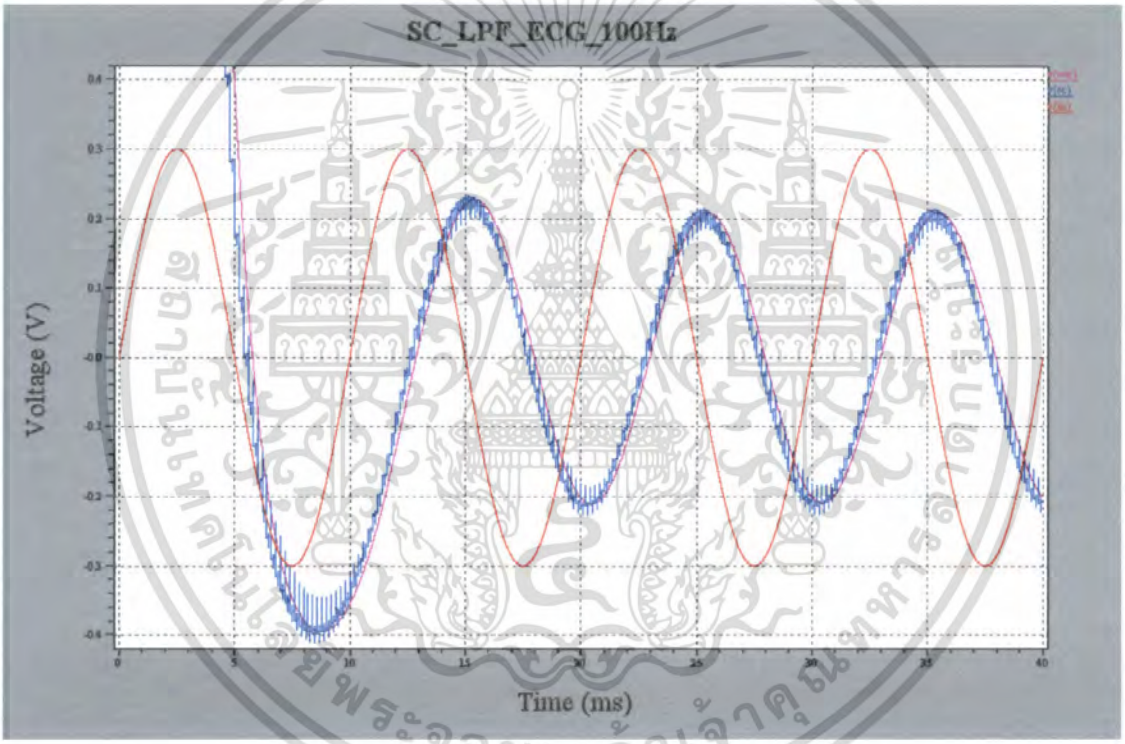
Layout Area = 128.75um x 150.75um

= 19,409 square um (6.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 การทดสอบคุณสมบัติ Layout ของวงจร Switched Capacitor Filter

ทำการป้อนสัญญาณอินพุท Sine wave 600 mV_{P-P} ที่ความถี่ค่าต่างๆ โดยf_{clock} = 5 kHz สัญญาณที่ได้จากวงจร Switched Capacitor Filter เมื่อนำไปใช้งานจริงจะต้องผ่านวงจร Low pass filter แบบ Analog filter อีกครั้งหนึ่ง เพื่อที่จะกำจัดความถี่ Clock ให้สัญญาณมีความเรียบขึ้น ในการทดลองนี้จะใช้วงจร Low pass filter แบบ RC filter อันดับ 1 มีค่า R = 100k , C = 2.5 nF , f_p = 4kHz



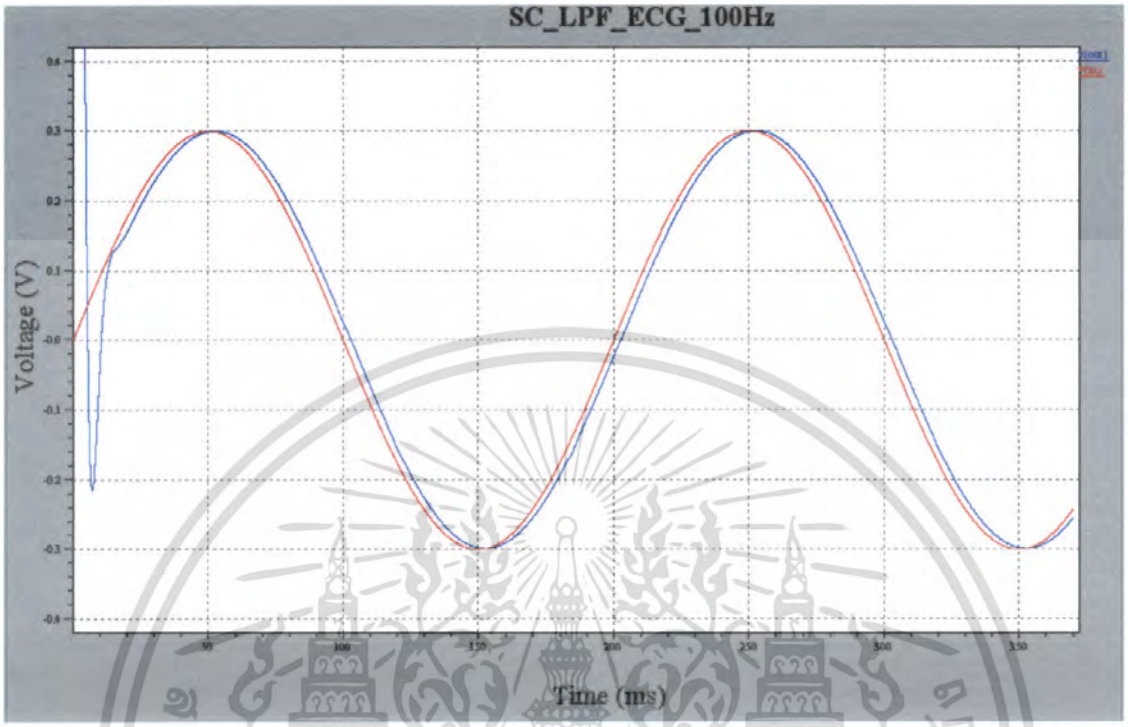
รูปที่ 6.14 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 100 Hz

V_{out} = 417 mV_{P-P}

Av = -3.16 dB (6.11)

Delay = 2.94 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



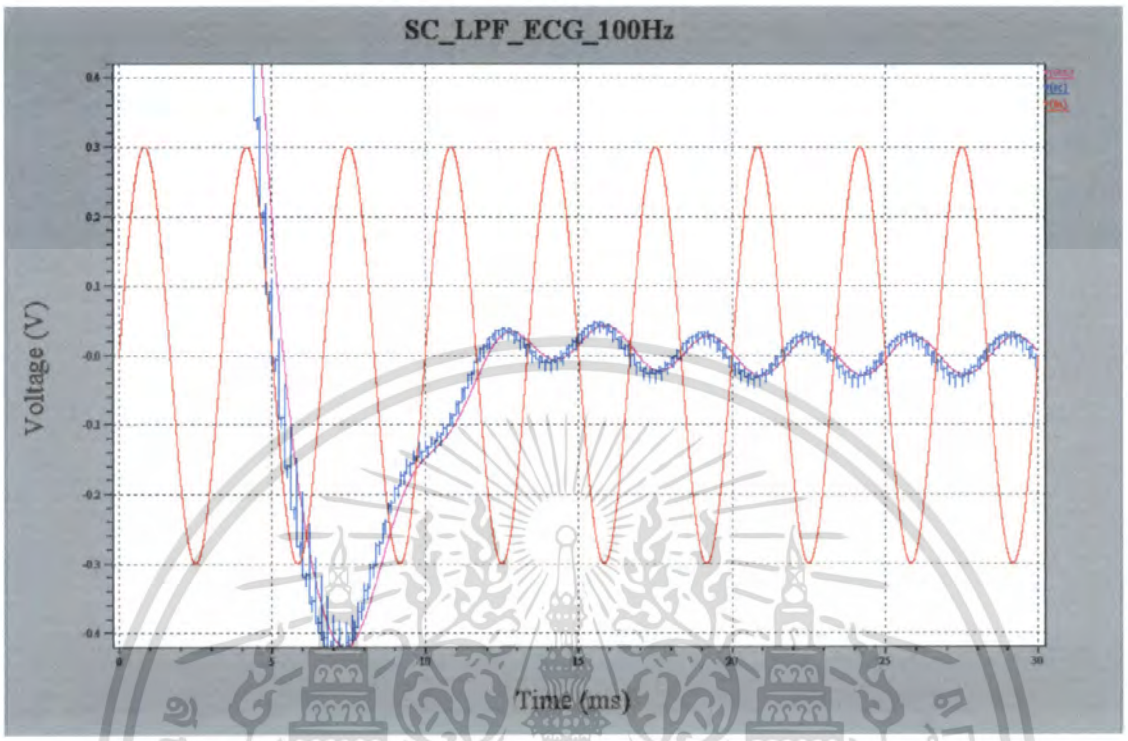
รูปที่ 6.15 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 5 Hz

V_{out} = 595 mV_{P-P}

Av = -0.073 dB (6.12)

Delay = 2.32 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.16 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 300 Hz

V_{out} = 56 mV_{P-P}

Av = -20.599 dB (6.13)

Delay = 1.68 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.8 ผลการตอบสนองทางความถี่ของ Layout วงจร Switched Capacitor Filter

เมื่อ Vin=600mV$_{P-P}$

f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
5	595	-0.073	2.32
10	594	-0.087	2.47
20	593	-0.102	2.58
30	592	-0.117	2.65
40	590	-0.146	2.72
50	582	-0.265	2.78
60	566	-0.507	2.86
70	541	-0.899	2.91
75	524	-1.176	2.95
80	505	-1.497	2.94
85	485	-1.848	2.94
90	463	-2.251	2.94
91	459	-2.327	2.93
92	454	-2.422	2.93
93	449	-2.518	2.93
94	445	-2.596	2.94
95	440	-2.694	2.94
96	436	-2.773	2.94
97	431	-2.873	2.94
98	426	-2.975	2.94
98.4	424	-3.016	2.94
99	422	-3.057	2.94
100	417	-3.160	2.94

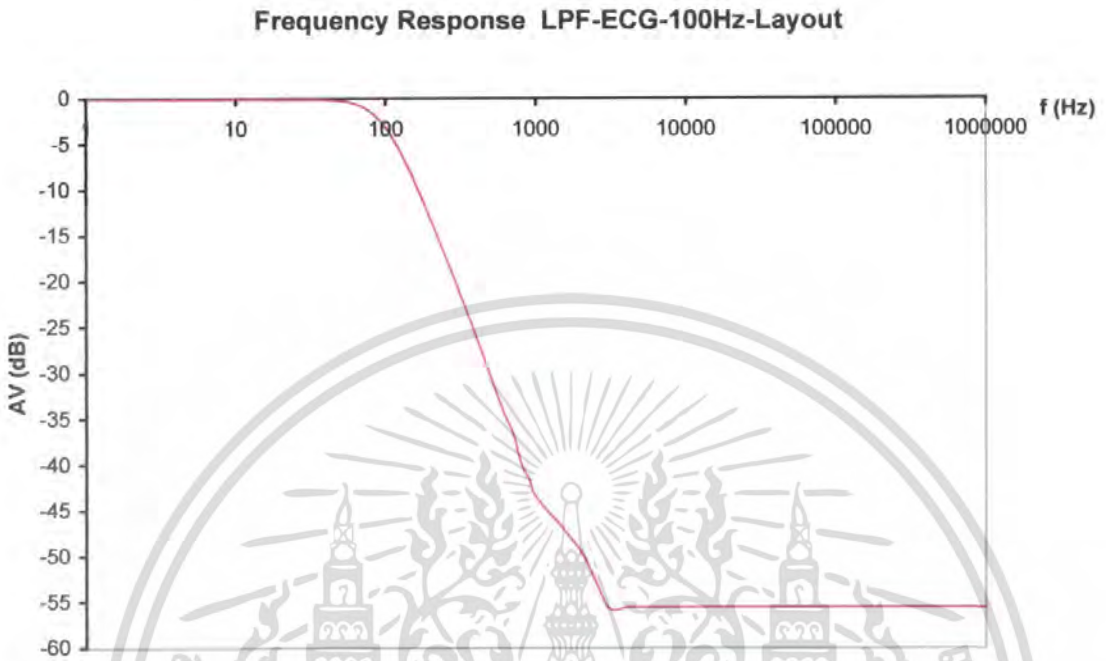
f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
101	413	-3.244	2.93
102	407	-3.371	2.93
103	403	-3.457	2.93
104	398	-3.565	2.93
105	394	-3.653	2.92
106	389	-3.764	2.92
107	385	-3.854	2.92
108	380	-3.967	2.92
109	375	-4.082	2.90
110	370	-4.199	2.88
115	349	-4.707	2.87
120	328	-5.246	2.86
125	309	-5.764	2.82
130	290	-6.315	2.77
135	272	-6.872	2.75
140	256	-7.398	2.74
145	242	-7.887	2.69
150	229	-8.366	2.61
200	131	-13.218	2.22
300	56	-20.599	1.68
400	30	-26.021	1.32
500	18	-30.458	1.18
600	12	-33.979	1.07

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
700	9	-36.478	1.02
800	6	-40.000	0.82
900	5	-41.584	0.65
1k	4	-43.522	0.55
2k	2	-49.542	0.21
3k	1	-55.563	
4k	1	-55.563	
5k	1	-55.563	
6k	1	-55.563	
7k	1	-55.563	
8k	1	-55.563	
9k	1	-55.563	
10k	1	-55.563	
20k	1	-55.563	
30k	1	-55.563	
40k	1	-55.563	
50k	1	-55.563	
60k	1	-55.563	
70k	1	-55.563	
80k	1	-55.563	
90k	1	-55.563	
100k	1	-55.563	
200k	1	-55.563	

f_{in} (Hz)	V_{out} (mV_{P-P})	Av (dB)	Delay (ms)
300k	1	-55.563	
400k	1	-55.563	
500k	1	-55.563	
600k	1	-55.563	
700k	1	-55.563	
800k	1	-55.563	
900k	1	-55.563	
1M	1	-55.563	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

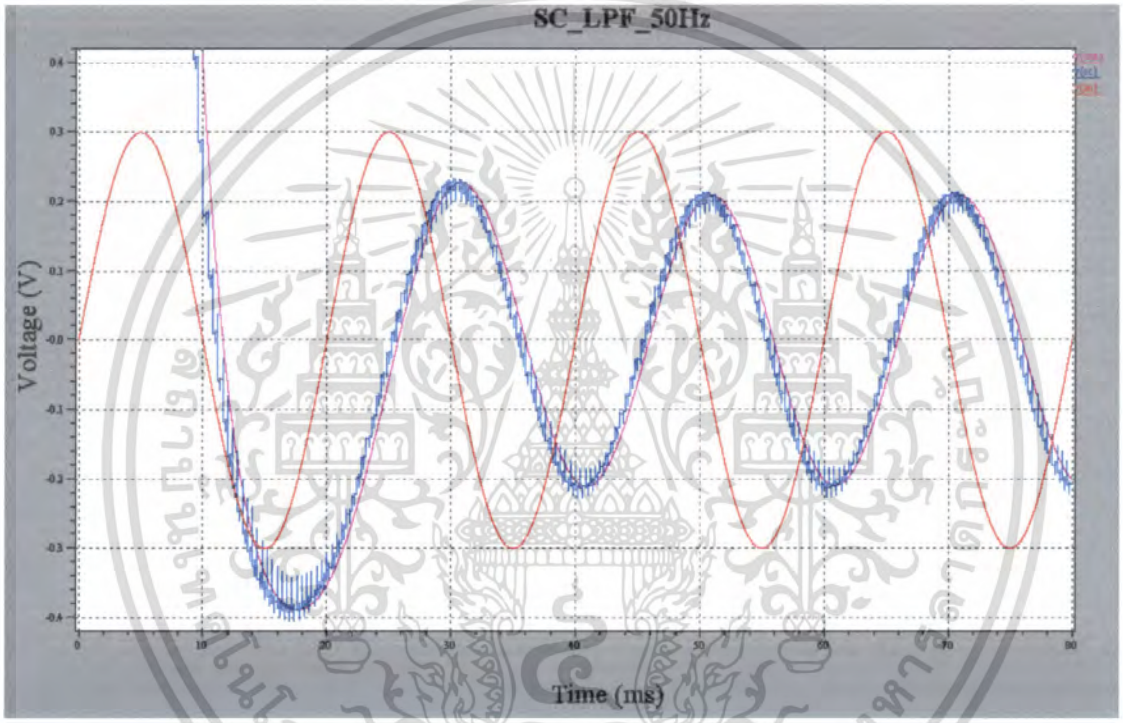


รูปที่ 6.17 การตอบสนองทางความถี่ Layout ของวงจร Switched Capacitor Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.9 การทดสอบคุณสมบัติ Layout ของวงจร Switched Capacitor Filter เมื่อเปลี่ยนความถี่ Clock

6.9.1 ความถี่ Clock = 2.5 kHz , RC-filter f_p = 2 kHz , R = 100k , C = 5 nF



รูปที่ 6.18 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 50 Hz

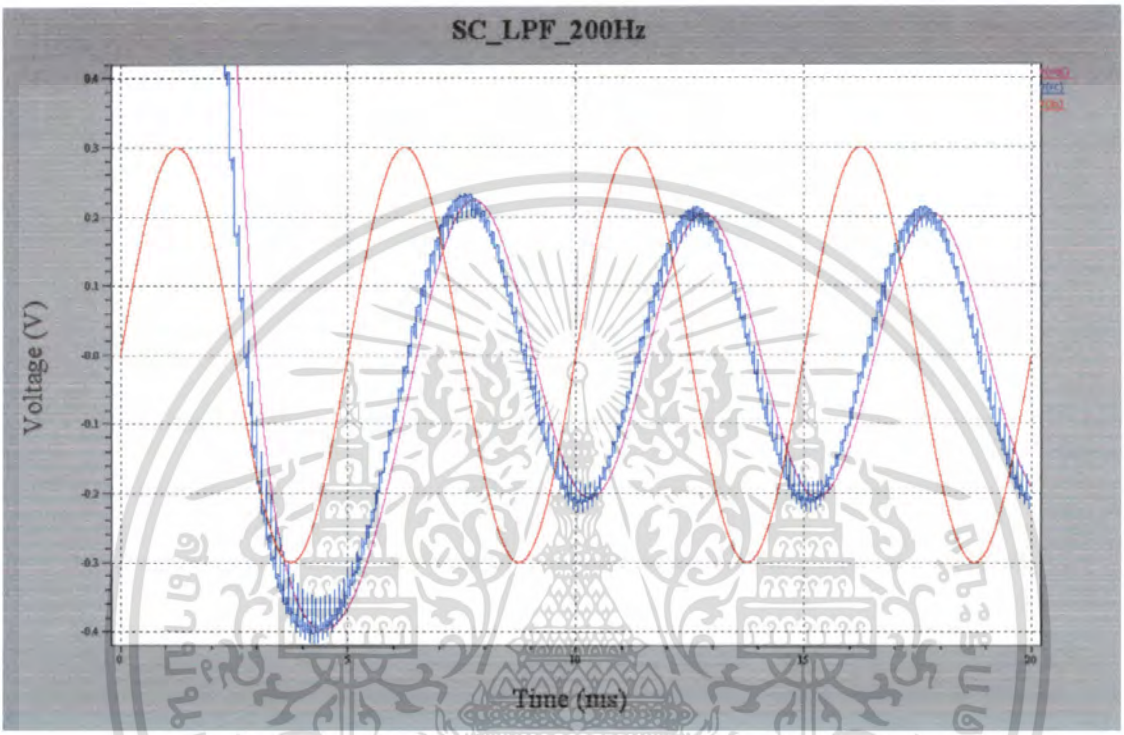
V_{out} = 417 mV_{P-P}

Av = -3.16 dB (6.14)

Delay = 5.92 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.9.2 ความถี่ Clock = 10 kHz , RC-filter f_p = 5 kHz , R = 100k , C = 2 nF



รูปที่ 6.19 สัญญาณที่ได้จาก Layout ของวงจร Switched Capacitor Filter ที่ความถี่อินพุท 200 Hz

V_{out} = 415 mV_{P-P}

Av = -3.202 dB (6.15)

Delay = 1.63 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุป

จากการออกแบบแล้วทดลองคุณสมบัติทางวงจรและคุณสมบัติทาง Layout ของวงจร Op-Amp พบว่าได้คุณสมบัติที่ดีกว่าการออกแบบไว้ทุกค่าโดย Op-Amp ที่ออกแบบไว้สามารถนำไปใช้งานได้อย่างไม่มีปัญหา

การออกแบบวงจรสร้างสัญญาณ Non-Overlapping Clocks นั้นจะใช้พื้นที่ค่อนข้างมาก เพราะจะมีวงจร Delay ที่ต้องใช้ขนาดของ L ค่ามากๆ โดยคุณสมบัติทางวงจรและคุณสมบัติทาง Layout ของวงจรจะมีค่าเหมือนกัน ผลการทดลองพบว่าสัญญาณ Clock ที่เป็น H ที่เฟส1 และ เฟส2 จะไม่ทับซ้อนกันซึ่งเป็นไปตามที่ต้องการ

การออกแบบวงจร Switched Capacitor Filterได้ออกแบบเป็นวงจร Low-Pass Filter ค่าความถี่ Cut off ไว้ที่ 100Hz ความถี่ Sampling ที่ 5 kHz ค่า Q ที่ -3 dB จากการทดลองคุณสมบัติทางวงจรและคุณสมบัติทาง Layout ของวงจรพบว่ามีคุณสมบัติที่ใกล้เคียงกัน เมื่อทดลองเปลี่ยนค่าความถี่ Sampling ของวงจร พบว่าค่าความถี่ Cut off ของวงจรจะเปลี่ยนตามไปด้วย วงจรจะใช้กำลังงานน้อยประมาณ 10 mW ใช้พื้นที่สร้างบนชิพประมาณ 20,000 ตารางไมครอน

ปัญหาที่พบในการทดลองคือสัญญาณเอาท์พุทที่ได้จากวงจรจะถูกลดทอนเล็กน้อยจากวงจร Analog Filter ที่นำมาต่อเพื่อกรองสัญญาณจากวงจร Switched Capacitor ให้เรียบขึ้น ทำให้ค่าที่ได้ผิดพลาดไป เพราะวงจร Analog Filter ไม่ได้เป็นแบบอุดมคติ ปัญหาอีกประการคือโปรแกรมที่ใช้ Simulated ไม่สามารถวิเคราะห์ Frequency Response ของวงจรได้โดยตรง เพราะสัญญาณที่ได้เป็นสัญญาณแบบไม่ต่อเนื่อง อินพุทกับเอาท์พุทมีเฟสไม่ตรงกัน ดังนั้นในการทดลองต้องทำการวัดสัญญาณเอาท์พุทที่ค่าความถี่ต่างๆเองทีละค่า ทำให้ค่าที่ได้อาจผิดพลาดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Behzad Razavi , ‘ ‘Design of Analog CMOS Integrated Circuit’’, McGraw-Hill International Edition 2001
2. David A. ,’’Johns , Analog Integrated Circuit Design’’,University of Toronto 1997
3. Gray and Meyer. “Analysis and Design of Analog Integrated Circuits, *4th edition.*
4. H. Baher, ’’Microrlrctronic Switched-Capacitor Filter’’,
5. Johns and Martin. “Analog Integrated Circuit Design,” 1997.
6. Phillip E. Allen, ’’COS Analog Circuit Desingn’’,Georgia Insititute of Technology 2002
7. Randall L. Geiger,’’VLSI for Analog and Digital Circuits’’, , McGraw-Hill International Edition 1990
8. Rolf Schaumann,’’Design of Analog Filters’’,
9. สักรียา ชิตวงค์ , ’’วิศวกรรมอิเล็กทรอนิกส์’’,ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สจล. 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

MODEL ของมอสเฟท เทคโนโลยี 0.5 ไมครอนที่ใช้ในการทดลอง

.MODEL NMOS NMOS LEVEL=1

+VTO=0.7 GAMMA=0.45 PHI=0.9 NSUB=9E+14

+LD=0.08E-6 UO=350 LAMBDA=0 TOX=9E-9 PB=0.9 CJ=0.56E-3 CJSW=0.35E-11

+MJ=0.6 MJSW=0.2 CGDO=0.4E-11 JS=1.0E-8

.MODEL PMOS PMOS LEVEL=1

+VTO=-0.8 GAMMA=0.4 PHI=0.8 NSUB=5E+14

+LD=0.09E-6 UO=100 LAMBDA=0 TOX=9E-9 PB=0.9 CJ=0.94E-3 CJSW=0.32E-11

+MJ=0.5 MJSW=0.3 CGDO=0.3E-11 JS=0.5E-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Extract File จาก Layout ของวงจร Non-Overlapping Clocks

```
* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;
* TDB File:  C:\Layout_Project\Nonoverlap.tdb
* Cell:  Cell0      Version 1.291
* Extract Definition File:  C:\Layout_Project\mhp_ns5.ext
* Extract Date and Time:  02/15/2008 - 11:10

.include mhp_ns5.md

* WARNING:  Layers with Unassigned AREA Capacitance.
*   <Poly Resistor>
*   <N Diff Resistor>
*   <P Diff Resistor>
*   <N Well Resistor>
* WARNING:  Layers with Unassigned FRINGE Capacitance.
*   <Pad Comment>
*   <Poly Resistor>
*   <N Diff Resistor>
*   <P Diff Resistor>
*   <N Well Resistor>
* WARNING:  Layers with Zero Resistance.
*   <Pad Comment>
*   <Cap-Well Capacitor>
*   <NMOS Capacitor>
*   <PMOS Capacitor>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* NODE NAME ALIASES
*      1 = GND (-161,131)
*      2 = clock (-155.5,-32.499)
*      8 = q1 (-155,-18.999)
*      10 = VDD (-161,139)
*      11 = VSS (-162,123)
*      12 = q2 (-155,-25.999)


M1 VDD clock 3 VDD PMOS L=0.5u W=2u AD=59.5p PD=87u AS=3p PS=7u
* M1 DRAIN GATE SOURCE BULK (-181 63 -179 71)
M2 4 6 q2 VDD PMOS L=0.5u W=4u AD=6p PD=11u AS=6p PS=11u
* M2 DRAIN GATE SOURCE BULK (-188 52 -172 54)
M3 3 clock GND VSS NMOS L=0.5u W=1u AD=2.125p PD=6u AS=44.5p PS=73.5u
* M3 DRAIN GATE SOURCE BULK (-182 89 -178 91)
M4 GND clock q1 VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=2.375p PS=6.5u
* M4 DRAIN GATE SOURCE BULK (-182 98 -178 100)
M5 q1 7 GND VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=0 PS=0
* M5 DRAIN GATE SOURCE BULK (-182 107 -178 109)
M6 q2 6 GND VSS NMOS L=0.5u W=1u AD=2.375p PD=6.5u AS=0 PS=0
* M6 DRAIN GATE SOURCE BULK (-182 125 -178 127)
M7 GND 3 q2 VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=0 PS=0
* M7 DRAIN GATE SOURCE BULK (-182 116 -178 118)
M8 q1 7 5 VDD PMOS L=0.5u W=4u AD=6p PD=11u AS=6p PS=11u
* M8 DRAIN GATE SOURCE BULK (-188 28 -172 30)
M9 VDD 3 4 VDD PMOS L=0.5u W=4u AD=0 PD=0 AS=0 PS=0
* M9 DRAIN GATE SOURCE BULK (-188 44 -172 46)
M10 5 clock VDD VDD PMOS L=0.5u W=4u AD=0 PD=0 AS=0 PS=0
* M10 DRAIN GATE SOURCE BULK (-188 36 -172 38)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M11 17 9 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M11 DRAIN GATE SOURCE BULK (-226 6 -222 126)

M12 16 17 GND VSS NMOS L=30u W=1u AS=2.4375p PS=6.5u AD=0 PD=0

* M12 DRAIN GATE SOURCE BULK (-238 6 -234 126)

M13 15 14 GND VSS NMOS L=30u W=1u AS=2.4375p PS=6.5u AD=0 PD=0

* M13 DRAIN GATE SOURCE BULK (-274 6 -270 126)

M14 6 16 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M14 DRAIN GATE SOURCE BULK (-250 6 -246 126)

M15 13 q2 GND VSS NMOS L=30u W=1u AS=2.75p PS=7u AD=0 PD=0

* M15 DRAIN GATE SOURCE BULK (-298 6 -294 126)

M16 14 13 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M16 DRAIN GATE SOURCE BULK (-286 6 -282 126)

M17 7 15 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M17 DRAIN GATE SOURCE BULK (-262 6 -258 126)

M18 9 q1 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M18 DRAIN GATE SOURCE BULK (-211 6 -207 126)

M19 VDD q1 9 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M19 DRAIN GATE SOURCE BULK (-182 -140 -174 -20)

M20 VDD 9 17 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M20 DRAIN GATE SOURCE BULK (-198 -140 -190 -20)

M21 VDD 17 16 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M21 DRAIN GATE SOURCE BULK (-214 -140 -206 -20)

M22 VDD 16 6 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M22 DRAIN GATE SOURCE BULK (-230 -140 -222 -20)

M23 VDD 15 7 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M23 DRAIN GATE SOURCE BULK (-246 -140 -238 -20)

M24 VDD 14 15 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M24 DRAIN GATE SOURCE BULK (-262 -140 -254 -20)

M25 VDD 13 14 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M25 DRAIN GATE SOURCE BULK (-278 -140 -270 -20)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M26 VDD q2 13 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.5625p PD=7.5u
* M26 DRAIN GATE SOURCE BULK (-294 -140 -286 -20)

v1 vdd Gnd 5.0
v2 Gnd vss 5.0
v3 clock Gnd pulse(0.0 5.0 0 1n 1n 10u 20u)
* End of main circuit: Module0
.tran/op 1u 50u method=bdf
.print tran v(q1) v(q2)
* Total Nodes: 17
* Total Elements: 26
* Extract Elapsed Time: 0 seconds
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Extract File จาก Layout ของวงจร Op-Amp

* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;
* TDB File: C:\Layout_Project\Op_Amp.tdb
* Cell: Cell0 Version 1.164
* Extract Definition File: C:\Layout_Project\mhp_ns5.ext
* Extract Date and Time: 02/15/2008 - 12:06

.include mhp_ns5.md

* WARNING: Layers with Unassigned AREA Capacitance.
* <Poly Resistor>
* <N Well Resistor>
* <N Diff Resistor>
* <P Diff Resistor>
* WARNING: Layers with Unassigned FRINGE Capacitance.
* <Pad Comment>
* <Poly Resistor>
* <N Well Resistor>
* <N Diff Resistor>
* <P Diff Resistor>
* WARNING: Layers with Zero Resistance.
* <Pad Comment>
* <NMOS Capacitor>
* <PMOS Capacitor>
* <Cap-Well Capacitor>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* NODE NAME ALIASES
*      1 = d1 (59.499,97)
*      2 = in (189.999,-3.999)
*      3 = vdd (187.499,134.5)
*      4 = out (188.999,17)
*      8 = vb1 (190.499,100)
*      9 = d2 (-10,81.5)
*      11 = vb3 (189.499,3)
*      I2 = vb2 (189.499,10)
*      17 = vss (188.999,112)
*      19 = gnd (187.999,123)

M1 10 in d1 vss NMOS L=0.5u W=12.66u AD=132.93p PD=195.24u AS=56.97p PS=84.96u
* M1 DRAIN GATE SOURCE BULK (-0.64 9I 50 93)
M2 vdd vb3 vb3 vdd PMOS L=0.5u W=1.03u AD=30.1675p PD=49.38u AS=4.265p PS=12u
* M2 DRAIN GATE SOURCE BULK (-148 102 -146 106.12)
M3 out vb3 d2 vdd PMOS L=0.5u W=13.56u AD=20.34p PD=30.12u AS=21.6825p PS=33.7u
* M3 DRAIN GATE SOURCE BULK (166 24 168 78.24)
M4 d1 vb3 6 vdd PMOS L=0.5u W=13.56u AD=21.6825p PD=33.7u AS=20.34p PS=30.12u
* M4 DRAIN GATE SOURCE BULK (142 24 144 78.24)
M5 d2 vb1 vdd vdd PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0
* M5 DRAIN GATE SOURCE BULK (158 24 160 85.4)
M6 vdd vb1 d1 vdd PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0
* M6 DRAIN GATE SOURCE BULK (150 24 152 85.4)
M7 vss vb2 10 vss NMOS L=0.5u W=25.32u AD=72.165p PD=105.22u AS=0 PS=0
* M7 DRAIN GATE SOURCE BULK (72 22 74 123.28)
M8 vss 5 5 vss NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u
* M8 DRAIN GATE SOURCE BULK (108 22 110 87.84)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M9 vss 5 7 vss NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u

* M9 DRAIN GATE SOURCE BULK (100 22 102 87.84)

M10 7 6 out vss NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u

* M10 DRAIN GATE SOURCE BULK (92 22 94 87.84)

M11 6 6 5 vss NMOS L=0.5u W=16.46u AD=24.69p PD=35.92u AS=0 PS=0

* M11 DRAIN GATE SOURCE BULK (116 22 118 87.84)

M12 10 gnd d2 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=56.97p PS=84.96u

* M12 DRAIN GATE SOURCE BULK (-0.64 19 50 21)

M13 10 gnd d2 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M13 DRAIN GATE SOURCE BULK (-0.64 43 50 45)

M14 d2 gnd 10 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M14 DRAIN GATE SOURCE BULK (-0.64 51 50 53)

M15 10 gnd d2 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M15 DRAIN GATE SOURCE BULK (-0.64 75 50 77)

M16 d2 gnd 10 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M16 DRAIN GATE SOURCE BULK (-0.64 83 50 85)

M17 d1 in 10 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M17 DRAIN GATE SOURCE BULK (-0.64 67 50 69)

M18 10 in d1 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M18 DRAIN GATE SOURCE BULK (-0.64 59 50 61)

M19 d1 in 10 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M19 DRAIN GATE SOURCE BULK (-0.64 35 50 37)

M20 10 in d1 vss NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M20 DRAIN GATE SOURCE BULK (-0.64 27 50 29)

M21 16 16 vb1 vb1 PMOS L=0.5u W=3.34u AD=12.825p PD=23.1u AS=10.02p PS=19.36u

* M21 DRAIN GATE SOURCE BULK (-32 23 -18.64 25)

M22 vb1 vb1 vdd vdd PMOS L=0.5u W=3.34u AD=0 PD=0 AS=0 PS=0

* M22 DRAIN GATE SOURCE BULK (-32 65 -18.64 67)

M23 vss vb2 vb2 vss NMOS L=0.5u W=6.33u AD=0 PD=0 AS=9.495p PS=15.66u

* M23 DRAIN GATE SOURCE BULK (-125 55.18 -123 80.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M24 gnd gnd 13 13 PMOS L=0.5u W=1.303u AD=14.7795p PD=28.706u AS=4.087p
PS=11.606u
* M24 DRAIN GATE SOURCE BULK (-154 23 -148.788 25)
M25 13 13 vb3 vb3 PMOS L=0.5u W=1.03u AD=0 PD=0 AS=0 PS=0
* M25 DRAIN GATE SOURCE BULK (-151.12 65 -147 67)
M26 14 vb2 vb2 14 PMOS L=0.5u W=1.7u AD=7.56p PD=16.08u AS=2.55p PS=6.4u
* M26 DRAIN GATE SOURCE BULK (-130 33 -123.2 35)
M27 14 14 15 15 PMOS L=0.5u W=3.34u AD=0 PD=0 AS=10.02p PS=19.36u
* M27 DRAIN GATE SOURCE BULK (-105 23 -91.64 25)
M28 15 15 gnd gnd PMOS L=0.5u W=3.34u AD=0 PD=0 AS=0 PS=0
* M28 DRAIN GATE SOURCE BULK (-105 65 -91.64 67)
M29 18 gnd gnd 18 PMOS L=0.5u W=5.21u AD=15.63p PD=26.84u AS=0 PS=0
* M29 DRAIN GATE SOURCE BULK (-71 75 -50.16 77)
M30 16 18 18 16 PMOS L=0.5u W=5.21u AD=0 PD=0 AS=0 PS=0
* M30 DRAIN GATE SOURCE BULK (-71 33 -50.16 35)
v1 vdd Gnd 5.0
v2 in Gnd 5.0
v3 Gnd vss 5.0

.dc lin source V2 -5 5 0.001
.print dc v v(out)
* Total Nodes: 19
* Total Elements: 30
* Extract Elapsed Time: 0 seconds
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Extract File จาก Layout ของวงจร Switched Capacitor Filter

```
* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;
* TDB File:  C:\Layout_Project\SC_LPF_100Hz.tdb
* Cell:  Cell0      Version 1.341
* Extract Definition File:  C:\Layout_Project\mhp_ns5.ext
* Extract Date and Time:  03/11/2008 - 00:55

.include mhp_ns5.md

* WARNING:  Layers with Unassigned AREA Capacitance.
*   <N Well Resistor>
*   <P Diff Resistor>
*   <N Diff Resistor>
*   <Poly Resistor>
* WARNING:  Layers with Unassigned FRINGE Capacitance.
*   <N Well Resistor>
*   <P Diff Resistor>
*   <N Diff Resistor>
*   <Poly Resistor>
*   <Pad Comment>
* WARNING:  Layers with Zero Resistance.
*   <PMOS Capacitor>
*   <NMOS Capacitor>
*   <Cap-Well Capacitor>
*   <Pad Comment>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* NODE NAME ALIASES
* 1 = VDD (154.5,147)
* 2 = d1 (59.499,97)
* 3 = GND (-48,147)
* 6 = VSS (-250,147)
* 15 = d2 (-10,81.5)
* 17 = vb1 (123.499,100.5)
* 18 = vb3 (135.999,3.5)
* 19 = vb2 (60.999,11)
* 20 = clock (-252,-290.499)
* 21 = c1b3a (-108,-127.999)
* 22 = c6a (185.999,-137.999)
* 23 = c2a (-139,-129.999)
* 24 = c4a (-97,-127.999)
* 25 = c4b5a (1.999,-157.999)
* 31 = q2 (-125,-65.999)
* 34 = d11 (60.499,-82.999)
* 37 = SC (150.999,-284.499)
* 38 = d22 (-11,-67.499)
* 39 = in (-54,-283.499)
* 40 = c3b5b (-57,-128.999)
* 41 = c1a (-158,-128.999)
* 42 = q1 (-124,-38.999)

C1 VDD VSS C=12.321f

* C1 PLUS MINUS (114 152 188 226)

C2 GND VSS C=12.321f

* C2 PLUS MINUS (-85 152 -11 226)

C3 VSS VSS C=12.321f

* C3 PLUS MINUS (-288 152 -214 226)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M4 d1 GND 16 VSS NMOS L=0.5u W=12.66u AD=56.97p PD=84.96u AS=132.93p PS=195.24u

* M4 DRAIN GATE SOURCE BULK (-0.64 27 50 29)

M5 d1 GND 16 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M5 DRAIN GATE SOURCE BULK (-0.64 35 50 37)

M6 16 GND d1 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M6 DRAIN GATE SOURCE BULK (-0.64 59 50 61)

M7 d1 GND 16 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M7 DRAIN GATE SOURCE BULK (-0.64 67 50 69)

M8 16 GND d1 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M8 DRAIN GATE SOURCE BULK (-0.64 91 50 93)

M9 d2 c2a 16 VSS NMOS L=0.5u W=12.66u AD=56.97p PD=84.96u AS=0 PS=0

* M9 DRAIN GATE SOURCE BULK (-0.64 83 50 85)

M10 16 c2a d2 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M10 DRAIN GATE SOURCE BULK (-0.64 75 50 77)

M11 d2 c2a 16 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M11 DRAIN GATE SOURCE BULK (-0.64 51 50 53)

M12 16 c2a d2 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M12 DRAIN GATE SOURCE BULK (-0.64 43 50 45)

M13 4 GND GND 4 PMOS L=0.5u W=5.21u AD=15.63p PD=26.84u AS=14.7795p PS=28.706u

* M13 DRAIN GATE SOURCE BULK (-71 75 -50.16 77)

M14 14 4 4 14 PMOS L=0.5u W=5.21u AD=12.825p PD=23.1u AS=0 PS=0

* M14 DRAIN GATE SOURCE BULK (-71 33 -50.16 35)

M15 vb1 vb1 VDD VDD PMOS L=0.5u W=3.34u AD=10.02p PD=19.36u AS=112.6925p PS=170.08u

* M15 DRAIN GATE SOURCE BULK (-32 65 -18.64 67)

M16 28 clock GND VSS NMOS L=0.5u W=1u AD=2.125p PD=6u AS=53.5p PS=97.5u

* M16 DRAIN GATE SOURCE BULK (-182 52 -178 54)

M17 GND clock q2 VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=2.375p PS=6.5u

* M17 DRAIN GATE SOURCE BULK (-182 61 -178 63)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M18 q2 7 GND VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=0 PS=0

* M18 DRAIN GATE SOURCE BULK (-182 70 -178 72)

M19 q1 8 GND VSS NMOS L=0.5u W=1u AD=2.375p PD=6.5u AS=0 PS=0

* M19 DRAIN GATE SOURCE BULK (-182 88 -178 90)

M20 GND 28 q1 VSS NMOS L=0.5u W=1u AD=0 PD=0 AS=0 PS=0

* M20 DRAIN GATE SOURCE BULK (-182 79 -178 81)

M21 VSS vb2 vb2 VSS NMOS L=0.5u W=6.33u AD=134.835p PD=194.78u AS=9.495p PS=15.66u

* M21 DRAIN GATE SOURCE BULK (-125 55.18 -123 80.5)

M22 28 clock VDD VDD PMOS L=0.5u W=2u AD=3p PD=7u AS=0 PS=0

* M22 DRAIN GATE SOURCE BULK (-181 26 -179 34)

M23 VDD vb3 vb3 VDD PMOS L=0.5u W=1.03u AD=0 PD=0 AS=4.265p PS=12u

* M23 DRAIN GATE SOURCE BULK (-148 102 -146 106.12)

M24 27 27 vb3 vb3 PMOS L=0.5u W=1.03u AD=4.087p PD=11.606u AS=0 PS=0

* M24 DRAIN GATE SOURCE BULK (-151.12 65 -147 67)

M25 26 vb2 vb2 26 PMOS L=0.5u W=1.7u AD=7.56p PD=16.08u AS=2.55p PS=6.4u

* M25 DRAIN GATE SOURCE BULK (-130 33 -123.2 35)

M26 5 5 GND GND PMOS L=0.5u W=3.34u AD=10.02p PD=19.36u AS=0 PS=0

* M26 DRAIN GATE SOURCE BULK (-105 65 -91.64 67)

M27 VSS 9 9 VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u

* M27 DRAIN GATE SOURCE BULK (108 22 110 87.84)

M28 VSS 9 11 VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u

* M28 DRAIN GATE SOURCE BULK (100 22 102 87.84)

M29 12 12 9 VSS NMOS L=0.5u W=16.46u AD=24.69p PD=35.92u AS=0 PS=0

* M29 DRAIN GATE SOURCE BULK (116 22 118 87.84)

M30 SC vb3 d22 VDD PMOS L=0.5u W=13.56u AD=20.34p PD=30.12u AS=21.6825p PS=33.7u

* M30 DRAIN GATE SOURCE BULK (166 -67.24 168 -13)

M31 d11 vb3 36 VDD PMOS L=0.5u W=13.56u AD=21.6825p PD=33.7u AS=20.34p PS=30.12u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* M31 DRAIN GATE SOURCE BULK (142 -67.24 144 -13)

M32 d22 vb1 VDD VDD PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0

* M32 DRAIN GATE SOURCE BULK (158 -74.4 160 -13)

M33 VDD vb1 d11 VDD PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0

* M33 DRAIN GATE SOURCE BULK (150 -74.4 152 -13)

M34 d2 vb3 10 VDD PMOS L=0.5u W=13.56u AD=21.6825p PD=33.7u AS=20.34p PS=30.12u

* M34 DRAIN GATE SOURCE BULK (166 24 168 78.24)

M35 d1 vb3 12 VDD PMOS L=0.5u W=13.56u AD=21.6825p PD=33.7u AS=20.34p PS=30.12u

* M35 DRAIN GATE SOURCE BULK (142 24 144 78.24)

M36 d2 vb1 VDD VDD PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0

* M36 DRAIN GATE SOURCE BULK (158 24 160 85.4)

M37 VDD vb1 d1 VDD PMOS L=0.5u W=15.35u AD=0 PD=0 AS=0 PS=0

* M37 DRAIN GATE SOURCE BULK (150 24 152 85.4)

M38 13 GND d11 VSS NMOS L=0.5u W=12.66u AD=132.93p PD=195.24u AS=56.97p PS=84.96u

* M38 DRAIN GATE SOURCE BULK (-0.64 -58 50 -56)

M39 d11 GND 13 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M39 DRAIN GATE SOURCE BULK (-0.64 -50 50 -48)

M40 13 GND d11 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M40 DRAIN GATE SOURCE BULK (-0.64 -26 50 -24)

M41 d11 GND 13 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M41 DRAIN GATE SOURCE BULK (-0.64 -18 50 -16)

M42 13 c6a d22 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=56.97p PS=84.96u

* M42 DRAIN GATE SOURCE BULK (-0.64 -74 50 -72)

M43 d22 c6a 13 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M43 DRAIN GATE SOURCE BULK (-0.64 -66 50 -64)

M44 13 c6a d22 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M44 DRAIN GATE SOURCE BULK (-0.64 -42 50 -40)

M45 d22 c6a 13 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M45 DRAIN GATE SOURCE BULK (-0.64 -34 50 -32)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M46 13 c6a d22 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M46 DRAIN GATE SOURCE BULK (-0.64 -10 50 -8)

M47 VSS vb2 16 VSS NMOS L=0.5u W=25.32u AD=0 PD=0 AS=0 PS=0

* M47 DRAIN GATE SOURCE BULK (72 22 74 123.28)

M48 11 12 10 VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=26.94p PS=41.92u

* M48 DRAIN GATE SOURCE BULK (92 22 94 87.84)

M49 d2 c2a 16 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M49 DRAIN GATE SOURCE BULK (-0.64 19 50 21)

M50 GND q2 c3b5b VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=44.290664p PS=62u

* M50 DRAIN GATE SOURCE BULK (-70 -53 -64 -51)

M51 c3b5b q1 SC VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=26.94p PS=41.92u

* M51 DRAIN GATE SOURCE BULK (-70 -45 -64 -43)

M52 14 14 vb1 vb1 PMOS L=0.5u W=3.34u AD=0 PD=0 AS=0 PS=0

* M52 DRAIN GATE SOURCE BULK (-32 23 -18.64 25)

M53 in q2 c1a VSS NMOS L=0.5u W=1.5u AD=2.25p PD=6u AS=2.25p PS=6u

* M53 DRAIN GATE SOURCE BULK (-153 -69 -147 -67)

M54 GND q2 c1b3a VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=68.965102p PS=101u

* M54 DRAIN GATE SOURCE BULK (-153 -53 -147 -51)

M55 c1a q1 GND VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=0 PS=0

* M55 DRAIN GATE SOURCE BULK (-153 -61 -147 -59)

M56 c1b3a q1 c2a VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=139.42251p PS=155.5u

* M56 DRAIN GATE SOURCE BULK (-153 -45 -147 -43)

M57 GND q1 c4a VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=2.25p PS=6u

* M57 DRAIN GATE SOURCE BULK (-109 -61 -103 -59)

M58 c4b5a q1 c6a VSS NMOS L=0.5u W=1.5u AD=35.607551p PD=53.5u AS=139.42251p PS=155.5u

* M58 DRAIN GATE SOURCE BULK (-109 -45 -103 -43)

M59 GND q2 c4b5a VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=0 PS=0

* M59 DRAIN GATE SOURCE BULK (-109 -53 -103 -51)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M60 10 q2 c4a VSS NMOS L=0.5u W=1.5u AD=0 PD=0 AS=0 PS=0

* M60 DRAIN GATE SOURCE BULK (-109 -69 -103 -67)

M61 30 clock VDD VDD PMOS L=0.5u W=4u AD=6p PD=11u AS=0 PS=0

* M61 DRAIN GATE SOURCE BULK (-188 -1 -172 1)

M62 29 8 q1 VDD PMOS L=0.5u W=4u AD=6p PD=11u AS=6p PS=11u

* M62 DRAIN GATE SOURCE BULK (-188 15 -172 17)

M63 q2 7 30 VDD PMOS L=0.5u W=4u AD=6p PD=11u AS=0 PS=0

* M63 DRAIN GATE SOURCE BULK (-188 -9 -172 -7)

M64 VDD 28 29 VDD PMOS L=0.5u W=4u AD=0 PD=0 AS=0 PS=0

* M64 DRAIN GATE SOURCE BULK (-188 7 -172 9)

M65 GND GND 27 27 PMOS L=0.5u W=1.303u AD=0 PD=0 AS=0 PS=0

* M65 DRAIN GATE SOURCE BULK (-154 23 -148.788 25)

M66 26 26 5 5 PMOS L=0.5u W=3.34u AD=0 PD=0 AS=0 PS=0

* M66 DRAIN GATE SOURCE BULK (-105 23 -91.64 25)

M67 32 q2 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M67 DRAIN GATE SOURCE BULK (-211 -31 -207 89)

M68 47 32 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M68 DRAIN GATE SOURCE BULK (-226 -31 -222 89)

M69 46 47 GND VSS NMOS L=30u W=1u AS=2.4375p PS=6.5u AD=0 PD=0

* M69 DRAIN GATE SOURCE BULK (-238 -31 -234 89)

M70 45 44 GND VSS NMOS L=30u W=1u AS=2.4375p PS=6.5u AD=0 PD=0

* M70 DRAIN GATE SOURCE BULK (-274 -31 -270 89)

M71 8 46 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M71 DRAIN GATE SOURCE BULK (-250 -31 -246 89)

M72 43 q1 GND VSS NMOS L=30u W=1u AS=2.75p PS=7u AD=0 PD=0

* M72 DRAIN GATE SOURCE BULK (-298 -31 -294 89)

M73 44 43 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M73 DRAIN GATE SOURCE BULK (-286 -31 -282 89)

M74 7 45 GND VSS NMOS L=30u W=1u AS=1.8125p PS=5.5u AD=0 PD=0

* M74 DRAIN GATE SOURCE BULK (-262 -31 -258 89)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M75 36 36 33 VSS NMOS L=0.5u W=16.46u AD=24.69p PD=35.92u AS=24.69p PS=35.92u

* M75 DRAIN GATE SOURCE BULK (116 -76.84 118 -11)

M76 VSS 33 35 VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=24.69p PS=35.92u

* M76 DRAIN GATE SOURCE BULK (100 -76.84 102 -11)

M77 33 33 VSS VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=0 PS=0

* M77 DRAIN GATE SOURCE BULK (108 -76.84 110 -11)

M78 d11 GND 13 VSS NMOS L=0.5u W=12.66u AD=0 PD=0 AS=0 PS=0

* M78 DRAIN GATE SOURCE BULK (-0.64 -82 50 -80)

M79 VSS vb2 13 VSS NMOS L=0.5u W=25.32u AD=0 PD=0 AS=0 PS=0

* M79 DRAIN GATE SOURCE BULK (72 -112.28 74 -11)

M80 35 36 SC VSS NMOS L=0.5u W=16.46u AD=0 PD=0 AS=0 PS=0

* M80 DRAIN GATE SOURCE BULK (92 -76.84 94 -11)

C81 c3b5b c1b3a C=251.00583f

* C81 PLUS MINUS (127 -187 168.428 -145.572)

C82 c4b5a c3b5b C=354.99985f

* C82 PLUS MINUS (26 -178.428 84.592 -137)

C83 c4a c4b5a C=251.00583f

* C83 PLUS MINUS (-64 -187 -22.572 -145.572)

C84 c1a c1b3a C=251.00583f

* C84 PLUS MINUS (-155 -187 -113.572 -145.572)

M85 VDD q2 32 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M85 DRAIN GATE SOURCE BULK (-182 -177 -174 -57)

M86 VDD 32 47 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M86 DRAIN GATE SOURCE BULK (-198 -177 -190 -57)

M87 VDD 47 46 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M87 DRAIN GATE SOURCE BULK (-214 -177 -206 -57)

M88 VDD 46 8 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M88 DRAIN GATE SOURCE BULK (-230 -177 -222 -57)

M89 VDD 45 7 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u

* M89 DRAIN GATE SOURCE BULK (-246 -177 -238 -57)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M90 VDD 44 45 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u
* M90 DRAIN GATE SOURCE BULK (-262 -177 -254 -57)
M91 VDD 43 44 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.28125p PD=6.75u
* M91 DRAIN GATE SOURCE BULK (-278 -177 -270 -57)
M92 VDD q1 43 VDD PMOS L=30u W=2u AS=0 PS=0 AD=2.5625p PD=7.5u
* M92 DRAIN GATE SOURCE BULK (-294 -177 -286 -57)
C93 SC VSS C=12.321f
* C93 PLUS MINUS (114 -373 188 -299)
C94 in VSS C=12.321f
* C94 PLUS MINUS (-85 -373 -11 -299)
C95 SC c6a C=2.0000038p
* C95 PLUS MINUS (-53 -276 173.43 -215.605)
C96 clock VSS C=12.321f
* C96 PLUS MINUS (-288 -373 -214 -299)
C97 10 c2a C=2.0000038p
* C97 PLUS MINUS (-299 -276 -72.57 -215.605)
C98 out Gnd 2.5nF
R1 sc out 100000 TC=0.0, 0.0
v1 vdd Gnd 5.0
v2 Gnd vss 5.0
v3 clock Gnd pulse(0.0 5.0 0 1n 1n 100u 200u)
v4 in Gnd sin 0 0.3 100 0.0 0.0 0.0

.tran/op 1u 40m method=bdf
.print tran v(in) v(sc) v(out)
* Total Nodes: 47
* Total Elements: 97
* Extract Elapsed Time: 1 seconds
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้