สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โทรทัศน์วงจรปิดไร้สาย

Wireless Closed Circuit Television

โดย

นางสาวจันทร์ฉาย ไชยศรี 48015049

นางสาวไพลิน อรัญญิก 48015071

ปพ.
ท258ก
2550

เลขหมู่.....
เลขทะเบียน 83277
วัน,เดือน,ปี 11 ส.ค. 2551

b 11966051
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรทัศน์วงจรปิดไร้สาย

Wireless Closed Circuit Television

โดย

นางสาวจันทร์ฉาย ไชยศรี 48015049

นางสาวไพลิน อรัญญิก 48015071

อาจารย์ที่ปรึกษา

ผศ.ดร.ชูวงค์ พงศ์เจริญพาณิชย์

รศ.ดร.สมผล โกศัลวิตร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **โทรทัศน์วงจรปิดไร้สาย**

Wireless Closed Circuit Television

ผู้จัดทำ

1. นางสาวจันทร์ฉาย	**ไชยศรี**	**48015049**
2. นางสาวไพลิน	**อรัญญิก**	**48015071**

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.ชูวงศ์ พงศ์เจริญพาณิชย์)

.....อาจารย์ที่ปรึกษา

(รศ.ดร.สมผล โกศัลวิตร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรทัศน์วงจรปิดไร้สาย

Wireless Closed Circuit Television

โดย นางสาวจันทร์ฉาย ไชยศรี 48015049
นางสาวไพลิน อรัญญิก 48015071

อาจารย์ที่ปรึกษา ผศ.ดร.ชูวงค์ พงศ์เจริญพาณิชย์
รศ.ดร.สมผล โกศัลวิตร์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอกล้องโทรทัศน์วงจรปิดไร้สาย ซึ่งทำงานในย่านความถี่ยูเอชเอฟ โดยใช้เทคนิคการมอดูเลตเชิงแอมพลิจูด ซึ่งในโครงงานนี้จะทำการสร้างวงจรสังเคราะห์ความถี่ วงจรขยายกำลัง วงจรผสมสัญญาณ วงจรกรองสัญญาณ โดยหลักการทำงานจะสามารถนำสัญญาณอินพุตจากกล้องมาประมวลผลเพื่อส่งออกอากาศ และที่ด้านรับจะนำสัญญาณมาประมวลผลเพื่อแสดงผลออกทางจอโทรทัศน์ต่อไป

ABSTRACT

This project presents the wireless closed circuit television system that operates at UHF band by using amplitude modulation technique. This project implements frequency synthesizer, power amplifier, mixer and filter. The system begins with the input signal from the camera to proceed and transmit to the free space. At the receiver, the received signal will be converted and displayed at the TV monitor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สามารถทำสำเร็จได้ด้วยคำปรึกษาและคำแนะนำให้ความช่วยเหลือของบุคคลต่าง ๆดังต่อไปนี้

1. ผศ.ดร.ชูวงค์ พงศ์เจริญพาณิชย์ อาจารย์ที่ปรึกษาโครงงาน
2. รศ.ดร.สมผล โกศัลวิตร์ อาจารย์ที่ปรึกษาโครงงาน
3. นายศุภกิต แก้วดวงตา ให้การช่วยเหลือและให้ความแนะนำทำให้การทำงานสำเร็จลุล่วงไปด้วยดีและบุคคลอื่นที่มิได้กล่าวในที่นี้ ในโอกาสนี้จึงขอขอบพระคุณทุกท่านเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 เทคโนโลยีการรับภาพจากกล้องดิจิตอล	3
2.1.1 การรับภาพจากกล้องดิจิตอล	3
2.1.2 เทคโนโลยี CMOS	5
2.2 วงจรออสซิลเลเตอร์ (Oscillator Circuit)	7
2.3 วงจรขยายสัญญาณ	8
2.4 การมอดูเลชั่นทางแอมปลิจูด (Amplitude Modulation)	11
2.4.1 ลักษณะของสัญญาณที่ได้รับจากการทำแอมปลิจูดมอดูเลชั่น	12
2.4.2 ดัชนีการมอดูเลท	15
2.5 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป	17
2.5.1 วงจรเฟสล็อกลูป (PPL: Phase Lock Loop)	19
2.5.2 การหาทรานส์เฟอร์ฟังก์ชันของระบบเฟสล็อกลูป	24
2.5.3 วงจรการสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส	27
2.6 วงจรออสซิลเลเตอร์ที่ปรับค่าความถี่แรงดัน (VCO: Voltage Controlled Oscillator)	29
2.7 การออกแบบวงจร Loop Filter	30
2.8 การพิจารณากำลังงานที่ส่งออกอากาศ	35
บทที่ 3 การคำนวณและการสร้าง	37
3.1การออกแบบวงจรภาคส่ง	37
3.1.1 การออกแบบวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 2.45 จิกะเฮิรตซ์	37
3.1.1.1 การออกแบบวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ความถี่ 2.4 จิกะเฮิรตซ์	37
3.1.1.2 การออกแบบวงจรพรีสเกลเลอร์สองโมดูลัส	38
3.1.1.3 การออกแบบโปรแกรมหารความถี่	38
3.1.1.4 การออกแบบวงจรลูปฟิลเตอร์	40
3.1.2 ออกแบบวงจรมิกเซอร์	42
3.1.3 ออกแบบวงจรขยายกำลัง	42
3.2 การออกแบบวงจรภาครับ	44
3.2.1 การออกแบบวงจร ขยายสัญญาณรบกวนต่ำ	44
3.2.2 การออกแบบวงจรมิกเซอร์	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
บทที่ 4 การทดลองและผลการทดลอง	**46**
4.1 ผลการทดลองของภาคส่ง	46
4.1.1 ผลการทดลองวงจรรวมของการสังเคราะห์ความถี่ที่ 2.45 จิกะเฮิรตซ์	46
4.1.2 ผลการทดลองวงจรมิกเซอร์	47
4.1.3 ผลการทดลองวงจรขยายกำลัง (Power amplifier)	47
4.2 ผลการทดลองของภาครับ	48
4.2.1 ผลการทดลองวงจรรวมของการสังเคราะห์ความถี่ที่ 2 จิกะเฮิรตซ์	48
4.2.2 ผลการทดลองวงจรขยายสัญญาณรบกวนต่ำ	49
4.2.3 ผลการทดลองวงจรมิกเซอร์	50
4.2.4 ผลการแสดงภาพทางโทรทัศน์	51
บทที่ 5 บทวิจารณ์และบทสรุป	**52**
ภาคผนวก	**53**
ภาคผนวก ก	
ภาคผนวก ข	
ภาคผนวก ค	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานภาคส่งของโครงงาน	1
รูปที่ 1.2 บล็อกไดอะแกรมการทำงานภาครับของโครงงาน	2
รูปที่ 2.1 Image Sensor	3
รูปที่ 2.2 กระบวนการเปลี่ยนแสงให้เป็นภาพของ Image Sensor	4
รูปที่ 2.3 การรับภาพของ Image Sensor	5
รูปที่ 2.4 แผนภูมิระบบการทำงานของ CMOS	6
รูปที่ 2.5 วงจรออสซิลเลเตอร์เบื้องต้น	8
รูปที่ 2.6 ตัวอย่างวงจรไบอัสทรานซิสเตอร์	10
รูปที่ 2.7 สัญญาณข้อมูลสัญญาณคลื่นพาห์และสัญญาณผลลัพธ์ที่ได้รับการมอดูเลท	12
รูปที่ 2.8 สัญญาณแอมปลิจูดมอดูเลชั่นในแกนความถี่	14
รูปที่ 2.9 การใช้สัญญาณเสียงที่มีขนาดมากและน้อยเพื่อมอดูเลทบนคลื่นพาห์	14
รูปที่ 2.10 การวัดเปอร์เซ็นต์การมอดูเลท	15
รูปที่ 2.11 แอมปลิจูดของสัญญาณเสียงที่ดีมอดคืนมาได้ที่เครื่องรับจะมีความแรงมาก น้อยขึ้นอยู่กับเปอร์เซ็นต์ ของการมอดูเลท	16
รูปที่ 2.12 การโอเวอร์มอดจะทำให้สัญญาณที่ได้จากการดีมอด ที่เครื่องรับมีความเพี้ยน	17
รูปที่ 2.13 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป	18
รูปที่ 2.14 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป	19
รูปที่ 2.15 ผลต่างเฟสเมื่อความถี่เท่ากัน	20
รูปที่ 2.16 ผลต่างเฟสเมื่อความถี่อินพุตไม่เท่ากัน	20
รูปที่ 2.17 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชันของเฟสล็อกลูป	24
รูปที่ 2.18 วงจรฟิลเตอร์อย่างง่าย	25
รูปที่ 2.19 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส	28
รูปที่ 2.20 บล็อกไดอะแกรมของระบบป้อนกลับแบบบวก	29
รูปที่ 2.21 วงจรเรโซแนนซ์แบบอนุกรม	29
รูปที่ 2.22 วงจรเรโซแนนซ์แบบขนาน	30
รูปที่ 2.23 วงจรลูปอันดับที่ 1	30
รูปที่ 2.24 วงจรอันดับที่ 2	31
รูปที่ 2.25 วงจรลูปอันดับที่ 3	34
รูปที่ 3.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ความถี่ 2.4 จิกะเฮิรตซ์	38
รูปที่ 3.2 วงจรวงจรพรีสเกลเลอร์และเฟสดีเทคเตอร์	39
รูปที่ 3.3 โครงสร้างวงจรลูปฟิลเตอร์	40
รูปที่ 3.4 วงจรลูปฟิลเตอร์ของวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 2.4 จิกะเฮิรตซ์	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

	หน้า
รูปที่ 3.5 วงจรรวมของวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป	41
รูปที่ 3.6 วงจรมิกเซอร์	42
รูปที่ 3.7 วงจรขยายกำลัง	42
รูปที่ 3.8 วงจรรวมของภาคส่ง	43
รูปที่ 3.9 วงจรขยายสัญญาณรบกวนต่ำ	44
รูปที่ 3.10 วงจรมิกเซอร์	44
รูปที่ 3.11 วงจรรวมภาครับ	45
รูปที่ 4.1 แสดงสเปกตรัมของสัญญาณเอาท์พุทจากวงจรสังเคราะห์ความถี่ที่ 2.4 จิกะเฮิรตซ์	46
รูปที่ 4.2 แสดงสเปกตรัมของสัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์	47
รูปที่ 4.3 กราฟผลตอบสนองทางความถี่ของวงจรขยายกำลัง	48
รูปที่ 4.4 สเปกตรัมของสัญญาณเอาท์พุทจากวงจรสังเคราะห์ความถี่ที่ 2.464 จิกะเฮิรตซ์	48
รูปที่ 4.5 กราฟผลตอบสนองทางความถี่ของวงจรขยายสัญญาณรบกวนต่ำ	49
รูปที่ 4.6 สัญญาณเอาท์พุทจากวงจรมิกเซอร์	50
รูปที่ 4.7 สเปกตรัมของสัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์	50
รูปที่ 4.8 สัญญาณภาพที่แสดงทางโทรทัศน์	51
รูปที่ (ก) วงจรขยายกำลัง	
รูปที่ (ข) วงจรขยายสัญญาณรบกวนต่ำ	
รูปที่ (ค) วงจรสังเคราะห์ความถี่และวงจรมิกเซอร์ภาคส่ง	
รูปที่ (ง) วงจรรวมภาคส่งของระบบโทรทัศน์วงจรปิดไร้สาย	
รูปที่ (จ) วงจรสังเคราะห์ความถี่และวงจรมิกเซอร์ภาครับ	
รูปที่ (ฉ) วงจรรวมภาครับของระบบโทรทัศน์วงจรปิดไร้สาย	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 3.1 แสดงรีจิสเตอร์แมป (Register map) ของไอซีเบอร์ PE3340	39
ตารางที่ 3.2 แสดงค่ารีจิสเตอร์แมปที่ทำการโปรแกรม	39
ตารางที่ 4.1 ตารางผลตอบสนองทางความถี่ของสัญญาณของวงจรขยายกำลัง	47
ตารางที่ 4.2 ตารางผลตอบสนองทางความถี่ของสัญญาณของวงจรขยายสัญญาณรบกวนต่ำ	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

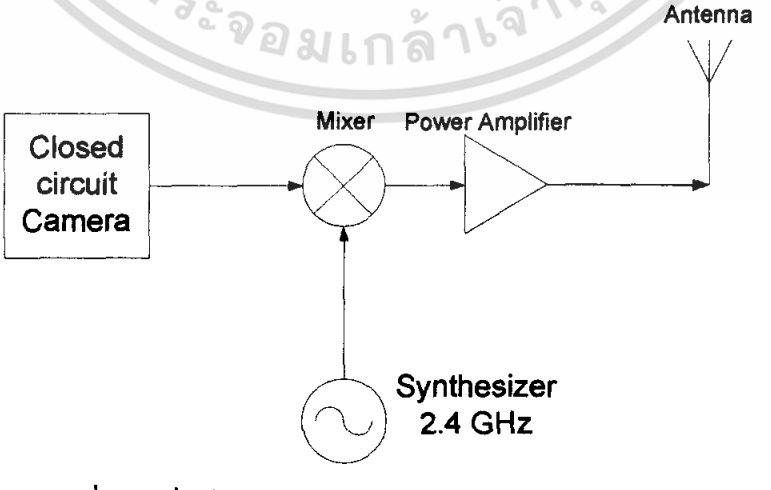
ความเป็นมาของโครงงาน

ปัจจุบันนี้ระบบรักษาความปลอดภัยเป็นสิ่งหนึ่งที่จำเป็นมาก ความก้าวหน้าของเทคโนโลยีปัจจุบันทำให้เกิดการพัฒนาในด้านต่าง ๆ อีกทั้งยังอำนวยความสะดวกให้กับมนุษย์ผู้คิดค้นและใช้เทคโนโลยี แต่ในความสะดวกสบายนั้นยังแฝงไปด้วยภัยอันตรายต่าง ๆที่ตามมาจากการที่สังคมเจริญก้าวหน้าอย่างรวดเร็ว จึงจำเป็นจะต้องมีสิ่งที่ใช้รักษาความปลอดภัย เนื่องจากสังคมที่กำลังพัฒนาไปอย่างรวดเร็วนั้น มีอันตรายรอบด้านจากโจรผู้ร้ายที่มีจำนวนเพิ่มมากขึ้นเรื่อย ๆ ซึ่งการนำกล้องโทรทัศน์วงจรปิดเข้ามาช่วยในการรักษาความปลอดภัยเป็นอีกตัวเลือกหนึ่งที่สามารถช่วยในการจับกุมผู้ร้ายได้ เนื่องจากกล้องโทรทัศน์วงจรปิดนั้นจะทำการตรวจสอบและบันทึกเหตุการณ์ต่าง ๆเพื่อนำมาตรวจสอบดูภายหลังได้และมีการใช้งานกันอย่างแพร่หลาย มีความสะดวกในการใช้งานอีกด้วย

ในระบบกล้องโทรทัศน์วงจรปิดนั้นจำเป็นที่จะมีการต่อสายสัญญาณระหว่างกล้องโทรทัศน์วงจรปิดกับเครื่องรับ เพื่อนำสัญญาณภาพที่รับมาได้ส่งไปแสดงผลยังเครื่องรับ ถึงจะมีความสะดวกในการใช้งาน หากระยะทางระหว่างเครื่องรับมีระยะทางมาก การติดตั้งตามอาคารตึกสูงหลาย ๆ จุดหรือการติดตั้งตามสะพานลอย ถนนที่เปลี่ยวเสี่ยงต่อการเกิดอาชญากรรม ซึ่งการติดตั้งจะมีความยากลำบาก นอกจากนี้หากต้องการที่จะปรับเปลี่ยนตำแหน่งที่วางกล้องหลังจากที่ได้ติดตั้งไว้แล้ว ก็จะต้องทำการติดตั้งสายนำสัญญาณใหม่ ซึ่งทำให้เกิดความยุ่งยากและเสียค่าใช้จ่ายเพิ่มมากขึ้น ด้วยเหตุผลต่าง ๆเหล่านี้ทำให้เกิดแนวคิดที่จะสร้างโครงงาน ระบบโทรทัศน์วงจรปิดไร้สายขึ้น ซึ่งไม่มีความจำเป็นต้องเดินสายนำสัญญาณภาพจากกล้องมายังจุดรับภาพ ทำให้สะดวกในการติดตั้งหรือการปรับเปลี่ยนตำแหน่งที่ติดตั้งของกล้องภายหลังได้

ในปริญญานิพนธ์ฉบับนี้ ได้นำเสนอแนวทางในการทดลองและออกแบบระบบโทรทัศน์วงจรปิดไร้สายที่ทำงานในย่านความถี่ยูเอชเอฟ โดยแบ่งระบบออกเป็น 2 ส่วนคือ ส่วนที่เป็นภาคส่ง และส่วนที่เป็นภาครับ ซึ่งมีหลักการทำงานดังนี้

หลักการทำงานของเครื่องส่งในระบบโทรทัศน์วงจรปิดไร้สายอธิบายพอสังเขปได้ดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานภาคส่งของโครงงาน

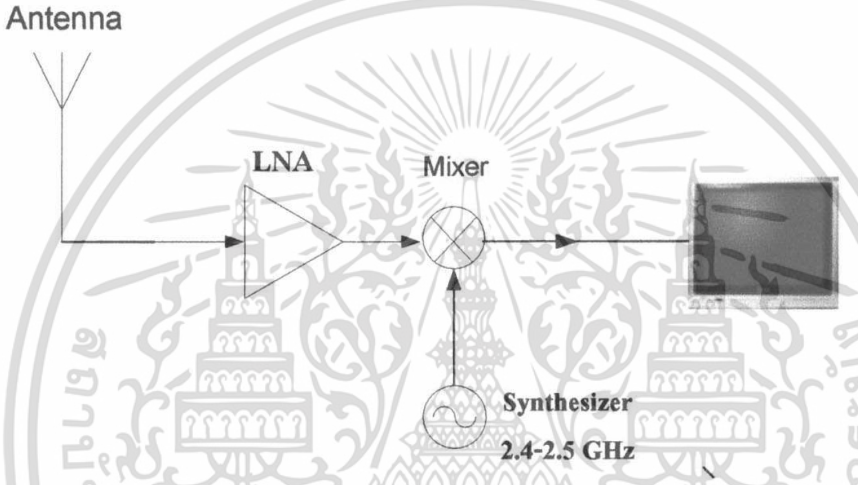
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจรสังเคราะห์ความถี่ (Synthesizer) ทำหน้าที่ในการผลิตสัญญาณความถี่ 2.4 จิกะเฮิรตซ์ เพื่อส่งไปยังวงจรมิกเซอร์

- วงจรมิกเซอร์ (Mixer) หรือวงจรรวมสัญญาณทำหน้าที่รวมสัญญาณภาพจากกล้องวีดีโอเข้ากับสัญญาณจากวงจรสังเคราะห์ความถี่ 2.4 จิกะเฮิรตซ์

- วงจรขยายกำลัง (Power amplifier) ทำหน้าที่ขยายสัญญาณที่รับมายังวงจรมิกเซอร์ให้มีสัญญาณที่แรงขึ้นเพื่อที่จะส่งไปยังสายอากาศต่อไป

หลักการทำงานของเครื่องรับในระบบโทรทัศน์วงจรปิดไร้สายอธิบายพอสังเขปได้ดังรูปที่ 1.2



รูปที่ 1.2 บล็อกไดอะแกรมการทำงานภาครับของโครงงานระบบโทรทัศน์วงจรปิดไร้สาย

- วงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier) ทำหน้าที่ขยายสัญญาณให้แรงขึ้น และกำจัดสัญญาณรบกวนให้เหลือน้อยลงเพื่อส่งสัญญาณไปยังวงจรมิกเซอร์

- วงจรมิกเซอร์ ทำการรวมสัญญาณ RF (Radio Frequency signal) ที่ผ่านการขยายจากวงจรขยายสัญญาณรบกวนต่ำ เข้ากับสัญญาณที่มาจากวงจรสังเคราะห์ความถี่ที่ความถี่ 2.464 จิกะเฮิรตซ์ ส่งสัญญาณต่อไปยังโทรทัศน์เพื่อแสดงภาพ

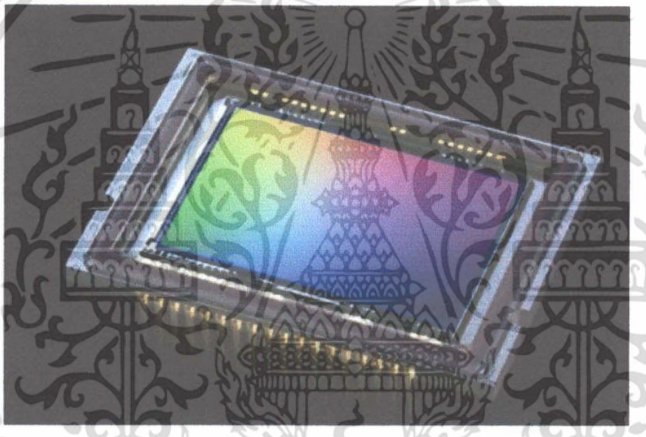
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 เทคโนโลยีการรับภาพจากกล้องดิจิตอล

2.1.1 การรับภาพจากกล้องดิจิตอล

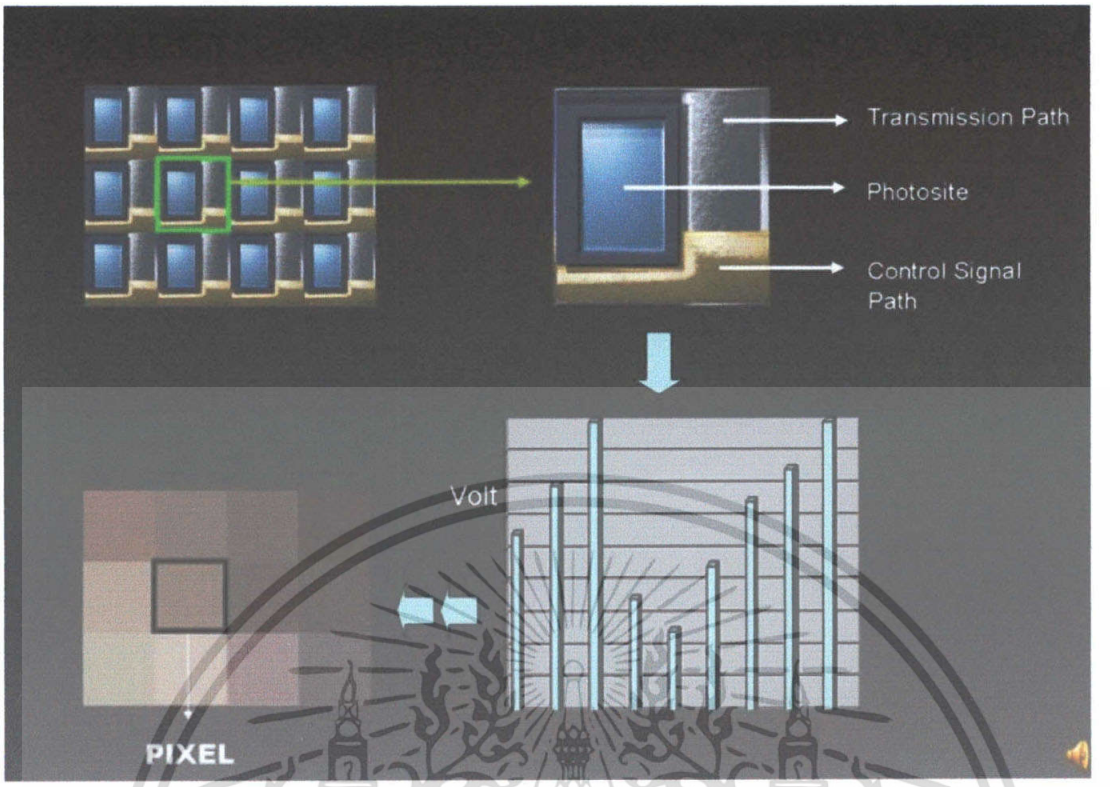
กล้องดิจิตอลใช้อุปกรณ์ที่เป็น Solid-State Device ซึ่งเรียกว่า Image-Sensor เป็นชิพซิลิคอนขนาดเล็ก ภายในบรรจุไดโอดซึ่งไวต่อแสง (Photosensitive Diode) เรียกไดโอดที่ไวต่อแสงนี้ว่า Photosite โฟโตไซท์จะเรียงตัวกันเป็นตารางคล้ายตารางหมากรุกทำหน้าที่แทนฟิล์มถ่ายภาพ Image-Sensor เปรียบเสมือนเรตินาของตามนุษย์ เมื่อแสงตกลงโฟโต้ไซท์จะเกิดอิเล็กตรอนอิสระ ทำให้เกิดกระแสไฟฟ้าอ่อน ๆ ภายใน Image Sensor ยิ่งแสงมาก กระแสไฟฟ้าก็จะมากขึ้นด้วย จากกระแสไฟฟ้าจะถูกแปลงให้เป็นตัวเลขโดย D/A Converter กลายเป็นข้อมูลดิจิตอล จากข้อมูลดิจิตอลสามารถนำเอาไปปรับแต่งเปลี่ยนแปลง และแปรกลับมาเป็นภาพถ่ายในภายหลังได้



รูปที่ 2.1 Image Sensor

Image Sensor สามารถเปลี่ยนแสงให้เป็นภาพได้ โดยการวัดจากปริมาณไฟฟ้าที่เกิดขึ้นในแต่ละ Photosite ส่วนขาวของภาพจะมีแสงมาก ส่วนของ Photosite ที่รับแสงบริเวณนั้นก็จะได้รับแสงมาก เกิดกระแสไฟฟ้ามาก ส่วนมืดของภาพจะมีแสงน้อย ส่วนของ Photosite ที่ได้รับแสงจากส่วนมืดก็จะเกิดกระแสไฟฟ้าน้อยลงไป ส่วนที่แสงปานกลางก็จะเกิดกระแสไฟฟ้าในช่วงกลาง ๆ ตามลำดับ เมื่อกระแสไฟฟ้าถูกเปลี่ยนเป็นตัวเลขโดย D/A Converter จากตัวเลขนั้นจะสามารถเปลี่ยนเป็นภาพได้ ตัวเลขมากเท่ากับส่วนขาว ตัวเลขน้อยเท่ากับส่วนดำตามสัดส่วนกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กระบวนการเปลี่ยนแสงให้เป็นภาพของ Image Sensor

Image Sensor ซึ่งภายในประกอบด้วย Photosite ขนาดเล็กจำนวนมาก จะรับรู้แต่ปริมาณแสงที่ตกลงบน Photosite เท่านั้น นั้นคือ Image Sensor มองภาพเป็นขาวดำ แต่ภาพที่เราต้องการเป็นภาพสี จึงต้องมีการใส่ฟิลเตอร์สีไปหน้า Photosite เพื่อแยกภาพออกเป็นขาวดำของแม่สีต่าง ๆ ฟิลเตอร์ที่ใช้หน้า Photosite จะมีหลายแบบ เช่น ฟิลเตอร์ RGB ซึ่งเป็นแม่สีในระบบแม่สีบวก หรือฟิลเตอร์ CMY เป็นแม่สีในระบบแม่สีลบ เกือบทั้งหมดใช้แบบ RGB หรืออาจจะใช้ฟิลเตอร์สีใส่หน้าแหล่งกำเนิดแสงหรือหน้าเลนส์ แล้วถ่ายภาพทีละสี

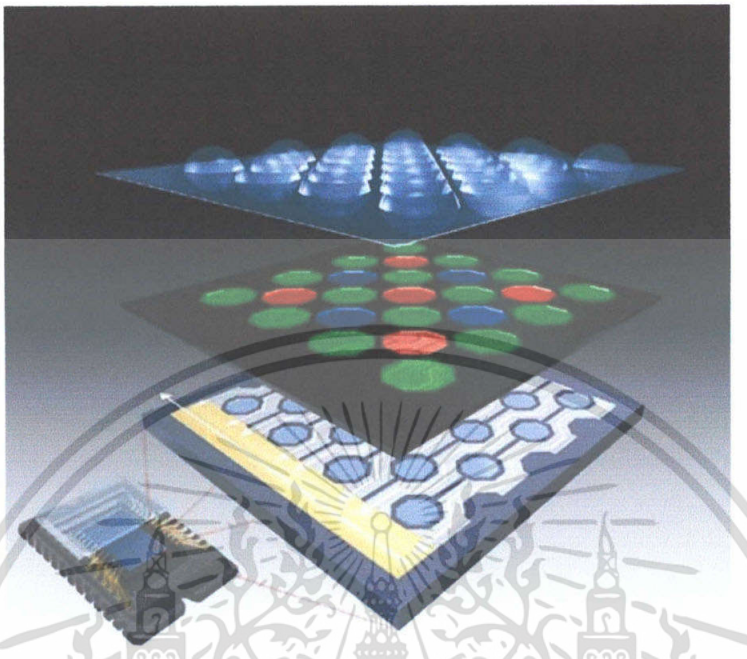
กล้องดิจิตอลส่วนใหญ่จะใช้ฟิลเตอร์หน้า CCD แบบ RGB เพื่อแยกสีของภาพ โดยจะมีฟิลเตอร์สีเขียวมากกว่าสีน้ำเงินและแดง ฟิลเตอร์จะให้แสงที่มีสีเหมือนตัวเองผ่านไปได้ แต่กั้นแสงสีที่ไม่เหมือนตัวเองเอาไว้

- Photosite สีแดงจะมองเห็นภาพสี ขาว เหลือง ม่วง แดง และส้ม มองไม่เห็นเขียว น้ำเงิน และฟ้า
- Photosite สีเขียวจะมองเห็นภาพสี ขาว เหลือง ส้ม เขียว และฟ้า มองไม่เห็นแดง น้ำเงิน และม่วง
- Photosite สีน้ำเงินจะมองเห็นภาพสี ขาว ม่วง ฟ้า น้ำเงิน มองไม่เห็นเขียว เหลือง ส้ม และแดง

Photosite แต่ละตำแหน่งจะให้ข้อมูลเพียงสีเดียวเท่านั้น หรือ 1 ตำแหน่งมี 1 ข้อมูล แต่ภาพสีที่สมบูรณ์จะต้องมีข้อมูล 3 สีใน 1 ตำแหน่ง หรือกล่าวได้ว่า ภาพที่ได้จาก Image Sensor แบบ Color Matrix จะมีข้อมูลสีเพียง 1 ใน 3 เท่านั้น ขาดข้อมูลไป 2/3 ส่วนที่ขาดหายไปจึงต้องทำการจำลองข้อมูล หรือ Interpolated โดยการใช้ข้อมูลจาก Pixel ด้านข้างทั้ง 8 มาคำนวน เช่น ตำแหน่งของสีเขียว ตัวเองเป็นเขียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สว่าง ด้านข้างเป็นแดงสว่าง และน้ำเงินสว่าง แสดงว่าตรงนั้นเป็นสีขาว หรือตำแหน่งของสีแดง ตัวเองเป็นแดงสว่างด้านข้างเป็นเขียวสว่าง และน้ำเงินมืด แสดงว่าตัวเองเป็นสีเหลือง เป็นต้น



รูปที่ 2.3 การรับภาพของ Image Sensor

2.1.2 เทคโนโลยี CMOS

ในปัจจุบันมีการใช้ Image Sensor อยู่ 2 รูปแบบคือ CCD และ CMOS

CCD ชื่อเต็มคือ Charge-Couple Devices ภายในมี Photosite ขนาดเล็กซึ่งไวต่อแสงทำหน้าที่เป็นตัวรับแสง เมื่อแสงตกลงมาจะเกิดอิเลกตรอนที่ผิวหน้า อิเลกตรอนจะถูกดึงไปที่ Read out register แล้วส่งไปยัง Amplifier เพื่อขยายสัญญาณ จากนั้นจะถูกส่งไปยัง D/A Converter เพื่อแปลงสัญญาณไฟฟ้าให้เป็นข้อมูลดิจิตอล การอ่านสัญญาณไฟฟ้าของ CCD จะอ่านทีละแถว โดยเริ่มจากแถวที่ใกล้กับ Read out register ก่อน เมื่ออ่านค่าเสร็จจะมีการลบข้อมูลของแถวนั้นแล้วอ่านของแถวลำดับต่อไป โดยอิเล็กตรอนจะกระโดดข้ามมาที่ละแถวเพื่อเข้าสู่ Read out Register

ปัญหาของ CCD คือไม่สามารถผลิตในปริมาณมาก ๆ ได้ ต้นทุนสูง และผลิตให้มีขนาดใหญ่ได้ยาก ทำให้ต้นทุนการผลิตสูง ราคาของกล้องที่ใช้ CCD จึงสูง โดยเฉพาะ CCD ขนาดใหญ่

CMOS ย่อมาจาก Complementry Metal Oxide Semiconductor ดัดแปลงมาจาก WAFER หรือ FAB ที่ใช้ในการผลิตหน่วยความจำและ CPU ของเครื่องคอมพิวเตอร์ เช่น Pentium III ซึ่งมีชิพเล็ก ๆ อยู่ภายในถึง 10 ล้านตัว กระบวนการผลิต CMOS Image Sensor ใช้กระบวนการเดียวกับการผลิต CMOS ของคอมพิวเตอร์ จึงสามารถผลิตในปริมาณมาก ต้นทุนต่ำกว่า CCD อย่างมาก CMOS แบ่งออกเป็น 2 ชนิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

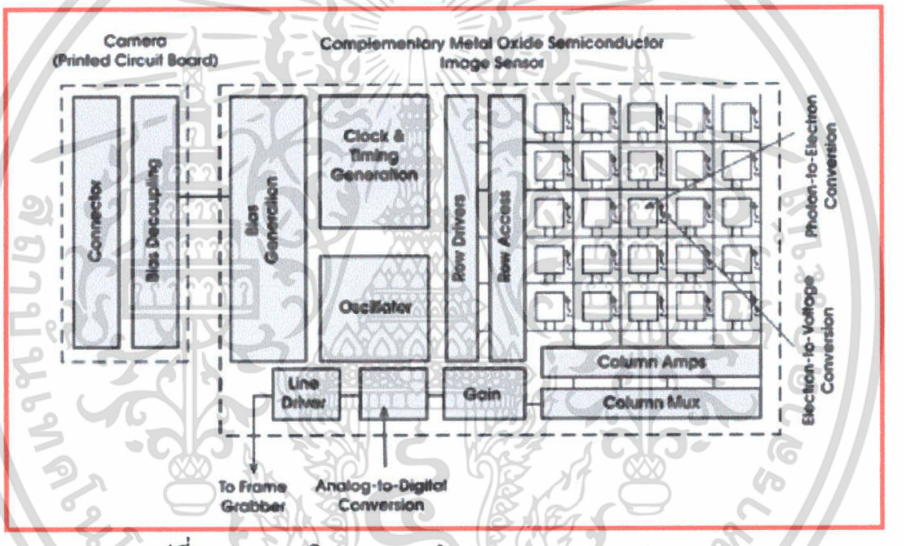
1. Passive Pixel Sensors

เมื่อ Photositeได้รับแสงและเกิดกระแสไฟฟ้า สัญญาณไฟฟ้าจะถูกส่งออกไปนอก CMOS ทำการขยายสัญญาณและแปลงเป็นค่าดิจิตอล มีขนาดเล็ก แต่ใหญ่เพียงพอที่จะประกอบกับสารไว้แสงและวงจรอื่น ๆ ปัญหาคือ ภาพมีสัญญาณรบกวนสูง ต้องอาศัยการประมวลผลภายนอกเพื่อลดสัญญาณรบกวน

2. Active Pixel Sensor

จะมีวงจรภายใน CMOS เพื่อกำหนดระดับสัญญาณรบกวนและลบสัญญาณรบกวน คุณภาพเทียบเท่า CCD และสามารถทำให้มีขนาดใหญ่ รายละเอียดสูงได้

ใน CMOS Sensor นอกเหนือจากจะประกอบได้ด้วยพิกเซลที่ทำหน้าที่รับแสงอยู่ภายในแผง CMOS เพื่อทำการเปลี่ยนเป็นกระแสไฟฟ้าแบบ Analog แล้ว ยังประกอบไปด้วยวงจรที่ซับซ้อนเพื่อทำหน้าที่แปลงสัญญานไฟฟ้าแบบ Analog ให้เป็นสัญญาณ Digital อยู่ในแผง CMOS เดียวกันเลย ซึ่งการแปลงสัญญาณนี้จะทำตั้งแต่ในระดับแต่ละพิกเซลเลยทีเดียว



รูปที่ 2.4 แผนภูมิระบบการทำงานของ CMOS

แต่ด้วยวงจรไฟฟ้าที่มีความสลับซับซ้อนที่มากกว่าของ CMOS จึงทำให้ไปเบียดพื้นที่ส่วนการรับแสงในแต่ละพิกเซลของ CMOS จึงทำให้พื้นที่ในการรับแสงของ CMOS มีขนาดที่เล็กลงเมื่อเทียบในระดับของขนาดพิกเซลที่เท่าๆกันอีกประการหนึ่งการออกแบบสำหรับการทำงานของชั้นวงจรต่างจัดเป็นชั้นๆ ดังนั้นจึงทำให้การออกแบบสำหรับส่วนรับแสงให้เต็มพื้นที่ทำไม่ได้ และด้วยความซับซ้อนของการทำงานที่มากกว่านี้เองจึงมีผลทำให้ความสม่ำเสมอของสัญญาณที่ส่งออกมาจากแผง CMOS ต่ำลงซึ่งเมื่อเทียบกับ CCD Sensor จะให้ความสม่ำเสมอของสัญญาณที่ดีกว่า

อีกประการหนึ่งการเปลี่ยนแปลงชุดรับแสงนั้น ถ้าต้องการเปลี่ยนแปลงระบบแปลงสัญญาณหรือส่วนในการรับแสงอย่างใดอย่างหนึ่งนั้นไม่สามารถกระทำเพียงอย่างใดอย่างหนึ่งเนื่องจากถูกออกแบบมาในระดับพิกเซลรวมไว้ในยูนิตเดียวกัน ถ้าต้องการเปลี่ยนแปลงนั่นหมายถึงว่าต้องเป็นการออกแบบใหม่ทั้งแผงเลยทีเดียว แต่อย่างไรก็ตามในด้านการออกแบบอย่าง CMOS ที่รวมไว้ในยูนิตเดียวทั้งหมดก็มีข้อดีเบื้องต้นก็คือ กินกำลังไฟหรือสิ้นเปลืองพลังงานน้อยกว่า CCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรออสซิลเลเตอร์ (Oscillator Circuit)

ออสซิลเลเตอร์ มีความหมายในตัวเองแปลว่าสิ่งที่แกว่งไปมา ในกรณีของวงจรอิเล็กทรอนิกส์ ออสซิลเลเตอร์มีความหมายถึงการเปลี่ยนไปมาของแรงดันหรือกระแสระหว่างค่าสูงสุดและค่าต่ำสุด หรืออาจกล่าวได้ง่ายๆ ก็คือ วงจรกำเนิดนั่นเอง

วงจรออสซิลเลเตอร์ส่วนใหญ่จะให้สัญญาณรูปซายน์ ดังนั้นวงจรออสซิลเลเตอร์จึงถูกนำมาใช้งานในวงจรเครื่องส่ง วงจรกำเนิดสัญญาณความถี่ต่างๆ และเป็นวงจรในส่วนประกอบย่อยของวงจรอื่นๆ อีกเป็นจำนวนมาก

การกำเนิดสัญญาณด้วยวงจรออสซิลเลเตอร์มีได้หลายแบบ ซึ่งแต่ละแบบก็จะมีลักษณะสำคัญพิเศษอื่นๆ ประกอบด้วย เช่น ให้ความถี่ที่ต่ำๆ ดี หรือให้ความถี่ที่สูง ๆ ดี มีเสถียรภาพทางความถี่ที่ดี การปรับความถี่เป็นไปได้ยากหรือง่ายเป็นต้น

หลักการของวงจรออสซิลเลเตอร์

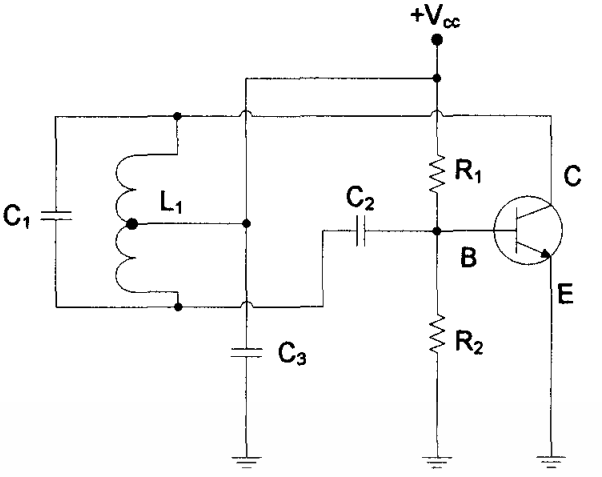
วงจรออสซิลเลเตอร์ก็คือวงจรขยายชนิดหนึ่งนั่นเองแต่เป็นวงจรขยายชนิดป้อนกลับ แบบบวก สิ่งที่จะอธิบายในเรื่องการป้อนกลับแบบบวกให้เข้าใจคือ การพิจารณาในรูปของเฟสกับการป้อนกลับ สัญญาณป้อนกลับจากเอาท์พุทจะกลับเฟส 180° แล้วป้อนกลับเข้ามาทางอินพุทใหม่ ดังนั้นสัญญาณที่เข้ามาจะมีทิศทางเสริมกับสัญญาณป้อนกลับ ซึ่งถ้าเฟสที่ป้อนกลับเข้ามาไม่ตรงกับวงจรขยายก็จะไม่เกิดการออสซิลเลท ซึ่งปกติวงจรขยายสัญญาณทั่วไปสัญญาณเอาท์พุทจะมีเฟสต่างจากอินพุท 180° อยู่แล้ว

การออสซิลเลทหรือการเปลี่ยนแปลงค่าแรงดันเอาท์พุทจากค่าต่ำสุดจนถึงค่าสูงสุดมักจะเกิดการเปลี่ยนในลักษณะคลื่นรูปซายน์ ความถี่ของลูกคลื่นสามารถคำนวณได้จากค่าคงตัวของอุปกรณ์ต่างๆ ภายในวงจร ในวงจรออสซิลเลเตอร์โดยทั่วไปที่ใช้งานกันอยู่จะมีการออสซิลเลทได้ด้วยตัวเองโดยไม่ต้องมีการป้อนสัญญาณอินพุทเข้าไปเลยแม้แต่น้อย ทั้งนี้เพราะสัญญาณที่ช่วยกระตุ้นให้เกิดการออสซิลเลทในขณะเริ่มต้นนั้นคือสัญญาณรบกวนที่มีอยู่ภายในอุปกรณ์นั่นเอง

วงจรออสซิลเลเตอร์ทั่วไปมักจะมีการออสซิลเลทที่ความถี่เดียว ทั้งนี้เพราะวงจรป้อนกลับที่สัญญาณจากเอาท์พุทมายังอินพุทมักจะเป็นวงจรที่ประกอบด้วยอุปกรณ์จำพวก R, L และ C ซึ่งอุปกรณ์จำพวก L และ C จะมีผลทางด้านเฟส นั่นคือจะมีความถี่ที่เป็นผลทำให้เฟสที่ได้กลับมาเสริมกับอินพุทเกิดการออสซิลเลทขึ้น ตัวอย่างวงจรซิลเลเตอร์เบื้องต้นที่ใช้ทรานซิสเตอร์แสดงดังรูปที่ 2.4

วงจรออสซิลเลเตอร์ดังรูปที่ 2.4 เรียกอีกอย่างว่าวงจรฮาร์ทเลย์ออสซิลเลเตอร์ การทำงานของวงจรอาศัยหลักการป้อนกลับด้วยวงจรรีโซแนนซ์ที่ประกอบด้วยตัวเก็บประจุ C และตัวเหนี่ยวนำ L_1 สัญญาณป้อนกลับจากเอาท์พุททางขาคอลเลคเตอร์ของทรานซิสเตอร์จะป้อนกลับผ่านวงจรจูน กลับเฟส 180° เข้ามาทางขาเบสของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 วงจรออสซิลเลเตอร์เบื้องต้น

สำหรับทรานซิสเตอร์ ตัวต้านทาน R_1 และ R_2 จะเป็นตัวไปทำให้ทรานซิสเตอร์ทำงานในลักษณะของวงจรขยายสัญญาณ ส่วนตัวเก็บประจุ C_2 เปรียบเสมือนเป็นตัวคัปปลิ้งสัญญาณเข้ามาทางอินพุท โดยปกติวงจรขยายชนิดขาอิมิตเตอร์ร่วมนั้นสัญญาณเอาท์พุทที่ได้ทางขาคอลเลคเตอร์ จะมีทิศเฟสตรงข้ามกับสัญญาณทางอินพุทอยู่แล้วคือมีทิศทางเฟสต่างกัน 180 องศา ผลของสัญญาณป้อนกลับจะมีทิศทางทางเสริมกับสัญญาณอินพุททันทีวงจรก็จะออสซิลเลทได้

การทำงานในแต่ละรอบของการออสซิลเลทสามารถอธิบายได้ดังนี้ ในขณะเริ่มแรกของการออส-ซิลเลทจะมีการเปลี่ยนแปลงของกระแสคอลเลคเตอร์ ซึ่งเป็นผลป้อนกลับมาทางอินพุทของขาเบสกระตุ้นที่ขาเบส โดยถ้ากระแสคอลเลคเตอร์เพิ่มขึ้นทางค่ามากจะทำให้แรงดันที่คอลเลคเตอร์ลดลง การป้อนกลับจะกระตุ้นเข้ามาที่ขาเบสด้วยค่าแรงดันน้อยลงเป็นผลทำให้กระแสลดลงและแรงดันที่ คอลเลคเตอร์ของทรานซิสเตอร์จะสูงขึ้นและเป็นในลักษณะนี้เรื่อยไป

ตัวเก็บประจุ C_3 ของวงจรตามรูปที่ 2.4 นี้ เป็นทางผ่าน (By pass) ของสัญญาณไฟสลับและในทำนองเดียวกันก็จะเป็นตัวกั้นแรงดันไฟโดยตรงเพื่อไม่ให้ลัดลงกราวน์ ความถี่ของการออสซิลเลทของวงจรสามารถคำนวณได้จากค่ารีโซแนนซ์ของ L1 และ C1 ที่ต่อป้อนกลับ สมการของการหาค่าความถี่จะเป็นดังนี้

$$f_{osc} = \frac{1}{2\pi\sqrt{L_1 C_1}} \qquad (2.1)$$

2.3 วงจรขยายสัญญาณ

การขยายสัญญาณจะมีในวงจรอิเล็คทรอนิกส์เกือบทุกชนิดตามขั้นตอนต่าง ๆ เช่น ในภาคขยายภาคแรก ๆ จะทำหน้าที่ขยายสัญญาณขนาดเล็กให้มีความแรงขึ้น หน้าที่สำคัญของวงจรขยายสัญญาณขนาดเล็กนี้ก็คือ ขนาดแรงดันไฟฟ้าของสัญญาณให้มีขนาดตามต้องการ จึงเรียกวงจรขยายสัญญาณขนาดเล็กนี้ว่า วงจรขยายแรงดัน (Voltage amplifier) ในการวิเคราะห์การทำงานของวงจรขยายสัญญาณขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เล็ก คุณสมบัติที่เราสนใจมักเป็น ค่าอัตราการขยายแรงดันและอิมพีแดนซ์ต่าง ๆ เรามักไม่สนใจกับความร้อนที่เกิดขึ้นที่อุปกรณ์ในวงจรขยาย พลังงานไฟฟ้าที่วงจรต้องการหรือกำลังงานที่โหลด เนื่องจากในวงจรขยายสัญญาณขนาดเล็กมักใช้พลังงานไฟฟ้าน้อยกว่าภาคขยายหลังสุดมาก

วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก (Small Signal RF Amplifier)

การไบอัสทรานซิสเตอร์

คุณลักษณะภายในตัวทรานซิสเตอร์ที่อาจเปลี่ยนได้ตามอุณหภูมิคือ ΔV_{BE} และ $\Delta\beta$ จุดประสงค์ที่สำคัญในการไบอัสก็คือการลดอิทธิพลของอุณหภูมิที่มีผลต่อพารามิเตอร์ เนื่องจากการเพิ่มขึ้นของอุณหภูมิทำให้ V_{BE} ของทรานซิสเตอร์ลดลงในอัตราประมาณ 2.5 $mV/°C$ จากอุณหภูมิห้องปกติคือ 0.7 V และเนื่องจาก V_{BE} ลดลงทำให้ I_c เพิ่มขึ้นและจะมีผลต่อค่าที่เราออกแบบไว้ (ค่าที่เรากำหนดตอนออกแบบคือ I_c และ V_{BE}) นี่คือสิ่งที่เราต้องป้องกันมิให้เกิดขึ้น โวลเตจที่เปลี่ยนแปลงซึ่งขึ้นกับอุณหภูมินี้เราเรียกว่า ΔV_{BE} สิ่งที่เราจะนำมาลดผลกระทบของ V_{BE} ซึ่งเกิดจากอุณหภูมิจะทำให้กระแสอิมิตเตอร์เพิ่มขึ้น V_E จึงเพิ่มขึ้นด้วย การเพิ่มขึ้นของ V_E จะทำให้เกิดการป้อนกลับแบบลบทำให้เกิดรีเวิร์สบัสที่รอยต่อของขาเบส – อิมิตเตอร์ ดังนั้นกระแสคอลเลคเตอร์ จึงลดลง และเนื่องจากการลดลงของ V_E จะถูกขัดขวางโดยการเพิ่มขึ้นของ V_E ดังนั้นกระแสคอลเลคเตอร์จะเพิ่มขึ้นไม่มาก พิจารณาจากสมการ

$$\Delta I_C \approx \frac{-\Delta V_{BE} I_C}{V_E} \tag{2.2}$$

โดยที่ ΔI_C คือ การเปลี่ยนแปลงของกระแสคอลเลคเตอร์

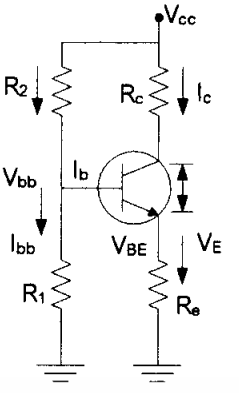
I_C คือ กระแสคอลเล็คเตอร์ที่ไม่มีการเปลี่ยนแปลง

ΔV_{BE} คือ การเปลี่ยนแปลงของโวลเตจเบส – อิมิตเตอร์

V_E คือ โวลเตจอิมิตเตอร์ที่ไม่มีการเปลี่ยนแปลง

ถ้าหากเราออกแบบให้ V_E เป็น 20 เท่าของ V_E กระแสคอลเลคเตอร์จะเปลี่ยนแปลงเพียงแค่ 5% V_E ค่ามากกว่านี้ก็จะดีถ้าหากการออกแบบไม่ต้องคำนึงถึงจุดไบอัสที่เจาะจง แต่สิ่งที่เราต้องพิจารณาร่วมด้วยก็คือ ค่า V_E ที่มากจะทำให้สูญเสียกำลังมาก และยังทำให้เกนของสัญญาณเอซีลดลงเพื่อไม่ให้เกนต่ำลงสามารถใช้ตัวเก็บประจุบายพาสคร่อม R_E แต่ว่าการสูญเสียกำลังงานก็ยังคงมีอยู่โดยทั่วไปสมมติให้วงจรขยายทำงานในที่อุณหภูมิเปลี่ยนแปลงไม่เกิน $\pm 50°C$ เราจะได้ค่า V_E เท่ากับ 2.5 V ซึ่งจะให้ I_C เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ตัวอย่างวงจรไบอัสทรานซิสเตอร์

สำหรับการขยายภาคสุดท้าย ซึ่งมักมีกระแสไหลผ่านเป็นจำนวนมาก หน้าที่สำคัญของวงจรขยายสัญญาณภาคสุดท้ายคือ ขยายสัญญาณให้มีขนาดใหญ่ให้เพียงพอที่จะส่งออกอากาศ ภาคขยายภาคสุดท้ายนี้มักถูกเรียกว่า วงจรขยายกำลัง (Power amplifier)

วงจรขยายทุกชนิด ไม่ว่าจะเป็นวงจรขยายสัญญาณขนาดเล็กหรือวงจรขยายกำลัง เราสามารถแบ่งชนิดได้ตามตำแหน่งของจุดปฏิบัติการ Q (Quiescient Point) บนเส้นดีซีโหลดไลน์ (DC load line)

(1) วงจรขยายคลาสเอ (class A) เป็นการขยายที่เลือกจุดทำงาน (Q) ให้ทรานซิสเตอร์ตรงช่วงที่มีการทำงานเป็นแบบเชิงเส้น (linear) หรือช่วงกึ่งกลางของเส้นตรงดีซีโหลดไลน์ เมื่อมีการป้อนสัญญาณอินพุทเข้าที่ขาเบส (base) จะเป็นผลให้เกิดสัญญาณเอาท์พุท โดยมีรูปร่างเหมือนสัญญาณอินพุททุกประการ เป็นวงจรขยายแบบที่มีการไบแอส (bias) ให้วงจรทรานซิสเตอร์มีกระแสไหลผ่านเขาคอลเลคเตอร์ (collector : I_c) ตลอดเวลา แม้ว่าจะไม่มีกระแสอินพุทที่ขาเบสก็ตาม เป็นวงจรขยายแบบเชิงเส้น (linear amplifier) เนื่องจากสัญญาณเอาท์พุทเป็นสัดส่วนโดยตรงกับสัญญาณอินพุท แต่วงจรขยายคลาสเอก็เป็นวงจรขยายที่ไม่ค่อยมีประสิทธิภาพมากนัก เนื่องจากวงจรมีการขยายสัญญาณตลอดลูกคลื่นซายน์ขาเข้าหรือครบทั้ง 360 องศา ดังนั้นวงจรขยายคลาสเอจึงไม่เหมาะที่จะเป็นวงจรขยายกำลังเพราะโดยปกติมักใช้ในวงจรขยายสัญญาณภาคแรก ๆ ที่มีแอมปลิจูดต่ำ

(2) วงจรคลาสบี (class B) เป็นวงจรขยายสัญญาณที่ไบแอสให้มีจุดทำงานอยู่ที่จุดคัทออฟ (cut-off) เป็นภาวะที่ไม่มีกระแสไหล โดยปกติเมื่อไม่มีสัญญาณอินพุทก็จะไม่มีกระแสไหลที่ขาคอลเลคเตอร์ ทรานซิสเตอร์จะทำงานนำกระแสเพียงช่วงครึ่งลูกคลื่นซายน์ คือ จะทำงานเพียง 180 องศา ของสัญญาณอินพุทมีเพียงสัญญาณครึ่งลูกคลื่นเท่านั้นที่ถูกขยาย ดังนั้นในเวลาที่ต้องการขยายสัญญาณเต็มลูกคลื่นจึงต้องมีการต่อวงจรแบบที่เรียกว่า "พุชแอนด์พูล" (push and pull) โดยใช้วงจรขยายคลาสบีสองชุดทำงานทั้งในช่วงสัญญาณบวกและสัญญาณลบสลับกันไป วงจรขยายคลาสบีมีประสิทธิภาพดีกว่าวงจรขยายคลาสเอ เนื่องจากการไหลของกระแสจะเกิดเพียงช่วงที่มีสัญญาณเท่านั้น ซึ่งเหมาะสมกับวงจรขยายกำลัง แต่สัญญาณที่ได้ก็ยังคงมีความผิดเพี้ยน (distortion) ไป การต่อวงจรแบบพุชแอนด์พูลจะช่วยลดความเพี้ยนของสัญญาณลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(3) วงจรขยายคลาสเอบี (class AB) เป็นวงจรขยายสัญญาณแบบที่มีการไบแอสให้จุดทำงานอยู่ระหว่างคลาสเอกับคลาสบี นั่นคือ จุดทำงานจะอยู่เลยจุดคัดออฟขึ้นมาเล็กน้อย มีผลทำให้ได้สัญญาณเอาท์พุทช่วงบวกจากสัญญาณอินพุทอย่างเต็มที่ และยังได้สัญญาณบางส่วนจากช่วงลบของสัญญาณอินพุทด้วย การทำงานจึงอยู่ในช่วงของสัญญาณมากกว่า 180 องศา แต่ไม่ถึง 360 องศา ของลูกคลื่นซายน์ และมักมีการต่อแบบพุช-พูลเช่นเดียวกับคลาสบี ทำให้สัญญาณเอาท์พุทมีความผิดเพี้ยนน้อยกว่า นั่นคือมีความเป็นเชิงเส้นมากกว่าคลาสบีนั่นเอง แต่มีประสิทธิภาพน้อยกว่าคลาสบี

วงจรขยายคลาสเอ คลาสบีและคลาสเอบี เป็นวงจรขยายเชิงเส้นที่มักใช้ในการขยายสัญญาณคลื่นวิทยุที่มีการเปลี่ยนแปลงแอมปลิจูด เช่น วงจรขยาย AM แบบกำลังต่ำหรือแบบซิงเกิลไซด์แบนด์

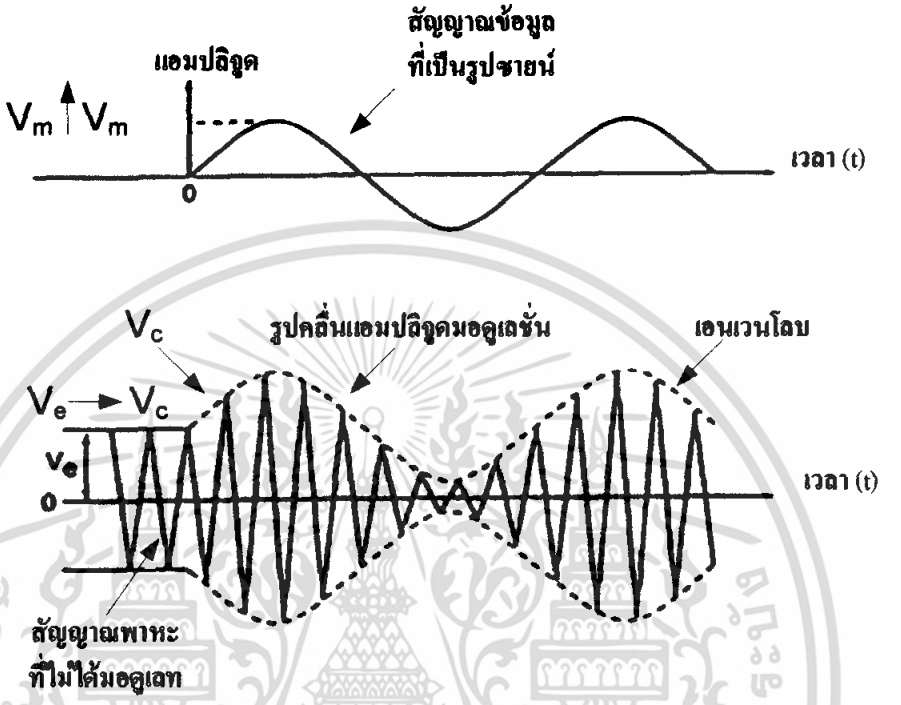
(4) วงจรขยายคลาสซี (class C) เป็นวงจรที่มีการไบแอสให้มีจุดทำงานอยู่ต่ำกว่าจุดคัดออฟ ทำให้มีการนำสัญญาณเพียงส่วนที่น้อยกว่า 180 องศา ของสัญญาณอินพุทเท่านั้น วิธีการไบแอสทรานซิสเตอร์ของวงจรขยายคลาสซี มีอยู่ 3 วิธีด้วยกัน คือ การไบแอสด้วยสัญญาณ(signal bias), การไบแอสด้วยวงจรภายนอก (external bias) และการไบแอสด้วยตนเอง (self bias) ปกติจะมีช่วงทำงานของวงจรในช่วงระหว่าง 90 องศา ถึง 180 องศา นั่นหมายถึงมีเพียงพัลส์เล็กๆ เท่านั้น ที่ออกมาที่เอาท์พุท ดังนั้นการทำให้สัญญาณขยายเต็มลูกคลื่นนั้น ต้องมีการนำวงจรจูนรีโซแนนซ์ (Resonant Tune Circuit) มาต่อเข้าที่เอาท์พุท เพื่อให้ได้สัญญาณซายน์เต็มลูกคลื่น ตัวอย่างเช่นการทำงานของวงจรจูนแบบขนาน (parallel tune circuit) ที่จะให้กำเนิดสัญญาณความถี่รีโซแนนซ์ เมื่อใดก็ตามที่ได้รับสัญญาณพัลส์จากวงจรขยาย วงจรจูนแบบขนานที่ประกอบด้วยคาปาซิเตอร์ (capacitor) และตัวเหนี่ยวนำ (inductor) เมื่อได้รับสัญญาณพัลส์ ก็จะเกิดการถ่ายทอดพลังงานระหว่างคาปาซิเตอร์กับตัวเหนี่ยวนำ ซึ่งเรียกว่า “ปรากฏการณ์ฟลายวีล” (fly wheel effect) ซึ่งจะสร้างสัญญาณคลื่นซายน์ที่ความถี่รีโซแนนซ์ ขณะเดียวกันวงจรจูนก็ทำหน้าที่กรองสัญญาณฮาร์มอนิกที่ไม่ต้องการออกไปด้วย วงจรขยายสัญญาณคลาสซีอาจใช้เป็นวงจรคูณความถี่ก็ได้ โดยการต่อเข้ากับวงจรรีโซแนนซ์ที่สร้างความถี่ที่เป็นจำนวนเต็มเท่าของสัญญาณความถี่ขาเข้า และที่เหนือกว่าคลาสอื่นๆ ก็คือ คลาสซีมีการขยายสัญญาณขาเข้าเพียงช่วงสั้นๆ เท่านั้น จึงมีประสิทธิภาพดีที่สุดในบรรดาวงจรขยายทั้งหมด

2.4 การมอดูเลชั่นทางแอมปลิจูด (Amplitude Modulation)

จากความต้องการติดต่อสื่อสารระยะทางไกล สัญญาณเสียงพูดของมนุษย์ซึ่งอยู่ในย่านความถี่ต่ำจะมีความยาวคลื่นมาก หากต้องการส่งเสียงพูดออกไปในอากาศก็จำเป็นที่จะต้องมีสายอากาศที่ขนาดสูงมาก ซึ่งไม่เหมาะสมและอาจมีสัญญาณรบกวนได้ง่าย จึงมีการคิดค้นเทคนิคที่ทำให้เปลี่ยนความถี่ของเสียงพูดให้ไปอยู่ในอีกช่วงความถี่หนึ่งบนแถบความถี่ ซึ่งเหมาะสมสำหรับการส่งออกอากาศ การมอดูเลชั่น เป็นเทคนิคที่สำคัญเป็นวิธีการเปลี่ยนรูปแบบของสัญญาณหนึ่ง (ในที่นี้คือสัญญาณคลื่นพาห์ หรือ Carrier) ให้เป็นไปตามรูปแบบของสัญญาณอีกชุดหนึ่ง ซึ่งเป็นข้อมูลหรือเสียงพูดที่ต้องการส่ง เรียกสัญญาณข้อมูลหรือเสียงพูดนี้ว่า “มอดูเลติงซิกแนล” (modulating signal) ส่วนสัญญาณคลื่นพาห์ถูกเรียกว่า “แคเรียร์” (carrier) หรือมอดูเลทเวฟ (modulated wave)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอมปลิจูดมอดูเลชั่น เป็นวิธีการที่คิดค้นได้ก่อนในบรรดาเทคนิคการมอดูเลทอื่นๆ เป็นการนำเอาสัญญาณสองชุดมาผสมกัน โดยสัญญาณแรกเป็นข้อมูลหรือเสียงพูดที่ต้องการส่ง สัญญาณที่สองเป็นสัญญาณคลื่นพาห์ แอมปลิจูดมอดูเลชั่นเป็นการนำสัญญาณข้อมูลมาปรับเปลี่ยนขนาดแอมปลิจูดของสัญญาณคลื่นพาห์โดยที่ความถี่ค่าหนึ่งคือ f_s และสัญญาณคลื่นพาห์มีความถี่เป็น f_c ผลลัพท์จากการมอดูเลทจะเป็นดังรูป 2.6



รูปที่ 2.7 สัญญาณข้อมูลสัญญาณคลื่นพาห์และสัญญาณผลลัพธ์ที่ได้รับการมอดูเลท

จากรูปที่ 2.6 เส้นประซึ่งเกิดจากการต่อของแอมปลิจูดของสัญญาณผลลัพธ์จะเรียกว่า “เอนเวล-โลป” (envelope) ซึ่งมีลักษณะและความถี่เช่นเดียวกันกับสัญญาณข้อมูล

2.4.1 ลักษณะของสัญญาณที่ได้รับจากการทำแอมปลิจูดมอดูเลชั่น

สัญญาณรูปซายน์นั้นโดยปกติสามารถอธิบายได้ด้วยสมการ 2.3

$$v(t) = V\sin(2\pi ft) \tag{2.3}$$

เมื่อกำหนดให้

V_S คือแอมปลิจูดสูงสุดของสัญญาณรูปซายน์ความถี่ f_S มีหน่วยเป็นโวลท์ (Volt: V)

V_C คือแอมปลิจูดสูงสุดของสัญญาณรูปซายน์ความถี่ f_C มีหน่วยเป็นโวลท์ (Volt: V)

$v_S(t)$ คือสัญญาณรูปซายน์ความถี่ f_S มีหน่วยเป็นโวลท์ (Volt: V)

$v_C(t)$ คือสัญญาณรูปซายน์ความถี่ f_C มีหน่วยเป็นโวลท์ (Volt: V)

t คือเวลาใด ๆ มีหน่วยเป็นวินาที

จะได้ว่าสัญญาณข้อมูล

$$v_S(t) = V_S\sin(2\pi ft) \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสัญญาณคลื่นพาห์

$$v_C(t) = V_C \sin(2\pi ft) \tag{2.5}$$

จากรูปคลื่นผลลัพธ์ทำให้พอสรุปได้ว่า ค่าโวลเตจที่เวลาใด ๆ ของสัญญาณเกิดจาก ผลรวมของค่าแอมปลิจูดสูงสุดของสัญญาณคลื่นพาห์กับค่าแอมปลิจูดที่เวลาใด ๆ ของสัญญาณข้อมูลจะได้ค่าตามสมการ

$$v_1(t) = V_C + V_S(t)$$
$$v_1(t) = V_C + V_S \sin(2\pi ft)$$

ค่า v_1 (t), $v_1(t)$ เป็นค่าของแอมปลิจูดของสัญญาณผลลัพธ์ตามที่เรียกว่า เอนเวลโลป ดังนั้นสมการที่แสดงถึงรูปคลื่นผลลัพธ์คือ

$$v_{AM}(t) = V_1 \sin(2\pi f_C t)$$
$$v_{AM} = [V_C + V_S \sin(2\pi f_S t)]\sin(2\pi f_C t)$$
$$= V_C \sin(2\pi f_C t) + [V_S \sin(2\pi f_S t)]\sin(2\pi f_C t)$$

พิจารณาจะได้ว่า สัญญาณคลื่นพาห์ + (สัญญาณข้อมูล × สัญญาณคลื่นพาห์)

นั่นคือส่วนแรกจะเป็นสัญญาณคลื่นพาห์และส่วนที่สองจะเป็นผลคูณของสัญญาณคลื่นพาห์กับสัญญาณข้อมูล ดังนั้นวงจรที่จะนำมาใช้สร้างแอมปลิจูดมอดูเลชันจะต้องเป็นวงจรคูณสัญญาณ ซึ่งมีชื่อเรียกสำหรับการทำ AM ว่า "มอดูเลเตอร์" (modulator) และจากสูตรตรีโกณมิติที่ผลคูณของซายน์

$$\sin A \sin B = \frac{\cos A - \cos B}{2} - \frac{\cos A + \cos B}{2}$$

$$v_{AM}(t) = V_C \sin(2\pi f_C t) + \frac{V_S}{2}\cos 2\pi(f_C - f_S)t - \frac{V_S}{2}\cos 2\pi(f_C + f_S)t$$

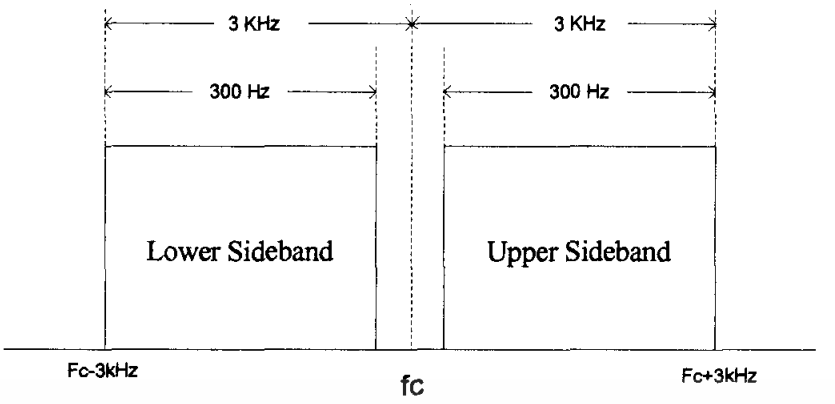
จากสมการข้างต้นชี้ให้เห็นว่า ผลจากการทำแอมปลิจูดมอดูเลชันจะได้สัญญาณที่ความถี่ใกล้เคียงกับสัญญาณคลื่นพาห์ออกมาด้วย เป็นสัญญาณที่มีความถี่ต่ำและความถี่สูงกว่าสัญญาณคลื่นพาห์ เรียกว่า "ไซด์แบนด์" หรือ "ไซด์ฟรีเควนซี" (side band or side frequency)

f_{USB} = Upper Side Band Frequency = $f_C + f_S$

f_{LSB} = Lower Side Band Frequency = $f_C - f_S$

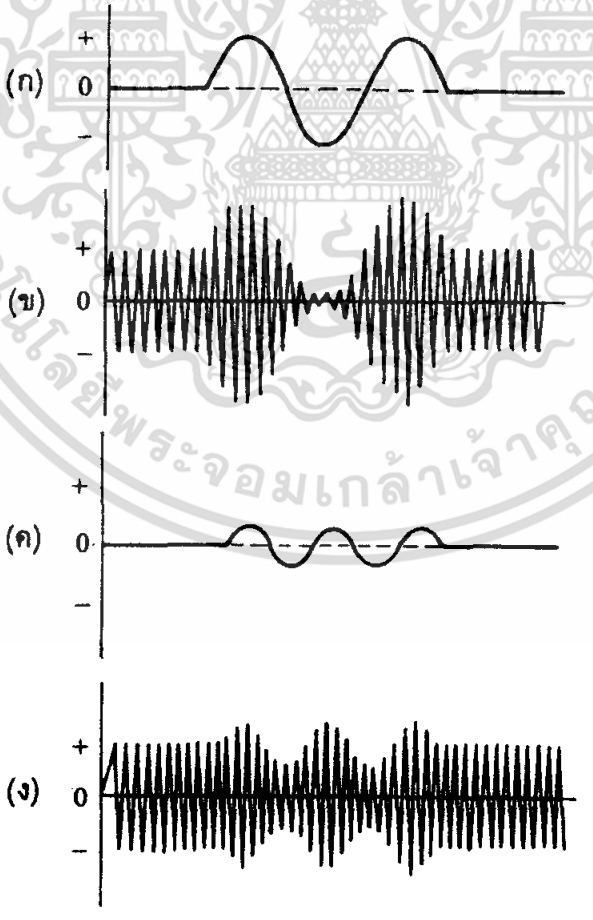
จากการวัดด้วยออสซิลโลสโคป (Oscilloscope) สัญญาณที่ได้จะไม่สามารถแยกได้ว่ามีความถี่ข้างเคียงที่เกิดขึ้นด้วย แต่ถ้าใช้สเปกตรัมอนาไลเซอร์ (spectrum analyzer) วิเคราะห์สัญญาณของแอมปลิจูดมอดูเลชั่น จะได้กราฟในฟรีเควนซีโดเมน (frequency domain) ดังแสดงในรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 สัญญาณแอมปลิจูดมอดูเลชั่นในแกนความถี่

จากรูปที่ 2.7 ทำให้ทราบว่าสัญญาณที่ได้จากการมอดูเลทจะมีความถี่ใกล้เคียงเกิดขึ้นทั้งด้านบนและด้านล่างของความถี่คลื่นพาห์ จะได้ว่า ต้องใช้ความกว้างของแถบสัญญาณหรือที่เรียกว่า แบนด์วิดธ์ (Bandwidth) เป็นจำนวนสองเท่าของความถี่สูงสุดของสัญญาณข้อมูล ดังนั้นถ้าสัญญาณข้อมูลมีความถี่ f_S ที่ 5 kHz จะได้ว่าต้องใช้แบนด์วิดธ์เท่ากับ 10 kHz สำหรับสัญญาณ AM



รูปที่ 2.9 การใช้สัญญาณเสียงที่มีขนาดมากและน้อยเพื่อมอดูเลทบนคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

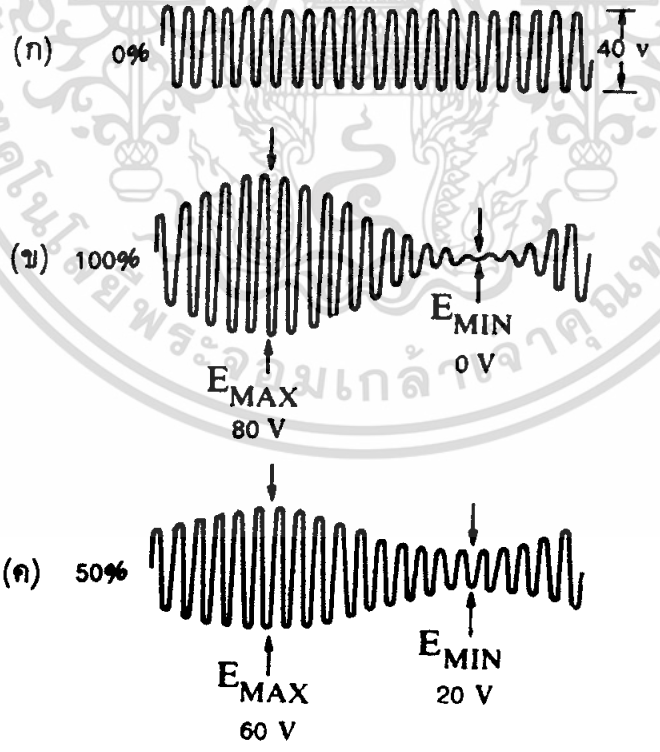
2.4.2 ดัชนีการมอดูเลท

ในรูปที่ 2.8 จะเห็นว่าปริมาณการมอดูเลทของสัญญาณเสียงลงบนคลื่นพาห์จะไม่เท่ากัน สังเกตได้ว่าแอมปลิจูดของคลื่นพาห์เปลี่ยนแปลงมากในรูปที่ 2.8(ข) และเปลี่ยนน้อยมากในรูปที่ 2.8(ง) ปริมาณการมอดูเลทนี้นิยมวัดเป็นเปอร์เซ็นต์ (บางทีเรียกว่า "แฟกเตอร์การมอดูเลท" มีค่าตั้งแต่ 0 ถึง 1) รูปที่ 2.9 คลื่นพาห์ที่ยังไม่มีการมอดูเลทเรียกว่า มีเปอร์เซ็นต์การมอดูเลทเท่ากับศูนย์ ในรูปที่ 2.9 (ก) สมมติว่าคลื่นพาห์มีแอมปลิจูดจากยอดบวกถึงยอดลบเท่ากับ 40 V_{P-P}

ในรูปที่ 2.9 (ข) คลื่นพาห์ถูกมอดูเลทด้วยสัญญาณเสียงเต็มที่ 100 เปอร์เซ็นต์ แอมปลิจูดของคลื่นพาห์จะตกลงมาถึงศูนย์ และแอมปลิจูดยอดบวกถึงยอดลบของคลื่นพาห์จะให้ได้สูงสุด 80 V_{P-P} อย่างไรก็ตามค่าแอมปลิจูดโดยเฉลี่ยของคลื่นพาห์ยังคงเป็น 40 V_{P-P} เท่าเดิม

ในรูปที่ 2.9 (ค) คลื่นพาห์ถูกมอดูเลทเพียง 50 เปอร์เซ็นต์ แอปลิจูดของคลื่นพาห์สูงสุด 60 V_{P-P} และต่ำสุด 20 V_{P-P} แอมปลิจูดเฉลี่ยของคลื่นพาห์เท่ากับ 40 V_{P-P} [จาก (60+20)/2 = 40 V_{P-P}] เช่นเดิม เราสามารถใช้สูตรคำนวณได้จากสมการต่อไปนี้

$$\text{เปอร์เซ็นต์การมอดูเลท} = \frac{E\max - E\min}{E\max + E\min} \times 100$$

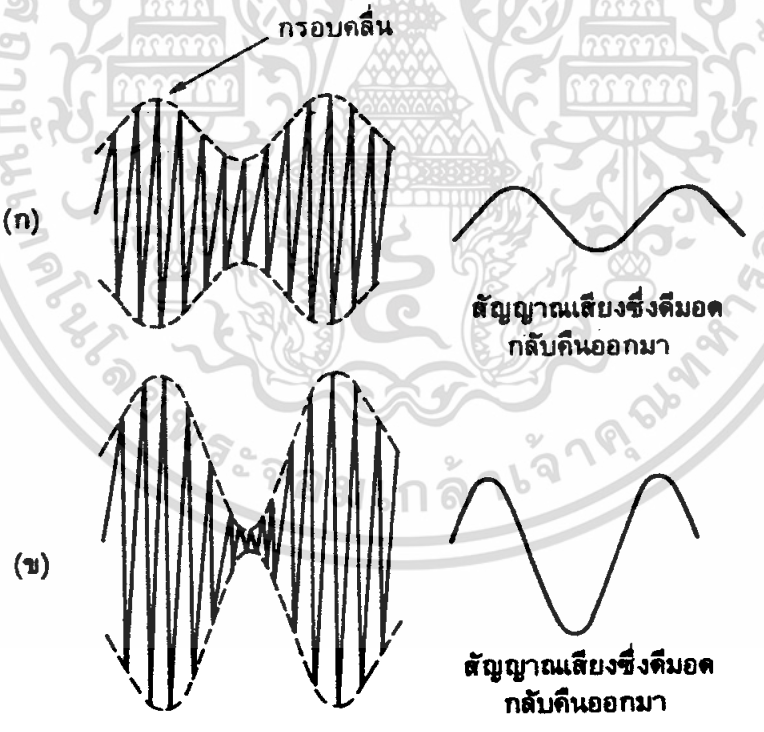


รูปที่ 2.10 การวัดเปอร์เซ็นต์การมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติเราต้องการให้เปอร์เซ็นต์การมอดูเลทมีค่าสูงสุด เพื่อว่าสัญญาณเสียงที่รับได้ที่เครื่องรับจะมีกำลังแรง (เสียงดัง) ดูรูปที่ 2.10 เนื่องจากเครื่องรับ AM จะเป็นคลื่น AM เป็นสัญญาณเสียง โดยการแยกเอาเฉพาะสัญญาณที่เข้าไปมอดูเลทลงบนคลื่นพาห์กลับคืนจากคลื่น AM (คือดีมอดนั่นเอง) ฉะนั้นสัญญาณเสียงที่รับได้ในกรณีที่ว่ามอดูเลทมาแรง (เปอร์เซ็นต์การมอดูเลทมีค่าสูง) จะได้เสียงดังกว่า นั่นคือในที่นี้รูปที่ 2.10 (ข) จะให้สัญญาณเสียงดังกว่ารูปที่ 2.10 (ก) เพราะเปอร์เซ็นต์การมอดูเลทมากกว่า

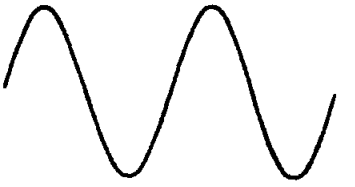
อย่างไรก็ตามการมอดูเลทต้องไม่สูงเกินไป (ไม่เกิน 100 เปอร์เซ็นต์) เพราะจะทำให้สัญญาณเสียงที่รับได้ที่เครื่องรับเกิดความผิดเพี้ยน การมอดูเลทมากเกินไปนี้เรียกว่า "การมอดูเลทเกิน" (over modulation) หรือเรียกย่อ ๆ ว่า โอเวอร์มอด จะเห็นว่าแอมปลิจูดสัญญาณ AM ลดลงได้ไม่ต่ำกว่าศูนย์ ไม่ว่าจะมอดูเลทแรงเท่าใดก็ตาม ยิ่งถ้าสัญญาณที่มอดูเลทมีค่ามาก คลื่นพาห์จะหายไปบางส่วนเสียด้วยซ้ำ ดังนั้นกรอบคลื่นของสัญญาณ AM จึงมีรูปร่างผิดไปจากสัญญาณเสียงที่เข้าไปมอดูเลท ดังในรูปที่ 2.11 (ก) เป็นสัญญาณที่เข้าไปมอดูเลท (คือสัญญาณเสียง) รูปที่ 2.11 (ข) เป็นคลื่นพาห์ที่ยังไม่มีการมอดูเลท รูปที่ 2.11 (ค) เป็นคลื่นพาห์ที่มอดูเลทด้วยสัญญาณเสียงที่มีความแรงมากเกินไปทำให้คลื่นพาห์บางช่วงหายไป เมื่อเครื่องรับดีมอดสัญญาณเสียงกลับมาจะมีลักษณะเหมือนกับกรอบคลื่นซึ่งเพี้ยนไปจากเดิม ดังรูปที่ 2.11 (ง)



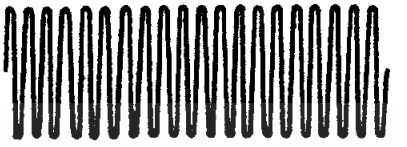
รูปที่ 2.11 แอมปลิจูดของสัญญาณเสียงที่ดีมอดคืนมาได้ที่เครื่องรับจะมีความแรงมากน้อยขึ้นอยู่กับเปอร์เซ็นต์ ของการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

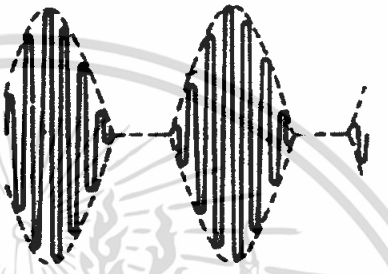
(ก) สัญญาณที่เข้าไปมอดูเลท



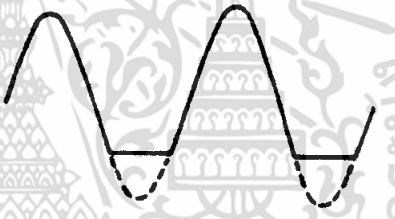
(ข) พาหะที่ยังไม่ได้ถูกมอดูเลท



(ค) รูปคลื่น AM เมื่อมอดูเลทมาก เกินไป



(ง) สัญญาณที่ดีมอดกลับคืนออกมา



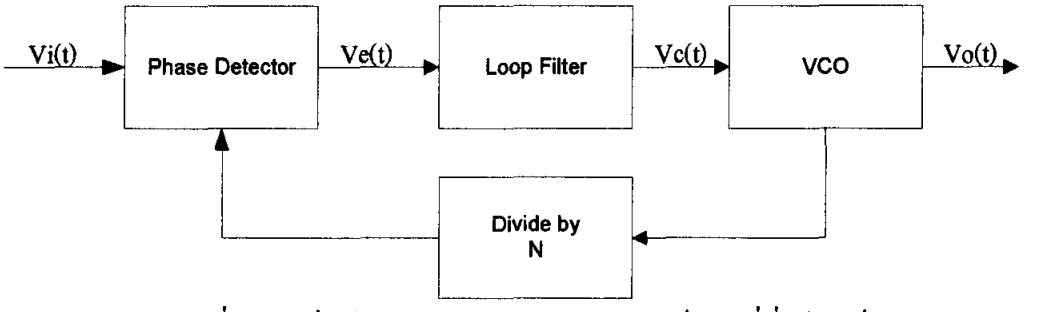
รูปที่ 2.12 การโอเวอร์มอดจะทำให้สัญญาณที่ได้จากการดีมอด ที่เครื่องรับมีความเพี้ยน

2.5 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป (Phase-locked-loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด โดยการประยุกต์ใช้งานของเฟสล็อกลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่ และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป แสดงดังรูปที่ 2.12 ประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase detector : PD)
2. ลูปฟิลเตอร์ (Loop filter)
3. วงจรออสซิลเลอเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)

83277
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

การทำงานคร่าว ๆ สามารถอธิบายได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (Control voltage) $V_C(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_0 กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสอง เนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_C(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 ถ้าความถี่ f_R ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อกลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาต์พุตของ VCO ที่ถูกหารโดย N จะทำให้ VCO ซิงโครไนส์หรือ ล็อก (lock) กับสัญญาณอินพุตที่ป้อนเข้ามา ขณะที่ทำการล็อกนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อกความถี่จะได้ว่า

$$f_R = f_D$$

และความถี่ที่ได้จากการหาร

$$f_d = f_0 / N$$

ดังนั้นความถี่ที่เอาต์พุทจะได้เป็น

$$f_0 = Nf_d$$

แต่ในสภาวะล็อกความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่ง (free running) ให้เท่าตัวได้เองทำให้เฟสล็อกลูปสามารถติดตามการล็อกกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน (Capture range) จะขึ้นกับของแบนด์ของวงจรกรองความถี่และอัตราขยายลูปปิดของระบบทั้งหมด เฟสล็อกลูปที่มีการหาความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่ จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เราต้องการกำหนด ช่วงค่าใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชัน (Resolution)

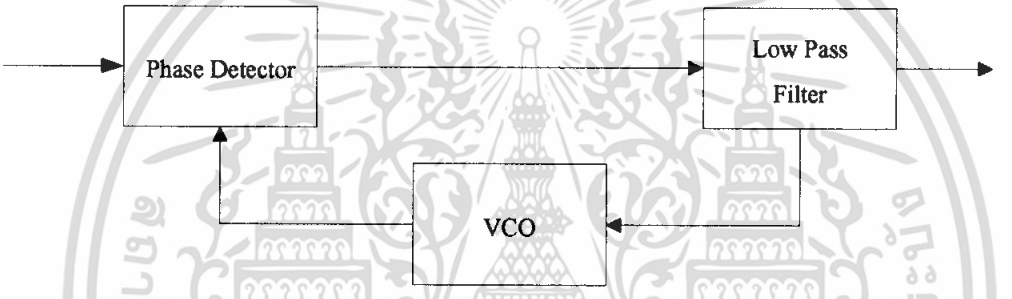
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 วงจรเฟสล็อกลูป (PPL: Phase Lock Loop)

วงจรเฟสล็อกลูปเป็นหลักการทางการป้อนกลับที่น่าสนใจและนำมาประยุกต์ในวงจรต่าง ๆ มากมาย เช่น การสังเคราะห์ความถี่ (Frequency synthesis), การคูณความถี่ (Frequency multiplication) และ เอฟเอ็ม/เอเอ็มดีมอดูเลชัน (FM/AM demodulation) เนื่องจากว่าในปัจจุบันวงจรเฟสล็อกลูปจะอยู่ในรูปของวงจรรวมที่สามารถหาได้ในตลาดทั่ว ๆ ไป

วงจรเฟสล็อกลูป จะประกอบด้วยส่วนสำคัญ 3 ส่วน ได้แก่

1. ส่วนเปรียบเทียบเฟส (PD : Phase Detector)
2. ลูปฟิลเตอร์ (Loop Filter)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวงจรวีซีโอ (Voltage Controlled Oscillator)

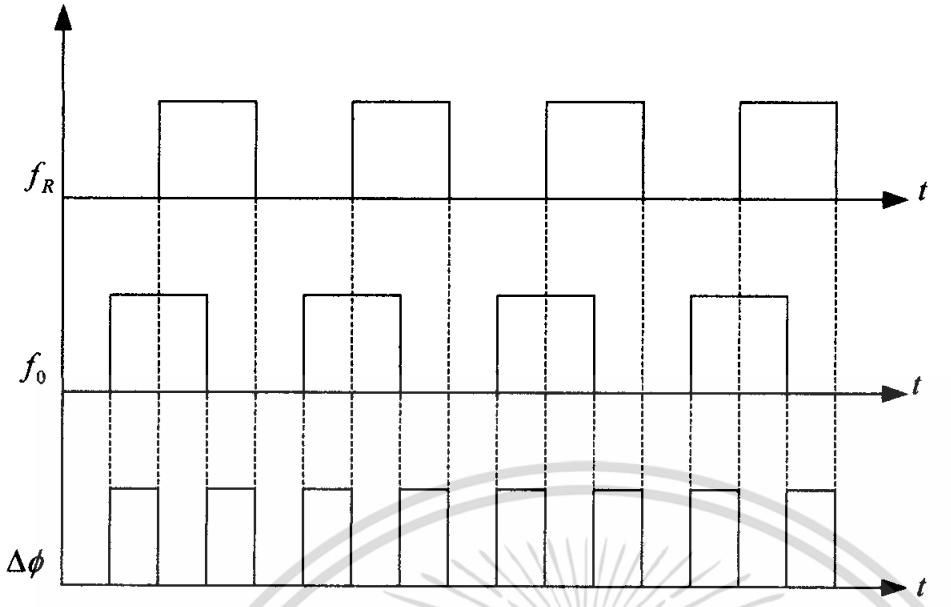


รูปที่ 2.14 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป

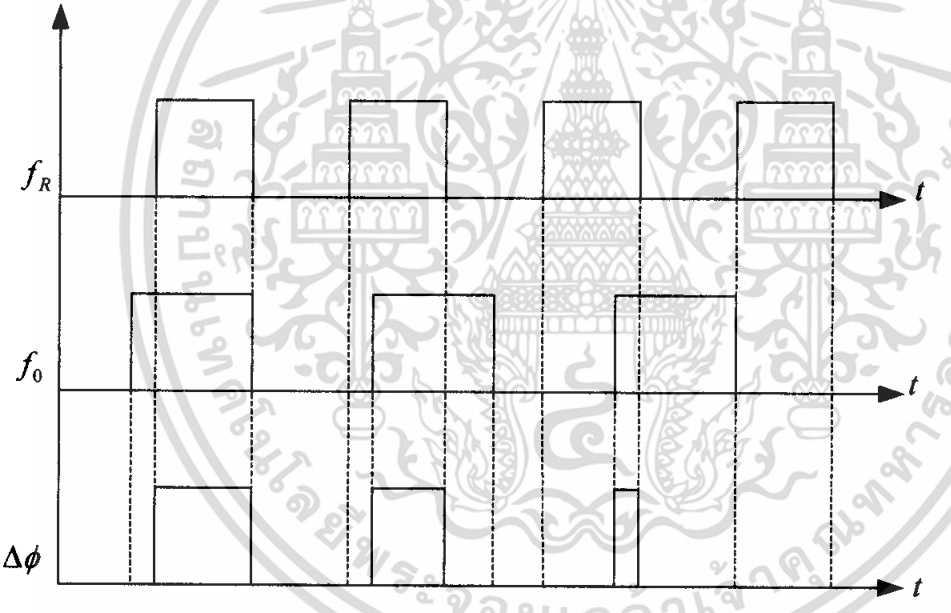
แต่ละส่วนจะมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1. เฟสดีเทคเตอร์ ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีผลของเฟสที่ต่างกันเรียกว่าความผิดพลาดเฟส (Phase error) ความผิดพลาดเฟสนี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนความผิดพลาดเฟสนี้ให้กลายเป็นระดับแรงดันด้วยค่าคอนเวอร์ชันเกน ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะแสดงดังรูปที่ 2.14 และรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ผลต่างเฟสเมื่อความถี่เท่ากัน



รูปที่ 2.16 ผลต่างเฟสเมื่อความถี่อินพุตไม่เท่ากัน

เฟสดีเทคเตอร์จะใช้กัน 2 แบบ คือแบบที่ 1 และแบบที่ 2

1.1 เฟสดีเทคเตอร์แบบที่ 1 จะถูกออกแบบมาเพื่อทำการตรวจจับคลื่นสี่เหลี่ยม (Square wave) ต่าง ๆ ทั้งทางแอนะลอกหรือทางดิจิตอล ซึ่งเฟสดีเทคเตอร์แบบที่ 1 จะมีความสัมพันธ์เป็นเชิงเส้นสำหรับเฟสอินพุตในช่วงหนึ่งตั้งแต่ $0-\pi$

1.2 เฟสดีเทคเตอร์แบบที่ 2 จะทำการตรวจจับการเปลี่ยนแปลงสถานะหรือของสัญญาณ โดยวงจรเฟสดีเทคเตอร์ชนิดนี้จะผลิตพัลส์บวกหรือลบขึ้นอยู่กับการนำหน้า (Lead) หรือตามหลัง (Lag) ของสัญญาณ วงจรวีซีโอ เมื่อเปรียบเทียบกับสัญญาณอ้างอิง ความกว้างของพัลส์เหล่านี้จะเท่ากับช่วงกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างขอบของสัญญาณอินพุททั้งสองของเฟสดีเทคเตอร์และจะเป็นตัวกำหนดขนาดของแรงดันที่ป้อนให้วีซีโอ ข้อดีของเฟสดีเทคเตอร์ชนิดนี้คือการมีเอาท์พุทที่ไม่มีการกระเพื่อม (Ripple) ที่เอาท์พุทเหมือนในกรณีของเฟสดีเทคเตอร์แบบที่ 1

2. ลูปฟิลเตอร์(Loop Filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณไฟฟ้ากระแสตรงที่มีแรงดันไฟฟ้ากระแสสลับร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถจับ (Capture) สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อกไว้ได้อีกด้วย

1. วงจรขยายสัญญาณ (Amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้นเอาท์พุทของวงจรนี้จะป้อนให้แก่วงจรวีซีโอ

2. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวงจรวีซีโอ (VCO) ทำหน้าที่ผลิตความถี่สัญญาณโดยการควบคุมระดับแรงดันเอาท์พุทด้วยคอนเวอร์ชันเกน ระดับของแรงดันนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อกมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวงจรวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน เนื่องจากวงจรออสซิลเลเตอร์เป็นวงจรผลิตความถี่สัญญาณจึงเป็นส่วนที่จำเป็นสำหรับวงจรเฟสล็อกลูป วงจรวีซีโอไม่จำเป็นต้องมีความสัมพันธ์เป็นเชิงเส้นกับแรงดันไฟฟ้าที่มาควบคุมมากนักในกรณีทั่ว ๆ ไป แต่ถ้าไม่เป็นเชิงเส้นมากเกินไปแล้วอัตราขยายรอบก็จะเปลี่ยนแปลงไปตามความถี่ของสัญญาณด้วย ฉะนั้นจึงต้องคำนึงถึงความเสถียรภาพของลูปด้วย

การทำงานของระบบเฟสล็อกลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุต Vi(t) กับความถี่ของวงจรวีซีโอ และทำให้ได้ความผิดพลาดของแรงดัน $V_e(t)$ และกรองผ่านลูปฟิลเตอร์ไปควบคุมอินพุทของวงจร VCO รูปของแรงดันควบคุมเพื่อควบคุมความถี่ของวงจรวีซีโอ ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อกลูปความผิดพลาดของแรงดันจะผ่าน ลูปฟิลเตอร์ $V_d(t)$ ในฟีดแบ็กลูปจะมีค่าเป็นศูนย์ วงจรวีซีโอจะทำงานที่ความถี่ศูนย์กลาง ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่งของวีซีโอ

ถ้าสัญญาณอินพุทเป็นไฟฟ้ากระแสสลับป้อนให้กับระบบเฟสล็อกลูปและสัญญาณดังกล่าวมีความถี่อินพุทใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียงการฟีดแบ็คของเฟสล็อกลูปจะทำให้ได้ความผิดพลาดของแรงดันไปขับวงจรวีซีโอให้มีความถี่ซิงโครไนส์กับความถี่อินพุท ซึ่งแสดงว่าระบบเฟสล็อกลูปมีเอาท์พุทล็อกกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อกลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

1. เมื่อระบบไม่อยู่ในสภาวะล็อก $(\omega_i \neq \omega_0)$

เราสมมติสัญญาณ V_i และ V_o เป็นสัญญาณรูปคลื่นไซน์มีค่าเป็น

$$V_i = E_i \cos(\omega_i t + \theta_i)$$

$$V_o = E_o \cos(\omega_o t + \theta_o)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์จะได้สัญญาณเอาต์พุตของเฟดีเทคเตอร์เป็น

$$V_e(t) = K_d \cos\left[(\omega_i - \omega_o)t + \theta_i - \phi_o\right] + K_d \cos\left[(\omega_i + \omega_o)t + \theta_i + \phi_o\right]$$

เมื่อนำสัญญาณผ่านวงจรกรองความถี่ต่ำผ่านจะได้เป็น

$$V_d(t) = K_d \cos\left[(\omega_i - \omega_o)t + \theta_i - \phi_o\right]$$

เนื่องจาก V_i และ V_o ไม่ซิงโครนัสกัน ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นไซน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_i และ V_o คือ ω_i และมีค่าแตกต่างกันมาก ดังนั้นแรงดันไฟฟ้า V_d จะมาสามารถผ่านลูปฟิลเตอร์ได้ทำให้ได้ค่า V_d และค่าฟีดแบ็กของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูป แรงดันเอาท์พุทของวงจรวีซีโอจะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_o และ ϕ_o จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ ϕ_i จะพูดได้ว่าลูปไม่อยู่ในสภาวะล็อก แต่ถ้า $\omega_i - \omega_o = \pm\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็กจะมีผลทำให้ระบบเข้าสู่สภาวะล็อกได้

2. เมื่อระบบเข้าสู่ระบบล็อก $(\omega_i = \omega_o)$

ในกรณีที่สัญญาณเอาต์พุตวงจรวีซีโอ มีความถี่ซิงโครนัสกับสัญญาณอินพุต V_i กับสัญญาณเอาต์พุต V_o จะมีค่าเป็น

$$V_o = E_o \cos(\omega_i t - \psi_o) \tag{2.6}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาต์พุตจะเป็นฟังก์ชันเชิงเส้นกับเวลา ซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \tag{2.7}$$

และสัญญาณเอาต์พุตของเฟสดีเทคเตอร์หรือความผิดพลาดของสัญญาณ จะกลายเป็นสัญญาณไฟตรง มีค่าเท่ากัน

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.8}$$

ลูปฟิลเตอร์ จะยอมให้สัญญาณไฟฟ้ากระแสตรง Vi ผ่านได้และมีค่าเท่ากัน

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.9}$$

วงจรวีซีโอจะเป็นออสซิลเลเตอร์ชนิดมอดูเลตความถี่ ความถี่เชิงมุมที่เปลี่ยนอย่างทันทีทันใดของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรง (ω_{inst}) จะเป็นฟังก์ชันเชิงเส้นกับสัญญาณควบคุมอินพุท Vc โดยความถี่เชิงมุมที่ศูนย์กลางเป็น

$$\omega_{inst} = \frac{d(\omega_o t + \phi_o)}{dt} = \omega_o + K_o V_d \tag{2.10}$$

$$\frac{d(\phi_o)}{dt} = K_o V_d$$

เมื่อ k_o เป็นความไวในการมอดูเลทของวงจรวีซีโอ

แทนค่าสมการ (2.10) ลงใน (2.9) จะได้

$$\omega_i - \omega_o = K_d K_o \cos(\theta_i - \psi_o) \tag{2.11}$$

$$\psi_o = \theta_i - \cos^{-1}\left[(\omega_i - \omega_o)/K_d K_o\right] \tag{2.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ Vd สามารถเขียนได้เป็น

$$V_d = (\omega_i - \omega_o)/K \tag{2.13}$$

ส่วนประกอบไฟฟ้ากระแสสลับของเฟสดีเทคเตอร์เอาต์พุท V_d จะผ่านวงจรกรองความถี่ต่ำผ่านไปเป็นแรงดันควบคุมให้กับอินพุทของวงจรวีซีโอ

จากสมการ (2.13) จะเห็นได้ชัดเจนว่า สัญญาณไฟฟ้ากระแสตรง V_d จะไปทำให้ความถี่เชิงมุมของวงจรวีซีโอมีค่าเปลี่ยนไปจากศูนย์กลางของวงจรวีซีโอคือ ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั้นคือ

$$\omega_{inst} = \omega_o + K_o V_d = \omega_o + (\omega_i - \omega_o) = \omega_i \tag{2.14}$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $\omega_i - \omega_o$ มีค่าน้อยกว่าผลคูณของ $K_o K_d$ อย่างมาก สมการ (2.13) จะมีค่าเป็น

$$\theta_i - \psi_o \cong \cos^{-1} 0 = \pi/2 \tag{2.15}$$

จากสมการ (2.15) หมายความว่า ถ้าความถี่ออฟเซตระหว่างสัญญาณอินพุทและสัญญาณวงจรวีซีโอจะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อกและสัญญาณวงจรวีซีโอ จะมีเฟสต่างกับสัญญาณอินพุท 90° เมื่อลูปอยู่ในสภาวะล็อกหรือเฟสควอดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_o
ด้วยค่าเฟสเอาท์พุท θ_o ดังนั้น

$$\theta_o = \psi_o - \pi/2 \tag{2.16}$$

แรงดันไฟฟ้าเอาท์พุทของเฟสดีเทคเตอร์เขียนได้เป็น

$$\begin{aligned} V_d &= K_d \cos(\theta_i - \psi_o) \\ &= K_d \cos[(\theta_i - \theta_o) - \pi/2] \\ &= K_d \sin(\theta_i - \theta_o) \end{aligned} \tag{2.17}$$

จากสมการ (2.13) และ (2.17) จะได้ค่าความผิดพลาดเฟสเป็น

$$\theta_i - \theta_o = \sin^{-1}(\omega_i - \omega_o)/K_d K_o \tag{2.18}$$

เมื่อผลต่างของเฟส $\theta_i - \theta_o$ มีค่าน้อยเพียงพอจะได้ว่า

$$V_d = K_d(\theta_i - \theta_o) \cong K_d \theta_c \tag{2.19}$$

เมื่อ $\theta_c = \theta_i - \theta_o$ เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อกสัญญาณของวงจรวีซีโอ จะมีเฟสต่างไปจากสัญญาณอินพุท คือ $[\theta_i - (\theta + \pi/2)]$ ดังนั้นเฟสดีเทคเตอร์จะให้แรงดันไฟฟ้าเอาท์พุทที่เป็นสัดส่วนกับความแตกต่างเฟสระหว่างสัญญาณอินพุต Vi กับสัญญาณเอาต์พุตของวงจรวีซีโอ คือ Vo ในลักษณะของควอดราเจอร์ คือ

$$\begin{aligned} V_d &= K_d[(\theta_i - \theta_o) - \pi/2] \\ &= K_d[\theta - \pi/2] \end{aligned} \tag{2.20}$$

สัญญาณเฟส V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับอินพุตที่ควบคุมวงจรวีซีโอเพื่อแก้ไขให้ความถี่ของวงจรวีซีโอเปลี่ยนจาก ω_o ไปเป็น ω_i และดำรงการล็อกให้คงอยู่ได้

$$V_d = (\omega_i - \omega_o)/K_o \tag{2.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_i = \omega_o + K_o V_d$$

จากสมการ (2.7) และ (2.8) จะหาค่าของความผิดพลาดเฟส θ_c ได้เป็น

$$\theta_i = \pi/2 + (\omega_i - \omega_o)/K_d K_o \qquad (2.22)$$

จากสมการ (2.14) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ แรงดันไฟฟ้าของวงจรวีซีโอจะมีเฟสควอดราเจอร์คือ มีเฟสต่างไปจาก 90° เมื่อ ω_i เคลื่อนทางสูงกว่า ω_o มุมของเฟสขึ้นจาก 90° ไปสู่ค่าสุงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อกและถ้า ω_i เคลื่อนไปทางต่ำกว่า ω_o มุมเฟสจะลดลงจาก 90° ไปสู่ค่า 0 ที่ล่างสุดของพิกัดการล็อก

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟสล็อกลูปจะสามารถติดตามการเปลี่ยนแปลงและอยู่ในสภาวะล็อกได้โดยจะเพิ่มค่า θ_c ให้มากขึ้นตามเวลา θ_c ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นไฟฟ้ากระแสตรง ความผิดพลาดของแรงดันไฟฟ้า Vd ไปทำให้ความถี่ของวงจรวีซีโอเลื่อนไปเท่ากับความถี่ของสัญญาณอินพุต โดย Vd จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_o ของวงจรวีซีโอ แต่จะสามารถแทรคกิ้งได้นั้นจะต้องมีความผิดพลาดเฟสน้อย

สมมติว่าระบบเฟสล็อกลูปมีเฟสอินพุทเปลี่ยนแปลงเป็นสเต็ปเท่ากับ $\Delta\omega = \omega_i - \omega_o$ ลูปต้องการควบคุมแรงดันเพื่อทำให้วงจรวีซีโอมีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_C จะมีค่าเป็น

$$V_c = \Delta\omega / K_o \qquad (2.23)$$

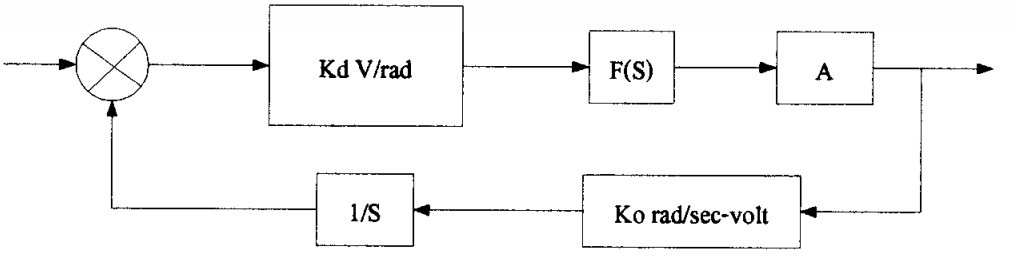
เมื่อลูปเข้าสภาวะคงที่ $V_C = V_d F(s)$ เมื่อ F(s) คือ อัตราขยายต่อสัญญาณไฟฟ้ากระแสตรงของลูปฟิลเตอร์สัญญาณ V_C จะทำให้ลูปเข้าสู่สภาวะล็อกดังเดิม ดังนั้นความผิดพลาดเฟสจะต้องเป็น

$$\begin{aligned} \theta - \pi/2 &= V_d K_d \\ &= \Delta\omega - K_o K_d F(s) \end{aligned} \qquad (2.24)$$

เมื่อความผิดพลาดเฟสมีค่าเพิ่มขึ้นลูปจะสามารถปรับตัวเองให้มีความถี่เอาท์พุทแทรกตามการเปลี่ยนแปลงของอินพุทได้ดังเดิม

เมื่อระบบอยู่ในสภาวะล็อก เราสามารถจะวิเคราะห์ระบบเฟสล็อกลูปได้ในลักษณะระบบป้อนกลับที่เป็นเชิงเส้น โดยใช้เทคนิคการวิเคราะห์ระบบย้อนกลับแบบทั่วไปด้วยลาปลาสทรานส์ฟอร์มและสมการดิฟเฟอร์เรนเชียล

2.5.2 การหาทรานส์เฟอร์ฟังก์ชันของระบบเฟสล็อกลูป



รูปที่ 2.17 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชันของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.16 K_d = ทรานส์ฟอร์มฟังก์ชันของเฟสดีเทคเตอร์

$F(s)$ = ทรานส์ฟอร์มฟังก์ชันของลูปฟิลเตอร์

A = อัตราการขยายของวงจรขยายสัญญาณ

K_o = ทรานส์ฟอร์มฟังก์ชันของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

$$\omega = \frac{d\theta}{dt} \tag{2.25}$$

$$\theta = \int \omega dt \tag{2.26}$$

จาก $\omega = s\theta$ (2.27)

และ $\theta = \omega / s$ (2.28)

เนื่องจากเอาท์พุทของวงจรวีซีโอจะเป็นค่าความถี่ที่ขึ้นอยู่กับอินพุทที่เป็นสัญญาณไฟตรง แต่เราต้องการค่าเฟส θ_{osc} ฉะนั้นจึงต้องใส่บล็อก 1/s เพื่อเปลี่ยน ω_{osc} ให้เป็น θ_i

จากทรานส์ฟอร์มฟังก์ชัน $\dfrac{A}{1-AF}$ (2.29)

เมื่อ A = อัตราขยายไปข้าง

F = อัตราขยายป้อนกลับ

จากรูป 2.16 ทรานส์ฟอร์มฟังก์ชัน คือ

$$\frac{V_o}{\theta_i} = \frac{K_d F(s) A}{1 + K_d F(s) A \dfrac{K_o}{s}} \tag{2.30}$$

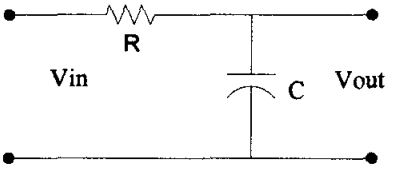
$$= \frac{sK_d F(s) A}{s + K_d F(s) A K_o} \tag{2.31}$$

โดยปกติเรามักจะให้ตัวแปรอินพุทเป็นความถี่มากกว่าเป็นเฟส จากสมการ (2.15) และ (2.16) เราจะได้ ทรานส์ฟอร์มฟังก์ชัน คือ

$$H(s) = \frac{V_o}{\omega_i} = \frac{V_o}{s\phi_i}$$

$$= \frac{sK_d F(s) A}{s + K_d F(s) A K_o} \tag{2.32}$$

ถ้าวงจรฟิลเตอร์ที่ใช้เป็นดังรูปที่ 2.17



รูปที่ 2.18 วงจรฟิลเตอร์อย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.17

$$F(s) = \frac{V_o}{V_i} = \frac{1}{1+sRC} = \frac{1}{1+s/\omega_i} \quad (2.33)$$

เมื่อแทนค่าสมการ (2.33) ลงในสมการ (2.32)

$$H(s) = \frac{V_o}{\omega_i} = \frac{1}{K_0}\left[\frac{1}{1+\frac{s}{K_v}+\frac{s^2}{\omega_1 K_v}}\right] = \frac{1}{k_o}\left[\frac{1}{1+\frac{2\xi s}{\omega_n}+\frac{s^2}{\omega_n^2}}\right] \quad (2.34)$$

$$\omega_n = \sqrt{K_v \omega_1}$$

$$\xi = 1/2\sqrt{\omega_1 / K_v}$$

เมื่อ $K_v = K_o K_d A$

เราสามารถจะนำทรานส์เฟอร์ฟังก์ชัน H(s) นี้ไปหาผลตอบสนองของระบบได้ดังนี้

จะสังเกตเห็นว่าหากแบนด์วิดธ์ของลูปฟิลเตอร์ ω ลดลงหรือค่า k เพิ่มขึ้น ค่า ξ ของลูปลดลง ผลตอบสนองทางความถี่ของลูปจะเป็นพีค และผลสนองต่อสเต็ปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท ค่าพีคในผลตอบนสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุท และเป็นสาเหตุให้เกิดการแกว่งหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะการออกแบบระบบเฟสล็อกลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดจึงการกำหนดให้ ξ มีค่าเท่ากับ $1/\sqrt{2}$ จะได้

$$\omega = 2K_v \quad (2.35)$$

และความถี่ที่คัทออฟที่ระดับสัญญาณ 3 dB แบนด์วิดธ์ของลูปจะได้เป็น

$$\omega_n = \sqrt{K_{v_1}\omega_1} = \sqrt{2}K_v \quad (2.36)$$

วงจรเฟสล็อกลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องให้มีพิสัยการล็อกกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิดธ์ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อกลูปสามารถดำรงการล็อกไว้ได้กับสัญญาณอินพุท เราเรียกว่า "พิสัยการล็อก" เราสามารถหาพิสัยการล็อกได้โดยพิจารณาจากสมการของความผิดพลาดเฟสซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราพบว่าความผิดพลาดเฟสจะมีค่ามากที่จุดเท่ากับ π น้อยที่สุดเท่ากับศูนย์จะได้พิสัยการล็อก $\Delta\omega = \omega_i - \omega_o$ เท่ากับ

$$\Delta\omega = (\theta_e - \pi/2)K_o K_d F(s) \tag{2.37}$$

เมื่อ $\theta_{e\max} = \theta_{e\min} = \pi$

$$\Delta\omega = (\pm\pi/2)K_o K_d F(s)$$

$$2\Delta\omega_L = (\pm\pi)K_o K_d F(s) \tag{2.38}$$

เมื่อ $\Delta\omega_i$ คือ พิสัยการล็อก

เราสังเกตได้ว่า ถ้า ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o มาก โดยมีค่าไม่สอดคล้องกับสมการที่ (2.28) สภาวะสมดุลของการซิงโครนัสจะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อกกับความถี่ของสัญญาณอินพุท

การวิเคราะห์ถึงพิสัยการล็อกระบบต้องมีสภาวะเดิมล็อกอยู่กับความถี่อินพุทแล้ว แต่มีอีกอย่างที่เราควรพิจารณาเมื่ออยู่ในสภาวะที่ระบบยังไม่ล็อกกับสัญญาณอินพุทเพื่อกำหนดช่วงความถี่ ซึ่งระบบเฟสล็อกลูปสามารถล็อกกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า พิสัยแคปเจอร์ ซึ่งจะสัมพันธ์กับค่าความถี่คัทออฟของลูปฟิลเตอร์ ω_i และพิสัยล็อก $\Delta\omega_L$ จะได้พิสัยแคปเจอร์เท่ากับ

กรณีทั่วไป $\Delta\omega_L \rangle\rangle \omega_i$

$$\Delta\omega_e = \pm\sqrt{\omega_i \Delta\omega_L} \tag{2.39}$$

$$2\Delta\omega_e = \pm 2\sqrt{\omega_i \Delta\omega_L} \tag{2.40}$$

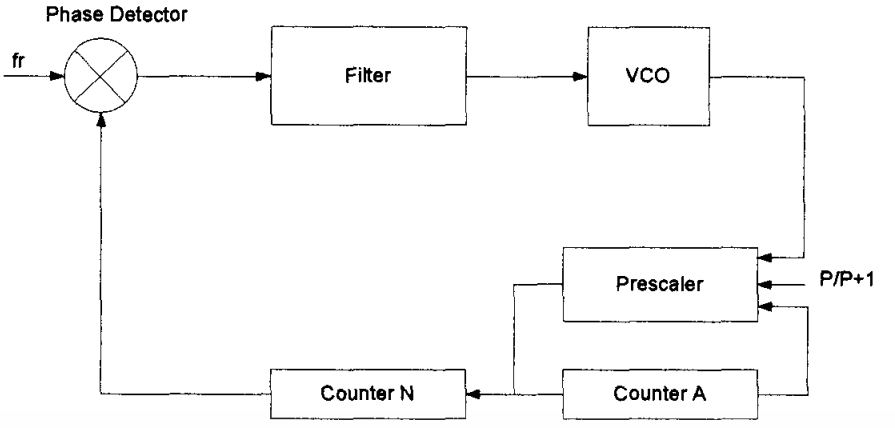
2.5.3 วงจรการสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

วงจรสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นวงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส ซึ่งมีขั้นตอนการตั้งความถี่ขั้นละเท่ากันความถี่อ้างอิง วงจรเฟสล็อกลูปในรูปที่ 2.18 ใช้พรีสเกลเลอร์ซึ่งเป็นวงจรนับที่ตัวหารเปลี่ยนค่าได้ระหว่าง P และ P+1 เราเรียกพรีสเกลเลอร์แบบนี้ว่า “พรีสเกลเลอร์แบบสองโมดูลัส” วงจรนับหารได้นั้นทำงานที่ความถี่ต่ำ

เหตุผลที่ใช้พรีสเกลเลอร์แบบสองโมดูลัสก็เพื่อลดทอนความถี่ลงและให้ใช้กับวงจรหาร N ตระกูลทีทีแอลและซีมอสได้ ทำให้สามารถสังเคราะห์ความถี่ไปถึงย่านวีเอชเอฟ (VHF) และยูเอชเอฟ (UHF) ได้

ส่วนสำคัญของวงจรคือพรีสเกลเลอร์แบบสองโมดูลัส ซึ่งเป็นไอซีตระกูลอีซีแอล (ECL) มีความสามารถในการทำงานที่ความถี่สูง จะทำการหารล่วงหน้า (prescale) ก่อน และทำงานในลักษณะที่หารได้ 2 ค่าสลับกันในไอซีตัวเดียว โดยที่ตัวหารความถี่มีค่าต่างกันอยู่หนึ่ง คือ P และ P+1 เช่นหาร 64/65 เอาต์พุตของพรีสเกลเลอร์จะป้อนไปให้แก่วงจรเคาน์เตอร์ตระกูลทีทีแอล 2 ตัว ตัวหนึ่งเป็นเคาน์เตอร์หลัก (main counter) ส่วนอีกตัวหนึ่งเป็นเคาน์เตอร์เสริม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

เคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วย P หรือ P+1 สมมติว่าป้อนข้อมูลหรือพรีเซตตัวเลขให้เคาน์เตอร์เสริมและในขณะนี้พรีสเกลเลอร์ให้ P+1 เป็นตัวหาร เคาน์เตอร์เสริมจะนับก่อนหลังลงไปเรื่อย ๆ เคาน์เตอร์หลักจะนับถอยหลังไปพร้อม ๆ กับเคาน์เตอร์เสริมเมื่อเคาน์เตอร์เสริมหยุดนับจะส่งสัญญาณบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย P และเคาน์เตอร์หลักจะนับถอยหลังต่อไปจนเป็นศูนย์ เมื่อเคาน์เตอร์หลักและเคาน์เตอร์เสริมถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่) ใหม่อีกครั้ง ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

สมมติตัวเลขที่พรีเซตให้เคาน์เตอร์หลักเป็น N และเคาน์เตอร์เสริมเป็น A เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร P+1 ซึ่งจะยังคงหารด้วย P+1 ไปจนเคาน์เตอร์เสริมจะนับลงเป็นศูนย์นั้นคือเวลาที่ในการนับของเคาน์เตอร์เสริมเป็นศูนย์คิดเป็น จำนวนไซเคิลของวีซีโอที่ผ่านไปเท่ากับ P+1 คูณด้วย A ไซเคิล

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น P โดยสัญญาณบังคับจากเคาน์เตอร์ A ในขณะนี้เคาน์เตอร์หลักนับผ่านไปแล้ว A ยังเหลืออยู่ N-A นั่นคือต้องใช้เวลานับเคาน์เตอร์หลักคิดเป็นจำนวนไซเคิลของวีซีโอที่ผ่านไปเท่ากับ P คูณด้วย N-A

ดังนั้นรวมค่าตัวหารทั้งหมดจะได้เท่ากับ

$$Nt = (P+1) + P(N-A)$$
$$= PN + A \qquad (2.41)$$

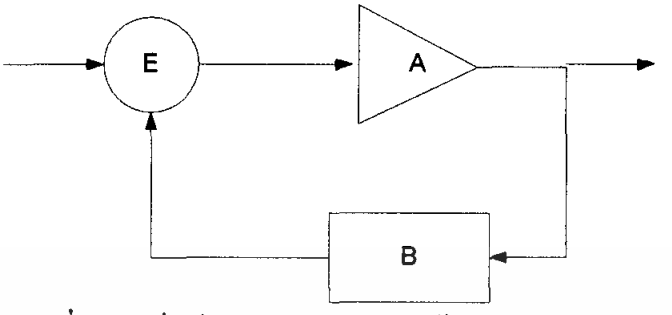
ความถี่ของวีซีโอจะเท่ากับ PN+A เท่าของความถี่อ้างอิง

$$F_{SYNTH} = F_{REF}(PN + A) \qquad (2.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรออสซิลเลเตอร์ที่ปรับค่าความถี่แรงดัน (Voltage Controlled Oscillator: VCO)

การออกแบบวงจรออสซิลเลเตอร์อาศัยหลักการของการป้อนกลับแบบบวก (Positive feedback) ตามบล็อกไดอะแกรมในรูปที่ 2.19



รูปที่ 2.20 บล็อกไดอะแกรมของระบบป้อนกลับแบบบวก

A คือ อัตราขยายของวงจรขยายในส่วนของฟอร์เวิร์ดพาท

B คือ อัตราขยายในส่วนของส่วนป้อนกลับ

วงจรออสซิลเลต ได้ก็ต่อเมื่อ (Barkhausen Criterion)

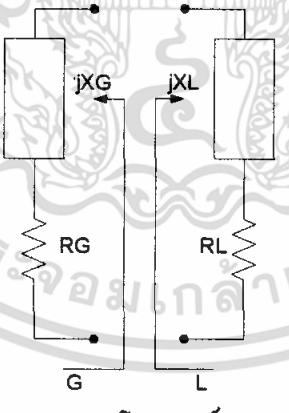
1. $|AB = 1|$

2. $\angle AB = 360^0$

ดังนั้น $A_{total} = \dfrac{A}{1 - AB}$ จะมีค่า = 1 เมื่อเกิดการออสซิลเลท

วงจรขยาย (A) จะทำการขยายสัญญาณรบกวนซึ่งเป็นการเริ่มต้นให้วงจรเกิดการออสซิลเลทหลังจากนั้นความถี่ที่ถูกออสซิลเลทจะถูกเลือกโดยวงจรเรโซแนนซ์ซึ่งแบ่งออกได้เป็น 2 รูปแบบ คือ

เรโซแนนซ์แบบอนุกรม (Series Resonance)



รูปที่ 2.21 วงจรเรโซแนนซ์แบบอนุกรม

สำหรับช่วงเริ่มต้นของออสซิลเลเตอร์

$$|G_G| \rangle G_L$$

เมื่อ G_G มีค่าเป็นเนกาทีฟคอนดักแตนซ์ (Negative conductance)

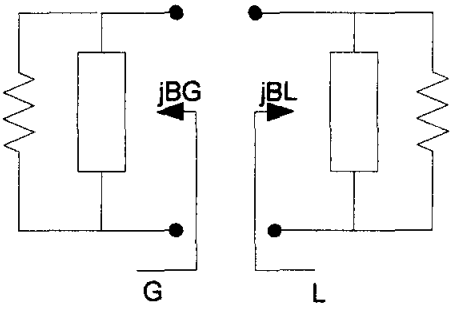
สำหรับช่วงเรโซแนนซ์หรือช่วงมีเสถียรภาพ

$$R_G + R_L = 0$$

$$X_G + X_L = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรโซแนนซ์แบบขนาน (Parallel Resonance)



รูปที่ 2.22 วงจรเรโซแนนซ์แบบขนาน

สำหรับช่วงเริ่มต้นของออสซิลเลเตอร์

$$|G_G| \rangle G_L$$

เมื่อ G_G มีค่าเป็นเนกาทีฟคอนดักแตนซ์ (Negative conductance)

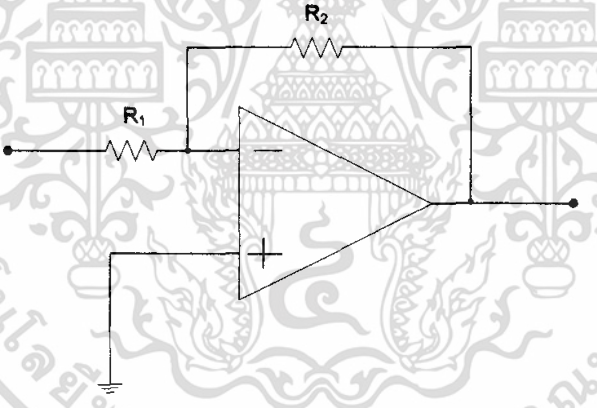
สำหรับช่วงเรโซแนนซ์หรือช่วงมีเสถียรภาพ

$$G_G + G_L = 0$$

$$B_G + B_L = 0$$

2.7 การออกแบบวงจร Loop Filter

ลูปอันดับที่ 1



รูปที่ 2.23 วงจรลูปอันดับที่ 1

$$F(s) = \frac{1}{ST + 1} \tag{2.43}$$

จะได้ Closed Loop Transfer Function คือ

$$T(s) = \frac{K_V(1/S\tau + 1)}{S + K_V(1/S\tau + 1)}$$

$$= \frac{K_V}{S(1/S\tau + 1) + K_V} \tag{2.44}$$

$$= \frac{K_V/\tau}{S^2 + S/\tau + K_V/\tau}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบกับทรานซ์เฟอร์ฟังก์ชันมาตรฐาน

$$T(s) = \frac{\omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2} \tag{2.45}$$

จะได้ว่า

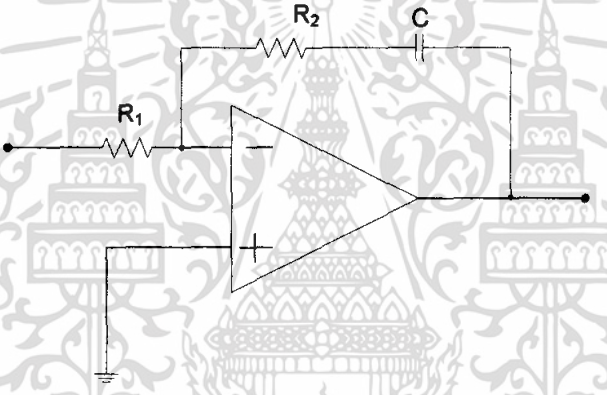
$$\begin{aligned} \omega_n^2 &= \frac{K_V}{\tau} \\ 2\xi\omega_n &= \frac{1}{\tau} \\ \xi &= \frac{1}{2\sqrt{\tau K_V}} \end{aligned} \tag{2.46}$$

เมื่อ

ω_n = Natural Angular Frequency

ξ = Damping Factor

ลูปอันดับที่ 2



รูปที่ 2.24 วงจรอันดับที่ 2

$$\begin{aligned} F(s) &= \frac{R_2 + \frac{1}{SC}}{R_1} \\ &= \frac{SR_2C + 1}{SR_1C} \\ &= \frac{S\tau_2 + 1}{S\tau_1} \end{aligned} \tag{2.47}$$

จาก

$$\begin{aligned} T(s) &= \frac{K_V F(s)}{S + K_V F(s)} \\ &= \frac{K_V \dfrac{S\tau_2 + 1}{S\tau_1}}{S + K_V \dfrac{S\tau_2 + 1}{S\tau_1}} \end{aligned} \tag{2.48}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{K_V \dfrac{S\tau_2 + 1}{S\tau_1}}{S^2 + K\dfrac{\tau_2}{\tau_1}S + K_V/\tau_1}$$

เทียบกับทรานซ์เฟอร์ฟังก์ชันมาตรฐาน

$$T(s) = \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2} \tag{2.49}$$

จะได้ว่า

$$\omega_n^2 = \frac{K_V}{\tau_1}$$

$$2\xi\omega_n = K_V\frac{\tau_2}{\tau_1} \tag{2.50}$$

$$\xi = \frac{\tau_2}{2}\sqrt{\frac{K_V}{\tau_1}}$$

ฉะนั้นสามารถปรับค่าและเป็นอิสระจากกันได้ ทำการตรวจสอบเสถียรภาพโดยใช้ Bode Plot จาก Open Loop Transfer Function

$$T'(s) = \frac{K_V F(S)}{S}$$

$$= \frac{K_V (S\tau_2 + 1)}{S^2\tau_1} \tag{2.51}$$

แทน $S = j\omega$ จะได้

$$T'(S) = \frac{2\xi\dfrac{S}{\omega_n} + 1}{\left(\dfrac{S}{\omega_n}\right)^2} \tag{2.52}$$

$$\tau_1 = \frac{K_V}{\omega_n^2}, \tau_2 = \frac{2\xi}{\omega_n}$$

เมื่อ $$|\tau'(j\omega)| = \frac{K_V}{\tau_1\omega^2}\sqrt{1+\omega^2\tau_2^2} \tag{2.53}$$

$$\left|\tau'\frac{(j\omega)}{\omega_n}\right| = \left(\frac{\omega_n}{\omega}\right)^2\sqrt{1+4\xi^2\left(\frac{\omega}{\omega_n}\right)^2}$$

พิจารณาเฟสจะได้ว่า

$$\phi\left(\frac{j\omega}{\omega_n}\right) = \tan^{-1}\left(2\xi\frac{\omega}{\omega_n}\right) - 180^\circ \tag{2.54}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้

$$X = \left(\frac{\omega}{\omega_n}\right)$$

$$|T'(jX)| = \frac{1}{X^2}\sqrt{1+4\xi^2X^2} \tag{2.55}$$

$$\phi(jX) = \tan^{-1}(2\xi X) - 180^\circ \tag{2.56}$$

คำนวณหาค่า x ในขณะที่ $\left|T'\left(\frac{j\omega_1}{\omega_n}\right)\right| = 1$

$$1 = \frac{1}{X^2}\sqrt{1+4\xi^2X^2} \tag{2.57}$$

ยกกำลังสองแล้วจัดรูปใหม่

$$X^4 - 4\xi^2X^2 - 1 = 0 \tag{2.58}$$

หารากคำตอบ

$$X = \frac{\omega_1}{\omega_n} = \sqrt{2\xi^2 + \sqrt{4\xi^4+1}} \tag{2.59}$$

แทนค่า X ลงในสมการ

$$\theta(jX) = \tan^{-1}\left(\sqrt{2\xi^2 + \sqrt{4\xi^4+1}}\right) \tag{2.60}$$

ได้ Phase margin

$$\theta_M(jX) = \theta(jX) + 180°$$

$$= \tan^{-1}\left(\sqrt{2\xi^2 + \sqrt{4\xi^4+1}}\right) \tag{2.61}$$

แบนด์วิดธ์ที่ระดับสัญญาณ -3 dB

$$|T(j\omega)| = \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2}$$

$$|T(j\omega)| = \frac{\sqrt{(2\xi\omega_n)^2\omega^2 + \omega_n^4}}{\sqrt{(\omega_n^2 - \omega^2)^2 + (2\xi\omega_n)^2\omega^2}} \tag{2.62}$$

$$|T_B(j\omega)| = \frac{1}{\sqrt{2}}$$

$$= \frac{\sqrt{(2\xi\omega_n)^2\omega_B^2 + \omega_n^4}}{\sqrt{(\omega_n^2 - \omega_B^2)^2 + (2\xi\omega_n)^2\omega_B^2}}$$

$$(\omega_n^2 - \omega_B^2)^2 + (2\xi\omega_n)^2\omega_B^2 = 2(2\xi\omega_n)^2\omega_B^2 + 2\omega_n^4$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

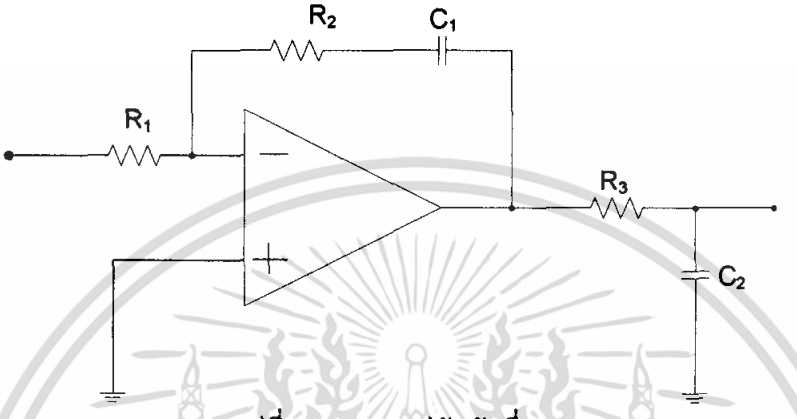
$$\omega_B^4 - (2\omega_n^2)\omega_B^2 + \omega_n^4 + (4\xi^2\omega_n^2)\omega_B^2 = 2(4\xi^2\omega_n^2)\omega_B^2 + 2\omega_n^4$$

$$\omega_B^4 - (\omega_n^2)(2+4\xi^2)\omega_n^2 - \omega_n^4 = 0$$

$$\omega_B^2 = \frac{(2+4\xi^2)\omega_n^2 \pm \sqrt{(2+4\xi^2)\omega_n^2 + 4\omega_n^4}}{2}$$

$$\omega_{bandwidth} = \omega_n\sqrt{(1+2\xi^2) \pm \sqrt{2+4\xi^2+4\xi^4}} \qquad (2.63)$$

ลูปอันดับที่ 3



รูปที่ 2.25 วงจรลูปอันดับที่ 3

$$F(S) = \frac{S\tau_2 + 1}{S\tau_1} \cdot \frac{1}{S\tau_3 + 1} \qquad (2.64)$$

เมื่อ $\tau_1 = R_1C_1$

$\tau_2 = R_2C_2$

$\tau_3 = R_3C_3$

จะได้ Closed-Loop Transfer Function

$$T(s) = \frac{K_V F(S)}{S + K_V F(S)}$$

$$= \frac{\dfrac{K_V(S\tau_2+1)}{S\tau_1(S\tau_3+1)}}{S + \dfrac{K_V(S\tau_2+1)}{S\tau_1(S\tau_3+1)}}$$

$$= \frac{K_V(S\tau_2+1)}{S(S\tau_1(S\tau_3+1)) + K_V(S\tau_2+1)} \qquad (2.65)$$

$$= \frac{K_V(S\tau_2+1)}{S^3\tau_1\tau_3 + S^2\tau_1 + SK_V\tau_2 + K_v}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= K_V\left(\frac{\tau_2}{\tau_2\tau_3}\right)\left(\frac{S+\frac{1}{\tau_2}}{S^3+\frac{1}{\tau_3}S^2+\frac{K_V\tau_2}{\tau_1\tau_3}S+\frac{K_V}{\tau_1\tau_3}}\right)$$

จะได้ Open-Loop Transfer Function

$$T'(s) = \frac{K_V F(S)}{S}$$

$$= \frac{K_V F(S\tau_2+1)}{S^2\tau_1(S\tau_3+1)} \quad (2.66)$$

$$\phi(j\omega) = \tan^{-1}(\tau_2\omega) - \tan^{-1}(\tau_3\omega) - 180° \quad (2.67)$$

การหาเสถียรภาพโดยวิธี BODE จะได้ส่วนเผื่อเฟส (Phase margin)

$$\phi_M(j\omega) = \phi(j\omega) + 180^\circ \quad (2.68)$$

$$= \tan^{-1}(\tau_2\omega) - \tan^{-1}(\tau_3\omega)$$

2.8 การพิจารณากำลังงานที่ส่งออกอากาศ

เมื่อพิจารณาถึงกำลังงาน (Power) ที่ส่งออกอากาศจะพบว่า ประกอบด้วยกำลังของคลื่นพาห์บวกกับกำลังไซด์แบนด์ทั้งสองด้าน เนื่องจากกำลังส่งของไซด์แบนด์มีค่าขึ้นอยู่กับดัชนีการมอดูเลท ซึ่งกำลังส่งของไซด์แบนด์มีค่าดังนี้

$$P_{USB} = P_{LSB} = \frac{m^2 P_C}{4}$$

เมื่อ P_C กำลังส่งของกำลังคลื่นพาห์

P_{LSB} กำลังส่งของไซด์แบนด์ด้านที่มีความถี่ต่ำกว่าสัญญาณคลื่นพาห์

P_{USB} กำลังส่งของไซด์แบนด์ด้านที่มีความถี่สูงกว่าสัญญาณคลื่นพาห์

จากสมการข้างต้นทำให้ทราบว่า ยิ่งเปอร์เซ็นต์มอดูเลชั่นมีค่าสูงมากเท่าไร กำลังส่งของไซด์แบนด์ก็จะยิ่งสูงมากยิ่งขึ้น ทำให้การรับส่งสัญญาณดีขึ้น

แม้ว่า AM จะมีความง่ายและได้ผลดีวิธีหนึ่ง แต่เป็นการส่งที่ไม่ค่อยจะมีประสิทธิภาพนัก หากพิจารณาจากกำลังส่งทั้งหมด เมื่อ P_t กำลังส่งของสัญญาณทั้งหมด

$$P_t = P_C + P_{LSB} + P_{USB}$$

$$P_t = P_C + \frac{m^2 P_C}{4} + \frac{m^2 P_C}{4}$$

ที่ m = 1 หรือ 100% มอดูเลชั่นจะได้สัญญาณไซด์แบนด์มีกำลังสูงสุดคือ

$$P_t = P_C + \frac{P_C}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากกำลังส่งของสัญญาณคลื่นพาห์มีค่า 100 วัตต์ (Watt: W) กำลังส่งของไซด์แบนด์จะมีค่า 50 วัตต์ จากผลรวมทั้งหมด 150 วัตต์ ซึ่งในที่นี้จะเป็นสัญญาณข้อมูลเพียง 50 วัตต์ ซึ่งจะเห็นได้ว่ามีการสูญเสียไปกับสัญญาณคลื่นพาห์ถึง 2 ใน 3 ของกำลังงานทั้งหมด โดยที่ไม่มีข้อมูลใด ๆ ในสัญญาณนี้เลย

ด้วยเหตุผลดังกล่าวข้างต้น จึงมีการลดหรือตัดเอาสัญญาณคลื่นพาห์ออกไปซึ่งเรียกว่า "ซับเพรสชั่น" (Suppression) ทำให้สัญญาณที่ได้มีเฉพาะไซด์แบนด์ สัญญาณ AM ที่มีการนำเอาสัญญาณคลื่นพาห์ออกเรียกว่า "ดับเบิลไซด์แบนด์ซับเพรสแคเรียร์" (Double sideband suppress carrier:DSB SC) วงจรที่ใช้สร้างสัญญาณ DSB SC นี้เรียกว่า "บาลานซ์มอดูเลเตอร์" (Balance modulator) ด้วยการใช้ DSB SC จะทำให้กำลังส่งถูกใส่ลงในสัญญาณไซด์แบนด์ได้มากขึ้น

หากพิจารณาต่อไปอีกจะพบว่า สัญญาณข้อมูลนั้นจะมีซ้ำกันทั้งที่ไซด์แบนด์ด้านบนและไซด์แบนด์ด้านล่าง จึงมีการคิดค้นให้ส่งสัญญาณเพียงไซด์แบนด์เดียวเรียกว่า "ซิงเกิลไซด์แบนด์" (Single sideband: SSB) ซึ่งเมื่อมีการใช้ไซด์แบนด์เพียงด้านเดียวทำให้สามารถประหยัดการครอบครองแถบความถี่ (Spectrum) ไปได้ถึงครึ่งหนึ่ง จากที่สัญญาณAM เดิมต้องใช้

ทั้ง DSB SC และ SSB มีประสิทธิภาพที่มากกว่าในแง่ของกำลังส่งที่ใช้ เนื่องจากมีการประหยัดกำลังส่งของสัญญาณคลื่นพาห์ ทำให้สามารถนำกำลังส่งไปใส่เพิ่มในไซด์แบนด์ได้ และคุณสมบัติพิเศษอีกอย่างหนึ่งก็คือ ขณะที่ไม่มีสัญญาณข้อมูลหรือเสียงพูดเข้ามาก็จะไม่มีสัญญาณวิทยุ (Radio frequency) ส่งออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบวงจรภาคส่ง

3.1.1 การออกแบบวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 2.4 จิกะเฮิรตซ์ และความถี่ 2.464 จิกะเฮิรตซ์

ในส่วนของการออกแบบวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปนั้นจะสามารถเปลี่ยนความถี่ได้โดยการเปลี่ยนแปลงในส่วนของโปรแกรมหารความถี่ซึ่งในส่วนของการคำนวณนี้จะทำการแสดงการคำนวณเพียงความถี่ที่ 2.4 จิกะเฮิรตซ์เท่านั้น

วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป ออกแบบโดยมีส่วนประกอบของวงจรดังต่อไปนี้

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน
2. วงจรพรีสเกลเลอร์สองโมดูลัสโดยใช้ไอซีเบอร์ PE3340
3. วงจรเฟสดีเทกเตอร์และโปรแกรมหารความถี่ โดยใช้ไอซีเบอร์ ATMEGA48
4. วงจรลูปฟิลเตอร์ โดยใช้ไอซีออปแอมป์เบอร์ LM 358

3.1.1.1 การออกแบบวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ความถี่ 2.4 จิกะเฮิรตซ์

การออกแบบสร้างวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะใช้วงจรออสซิลเลเตอร์แบบคอมมอนชนิดคอลเลกเตอร์ร่วม (Common collector)

วงจรดังกล่าวสามารถคำนวณหาความถี่ที่ออสซิลเลตได้จาก

$$f = \frac{1}{2\pi\sqrt{LC_T}}$$

โดยที่ f คือ ความถี่ออสซิลเลเตอร์มีค่าเท่ากับ 2.4 จิกะเฮิรตซ์

L คือ ค่าของขดลวดเหนี่ยวนำภายในวงจร

C_T คือ ค่าของตัวเก็บประจุรวมภายในวงจร ซึ่งดูจากดาต้าชีท

กำหนดให้ค่า $C_1 = 0.5pF$ และ $C_2 = 0.5pF$ จะสามารถคำนวณหาค่า C_T ได้ดังนี้

$$C_T = C_{bc} + \left(\frac{C_1(C_2 + C_{bc})}{C_1 + C_2 + C_{bc}} \right) = 0.54\,pF$$

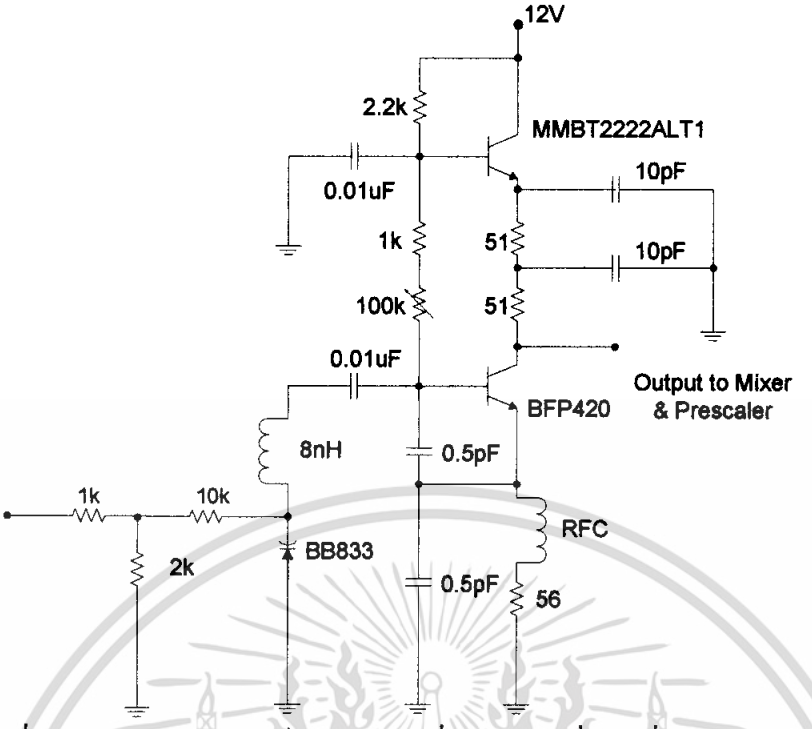
ทำให้สามารถคำนวณค่าของตัวขดลวดเหนี่ยวนำได้คือ

$$L = \frac{1}{(2\pi f)^2 C_T}$$

$$L = \frac{1}{(2\pi + 2.4\times10^9)^2 \times 0.54\times10^{-12}} = 8.14nH$$

ดังนั้น เมื่อนำค่าของขดลวดเหนี่ยวนำและตัวเก็บประจุที่คำนวณมาใช้สร้างวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันด้วยการต่อวาแรกเตอร์ไดโอดหรือวาริแคปเข้าไป จะได้วงจรที่สมบูรณ์ดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ความถี่ 2.4 จิกะเฮิรตซ์

3.1.1.2 การออกแบบวงจรพรีสเกลเลอร์สองโมดูลัส

ในการออกแบบวงจรพรีสเกลเลอร์สองโมดูลัส จะใช้ไอซีเบอร์ PE3340 ซึ่งเป็นตัวพรีสเกลเลอร์ที่มีค่าตัวหารเท่ากับ 10/11 หารความถี่ให้ต่ำลงซึ่งมีเคาท์เตอร์ 2 ชุด โดยที่ชุดแรกใช้สำหรับตัวหารความถี่อ้างอิงโดย R เคาท์เตอร์และชุดที่สองใช้สำหรับตัวหารป้อนกลับโดย M เคาท์เตอร์ และภายในมีวงจรเปรียบเทียบเฟสได้ในตัวเดียวกันโดยสามารถหารความถี่ได้ถึง 3 จิกะเฮิรตซ์

3.1.1.3 การออกแบบโปรแกรมหารความถี่

ในการคำนวณจะให้เคาท์เตอร์หลักหารสัญญาณ RF ซึ่งเป็นสัญญาณอินพุทที่รับเข้ามาโดยรับค่ามาจากเคาท์เตอร์ M และ เคาท์เตอร์ A ซึ่งสัญญาณเอาท์พุทจากเคาท์เตอร์หลักที่ได้จะป้อนกลับไปที่ วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันได้จากสมการดังต่อไปนี้

$$f_p = F_{in} / [10 \times (M+1) + A]$$

โดยที่ $A \le M+1, 1 \le M \le 511$

เมื่อ f_p คือ ค่าความถี่ของเคาท์เตอร์หลัก

f_{in} คือ ค่าความถี่ของสัญญาณอินพุทซึ่งมีค่า 2.4 จิกะเฮิรตซ์

เมื่อสัญญาณเกิดการล็อกค่าความถี่ที่ต้องการแล้วจะได้ค่าความสัมพันธ์ของสัญญาณความถี่อ้างอิงและความถี่ F_{in} โดยค่า R มีค่าเท่ากับ 3 เมื่อคิดเป็นเลขฐานสองจะได้ 000011ดังสมการ

$$F_{in} = [10 \times (M+1) + A] \times (f_r / (R+1))$$

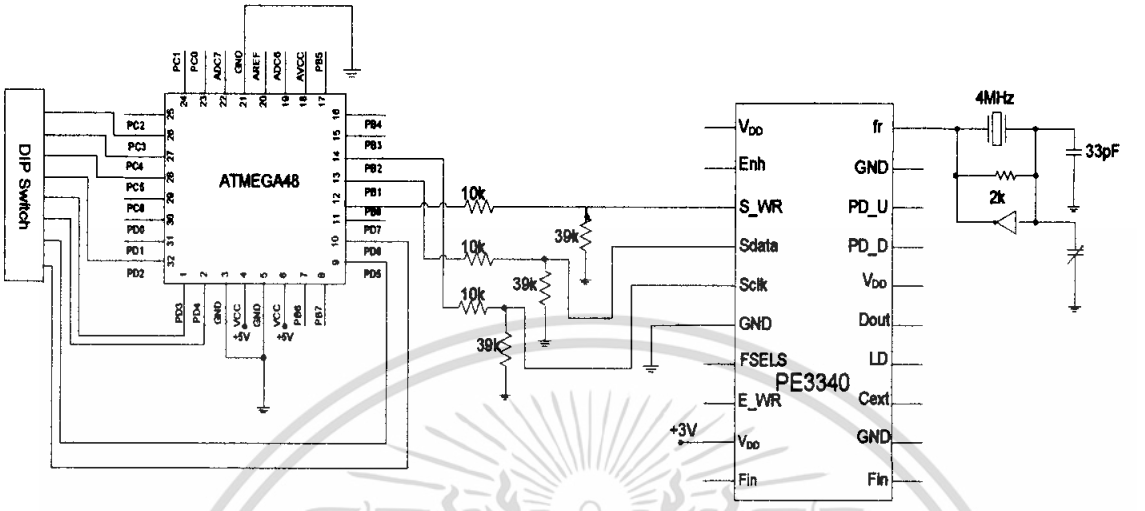
โดยที่ $A \le M+1, 1 \le M \le 511$

$F_{in} \ge 90 \times (f_r / (R+1))$; $A \rangle 15$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ f_r คือ ความถี่อ้างอิงซึ่งมีความถี่ 4 เมกะเฮิรตซ์

จากสมการและการกำหนดค่าข้างต้นจะได้ค่า M เท่ากับ 239 หรือ 011101111



รูปที่ 3.2 วงจรวงจรพรีสเกลเลอร์และเฟสดีเทคเตอร์

ตารางที่ 3.1 แสดงรีจิสเตอร์แมป (Register map) ของไอซีเบอร์ PE3340

Interface Mode	Enh	R5	R4	M8	M7	Per_en	M6	M5	M4	M3	M2	M1	M0	R3	R2	R1	R0	A3	A2	A1	A0
Serial*	1	B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18	B19

จากการคำนวนจะได้ค่าที่ทำการโปรแกรมดังตารางต่อไปนี้

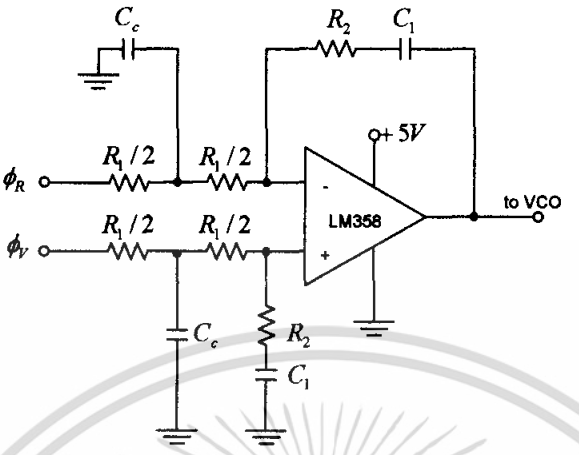
ตารางที่ 3.2 แสดงค่ารีจิสเตอร์แมปที่ทำการโปรแกรม

Interface Mode	Enh	R5	R4	M8	M7	Per_en	M6	M5	M4	M3	M2	M1	M0	R3	R2	R1	R0	A3	A2	A1	A0
Serial*	1	0	0	0	1	0	1	1	0	1	1	1	1	0	0	1	1	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.4 การออกแบบวงจรลูปฟิลเตอร์

ในการออกแบบวงจรลูปฟิลเตอร์จะใช้ออปแอมป์เบอร์ LM358 โดยทำการออกแบบและคำนวณดังนี้กำหนดให้ (ตามคำแนะนำในดาต้าชีทของโมโตโรล่า)



รูปที่ 3.3 โครงสร้างวงจรลูปฟิลเตอร์

$$f_o = 2.4GHz$$

$$f_s = 10kHz$$

$$f_b = 0.01 f_s = 100Hz$$

$$f_{rc} = 20 f_b = 2000Hz$$

$$\zeta = 0.8$$

$$V_{DD} = 5V$$

$$C_1 = 0.1\mu F$$

$$K_\phi = \frac{V_{DD}}{2\pi} = 0.795V/Rad$$

$$\Delta f_{vco} = 345kHz$$

$$K_{vco} = \frac{2\pi\Delta f_{vco}}{\Delta V_{vco}} = \frac{2\pi \times 345 \times 10^3}{9} = 215928.3668 Rad/V$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2\zeta^2 + 1 + \sqrt{(2\zeta^2+1)^2 + 1}}} = \frac{2\pi \times 0.01 \times 10 \times 10^3}{\sqrt{2(0.8)^2 + 1 + \sqrt{(2\times 0.8^2 + 1)^2 + 1}}} = 287.697 Rad/Sec$$

$$R_1 = \frac{K_\phi K_{vco}}{C_1 M \omega_n^2} = \frac{0.795 \times 241364.38}{0.1 \times 10^{-6} \times 239 \times (287.697)^2} = 97k\Omega$$

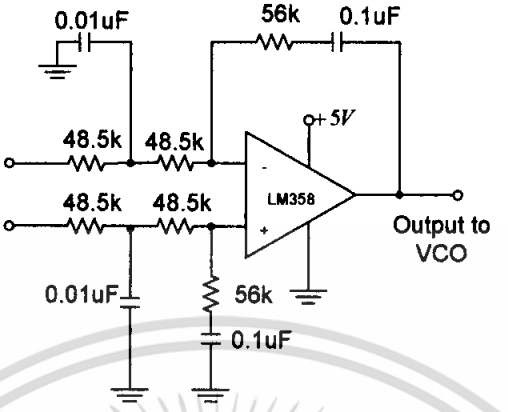
$$\frac{R_1}{2} = 48.5k\Omega$$

$$R_2 = \frac{2\zeta}{\omega_n C_1} = \frac{2 \times 0.8}{287.697 \times 0.1 \times 10^{-6}} = 56k\Omega$$

$$C_2 = \frac{4}{2R_1 f_{rc}} = \frac{4}{2 \times 97 \times 10^3 \times 2000} = 0.01\mu F$$

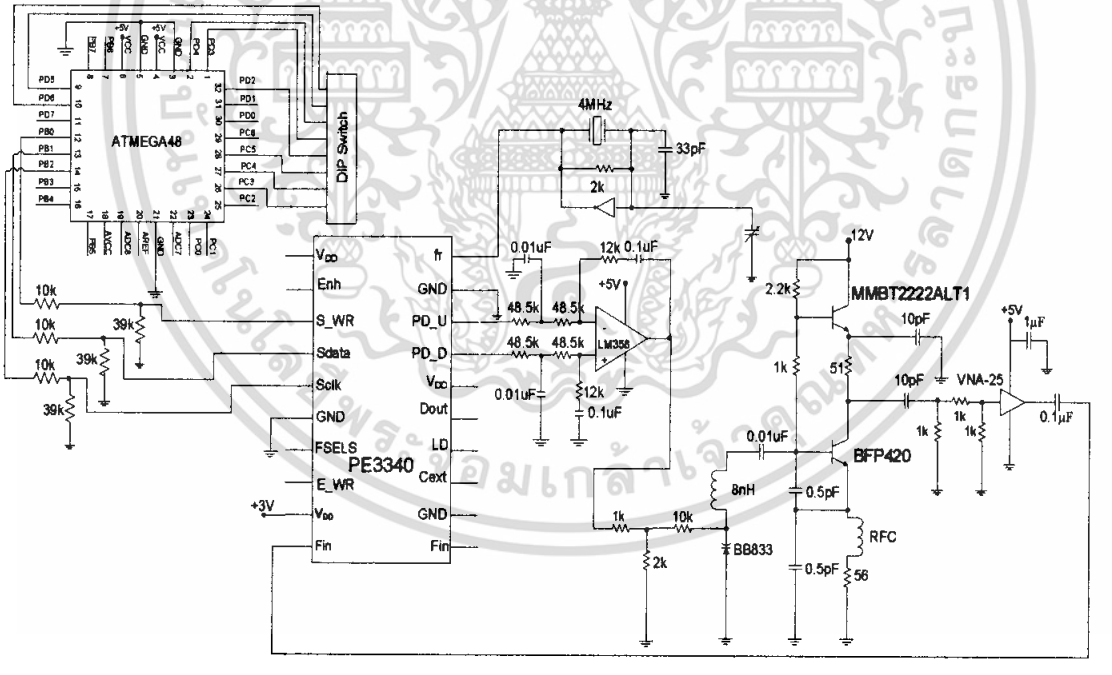
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามคำแนะนำให้แบ่งเป็น 2 ตัว จึงได้ค่าประมาณคือ $R_1 = 48.5k\Omega$ และ $R_2 = 56k\Omega$ นำมาสร้างเป็นวงจรลูปฟิลเตอร์ ได้ดังวงจรในรูปที่ 3.4



รูปที่ 3.4 วงจรลูปฟิลเตอร์ของวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 2.4 จิกะเฮิรตซ์

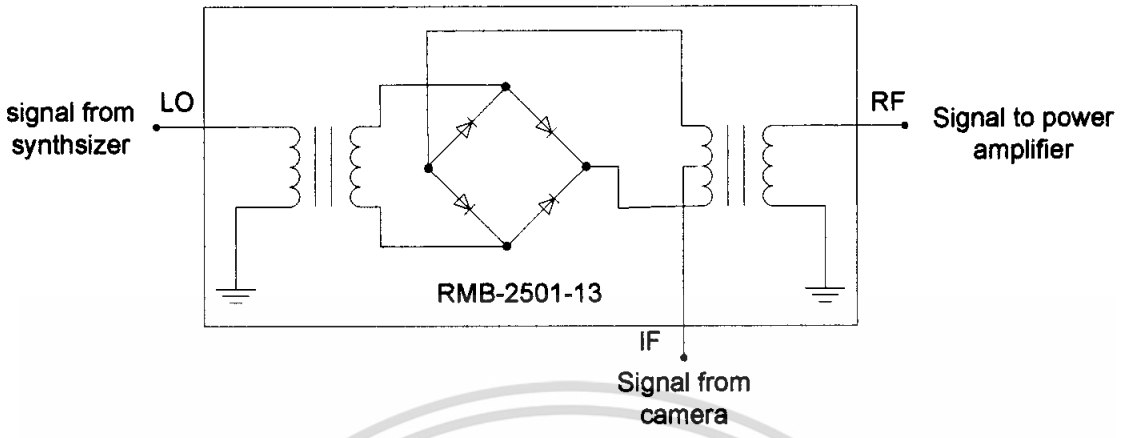
ดังนั้นเราจะได้วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 2.4 จิกะเฮิรตซ์ ที่สมบูรณ์ดังรูปที่ 3.5



รูปที่ 3.5 วงจรรวมของวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

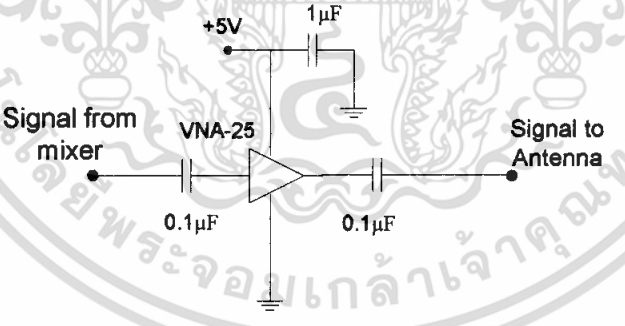
3.1.2 การออกแบบวงจรมิกเซอร์



รูปที่ 3.6 วงจรมิกเซอร์

จากรูปที่ 3.6 เป็นวงจรมิกเซอร์แบบ ดับเบิลบาลานซ์มิกเซอร์โดยใช้ไอซีเบอร์ RMB-2501-13 ทำหน้าที่ในการรวมสัญญาณภาพที่มาจากกล้องความถี่ 4.5 เมกะเฮิรตซ์โดยจะป้อนเข้าทางขา IF กับสัญญาณคลื่นพาห์ 2.4 จิกะเฮิรตซ์ที่มาจากวงจรสังเคราะห์ความถี่แบบใช้เฟสล็อกลูปซึ่งสัญญาณที่ถูกป้อนเข้าที่ขา LO ซึ่งสัญญาณเอาท์พุทที่ได้จะออกมาทางขา RF เพื่อส่งไปยังภาคขยายกำลังต่อไป

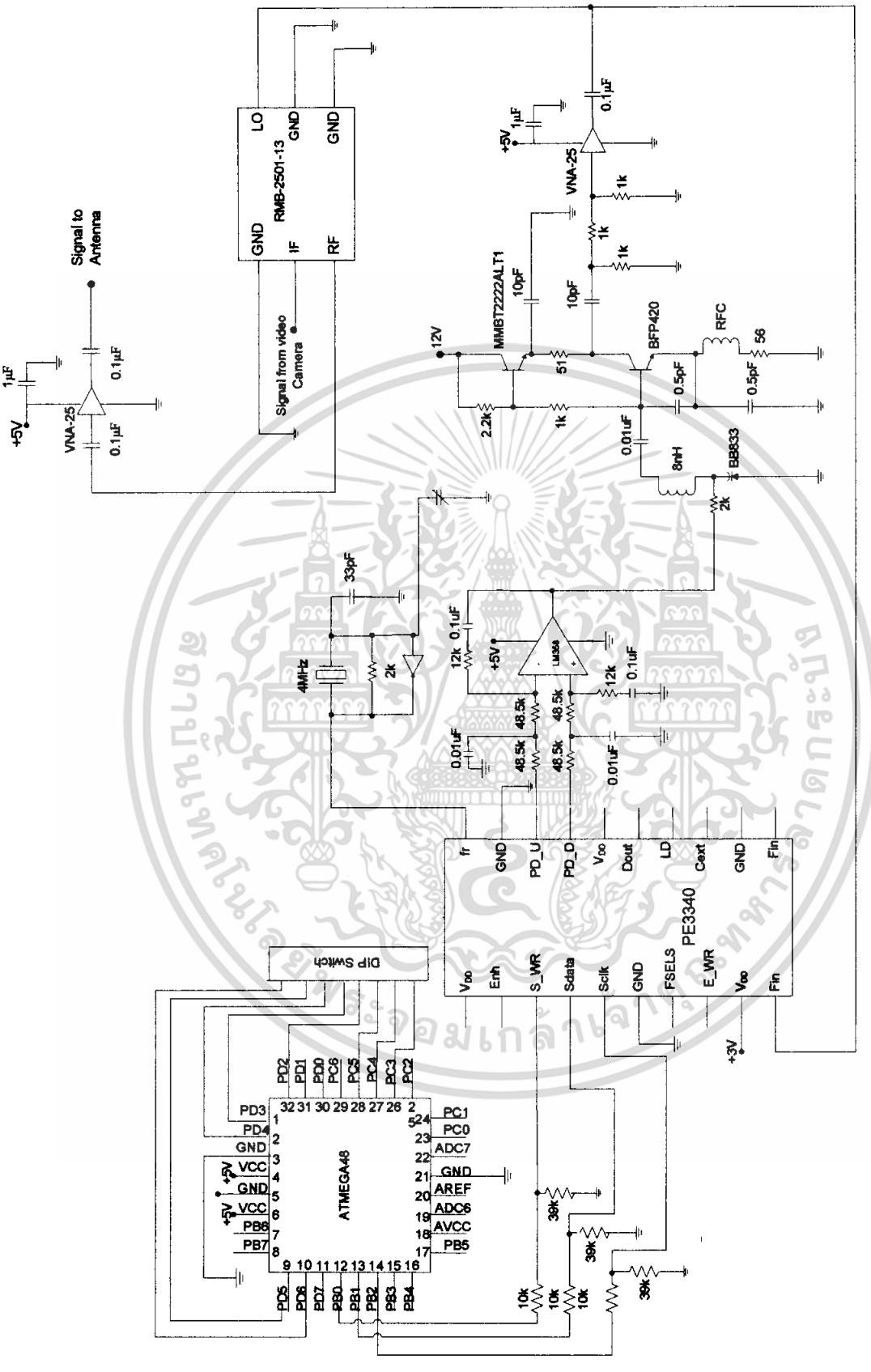
3.1.3 การออกแบบวงจรขยายกำลัง



รูปที่ 3.7 วงจรขยายกำลัง

จากรูปที่ 3.7 แสดงวงจรขยายกำลัง โดยใช้ไอซีเบอร์ VNA-25 ซึ่งทำหน้าที่ในการขยายสัญญาณที่รับมาจากวงจรรวมสัญญาณที่เป็นสัญญาณ RF ให้มีความแรงขึ้นเพื่อส่งต่อไปยังสายอากาศต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



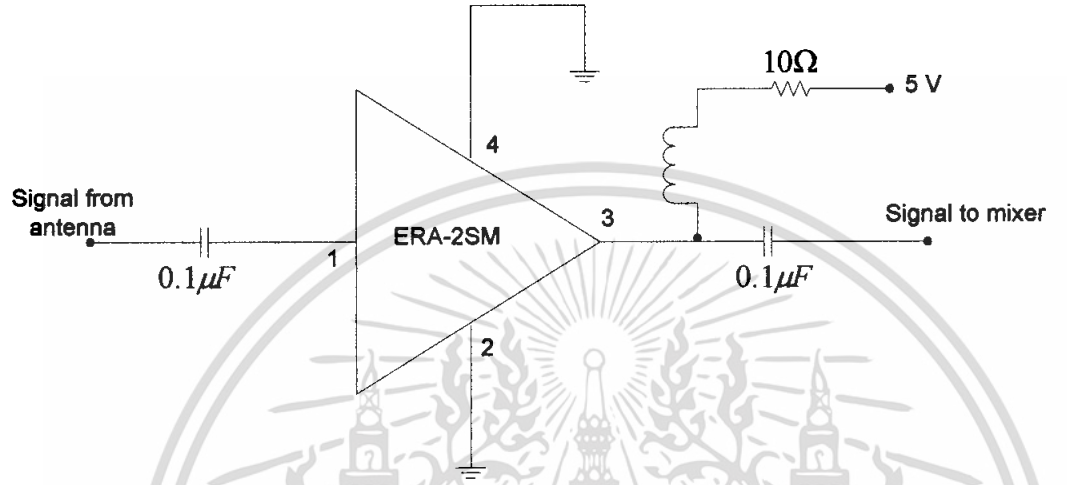
รูปที่ 3.8 วงจรรวมของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรภาครับ

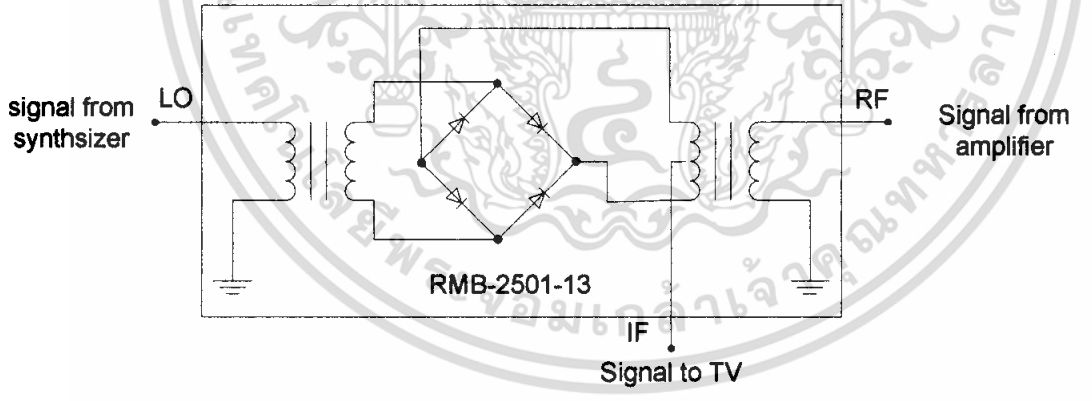
3.2.1 การออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier)

รูปที่ 3.9 แสดงวงจรขยายสัญญาณรบกวนต่ำ โดยใช้ไอซีเบอร์ERA-2SM ซึ่งทำหน้าที่ในการขยายสัญญาณที่รับมาจากสายอากาศฝั่งรับ โดยขนาดของสัญญาณที่รับมาได้นั้นเป็นสัญญาณที่อ่อนมากจากเครื่องส่งที่ไกลให้มีสัญญาณที่แรงขึ้น และทำให้มีสัญญาณรบกวนลดลง



รูปที่ 3.9 วงจรขยายสัญญาณรบกวนต่ำ

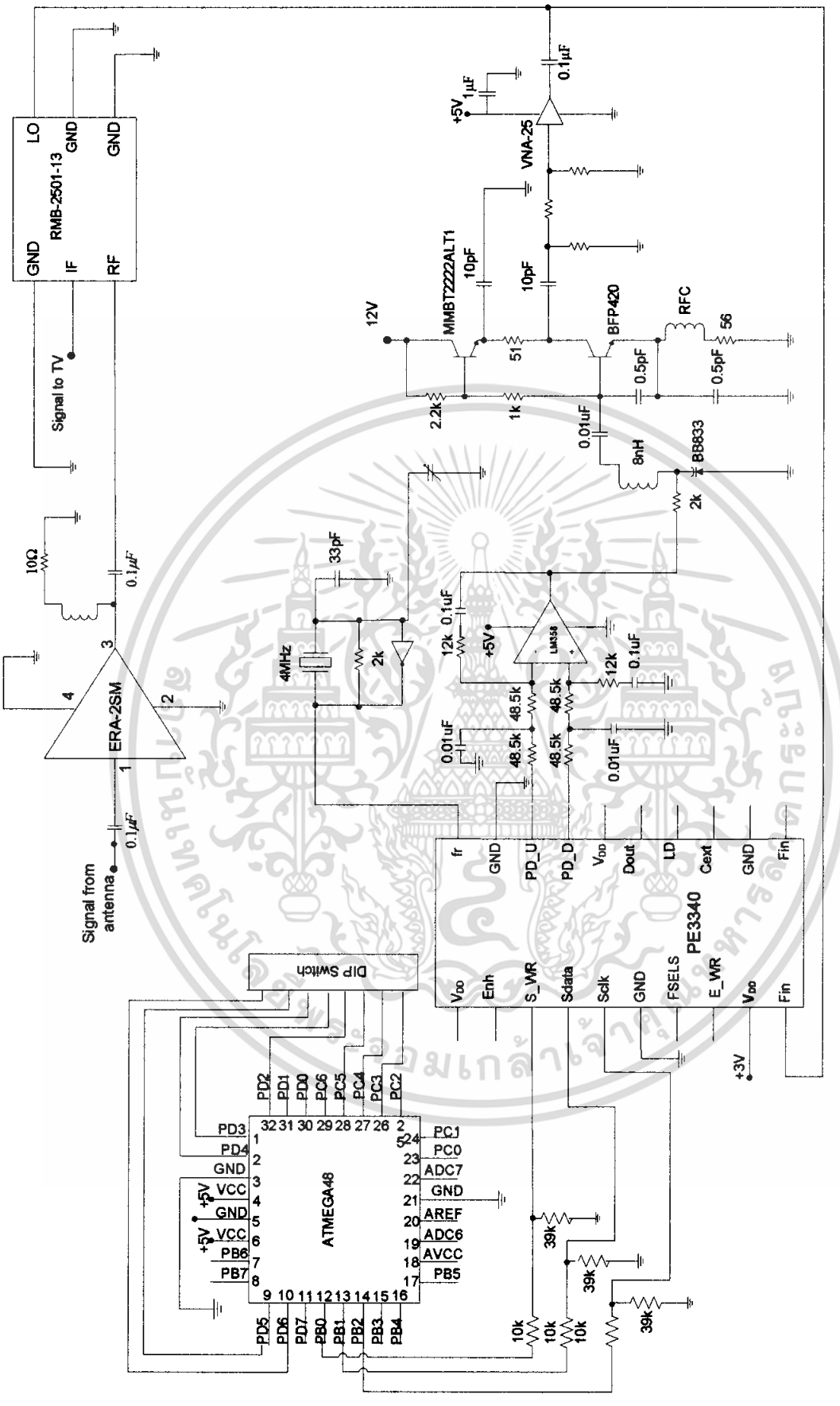
3.2.2 การออกแบบวงจรมิกเซอร์



รูปที่ 3.10 วงจรมิกเซอร์

วงจรมิกเซอร์ในทางภาครับซึ่งใช้ไอซีเบอร์ RMB-2501-13 ทำหน้าที่ในการรวมสัญญาณ RF ที่รับมาจากวงจรขยายสัญญาณรบกวนต่ำทางขา RF กับสัญญาณคลื่นพาห์ 2.464 จิกะเฮิรตซ์ที่มาจากวงจรสังเคราะห์ความถี่แบบใช้เฟสล็อกลูปซึ่งสัญญาณที่ถูกป้อนเข้าที่ขา LO ซึ่งสัญญาณเอาท์พุทที่ได้จะออกมาทางขา IF เพื่อส่งไปยังโทรทัศน์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรรวมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

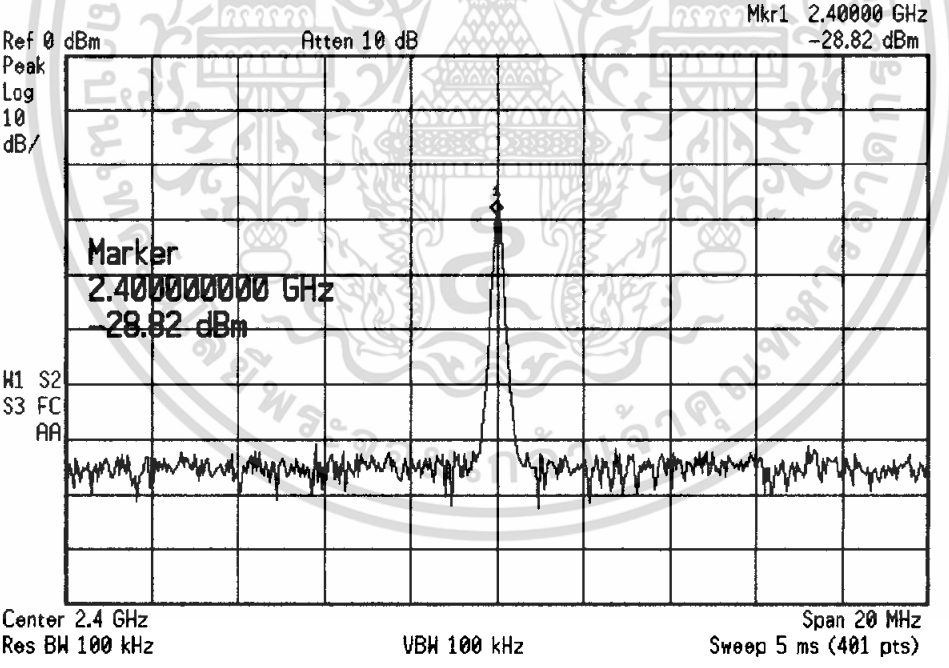
จากที่กล่าวมาแล้วในบทที่ 3 เป็นการออกแบบวงจรเพื่อให้ได้วงจรที่มีผลตอบสนองเป็นไปตามต้องการ แต่ในทางปฏิบัตินั้นวงจรต่าง ๆ ที่มีการออกแบบไว้อาจไม่ได้ผลตอบสนองที่ตรงกับทางทฤษฎีเสียทีเดียว โดยเฉพาะอย่างยิ่งวงจรความถี่สูงคงเป็นได้ยากที่วงจรจะสามารถให้ผลตอบสนองที่สมบูรณ์ทุกอย่าง ผลการทดลองที่ได้จากวงจรตามที่ได้ออกแบบไว้ในบทที่ 3 โดยทำการแบ่งผลการทดลองออกเป็น 2 ส่วน คือ ภาคส่งและภาครับ ซึ่งผลการทดลองที่ได้จะเก็บผลโดยใช้เครื่องมือดังนี้

1. สเปกตรัมอนาไลเซอร์ (Spectrum Analyzer)
2. เครื่องกำเนิดสัญญาณความถี่สูง (Signal generator)
3. กล้องวีดีโอ (camera)

4.1 ผลการทดลองของภาคส่ง

4.1.1 ผลการทดลองวงจรรวมของการสังเคราะห์ความถี่ที่ 2.4 จิกะเฮิรตซ์

สเปกตรัมของสัญญาณความถี่ 2.4 จิกะเฮิรตซ์ซึ่งผลการวัดสัญญาณโดยใช้สเปกตรัมอนาไลเซอร์ได้ผลดังรูปที่ 4.1

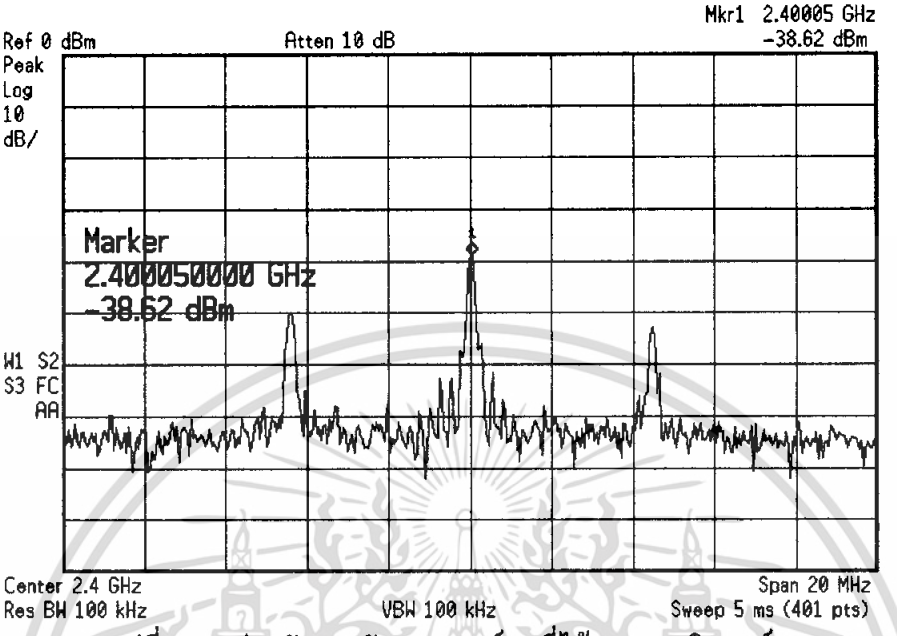


รูปที่ 4.1 สเปกตรัมของสัญญาณเอาท์พุทจากวงจรสังเคราะห์ความถี่ที่ 2.4 จิกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ผลการทดลองวงจรมิกเซอร์

วงจรมิกเซอร์ทำหน้าที่รวมสัญญาณผลต่างและผลรวมของสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ 2.4 จิกะเฮิรตซ์กับสัญญาณจากกล้องที่ความถี่ 4.5 เมกะเฮิรตซ์ จะได้ผลการทดลองดังรูปที่ 4.2



รูปที่ 4.2 สเปกตรัมของสัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์

4.1.3 ผลการทดลองวงจรขยายกำลัง (Power amplifier)

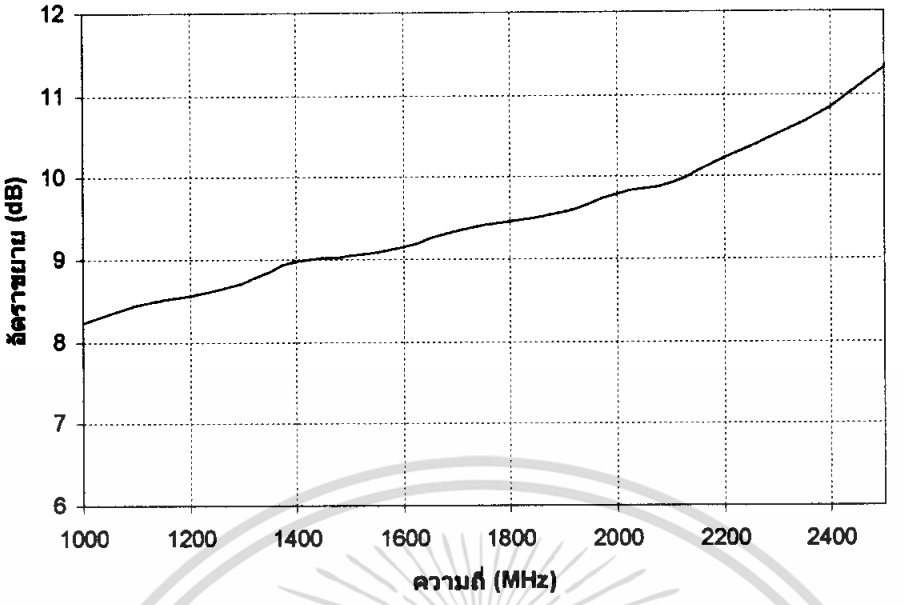
สัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์ยังคงมีระดับสัญญาณที่ต่ำ จึงต้องทำการขยายสัญญาณให้มีระดับสัญญาณที่แรงขึ้น ให้เพียงพอที่จะสามารถส่งสัญญาณผ่านสายอากาศไปยังเครื่องรับได้ โดยใช้ไอซีเบอร์ VNA-25 ซึ่งมีผลการทดลองดังนี้

ผลตอบสนองความถี่เมื่อป้อนสัญญาณอินพุท -20 dB ได้ผลตามตารางที่ 4.1 และรูปที่ 4.3

ตารางที่ 4.1 ตารางผลตอบสนองทางความถี่ของสัญญาณของวงจรขยายกำลัง

ความถี่ (MHz)	อัตราขยาย (dB)	ความถี่ (MHz)	อัตราขยาย (dB)
1000	8.23	1800	9.45
1100	8.45	1900	9.58
1200	8.56	2000	9.78
1300	8.71	2100	9.93
1400	8.97	2200	10.22
1500	9.05	2300	10.51
1600	9.15	2400	10.84
1700	9.34	2500	11.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

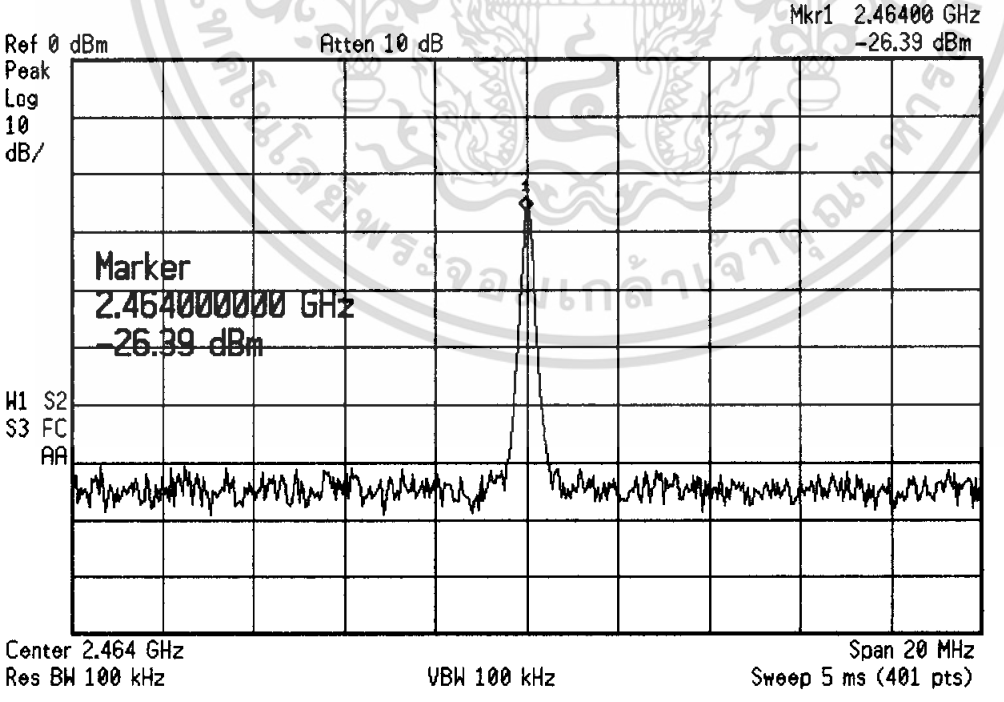


รูปที่ 4.3 กราฟผลตอบสนองทางความถี่ของวงจรขยายกำลัง

4.2 ผลการทดลองของภาครับ

4.2.1 ผลการทดลองวงจรรวมของการสังเคราะห์ความถี่ที่ 2.464 จิกะเฮิรตซ์

สเปกตรัมของสัญญาณความถี่ 2.464 จิกะเฮิรตซ์ซึ่งผลการวัดสัญญาณโดยใช้สเปกตรัมอนาไลเซอร์ได้ผลดังรูปที่ 4.4



รูปที่ 4.4 สเปกตรัมของสัญญาณเอาท์พุทจากวงจรสังเคราะห์ความถี่ที่ 2.464 จิกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

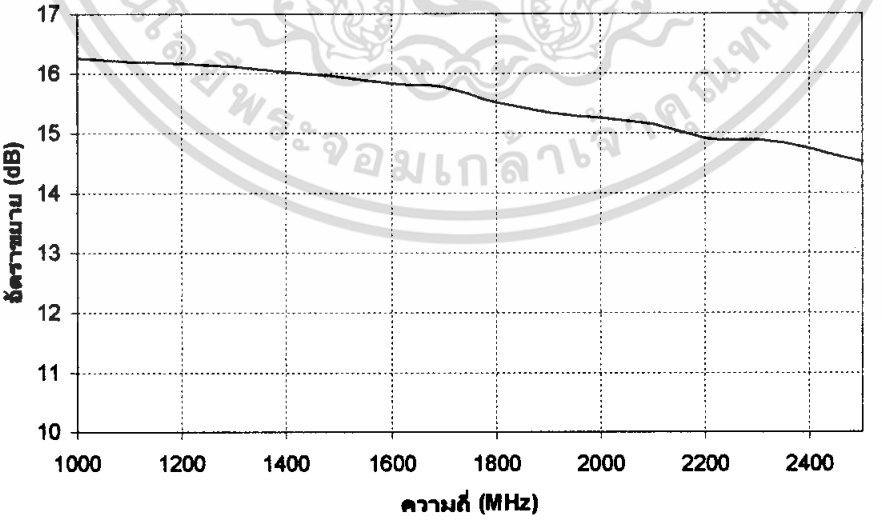
4.2.2 ผลการทดลองวงจรขยายสัญญาณรบกวนต่ำ

วงจรขยายสัญญาณรบกวนต่ำจะรับสัญญาณมาจากสายอากาศทางฝั่งภาครับมาขยายสัญญาณให้แรงขึ้นและลดสัญญาณรบกวนให้น้อยลง เนื่องจากสัญญาณที่รับมาจากสายอากาศนั้นมีสัญญาณที่อ่อนและมีสัญญาณรบกวนมากโดยจะใช้ไอซีเบอร์ ERA-2SM ซึ่งมีผลการทดลองดังนี้

ผลตอบสนองความถี่เมื่อป้อนสัญญาณอินพุท -20 dB ได้ผลตามตารางที่ 4.2 และรูปที่ 4.5

ตารางที่ 4.2 ตารางผลตอบสนองทางความถี่ของสัญญาณของวงจรขยายสัญญาณรบกวนต่ำ

ความถี่ (MHz)	อัตราขยาย (dB)	ความถี่ (MHz)	อัตราขยาย (dB)
1000	16.27	1800	15.52
1100	16.21	1900	15.35
1200	16.17	2000	15.26
1300	16.12	2100	15.14
1400	16.03	2200	14.91
1500	15.95	2300	14.88
1600	15.83	2400	14.73
1700	15.77	2500	14.52

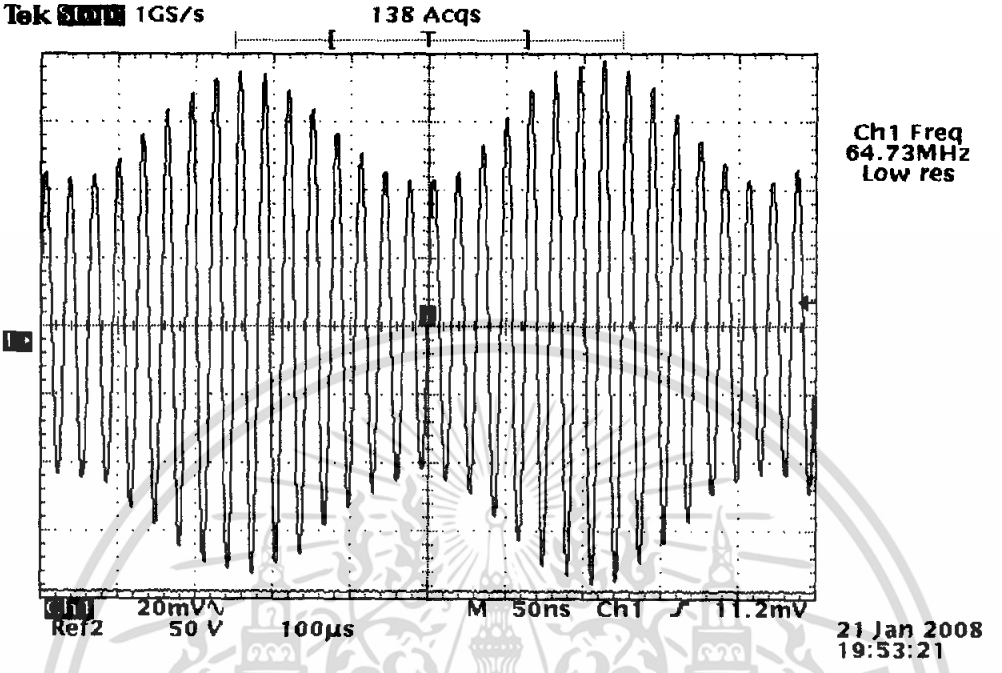


รูปที่ 4.5 กราฟผลตอบสนองทางความถี่ของวงจรขยายสัญญาณรบกวนต่ำ

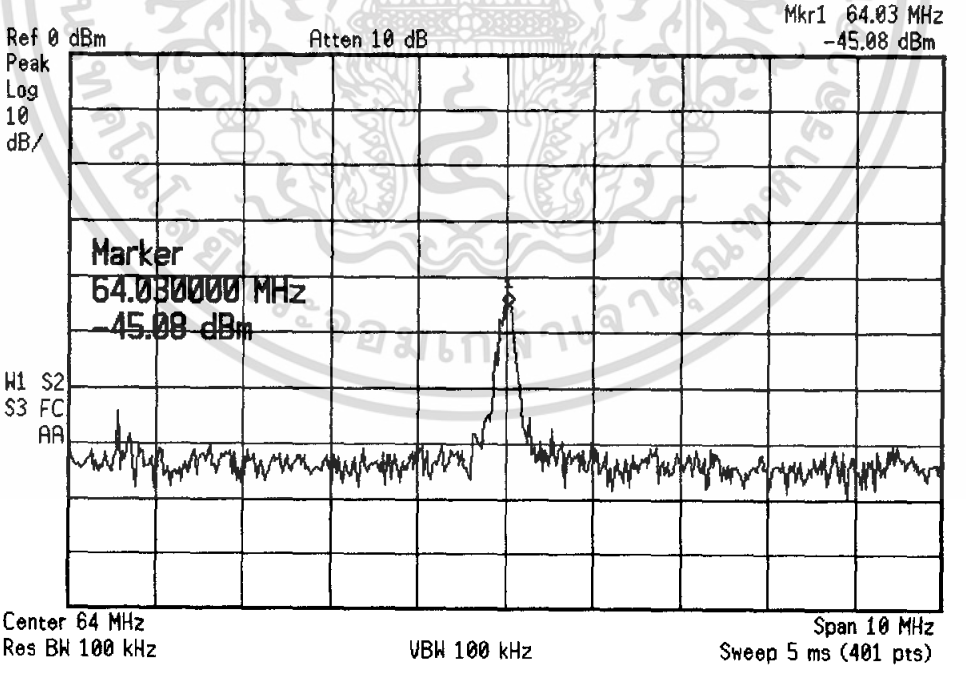
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 ผลการทดลองวงจรมิกเซอร์

วงจรมิกเซอร์ของทางภาครับทำหน้าที่ลดความถี่ที่รับมาได้ให้เป็นความถี่กลาง (IF) ที่ 64 เมกะเฮิรตซ์ ซึ่งได้ผลการทดลองดังนี้



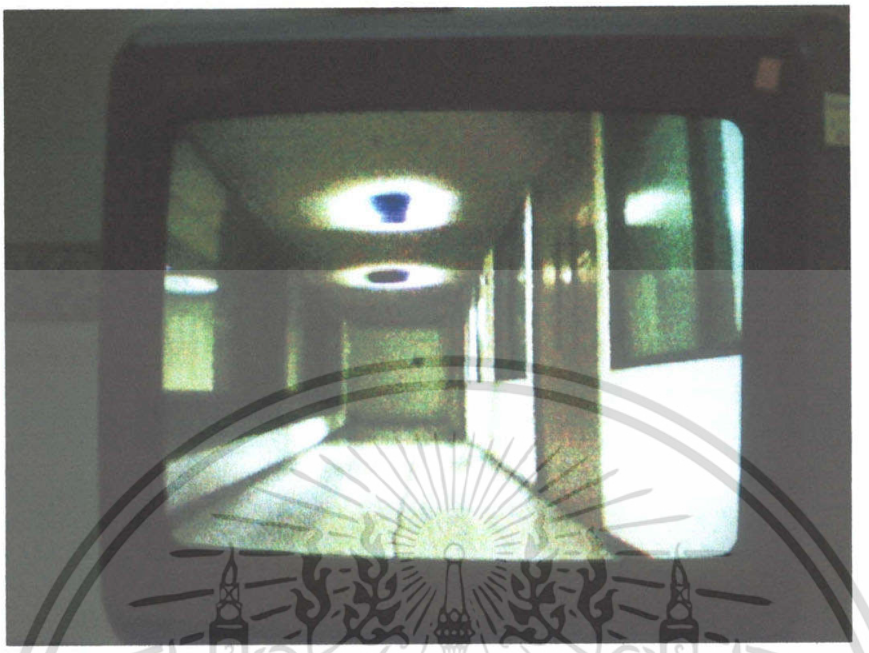
รูปที่ 4.6 สัญญาณเอาท์พุทจากวงจรมิกเซอร์



รูปที่ 4.7 สเปกตรัมของสัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ผลการแสดงภาพทางโทรทัศน์



รูปที่ 4.8 สัญญาณภาพที่แสดงทางโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากการออกแบบวงจรในบทที่ 3 และทำการเก็บผลการทดลองในบทที่ 4 แล้ว พบว่ามีปัญญาและความไม่สมบูรณ์เกิดขึ้นกับการออกแบบวงจรหลายประการดังนี้

5.1 ปัญหาที่พบ

- จากการทดลองพบว่า มีสัญญาณรบกวนเกิดขึ้นในแต่ละวงจรและเกิดการรบกวนกันเองระหว่างวงจร จึงจำเป็นต้องให้สัญญาณรบกวนที่เกิดขึ้นลดลงให้มากที่สุด เพื่อที่สัญญาณที่รับมาจะได้มีความถูกต้องมากขึ้น

- เกิดการสูญเสียของสัญญาณในสายส่งภายในวงจร

- ค่า L ที่ใช้ในวงจรที่คำนวณได้ไม่สามารถหาซื้อได้ตามท้องตลาด เมื่อทำการสร้างเองจึงทำให้เกิดความผิดพลาดได้ง่าย

5.2 แนวทางแก้ไข

ในส่วนของวงจรสังเคราะห์ความถี่นั้น สัญญาณรบกวนภายในยังมีอีกมาก จึงต้องทำให้ลดลงมากที่สุด โดยมีแนวทางแก้ไขดังนี้

- ทำการลากสายสัญญาณ ด้วยสายสัญญาณความถี่สูงทุกเส้น เพื่อไม่ให้เกิดการสูญเสียของสัญญาณความถี่สูง

- การแก้ไขเรื่องสัญญาณรบกวนในวงจรทั้งหมดนั้นเป็นเรื่องที่ละเอียดอ่อน วิธีการแก้ไขมีอยู่หลายวิธีได้แก่ การกราวน์ดิ้ง (Grounding) การชีลด์ (Shielding) เป็นต้น

5.3 สรุปผลการทดลอง

การทำงานของระบบโทรทัศน์วงจรปิดไร้สายนั้นได้แบ่งเป็น 2 ส่วน คือส่วนที่เป็นภาคส่งและส่วนที่เป็นภาครับ โดยส่วนที่เป็นภาคส่งประกอบไปด้วยส่วนที่ทำการสังเคราะห์สัญญาณซึ่งทำหน้าที่ในการผลิตสัญญาณคลื่นพาห์ที่ความถี่2.4 จิกะเฮิรตซ์, วงจรมิกเซอร์ที่ทำหน้าที่ในการรวมสัญญาณ 2 สัญญาณที่มาจากวงจรสังเคราะห์ความถี่กับสัญญาณที่มาจากกล้องแบบเอเอ็ม และส่วนสุดท้ายเป็นวงจรขยายกำลังซึ่งทำหน้าที่ในการขยายสัญญาณเอาท์พุทที่ออกมาจากวงจรมิกเซอร์ให้มีสัญญาณที่แรงขึ้น เพื่อให้มีกำลังส่งที่แรงพอในการส่งออกอากาศผ่านสายอากาศไปยังฝั่งของเครื่องรับ และในส่วนของภาครับประกอบไปด้วย ส่วนของวงจรขยายสัญญาณรบกวนต่ำซึ่งทำการขยายสัญญาณที่รับมาจากสายอากาศทางภาครับเพื่อให้สัญญาณที่รับมานั้นมีสัญญาณที่แรงขึ้น, วงจรสังเคราะห์ความถี่ซึ่งทำการผลิตสัญญาณคลื่นพาห์ที่ความถี่ 2.464 จิกะเฮิรตซ์, วงจรมิกเซอร์ซึ่งทำหน้าที่ในการลดความถี่ลงให้อยู่ในย่านความถี่ที่โทรทัศน์รับได้ ก่อนส่งไปยังโทรทัศน์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. SAMUEL Y. LIAO. **"Microwave Circuit Analysis and Amplifier Design".** UNITED STATES: PRENTICE-HALL INTERNATIONAL INC., 1987.
2. บุญชัย เนติศักดิ์. **"ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์ เล่ม 1".** บริษัทซีเอ็ดยูเคชั่นจำกัด , 2541
3. วิสันต์ อาชาเดโชพล. **"สายอากาศและเทคนิคการติดตั้ง".** สำนักพิมพ์ฟิสิกส์เซ็นเตอร์ , 2537
4. สุชาติ กังวารจิตต์. **"หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร".** บริษัทซีเอ็ดยูเคชั่นจำกัด , 2521

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

โปรแกรมหารความถี่

```
#include <avr/io.h>                          //AVR device-specific IO
definition
#include <stdio.h>
#include <util/delay.h>

void delay_us(unsigned int t)                //defined delay function
 {
      for(;t>0;t--);                         // check value of t if t >
0 then decrease it by 1
      _delay_us(1);                          //in loop 'for': call delay
function 1 us
 }

void send_data()
 {
      int i;
      unsigned char data[21];
      for(i=0;i<21;i++)
            {
            out_b(1,data[i]);                //define PB0 for Sdata
            out_b(0,0);                 //define PB1 for Sclk
            delay_us(10);                    //delay for 10 us
            out_b(1,1);
            delay_us(10);
            out_b(1,0);
            delay_us(10);
            }
      out_b(2,0);                      //define PB2 for SWR
      delay_us(10);
 }

void check__input()
 {
      char a,b,c;
      char j[8];                         //define j for input value base
10
      unsigned char k[8];                //define k for switch input
      k[0] = in_c(3);
      k[1] = in_c(4);
      k[2] = in_c(5);
      k[3] = in_d(2);
      k[4] = in_d(3);
      k[5] = in_d(4);
      k[6] = in_d(5);
      k[7] = in_d(6);
      c=k[7]+k[6]*2+k[5]*4+k[4]*8+k[3]*16+k[2]*32+k[1]*64+k[0]*128;
 }

void main()                              //main function
 {
      int c,d,e,f,array[15]={0,0,0,0,0,0,0,0,0,0,0,0,0,0,0};
      unsigned char data[21];
      data[0] = 1;                       //Enh
      data[1] = 0;                       //R5
      data[2] = 0;                       //R4
      data[3] = 0;                       //M8
      data[4] = 1;                       //M7
```

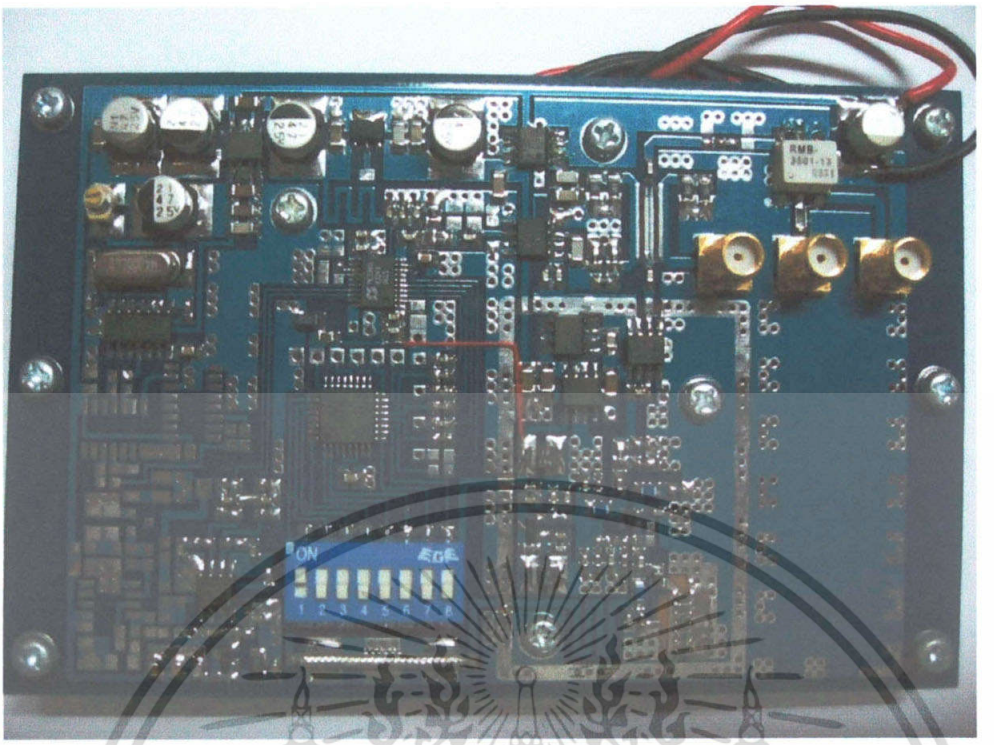
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
data[5] = 0;                          //Pre_En
data[6] = 1;                          //M6
data[7] = 1;                          //M5
data[8] = 0;                          //M4
data[9] = 1;                          //M3
data[10] = 1;                         //M2
data[11] = 1;                         //M1
data[12] = 1;                         //M0
data[13] = 0;                         //R3
data[14] = 0;                         //R2
data[15] = 1;                         //R1
data[16] = 1;                         //R0
data[17] = 0;                         //A3
data[18] = 0;                         //A2
data[19] = 0;                         //A1
data[20] = 0;                         //A0
check_input();
d=0;
if (c<=9)
{
      while(c!=1)                     //convert to base 2
      {
            array[d]=c%2;
            c/=2;
            d+=1;
      }
      array[d]=1;

      data[20]=array[0];
      data[19]=array[1];
      data[18]=array[2];
      data[17]=array[3];
}
else
{
      f=c/9;
      c=c%9

      e=data[12]+(data[11]*2)+(data[10]*4)+(data[9]*8)+
      (data[8]*16)+(data[7]*32)+(data[6]*64)+(data[4]*128)
      +(data[3]*256);

      f=f+e;

      while(f!=1)
      {
            array[d]=f%2;
            f/=2;
            d+=1;
      }
      array[d]=1;
      d+=1;
      while(c!=1)
      {
            array[d]=c%2;
            c/=2;
            d+=1;
      }
      array[d]=1;

      data[12]=array[0];
```

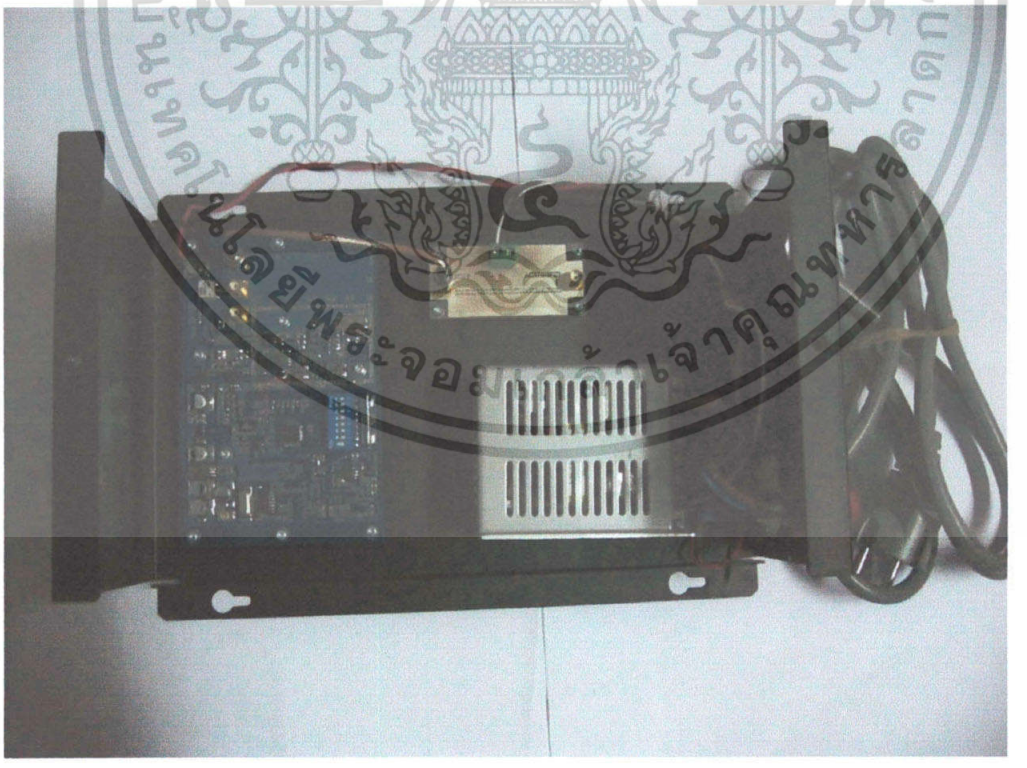
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            data[11]=array[1];
            data[10]=array[2];
            data[9]=array[3];
            data[8]=array[4];
            data[7]=array[5];
            data[6]=array[6];
            data[4]=array[7];
            data[3]=array[8];
            data[20]=array[9];
            data[19]=array[10];
            data[18]=array[11];
            data[17]=array[12];
        }
        send_data();
}
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ (จ) วงจรสังเคราะห์ความถี่และวงจรมิกเซอร์ภาครับ

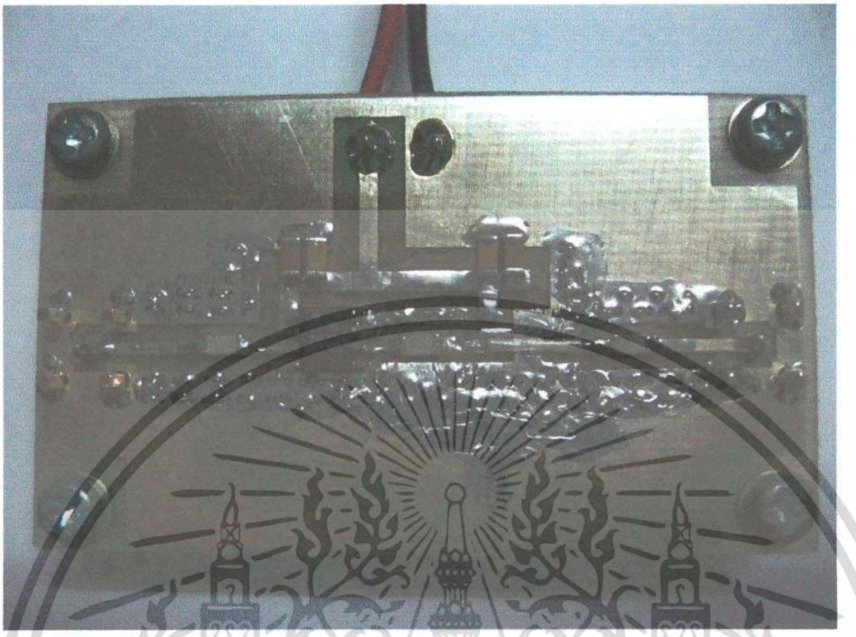


รูปที่ (ฉ) วงจรรวมภาครับของระบบโทรทัศน์วงจรปิดไร้สาย

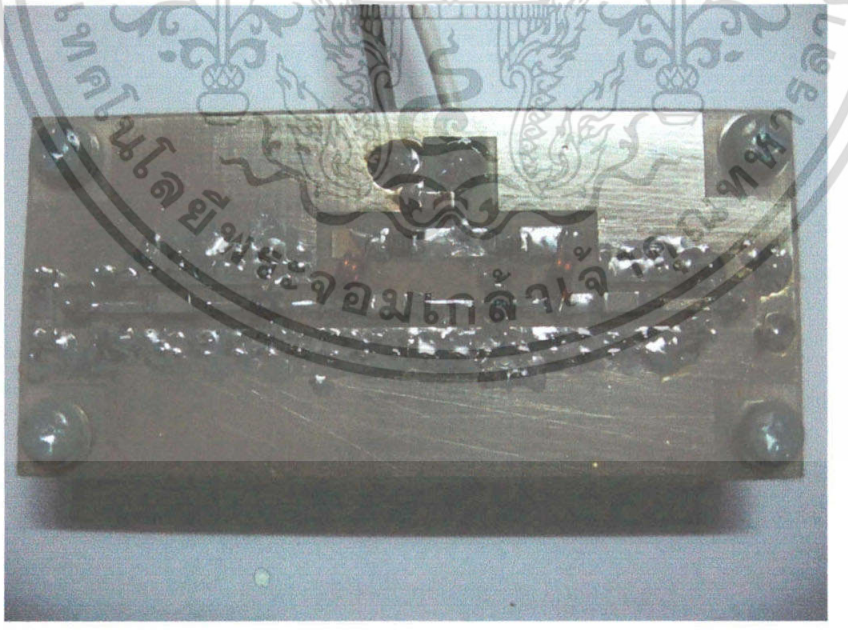
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

ภาพวงจรแต่ละวงจรของระบบโทรทัศน์วงจรปิดไร้สาย

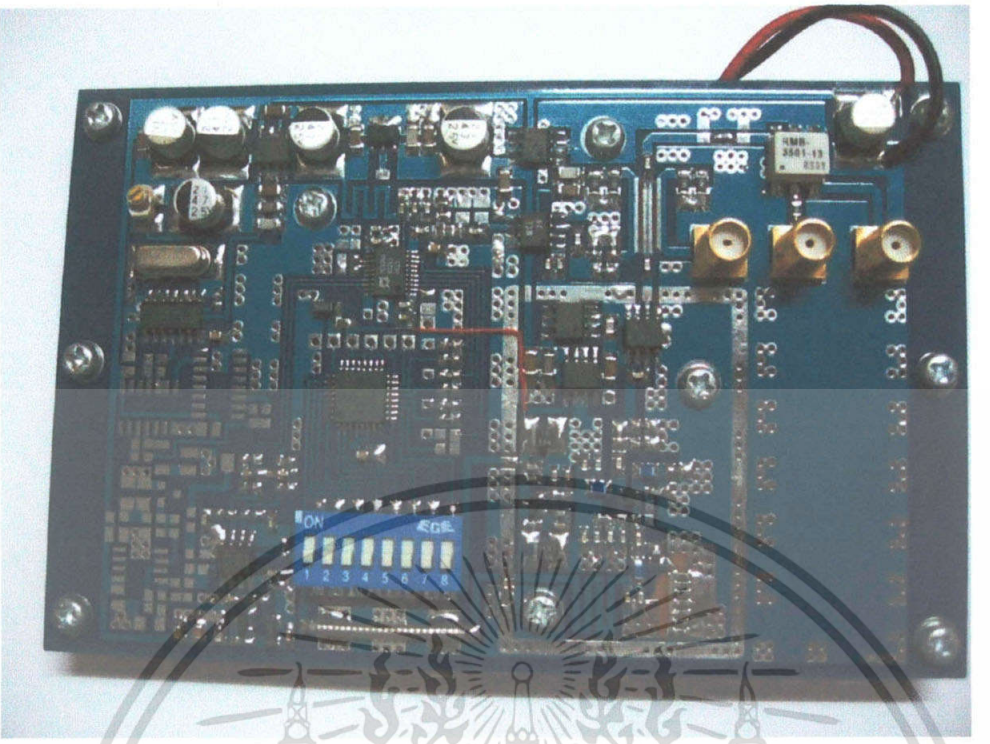


รูปที่ (ก) วงจรขยายกำลัง

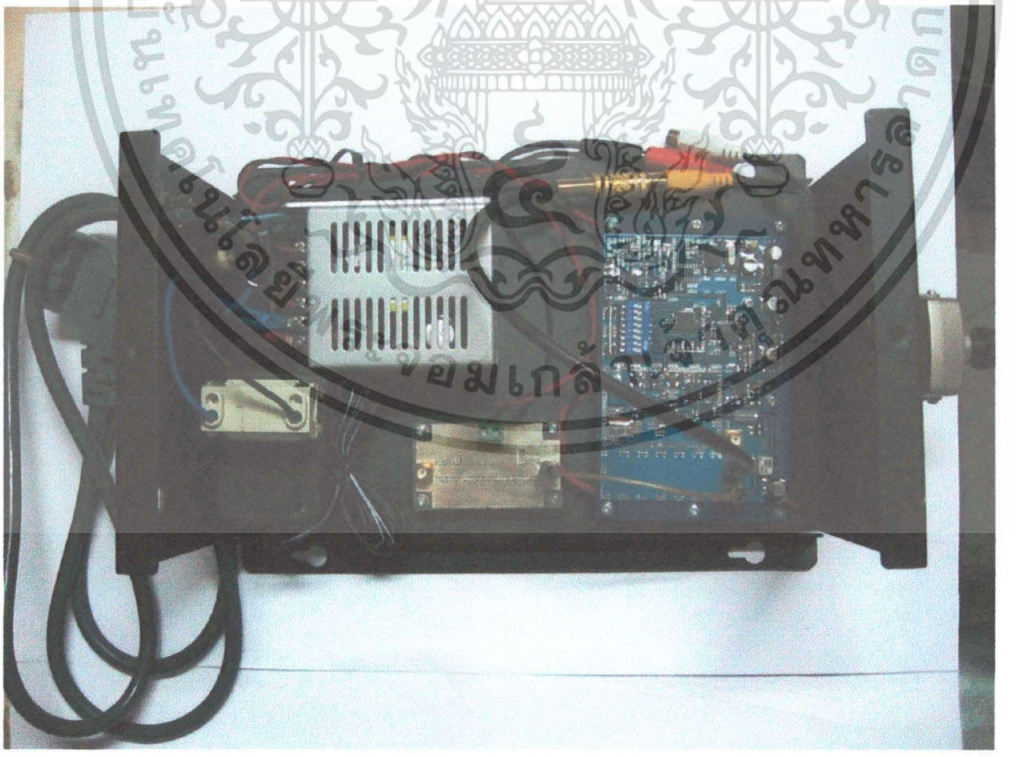


รูปที่ (ข) วงจรขยายสัญญาณรบกวนต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ (ค) วงจรสังเคราะห์ความถี่และวงจรมิกเซอร์ภาคส่ง



รูปที่ (ง) วงจรรวมภาคส่งของระบบโทรทัศน์วงจรปิดไร้สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Peregrine Semiconductor

PRODUCT SPECIFICATION

PE3340

3.0 GHz Integer-N PLL for Low Phase Noise Applications

Features

- 3.0 GHz operation
- ÷10/11 dual modulus prescaler
- Internal phase detector
- Serial programmable
- Low power — 20 mA at 3 V
- Ultra-low phase noise
- Available in 20-lead TSSOP

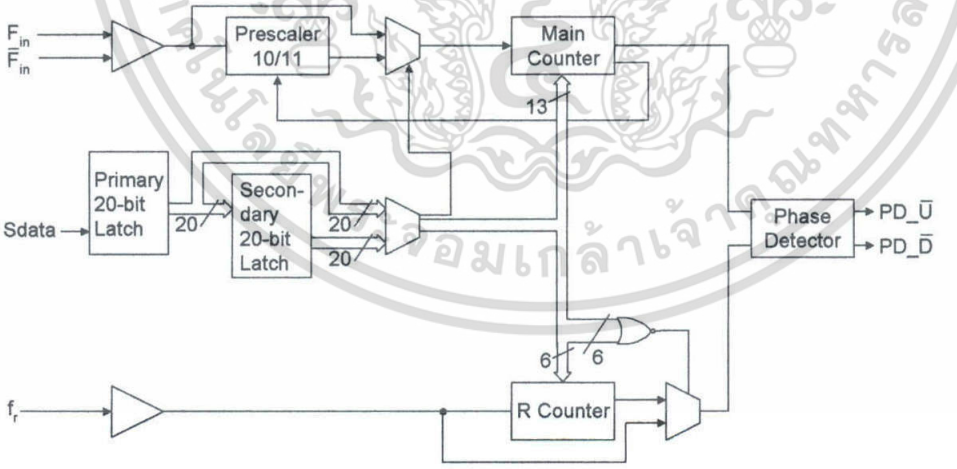
Product Description

Peregrine's PE3340 is a high performance integer-N PLL capable of frequency synthesis up to 3.0 GHz. The superior phase noise performance of the PE3340 makes it ideal for applications such as wireless local loop basestations, LMDS systems and other demanding terrestrial systems.

The PE3340 features a 10/11 dual modulus prescaler, counters and a phase comparator as shown in Figure 1. Counter values are programmable through a three wire serial interface.

Fabricated in Peregrine's patented UTSi® (Ultra Thin Silicon) CMOS technology, the PE3340 offers excellent RF performance with the economy and integration of conventional CMOS.

Figure 1. Block Diagram



Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Pin Configuration

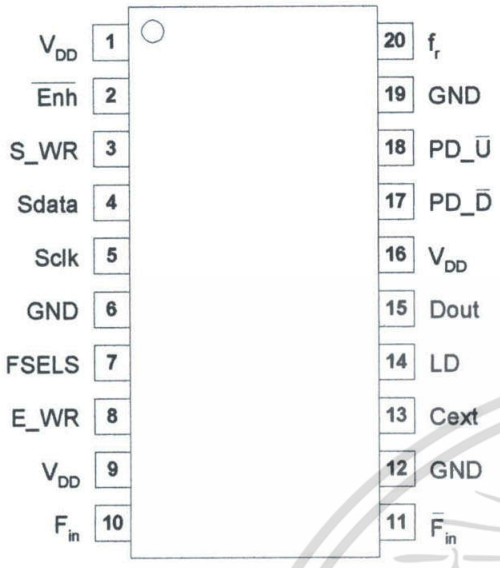


Table 1. Pin Descriptions

Pin No.	Pin Name	Type	Description
1	V_{DD}	(Note 1)	Power supply input. Input may range from 2.85 V to 3.15 V. Bypassing required.
2	Enh	Input	Enhancement mode. When asserted low ("0"), enhancement register bits are functional. Internal 70 kΩ pull-up resistor.
3	S_WR	Input	Serial load enable input. While S_WR is "low", Sdata can be serially clocked. Primary register data are transferred to the secondary register on S_WR rising edge.
4	Sdata	Input	Binary serial data input. Input data entered MSB first.
5	Sclk	Input	Serial clock input. Sdata is clocked serially into the 20-bit primary register (E_WR "low") or the 8-bit enhancement register (E_WR "high") on the rising edge of Sclk.
6	GND		Ground.
7	FSELS	Input	Selects contents of primary register (FSELS=1) or secondary register (FSELS=0) for programming of internal counters. Internal 70 kΩ pull-down resistor.
8	E_WR	Input	Enhancement register write enable. While E_WR is "high", Sdata can be serially clocked into the enhancement register on the rising edge of Sclk. Internal 70 kΩ pull-down resistor.
9	V_{DD}	(Note 1)	Same as pin 1.
10	F_{in}	Input	Prescaler input from the VCO. Max frequency input is 3.0 GHz.
11	Fin	Input	Prescaler complementary input. A bypass capacitor should be placed as close as possible to this pin and be connected in series with a 50 Ω resistor to the ground plane.
12	GND		Ground.
13	Cext	Output	Logical "NAND" of PD_U and PD_D terminated through an on chip, 2 kΩ series resistor. Connecting Cext to an external capacitor will low pass filter the input to the inverting amplifier used for driving LD.
14	LD	Output	Lock detect is an open drain logical inversion of CEXT. When the loop is in lock, LD is high impedance, otherwise LD is a logic low ("0").
15	Dout	Output	Data out function, Dout, enabled in enhancement mode.
16	V_{DD}	(Note 1)	Same as pin 1.

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin No.	Pin Name	Type	Description
17	PD_D	Output	PD_D pulses down when f_p leads f_c.
18	PD_U	Output	PD_U pulses down when f_c leads f_p.
19	GND		Ground.
20	f_r	Input	Reference frequency input.

Note 1: V_{DD} pins 1, 9, and 16 are connected by diodes and must be supplied with the same positive voltage level.

Table 2. Absolute Maximum Ratings

Symbol	Parameter/Conditions	Min	Max	Units
V_{DD}	Supply voltage	-0.3	4.0	V
V_I	Voltage on any input	-0.3	V_{DD} + 0.3	V
I_I	DC into any input	-10	+10	mA
I_O	DC into any output	-10	+10	mA
T_{stg}	Storage temperature range	-65	150	°C

Table 3. Operating Ratings

Symbol	Parameter/Conditions	Min	Max	Units
V_{DD}	Supply voltage	2.85	3.15	V
T_A	Operating ambient temperature range	-40	85	°C

Table 4. ESD Ratings

Symbol	Parameter/Conditions	Level	Units
V_{ESD}	ESD voltage human body model (Note 1)	1000	V

Note 1: Periodically sampled, not 100% tested. Tested per MIL-STD-883, M3015 C2

Electrostatic Discharge (ESD) Precautions

When handling this UTSi device, observe the same precautions that you would use with other ESD-sensitive devices. Although this device contains circuitry to protect it from damage due to ESD, precautions should be taken to avoid exceeding the rating specified in Table 4.

Latch-Up Avoidance

Unlike conventional CMOS devices, UTSi CMOS devices are immune to latch-up.

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 5. DC Characteristics

V_{DD} = 3.0 V, -40° C < T_A < 85° C, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I_{DD}	Operational supply current; Prescaler enabled	V_{DD} = 2.85 to 3.15 V		20	35	mA
Digital Inputs: S_WR, Sdata, Sclk						
V_{IH}	High level input voltage	V_{DD} = 2.85 to 3.15 V	0.7 x V_{DD}			V
V_{IL}	Low level input voltage	V_{DD} = 2.85 to 3.15 V			0.3 x V_{DD}	V
I_{IH}	High level input current	V_{IH} = V_{DD} = 3.15 V			+1	µA
I_{IL}	Low level input current	V_{IL} = 0, V_{DD} = 3.15 V	-1			µA
Digital inputs: Enh (contains a 70 kΩ pull-up resistor)						
V_{IH}	High level input voltage	V_{DD} = 2.85 to 3.15 V	0.7 x V_{DD}			V
V_{IL}	Low level input voltage	V_{DD} = 2.85 to 3.15 V			0.3 x V_{DD}	V
I_{IH}	High level input current	V_{IH} = V_{DD} = 3.15 V			+1	µA
I_{IL}	Low level input current	V_{IL} = 0, V_{DD} = 3.15 V	-100			µA
Digital inputs: FSELS, E_WR (contains a 70 kΩ pull-down resistor)						
V_{IH}	High level input voltage	V_{DD} = 2.85 to 3.15 V	0.7 x V_{DD}			V
V_{IL}	Low level input voltage	V_{DD} = 2.85 to 3.15 V			0.3 x V_{DD}	V
I_{IH}	High level input current	V_{IH} = V_{DD} = 3.15 V			+100	µA
I_{IL}	Low level input current	V_{IL} = 0, V_{DD} = 3.15 V	-1			µA
Reference Divider input: f_r						
I_{IHR}	High level input current	V_{IH} = V_{DD} = 3.15 V			+100	µA
I_{ILR}	Low level input current	V_{IL} = 0, V_{DD} = 3.15 V	-100			µA
Counter and phase detector outputs: Dout, PD_D, PD_U						
V_{OLD}	Output voltage LOW	I_{out} = 6 mA			0.4	V
V_{OHD}	Output voltage HIGH	I_{out} = -3 mA	V_{DD} - 0.4			V
Lock detect outputs: (Cext, LD)						
V_{OLC}	Output voltage LOW, Cext	I_{out} = 0.1 mA			0.4	V
V_{OHC}	Output voltage HIGH, Cext	I_{out} = -0.1 mA	V_{DD} - 0.4			V
V_{OLLD}	Output voltage LOW, LD	I_{out} = 1 mA			0.4	V

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 6. AC Characteristics

V_{DD} = 3.0 V, -40° C < T_A < 85° C, unless otherwise specified

Symbol	Parameter	Conditions	Min	Max	Units
Control Interface and Latches (see Figures 3, 4)					
f_{Clk}	Serial data clock frequency	(Note 1)		10	MHz
t_{ClkH}	Serial clock HIGH time		30		ns
t_{ClkL}	Serial clock LOW time		30		ns
t_{DSU}	Sdata set-up time to Sclk rising edge		10		ns
t_{DHLD}	Sdata hold time after Sclk rising edge		10		ns
t_{PW}	S_WR pulse width		30		ns
t_{CWR}	Sclk rising edge to S_WR rising edge		30		ns
t_{CE}	Sclk falling edge to E_WR transition		30		ns
t_{WRC}	S_WR falling edge to Sclk rising edge		30		ns
t_{EC}	E_WR transition to Sclk rising edge		30		ns
Main Divider (Including Prescaler)					
F_{in}	Operating frequency		500	3000	MHz
P_{Fin}	Input level range	External AC coupling	-5	5	dBm
Main Divider (Prescaler Bypassed)					
F_{in}	Operating frequency		50	300	MHz
P_{Fin}	Input level range	External AC coupling	-5	5	dBm
Reference Divider					
f_r	Operating frequency	(Note 3)		100	MHz
P_{fr}	Reference input power (Note 2)	Single ended input	-2		dBm
Phase Detector					
f_c	Comparison frequency	(Note 3)		20	MHz
SSB Phase Noise (F_{in} = 1.3 GHz, f_r = 10 MHz, f_c = 1.25 MHz, LBW = 70 kHz, V_{DD} = 3.0 V, Temp = -40° C)					
		100 Hz Offset		-75	dBc/Hz
		1 kHz Offset		-85	dBc/Hz

Note 1: fclk is verified during the functional pattern test. Serial programming sections of the functional pattern are clocked at 10 MHz to verify fclk specification.

Note 2: CMOS logic levels can be used to drive reference input if DC coupled. Voltage input needs to be a minimum of 0.5 Vp-p. For optimum phase noise performance, the reference input falling edge rate should be faster than 80mV/ns.

Note 3: Parameter is guaranteed through characterization only and is not tested.

Copyright © Peregrine Semiconductor Corp. 2004

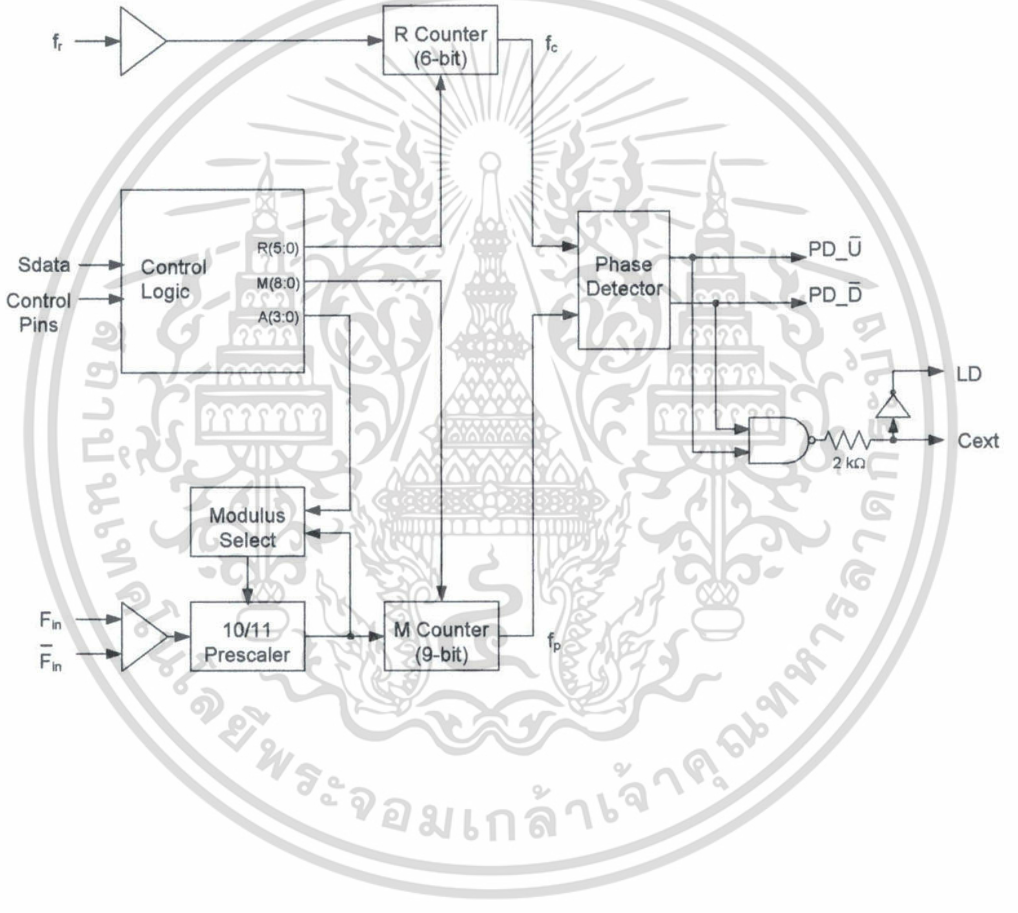
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The PE3340 consists of a prescaler, counters, a phase detector and control logic. The dual modulus prescaler divides the VCO frequency by either 10 or 11, depending on the value of the modulus select. Counters "R" and "M" divide the reference and prescaler output, respectively, by integer values stored in a 20-bit register. An additional counter ("A") is used in the modulus select logic.

The phase-frequency detector generates up and down frequency control signals. Data is written into the internal registers via the three wire serial bus. There are also various operational and test modes and a lock detect output.

Figure 3. Functional Block Diagram



Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Main Counter Chain

Normal Operating Mode

Setting the Pre_en control bit "low" enables the +10/11 prescaler. The main counter chain then divides the RF input frequency (F_{in}) by an integer derived from the values in the "M" and "A" counters.

In this mode, the output from the main counter chain (f_p) is related to the VCO frequency (F_{in}) by the following equation:

$$f_p = F_{in} / [10 \times (M + 1) + A] \quad (1)$$
$$\text{where } A \leq M + 1,\ 1 \leq M \leq 511$$

When the loop is locked, F_{in} is related to the reference frequency (f_r) by the following equation:

$$F_{in} = [10 \times (M + 1) + A] \times (f_r / (R+1)) \quad (2)$$
$$\text{where } A \leq M + 1,\ 1 \leq M \leq 511$$

A consequence of the upper limit on A is that F_{in} must be greater than or equal to 90 x (f_r / (R+1)) to obtain contiguous channels. The A counter can accept values as high as 15, but in typical operation it will cycle from 0 to 9 between increments in M.

Programming the M counter with the minimum allowed value of "1" will result in a minimum M counter divide ratio of "2".

Prescaler Bypass Mode

Setting the frequency control register bit Pre_en "high" allows F_{in} to bypass the +10/11 prescaler. In this mode, the prescaler and A counter are powered down, and the input VCO frequency is divided by the M counter directly. The following equation relates F_{in} to the reference frequency f_r:

$$F_{in} = (M + 1) \times (f_r / (R+1)) \quad (3)$$
$$\text{where } 1 \leq M \leq 511$$

Reference Counter

The reference counter chain divides the reference frequency f_r down to the phase detector comparison frequency f_c.

The output frequency of the 6-bit R Counter is related to the reference frequency by the following equation:

$$f_c = f_r / (R + 1) \quad (4)$$

$$\text{where } 0 \leq R \leq 63$$

Note that programming R with "0" will pass the reference frequency (f_r) directly to the phase detector.

Register Programming

Serial Interface Mode

While the E_WR input is "low" and the S_WR input is "low", serial input data (Sdata input), B_0 to B_{19}, are clocked serially into the primary register on the rising edge of Sclk, MSB (B_0) first. The contents from the primary register are transferred into the secondary register on the rising edge of either S_WR according to the timing diagrams shown in Figure 4. Data are transferred to the counters as shown in Table 7 on page 9.

The double buffering provided by the primary and secondary registers allows for "ping-pong" counter control using the FSELS input. When FSELS is "high", the primary register contents set the counter inputs. When FSELS is "low", the secondary register contents are utilized.

While the E_WR input is "high" and the S_WR input is "low", serial input data (Sdata input), B_0 to B_7, are clocked serially into the enhancement register on the rising edge of Sclk, MSB (B_0) first. The enhancement register is double buffered to prevent inadvertent control changes during serial loading, with buffer capture of the serially entered data performed on the falling edge of E_WR according to the timing diagram shown in Figure 4. After the falling edge of E_WR, the data provide control bits as shown in Table 8 on page 9 will have their bit functionality enabled by asserting the Enh input "low".

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 7. Primary Register Programming

Interface Mode	Enh	R_5	R_4	M_8	M_7	Pre_en	M_6	M_5	M_4	M_3	M_2	M_1	M_0	R_3	R_2	R_1	R_0	A_3	A_2	A_1	A_0
Serial*	1	B_0	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8	B_9	B_{10}	B_{11}	B_{12}	B_{13}	B_{14}	B_{15}	B_{16}	B_{17}	B_{18}	B_{19}

*Serial data clocked serially on Sclk rising edge while E_WR "low" and captured in secondary register on S_WR rising edge.

MSB (first in) ↑ ↑ (last in) LSB

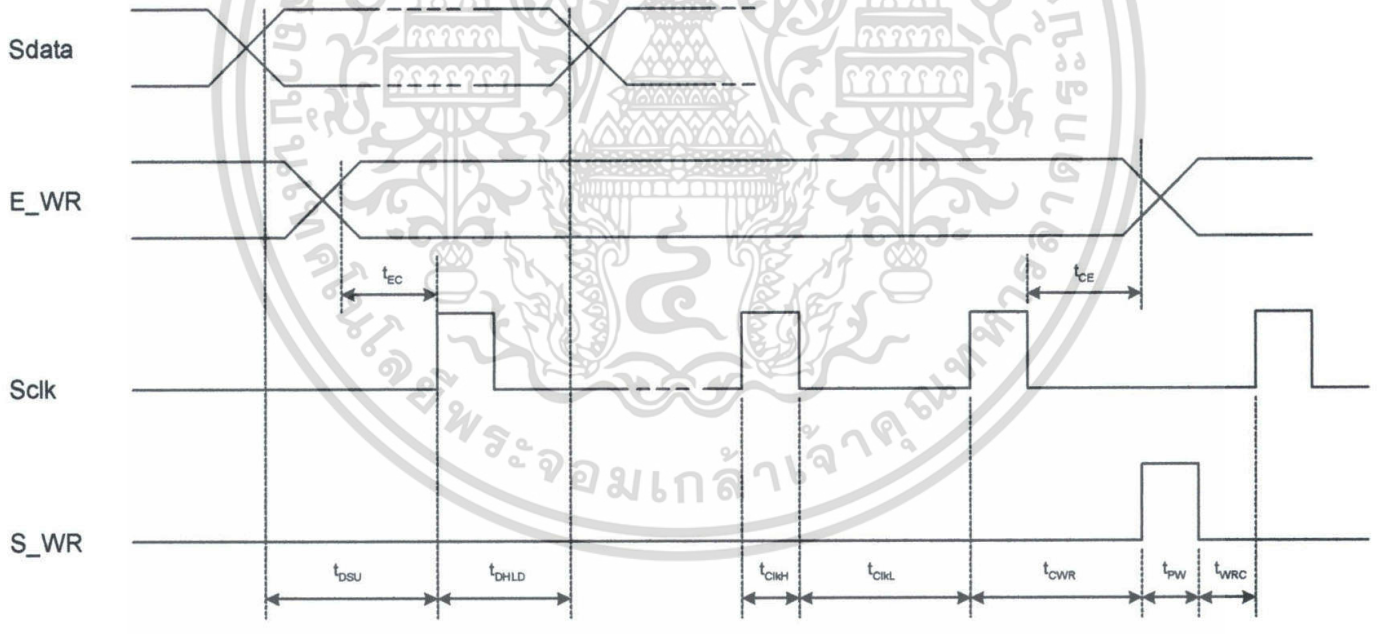
Table 8. Enhancement Register Programming

Interface Mode	Enh	Reserved	Reserved	f_p output	Power down	Counter load	MSEL output	f_c output	Reserved
Serial*	0	B_0	B_1	B_2	B_3	B_4	B_5	B_6	B_7

*Serial data clocked serially on Sclk rising edge while E_WR "high" and captured in the double buffer on E_WR falling edge.

MSB (first in) ↑ ↑ (last in) LSB

Figure 4. Serial Interface Mode Timing Diagram



Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Enhancement Register

The functions of the enhancement register bits are shown below with all bits active "high".

Table 9. Enhancement Register Bit Functionality

Bit Function		Description
Bit 0	Reserved**	
Bit 1	Reserved**	
Bit 2	f_p output	Drives the M counter output onto the Dout output.
Bit 3	Power down	Power down of all functions except programming interface.
Bit 4	Counter load	Immediate and continuous load of counter programming.
Bit 5	MSEL output	Drives the internal dual modulus prescaler modulus select (MSEL) onto the Dout output.
Bit 6	f_c output	Drives the reference counter output onto the Dout output.
Bit 7	Reserved**	

** Program to 0

Phase Detector

The phase detector is triggered by rising edges from the main Counter (f_p) and the reference counter (f_c). It has two outputs, namely PD_U, and PD_D. If the divided VCO leads the divided reference in phase or frequency (f_p leads f_c), PD_D pulses "low". If the divided reference leads the divided VCO in phase or frequency (f_c leads f_p), PD_U pulses "low". The width of either pulse is directly proportional to phase offset between the two input signals, f_p and f_c.

The phase detector gain is equal to 2.70 V / 2 π, which numerically yields 0.43 V / Radian.

PD_U and PD_D drive an active loop filter which controls the VCO tune voltage. PD_U pulses result in an increase in VCO frequency and PD_D results in a decrease in VCO frequency, for a positive Kv VCO.

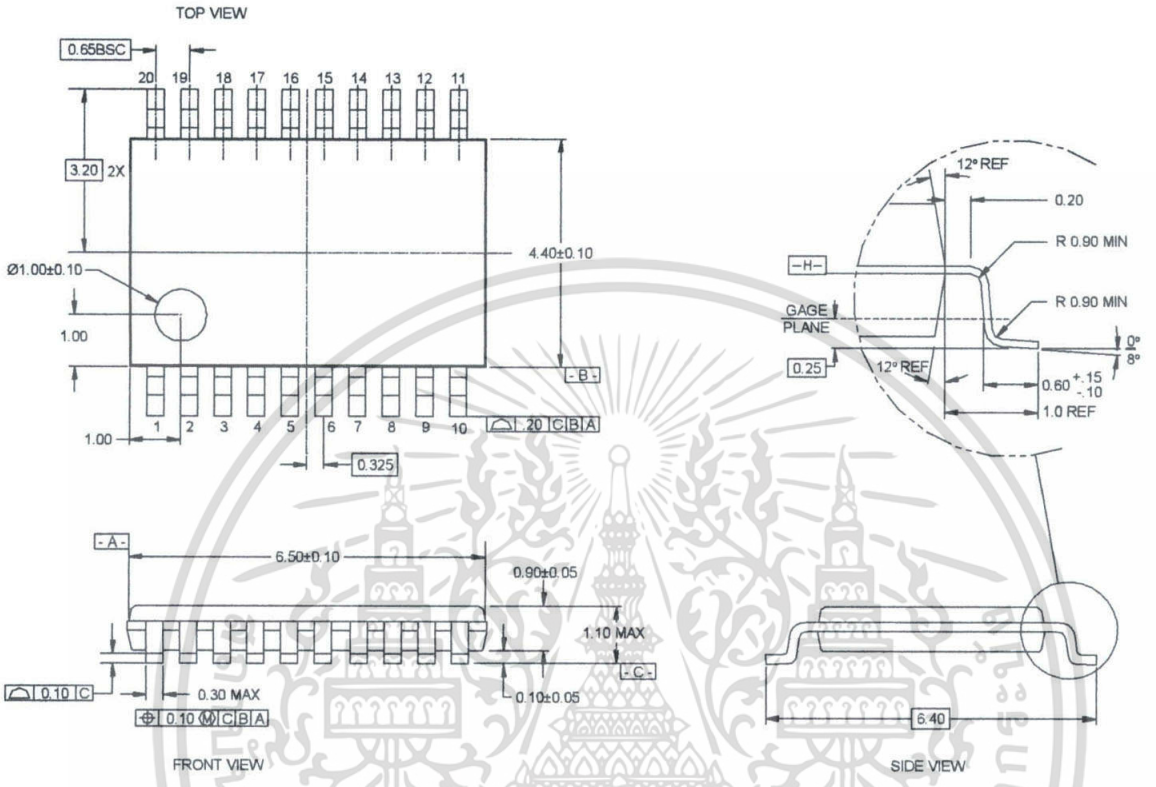
A lock detect output, LD is also provided, via the pin Cext. Cext is the logical "NAND" of PD_U and PD_D waveforms, which is driven through a series 2 kohm resistor. Connecting Cext to an external shunt capacitor provides low pass filtering of this signal. Cext also drives the input of an internal inverting comparator with an open drain output. Thus LD is an "AND" function of PD_U and PD_D.

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Package Drawing

20-lead TSSOP (JEDEC MO-153-AC)



Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 10. Ordering Information

Order Code	Part Marking	Description	Package	Shipping Method
3340-11	PE3340	PE3340-20TSSOP-74A	20-lead TSSOP	74 units / Tube
3340-12	PE3340	PE3340-20TSSOP-200C	20-lead TSSOP	2000 units / T&R
3340-00	PE3340EK	PE3340-20TSSOP-EVAL KIT	20-lead TSSOP	1 / Box

Copyright © Peregrine Semiconductor Corp. 2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sales Offices

United States

Peregrine Semiconductor Corp.
9450 Carroll Park Drive
San Diego, CA 92121
Tel 1-858-731-9400
Fax 1-858-731-9499

Japan

Peregrine Semiconductor K.K.
5A-5, 5F Imperial Tower
1-1-1 Uchisaiwaicho, Chiyoda-ku
Tokyo 100-0011 Japan
Tel: (+81)-03-3507-5755
Fax: (+81)-03-3507-5601

Europe

Peregrine Semiconductor Europe
Bâtiment Maine
13-15 rue des Quatre Vents
F- 92380 Garches France
Tel (+33)-1-47-41-91-73
Fax (+33)-1-47-41-91-73

For a list of representatives in your area, please refer to our Web site at: ***http://www.psemi.com***

Data Sheet Identification

Advance Information

The product is in a formative or design stage. The data sheet contains design target specifications for product development. Specifications and features may change in any manner without notice.

Preliminary Specification

The data sheet contains preliminary data. Additional data may be added at a later date. Peregrine reserves the right to change specifications at any time without notice in order to supply the best possible product.

Product Specification

The data sheet contains final data. In the event Peregrine decides to change the specifications, Peregrine will notify customers of the intended changes by issuing a DCN (Document Change Notice).

The information in this data sheet is believed to be reliable. However, Peregrine assumes no liability for the use of this information. Use shall be entirely at the user's own risk.

No patent rights or licenses to any circuits described in this data sheet are implied or granted to any third party.

Peregrine's products are not designed or intended for use in devices or systems intended for surgical implant, or in other applications intended to support or sustain life, or in any application in which the failure of the Peregrine product could create a situation in which personal injury or death might occur. Peregrine assumes no liability for damages, including consequential or incidental damages, arising out of the use of its products in such applications.

Peregrine, the Peregrine logotype, Peregrine Semiconductor Corp., and UTSi are registered trademarks of Peregrine Semiconductor Corporation.
Copyright © 2004 Peregrine Semiconductor Corp. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้