สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปีการศึกษา 2549

วงจรกรองกำลังแอคทีฟแบบขนานสามเฟส
A THREE-PHASE SHUNT ACTIVE POWER FILTER

โดย

นาย นิธิฉัตร กฤษนันต์
นาย ศุภเชษฐ์ วงศ์กิจเจริญ
นาย สถาพร สายใจ

เลขหมู่.....
เลขทะเบียน 72644
วัน,เดือน,ปี 21 มิ.ย. 2550

.b 11737127
.i.....

อาจารย์ที่ปรึกษา

ดร. สมภพ ผลไม้
ผศ.ดร. สุพัฒน์ กิตติรัตน์สัจจา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรกรองกำลังแอคทีฟแบบขนานสามเฟส

ผู้จัดทำ

1. นาย นิธิฉัตร กฤษนันต์
2. นาย ศุภเชษฐ์ วงศ์กิจเจริญ
3. นาย สถาพร สายใจ

.....อาจารย์ที่ปรึกษา
(ดร. สมภพ ผลไม้)

.....อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร. สุพัฒน์ กิตติรัตน์สัจจา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองกำลังแอคทีฟแบบขนานสามเฟส

นายนิธิฉัตร กฤษนันต์
นายศุภเชษฐ์ วงศ์กิจเจริญ
นายสถาพร สายใจ
ดร. สมภพ ผลไม้ อาจารย์ที่ปรึกษา
ผศ.ดร.สุพัฒน์ กิตติรัตน์สัจจา อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอการวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานสำหรับโหลดไม่เป็นเชิงเส้นในระบบ 3 เฟส 4 สาย ที่ใช้การตรวจจับกระแสด้วยการแปลงแกนดีคิวซีโรและเฟสล็อกลูป จุดประสงค์หลักของวงจรกรองกำลังแอคทีฟเพื่อใช้ในการกำจัดกระแสฮาร์โมนิค, ปรับปรุงค่าตัวประกอบกำลังให้ดีขึ้นและแก้ไขปัญหาโหลดไม่สมดุล ซึ่งข้อดีของเทคนิคการแปลงแกนดีคิวซีโรและเฟสล็อกลูป คือ ง่ายต่อการคำนวณและลดความยุ่งยากในการออกแบบ การควบคุมความถี่สวิทช์ถูกควบคุมโดยขอบเขตฮีสเตอร์รีซีสเพราะว่าการควบคุมแบบป้อนกลับจะรักษารูปคลื่นขาออกของอินเวอร์เตอร์ให้เหมือนกับรูปคลื่นอ้างอิง แหล่งจ่ายเชื่อมโยงแรงดันไฟตรงจะถูกรักษาโดยตัวควบคุมพีไอ ในการทดลองนี้ได้ทำการจำลองชิ้นงานโดยใช้โปรแกรม MATLAB® & SIMULINK
โดยอ้างอิงจากการใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A THREE-PHASE SHUNT ACTIVE POWER FILTER

Nitichatr Kridsanan
Supachet Wongkitjaroen
Sataporn Saijai
Dr. Sompob Polmai Advisor
Asst. Prof. Dr. Supat Kitiratsatcha Advisor
2006

ABSTRACT

This project presents analysis and design of a shunt active power filter for the three-phase four wire non-linear load system. Harmonic components of current are detected by Phase Lock Loop (PLL) and d-q-0 transform . The main objectives of the active filter are to eliminate harmonics components, to improve the power factor and to correct the unbalanced voltage problem. Advantages of using PLL and d-q-0 transform are easy calculations and reduce complicate to design. The control of switching frequency is realized by an adaptive hysteresis band because feedback control could maintain the output waveform of inverter to identical the reference waveform. The dc link voltage is maintained by the PI controller. In addition operating simulation has been performed by using MATLAB® & SIMULINK resulting in nearby realistic . The control units are implemented in the digital signal processor (DSP).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง วงจรกรองกำลังแอคทีฟแบบขนาน ไม่อาจเสร็จได้ด้วยดี หากไม่ได้รับความช่วยเหลือ และความร่วมมือจากหลายๆ ฝ่ายด้วยกัน บุคคลแรกที่ต้องกล่าวถึง เพราะเป็นส่วนสำคัญที่ทำให้วิทยานิพนธ์นี้เสร็จลงได้ก็คือท่านอาจารย์ ดร.สมภพ ผลไม้ และอาจารย์ ผศ.ดร.สุพัฒน์ กิดดิรัดน์สัจจา อาจารย์ที่ปรึกษาปริญญานิพนธ์ ที่ให้ความเอาใจใส่ แนะนำ และช่วยเหลือเสมอมา ซึ่งต้องขอขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ ชุมนุมโรบอทคณะวิศวกรรมศาสตร์ ที่ให้ความรู้ทางด้านอิเล็กทรอนิกส์พื้นฐาน, นายไพฑูรณ์ ชัยโชติอนันต์ ที่ให้ความรู้ด้านอิเล็กทรอนิกส์และให้คำปรึกษาในการออกแบบวงจร, นายเอกวัฒน์ สุขประจันทร์ ที่ช่วยแนะนำและปรับปรุงระบบขับไอจีบีทีแรงดันสูง , เพื่อนๆ ห้องแล็บ EMC และนายนครินทร์ คำเขียว ที่ช่วยให้การทำแผ่นวงจรพิมพ์เสร็จสมบูรณ์ไปได้ด้วยดี, เพื่อนๆ ห้องโปรเจคทุกคน ที่คอยให้กำลังใจ และเป็นที่ปรึกษาในทุกๆ ด้าน

และต้องขอขอบพระคุณบุคคลที่สำคัญที่สุดที่ทำให้ข้าพเจ้ามีวันนี้ ก็คือ บิดา มารดา อันเป็นที่เคารพยิ่ง ซึ่งได้เลี้ยงดูผู้เขียนมาเป็นอย่างดี พร้อมทั้งให้โอกาสในการศึกษาอย่างเต็มที่ และยังให้กำลังใจเอาใจใส่เสมอมาในทุกๆ ด้านอันหาที่เปรียบมิได้ รวมไปถึงคณาจารย์ และบุคคลากร ของภาคเครื่องกล ที่คอยให้คำปรึกษาและความช่วยเหลือมาโดยตลอด ข้าพเจ้าขอระลึกในพระคุณอันสุดประมาณ และขอกราบขอบพระคุณมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

สารบัญรูป.....III

สารบัญรูป(ต่อ).....IV

สารบัญรูป(ต่อ).....V

สารบัญตาราง.....VI

บทที่ 1 บทนำ

1.1 ความสำคัญของปัญหา.....1

1.2 วัตถุประสงค์ของการวิจัย.....3

1.3 ขอบเขตและข้อกำหนดในการวิจัย.....3

1.4 ขั้นตอนและวิธีการดำเนินงาน.....4

1.5 ประโยชน์ที่ได้รับจากการวิจัย.....5

บทที่ 2 ทฤษฎีการกำจัดกระแสฮาร์โมนิคและการวิเคราะห์คุณภาพรูปคลื่นกระแส.....6

2.1 ประเภทของวงจรกรองกำลังไฟฟ้า.....6

2.1.1 วงจรกรองกำลังพาสซีฟ.....6

2.1.2 วงจรกรองกำลังแอคทีฟ.....7

2.1.2.1 วงจรกรองกำลังแอคทีฟแบบขนาน.....8

2.1.2.2 วงจรกรองกำลังแอคทีฟแบบอนุกรม.....8

2.2 การชดเชยกำลังงานรีแอคทีฟ.....10

2.2.1 การปรับปรุงตัวประกอบกำลัง.....11

2.2.2 ประโยชน์จากการชดเชยกำลังงานรีแอคทีฟ.....12

2.3 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟด้วยค่าดัชนีคุณภาพ.....13

2.3.1 แรงดันและกระแสมูลฐานอาร์เอ็มเอส.....13

2.3.2 แรงดันและกระแสอาร์เอ็มเอส.....13

2.3.3 ค่าตัวประกอบกำลังด้านเข้า (Input Power Factor : PF).....13

2.3.4 ค่าตัวประกอบความผิดเพี้ยน (Distortion Factor : DF).....13

2.3.5 ค่าองค์ประกอบความเพี้ยนรวมของฮาร์โมนิค (Total Harmonic Distortion : THD).....13

บทที่ 3 การวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนาน.....15

3.1 การวิเคราะห์และหลักการสร้างกระแสอ้างอิง.....15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.2 การตรวจจับกระแสฮาร์โมนิค....16
3.2.1 การแปลงแกนดีคิวซีโร 16
3.2.2 Phase-locked loop (PLL) 17
3.2.3 เทคนิค Complementary high-pass filter....20
3.3 หลักการทำงานของวงจรกรองกำลังแอคทีฟ. 20
3.3.1 การวิเคราะห์เทคนิคการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีส (Adaptive Hysteresis band current control)....21
3.3.2 หลักการทำงานของโหมดการสวิทช์....24
3.3.2.1 โหมดการทำงานที่ 1....25
3.3.2.2 โหมดการทำงานที่ 2 25
3.3.2.3 โหมดการทำงานที่ 3 26
3.3.2.4 โหมดการทำงานที่ 4 26
3.4 การควบคุมระดับแรงดันเชื่อมโยงไฟตรง และแรงดันจุดกึ่งกลางไฟตรงให้คงที่....27
3.4.1 การควบคุมระดับแรงดันบัสไฟตรงเชื่อมโยงให้คงที่....28
3.4.2 การควบคุมระดับแรงดันจุดกึ่งกลางไฟตรง....31
3.5 ผลการจำลองการทำงาน....35

บทที่ 4 การออกแบบและสร้างวงจร 41
4.1 การออกแบบและสร้างวงจรแปลงผันพลังงานไฟฟ้า....41
4.1.1 ตัวเก็บประจุไฟตรง 42
4.1.2 ตัวเหนี่ยวนำกรองกระแส....42
4.1.3 วงจรสวิทช์กำลัง....42
4.2 การออกแบบและสร้างวงจรประวิงเวลา 43
4.3 การออกแบบวงจรตรวจจับของวงจรควบคุม 44
4.4.1 วงจรตรวจจับระดับแรงดัน 44
4.4.2 วงจรตรวจจับกระแส....45
4.4 ตัวประมวลผลสัญญาณดิจิตอล 45
4.4.1 ส่วนของโปรแกรมหลัก....46
4.4.2 การทำงานของส่วนอ่านค่าจากอนาลอกเป็นดิจิตอล....47
4.4.3 การตรวจสอบกระแสเกิน 47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.4.4 การทำงานในส่วนของอินเตอร์รัป.....48
4.4.5 การแปลงสัญญาณอนาลอกเป็นดิจิตอลให้เป็นหน่วยพื้นฐาน.....48
4.5.6 การคำนวนกระแสฮาร์โมนิค.....49
4.4.7 การคำนวนพีไอคอนโทรลเลอร์.....49
4.4.8 การกรองทางดิจิตอล.....49
4.4.9 การสร้างกระแสฮาร์โมนิค.....50

บทที่ 5 ผลการทดลองการทำงานของวงจรกรองกำลังแอคทีฟ.....51
5.1 ผลการทดลองการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟ.....51

บทที่ 6 บทสรุปและข้อเสนอแนะ.....55
6.1 สรุปผลการวิจัย.....55
6.2 ข้อเสนอแนะในการพัฒนางานวิจัยต่อไป.....55

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

1.1 วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 3 สาย.....2

1.2 วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย.....3

2.1 วงจรกรองกำลังพาสซีฟแบบขนาน.....6

2.2 วงจรกรองกำลังพาสซีฟแบบอนุกรม.....7

2.3 วงจรกรองกำลังแอคทีฟแบบขนาน.....8

2.4 วงจรกรองกำลังแอคทีฟแบบอนุกรม.....9

2.5 การปรับปรุงตัวประกอบกำลังไฟฟ้า.....11

3.1 วงจรพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนาน.....16

3.2 (a) บล็อกไดอะแกรมของ PLL.....17

(b) ฟังก์ชันโอนย้ายของ VCO (u_f = แรงดันควบคุม; ω_2 คือความถี่เชิงมุมของสัญญาณอินพุท).....18

(c) ฟังก์ชันถ่ายโอนของ PD ($\overline{u}_d$ = ค่าเฉลี่ยของสัญญาณเอาท์พุทของเฟสดีเทคเตอร์; θ_e คือความต่างเฟส).....18

3.3 บล็อกไดอะแกรม Complementary high-pass filter.....20

3.4 โครงสร้างวงจรกำลังของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย.....20

3.5 สัญญาณกระแสและการสวิทช์ของการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส....21

3.6 รูปคลื่นกระแสของอินเวอร์เตอร์ตามสภาวะโหมดการควบคุมการสวิทช์.....24

3.7 การทำงานของสวิทช์ในโหมดการทำงานที่ 1.....25

3.8 การทำงานของสวิทช์ในโหมดการทำงานที่ 2.....25

3.9 การทำงานของสวิทช์ในโหมดการทำงานที่ 3.....26

3.10 การทำงานของสวิทช์ในโหมดการทำงานที่ 4.....26

3.11 โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับแรงดันไฟตรง.....27

3.12 บล็อกไดอะแกรมส่วนควบคุมแรงดันไฟตรงที่ใช้ในการออกแบบ.....29

3.13 บล็อกไดอะแกรมส่วนควบคุมระดับแรงดันไฟตรงหลังจากประมาณเป็นระบบเชิงเส้น.....29

3.14 แผนภูมิโบเดของระบบเมื่อยังไม่รวมส่วนควบคุมพีไอ.....30

3.15 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันไฟตรง.....31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า
3.16 ผลการตอบสนองของระบบการรักษาไฟตรงที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป 32
3.17 การไหลของกระแสซีเควนซ์ศูนย์เพื่อควบคุมแรงดันจุดกึ่งกลางไฟตรง.....32
3.18 บล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรง.....33
3.19 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันที่จุดกึ่งกลางไฟตรง.....34
3.20 ผลการตอบสนองของระบบการรักษาระดับไฟตรงจุดกึ่งกลางที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป.....35
3.21 รูปแบบของวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานที่ใช้ในการจำลองการทำงานด้วย โปรแกรม Matlab & Simulink.....36
3.22 กราฟเปรียบเทียบกระแสฮาร์โมนิคที่ตรวจจับได้กับกระแสฮาร์โมนิคที่วงจรจำลองสร้างขึ้นมา 36
3.23 กราฟเปรียบเทียบกระแสโหลดกับกระแสแหล่งจ่าย.....37
3.24 กราฟเปรียบเทียบกระแสโหลดกับกระแสส่วนที่เป็นกระแสฮาร์โมนิคที่แยกออกมา.....37
3.25 กราฟแสดงกระแสแหล่งจ่ายและกราฟสเปกตรากระแสแหล่งจ่ายก่อนทำการชดเชย.....38
3.26 กราฟแสดงกระแสแหล่งจ่ายและกราฟสเปกตรากระแสแหล่งจ่ายหลังทำการชดเชย.....38
3.27 เพิ่มโหลดทันทีทันใดจาก 1.0 kW ไปเป็น 2.0 kW ที่เวลา 0.06 วินาที.....39
3.28 เปลี่ยนแปลงโหลดอย่างทันทีทันใดที่เฟส A เข้าไปอีก 1.0 kW ทำให้โหลดที่เฟส A เท่ากับ 2.0 kW.....39
4.1 โครงสร้างส่วนประกอบของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย.....41
4.2 วงจรสร้างช่วงประวิงเวลา (Dead time).....43
4.3 วงจรตรวจจับแรงดันไฟฟ้า.....44
4.4 วงจรตรวจจับกระแส.....45
5.1 รูปกระแสแหล่งจ่ายก่อนชดเชย.....51
5.2 กระแสฮาร์โมนิคที่ตัวประมวลผลคำนวณได้.....52
5.3 กระแสฮาร์โมนิคที่จ่ายชดเชยให้กับระบบ.....52
5.4 กระแสแหล่งจ่ายหลังชดเชย 53
5.5 กราฟแสดงกระแสแหล่งจ่ายกับกระแสส่วนที่เป็นฮาร์โมนิค 53
5.6 กราฟแสดงกระแสโหลดกับกระแสโหลดส่วนที่เป็นฮาร์โมนิค.....54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่		หน้า
5.7	กราฟเปรียบเทียบกระแสแหล่งจ่ายกับสเปกตราก่อนชดเชยกระแสฮาร์โมนิค	54
5.8	กราฟแสดงกระแสแหล่งจ่ายกับสเปกตราหลังชดเชยกระแสฮาร์โมนิค	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

1.1 มาตรฐานข้อกำหนดฮาร์โมนิค IEC 61000-3-2 (2000-08) Class A.....4

2.1 เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ.....9

2.1 (ต่อ) เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ.....10

2.2 เปรียบเทียบวงจรกรองกำลังแอคทีฟแบบขนานและอนุกรม.....10

2.3 นิยามของดัชนีและประมาณที่กำหนดคุณสมบัติและคุณภาพรูปคลื่นกระแสอินพุท.....14

3.1 เงื่อนไขการเปลี่ยนแปลงแรงดันของตัวเก็บประจุ.....27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญของปัญหา

เนื่องจากอุปกรณ์อิเล็กทรอนิกส์กำลังอาทิเช่น วงจรเรียงกระแส , อินเวอร์เตอร์ ฯลฯ ได้เข้ามามีบทบาทอย่างมากในวงการอุตสาหกรรม ซึ่งก่อให้เกิดฮาร์โมนิคขึ้นมาในระบบไฟฟ้ากำลัง การที่กระแสไฟฟ้าจากแหล่งจ่ายอินพุทมีองค์ประกอบของฮาร์โมนิค ซึ่งจะส่งผลเสียต่ออุปกรณ์ไฟฟ้าที่เกี่ยวข้อง เช่น การทำงานผิดพลาดไปจากปกติ , การทำงานทำได้ไม่เต็มพิกัด , อาจส่งผลให้อายุการใช้งานของอุปกรณ์ต่ำกว่ามาตรฐาน และรบกวนการทำงานของอุปกรณ์อื่นๆที่อยู่ใกล้เคียง

ปัญหาของฮาร์โมนิคพอจะจำแนกได้ดังต่อไปนี้

1. สายส่งและชุดตัวเก็บประจุไฟฟ้า จะเกิดความเครียดไดอิเล็กตริกสูงกว่าปกติทำให้อายุการใช้งานสั้นลง เกิดความผิดพลาดของระบบไฟฟ้าได้ง่าย หากระบบไฟฟ้านั้นมีสายนิวทรอลจะทำให้มีกระแสฮาร์โมนิคไหลในสายนิวทรอลเพิ่มขึ้น และกระแสฮาร์โมนิคยังสามารถทำให้สภาพความนำไฟฟ้าของสายตัวนำลดลงเนื่องจากปรากฏการณ์ทางผิว

2. หม้อแปลงไฟฟ้าเกิดการอิ่มตัวได้เมื่อจ่ายกระแสไฟฟ้าที่ผิดเพี้ยนไปจากคลื่นรูปซายน์ทำให้เกิดการสูญเสียในขดลวดหม้อแปลงไฟฟ้าเพิ่มขึ้น เนื่องจากมีกระแสไหลวนเพิ่มขึ้น การป้อนกระแสไฟฟ้า ที่มีองค์ประกอบฮาร์โมนิคปนอยู่ให้กับหม้อแปลงไฟฟ้า จึงเป็นเหตุให้หม้อแปลงไฟฟ้าไม่สามารถทำงานได้เต็มพิกัดที่กำหนด ดังนั้นจะต้องมีการลดขนาดของพิกัดลง

3. มอเตอร์ไฟฟ้าที่มีกระแสฮาร์โมนิคไหลในขดลวดสเตเตอร์ จะทำให้อุณหภูมิขณะทำงานสูงกว่าปกติเนื่องจากกระแสไหลวนสูงขึ้นและแรงดันฮาร์โมนิคยังก่อให้เกิดการสั่นสะเทือนกับตัวมอเตอร์ส่งผลกระทบทางกลต่อเพลาและแบริ่ง ซึ่งทำให้อายุการใช้งานจริงของมอเตอร์ต่ำกว่าปกติ

4. อุปกรณ์ป้องกันในระบบไฟฟ้าเช่น ฟิวส์ เซอร์กิดเบรกเกอร์ หรือ สวิทช์เกียร์ทำงานผิดไปจากคุณลักษณะการทำงานปกติ เช่น ตัดต่อวงจรก่อนที่จะถึงค่าที่ตั้งไว้หรือไม่ทำงานเมื่อถึงจุดทำงานที่ตั้งไว้

5. ระบบสื่อสาร เครื่องมือแพทย์ และอุปกรณ์ในระบบควบคุมบางประเภทที่มีความไวในการทำงานสูงอาจถูกรบกวนจากคลื่นแม่เหล็กไฟฟ้า (EMI: electromagnetic interference) และจากคลื่นความถี่วิทยุ (RFI: radio frequency interference) ที่เกิดจากการสวิทช์ด้วยความเร็วสูงของสวิทช์อิเล็กทรอนิกส์ทำให้คุณภาพการสื่อสารลดลง จนถึงขั้นที่ระบบการสื่อสารนั้นไม่สามารถใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแนวทางในการแก้ปัญหาของฮาร์โมนิคที่ผ่านมาได้มีการนำเอาวงจรกรองกำลังแบบพาสซีฟเข้ามาติดตั้ง เพื่อที่จะกรองกระแสฮาร์โมนิคออกไปจากระบบ แต่การใช้วงจรกรองแบบพาสซีฟนั้นก็ยังมีข้อจำกัดอยู่หลายประการดังนี้

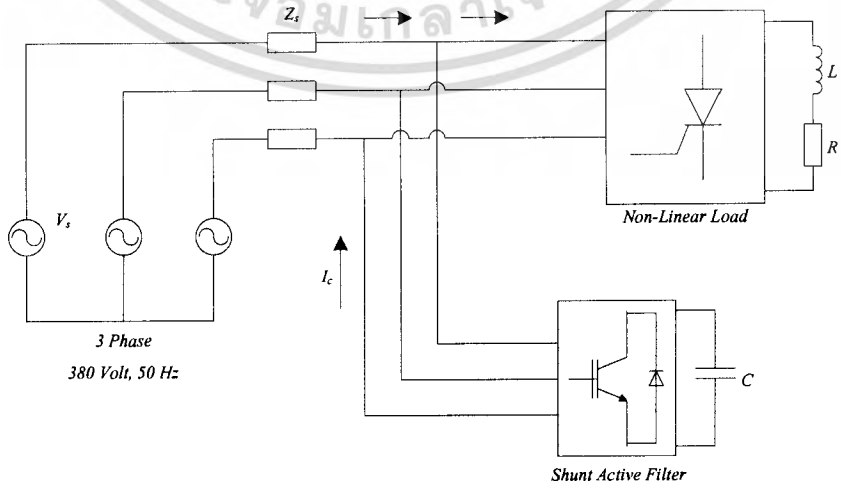
1. คุณสมบัติการกรองของวงจรกรองแบบพาสซีฟจะขึ้นอยู่กับอิมพีแดนซ์ของแหล่งจ่ายกำลังไฟฟ้า ซึ่งอาจมีการเปลี่ยนแปลงได้หากโครงสร้างของระบบไฟฟ้ากำลังมีการเปลี่ยนแปลง

2. วงจรกรองแบบพาสซีฟหนึ่งชุดเหมาะกับกระแสฮาร์โมนิคเพียงอันดับเดียวเท่านั้น

3. มีความซับซ้อนในการออกแบบเนื่องจากวงจรกรองแบบพาสซีฟจำเป็นต้องใช้อุปกรณ์ที่มีความแม่นยำสูง และจะต้องมีขนาดที่ใหญ่พอต่อการรับกระแสฮาร์โมนิค

4. อาจเกิดกระแสสูงไหลระหว่างแหล่งจ่ายกับวงจรกรองเมื่อเกิดเรโซแนนซ์ขนานกับอิมพีแดนซ์ของแหล่งจ่ายเมื่อมองจากทางด้านโหลดจึงทำให้อุปกรณ์ต่างๆในระบบเสียหายได้เนื่องจากเกิดแรงดันสูงตกคร่อมโหลด

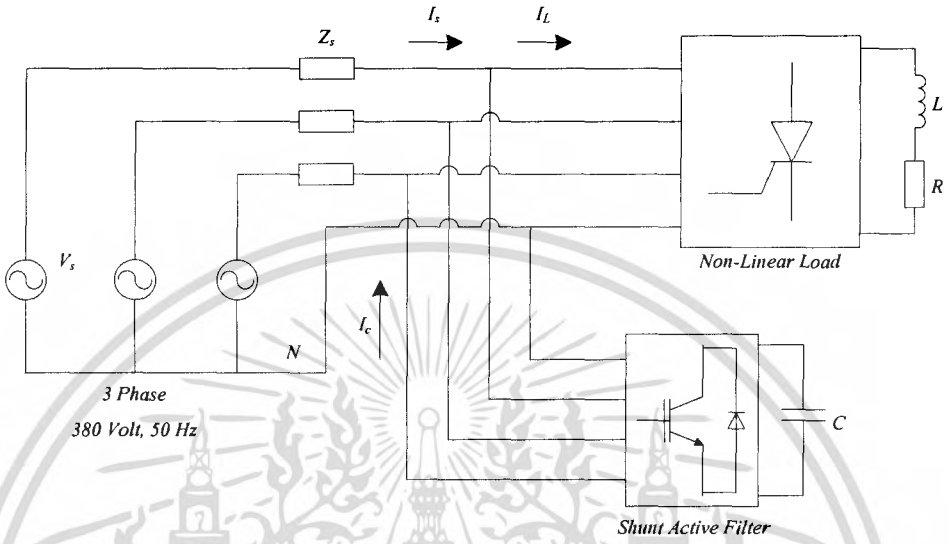
จากข้อกำจัดของวงจรกรองแบบพาสซีฟดังกล่าวจึงได้มีการพัฒนานำเอาวงจรกรองแบบแอคทีฟเข้ามาใช้ในการแก้ปัญหาฮาร์โมนิคของระบบไฟฟ้า ซึ่งวงจรกรองแบบแอคทีฟจะต่อขนานกับโหลด แล้วทำตัวเสมือนแหล่งจ่ายกระแสที่ผลิตกระแสในส่วนของฮาร์โมนิค ขึ้นมาหักล้างกับกระแสฮาร์โมนิคที่เกิดขึ้นจากโหลด จึงเป็นผลทำให้กระแสจากแหล่งจ่ายมีรูปร่างลักษณะใกล้เคียงซายน์มากขึ้น โดยวงจรกรองเหล่านี้ส่วนใหญ่จะเป็นการแก้ปัญหาให้กับระบบไฟฟ้ากำลังชนิด 3 เฟส 3 สาย ซึ่งมีวงจรดังรูปที่ 1.1 อย่างไรก็ดีในการใช้งานทางด้านอุตสาหกรรมหรือระบบจำหน่ายทั่วไปมักจะเป็นระบบไฟฟ้าแบบ 3 เฟส 4 สาย ซึ่งมีฮาร์โมนิคปะปนอยู่ด้วยจึงเป็นผลให้เกิดปัญหากระแสเกินในสายนิวทรอลหรือที่ขั้วต่อของหม้อแปลงระบบจำหน่ายเป็นผลให้เกิดปัญหาความร้อนสูงเกิน การแก้ปัญหาฮาร์โมนิคสำหรับระบบไฟฟ้ากำลัง 3 เฟส 4 สาย จะไม่สามารถใช้วงจรกรองกำลังแอคทีฟแบบ 3 สายที่ไม่มีสายต่อกับนิวทรอลได้เพราะว่ากระแสฮาร์โมนิคบางส่วนในสายเฟสจะไม่ถูกชดเชย และขนาดของกระแสฮาร์โมนิคในสายนิวทรอลก็ไม่ได้ลดลงด้วย



รูปที่ 1.1 วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 3 สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในงานวิจัยนี้จึงนำเสนอวงจรกรองกำลังแบบแอคทีฟแบบขนานสำหรับ 3 เฟส 4 สาย ซึ่งสามารถใช้กับแบบที่มีสายนิวทรอลต่อร่วมกับจุดกึ่งกลางของไฟตรง และใช้การตรวจจับกระแสฮาร์โมนิคทางด้านโหลด 3 สาย โดยมีวงจรดังรูปที่ 1.2



รูปที่ 1.2 วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

1.2 วัตถุประสงค์ของการวิจัย

โครงงานนี้ได้นำเสนอการวิเคราะห์และการออกแบบวงจรกรองกำลังแอคทีฟแบบขนานเพื่อใช้กับระบบไฟฟ้าชนิด 3 เฟส 4 สาย เพื่อกรองกำลังไฟฟ้าให้มีฮาร์โมนิคน้อยที่สุด โดยจะทำการจับกระแสทางด้านโหลดเพื่อนำมาวิเคราะห์โดยการประมวลผลทางดิจิตอล และทำการสร้างกระแสไปชดเชย ซึ่งในการสร้างกระแสชดเชยนั้น จะใช้การชดเชยโดยการสวิทช์กระแสโดยใช้การอ้างอิงขอบเขตการสวิทช์แบบ ฮีสเตอร์รีซีสแบนด์

1.3 ขอบเขตและข้อกำหนดในการวิจัย

โครงงานนี้มีวัตถุประสงค์เพื่อทำการศึกษาวิธีกำจัดกระแสฮาร์โมนิคด้วยวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้การตรวจจับกระแสด้วยเทคนิคการควบคุมแบบขอบเขตฮิสเตอร์รีซิส โดยใช้กับระบบไฟฟ้ากำลัง 3 เฟส 4 สาย ที่มีโหลดเป็นวงจรเรียงกระแสสามเฟสและวงจรไทริสเตอร์แบบปรับมุมจุดชนวน ที่พิกัด 2 kVA ขนาดแรงดัน 190 V โดยที่วงจรสามารถทำงานได้ทั้งในกรณีที่กระแสโหลดสมดุลและไม่สมดุล รวมทั้งสามารถทำงานได้ในกรณีที่แรงดันเกิดการไม่สมดุลด้วย ซึ่งกระแสอินพุททางด้านแหล่งจ่ายหลังทำการชดเชยแล้วจะต้องมีค่าไม่เกินมาตรฐาน IEC 61000-3-2 (2000-08) Class A ในการเลือกใช้มาตรฐาน IEC 61000-3-2 เนื่องจากเป็นมาตรฐานที่มีการใช้อย่างแพร่หลายและใช้งานได้ง่าย เราจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทราบค่ากระแสฮาร์โมนิคที่สอดคล้องตามมาตรฐานได้จากการเทียบสัดส่วนจากค่ากระแสฐาน 16 A ดังตารางที่ 1.1

ตารางที่ 1.1 มาตรฐานข้อกำหนดฮาร์โมนิค IEC 61000-3-2 (2000-08) Class A

Harmonic Order N	Maximum permissible Harmonic current (A)
Odd Harmonics	
3	2.30
5	1.14
7	0.77
9	0.40
11	0.33
13	0.21
15 < n <39	0.15 (15 / n)
Even Harmonics	
2	1.08
4	0.43
6	0.30
8 < n < 40	0.23 (8 / n)

1.4 ขั้นตอนและวิธีการดำเนินงาน

1. ค้นคว้าหาข้อมูล จากบทความต่างๆ ทั้งจากห้องสมุด และ ในอินเตอร์เน็ต ตำราเรียนต่างๆ ที่ให้ความรู้เกี่ยวกับวิธีการกำจัดฮาร์โมนิค ในระบบไฟฟ้าแบบต่างๆ
2. ศึกษาการทำงานของฮีสเตอร์รีซีสแบนด์
3. ศึกษาการทำงานของไอจีบีทีเบอร์ HGTG30N60C3D
4. ศึกษาการโครงสร้างของตัวประมวลผลทางดิจิตอล DSP
5. จำลองการทำงานของวงจรกรองกำลังแบบแอคทีฟแบบขนานด้วยโปรแกรมคอมพิวเตอร์ โดยใช้ Simulink ในโปรแกรม Matlab เพื่อทดสอบทฤษฎีในการหากระแสฮาร์โมนิคและการควบคุมกระแสของวงจรกรองแอคทีฟด้วยวิธีฮีสเตอร์รีซีสแบนด์
6. ออกแบบวงจรต้นแบบในส่วนของภาคขับกำลัง และ การจัดกระแส โดยอ้างอิงจากเอกสารประกอบอุปกรณ์ และคำนวณค่าตามสูตรคำนวณต่างๆ
7. สร้างวงจรต้นแบบเพื่อทำการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ประโยชน์ที่ได้รับจากการวิจัย

1. เป็นเทคนิคใหม่ที่ใช้ในการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟและเป็นแนวทางในการพัฒนาวิธีการกำจัดกระแสฮาร์โมนิคสำหรับระบบไฟฟ้าแบบ 3 เฟส 4 สาย

2. เป็นข้อมูลทางเทคนิคในการประยุกต์การใช้งานของตัวประมวลผลสัญญาณดิจิตอล DSP สำหรับวงจรกรองกำลังแอคทีฟ

3. ผลการศึกษาและวิจัยสามารถที่จะนำไปพัฒนาต่อเพื่อนำไปใช้งานจริงในภาคอุตสาหกรรม

4. เป็นแนวทางพื้นฐานในการศึกษาถึงวิธีการกำจัดฮาร์โมนิค และสามารถเข้าใจถึงข้อดีข้อเสียเมื่อเปรียบเทียบกับการใช้งานวงจรกรองแบบอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

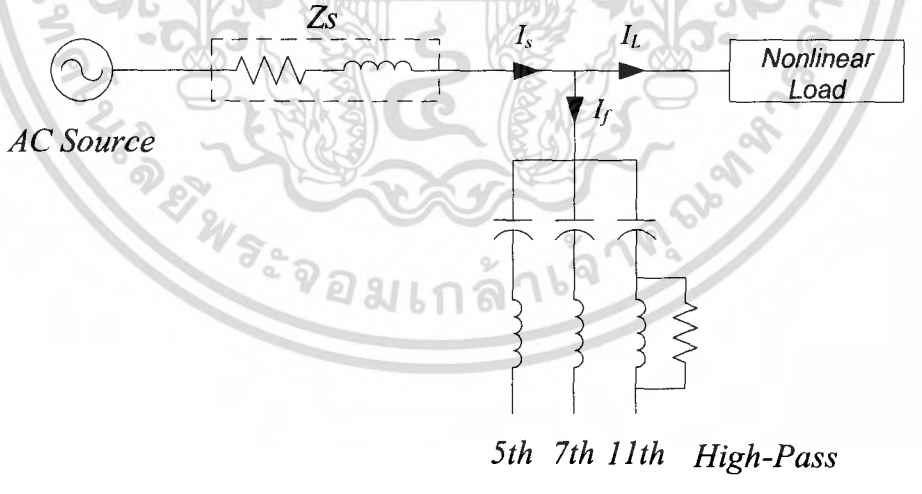
บทที่ 2
ทฤษฎีการกำจัดกระแสฮาร์โมนิคและการวิเคราะห์คุณภาพรูปคลื่นกระแส

2.1 ประเภทของวงจรกรองกำลังไฟฟ้า

วงจรกรองกำลังไฟฟ้า โดยทั่วไป จะจำแนกได้เป็น 2 ประเภท คือ วงจรกรองกำลังไฟฟ้าแบบพาสซีฟและวงจรกรองกำลังไฟฟ้าแบบแอคทีฟ ซึ่งมีรายละเอียดดังต่อไปนี้

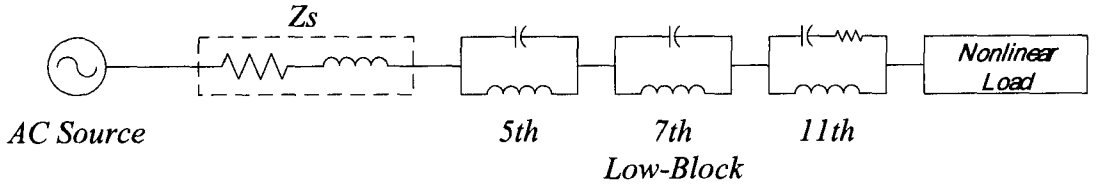
2.1.1 วงจรกรองกำลังพาสซีฟ

วงจรกรองกำลังพาสซีฟ (Passive Filter) หรือเรียกอีกอย่างว่า ฟิลเตอร์แบงค์ (filter bank) จะเป็นวงจรที่มีคุณสมบัติอิมพิแดนซ์ต่ำที่ลำดับกระแสฮาร์โมนิคต่าง ๆ เมื่อนำไปต่อแบบขนานกับวงจรโหลด เพื่อให้กระแสฮาร์โมนิคไหลมาที่วงจรกรองพาสซีฟเพื่อไม่ให้ไหลไปยังแหล่งจ่าย หรือเป็นวงจรที่มีค่าอิมพิแดนซ์สูงที่ความถี่ฮาร์โมนิคที่ต้องการกำจัดเมื่อนำไปต่ออนุกรมกับวงจรโหลด เพื่อกันไม่ให้กระแสฮาร์โมนิคไหลไปยังแหล่งจ่าย ในการออกแบบวงจรกรองกำลังแบบพาสซีฟจำเป็นจะต้องคำนวณค่าของตัวเก็บประจุและตัวเหนี่ยวนำให้แน่นอนสำหรับฮาร์โมนิคในแต่ละอันดับที่ต้องการกรอง รูปที่ 2.1 และ 2.2 แสดงวงจรกรองกำลังพาสซีฟโดยต่อแบบขนานและอนุกรมตามลำดับ



รูปที่ 2.1 วงจรกรองกำลังพาสซีฟแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 วงจรกรองกำลังพาสซีฟแบบอนุกรม

2.1.2 วงจรกรองกำลังแอคทีฟ

วงจรกรองกำลังแอคทีฟ (Active Filter) จะทำการกำจัดฮาร์โมนิคด้วยการควบคุมการใช้คอนเวอร์เดอร์กำลัง (Power Converter) ทำการจ่ายกระแสเข้าสู่ระบบอย่างเหมาะสม โดยจะทำการจ่ายกระแสฮาร์โมนิคแทนแหล่งจ่าย ทำให้แหล่งจ่ายไม่ต้องรับภาระหนักจากฮาร์โมนิคและช่วยแก้ไขความเพี้ยนของแรงดันในระบบด้วย โดยทั่วไปวงจรกรองกำลังแอคทีฟ จะมีองค์ประกอบหลัก ดังต่อไปนี้

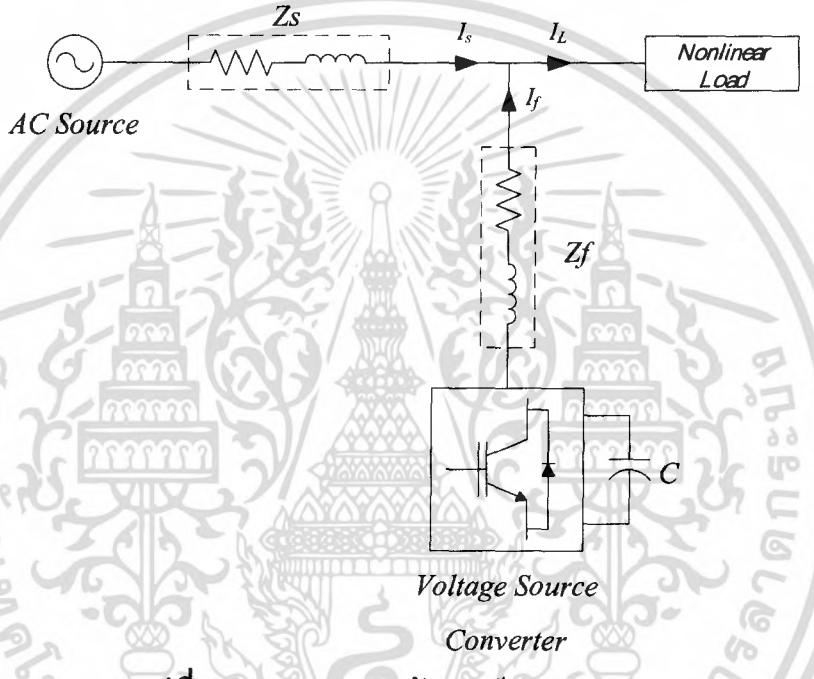
1. ส่วนตรวจจับกระแสที่มีฮาร์โมนิคและแรงดันของแหล่งจ่าย เพื่อนำมาเข้าสู่กระบวนการหากระแสฮาร์โมนิคด้วยหลักการ หรือเทคนิคต่างๆ
2. ส่วนควบคุมกระแส ทำหน้าที่ควบคุมการฉีดกระแสฮาร์โมนิคที่จ่ายเข้าระบบให้มีขนาดที่ถูกต้องและเป็นไปตามกระแสฮาร์โมนิคที่คำนวณได้
3. คอนเวอร์เตอร์กำลัง ทำหน้าที่เป็นแหล่งจ่ายพลังงาน ที่ใช้ในการจ่ายกระแสฮาร์โมนิค ซึ่งโดยทั่วไปแล้ว จะทำหน้าที่แปลงแรงดันไฟฟ้าตรงเป็นแรงดันไฟฟ้าสลับ โดยใช้เทคนิคการปรับความกว้างของพัลซ์ (Pulse Width Modulation, PWM) หรือการปรับแบบฮีสเตอร์รีซีสแบนด์ (Hysteresis Band) สวิทช์กำลังที่ใช้ส่วนใหญ่จะเป็น IGBT (Insulated Gate Bipolar Transistor) หรือ GTO (Gate Turn – off Transistor) โดยมีความถี่ในการสวิทช์ประมาณ 1 – 20 kHz
4. ส่วนกรองระลอกคลื่น (Ripple) ที่เกิดจากความถี่สวิตช์ โดยการใช้ตัวเหนี่ยวนำขนาดเหมาะสมเพื่อทำหน้าที่กรองกระแสชดเชยจากคอนเวอร์เตอร์

วงจรกรองกำลังแอคทีฟมีข้อดีหลายประการเมื่อเทียบกับวงจรกรองกำลังพาสซีฟ เช่นมีความยืดหยุ่นในการทำงานมากกว่าวงจรกรองกำลังพาสซีฟ และมีย่านในการใช้งานที่กว้างโดยมีคุณสมบัติการกรองอยู่ในระดับ 80-95 % ซึ่งโดยทั่วไปจะสามารถจำแนกวงจรกรองกำลังแอคทีฟได้เป็น 2 ชนิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2.1 วงจรกรองกำลังแอคทีฟแบบขนาน

วงจรกรองกำลังแอคทีฟแบบขนานได้รับความนิยมเป็นอย่างมาก เพราะมีประสิทธิภาพที่สูง สามารถชดเชยกำลังไฟฟ้ารีแอคทีฟและทำให้กระแสไฟฟ้าในแต่ละเฟสสมดุลกัน โดยวงจรกรองกำลังจะทำหน้าที่เป็นแหล่งจ่ายกระแส ทำการจ่ายกระแสฮาร์โมนิคในทิศทางตรงกันข้ามกับกระแสฮาร์โมนิคจากโหลดเข้าไปในระบบไฟฟ้ากำลัง ทำให้กระแสของแหล่งจ่ายเป็นรูปคลื่นไซน์ หรืออาจกล่าวได้ว่า วงจรกรองกำลังแอคทีฟจะทำการจ่ายกระแสฮาร์โมนิคให้กับโหลดแทนแหล่งจ่าย โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนานแสดงได้ดังรูปที่ 2.3

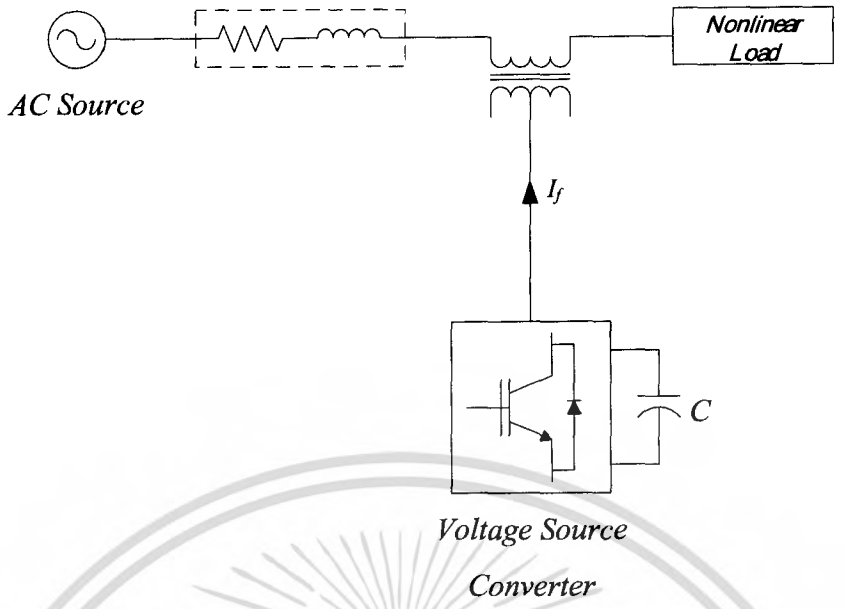


รูปที่ 2.3 วงจรกรองกำลังแอคทีฟแบบขนาน

2.1.2.2 วงจรกรองกำลังแอคทีฟแบบอนุกรม

วงจรกรองกำลังแอคทีฟแบบอนุกรม จะมีลักษณะโครงสร้างคล้ายกับวงจรกรองกำลังแอคทีฟขนาน แต่แตกต่างกันที่จุดต่อร่วม โดยวงจรกรองกำลังแอคทีฟแบบอนุกรมจะถูกต่อผ่านหม้อแปลงไปยังจุดต่อร่วม โดยจุดต่อร่วมจะอยู่ระหว่างแหล่งจ่ายกับโหลดชนิดไม่เป็นเชิงเส้น ดังรูปที่ 2.4 วงจรกรองกำลังแอคทีฟแบบอนุกรมจะใช้เพื่อกำจัดสัญญาณแรงดันฮาร์โมนิค รักษาสมดุลและรักษาระดับแรงดันไฟฟ้าที่ขั้วของด้านโหลดหรือแหล่งจ่ายให้คงที่ วงจรกรองกำลังแบบอนุกรมนี้จะทำการตรวจจับกระแสฮาร์โมนิคที่ไหลในระบบแล้วนำไปสร้างแรงดันที่มีเฟสตรงกันกับกระแสฮาร์โมนิค จึงทำให้กระแสฮาร์โมนิคถูกปิดกั้นไม่ให้ไหลไปยังแหล่งจ่ายได้ ในทางกลับกันกระแสฮาร์โมนิคจากแหล่งจ่ายก็ไม่สามารถไหลไปทางด้านโหลดได้ ทำให้แก้ปัญหาในกรณีที่แหล่งจ่ายมีความเพี้ยนของแรงดันและโหลดมีอิมพีแดนซ์ที่ความถี่ฮาร์โมนิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจรกรองกำลังแอคทีฟแบบอนุกรม

ต่ำ วงจรกรองกำลังแอคทีฟแบบอนุกรมจึงทำหน้าที่เป็นตัวแยกฮาร์โมนิคระหว่างแหล่งจ่ายกับโหลด ข้อดีและข้อเสียของวงจรกรองแต่ละชนิดแสดงในตารางที่ 2.1

ตารางที่ 2.1 เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ

คุณสมบัติ	วงจรกรองกำลังพาสซีฟ	วงจรกรองกำลังแอคทีฟ
การกำจัดฮาร์โมนิค	แยกกำจัดแต่ละลำดับได้ แต่ต้องติดตั้งวงจรเรียงลำดับต่ำเสมอเพื่อป้องกันการเกิดเรโซแนนซ์	แยกกำจัดลำดับใด ๆ ก็ได้ (ไม่ต้องเรียง) หรือจะกำจัดหมดก็ได้
ความสามารถในการกำจัดฮาร์โมนิค	ขึ้นอยู่กับค่าอิมพีแดนซ์ของแหล่งจ่าย ออกแบบให้ค่า Q สูงมาก	ไม่ขึ้นอยู่กับค่าอิมพีแดนซ์ของแหล่งจ่าย
ความเปลี่ยนแปลงของความถี่แหล่งจ่าย	คุณสมบัติการกรองลดลง โดยเฉพาะเมื่อค่า Q สูง	คุณสมบัติไม่เปลี่ยนแปลง
ปัญหาเรโซแนนซ์กับอิมพีแดนซ์แหล่งจ่าย	อาจเกิดเรโซแนนซ์แบบขนานเมื่อมองจากโหลดหรือเกิดเรโซแนนซ์แบบอนุกรมเมื่อมองจากแหล่งจ่ายทำให้เกิดกระแสและแรงดันเกินในวงจร	มีโอกาสเกิดเรโซแนนซ์แบบขนานเมื่อมองจากโหลดได้น้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 (ต่อ) เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ

คุณสมบัติ	วงจรกรองกำลังพาสซีฟ	วงจรกรองกำลังแอคทีฟ
ปริมาณกำลังงานรีแอคทีฟ	จ่ายกำลังงานรีแอคทีฟเสมอ ซึ่งอาจเกินความต้องการ	สามารถเลือกให้จ่ายกำลังงานรีแอคทีฟหรือไม่จ่ายก็ได้ตามที่ผู้ใช้กำหนด
การวิเคราะห์อิมพีแดนซ์ของระบบ	ต้องวิเคราะห์อย่างละเอียด	ในกรณีทั่วไปไม่จำเป็น
การออกแบบ	ต้องออกแบบเป็นกรณี ๆ ไป	ในกรณีทั่วไปใช้ได้ไม่ต้องออกแบบ
ขนาด	ใหญ่	เล็กกว่า
ราคา	ถูกกว่า	แพงกว่า

ตารางที่ 2.2 เปรียบเทียบวงจรกรองกำลังแอคทีฟแบบขนานและอนุกรม

คุณสมบัติ	วงจรกรองกำลังแอคทีฟแบบขนาน	วงจรกรองกำลังแอคทีฟแบบอนุกรม
ขนาดกระแส/แรงดัน	แก้ได้ดีเฉพาะกรณีที่โหลดมีอิมพีแดนซ์สูงเมื่อเทียบกับแหล่งจ่าย	แก้ได้โดยอาศัยวงจรกรองพาสซีฟช่วย
แรงดันแหล่งจ่ายมีฮาร์โมนิค	แก้ไม่ได้	แก้ได้
ความน่าเชื่อถือ	สูงเพราะต่อขนานกับระบบเหมือนโหลดทั่วไป	ต่ำเพราะต้องต่ออนุกรมกับระบบ
หลักการทำงาน	ทำตัวเป็นแหล่งจ่ายกระแส	ทำตัวเป็นแหล่งจ่ายแรงดัน

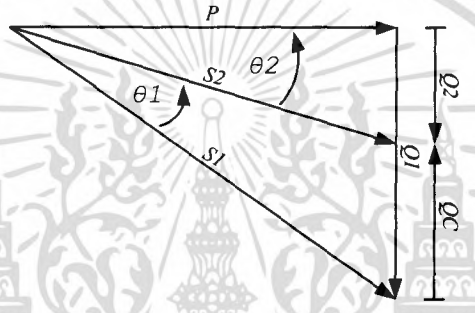
2.2 การชดเชยกำลังงานรีแอคทีฟ

เนื่องจากโหลดในระบบจำหน่ายส่วนใหญ่จะมีตัวประกอบกำลังแบบล้าหลัง (lagging) ดังนั้นกระแสโหลดจะมีค่ามากขึ้นกว่าที่ต้องการกำลังไฟฟ้าจริงจากแหล่งจ่ายเพียงอย่างเดียว นอกจากนี้กำลังไฟฟ้าจริงเท่านั้นที่ใช้ประโยชน์ในการเปลี่ยนรูปพลังงาน ส่วนกระแสโหลดที่เกินจะเป็นส่วนที่สูญเปล่า ซึ่งไม่เพียงแต่จะต้องเสียค่าใช้จ่ายในการใช้สายที่มีขนาดใหญ่แล้วยังก่อให้เกิดความสูญเสียในรูปพลังงานความร้อนที่สายอีกด้วย ด้วยเหตุนี้จำเป็นต้องติดตั้งอุปกรณ์ที่สามารถจ่ายกำลังไฟฟ้ารีแอคทีฟเพิ่มเติมจากการจ่ายไฟของการไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การปรับปรุงตัวประกอบกำลัง

โดยทั่วไปการปรับปรุงตัวประกอบกำลังนิยมใช้ตัวเก็บประจุ เพราะมีราคาค่อนข้างถูก ไม่ต้องทำการบำรุงรักษามากและมีกำลังสูญเสียในตัวเองต่ำมาก โดยจะทำการควบคุมให้ตัวเก็บประจุมีค่ากำลังไฟฟ้ารีแอคทีฟใกล้เคียงกับที่โหลดต้องการจนทำให้ค่าตัวประกอบกำลังมีค่าใกล้เคียงหนึ่ง แต่จะมีปัญหาเมื่อมีการใช้โหลดที่ไม่เป็นเชิงเส้น อาจทำให้เกิดสภาวะเรโซแนนซ์ขึ้น ซึ่งจะทำให้เกิดการขยายของกระแสฮาร์โมนิคที่ไหลในระบบจำหน่ายจนเกินค่าพิกัดของโหลดต่าง ๆ ที่ต่อร่วมอยู่ เป็นผลทำให้โหลดต่าง ๆ ได้รับความเสียหาย ดังนั้นจึงใช้ตัวกรองกระแสฮาร์โมนิคแทนตัวเก็บประจุเพราะตัวกรองกระแสฮาร์โมนิคจะทำหน้าที่ทั้งการชดเชยกำลังรีแอคทีฟและกำจัดกระแสฮาร์โมนิคที่ไหลเข้าระบบจำหน่ายได้



รูปที่ 2.5 การปรับปรุงตัวประกอบกำลังไฟฟ้า

จากรูปที่ 2.5 สามเหลี่ยมกำลังของโหลดประกอบด้วยกำลังไฟฟ้าจริง (P) กำลังไฟฟ้ารีแอคทีฟแบบล้าหลัง (Q) และกำลังไฟฟ้าปรากฏ (S_1) จากความสัมพันธ์สามารถหาค่าตัวประกอบกำลังได้ดังสมการ

$$\cos\theta_1 = \frac{P}{S_1} \tag{2.1}$$

เมื่อต่อตัวกรองกระแสฮาร์โมนิคขนานกับโหลด ทำให้ค่าตัวประกอบกำลังถูกปรับปรุงเปลี่ยนจาก $\cos\theta_1$ เป็น $\cos\theta_2$ โดยที่

$$\cos\theta_2 = \frac{P}{S_2}$$

$$= \frac{P}{\left[P^2 + (Q_1 - Q_c)^2\right]^{1/2}} \tag{2.2}$$

จากรูปที่ 2.5 จะได้ว่ากำลังไฟฟ้าปรากฏและกำลังไฟฟ้ารีแอคทีฟมีค่าลดลงจาก S_1 เป็น S_2 และ Q_1 เป็น Q_2 (โดยการจ่ายกำลังงานรีแอคทีฟของ Q_c) ตามลำดับ ซึ่งทำให้กระแสรวมทั้งหมดลดลง จึงทำให้ระบบจำหน่ายไฟฟ้ามีคุณภาพและประสิทธิภาพดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ประโยชน์จากการชดเชยกำลังงานรีแอคทีฟ

1. หม้อแปลงไฟฟ้าสามารถรับโหลดได้เพิ่มขึ้น เมื่อปรับปรุงค่าตัวประกอบกำลังของระบบให้สูงขึ้น จะทำให้กระแสของระบบลดลงนั่นคือกำลังไฟฟ้าปรากฏของโหลดรวมลดลงทำให้ระบบสามารถจ่ายโหลดได้มากขึ้น ค่ากำลังไฟฟ้าปรากฏที่เพิ่มขึ้นคือ

$$kVA = kW \times \left(\frac{1}{\cos\theta_1} - \frac{1}{\cos\theta_2} \right) \tag{2.3}$$

2. ปรับปรุงระดับแรงดันของระบบจำหน่ายดีขึ้นและลดแรงดันดกคร่อมในสายส่งหม้อแปลง

3. กำลังสูญเสียของระบบลดลง เนื่องจากกำลังสูญเสียในสายตัวนำไฟฟ้าของระบบเป็นสัดส่วนกับกำลังสองของกระแส เมื่อปรับปรุงค่าตัวประกอบกำลังให้สูงขึ้นจะทำให้ค่ากระแสลดลง ดังนั้นกำลังสูญเสียจึงเป็นสัดส่วนกลับกับค่าตัวประกอบกำลังสอง

$$\%P_{loss} = \left| \frac{PF_1}{PF_2} \right|^2 \times 100\% \tag{2.4}$$

$$\%\Delta P_{loss} = \left(1 - \left| \frac{PF_1}{PF_2} \right|^2 \right) \times 100\% \tag{2.5}$$

$$\%P_{loss2} = P_{loss1} \times \left(1 - \left| \frac{PF_1}{PF_2} \right|^2 \right) \tag{2.6}$$

เมื่อ PF_1 คือ ค่าตัวประกอบกำลังก่อนทำการปรับปรุง

PF_2 คือ ค่าตัวประกอบกำลังหลังทำการปรับปรุง

P_{loss1} คือ กำลังไฟฟ้าสูญเสียก่อนทำการปรับปรุง

P_{loss2} คือ กำลังไฟฟ้าสูญเสียหลังทำการปรับปรุง

กำลังสูญเสียในสายไฟฟ้า $P = I^2R$ ดังนั้นเมื่อกระแสลดลงทำให้กำลังสูญเสียในสายลดลงด้วย

4. กำลังสูญเสียในหม้อแปลงลดลง กำลังสูญเสียในหม้อแปลงประกอบด้วย 2 ส่วน คือ กำลังสูญเสียในแกนเหล็กและกำลังสูญเสียในขดลวดทองแดง ซึ่งกำลังสูญเสียในขดลวดทองแดงนี้จะแปรผันตามกระแสกำลังสอง เมื่อปรับปรุงค่าตัวประกอบกำลังให้สูงขึ้นแล้ว กระแสที่ไหลผ่านหม้อแปลงจะลดลงทำให้กำลังสูญเสียเนื่องจากความต้านทานในขดลวดทองแดงลดลง

5. ลดขนาดสายส่งกำลังและสายของหม้อแปลงให้มีขนาดเล็กลง

6. ไม่ต้องเสียค่าปรับให้การไฟฟ้าฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟด้วยค่าดัชนีคุณภาพ

ดัชนีคุณภาพที่ใช้ในงานวิจัยนี้เพื่อทำการประเมินสัญญาณกระแสอินพุททางด้านเหล่งจ่ายและเป็นตัวที่บ่งชี้ถึงสมรรถนะของวงจรกรองในการกำจัดกระแสฮาร์โมนิคประกอบด้วย

2.3.1 แรงดันและกระแสมูลฐานอาร์เอ็มเอส

ค่าอาร์เอ็มเอสขององค์ประกอบความถี่มูลฐานของแรงดันและกระแสเป็นค่าระดับแรงดัน (V_{1rms}) และกระแส (I_{1rms}) อาร์เอ็มเอส ที่ความถี่มูลฐานซึ่งเป็นความถี่ของระบบสั่งจ่าย องค์ประกอบนี้เป็นองค์ประกอบที่สร้างกำลังไฟฟ้าและเป็นองค์ประกอบที่ต้องการใช้งาน

2.3.2 แรงดันและกระแสอาร์เอ็มเอส

ค่าอาร์เอ็มเอสของแรงดัน (V_{rms}) และกระแส (I_{rms}) อินพุทเป็นค่าระดับแรงดันและกระแสอาร์เอ็มเอสของสัญญาณอินพุท ซึ่งเป็นค่ารวมขององค์ประกอบทุกตัวทั้งความถี่มูลฐานและฮาร์โมนิค

2.3.3 ค่าตัวประกอบกำลังด้านเข้า (Input Power Factor : PF)

ลักษณะรูปคลื่นกระแสและมุมต่างเฟสของกระแสและแรงดันจะเป็นตัวกำหนดค่าตัวประกอบกำลังของวงจร ซึ่งโดยรวมแล้วค่าตัวประกอบกำลังของวงจรจะเป็นตัวบ่งชี้ถึงประสิทธิภาพของวงจร กล่าวคือ ถ้าคิดที่กำลังไฟฟ้า (watt) เดียวกันวงจรที่มีค่า PF สูงจะมีกระแสไหลในวงจรน้อยกว่าวงจรที่มีค่า PF ต่ำ ดังนั้นวงจรที่มีค่า PF สูง ทำให้สามารถลดพิกัดกระแสของอุปกรณ์ที่ต่อร่วมในระบบลงได้ โดยยังสามารถจ่ายกำลังไฟฟ้าเท่าเดิม

2.3.4 ค่าตัวประกอบความผิดเพี้ยน (Distortion Factor : DF)

สำหรับค่า DF ที่นิยามในวิทยานิพนธ์นี้ เป็นค่าตัวประกอบความเพี้ยนซึ่งหาได้จากอัตราส่วนของอินพุทอาร์เอ็มเอส ที่ความถี่มูลฐานต่อกระแสอาร์เอ็มเอส ที่รวมผลของฮาร์โมนิค โดยอัตราส่วนจะมีค่าสูงสุดเท่ากับ 1 นั่นหมายถึงสัญญาณนั้นไม่มีความผิดเพี้ยน ส่วนกรณีที่ค่าตัวประกอบความผิดเพี้ยนมีค่าต่ำๆ แสดงว่าเกิดการผิดเพี้ยนของสัญญาณกระแสมาก

2.3.5 ค่าองค์ประกอบความเพี้ยนรวมของฮาร์โมนิค(Total Harmonic Distortion : THD)

ค่า Total Harmonic Distortion ของกระแส (THD_i) เป็นดัชนีที่ใช้ในการบ่งชี้ถึงความผิดเพี้ยนของรูปคลื่นสัญญาณกระแสอินพุททางด้านแหล่งจ่ายที่แตกต่างไปจากองค์ประกอบกระแสความถี่มูลฐานในการหาค่า THD_i นี้จะต้องอาศัยการวิเคราะห์โดยใช้ทฤษฎีฟูเรียร์ เพื่อทำการหาองค์ประกอบความถี่มูลฐานและฮาร์โมนิคของรูปคลื่นสัญญาณกระแสอินพุททางด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายจึงสามารถนำไปเข้าสูตรและหาค่าออกมาได้ โดยดัชนีคุณภาพสามารถสรุปได้ดังตารางที่ 2.3

ตารางที่ 2.3 นิยามของดัชนีและประมาณที่กำหนดคุณสมบัติและคุณภาพรูปคลื่นกระแสอินพุท

ค่า	นิยาม	ค่า	นิยาม
V_{lrms}	$\frac{V_{peak}}{\sqrt{2}}$	I_{lrms}	$\frac{I_{peak}}{\sqrt{2}}$
V_{rms}	$\sqrt{\sum_{h=1}^{\infty} v_h^2}$	I_{rms}	$\sqrt{\sum_{h=1}^{\infty} i_h^2}$
PF	$\frac{I_{lrms}}{I_{rms}}\cos\phi$	DF	$\frac{I_{lrms}}{I_{rms}}$
$\%THD_i$	$\frac{100}{I_1}\sqrt{\sum_{n=2}^{\infty} i_n^2}$		

เมื่อ V_h คือ ขนาดของแรงดันไฟฟ้าที่ฮาร์โมนิคอันดับที่ h

I_h คือ ขนาดของกระแสไฟฟ้าที่ฮาร์โมนิคอันดับที่ h

DF คือ ค่าตัวประกอบความผิดเพี้ยนของกระแส(Distortion Factor)

PF คือ ค่าตัวประกอบกำลังไฟฟ้าทางด้านอินพุท(Input Power Factor)

THD_i คือ ค่าองค์ประกอบความเพี้ยนรวมกระแสฮาร์โมนิค(Total Harmonic Distortion)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนาน

3.1 การวิเคราะห์และหลักการสร้างกระแสอ้างอิง

การวิเคราะห์หากระแสอ้างอิงทำได้โดยการตรวจจับกระแสฮาร์โมนิคของโหลด และแรงดันของแหล่งจ่ายแล้วนำมาทำการคำนวณเพื่อหาค่ากระแสอ้างอิงที่ต้องการ เพื่อให้อินเวอร์เตอร์ทำการฉีดกระแสอ้างอิงที่คำนวณได้ออกไป วงจรพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนานแสดงได้ดังรูปที่ 3.1

สมมุติให้แหล่งจ่ายแรงดันไฟฟ้าเป็นสัญญาณซายน์ ดังนี้

$$v_s(t) = v_m \sin(\omega t) \tag{3.1}$$

กระแสโหลด $i_L(t)$ แสดงเป็นสมการได้ดังนี้

$$i_L(t) = \sum_{n=0}^{\infty} I_n \sin(n\omega t + \phi_n) \tag{3.2}$$

โดยที่

$$i_L(t) = I_0 + I_1 \cos\phi_1 \sin(\omega t) + I_1 \sin\phi_1 \cos(\omega t) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \phi_n) \tag{3.3}$$

จะได้

$$i_L(t) = i_0(t) + i_p(t) + i_q(t) + i_h(t) \tag{3.4}$$

เมื่อ $i_0(t)$ คือ องค์ประกอบไฟตรง

$i_p(t) = I_1 \cos\phi_1 \sin(\omega t)$ คือ กระแสแอคทีฟ

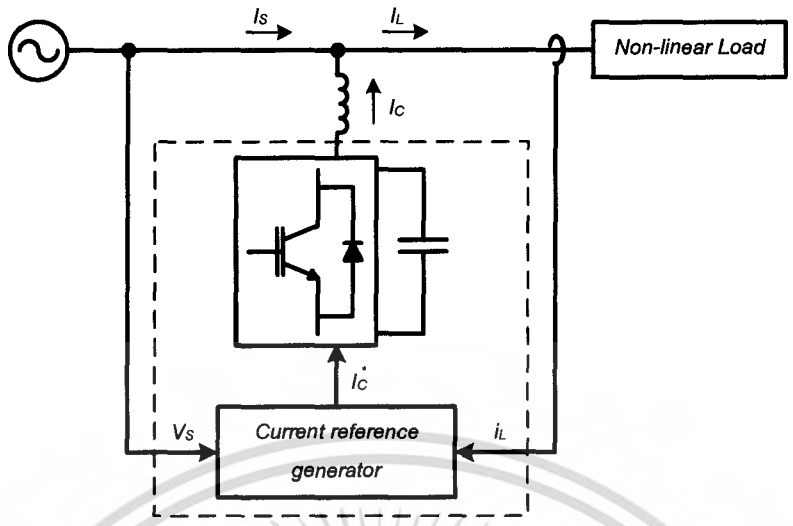
$i_q(t) = I_1 \sin\phi_1 \cos(\omega t)$ คือ กระแสรีแอคทีฟ

$i_h(t) = \sum_{n=2}^{\infty} I_n \sin(n\omega t + \phi_n)$ คือ กระแสฮาร์โมนิค

จากสมการที่ (3.4) ถ้าวงจรกรองกำลังแอคทีฟสามารถสร้างกระแส $i_c(t)$ ซึ่งมีค่าเท่ากับผลรวมของกระแส $i_q(t) + i_h(t)$ เป็นผลให้กระแสที่แหล่งจ่ายจะเหลือกระแสแอคทีฟเพียงอย่างเดียวซึ่งเป็นสัญญาณรูปซายน์และมีเฟสเดียวกันกับแหล่งจ่าย $v_s(t)$ เขียนเป็นสมการได้ดังนี้

$$i_c(t) = i_L(t) - i_p(t) \tag{3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนาน

3.2 การตรวจจับกระแสฮาร์โมนิค

กระแสฮาร์โมนิค จะได้จากการจับกระแสที่เข้าโหลดทั้ง 3 เฟส ทำให้ได้รูปคลื่นกระแสมา 3 รูป การคำนวนกระแสฮาร์โมนิคโดยใช้รูปแบบของแกนเอบีซี ในการคำนวณนั้น จะเป็นการคำนวณที่ค่อนข้างซับซ้อน และยุ่งยาก จึงจะทำการแปลงให้มาอยู่ในรูปของแกนดีคิวซีโรก่อน เพื่อให้ง่ายต่อการจับกระแสฮาร์โมนิคออกมา

3.2.1 การแปลงแกนดีคิวซีโร

การแปลงแกนดีคิวซี จะเป็นการแปลงแกนจากสามเฟส ให้อยู่ในรูปของสองแกน โดยจะได้ในรูปของแกนดีคิว

สมการการแปลงแกนที่ใช้ในวงจรครั้งนี้ คือสมการ Park's Transformation ซึ่งมีรูปแบบการแปลง ตามสมการข้างล่างนี้

$$\begin{bmatrix} I_d \\ I_q \\ I_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \sin(wt) & \sin(wt-\frac{2\pi}{3}) & \sin(wt+\frac{2\pi}{3}) \\ \cos(wt) & \cos(wt-\frac{2\pi}{3}) & \cos(wt+\frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} I_a \\ I_b \\ I_c \end{bmatrix} \qquad (3.6)$$

สมการแสดงการแปลงแกนจากสามแกนไปเป็นสองแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} I_a \\ I_b \\ I_c \end{bmatrix} = \begin{bmatrix} \sin(wt) & \cos(wt) & 1 \\ \sin(wt-\frac{2\pi}{3}) & \cos(wt-\frac{2\pi}{3}) & 1 \\ \sin(wt+\frac{2\pi}{3}) & \cos(wt+\frac{2\pi}{3}) & 1 \end{bmatrix} \begin{bmatrix} I_d \\ I_q \\ I_0 \end{bmatrix} \quad (3.7)$$

สมการแสดงการแปลงแกนจากสองแกนกลับไปเป็นแบบสามแกน

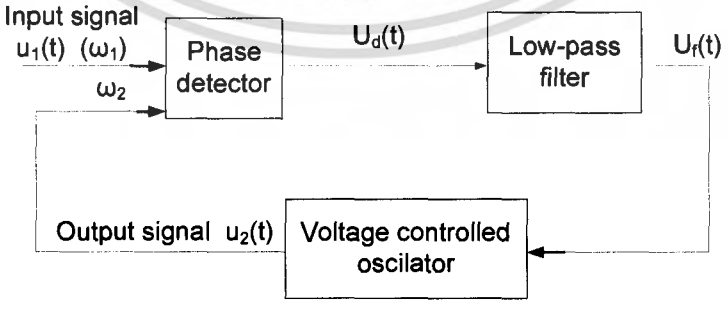
3.2.2 Phase-locked loop (PLL)

PLL เป็นวงจรที่ทำให้ระบบที่เราพิจารณาติดตามระบบอื่น ๆ นอกจากนี้ PLL ยังเป็นวงจรที่ทำให้สัญญาณเอาท์พุท (สร้างโดยออสซิลเลเตอร์) เกิดขึ้นพร้อมกับ (synchronize) สัญญาณอ้างอิงหรือสัญญาณอินพุท โดยมีความถี่เท่ากันเป็นผลทำให้มีเฟสตรงกัน ในการเกิดขึ้นพร้อมกันหรือที่เรียกว่า locked-state ความต่างเฟส (phase error) ระหว่างสัญญาณเอาท์พุทของออสซิลเลเตอร์กับสัญญาณอ้างอิงจะมีค่าเป็นศูนย์หรือมีค่าคงที่ค่าหนึ่ง

ถ้ามีความผิดพลาดของเฟสเกิดขึ้น ตัวออสซิลเลเตอร์จะเป็นตัวควบคุมโดยทำหน้าที่ลดค่าความผิดพลาดที่เกิดขึ้นให้มีค่าลดลง เนื่องจากเป็นการควบคุมให้สัญญาณเอาท์พุทมีเฟสตรงกันกับสัญญาณอ้างอิง ดังนั้นจึงเป็นที่มาของ Phase-locked loop

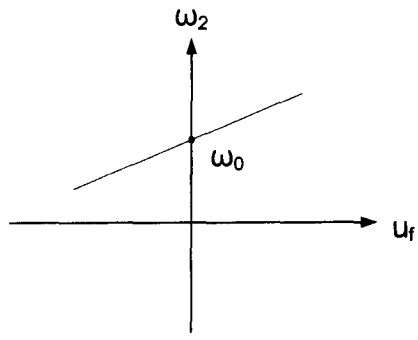
Phase-locked loop มีหลายชนิดเช่น linear PLL (LPLL) , digital PLLs (DPLL) , all-digital PLLs (ADPLL) , และ software PLLs (SPLL) รูปที่ 3.2 แสดงบล็อกไดอะแกรมของ PLLs ซึ่งประกอบด้วยบล็อกหลัก ๆ 3 บล็อกดังต่อไปนี้

1. Voltage-controlled oscillator (VCO)
2. Phase detector (PD)
3. Loop filter (LF)

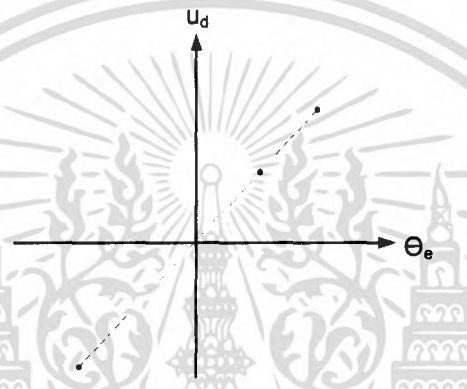


(a)

72644
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)



(c)

รูปที่ 3.2

(a) บล็อกไดอะแกรมของ PLL

(b) ฟังก์ชันโอนย้ายของ VCO (u_f = แรงดันควบคุม; ω_2 คือความถี่เชิงมุมของสัญญาณอินพุท)

(c) ฟังก์ชันถ่ายโอนของ PD ($\overline{u}_d$ = ค่าเฉลี่ยของสัญญาณเอาท์พุทของเฟสดีเทคเตอร์; θ_e คือความต่างเฟส)

สัญญาณภายใน PLL มีดังนี้

1. สัญญาณอ้างอิง (สัญญาณอินพุท) $u_1(t)$
2. ความถี่เชิงมุมของสัญญาณอ้างอิง ω_1
3. สัญญาณเอาท์พุทของ VCO $u_2(t)$
4. ความถี่เชิงมุมของสัญญาณเอาท์พุท ω_2
5. สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ $u_d(t)$
6. สัญญาณเอาท์พุทของฟิลเตอร์ $u_f(t)$
7. ความต่างเฟส θ_e เป็นความต่างเฟสระหว่างสัญญาณ $u_1(t)$ กับ $u_2(t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติให้ VCO เริ่มต้นแกว่งด้วยความถี่เชิงมุม ω_2 ซึ่งตรวจจับได้จากสัญญาณเอาท์พุท u_f ของฟิลเตอร์ ดังนั้นความถี่เชิงมุม ω_2 หาได้จากสมการ

$$\omega_2(t) = \omega_0 + K_0 u_f(t) \tag{3.8}$$

โดย ω_0 เป็นความถี่ศูนย์กลางของ VCO และ K_0 เป็นอัตราขยายของ VCO ในหน่วย $s^{-1}V^{-1}$

สมการ (3.8) สามารถวาดเป็นกราฟได้ดังรูปที่ 3.2 (b) ตัว PD หรืออาจเรียกว่า phase comparator เป็นตัวเปรียบเทียบมุมระหว่างสัญญาณเอาท์พุทกับมุมของสัญญาณอ้างอิงและนำไปปรับค่า $u_d(t)$ เพื่อให้เหมาะสมกับความต่างเฟส θ_e เขียนเป็นสมการได้ดังนี้

$$u_d(t) = K_d \theta_e \tag{3.9}$$

โดย K_d คือ อัตราขยายของ PD มีหน่วยเป็น volts รูปที่ 3.2 (c) แสดงกราฟความสัมพันธ์ของสมการ (3.9)

สัญญาณเอาท์พุท $u_d(t)$ ของ PD ประกอบด้วยองค์ประกอบของดีซีและเอซี โดยองค์ประกอบของดีซีเป็นสิ่งที่เราไม่ต้องการสามารถกำจัดได้โดยใช้ฟิลเตอร์ โดยส่วนมาก first-order low-pass filter จะถูกนำมาใช้ในการกรองออก

การทำงานของบล็อกทั้งสามมีหลักการดังต่อไปนี้ เริ่มต้นสมมุติให้ความถี่เชิงมุมของสัญญาณอินพุท $u_1(t)$ มีค่าเท่ากับความถี่ศูนย์กลาง ω_0 จากนั้น VCO จะทำงานที่ความถี่ศูนย์กลาง ω_0 นี้ จะเห็นได้ว่าความต่างเฟส θ_e จะมีค่าเป็นศูนย์ ต่อมาสัญญาณเอาท์พุทของฟิลเตอร์ u_f จะมีค่าเป็นศูนย์ด้วย จะพบว่าเงื่อนไขนี้ทำให้ VCO ทำงานที่ความถี่ศูนย์กลางของตัวมันเอง

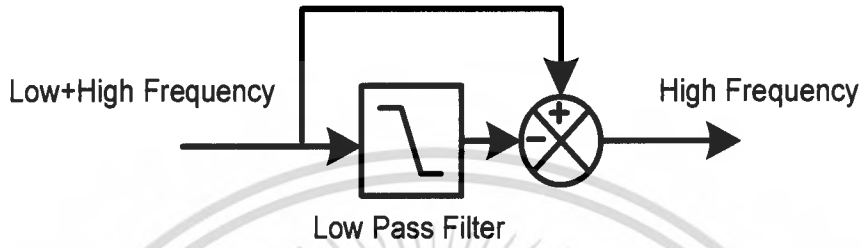
ถ้าเริ่มต้นความต่างเฟส θ_e มีค่าไม่เท่ากับศูนย์ ตัว PD จะสร้างสัญญาณเอาท์พุท u_d ที่ไม่เท่ากับศูนย์ หลังจากการหน่วงเวลาฟิลเตอร์จะสร้างสัญญาณที่มีขีดจำกัด u_f ซึ่งเป็นสาเหตุให้ VCO เปลี่ยนความถี่การทำงานของตัวมันไปเพื่อทำให้ความต่างเฟสที่เกิดขึ้นหายไป

สมมุติว่าความถี่ของสัญญาณอินพุทมีการเปลี่ยนแปลงโดยทันทีทันใดที่เวลา t_0 โดยมีค่าการเปลี่ยนแปลงเป็น $\Delta\omega$ มุมของสัญญาณอินพุทจะเริ่มนำมุมของสัญญาณเอาท์พุท จึงทำให้ความต่างเฟสเกิดขึ้นและจะมีค่ามากขึ้นเมื่อเวลาผ่านไป ตัว PD จะไปปรับสัญญาณ $u_d(t)$ ซึ่งจะมีค่ามากขึ้นเมื่อเวลาเพิ่มขึ้นด้วย ด้วยการหน่วงของฟิลเตอร์จะทำให้ $u_f(t)$ มีค่าเพิ่มขึ้นด้วย เป็นสาเหตุให้ VCO ต้องเพิ่มความถี่ของตัวมัน มีผลทำให้ความต่างเฟสมีค่าลดลง และหลังจากนั้น VCO จะเริ่มแกว่งด้วยความถี่ที่เหมือนกับสัญญาณอินพุท ความต่างเฟสจะมีค่าเป็นศูนย์หรือมีค่าจำกัดที่ค่า ๆ หนึ่งก็ขึ้นอยู่กับชนิดของฟิลเตอร์ที่เลือกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 เทคนิค Complementary high-pass filter

เนื่องจากเราต้องการกรองความถี่ต่ำออกหรือต้องการใช้ High Pass Filter แต่ถ้าเราใช้ High Pass Filter จะทำให้เกิดผลของการเลื่อนเฟสซึ่งจะทำให้การชดเชยฮาร์โมนิคได้ไม่ดี เพื่อแก้ไขปัญหานี้จึงได้นำวงจร complementary high-pass filter ซึ่งแสดงได้ดังรูปที่ 3.3 มาใช้ในการตรวจจับกระแสฮาร์โมนิค

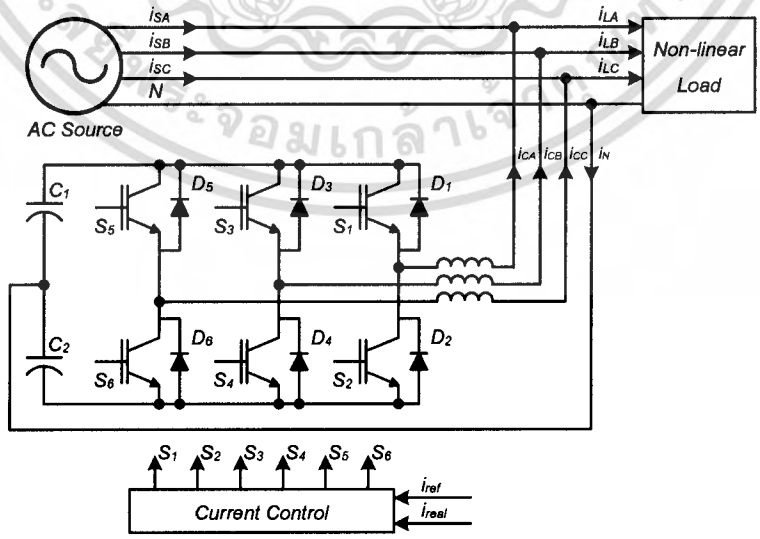


รูปที่ 3.3 ปล๊อกไดอะแกรม Complementary high-pass filter

3.3 หลักการทำงานของวงจรกรองกำลังแอคทีฟ

การทำงานของวงจรกรองกำลังแอคทีฟจะเกิดขึ้นเมื่ออุปกรณ์สวิทช์ชิ่งของวงจรอินเวอร์เตอร์เปลี่ยนสถานะและไดโอดจะเป็นตัวที่ควบคุมการถ่ายเทพลังงานระหว่างตัวเหนี่ยวนำและตัวเก็บประจุในรูปของการเปลี่ยนแปลงแรงดันดีซีและกระแสชดเชยตามลำดับ

โครงสร้างวงจรกำลังที่ใช้ในโปรเจคนี้ประกอบด้วยอุปกรณ์สวิทช์ IGBT จำนวน 6 ตัว S_1 , S_2 , ... , S_6 ซึ่งสวิทช์ (S1 , S2) , (S3 , S4) และ (S5 , S6) จะทำหน้าที่ในการควบคุมกระแสชดเชยเฟส A , เฟส B และ เฟส C ตามลำดับ จุดร่วมระหว่างตัวเก็บประจุ C_1 และ C_2 จะต่อไปยังสายนิวทรอลของระบบแสดงดังรูปที่ 3.4

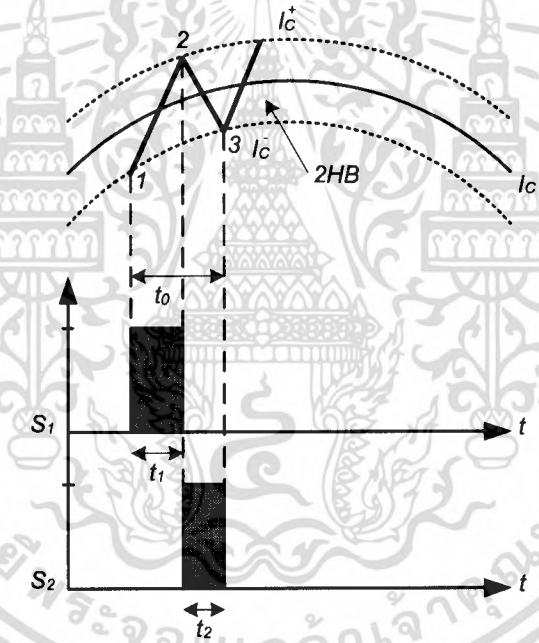


รูปที่ 3.4 โครงสร้างวงจรกำลังของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การวิเคราะห์เทคนิคการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีส (Adaptive Hysteresis band current control)

การควบคุมกระแสที่ใช้เทคนิคการควบคุมกระแสแบบดิดตามขอบเขตฮิสเตอร์รีซีสนั้น เพื่อทำให้เกิดความเข้าใจได้ง่ายจึงทำการวิเคราะห์หลักการทำงานเพียงเฟสเดียวโดยมีหลักการดังนี้ คือ นำสัญญาณอ้างอิง i_c^* ที่ต้องการนำมาลบกับกระแสที่ตรวจวัดได้จริง จะได้สัญญาณผิดพลาด (error) แล้วนำไปเปรียบเทียบกับขอบเขตฮีสเตอร์รีซีส ถ้าสัญญาณกระแสจริง i_c มีค่ามากกว่าขอบเขตฮีสเตอร์รีซีสด้านบน สวิทช์ S_2 ทำงานส่วนสวิทช์ S_1 จะหยุดทำงาน เป็นผลให้กระแสมีความชันลดลง แต่ในทางกลับกัน ถ้ากระแสจริง i_c มีค่าน้อยกว่าขอบเขตฮีสเตอร์รีซีสด้านล่าง สวิทช์ S_1 ทำงานส่วนสวิทช์ S_2 จะหยุดทำงาน เป็นผลให้กระแสมีความชันเพิ่มขึ้น จากหลักการนี้จะทำให้เกิดการกระทำซ้ำ ๆ กัน ดามเงื่อนที่ได้กล่าวมา โดยรูปสัญญาณกระแสของการควบคุมกระแสแบบติดดามขอบเขตฮีสเตอร์รีซีสสามารถแสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 สัญญาณกระแสและการสวิทช์ของการควบคุมกระแสแบบดิดตามขอบเขตฮีสเตอร์รีซีส

จากรูปที่ 3.5 พบว่าในการวิเคราะห์หลักการทำงานของวิธีควบคุมกระแสแบบดิดตามขอบเขตฮีสเตอร์รีซีสจะมีอยู่สองสถานะ คือ เมื่อกระแส i_c^+ เดินทางจากจุดที่ 1 ไปยังจุดที่ 2 โดยกระแส i_c จะวิ่งจากขอบเขตล่างไปหาขอบเขตบนจึงทำให้ความชันของกระแสเป็นบวกและจากจุดที่ 2 ไปยังจุดที่ 3 กระแส i_c^- จะวิ่งจากขอบเขตบนไปหาขอบเขตล่างจึงทำให้ความชันมีค่าเป็นลบ ดังนั้นจากรูปที่ 3.5 สามารถเขียนเป็นสมการที่เกิดจากการสวิทช์ที่เวลา t_1 และ t_2 เมื่อ s_1 ทำงานและ s_2 ไม่ทำงานที่เวลา t_1 ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L\frac{di_C^+}{dt} = V_{dc} \tag{3.10}$$

เมื่อ s_2 ทำงานและ s_1 ไม่ทำงานที่เวลา t_2

$$L\frac{di_C^-}{dt} = -V_{dc} \tag{3.11}$$

เมื่อนำ $t_1 + t_2$ จะได้

$$\frac{di_C^+}{dt} + \frac{di_C^-}{dt} = 0 \tag{3.12}$$

เมื่อ L คือ ตัวเหนี่ยวนำที่ต่ออยู่ระหว่างอินเวอร์เตอร์และแหล่งจ่าย

i_a^+ คือ กระแสชดเชยที่มีความชันเป็นบวกเมื่อกระแสเดินทางไปชนขอบเขตบน

i_a^- คือ กระแสชดเชยที่มีความชันเป็นลบเมื่อกระแสเดินทางไปชนขอบเขตล่าง

HB^+ คือ ขอบเขตบนของฮีสเตอร์รีซีส

HB^- คือ ขอบเขตล่างของฮีสเตอร์รีซีส

i_c^* คือ กระแสอ้างอิง

จากหลักการตรีโกณมิติในรูปที่ 3.5 สามารถเขียนเป็นสมการได้ดังนี้

$$\frac{di_C^+}{dt}t_1 - \frac{di_C^*}{dt}t_1 = 2HB \tag{3.13}$$

$$\frac{di_C^-}{dt}t_2 - \frac{di_C^*}{dt}t_2 = -2HB \tag{3.14}$$

$$t_1 + t_2 = T_c = \frac{1}{f_c} \tag{3.15}$$

เมื่อ t_1 และ t_2 คือเวลาในการสวิทช์ของ IGBT แล้ว f_c คือ ความถี่สวิทช์ชิ่ง เมื่อนำสมการที่ (3.13) และสมการที่ (3.14) มาบวกกันแล้วแทนในสมการที่ (3.15) สามารถเขียนเป็น

$$t_1\frac{di_C^+}{dt} + t_2\frac{di_C^-}{dt} - \frac{1}{f_c}\frac{di_c^*}{dt} = 0 \tag{3.16}$$

แล้วนำสมการ (3.13) ลบกับสมการ (3.14) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_1 \frac{di_C^+}{dt} - t_2 \frac{di_C^-}{dt} - (t_1 - t_2)\frac{di_C^*}{dt} = 4HB \tag{3.17}$$

นำสมการที่ (3.12) แทนลงในสมการที่ (3.17) จะได้

$$(t_1 + t_2)\frac{di_C^+}{dt} - (t_1 - t_2)\frac{di_C^*}{dt} = 4HB \tag{3.18}$$

$$\frac{1}{f_c}\frac{di_C^+}{dt} - (t_1 - t_2)\frac{di_C^*}{dt} = 4HB \tag{3.19}$$

จากสมการที่ (3.16) นำมาเขียนใหม่เป็น

$$(t_1 - t_2) = \frac{\left(\frac{di_C^*}{dt}\right)}{f_c\left(\frac{di_C^+}{dt}\right)} \tag{3.20}$$

เมื่อนำสมการ (3.20) แทนในสมการ (3.19) จะได้

$$\frac{1}{f_c}\left[\frac{di_C^+}{dt} - \frac{\left(\frac{di_C^*}{dt}\right)^2}{\left(\frac{di_C^+}{dt}\right)}\right] = 4HB \tag{3.21}$$

จากสมการ (3.10) และ (3.11) จะได้

$$\frac{0.25V_{dc}}{f_c L}\left[1 - \frac{4m^2L^2}{V_{dc}^2}\right] = HB \tag{3.22}$$

ดังนั้น f_c มีค่าเท่ากับ

$$f_c = \frac{0.25V_{dc}}{(HB)L}\left[1 - \frac{4m^2L^2}{V_{dc}^2}\right] \tag{3.23}$$

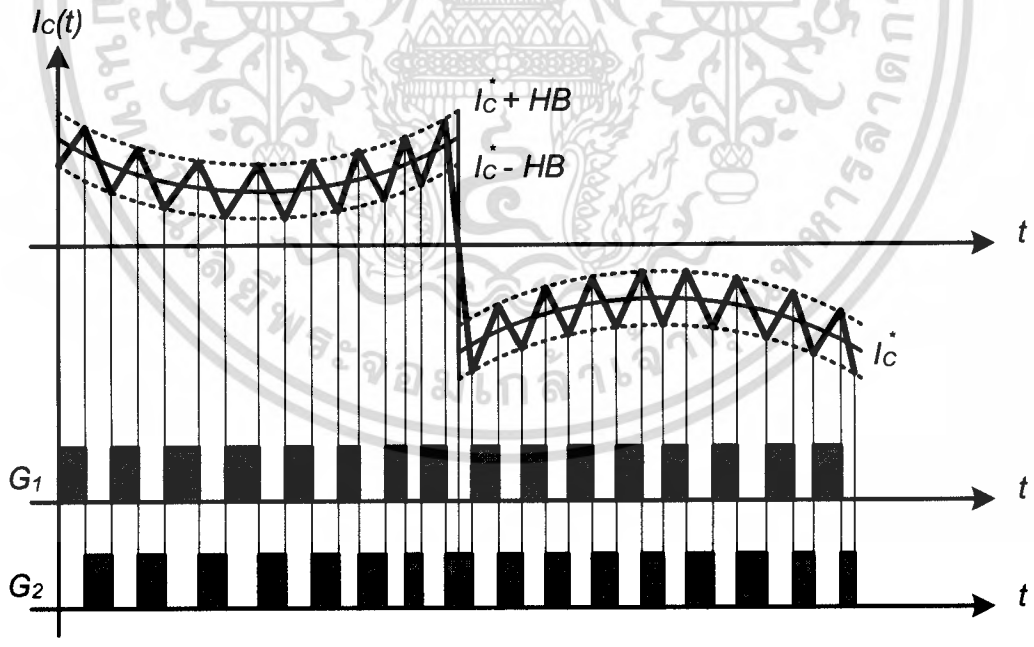
เมื่อกำหนดให้ $m = \frac{di_C^*}{dt}$ คือ ความชันของกระแสอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.23) พบว่าขณะที่แรงดันตกคร่อมตัวเก็บประจุเป็นค่าคงที่ ความถี่ในการสวิทช์สูงสุดจะขึ้นอยู่กับขนาดของตัวเหนี่ยวนำและความกว้างของขอบเขตฮีสเตอร์รีซีส ถ้าการควบคุมกระแสแบบดิดตามขอบเขตฮีสเตอร์รีซีสนี้มีขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสน้อยจะทำให้ความถี่ในการสวิทช์สูง ซึ่งในทางปฏิบัติไม่สามารถใช้ความถี่ในการสวิทช์ได้สูงเนื่องจากอาจทำให้ความถี่ในการสวิทช์สูงเกินพิกัดของอุปกรณ์การสวิทช์ อาจทำให้อุปกรณ์การสวิทช์เสียหายได้ แต่ถ้าให้ขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสมีค่ามาก จะทำให้การตอบสนองต่อการสร้างกระแสช้า ดังนั้นในการเลือกขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสจะต้องเลือกให้เหมาะสม

3.3.2 หลักการทำงานของโหมดการสวิทช์

จากรูปที่ 3.5 สามารถอธิบายหลักการทำงานการควบคุมกระแสของการสวิทช์ของวงจรกรองกำลังแอคทีฟได้ โดยวงจรกรองกำลังแอคทีฟนั้นจะทำการควบคุมการส่งถ่ายกำลังงานไฟฟ้าระหว่างแหล่งจ่ายแรงดันกับอินเวอร์เตอร์ให้กระแสของอินเวอร์เตอร์ i_C^* มีมุมต่างเฟสกับแรงดันแหล่งจ่าย V_s เป็นมุม 180° รูปแบบการทำงานของการสวิทช์แบ่งออกเป็น 4 โหมดการทำงานซึ่งสามารถอธิบายได้ดังรูปที่ 3.6

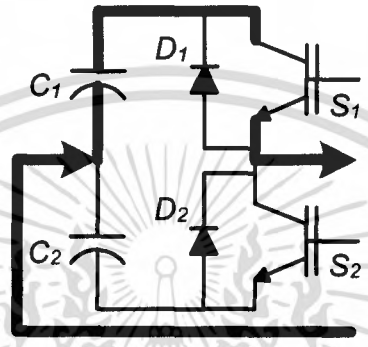


รูปที่ 3.6 รูปคลื่นกระแสของอินเวอร์เตอร์ตามสภาวะโหมดการควบคุมการสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2.1 โหมดการทำงานที่ 1

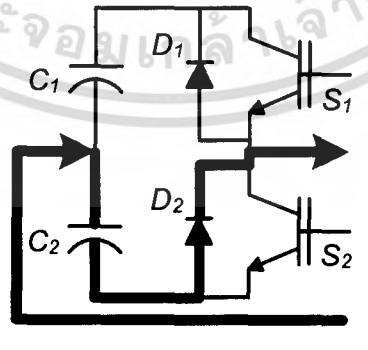
การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมกระแส 0° ถึง 180° (ซีกบวก) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_1 ของสวิทช์ S_1 ส่วนสวิทช์ S_2 จะไม่มีการส่งสัญญาณไปขับที่ขา G_2 โดยที่ $V_s + V_L < V_{C1}$ จึงทำให้กระแส i_C ไหลจากตัวเก็บประจุ C_1 ไปยังสวิทช์ S_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_1 มีค่าลดลง ดังนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่เพิ่มขึ้น $(di_C / dt > 0)$ แสดงดังรูปที่ 3.7



รูปที่ 3.7 การทำงานของสวิทช์ในโหมดการทำงานที่ 1

3.3.2.2 โหมดการทำงานที่ 2

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 0° ถึง 180° (ซีกบวก) ดังนั้นจะส่งสัญญาณไปขับขาเกต G_2 ของสวิทช์ S_2 ทำให้สวิทช์นี้ทำงาน ส่วนสวิทช์ S_1 จะไม่ทำงานเนื่องจากไม่มีสัญญาณไปขับขาเกต G_1 โดยที่ $V_s + V_L < V_{C1}$ จึงทำให้กระแส i_C จะไหลจากตัวเก็บประจุ C_2 ไปยังไดโอด D_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_2 มีค่าเพิ่มขึ้น ดังนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่ลดลง $(di_C / dt < 0)$ แสดงดังรูปที่ 3.8

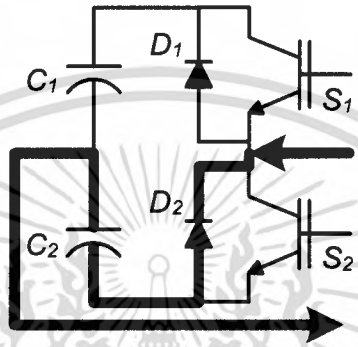


รูปที่ 3.8 การทำงานของสวิทช์ในโหมดการทำงานที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2.3 โหมดการทำงานที่ 3

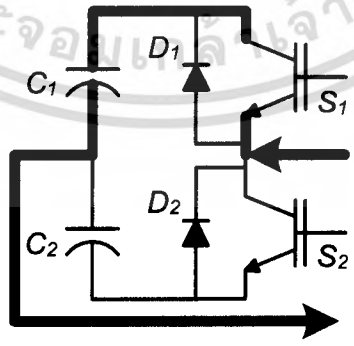
การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 180° ถึง 360° (ซีกลบ) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_2 ของสวิทช์ S_2 ส่วนสวิทช์ S_1 จะไม่มีการส่งสัญญาณไปขับที่ขา G_1 โดยที่ $V_s + V_L > V_{C1}$ จึงทำให้กระแส i_C ไหลจากสวิทช์ S_2 ไปยังตัวเก็บประจุ C_2 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_2 มีค่าลดลง ดังนั้นกระกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่ลดลง $(di_C / dt < 0)$ แสดงดังรูปที่ 3.9



รูปที่ 3.9 การทำงานของสวิทช์ในโหมดการทำงานที่ 3

3.3.2.4 โหมดการทำงานที่ 4

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 180° ถึง 360° (ซีกลบ) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_1 ของสวิทช์ S_1 ส่วนสวิทช์ S_2 จะไม่มีการส่งสัญญาณไปขับที่ขา G_2 โดยที่ $V_s + V_L > V_{C1}$ จึงทำให้กระแส i_C ไหลออกจากไดโอด D_1 ไปยังตัวเก็บประจุ C_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_1 มีค่าเพิ่มขึ้น ดังนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่เพิ่มขึ้น $(di_C / dt > 0)$ แสดงดังรูปที่ 3.10



รูปที่ 3.10 การทำงานของสวิทช์ในโหมดการทำงานที่ 4

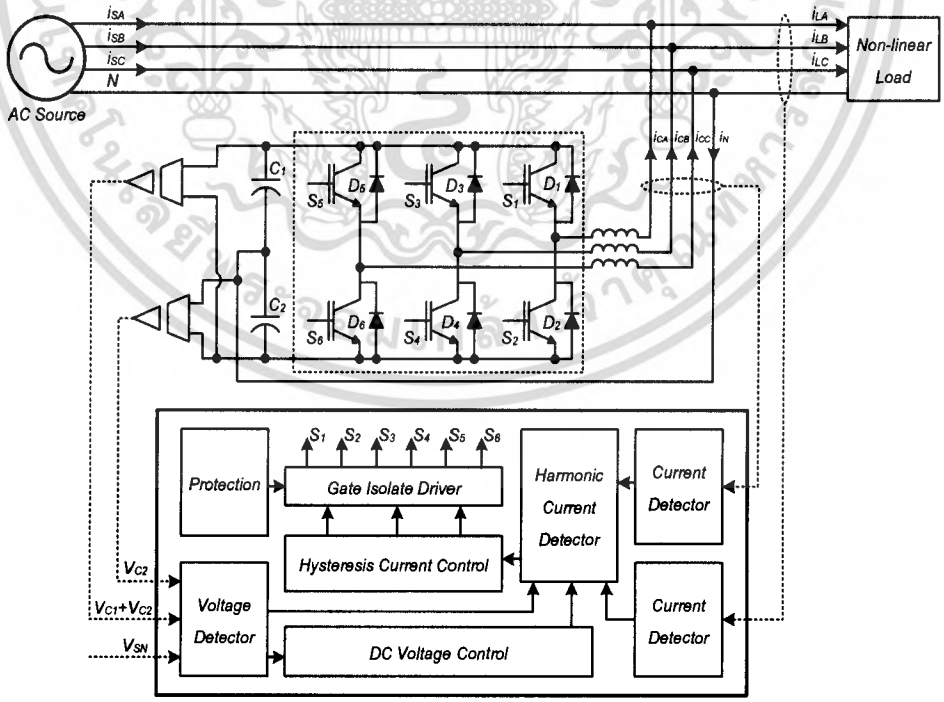
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 เงื่อนไขการเปลี่ยนแปลงแรงดันของตัวเก็บประจุ

เงื่อนไข	การเปลี่ยนแปลงแรงดันของตัวเก็บประจุ
$i_C > 0$ และ $di_C / dt < 0$	ค่าแรงดัน V_{C2} เพิ่มขึ้น
$i_C < 0$ และ $di_C / dt < 0$	ค่าแรงดัน V_{C2} ลดลง
$i_C < 0$ และ $di_C / dt > 0$	ค่าแรงดัน V_{C1} เพิ่มขึ้น
$i_C > 0$ และ $di_C / dt > 0$	ค่าแรงดัน V_{C1} ลดลง

3.4 การควบคุมระดับแรงดันเชื่อมโยงไฟตรง และแรงดันจุดกึ่งกลางไฟตรงให้คงที่

การควบคุมระดับแรงดันไฟตรงของอินเวอร์เตอร์ที่ใช้ในระบบ 3 เฟส 4 สาย นอกจากจะต้องควบคุมระดับแรงดันไฟตรงเชื่อมโยงทั้งหมด ($V_{dc} = V_{C1} + V_{C2}$) ให้มีค่าเป็นไปตามที่ต้องการแล้วยังต้องควบคุมระดับแรงดันตัวเก็บประจุทั้งกึ่งบน (V_{C1}) และกึ่งล่าง (V_{C2}) ให้มีค่าเท่ากันด้วย ถ้าเราไม่ทำการควบคุมให้ระดับแรงดันมีค่าคงที่นั้นจะทำให้แรงดันของตัวเก็บประจุไม่คงที่และจะขึ้นอยู่กับการสวิทช์ของวงจรกำลัง กรณีที่เราไม่ทำการควบคุมแรงดันนี้อาจมีผลทำให้แรงดันที่ตัวเก็บประจุสูงเกินพิกัดแรงดันของตัวเก็บประจุจึงทำให้ตัวเก็บประจุเสียหายได้ ในกรณีกลับกันถ้าแรงดันที่ตัวเก็บประจุมีค่าต่ำกว่าแรงดันยอด (V_p) ของแหล่งจ่ายไฟ จะมีผลทำให้วงจรกรองกำลังแอคทีฟไม่สามารถจ่ายกระแสชดเชยได้ ดังนั้นเราจำเป็นต้องทำการออกแบบในการควบคุมระดับแรงดันไฟตรงให้คงที่ โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับแรงดันไฟตรงแสดงได้ดังรูปที่ 3.11



รูปที่ 3.11 โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับแรงดันไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 การควบคุมระดับแรงดันบัสไฟตรงเชื่อมโยงให้คงที่

จากทฤษฎีกำลังงานรีแอคทีฟขณะใด ๆ จะพบว่ากำลังส่วนที่ทำให้เกิดกระแสฮาร์โมนิคนั้นจะเป็นองค์ประกอบไฟสลับ ดังนั้นค่ากำลังงานที่ไหลเข้าออกจากอินเวอร์เตอร์ของวงจรกรองแอคทีฟใน 1 คาบเวลาจึงมีค่าเป็นศูนย์ ด้วยเหตุนี้เองส่วนของอินเวอร์เตอร์ที่ใช้ในวงจรกรองกำลังแอคทีฟจึงไม่จำเป็นต้องมีวงจรเรียงกระแสเพื่อจ่ายกำลังงานให้กับตัวเก็บประจุไฟตรงเหมือนอินเวอร์เตอร์ทั่วไป อย่างไรก็ตามวงจรอินเวอร์เตอร์ในทางปฏิบัติจะมีกำลังสูญเสีย อันเนื่องมาจากสาเหตุต่าง ๆ เช่น กำลังสูญเสียจากการสวิทช์ กำลังสูญเสียขณะนำกระแสของสวิทช์กำลัง ฯลฯ จึงทำให้แรงดันไฟตรงที่ตัวเก็บประจุมีค่าลดลงได้ ดังนั้นเราจึงมีความจำเป็นที่จะต้องดึงเอากำลังงานจากแหล่งจ่ายของการไฟฟ้าเข้ามาเพื่อทำการชดเชยกำลังที่สูญเสียไปและทำให้เราสามารถควบคุมแรงดันไฟตรงให้มีค่าเฉลี่ยคงที่และมีค่าสูงเพียงพอต่อการทำงานของอินเวอร์เตอร์ได้ โดยอินเวอร์เตอร์จะทำการสร้างแรงดันเพื่อให้วงจรกรองกำลังแอคทีฟสร้างกระแสที่ความถี่มูลฐานที่มีเฟสเดียวกันกับแรงดันเพื่อที่จะดึงพลังงานเข้าสู่ระบบ พลังงานที่ถูกดึงเข้าสู่ระบบจะถูกนำไปสะสมในตัวเก็บประจุทำให้ค่าระดับแรงดันไฟตรงมีค่าสูงขึ้น ในขณะเดียวกันถ้าแรงดันไฟตรงมีค่าสูงกว่าค่าที่กำหนด วงจรกรองกำลังแอคทีฟจะสร้างกระแสที่ความถี่มูลฐานที่มีเฟสตรงกันข้ามกับแรงดันเพื่อทำการจ่ายพลังงานออกไปจากอินเวอร์เตอร์ทำให้แรงดันไฟตรงมีค่าลดลง ดังนั้นเราสามารถเขียนโครงสร้างของวงจรกรองกำลังแอคทีฟที่มีส่วนการควบคุมแรงดันบัสไฟตรงได้ดังรูปที่ 3.11 โดยจะป้อนกลับค่าแรงดันบัสไฟตรง V_{dc} เปรียบเทียบกับค่าอ้างอิง V_{dc}^{*} และควบคุมผ่านตัวควบคุมพีไอ ซึ่งทำหน้าที่กำหนดค่ากระแสคำสั่งที่จำเป็นในการควบคุมแรงดัน แล้วนำค่าที่ได้จากตัวควบคุมพีไอนี้มาทำการคูณกับค่าสัญญาณกระแสอ้างอิงของแต่ละตัวเพื่อเป็นค่ากระแสอ้างอิงของตัวควบคุมกระแสต่อไป

การออกแบบตัวควบคุมพีไอจะเริ่มจากการเขียนแบบจำลองทางคณิตศาสตร์ของตัวเก็บประจุเป็นบล็อกไดอะแกรม เมื่อรวมกับบล็อกไดอะแกรมของส่วนควบคุมพีไอและวงจรกรองสัญญาณกระแสสามารถแสดงได้ดังรูปที่ 3.12 โดยการเขียนแบบจำลองทางคณิตศาสตร์ของตัวเก็บประจุจะอาศัยสมการพลังงานแสดงดังสมการ

$$P_{charge} - P_{loss} = E_m(t) i_{dc}(t) = V_{dc}(t) C_{dc} \frac{dV_{dc}(t)}{dt} = \frac{1}{2} C_{dc} \frac{dV_{dc}^2(t)}{dt} \qquad (3.24)$$

โดยที่

P_{charge} คือ กำลังงานที่ไหลเข้าอินเวอร์เตอร์

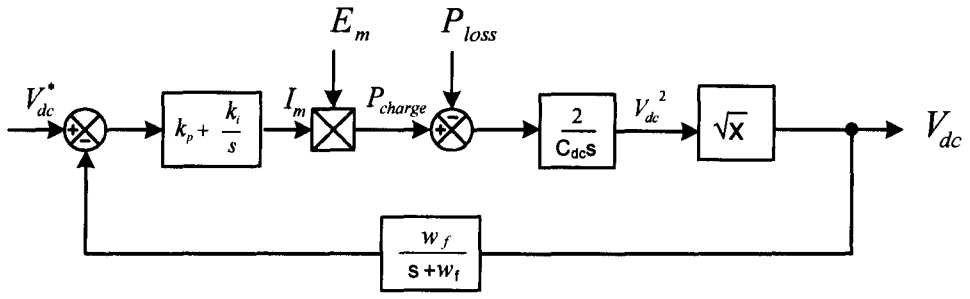
P_{loss} คือ กำลังงานสูญเสียต่าง ๆ ของอินเวอร์เตอร์

i_{dc} คือ กระแสที่ไหลเข้าออกจากอินเวอร์เตอร์

C_{dc} คือ ตัวเก็บประจุไฟตรง

E_m คือ ขนาดแรงดันของแหล่งจ่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 บล็อกไดอะแกรมส่วนควบคุมแรงดันไฟตรงที่ใช้ในการออกแบบ

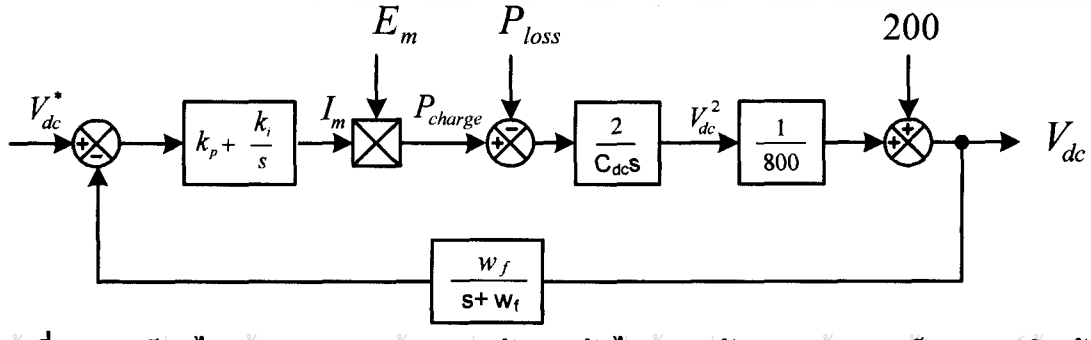
จากบล็อกไดอะแกรมจะพบว่ามีส่วนของการถอดรากที่สองซึ่งเป็นส่วนที่ไม่เชิงเส้น ทำให้เกิดความยุ่งยากในการออกแบบ ดังนั้นเราจึงจะทำการประมาณระบบให้อยู่ในรูปแบบที่เป็นเชิงเส้น (Linearization) ในช่วงการทำงานแคบ ๆ โดยจะใช้อนุกรมเทย์เลอร์ถึงอันดับที่ 1 ในการประมาณการถอดรากที่สองให้เป็นความสัมพันธ์เชิงเส้น ณ จุดทำงานที่ $\sqrt{x_0} = V_{dc} = 400$ V สามารถแสดงได้ดังนี้

$$\begin{aligned} y(x) = \sqrt{x} = \sqrt{x_0 + \Delta x} &\approx \sqrt{x_0} + \left.\frac{d\sqrt{x}}{dx}\right|_{x=x_0} \bullet \Delta x \\ &\approx \sqrt{x_0} + \left.\frac{1}{2\sqrt{x}}\right|_{x=x_0} \bullet \Delta x \\ &\approx \sqrt{x_0} + \frac{1}{2\sqrt{x}} \bullet (x - x_0) \end{aligned} \tag{3.25}$$

เมื่อแทนค่า $\sqrt{x_0} = 400$ V ลงในสมการที่ (3.25) จะได้

$$\begin{aligned} y(x) &\approx 400 + \frac{1}{800}(x - 400^2) \\ &\approx 200 + \frac{1}{800}x \end{aligned} \tag{3.26}$$

เมื่อประมาณเป็นเชิงเส้นแล้วสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.13 จากบล็อกไดอะแกรมสามารถเขียนฟังก์ชันโอนย้ายวงรอบเปิดได้ดังสมการ (3.27)



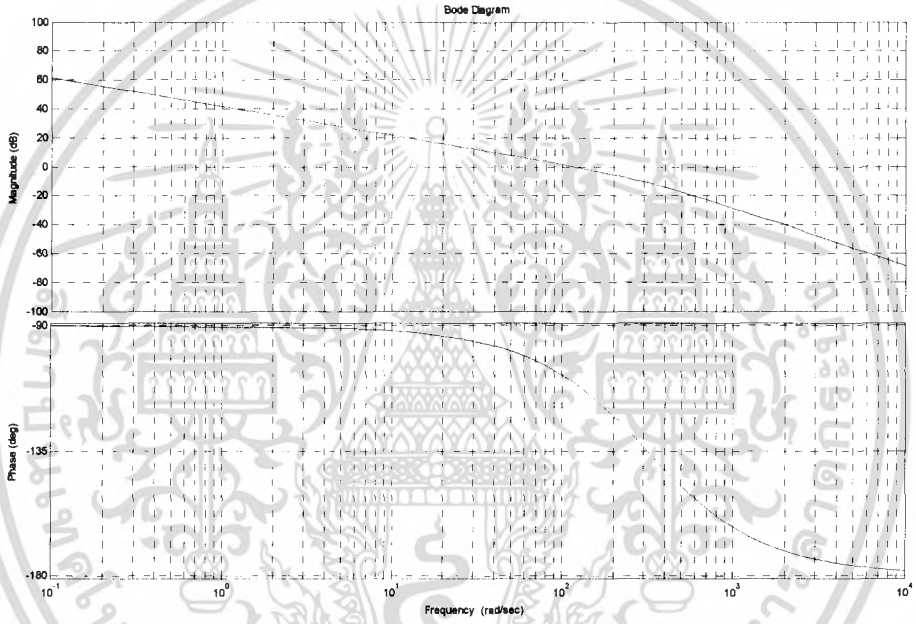
รูปที่ 3.13 บล็อกไดอะแกรมส่วนควบคุมระดับแรงดันไฟตรงหลังจากประมาณเป็นระบบเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่า k_p และ k_i เราจะพิจารณาจากบล็อกไดอะแกรมของระบบตามรูปที่ 3.13 ซึ่งจากรูปเราจะได้ฟังก์ชันโอนย้ายวงรอบเปิดมีสมการเป็น

$$G_0(s) = \left(k_p + \frac{k_i}{s}\right) \times E_m \times \left(\frac{\omega_f}{s+\omega_f}\right) \times \left(\frac{1}{400 \bullet C_{dc} s}\right) \qquad (3.27)$$

โดยที่ค่าตัวแปรต่าง ๆ ของระบบมีค่าเป็น $C_{dc} = 3{,}900\ \mu F$, $E_m = 190\ V$, $\omega_f = 100\pi$ rad/s ซึ่งฟังก์ชันโอนย้ายวงรอบเปิดของระบบในขณะที่ยังไม่รวมส่วนควบคุมพีไอสามารถเขียนแผนภูมิโบเดดังรูปที่ 3.14



รูปที่ 3.14 แผนภูมิโบเดของระบบเมื่อยังไม่รวมส่วนควบคุมพีไอ

เมื่อเราพิจารณาเรื่องความเร็วในการตอบสนองของระบบแล้ว เราไม่ควรออกแบบให้ระบบควบคุมแรงดันไฟตรง (V_{dc}) มีความเร็วในการตอบสนองถึงย่านความถี่ฮาร์โมนิคเพราะจะทำให้วงจรกรองกำลังแอคทีฟไม่สามารถชดเชยกระแสฮาร์โมนิคช่วงนั้นได้ ดังนั้นโปรเจคนี้จึงเลือกความเร็วในการตอบสนองไว้ที่ประมาณ 2 วินาที โดยเลือกความถี่ตัดข้าม (cross over frequency) ที่ $\omega_0 = 12$ rad/s และเลือกความถี่หักมุมของตัวควบคุมพีไอ (cut off frequency $= k_p / k_i$) ที่ $\omega_c = 2$ rad/s โดยฟังก์ชันโอนย้ายวงรอบปิดที่มีตัวควบคุมพีไอมีสมการเป็น

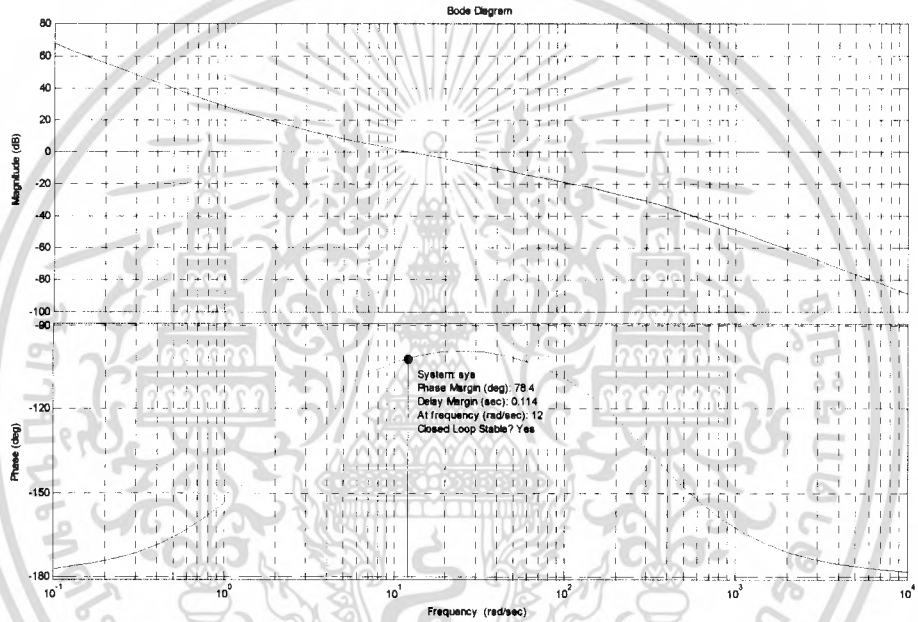
$$G_0(s) = \left(k_p + \frac{k_i}{s}\right) \times \left(\frac{38369.72}{s(s+314.16)}\right) \qquad (3.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการหาค่า k_p สามารถหาได้จากสมการที่ 3.28 (โดยแทนค่า $s = j\omega_0 = j12$) ที่ความถี่นี้จะมีเกณฑ์การขยายเท่ากับ 1 ดังนั้นสามารถเขียนได้เป็น

$$|G_0(j\omega_0)| = \left| \left(k_p + \frac{2k_p}{j12} \right) \times \left(\frac{38369.72}{(j12)(j12+314.16)} \right) \right| = 1 \qquad (3.29)$$

ซึ่งจะได้ค่า k_p = 0.097 และ k_i = 0.194 เมื่อทำการเขียนแผนภาพโบเดจะได้ดังรูปที่ 3.15 และพบว่าระบบมีช่วงปลอดภัยเชิงเฟสของระบบ (Phase Margin) มีค่าเท่ากับ 78.4^{O}



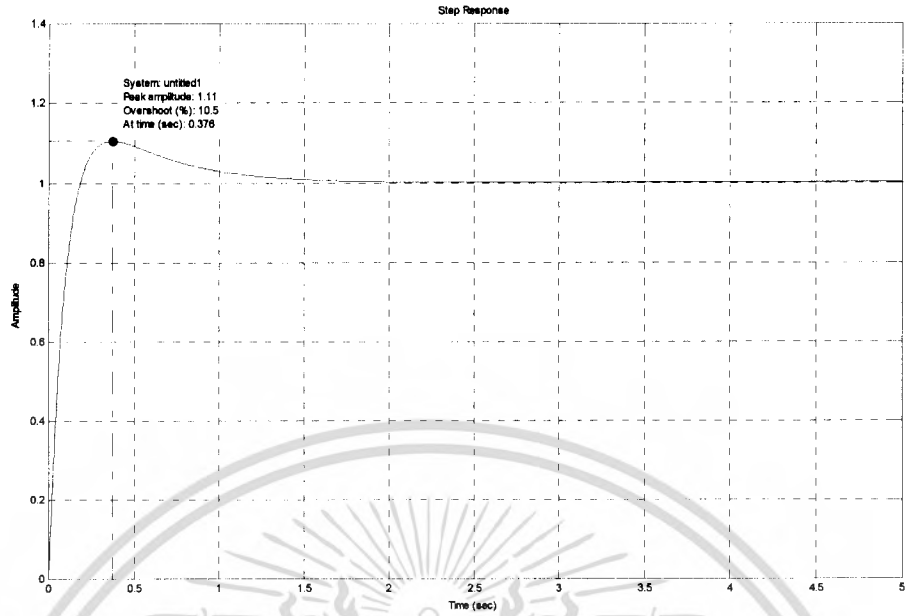
รูปที่ 3.15 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันไฟตรง

โดยผลการตอบสนองของระบบปิดที่มีการทดสอบด้วยสัญญาณยูนิตสเต็ปจะพบว่ามีผลการตอบสนองที่เวลา 2 วินาที ซึ่งเป็นไปตามที่ได้ออกแบบไว้ และค่าเปอร์เซ็นต์ของการโอเวอร์ชูตอยู่ที่ประมาณ 10 เปอร์เซ็นต์ ซึ่งเป็นค่าที่ยอมรับได้ในการใช้งาน แสดงได้ดังรูปที่ 3.16

3.4.2 การควบคุมระดับแรงดันจุดกึ่งกลางไฟตรง

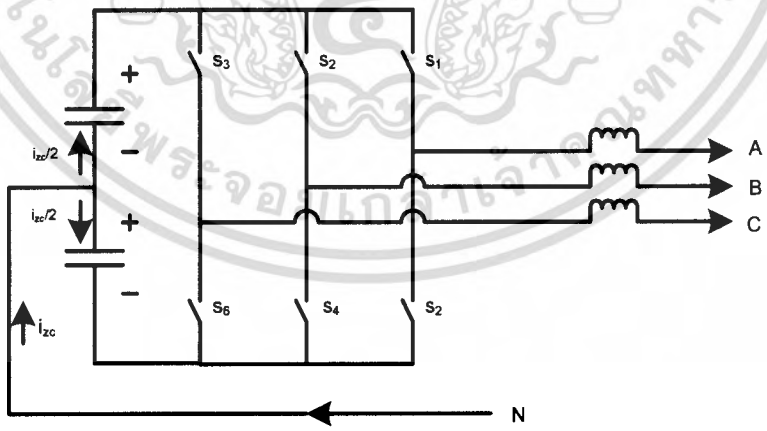
ในการใช้งานวงจรกรองกำลังแอคทีฟในระบบไฟฟ้า 3 เฟส 4 สาย ที่มีสายนิวทรอลอยู่กึ่งกลางไฟตรง มีความเป็นไปได้ที่แรงดันตกคร่อมตัวเก็บประจุตัวบนและตัวล่างอาจมีค่าแรงดันต่างกันมากโดยเกิดจากการที่กระแสที่สายนิวทรอลไม่มีการควบคุม ดังนั้นเราจึงจำเป็นที่จะต้องทำการควบคุมแรงดันที่จุดกึ่งกลางไฟตรง โดยทำการควบคุมการไหลของกระแสในสายนิวทรอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 ผลการตอบสนองของระบบการรักษาไฟตรงที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป

และกำหนดให้เป็นกระแสซีเควนซ์ศูนย์ i_{ZC} ที่ไหลเข้ากึ่งกลางไฟตรง ซึ่งกระแสนี้จะแยกไหลออกเป็น 2 ส่วน คือ ที่ตัวเก็บประจุตัวบนกับตัวเก็บประจุตัวล่างแสดงดังรูปที่ 3.17



รูปที่ 3.17 การไหลของกระแสซีเควนซ์ศูนย์เพื่อควบคุมแรงดันจุดกึ่งกลางไฟตรง

จากรูปที่ 3.17 จะพบว่า

$$V_{C1} + V_{C2} = V_{dc} \tag{3.30}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

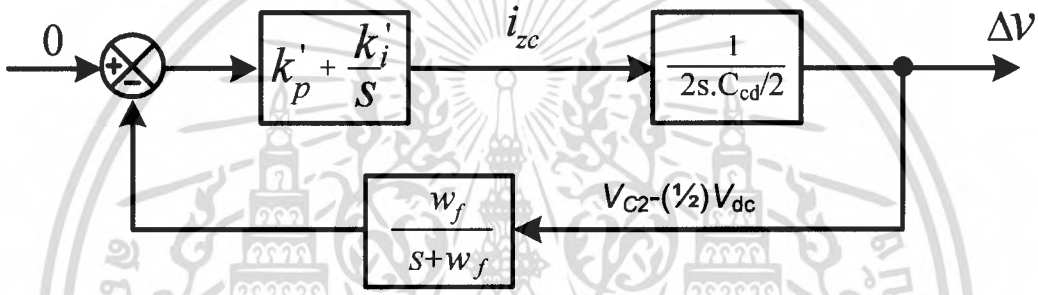
ถ้ากระแส i_{ZC} ไหลเข้าดังรูป 3.17 จะทำให้แรงดัน V_{C2} เพิ่มขึ้นและแรงดันจุดกึ่งกลางไฟตรง V_{C1} จะเป็นดังสมการ

$$V_{C1} = V_{C1} + \Delta v \tag{3.31}$$

$$V_{C2} = V_{C2} + \Delta v \tag{3.32}$$

$$\Delta v = \frac{1}{C}\int \frac{i_{ZC}}{2} dt \tag{3.33}$$

จากสมการ (3.33) เมื่อเขียนบล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรงจะได้ดังรูป 3.18



รูปที่ 3.18 บล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรง

โดยที่ $V_{dc/2}$ คือ แรงดันที่จุดกึ่งกลางไฟตรง

$(1/2)V_{dc}$ คือ ค่าครึ่งหนึ่งของแรงดันไฟตรง

เมื่อพิจารณาในเรื่องความเร็วในการตอบสนองของการควบคุมแรงดันที่จุดกึ่งกลางไฟตรง เราไม่ควรออกแบบให้มีค่าเวลาในการตอบสนองที่เร็วเกินไป เพราะจะทำให้การจ่ายกระแสซีเควนซ์ศูนย์เพื่อทำการควบคุมแรงดันจุดกึ่งกลางไฟตรงเปลี่ยนค่าเร็วเกินไป และทำให้แรงดันที่สร้างโดยวงจรกรองกำลังแอคทีฟมีค่าแกว่งเร็วตามไปด้วย ในโปรเจคนี้เราเลือกค่าความเร็วในการตอบสนองประมาณ 1 วินาที โดยเลือกความถี่ตัดข้ามของฟังก์ชันโอนย้ายวงรอบปิด $\omega_0' = 24$ rad/s และเลือกค่าความถี่หักมุมของตัวควบคุมพีไอ $\omega_c' = 4$ rad/s ซึ่งเป็นค่าที่ทำให้ช่วงปลอดภัยเชิงเฟสเพียงพอในการควบคุม

การหาค่า k_p' และ k_i' เราจะพิจารณาจากโครงสร้างของระบบดังรูปที่ 3.18 จะได้ฟังก์ชันการโอนย้ายวงรอบปิดได้ดังสมการ

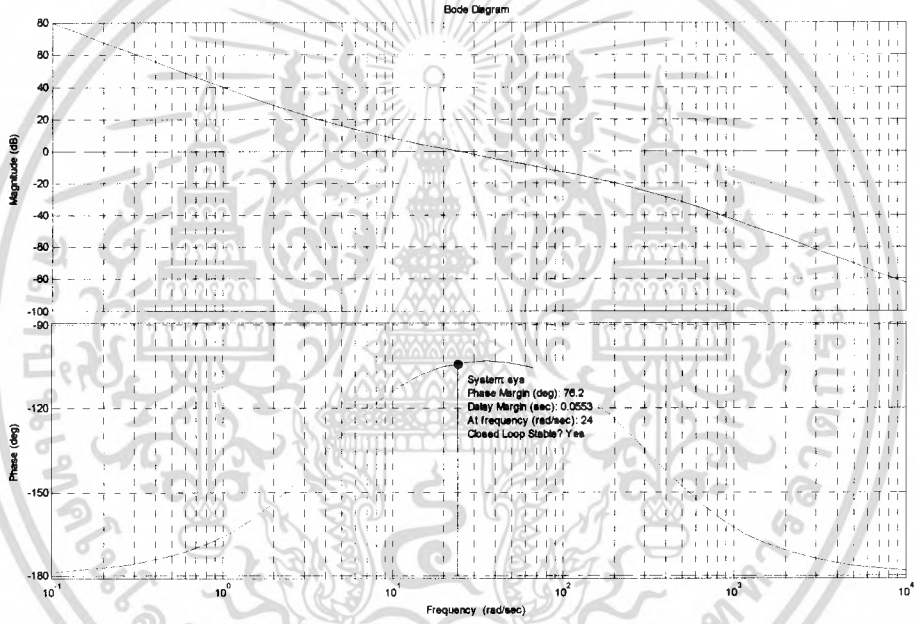
$$G_1(s) = \left(k_p' + \frac{k_i'}{s}\right) \times \left(\frac{\omega_f}{s+\omega_f}\right) \times \left(\frac{1}{2s(C_{dc}/2)}\right) \tag{3.34}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และที่จุดความถี่ดัดข้าม ω_0 จะได้ความสัมพันธ์ที่ว่า

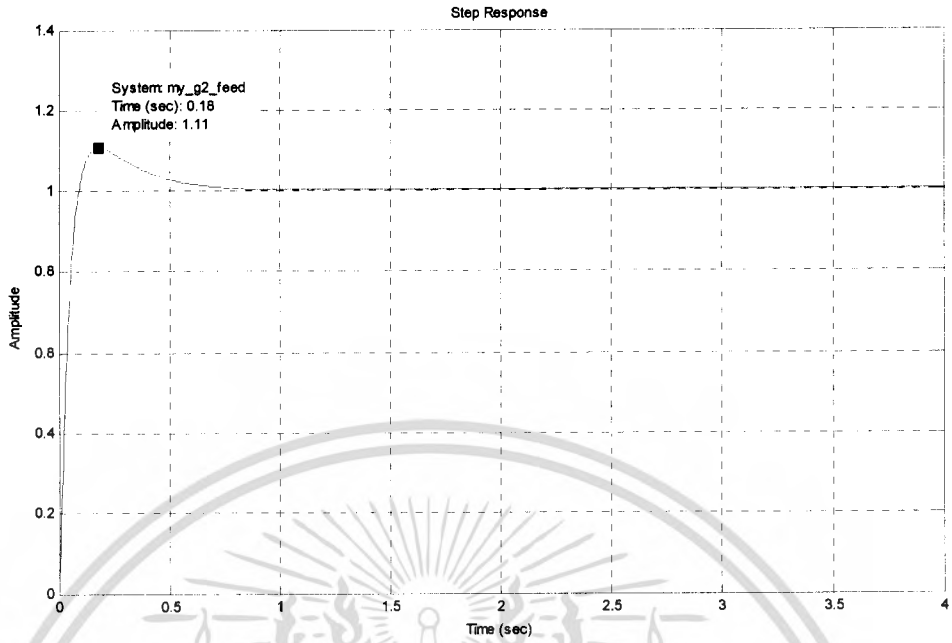
$$|G_1(j\omega_0)| = 1 \tag{3.35}$$

จากค่า $k_p^{'}$ = 0.09279 และ $k_i^{'}$ = 0.37116 ที่ได้เมื่อทำการเขียนแผนภูมิโบเดของฟังก์ชันโอนย้ายวงรอบปิดดังรูปที่ 3.20 จะสามารถหาค่าช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสเป็น 76.2^0 โดยผลการตอบสนองของระบบที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ปซึ่งมีผลการดอบสนองดังที่ได้ออกแบบไว้สามารถแสดงได้ดังรูปที่ 3.19 และรูปที่ 3.20 ตามลำดับ



รูปที่ 3.19 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันที่จุดกึ่งกลางไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

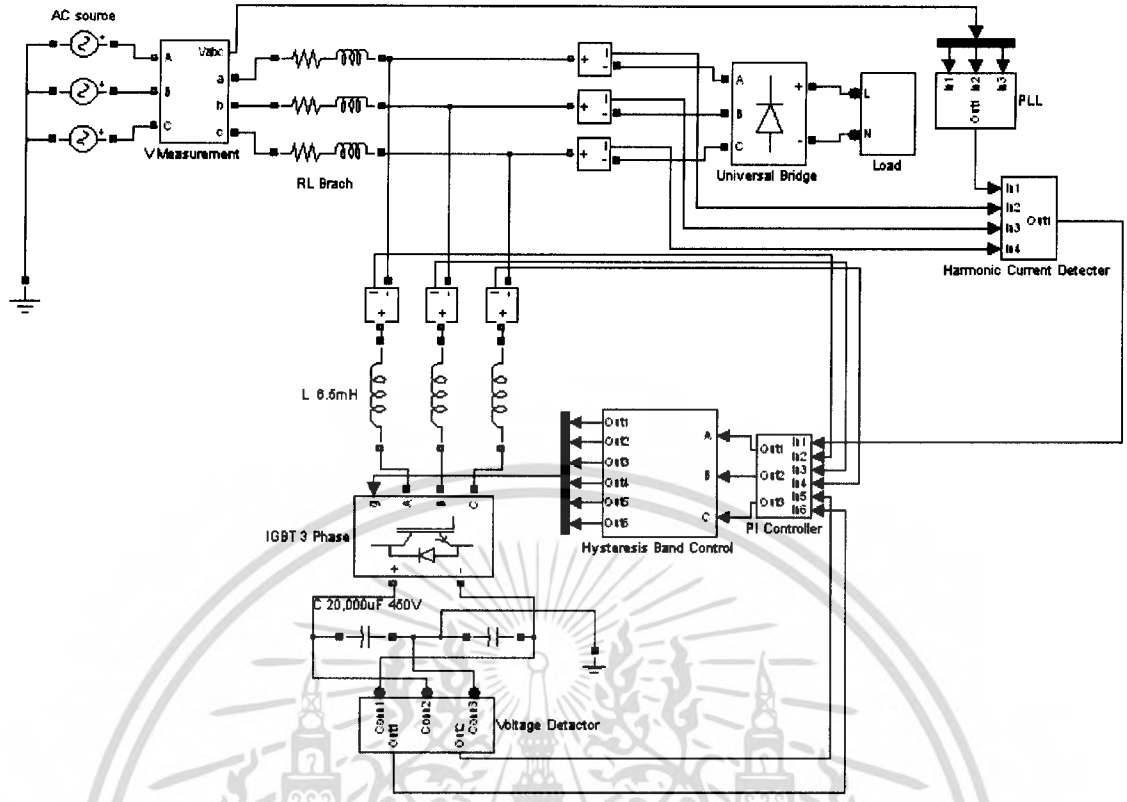


รูปที่ 3.20 ผลการตอบสนองของระบบการรักษาระดับไฟดรงจุดกึ่งกลางที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป

3.5 ผลการจำลองการทำงาน

การจำลองของวงจรกรองกำลังไฟฟ้าแอคทีฟ 3 เฟส 4 สาย แบบขนานที่ใช้การตรวจจับกระแสด้วยทฤษฎีการแปลงแกนดีคิวซีโรและทฤษฎี Phase-locked loop (PLL) จะเป็นการจำลองโดยใช้โปรแกรม Matlab & Simulink เพื่อที่จะทำการศึกษาหลักการทำงานและนำไปใช้ในการออกแบบวงจรจริง ซึ่งมีตัวแปร $v_{s(line-neutral)}$ = 110 โวลต์ , V_{dc} = 200 โวลต์ , C_1 = C_2 = 3,900 ไมโครฟารัด L = 5.5 มิลลิเฮนรี่ , f_s = 15 kHz ที่มีโหลดเป็นวงจรไดโอดเรียงกระแสสามเฟสเต็มคลื่นขนาด 2 kW โดยรูปแบบที่ใช้ในการจำลองการทำงานของวงจรกรองกำลังแอคทีฟแสดงได้ดังรูปที่ 3.21

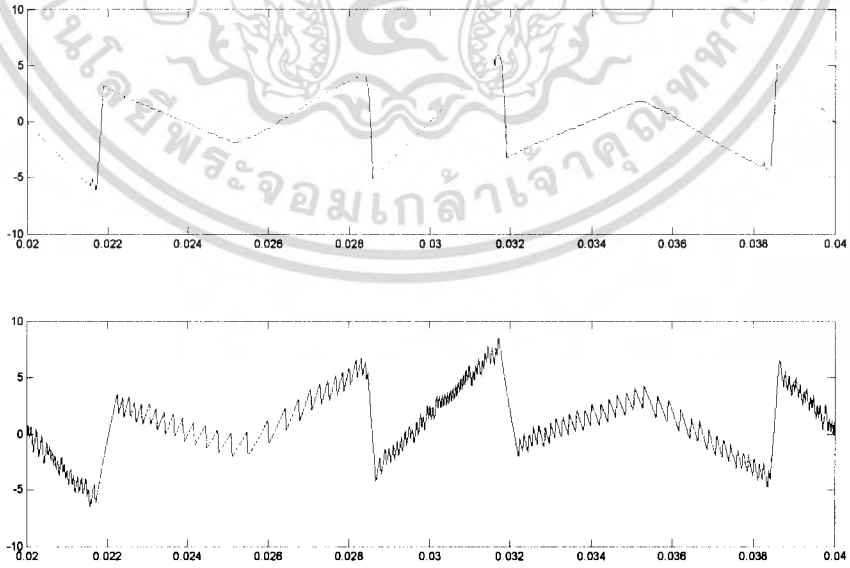
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 รูปแบบของวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานที่ใช้ในการจำลองการทำงานด้วย โปรแกรม Matlab & Simulink

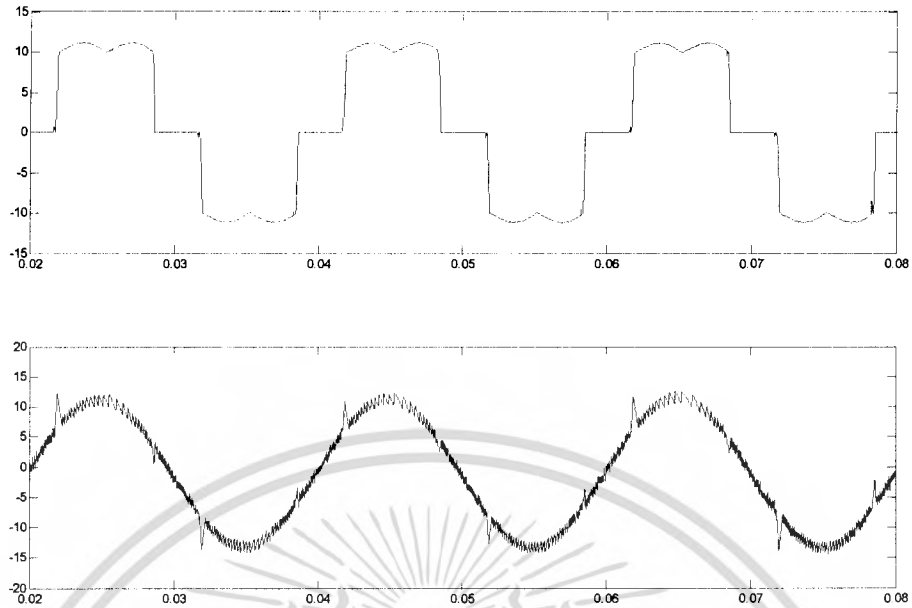
จากรูปที่ 3.21 ได้ทำการจำลองการทำงานของการตรวจจับกระแสฮาร์โมนิค ดังนี้

1. ทำการจ่ายโหลดแบบไม่เป็นเชิงเส้นขนาด 1.0 kW

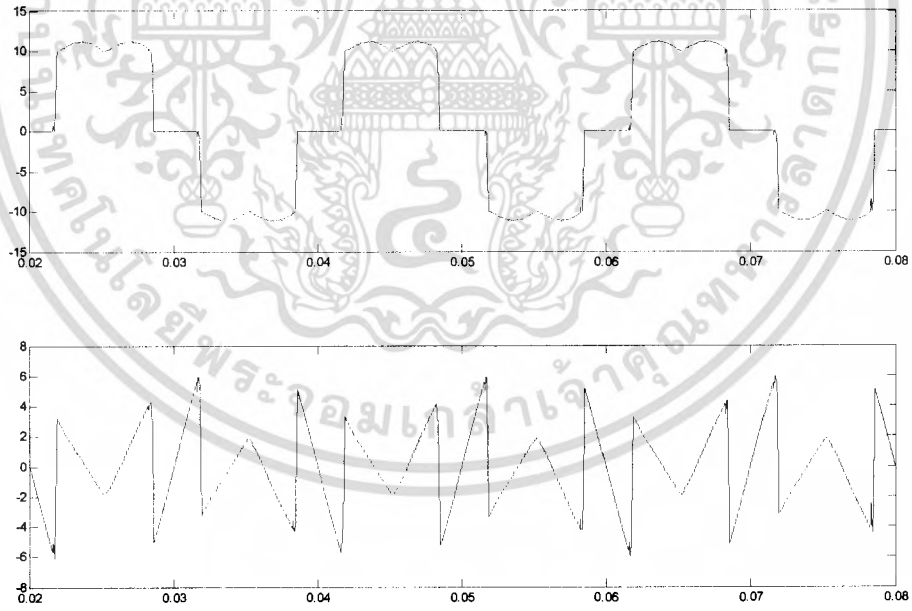


รูปที่ 3.22 กราฟเปรียบเทียบกระแสฮาร์โมนิคที่ตรวจจับได้กับกระแสฮาร์โมนิคที่วงจรจำลองสร้างขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

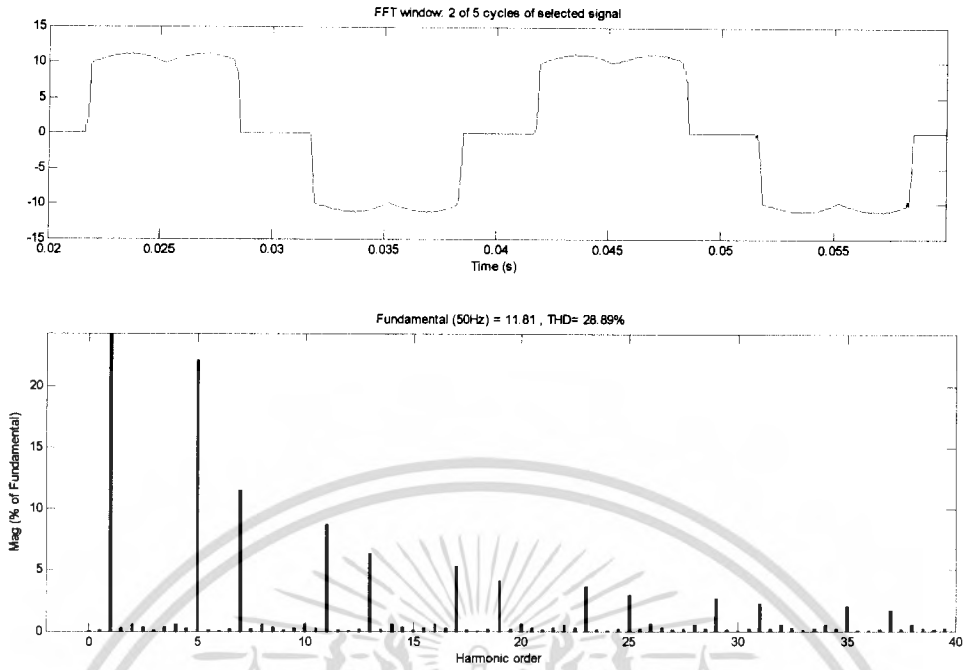


รูปที่ 3.23 กราฟเปรียบเทียบกระแสโหลดกับกระแสแหล่งจ่าย

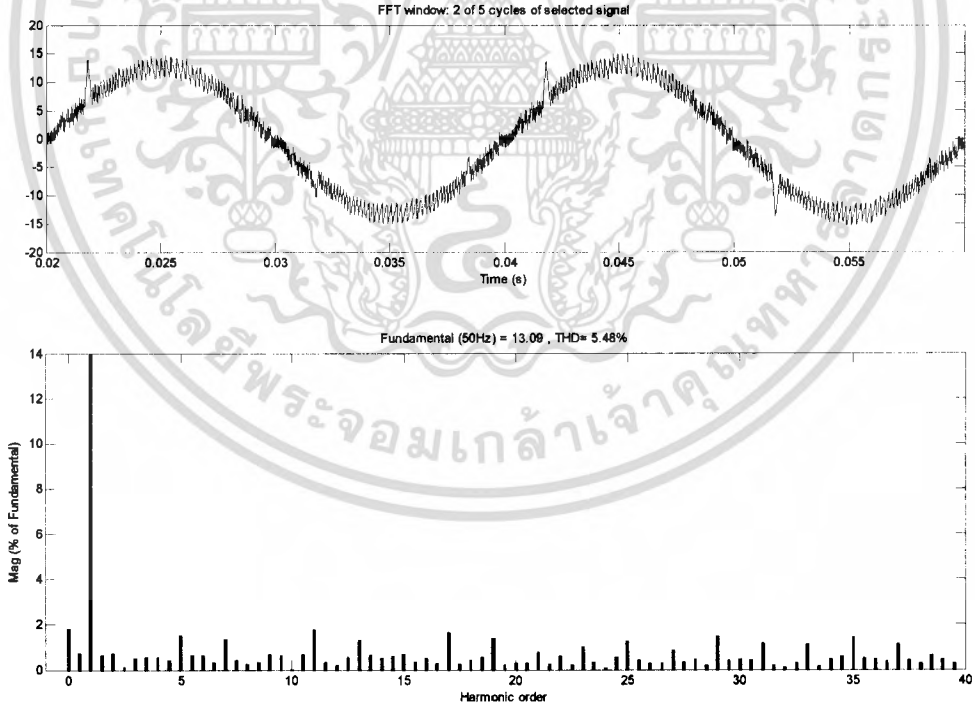


รูปที่ 3.24 กราฟเปรียบเทียบกระแสโหลดกับกระแสส่วนที่เป็นกระแสฮาร์โมนิคที่แยกออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



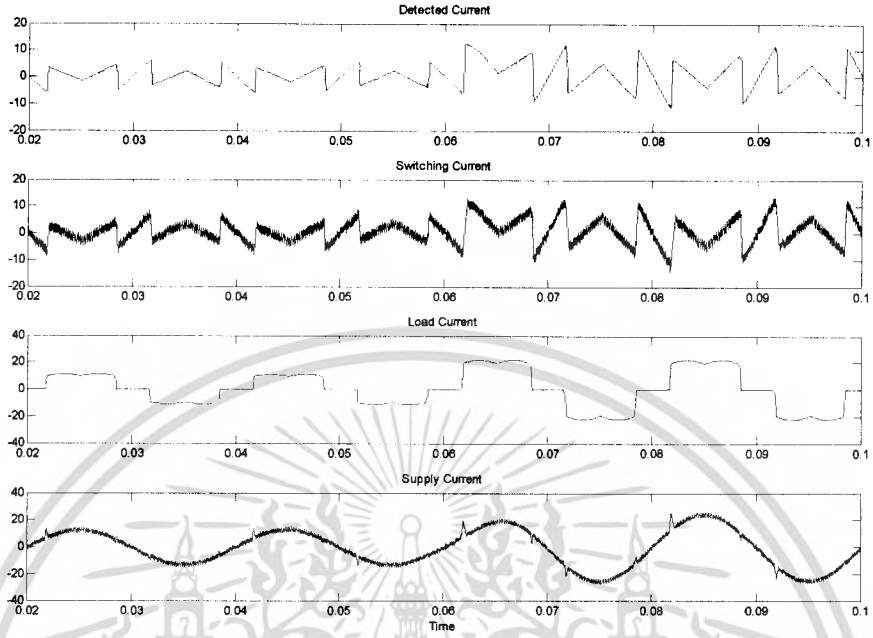
รูปที่ 3.25 กราฟแสดงกระแสแหล่งจ่ายและกราฟสเปกตรากระแสแหล่งจ่ายก่อนทำการชดเชย



รูปที่ 3.26 กราฟแสดงกระแสแหล่งจ่ายและกราฟสเปกตรากระแสแหล่งจ่ายหลังทำการชดเชย

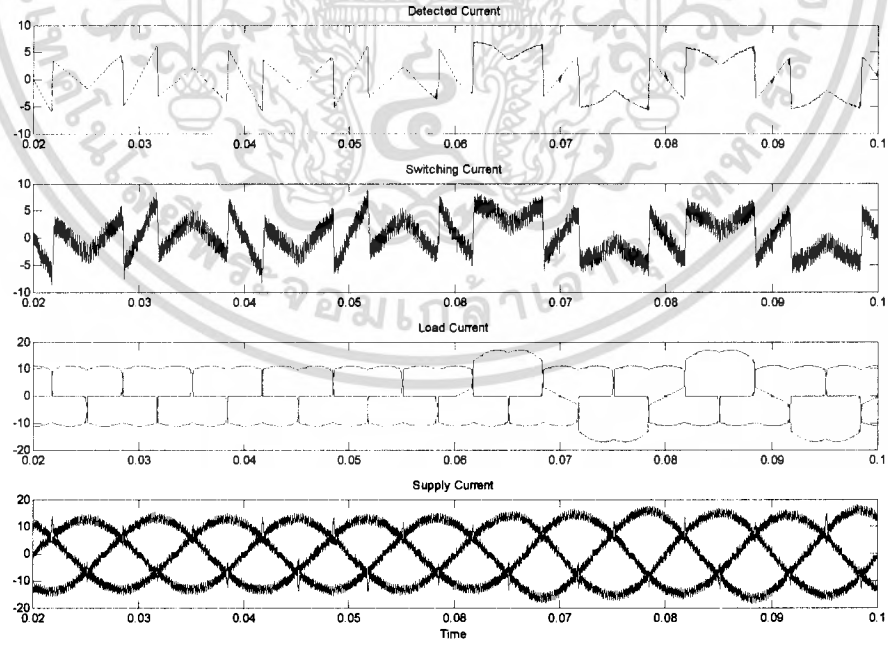
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการเปลี่ยนแปลงโหลดอย่างทันทีทันใด จาก 1.0 kW ไปเป็น 2.0 kW ที่เวลา 0.06 วินาที



รูปที่ 3.27 เพิ่มโหลดทันทีทันใดจาก 1.0 kW ไปเป็น 2.0 kW ที่เวลา 0.06 วินาที

3. ทำการเปลี่ยนแปลงโหลดอย่างทันทีทันใดที่เฟส A เข้าไปอีก 1.0 kW ทำให้โหลดที่เฟส A เท่ากับ 2.0 kW



รูปที่ 3.28 เปลี่ยนแปลงโหลดอย่างทันทีทันใดที่เฟส A เข้าไปอีก 1.0 kW ทำให้โหลดที่เฟส A เท่ากับ 2.0 kW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.27 จะเห็นได้ว่า กระแสฮาร์โมนิคที่จับมาได้กับกระแสฮาร์โมนิคที่ได้จากการสร้างจะมีรูปร่าง , ขนาดและมุมเฟสใกล้เคียงกัน อีกทั้งเมื่อทำการเพิ่มโหลดอย่างทันทีทันใดระบบจำลองก็ยังสามารถควบคุมการสร้างกระแสได้

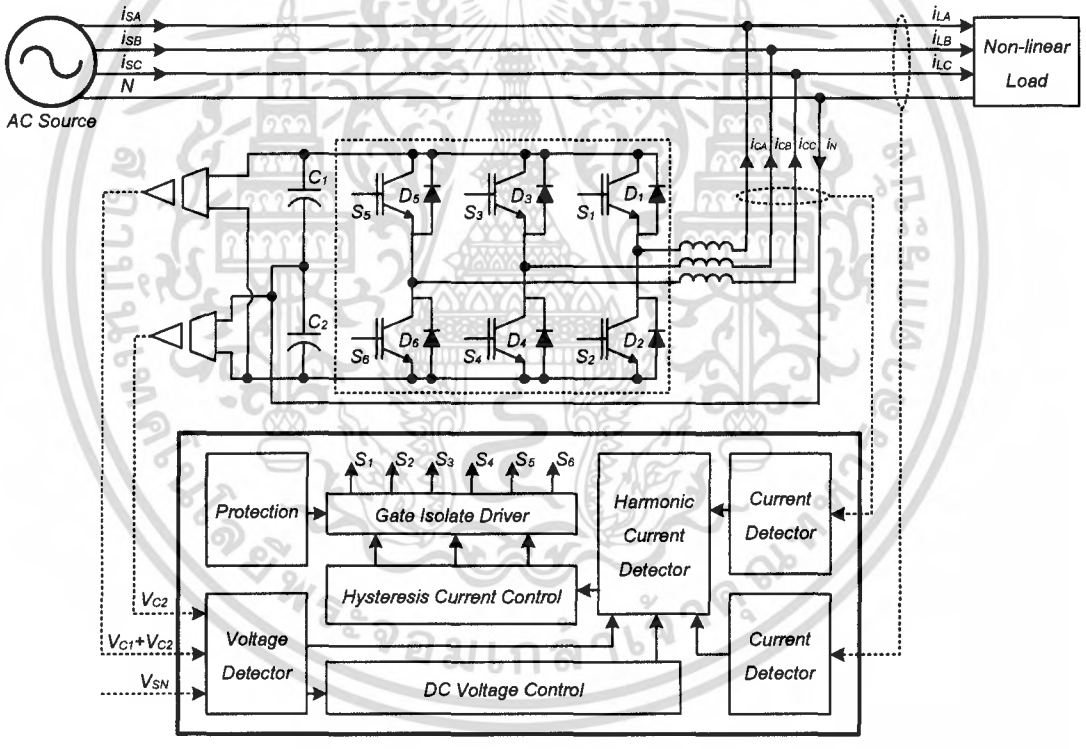
จากรูปที่ 3.28 จะเห็นได้ว่า กระแสฮาร์โมนิคที่จับมาได้กับสร้างมีรูปร่างทั้งขนาดและมุมเฟสใกล้เคียงกัน อีกทั้งเมื่อทำการเพิ่มโหลดอย่างทันทีทันใดและเพิ่มโหลดในลักษณะไม่สมดุลย์ระบบจำลอง สามารถควบคุมและสร้างชดเชยกระแสไม่สมดุลย์ได้อีกด้วย ซึ่งตรงนี้ยังเป็นจุดเด่นในการแก้ไขตัวประกอบกำลังให้มีค่าเข้าใกล้ 1 อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและสร้างวงจร

4.1 การออกแบบและสร้างวงจรแปลงผันพลังงานไฟฟ้า

บทนี้จะกล่าวถึงลักษณะโครงสร้างของระบบควบคุมและวงจรกำลังของวงจรกรองกำลังแอคทีฟที่ได้ออกแบบ โดยเครื่องต้นแบบที่สร้างขึ้นประกอบด้วย วงจรตรวจจับกระแสและแรงดัน , วงจรควบคุมหลักที่ควบคุมโดยตัวประมวลผลสัญญาณทางดิจิตอล (DSP), วงจรกำลังของวงจรกรองกำลังแอคทีฟแบบขนานที่เป็นอินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดันซึ่งจะทำหน้าที่สร้างกระแสชดเชยตามที่ได้คำนวณมาจากตัวประมวลผลสัญญาณทางด้านดิจิตอล เพื่อที่จะนำมาหักล้างกับกระแสฮาร์โมนิคที่เกิดจากโหลดไม่เป็นเชิงเส้นประเภทต่างๆสามารถแสดงโครงสร้างส่วนประกอบวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้ในงานวิจัยนี้ได้ดังรูป 4.1



รูปที่ 4.1 โครงสร้างส่วนประกอบของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

จากรูปที่ 4.1 พบว่าในการที่เราต้องการสร้างกระแสขึ้นมาเพื่อทำการชดเชยกระแสฮาร์โมนิคที่เกิดขึ้นเนื่องมาจากโหลดชนิดไม่เป็นลิเนียร์นั้น เราจำเป็นที่จะต้องมีวงจรกำลังเพื่อทำหน้าที่ในการแปรผันพลังงานจากไฟตรงไปเป็นกระแสสลับ ซึ่งจะมีส่วนประกอบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1 ตัวเก็บประจุไฟตรง

ตัวเก็บประจุไฟตรงเป็นอุปกรณ์ที่ใช้ในการเก็บพลังงานให้กับวงจรกำลังของวงจรกรองกำลังแอคทีฟ เนื่องจากวงจรแปรผันพลังงานที่นำมาใช้ในการวิจัยนี้เป็นชนิดแหล่งจ่ายแรงดันที่ต่อขนานอยู่กับระบบ ขนาดของตัวเก็บประจุนั้นจะขึ้นอยู่กับพิกัดกำลังไฟฟ้าของวงจรกรองกำลังแอคทีฟและชนิดของโหลด สำหรับเครื่องต้นแบบได้เลือกใช้ค่าความเก็บประจุแต่ละตัว (C_1 และ C_2) เป็นขนาด 3,900 ไมโครฟารัด เนื่องจากเครื่องต้นแบบได้มีการรักษาระดับแรงดันค่าความเก็บประจุของตัวเก็บประจุ จึงไม่จำเป็นที่จะต้องใช้ค่าความเก็บประจุที่มาก

4.1.2 ตัวเหนี่ยวนำกรองกระแส

การเชื่อมโยงระหว่างวงจรอินเวอร์เตอร์กับแหล่งจ่ายไฟฟ้าจะทำการเชื่อมโยงผ่านตัวเหนี่ยวนำ ซึ่งหน้าที่ของตัวเหนี่ยวนำคือการทำการกรองกระแสริปเปิลที่เกิดจากการสวิทช์ของวงจรอินเวอร์เตอร์ ทำให้กระแสชดเชยที่จ่ายจากอินเวอร์เตอร์มีความเรียบมากขึ้นแต่ถ้ากรณีที่เราต้องการให้ผลตอบสนองทางไดนามิกที่ดีนั้นขนาดของตัวเหนี่ยวนำควรมีขนาดเล็ก แต่อย่างไรก็ตามในกรณีที่ตัวเหนี่ยวนำมีขนาดเล็กเกินไปจะมีผลทำให้กระแสริปเปิลที่เกิดจากสวิทช์มากดังนั้นในการออกแบบตัวเหนี่ยวนำจึงควรออกแบบให้เหมาะสมกับการใช้งาน โดยค่าของตัวเหนี่ยวนำสามารถหาได้ดังสมการ

$$\frac{0.25V_{dc}}{(HB)L}\left[1-\frac{4m^2L^2}{V_{dc}^{\ 2}}\right] = f_c$$

โดยที่

L คือ ตัวเหนี่ยวนำที่ต่ออยู่ระหว่างอินเวอร์เตอร์และแหล่งจ่ายไฟ

HB คือ ขอบเขตฮีสเตอร์รีซีส

V_{dc} คือ แรงดันไฟตรงที่ตกคร่อมตัวเก็บประจุ

f_c คือ ความถี่ในการสวิทช์สูงสุด

m คือ ความชันของกระแสอ้างอิง

4.1.3 วงจรสวิทช์กำลัง

วงจรสวิทช์กำลังเป็นส่วนในการทำหน้าที่แปลงแรงดันไฟตรงให้เป็นกระแสสลับด้วยเทคนิคการปรับความกว้างพัลส์ โดยการสวิทช์นั้นจะถูกควบคุมจากส่วนของการควบคุมที่ได้กำหนดไว้จากตัวประมวลผลเพื่อใช้สำหรับการสร้างกระแสของวงจร โดยอุปกรณ์กำลังที่ทำหน้าที่ในการสวิทช์จะเป็นส่วนที่มีการเสียหายบ่อยที่สุดเพราะว่าเป็นส่วนที่ทำการแปลงจากสัญญาณควบคุมกำลังต่ำให้มาเป็นไฟกำลังสูง อุปกรณ์สวิทช์ที่จะนำมาใช้นี้ต้องคำนึงถึงพิกัดของขนาดแรงดัน , กระแสและความถี่ในการสวิทช์สูงสุดที่สามารถรองรับได้ ในส่วนของชุด

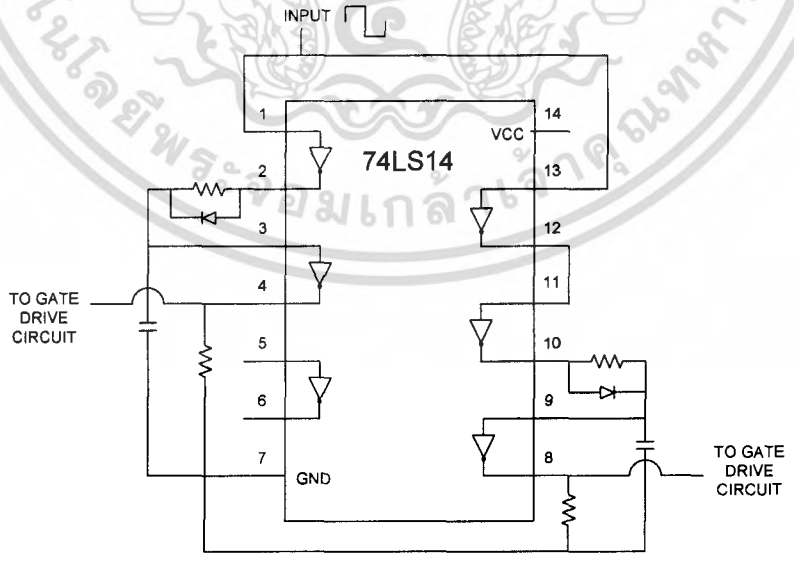
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิทช์กำลังนี้ได้เลือกใช้ IGBT เบอร์ HGTG30N60C3D ซึ่งมีพิกัดกระแส 63 แอมแปร์ แรงดัน 600 โวลต์ ความถี่สวิตช์ 25 kHz จำนวน 6 ตัว ในการทำ ฟูลบริดจ์อินเวอร์เตอร์

การควบคุมการทำงานของไอจีบีทีกำลังจำเป็นต้องใช้อุปกรณ์ที่ทำการแยกระหว่างสัญญาณขับเกตกับสัญญาณควบคุม ในการแยกกันของสัญญาณนี้เพื่อต้องการแยกกราวด์ไม่ให้ไอจีบีทีกำลังตัวบนและตัวล่างในกิ่งเดียวกันเกิดการลัดวงจรเนื่องจากใช้กราวด์ร่วมกัน ซึ่งอุปกรณ์ที่ใช้ในการแยกกราวด์ได้ใช้ออปโต้ (OPTO) เบอร์ 6N136 จำนวน 9 ตัว โดย 3 ตัวออกจาก DSP เข้าวงจรประวิงเวลา และออปโต้ที่ใช้ในการควบคุมสวิทช์ 3 กิ่งบนจะต้องทำการแยกไฟเลี้ยงขนาด 15 โวลต์ ออกจากกับส่วนออปโต้ที่ใช้ในการควบคุมสวิทช์ 3 กิ่งล่างจะได้รับไฟเลี้ยง 15 โวลต์ จากแหล่งจ่ายไฟชุดเดียวกัน สำหรับการควบคุมการทำงานของสวิทช์นี้สามารถทำได้โดยการจ่ายแรงดันที่ขาออปโต้ ให้มีค่าเท่ากับศูนย์ ซึ่งเป็นผลทำให้มีกระแสไหลผ่านไดโอดเปล่งแสงที่อยู่ภายในออปโต้จึงทำให้ชุดไอจีบีทีด้านเอาท์พุททำงาน

4.2 การออกแบบและสร้างวงจรประวิงเวลา

เนื่องจากในการทำงานของอุปกรณ์ที่ใช้ในการสวิทช์นั้น อาจมีการที่สวิทช์ในกิ่งเดียวกันทำงานพร้อมกันจึงเป็นผลทำให้เกิดการลัดวงจรภายในกิ่งเดียวกัน และทำให้อุปกรณ์สวิทช์เสียหายได้ โดยวงจรที่ทำหน้าที่ในการสร้างสัญญาณประวิงเวลาจะใช้ไอซีเบอร์ 74LS14 เพื่อป้องกันไม่ให้อุปกรณ์สวิทช์เกิดการสวิทช์พร้อมกัน วงจรประวิงเวลาที่ใช้สามารถแสดงได้ดังรูปที่ 4.2 สัญญาณขับเกตที่กิ่งบนและกิ่งล่างต้องมีค่าหน่วงเวลากันเล็กน้อยและเวลาในการประวิงเวลานี้จะขึ้นอยู่กับช่วงเวลาการได่ขึ้นและการได่ลงของอุปกรณ์สวิทช์นั้นๆ



รูปที่ 4.2 วงจรสร้างช่วงประวิงเวลา (Dead time)

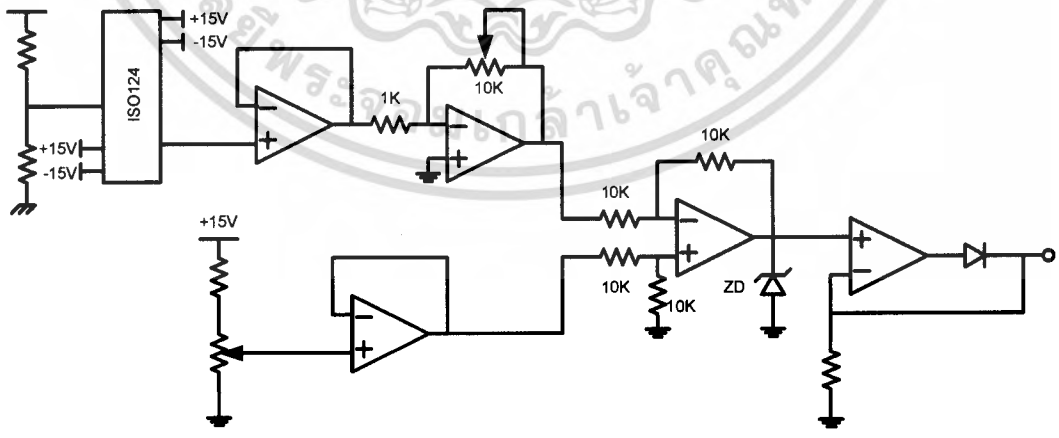
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบวงจรตรวจจับของวงจรควบคุม

4.3.1 วงจรตรวจจับระดับแรงดัน

เนื่องจากการประมวลผลสัญญาณของวงจรควบคุมจะต้องมีการรับสัญญาณทั้งกระแสและแรงดันตามจุดต่าง ๆแล้วทำการส่งมายังตัวประมวลผลสัญญาณดิจิตอล (DSP) และนำสัญญาณเหล่านั้นมาทำการประมวลผลเพื่อสร้างสัญญาณที่จะนำมาใช้ในการควบคุมภาคกำลังต่อไป ซึ่งในส่วนของการตรวจจับกระแสจะมีทั้งหมด 6 ชุด แบ่งเป็น 2 ส่วน คือ ส่วนแรกใช้ในการตรวจจับกระแสของโหลด ส่วนที่สองใช้ในการตรวจจับกระแสที่แหล่งจ่ายอินเวอร์เตอร์สามเฟส โดยที่ส่วนของการตรวจจับระดับแรงดันจะมีทั้งหมด 5 ชุด

วงจรที่ใช้ในการตรวจจับระดับแรงดันของวงจรควบคุมนั้นจะใช้ไอซีขยายสำหรับแยกโดด (Isolation Amplifiers) เบอร์ ISO124 เพื่อทำการแยกกราวด์จากแรงดันของระบบไฟฟ้าที่เรารับเข้ามากับระบบควบคุม โดยแรงดันที่รับเข้ามาจะมีระดับแรงดันขนาด 110 โวลต์ ซึ่งเราไม่สามารถนำระดับแรงดันขนาดนั้นมาเข้าสู่ไอซีขยายสำหรับแยกโดดได้เพราะสัญญาณอินพุทสูงสุดของไอซีขยายสำหรับแยกโดดที่สามารถรับได้จะมีค่าไม่เกิน 10 โวลต์ ดังนั้นเราจึงจำเป็นต้องลดระดับแรงดัน (Voltage Divider) เมื่อได้รับระดับแรงดันที่เหมาะสมแล้วจะนำมาผ่านวงจรปรับอัตราขยายให้เหมาะสมแล้วทำการยกระดับออฟเซตของสัญญาณไปที่ 1.5โวลต์ จากนั้นจะส่งไปยังวงจรปรับแต่งรูปสัญญาณเพื่อให้สัญญาณที่รับเข้ามามีระดับแรงดันเหมาะสมกับพอร์ตของตัวประมวลผลสัญญาณดิจิตอลที่ใช้ เพื่อทำหน้าที่แปลงสัญญาณอะนาลอกเป็นดิจิตอลต่อไป ซึ่งวงจรปรับแต่งรูปสัญญาณนี้จะทำการปรับแต่งไม่ให้สัญญาณเอาพุตมีค่าเกิน 3 โวลต์และจะต้องเป็นระดับแรงดันบวกโดยใช้ไดโอดในการตัดแต่งสัญญาณ แล้วทำการส่งยังไปตัวประมวลผลสัญญาณดิจิตอลเพื่อนำไปประมวลผลต่อไปสามารถแสดงได้
ดังรูปที่ 4.3



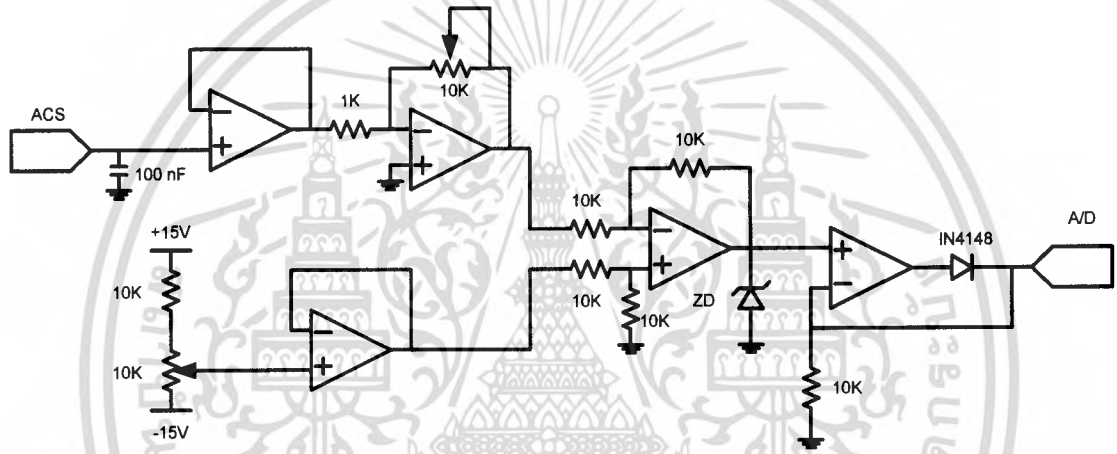
รูปที่ 4.3 วงจรตรวจจับแรงดันไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 วงจรตรวจจับกระแส

การตรวจจับกระแสของวงจรควบคุมนี้สามารถแบ่งออกเป็นสองส่วน คือ 1.ส่วนการตรวจจับกระแสของโหลดเพื่อใช้หาค่ากระแสฮาร์โมนิคของกระแสโหลด 2. ส่วนการตรวจจับกระแสที่แหล่งจ่ายอินเวอร์เตอร์ โดยทั้งสองส่วนนี้จะทำการจับกระแสทั้ง 3 เฟส ดังนั้นในการตรวจจับกระแสของวงจรควบคุมจะมีจำนวนอยู่ทั้งหมด 6 ชุด

ซึ่งในงานวิจัยนี้จะใช้พิกัดของกระแสไม่เกิน 15 A ดังนั้นจึงเลือกใช้ตัวตรวจจับกระแส ACS754SCB-200 แล้วทำการเลือกอัตรากระแสอินพุทต่อกระแสเอาท์พุทไว้ที่ 80:1 จากนั้นสัญญาณที่ได้จากตัวตรวจจับกระแสจะส่งไปยังวงจรที่ทำหน้าที่ขยายสัญญาณและปรับระดับออฟเซต ดังรูปที่ 4.4



รูปที่ 4.4 วงจรตรวจจับกระแส

<u>การออกแบบโปรแกรม</u>

4.4 ตัวประมวลผลสัญญาณดิจิตอล

ความก้าวหน้าในด้านไมโครอิเล็กทรอนิกส์ในปัจจุบัน และความต้องการความเร็วในการประมวลผลทางด้านคณิตศาสตร์ ส่งผลให้มีการประดิษฐ์คิดค้นตัวประมวลผลที่ออกแบบมาสำหรับการคำนวณทางคณิตศาสตร์โดยเฉพาะ ที่มีความเร็วสูงมาก ที่เรียกกันว่า ตัวประมวลผลสัญญาณดิจิตอล (Digital Signal Processing) หรือที่เรียกกันว่า ดีเอสพี (DSP) ซึ่งตัวประมวลผลดังกล่าว จะเน้นการประมวลทางคณิตศาสตร์เป็นหลัก โดยมีสถาปัตยกรรมในการทำงานเป็นแบบขนาน ทำให้สามารถประมวลคำสั่งต่างๆ ได้พร้อมกันหลายคำสั่ง เช่น มีฮาร์ดแวร์สำหรับการคูณ มีส่วนประมวลผลทางคณิตศาสตร์ แยกเป็นอิสระต่อกัน ทำให้ตัวประมวลผลทางดิจิตอล มีความสามารถในการประมวลผลด้านคณิตศาสตร์เร็วสูงมากกว่าตัวประมวลผลแบบทั่วๆ ไป ที่มีความเร็วสัญญาณนาฬิกาเท่ากัน ปัจจุบันมีผู้ผลิตชิปดีเอสพีหลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริษัท เช่น บริษัท Analog Device, Motorola, Texas Instrument เป็นต้น โดยจะมีชิปในรุ่นต่างๆ กันไป ซึ่งขึ้นอยู่กับความต้องการของผู้ใช้งาน, ลักษณะงานเป็นต้น

ในงานวิจัยนี้ ได้เลือกใช้ตัวประมวลผลทางด้านดิจิตอลของบริษัท Texas Instrument โดยเลือกใช้รุ่น TMS320C6713 ซึ่งเป็นตัวประมวลผลทางคณิตศาสตร์แบบจุดทศนิยม (Floating Point) ขนาด 32 บิต คุณสมบัติภายในตัวประมวลผลดิจิตอลเบอร์ TMS320C6713 มีดังนี้

- เป็นตัวประมวลผลดิจิตอล ขนาด 32 บิต 3.3 โวลต์
- สัญญาณนาฬิกาความเร็ว 225 MHz
- ประมวลผลได้ 8 คำสั่งพร้อมกันใน 1 แมชชีนไซเกิล
- 2 ALUs (Fixed-Point) / 4 ALUs (Floating-Point) / 2 Multipliers (Floating-/Fixed-Point)
- ความเร็วการประมวลผล 1800 MIPS / 1350 MFLOPS ต่อ 1 แมชชีนไซเกิล
- L1 / L2 Cache (4 K-Byte / 256 K-Byte)
- มีการเข้าถึงหน่วยความจำโดยตรงของอุปกรณ์ (Direct Memory Access)
- มีพอร์ต Multi Channel Buffered Serial Bus (McBSP) จำนวน 2 พอร์ต
- ตัวติดต่อสื่อสารตามมาตรฐาน I^2C, SPI
- มีชุดกำหนดสัญญาณนาฬิกาขนาด 32 บิต จำนวน 2 ชุด
- มีพอร์ตอินพุต/เอาท์พุตจำนวน 16 บิต
- มีการรับอินเตอร์รัปจากภายนอกได้

4.4.1 ส่วนของโปรแกรมหลัก

การทำงานของโปรแกรม จะเป็นไปตามแผนผังการทำงานดังนี้

```
เริ่มโปรแกรมหลัก
  ตั้งค่าต่างๆ ของระบบ
  เซตอินเตอร์รัป
  Infinity Loop
    อ่านค่าจากอนาลอกเป็นดิจิตอล
    การตรวจสอบกระแสเกิน
    การแสดงผลทางหน้าจอ
  End Loop
จบ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของโปรแกรม จะเริ่มจากการตั้งค่าเริ่มต้นของบอร์ด ซึ่งก็ได้แก่การตั้งความถี่การทำงานของตัวประมวลผลทางดิจิตอล ตั้งค่าการติดต่ออุปกรณ์ต่างๆ เช่น การติดต่อกับตัวแปลงอนาลอกเป็นดิจิตอล, การตั้งค่าการนำเข้าหรือส่งออกสัญญาณ เป็นต้น หลังจากนั้นจะทำการสร้างอินเตอร์รัปเวกเตอร์ ที่ให้ทำงานซ้ำทุกๆ 50 ไมโครวินาที หรือทำให้เกิดการอินเตอร์รัป 20,000 ครั้งต่อวินาที เพื่อจะนำสัญญาณนี้ ไปป้อนให้กับโปรแกรมอีกส่วนหนึ่งทำงาน ซึ่งตรงส่วนนี้จะเป็นส่วนที่สำคัญ เพราะจะเป็นส่วนที่ใช้ในการประมวลผลทั้งหมด โดยมีแผนผังการทำงานดังนี้

เกิดอินเตอร์รัป
แปลงสัญญาณอนาลอกเป็นดิจิตอลให้เป็นหน่วยพื้นฐาน
คำนวนกระแสฮาร์โมนิค
คำนวนพีไอคอนโทรลเลอร์
คำนวนการกรองทางดิจิตอล
การสร้างกระแสฮาร์โมนิค
กลับไปงานหลัก

ในการทำงานแต่ละส่วนจะมีขั้นตอนดังนี้

4.4.2 การทำงานของส่วนอ่านค่าจากอนาลอกเป็นดิจิตอล

ในส่วนนี้ ตัวประมวลผลทางดิจิตอล ได้ต่อกับตัวไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลเบอร์ TLV2556 โดยการติดต่อกับไอซีตัวนี้ จะใช้การสื่อสารแบบอนุกรมตามมาตรฐาน เอสพีไอ (SPI – Serial Peripherals Interface) ซึ่งหากนำมาต่อกับตัวประมวลผลทางดิจิตอลเบอร์ TMS320C6713 แล้ว จะใช้การติดต่อผ่านทางพอร์ต McBSP0 (Multi Channel Buffered Serial Bus 0) ของตัวประมวลผลทางดิจิตอล โดยเป็นการสื่อสารแบบอนุกรมเช่นเดียวกัน โดยการติดต่อกับไอซี จะใช้การติดต่อแบบ 12 บิต

4.4.3 การตรวจสอบกระแสเกิน

โปรแกรมในส่วนนี้ จะคอยอ่านค่าจากกระแสที่ฉีดออกมาจากไอจีบีที แล้วตรวจสอบว่ามีค่าเกินกว่าที่ระบบ จะรับได้หรือไม่ ถ้าหากกระแสเกิน โปรแกรมจะสั่งให้รีเลย์ทริปวงจร

การแสดงผลทางหน้าจอ

ในส่วนนี้ จะทำการแสดงผลออกทางหน้าจอ เช่น บอกถึงขนาดแรงดัน และกระแส ที่ไหลผ่านในปัจจุบัน หรือแสดงการเกิดแรงดันเกิน การแสดงผลนี้ จะหยุดการแสดงผลชั่วคราว เมื่อระบบกำลังทำการชดเชยกระแส เพราะจะทำให้การคำนวนกระแสฮาร์โมนิคช้าลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.4 ในส่วนของอินเตอร์รัป

ในส่วนของอินเตอร์รัป จะมีการทำงานซ้ำๆ 20,000 ครั้งใน 1 วินาที ซึ่งเป็นความถี่ของการสวิตช์ซิ่งกระแสฮาร์โมนิคในอินเตอรรัป จะเป็นการคำนวนในส่วนต่างๆ ดังนี้

4.4.5 การแปลงสัญญาณอนาลอกเป็นดิจิตอลให้เป็นหน่วยพื้นฐาน

สัญญาณที่ได้รับการแปลงจากอนาลอกมาเป็นดิจิตอล จะยังไม่เป็นหน่วยทางไฟฟ้า จำเป็นจะต้องนำมาแปลงเป็นหน่วยพื้นฐานทางไฟฟ้าก่อน เพื่อจะได้ใช้ในการคำนวณขั้นถัดไป

ที่แรงดันต่ำ 5 โวลต์ ค่าทางดิจิตอล จะอ่านค่าได้ 4095
ที่แรงดันต่ำ 0 โวลต์ ค่าทางดิจิตอล จะอ่านค่าได้ 0
เพราะฉะนั้น ที่แรงดันต่ำเปลี่ยนไป 1 โวลต์ ค่าทางดิจิตอลจะต่างไป 4096/5 = 819.2

<u>จากวงจรตรวจจับแรงดัน</u>

- จากแรงดันเปลี่ยนไป 212.5 โวลต์ที่ฝั่งแรงดันสูง ที่แรงดันต่ำจะเปลี่ยนไป 1 โวลต์
- ที่แรงดันฝั่งแรงดันสูงมีค่าเท่ากับ 0 โวลต์ ค่าแรงดันที่แรงดันต่ำ จะอ่านค่าได้ 1.5 โวลต์ ซึ่งมีค่าทางดิจิตอลเท่ากับ 1229

จะได้สูตรในการคำนวนออกมาเป็น

$$V = ((ADC - 1229) / 4096) * 212.5 * 5 \text{ โวลต์}$$

<u>จากวงจรตรวจจับกระแส</u>

- จากกระแสเปลี่ยนไป 17.02 แอมป์ที่ฝั่งแรงดันสูง ที่แรงดันต่ำจะเปลี่ยนไป 1 โวลต์
- ที่กระแสฝั่งแรงดันสูงมีค่าเท่ากับ 0 แอมป์ ค่าแรงดันที่แรงดันต่ำ จะอ่านค่าได้ 2.5 โวลต์ ซึ่งมีค่าทางดิจิตอลเท่ากับ 2048

จะได้สูตรในการคำนวนออกมาเป็น

$$I = ((ADC - 2048) / 4096) * 17.02 * 5 \text{ แอมป์}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.6 การคำนวณกระแสฮาร์โมนิค

ในส่วนนี้เป็นส่วนที่ทำหน้าที่ในการตรวจหาค่ากระแสฮาร์โมนิค โดยการนำค่าที่ได้มาคำนวณ ซึ่งได้ใช้เทคนิคการแปลงแกน โครงสร้างโปรแกรมส่วนตรวจหากระแสฮาร์โมนิค เป็นดังนี้

```
Harmonic Detect Module
  Read Voltage and Current
  Change to dq0-axis
  Complimentary Low-pass Filter (Id)
  Change to abc-axis
Return
```

4.4.7 การคำนวณพีไอคอนโทรลเลอร์

ในส่วนนี้จะทำหน้าที่ในการรักษาแรงดันไฟตรงให้คงที่ โดยใช้ตัวควบคุมแบบพีไอ ซึ่งกระบวนการดังกล่าว ได้มีการจำกัดค่าสูงสุด ต่ำสุดไว้ เพื่อเป็นการควบคุมไม่ให้ค่าของกระแสอ้างอิงสูงเกินไป โครงสร้างโปรแกรมตัวควบคุมพีไอ เป็นดังนี้

```
PI Controller Module
  Read PI Ref.
  Read PI Feedback
  Calculate Error, pi_err = pi_ref – pi_fb
  Calculate Kp, KI
  Limit Top & Bottom
Return
```

4.4.8 การกรองทางดิจิตอล

ในส่วนของโมดูลคำนวณกระแสฮาร์โมนิค จะมีส่วนของการใช้ Complimentary Low-pass Filter ซึ่งจำเป็นจะต้องใช้การกรองทางดิจิตอล ซึ่งได้เลือกการกรองด้วยวิธี Finite Impulse Response (FIR) ซึ่งเลือกค่าความถี่ f_0 ไว้ที่ 50Hz โครงสร้างของโปรแกรมกรองทางดิจิตอลเป็นดังนี้

```
FIR Module
  Shift out old sample
  Get new sample
  Convolute and summing
  Return value
Return
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.9 การสร้างกระแสฮาร์โมนิค

ส่วนนี้ จะเป็นส่วนของการสร้างกระแสให้กับวงจรกรองกำลังแอคทีฟ ซึ่งจะรับสัญญาณมาจากการประมวลผลกระแสฮาร์โมนิค มาเป็นกระแสอ้างอิงให้กับส่วนควบคุมการสร้างกระแสฮาร์โมนิค ในงานวิจัยนี้ได้ใช้การสร้างกระแสโดยการควบคุมของเขตฮีสเตอร์รีซีส ซึ่งการควบคุมกระแส มีการทำงานดังนี้

Hysteresis Current Module

Read Reference Current

Read Real Current

Calculate Top & Bottom Limit

If (I_{real} > I_{ref} + HB) -> Set Low Side IGBT

If (I_{real} < I_{ref} – HB) -> Set High Side IGBT

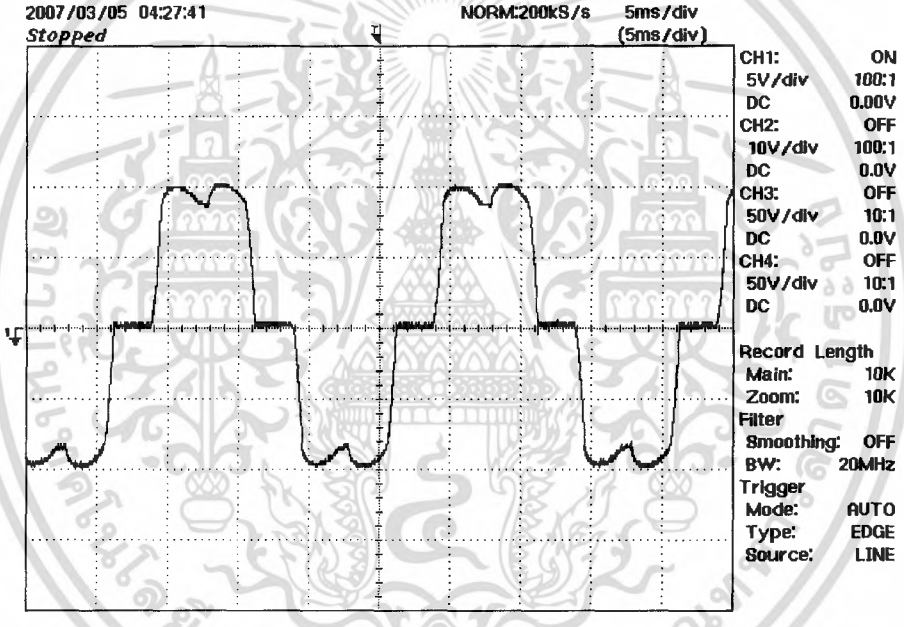
Return

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลองการทำงานของวงจรกรองกำลังแอคทีฟ

5.1 ผลการทดลองการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟ

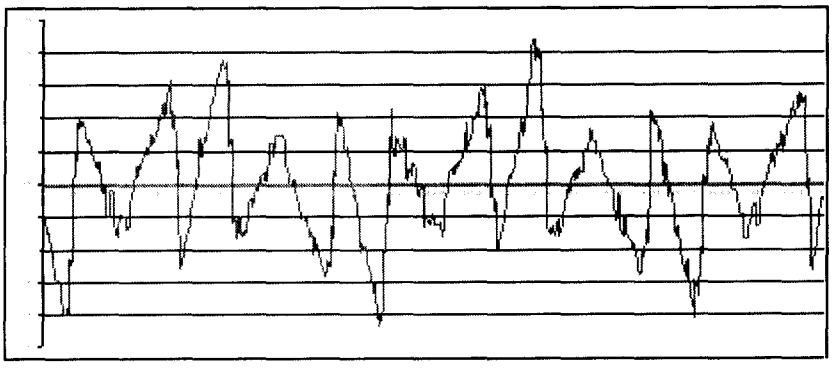
ในบทนี้จะเป็นการนำเครื่องต้นแบบที่สร้างขึ้นมาทำการทดลองความสามารถในการกำจัดกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟในระบบไฟฟ้า 3 เฟส 4 สาย ที่ใช้หลักการตรวจจับกระแสฮาร์โมนิคด้วยทฤษฎีการแปลงแกนดีคิวซีโร ทฤษฎี Phase-locked loop (PLL) ซึ่งควบคุมด้วยประมวลสัญญาณดิจิตอล TMS320C6713 โดยระบบที่นำมาทดลองนี้เป็นระบบ 3 เฟส 4 สาย ขนาดแรงดัน 190 โวลต์ 50 เฮิรตซ์ ต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้นขนาดพิกัด 2 kW โดยมีกราฟผลการทดลองแสดงได้ดังรูป



รูปที่ 5.1 รูปกระแสแหล่งจ่ายก่อนชดเชย

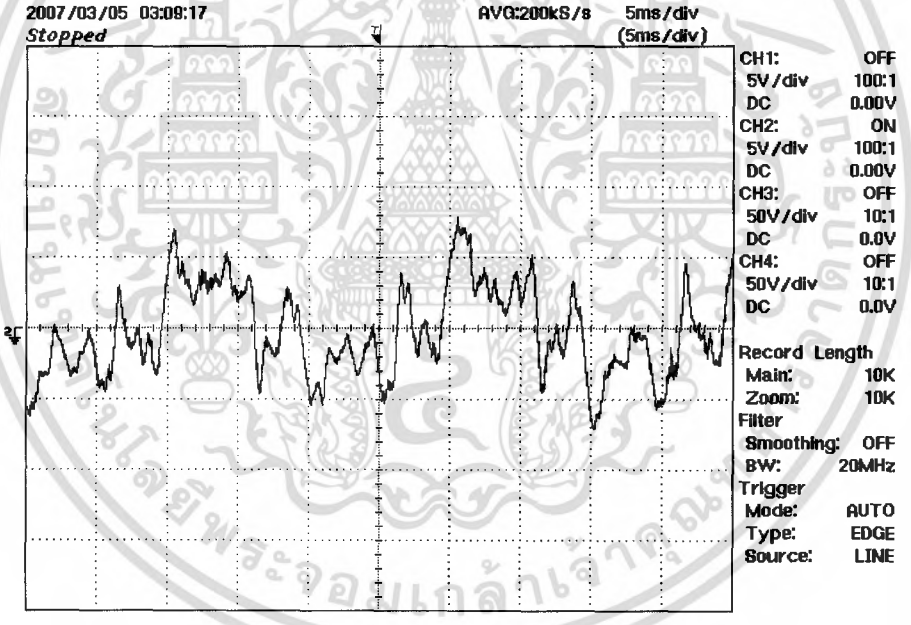
จากรูปที่ 5.1 เนื่องจากโหลดที่จ่ายเป็นแบบไม่เป็นเชิงเส้นเพราะฉะนั้นจะเห็นได้ว่ากระแสที่แหล่งจ่ายจะจ่ายกระแสที่มีองค์ประกอบของฮาร์โมนิคลำดับต่างๆออกมาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 กระแสฮาร์โมนิคที่ตัวประมวลผลคำนวณได้

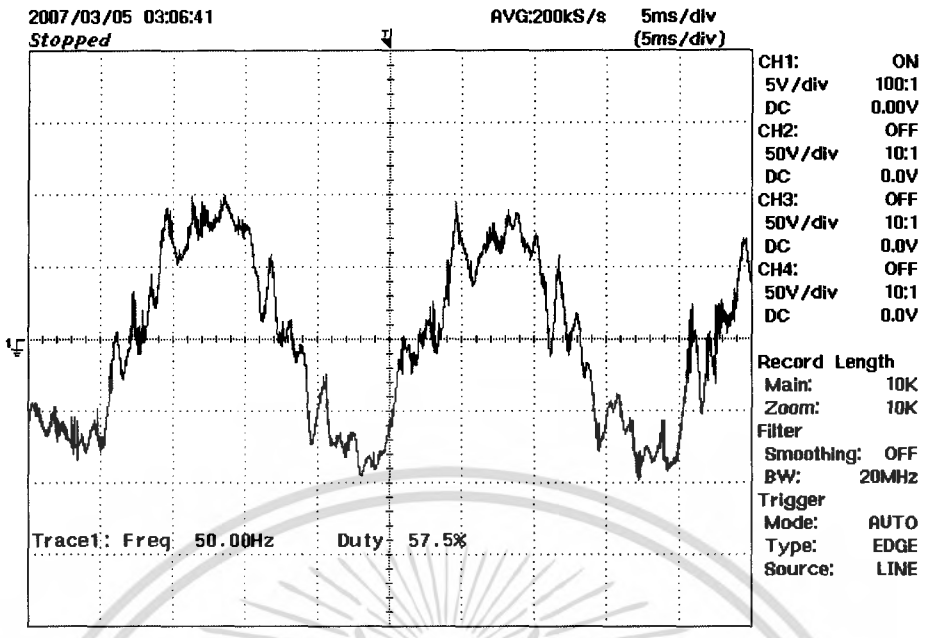
จากรูปที่ 5.2 ชุดทดลองที่สร้างขึ้นมามีส่วนของชุดตรวจจับกระแสซึ่งจับกระแสออกมาให้อยู่ในรูปสัญญาณดิจิตอลเพื่อนำไปประมวลผล ซึ่งจากรูป 5.2 เป็นรูปสัญญาณของกระแสฮาร์โมนิคที่ชุดทดลองจับออกมาได้



รูปที่ 5.3 กระแสฮาร์โมนิคที่จ่ายชดเชยให้กับระบบ

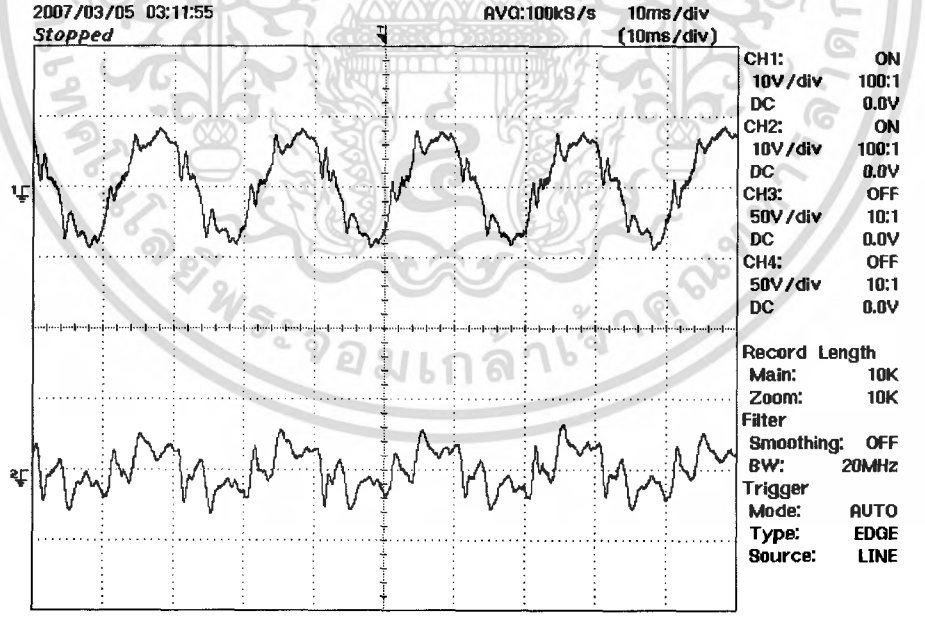
และเมื่อเราได้รูปสัญญาณของกระแสฮาร์โมนิคที่เป็นดิจิตอลแล้วตัวประมวลผลก็จะคำนวณและส่งสัญญาณขับเกตไปยังชุดทดลองในส่วนของการสวิทช์กำลังไอจีบีทีเพื่อสร้างกระแสฮาร์โมนิคดังรูปที่ 5.3 ขึ้นไปชดเชยให้กับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 กระแสแหล่งจ่ายหลังชดเชย

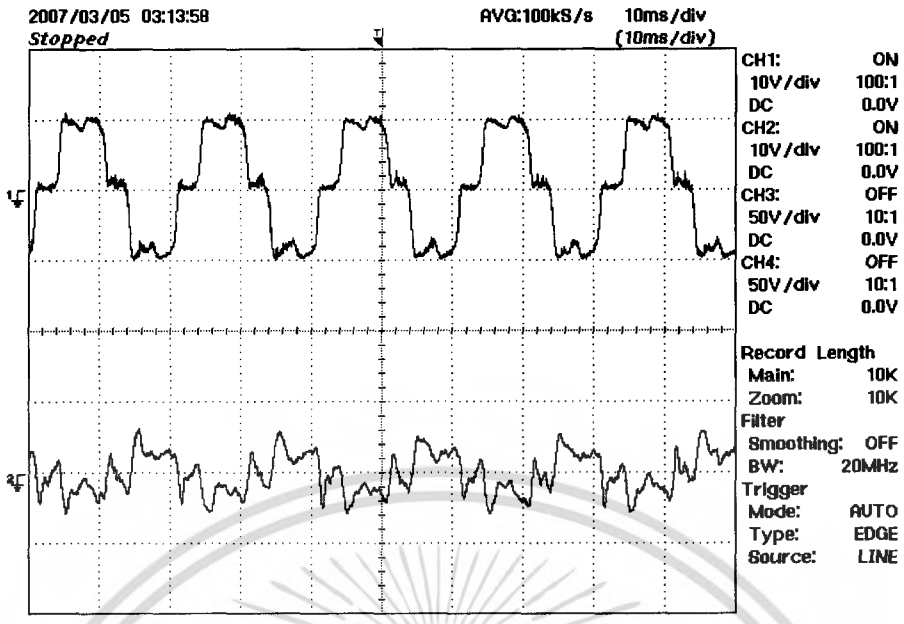
เมื่อเราได้กระแสฮาร์โมนิคที่สร้างจากชุดทดลองแล้วและนำขึ้นไปชดเชย เราจะได้กระแสแหล่งจ่ายที่เข้าใกล้สัญญาณซายมากขึ้นดังรูปที่ 5.4



รูปที่ 5.5 กราฟแสดงกระแสแหล่งจ่ายกับกระแสส่วนที่เป็นฮาร์โมนิค

จากรูปที่ 5.5 จะเห็นได้ว่ากระแสจากแหล่งจ่ายได้มีการปรับปรุงและลดกระแสส่วนที่เป็นฮาร์โมนิคออกไป

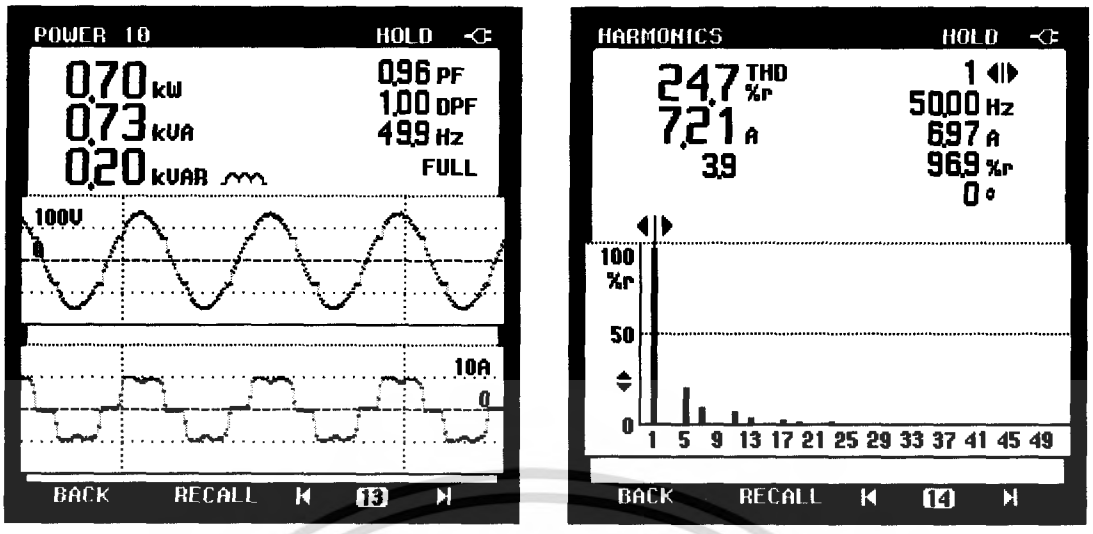
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



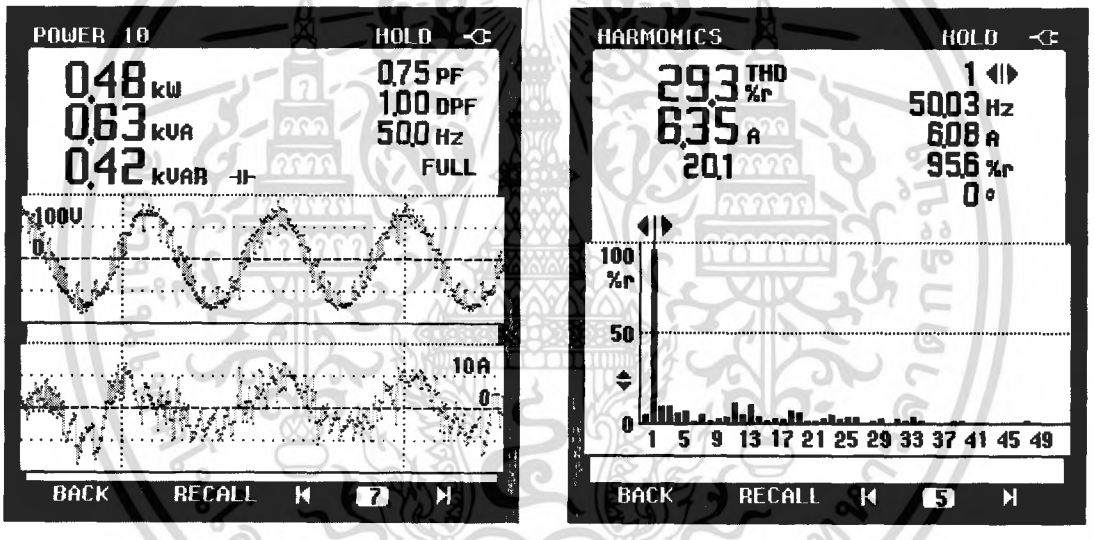
รูปที่ 5.6 กราฟแสดงกระแสโหลดกับกระแสโหลดส่วนที่เป็นฮาร์โมนิค

กระแสโหลดไม่เป็นเชิงเส้นที่มีส่วนประกอบของกระแสฮาร์โมนิคสามารถแยกออกมาได้ดังรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 กราฟเปรียบเทียบกระแสแหล่งจ่ายกับสเปกตราก่อนชดเชยกระแสฮาร์โมนิค



รูปที่ 5.8 กราฟแสดงกระแสแหล่งจ่ายกับสเปกตราหลังชดเชยกระแสฮาร์โมนิค

จากรูปที่ 5.7 และ 5.8 ที่เห็นยังเป็นผลของการทดลองที่ยังไม่เป็นที่ปรารถนามากเท่าที่ต้องการนัก ซึ่งอาจจะตั้งข้อสมมติฐานได้ดังนี้

1.วงจรสวิทช์ไม่อาจสามารถสวิทช์ตามแบนด์ที่กำหนดไว้ได้ในบางต้น

2.อุปกรณ์ตรวจจับอาจยังไม่สามารถมีประสิทธิภาพมากพอในการตรวจจับเพื่อนำสัญญาณมาคำนวณ

3.การคำนวณของซอฟต์แวร์ยังมีขั้นตอนอยู่มากซึ่งอาจจะทำให้คำนวณได้ไม่เร็วพอกับชุดข้อมูลที่ได้รับมาจากวงจรตรวจจับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและข้อเสนอแนะ

งานวิจัยนี้ได้วิเคราะห์ และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้การตรวจจับกระแสด้วยทฤษฎีการแปลงแกนดีคิวซีโรและPhase-locked loop (PLL) ที่ทำการทดสอบกับระบบ 3 เฟส 4 สาย ที่แรงดันพิกัด 190 โวลต์ โดยโหลดที่นำมาทดสอบเพื่อทำการสร้างกระแสฮาร์โมนิคในระบบเป็นวงจรเรียงกระแสแบบไดโอดเต็มคลื่นชนิด 3 เฟส

6.1 สรุปผลการวิจัย

6.1.1 การคำนวณหาค่ากระแสชดเชยอ้างอิงได้นำเสนอเป็นหลักการง่ายๆไม่ยุ่งยากซับซ้อน แต่ค่อนข้างเสียเวลาเนื่องจากการคำนวณเป็นการคำนวณทางดิจิตอล

6.1.2 ผลการทดลองการทำงานของระบบแสดงให้เห็นว่าวงจรกรองกำลังแอคทีฟแบบขนานที่ได้ทำการวิจัยนี้สามารถทำการจำกัดฮาร์โมนิคได้เป็นที่พอใจ

6.2 ข้อเสนอแนะในการพัฒนางานวิจัยต่อไป

6.2.1 เนื่องจากตัวประมวลผลสัญญาณทางด้านดิจิตอลที่นำมาใช้ในวงจรควบคุมจะทำการประมวลผลสัญญาณ 3 เฟส ดังนั้นจึงมีการประมวลผลที่มาก ในการพัฒนาต่อไปจึงควรใช้ตัวประมวลผลสัญญาณที่มีความเร็วมากขึ้นเพื่อให้การควบคุมกระแสมีการตอบสนองที่รวดเร็วมากขึ้น

6.2.2 ในการทดลองได้ใช้โหลดไม่เป็นเชิงเส้นคือไดโอดเรียงกระแส 3 เฟส เท่านั้น ซึ่งการทดลองครั้งต่อๆไปจะศึกษาโหลดไม่เป็นเชิงเส้นชนิดไทริสเตอร์เพื่อที่จะศึกษาในส่วนของการแก้ไขตัวประกอบกำลัง

6.2.3 ในการทดลองได้ศึกษาโหลดแบบสมดุลเท่านั้น เพราะฉะนั้นจึงควรจะศึกษาโหลดประเภทไม่สมดุลด้วยในครั้งต่อๆไป

6.2.4 ในการทดลองได้ศึกษาโหลดแบบคงที่เท่านั้น เพราะฉะนั้นจึงควรจะศึกษาการเพิ่มหรือลดโหลดอย่างทันทีทันใดด้วยเพื่อดูผลตอบสนองอีกทั้งปรับปรุงชุดทดลองให้สามารถปฏิบัติงานได้อย่างสมบูรณ์

6.2.5 ในชุดการทดลองบางชิ้นส่วนยังไม่สามารถทำงานได้เต็มประสิทธิภาพเท่าที่สามารถเป็นไปได้ ทั้งนี้ด้วยเหตุผลทางด้านราคาของอุปกรณ์ที่อาจจะสูงเกินความสามารถของผู้ทำชุดทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] ลิขิต ชูทรัพย์ " วงจรกรองกำลังแอคทีฟแบบขนานสามเฟสโดยใช้โครงข่ายประสาทเทียมและตัวประมวลผลสัญญาณดิจิตอล" วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต , ภาควิชาวิศวกรรมไฟฟ้า , คณะวิศวกรรมศาสตร์ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2547

[2] Roland E. Best **Phase-Locked Loops** DESIGN SIMULATION, AND APPLICATIONS,McGraw-Hill 1999

[3] สันดิภาพ โคตทะเล " วงจรกรองกำลังแอคทีฟที่ใช้หลักการของกำลังไฟฟ้ารีแอคทีฟชั่วขณะควบคุมด้วยตัวประมวลผลสัญญาณดิจิตอล" วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต , ภาควิชาวิศวกรรมไฟฟ้า , คณะวิศวกรรมศาสตร์ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2548

[4] J.Arrillaga, D.A. Bradley and P.s.Bodger. **Power System Harmonics.** John Wiley&Son. 1985

[5] Kale, M.; Ozdemir, E. "A novel adaptive hysteresis band current controller for shunt active power filter" Control Applications, 2003. CCA 2003. Proceedings of 2003 IEEE Conference on Volume 2, 23-25 June 2003 Page(s):1118 - 1123 vol.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
ข้อมูลอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS320C6713B
FLOATING-POINT DIGITAL SIGNAL PROCESSOR

SPRS294B – OCTOBER 2005 – REVISED JUNE 2006

- Highest-Performance Floating-Point Digital Signal Processor (DSP): TMS320C6713B
  - Eight 32-Bit Instructions/Cycle
  - 32/64-Bit Data Word
  - 300-, 225-, 200-MHz (GDP and ZDP), and 225-, 200-, 167-MHz (PYP) Clock Rates
  - 3.3-, 4.4-, 5-, 6-Instruction Cycle Times
  - 2400/1800, 1800/1350, 1600/1200, and 1336/1000 MIPS/MFLOPS
  - Rich Peripheral Set, Optimized for Audio
  - Highly Optimized C/C++ Compiler
  - Extended Temperature Devices Available
- Advanced Very Long Instruction Word (VLIW) TMS320C67x™ DSP Core
  - Eight Independent Functional Units:
    - 2 ALUs (Fixed-Point)
    - 4 ALUs (Floating-/Fixed-Point)
    - 2 Multipliers (Floating-/Fixed-Point)
  - Load-Store Architecture With 32 32-Bit General-Purpose Registers
  - Instruction Packing Reduces Code Size
  - All Instructions Conditional
- Instruction Set Features
  - Native Instructions for IEEE 754 - Single- and Double-Precision
  - Byte-Addressable (8-, 16-, 32-Bit Data)
  - 8-Bit Overflow Protection
  - Saturation; Bit-Field Extract, Set, Clear; Bit-Counting; Normalization
- L1/L2 Memory Architecture
  - 4K-Byte L1P Program Cache (Direct-Mapped)
  - 4K-Byte L1D Data Cache (2-Way)
  - 256K-Byte L2 Memory Total: 64K-Byte L2 Unified Cache/Mapped RAM, and 192K-Byte Additional L2 Mapped RAM
- Device Configuration
  - Boot Mode: HPI, 8-, 16-, 32-Bit ROM Boot
  - Endianness: Little Endian, Big Endian
- 32-Bit External Memory Interface (EMIF)
  - Glueless Interface to SRAM, EPROM, Flash, SBSRAM, and SDRAM
  - 512M-Byte Total Addressable External Memory Space
- Enhanced Direct-Memory-Access (EDMA) Controller (16 Independent Channels)
- 16-Bit Host-Port Interface (HPI)
- Two McASPs
  - Two Independent Clock Zones Each (1 TX and 1 RX)
  - Eight Serial Data Pins Per Port: Individually Assignable to any of the Clock Zones
  - Each Clock Zone Includes:
    - Programmable Clock Generator
    - Programmable Frame Sync Generator
    - TDM Streams From 2-32 Time Slots
    - Support for Slot Size: 8, 12, 16, 20, 24, 28, 32 Bits
    - Data Formatter for Bit Manipulation
  - Wide Variety of I2S and Similar Bit Stream Formats
  - Integrated Digital Audio Interface Transmitter (DIT) Supports:
    - S/PDIF, IEC60958-1, AES-3, CP-430 Formats
    - Up to 16 transmit pins
    - Enhanced Channel Status/User Data
  - Extensive Error Checking and Recovery
- Two Inter-Integrated Circuit Bus (I^2C Bus™) Multi-Master and Slave Interfaces
- Two Multichannel Buffered Serial Ports:
  - Serial-Peripheral-Interface (SPI)
  - High-Speed TDM Interface
  - AC97 Interface
- Two 32-Bit General-Purpose Timers
- Dedicated GPIO Module With 16 pins (External Interrupt Capable)
- Flexible Phase-Locked-Loop (PLL) Based Clock Generator Module
- IEEE-1149.1 (JTAG†) Boundary-Scan-Compatible
- 208-Pin PowerPAD™ PQFP (PYP)
- 272-BGA Packages (GDP and ZDP)
- 0.13-µm/6-Level Copper Metal Process
  - CMOS Technology
- 3.3-V I/Os, 1.2‡-V Internal (GDP/ZDP/ PYP)
- 3.3-V I/Os, 1.4-V Internal (GDP/ZDP) [300 MHz]

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

TMS320C67x and PowerPAD are trademarks of Texas Instruments.
I^2C Bus is a trademark of Philips Electronics N.V. Corporation
All trademarks are the property of their respective owners.
† IEEE Standard 1149.1-1990 Standard-Test-Access Port and Boundary Scan Architecture.
‡ These values are compatible with existing 1.26-V designs.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2006, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table of Contents

revision history 3
GDP and ZDP 272-Ball BGA package (bottom view) 5
PYP PowerPAD™ QFP package (top view) 10
description 11
device characteristics 12
functional block and CPU (DSP core) diagram 13
CPU (DSP core) description 14
memory map summary 16
peripheral register descriptions 18
signal groups description 27
device configurations 32
configuration examples 40
debugging considerations 47
terminal functions 48
development support 64
device support 65
CPU CSR register description 68
cache configuration (CCFG) register description 70
interrupts and interrupt selector 71
external interrupt sources 73
EDMA module and EDMA selector 74
PLL and PLL controller 77
multichannel audio serial port (McASP) peripherals 84
I2C 89
general-purpose input/output (GPIO) 90
power-down mode logic 91
power-supply sequencing 93
IEEE 1149.1 JTAG compatibility statement 95
power-supply decoupling 94
EMIF device speed 95
EMIF big endian mode correctness 97
bootmode 98
reset 98
absolute maximum ratings over operating case temperature range 99
recommended operating conditions 99
electrical characteristics over recommended ranges of supply voltage and operating case temperature 100
parameter measurement information 101
signal transition levels 101
timing parameters and board routing analysis 103
input and output clocks 105
asynchronous memory timing 108
synchronous-burst memory timing 111
synchronous DRAM timing 113
HOLD/HOLDA timing 119
BUSREQ timing 120
reset timing 121
external interrupt timing 123
multichannel audio serial port (McASP) timing 124
inter-integrated circuits (I2C) timing 127
host-port interface timing 129
multichannel buffered serial port timing 132
timer timing 142
general-purpose input/output (GPIO) port timing 143
JTAG test-port timing 144
mechanical data 145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REVISION HISTORY

The TMS320C67**13B** device-specific documentation has been split from *TMS320C6713, TMS320C6713B Floating-Point Digital Signal Processors*, literature number SPRS186K, into a separate Data Sheet, literature number SPRS294. It also highlights technical changes made to SPRS294 to generate SPRS294A. These changes are marked by "**[Revision A]**." **Additionally**, made changes to SPRS294A to generate SPRS294B. These changes are marked by **"[Revision B]."** Both Revision A and B changes are noted in the Revision History table below.

Scope: Updated information on McASP, McBSP and JTAG for clarification. Changed Pin Description for A12 and B11 (Revisions SPRS294 and SPRS294A). Updated Nomenclature figure by adding device-specific information for the ZDP package. TI Recommends for *new designs* that the following pins be configured as such:

- Pin A12 connected directly to CV_{DD} (core power)
- Pin B11 connected directly to V_{SS} (ground)

PAGE(S) NO.	ADDITIONS/CHANGES/DELETIONS
6	Terminal Assignments for the 272-Ball GDP and ZDP Packages (in Order of Ball No.) table: Updated Signal Name for Ball No. A12 Updated Signal Name for Ball No. B11
10	PYP PowerPAD QFP package (top view): Updated drawing
32	Device Configurations, device configurations at device reset section: Updated "For proper device operation..." paragraph **[Revision B]**
33	Device Configurations, Device Configurations Pins at Device Reset (HD[4:3], HD8, HD12, and CLKMODE0) section: Removed "$\overline{CE1}$ width 32-bit" from Functional Description for "**00**" in HD[4:3](BOOTMODE) Configuration Pin
33	Device Configurations, Device Configurations Pins at Device Reset (HD[4:3], HD8, HD12, and CLKMODE0) section: Updated "All other HD pins..." footnote **[Revision B]**
37	Table 22 Peripheral Pin Selection Matrix: Updated/changed MCBSP0DIS (DEVCFG bit) from "**ACLKKO**" to "**ACLKXO**"
46	Configuration Example F (1 McBSP + HPI + 1 McASP) figure: Updated ***from*** McBSP1DIS = 1 ***to*** McBSP1DIS = 0
47	Device Configurations, debugging considerations section: Updated "Internal pullup/pulldown resistors..." paragraph **[Revision B]**
49	Terminal Functions, Resets and Interrupts section: Updated IPU/IPD for $\overline{RESET}$ Signal Name ***from*** "IPU" ***to*** "–"
50	Terminal Functions table, Host Port Interface section: Removed "$\overline{CE1}$ width 32-bit" from Description for "**00**" in Bootmode HD[4:3]
50	Terminal Functions table, Host Port Interface section: Updated "Other HD pins..." paragraph **[Revision B]**
55	Terminal Functions, Timer 1 section: Updated Description for TINP1/AHCLKX0 Signal Name
57	Terminal Functions, Reserved for Test section: Updated Description for RSV Signal Name, 181 PYP, A12 GDP/ZDP Updated Description for RSV Signal Name, 180 PYP, B11 GDP/ZDP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAGE(S) NO.	ADDITIONS/CHANGES/DELETIONS
57	Terminal Functions, Reserved for Test section: Updated/changed Description for RSV Signal Name, A12 GDP (to ***"recommended"***) – **[Revision A]** Updated/changed Description for RSV Signal Name, B11 GDP (to ***"recommended"***) – **[Revision A]**
57	Terminal Functions, Reserved for Test section: Updated/changed Description for RSV Signal Name D12 to include PYP 178 as follows: "...the D12/***178*** pin **must** be externally pulled down with a 10-kΩ resistor." **[Revision B]**
66	Device Support, device and development-support tool nomenclature section: Updated figure for clarity
67	Device Support, document support section: Updated paragraphs for clarity
92	Power-Down Mode Logic – Triggering, Wake-up and Effects section: Updated paragraphs **[Revision B]**
93	Power-Down Mode Logic – Triggering, Wake-up and Effects section, Characteristics of the Power-Down Modes table: Added "It is recommended to use the PLLPWDN bit (PLLCSR.1) as an alternative to PD3" to PRWD Field (BITS 15-10) – 011100 – Effect on Chip's Operation **[Revision B]**
93	Power-Down Mode Logic – Triggering, Wake-up and Effects section, Characteristics of the Power-Down Modes table: Deleted three paragraphs following table **[Revision B]**
95	IEEE 1149.1 JTAG Compatibility Statement section: Updated/added paragraphs for clarity
96	EMIF Device Speed section, Example Boards and Maximum EMIF Speed table: Type – 3-Loads Short Traces, EMIF Interface Components section: Updated ***from*** "32-Bit SDRAMs" ***to*** "16-Bit SDRAMs" **[Revision B]**
95	IEEE 1149.1 JTAG Compatibility Statement section: Updated/added paragraphs for clarity
99	Recommended Operating Conditions: Added V_{OS}, Maximum voltage during overshoot row and associated footnote Added V_{US}, Maximum voltage during undershoot row and associated footnote
102	Parameter Measurement Information, AC transient rise/fall time specifications section: Added AC Transient Specification Rise Time figure Added AC Transient Specification Fall Time figure
124	MULTICHANNEL AUDIO SERIAL PORT (McASP) TIMING: timing requirements for McASP section: Updated Parameter No. 3, $t_{c(ACKRX)}$, from "33" to "greater of 2P or 33 ns" and added associated footnote
124	MULTICHANNEL AUDIO SERIAL PORT (McASP) TIMING: switching characteristics over recommended operating conditions for McASP section: Updated Parameter No. 11, $t_{c(ACKRX)}$, from "33" to "greater of 2P or 33 ns" and added associated footnote
125, 126	MULTICHANNEL AUDIO SERIAL PORT (McASP) TIMING section: Updated McASP Input and Output drawings
134	MULTICHANNEL BUFFERED SERIAL PORT TIMING section: switching characteristics over recommended operating conditions for McBSP section: Updated McBSP Timings figure
147	Mechanical Data section: Added statement to the Packaging Information section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GDP and ZDP 272-Ball BGA package (bottom view)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Y	V_{SS}	V_{SS}	ED16	BE2	ARDY	EA2	DV_{DD}	EA7	EA9	ECLKOUT	ECLKIN	CLKOUT2/ GP[2]	V_{SS}	EA14	EA16	EA18	DV_{DD}	EA20	V_{SS}	V_{SS}
W	V_{SS}	CV_{DD}	DV_{DD}	ED17	V_{SS}	CE2	EA4	EA6	DV_{DD}	AOE/ SDRAS/ SSOE	V_{SS}	DV_{DD}	EA11	EA13	EA15	V_{SS}	EA19	CE1	CV_{DD}	V_{SS}
V	ED20	ED19	CV_{DD}	ED18	BE3	CE3	EA3	EA5	EA8	EA10	ARE/ SDCAS/ SSADS	AWE/ SDWE/ SSWE	DV_{DD}	EA12	DV_{DD}	EA17	CE0	CV_{DD}	DV_{DD}	BE0
U	ED22	ED21	ED23	V_{SS}	DV_{DD}	CV_{DD}	DV_{DD}	V_{SS}	V_{SS}	CV_{DD}	CV_{DD}	DV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	DV_{DD}	V_{SS}	EA21	BE1	V_{SS}
T	ED24	ED25	DV_{DD}	V_{SS}													V_{SS}	ED13	ED15	ED14
R	DV_{DD}	ED27	ED26	CV_{DD}													CV_{DD}	DV_{DD}	ED11	ED12
P	ED28	ED29	ED30	V_{SS}													V_{SS}	ED9	V_{SS}	ED10
N	SCL0	SDA0	ED31	V_{SS}													V_{SS}	ED6	ED7	ED8
M	CLKR1/ AXR0[6]	DR1/ SDA1	FSR1/ AXR0[7]	V_{SS}					V_{SS}	V_{SS}	V_{SS}	V_{SS}					V_{SS}	DV_{DD}	ED4	ED5
L	FSX1	DX1/ AXR0[5]	CLKX1/ AMUTE0	CV_{DD}					V_{SS}	V_{SS}	V_{SS}	V_{SS}					CV_{DD}	ED2	ED3	CV_{DD}
K	CV_{DD}	V_{SS}	CLKS0/ AHCLKR0	CV_{DD}					V_{SS}	V_{SS}	V_{SS}	V_{SS}					CV_{DD}	ED0	ED1	V_{SS}
J	DR0/ AXR0[0]	DV_{DD}	FSR0/ AFSR0	V_{SS}					V_{SS}	V_{SS}	V_{SS}	V_{SS}					HOLD	HOLDA	BUS REQ	HINT/ GP[1]
H	FSX0/ AFSX0	DX0/ AXR0[1]	CLKR0/ ACLKR0	V_{SS}													V_{SS}	DV_{DD}	HRDY/ ACLKR1	HHWIL/ AFSR1
G	TOUT0/ AXR0[2]	TINP0/ AXR0[3]	CLKX0/ ACLKX0	V_{SS}													V_{SS}	HCNTL0/ AXR1[3]	HCNTL1/ AXR1[1]	HR/W/ AXR1[0]
F	TOUT1/ AXR0[4]	TINP1/ AHCLKX0	DV_{DD}	CV_{DD}													CV_{DD}	HDS2/ AXR1[5]	V_{SS}	HCS/ AXR1[2]
E	CLKS1/ SCL1	V_{SS}	GP[7] (EXT_INT7)	V_{SS}													V_{SS}	HAS/ ACLKX1	HDS1/ AXR1[6]	HD0/ AXR1[4]
D	DV_{DD}	GP[6] (EXT_INT6)	EMU2	V_{SS}	CV_{DD}	CV_{DD}	RSV	V_{SS}	EMU0	CLKOUT3	CV_{DD}	RSV	V_{SS}	CV_{DD}	CV_{DD}	DV_{DD}	V_{SS}	HD2/ AFSX1	DV_{DD}	HD1/ AXR1[7]
C	GP[5] (EXT_INT5)/ AMUTEIN0	GP[4]/ (EXT_INT4)/ AMUTEIN1	CV_{DD}	CLK MODE0	PLLHV	V_{SS}	CV_{DD}	V_{SS}	V_{SS}	DV_{DD}	EMU4	RSV	NMI	HD14/ GP[14]	HD12/ GP[12]	HD9/ GP[9]	HD6/ AHCLKR1	CV_{DD}	HD4/ GP[0]	HD3/ AMUTE1
B	V_{SS}	CV_{DD}	DV_{DD}	V_{SS}	RSV	TRST	TMS	DV_{DD}	EMU1	EMU3	RSV	EMU5	DV_{DD}	HD15/ GP[15]	V_{SS}	HD10/ GP[10]	HD8/ GP[8]	HD5/ AHCLKX1	CV_{DD}	V_{SS}
A	V_{SS}	V_{SS}	CLKIN	CV_{DD}	RSV	TCK	TDI	TDO	CV_{DD}	CV_{DD}	V_{SS}	RSV	RESET	V_{SS}	HD13/ GP[13]	HD11/ GP[11]	DV_{DD}	HD7/ GP[3]	V_{SS}	V_{SS}

Shading denotes the GDP package pin functions that drop out on the PYP package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Terminal Assignments for the 272-Ball GDP and ZDP Packages (in Order of Ball No.)

BALL NO.	SIGNAL NAME	BALL NO.	SIGNAL NAME
A1	V_{SS}	C1	GP[5](EXT_INT5)/AMUTEIN0
A2	V_{SS}	C2	GP[4](EXT_INT4)/AMUTEIN1
A3	CLKIN	C3	CV_{DD}
A4	CV_{DD}	C4	CLKMODE0
A5	RSV	C5	PLLHV
A6	TCK	C6	V_{SS}
A7	TDI	C7	CV_{DD}
A8	TDO	C8	V_{SS}
A9	CV_{DD}	C9	V_{SS}
A10	CV_{DD}	C10	DV_{DD}
A11	V_{SS}	C11	EMU4
A12	RSV [connect directly to CV_{DD}]	C12	RSV
A13	$\overline{\text{RESET}}$	C13	NMI
A14	V_{SS}	C14	HD14/GP[14]
A15	HD13/GP[13]	C15	HD12/GP[12]
A16	HD11/GP[11]	C16	HD9/GP[9]
A17	DV_{DD}	C17	HD6/AHCLKR1
A18	HD7/GP[3]	C18	CV_{DD}
A19	V_{SS}	C19	HD4/GP[0]
A20	V_{SS}	C20	HD3/AMUTE1
B1	V_{SS}	D1	DV_{DD}
B2	CV_{DD}	D2	GP[6](EXT_INT6)
B3	DV_{DD}	D3	EMU2
B4	V_{SS}	D4	V_{SS}
B5	RSV	D5	CV_{DD}
B6	$\overline{\text{TRST}}$	D6	CV_{DD}
B7	TMS	D7	RSV
B8	DV_{DD}	D8	V_{SS}
B9	EMU1	D9	EMU0
B10	EMU3	D10	CLKOUT3
B11	RSV [connect directly to V_{SS}]	D11	CV_{DD}
B12	EMU5	D12	RSV
B13	DV_{DD}	D13	V_{SS}
B14	HD15/GP[15]	D14	CV_{DD}
B15	V_{SS}	D15	CV_{DD}
B16	HD10/GP[10]	D16	DV_{DD}
B17	HD8/GP[8]	D17	V_{SS}
B18	HD5/AHCLKX1	D18	HD2/AFSX1
B19	CV_{DD}	D19	DV_{DD}
B20	V_{SS}	D20	HD1/AXR1[7]

Shading denotes the GDP and ZDP package pin functions that drop out on the PYP package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Terminal Assignments for the 272-Ball GDP and ZDP Package (in Order of Ball No.) (Continued)

BALL NO.	SIGNAL NAME	BALL NO.	SIGNAL NAME
E1	CLKS1/SCL1	J17	$\overline{HOLD}$
E2	V_{SS}	J18	$\overline{HOLDA}$
E3	GP[7](EXT_INT7)	J19	BUSREQ
E4	V_{SS}	J20	$\overline{HINT}$/GP[1]
E17	V_{SS}	K1	CV_{DD}
E18	$\overline{HAS}$/ACLKX1	K2	V_{SS}
E19	$\overline{HDS1}$/AXR1[6]	K3	CLKS0/AHCLKR0
E20	HD0/AXR1[4]	K4	CV_{DD}
F1	TOUT1/AXR0[4]	K9	V_{SS}
F2	TINP1/AHCLKX0	K10	V_{SS}
F3	DV_{DD}	K11	V_{SS}
F4	CV_{DD}	K12	V_{SS}
F17	CV_{DD}	K17	CV_{DD}
F18	$\overline{HDS2}$/AXR1[5]	K18	ED0
F19	V_{SS}	K19	ED1
F20	$\overline{HCS}$/AXR1[2]	K20	V_{SS}
G1	TOUT0/AXR0[2]	L1	FSX1
G2	TINP0/AXR0[3]	L2	DX1/AXR0[5]
G3	CLKX0/ACLKX0	L3	CLKX1/AMUTE0
G4	V_{SS}	L4	CV_{DD}
G17	V_{SS}	L9	V_{SS}
G18	HCNTL0/AXR1[3]	L10	V_{SS}
G19	HCNTL1/AXR1[1]	L11	V_{SS}
G20	HR/$\overline{W}$/AXR1[0]	L12	V_{SS}
H1	FSX0/AFSX0	L17	CV_{DD}
H2	DX0/AXR0[1]	L18	ED2
H3	CLKR0/ACLKR0	L19	ED3
H4	V_{SS}	L20	CV_{DD}
H17	V_{SS}	M1	CLKR1/AXR0[6]
H18	DV_{DD}	M2	DR1/SDA1
H19	$\overline{HRDY}$/ACLKR1	M3	FSR1/AXR0[7]
H20	HHWIL/AFSR1	M4	V_{SS}
J1	DR0/AXR0[0]	M9	V_{SS}
J2	DV_{DD}	M10	V_{SS}
J3	FSR0/AFSR0	M11	V_{SS}
J4	V_{SS}	M12	V_{SS}
J9	V_{SS}	M17	V_{SS}
J10	V_{SS}	M18	DV_{DD}
J11	V_{SS}	M19	ED4
J12	V_{SS}	M20	ED5

Shading denotes the GDP and ZDP package pin functions that drop out on the PYP package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Terminal Assignments for the 272-Ball GDP and ZDP Package (in Order of Ball No.) (Continued)

BALL NO.	SIGNAL NAME	BALL NO.	SIGNAL NAME
N1	SCL0	U9	V_{SS}
N2	SDA0	U10	CV_{DD}
N3	ED31	U11	CV_{DD}
N4	V_{SS}	U12	DV_{DD}
N17	V_{SS}	U13	V_{SS}
N18	ED6	U14	CV_{DD}
N19	ED7	U15	CV_{DD}
N20	ED8	U16	DV_{DD}
P1	ED28	U17	V_{SS}
P2	ED29	U18	EA21
P3	ED30	U19	$\overline{BE1}$
P4	V_{SS}	U20	V_{SS}
P17	V_{SS}	V1	ED20
P18	ED9	V2	ED19
P19	V_{SS}	V3	CV_{DD}
P20	ED10	V4	ED16
R1	DV_{DD}	V5	$\overline{BE3}$
R2	ED27	V6	$\overline{CE3}$
R3	ED26	V7	EA3
R4	CV_{DD}	V8	EA5
R17	CV_{DD}	V9	EA8
R18	DV_{DD}	V10	EA10
R19	ED11	V11	$\overline{ARE}/\overline{SDCAS}/\overline{SSADS}$
R20	ED12	V12	$\overline{AWE}/\overline{SDWE}/\overline{SSWE}$
T1	ED24	V13	DV_{DD}
T2	ED25	V14	EA12
T3	DV_{DD}	V15	DV_{DD}
T4	V_{SS}	V16	EA17
T17	V_{SS}	V17	$\overline{CE0}$
T18	ED13	V18	CV_{DD}
T19	ED15	V19	DV_{DD}
T20	ED14	V20	$\overline{BE0}$
U1	ED22	W1	V_{SS}
U2	ED21	W2	CV_{DD}
U3	ED23	W3	DV_{DD}
U4	V_{SS}	W4	ED17
U5	DV_{DD}	W5	V_{SS}
U6	CV_{DD}	W6	$\overline{CE2}$
U7	DV_{DD}	W7	EA4
U8	V_{SS}	W8	EA6

Shading denotes the GDP and ZDP package pin functions that drop out on the PYP package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. *Terminal* Assignments for the 272-Ball GDP and ZDP Package (in Order of Ball No.) (Continued)

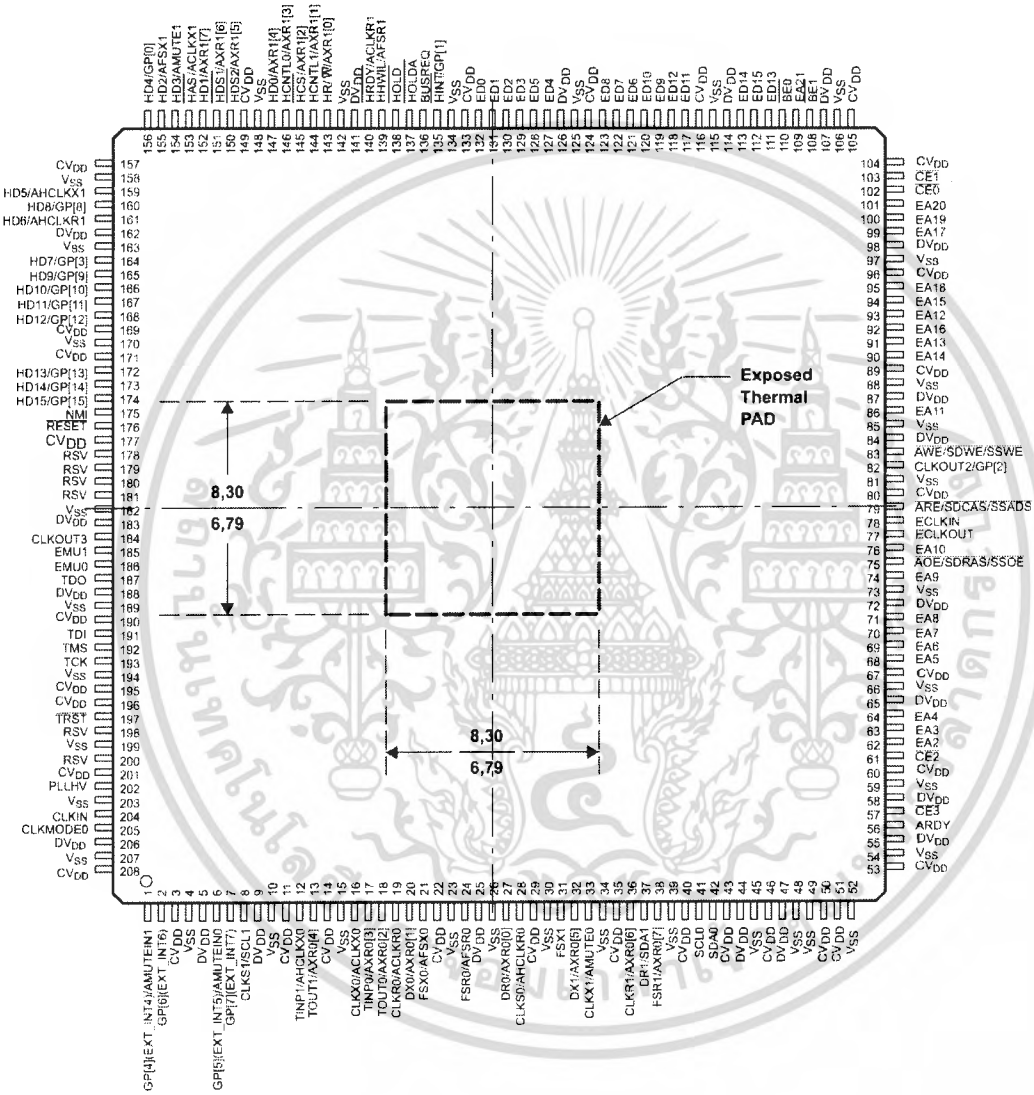
BALL NO.	SIGNAL NAME	BALL NO.	SIGNAL NAME
W9	DV_{DD}	Y5	ARDY
W10	$\overline{AOE}/\overline{SDRAS}/\overline{SSOE}$	Y6	EA2
W11	V_{SS}	Y7	DV_{DD}
W12	DV_{DD}	Y8	EA7
W13	EA11	Y9	EA9
W14	EA13	Y10	ECLKOUT
W15	EA15	Y11	ECLKIN
W16	V_{SS}	Y12	CLKOUT2/GP[2]
W17	EA19	Y13	V_{SS}
W18	$\overline{CE1}$	Y14	EA14
W19	CV_{DD}	Y15	EA16
W20	V_{SS}	Y16	EA18
Y1	V_{SS}	Y17	DV_{DD}
Y2	V_{SS}	Y18	EA20
Y3	ED18	Y19	V_{SS}
Y4	$\overline{BE2}$	Y20	V_{SS}

Shading denotes the GDP and ZDP package pin functions that drop out on the PYP package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PYP PowerPAD™ QFP package (top view)

PYP 208-PIN PowerPAD™ PLASTIC QUAD FLATPACK (PQFP)
(TOP VIEW)



NOTE: All linear dimensions are in millimeters. This pad is electrically and thermally connected to the backside of the die.
For the TMS320C6713B 208-Pin PowerPAD plastic quad flatpack, the external thermal pad dimensions are: 7.2 x 7.2 mm and the thermal pad is externally flush with the mold compound.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ ... ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description

The TMS320C67x™ DSPs (including the TMS320C6713B device†) compose the floating-point DSP generation in the TMS320C6000™ DSP platform. The C6713B device is based on the high-performance, advanced very-long-instruction-word (VLIW) architecture developed by Texas Instruments (TI), making this DSP an excellent choice for multichannel and multifunction applications.

Operating at 225 MHz, the C6713B delivers up to 1350 million floating-point operations per second (MFLOPS), 1800 million instructions per second (MIPS), and with dual fixed-/floating-point multipliers up to 450 million multiply-accumulate operations per second (MMACS).

Operating at 300 MHz, the C6713B delivers up to 1800 million floating-point operations per second (MFLOPS), 2400 million instructions per second (MIPS), and with dual fixed-/floating-point multipliers up to 600 million multiply-accumulate operations per second (MMACS).

The C6713B uses a two-level cache-based architecture and has a powerful and diverse set of peripherals. The Level 1 program cache (L1P) is a 4K-byte direct-mapped cache and the Level 1 data cache (L1D) is a 4K-byte 2-way set-associative cache. The Level 2 memory/cache (L2) consists of a 256K-byte memory space that is shared between program and data space. 64K bytes of the 256K bytes in L2 memory can be configured as mapped memory, cache, or combinations of the two. The remaining 192K bytes in L2 serves as mapped SRAM.

The C6713B has a rich peripheral set that includes two Multichannel Audio Serial Ports (McASPs), two Multichannel Buffered Serial Ports (McBSPs), two Inter-Integrated Circuit (I2C) buses, one dedicated General-Purpose Input/Output (GPIO) module, two general-purpose timers, a host-port interface (HPI), and a glueless external memory interface (EMIF) capable of interfacing to SDRAM, SBSRAM, and asynchronous peripherals.

The two McASP interface modules each support one transmit and one receive clock zone. Each of the McASP has eight serial data pins which can be individually allocated to any of the two zones. The serial port supports time-division multiplexing on each pin from 2 to 32 time slots. The C6713B has sufficient bandwidth to support all 16 serial data pins transmitting a 192 kHz stereo signal. Serial data in each zone may be transmitted and received on multiple serial data pins simultaneously and formatted in a multitude of variations on the Philips Inter-IC Sound (I2S) format.

In addition, the McASP transmitter may be programmed to output multiple S/PDIF, IEC60958, AES-3, CP-430 encoded data channels simultaneously, with a single RAM containing the full implementation of user data and channel status fields.

The McASP also provides extensive error-checking and recovery features, such as the bad clock detection circuit for each high-frequency master clock which verifies that the master clock is within a programmed frequency range.

The two I2C ports on the TMS320C6713B allow the DSP to easily control peripheral devices and communicate with a host processor. In addition, the standard multichannel buffered serial port (McBSP) may be used to communicate with serial peripheral interface (SPI) mode peripheral devices.

The TMS320C6713B device has two bootmodes: from the HPI or from external asynchronous ROM. For more detailed information, see the *bootmode* section of this data sheet.

The TMS320C67x DSP generation is supported by the TI eXpressDSP™ set of industry benchmark development tools, including a highly optimizing C/C++ Compiler, the Code Composer Studio™ Integrated Development Environment (IDE), JTAG-based emulation and real-time debugging, and the DSP/BIOS™ kernel.

TMS320C6000, eXpressDSP, Code Composer Studio, and DSP/BIOS are trademarks of Texas Instruments.
† Throughout the remainder of this document, TMS320C6713B shall be referred to as C6713B or 13B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

device characteristics

Table 2 provides an overview of the C6713B DSP. The table shows significant features of the device, including the capacity of on-chip RAM, the peripherals, the execution time, and the package type with pin count. For more details on the C67x™ DSP device part numbers and part numbering, see Figure 12.

Table 2. Characteristics of the C6713B Processor

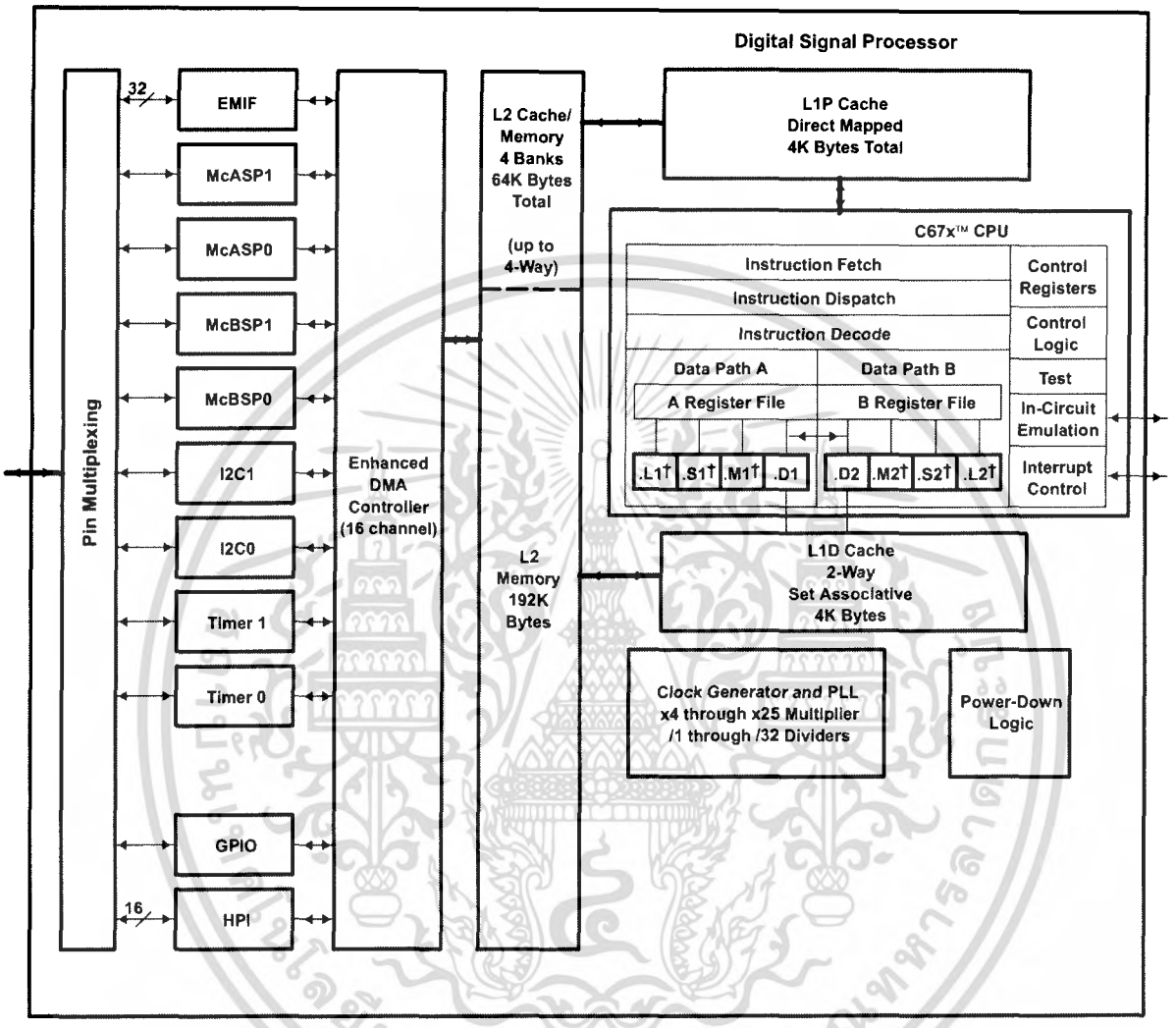
HARDWARE FEATURES		INTERNAL CLOCK SOURCE	C6713B (FLOATING-POINT DSP)	
			GDP/ZDP	PYP
Peripherals Not all peripheral pins are available at the same time. (For more details, see the Device Configurations section.) Peripheral performance is dependent on chip-level configuration.	EMIF	SYSCLK3 or ECLKIN	1 (32 bit)	1 (16 bit)
	EDMA (16 Channels)	CPU clock frequency	1	
	HPI (16 bit)	SYSCLK2	1	
	McASPs	AUXCLK, SYSCLK2†	2	
	I2Cs	SYSCLK2	2	
	McBSPs	SYSCLK2	2	
	32-Bit Timers	1/2 of SYSCLK2	2	
	GPIO Module	SYSCLK2	1	
On-Chip Memory	Size (Bytes)		264K	
	Organization		4K-Byte (4KB) L1 Program (L1P) Cache 4KB L1 Data (L1D) Cache 64KB Unified L2 Cache/Mapped RAM 192KB L2 Mapped RAM	
CPU ID+CPU Rev ID	Control Status Register (CSR.[31:16])		0x0203	
BSDL File	For the C6713B BSDL file, contact your Field Sales Representative.			
Frequency	MHz		300, 225, 200	225, 200, 167
Cycle Time	ns		3.3 ns (GDP-300, ZDP-300) 4.4 ns (GDP-225, ZDP-225) 5 ns (GDPA-200, ZDPA-200)	5 ns (PYP-200) 4.4 ns (PYP-225) 6 ns (PYPA-167) 5 ns (PYPA-200)
Voltage	Core (V)		1.20‡ V 1.4 V (–300)	1.2 V
	I/O (V)		3.3 V	
Clock Generator Options	Prescaler Multiplier Postscaler		/1, /2, /3, ..., /32 x4, x5, x6, ..., x25 /1, /2, /3, ..., /32	
Packages	27 x 27 mm		272-Ball BGA (GDP) 272-Ball BGA (ZDP)	–
	28 x 28 mm		–	208-Pin PowerPAD™ PQFP (PYP)
Process Technology	µm		0.13	
Product Status Product Preview (PP) Advance Information (AI) Production Data (PD)			PD§	

† AUXCLK is the McASP internal high-frequency clock source for serial transfers. SYSCLK2 is the McASP system clock used for the clock check (high-frequency) circuit.
‡ This value is compatible with existing 1.26-V designs.
§ PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

C67x is a trademark of Texas Instruments.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block and CPU (DSP core) diagram



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

EMIF interfaces to:
- SDRAM
- SBSRAM
- SRAM,
- ROM/Flash, and
- I/O devices

McBSPs interface to:
- SPI Control Port
- High-Speed TDM Codecs
- AC97 Codecs
- Serial EEPROM

McASPs interface to:
- I2S Multichannel ADC, DAC, Codec, DIR
- DIT: Multiple Outputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPU (DSP core) description

The TMS320C6713B floating-point digital signal processor is based on the C67x CPU. The CPU fetches advanced very-long instruction words (VLIW) (256 bits wide) to supply up to eight 32-bit instructions to the eight functional units during every clock cycle. The VLIW architecture features controls by which all eight units do not have to be supplied with instructions if they are not ready to execute. The first bit of every 32-bit instruction determines if the next instruction belongs to the same execute packet as the previous instruction, or whether it should be executed in the following clock as a part of the next execute packet. Fetch packets are always 256 bits wide; however, the execute packets can vary in size. The variable-length execute packets are a key memory-saving feature, distinguishing the C67x CPU from other VLIW architectures.

The CPU features two sets of functional units. Each set contains four units and a register file. One set contains functional units .L1, .S1, .M1, and .D1; the other set contains units .D2, .M2, .S2, and .L2. The two register files each contain 16 32-bit registers for a total of 32 general-purpose registers. The two sets of functional units, along with two register files, compose sides A and B of the CPU (see the functional block and CPU diagram and Figure 1). The four functional units on each side of the CPU can freely share the 16 registers belonging to that side. Additionally, each side features a single data bus connected to all the registers on the other side, by which the two sets of functional units can access data from the register files on the opposite side. While register access by functional units on the same side of the CPU as the register file can service all the units in a single clock cycle, register access using the register file across the CPU supports one read and one write per cycle.

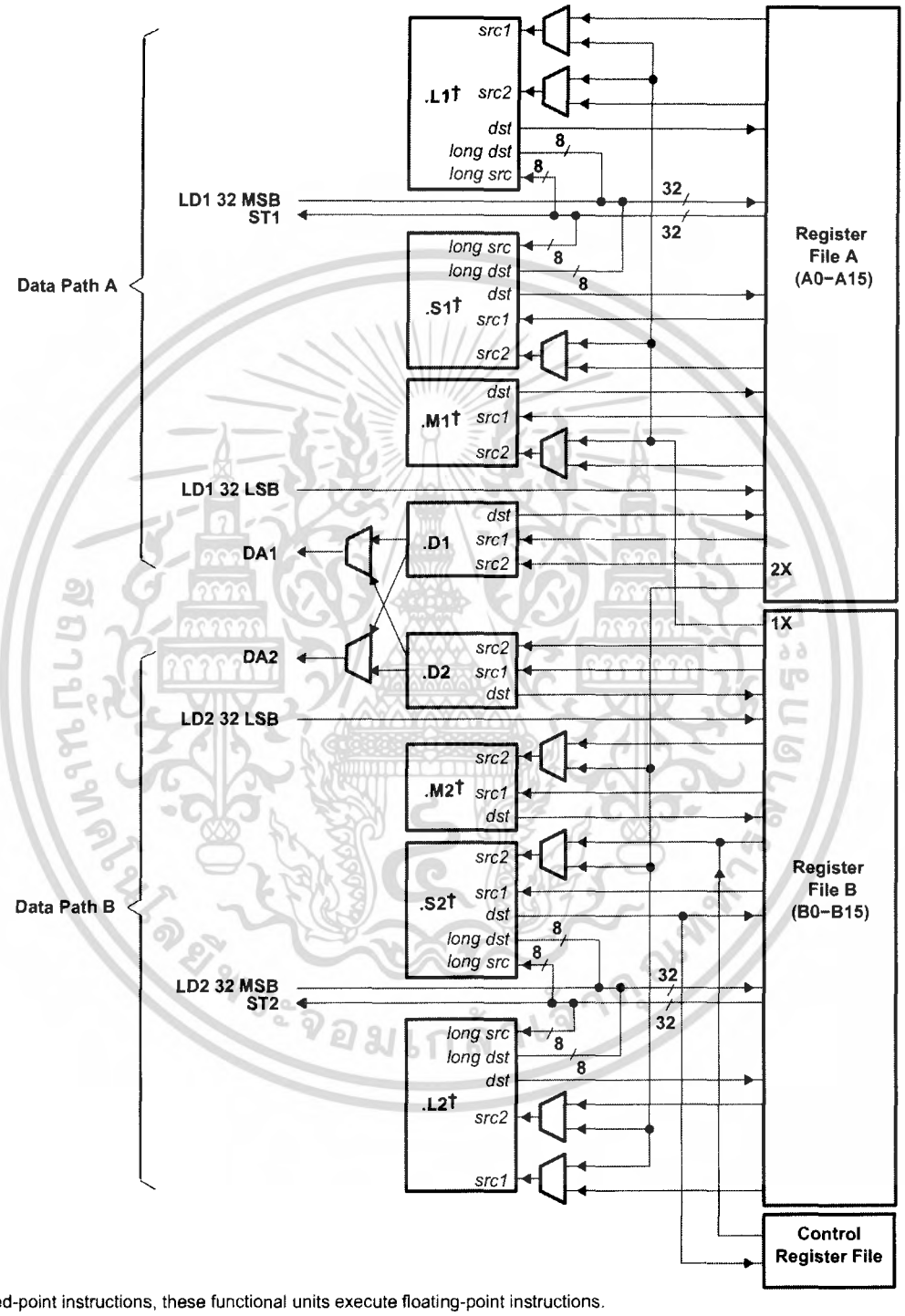
The C67x CPU executes all C62x instructions. In addition to C62x fixed-point instructions, the six out of eight functional units (.L1, .S1, .M1, .M2, .S2, and .L2) also execute floating-point instructions. The remaining two functional units (.D1 and .D2) also execute the new LDDW instruction which loads 64 bits per CPU side for a total of 128 bits per cycle.

Another key feature of the C67x CPU is the load/store architecture, where all instructions operate on registers (as opposed to data in memory). Two sets of data-addressing units (.D1 and .D2) are responsible for all data transfers between the register files and the memory. The data address driven by the .D units allows data addresses generated from one register file to be used to load or store data to or from the other register file. The C67x CPU supports a variety of indirect addressing modes using either linear- or circular-addressing modes with 5- or 15-bit offsets. All instructions are conditional, and most can access any one of the 32 registers. Some registers, however, are singled out to support specific addressing or to hold the condition for conditional instructions (if the condition is not automatically "true"). The two .M functional units are dedicated for multiplies. The two .S and .L functional units perform a general set of arithmetic, logical, and branch functions with results available every clock cycle.

The processing flow begins when a 256-bit-wide instruction fetch packet is fetched from a program memory. The 32-bit instructions destined for the individual functional units are "linked" together by "1" bits in the least significant bit (LSB) position of the instructions. The instructions that are "chained" together for simultaneous execution (up to eight in total) compose an execute packet. A "0" in the LSB of an instruction breaks the chain, effectively placing the instructions that follow it in the next execute packet. If an execute packet crosses the fetch-packet boundary (256 bits wide), the assembler places it in the next fetch packet, while the remainder of the current fetch packet is padded with NOP instructions. The number of execute packets within a fetch packet can vary from one to eight. Execute packets are dispatched to their respective functional units at the rate of one per clock cycle and the next 256-bit fetch packet is not fetched until all the execute packets from the current fetch packet have been dispatched. After decoding, the instructions simultaneously drive all active functional units for a maximum execution rate of eight instructions every clock cycle. While most results are stored in 32-bit registers, they can be subsequently moved to memory as bytes or half-words as well. All load and store instructions are byte-, half-word, or word-addressable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPU (DSP core) description (continued)



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

Figure 1. TMS320C67x™ CPU (DSP Core) Data Paths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]นุญาตให้นำไปใช้ประโยชน์ด้านการศึกษา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR®

HGTG30N60C3D

Data Sheet December 2001

63A, 600V, UFS Series N-Channel IGBT with Anti-Parallel Hyperfast Diodes

The HGTG30N60C3D is a MOS gated high voltage switching device combining the best features of MOSFETs and bipolar transistors. The device has the high input impedance of a MOSFET and the low on-state conduction loss of a bipolar transistor. The much lower on-state voltage drop varies only moderately between 25°C and 150°C. The IGBT used is the development type TA49051. The diode used in anti-parallel with the IGBT is the development type TA49053.

The IGBT is ideal for many high voltage switching applications operating at moderate frequencies where low conduction losses are essential.

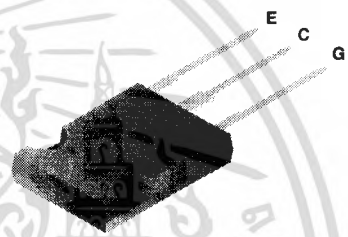
Formerly Developmental Type TA49014.

Features

- 63A, 600V at $T_C = 25^oC$
- Typical Fall Time . . . . . 230ns at $T_J = 150^oC$
- Short Circuit Rating
- Low Conduction Loss
- Hyperfast Anti-Parallel Diode

Packaging

JEDEC STYLE TO-247



Ordering Information

PART NUMBER	PACKAGE	BRAND
HGTG30N60C3D	TO-247	G30N60C3D

NOTE: When ordering, use the entire part number.

Symbol

FAIRCHILD CORPORATION IGBT PRODUCT IS COVERED BY ONE OR MORE OF THE FOLLOWING U.S. PATENTS

4,364,073	4,417,385	4,430,792	4,443,931	4,466,176	4,516,143	4,532,534	4,587,713
4,598,461	4,605,948	4,620,211	4,631,564	4,639,754	4,639,762	4,641,162	4,644,637
4,682,195	4,684,413	4,694,313	4,717,679	4,743,952	4,783,690	4,794,432	4,801,986
4,803,533	4,809,045	4,809,047	4,810,665	4,823,176	4,837,606	4,860,080	4,883,767
4,888,627	4,890,143	4,901,127	4,904,609	4,933,740	4,963,951	4,969,027	

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

		HGTG30N60C3D	UNITS
Collector to Emitter Voltage	BV_{CES}	600	V
Collector Current Continuous			
At $T_C = 25^oC$	I_{C25}	63	A
At $T_C = 110^oC$	I_{C110}	30	A
Average Diode Forward Current at 110^oC	$I_{(AVG)}$	25	A
Collector Current Pulsed (Note 1)	I_{CM}	252	A
Gate to Emitter Voltage Continuous	V_{GES}	±20	V
Gate to Emitter Voltage Pulsed	V_{GEM}	±30	V
Switching Safe Operating Area at $T_J = 150^oC$	SSOA	60A at 600V	
Power Dissipation Total at $T_C = 25^oC$	P_D	208	W
Power Dissipation Derating $T_C > 25^oC$		1.67	$W/^oC$
Operating and Storage Junction Temperature Range	T_J, T_{STG}	-40 to 150	^oC
Maximum Lead Temperature for Soldering	T_L	260	^oC
Short Circuit Withstand Time (Note 2) at $V_{GE} = 15V$	t_{SC}	4	µs
Short Circuit Withstand Time (Note 2) at $V_{GE} = 10V$	t_{SC}	15	µs

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Repetitive Rating: Pulse width limited by maximum junction temperature.
2. $V_{CE(PK)} = 360V$, $T_J = 125^oC$, $R_G = 25\Omega$.

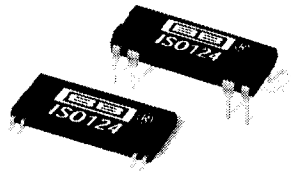
Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Collector to Emitter Breakdown Voltage	BV_{CES}	$I_C = 250\mu A$, $V_{GE} = 0V$		600	-	-	V
Emitter to Collector Breakdown Voltage	BV_{ECS}	$I_C = 10mA$, $V_{GE} = 0V$		15	25	-	V
Collector to Emitter Leakage Current	I_{CES}	$V_{CE} = BV_{CES}$	$T_C = 25^oC$	-	-	250	µA
		$V_{CE} = BV_{CES}$	$T_C = 150^oC$	-	-	3.0	mA
Collector to Emitter Saturation Voltage	$V_{CE(SAT)}$	$I_C = I_{C110}$, $V_{GE} = 15V$	$T_C = 25^oC$	-	1.5	1.8	V
			$T_C = 150^oC$	-	1.7	2.0	V
Gate to Emitter Threshold Voltage	$V_{GE(TH)}$	$I_C = 250\mu A$, $V_{CE} = V_{GE}$	$T_C = 25^oC$	3.0	5.2	6.0	V
Gate to Emitter Leakage Current	I_{GES}	$V_{GE} = \pm 20V$		-	-	±100	nA
Switching SOA	SSOA	$T_J = 150^oC$, $V_{GE} = 15V$, $R_G = 3\Omega$, $L = 100\mu H$	$V_{CE(PK)} = 480V$	200	-	-	A
			$V_{CE(PK)} = 600V$	60	-	-	A
Gate to Emitter Plateau Voltage	V_{GEP}	$I_C = I_{C110}$, $V_{CE} = 0.5\ BV_{CES}$		-	8.1	-	V
On-State Gate Charge	$Q_{G(ON)}$	$I_C = I_{C110}$, $V_{CE} = 0.5\ BV_{CES}$	$V_{GE} = 15V$	-	162	180	nC
			$V_{GE} = 20V$	-	216	250	nC
Current Turn-On Delay Time	$t_{d(ON)I}$	$T_J = 150^oC$, $I_{CE} = I_{C110}$, $V_{CE(PK)} = 0.8\ BV_{CES}$, $V_{GE} = 15V$, $R_G = 3\Omega$, $L = 100\mu H$		-	40	-	ns
Current Rise Time	t_{rI}			-	45	-	ns
Current Turn-Off Delay Time	$t_{d(OFF)I}$			-	320	400	ns
Current Fall Time	t_{fI}			-	230	275	ns
Turn-On Energy	E_{ON}			-	1050	-	µJ
Turn-Off Energy (Note 3)	E_{OFF}			-	2500	-	µJ
Diode Forward Voltage	V_{EC}	$I_{EC} = 30A$		-	1.75	2.2	V

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



ISO124

Precision Lowest Cost ISOLATION AMPLIFIER

FEATURES

- 100% TESTED FOR HIGH-VOLTAGE BREAKDOWN
- RATED 1500Vrms
- HIGH IMR: 140dB at 60Hz
- 0.010% max NONLINEARITY
- BIPOLAR OPERATION: $V_O = \pm 10V$
- 16-PIN PLASTIC DIP AND 28-LEAD SOIC
- EASE OF USE: Fixed Unity Gain Configuration
- ±4.5V to ±18V SUPPLY RANGE

APPLICATIONS

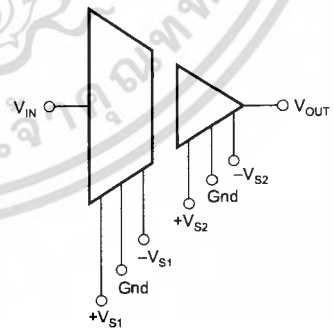
- INDUSTRIAL PROCESS CONTROL: Transducer Isolator, Isolator for Thermocouples, RTDs, Pressure Bridges, and Flow Meters, 4mA to 20mA Loop Isolation
- GROUND LOOP ELIMINATION
- MOTOR AND SCR CONTROL
- POWER MONITORING
- PC-BASED DATA ACQUISITION
- TEST EQUIPMENT

DESCRIPTION

The ISO124 is a precision isolation amplifier incorporating a novel duty cycle modulation-demodulation technique. The signal is transmitted digitally across a 2pF differential capacitive barrier. With digital modulation the barrier characteristics do not affect signal integrity, resulting in excellent reliability and good high frequency transient immunity across the barrier. Both barrier capacitors are imbedded in the plastic body of the package.

The ISO124 is easy to use. No external components are required for operation. The key specifications are 0.010% max nonlinearity, 50kHz signal bandwidth, and 200µV/°C V_{OS} drift. A power supply range of ±4.5V to ±18V and quiescent currents of ±5.0mA on V_{S1} and ±5.5mA on V_{S2} make these amplifiers ideal for a wide range of applications.

The ISO124 is available in 16-pin plastic DIP and 28-lead plastic surface mount packages.



International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111
Internet: http://www.burr-brown.com/ • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

©1997 Burr-Brown Corporation
PDS-1405A
Printed in U.S.A. September, 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

At T_A = +25°C , V_{S1} = V_{S2} = ±15V, and R_L = 2kΩ, unless otherwise noted.

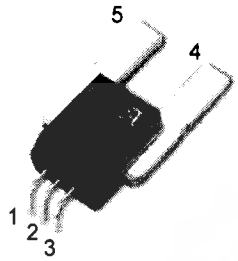
PARAMETER	CONDITIONS	ISO124P, U			UNITS
		MIN	TYP	MAX	
ISOLATION					
Rated Voltage, continuous ac 60Hz		1500			Vac
100% Test (1)	1s, 5pc PD	2400			Vac
Isolation Mode Rejection	60Hz		140		dB
Barrier Impedance			10^{14} || 2		Ω || pF
Leakage Current at 60Hz	V_{ISO} = 240Vrms		0.18	0.5	µArms
GAIN	V_O = ±10V				
Nominal Gain			1		V/V
Gain Error			±0.05	±0.50	%FSR
Gain vs Temperature			±10		ppm/°C
Nonlinearity(2)			±0.005	±0.010	%FSR
INPUT OFFSET VOLTAGE					
Initial Offset			±20	±50	mV
vs Temperature			±200		µV/°C
vs Supply			±2		mV/V
Noise			4		µV/√Hz
INPUT					
Voltage Range		±10	±12.5		V
Resistance			200		kΩ
OUTPUT					
Voltage Range		±10	±12.5		V
Current Drive		±5	±15		mA
Capacitive Load Drive			0.1		µF
Ripple Voltage(3)			20		mVp-p
FREQUENCY RESPONSE					
Small Signal Bandwidth			50		kHz
Slew Rate			2		V/µs
Settling Time	V_O = ±10V				
0.1%			50		µs
0.01%			350		µs
Overload Recovery Time			150		µs
POWER SUPPLIES					
Rated Voltage			±15		V
Voltage Range		±4.5		±18	V
Quiescent Current: V_{S1}			±5.0	±7.0	mA
V_{S2}			±5.5	±7.0	mA
TEMPERATURE RANGE					
Specification		–25		+85	°C
Operating		–25		+85	°C
Storage		–40		+85	°C
Thermal Resistance, θ_{JA}			100		°C/W
θ_{JC}			65		°C/W

NOTES: (1) Tested at 1.6 X rated, fail on 5pC partial discharge. (2) Nonlinearity is the peak deviation of the output voltage from the best-fit straight line. It is expressed as the ratio of deviation to FSR. (3) Ripple frequency is at carrier frequency (500kHz).

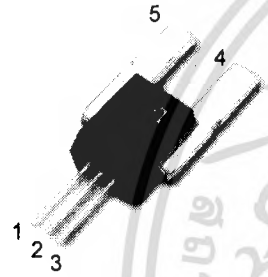
The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200



Package CB-PSF



Package CB-PSS

Pin 1: VCC
Pin 2: GND
Pin 3: VOUT
Terminal 4: IP+
Terminal 5: IP–

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	16 V
Reverse Supply Voltage, V_{RCC}	–16 V
Output Voltage, V_{OUT}	16 V
Reverse Output Voltage, V_{ROUT}	–0.1 V
Output Current Source, $I_{OUT(Source)}$	3 mA
Output Current Sink, $I_{OUT(Sink)}$	10 mA
Operating Temperature,	
Ambient, T_A, S range	–20 to 85°C
Maximum Junction, $T_{J(max)}$	165°C
Maximum Storage Temperature, T_S	–65 to 170°C

TÜV America
Certificate Number:
U8V 04 11 54214 001

The Allegro ACS75x family of current sensors provides economical and precise solutions for current sensing in industrial, automotive, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, power supplies, and overcurrent fault protection.

The device consists of a precision, low-offset linear Hall sensor circuit with a copper conduction path located near the die. Applied current flowing through this copper conduction path generates a magnetic field which is sensed by the integrated Hall IC and converted into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy at the factory.

The output of the device has a positive slope ($>V_{CC}/2$) when an increasing current flows through the primary copper conduction path (from terminal 4 to terminal 5), which is the path used for current sensing. The internal resistance of this conductive path is typically 100 μΩ, providing low power loss. The thickness of the copper conductor allows survival of the device at up to 5× overcurrent conditions. The terminals of the conductive path are electrically isolated from the sensor leads (pins 1 through 3). This allows the ACS75x family of sensors to be used in applications requiring electrical isolation without the use of opto-isolators or other costly isolation techniques.

The device is fully calibrated prior to shipment from the factory. The ACS75x family is lead-free. All leads are coated with 100% matte tin, and there is no lead inside the package. The heavy gauge leadframe is made of oxygen-free copper.

Features and Benefits

- Monolithic Hall IC for high reliability
- Single +5 V supply
- 3 kV_{RMS} isolation voltage between terminals 4/5 and pins 1/2/3
- 35 kHz bandwidth
- End-of-line factory-trimmed for gain and offset
- Ultra-low power loss: 100 μΩ internal conductor resistance
- Ratiometric output from supply voltage
- Extremely stable output offset voltage
- Small package size, with easy mounting capability
- Output proportional to ac and dc currents

Applications

- Industrial systems
- Motor control
- Servo systems
- Power conversion
- Battery monitors

Use the following complete part numbers when ordering:

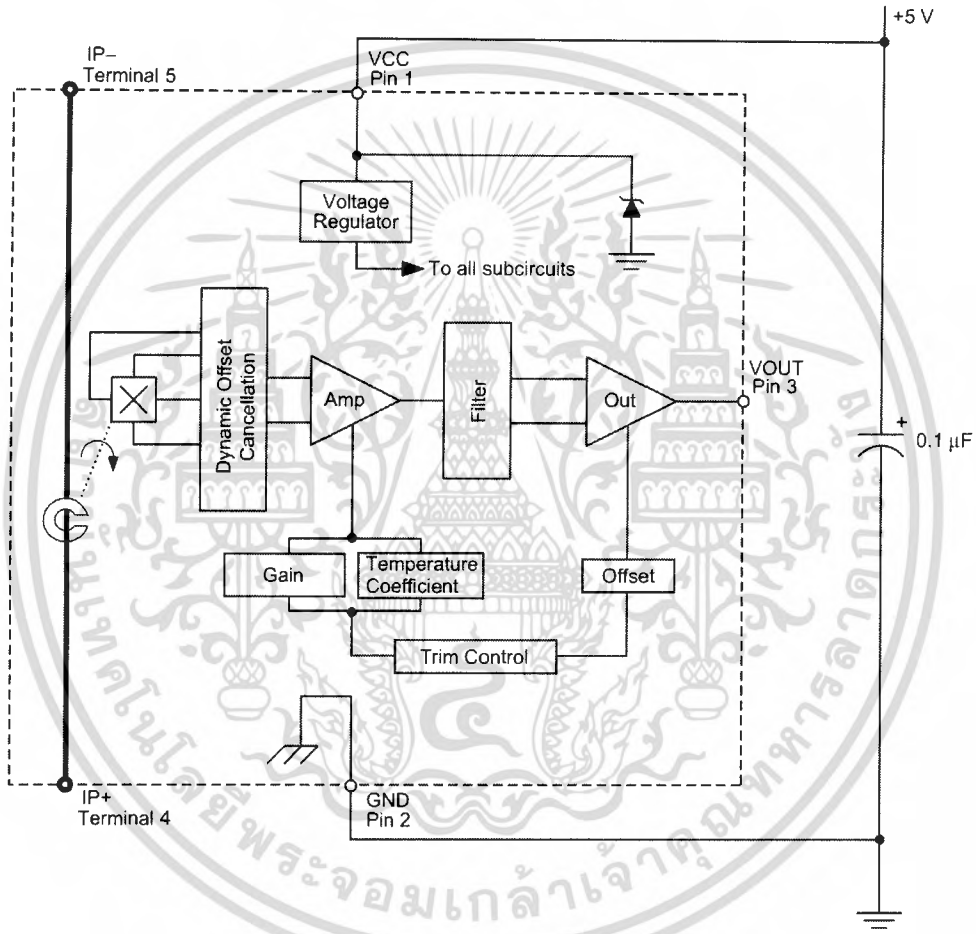
Part Number	Package
ACS754SCB-200-PSF	Formed signal pins
ACS754SCB-200-PSS	Straight signal pins

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200

Functional Block Diagram



Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

At T_A = +25°C , V_{S1} = V_{S2} = ±15V, and R_L = 2kΩ, unless otherwise noted.

PARAMETER	CONDITIONS	ISO124P, U			UNITS
		MIN	TYP	MAX	
ISOLATION					
Rated Voltage, continuous ac 60Hz		1500			Vac
100% Test [1]	1s, 5pc PD	2400			Vac
Isolation Mode Rejection	60Hz		140		dB
Barrier Impedance			10^{14} || 2		Ω || pF
Leakage Current at 60Hz	V_{ISO} = 240Vrms		0.18	0.5	µArms
GAIN	V_O = ±10V				
Nominal Gain			1		V/V
Gain Error			±0.05	±0.50	%FSR
Gain vs Temperature			±10		ppm/°C
Nonlinearity[2]			±0.005	±0.010	%FSR
INPUT OFFSET VOLTAGE					
Initial Offset			±20	±50	mV
vs Temperature			±200		µV/°C
vs Supply			±2		mV/V
Noise			4		µV/√Hz
INPUT					
Voltage Range		±10	±12.5		V
Resistance			200		kΩ
OUTPUT					
Voltage Range		±10	±12.5		V
Current Drive		±5	±15		mA
Capacitive Load Drive			0.1		µF
Ripple Voltage[3]			20		mVp-p
FREQUENCY RESPONSE					
Small Signal Bandwidth			50		kHz
Slew Rate			2		V/µs
Settling Time	V_O = ±10V				
0.1%			50		µs
0.01%			350		µs
Overload Recovery Time			150		µs
POWER SUPPLIES					
Rated Voltage			±15		V
Voltage Range		±4.5		±18	V
Quiescent Current: V_{S1}			±5.0	±7.0	mA
V_{S2}			±5.5	±7.0	mA
TEMPERATURE RANGE					
Specification		–25		+85	°C
Operating		–25		+85	°C
Storage		–40		+85	°C
Thermal Resistance, θ_{JA}			100		°C/W
θ_{JC}			65		°C/W

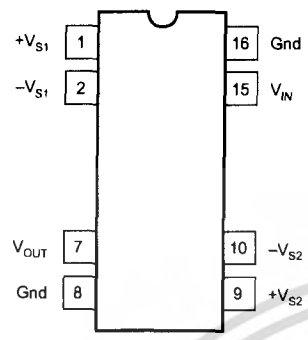
NOTES: (1) Tested at 1.6 X rated, fail on 5pC partial discharge. (2) Nonlinearity is the peak deviation of the output voltage from the best-fit straight line. It is expressed as the ratio of deviation to FSR. (3) Ripple frequency is at carrier frequency (500kHz).

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change *without notice. No patent rights or licenses to any* of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

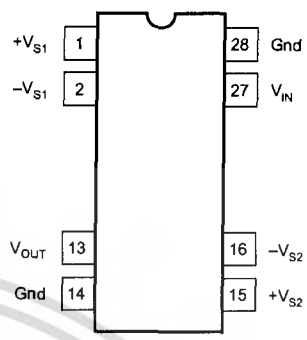
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM

Top View —P Package



Top View—U Package



PACKAGE INFORMATION

PRODUCT	PACKAGE	PACKAGE DRAWING NUMBER(1)
ISO124P	16-Pin Plastic DIP	238
ISO124U	28-Lead Plastic SOIC	217-1

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix C of Burr-Brown IC Data Book.

ABSOLUTE MAXIMUM RATINGS(1)

Supply Voltage	±18V
V_{IN}	±100V
Continuous Isolation Voltage	1500Vrms
Junction Temperature	+150°C
Storage Temperature	+85°C
Lead Temperature (soldering, 10s)	+300°C
Output Short to Common	Continuous

NOTE: (1) Stresses above these ratings may cause permanent damage.

ORDERING INFORMATION

PRODUCT	PACKAGE	NONLINEARITY MAX %FSR
ISO124P	16-Pin Plastic DIP	±0.010
ISO124U	28-Lead Plastic SOIC	±0.010

ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

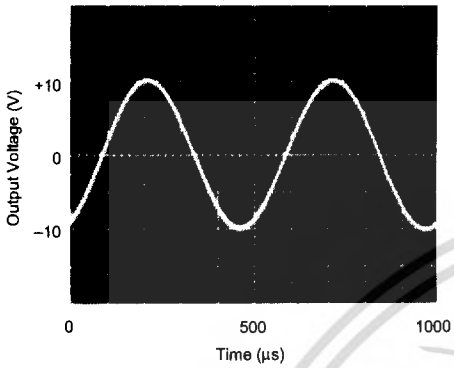
ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

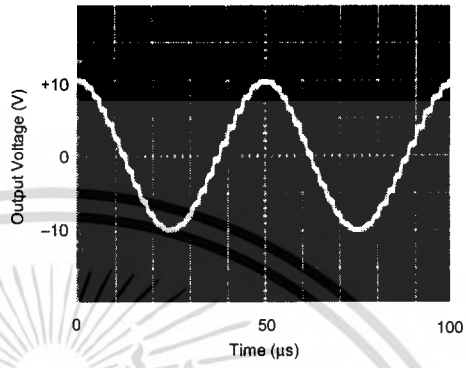
TYPICAL PERFORMANCE CURVES

At T_A = +25°C, and V_S = ±15V, unless otherwise noted.

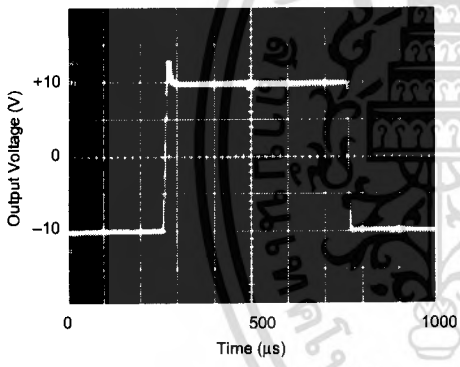
SINE RESPONSE
(f = 2kHz)



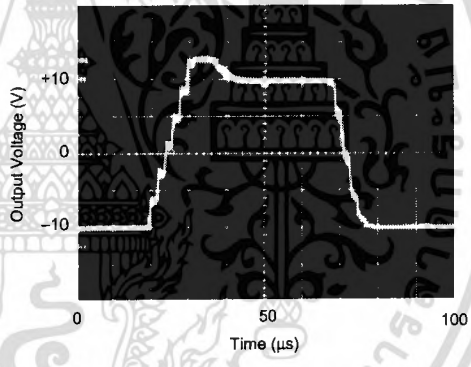
SINE RESPONSE
(f = 20kHz)



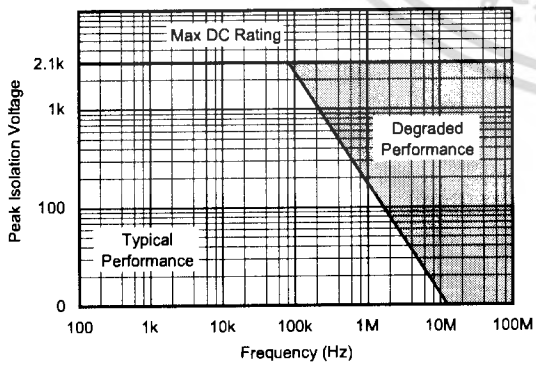
STEP RESPONSE



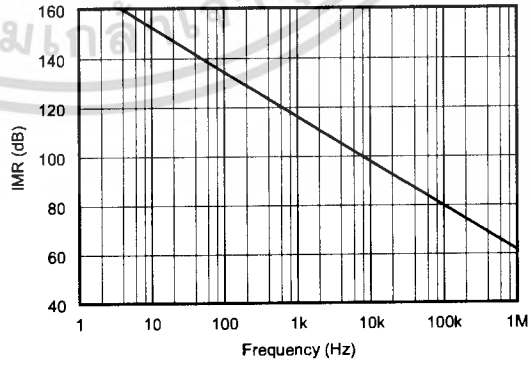
STEP RESPONSE



ISOLATION VOLTAGE
vs FREQUENCY

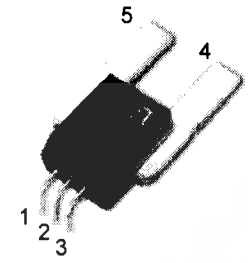


IMR vs FREQUENCY

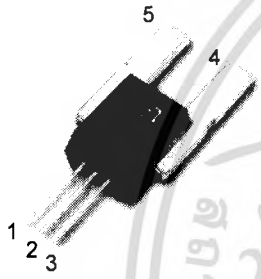


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200



Package CB-PSF



Package CB-PSS

Pin 1: VCC
Pin 2: GND
Pin 3: VOUT
Terminal 4: IP+
Terminal 5: IP–

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	16 V
Reverse Supply Voltage, V_{RCC}	–16 V
Output Voltage, V_{OUT}	16 V
Reverse Output Voltage, V_{ROUT}	–0.1 V
Output Current Source, $I_{OUT(Source)}$	3 mA
Output Current Sink, $I_{OUT(Sink)}$	10 mA
Operating Temperature,	
Ambient, T_A, S range	–20 to 85°C
Maximum Junction, $T_{J(max)}$	165°C
Maximum Storage Temperature, T_S	–65 to 170°C

TÜV America
Certificate Number:
U8V 04 11 54214 001

The Allegro ACS75x family of current sensors provides economical and precise solutions for current sensing in industrial, automotive, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, power supplies, and overcurrent fault protection.

The device consists of a precision, low-offset linear Hall sensor circuit with a copper conduction path located near the die. Applied current flowing through this copper conduction path generates a magnetic field which is sensed by the integrated Hall IC and converted into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy at the factory.

The output of the device has a positive slope ($>V_{CC}/2$) when an increasing current flows through the primary copper conduction path (from terminal 4 to terminal 5), which is the path used for current sensing. The internal resistance of this conductive path is typically 100 µΩ, providing low power loss. The thickness of the copper conductor allows survival of the device at up to 5× overcurrent conditions. The terminals of the conductive path are electrically isolated from the sensor leads (pins 1 through 3). This allows the ACS75x family of sensors to be used in applications requiring electrical isolation without the use of opto-isolators or other costly isolation techniques.

The device is fully calibrated prior to shipment from the factory. The ACS75x family is lead-free. All leads are coated with 100% matte tin, and there is no lead inside the package. The heavy gauge leadframe is made of oxygen-free copper.

Features and Benefits

- Monolithic Hall IC for high reliability
- Single +5 V supply
- 3 kV_{RMS} isolation voltage between terminals 4/5 and pins 1/2/3
- 35 kHz bandwidth
- End-of-line factory-trimmed for gain and offset
- Ultra-low power loss: 100 µΩ internal conductor resistance
- Ratiometric output from supply voltage
- Extremely stable output offset voltage
- Small package size, with easy mounting capability
- Output proportional to ac and dc currents

Applications

- Industrial systems
- Motor control
- Servo systems
- Power conversion
- Battery monitors

Use the following complete part numbers when ordering:

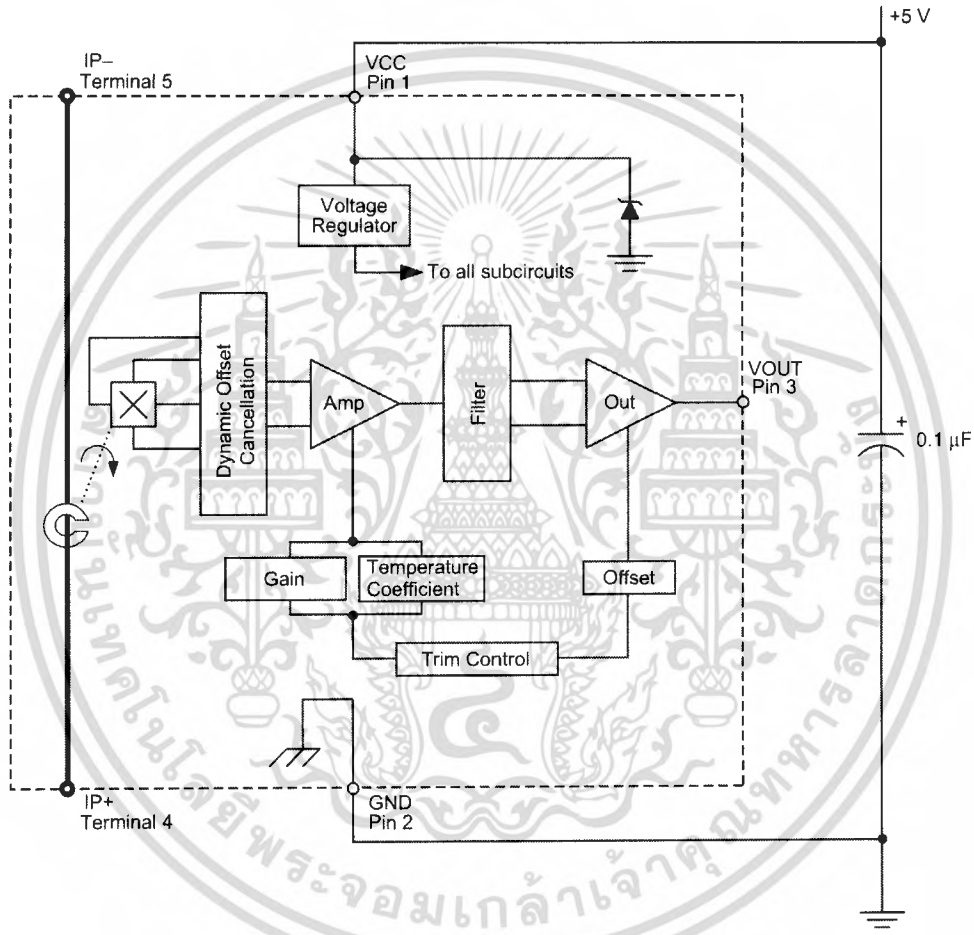
Part Number	Package
ACS754SCB-200-PSF	Formed signal pins
ACS754SCB-200-PSS	Straight signal pins

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200

Functional Block Diagram



Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200

ELECTRICAL CHARACTERISTICS, over operating ambient temperature range unless otherwise stated

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Primary Sensed Current	I_P		–200		200	A
Supply Voltage	V_{CC}		4.5	5.0	5.5	V
Supply Current	I_{CC}	V_{CC} = 5.0 V, output open	6.5	8	10	mA
Output Resistance	R_{OUT}	I_{OUT} = 1.2 mA	–	1	2	Ω
Output Capacitance Load	C_{LOAD}	VOUT to GND	–	–	10	nF
Output Resistive Load	R_{LOAD}	VOUT to GND	4.7			kΩ
Primary Conductor Resistance	$R_{PRIMARY}$	I_P = ±50A; T_A = 25°C	–	100		μΩ
Isolation Voltage	V_{ISO}	Pins 1-3 and 4-5; 60 Hz, 1 minute	3.0			kV
PERFORMANCE CHARACTERISTICS, -20°C to +85°C, V_{CC} = 5 V unless otherwise specified						
Propagation time	t_{PROP}	I_P = ±100 A, T_A = 25°C	–	4		μs
Response time	$t_{RESPONSE}$	I_P = ±100 A, T_A = 25°C	–	11		μs
Rise time	t_r	I_P = ±100 A, T_A = 25°C	–	10		μs
Frequency Bandwidth	f	–3 dB, T = 25°C	–	35		kHz
Sensitivity	Sens	Over full range of I_P, T_A = 25°C	–	10.0		mV/A
		Over full range of I_P	9.5		10.5	mV/A
Noise	V_{NOISE}	Peak-to-peak, T_A = 25°C, no external filter	–	35		mV
Nonlinearity	E_{LIN}	Over full range of I_P	–	–	±0.8	%
Symmetry	E_{SYM}	Over full range of I_P	98	100	102	%
Zero Current Output Voltage	$V_{OUT(Q)}$	I = 0 A, T_A = 25°C	–	V_{CC}/2		V
Electrical Offset Voltage (Magnetic error not included)	V_{OE}	I = 0 A, T_A = 25°C	–10		10	mV
		I = 0 A	–20		20	mV
Magnetic Offset Error	I_{ERROM}	I = 0 A, after excursion of 200 A	–	±0.15	±0.50	A
Total Output Error (Including all offsets)	E_{TOT}	Over full range of I_P, T_A = 25°C	–	±1.0		%
		Over full range of I_P	–	–	±5.0	%

Allegro MicroSystems, Inc.

115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definitions of Accuracy Characteristics

Sensitivity (Sens): The change in sensor output in response to a 1 A change through the primary conductor. The sensitivity is the product of the magnetic circuit sensitivity (G/A) and the linear IC amplifier gain (mV/G). The linear IC amplifier gain is trimmed at the factory to optimize the sensitivity (mV/A) for the full-scale current of the device.

Noise (V_{NOISE}): The product of the linear IC amplifier gain (mV/G) and the noise floor for the Allegro Hall effect linear IC (≈1 G). The noise floor is derived from the thermal and shot noise observed in Hall elements. Dividing the noise (mV) by the sensitivity (mV/A) provides the smallest current that the device is able to resolve.

Linearity (E_{LIN}): The degree to which the voltage output from the sensor varies in direct proportion to the primary current through its full-scale amplitude. Linearity reveals the maximum deviation from the ideal transfer curve for this transducer. Nonlinearity in the output can be attributed to the gain variation across temperature and saturation of the flux concentrator approaching the full-scale current. The following equation is used to derive the linearity:

$$100\left\{1-\left[\frac{\Delta\text{ gain}\times\%\text{ sat}\,(V_{\text{out_full-scale amperes}}-V_{OUT(Q)})}{2\,(V_{\text{out_half-scale amperes}}-V_{OUT(Q)})}\right]\right\}$$

where

Δ gain = the gain variation as a function of temperature changes from 25°C,
% sat = the percentage of saturation of the flux concentrator, which becomes significant as the current being sensed approaches full-scale $\pm I_P$, and
$V_{\text{out_full-scale amperes}}$ = the output voltage (V) when the sensed current approximates full-scale $\pm I_P$.

Symmetry (E_{SYM}): The degree to which the absolute voltage output from the sensor varies in proportion to either a positive or negative full-scale primary current. The following equation is used to derive symmetry:

$$100\left[\frac{V_{\text{out_+full-scale amperes}}-V_{OUT(Q)}}{V_{OUT(Q)}-V_{\text{out_-full-scale amperes}}}\right]$$

Quiescent output voltage ($V_{OUT(Q)}$): The output of the sensor when the primary current is zero. For a unipolar supply voltage, it nominally remains at V_{CC} / 2. Thus, V_{CC} = 5 V translates into $V_{OUT(Q)}$ = 2.5 V. Variation in $V_{OUT(Q)}$ can be attributed to the resolution of the Allegro linear IC quiescent voltage trim, magnetic hysteresis, and thermal drift.

Electrical offset voltage (V_{OE}): The deviation of the device output from its ideal quiescent value of V_{CC} / 2 due to nonmagnetic causes.

Magnetic offset error (I_{ERROM}): The magnetic offset is due to the residual magnetism (remnant field) of the core material. The magnetic offset error is highest when the magnetic circuit has been saturated, usually when the device has been subjected to a full-scale or high-current overload condition. The magnetic offset is largely dependent on the material used as a flux concentrator. The larger magnetic offsets are observed at the lower operating temperatures.

Accuracy (E_{TOT}): The accuracy represents the maximum deviation of the actual output from its ideal value. This is also known as the total ouput error. The accuracy is illustrated graphically in the Output Voltage versus Current chart on the following page.

Accuracy is divided into four areas:

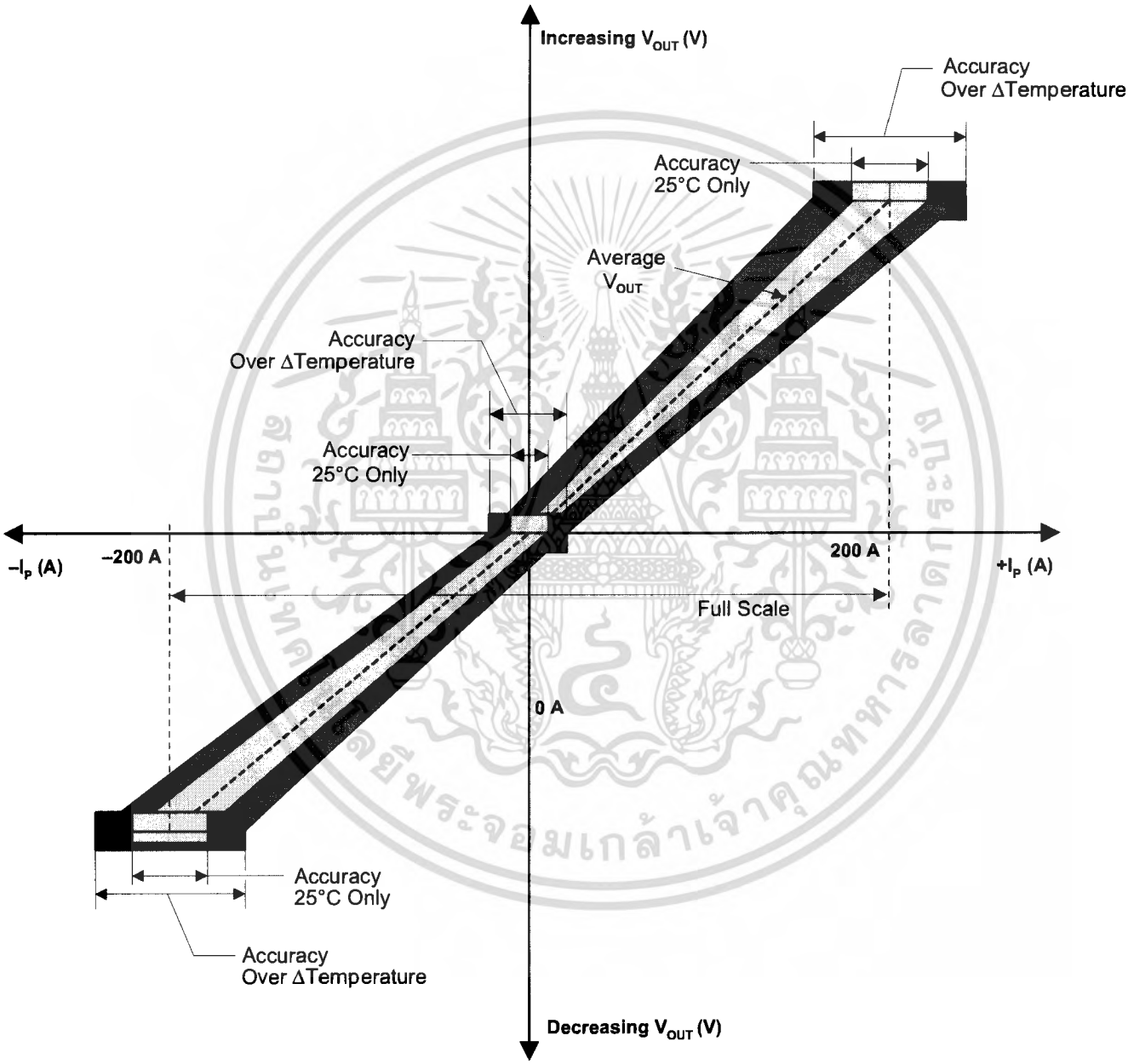
- **0 A at 25°C:** Accuracy of sensing zero current flow at 25°C, without the effects of temperature.
- **0 A over temperature:** Accuracy of sensing zero current flow including temperature effects.
- **Full-scale current at 25°C:** Accuracy of sensing the full-scale current at 25°C, without the effects of temperature.
- **Full-scale current over Δ temperature:** Accuracy of sensing full-scale current flow including temperature effects.

MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Sensor: ACS754SCB-200

Output voltage vs. current, illustrating sensor accuracy at 0 A and at full-scale current



Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IOR Rectifier

Data Sheet No. PD60147 rev.U

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
  Separate logic supply range from 3.3V to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

Product Summary

V_{OFFSET}	(IR2110)	500V max.
	(IR2113)	600V max.
I_O+/-		2A / 2A
V_{OUT}		10 - 20V
$t_{on/off}$ (typ.)		120 & 94 ns
Delay Matching	(IR2110)	10 ns max.
	(IR2113)	20ns max.

Packages

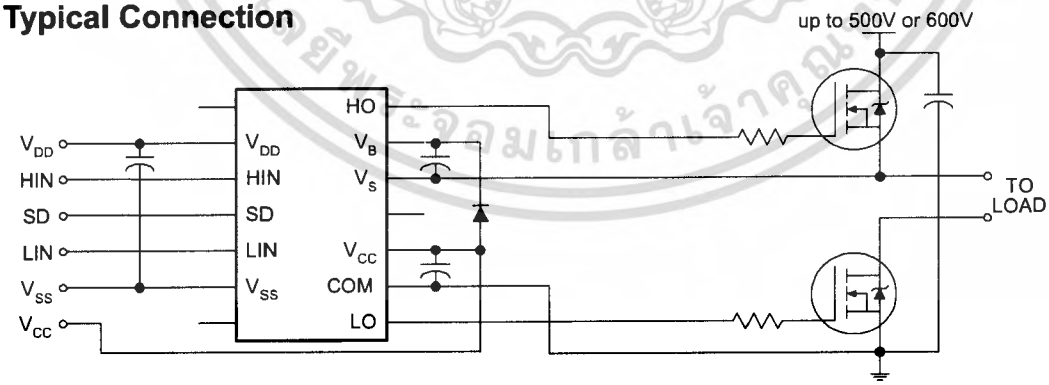
14-Lead PDIP
IR2110/IR2113

16-Lead SOIC
IR2110S/IR2113S

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply voltage	(IR2110)	-0.3	525	V
		(IR2113)	-0.3	625	
V_S	High side floating supply offset voltage		V_B - 25	V_B + 0.3	
V_{HO}	High side floating output voltage		V_S - 0.3	V_B + 0.3	
V_{CC}	Low side fixed supply voltage		-0.3	25	
V_{LO}	Low side output voltage		-0.3	V_{CC} + 0.3	
V_{DD}	Logic supply voltage		-0.3	V_{SS} + 25	
V_{SS}	Logic supply offset voltage		V_{CC} - 25	V_{CC} + 0.3	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS} - 0.3	V_{DD} + 0.3	
dV_S/dt	Allowable offset supply voltage transient (figure 2)		—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25°C$	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R_{THJA}	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T_J	Junction temperature		—	150	°C
T_S	Storage temperature		-55	150	
T_L	Lead temperature (soldering, 10 seconds)		—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply absolute voltage		V_S + 10	V_S + 20	V
V_S	High side floating supply offset voltage	(IR2110)	Note 1	500	
		(IR2113)	Note 1	600	
V_{HO}	High side floating output voltage		V_S	V_B	
V_{CC}	Low side fixed supply voltage		10	20	
V_{LO}	Low side output voltage		0	Vcc	
V_{DD}	Logic supply voltage		V_{SS} + 3	V_{SS} + 20	
V_{SS}	Logic supply offset voltage		-5 (Note 2)	5	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS}	V_{DD}	
T_A	Ambient temperature		-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{BS}$. (Please refer to the Design Tip DT97-3 for more details).
Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to $-V_{DD}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	V_S = 0V
t_{off}	Turn-off propagation delay	8	—	94	125		V_S = 500V/600V
t_{sd}	Shutdown propagation delay	9	—	110	140		V_S = 500V/600V
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110)	—	—	—	10		
	Delay matching, HS & LS turn-on/off (IR2113)	—	—	—	20		

Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, V_{BIAS} - V_O	14	—	—	1.2		I_O = 0A
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		I_O = 0A
I_{LK}	Offset supply leakage current	16	—	—	50	µA	V_B=V_S = 500V/600V
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		V_{IN} = 0V or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		V_{IN} = 0V or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		V_{IN} = 0V or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		V_{IN} = V_{DD}
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		V_{IN} = 0V
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	V_O = 0V, V_{IN} = V_{DD} PW ≤ 10 µs
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		V_O = 15V, V_{IN} = 0V PW ≤ 10 µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้