

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว

โดยการประมวลผลภาพ

A MACHINE FOR RICE CONTAMINANT DETECTION
USING IMAGE PROCESSING



เลขหมู่.....
เลขทะเบียน.....**72235**
วัน,เดือน,ปี.....**12 ส.ย. 2550**

b.....**117 69234**
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว

โดยการประมวลผลภาพ

A MACHINE FOR RICE CONTAMINANT DETECTION
USING IMAGE PROCESSING



ปริญญาานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวสารโดยการประมวลผลภาพ

ผู้จัดทำ

1. นายธรา ลัดดากุล รหัส 47015873
2. นายอรรถกร บุษบรณ รหัส 47015890
3. นายเอกวิทย์ นุ่นช่วย รหัส 47015891



.....อาจารย์ที่ปรึกษา
(อาจารย์ชินภัทร นันทจิวารชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวสารโดยการประมวลผลภาพ

A MACHINE FOR RICE CONTAMINANT DETECTION USING IMAGE PROCESSING

นายธรา ลัดดากุล รหัส 47015873

นายอรรถกร บุษบรณ รหัส 47015890

นายเอกวิทย์ นุ่นช่วย รหัส 47015891

โครงการได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการสอบได้

.....
(อาจารย์ชินภัทร นันทจิวงษ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว

โดยการประมวลผลภาพ

นายชารา ลัดดากุล รหัส 47015873
 นายอรรถกร นุษยบรรณ รหัส 47015890
 นายเอกวิทย์ นุ่นช่วย รหัส 47015891
 อ.จินภัทร นันทจิวารชัช อาจารย์ที่ปรึกษา
 ปีการศึกษา 2549

บทคัดย่อ

ข้าวเป็นพืชที่มีความสำคัญอย่างยิ่งต่อชีวิตคนไทย และต่อเศรษฐกิจของประเทศไทย เพราะนอกจากจะใช้บริโภคภายในประเทศแล้ว ข้าวยังเป็นพืชเศรษฐกิจที่ทำรายได้จากการส่งออก อีกด้วย และการที่มีสิ่งแปลกปลอมปนมากับเมล็ดข้าวนั้นทำให้มูลค่าของข้าวลดลงจึงมีการทำเครื่องตรวจสอบสิ่งแปลกปลอมที่มากับเมล็ดข้าวเพื่อมาช่วยในการตรวจสอบสิ่งแปลกปลอมนั้นซึ่งเป็นการเพิ่มมูลค่าให้กับข้าวอีกทางหนึ่ง

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว มีหลักการทำงานคือ เครื่องจะตรวจจับภาพของเมล็ดข้าวและสิ่งแปลกปลอมที่ถูกส่งผ่านตัวตรวจจับภาพแบบเส้นจากชิพ CCD และนำสัญญาณภาพที่ได้จาก CCD มาขยายช่วงสัญญาณให้ได้ขนาดแรงดันที่ต้องการและเปรียบเทียบกับค่าที่กำหนด ผลการเปรียบเทียบจะถูกออกทาง LED ถ้า LED สว่างแสดงว่ามีการตรวจจับสิ่งแปลกปลอมเกิดขึ้นที่ CCD และจะแสดงผลการนับสิ่งแปลกปลอมที่สามารถตรวจวัดได้ในแต่ละรางด้วย 7-segment 2 หลัก

A MACHINE FOR RICE CONTAMINATE DETECTION USING IMAGE PROCESSING

Mr. Tara Laddakul ID.47015873

Mr. Attakorn Budsaban ID.47015890

Mr. Eakwit Nunchai ID.47015891

Mr. Chinnapat Nantajiwakornchai (Advisor)

Education Year 2006

ABSTRACT

Rice has important role in Thai's life and Thailand economic. Rather than local consuming, Thailand is number one of rice exporter which is very important for Thailand's economic. A contaminant, such as a black dot on rice or a piece of stone, will lower the value of the rice product. Therefore, a machine that can separate rice contaminant is used to increase the value of rice product.

A process for rice contaminant detection start from rice and contaminant are falling pass through the image captured device, which is a line-scan CCD camera. A signal from line-scan CCD camera are amplified and the compared with the reference threshold level. Results from comparator are displayed with LED, which will light up when a contaminant detected, and 7-Segment to display the count of contaminant.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จขึ้นมาได้ ด้วยความช่วยเหลือจากเพื่อนๆ หลายคน และอาจารย์หลายท่าน โดยเฉพาะ อาจารย์ ชินภัทร นันทจิวารัชย์ อาจารย์ที่ปรึกษาโครงการ ที่ให้คำแนะนำและความสะดวกในการจัดหาอุปกรณ์ในการจัดทำ



นายชารา ถัดดากุล
นายอรรถกร บุษบรณ
นายเอกวิทย์ นุ่นช่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VII
สารบัญตาราง	X
บทที่ 1 บทนำ	1
บทที่ 2 หลักการตรวจจับภาพของชุดหัวสแกนเนอร์	2
2.1 ส่วนประกอบของชุดหัวสแกนเนอร์	2
2.2 คุณสมบัติเฉพาะของชุดหัวสแกนเนอร์	4
2.2.1 ความละเอียดของภาพและการแต่งเติม	4
2.2.2 สีและโทนสี	4
2.3 CCD (Charge Coupled Device)	5
2.3.1 การแนะนำ CCD	5
2.3.2 รูปแบบและขนาดของ CCD	5
2.3.3 สถาปัตยกรรมของ CCD (CCD Architectures)	7
2.3.4 CCD พื้นฐาน (CCD Basic)	10
2.3.5 เทคโนโลยีของ CCD	12
บทที่ 3 โครงสร้างและหลักการทำงานของ FPGA	18
3.1 ความเป็นมาของเอซิก (ASIC)	18
3.2 ประเภทของ ASIC	18
3.2.1 Full-custom	18
3.2.2 Semi-custom	19
3.2.3 Programmable	19

	หน้า
3.3 หลักการของ FPGA	22
3.3.1 การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพ	22
3.3.2 การโปรแกรมโดยใช้หน่วยความจำ	22
3.3.3 โครงสร้างภายในของ FPGA	23
3.3.4 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว	23
3.3.5 การออกแบบวงจร	24
3.3.6 เครื่องมือสำหรับการออกแบบ FPGA	27
3.4 ภาษา VHDL	27
3.4.1 ประวัติความเป็นมาของภาษา VHDL	28
3.4.2 ข้อกำหนด	29
3.4.3 องค์ประกอบพื้นฐานของ VHDL	31
บทที่ 4 การออกแบบและการทำงานของวงจร	38
4.1 การออกแบบวงจร	38
4.2 การทำงานของวงจร	40
4.3 หลักการทำงานของแต่ละภาค	40
4.3.1 การทำงานของวงจร Drive CCD	40
4.3.2 การทำงานของ CCD	41
4.3.3 การทำงานของวงจร COMPARATER	43
4.3.4 การทำงานของดี ฟลิปฟลอป (D Flip Flop)	43
4.3.5 การทำงานของวงจรแยกราง	45
4.3.6 การทำงานของ Shift Register	46
4.3.7 การทำงานร่วมกันของวงจรแยกรางกับวงจร Shift Register	47
4.3.8 การทำงานของวงจรมับ (COUNTER)	48
4.3.9 วงจรชุดควบคุมหัวเป่า	49
4.3.10 ภาคจ่ายไฟ (POWER SUPPLY)	50

	หน้า
บทที่ 5 ผลและวิจารณ์ผลการทดสอบ	51
5.1 สัญญาณต่างๆที่วัดจาก FPGA	51
5.1.1 ช่วงเวลาของสัญญาณ TG	52
5.1.2 ช่วงเวลาของสัญญาณระหว่าง Phase 1 กับ TG	52
5.1.3 ช่วงเวลาของสัญญาณระหว่าง Phase 1 กับ TG	53
5.1.4 ช่วงเวลาของสัญญาณระหว่าง RB กับ TG	53
5.1.5 ช่วงเวลาของสัญญาณระหว่าง RB กับ TG	54
5.1.6 ช่วงเวลาของสัญญาณระหว่าง RB กับ Phase1	54
5.1.7 ช่วงเวลาของสัญญาณระหว่าง CLB กับ Phase1	55
5.1.8 ช่วงเวลาของสัญญาณ RB	55
5.1.9 ช่วงเวลาของสัญญาณ CLB	56
5.2 รูปสัญญาณ OUTPUT จาก CCD	57
5.2.1 รูปสัญญาณที่มาจาก CCD โดยตรง	57
5.2.2 รูปสัญญาณที่ผ่านวงจร Comparater	59
5.2.3 รูปสัญญาณที่ผ่าน D-FlipFlop	60
5.2.4 รูปสัญญาณที่เข้าวงจรแยกราง	61
5.2.5 รูปสัญญาณของวงจร Shift Register	67
5.2.6 ผลการทดลองถึงความลาดชันของรางที่องศาต่างๆ	68
5.2.7 ผลการทดลองการคัดแยกเมล็ดข้าวที่ไม่ต้องการ โดยใช้ชุดหัวเป่า	70
บทที่ 6 สรุปและวิจารณ์ผลการทดลอง	72
บรรณานุกรม	
ภาคผนวก	

สารบัญภาพ

	หน้า
รูปที่ 2.1 ตัวอย่างกระจก 3 ชั้น พร้อมกับเลนส์ที่ประกอบเป็นหัวสแกน	3
รูปที่ 2.2 ตัวอย่าง CCD	3
รูปที่ 2.3 Point Scanning	5
รูปที่ 2.4 Line Scanning	6
รูปที่ 2.5 Area Scanning	7
รูปที่ 2.6 Full-Frame Architecture	8
รูปที่ 2.7 Frame-Transfer Architecture	9
รูปที่ 2.8 Interline Architecture	10
รูปที่ 2.9 Photon Interaction with Silicon	11
รูปที่ 2.10 Potential Well and Barriers	11
รูปที่ 2.11 Floating Diffusion Readout Structure	12
รูปที่ 2.12 Color Sequential Capture	13
รูปที่ 2.13 Three-chip Color Capture	13
รูปที่ 2.14 Intergral Color Filter Array Patterns	14
รูปที่ 2.15 Normal and Thinned CCD	15
รูปที่ 2.16 Interline CCD Showing Photodiode and Non Sensitive CCD covered by Light Shield	16
รูปที่ 2.17 Interline CCD With Microlenticular Array	16
รูปที่ 3.1 ประเภทของ ASIC	18
รูปที่ 3.2 วงจรพื้นฐานภายในของ PLA	20
รูปที่ 3.3 วงจรพื้นฐานภายในของ PAL	21
รูปที่ 3.4 โครงสร้างภายในของ FPGA ตระกูล MAX7000S	23
รูปที่ 3.5 โครงสร้างภายในของ FPGA ตระกูล FLEX10K	23
รูปที่ 3.6 การโปรแกรมลงในชิพ	24
รูปที่ 3.7 การกำหนดการเชื่อมต่อและสถาปัตยกรรม	32
รูปที่ 3.8 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของclock_component	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 3.9 การบรรยายเชิงพฤติกรรมของ clock _ component	33
รูปที่ 3.10 โครงสร้างทั่วไปของส่วนการประกาศแพ็คเกจ	34
รูปที่ 3.11 โครงสร้างของบอดีแพ็คเกจ	35
รูปที่ 3.12 โครงสร้างโดยทั่วไปของหน่วยการออกแบบ โครงแบบ	35
รูปที่ 3.13 การใช้โพธิ์เจอร์	36
รูปที่ 3.14 การใช้ฟังก์ชัน	36
รูปที่ 3.15 ตัวดำเนินการใน VHDL	36
รูปที่ 4.1 ช่วงความกว้างของช่องสัญญาณต่างๆ	38
รูปที่ 4.2 บล็อกไดอะแกรมอธิบายการทำงานของวงจร	39
รูปที่ 4.3 วงจรภาค Drive CCD	40
รูปที่ 4.4 สัญลักษณ์ของภาค Drive CCD	41
รูปที่ 4.5 วงจรการทำงานของ CCD	42
รูปที่ 4.6 รูปสัญญาณ OUTPUT จาก CCD เทียบกับ สัญญาณต่างๆที่ป้อนให้กับ CCD	42
รูปที่ 4.7 วงจร COMPARATER	43
รูปที่ 4.8 วงจรการทำงานของ D – Flip-Flop	44
รูปที่ 4.9 Timing Diagram ของ ดี- ฟลิปฟลอปจากข้อมูลวงจรจริง	44
รูปที่ 4.10 วงจรแยกรางที่ได้ออกแบบไว้ใน FPGA	45
รูปที่ 4.11 การนำ D FLIPFLOP มาจัดวงจรเป็นรับเข้าแบบอนุกรม และส่งออกแบบขนาน	46
รูปที่ 4.12 หลังจากมีสัญญาณ CLOCK เข้ามาครบ 8 ลูก DATA ที่ส่งเข้ามาในจังหวะที่สัมพันธ์กับสัญญาณ CLOCK จะปรากฏออกมาที่ ขา QA , QB , QC , QD , QE , QF , QG และ QH	46
รูปที่ 4.13 การต่อใช้งานของวงจรแยกรางและวงจร Shift Register	47
รูปที่ 4.14 วงจรนับ 4 หลัก	48
รูปที่ 4.15 สัญลักษณ์ของวงจรมับ 4 หลัก	48
รูปที่ 4.16 วงจรภาคจ่ายไฟ (POWER SUPPLY)	49
รูปที่ 4.17 วงจรควบคุมหัวเป่า	50
รูปที่ 5.1 สัญญาณควบคุม CCD ใน Data Sheet	51
รูปที่ 5.2 สัญญาณของ TG	52
รูปที่ 5.3 สัญญาณระหว่าง Phase 1 กับ TG	52
รูปที่ 5.4 สัญญาณระหว่าง Phase 1 กับ TG	53

รูปที่ 5.5 สัญญาณระหว่าง RB กับ TG งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 5.6 สัญญาณระหว่าง RB กับ TG	54
รูปที่ 5.7 สัญญาณระหว่าง RB กับ Phase1	54
รูปที่ 5.8 สัญญาณระหว่าง Phase1 กับ CLB	55
รูปที่ 5.9 สัญญาณความกว้างของ RB	55
รูปที่ 5.10 สัญญาณความกว้างของ CLB	56
รูปที่ 5.11 สัญญาณที่ออกแบบในโปรแกรม MAX PLUS II	56
รูปที่ 5.12 สัญญาณแสดงขนาดความกว้างและความสัมพันธ์ของ Phase1,Phase2, RB และ CLB	57
รูปที่ 5.13 รูปสัญญาณ OUTPUT จาก CCDขณะที่ยังไม่ได้ทำการตรวจจับวัตถุ	57
รูปที่ 5.14 รูปสัญญาณ OUTPUT จาก CCDขณะที่ยังไม่ได้ทำการตรวจจับวัตถุ	58
รูปที่ 5.15 รูปสัญญาณ OUTPUT จาก CCD ขณะที่มีการตรวจจับวัตถุที่มีสีดำ	58
รูปที่ 5.16 รูปสัญญาณที่ผ่านวงจร Comparater ขณะยังไม่มีการตรวจจับวัตถุ	59
รูปที่ 5.17 รูปสัญญาณที่ผ่านวงจร Comparater ขณะที่มีการตรวจจับวัตถุ	60
รูปที่ 5.18 รูปสัญญาณที่ผ่าน D-FLIPFLOP	60
รูปที่ 5.19 วงจรแยกราง	61
รูปที่ 5.20 สัญญาณของวงจรแยกรางที่ได้จากการ Simulate ใน FPGA	61
รูปที่ 5.21 รูปสัญญาณที่ผ่านวงจรแยกราง	62
รูปที่ 5.22 รูปสัญญาณขณะที่ยังไม่มีเมล็ดข้าวสีดำผ่าน	62
รูปที่ 5.23 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 1	63
รูปที่ 5.24 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 2	63
รูปที่ 5.25 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 3	64
รูปที่ 5.26 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 4	64
รูปที่ 5.27 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 5	65
รูปที่ 5.28 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 6	65
รูปที่ 5.29 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 7	66
รูปที่ 5.30 รูปสัญญาณที่มีเมล็ดข้าวสีดำผ่านรางที่ 8	66
รูปที่ 5.31 รูปวงจร Shift Register	67
รูปที่ 5.32 รูปสัญญาณที่ผ่านวงจร Shift Register และวงจร Counter	67

สารบัญตาราง

	หน้า
ตารางที่ 5.1 จำนวนของเสียที่นับได้ของรางที่ 3 ในลักษณะต่างๆ	68
ตารางที่ 5.2 จำนวนของเสียที่นับได้ของรางที่ 4 ในลักษณะต่างๆ	69
ตารางที่ 5.3 จำนวนของเสียที่นับได้ของรางที่ 5 ในลักษณะต่างๆ	69
ตารางที่ 5.4 จำนวนของเสียที่หลุดหัวเป่าคัดแยกออกมาได้ในรางที่ 3 ที่องศาต่างๆ	70
ตารางที่ 5.4 จำนวนของเสียที่หลุดหัวเป่าคัดแยกออกมาได้ในรางที่ 3 ที่องศาต่างๆ	70
ตารางที่ 5.4 จำนวนของเสียที่หลุดหัวเป่าคัดแยกออกมาได้ในรางที่ 3 ที่องศาต่างๆ	71



บทที่ 1

บทนำ

ผลผลิตทางการเกษตรนั้น จัดได้ว่าเป็นสิ่งที่มีความสำคัญต่อการดำรงชีวิตของคนไทยมาเป็นระยะเวลาอันยาวนานแล้ว และปัจจุบันก็เป็นผลผลิตที่สำคัญต่อเศรษฐกิจของประเทศไทยซึ่งเป็นประเทศเกษตรกรรม โดยเฉพาะอย่างยิ่งข้าวจัดเป็นผลผลิตทางการเกษตรที่มีความสำคัญต่อประเทศไทยมาก โดยที่ผลผลิตแต่ละปีนั้นจะมีออกมาเป็นจำนวนมากและผลผลิตที่ออกมาก็จำเป็นต้องนำมาทำการคัดแยก ซึ่งขั้นตอนการคัดแยกนี้มีความสำคัญเป็นอย่างมากเพราะจะทำให้ผลผลิตที่ออกมามีคุณภาพและเป็นการเพิ่มมูลค่าให้แก่ผลผลิต

จากแนวคิดข้างต้นจึงทำให้มีการนำเอาความรู้ด้านดิจิทัลทางอิเล็กทรอนิกส์มาประยุกต์ใช้งานในการทำโปรเจกต์นี้คือ เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวโดยการประมวลผลภาพ ซึ่งลักษณะการตรวจจับนั้นจะทำการนำสีของเมล็ดข้าวมาทำการรับสัญญาณภาพจากตัวซีซีดี (Charge Coupled Device) และตรวจจับภาพแบบเส้นจากชิพ CCD และนำสัญญาณภาพที่ได้จาก CCD มาขยายช่วงสัญญาณให้ได้ขนาดแรงดันตามที่ต้องการ เมื่อได้ระดับแรงดันตามที่ต้องการแล้วก็จะได้เมล็ดข้าวออกมาเป็นสองจำพวกคือ เมล็ดข้าวที่เป็นสีอ่อนซึ่งเป็นเมล็ดข้าวที่ต้องการ โดยที่จะไม่แสดงผลออก LED เมื่อมีการตรวจจับ และเมล็ดข้าวสีเข้มซึ่งเป็นเมล็ดข้าวที่ต้องการคัดแยกออกไปจะมีการแสดงผลออกทาง LED เมื่อมีการตรวจจับ โดยที่จะมีการนับค่าของเมล็ดข้าวที่ไม่ต้องการออกทาง 7-Segment ทำให้ทราบค่าถึงสิ่งแปลกปลอมที่มากับเมล็ดข้าว เพื่อที่จะได้เข้าสู่ขั้นตอนการเป่าเมล็ดข้าวที่ไม่ต้องการต่อไป

โดยวัตถุประสงค์ของ โปรเจกต์นี้คือ

- 1) เพื่อศึกษาและการประยุกต์ใช้งานของสัญญาณภาพที่มาจาก CCD
- 2) เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิทัล
- 3) เพื่อศึกษาและประยุกต์ใช้งาน VHDL
- 4) เพื่อศึกษาและออกแบบกลไกการคัดแยกผลผลิตทางการเกษตร

บทที่ 2

หลักการตรวจจับภาพของชุดหัวสแกนเนอร์

การตรวจจับภาพเป็นการแปลงภาพหรือวัตถุ และเอกสารให้อยู่ในรูปแบบข้อมูลดิจิทัล โดยที่ชุดหัวสแกนเนอร์จะอ่านภาพหรืออิมเมจที่ประกอบด้วยจุด (หรือพิกเซล) จำนวนมาก จากนั้นซอฟต์แวร์ของการตรวจจับจะแปลงภาพให้เป็นข้อมูลบิตดิจิทัลแล้วนำออกไปใช้งานตามที่ต้องการ โดยไฟล์ภาพที่ถูกตรวจจับขึ้นมาี้ จะถูกเก็บไว้ในฐานข้อมูล

2.1 ส่วนประกอบของชุดหัวสแกนเนอร์

ส่วนประกอบของชุดหัวสแกนเนอร์ตามมาตรฐานก็จะต้องมีอุปกรณ์ต่างรวมเข้าไว้ด้วยกัน เช่น หลอดไฟ (Lamp) , เลนส์ (Lens) , กระจกเงา (Mirrors) , แผ่นกระจกใส (Glass Plate) , หัวตรวจจับภาพ (Scan Head) , อุปกรณ์จับประจุไฟฟ้า (CCD) , แผ่นกรองแสง (Filters) , แหล่งจ่ายไฟ (Power Supply) , แผงวงจรรวม (Control Circuitry) , หัวต่อเชื่อม (Interface Port) และอุปกรณ์อื่นๆ โดยจะอธิบายถึงความสำคัญของอุปกรณ์ดังนี้

1) หลอดไฟ (Lamp) มีจำนวนหนึ่งหลอด จะทำหน้าที่ส่องแสงไปยังเอกสารหรือรูปภาพ เพื่อให้เกิดแสงสะท้อน ไปยังกระจก หลอดไฟในเครื่องตรวจจับส่วนใหญ่เป็นหลอดฟลูออเรสเซนต์หรือหลอดนีออน

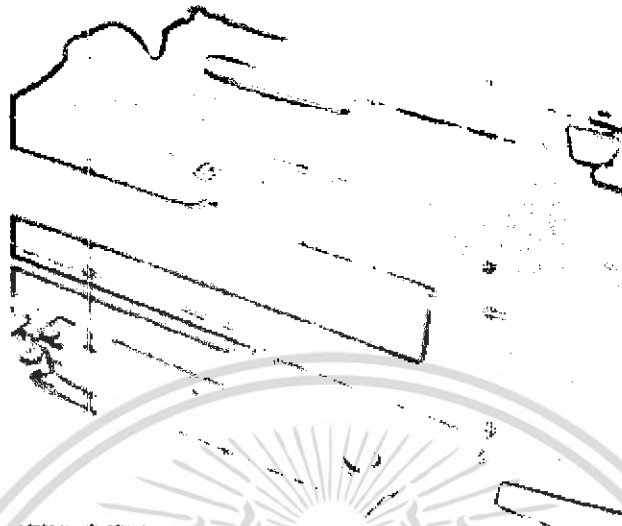
2) เลนส์ (Lens) จะทำหน้าที่รับแสงสะท้อนจากกระจก เพื่อเพิ่มความคมชัดให้กับข้อมูล จากนั้นแสดงข้อมูลที่ได้ไปยังซีซีดี

3) กระจกเงา (Mirrors) โดยทั่วไปแล้วกระจกจะมี 3 แผ่นในตัวเครื่อง จะทำหน้าที่สะท้อนแสงที่หักเหมาจากหลอดไฟ เพื่อให้แสงนั้นผ่านเลนส์แล้วส่งต่อไปยังซีซีดี

4) หัวตรวจจับภาพ (Scan Head) ประกอบด้วยชุดของกระจก เลนส์ ฟิลเตอร์และซีซีดี จะทำหน้าที่เคลื่อนผ่านเอกสารหรือรูปภาพอย่างช้าๆ เพื่ออ่านข้อมูลไปประมวลผล

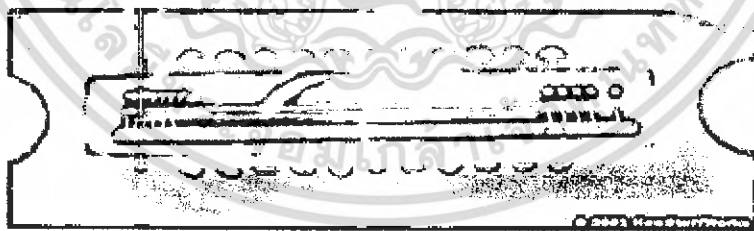
5) แผ่นกรองแสง (Filters) มีลักษณะเป็นแผ่นแก้วสีขาวโปร่งใสหรือสีอื่น ๆ ใช้สวมไว้ต่อจากเลนส์ ทำหน้าที่เป็นฉากกันแสงสีบางสี และเพิ่มแสงสีบางสีไปตกกระทบบนซีซีดี นอกจากนั้น แผ่นกรองแสงนี้ยังช่วยเปลี่ยนความเข้มของสีของวัตถุและสามารถช่วยสร้างภาพให้มีลักษณะพิเศษตามที่ต้องการ

6) แผ่นกระจกใส (Glass Plate) เป็นแผ่นแก้วหน้าโปร่งใส เป็นส่วนวางเอกสารหรือรูปภาพก่อนเริ่มการตรวจจับภาพ



รูปที่ 2.1 ตัวอย่างกระจก 3 ชั้น พร้อมกับเลนส์ที่ประกอบเป็นหัวสแกนเนอร์

7) อุปกรณ์จับประจุไฟฟ้า (CCD) เป็นอุปกรณ์หัวใจของการตรวจจับภาพ ซีซีดีเป็นเทคโนโลยีที่ตรวจจับแสง (Optical sensor) ซีซีดี คือชุดของไดโอดขนาดเล็กที่มีความไวแสง โดยจะเปลี่ยนโฟตอน (ซึ่งคือแสง) ให้เป็นอิเล็กตรอน (ซึ่งคือสัญญาณไฟฟ้า) ไดโอดชนิดนี้จะเรียกว่า Photosites ซึ่งเอกสารที่ต้องการตรวจจับภาพจะถูกวางครอบบนซีซีดีซึ่งเป็นเทคโนโลยีที่เครื่องตรวจจับภาพใช้ในการจับภาพที่แปลงข้อมูลอนาล็อกให้เป็นข้อมูลในรูปดิจิทัล จากนั้นข้อมูลจะถูกส่งไปจับผ่านระบบออฟดีคัต ซึ่งเป็นเลนส์และระบบกระจก แล้วประมวลผลไปใช้ต่อไป



รูปที่ 2.2 ตัวอย่าง CCD

แผงวงจรรวม (Control Circuitry) ใช้สำหรับกำหนดและควบคุมการทำงานของเครื่องตรวจจับภาพในเรื่องของความละเอียด ความสว่าง (Brightness) สัดส่วนขนาดของภาพและการเลือกพิมพ์จากการตรวจจับภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คุณสมบัติเฉพาะของชุดหัวสแกนเนอร์

2.2.1 ความละเอียดของภาพและการแต่งเติม

ความละเอียดของภาพเป็นคุณสมบัติแรกที่ผู้ใช้งานสแกนเนอร์ควรทราบ โดยปกติแล้วชุดหัวสแกนเนอร์จะเก็บรายละเอียดของสิ่งที่อ่านและแบ่งออกเป็นจุดเล็ก ๆ หรือที่เรียกว่า พิกเซล ดังนั้นความละเอียดจึงเป็นการวัดจำนวนพิกเซลที่ชุดหัวสแกนเนอร์สามารถเก็บรายละเอียดของเอกสารหรือภาพโดยวัดเป็นจุดภาพต่อตารางนิ้ว หรือ dpi (Dot Per Inch) ส่วนใหญ่ชุดหัวสแกนเนอร์มีความละเอียดเริ่มต้นที่ 300 dpi หรือ 300×300 จุดต่อนิ้ว หรือเรียกอีกอย่างหนึ่งว่าชุดหัวสแกนเนอร์สามารถอ่านภาพที่สแกนได้ 90,000 พิกเซลต่อพื้นที่ 1 ตารางนิ้วในการเครื่องตรวจจับภาพจะอ่านภาพ 2 ครั้ง อ่านไปและอ่านย้อนกลับอีกทียวหนึ่ง

บางครั้งความละเอียดของการตรวจจับภาพอาจมีค่าแตกต่างกันเช่น 300×600 จุดต่อนิ้ว หมายความว่า ชุดหัวสแกนเนอร์หยุดเมื่ออ่านค่าในแนวตั้งบ่อยครั้งกว่าอ่านในแนวนอน ซึ่งดูเหมือนว่าเอาต์พุตที่ได้จะมีคุณภาพดีกว่า แต่การพิจารณาควรพิจารณาจากตัวเลขที่น้อยกว่าแทน เพราะเป็นค่าที่บอกถึงคุณภาพของการตรวจจับภาพที่น่าเชื่อถือ

ชุดหัวสแกนเนอร์รุ่นใหม่ ๆ จะมีความละเอียดตั้งแต่ 300 600 1,000 1,200 dpi ชุดหัวสแกนเนอร์บางรุ่นมีค่าความละเอียด 2 ประเภท คือ Optical และ Interpolate (หรือ Enhanced) ความละเอียด Optical จะวัดจากจำนวนพิกเซลจริง ๆ ถ้าความละเอียดมีค่าสูง คุณภาพงานที่ได้จะสูงตามไปด้วย ส่วนความละเอียด Interpolate เป็นค่าเฉลี่ยที่ค่าพิกเซล 2 พิกเซลติดกัน เพื่อสร้างพิกเซลที่สามสี่ของจุดที่สร้างขึ้นใหม่จะอยู่ระหว่างจุด 2 จุดที่อยู่ติดกัน ชุดหัวสแกนเนอร์จะคาดคะเนจุดที่จะสร้างใหม่นี้ในระหว่างการตรวจจับภาพเลย สำหรับในการพิจารณาให้ใช้ค่าความละเอียด Optical ซึ่งเป็นค่าที่บอกถึงความละเอียดจริง ๆ ของการตรวจจับภาพและมีความน่าเชื่อถือมากกว่า

2.2.2 สีและโทนสี

สีและโทนสีเป็นส่วนที่สำคัญเกี่ยวกับการตรวจจับภาพ ดังนั้นภาพจากชุดหัวสแกนเนอร์จะอยู่ในรูปแบบดิจิทัล ขนาดของไฟล์รูปภาพ จะประกอบด้วยจำนวนพิกเซลเป็นร้อยเป็นพัน ซึ่งจะถูกบันทึกค่าความเข้มสีของพิกเซลแต่ละพิกเซล ด้วยจำนวน 1 บิต หรือหลาย ๆ บิต และรูปแบบการเก็บข้อมูล มีหลายระบบซึ่งคิดจากบิต เช่น 1 บิต 8 บิต 24 บิต โดยถ้าเป็นข้อมูลแบบ 1 บิต จะใช้สำหรับเก็บข้อมูลพิกเซล 2 สถานะ คือ “ 1 ” และ “ 0 ” ซึ่งจะแสดงสีได้เฉพาะขาวกับดำ แต่ถ้าเป็น 8 บิต จะได้ความแตกต่างของสีถึง 256 ระดับ การรวมแม่สีมีเทคนิคที่เรียกว่า Dithering ซึ่งจะแสดงสีได้ไม่เหมือนกับ ความจริงที่เห็นได้ สำหรับ 24 บิต จะให้ภาพที่มีสี

ใกล้เคียงจริงมากที่สุด เรียกว่า Photo Realistic โดยจะแบ่ง 24 บิตเป็น 3 ส่วน คือ แดง , เขียว , น้ำเงิน ส่วนละ 8 บิต เมื่อรวมทั้ง 3 เข้าด้วยกันแล้ว จะสามารถแสดงสีได้ถึง 16.7 ล้านสี

2.3 CCD (Charge Coupled Device)

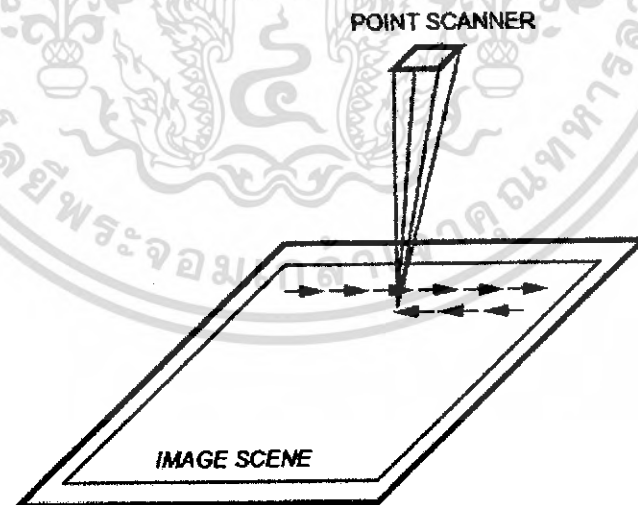
2.3.1 การแนะนำ CCD

CCD ถูกประดิษฐ์ครั้งแรกในช่วงปลายทศวรรษ 1960 โดย Bell Labs โดยเบื้องต้นมีจุดมุ่งหมายที่จะพัฒนา Computer memory circuit และในปี 1970 ได้ถูกนำออกมาสาธิตการใช้งาน อย่างไรก็ตาม CCD ยังสามารถนำมาใช้ในด้านอื่น ๆ ได้อีก รวมถึงการประมวลผลของสัญญาณ (Signal Processing) และการสร้างรูปภาพ (Imaging) ในที่สุด CCD ก็ได้รับการพัฒนาให้มีความสามารถตอบสนองกับแสงที่มีความยาวคลื่นน้อยกว่า 1.1 ไมครอนเมตร (ช่วง Spectrum ของแสงที่สามารถมองเห็นได้ของมนุษย์คือ 0.4 ไมครอนเมตร ถึง 0.7 ไมครอนเมตร) ในปัจจุบันการนำ CCD มาใช้ในการสร้างหน่วยความจำจึงลดลง แต่ได้นำมาประยุกต์ใช้ในการตรวจสอบและสร้างภาพ (Imaging Sensor)

2.3.2 รูปแบบและขนาดของ CCD

การสร้างรูปแบบ (Image Sensing) สามารถทำได้โดยการใช้เทคนิค 3 เทคนิคดังนี้

1) ตรวจสอบภาพแบบจุด (Point Scanning) ดังรูปที่ 2.3 ซึ่งจะมีการอ่านค่าที่จุดเพียงจุดเดียวเรียกว่าพิกเซล (Pixel) โดยรูปจะได้รับการอ่านตามลำดับตามคู่ลำดับ X Y



รูปที่ 2.3 Point Scanning

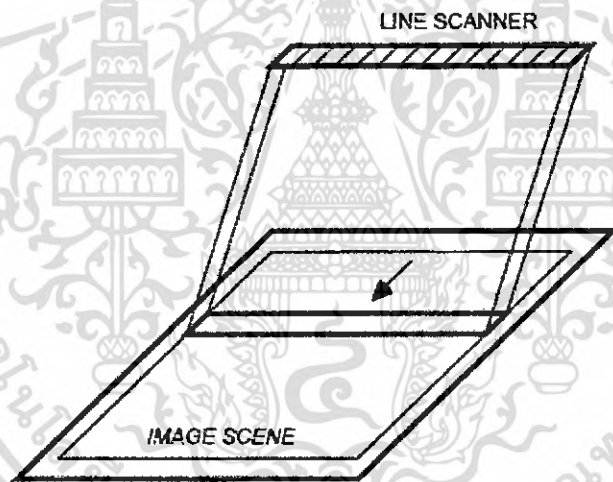
ข้อดี

- คุณภาพของภาพที่ได้สูง
- มีการอ่านค่าแบบ Uniform (ทุกจุดบนรูปแบบอ่านด้วย CCD เดียวกัน)
- พัฒนาง่าย

ข้อเสีย

- อาจมีข้อผิดพลาดจากการเลื่อนตำแหน่งในการอ่านข้อมูล
- ความเร็วต่ำ

2) ตรวจจับภาพแบบเส้น (Line Scanning) ดังรูปที่ 2.4 มีการนำเอา CCD แบบ Point Scanning หลาย ๆ รูปมาประกอบกันในแนวเส้นตรง ทำให้สามารถอ่านค่าได้เป็นแถวในคราวเดียวกัน จากนั้นจึงเลื่อนไปหาแถวอื่น ๆ



รูปที่ 2.4 Line Scanning

ปัญหา

- จะทำอย่างไรให้ CCD อยู่ชิดกันมากๆเพื่อการประมวลผลของภาพดีที่สุด

ข้อดี

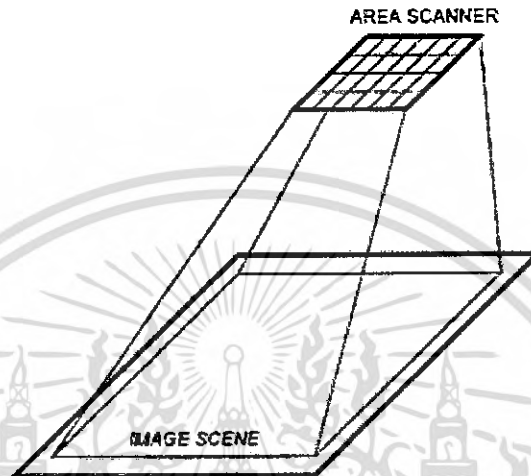
- เร็วกว่าแบบ Point Scanning

ข้อเสีย

- การอ่านค่า CCD หลายๆ ตัวทำให้เกิด Error และอ่านค่าได้ไม่เท่ากันในแต่ละจุด
- ราคาสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ตรวจจับภาพทั่วพื้นที่ (Area Scanning) ดังรูปที่ 2.5 ใช้ Array 2 มิติของ CCD แบบ Point Scanning จะสามารถอ่านข้อมูลได้มากขึ้นในการตรวจจับ 1 ครั้ง



รูปที่ 2.5 Area Scanning

ข้อดี

- อ่านข้อมูลได้เร็วที่สุด
- มีความซับซ้อนต่ำ

ข้อเสีย

- มีอัตราข้อมูลต่อสัญญาณรบกวน (Signal to Noise Ratio) ต่ำ
- ราคาเพราะมีจำนวนของ CCD ที่จะใส่ใน Wafer ต่ำลง

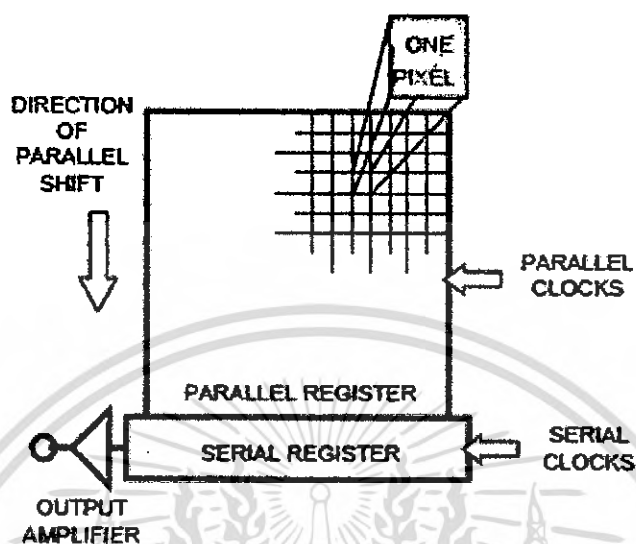
2.3.3 สถาปัตยกรรมของ CCD (CCD Architectures)

CCD มีหลายรูปแบบสถาปัตยกรรม ซึ่งรูปแบบหลักที่ใช้ในปัจจุบัน คือ Full Frame (FF) , Frame Transfer (FT) , Interline (IL)

1) Full Frame (FF) มีรูปแบบการทำงานที่ง่ายที่สุดในการทำงาน วิธีนี้จะประกอบไปด้วย (ดังรูปที่ 2.6)

- Parallel CCD Shift Register
- Serial CCD Shift Register
- Signal Sensing output amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 Full-Frame Architecture

รูปภาพจะได้รับสัญญาณได้จะถูกส่งไปจุดของ Array แบบขนาน (Parallel) ต้องทำหน้าที่เป็นระนาบของรูปภาพ จากนั้นภาพที่ได้จะถูกแบ่งออกเป็นบล็อก ๆ ในรูปแบบของ Discrete element ซึ่งจำนวนของ Discrete element นี้จะถูกกำหนดด้วยจำนวนพิกเซลในแนวราบ ซึ่งจะทำให้แถวของรูปภาพ จะถูก Shift ไปในรูปแบบ Parallel ไปเรื่อย ๆ จน เป็นข้อมูลที่เป็น Stream จนกว่าข้อมูลทุก ๆ ของภาพจะถูกถ่ายโอนไปจาก Chip เสร็จสมบูรณ์ และ Stream ที่ได้ นั้นจะถูกนำไปสร้างเป็นภาพอีกครั้ง

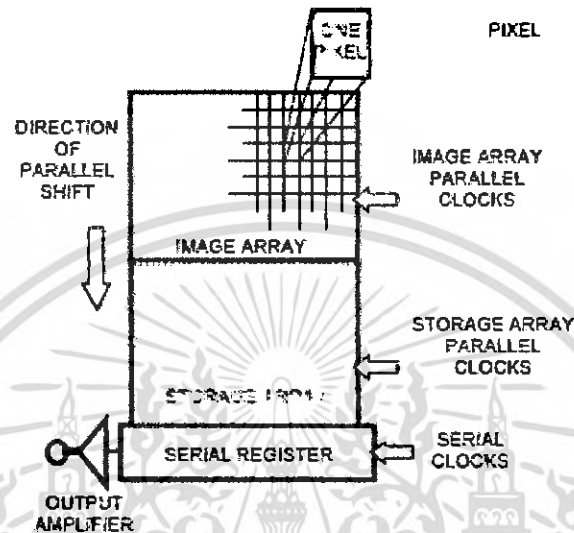
วิธีนี้ต้องมีการ Synchronized ระหว่าง Illumination (แหล่งกำเนิดแสง) และการอ่านข้อมูลออกในรูปแบบของ Stream นี้เพื่อรักษาภาพของภาพ

ข้อดี

- ง่ายในการออกแบบ
- Resolution สูง และ Density สูง

2) Frame Transfer (FT) ดังรูปที่ 2.7 CCD แบบ Frame Transfer นั้นจะมีการทำงานคล้ายกับแบบ Full Frame แต่จะแตกต่างกันตรงที่จะมีการแยก Parallel Register ออกต่างหาก เรียกว่า Storage Array ซึ่งตัวนี้จะไม่ไวต่อแสง โดยแบบ Frame Transfer จะอ่านภาพแต่ละภาพ

จาก Storage Array จากนั้นจึงประมวลผลสัญญาณเช่นเดียวกับแบบ Full Frame ในขณะที่กำลังประมวลผลอยู่นั้น Storage Array ก็กำลังเก็บข้อมูลของภาพใหม่ต่อไป



รูปที่ 2.7 Frame-Transfer Architecture

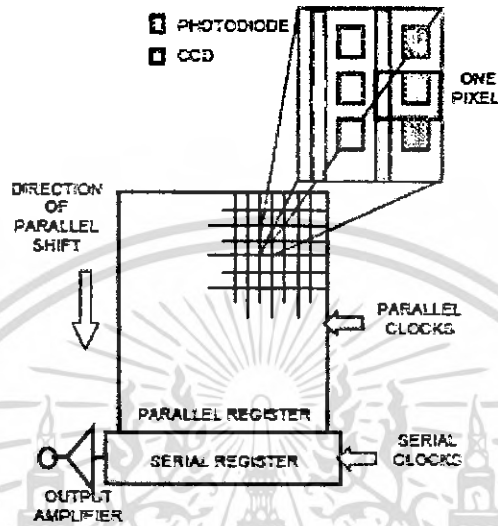
ข้อดี

- มีความต่อเนื่องในการทำงาน
- มี Frame Rates

ข้อเสีย

- Resolution ต่ำกว่า FF
- ราคาสูงกว่า FF

3) Interline (IL) ดังรูปที่ 2.8 มีการแยกหน่วยที่ทำหน้าที่ในการตรวจจับ ออกจากส่วนอ่านค่า โดยการเพิ่มส่วนที่ช่วยกันลำแสง (Light Shielded) เข้าไปในระหว่างแถวของอุปกรณ์ในการตรวจจับภาพซึ่งช่วยให้ทุก ๆ พิกเซลที่เก็บข้อมูลได้จะถูกส่งไปยังส่วนที่กันลำแสงทันทีและจะได้ผลลัพธ์เช่นเดียวกับแบบ Full Frame และ Frame Transfer แต่แบบ Full Frame และแบบ Frame Transfer นั้นในขณะที่อ่านค่าจะสามารถประมวลผลภาพถัดไปได้ในอัตราการทำงานที่ต่าง ๆ กัน



รูปที่ 2.8 Interline Architecture

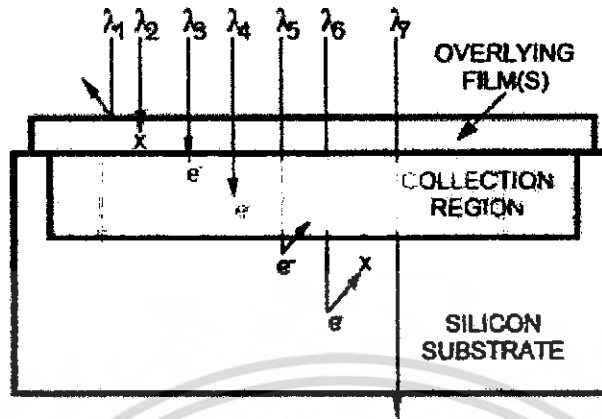
ข้อเสีย

- มีความซับซ้อนสูง ทำให้มีราคาสูงตามไปด้วย
- มีความไวต่ำ เพราะมีส่วนที่ไวแสงน้อย ต้องเสียพื้นที่ไปกับส่วนที่กั้นลำแสง
- เกิดความล่าช้าในการเปลี่ยนข้อมูลจาก Photodiode ไปยัง CCD

2.3.4 CCD พื้นฐาน (CCD Basic)

การสร้างภาพของ CCD มี 3 ขั้นตอน

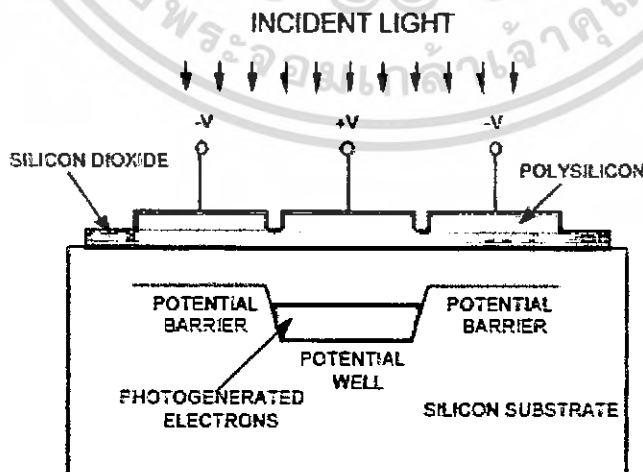
- 1) การเปลี่ยนจากแสง (Photon) เป็นประจุไฟฟ้า การทำงานเริ่มขึ้นเมื่อแสงในรูปของ Photon ให้ตกลงไปยังภาพเป็น Array ของพิกเซล และจะเกิดการดูดซับ Photon โดยซิลิกอน และทำให้เกิดการตอบโต้ขึ้น เป็นการสร้างหลุมอิเล็กตรอน (Electron Hold) ดังรูปที่ 2.9



รูปที่ 2.9 Photon Interaction with Silicon

จำนวนของอิเล็กตรอน ที่ได้ในแต่ละพิกเซลจะเป็นสัดส่วนโดยตรงกับพลังงานแสงและแสงที่ฉายแสงลงไปและเป็น Non-Linearly กับความยาวคลื่น (Wave Length) กับลายปัจจัยที่ส่งผลต่อการตรวจจับ อิเล็กตรอน ดังนั้นจึงมีการฉาบฟิล์มบาง ๆ บนผิวของซิลิกอนเพื่อลดการหักเหของแสงที่อาจเกิดขึ้นภายในตัวเก็บประจุที่เปลี่ยนแปลงตามปริมาณ โฟตรอนจะถูกดูดซับที่ความลึก (Depth) ต่างๆ กันของซิลิกอนตามแต่ความยาวคลื่นของโฟตรอนและบางส่วนไม่สามารถตรวจจับได้

2) Potential Wells and Barriers, CCD ถูกผลิตขึ้นตามหลักของ MOS (Metal Oxide Semiconductor) โครงสร้าง CCD จึงประกอบไปด้วยชั้นต่างๆ ชั้นๆ กันตามแนวตั้ง ดังรูปที่ 2.10 โดยจะมีชั้นของตัวนำวางอยู่บนสารกึ่งตัวนำซึ่งแยกออกจากกันโดยใช้ Silicon dioxide

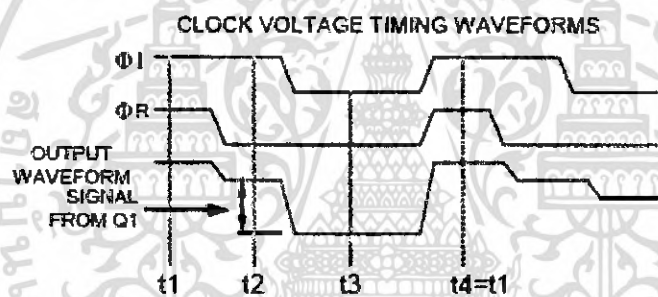


รูปที่ 2.10 Potential Well and Barriers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจ่ายแรงดันให้กับ Polysilicon gate จะทำให้ความต่างศักย์ของไฟฟ้าสถิตของ Silicon เกิดจากการเปลี่ยนแปลงทำให้เกิดความต่างศักย์ที่สามารถตรวจจับได้เมื่อมีการสร้างอิเล็กตรอนจากแสงที่ตกกระทบ (Incident light) ซึ่งจะเกิดขึ้นที่ Gate เหล่านั้นถูกตรึงไว้

3) Readout Techniques , ประจุที่ได้จะถูกส่งเป็นผลลัพท์ไปยังอุปกรณ์ ซึ่งอิเล็กตรอนจะถูกเปลี่ยนเป็นแรงดันซึ่งจะง่ายขึ้นในการทำงานของ Chip ซึ่งเทคนิคในการเปลี่ยนนี้ ก็คือการใช้ floating diffusion sense node ตามด้วยการปรับเปลี่ยนแรงดันตามแหล่งจ่ายของวงจร ในการทำงานเริ่มจากการ เคลื่อนอุปกรณ์ ผ่านทาง reset gate และ reset drain เพื่อเป็นการคายประจุ จากนั้นแรงดันที่จ่ายเข้าไปใหม่จะไปทำการชาร์ตประจุอีกครั้งและทำการเปรียบเทียบกับแรงดันอ้างอิง และส่งไปยัง Output ของอุปกรณ์ และในหลักการทำงานนี้จะถูกการเลื่อน Phase ไปยังสุดท้ายของ CCD ดังรูปที่ 2.11

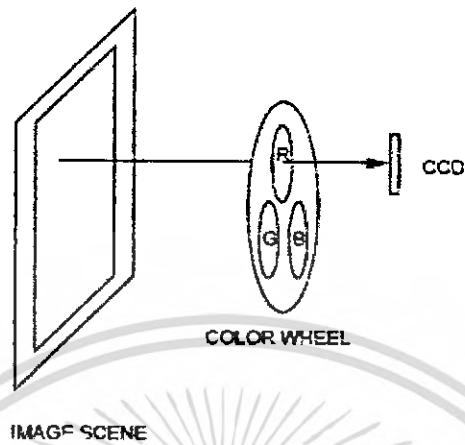


รูปที่ 2.11 Floating Diffusion Readout Structure

2.3.5 เทคโนโลยีของ CCD

2.3.5.1 การใช้ CCD ในการสร้างภาพ Monochrome (สีเดียว) ทำให้ไม่เป็นธรรมชาติ ในการที่จะระบุสีต่าง ๆ ได้แก่ แดง เขียว น้ำเงิน (RGB) ในแต่ละพิกเซล มี 3 วิธีการ ในการที่จะแยกสีต่าง ๆ ออกได้ แต่ปัญหาหลักร่วมกันก็คือ ต้องมีปริมาณข้อมูลเพิ่มมากขึ้นถึง 3 เท่า

1) Color Sequential ดังรูปที่ 2.12 วิธีนี้จะทำให้การใช้การฉายแสงสลับกันไปทีละสีโดยใช้ตัวกรองแสงตามแต่ละสีที่ต้องการ และนำข้อมูลที่ได้อาสร้างเป็นรูปใหม่



รูปที่ 2.12 Color Sequential Capture

ข้อดี

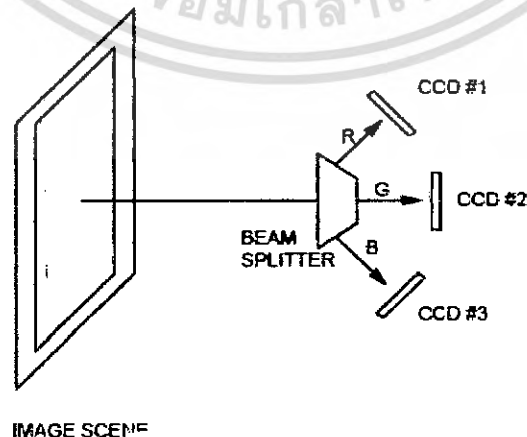
- คุณภาพจะยังคงเหมือนเดิมกับการใช้ CCD สีเดียว

ข้อเสีย

- การใช้แหล่งกำเนิดแสงสามแหล่งทำให้ลดจำนวนภาพในแต่ละหน่วยเวลาลงถึง 3 เท่า
- ตารางเพิ่มกลไกการสลับ Filter ของแสง เป็นการทำให้ระบบซับซ้อนขึ้น

2) Three-Chip Color ดังรูปที่ 2.13 จะเป็นการใช้การสลับสี โดยใช้วงจรของ Filter การใช้ Three-Chip Color จะใช้แสงในการแยกภาพออกเป็น 3 ภาพย่อย (ตามสีที่แยกได้) และให้ CCD ในแต่ละช่วงสี ซึ่งวางไว้ในตำแหน่งที่เหมาะสม และอ่านค่าพร้อม ๆ กัน

วิธีนี้ภาพจะถูกสร้างขึ้นโดยการ Synchronizing Output ระหว่าง CCD ถึง 3 แสงนำมาสร้างเป็นภาพเดียวกัน



รูปที่ 2.13 Three-chip Color Capture

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

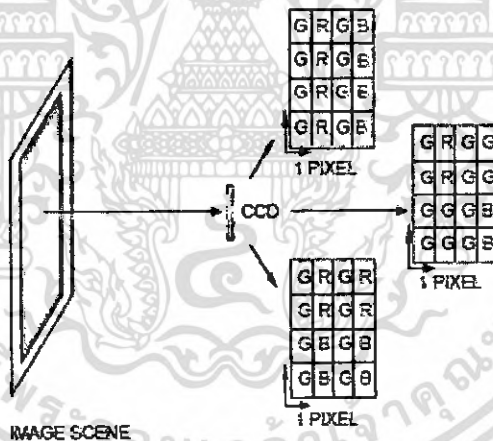
ข้อดี

- อัตราการทำงานเท่ากับการใช้ CCD ชุดเดียว

ข้อเสีย

- ความซับซ้อนสูงมาก
- การปรับค่าของ CCD แต่ละหน่วยเป็นไปได้ยาก
- Effective data rate เป็น 3 เท่า

3) Integral Data Filter Array (CFA) ดังรูปที่ 2.14 แทนที่จะใช้ในการสร้าง chip ซึ่งแยกสีต่าง ๆ เป็น 3 สี วิธีนี้จะมีการสร้างคุณสมบัติพิเศษบน Chip ให้สามารถตอบสนองต่อสีทั้ง 3 ได้ด้วยตนเองในแต่ละพิกเซล โดยการใช้ Photo resists ในรูปแบบต่าง ๆ แต่การตรวจรับจะได้สีในรูปแบบ CMY (Cyan , Magenta , yellow)



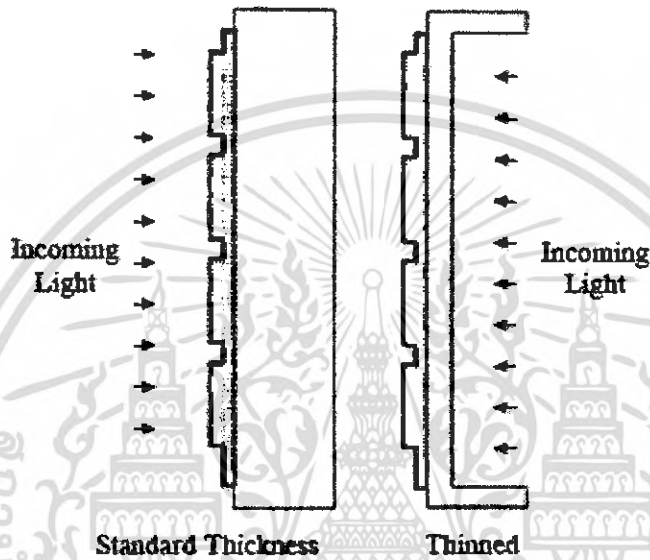
รูปที่ 2.14 Integral Color Filter Array Patterns

ข้อเสีย

- ไม่ได้สีเป็น RGB ทำให้ได้รูปไม่เป็นตามธรรมชาติ
- ข้อมูลสูญหายทำให้ Resolution ลดลงต้องเพิ่ม Sampling
- ต้องมีการสร้างพิกเซลที่มีข้อมูลของสีที่ขาดหายไปขึ้นมาใหม่

2.3.5.2 การทำให้ซิลิกอนบางลง (Silicon Thinning) ดังที่กล่าวมาแล้ว ฟิล์มบาง ๆ จะช่วยในการดูดซับการสะท้อนแสงตามความขมกลืน แล้วอิเล็กตรอนจะถูกสร้างขึ้นด้านบนของเอกซารีนเป็นเอกซารีนที่ส่งวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นผิว (ปกติจะเป็นแสงอุตราไวโอเลต และแสงสีน้ำเงิน) อิเล็กตรอนเหล่านี้จะเกิดการสูญหายไปโดยการทำปฏิกิริยากับพื้นผิวซิลิกอน ในการเพิ่มการตอบสนองให้กับ CCD นั้นจำเป็นจะต้องทำให้ด้านหลังของแผ่นเวเฟอร์บางลงซึ่งมีความหนาประมาณ 10 – 15 ไมโครเมตร ดังรูปที่ 2.15



รูปที่ 2.15 Normal and Thinned CCD

ข้อดี

- การตอบสนองของแสงสีน้ำเงินและอุตราไวโอเลตดีขึ้น

ข้อเสีย

- ราคาแพง
- การหีบจับยาก

2.3.5.3 UV Enhancement Coating เนื่องจากว่าการทำให้ซิลิกอนบางลงได้ยาก เพราะฉะนั้นจะมีการเพิ่ม Phosphors ลงไปที่ด้านบน CCD Phosphors นี้จะมีลักษณะใสและหนาประมาณ 0.45 ไมโคร

ข้อดี

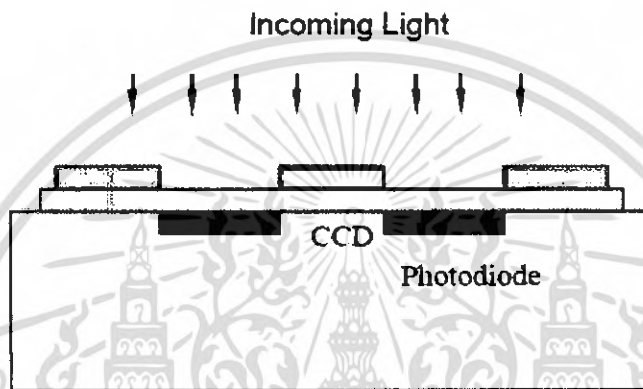
- จะเป็นตัวดูดซับ UV และแสงสีน้ำเงินให้มีช่วงความยาวคลื่นสูงขึ้น

ข้อเสีย

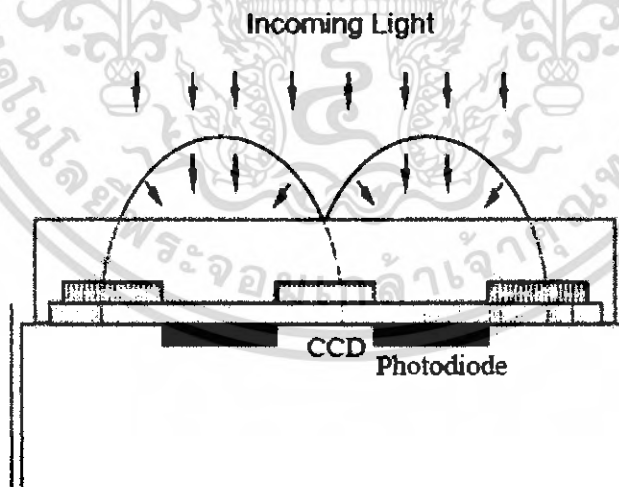
- ในกรณีที่เกิดการกระเจิงของแสงจะทำให้ข้อมูลสูญหายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5.4 Microlenticular Array เนื่องจากการอ่านโดยใช้เทคนิค Inline (IL) จะทำให้มีความไวต่ำเนื่องจากต้องมีการเพิ่มแถวของโฟโตไดโอดขึ้น ดังนั้นเพื่อจะปรับปรุงความไวแสงให้มากขึ้นจึงได้มีการสร้างเลนส์เล็ก ๆ ครอบขึ้นในแต่ละพิกเซล ซึ่งเลนส์เหล่านี้จะทำการรวมแสงที่ส่งไปยังอุปกรณ์ซึ่งไม่ไวต่อแสง ให้ส่งไปยังบริเวณที่ไวต่อแสง (Photo Diode) เพียงอย่างเดียว ดังรูปที่ 2.16 และ 2.17



รูปที่ 2.16 Interline CCD Showing Photodiode and Non Sensitive CCD covered by Light Shield



รูปที่ 2.17 Interline CCD With Microlenticular Array

ข้อดี

- มีความไวแสงเพิ่มขึ้นเป็น 3 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ข้อเสีย

- การบรรจุอุปกรณ์ทำได้ยาก
- การออกแบบเลนส์ทำได้ยาก

2.3.5.5 CCD ความเร็วสูง (High Speed CCD) ในการพัฒนา CCD ให้สามารถรองรับอัตราการทำงานได้มากขึ้นนั้นจำเป็นต้องพัฒนา CCD ให้มีความไวสูงขึ้นตามไปด้วย เช่น

1) การสร้างวงจรขยายสัญญาณบนชิพ CCD ซึ่งจะต้องระมัดระวังไม่ให้ใช้พลังงานมากเกินไป เพราะจะทำให้คุณภาพของการอ่านข้อมูลลดลง

2) การทำให้ CCD มีหลาย ๆ Output โดยการแบ่งกลุ่มของ CCD ออกเป็นบล็อกแล้วสามารถทำให้การอ่านข้อมูลทำพร้อม ๆ กันได้ แต่จะต้องไม่ให้มีจำนวน Output มากเกินไปจะทำให้การประมวลผลยุ่งยาก



72235

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

โครงสร้างและหลักการทำงานของ FPGA

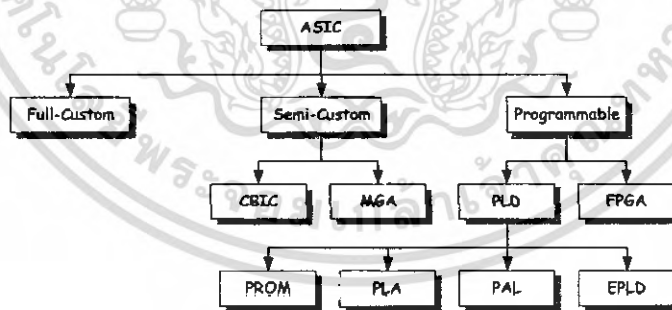
3.1 ความเป็นมาของเอซิก (ASIC)

ในช่วงก่อนทศวรรษ 1970 นักประดิษฐ์ได้คิดค้นวงจรรวมหรือไอซีเป็นตัวแรก ในยุคแรกนั้น ไอซีขนาดเล็กหรือ SSI (Small-Scale Integration) มีเกทดิจิทัลจำนวนน้อย ต่อมาได้เพิ่มปริมาณของเกทดิจิทัลและฟังก์ชันทางลอจิกให้มากขึ้นจนเป็น MSI (Medium-Scale Integration) การพัฒนาทำมาอย่างต่อเนื่องจนเป็น LSI (Large-Scale Integration) ซึ่งเป็นยุคที่มีการสร้างไมโครโปรเซสเซอร์ตัวแรกขึ้น ส่วนในปัจจุบันนี้จะเป็นยุคของ VLSI (Very Large-Scale Integration) และมีการพัฒนาทำมาอย่างต่อเนื่องและจากการเกิดของ VLSI (Very Large-Scale Integration) ทำให้มีการคิดค้นที่จะผลิตไอซีตามความต้องการของลูกค้า โดยไอซีเหล่านี้มีชื่อเรียกว่า ASIC : Application-Specific Integrated Circuit

3.2 ประเภทของ ASIC

ASIC แบ่งเป็น 3 ประเภทใหญ่ๆ คือ Full-custom, Semi-custom และ Programmable ดังรูป

ที่ 3.1



รูปที่ 3.1 ประเภทของ ASIC

3.2.1 Full-custom

ASIC ประเภทนี้ลูกค้าจะเป็นผู้ออกแบบเซลล์ลอจิก และลักษณะการจัดวางอุปกรณ์บนตัวไอซีรวมถึงหน้ากาสำหรับควบคุมการเจือและสร้างชั้นสาร (Mask) ต่างๆ ที่ใช้ในการทำไอซีเอง ดังนั้นค่าใช้จ่ายในการออกแบบและการผลิตจะสูงมาก

3.2.2 Semi-custom

ASIC ประเภทนี้เซลล์ลอจิกจะถูกออกแบบเอาไว้ก่อนแล้วในรูปแบบของไลบรารีและลูกค้าจะเป็นผู้ออกแบบ Mask ต่างๆ เอง ตัวอย่างของไอซีประเภทนี้ได้แก่ Standard-Cell-Based ASIC และ Masked Gate-Array-Based ASIC

- Standard-Cell-Based ASIC

ไอซีประเภทนี้จะมีพื้นที่สำหรับจัดวางเซลล์ลอจิกมาตรฐานซึ่งถูกออกแบบเอาไว้แล้ว ในบางครั้งเซลล์มาตรฐานเหล่านี้จะถูกนำมาประกอบกันเป็นเซลล์ที่มีขนาดใหญ่ขึ้นเรียกว่า Megacell สำหรับการออกแบบนั้นผู้ออกแบบจะทำเพียงแต่กำหนดตำแหน่งของเซลล์มาตรฐานและการเชื่อมต่อภายในของแต่ละเซลล์เท่านั้น แต่อย่างไรก็ดีเซลล์ต่างๆ เหล่านี้สามารถวางที่ตำแหน่งใดก็ได้บนแผ่นเวเฟอร์ซิลิกอน นั่นก็หมายความว่าชั้น Mask จะถูกจัดวางตามความต้องการของผู้ออกแบบ

- Masked Gate-Array-Based ASIC

ไอซีชนิดนี้จะมีทรานซิสเตอร์หรือเกทถูกสร้างมาในลักษณะของอะเรย์สองมิติบนแผ่นเวเฟอร์ซิลิกอน และผู้ออกแบบจะทำการออกแบบ Mask เพื่อใช้สำหรับกำหนดการต่อเชื่อมของทรานซิสเตอร์แต่ละตัว

3.2.3 Programmable

ASIC ประเภทนี้เซลล์ลอจิกจะถูกออกแบบไว้ก่อนเช่นเดียวกับ Semi-Custom แต่ชั้นของ Mask จะไม่สามารถเปลี่ยนแปลงได้ตามความต้องการของผู้ออกแบบ ไอซีประเภทนี้ยังแบ่งออกเป็น 2 ชนิดคือ Programmable Logic Device (PLD) และ Field-Programmable Gate Array (FPGA)

1) Programmable Logic Device (PLD)

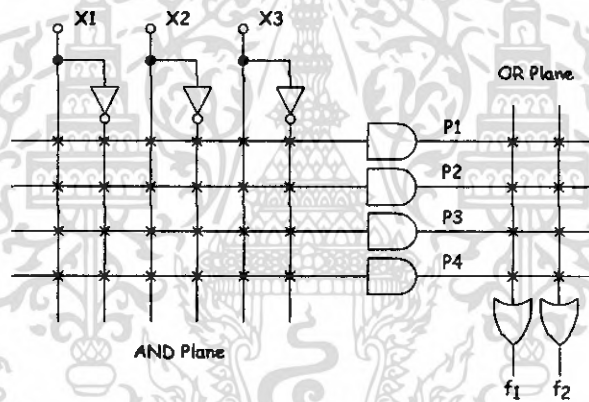
มีโครงสร้างภายในเป็นวงจรพื้นฐานทางด้านลอจิกต่อกันอยู่เป็นกลุ่มซึ่งมีทั้งวงจร คอมบิเนชัน (Combination) และซีควนเชียล (Sequential) ไอซี PLD ทุกชนิดมีหลักการพื้นฐานของวงจรรภายในที่เหมือนกัน โดยมีวงจรคอมบิเนชันที่เป็นผลคูณร่วมบวก (Sum of product) ประกอบไปด้วยชุดของแอนด์เกทต่อร่วมกับออร์เกท และในการโปรแกรมจะเป็นการเลือกว่าอินพุทภายในของแอนด์เกทกับสัญญาณอินพุทใดบ้างที่จะต้องต่อถึงกัน ซึ่งมีทั้งจากภายนอกและสัญญาณป้อนกลับจากเอาต์พุทภายในเอง สำหรับไอซีในตระกูล PLD ได้แก่ PROM, PAL, PLA และ EPLD

- PROM (Programmable Read Only Memory)

PROM คือหน่วยความจำประเภท ROM ซึ่งนับว่าเป็นไอซี PLD ชนิดหนึ่งซึ่งวงจรภายในของ PROM ประกอบไปด้วยอะเรย์ของแอนด์และออร์เกท (And - Or Array) ผลลัพธ์ที่ขาดำเอาที่พืทสามารถแสดงได้ในสมการของฟังก์ชันผลคูณร่วมบวก (Sum of product) ของสัญญาณอินพุทที่ขาแอดเดรส

- PLA (Programmable Logic Array)

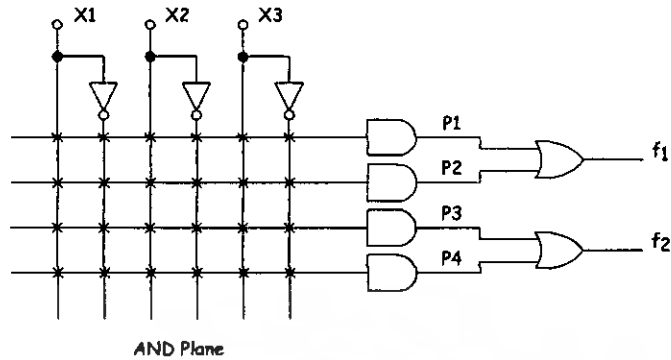
ลักษณะเด่นของ PLA คือสามารถโปรแกรมการเชื่อมต่อได้ทั้งทางด้าน AND และด้าน OR ทำให้มีความยืดหยุ่นในการใช้งานมาก แต่อย่างไรก็ด็ข้อเสีที่เห็นได้อย่างชัดเจนของ PLA คือความยุ่งยากในการสร้าง และคุณสมบัติทางด้านความเร็วที่ลดลงเนื่องจากสัญญาณจะต้องวิ่งผ่านอะเรย์ของ AND และ OR



รูปที่ 3.2 วงจรพื้นฐานภายในของ PLA

- PAL (Programmable Array Logic)

PAL มีลักษณะ โครงสร้างที่ใกล้เคียงกับ PROM และ PLA มาก แต่การโปรแกรม PAL จะสามารถทำได้เพียงด้าน AND เท่านั้น



รูปที่ 3.3 วงจรพื้นฐานภายในของ PAL

- EPLD (Erasable Programmable Logic Device)

EPLD เป็นอุปกรณ์ที่สามารถทำการโปรแกรมได้หลายครั้งซึ่งเหมาะสำหรับการทำวงจรต้นแบบ สำหรับเทคโนโลยีที่ใช้ในการสร้างจะเหมือนกับ CMOS EPROM คือใช้มอสทรานซิสเตอร์เชื่อมต่อระหว่างสัญญาณอินพุตกับจุดที่ต้องการการใช้ฟิวส์แบบเดิม ทำให้สามารถโปรแกรมการต่อวงจรภายในอุปกรณ์ด้วยการจ่ายไฟฟ้าตามขนาดที่กำหนดไว้ และลบได้โดยใช้แสงอัลตราไวโอเลตผ่านช่องหน้าต่างกระจกของตัวชิป

2) Field-Programmable Gate Array (FPGA)

เป็นอุปกรณ์ที่มีความซับซ้อนมากกว่า PLD ไปอีกระดับหนึ่ง ซึ่งในความเป็นจริงแล้ว PLD และ FPGA แตกต่างกันน้อยมาก สำหรับ FPGA แล้วนับว่าเป็นอุปกรณ์ตัวใหม่ในตระกูลของ ASIC ซึ่งมีการเจริญเติบโตอย่างรวดเร็วและมีบทบาทที่สำคัญในการเข้ามาแทนที่ระบบอิเล็กทรอนิกส์ที่ใช้ TTL

โครงสร้างภายในของ FPGA ประกอบไปด้วยอะเรย์ของลอจิกเกตต่างๆมากมาย ซึ่งในปัจจุบันความจุเกตภายในตัวชิป FPGA ได้เพิ่มขึ้นจากระดับไม่กี่พันตัวจนถึงระดับล้านตัว ซึ่งสามารถรองรับวงจรดิจิทัลที่มีความซับซ้อนได้เป็นอย่างดี นอกจากนี้ในด้านการออกแบบพัฒนาและทดสอบก็ทำได้ง่าย ซึ่งในปัจจุบันการออกแบบวงจรโดยใช้ FPGA กำลังเป็นที่นิยมและมีแนวโน้มที่จะนำมาใช้งานมากขึ้นเรื่อยๆ

3.3 หลักการของ FPGA

ในปัจจุบันมี FPGA อยู่ 4 ชนิดที่วางขายอยู่ในท้องตลาดได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายในและการโปรแกรมที่แตกต่างกันไป นอกจากนี้ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรมซึ่งมีอยู่ 2 แบบคือ การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรมโดยการใช้หน่วยความจำ

3.3.1 การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพ

- Fuse เป็นวิธีการโปรแกรมที่สามารถทำได้เพียงครั้งเดียว ซึ่งหลังจากที่โปรแกรมแล้วจุดเชื่อมต่อจะขาดจากกัน

- Anti Fuse เป็นวิธีการโปรแกรมที่คล้ายกับแบบ Fuse แต่ต่างกันที่หลังจากทำการโปรแกรมแล้ว จุดเชื่อมต่อจะเชื่อมถึงกัน

3.3.2 การโปรแกรมโดยใช้หน่วยความจำ

- EEPROM Based FPGA

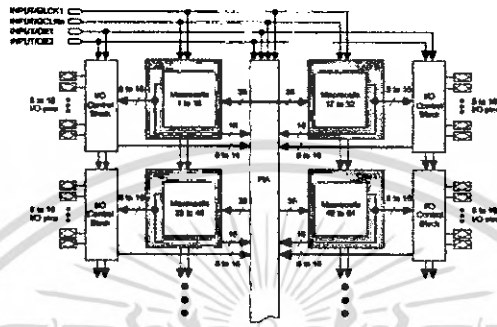
FPGA ที่ใช้การโปรแกรมแบบนี้มักเรียกว่า CPLD ซึ่งเทคโนโลยีที่ใช้จะเหมือนกับ EEPROM ทำให้มีความจุของเกตต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM Based FPGA คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่ต้องมีไฟเลี้ยง และในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต ซึ่งการโปรแกรมสามารถทำได้ประมาณ 10,000 ครั้ง

- SRAM Based FPGA

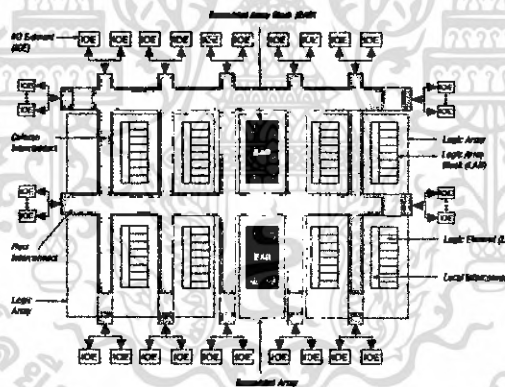
FPGA แบบนี้จะใช้เทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static RAM) ทำให้สามารถโปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกตในระดับปานกลางถึงสูงมาก (ประมาณ 10,000 – 1,000,000 เกต) ซึ่งข้อดีของ SRAM Based FPGA คือใช้เวลาในการโปรแกรมน้อย (ระดับ nsec) การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAM ทั่วไป และเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROM เพื่อเก็บโปรแกรมและทำการโหลดโปรแกรมลงในตัวชิพในขณะที่เริ่มต้นใช้งาน

3.3.3 โครงสร้างภายในของ FPGA

ลักษณะโครงสร้างภายในของ FPGA จะเป็นอะเรย์ของบล็อกลอจิกที่สามารถทำการโปรแกรมได้ดังรูปที่ 3.4 และ 3.5



รูปที่ 3.4 โครงสร้างภายในของ FPGA ตระกูล MAX7000S

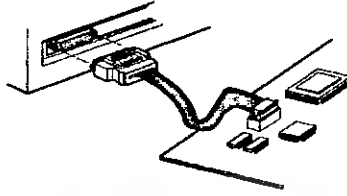


รูปที่ 3.5 โครงสร้างภายในของ FPGA ตระกูล FLEX10K

3.3.4 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว

- ผู้ออกแบบไม่ต้องเรียนรู้โครงสร้างภายในของชิพ เพียงแต่รู้เรื่องการออกแบบภายในก็พอแล้ว
- มีการออกแบบโดยใช้ภาษาในการอธิบายการทำงานของวงจรหรือ HDL ทำให้รวดเร็วและไม่จำเป็นต้องทราบลักษณะวงจรที่ต้องการว่าจะต่ออย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มันจากนั้นตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้ทั้งหมด
- การโปรแกรมสามารถทำได้ง่ายเพียงแค่ส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 การ โพรแกรมลงในชิพ

3.3.5 การออกแบบวงจร

การออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำได้สะดวก เนื่องจากผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซีและที่สำคัญ การออกแบบโดยวิธีนี้สามารถแก้ไข โมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยี สำหรับภาษาที่ใช้สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL, AHDL และ Verilog เป็นต้น ซึ่งรายละเอียดในการออกแบบสามารถอธิบายได้ดังนี้

1) การสังเคราะห์วงจร (Logic Synthesis)

ขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรมของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ VHDL และทำการตรวจสอบด้วยว่าซอฟต์แวร์นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) หรือไม่ ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด VHDL และทำการ Optimize เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้

การ Optimize ซอฟต์แวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั้นๆ จึงทำให้ผลที่ได้มีประสิทธิภาพ

ส่วนสำคัญในการ Optimize ก็คือการเทียบ (Mapping) โมเดลให้เข้ากับเทคโนโลยีที่ใช้ เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างและสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำการสังเคราะห์วงจรเสร็จแล้ว ซอฟต์แวร์การสังเคราะห์วงจรก็จะมีรายงานผลว่าโมเดลที่ออกแบบไปนั้นเป็นอย่างไรและจะทราบว่าโมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตามที่กำหนด

2) การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นกระบวนการแบ่งวงจรที่ได้จากการสังเคราะห์ เป็นส่วนย่อยๆ สำหรับลงใน CLB's, IOB's หรือองค์ประกอบอื่นๆ ภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่งคือให้แต่ละส่วนที่จะแยกออกจากกันมีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้ เพื่อลดความหนาแน่นในตอนที่ทำการเชื่อมต่อสัญญาณ (routing) ในขั้นตอนนี้จะใช้ซอฟต์แวร์ทำ โดยซอฟต์แวร์จะเทียบส่วนประกอบของวงจร

ขั้นตอนนี้เสร็จสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์ FPGA ไปเท่าไร ส่วนข้อมูลทางเวลานั้นผู้ออกแบบจะทราบเฉพาะความหน่วงภายในแต่ละส่วนเท่านั้น หรือที่เรียกว่าความหน่วงลอจิก (logic delay) ส่วนซอฟต์แวร์จะรวมเอาซอฟต์แวร์ย่อยอื่นๆ อีก เพื่อให้การทำ PPR (Partitioning Placement & Routing) เป็นไปอย่างต่อเนื่อง

3) การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นการเลือกทำเลที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (Partitioning) มาแล้วว่าควรจะอยู่ ณ ตำแหน่งไหนในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด

การวางอุปกรณ์ที่ดีควรวางส่วนต่างๆ ให้อยู่ใกล้กัน โดยเฉพาะส่วนที่มีการเชื่อมต่อสัญญาณด้วยกันนอกจากนั้นการกำหนดตำแหน่งขา I/O (I/O pin) ตามตำแหน่งขา I/O ของ FPGA บนแผ่น PCB ก็จะมีผลโดยตรงเลยคือซอฟต์แวร์จะวาง I/O ลงในตำแหน่งที่ผู้ออกแบบกำหนด ซึ่งบางครั้งตำแหน่งที่กำหนดไปไม่เหมาะสม ดังนั้นการกำหนดขา I/O ควรกำหนดตำแหน่งให้เหมาะสม หรือไม่ก็ให้ซอฟต์แวร์จัดการเอง

4) การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็นการเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่างๆ ภายในอุปกรณ์ FPGA ขั้นตอนนี้จะทำต่อเนื่องจากการวางอุปกรณ์ ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดีซอฟต์แวร์ก็จะทำการเชื่อมต่อสัญญาณได้ไม่หมด (เนื่องจากจำนวนทรัพยากรสำหรับเชื่อมต่อสัญญาณนั้นมีอยู่จำกัด) หรือเกิดความหน่วงเกินค่าที่กำหนดในข้อบังคับ

ขั้นตอนนี้สามารถทำโดยใช้ซอฟต์แวร์หรือทำการเชื่อมต่อสัญญาณเองก็ได้แต่ทางที่ดีควรใช้ซอฟต์แวร์ทำดีกว่า นอกจากนั้นการกำหนดข้อบังคับทางเวลา จะช่วยให้ผลที่ได้จากการเชื่อมต่อสัญญาณดีขึ้นได้

5) ความหน่วงด้านเวลา (Delay)

ในการทำ FPGA นั้นความหน่วงที่เกิดขึ้นเป็นความหน่วงที่เกิดจากการวางตำแหน่ง (layout) ของอุปกรณ์ สำหรับความหน่วงที่เกิดขึ้นนั้นแยกได้เป็นสองประเภทคือ

- ความหน่วงลอจิก (Logic delay) เป็นความหน่วงภายในองค์ประกอบของอุปกรณ์ FPGA เอง

- ความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ (Routing delay) เป็นความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณระหว่างองค์ประกอบภายในอุปกรณ์ FPGA

โดยปกติแล้วค่าความหน่วงลอจิกไม่ควรเกิน 50% ของค่าความหน่วงที่ยอมรับได้ เพราะความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณมักจะมีค่ามากกว่าค่าความหน่วงลอจิก ดังนั้นในการวางอุปกรณ์และการเชื่อมต่อสัญญาณ ควรกำหนดข้อบังคับทางเวลาเพื่อให้ซอฟต์แวร์ได้ทำงานอย่างมีประสิทธิภาพเพิ่มขึ้น และเพื่อให้ได้ผลลัพธ์ที่ดีขึ้น

6) การจำลองการทำงานของวงจร (Simulation)

ในขั้นตอนนี้เป็นขั้นตอนนี้ที่สำคัญอีกขั้นตอนนี้ เพราะเป็นขั้นตอนที่ผู้ออกแบบตรวจสอบฟังก์ชันการทำงานของโมเดลว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหนเพื่อจะได้ทำการแก้ไขให้ถูกต้อง ในขั้นตอนนี้จะมีซอฟต์แวร์ที่ใช้สำหรับทำการจำลองการทำงานของวงจรที่ใช้อยู่ เช่น Model Sim ของบริษัท Model Technology หรือ Max Plus II ของบริษัท Altera ในการจำลองการทำงานของวงจรควรทำทุกครั้งหลังจากที่มีการทำแต่ละขั้นตอนหลักเสร็จแล้ว เพื่อจะได้ทราบว่าข้อผิดพลาดของโมเดลเกิดขึ้นตอนไหน จะได้แก้ไขข้อผิดพลาดตรงขั้นตอนนี้ๆ ได้เลย

การทำการจำลองการทำงานของวงจร ต้องทำทั้งหลังการเขียนโค้ด, การสังเคราะห์วงจร และการทำ PPR

ในการจำลองการทำงานของวงจรหลังจากที่ทำการวางอุปกรณ์ การเชื่อมต่อสัญญาณ (post layout simulation) แล้วก็มีความสำคัญเช่นกันเพราะผลที่ได้จากการจำลองการทำงานของวงจรในตอนนี้จะเป็นผลลัพธ์ของโมเดลเลย การจำลองการทำงานของ วงจรควรใช้ ซอฟต์แวร์ตัวเดียวกันตลอดเพื่อจะได้เปรียบเทียบผลที่ได้จากขั้นตอนต่างๆ

7) การโปรแกรมอุปกรณ์ FPGA (Configuration)

หลังจากที่โมเดลผ่านขั้นตอนต่างๆ จนกระทั่งผ่านการทำ PPR (Partitioning, Placement & Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (download) ลงในอุปกรณ์ FPGA ได้แล้ว ใน

การดาวน์โหลดนี้ก่อนอื่นต้องแปลงแบบวงจรรวมที่ได้เป็นข้อมูลวงจร (configuration data) ซึ่งอยู่ในรูปของบิตสตรีม (bit stream) ก่อนแล้วจึงดาวน์โหลดลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชันการทำงานตามโมเดลที่ต้องการ

ซึ่งในขั้นตอนนี้จะใช้วิธีที่แตกต่างกันออกไปสำหรับอุปกรณ์ FPGA ของแต่ละบริษัทผู้ผลิตคือ ในกรณีที่เป็นการใช้ FPGA ชนิดที่ต้องโปรแกรมโดยวิธี SRAM นั้น ในการใช้งานจะต้องเก็บข้อมูลวงจรไว้ในหน่วยความจำประเภท EPROM หรือ serial PROM ด้วยเพื่อจะใช้งานสะดวกขึ้น คือในการใช้งาน โมเดลครั้งต่อไปไม่ต้องดาวน์โหลดข้อมูลวงจรจากเครื่องคอมพิวเตอร์อีก เพราะมีข้อมูลวงจรเก็บอยู่ในหน่วยความจำอยู่แล้ว แต่กรณีที่อุปกรณ์ FPGA เป็นชนิดที่โปรแกรมโดยใช้วิธี EPROM หรือ Anti fuse ก็ไม่จำเป็นต้องมีหน่วยความจำสำหรับเก็บข้อมูลวงจร เพราะอุปกรณ์ FPGA ชนิดนี้เมื่อดาวน์โหลดข้อมูลวงจรลงไป ข้อมูลที่ดาวน์โหลดลงไปก็ยังคงอยู่ในอุปกรณ์ FPGA และครั้งต่อไปก็ใช้งาน โมเดลที่ออกแบบไว้ได้เลย

3.3.6 เครื่องมือสำหรับการออกแบบ FPGA

จะเห็นได้ว่าการออกแบบเพื่อทำ FPGA นั้นทำได้สะดวกกว่า ASIC มากเพราะใช้เวลาสั้นกว่ามากด้วย ส่วนสำคัญที่ใช้ในการทำ FPGA คือ ซอฟต์แวร์ที่ใช้ตั้งแต่เขียนโค้ดอธิบายฮาร์ดแวร์จนกระทั่งดาวน์โหลดลงในอุปกรณ์ FPGA ซึ่งซอฟต์แวร์ที่ใช้ต้องเป็น ซอฟต์แวร์ที่ทำงานต่อเนื่องกันได้ สำหรับซอฟต์แวร์ที่ใช้ทำการจำลองการทำงานของวงจรมานั้น ต้องสามารถใช้งานต่อเนื่องกับซอฟต์แวร์ที่ใช้ทั้งระบบ เพราะ โมเดลที่ได้จากการทำขั้นตอนต่างๆ (ด้วยซอฟต์แวร์ต่างๆ) ต้องเอามาจำลองการทำงานได้ และในการจำลองการทำงานของวงจรควรใช้ซอฟต์แวร์ตัวเดียวกันตลอดทั้งระบบ เพื่อจะได้เปรียบเทียบผลได้ง่าย ในอดีตซอฟต์แวร์ส่วนใหญ่จะใช้งานอยู่บนคอมพิวเตอร์สมรรถนะสูงอย่างเวิร์กสเตชัน (Workstation) ในปัจจุบันมีการพัฒนาซอฟต์แวร์ที่ใช้บนพีซี (PC) มากขึ้นซึ่งสามารถลดค่าใช้จ่ายในด้านอุปกรณ์คอมพิวเตอร์

3.4 ภาษา VHDL

ความซับซ้อนและขนาดของระบบดิจิทัลในปัจจุบันได้เพิ่มมากขึ้นทุกขณะ ส่งผลให้มีการนำคอมพิวเตอร์เพื่อช่วยในการออกแบบหรือ CAD มาใช้ในขบวนการออกแบบฮาร์ดแวร์เพิ่มขึ้นเช่นกัน อีกทั้งอุปกรณ์และวิธีการออกแบบใหม่ๆ ก็ถูกพัฒนาขึ้นมาเพื่อช่วยอำนวยความสะดวกให้กับนักออกแบบมากขึ้นด้วย สำหรับภาษาบรรยายอุปกรณ์ฮาร์ดแวร์ (HDL : Hardware Description Language) ก็เป็นเครื่องมืออย่างหนึ่งที่ได้รับการพัฒนามาอย่างต่อเนื่องเพื่อช่วยในการปรับปรุงขบวนการออกแบบระบบดิจิทัลเป็นไปอย่างมีประสิทธิภาพ

3.4.1 ประวัติความเป็นมาของภาษา VHDL

VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) เป็นภาษาโปรแกรมระดับสูง (High Level Language) ที่ใช้สำหรับการออกแบบฮาร์ดแวร์ในระบบดิจิทัล ตัวของภาษาสามารถบรรยายพฤติกรรมการทำงานในรูปแบบของลำดับชั้น (Hierarchy) และสามารถเขียนได้หลายรูปแบบ ด้วยเหตุผลนี้จึงทำให้ภาษา VHDL เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุด คือ แนวความคิดที่จะแก้ปัญหา ลงไปที่ละขั้นจนถึงขั้นตอนของการสร้างวงจรจริง และตัวภาษาก็เปิดโอกาสให้วิศวกรได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชันการทำงานของวงจรรายละเอียด โดยไม่ต้องคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนั้น VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆ ของระบบดิจิทัลที่มีความซับซ้อนได้ทั้งหมด ดังนั้น VHDL จึงเป็นภาษาที่น่าสนใจในการศึกษาและนำไปใช้งานเป็นอย่างยิ่ง

วิวัฒนาการของภาษา VHDL เริ่มต้นประมาณปี ค.ศ. 1981 เมื่อกระทรวงกลาโหมสหรัฐอเมริกา หรือ DoD (Department of Defense) ได้พยายามปรับปรุงอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหารให้มีความทันสมัยมากขึ้น ประกอบกับเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์มีการพัฒนาไปอย่างรวดเร็วดังจะเห็นได้จากการนำวงจรดิจิทัลหลายๆ วงจรมาทำการผลิตอยู่บนแผ่นซิลิกอนที่มีพื้นที่เพียง 1 - 2 ตารางเซนติเมตรเท่านั้น ซึ่งเป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้น ตลอดจนความน่าเชื่อถือในการทำงานและความคงทนต่อสภาพแวดล้อมสูง แต่เนื่องจากในขณะนั้นขั้นตอนของการออกแบบ การผลิต และการตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกร และเวลาในดำเนินการมาก ฉะนั้นทาง DoD จึงจัดตั้งโครงการขึ้นมาเพื่อศึกษาวิธีการที่ช่วยในการพัฒนาวงจรอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรระบบดิจิทัล ให้สามารถนำไปผลิตได้เร็วขึ้น ซึ่งโครงการดังกล่าวมีชื่อว่า "Very High Speed Integrated Circuits" หรือ VHSIC โดยในระยะแรกนั้น โครงการนี้ถือเป็นความลับทางด้านความมั่นคงของประเทศ และอยู่ภายใต้ความควบคุมดูแลของ United States International Traffic and Arms Regulations (ITAR)

สำหรับมาตรฐานของภาษาที่ใช้บรรยายพฤติกรรมวงจรหรือฮาร์ดแวร์ของระบบสำหรับโครงการ VHSIC ที่ DoD ได้ทำให้ไว้สามารถสรุปได้ดังนี้

- 1) ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิทัล และมีคุณสมบัติที่สามารถเข้าใจได้ทั้งมนุษย์และเครื่องคอมพิวเตอร์โดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
- 2) สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร

ฉะนั้นภาษาดังกล่าวนี้จึงจัดเป็นภาษาโปรแกรมระดับสูง เช่นเดียวกับภาษาปาสคาล หรือ ภาษาซี ซึ่งในทางวิศวกรรมภาษาที่ใช้ในการออกแบบฮาร์ดแวร์นี้เรียกว่า “Hardware Description Language” หรือ HDL

ในตอนเริ่มแรกนั้น DoD ได้อนุญาตให้บริษัท ไอบีเอ็ม เท็กซัสอินสตรูเมนต์ และอินเตอร์เมทริกซ์ เป็นผู้ศึกษาและพัฒนาโครงการ ซึ่งการดำเนินงานเป็นไปอย่างต่อเนื่อง จนกระทั่งในปี ค.ศ.1985 ทาง ITAR ได้ยกเลิกข้อจำกัดในการถ่ายทอดเทคโนโลยีทางทหารออกจากโครงการนี้ ดังนั้นภาษา VHDL จึงเริ่มเป็นที่รู้จักกันโดยทั่วไป และประมาณปี ค.ศ. 1987 IEEE ได้ทำการกำหนดมาตรฐานของภาษานี้เป็น IEEE 1076-1987 และมีชื่อเรียกว่า VHDL ซึ่งมาตรฐานนี้ได้รับการปรับปรุงจนเป็นมาตรฐาน IEEE 1076-1993 หรือ VHDL 1993

เนื่องจากในขณะนั้น DoD เป็นลูกค้ารายใหญ่ของอุตสาหกรรมอิเล็กทรอนิกส์และคอมพิวเตอร์ ดังนั้นจึงมีผู้รับโครงการต่างๆ จาก DoD ไปดำเนินการวิจัยและพัฒนาเป็นจำนวนมาก และเพื่อให้ทุกโครงการอยู่ในมาตรฐานเดียวกันหมด ดังนั้นทาง DoD จึงได้กำหนดว่า ทุกๆ โครงการต้องเขียนอยู่ในรูปของภาษา VHDL เท่านั้น ซึ่งทำให้ DoD สามารถนำโครงการเหล่านี้ไปจำลองกับเครื่องคอมพิวเตอร์ได้หลายระบบ

3.4.2 ข้อกำหนด

DoD ได้ตั้งข้อกำหนดสำหรับภาษา VHDL ในเดือนมกราคมปี ค.ศ.1983 ไว้ดังนี้

1) ลักษณะทั่วไป

DoD ได้กำหนดให้ VHDL เป็นภาษาสำหรับการออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง การจำลอง (Simulation) การสังเคราะห์ (Synthesis) และการทดสอบ (Testing) นอกจากนี้ VHDL ยังถูกกำหนดไว้สำหรับการบรรยายฮาร์ดแวร์ตั้งแต่ระดับบนซึ่งก็คือระบบจนถึงระดับเกทอีกด้วย

เนื่องจากการทำงานของระบบดิจิทัลนั้น ทุกๆ องค์ประกอบภายในระบบ ไม่ว่าจะเล็กหรือใหญ่จะทำงานไปพร้อมๆ กัน ซึ่งในเรื่องของความพร้อมเพียงในการทำงานนี้ก็ถือเป็นข้อกำหนดที่สำคัญอย่างหนึ่งของ VHDL ด้วยเช่นกัน (สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์นั้นความพร้อมเพียงจะหมายถึงทุกๆ คำสั่ง องค์ประกอบ เกทหรือวงจรลอจิกจะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในที่สุดแล้วก็จะดูเหมือนว่า ได้มีการปฏิบัติไปพร้อมๆ กัน)

2) สนับสนุนการออกแบบแบบลำดับขั้น

การออกแบบแบบลำดับขั้นเป็นลักษณะที่สำคัญอย่างหนึ่งสำหรับการออกแบบระบบที่มีหลายๆ ระดับ โดยในการออกแบบจะประกอบด้วยส่วนการบรรยายการเชื่อมต่อ และส่วนการบรรยายหน้าที่การทำงาน ซึ่งหน้าที่การทำงานของระบบสามารถกำหนดได้ด้วยตัวเอง หรืออาจถูกกำหนดโดยโครงสร้างที่ประกอบด้วยองค์ประกอบย่อยๆ ลงไปได้เช่นกัน แต่ที่ระดับล่างสุดขององค์ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเอง และไม่สามารถกำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

3) ไลบรารี

VHDL ได้สนับสนุนการมีไลบรารีเพื่อระบบการจัดการที่ดี ผู้ออกแบบสามารถกำหนดลักษณะและการทำงานของอุปกรณ์พื้นฐานไว้ในระบบไลบรารี หรือจะใช้ไลบรารีที่ระบบได้จัดเตรียมไว้แล้วก็ได้ โมเดลและการบรรยายที่ถูกต้องควรจัดเก็บไว้ในไลบรารีหลังจากที่ได้ผ่านการคอมไพล์เรียบร้อยแล้วเพื่อให้ผู้ออกแบบคนอื่นๆ สามารถนำไปใช้ได้ด้วย

4) ลำดับคำสั่ง

แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการ โดยพร้อมเพรียงกันจะเป็นคุณสมบัติที่สำคัญของ VHDL ก็ตาม คำภาษาเองก็ยังมี การจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วย เมื่อผู้ออกแบบได้กำหนดหน้าที่และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้เรียบร้อยแล้ว ผู้ออกแบบยังสามารถบรรยายหน้าที่การทำงานซึ่งเป็นรายละเอียดภายในของแต่ละองค์ประกอบได้ในลักษณะเดียวกับการเขียนโปรแกรมที่ประกอบด้วยโครงสร้างแบบ case, if - then - else และ loop ทั่วๆ ไปได้

การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้น อย่างไรก็ตาม โครงสร้างทั้งหมดของ VHDL ก็ยังคงเป็นการทำงานแบบพร้อมเพรียงกันเช่นเดิม

5) การกำหนดคุณสมบัติ

นอกจากการกำหนดอินพุตและเอาต์พุตแล้ว เงื่อนไขอื่นๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน โดยสิ่งนี้รวมถึงสภาพแวดล้อมและลักษณะทางกายภาพของอุปกรณ์นั้นๆ ด้วย ซึ่งภาษาสำหรับการออกแบบที่ดีควรให้ผู้ออกแบบกำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย เช่น สามารถกำหนดขนาด ลักษณะทางกายภาพ เวลา โหลด และเงื่อนไขทางสภาพแวดล้อมอื่นๆ ซึ่งความสามารถในการกำหนดคุณสมบัตินี้ก็เป็นส่วนหนึ่งที่มีอยู่ในภาษา VHDL ด้วยเช่นกัน

6) ชนิดของข้อมูล

VHDL สามารถกำหนดชนิดของข้อมูลไม่เพียงแต่ชนิด BIT และ BOOLEAN เท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยม และชนิดลำดับการนับ (Enumerate Type) หรือแม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นมาเองก็ได้

7) โปรแกรมย่อย

ความสามารถในการใช้ฟังก์ชันและโพรซีเจอร์ (Procedure) ก็เป็นข้อกำหนดอีกอย่างหนึ่งใน VHDL ซึ่งผู้ออกแบบสามารถนำโปรแกรมย่อยมาใช้ในการเปลี่ยนแปลงชนิดของข้อมูล การกำหนดหน่วยของลอจิก การกำหนดตัวกระทำต่างๆ หรือหน้าที่อื่นๆ ตามที่ต้องการได้เช่นเดียวกับการเขียนโปรแกรมทั่วไป

8) การควบคุมเวลา

VHDL อนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกทหรือการหน่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่แน่นอนหรือกำหนดให้มีการรอคอยเหตุการณ์ (Event) นอกจากนี้ก็ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

9) การกำหนดแบบโครงสร้าง

การกำหนดโครงสร้างขององค์ประกอบต่างๆ สามารถกระทำได้ในทุกระดับของการออกแบบ โดยการกำหนดโครงสร้างขององค์ประกอบรวมที่เกิดจากองค์ประกอบย่อยซึ่งแตกต่างกันหรือเหมือนกันก็เป็นข้อกำหนดอย่างหนึ่งของ VHDL เช่นกัน

3.4.3 องค์ประกอบพื้นฐานของ VHDL

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของ VHDL จะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ (Interface) และส่วนกำหนดลักษณะเชิงสถาปัตยกรรม (Architecture) ดังแสดงในรูปที่ 3.7 โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อขององค์ประกอบจากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยายถึงพอร์ตการติดต่อ อินพุต – เอาท์พุท ขององค์ประกอบ ส่วนลักษณะภายนอกอื่น ๆ เช่น เวลา อุณหภูมิก็สามารถรวมเข้าไปในส่วนนี้ได้เช่นกัน

ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุต – เอาท์พุทและพารามิเตอร์อื่นๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่อดังรูปที่ 3.7 และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ENTITY component_name IS
    Input and output ports
    Physical and other parameters
END [component_name];

ARCHITECTURE identifier OF component_name IS
    [declaration]
BEGIN
    specification of the functionality of the component
    in terms of its input lines and as influenced
    by physical and other parameters
END [identifier];

```

รูปที่ 3.7 การกำหนดการเชื่อมต่อและสถาปัตยกรรม

1) การกำหนดการเชื่อมต่อ

การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบ โดยในระดับนี้ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่นๆ ดังตัวอย่างในรูปที่ 3.8 ซึ่งเป็นบล็อกไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวจ่ายสัญญาณนาฬิกา

ในบรรทัดแรกของการบรรยายการเชื่อมต่อเป็นการกำหนดชื่อขององค์ประกอบซึ่งกำหนดเป็น clock_component ตามด้วยคำว่า PORT และชื่อของพอร์ตที่อยู่ในวงเล็บ ส่วน IN และ OUT เป็นการกำหนดโหมดของสัญญาณให้เป็นอินพุตหรือเอาต์พุต และ BIT เป็นการแสดงชนิดของข้อมูล



```

ENTITY clock_component IS
    PORT (en : IN BIT; ck : OUT BIT )
END clock_name;

```

รูปที่ 3.8 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component

2) การกำหนดรูปแบบการบรรยาย

หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาต์พุตในเทอมของอินพุตหรือในรูปขององค์ประกอบอื่นๆ หรือทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของ `clock_component` ในรูปที่ 3.9 ซึ่งเป็นการบรรยายในเชิงพฤติกรรม โดยมี `en` เป็นอินพุตและ `ck` เป็นเอาต์พุต

`PROCESS` เป็นคำที่ใช้ในการเริ่มต้นสำหรับการบรรยายในเชิงพฤติกรรม และภายในโปรเซสกำหนดให้ `periodic` เป็นตัวแปรที่มีค่าเริ่มต้นเป็น "0" ถ้าสัญญาณ `en` มีค่าเป็น "1" จะทำให้ตัวแปร `periodic` ถูกคอมพลิเมนต์ (complement) และส่งค่าให้กับ `ck` ซึ่งเป็นสัญญาณเอาต์พุต และสำหรับคำสั่ง `WAIT` จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

```

ARCHITECTURE behavioral OF clock_component IS
BEGIN
  PROCESS
    VARIABLE periodic : BIT := '0';
  BEGIN
    IF en='1' THEN
      periodic := Not periodic;
    END IF;
    ck <= periodic;
    WAIT FOR 1 US;
  END PROCESS;
END behavioral;

```

รูปที่ 3.9 การบรรยายเชิงพฤติกรรมของ `clock_component`

3) หน่วยการออกแบบแพ็คเกจ

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิทัล สามารถเก็บไว้ในส่วนของแพ็คเกจ ซึ่งหน่วยการออกแบบต่างๆ เช่น หน่วยการออกแบบ Entity หน่วยการออกแบบสถาปัตยกรรม หรือหน่วยการออกแบบแพ็คเกจอื่นๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้ นอกจากนั้นสิ่งที่นิยมทำกันมากคือการนำรูปแบบมาตรฐานต่างๆ เช่น อุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XX เป็นต้น) มาเก็บไว้ในรูปของแพ็คเกจ ที่ทุกคนสามารถเข้าถึงได้

ตามปกติแล้วแพ็คเกจจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็คเกจ (Package declaration) และส่วนของบอดีแพ็คเกจ (Package body) เนื่องจาก แพ็คเกจถูกสร้างขึ้นเป็นส่วน

แยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็คเกจ ไปใช้นั้นจะต้องมีการเชื่อมโยง หรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE

- PACKAGE DECLARATION

ส่วนที่มีความสำคัญที่สุดของแพ็คเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ ส่วนการประกาศแพ็คเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็คเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็คเกจเอง ถ้ามีการประกาศสิ่งใดๆ ในส่วนของส่วนบอดีแพ็คเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็คเกจ จะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบกับได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ Entity คือ จุดเชื่อมต่อ หรือ พอร์ต ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็คเกจสามารถสร้างขึ้นได้โดยไม่ต้องมีส่วนบอดี และยังสามารถนำไปใช้งานจากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศ ชนิด (Type) หรือสัญญาณ เช่นเดียวกับ ส่วนบอดีแพ็คเกจที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็คเกจ แต่แพ็คเกจนั้นจะไม่สามารถนำไปใช้จากรูปแบบอื่นได้

```
PACKAGE package_name IS
    Package_declarative_part
END package_name;
```

รูปที่ 3.10 โครงสร้างทั่วไปของส่วนการประกาศแพ็คเกจ

- PACKAGE BODY

โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้นๆ ได้ถูกประกาศไปแล้วในส่วนของการประกาศแพ็คเกจ จะถูกเก็บไว้ในส่วนของบอดีแพ็คเกจ ทั้งนี้รวมถึงการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อไว้ก่อนในส่วนของการประกาศแพ็คเกจ และถูกกำหนดค่าในส่วนของบอดีแพ็คเกจ ฉะนั้นในส่วนของบอดีแพ็คเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็คเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดีแพ็คเกจนั้นจะเป็นไปตามกฎเกณฑ์ดังแสดงในรูปที่ 3.11

```

PACKAGE BODY package_name IS
    declarative_part
END package_name;

```

รูปที่ 3.11 โครงสร้างของบอดีแพ็คเกจ

4) หน่วยการออกแบบ Configuration

สิ่งที่ทราบกันแล้วว่ระบบดิจิทัลรูปแบบหนึ่งไม่ว่าจะเป็นอะไรก็ตาม จะสามารถมีหน่วยการออกแบบ Entity ได้เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ Entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบ Configuration มาเพื่อกำหนดการใช้ Configuration ของการประกอบ Entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใดๆ เข้าด้วยกัน

```

CONFIGURATION identifier OF entity_name IS
    Configuration_declarative_part
END ;

```

รูปที่ 3.12 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

5) โปรแกรมย่อย

การใช้ฟังก์ชันและโพรซีเจอร์ใน VHDL เปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงต่างๆ ไป ค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริงๆ ในขณะที่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนชนิดของข้อมูลหรือในการคำนวณค่าการหน่วงเวลาแล้วก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์ รูปที่ 3.13 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิตเป็นค่าจำนวนเต็ม และรูปที่ 3.14 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิตแทนการกระทำในสมการบูลีน

```

TYPE byte IS ARRAY (7 DOWNTO 0) OF BIT;
...
PROCEDURE byte_to_integer (ib : IN byte; oi : OUT INTEGER) IS
  VARIABLE result: INTEGER := 0;
BEGIN
  FOR i IN 0 TO 7 LOOP
    IF ib(i) = '1' THEN
      result := result + 2**i;
    END IF;
  END LOOP;
  oi := result;
END byte_to_integer

```

รูปที่ 3.13 การใช้ไพโรซีเจอร์

```

FUNCTION f (a, b, c:BIT) RETURN BIT IS
  VARIABLE x:BIT;
BEGIN
  x := ((NOT a) AND (NOT b) AND c);
  RETURN x;
END f;

```

รูปที่ 3.14 การใช้ฟังก์ชัน

6) โอเปอเรเตอร์

การบรรยายเชิงพฤติกรรมในภาษา VHDL มีตัวดำเนินการหรือโอเปอเรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟต์แวร์ทั่วไปดังรูปที่ 3.15

PREDEFIND OPERATORS	
LOGICAL OPERATORS : NOT AND OR NAND NOR XOR	OPERAND TYPE : BIT BOOLEAN RESULT TYPE : BIT BOOLEAN
RELATIONAL OPERATORS : = /= < <= > >=	OPERAND TYPE : any type RESULT TYPE : Boolean
ARITHMETIC OPERATORS : + - * / ** MOD REM ABS	OPERAND TYPE : INTEGER REAL Physical RESULT TYPE : INTEGER REAL Physical
CONCANTENATION OPERATOR : &	OPERAND TYPE : ARRAY of any type RESULT TYPE : array of any type RESULT TYPE : array of any type

รูปที่ 3.15 ตัวดำเนินการใน VHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) เวลาและความพร้อมเพรียง

ในวงจรอิเล็กทรอนิกส์ทุกๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) และจะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุกๆ เหตุการณ์ที่เกิดขึ้นเสมอ

VHDL เป็นภาษาที่ได้รับการออกแบบมาเพื่อให้สามารถบรรยายรูปแบบและการป้องกันของเวลาสำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมีการทำงานภายในเป็นแบบลำดับคำสั่งก็ตาม ซึ่งหากมีหลายๆ โปรเซสอยู่ภายในโครงสร้างเดียวกันทุกๆ โปรเซสก็จะทำงานไปพร้อมๆ กันด้วย

8) สัญญาณและตัวแปร

สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ที่ใช้ในการส่งผ่านข้อมูลและมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย การกำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์ \leq ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณเช่น $w \leq a \text{ AFTER } 12 \text{ NS}$ หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป 12 นาโนวินาที

ในทางตรงข้าม ตัวแปร มีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่งเช่น ในฟังก์ชัน โปรซีเจอร์ และ โปรเซส สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

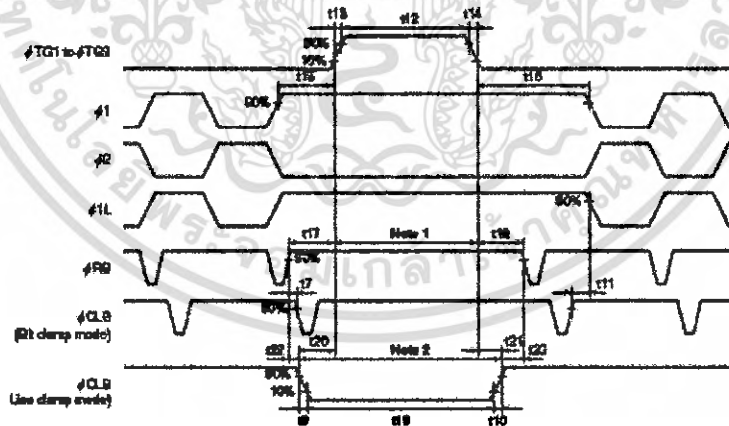
บทที่ 4

การออกแบบและการทำงานของวงจร

4.1 การออกแบบวงจร

ในการทำเครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว โดยการประมวลผลภาพนี้เราได้ใช้ชุดหัวสแกนเนอร์มาใช้ในการตรวจจับภาพของเมล็ดข้าวที่กำลังเคลื่อนที่ลงมาจากรางผ่านชุดหัวสแกนเนอร์ สาเหตุที่เราใช้ชุดหัวสแกนเนอร์เป็นตัวตรวจจับภาพก็เพราะว่าชุดหัวสแกนเนอร์นี้สามารถตรวจจับวัตถุในระยะความกว้างของรางได้ดีเพราะใช้กระจกเงาเป็นตัวสะท้อนและอีกสาเหตุหนึ่งที่สำคัญคือภายในชุดหัวสแกนเนอร์นี้มีอุปกรณ์ขั้วประจุไฟฟ้า (Charge Coupled Device) หรือที่เรียกว่า CCD ซึ่งเป็นอุปกรณ์ที่สำคัญของการตรวจจับภาพเพราะกล้องของเรานั้นจะมีความเร็วมากน้อยเพียงใดนั้นขึ้นอยู่กับ CCD

และในการที่จะทำให้ CCD ทำงาน เราจะต้องสร้างสัญญาณให้กับตัว CCD ซึ่งสัญญาณที่ได้นี้ต้องมีลักษณะและคุณสมบัติตาม Data Sheet ของ CCD ตัวนั้น โดยในการทำเครื่องตรวจสอบสิ่งแปลกปลอมในเมล็ดข้าวนี้ได้ใช้ CCD เบอร์ UPD8861CY เพราะฉะนั้นเราจึงต้องออกแบบสัญญาณให้กับ CCD ตรงตาม Data Sheet ซึ่งมีลักษณะของสัญญาณดังนี้



Symbol	Min.	Typ.	Max.	Unit
t7	-5	50	-	ns
t8, t10	0	5	-	ns
t11	10	50	-	ns
t12	5000	10000	50000	ns
t13, t14	0	50	-	ns
t15, t16	500	1000	-	ns
t17, t18	200	400	-	ns
t19	t12	t12	50000	ns
t20, t21	0	50	-	ns
t22, t23	0	500	-	ns

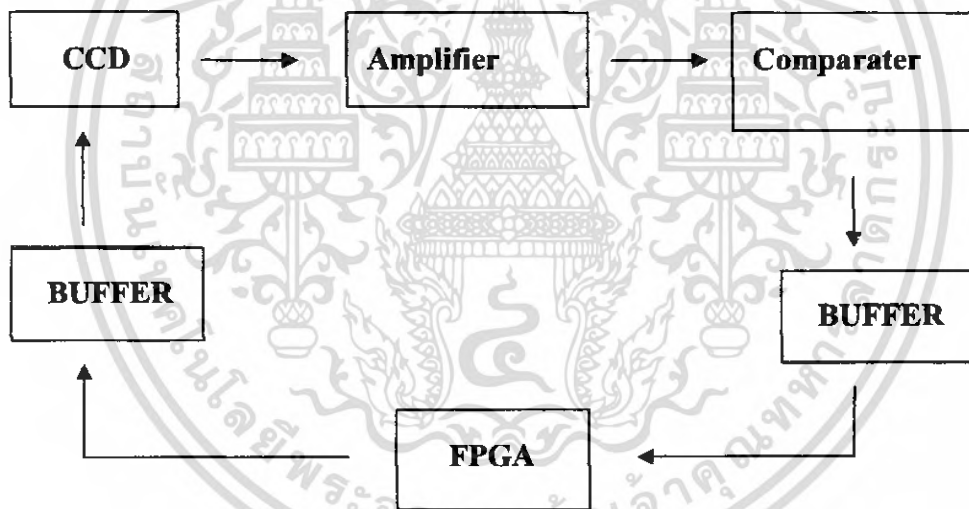
รูปที่ 4.1 ช่วงความกว้างของช่องสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่สัญญาณต่างๆเหล่านี้ เราได้มาจากวงจร Drive CCD

ซึ่งหลักการแบบวงจร Drive CCD เราควรรออกแบบในรูปแบบสัญญาณที่ได้จากวงจร Drive CCD มีขนาดของเวลาใกล้เคียงกับค่า Mim ที่แสดงในตาราง เพื่อให้ CCD มีอัตราการส่งถ่ายข้อมูลที่เร็วขึ้นและจะทำให้กล้องมีความไวในการตรวจจับภาพเพิ่มมากขึ้น

ในการออกแบบวงจร Drive CCD เราได้ทำการออกแบบไว้ใน FPGA โดยใช้สัญญาณนาฬิกา (Clock) มีค่าเท่ากับ 40 MHz แล้วนำไปผ่านวงจรหารความถี่ให้เหลือ 5 MHz เพื่อที่จะนำไปสร้างสัญญาณให้กับ CCD จะเห็นว่า Clock ที่ใช้นั้นมีความถี่สูงมาก สาเหตุที่ต้องใช้ Clock ที่มีความถี่สูงก็เพราะว่าเราต้องการออกแบบให้ CCD มีความเร็วในการตรวจจับ 920 Hz ต่อเฟรมภาพ เพราะเมื่อดัชนีมีความเร็วมากในขณะที่ตกลงมาจากรางซึ่งวงจรที่เราออกแบบมี Block Diagram ดังนี้



รูปที่ 4.2 บล็อกไดอะแกรมอธิบายการทำงานของวงจร

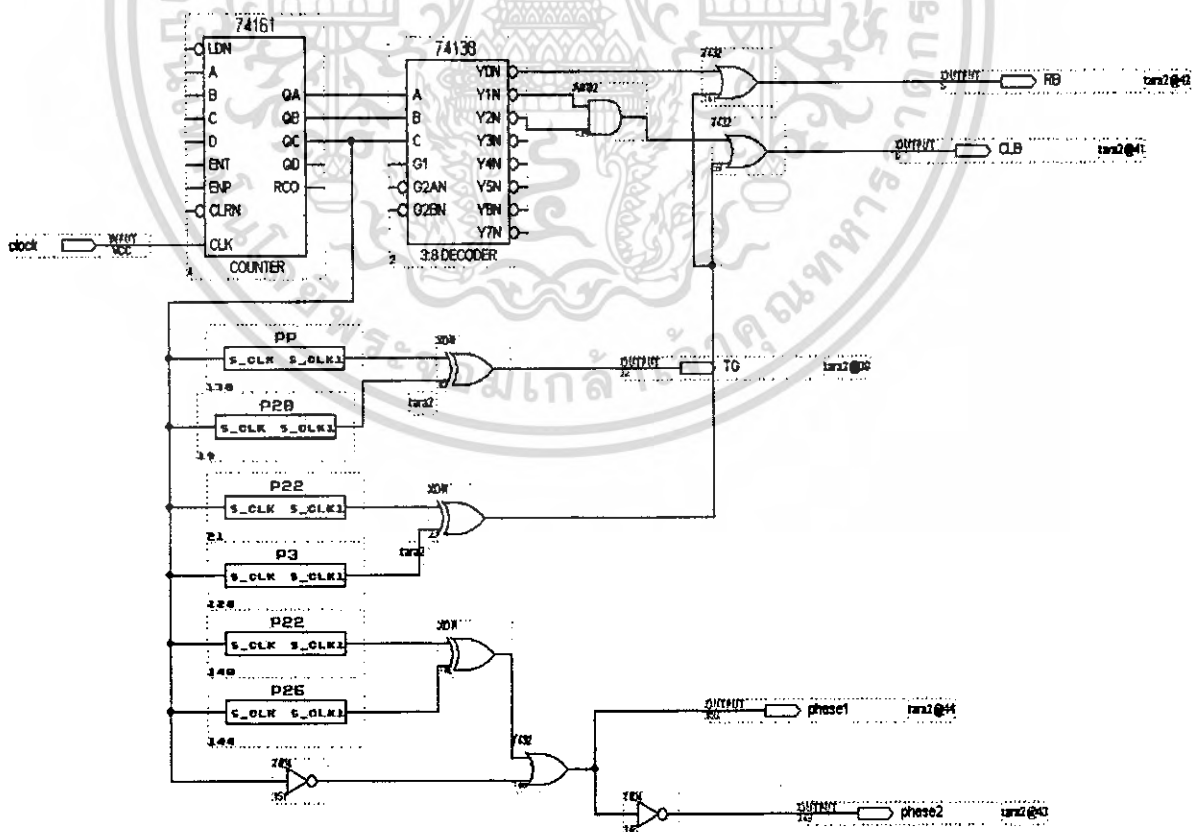
4.2 การทำงานของวงจร

จาก Block Diagram เริ่มต้นการทำงานจากการป้อนสัญญาณที่จะใช้ Drive CCD จากวงจรภาค Drive CCD ที่ทำการออกแบบไว้ใน FPGA โดยผ่าน BUFFER ไปยังตัว CCD เพื่อที่จะทำให้ตัว CCD สามารถทำงานได้ตามเงื่อนไขที่ต้องการ และเมื่อ CCD สามารถตรวจจับวัตถุและสร้างสัญญาณได้นำสัญญาณที่ได้จาก CCD มาทำการเข้า Amplifier เพื่อทำการขยายสัญญาณ และนำมา Comparator เพื่อให้ได้สัญญาณในช่วงที่ใช้งานจริงทั้งหมดของ 8 ช่วงสัญญาณ และนำสัญญาณที่ได้จากการ Comparator มาผ่านวงจร BUFFER และเข้าวงจร D-Flip-Flop เพื่อที่จะเอาเฉพาะช่วงสัญญาณที่เป็นจุดภาพนำไปประมวลผลโดยการเข้าวงจรแยกรางที่ได้ออกแบบไว้ใน FPGA เมื่อวงจรแยกรางสามารถตรวจสอบได้แล้วก็จะนำไปแสดงผลออกทาง 7-Segment

ต่อจากนั้นนำสัญญาณที่ตรวจสอบได้แล้วส่งต่อไปยังวงจรชุดควบคุมหัวเป่า เพื่อทำการเป่าสิ่งแปลกปลอมที่มากับเม็ล็ดข้าวออกไป

4.3 หลักการทำงานของแต่ละภาค

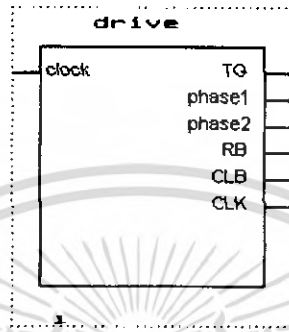
4.3.1 การทำงานของวงจร Drive CCD



รูปที่ 4.3 วงจรภาค Drive CCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำการออกแบบเสร็จแล้วจะสังเกตเห็นว่ารูปวงจรถูกออกแบบนั้นมีขนาดใหญ่และทำให้ลำบากในการนำไปใช้ในการต่อใช้งาน ดังนั้นเราได้ทำการออกแบบสัญลักษณ์เพื่อง่ายต่อการใช้งานซึ่งสัญลักษณ์นั้นแสดงดังรูปที่ 4.4



รูปที่ 4.4 สัญลักษณ์ของภาค Drive CCD

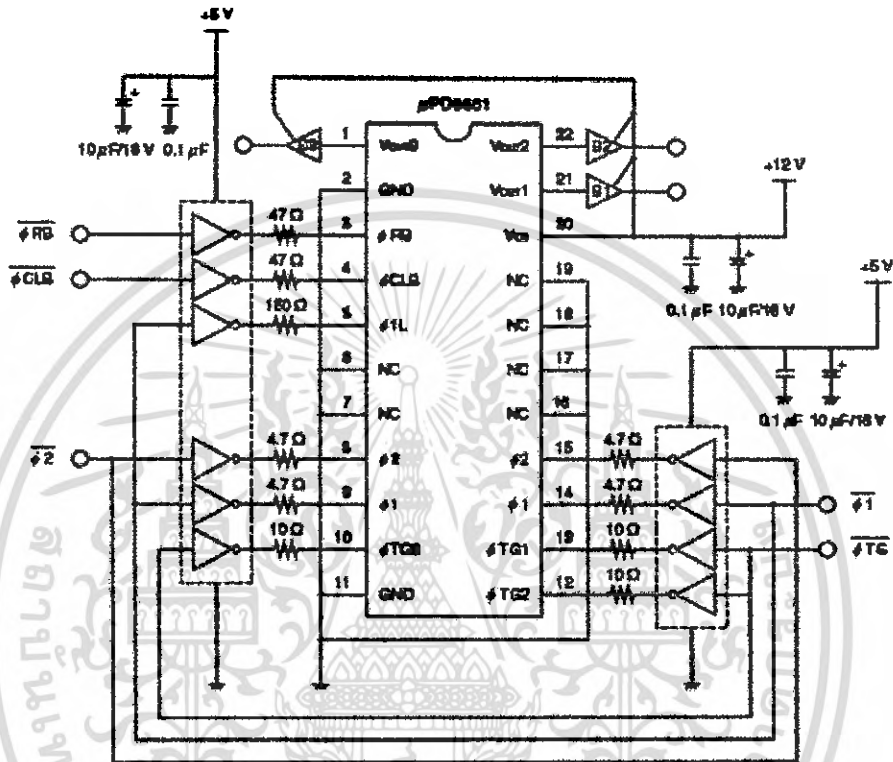
การทำงานของวงจรถือเริ่มจากเราป้อนสัญญาณ Clock ที่มีความถี่ 40 MHz ผ่านวงจรถือ Counter เพื่อทำการหารความถี่ลงให้เหลือ 5 MHz ซึ่งความถี่นี้เป็นความถี่ที่ใช้สร้างสัญญาณต่างๆที่ป้อนให้ CCD โดยเมื่อได้ความถี่นี้แล้วนำไปเข้าวงจรถือออกแบบด้วยภาษา VHDL เพื่อให้ได้สัญญาณตามต้องการและนำไปผ่านเกทต่างๆ เช่น NOT GATE, AND GATE, OR GATE เป็นต้น เพื่อที่จะสร้างสัญญาณให้เป็นไปตามลักษณะที่ตรงกับ Data Sheet ส่วนสัญญาณ RB และ CLB เรานำความถี่ที่ 5 MHz ไปเข้าวงจรถือ Decoder และนำไปผ่านเกทเพื่อสร้าง RB และ CLB ตามที่ต้องการ

4.3.2 การทำงานของ CCD

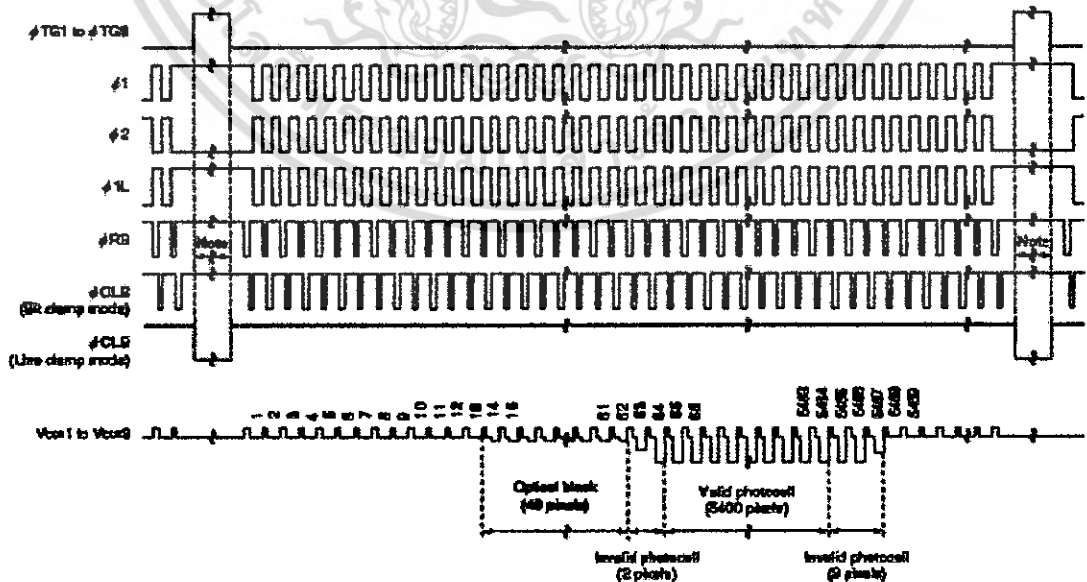
การทำงานของ CCD จะเป็นการส่งคลื่นความถี่เข้าหาวัตถุที่จะตรวจจับ โดยใช้แสงสว่างของหลอดไฟเป็นตัวช่วยในการเพิ่มแสง และใช้กระจกในการสะท้อนแสงรวมถึงการใช้เลนส์ในการรวมแสงเพื่อให้ได้ภาพที่มีความคมชัดและถูกต้อง เมื่อ CCD ส่งคลื่นความถี่ไปตกกระทบบนผิววัตถุ จะทำให้เกิดการดูดซับของคลื่นที่ขึ้นบนวัตถุและสะท้อนความถี่ที่ไม่ต้องการกลับมาซึ่งนั่นจะเป็นตัวบอกให้ CCD รู้ว่าสีที่ตรวจจับเป็นสีอะไรและมีรายละเอียดอะไรบ้าง โดยในการฉายแสงแต่ละครั้งก็จะมีเปลี่ยนแปลงค่าความถี่ในแต่ละพิกเซล ซึ่ง CCD ที่ใช้จะเป็นประเภทการสแกนภาพทั้งแถว และสัญญาณภาพที่ได้จะออกมาในช่วงความถี่ของสีหลัก คือ RGB และจะถูกนำไปเปรียบเทียบกับเพื่อให้ได้รูปที่เหมือนจริงมากที่สุด สำหรับการใช้งานสำหรับการตรวจจับผลผลิตทางการเกษตรนี้เลือกใช้เพียงสีเขียวก็พอเมื่อได้สัญญาณที่ต้องการแล้วจะถูกส่งไปยังขั้นตอนอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว CCD จะทำงานได้ในช่วงเวลาที่ต้องการก็จะขึ้นอยู่กับสัญญาณที่เราใช้ Drive CCD ซึ่งตัว CCD จะมีขาสัญญาณหลักที่จะรับสัญญาณจากภายนอกคือรูป และสัญญาณที่จะทำให้ตัว CCD ทำงานได้นั้นจะต้องมีความสัมพันธ์กันแต่ละช่วงเวลาด้วย



รูปที่ 4.5 วงจรการทำงานของ CCD

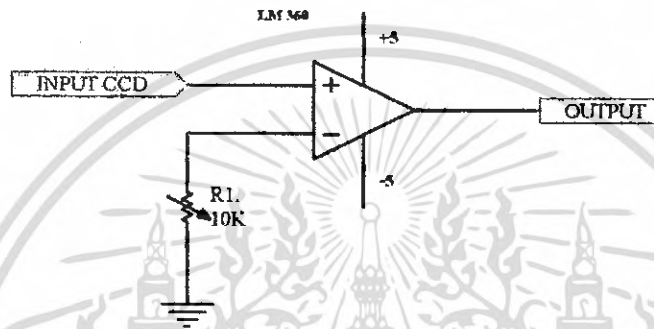


รูปที่ 4.6 รูปสัญญาณ OUTPUT จาก CCD เทียบกับ สัญญาณต่างๆที่ป้อนให้กับ CCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 การทำงานของวงจร COMPARATER

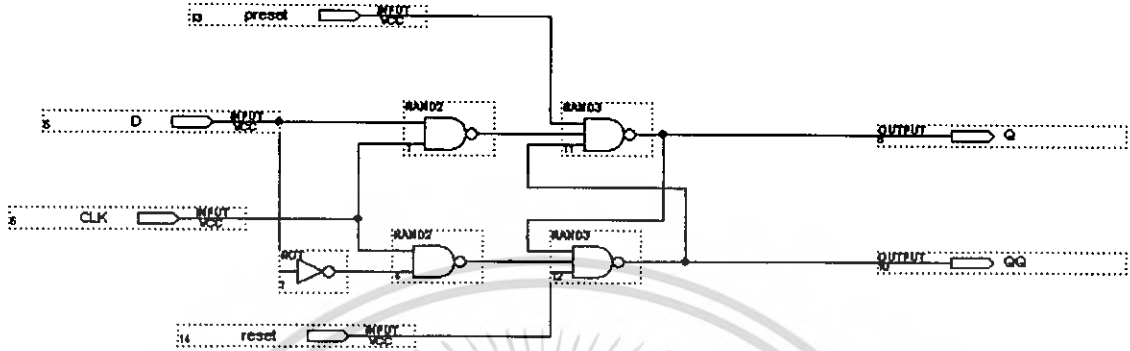
เมื่อได้สัญญาณจาก CCD ที่ผ่านการขยายมาแล้วเราก็จะนำมาเข้าวงจร Comparater เพื่อทำการเปรียบเทียบสัญญาณโดย Comparater ที่เราใช้นั้นจะต้องใช้ Comparater ที่มีการตอบสนองความถี่สูงได้ดีเช่น LM 360 , LM 160 เป็นต้น เมื่อทำการเปรียบเทียบสัญญาณแล้วจะได้สัญญาณเป็นสัญญาณดิจิทัลแล้วนำสัญญาณที่ได้ไปเข้าวงจร D Flip Flop ที่ได้ออกแบบไว้ใน FPGA ต่อไป



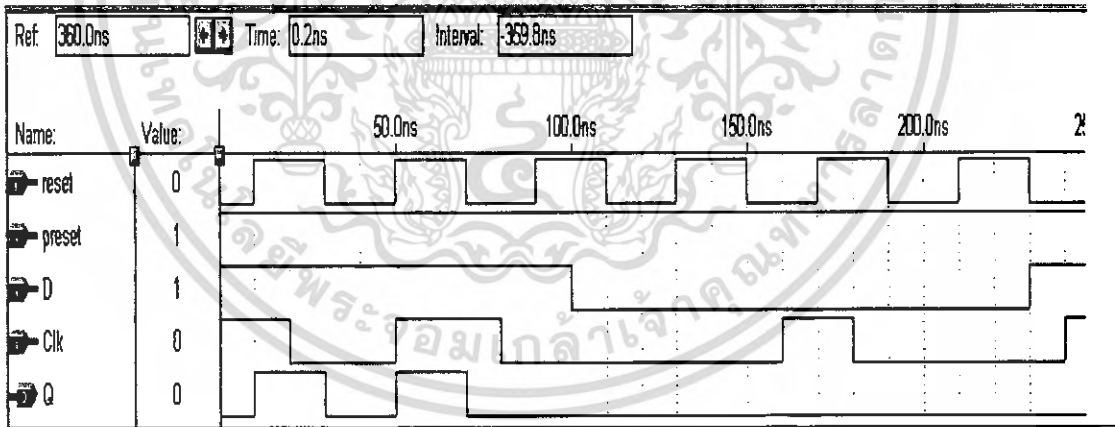
รูปที่ 4.7 วงจร COMPARATER

4.3.4 การทำงานของดี ฟลิปฟลอป (D Flip Flop)

การทำงานของ ดี ฟลิปฟลอปจะเป็นการทำงานเปรียบเสมือนตัวเปรียบเทียบสัญญาณที่เข้ามาเพื่อที่จะกำหนดสัญญาณ Output ตามความต้องการที่จะนำสัญญาณออกไปใช้งาน คือ จะเริ่มทำงานเมื่อมีการจ่ายสัญญาณให้กับขาต่างๆ โดยจะได้รับสัญญาณดังนี้ ขา CLR = สัญญาณที่ออกมาจาก CCD (ซึ่งสัญญาณนี้ถูกการคอมพิวเตอร์เรียบร้อยแล้ว) ขา D = 1 , ขา SET= 1 และขาที่จ่ายสัญญาณ Clock เพื่อใช้กำหนดช่วงสัญญาณในการทำงาน ซึ่งจะเริ่มพิจารณาที่ขา Set หรือ Reset ก่อน โดยเลือกใช้งานได้ตามความต้องการ เช่น จากการทดลองเลือกให้ขา Reset และให้สัญญาณที่ขา Reset เป็น 0 จะทำให้ ดีฟลิปฟลอปทำงานทันทีโดยไม่สนใจสัญญาณที่ขาอื่น ๆ และจะทำให้ค่าสัญญาณที่ขา Q มีค่าเป็น 0 แต่ถ้าขา Reset ได้รับสัญญาณที่เป็น 1 จะทำให้ขา Reset อยู่ในสถานะไม่ทำงานหรือเกิดการไม่สนใจงานนี้ทันทีโดยจะเริ่มมาพิจารณาการทำงานของขาต่อไปคือขา Clock ซึ่งการทำงานของ Clock จะถูกสั่งให้ทำงานในขอบขาขึ้นหรือเมื่อได้รับสัญญาณเป็น 1 และเมื่อพิจารณาขา Clock เรียบร้อยแล้วจะเริ่มทำการพิจารณาข้อมูลที่เข้าขา D ต่อไป ถ้าขา D มีสัญญาณเข้า 1 สัญญาณออกที่ขา Q ก็เป็น 1 แต่ถ้าขา D มีสัญญาณเข้า 0 สัญญาณที่ขา Q จะออกมาเป็น 0 ด้วยดังทามมิง ไคอะแกรม ดังรูปที่ 4.9



รูปที่ 4.8 วงจรการทำงานของ D-Flip-Flop

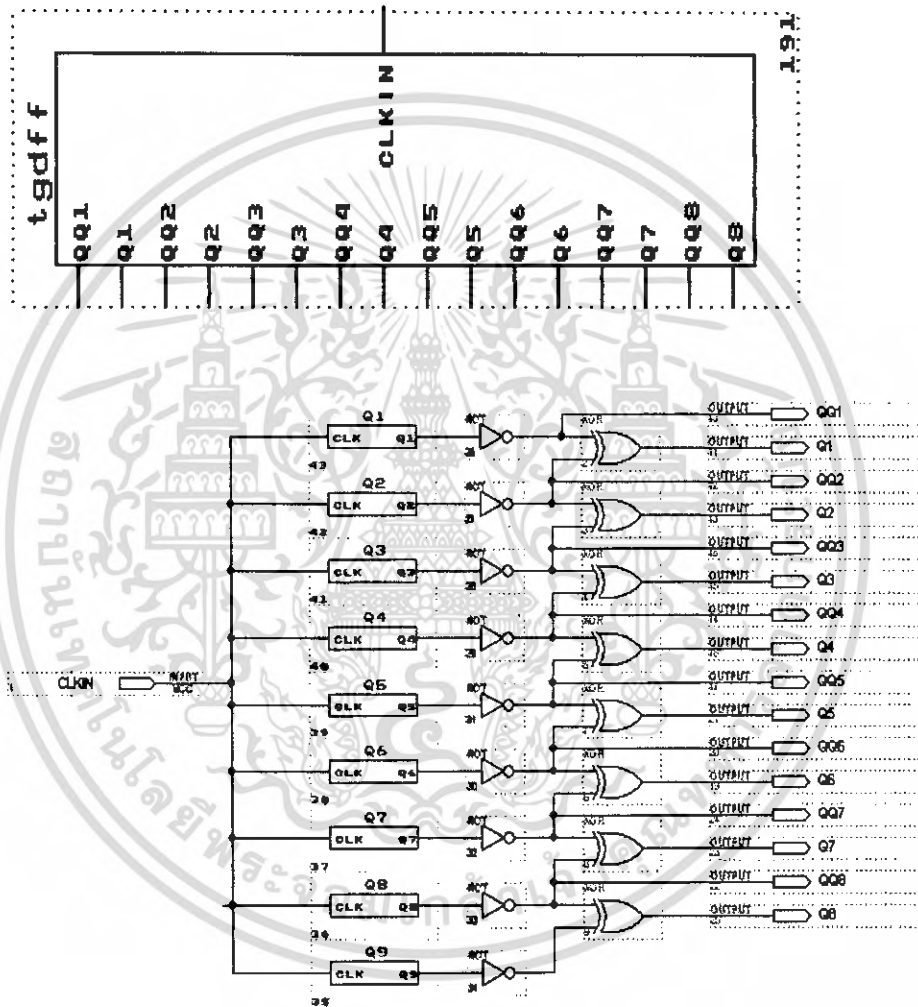


รูปที่ 4.9 Timing Diagram ของ ดี-ฟลิปฟlop จากข้อมูลวงจรจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5 การทำงานของวงจรแยกราง

เมื่อได้สัญญาณข้อมูลจาก CCD เรานำสัญญาณที่ได้มาประมวลผลคว่าสัญญาณนั้น หรือ เมล็ดข้าวอยู่ในราง ไหน โดยอาศัยวงจรแยกรางที่เราได้ทำการออกแบบไว้ในตัว FPGA ซึ่งมีรูปวงจรรังนี้



รูปที่ 4.10 วงจรแยกรางที่ได้ออกแบบไว้ใน FPGA

วงจรแยกรางนี้จะเป็นตัวสร้างสัญญาณเพื่อเช็คว่าสัญญาณที่ได้จาก CCD นั้นอยู่ที่รางไหน โดยภายในวงจรเราได้ทำการแบ่งจุดภาพบนเส้นภาพว่าแต่ละจุดจะอยู่ในรางใดและเมื่อมีเมล็ดข้าวสี คำผ่านเราก็จะนำข้อมูลที่ได้มาประมวลผลทางดิจิทัลกับวงจรแยกรางนี้ จึงทำให้เราทราบได้ว่ามี สิ่งแปลกปลอมเข้ามาในรางใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

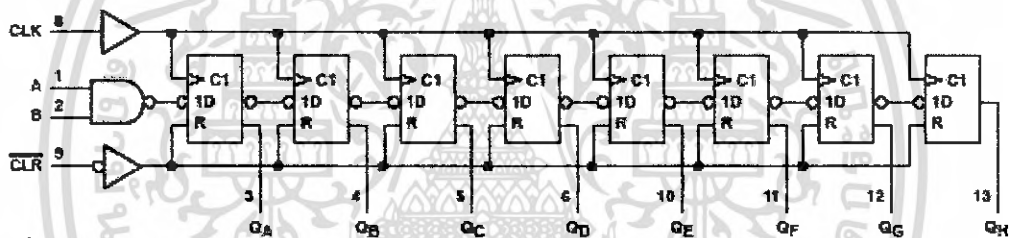
4.3.6 การทำงานของ Shift Register

จะเป็นการแปลงข้อมูลแบบส่งเข้าอนุกรม เปลี่ยนให้ส่งออกเป็นแบบขนาน เพื่อจะนำข้อมูลที่ได้ออกไปใช้งานต่อ

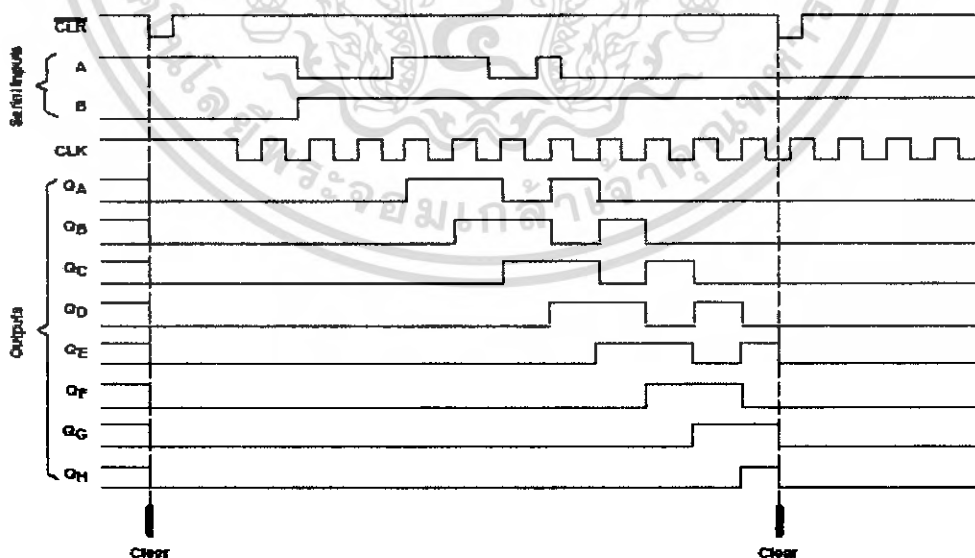
ตัวเลื่อนข้อมูลแบบ SIPO สามารถนำเอาท์พุทมาใช้ได้ใน 2 ลักษณะ คือ

- นำเอาท์พุทขนานมาใช้ คือ OUTPUT QA, QB, QC และ QD
- นำเอาท์พุทอนุกรมมาใช้ คือ จาก QA มาใช้ การนำเอาท์พุทขนานมาใช้ จะต้องอาศัยการเลื่อน 4 จังหวะ จึงจะได้ข้อมูลมาครบถ้วน ส่วนข้อมูลอนุกรมจะได้ครบก็ต่อเมื่อต้องอาศัยการเลื่อน 8 จังหวะ

ต่อไปนี้เป็นตัวอย่างการใช้ฟลิปฟล็อปชนิด D ในการเลื่อนข้อมูลแบบรับเข้าอนุกรม และส่งออกแบบขนาน



รูปที่ 4.11 การนำ D FLIPFLOP มาจัดวงจรเป็นรับเข้าแบบอนุกรม และส่งออกแบบขนาน



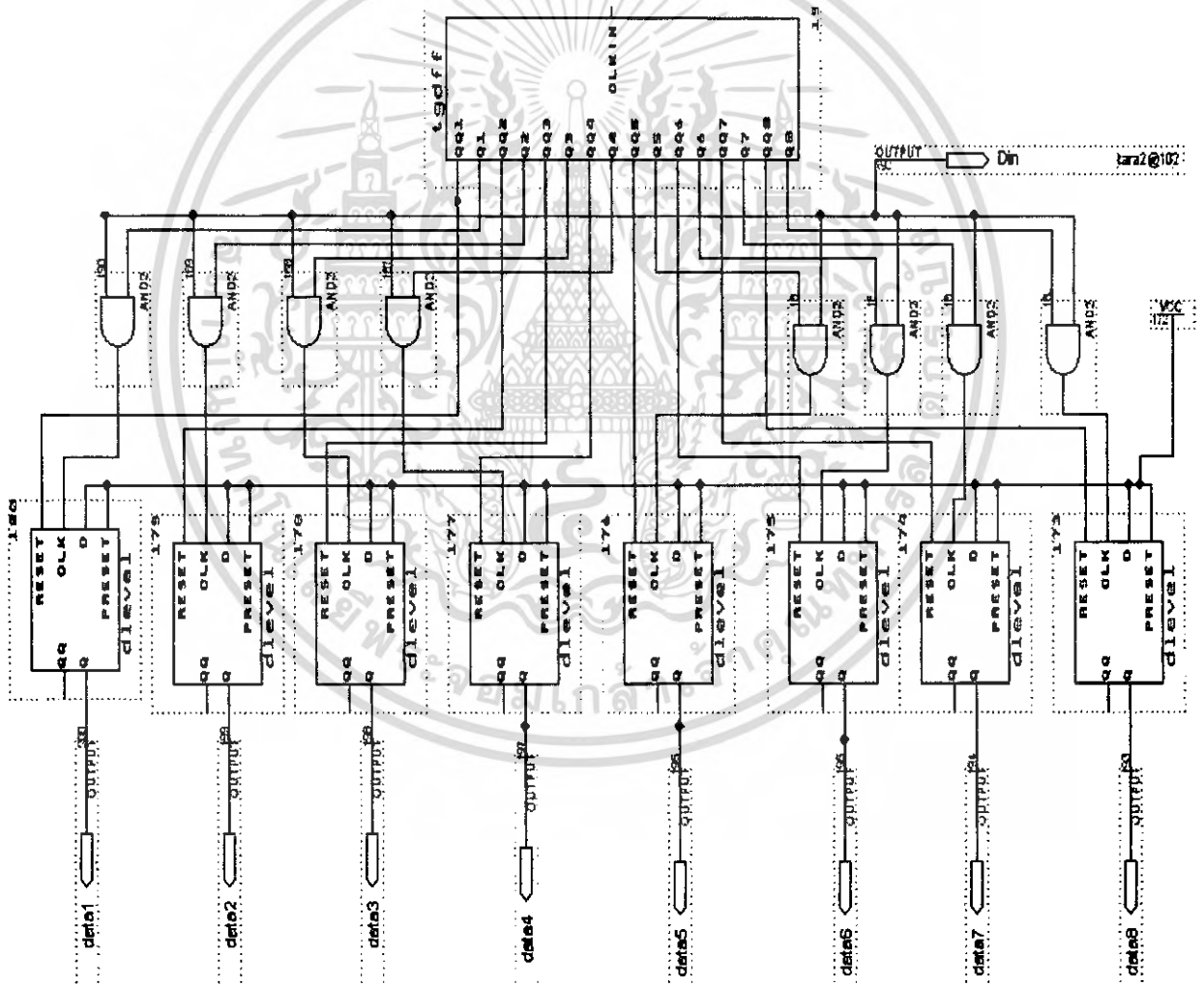
รูปที่ 4.12 หลังจากมีสัญญาณ CLOCK เข้ามาครบ 8 ลูก DATA ที่ส่งเข้ามาในจังหวะที่สัมพันธ์กับสัญญาณ CLOCK จะปรากฏออกมาที่ ขา QA , QB , QC , QD , QE , QF , QG และ QH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับข้อมูลแบบอนุกรมในลักษณะนี้สัญญาณ CLOCK ของฝ่ายรับจะต้องมีคาบเวลาเท่ากับสัญญาณ CLOCK ของฝ่ายหลัง (แต่ไม่จำเป็นต้องเป็นสัญญาณเดียวกัน) ข้อมูลที่รับได้จึงจะเป็นข้อมูลที่ถูกต้อง

4.3.7 การทำงานร่วมกันของวงจรแยกรางกับวงจร Shift Register

เมื่อเราทำการออกแบบวงจรแยกรางและวงจร Shift Register เสร็จเรียบร้อยแล้ว เราจะนำวงจรทั้งสองนั้นมาต่อใช้งานร่วมกันจะได้วงจรดังแสดงในรูปที่ 4.11



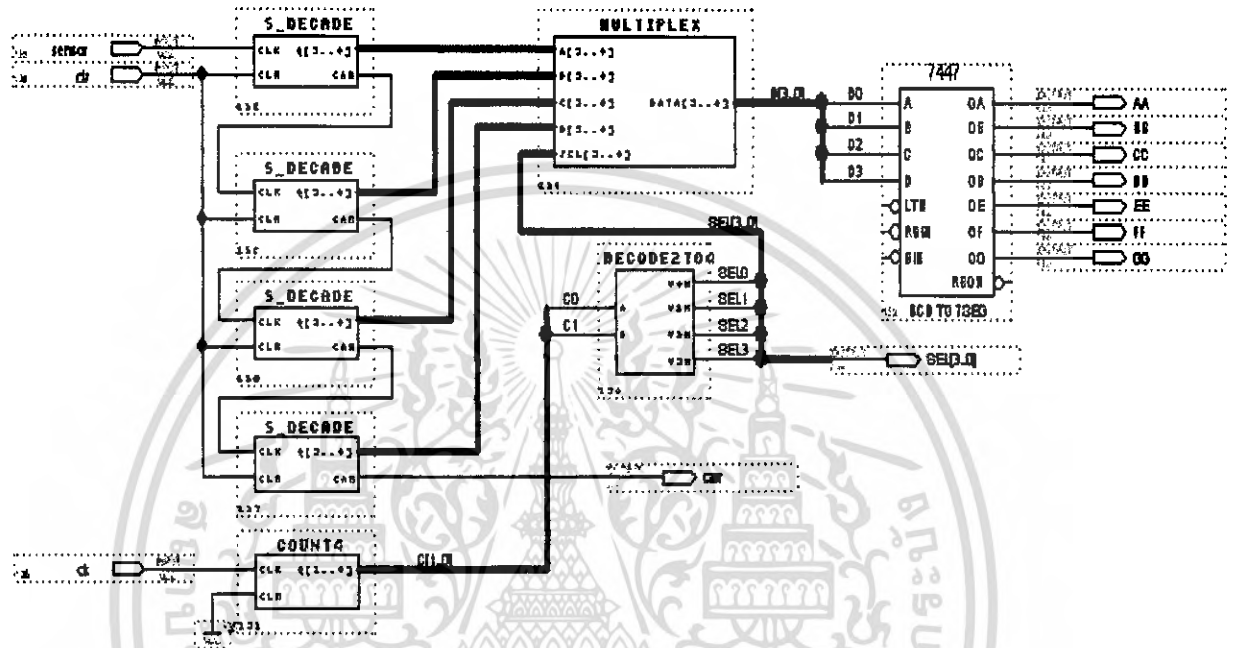
รูปที่ 4.13 การต่อใช้งานของวงจรแยกรางและวงจร Shift Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.8 การทำงานของวงจรรนับ (COUNTER)

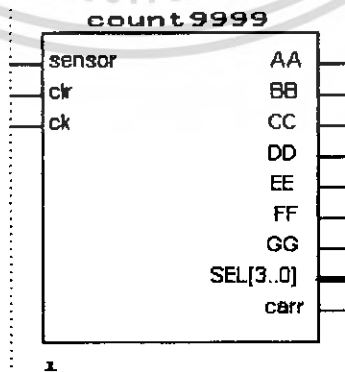
วงจรรนับที่เราใช้นั้นเป็นวงจรรนับ 4 หลัก ซึ่งเราได้ทำการออกแบบไว้ใน FPGA มีวงจรรนับ

รูปที่ 4.12



รูปที่ 4.14 วงจรรนับ 4 หลัก

เมื่อเราออกแบบวงจรรนับเสร็จแล้วจะเห็นได้ว่าวงจรรนับมีขนาดใหญ่จึงทำให้ตอนที่เรานำไปต่อร่วมกับวงจรรทั้งหมดนั้นจะเกิดความยุ่งยากและเปลืองเนื้อที่ เราจึงได้ทำการออกแบบสัญลักษณ์ใน FPGA เพื่อได้ง่ายต่อการนำไปใช้งานซึ่งมีลักษณะดังนี้



รูปที่ 4.15 สัญลักษณ์ของวงจรรนับ 4 หลัก

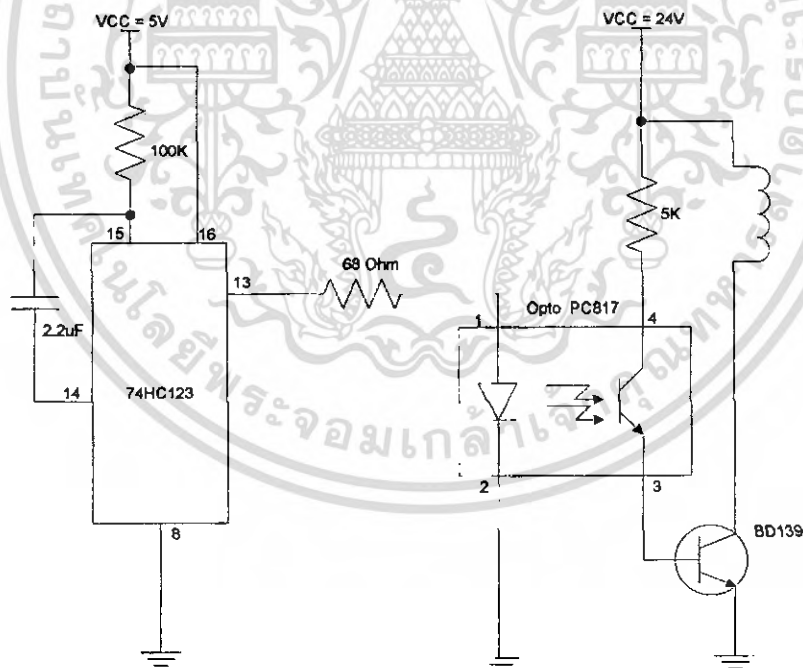
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทํางาน โดยรวมของวงจร เริ่มจากวงจร S_DECADE เป็นวงจรนับที่จํานวน 0-9 และเมื่อนับถึง 9 แล้วก็จะนำตัวทศไปทศให้กับวงจร S_DECADE หลักต่อไป จนครบ 4 หลัก

ส่วนวงจร MULTIPLEX จะเป็นตัวรวมข้อมูลของวงจร S_DECADE แต่ละหลักแปลงเป็นสัญญาณข้อมูลและส่งไปยังวงจร BCD TO 7-SEGMENT (IC เบอร์ 7447) เพื่อส่งไปแสดงผลยัง 7-SEGMENT (COMMON ANODE)

4.3.9 วงจรควบคุมหัวเป่า

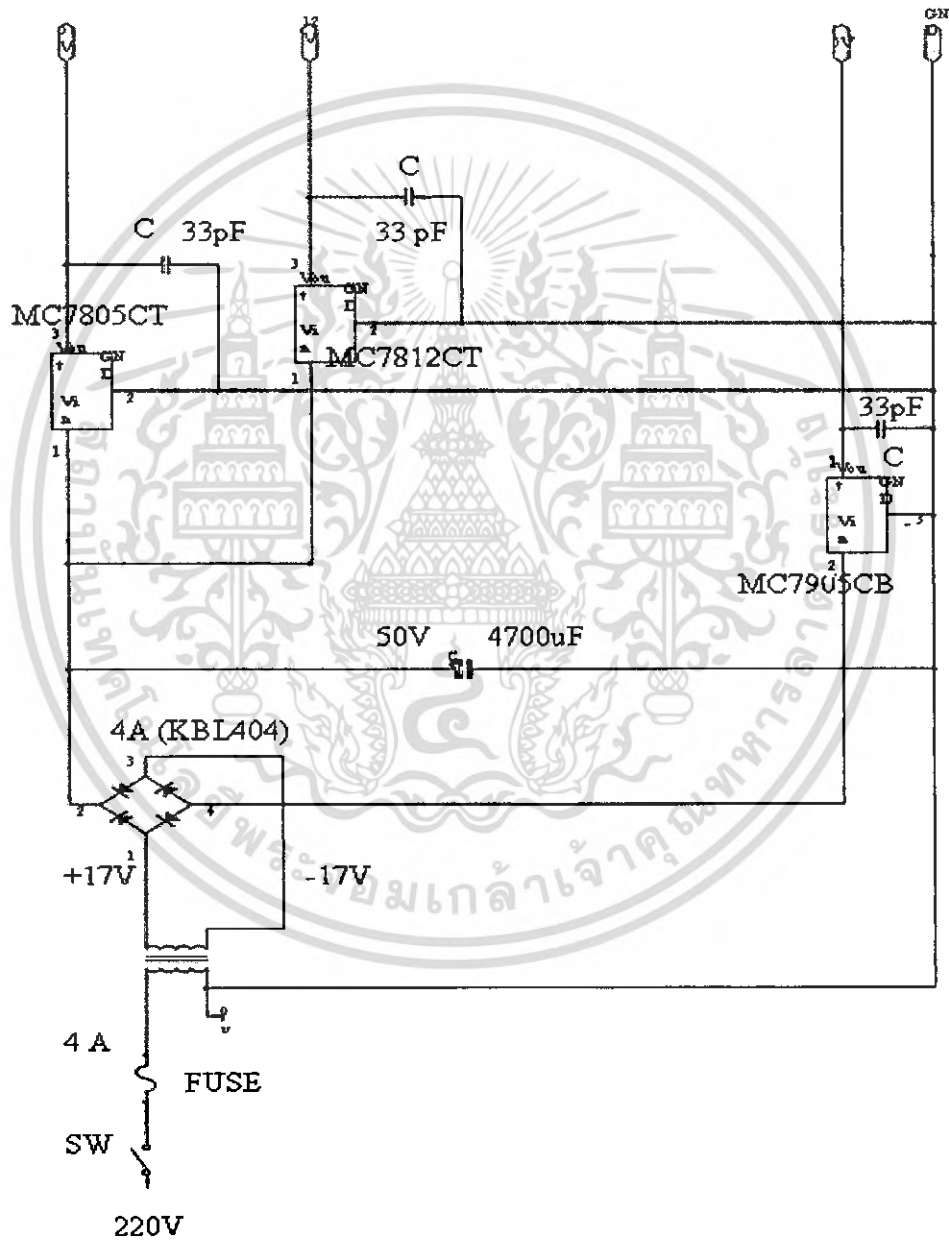
เมื่ วงจรได้รับสัญญาณที่ผ่านวงจรแยกรางก็นำเข้าวงจร Shift Register แล้วนำสัญญาณที่ได้มาเป็นสัญญาณ Trig ให้กับวงจร โมโนสเตเบิล มัลติไวเบรเตอร์ เพื่อทำการขยายความกว้างของสัญญาณพัลส์ แล้วได้สัญญาณพัลส์ที่จะไป Trig ตัว OPTO TRANSISTER (PC 817) หลังจากนั้นจะได้สัญญาณ ไป Drive ตัวทรานซิสเตอร์ BD 139 ซึ่งเป็นทรานซิสเตอร์ที่ใช้เป็นสวิทซ์ในการตัดต่อแรงดันไฟ 24 โวลท์ที่ใช้ป้อนให้กับชุดหัวเป่าซึ่งมีรูปวงจรทั้งหมดดังนี้



รูปที่ 4.16 วงจรควบคุมหัวเป่า

และเมื่อวงจรควบคุมหัวเป่าได้รับสัญญาณแล้วก็จะทำการประมวลผลแล้วส่งข้อมูลไปยัง OUTPUT ก็จะสามารถเปิด-ปิดควาล์วตามที่มีสิ่งแปลกปลอม (วัตถุสีเข้ม) เพื่อทำการกำจัดวัตถุนี้ทิ้งไป

4.3.10 ภาคจ่ายไฟ (POWER SUPPLY)



รูปที่ 4.17 วงจรภาคจ่ายไฟ (POWER SUPPLY)

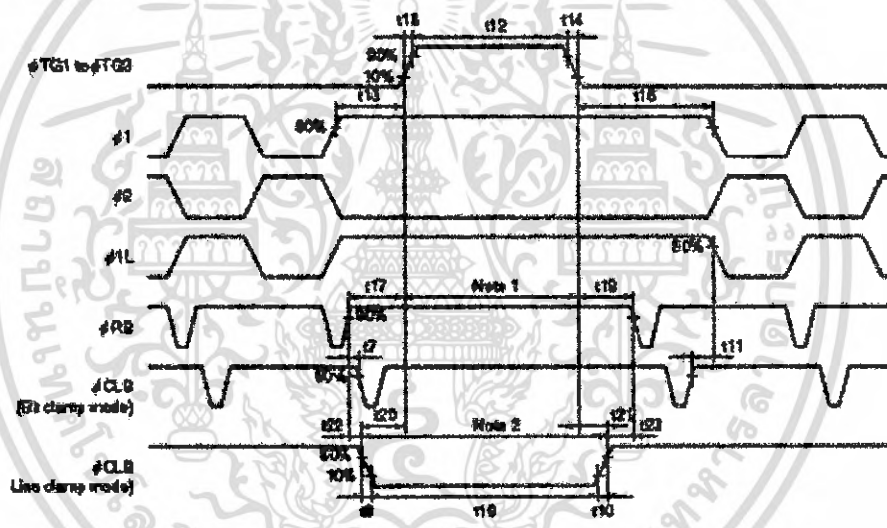
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

5.1 สัญญาณต่างๆที่วัดจาก FPGA

เมื่อเราทำการออกแบบวงจรเรียบร้อยแล้วก่อนที่จะทำการป้อนให้กับตัว CCD เราจำเป็นต้องทำการวัดสัญญาณจากขาของ FPGA ก่อนว่าถูกต้องตาม Data Sheet ของ CCD หรือไม่ ซึ่งสัญญาณใน Data Sheet จะมีลักษณะ ดังแสดงในรูป 5.1 จะเห็นได้ว่ารูปสัญญาณต่างๆ จะมีช่วงเวลาเป็นตัวกำหนดเพื่อที่จะทำให้ตัว CCD มีความเร็วในการจับภาพได้มากน้อยเพียงใด



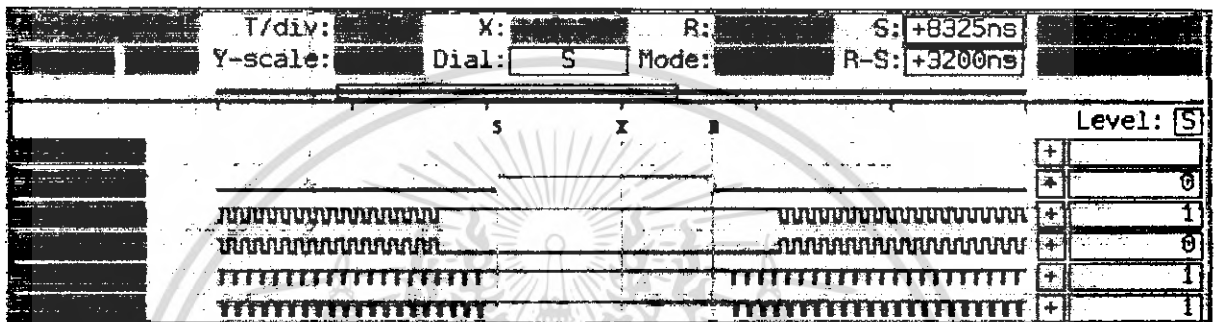
Symbol	Min.	Typ.	Max.	Unit
t7	-5	50	-	ns
t8, t10	0	5	-	ns
t11	10	50	-	ns
t12	5000	10000	50000	ns
t13, t14	0	50	-	ns
t15, t16	500	1000	-	ns
t17, t18	200	400	-	ns
t19	112	112	50000	ns
t20, t21	0	50	-	ns
t22, t23	0	500	-	ns

รูปที่ 5.1 สัญญาณควบคุม CCD ใน Data Sheet

ถ้าต้องการให้ CCD มีความเร็วมากต้องใช้ช่วงเวลาที่ใกล้เคียงกับค่า Min ดังนั้นเราจึงได้ผลของการออกแบบสัญญาณต่างๆดังนี้

5.1.1 ช่วงเวลาของสัญญาณ TG (t_{12} ใน Data Sheet)

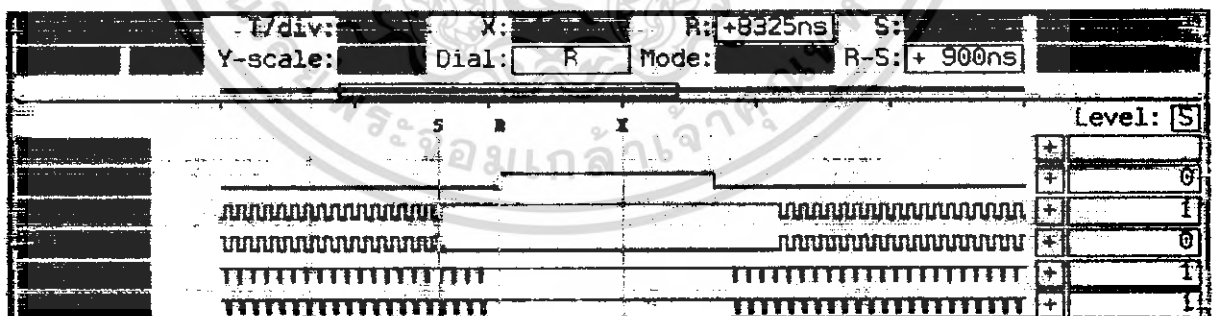
จากรูปสัญญาณ TG ด้านล่างจะเห็นได้ว่าค่าของ TG ที่ได้นั้นมีค่า 3200 nS ซึ่งค่าเวลานี้มีค่าใกล้เคียงกับค่า Min ใน Data Sheet ของ CCD คือ 3000 nS



รูปที่ 5.2 สัญญาณของ TG

5.1.2 ช่วงเวลาของสัญญาณระหว่าง Phase 1 กับ TG (t_{15} ใน Data Sheet)

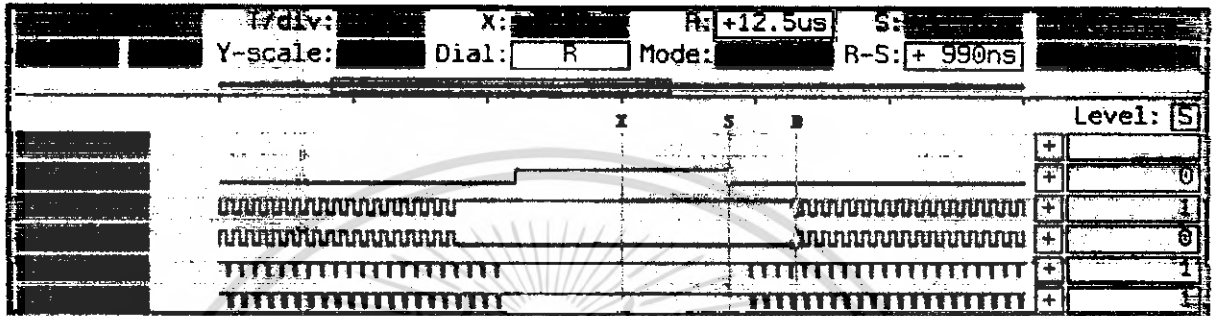
จากรูปด้านล่างแสดงถึงความสัมพันธ์ระหว่าง Phase 1 กับ TG จะได้ค่าเวลา 900 nS เมื่อเปรียบเทียบกับ t_{15} ใน Data Sheet ซึ่งมีค่าเวลาช่วง Min เท่ากับ 900 nS จะเห็นว่ามีค่าเท่ากัน



รูปที่ 5.3 สัญญาณระหว่าง Phase 1 กับ TG

5.1.3 ช่วงเวลาของสัญญาณระหว่าง Phase 1 กับ TG (t16 ใน Data Sheet)

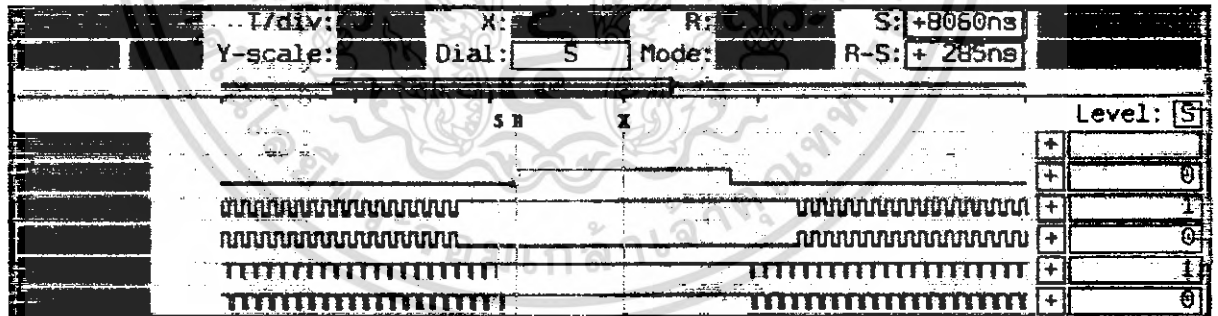
จากรูปด้านล่างแสดงถึงความสัมพันธ์ระหว่าง Phase1 กับ TG จะได้ค่าเวลา 990 nS เมื่อเปรียบเทียบกับ t16 ใน Data Sheet ซึ่งมีค่าเวลาช่วง Min เท่ากับ 900 nS จะเห็นว่ามีค่าใกล้เคียงกัน



รูปที่ 5.4 สัญญาณระหว่าง Phase 1 กับ TG

5.1.4 ช่วงเวลาของสัญญาณระหว่าง RB กับ TG (t17 ใน Data Sheet)

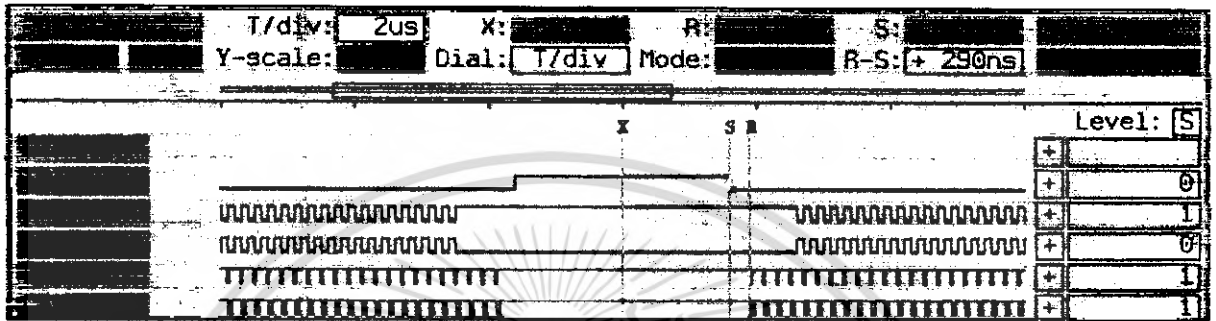
จากรูปเป็นช่วงเวลาที่แสดงความสัมพันธ์ระหว่าง RB กับ TG จะ ได้ค่าเวลา 285 nS และเมื่อทำการเปรียบเทียบกับ t17 ใน Data Sheet ซึ่งมีค่าเวลาช่วง Min เท่ากับ 200 nS จะเห็นว่ามีค่าใกล้เคียงกัน



รูปที่ 5.5 สัญญาณระหว่าง RB กับ TG

5.1.5 ช่วงเวลาของสัญญาณระหว่าง RB กับ TG (t18 ใน Data Sheet)

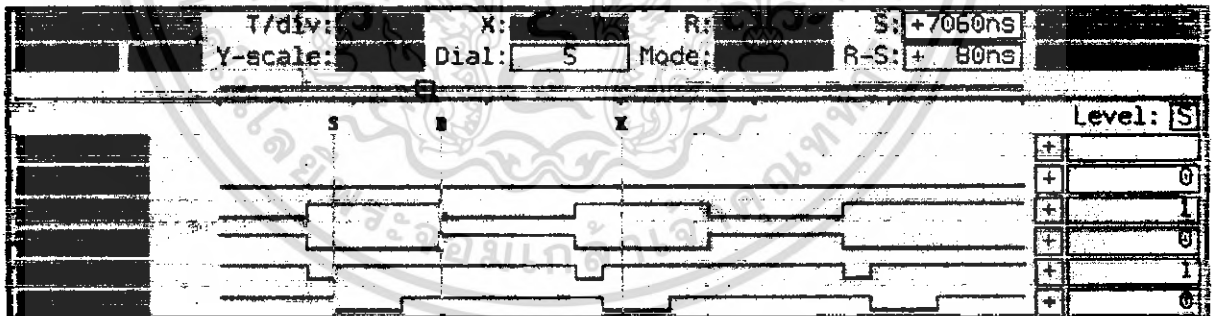
จากรูปเป็นช่วงเวลา que แสดงความสัมพันธ์ระหว่าง RB กับ TG จะได้ค่าเวลา 290 ns และเมื่อทำการเปรียบเทียบกับ t18 ใน Data Sheet ซึ่งมีค่าเวลาช่วง Min เท่ากับ 200 ns จะเห็นว่ามืค่าใกล้เคียงกัน



รูปที่ 5.6 สัญญาณระหว่าง RB กับ TG

5.1.6 ช่วงเวลาของสัญญาณระหว่าง RB กับ Phase1

ช่วงเวลาระหว่าง RB กับ Phase1 เราวัดค่าได้ 80 ns ซึ่งมีค่าไม่ใกล้เคียงกับค่า Min ของ Data Sheet ที่มีค่าเท่ากับ 40 ns แต่เป็นค่าที่ยอมรับได้เพราะอยู่ในช่วง 40 ns-300 ns

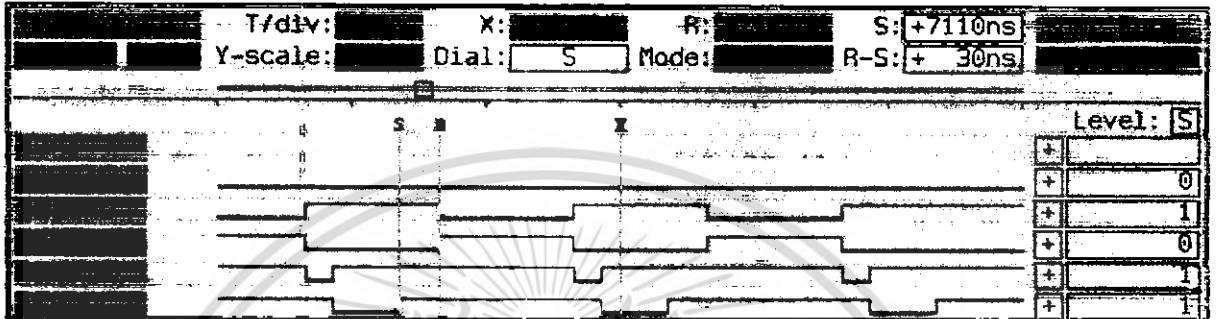


รูปที่ 5.7 สัญญาณระหว่าง RB กับ Phase1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.7 ช่วงเวลาของสัญญาณระหว่าง CLB กับ Phase1

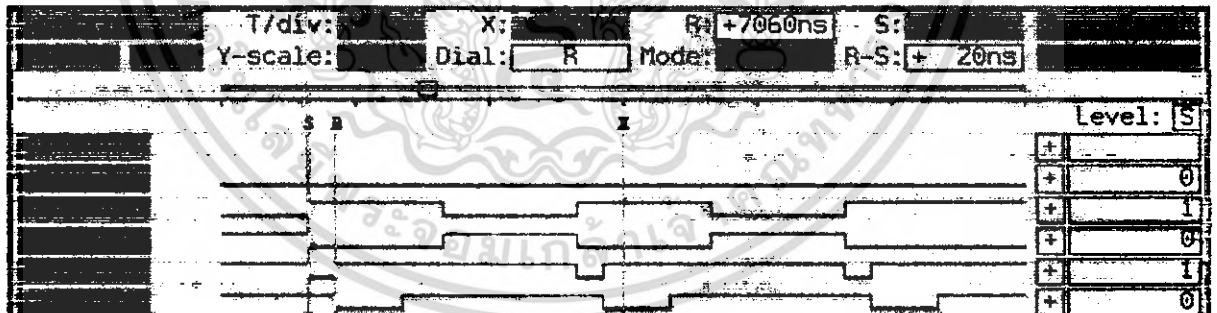
ช่วงเวลาระหว่าง CLB กับ Phase1 เราวัดค่าได้ 30 nS ซึ่งมีค่าไม่ใกล้เคียงกับค่า Min ของ Data Sheet ที่มีค่าเท่ากับ 10 nS แต่เป็นค่าที่ยอมรับได้เพราะอยู่ในช่วง 10 nS-50 nS



รูปที่ 5.8 สัญญาณระหว่าง Phase1 กับ CLB

5.1.8 ช่วงเวลาของสัญญาณ RB

ความกว้างของสัญญาณ RB ในส่วนที่นำมาใช้งานมีค่าเท่ากับ 20 nS ซึ่งมีค่าเท่ากับค่า Min ของ Data Sheet

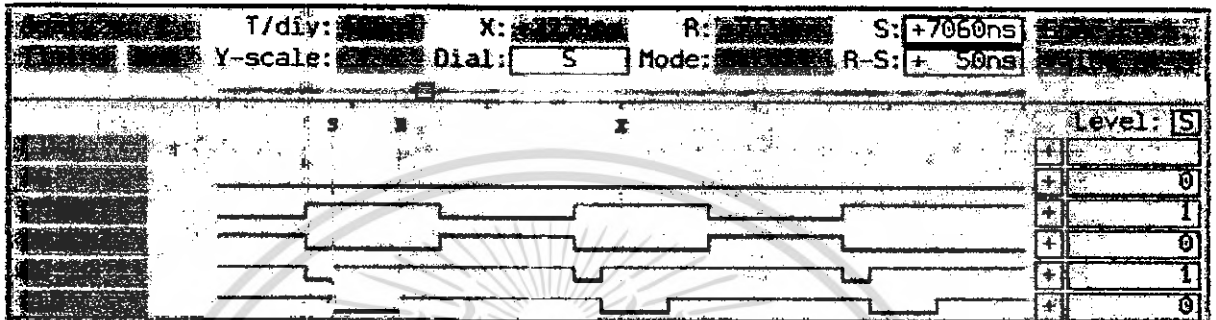


รูปที่ 5.9 สัญญาณความกว้างของ RB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

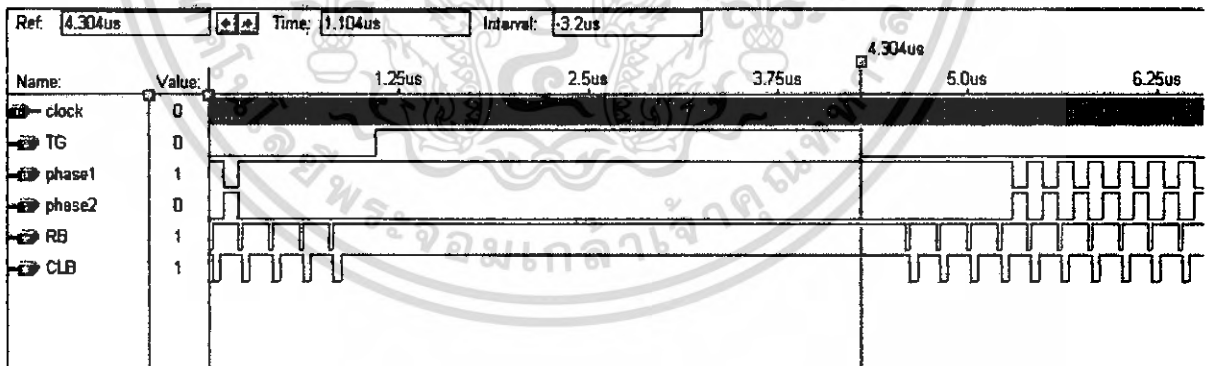
5.1.9 ช่วงเวลาของสัญญาณ CLB

ความกว้างของสัญญาณ RB ในส่วนที่นำมาใช้งานมีค่าเท่ากับ 50 ns ซึ่งมีค่าใกล้เคียงกับค่า Min ของ Data Sheet ที่มีค่า 35 ns แต่อยู่ในค่าที่สามารถนำไปใช้งานได้



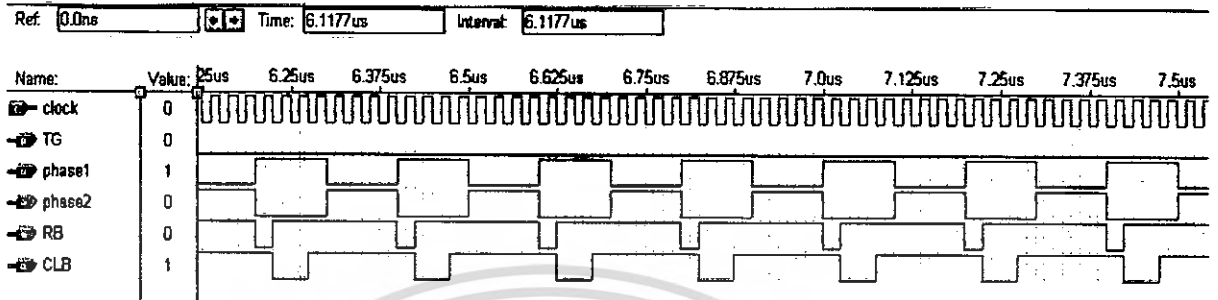
รูปที่ 5.10 สัญญาณความกว้างของ CLB

จากรูปสัญญาณที่ผ่านมาเป็นการวัดสัญญาณที่ขาของชิพ FPGA ดังนั้นเราได้นำรูปสัญญาณต่าง ๆ มาทำการเปรียบเทียบกับรูปสัญญาณที่ได้จากการ Simulate ใน โปรแกรม MAX PLUS II ซึ่งมีรูปดังนี้



รูปที่ 5.11 สัญญาณที่ออกแบบใน โปรแกรม MAX PLUS II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



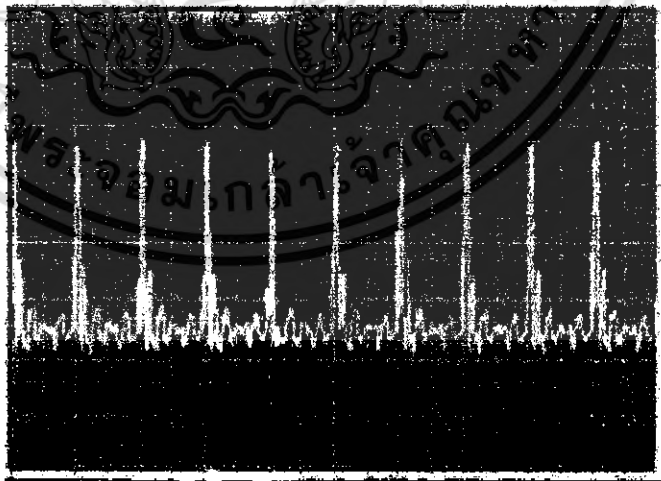
รูปที่ 5.12 สัญญาณแสดงขนาดความกว้างและความสัมพันธ์ของ Phase1,Phase2,RB และ CLB

ซึ่งจะเห็นได้ว่าขนาดความกว้างของ Pulse และระยะห่างของสัญญาณที่ Simulate ใน โปรแกรม MAX PLUS II กับที่วัดจากขา FPGA มีค่าเหมือนกัน

5.2 รูปสัญญาณ OUTPUT จาก CCD

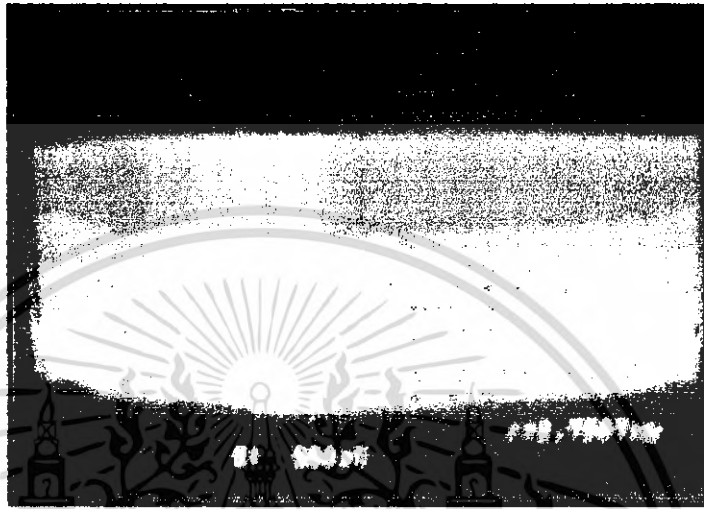
5.2.1 รูปสัญญาณที่มาจาก CCD โดยตรง

รูปสัญญาณที่ได้จาก CCD ขณะที่ยังไม่มีการตรวจจับวัตถุโดยได้ทำการขยายให้เห็นช่วงของสัญญาณชัดเจนขึ้น



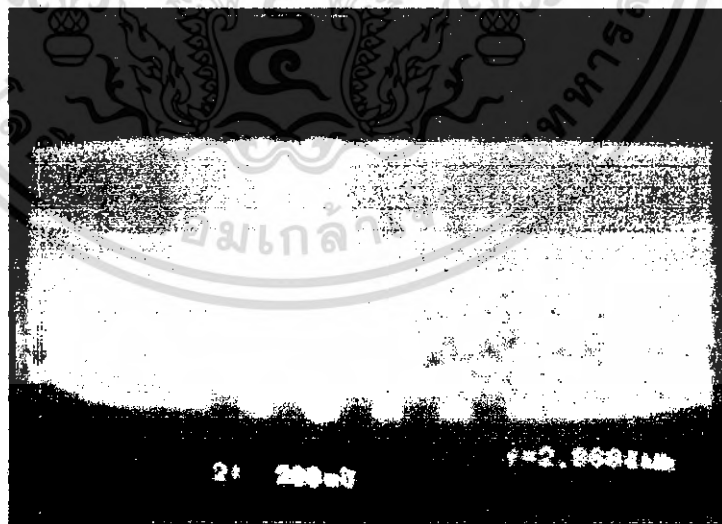
รูปที่ 5.13 รูปสัญญาณ OUTPUT จาก CCDขณะที่ยังไม่ได้ทำการตรวจจับวัตถุ

รูปสัญญาณนี้เป็นรูปสัญญาณที่ยังไม่มีการตรวจจับวัตถุ โดยจะมีแรงดันคงที่และเป็นรูปสัญญาณที่ได้จาก CCD โดยตรงซึ่งยังไม่ผ่านวงจรใดๆ



รูปที่ 5.14 รูปสัญญาณ OUTPUT จาก CCD ขณะที่ยังไม่ได้ทำการตรวจจับวัตถุ

รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับวัตถุสีดำซึ่งจะเห็นได้ว่ามีแรงดันเปลี่ยนแปลงโดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้องรวมทั้งจำนวนวัตถุด้วย



รูปที่ 5.15 รูปสัญญาณ OUTPUT จาก CCD ขณะที่มีการตรวจจับวัตถุที่มีสีดำ

5.2.2 รูปสัญญาณที่ผ่านวงจร Comparater

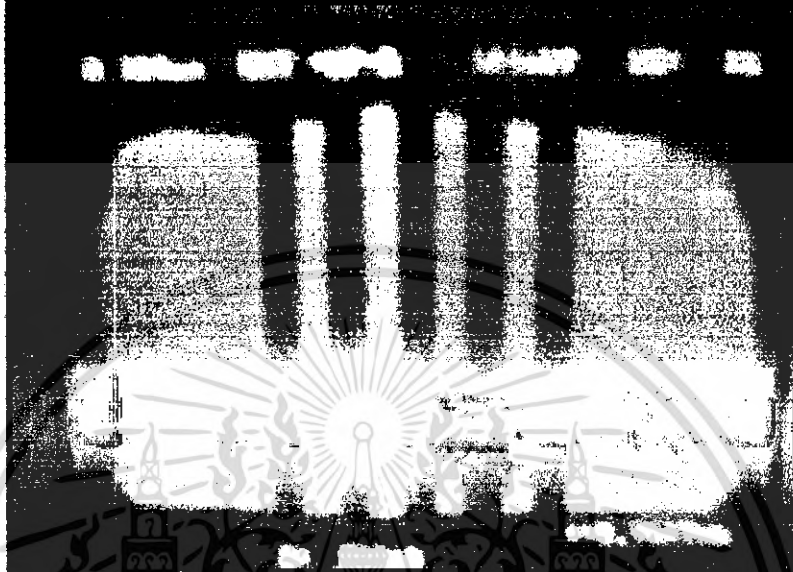
เมื่อเราได้รูปสัญญาณจาก CCD แล้วเรานำสัญญาณที่ได้นั้นมาทำการเปรียบเทียบสัญญาณ โดยผ่านวงจร Comparater ทำให้ได้รูปสัญญาณดังนี้

- 1) ขณะที่ CCD ยังไม่มีการตรวจจับวัตถุ



รูปที่ 5.16 รูปสัญญาณที่ผ่านวงจร Comparater ขณะยังไม่มีการตรวจจับวัตถุ

2) ขณะที่ CCD มีการตรวจจับวัตถุ



รูปที่ 5.17 รูปสัญญาณที่ผ่านวงจร Comparater ขณะที่มีการตรวจจับวัตถุ

5.2.3 รูปสัญญาณที่ผ่าน D- FLIPFLOP

เมื่อเราได้สัญญาณจากวงจร Comarater ก็นำสัญญาณดังกล่าวนั้น ไปเข้า D-FlipFlop เพื่อกำจัดสัญญาณที่ไม่ต้องการ หรือเพื่อแยกสัญญาณที่ต้องการนำไปประมวลผลต่อไป ซึ่งได้สัญญาณดังรูป

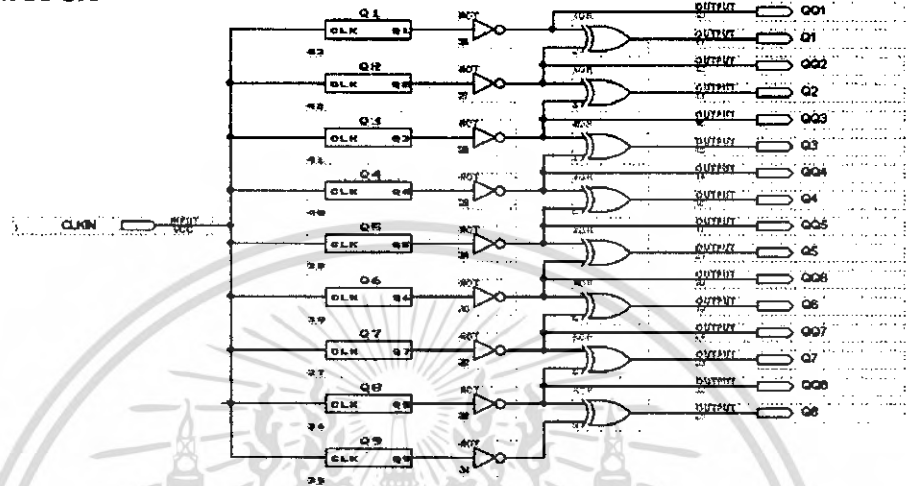


รูปที่ 5.18 รูปสัญญาณที่ผ่าน D-FLIPFLOP

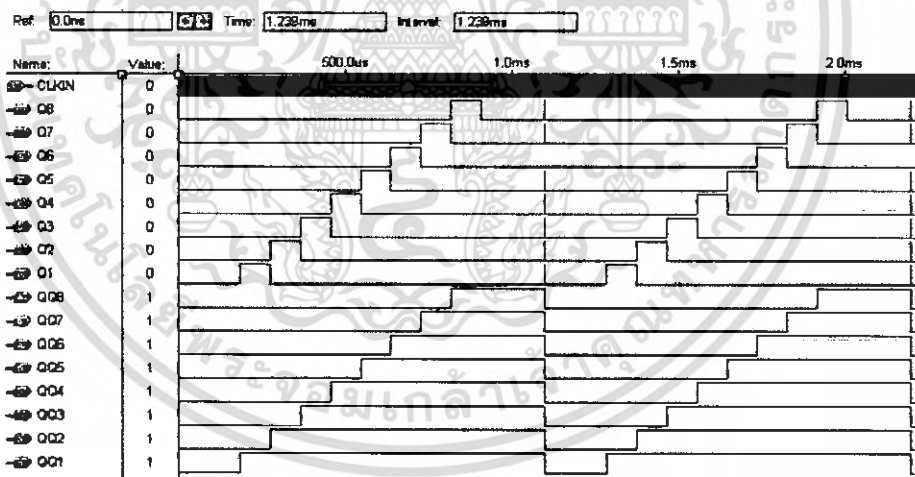
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 รูปสัญญาณเมื่อเข้าวงจรแยกแวง

เมื่อเราได้สัญญาณที่ผ่าน D-FlipFlop แล้วนั้นก็ทำการป้อนให้กับวงจรแยกแวงซึ่งได้ทำการ
ออกแบบไว้ใน FPGA



รูปที่ 5.19 วงจรแยกแวง



รูปที่ 5.20 สัญญาณของวงจรแยกแวงที่ได้จากการ Simulate ใน FPGA

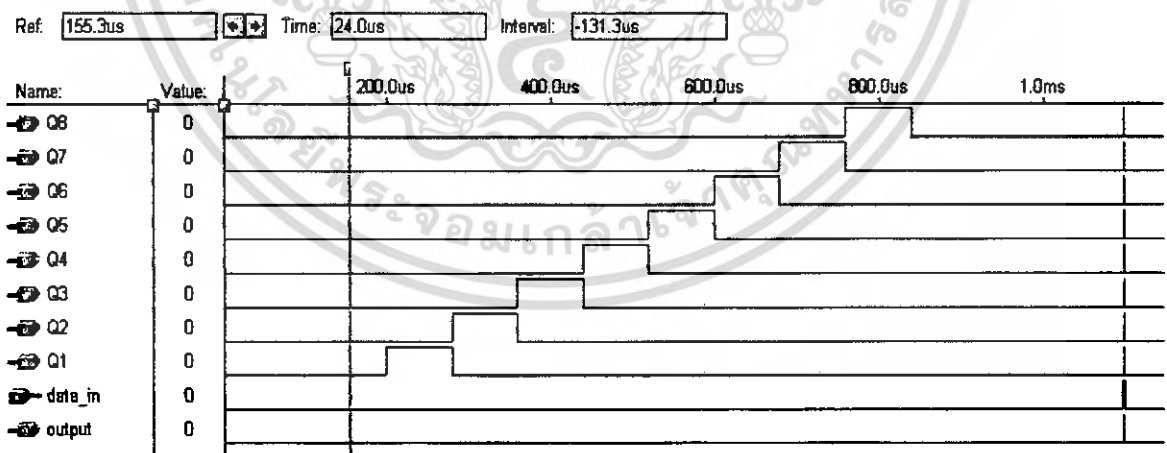
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีสัญญาณข้อมูลเข้ามาในวงจรแบริกร จากนั้นจะนำสัญญาณที่เข้ามาไปผ่าน AND GATE เพื่อทำการ AND กับสัญญาณของวงจรแบริกรด้านบนจะได้รูปสัญญาณดังนี้



รูปที่ 5.21 รูปสัญญาณที่ผ่านวงจรแบริกร

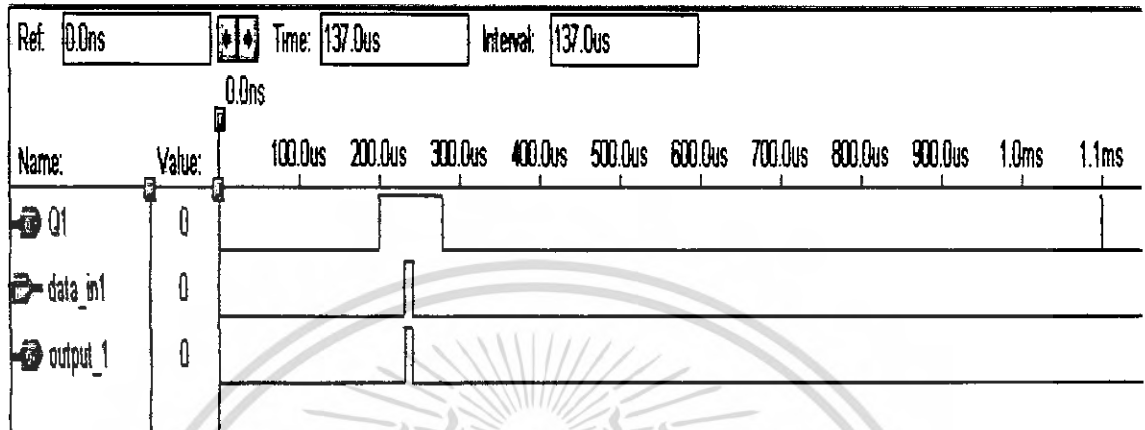
1) รูปสัญญาณขณะที่ยังไม่มีการกดปุ่ม



รูปที่ 5.22 รูปสัญญาณขณะที่ยังไม่มีการกดปุ่ม

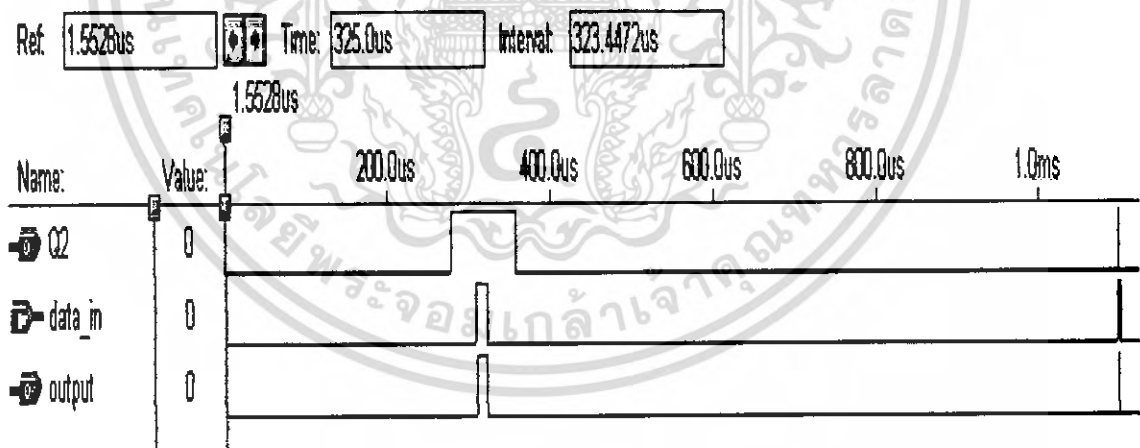
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 1



รูปที่ 5.23 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 1

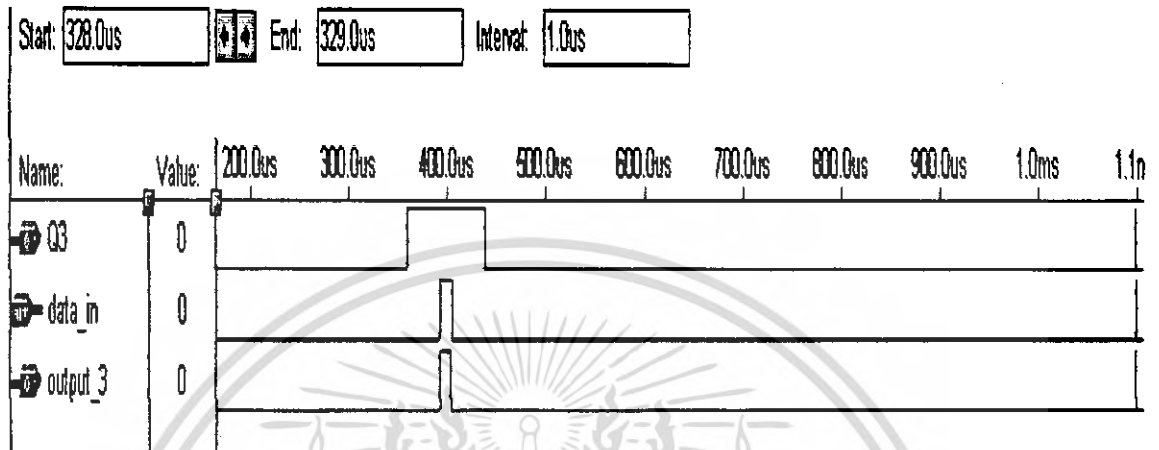
3) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 2



รูปที่ 5.24 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 2

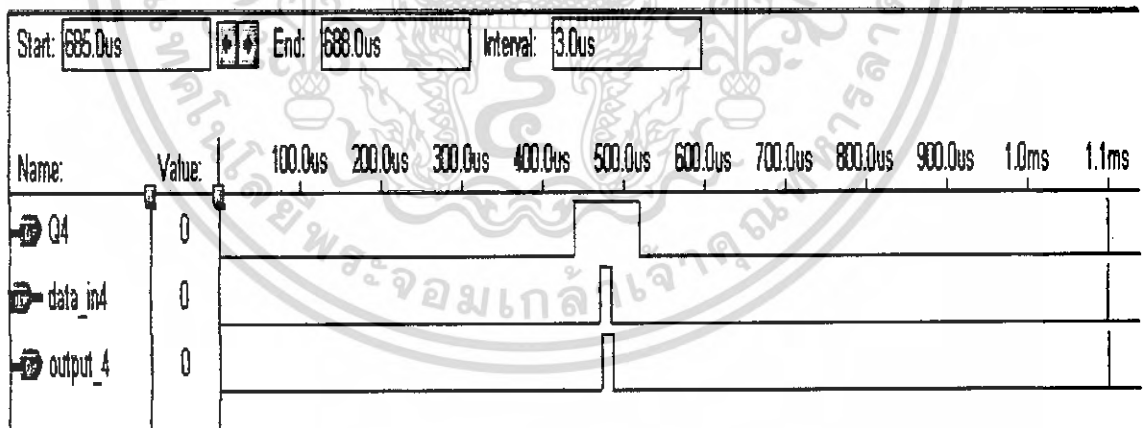
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 3



รูปที่ 5.25 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 3

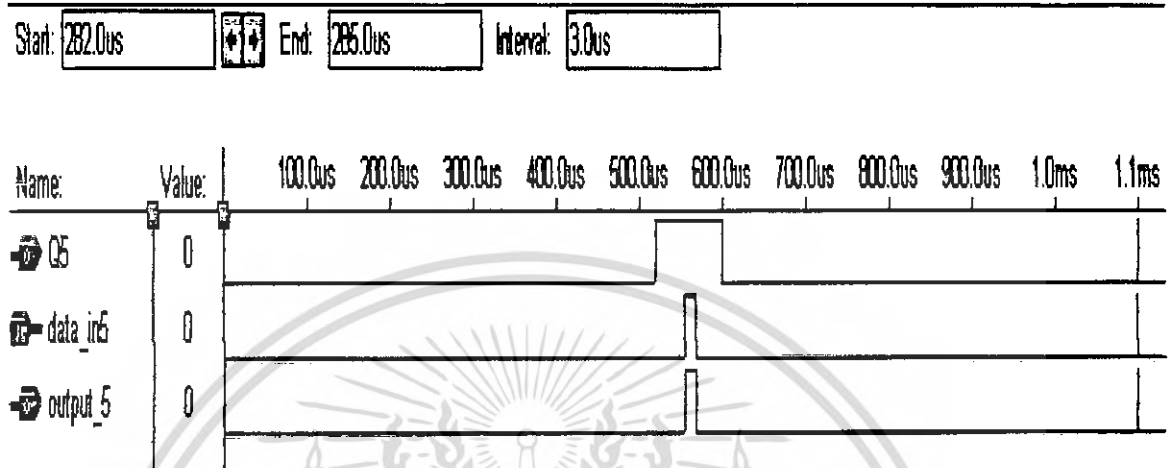
5) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 4



รูปที่ 5.26 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 4

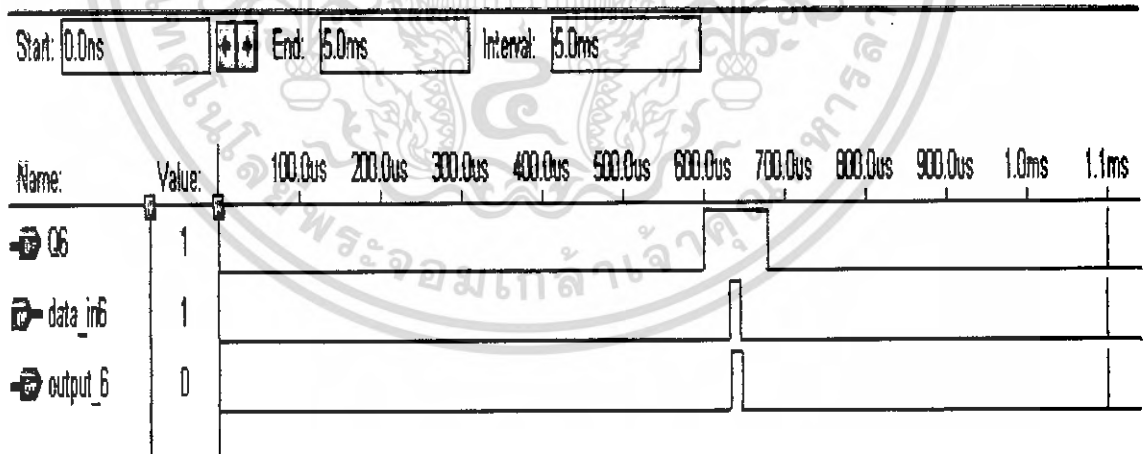
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 5



รูปที่ 5.27 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 5

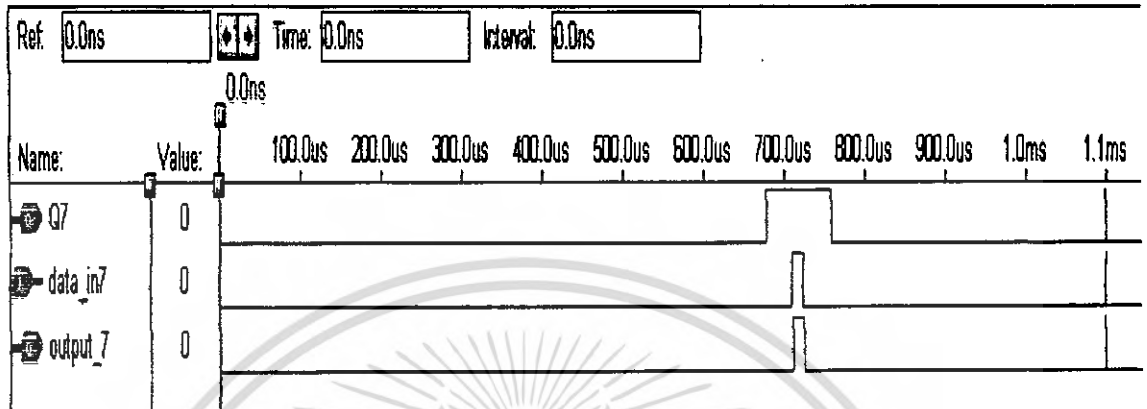
7) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 6



รูปที่ 5.28 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 6

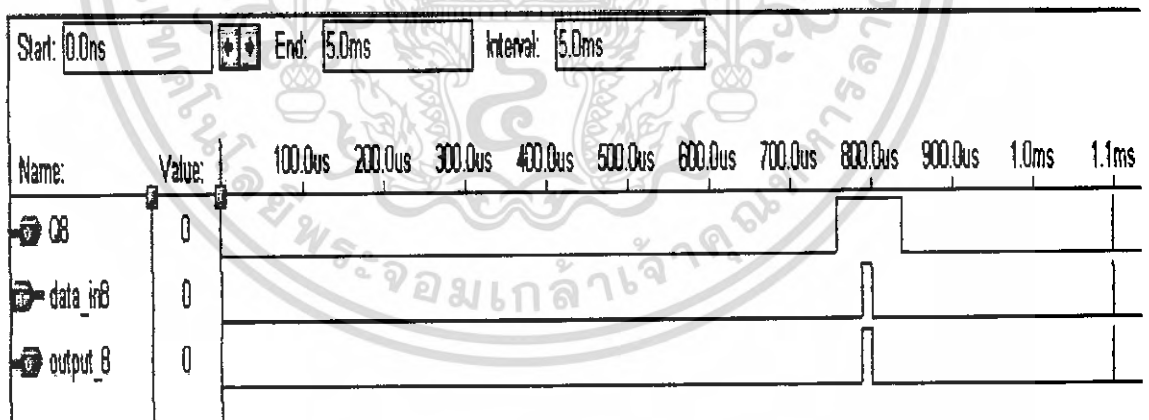
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 7



รูปที่ 5.29 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 7

9) รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 8



รูปที่ 5.30 รูปสัญญาณที่มีเมตริกซ์ค่าผ่านรางที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.6 ผลการทดลองถึงความถาดชั้นของรางที่องศาต่างๆ

- 1.) เตรียมผลผลิตที่ต้องการเป็นวัตถุขนาดเล็กลงขนาดสี่ขา เช่น ข้าว และของเสียบที่ไม่ต้องการ เป็นวัตถุสี่ขา จำนวน 50 เมล็ด
- 2.) ปลดปล่อยผลผลิตให้ไหลตามรางที่ 3 ที่ความถาดชั้น 30 องศา
- 3.) ทำการตรวจจับวัตถุสี่ขาที่ไม่ต้องการ โดยแสดงผลออกทาง 7-Segment แล้วทำการบันทึกผลลงในตารางที่ 5.1
- 4.) ทำการทดลองตามข้อ 2. และข้อ 3. อีกครั้งแต่ทำการเปลี่ยนความถาดชั้นเป็น 45 องศา และทำการบันทึกผลลงในตารางที่ 5.1
- 5.) ทดสอบปล่อยข้าวในรางที่ 4, 5 ที่ความชัน 30 องศา แล้วทำตามข้อที่ 3, 4 จากนั้นบันทึกผลลงในตารางที่ 5.2 และ 5.3 ตามลำดับ

ผลการทดลอง

ตารางที่ 5.1 จำนวนของเสียบที่นับได้ของรางที่ 3 ในลักษณะต่างๆ

ครั้งที่	ความชันของราง (องศา)	
	30 องศา	45 องศา
1	50 เมล็ด	49 เมล็ด
2	49 เมล็ด	48 เมล็ด
3	50 เมล็ด	48 เมล็ด
เฉลี่ย	49 เมล็ด	48 เมล็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 จำนวนของเสียที่นับได้ของรางที่ 4 ในลักษณะต่างๆ

ครั้งที่	ความชันของราง (องศา)	
	30 องศา	45 องศา
1	50 เมตีด	49 เมตีด
2	50 เมตีด	48 เมตีด
3	50 เมตีด	49 เมตีด
เฉลี่ย	50 เมตีด	49 เมตีด

ตารางที่ 5.3 จำนวนของเสียที่นับได้ของรางที่ 5 ในลักษณะต่างๆ

ครั้งที่	ความชันของราง (องศา)	
	30 องศา	45 องศา
1	48 เมตีด	48 เมตีด
2	49 เมตีด	47 เมตีด
3	48 เมตีด	47 เมตีด
เฉลี่ย	48 เมตีด	47 เมตีด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.7 ผลการทดลองการคัดแยกเมล็ดข้าวที่ไม่ต้องการโดยใช้ชุดหัวเป่า

นำสัญญาณที่ได้จากวงจร Shift Register แยกออกเป็น 2 ทางซึ่งทางหนึ่งไปเข้าวงจรนับและอีกทางหนึ่งนำสัญญาณไป Trig ให้วงจร โมโนสเตเบิลเพื่อทำการควบคุมชุดหัวเป่าที่จะทำการแยกสิ่งแปลกปลอม (วัตถุแข็ง)

จากการที่เราทำการนับของเสียในรางต่างๆแล้วนั้น จากนั้นชุดหัวเป่าก็จะทำการคัดแยกของเสีย นั้นออกไป

ผลการทดลอง (จำนวนที่ใช้ในการทดสอบเมล็ดข้าวจำนวน 50 เมล็ด)

ตารางที่ 5.4 จำนวนของเสียที่ชุดหัวเป่าคัดแยกออกมาได้ในรางที่ 3 ที่องศาต่างๆ

ครั้งที่	ความชื้นของราง (องศา)	
	30 องศา	45 องศา
1	45 เมล็ด	44 เมล็ด
2	43 เมล็ด	44 เมล็ด
3	46 เมล็ด	42 เมล็ด
เฉลี่ย	44 เมล็ด	43 เมล็ด

ตารางที่ 5.5 จำนวนของเสียที่ชุดหัวเป่าคัดแยกออกมาได้ในรางที่ 4 ที่องศาต่างๆ

ครั้งที่	ความชื้นของราง (องศา)	
	30 องศา	45 องศา
1	46 เมล็ด	45 เมล็ด
2	46 เมล็ด	44 เมล็ด
3	47 เมล็ด	46 เมล็ด
เฉลี่ย	46 เมล็ด	45 เมล็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.6 จำนวนของเสียที่ชุดหัวเป่าคัดแยกออกมาได้ในรางที่ 5 ที่องศาต่างๆ

ครั้งที่	ความชื้นของราง (องศา)	
	30 องศา	45 องศา
1	42 เมล็ด	42 เมล็ด
2	43 เมล็ด	41 เมล็ด
3	42 เมล็ด	42 เมล็ด
เฉลี่ย	42 เมล็ด	41 เมล็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและวิจารณ์ผลการทดลอง

ในการทำเครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว โดยการประมวลผลภาพนั้น เริ่มต้นด้วยการศึกษาการเขียน โปรแกรมด้วยภาษา VHDL และการใช้งาน โปรแกรม MAX PLUS II เพื่อที่จะได้นำมาเป็นเครื่องมือในการออกแบบวงจรที่อยู่ใน FPGA เพื่อที่จะให้เกิดความสะดวก และถ้ามีการออกแบบที่ผิดพลาดก็สามารถที่จะแก้ไขได้สะดวก

เริ่มออกแบบวงจรภาค Drive CCD เพื่อสร้างสัญญาณ TG, RB, CLB, Phase 1, Phase 2 ซึ่งเป็นสัญญาณที่ใช้ควบคุมการทำงานของ CCD และเมื่อ CCD ได้รับสัญญาณจากภาค Drive CCD แล้วเราก็จะทำการวัดสัญญาณ OUTPUT ที่ได้จาก CCD โดยจะใช้หินสีขาวเป็นฉากรับแสงเพื่อสะท้อนกลับให้ CCD และเราจะใช้วัตถุสีดำเพื่อทดลองในการตรวจจับภาพ

ในขณะที่ยังไม่มีวัตถุสีดำผ่านสัญญาณที่ได้จาก CCD จะมีแรงดันคงที่อยู่ในระดับหนึ่งและเมื่อวัตถุสีดำผ่านระดับแรงดันก็จะมีค่าเปลี่ยนแปลงไปในทางที่สูงขึ้นกว่าระดับแรงดันที่ยังไม่มีวัตถุผ่านและเมื่อเรานำสัญญาณจาก OUTPUT ของ CCD ไปผ่านวงจร Comparater จะเห็นได้ว่าค่าของระดับแรงดันจะมีค่าแตกต่างกันอย่างชัดเจนซึ่งก็หมายถึงตัวกล้อง CCD สามารถตรวจจับวัตถุและแยกสีของวัตถุได้คือ ถ้าวัตถุมีสีอ่อน โกล้เคียงสีขาวระดับค่าแรงดันก็จะมีเปลี่ยนแปลงน้อยมากหรือไม่มีการเปลี่ยนแปลง ในทางตรงข้ามถ้าวัตถุมีสีเข้มระดับค่าแรงดันก็จะเปลี่ยนแปลงอย่างเห็นได้ชัดเจน

เมื่อได้สัญญาณก็นำมาผ่านวงจรแยกแยะเพื่อทำการตรวจสอบว่าวัตถุสีเข้มนั้นอยู่ที่ตำแหน่งของรางที่เท่าไร ซึ่งเราตรวจสอบได้จากวงจรแยกแยะที่เราได้ออกแบบไว้ในบทที่ 4 เมื่อตรวจสอบแล้วรู้ว่าวัตถุสีเข้มนั้นอยู่ในรางใด เราก็จะใช้ D-FLIPFLOP ที่อยู่ในวงจร Shift Register ของรางนั้นทำการแปลงสัญญาณให้ได้สัญญาณตามต้องการเพื่อเอาไปเข้าวงจร Counter เพื่อที่จะทำการแสดงผลออกทาง 7-Segment และวงจรควบคุมหัวแปดต่อไป

เมื่อได้รับสัญญาณจากวงจร Shift Register แล้ววงจร Counter ก็จะทำหน้าที่นับจำนวนสิ่งแปลกปลอมหรือวัตถุสีเข้มนั้นและแสดงผลออกทาง 7-Segment

วงจรควบคุมหัวแปดจะรับสัญญาณที่ได้จากวงจร Shift Register มาประมวลผลเพื่อที่จะส่งสัญญาณออกไปควบคุมหัวแปดของแต่ละราง และจะได้ทำการเป่าสิ่งแปลกปลอมหรือวัตถุสีเข้มนั้นออกไป

โครงการชิ้นนี้จะเห็นได้ว่าผลที่ได้ก็นั้นประสบผลตามวัตถุประสงค์คือสามารถตรวจจับวัตถุและแยกสีของวัตถุได้ รวมทั้งสามารถที่จะแสดงผลถึงจำนวนสิ่งแปลกปลอมที่ปะปนมากับเมล็ดข้าว ซึ่งเป็นไปตามจุดมุ่งหมายที่ได้ตั้งไว้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ชำนาญ ปัญญาใส และ วัชรารกร หนุทอง , “ ภาษา VHDL สำหรับการออกแบบวงจรดิจิทัล”
บริษัท ซีเอ็ดดูเคชั่น จำกัด (มหาชน) , 432 หน้า ,2547
2. รัชชวัต พึ่งแสง โชติช่วง และคณะ , Digital System Design การออกแบบระบบดิจิทัล ,
มหาวิทยาลัยเทคโนโลยีมหานคร
3. นอ.ชาติชาย คิชกูฏ , เอกสารประกอบการเรียน ภาษา VHDL , ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400 PIXELS \times 3 COLOR CCD LINEAR IMAGE SENSOR

DESCRIPTION

The μ PD8861 is a color CCD (Charge Coupled Device) linear image sensor which changes optical images to electrical signal and has the function of color separation.

The μ PD8861 has 3 rows of 5400 pixels, and each row has a single-sided readout type of charge transfer register. And it has reset feed-through level clamp circuits and voltage amplifiers. Therefore, it is suitable for 600 dpi/A4 color image scanners, color facsimiles and so on.

FEATURES

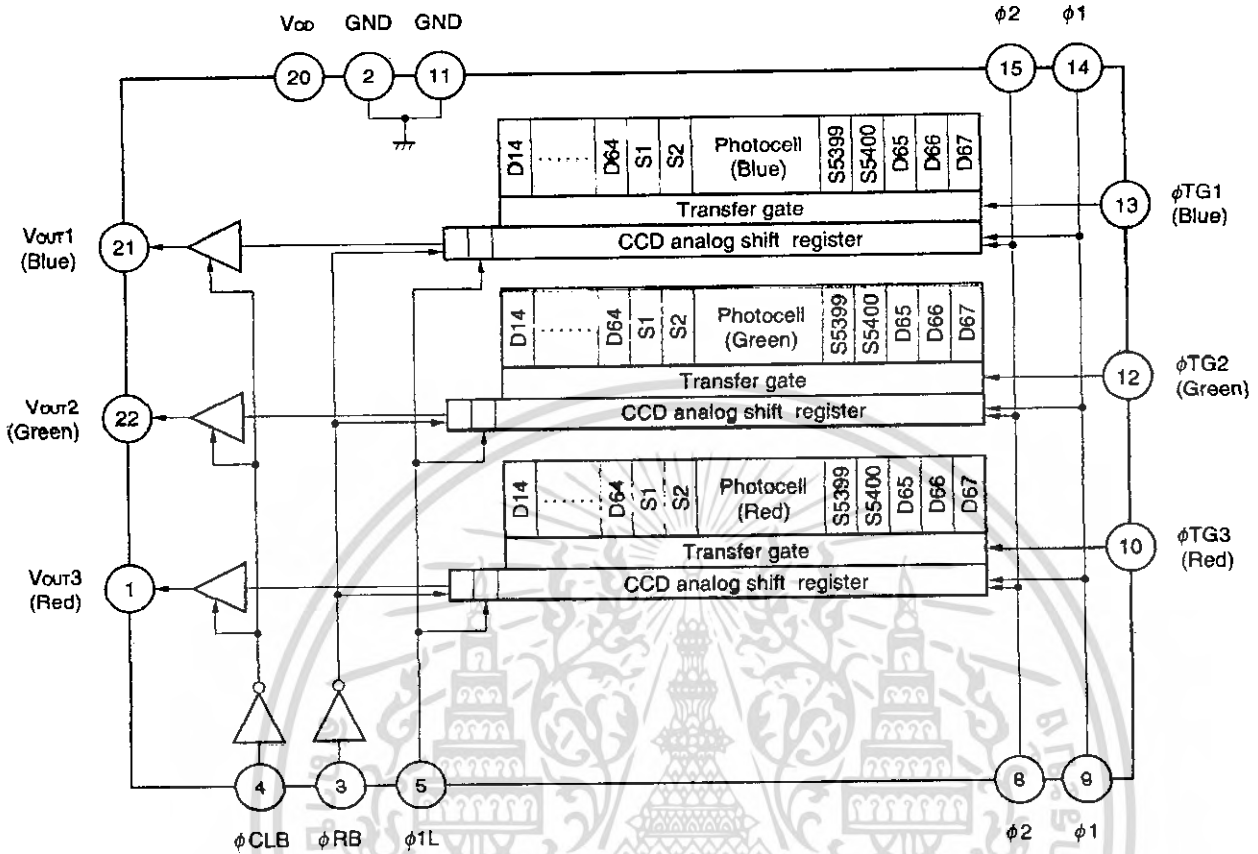
- Valid photocell : 5400 pixels \times 3
- Photocell pitch : 5.25 μ m
- Photocell size : 5.25 \times 5.25 μ m²
- Line spacing : 42 μ m (8 lines) Red line - Green line, Green line - Blue line
- Color filter : Primary colors (red, green and blue), pigment filter (with light resistance 10⁷ lx \cdot hour)
- Resolution : 24 dot/mm A4 (210 \times 297 mm) size (shorter side)
600 dpi US letter (8.5" \times 11") size (shorter side)
- Drive clock level : CMOS output under 5 V operation
- Data rate : 6 MHz Max.
- Power supply : +12 V
- On-chip circuits : Reset feed-through level clamp circuits
Voltage amplifiers

ORDERING INFORMATION

Part Number	Package
μ PD8861CY	CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

The information in this document is subject to change without notice. Before using this document, please confirm that this is the latest version.
Not all devices/types available in every country. Please check with local NEC representative for availability and additional information.

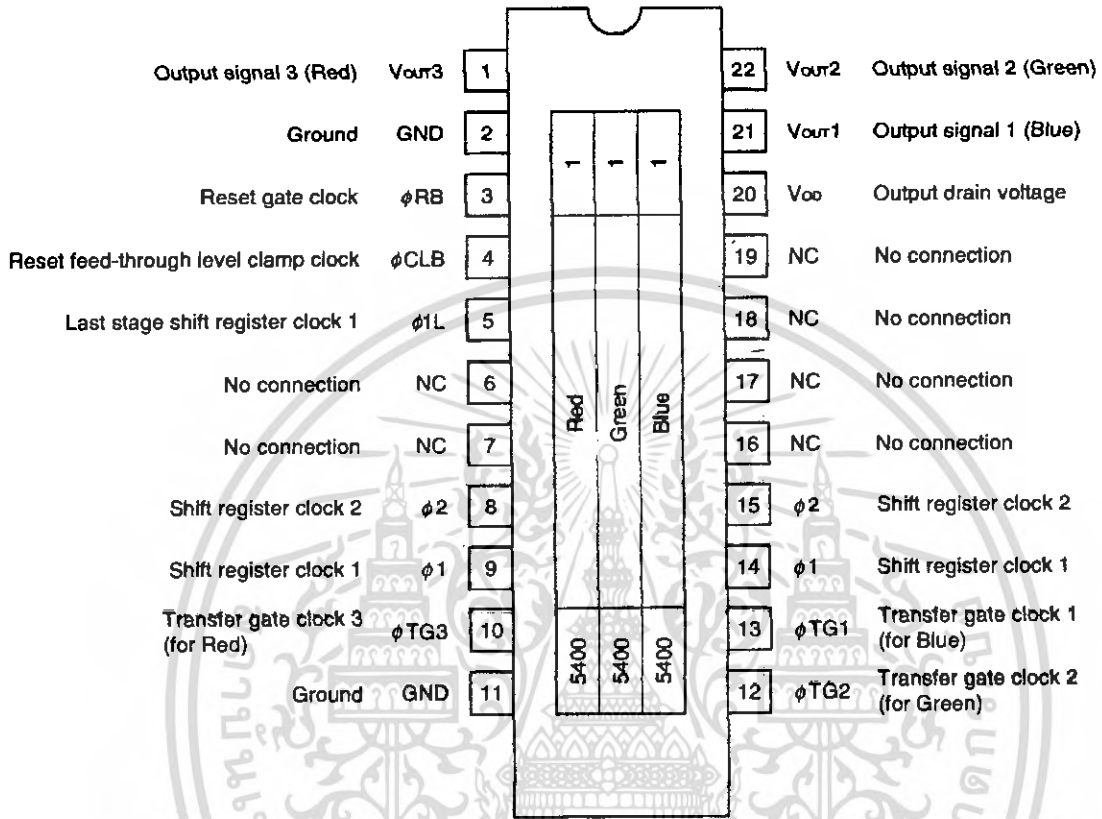
BLOCK DIAGRAM



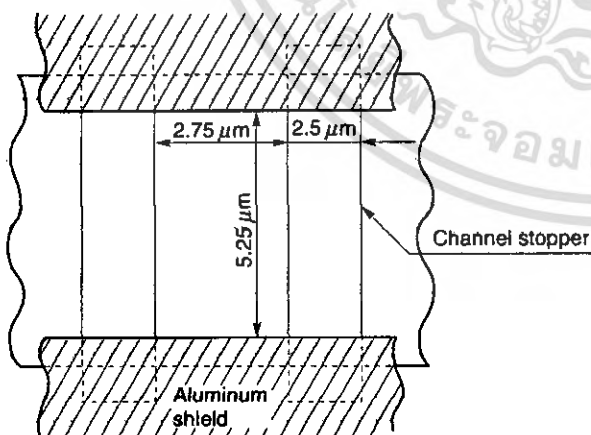
PIN CONFIGURATION (Top View)

CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

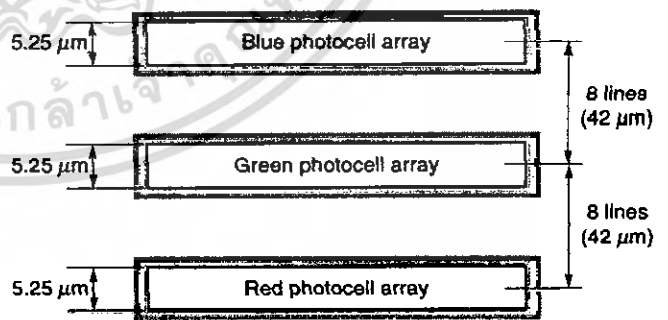
• μPD8861CY



PHOTOCELL STRUCTURE DIAGRAM



PHOTOCELL ARRAY STRUCTURE DIAGRAM (Line spacing)



ABSOLUTE MAXIMUM RATINGS (T_A = +25°C)

Parameter	Symbol	Ratings	Unit
Output drain voltage	V _{OD}	-0.3 to +15	V
Shift register clock voltage	V _{φ1} , V _{φ2} , V _{φ1L}	-0.3 to +8	V
Reset gate clock voltage	V _{φRB}	-0.3 to +8	V
Reset feed-through level clamp clock voltage	V _{φCLB}	-0.3 to +8	V
Transfer gate clock voltage	V _{φTG1} to V _{φTG3}	-0.3 to +8	V
Operating ambient temperature	T _A	0 to +60	°C
Storage temperature	T _{stg}	-40 to +70	°C

Caution Product quality may suffer if the absolute maximum rating is exceeded even momentarily for any parameter. That is, the absolute maximum ratings are rated values at which the product is on the verge of suffering physical damage, and therefore the product must be used under conditions that ensure that the absolute maximum ratings are not exceeded.

RECOMMENDED OPERATING CONDITIONS (T_A = +25°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Output drain voltage	V _{OD}	11.4	12.0	12.6	V
Shift register clock high level	V _{φ1H} , V _{φ2H} , V _{φ1LH}	4.5	5.0	5.5	V
Shift register clock low level	V _{φ1L} , V _{φ2L} , V _{φ1LL}	-0.3	0	+0.5	V
Reset gate clock high level	V _{φRBH}	4.5	5.0	5.5	V
Reset gate clock low level	V _{φRBL}	-0.3	0	+0.5	V
Reset feed-through level clamp clock high level	V _{φCLBH}	4.5	5.0	5.5	V
Reset feed-through level clamp clock low level	V _{φCLBL}	-0.3	0	+0.5	V
Transfer gate clock high level	V _{φTG1H} to V _{φTG3H}	4.5	V _{φ1H} ^{Note}	V _{φ1H} ^{Note}	V
Transfer gate clock low level	V _{φTG1L} to V _{φTG3L}	-0.3	0	+0.3	V
Data rate	f _{φRB}	-	1.0	6.0	MHz

Note When Transfer gate clock high level (V_{φTG1H} to V_{φTG3H}) is higher than Shift register clock high level (V_{φ1H}), Image lag can increase.

ELECTRICAL CHARACTERISTICS

($T_A = +25^\circ\text{C}$, $V_{OD} = 12\text{ V}$, data rate (f_{DR}) = 1 MHz, storage time = 5.5 ms, input signal clock = 5 V_{pp}, light source : 3200 K halogen lamp + C-500S (infrared cut filter, $t = 1\text{ mm}$) + HA-50 (heat absorbing filter, $t = 3\text{ mm}$))

Parameter	Symbol	Test Conditions	Min.	Typ.	Max.	Unit
Saturation voltage	V_{sat}		2.0	2.5	–	V
Saturation exposure	Red	SER	–	0.420	–	lx·s
	Green	SEG	–	0.429	–	lx·s
	Blue	SEB	–	0.739	–	lx·s
Photo response non-uniformity	PRNU	$V_{out} = 1.0\text{ V}$	–	6	20	%
Average dark signal	ADS	Light shielding	–	0.2	2.0	mV
Dark signal non-uniformity	DSNU	Light shielding	–	1.5	5.0	mV
Power consumption	P_w		–	360	540	mW
Output impedance	Z_o		–	0.35	1	kΩ
Response	Red	R_R	4.15	5.94	7.72	V/lx·s
	Green	R_G	4.07	5.82	7.57	V/lx·s
	Blue	R_B	2.36	3.38	4.39	V/lx·s
Image lag	IL	$V_{out} = 1.0\text{ V}$	–	1.5	7.0	%
Offset level ^{Note 1}	V_{os}		4.0	5.5	7.0	V
Output fall delay time ^{Note 2}	t_d	$V_{out} = 1.0\text{ V}$	–	25	–	ns
Total transfer efficiency	TTE	$V_{out} = 1.0\text{ V}$, data rate = 6 MHz	92	98	–	%
Response peak	Red		–	630	–	nm
	Green		–	540	–	nm
	Blue		–	460	–	nm
Dynamic range	DR1	$V_{sat}/DSNU$	–	1666	–	times
	DR2	V_{sat}/σ_{CDS}	–	2777	–	times
Reset feed-through noise ^{Note 1}	RFTN	Light shielding	0	750	1500	mV
Random noise (CDS)	σ_{CDS}	Light shielding, bit clamp mode	–	0.9	–	mV

Notes 1. Refer to TIMING CHART 2, 3.

2. When the fall time of φ1L (t1') is the Typ. value (refer to TIMING CHART 2, 3).

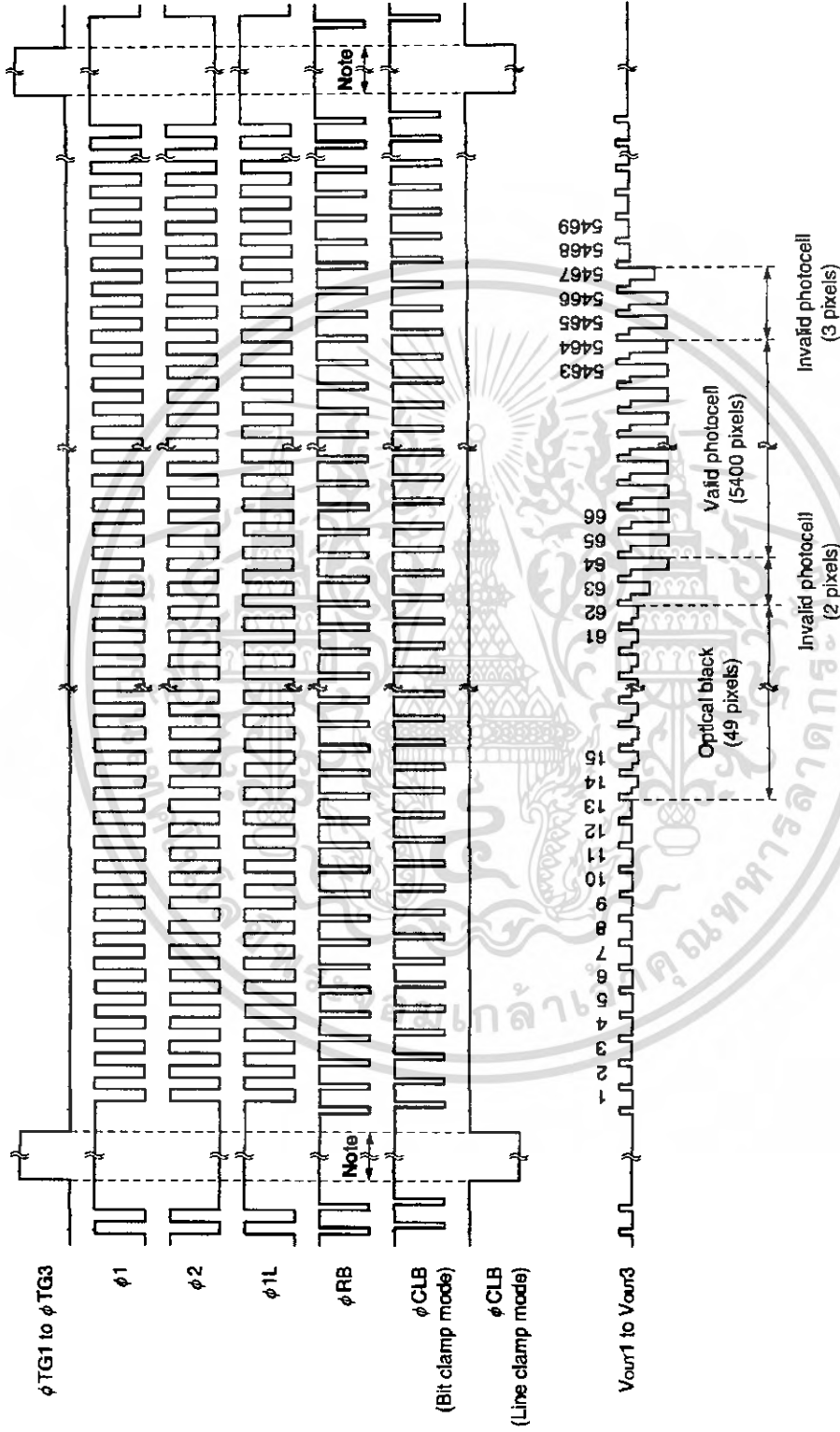
INPUT PIN CAPACITANCE (TA = +25°C, VOD = 12 V)

Parameter	Symbol	Pin name	Pin No.	Min.	Typ.	Max.	Unit	
Shift register clock pin capacitance 1	Cφ1	φ1	9	-	300	-	pF	
			14	-	300	-	pF	
Shift register clock pin capacitance 2	Cφ2	φ2	8	-	300	-	pF	
			15	-	300	-	pF	
Last stage shift register clock pin capacitance	CφL	φ1L	5	-	10	-	pF	
Reset gate clock pin capacitance	CφRB	φRB	3	-	10	-	pF	
Reset feed-through level clamp clock pin capacitance	CφCLB	φCLB	4	-	10	-	pF	
Transfer gate clock pin capacitance	CφTG	φTG1	13	-	100	-	pF	
			φTG2	12	-	100	-	pF
			φTG3	10	-	100	-	pF

Remark Pin 9 and 14 (φ1), 8 and 15 (φ2) are each connected inside of the device.



TIMING CHART 1 (for each color)

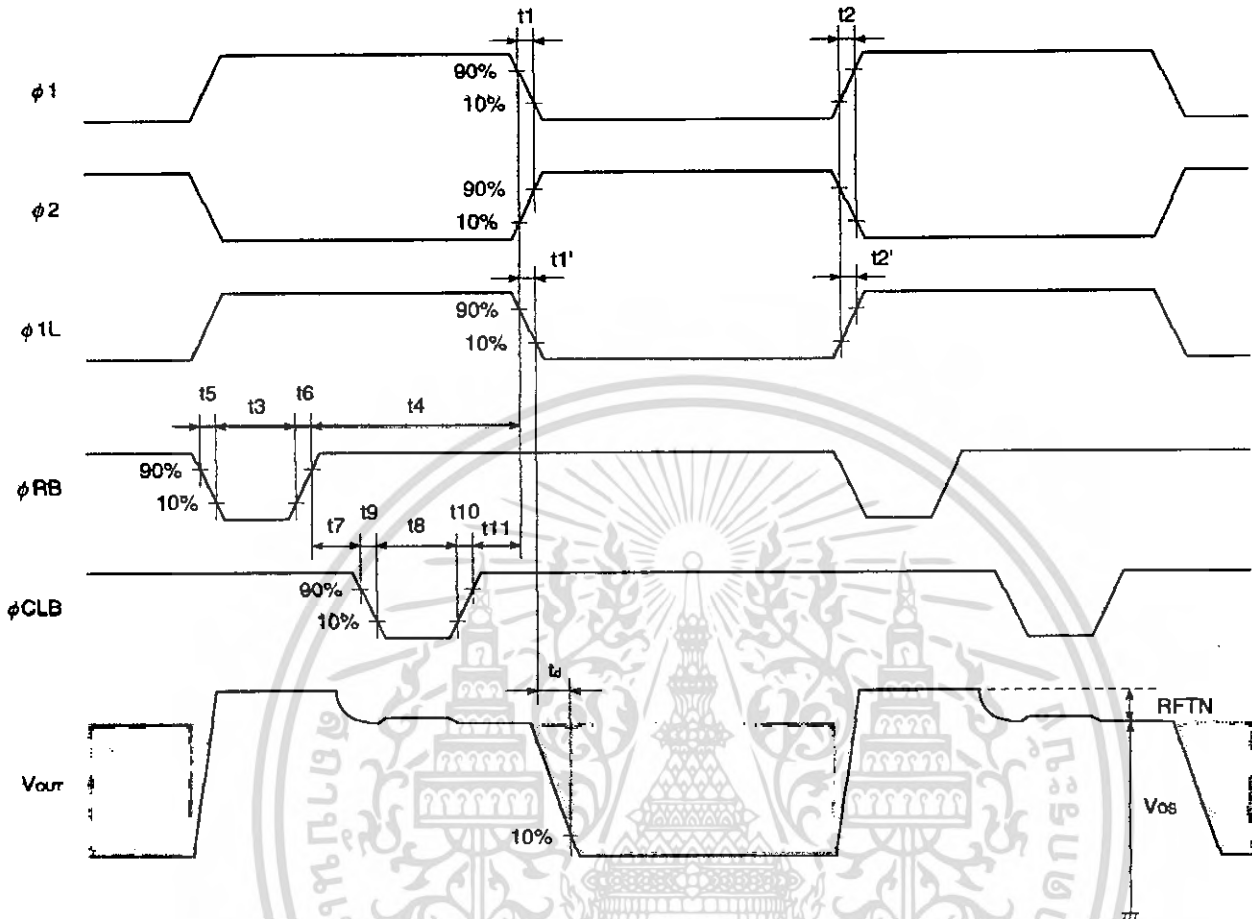


Note Set the ϕ RB and ϕ CLB (Bit clamp mode) to high level during this period.

And stop the ϕ RB pulse while the ϕ CLB pulse is low level at line clamp mode.

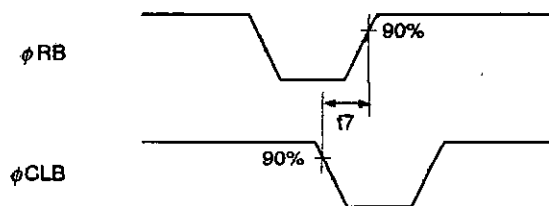
Remark Inverse pulse of the ϕ TG1 to ϕ TG3 can be used as ϕ CLB at line clamp mode.

TIMING CHART 2 (Bit clamp mode, for each color)

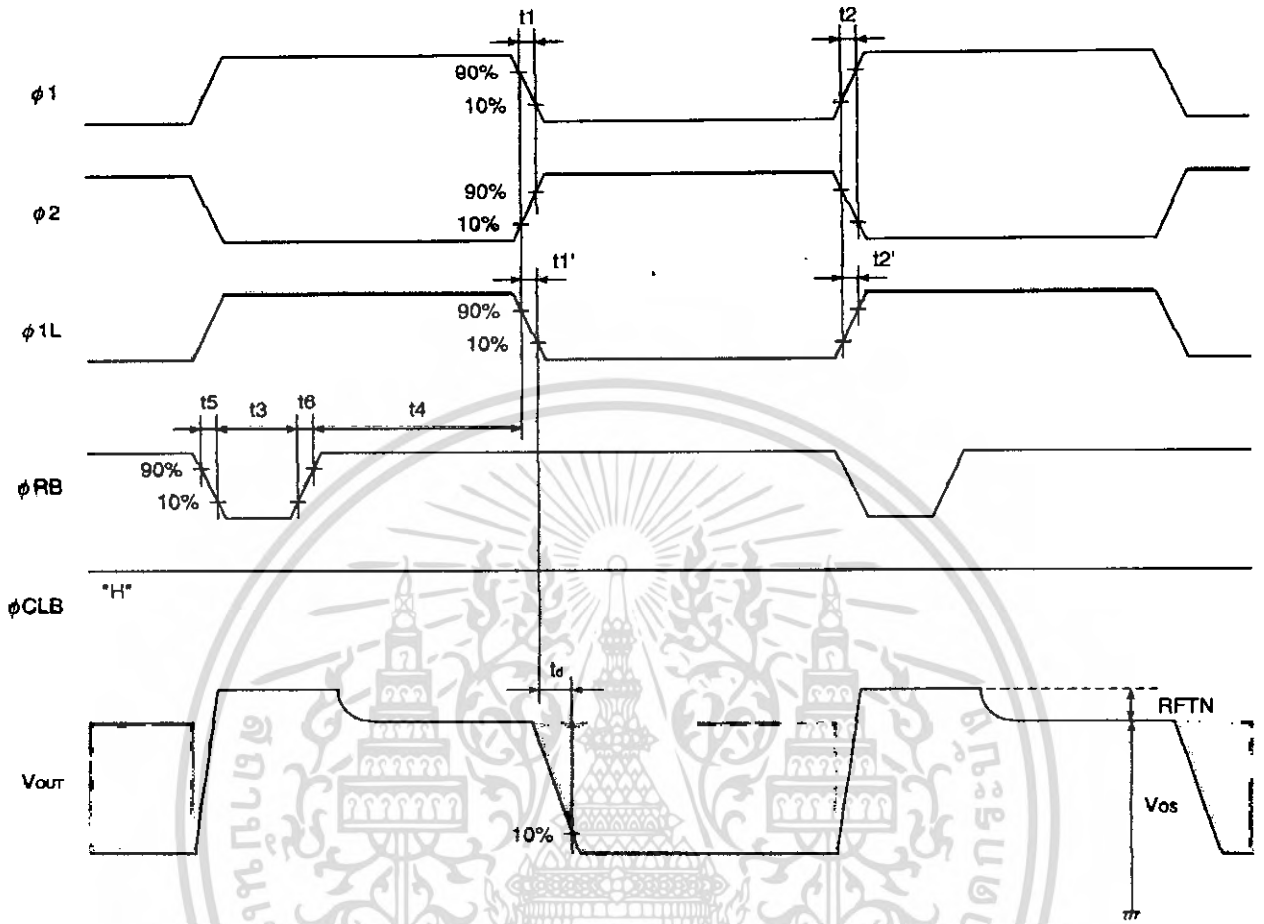


Symbol	Min.	Typ.	Max.	Unit
t1, t2	0	25	-	ns
t1', t2'	0	5	-	ns
t3	20	200	-	ns
t4	40	300	-	ns
t5, t6	0	5	-	ns
t7	-5 ^{Note}	50	-	ns
t8	35	200	-	ns
t9, t10	0	5	-	ns
t11	10	50	-	ns

Note Min. of t7 shows that the ϕRB and ϕCLB overlap each other.

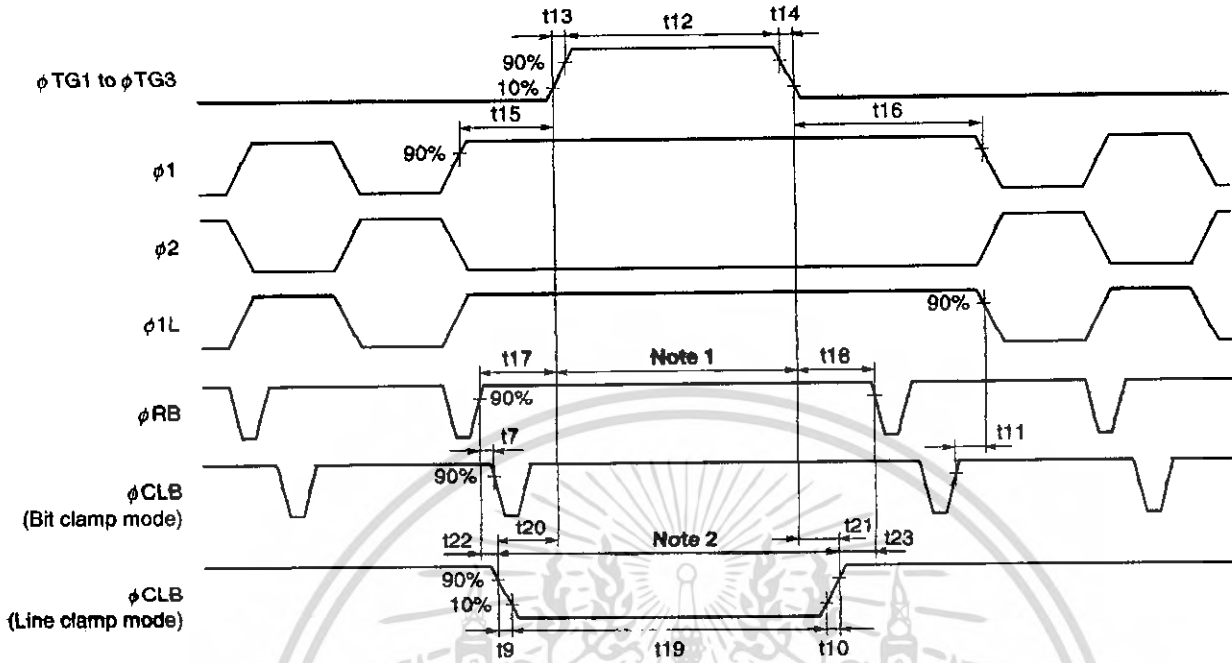


TIMING CHART 3 (Line clamp mode, for each color)



Symbol	Min.	Typ.	Max.	Unit
t_1, t_2	0	25	-	ns
t_1', t_2'	0	5	-	ns
t_3	20	200	-	ns
t_4	40	300	-	ns
t_5, t_6	0	5	-	ns

★ TIMING CHART 4

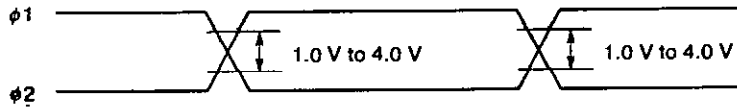


Symbol	Min.	Typ.	Max.	Unit
t7	-5 ^{Note 3}	50	-	ns
t9, t10	0	5	-	ns
t11	10	50	-	ns
t12	3000	10000	50000	ns
t13, t14	0	50	-	ns
t15, t16	900	1000	-	ns
t17, t18	200	400	-	ns
t19	t12	t12	50000	ns
t20, t21	0	50	-	ns
t22, t23	0	350	-	ns

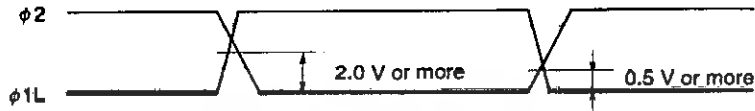
- Notes**
1. Set the ϕRB and ϕCLB (Bit clamp mode) to high level during this period.
 2. Stop the ϕRB pulse during this period.
 3. Min. of t7 shows that the ϕRB and ϕCLB overlap each other.

Remark Inverse pulse of the $\phi TG1$ to $\phi TG3$ can be used as ϕCLB .

★ $\phi 1, \phi 2$ cross points



$\phi 1L, \phi 2$ cross points



Remark Adjust cross points ($\phi 1, \phi 2$) and ($\phi 1L, \phi 2$) with input resistance of each pin.



DEFINITIONS OF CHARACTERISTIC ITEMS

1. Saturation voltage : **V_{sat}**

Output signal voltage at which the response linearity is lost.

2. Saturation exposure : **SE**

Product of intensity of illumination (lx) and storage time (s) when saturation of output voltage occurs.

3. Photo response non-uniformity : **PRNU**

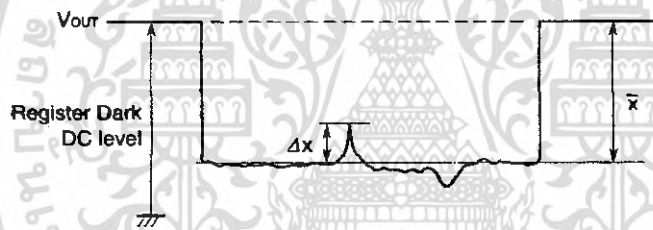
The output signal non-uniformity of all the valid pixels when the photosensitive surface is applied with the light of uniform illumination. This is calculated by the following formula.

$$PRNU (\%) = \frac{\Delta x}{\bar{x}} \times 100$$

Δx : maximum of $|x_j - \bar{x}|$

$$\bar{x} = \frac{\sum_{j=1}^{5400} x_j}{5400}$$

x_j : Output voltage of valid pixel number j



4. Average dark signal : **ADS**

Average output signal voltage of all the valid pixels at light shielding. This is calculated by the following formula.

$$ADS (mV) = \frac{\sum_{j=1}^{5400} d_j}{5400}$$

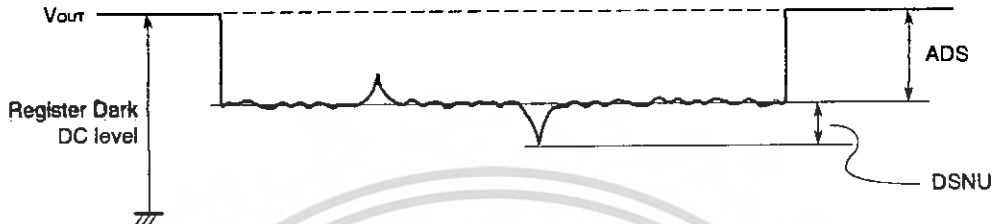
d_j : Dark signal of valid pixel number j

5. Dark signal non-uniformity : **DSNU**

Absolute maximum of the difference between ADS and voltage of the highest or lowest output pixel of all the valid pixels at light shielding. This is calculated by the following formula.

$$\text{DSNU (mV)} : \text{maximum of } |d_j - \text{ADS}|_{j=1 \text{ to } 5400}$$

d_j : Dark signal of valid pixel number j



6. Output impedance : **Zo**

Impedance of the output pins viewed from outside.

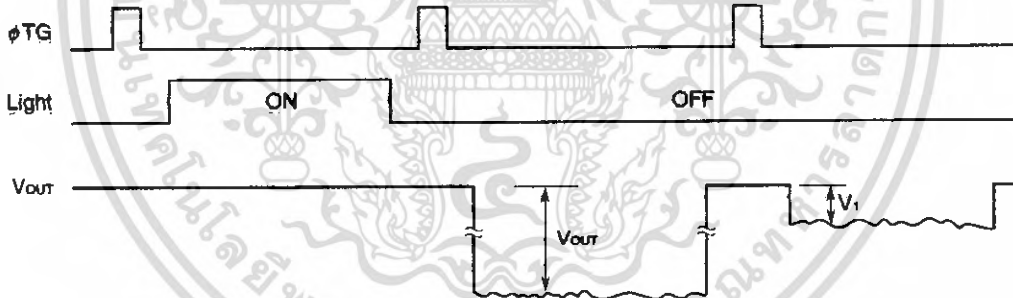
7. Response : **R**

Output voltage divided by exposure (lx*s).

Note that the response varies with a light source (spectral characteristic).

8. Image lag : **IL**

The rate between the last output voltage and the next one after read out the data of a line.



$$\text{IL (\%)} = \frac{V_1}{V_{out}} \times 100$$

9. Random noise (CDS) : σ_{CDS}

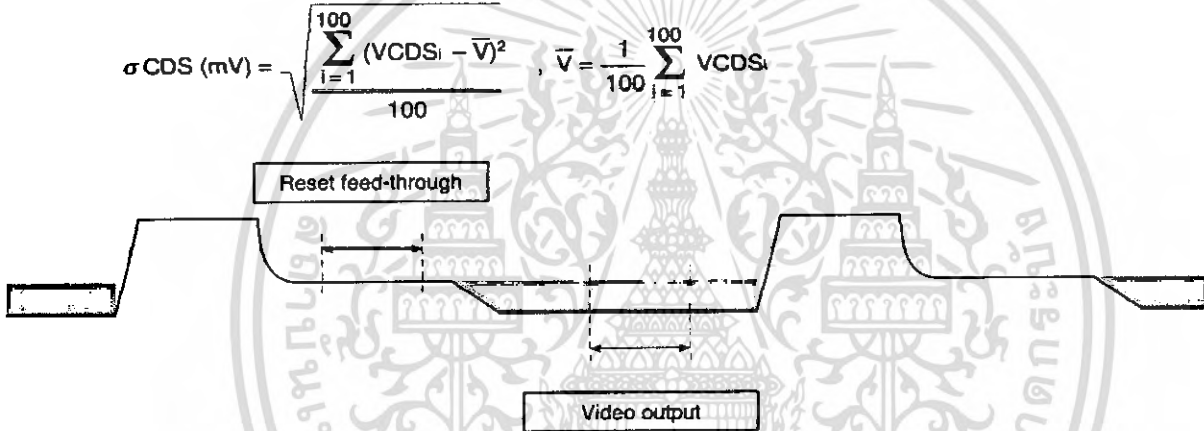
Random noise σ_{CDS} is defined as the standard deviation of a valid pixel output signal with 100 times (=100 lines) data sampling at dark (light shielding). σ_{CDS} is calculated by the following procedure.

1. One valid photocell in one reading is fixed as measurement point.
2. The output level is measured during the reset feed-through period which is averaged over 100 ns to get "VD".
3. The output level is measured during the video output time averaged over 100 ns to get "VO".
4. The correlated double sampling output is defined by the following formula.

$$VCDS_i = VD_i - VO_i$$

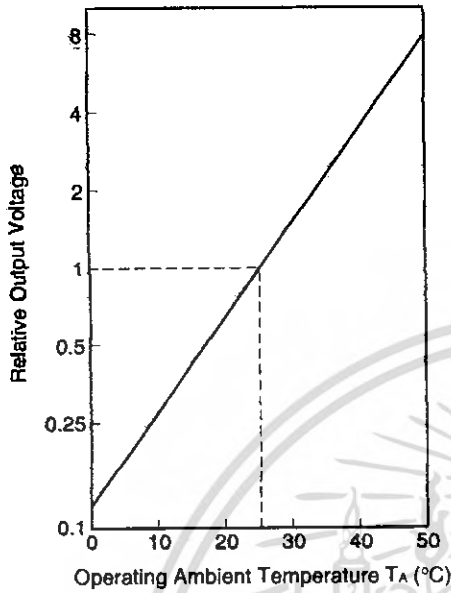
5. Repeat the above procedure (1 to 4) for 100 times (= 100 lines).
6. Calculate the standard deviation σ_{CDS} using the following formula equation.

$$\sigma_{CDS} \text{ (mV)} = \sqrt{\frac{\sum_{i=1}^{100} (VCDS_i - \bar{V})^2}{100}}, \quad \bar{V} = \frac{1}{100} \sum_{i=1}^{100} VCDS_i$$

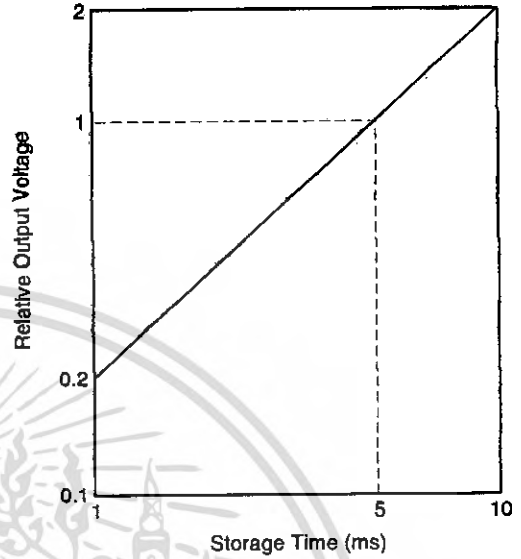


STANDARD CHARACTERISTIC CURVES (Nominal)

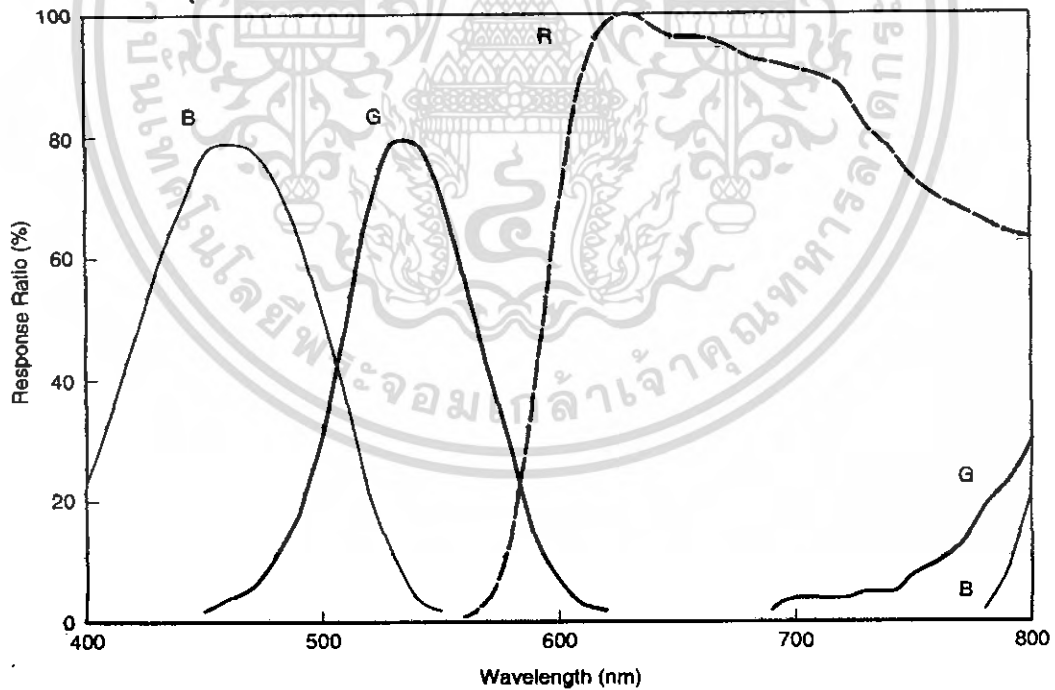
DARK OUTPUT TEMPERATURE CHARACTERISTIC



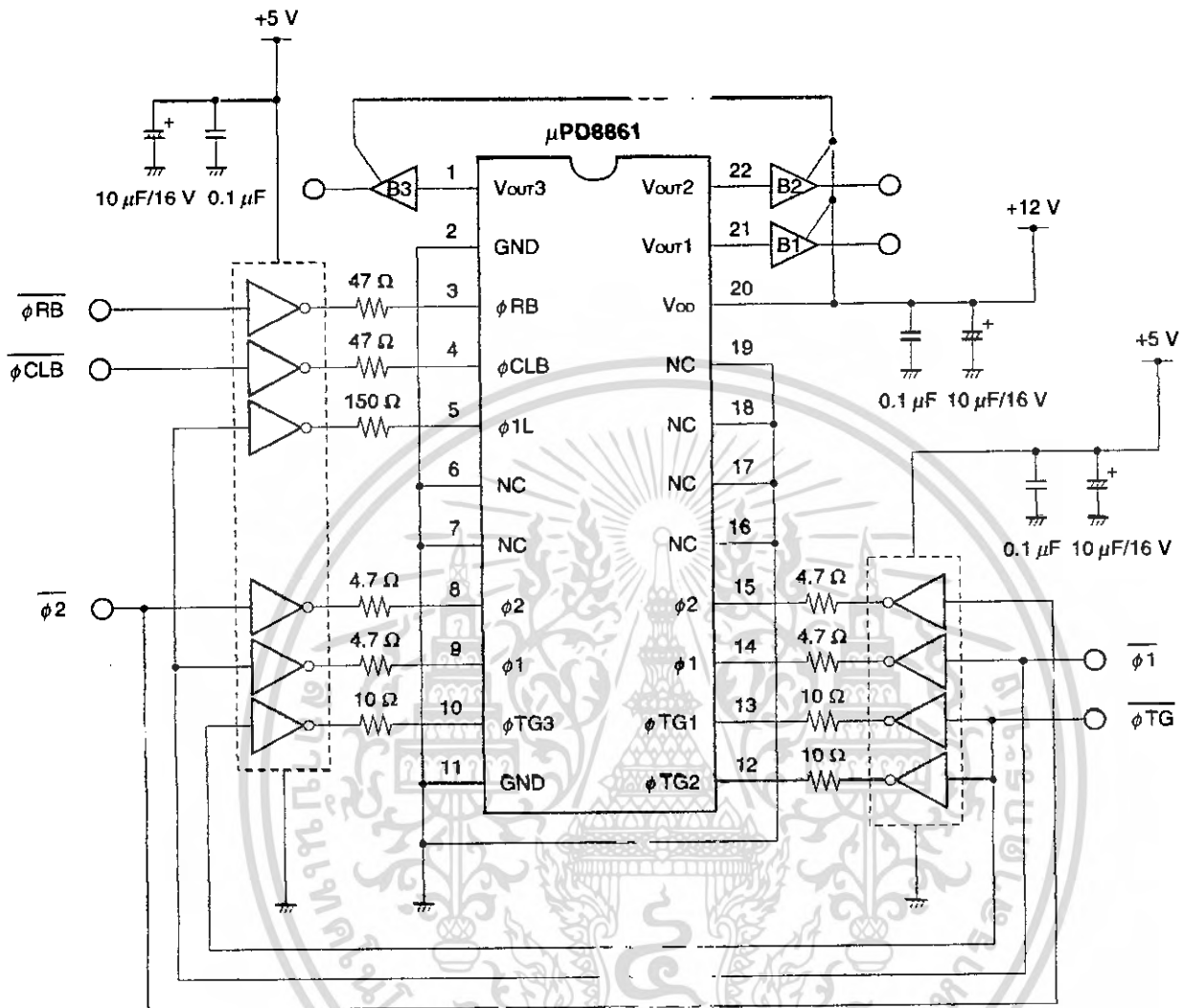
STORAGE TIME OUTPUT VOLTAGE CHARACTERISTIC ($T_A = +25^\circ\text{C}$)



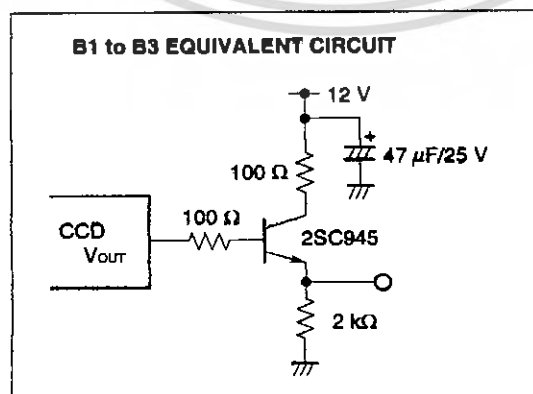
TOTAL SPECTRAL RESPONSE CHARACTERISTICS (without infrared cut filter and heat absorbing filter) ($T_A = +25^\circ\text{C}$)



APPLICATION CIRCUIT EXAMPLE



Remark The inverters shown in the above application circuit example are the 74HC04 (data rate < 2 MHz) or the 74AC04 (2 MHz ≤ data rate < 6 MHz).



RECOMMENDED SOLDERING CONDITIONS

When soldering this product, it is highly recommended to observe the conditions as shown below.

If other soldering processes are used, or if the soldering is performed under different conditions, please make sure to consult with our sales offices.

For more details, refer to our document "Semiconductor Device Mounting Technology Manual" (C10535E).

Type of Through-hole Device

μPD8861CY : CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

Process	Conditions
Partial heating method	Pin temperature : 300 °C or below, Heat time : 3 seconds or less (per pin)

Caution During assembly care should be taken to prevent solder or flux from contacting the plastic cap. The optical characteristics could be degraded by such contact.



NOTES ON CLEANING THE PLASTIC CAP

① CLEANING THE PLASTIC CAP

Care should be taken when cleaning the surface to prevent scratches.

The optical characteristics of the CCD will be degraded if the cap is scratched during cleaning.

We recommend cleaning the cap with a soft cloth moistened with one of the recommended solvents below. Excessive pressure should not be applied to the cap during cleaning. If the cap requires multiple cleanings it is recommended that a clean surface or cloth be used.

② RECOMMENDED SOLVENTS

The following are the recommended solvents for cleaning the CCD plastic cap. Use of solvents other than these could result in optical or physical degradation in the plastic cap. Please consult your sales office when considering an alternative solvent.

Solvents	Symbol
Ethyl Alcohol	EtOH
Methyl Alcohol	MeOH
Isopropyl Alcohol	IPA
N-methyl Pyrrolidone	NMP

[MEMO]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[MEMO]



[MEMO]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Sheet S15167EJ2V0DS

NOTES FOR CMOS DEVICES

① PRECAUTION AGAINST ESD FOR SEMICONDUCTORS

Note:

Strong electric field, when exposed to a MOS device, can cause destruction of the gate oxide and ultimately degrade the device operation. Steps must be taken to stop generation of static electricity as much as possible, and quickly dissipate it once, when it has occurred. Environmental control must be adequate. When it is dry, humidifier should be used. It is recommended to avoid using insulators that easily build static electricity. Semiconductor devices must be stored and transported in an anti-static container, static shielding bag or conductive material. All test and measurement tools including work bench and floor should be grounded. The operator should be grounded using wrist strap. Semiconductor devices must not be touched with bare hands. Similar precautions need to be taken for PW boards with semiconductor devices on it.

② HANDLING OF UNUSED INPUT PINS FOR CMOS

Note:

No connection for CMOS device inputs can be cause of malfunction. If no connection is provided to the input pins, it is possible that an internal input level may be generated due to noise, etc., hence causing malfunction. CMOS devices behave differently than Bipolar or NMOS devices. Input levels of CMOS devices must be fixed high or low by using a pull-up or pull-down circuitry. Each unused pin should be connected to V_{DD} or GND with a resistor, if it is considered to have a possibility of being an output pin. All handling related to the unused pins must be judged device by device and related specifications governing the devices.

③ STATUS BEFORE INITIALIZATION OF MOS DEVICES

Note:

Power-on does not necessarily define initial status of MOS device. Production process of MOS does not define the initial operation status of the device. Immediately after the power source is turned ON, the devices with reset function have not yet been initialized. Hence, power-on does not guarantee out-pin levels, I/O settings or contents of registers. Device is not initialized until the reset signal is received. Reset operation must be executed immediately after power-on for devices having reset function.

- The information in this document is current as of June, 2001. The information is subject to change without notice. For actual design-in, refer to the latest publications of NEC's data sheets or data books, etc., for the most up-to-date specifications of NEC semiconductor products. Not all products and/or types are available in every country. Please check with an NEC sales representative for availability and additional information.
- No part of this document may be copied or reproduced in any form or by any means without prior written consent of NEC. NEC assumes no responsibility for any errors that may appear in this document.
- NEC does not assume any liability for infringement of patents, copyrights or other intellectual property rights of third parties by or arising from the use of NEC semiconductor products listed in this document or any other liability arising from the use of such products. No license, express, implied or otherwise, is granted under any patents, copyrights or other intellectual property rights of NEC or others.
- Descriptions of circuits, software and other related information in this document are provided for illustrative purposes in semiconductor product operation and application examples. The incorporation of these circuits, software and information in the design of customer's equipment shall be done under the full responsibility of customer. NEC assumes no responsibility for any losses incurred by customers or third parties arising from the use of these circuits, software and information.
- While NEC endeavours to enhance the quality, reliability and safety of NEC semiconductor products, customers agree and acknowledge that the possibility of defects thereof cannot be eliminated entirely. To minimize risks of damage to property or injury (including death) to persons arising from defects in NEC semiconductor products, customers must incorporate sufficient safety measures in their design, such as redundancy, fire-containment, and anti-failure features.
- NEC semiconductor products are classified into the following three quality grades:
 "Standard", "Special" and "Specific". The "Specific" quality grade applies only to semiconductor products developed based on a customer-designated "quality assurance program" for a specific application. The recommended applications of a semiconductor product depend on its quality grade, as indicated below. Customers must check the quality grade of each semiconductor product before using it in a particular application.
 "Standard": Computers, office equipment, communications equipment, test and measurement equipment, audio and visual equipment, home electronic appliances, machine tools, personal electronic equipment and industrial robots
 "Special": Transportation equipment (automobiles, trains, ships, etc.), traffic control systems, anti-disaster systems, anti-crime systems, safety equipment and medical equipment (not specifically designed for life support)
 "Specific": Aircraft, aerospace equipment, submersible repeaters, nuclear reactor control systems, life support systems and medical equipment for life support, etc.

The quality grade of NEC semiconductor products is "Standard" unless otherwise expressly specified in NEC's data sheets or data books, etc. If customers wish to use NEC semiconductor products in applications not intended by NEC, they must contact an NEC sales representative in advance to determine NEC's willingness to support a given application.

(Note)

- (1) "NEC" as used in this statement means NEC Corporation and also includes its majority-owned subsidiaries.
- (2) "NEC semiconductor products" means any semiconductor product developed or manufactured by or for NEC (as defined above).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ

M8E 00.4

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้