สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

Security System by CCTV

โดย

นาย ณิตธิพล ทองทวี

นาย ยิ่งยศ แก้วคุ้มภัย

นาย รุ่งโรจน์ กอธงทอง

ปฟ.
ณ๔๔๒ร
2549

เลขหมู่.....
เลขทะเบียน 72283
วัน,เดือน,ปี 13 มี.ย. 2550

.b 11766669
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

Security System by CCTV

โดย

นาย ณิตธิพล ทองทวี 47015205

นาย ยิ่งยศ แก้วคุ้มภัย 47015217

นาย รุ่งโรจน์ กอธงทอง 47015258

อาจารย์ที่ปรึกษา

อาจารย์ ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

ผู้จัดทำ

นาย ณิตธิพล ทองทวี 47015205

นาย ยิ่งยศ แก้วคุ้มภัย 47015217

นาย รุ่งโรจน์ กอธงทอง 47015258

..... อาจารย์ที่ปรึกษา

(อาจารย์ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านกล้อง CCTV

นาย ณิตธิพล ทองทวี รหัส 47015205
นาย ยิ่งยศ แก้วคุ้มภัย รหัส 47015217
นาย รุ่งโรจน์ กอธงทอง รหัส 47015258
อาจารย์ ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอระบบรักษาความปลอดภัย ด้วยการประมวลผลสัญญาณภาพจากกล้องวีดีโอวงจรปิด โดยการแปลงสัญญาณภาพที่เป็นอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล แล้วเก็บลงในหน่วยความจำ หลังจากนั้นจะนำข้อมูลภาพที่เก็บไว้ไปประมวลผลโดยใช้ เอฟพีจีเอ เปรียบเทียบข้อมูลภาพที่ต่อเนื่องกัน ถ้าหากภาพทั้งสองมีความแตกต่างกันมากกว่าที่กำหนด แสดงว่ามีความผิดปกติของเหตุการณ์เกิดขึ้น วงจรก็จะส่งสัญญาณเตือนให้ผู้ใช้งานทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SECURITY SYSTEM BY CCTV

Mr. Nittipon Tongtawee ID.47015205
Mr. Yingyot Keawkumpai ID.47015217
Mr. Rungroj Kothongtong ID.47015258
Mr. Chinnapat Nantajiwakornchai Advisor

Education Year 2006

ABSTRACT

This project presents the indoor security system using image processing method to process image from video camera. The system received the video signal from CCTV camera and converted into digital format and then captured into RAM. After that the image data will be processed by FPGA . In comparison process, if the difference value of 2 continuous captures is more than the setting value, it means some thing wrong is happened. System will sends an alert to user.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ต้องขอขอบพระคุณ อาจารย์ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา เป็นอย่างสูง ที่คอยให้คำแนะนำที่เป็นประโยชน์ต่างๆ ในโครงงาน รวมทั้งตรวจแก้ไขข้อบกพร่อง ทำให้โครงงานนี้สำเร็จลุล่วงไปได้ด้วยดี และขอขอบพระคุณบิดา มารดาที่ให้กำลังใจ ขอบพระคุณท่านอาจารย์ทุกท่านที่ได้ถ่ายทอดแนะแนวทางการศึกษา ขอบคุณ พี่ๆ เพื่อนๆ น้องๆ และผู้เกี่ยวข้องทุกคน ที่ให้กำลังใจ ให้คำปรึกษาและคอยช่วยเหลือจนกระทั่ง ปริญญานิพนธ์นี้เสร็จสมบูรณ์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VII
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์ของโครงงาน	1
1.2 ขอบเขตของโครงงาน	2
บทที่ 2 ทฤษฎีสัญญาณโทรทัศน์	3
2.1 องค์ประกอบของภาพ	3
2.2 การสแกน	5
2.3 ลักษณะของสัญญาณภาพ	11
2.3.1 สัญญาณภาพขาวดำ	14
2.3.2 สัญญาณแบลงกิ้ง	15
2.3.3 สัญญาณซิงโครไนซ์	15
2.3.4 สัญญาณอีควอไลซิ่ง	16
2.4 การเปลี่ยนข้อมูลจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	18
2.4.1 การสุ่ม (Sampling)	18
2.4.2 การควอนไตซ์ (Quantization)	19
2.4.3 แฟลชคอนเวอร์เตอร์ (Flash Converter)	20
บทที่ 3 เอฟพีจีเอ	21
3.1 เอฟพีจีเอ (FPGA : Field Programmable Gate Array)	22
3.1.1 เทคโนโลยีของเอฟพีจีเอ	22
3.2.2 ทำไมการออกแบบถึงทำได้ง่ายและสะดวกรวดเร็ว	25
3.2 การออกแบบวงจรดิจิตอลโดยการวาดวงจร (Schematic)	26
3.3 การออกแบบวงจรดิจิตอลโดยภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ (VHDL)	26
3.3.1 การกำหนดของภาษาวีเอชดีแอล	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.3.2 องค์ประกอบพื้นฐานของวีเอชดีแอล	28
3.3.3 โปรเซส	35
3.4 ขั้นตอนการออกแบบเอฟพีจีเอ	40
3.4.1 การสร้างข้อกำหนดของการออกแบบ (Design Specificaion)	41
3.4.2 จำลองการทำงาน โมเดลวงจรระดับอาร์ทีแอล (RTL Simulation)	41
3.4.3 สังเคราะห์และออปติไมซ์วงจร (Synthesis & Optimization)	41
3.4.4 การจำลองการทำงานของวงจรระดับลอจิกเกต (Gate Level Simulation)	41
3.4.5 การวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ (Place & Route)	42
3.4.6 การจำลองการทำงานระดับฐานเวลาจริง (Timing Simulation)	42
3.4.7 โปรแกรมลงสู่ชิพจริง (Download to device)	42
บทที่ 4 การออกแบบและหลักการทำงานของวงจร	43
4.1 การออกแบบวงจร	43
4.2 หลักการทำงานของวงจร	43
4.2.1 การทำงานของวงจรแยกสัญญาณซิงค์	45
4.2.2 การทำงานของวงจรหน่วงสัญญาณซิงค์และวงจรนับเส้นภาพ	46
4.2.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	48
4.2.4 วงจรกำเนิดสัญญาณความถี่สูงและวงจรหารความถี่	50
4.2.5 วงจรนับ 14 บิท	51
4.2.6 วงจรส่วนหน่วยความจำภาพ	52
4.2.7 วงจรเปรียบเทียบข้อมูลภาพ	53
4.2.8 วงจรควบคุมการทำงาน	54
บทที่ 5 การทดลอง	57
5.1 การวัดสัญญาณที่จุดต่างๆ	57
5.1.1 สัญญาณซิงค์ที่แยกจากสัญญาณภาพรวม	58
5.1.2 สัญญาณของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	58
5.1.3 สัญญาณของวงจรหารความถี่	59
5.1.4 สัญญาณควบคุมการเริ่มต้นการทำงาน	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
5.1.5 การสุ่มสัญญาณภาพ	60
5.1.6 การเก็บภาพลงในหน่วยความจำ	61
5.1.7 การหยุดการเก็บภาพ	62
5.1.8 การอ่านข้อมูลจากหน่วยความจำและการเปรียบเทียบสัญญาณภาพ	62
5.2 ส่วนแสดงการทำงานจริงของวงจร	64
5.2.1 การจัดตั้งกล้องและฉากหลัง	64
5.2.2 การจัดให้ตัวละครตัวหนึ่งซึ่งเป็นสุนัขเคลื่อนที่เข้ามาในฉาก	65
5.2.3 การจัดให้ตัวละครที่สองซึ่งเป็นคนเคลื่อนที่เข้ามาในฉาก	66
5.3 รูปผลงาน	66
บทที่ 6 สรุปและวิจารณ์ผลการทดลอง	68
6.1 การวัดสัญญาณ ณ. จุดต่างๆ ของวงจร	68
6.2 การทำงานจริงของวงจร	69
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV	2
รูปที่ 2.1 องค์ประกอบภาพที่เอาเฉพาะพิคเซลไปใช้งาน	4
รูปที่ 2.2 แสดงวิธีการเบื้องต้นของการสแกน	5
รูปที่ 2.3 รายละเอียดการสแกนสลับเส้น (Interlaced Scanning) หรือแบบสอดแทรก	6
รูปที่ 2.4 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรกระบบ CCIR	7
รูปที่ 2.5 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่งภาพเป็น 2 ฟิลด์	10
รูปที่ 2.6 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวนอน	11
รูปที่ 2.7 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวตั้ง	11
รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างสัญญาณทางด้านแนวนอนและแนวตั้ง	12
รูปที่ 2.9 เวลาในการสุ่มสำหรับการสแกนทางแนวนอน ของสัญญาณคอมโพสิทวีดีโอ	13
รูปที่ 2.10 แสดงระดับสัญญาณขาวดำ โดยเกรย์สเกล (Gray scale)	14
รูปที่ 2.11 ลักษณะของสัญญาณภาพรวมเบื้องต้น	16
รูปที่ 2.12 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง	17
รูปที่ 2.13 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	17
รูปที่ 2.14 ฟังก์ชั่นของการสุ่มสองมิติ	18
รูปที่ 2.15 วงจรแฟลชคอนเวอร์เตอร์ (Flash Converter)	20
รูปที่ 3.1 แสดงผังแสดงการแบ่งกลุ่มของวงจรรวม ASIC	21
รูปที่ 3.2 โครงสร้างภายในของเอฟพีจีเอ ตระกูล FLEK10K	23
รูปที่ 3.3 ชิพเอฟพีจีเอในตระกูล FLEX10K	24
รูปที่ 3.4 แสดงกระบวนการออกแบบ	25
รูปที่ 3.5 การออกแบบวงจร Decade Counter ด้วยการวาดวงจร	26
รูปที่ 3.6 การกำหนดการเชื่อมต่อและสถาปัตยกรรม	29
รูปที่ 3.7 บล็อคไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_ component	30
รูปที่ 3.8 การบรรยายเชิงพฤติกรรมของ clock _ component	30
รูปที่ 3.9 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ	31
รูปที่ 3.10 โครงสร้างของบอดี้แพ็กเกจ	32
รูปที่ 3.11 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

หน้า

รูปที่ 3.12 การใช้โพรซีเจอร์ 33

รูปที่ 3.13 การใช้ฟังก์ชัน 33

รูปที่ 3.14 ตัวดำเนินการในวีเอชดีแอล 34

รูปที่ 3.15 รูปแบบของการบรรยายแบบโปรเซส 35

รูปที่ 3.16 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส 36

รูปที่ 3.17 การกระทำในโปรเซส 36

รูปที่ 3.18 เงื่อนไขการกระทำในโปรเซส 37

รูปที่ 3.19 (a) ตัวอย่างโมเดล D-Flip Flop
(b) การบรรยายการเชื่อมต่อของ D-Flip Flop 38

รูปที่ 3.20 การบรรยายเชิงพฤติกรรมของ D-FlipFlop
(a) การใช้ตัวกระทำภายนอกโปรเซส (b) การใช้ตัวกระทำภายในโปรเซส 38-39

รูปที่ 3.21 การออกแบบระบบดิจิตอล 40

รูปที่ 3.22 ขั้นตอนการออกแบบวงจรด้วยเอฟพีจีเอ 40

รูปที่ 3.23 การโปรแกรมลงในชิพ 42

รูปที่ 4.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV 44

รูปที่ 4.2 วงจรแยกสัญญาณซิงค์ 45

รูปที่ 4.3 (a) สัญญาณภาพรวม; (b) สัญญาณซิงค์รวม; (c) สัญญาณเวอร์ติคอล;
(d) สัญญาณฟิลด์คู่/ฟิลด์คี่; (e) สัญญาณเบิร์สต์ 45

รูปที่ 4.4 วงจรหน่วงสัญญาณซิงค์และวงจรนับเส้นภาพ 46

รูปที่ 4.5 (a) สัญญาณของวงจรหน่วงสัญญาณซิงค์และวงจรนับเส้นภาพจากการจำลองการทำงาน
(b) สัญญาณ ช่วงเริ่มต้นของการหน่วงสัญญาณ
(c) สัญญาณ ช่วงเริ่มการตรวจนับเส้นภาพ หลังจากที่หน่วงสัญญาณครบ 32 เส้น
(d) สัญญาณ ช่วงตรวจนับเส้นภาพครบ 256 เส้น 46-47

รูปที่ 4.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ใช้ไอซี เบอร์ TDA8708A 49

รูปที่ 4.7 ไทม์มิ่งไดอะแกรมของข้อมูล 49

รูปที่ 4.8 วงจรกำเนิดสัญญาณความถี่สูง 50

รูปที่ 4.9 วงจรหารความถี่ 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

	หน้า
รูปที่ 4.10 สัญญาณของวงจรหารความถี่ที่ได้จากการจำลองการทำงาน	50
รูปที่ 4.11 วงจรนับ 14 บิท	51
รูปที่ 4.12 (a) และ (b) สัญญาณของวงจรนับ 14 บิท ที่ได้จากการจำลองการทำงาน	51
รูปที่ 4.13 วงจรส่วนหน่วยความจำที่ใช้ไอซี เบอร์ UT621024	52
รูปที่ 4.14 วงจรเปรียบเทียบข้อมูลภาพ	53
รูปที่ 4.15 สัญญาณควบคุมการเปรียบเทียบข้อมูลภาพที่ได้จากการจำลองการทำงาน	53
รูปที่ 4.16 วงจรที่ออกแบบภายในเอฟพีจีเอ	55
รูปที่ 4.17 วงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV	56
รูปที่ 5.1 (a) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีดำ (b) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีขาว	57
รูปที่ 5.2 สัญญาณที่ได้จากวงจรแยกซิงค์	58
รูปที่ 5.3 สัญญาณของวงจรแปลงอนาลอกเป็นดิจิตอล จากการแซมปลิ้งด้วยความถี่ 1 เมกะเฮิรตซ์	58
รูปที่ 5.4 การปรียบเทียบสัญญาณจากกล้องวงจรปิดกับสัญญาณที่ได้จาก TDA8708A	59
รูปที่ 5.5 สัญญาณของวงจรหารความถี่ที่ออกแบบในเอฟพีจีเอ	59
รูปที่ 5.6 สัญญาณควบคุมการเริ่มต้นการทำงาน	60
รูปที่ 5.7 สัญญาณของการสุ่มสัญญาณภาพ	60
รูปที่ 5.8 สัญญาณการเขียนข้อมูลลงในหน่วยความจำ	61
รูปที่ 5.9 สัญญาณช่วงเวลาการหยุดเก็บภาพ	62
รูปที่ 5.10 การอ่านข้อมูลภาพจากหน่วยความจำ	62
รูปที่ 5.11 การนำข้อมูลภาพจากหน่วยความจำไปเก็บในเอฟพีจีเอ และเปรียบเทียบข้อมูล	63
รูปที่ 5.12 การจำลองสถานการณ์การทดลอง	65
รูปที่ 5.13 การเปรียบเทียบขนาดของสุนัขและคน	66
รูปที่ 5.14 ภาพตัวละครสุนัขที่เข้ามาในฉาก	66
รูปที่ 5.15 ภาพตัวละครคนที่เข้ามาในฉาก	67
รูปที่ 5.16 (a) แสดงมุมองด้านบนของผลงาน (b) แสดงมุมองด้านหน้าของผลงาน	66-67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

จากสภาพเศรษฐกิจและสังคมในปัจจุบัน ทำให้มีการก่ออาชญากรรมเป็นจำนวนมาก รวมถึงการลักทรัพย์ การที่จะป้องกันไม่ให้เกิดความเสียหายกับทรัพย์สินจึงมีความจำเป็น และการที่มีระบบกล้องโทรทัศน์วงจรปิดเข้ามาใช้งานถือว่าเป็นสิ่งช่วยป้องกันได้อีกทางหนึ่ง แต่ยังขาดความสมบูรณ์ คือ สามารถบันทึกภาพได้เพียงอย่างเดียว

จากแนวทางข้างต้น เราจะเห็นได้ว่ายังไม่มีความสมบูรณ์ เนื่องจากขาดการติดตามอย่างรวดเร็ว ดังนั้น โครงงานระบบรักษาความปลอดภัยผ่านกล้อง CCTV จึงได้นำเทคโนโลยีด้านการประมวลผลทางภาพมาใช้งาน ซึ่งจะนำเอาสัญญาณภาพจากกล้องวงจรปิด (CCTV) มาทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog Digital Converter) แล้วนำสัญญาณที่ได้ไปเก็บไว้ในหน่วยความจำ (Memory RAM) หลังจากนั้นจะนำสัญญาณที่เก็บไว้ไปประมวลผล โดยใช้เอฟพีจีเอ เพื่อหาการเปลี่ยนแปลงของภาพ ถ้าภาพนั้นมีการเปลี่ยนแปลงหรือมีคนเข้ามาอยู่ในห้องวงจรที่ออกแบบในเอฟพีจีเอก็จะส่งสัญญาณเตือนให้ผู้ใช้งานระบบรักษาความปลอดภัยทราบ ทำให้ลดการเกิดความเสียหายในด้านทรัพย์สินและของมีค่า

1.1 วัตถุประสงค์ของโครงงาน

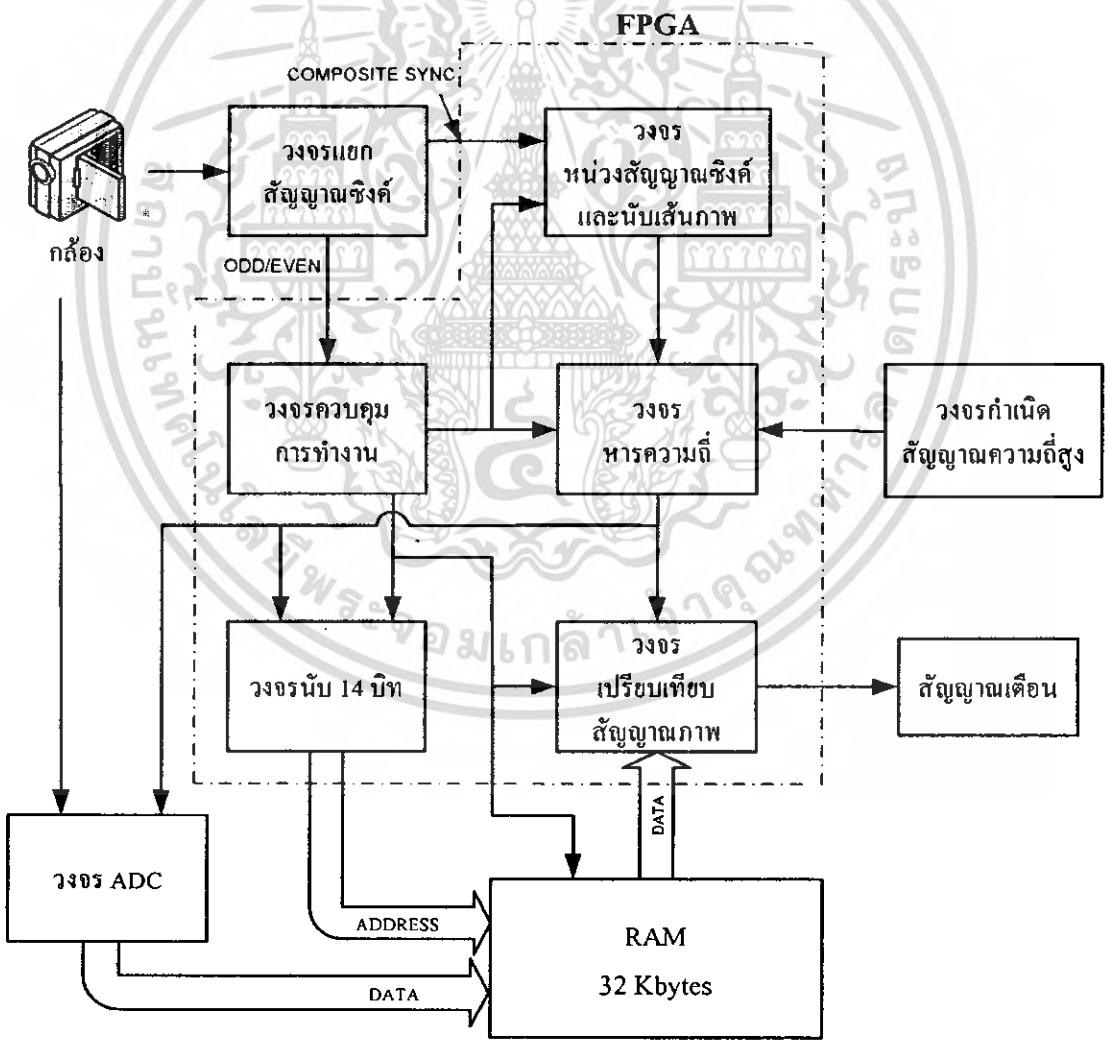
1. เพื่อใช้สอดส่องดูแลทรัพย์สินภายในบ้านในยามที่เจ้าของบ้านไม่อยู่และไม่มีใครดูแลบ้าน
2. เพื่อศึกษาการแปลงสัญญาณภาพ จากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
3. เพื่อศึกษาและประยุกต์ใช้งานสัญญาณภาพรวมในงานด้านการประมวลผลภาพ
4. เพื่อการประยุกต์ใช้งานกล้องวีดีโอ ผ่านระบบรักษาความปลอดภัย
5. เพื่อศึกษาและเรียนรู้การใช้งานโปรแกรม MAX+PLUS II ในการสร้างวงจรทางลอจิกด้วยภาษาวีเอชดีแอล (VHDL) และสามารถสังเคราะห์วงจรที่สร้างขึ้นมาได้
6. เพื่อศึกษาและประยุกต์ใช้งานเอฟพีจีเอในงานด้านการประมวลผลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ขอบเขตของโครงงาน

ในส่วนของภาคการศึกษาที่หนึ่ง เป็นการศึกษาเกี่ยวกับลักษณะสัญญาณโทรทัศน์ที่ได้จากวงจรแยกสัญญาณซิงค์ (Video Sync Separator) การเปลี่ยนสัญญาณภาพที่เป็นอนาลอกให้เป็นดิจิตอล และออกแบบวงจรนับในเอฟพีจีเอ เพื่อนำไปใช้ในการออกแบบวงจร

ในส่วนของภาคการศึกษาที่สอง จะเป็นการออกแบบเอฟพีจีเอ ในส่วนของวงจรเปรียบเทียบสัญญาณภาพ และวงจรควบคุมการทำงานในส่วนต่างๆ โดยเมื่อเกิดความผิดปกติระหว่างภาพที่ต่อเนื่องกันสองภาพมากกว่าที่กำหนดไว้ วงจรที่ออกแบบไว้ก็จะทำการประมวลผลภาพจากสัญญาณดิจิตอลที่ได้ แล้วส่งสัญญาณเตือนออกไปให้ผู้ใช้งานทราบ



รูปที่ 1.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
สัญญาณโทรทัศน์และการสแกนภาพ

ภาพที่เกิดขึ้นที่หน้าจอโทรทัศน์ เป็นภาพนิ่งที่เราเอามาเรียงต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้สายตาของคนเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรมโดยตัวของมันเองประกอบด้วยพื้นที่เล็กๆ ของแสงและจุด หากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมาก ภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย (ภาพออกมาหยาบ)

2.1 องค์ประกอบภาพ

หากเราดัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล่องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจาก จุดสีขาวและจุดสีดำมากมายมาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพหรือพิคเจอร์อีลิเมนต์ (Picture Element) หรือพิคเซล (Pixel)

ทำนองเดียวกันภาพที่ปรากฏทางจอโทรทัศน์ ก็เอามาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีส่วนที่ดำสนิทส่วนที่จาง และส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสง หรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ

ระบบการสแกน 525 เส้น เราจะแบ่งส่วนทางแนวตั้งได้ 700 เส้น ดังนั้น จึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้น แล้วจะได้เท่ากับ 525 × 700 เท่ากับ 367,500 พิคเซล ยิ่งภาพมีจำนวนเส้นภาพมากเท่าไรรายละเอียดของภาพยิ่งมากขึ้นเท่านั้น เหมือนที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีเส้นสแกนมากย่อมได้รายละเอียดหรือความชัดเจนของภาพมีมากกว่า แต่การออกแบบวงจรจะยากตามไปด้วย เนื่องจากแบนวิดธ์ (bandwidth) ของความถี่จะต้องกว้างขึ้นด้วย ให้พิจารณาจากสูตรต่อไปนี้

$$f_{max} = Kn^2 fp(b/h)(y/x)$$

เมื่อ f_{max} คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n คือ จำนวนเส้นขนาน

fp คือ จำนวนภาพต่อวินาที

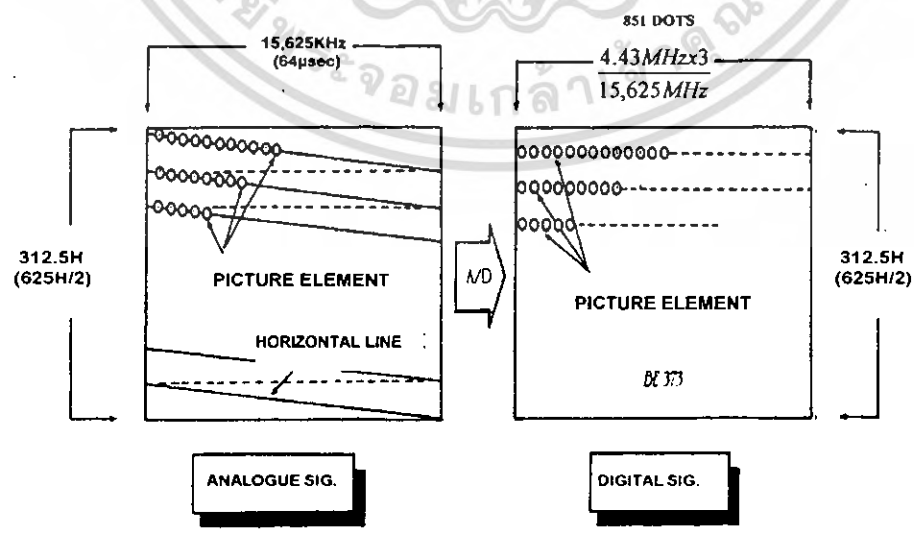
b/h คือ อัตราส่วน แอสเป็คท์ซึ่งทั่วๆเราใช้อัตรา 4 ต่อ 3

y/x คือ ค่าเอฟเฟ็คดีฟแฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราจะพบว่าถ้าจำนวนเส้นสแกนเพิ่มขึ้น ความถี่จะเพิ่มขึ้นตามด้วย จากที่กล่าวว่าระบบ 525 เส้น นั้นมีองค์ประกอบ 367,500 พิคเซล แต่ในความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิคเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากทดลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิคเซล

ระบบที่ใช้อยู่ในประเทศไทยปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพ ต่อวินาที จึงทำให้แบนด์วิดธ์ต้องกว้างถึง 7 เมกะเฮิรตซ์ (MHz) ในขณะที่ระบบ 525 เส้น กว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตามองค์ประกอบภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบภาพได้จากค่าจำนวนสแกน 625 เส้น แล้วคูณกับจำนวนจุดหรือองค์ประกอบทางแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิคเซล

ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพได้ถูกนำเอาไปใช้งานอย่างเป็นจริงมากขึ้น ในโทรทัศน์หรือเครื่องเล่นวีดีโอคาสเซ็ทเร็คคอร์เดอร์ จะมีการนำเอาพิคเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิคเซลเท่านั้นที่ระบบดิจิตอลจะจัดการกับข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล โทรทัศน์ระบบคอมพิวเตอร์ โทรทัศน์จอภาพแอลซีดี ดิจิตอลวีซีอาร์ โทรทัศน์หรือวีซีอาร์ ระบบภาพซ้อนภาพ ฯลฯ



รูปที่ 2.1 องค์ประกอบภาพที่เอาเฉพาะพิคเซลไปใช้งาน

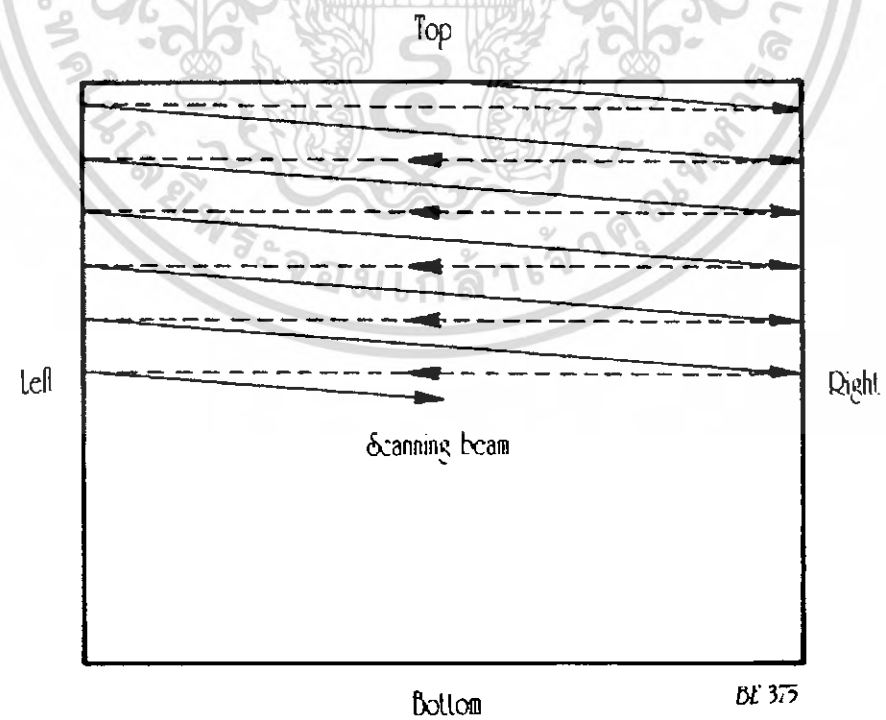
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันสำหรับโทรทัศน์ธรรมดาเราจะพบว่า มีการเพิ่มเส้นภาพให้มากขึ้นและนั่นแน่นอนว่าจำนวนพิคเซลย่อมมากขึ้นด้วย อย่างโทรทัศน์จอใหญ่หรือโทรทัศน์ที่ต้องการรายละเอียดสูงอย่าง HDTV อาจต้องใช้เส้นสแกนภาพมากกว่า 625 เส้น เช่นที่นิยมใช้กันในปัจจุบันคือ 725 เส้น หรืออย่างเครื่องฉายวีดีโอโปรเจ็คเตอร์จะใช้เส้นภาพ 2,200 เส้นภาพ และหากเป็นภาพจอใหญ่หลายร้อยนิ้วอาจต้องเพิ่มรายละเอียดมากขึ้นอีก นั่นคือการเพิ่มพิคเจอร์อีลีเมนต์นั่นเอง

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาแล้ว เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมาเครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเองหลอดภาพมีโครงสร้างคล้ายกับหลอดสุญญากาศทั่วไป ที่ปล่อยอิเล็กตรอนออกมาจากขั้วแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับแอโหนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)



รูปที่ 2.2 แสดงวิธีการเบื้องต้นของการสแกน

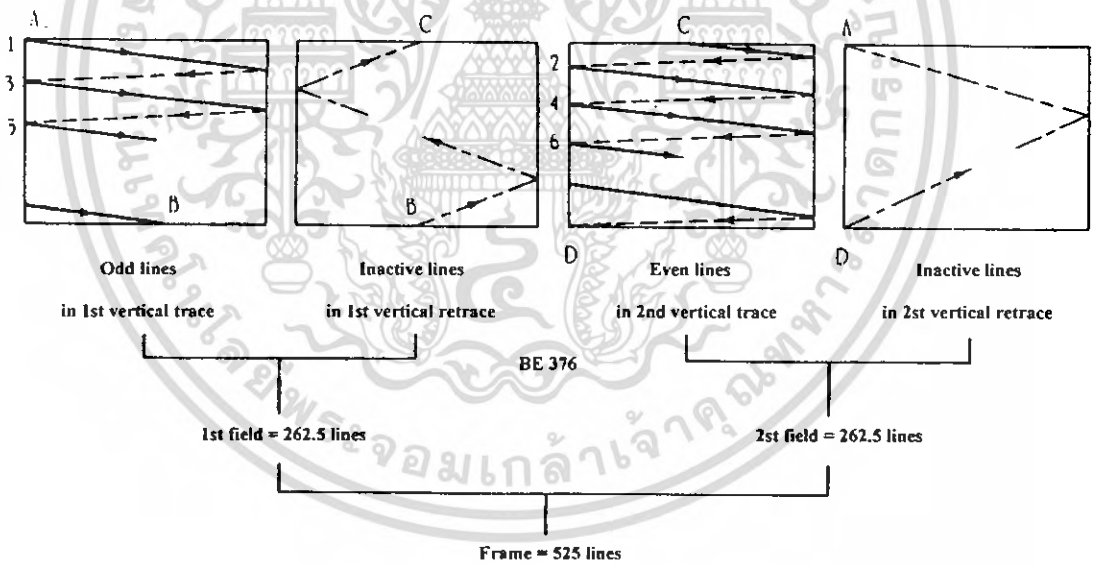
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะทำให้การสแกนมีความต่อเนื่อง ขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการ คือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเราเรียกว่า "รีเทรซ" (Retrace) หรือ ฟลายแบ็ค (Fly back) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3. ในขณะเสนที่สแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนั้นโดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)



รูปที่ 2.3 รายละเอียดการสแกนสลับเส้น (Interlaced Scanning) หรือแบบสอดแทรก

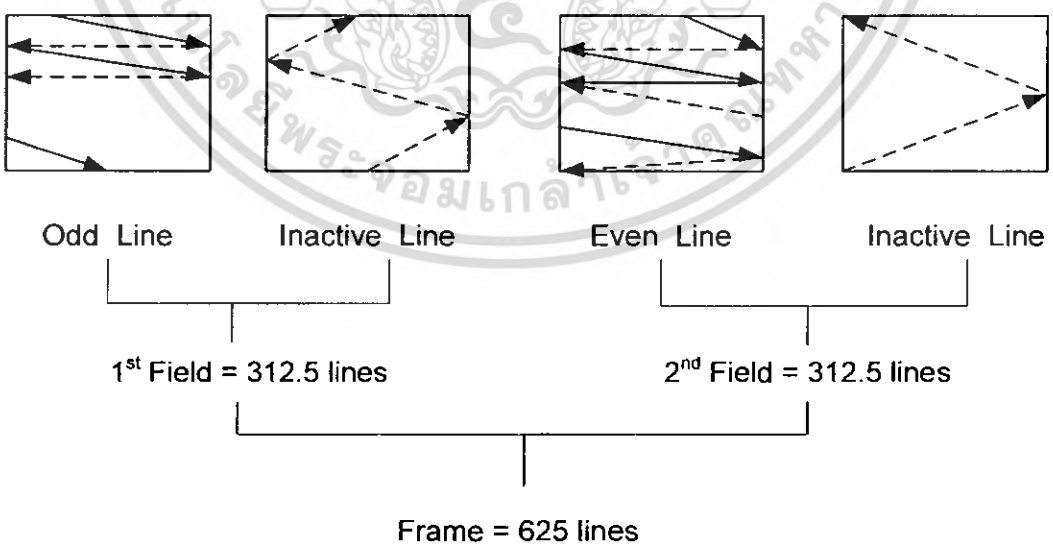
การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้เราพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาที แล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวาบนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่าง แสงด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกของกรณีนี้ก็คือเกิดแสงกระพริบ หรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้น หรือบางคนเรียกว่าการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าการได้ภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตรฐานเอฟซีซี (FCC) ใช้เส้นสแกน 525 เส้นต่อ 1 ภาพ และใช้ 30 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์ จะมีเส้นสแกน 262.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/30 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้มาจากจำนวนเส้นภาพคูณกับจำนวนภาพในหนึ่งเฟรม จึงได้ 525 × 30 เท่ากับ 15,750 เฮิรตซ์ ส่วนความถี่บังคับการหักเหในแนวตั้งใน 1 เฟรม จะใช้เวลาเพียง 1/60 วินาทีเท่านั้น ความถี่จึงเท่ากับ 60 เฮิรตซ์

ตามมาตรฐานซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625 × 25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์



รูปที่ 2.4 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรกระบบ CCIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 และ 2.4 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่โดยเริ่มจาก ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางด้านขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้น ที่ 3, 5, 7, 9 และต่อๆไป จนกระทั่งได้เส้นสแกน 262.5 เส้น ในระบบเอฟซีซี (FCC) หรือ 312.5 เส้น ในระบบซีซีไออาร์ (CCIR) ซึ่งก็คือ สแกนมาถึงจุด B ดังในภาพที่ 2.5 และ 2.6 ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ซึ่งเรียกว่า เวอร์ติคอลรีเทรซ (Vertical Retrace) หรือสัญญาณฟลายแบ็ค จึงกลับไปตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรซ (Retrace time) ทั้งการรีเทรซทางเวอร์ติคอล และฮอริซอนตอลเป็นเวลาสั้นๆ ถึงอย่างไรก็ตามเราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้นเรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่าในส่วนของการกวาดลำแสง หรือการสแกนในแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10 – 16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี (FCC) เราใช้เวลาในการสแกนทางแนวนอนเท่ากับ 63.5 ไมโครเซ็คคั่น (μs) ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็คคั่น (μs) ส่วนระบบซีซีไออาร์ (CCIR) เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็คคั่น (μs) ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครวินาที (μs) ในส่วนทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5 – 8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซ็ควินาที (μs) และ 500 ไมโครวินาที (μs) ตามลำดับ นั่นหมายความว่าในช่วงของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8 – 10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้น เรามิอาจเห็นได้ครบทุกเส้นอย่างน้อยๆในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการ ฟลายแบ็ค (Fly back) ซึ่งในเครื่องรับเราเรียกตัวนี้ว่า สัญญาณแบลงกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง ในระบบโทรทัศน์เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นมีเวอร์ติคอลรีเทรซเท่ากับ 3 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้น จงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนแบบนี้

วิธีทำ

เวลาของการสแกนทางแนวตั้ง	=	1/50 วินาที
ค่า 3 เปอร์เซ็นต์ในกรณีรีเทรซ	=	3/(50 × 100) วินาที
เวลาในการรีเทรซ	=	600 ไมโครวินาที
เวลาในการสแกนเส้นภาพ	=	1/15625 วินาที
ดังนั้นการรีเทรซจะกินเส้นภาพไป	=	600/64
	=	9.375 เส้น

คำตอบ ในกรณีนี้คือ ประมาณ 10 เส้นภาพ

ตัวอย่าง ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้ค่าเวลามากที่สุดที่มาตรฐานในปัจจุบันกำหนดไว้ คือเวลาประมาณ 5 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางเวอร์ติคอล จงหาจำนวนเส้นภาพที่ปรากฏจริงบนหน้าจอว่ามีกี่ภาพ

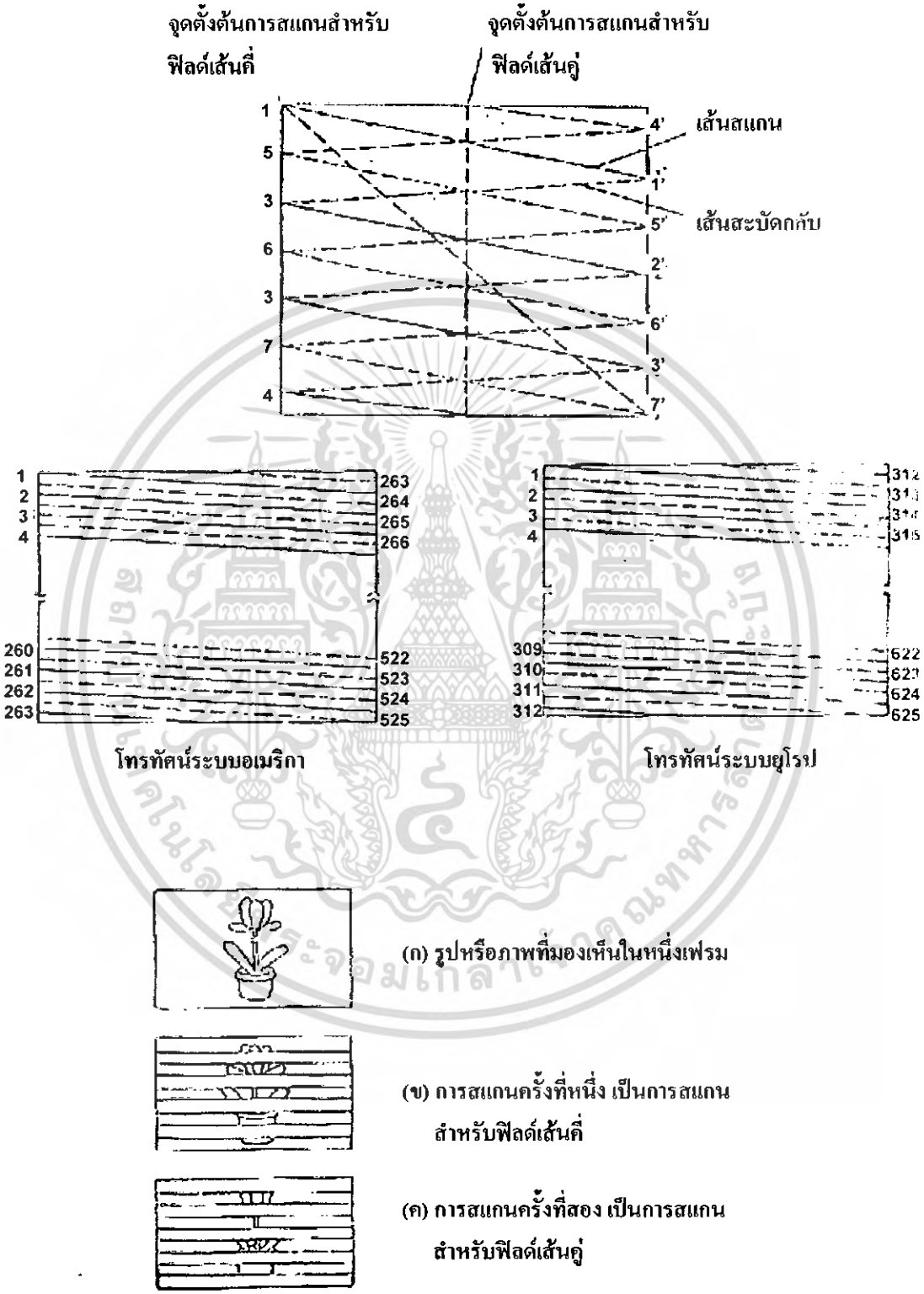
วิธีทำ

เวลาของการสแกนทางแนวตั้ง	=	1/50 วินาที
ค่า 5 เปอร์เซ็นต์	=	5 / (50 × 100) วินาที
เพราะฉะนั้นเวลารีเทรซ	=	1,000 ไมโครวินาที
เวลาในการสแกนเส้นภาพ	=	64 ไมโครวินาที
การรีเทรซทางแนวตั้งกินเส้นภาพ	=	1,000/60
	=	15.625
		หรือประมาณ 16 เส้นภาพ
จำนวนเส้นภาพที่จอปรากฏให้เห็น	=	625-16

คำตอบ ในกรณีนี้คือ ประมาณ 609 เส้นภาพ

จากหลักการดังกล่าวในโทรทัศน์ระบบดิจิตอล จะนำเอาสัญญาณภาพเข้าสู่หน่วยความจำของระบบดิจิตอล จึงเอาเส้นภาพไปเก็บเพียงครั้งละ 308 เส้นภาพเท่านั้น (แทนที่จะเอาทั้ง 312.5 เส้นภาพ) เพราะจากมาตรฐานโทรทัศน์ในปัจจุบันที่กำหนดมาตรฐานสัญญาณโทรทัศน์ในกรณีรีเทรซทางแนวตั้ง เท่ากับ 3 เปอร์เซ็นต์ เราจึงได้เส้นภาพ 625-10 เส้นภาพ (615เส้นภาพ) เมื่อแบ่งเฟรมแล้วจะได้ค่าเส้นภาพประมาณ 308 เส้นภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

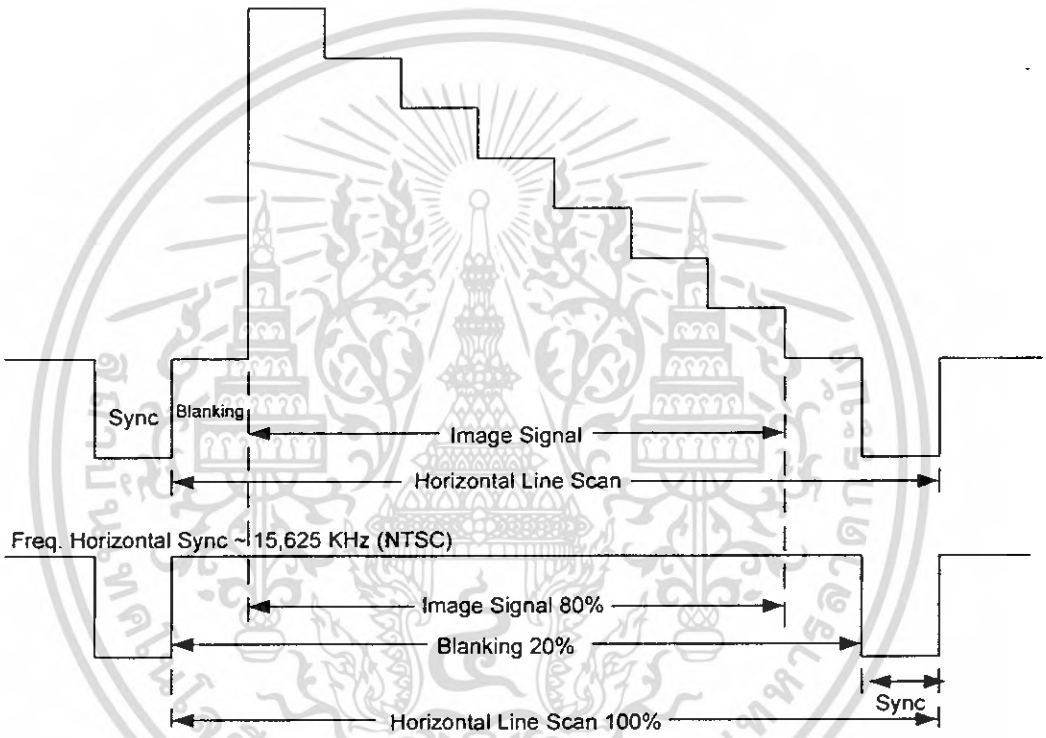


รูปที่ 2.5 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่งภาพเป็น 2 ฟิ...

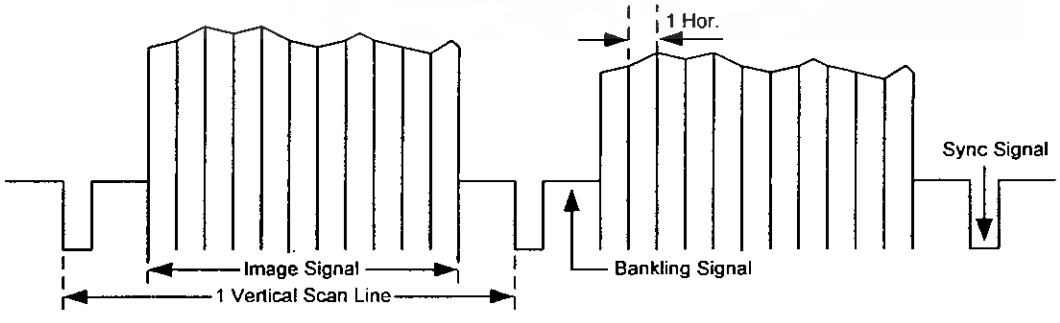
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ลักษณะของสัญญาณภาพ

สัญญาณภาพโดยทั่วไปจะมีลักษณะเป็นสัญญาณคอมโพสิทวีดีโอ (Composite Video) คือ จะประกอบไปด้วยข้อมูล สัญญาณภาพ (Image Signal), สัญญาณซิงค์ (Sync Signal), และสัญญาณแบลงกิ้ง (Blanking Signal) โดยลักษณะของสัญญาณดังกล่าวแสดงดังรูปที่ 2.6

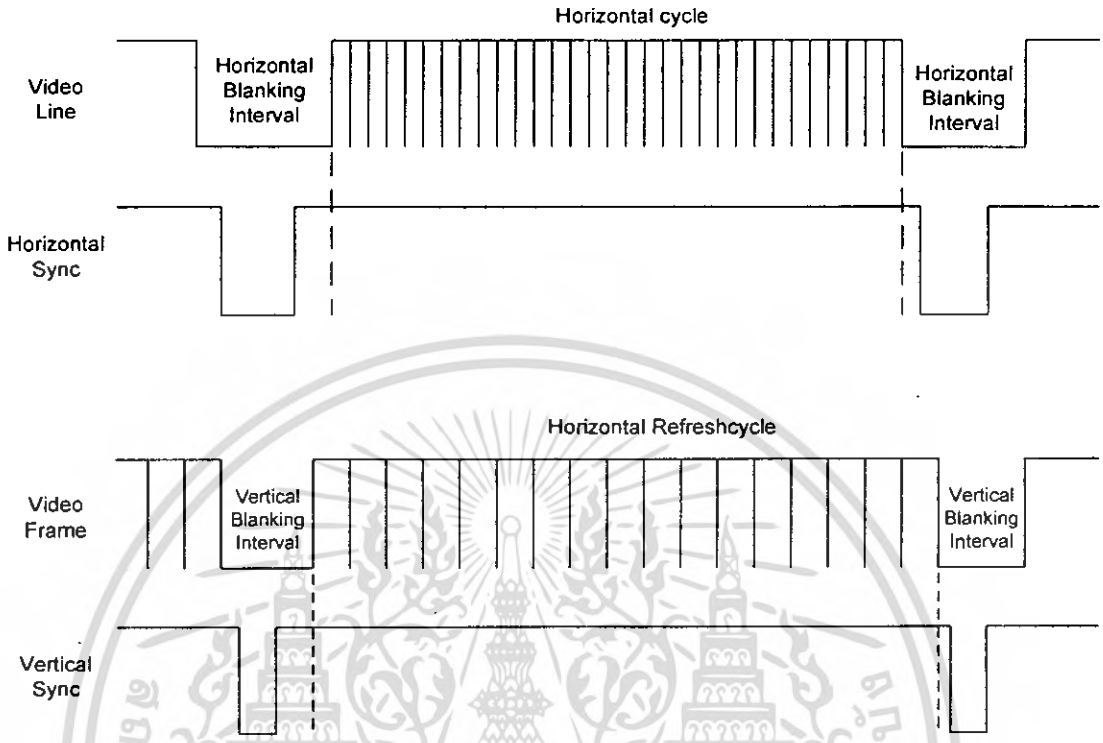


รูปที่ 2.6 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวนอน



รูปที่ 2.7 แสดงลักษณะสัญญาณของสัญญาณทางด้านแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างสัญญาณทางด้านแนวนอนและแนวตั้ง

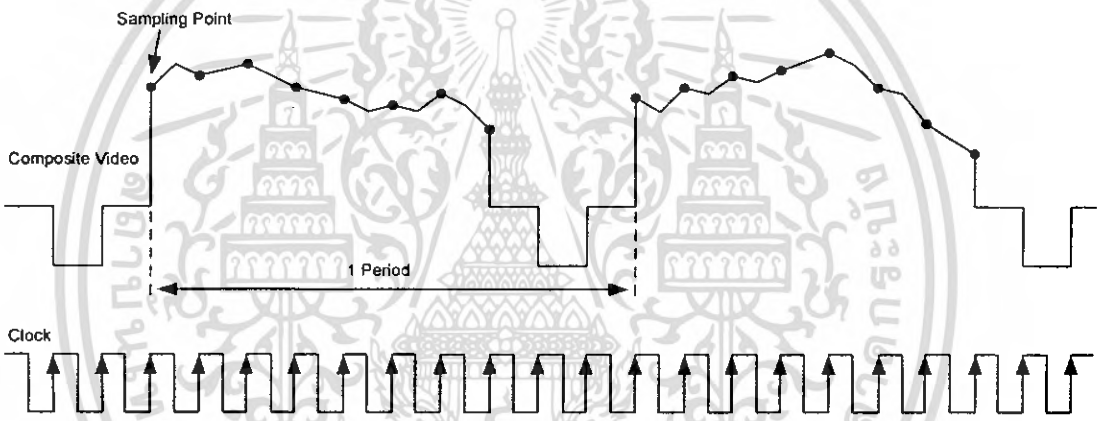
สัญญาณดังรูปที่ 2.6 2.7 และ 2.8 จะเป็นสัญญาณภาพรวมที่ประกอบด้วย เส้นสแกนทางแนวนอน และเส้นสแกนทางแนวตั้ง โดยเส้นสแกนทั้งสองจะประกอบด้วย สัญญาณซิงค์ สัญญาณแบลงกิ้ง และสัญญาณภาพ สัญญาณดังกล่าวจะถูกส่งไปยังมอนิเตอร์ ทำให้เกิดการสแกนที่หน้าจอมอนิเตอร์ซึ่งจะทำให้ปรากฏเป็นภาพขึ้นมา

การจัดเก็บสัญญาณภาพจากคอมโพสิทวีดีโอ ซึ่งมีลักษณะเป็นสัญญาณอนาลอกเข้าไปเก็บไว้ในหน่วยความจำ ซึ่งมีจำเป็นอย่างยิ่งที่จะต้องทำการแปลงสัญญาณภาพดังกล่าว จากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อให้จะสามารถที่จะจัดเก็บเข้าไปยังหน่วยความจำได้ ในการแปรงสัญญาณอนาลอกนั้นก็ต้องประกอบด้วย ส่วนของการสุ่มตัวอย่างสัญญาณ และการควอนไตซ์สัญญาณ (Quantization) หรือการจัดระดับสัญญาณ ซึ่งการจัดระดับสัญญาณนั้นกระทำโดยนำสัญญาณที่ผ่านการสุ่มสัญญาณแล้ว นำมาทำการแปลงให้เป็นสัญญาณทางดิจิตอล โดยสัญญาณภาพที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว สามารถที่จะถูกจัดเก็บลงไปยังหน่วยความจำได้ แต่ในการสแกนทางด้านแนวนอนของสัญญาณภาพนั้น จะใช้เวลาในการสแกนที่สั้นมาก ดังนั้นจึงทำให้เกิดปัญหาในขั้นตอนของการเปลี่ยนสัญญาณภาพจากสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล (Analog to Digital Converter) รวมทั้งการเขียนข้อมูลเข้าไปเก็บยังหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาแรกคือ ปัญหาในเรื่องของการแปลงสัญญาณอนาลอกเป็นดิจิตอล การที่สัญญาณภาพมีเวลาที่ใช้ในการสแกนทางแนวนอนที่สั้นมาก ในการจัดเก็บเพื่อให้ได้ความละเอียดของภาพคงเดิมดังเช่นที่แสดงทางหน้าจอมอนิเตอร์ จำเป็นจะต้องใช้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่มีอัตราในการสุ่มตัวอย่างที่สูงเพียงพอกับสัญญาณดังกล่าว

ปัญหาที่สองนั้น เกิดขึ้นจากข้อมูลที่ถูกแปลงแล้วจะนำไปเขียนยังหน่วยความจำ ซึ่งในการเขียนข้อมูลดังกล่าวนี้จะต้องมีการจัดเวลาที่เหมาะสมเพื่อไม่ให้เกิดปัญหาขึ้นในขั้นตอนของการเขียนข้อมูลลงหน่วยความจำ ในการจัดเก็บข้อมูลภาพลงสู่หน่วยความจำนั้นจะอาศัยหลักการจัดเก็บภาพลงสู่หน่วยความจำแบบแอดเดรสเป็นแบบต่อเนื่อง ดังแสดงให้เห็นดังรูปที่ 2.9



รูปที่ 2.9 เวลาในการสุ่มสำหรับการสแกนทางแนวนอน ของสัญญาณคอมโพสิทวีดีโอ

จากรูปที่ 2.9 ถ้าหากเป็นสัญญาณภาพที่ได้รับจากสัญญาณคอมโพสิทวีดีโอทั่วๆไป ตัวอย่างเช่นสัญญาณวีดีโอในระบบ NTSC (The National Television System Committee) จะพบว่าใน 1 เส้นสแกนทางแนวนอนจะใช้เวลาทั้งสิ้น 64 ไมโครวินาที แต่เนื่องจากส่วนที่เป็นสัญญาณภาพจริงๆ จะประมาณ 80% ของสัญญาณทั้งหมด คือ $64 \times 0.8 = 51.2$ ไมโครวินาที ส่วนที่เหลือดังกล่าวจะเป็นสัญญาณในช่วงแบลงกิ้ง และถ้าหากต้องการที่จะทำการจัดเก็บสัญญาณในแต่ละเส้นสแกนทางแนวนอนให้มีจุดภาพทั้งสิ้น 512 จุดภาพ ก็จำเป็นต้องใช้เวลาในการเขียนข้อมูลภาพแต่ละจุดภาพลงสู่หน่วยความจำเท่ากับ

เวลาในการเขียนข้อมูลภาพแต่ละจุดภาพ = 51.2 / 512 ไมโครวินาที

= 100 นาโนวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาดังกล่าวเป็นค่า ACCESS TIME ของหน่วยความจำที่นำมาใช้ โดยค่าความจุของหน่วยความจำที่ใช้จะมีค่าเท่ากับผลคูณของจำนวนเส้นสแกนต่อหนึ่งเฟรมกับจำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอน คือ

ความจุของหน่วยความจำ = จำนวนเส้นสแกน × จำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอน

= 512 × 512

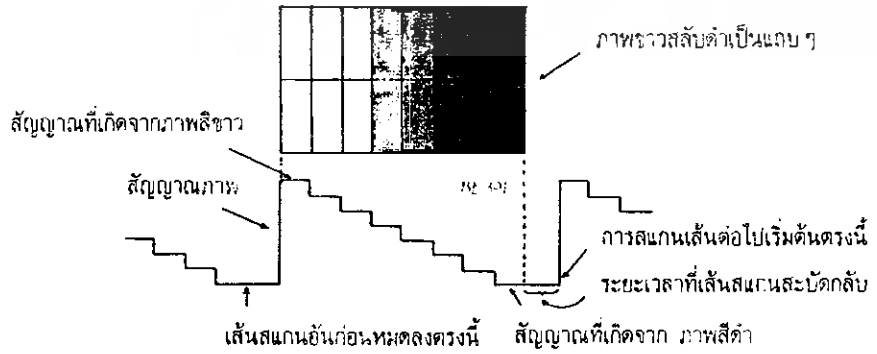
= 256 กิโลไบต์

เครื่องส่งทำการส่งสัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์ บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่างๆ ดังนี้

1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นเครื่องรับโทรทัศน์
2. สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน
3. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและหักเหทางแนวนอน เพื่อให้เครื่องส่งกับเครื่องรับทำงานสอดคล้องตรงกัน
4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าเป็นการสแกนแบบสลับเส้นก็ตาม

2.3.1 สัญญาณภาพขาวดำ

สมมุติว่าเราจะดูระดับความขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลย ภาพที่ดีที่สุดของกรณีนี้คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่า ระดับเกรย์ (Gray scale) นั่นเอง



รูปที่ 2.10 แสดงระดับสัญญาณขาวดำ โดยเกรย์สเกล (Gray scale)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.10 แสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว เทา และดำ นั้น ระดับสัญญาณจะลดลงมาเรื่อยๆ นั้นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี (FCC) และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์ (CCIR) ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

2.3.2 สัญญาณแบลงกิ้ง

ทราบแล้วว่าเมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรซหรือเส้นสะบัดกลับซึ่งเป็นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงกิ้งส่วนหนึ่ง เครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์ แต่มันจะสัมพันธ์เครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่สองอย่าง คือ เวอร์ติคอลแบลงกิ้ง (Vertical blanking) กับฮอริซอนทอลแบลงกิ้ง (Horizontal blanking)

2.3.3 สัญญาณซิงโครไนซ์

เป็นสัญญาณเพื่อที่ให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอนโดยสัญญาณซิงโครไนซ์ หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

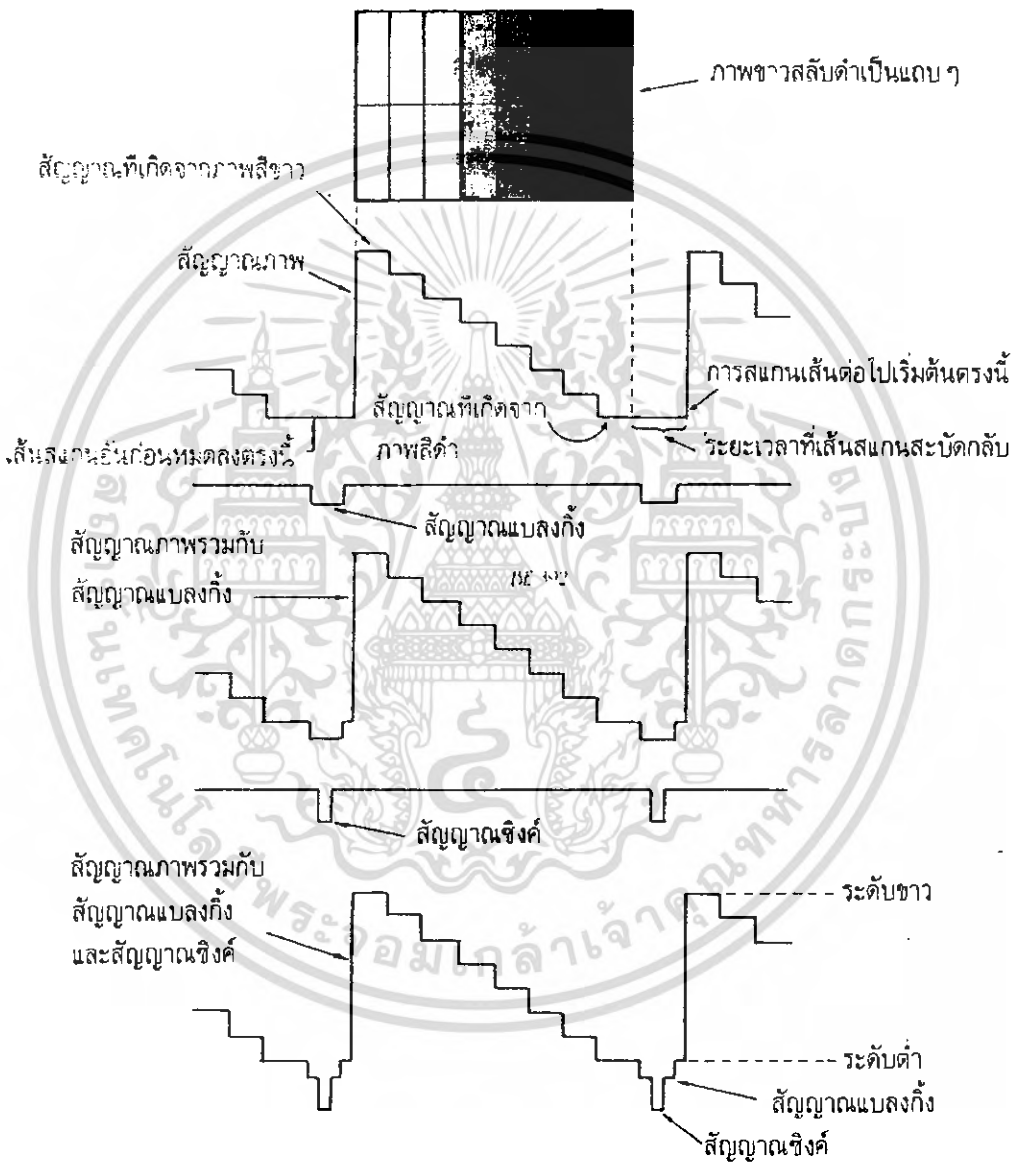
1. ฮอริซอนทอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้

2. เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้งซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้ง ไม่ว่าจะเป็นแนวนอน หรือแนวตั้ง จะมีความถี่เท่ากัน เวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์ มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์กับแบลงกิ้งพัลซ์ไปด้วย ให้แบลงกิ้งพัลซ์เป็นฐานของสัญญาณซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบลงกิ้งจะอยู่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ)



รูปที่ 2.11 ลักษณะของสัญญาณภาพรวมเบื้องต้น

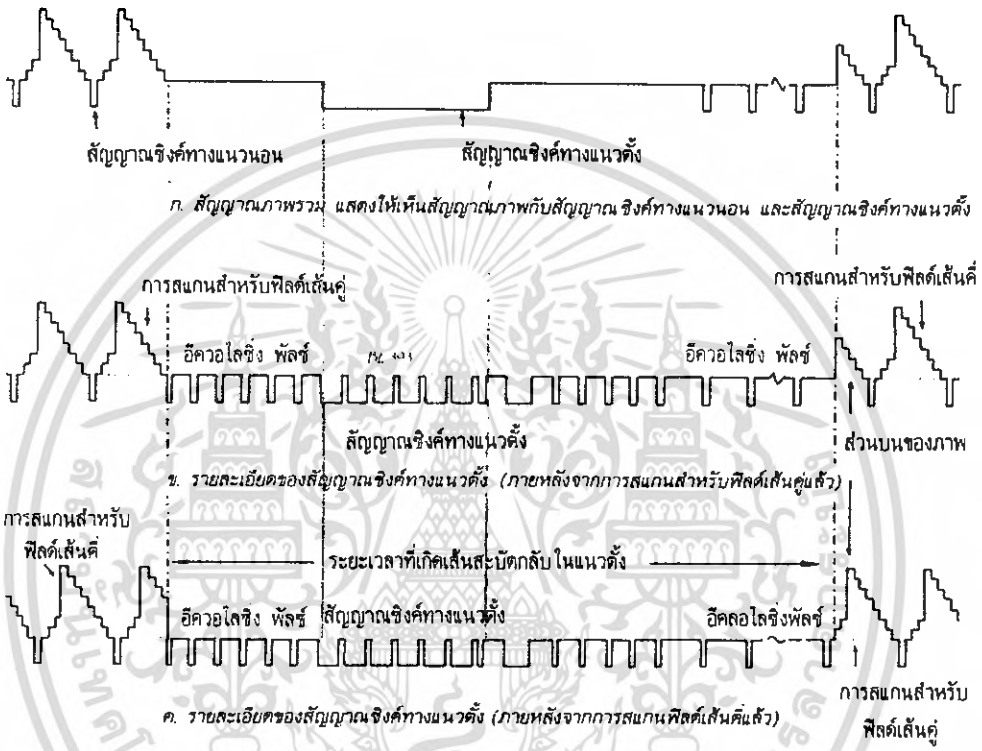
2.3.4 สัญญาณอีควอไลซิ่ง

เป็นสัญญาณที่บังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวนอน เพื่อให้สามารถคงรูปถูกต้อง แล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอน ไม่ขาดช่วงหายไป

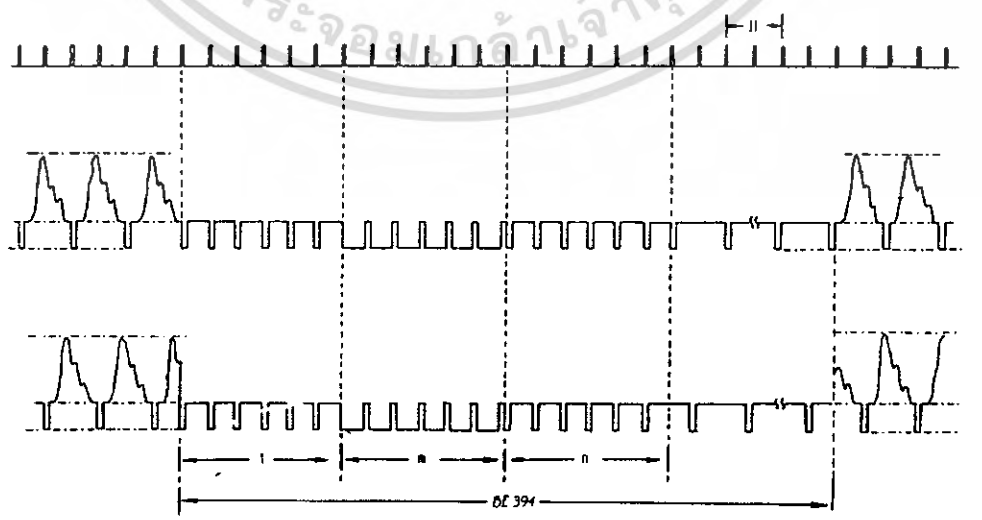
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอลซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็กๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูก ในระบบ 625 เส้น ดังแสดงในรูปที่ 2.12



รูปที่ 2.12 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง



รูปที่ 2.13 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

72283

2.4 การเปลี่ยนข้อมูลจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

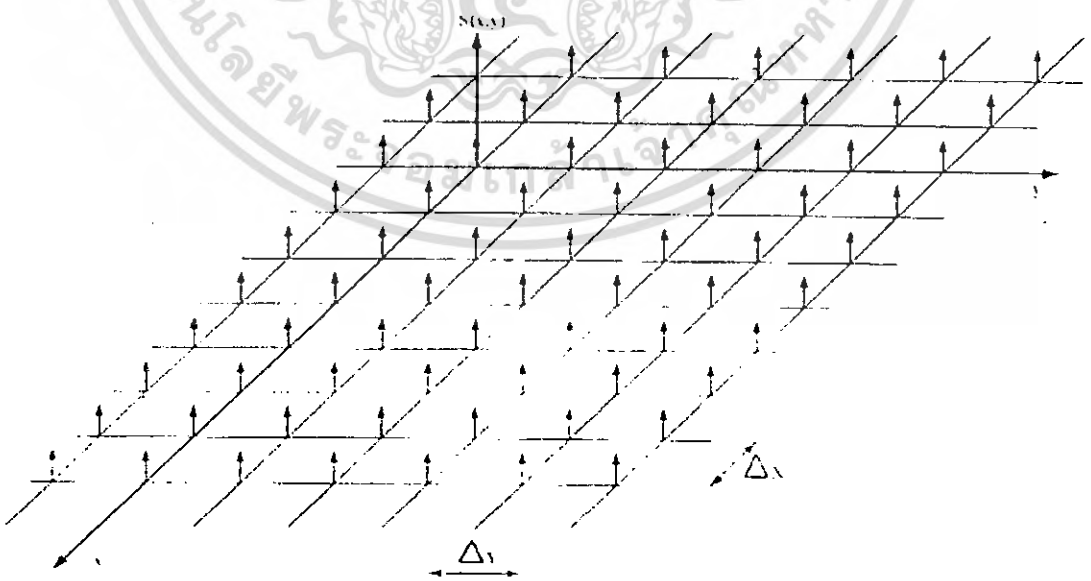
ในการเปลี่ยนสัญญาณภาพที่ต่อเนื่องให้เป็นข้อมูลภาพทางดิจิตอลด้วยการดิจิไตซ์ ในการดิจิไตซ์ในสปาเชียลโดเมน (x , y) จะเรียกว่าการสุ่ม "การสุ่มภาพ" (image sampling) และในขณะที่การดิจิไตซ์ทางแอมปลิจูดจะเรียกว่า "การควอนไตซ์ระดับเทา" (gray-level quantization)

2.4.1 การสุ่ม (Sampling)

ฟังก์ชั่นของการสุ่มสามารถเขียนเป็นฟังชั่นทางคณิตศาสตร์ ด้วยอิมพัลซ์ฟังก์ชั่น $\delta(x,y)$ ที่กระทำกับสัญญาณภาพซึ่งสามารถกำหนดได้ดังนี้

$$\int_{-\infty}^{\infty}\int_{-\infty}^{\infty} f(x,y)\delta(x-x_0,y-y_0)dxdy = f(x_0,y_0) \qquad (2.1)$$

ฟังก์ชั่นของการสุ่มสองมิตินั้นจะประกอบด้วยพัลซ์เทรนที่ห่างกัน Δx ในทิศทาง x และช่วงห่าง Δy ในทิศทาง y ดังในรูปที่ 2.14 โดยฟังก์ชั่นของภาพจะเป็น $f(x,y)$ และมีค่า x และ y ที่ต่อเนื่อง การสุ่มทำได้โดยการคูณฟังก์ชั่นอิมพัลซ์ $\delta(x,y)$ กับฟังก์ชั่นภาพ $f(x,y)$ จะได้ $\delta(x,y)\ f(x,y)$



รูปที่ 2.14 ฟังก์ชั่นของการสุ่มสองมิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่ใช้ในการสุ่มในระบบของภาพนั้นจะเป็นตัวบ่งบอกถึงขนาดของภาพ ภาพที่ผ่านการสุ่มด้วยความถี่สูงๆ ก็จะได้จำนวนจุดภาพมากขึ้น ในกรณีที่จำนวนจุดภาพมีค่าน้อยจะทำให้เกิดผลอย่างหนึ่งคือ การเกิดซ้ำกันของจุดภาพ (Pixel Replication) ทำให้เห็นภาพเป็นบล็อกๆ (Checker-Board Effect)

2.4.2 การควอนไตซ์ (Quantization)

การควอนไตซ์เป็นการเข้ารหัสของระดับที่ผ่านการสุ่ม เพื่อจัดเข้าระดับที่เป็นมาตรฐานหรือเป็นไปตามที่ต้องการ แต่ในทางด้านการประมวลผลภาพการควอนไตซ์เป็นการจัดระดับของสัญญาณภาพที่ผ่านการสุ่มให้อยู่ในระดับเทา จำนวนระดับเทาที่ใช้นั้นขึ้นอยู่กับจำนวนบิดของข้อมูลดิจิตอล จำนวนของระดับเทาที่ใช้นั้นเท่ากับสองยกกำลังตามด้วยจำนวนบิท แสดงตามสมการดังนี้

$$G = 2^m$$

เมื่อ G เท่ากับจำนวนระดับเทา และ m เป็นจำนวนบิดของข้อมูลดิจิตอลที่ใช้ ตัวอย่างเช่น ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ให้ข้อมูลดิจิตอลจากการแปลงแล้ว 8 บิท ทำให้ได้ระดับเทาที่แตกต่างกัน 256 ระดับ ระดับของการควอนไตซ์นั้นจะมีผลต่อภาพที่เก็บ ถ้าใช้ระดับการควอนไตซ์ที่มีจำนวนระดับความแตกต่างน้อยหรือกล่าวอีกนัยหนึ่ง คือจำนวนบิตของข้อมูลดิจิตอลที่น้อยกว่าปกตินั้นจะทำให้เกิดความผิดพลาดของข้อมูลสูง สาเหตุที่เป็นเช่นนี้เพราะว่าความห่างของระดับนั้นมีมาก เวลาทำการควอนไตซ์จะเกิดการปรับค่าที่ได้จากการสุ่มให้เข้าสู่ระดับที่กำหนด ถ้าข้อมูลที่ได้จากการสุ่มห่างจากระดับที่กำหนดมากเท่าใด ก็จะทำให้เกิดการผิดพลาดมากขึ้นเท่านั้นหรือกล่าวอีกนัยหนึ่งคือเราไม่มีระดับเทาที่แทนค่าของระดับความเข้มของภาพได้หมด ส่วนจำนวนระดับเทาหรือบิตของข้อมูลภาพที่ใช้นั้นปกติไม่ควรต่ำกว่า 64 ระดับเทา หรือจำนวนบิตไม่ควรต่ำกว่า 6 บิท จึงเหมาะสมกับสายตาของคนเราที่จะไม่รู้สึกว่าเกิดการคลาดเคลื่อนขึ้นกับภาพ แต่ถ้าใช้จำนวนระดับที่ต่ำกว่านี้จะทำให้เกิดผลอย่างหนึ่งที่เรียกว่า "ขอบเทียม" (false contour) แม้มีการใช้จำนวนบิตของจุดภาพที่น้อยลง แต่สายตาเราก็ยังไม่สามารถตรวจจับความแตกต่างของภาพได้ แต่ถ้ามีการลดจำนวนบิตของจุดภาพลงไปอีก จะทำให้เราสามารถตรวจจับความผิดเพี้ยนของภาพที่เกิดขึ้นได้

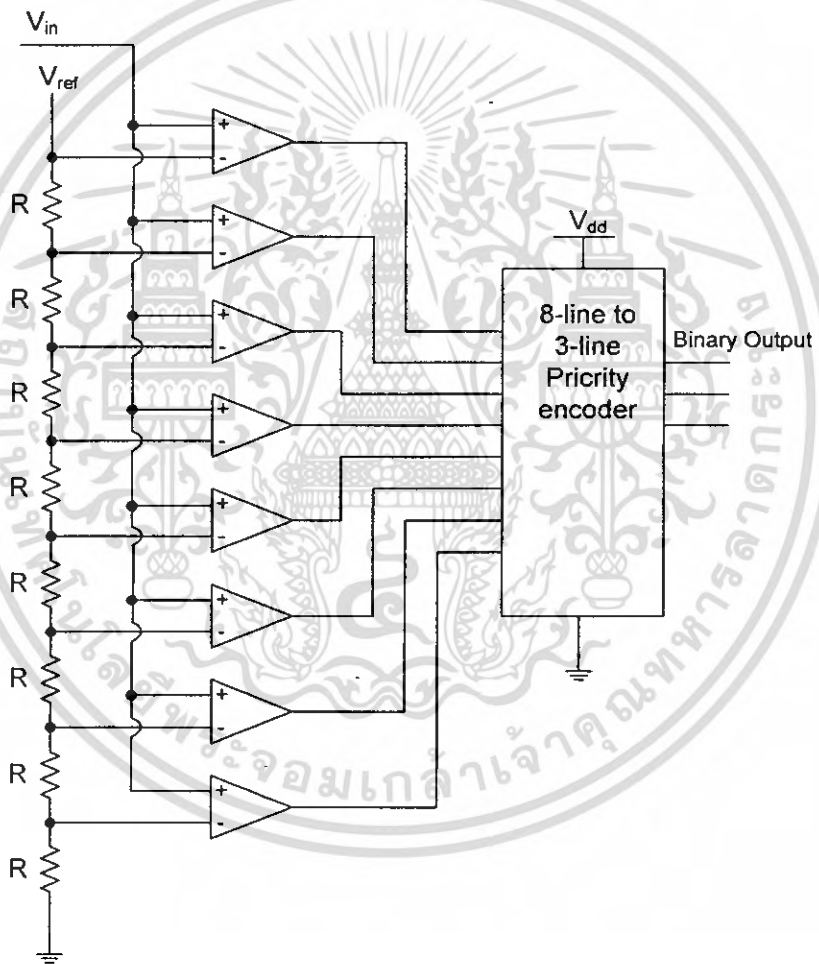
ในการกำหนดขนาดของภาพ และระดับเทาของภาพสำหรับวงจรเก็บข้อมูลภาพจะต้องพิจารณาให้เหมาะสมกับงานที่จะใช้ ซึ่งโดยรวมเป็นการกำหนดรายละเอียดของภาพ (Resolution of Image) ถ้ากำหนดภาพที่มีรายละเอียดสูงๆ ก็จะได้คุณภาพของภาพที่ดีแต่ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องใช้หน่วยความจำในการเก็บข้อมูลภาพที่มีขนาดใหญ่มาก หรือถ้ากำหนดรายละเอียดของภาพต่ำก็จะสามารถใช้หน่วยความจำขนาดเล็กแต่อาจไม่ได้รายละเอียดเท่าที่ควร ฉะนั้นการออกแบบวงจรเก็บข้อมูลภาพควรให้มีความเหมาะสมในเรื่องคุณสมบัติของภาพที่ต้องการจัดเก็บด้วย

2.4.3 แฟลชคอนเวอร์เตอร์ (Flash Converter)

หลักการของ Flash Converter คือการแบ่งแรงดันเป็น Voltage หลายๆ ค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic



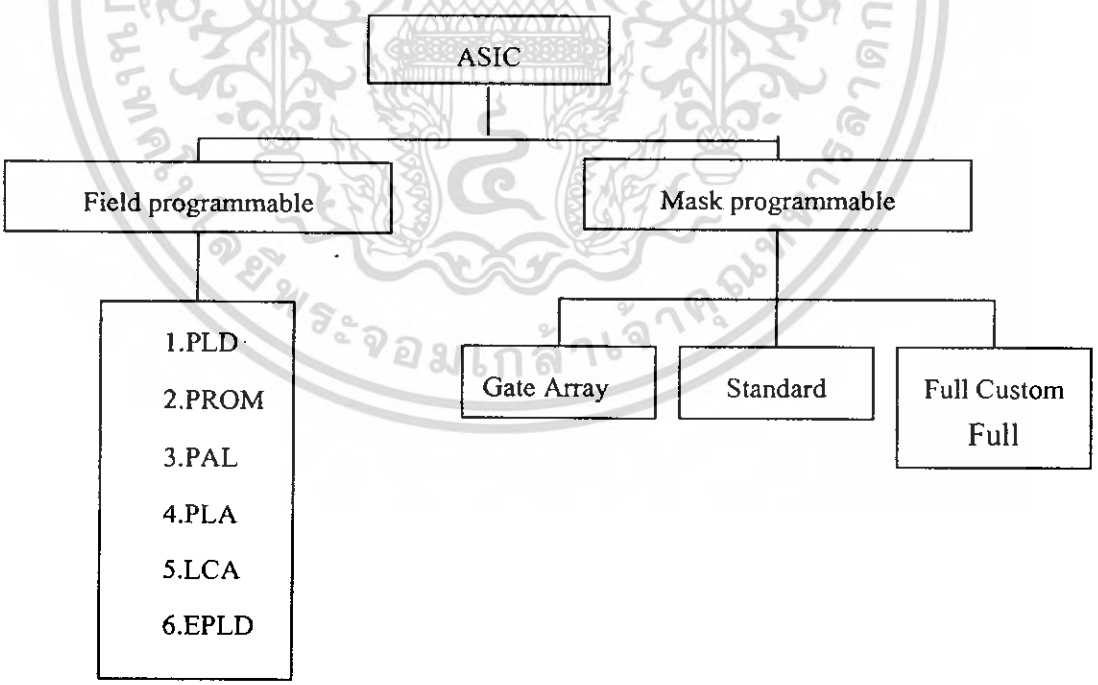
รูปที่ 2.15 วงจรแฟลชคอนเวอร์เตอร์ (Flash Converter)

จากวงจร มี Voltage เปรียบเทียบ 8 บิท ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไปเปรียบเทียบกับ V_{in} ถ้ามากกว่าก็จะให้ลอจิก 1 ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก 0 วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
เอฟพีจีเอ

ความก้าวหน้าของอุตสาหกรรมอิเล็กทรอนิกส์ปัจจุบันทำให้เกิดการพัฒนาความสามารถของอุปกรณ์ต่างๆ มากมายซึ่งทำให้เกิดการลดค่าใช้จ่าย การสิ้นเปลืองพลังงานและขนาด ในขณะเดียวกันก็มีการเพิ่มประสิทธิภาพและระดับความเชื่อถือได้ของวงจรรวมที่สูงขึ้นเห็นได้ชัดจากเทคโนโลยีไมโครโพรเซสเซอร์และหน่วยความจำปัจจุบัน ทุกๆ ครั้งที่มีการพัฒนาขึ้นทำให้เกิดช่องว่างวงจรรวมและไอซีมาตรฐานมากขึ้น ในการพัฒนาเพิ่มความหนาแน่นและจำนวน ฟังก์ชั่นลอจิกที่เหมาะสม นักออกแบบอุปกรณ์ทางด้านดิจิตอลได้พิจารณาถึงการผลิตให้ขนาดมากๆ และการผลิตวงจรรวม (ASIC: Application Specific Integrated Circuit) ซึ่งวงจรรวมจะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ Field Programmable และ Mask Programmable ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 แสดงผังแสดงการแบ่งกลุ่มของวงจรรวม ASIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 เอฟพีจีเอ (FPGA : Field Programmable Gate Array)

เป็นอุปกรณ์ที่ถูกพัฒนาต่อจากอุปกรณ์แอลซีเอของบริษัทไซรินซ์ (XILINX Inc.) โดยมีประสิทธิภาพการทำงานและมีปริมาณความหนาแน่นของเกทสูง สามารถจะกำหนดฟังก์ชั่นการทำงานได้ความต้องการของผู้ใช้โดยผ่านการโปรแกรม เอฟพีจีเอได้รวบรวมข้อดีทั้งหมดของการทำคัสตัมวีแอลเอสไอ (Custom VLSI) มารวมไว้ทั้งหมดได้แก่ การออกแบบการผลิต และลดเวลาที่จะส่งตัวผลิตภัณฑ์ออกตลาด ซึ่งเป็นประโยชน์ต่อการผลิตวงจรเป็นอย่างมาก นักออกแบบเพียงกำหนดฟังก์ชั่นการทำงานของวงจร ดังนั้นการออกแบบวงจรโดยใช้เอฟพีจีเอ สามารถออกแบบและทดสอบภายในเวลาเพียง 2-3 วัน เท่านั้น ตรงกันข้ามกับการออกแบบโดยใช้เกตอาร์เรย์ ซึ่งใช้เวลาหลายอาทิตย์การเปลี่ยนแปลงแก้ไขแบบก็เช่นเดียวกัน จากประโยชน์ของเอฟพีจีเอ ดังกล่าวมาทำให้เกิดการประหยัดค่าใช้จ่ายเป็นอย่างมาก เพราะได้ความเสี่ยงในการที่จะต้องแก้ไขตัววงจร การเลื่อนเวลาการออกผลิตภัณฑ์ ลดค่าเอ็นอาร์อี (NRE : Nonrecurring Engineering Cost) ลงไปด้วย

3.1.1 เทคโนโลยีของเอฟพีจีเอ

เนื่องจากเป็นลักษณะของชิพที่สามารถโปรแกรมได้นั่นก็คือ สามารถกำหนดจุดเชื่อมต่อต่างๆภายในได้ เพื่อประกอบเป็นลักษณะของวงจรตามที่เราต้องการได้ ซึ่งเราสามารถแบ่งลักษณะของจุดเชื่อมต่อต่างๆได้ดังนี้

1. Physical Changing

1.1 Fused สามารถโปรแกรมได้เพียงครั้งเดียว หลังจากโปรแกรมจุดเชื่อมต่อขาดจากกัน

1.2 Anty Fuse สามารถโปรแกรมได้เพียงครั้งเดียวหลังจากโปรแกรม จุดเชื่อมต่อจะเชื่อมถึงกัน

2. Memory Base

2.1 EEPROM – Base FPGA

มักเรียกเอฟพีจีเอ ประเภทนี้ว่า CPLD จะใช้เทคโนโลยีเหมือนกับ EEPROM ในการโปรแกรม ซึ่งจะทำให้มีความจุของเกตต่ำ โดยทั่วๆไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM-Base FPGA คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยง และในการโปรแกรม จะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิท สามารถโปรแกรมได้ประมาณ 10,000 ครั้ง มักจะมีการจัดสถาปัตยกรรมในรูปแบบอาร์เรย์ ใช้ AND- OR Plane ในการทำลอจิกฟังก์ชัน

2.2 SRAM - Base FPGA

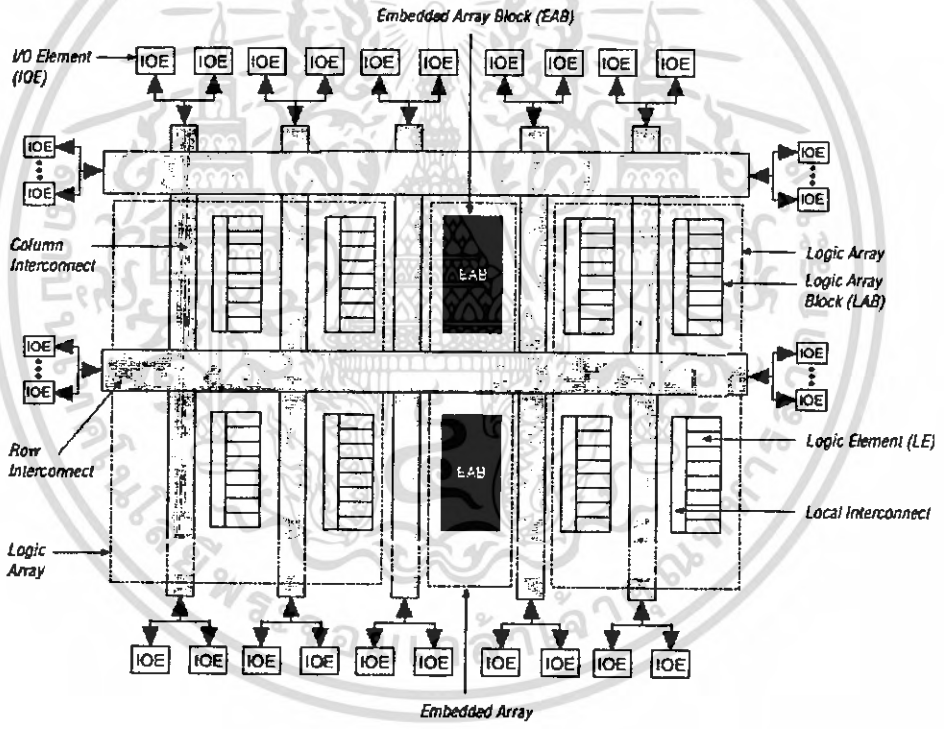
จะใช้เทคโนโลยีเหมือน SRAM ในการโปรแกรม ซึ่งจะสามารถทำให้โปรแกรมซ้ำได้ไม่จำกัดจำนวนครั้ง มีความจุของเกตปานกลางถึงสูงมาก (ประมาณ 10,000 – 1,000,000 เกท) จะใช้ Look-Up Table ในการทำลอจิกฟังก์ชัน (Logic Function) และจะมีการจัดทรัพยากรภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างแบบอาร์เรย์ ข้อดีของ SRAM - Base FPGA คือจะใช้เวลาในการโปรแกรมน้อย (ในระดับมิลลิวินาที) การโปรแกรมจะทำได้ง่ายเทียบเท่ากับการเขียน SRAM ทั่วไป และไม่จำกัดจำนวนครั้งในกระบวนการผลิตจะทำได้ง่ายและเหมาะสมสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ข้อเสียก็คือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ มักจะใช้เอฟพีจีเอชนิดนี้ควบคู่กับรอม (ROM) เพื่อเก็บโปรแกรมและโหลดโปรแกรมเข้าในตัวชิพเมื่อเริ่มต้นใช้งาน

โครงสร้างภายในของเอฟพีจีเอ

ลักษณะโครงสร้างภายใน เป็นอาร์เรย์ลอจิก ที่สามารถทำการโปรแกรมได้ ดังแสดงในรูปที่ 3.2



รูปที่ 3.2 โครงสร้างภายในของเอฟพีจีเอ ตระกูล FLEK10K

จากรูป เป็นบล็อกไดอะแกรมของเอฟพีจีเอ ตระกูล FLEX10K ซึ่งเป็นชิพเอฟพีจีเอ ของบริษัท ALTERA ที่ใช้การโปรแกรมแบบ SRAM Based FPGA มีความจุเกท 10,000-250,000 เกท มีขาอินพุทหรือเอาท์พุท (I/O) สำหรับให้เลือกเชื่อมต่อใช้งานกับวงจรภายนอก 64-600 ขา โดย FLEX10K นี้เป็นชิพในกลุ่มของ Logic Element (LE) ในลักษณะ Logic Array Block (LAB) โดย LAB จะถูกจัดในลักษณะของแถวในแนวนอนและแนวตั้ง โดยในแต่ละแถวจะประกอบไปด้วย EAB เดี่ยวๆ อยู่ซึ่ง LABS และ EABS จะมีการต่อภายใน ลักษณะของ ส่วน IOE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(INPUT/OUTPUT Element) จะอยู่ที่ปลายของแต่ละแถวและแต่ละคอร์ลัม โดยมีการต่อเชื่อมในลักษณะของ FastTrack Interconnect

FLEX 10K เป็นอุปกรณ์ที่มีการกำหนดให้อินพุท 6 อินพุท มีลักษณะเป็น Flip Flop เลยทำให้มั่นใจได้ว่า FLEX 10K จะทำให้สัญญาณที่เข้ามาทำงานในลักษณะ High Speed, Low Skew (less than 15 ns) โดยสัญญาณที่รับมาจะถูกแยกไปตามแชนแนลต่างๆ ซึ่งในแต่ละแชนแนลจะถูกแบ่งออกเป็นลักษณะของสัญญาณที่มีค่าของ delay time และมีค่าความผิดเพี้ยนต่ำ แล้วจะถูกเชื่อมต่อไปใช้งานอย่างรวดเร็ว ส่วนอินพุทอีก 4 ส่วน จะถูกนำไปใช้กับสัญญาณ Four Gobal Signal โดยมีลอจิกภายในเป็นตัวควบคุมการทำงาน ซึ่งจะคอยกำหนดสัญญาณ Clock ให้เป็น Clock ในอุดมคติ หรือคอยทำไม่ให้เกิดการ Asynchronous ในการ Clear สัญญาณ หรืออาจจะใช้ในการ Clear Registers ใน FLEX ก็ได้

รูปที่ 3.3 ชิพเอฟพีจีเอในตระกูล FLEX10K

คุณสมบัติของเอฟพีจีเอ FLEX 10K

1. มีหน่วยความจำภายในที่มีประสิทธิภาพและสามารถสร้างฟังก์ชันทางตรรกยะ (Logic) ที่พิเศษได้ เนื่องจากมีลักษณะของอาร์เรย์

2. High Density คือ มีจำนวนเกตภายในจำนวนมาก สามารถเพิ่มจำนวน RAM ขึ้นเป็น 2 เท่า โดยไม่ทำให้ค่าลอจิกภายในลดลง

3. คุณลักษณะ System-Level คือ

- Multi I/O interface support
- FLEX 10K ใช้กับแรงดันไฟ 5.0 โวลต์
- ใช่พลังงานน้อย คือโดยเวลาทำงานกินกระแสน้อยกว่า 5 มิลลิแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

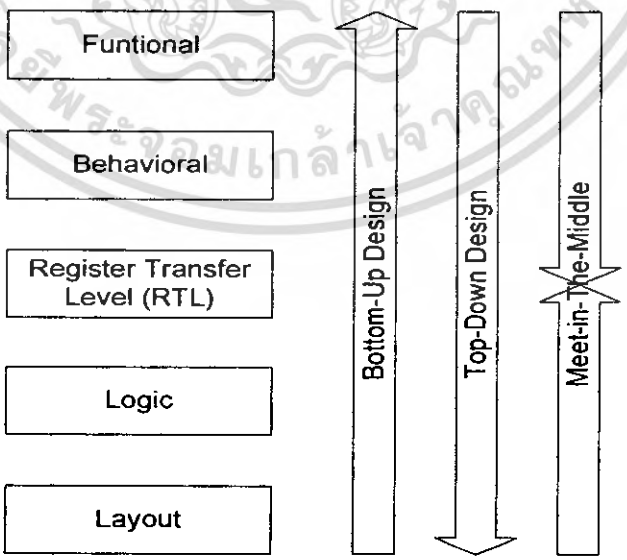
- FLEX 10K เป็นอุปกรณ์ที่รองรับการต่ออุปกรณ์ภายนอกโดยใช้ PCI บัส เป็นตัวเชื่อมต่อ
- FLEX 10K ได้รองรับมาตรฐาน IEEE 1149.1-1990

3.1.2 ทำไมการออกแบบถึงทำได้ง่ายและสะดวกรวดเร็ว

1.ในการออกแบบเราไม่จำเป็นต้องรู้ถึงโครงสร้างภายในของตัวชิพ เพียงแต่รู้ขั้นตอนการออกแบบลอจิกก็พอ ไม่เหมือนไมโครโปรเซสเซอร์ที่เราจำเป็นต้องรู้โครงสร้างภายในรวมถึงการศึกษาการเขียนภาษา Assembly ซึ่งแต่ละตัวก็ไม่เหมือนกันด้วย

2. การใช้ภาษาในการอธิบายการทำงานของวงจร ที่เรียกว่า HDL (Hardware Description Language) จะช่วยได้มากสำหรับการออกแบบ เนื่องจากเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้เร็ว และไม่จำเป็นต้องรู้ลักษณะของวงจรที่จะออกแบบว่าต่อกันอย่างไร เพียงแค่กำหนดลักษณะการทำงานให้มัน และตัวซอฟท์แวร์จะทำ Synthesis and Optimize ให้เราเอง นอกจากนี้ภาษาที่ใช้ ยังเป็นมาตราฐานเดียวกัน สามารถใช้ได้กับชิพทุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน โดยเพียงแค่ส่งข้อมูลผ่านสายดาวโหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพได้ขณะที่เอยู่ในระบบ โดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอก และที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำให้ง่ายในการแก้ไขและพัฒนาโดยที่ไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด

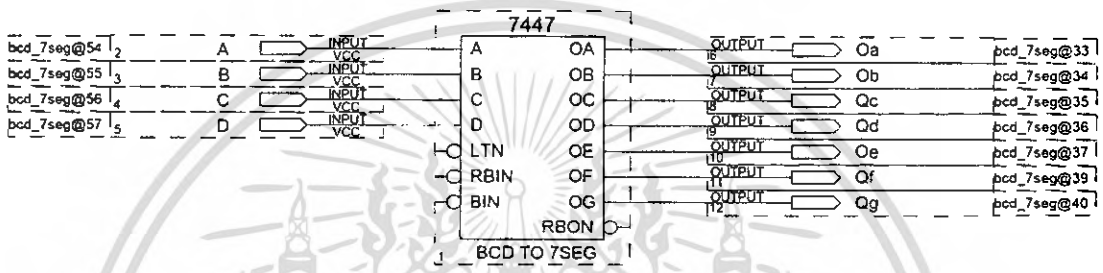


รูปที่ 3.4 แสดงกระบวนการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรดิจิตอลโดยการวาดวงจร (Schematic)

เป็นการออกแบบวงจรให้กับเอฟพีจีเอ โดยการวาดวงจร (Schematic) ซึ่งเป็นการนำเอาอุปกรณ์ที่มีอยู่ในโปรแกรมมาใช้ในการออกแบบ ต่อกันเป็นวงจรเพื่อนำวงจรไปใช้งานตามที่ผู้ออกแบบต้องการ ซึ่งวิธีนี้ผู้ออกแบบจะต้องทราบรายละเอียดคุณสมบัติของตัวอุปกรณ์ที่นำมาใช้ในการออกแบบ



รูปที่ 3.5 การออกแบบวงจร BCD to 7-SEGMENT ด้วยการวาดวงจร

3.3 การออกแบบวงจรดิจิตอลโดยภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ (VHDL)

เป็นการออกแบบระบบดิจิตอลโดยใช้ภาษาวีเอชดีแอล (VHDL : VHSIC Hardware Description Language) มาบรรยายการทำงานของฮาร์ดแวร์ ซึ่งภาษาวีเอชดีแอล นี้เป็นภาษาระดับสูงที่ใช้ในการออกแบบวงจรดิจิตอลได้ตั้งแต่ระบบดิจิตอล (System) ที่ซับซ้อน ไปจนถึงลอจิกเกต (Gate) ซึ่งง่ายต่อการเรียนรู้ สามารถอ่านแล้วเข้าใจง่าย (Human Readable) ออกแบบได้โดยไม่ต้องคำนึงถึงกระบวนการหรือวิธีการของวงจร เพราะวงจรจะถูกสร้างในรูปแบบของฟังก์ชัน เราจะพิจารณาเพียงจุดมุ่งหมายของการออกแบบวงจรเท่านั้น แต่ถึงอย่างไรก็ตามการที่จะทำให้เราทราบถึงการทำงานและขอบเขตของจุดมุ่งหมายอย่างแท้จริงแล้ว เราจำเป็นจะต้องเข้าใจและคุ้นเคยกับโครงสร้างวงจรนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 ข้อกำหนดของภาษาวีเอชดีแอล

1. ลักษณะทั่วไป DoD ได้กำหนดให้วีเอชดีแอลเป็นภาษาสำหรับการออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง การจำลอง (Simulation) การสังเคราะห์ (Synthesis) และการทดสอบ (Testing) นอกจากนั้นวีเอชดีแอลยังถูกกำหนดไว้สำหรับการบรรยายฮาร์ดแวร์ตั้งแต่ระดับบนซึ่งก็คือระบบจนถึงระดับเกทอีกด้วย

เนื่องจากในการทำงานของระบบดิจิตอลนั้น ทุกๆ องค์ประกอบภายในระบบไม่ว่าเล็กหรือใหญ่จะทำงานไปพร้อมๆ กัน ซึ่งในเรื่องของความพร้อมเพรียงในการทำงานนี้ก็ถือเป็นข้อกำหนดที่สำคัญอย่างหนึ่งของวีเอชดีแอลด้วยเช่นกัน (สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์นั้นความพร้อมเพรียงจะหมายถึงทุกๆ คำสั่ง องค์ประกอบ เกทหรือวงจรลอจิกจะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในที่สุดแล้วก็จะดูเหมือนว่าได้มีการปฏิบัติไปพร้อมๆ กัน)

2. สนับสนุนการออกแบบแบบลำดับขั้น การออกแบบแบบลำดับขั้นเป็นลักษณะที่สำคัญอย่างหนึ่งสำหรับการออกแบบระบบที่มีหลายๆ ระดับ โดยในการออกแบบจะประกอบด้วยส่วนการบรรยายการเชื่อมต่อ และส่วนการบรรยายหน้าที่การทำงาน ซึ่งหน้าที่การทำงานของระบบสามารถกำหนดได้ด้วยตัวเอง หรืออาจถูกกำหนดโดยโครงสร้างที่ประกอบด้วยองค์ประกอบย่อยๆ ลงไปได้เช่นกัน แต่ที่ระดับล่างสุด องค์ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเองและไม่สามารถกำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

3. ไลบรารี วีเอชดีแอลได้สนับสนุนการมีไลบรารีเพื่อระบบการจัดการที่ดี ผู้ออกแบบสามารถกำหนดลักษณะและการทำงานของอุปกรณ์พื้นฐานไว้ในระบบไลบรารี หรือจะใช้ไลบรารีที่ระบบได้จัดเตรียมไว้แล้วก็ได้ โมเดลและการบรรยายที่ถูกต้องควรจัดเก็บไว้ในไลบรารีหลังจากที่ได้ผ่านการคอมไพล์เรียบร้อยแล้วเพื่อให้ผู้ออกแบบคนอื่นๆ สามารถนำไปใช้ได้ด้วย

4. ลำดับคำสั่ง แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการโดยพร้อมเพรียงกันจะเป็นคุณสมบัติที่สำคัญของ วีเอชดีแอลก็ตาม ตัวภาษาเองก็ยังมีการจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วย เมื่อผู้ออกแบบได้กำหนดหน้าที่และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้เรียบร้อยแล้ว ผู้ออกแบบยังสามารถบรรยายหน้าที่การทำงานซึ่งเป็นรายละเอียดภายในของแต่ละองค์ประกอบได้ในลักษณะเดียวกับการเขียนโปรแกรมที่ประกอบด้วยโครงสร้างแบบ case, if - then - else และ loop ทั่วๆ ไปได้

การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้น อย่างไรก็ตามโครงสร้างทั้งหมดของวีเอชดีแอลก็ยังคงเป็นการทำงานแบบพร้อมเพรียงกันเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การกำหนดคุณสมบัติ นอกจากการกำหนดอินพุทและเอาท์พุทแล้ว เงื่อนไขอื่นๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน โดยสิ่งนี้รวมถึงสภาพแวดล้อมและลักษณะทางกายภาพของอุปกรณ์นั้นๆ ด้วย ซึ่งภาษาสำหรับการออกแบบที่ดีควรให้ผู้ออกแบบกำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย เช่น สามารถกำหนดขนาด ลักษณะทางกายภาพ เวลาโหลด และเงื่อนไขทางสภาพแวดล้อมอื่นๆ ซึ่งความสามารถในการกำหนดคุณสมบัตินี้ก็เป็นส่วนหนึ่งที่มีอยู่ในภาษาวีเอชดีแอลด้วยเช่นกัน

6. ชนิดของข้อมูล วีเอชดีแอลสามารถกำหนดชนิดของข้อมูลไม่เพียงแต่ชนิดบิทและบูลีนเท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยม และชนิดลำดับการนับ (Enumerate Type) หรือแม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นมาเองก็ได้

7. โปรแกรมย่อย ความสามารถในการใช้ฟังก์ชันและโพรซีเจอร์ (Procedure) ก็เป็นข้อกำหนดอีกอย่างหนึ่งในวีเอชดีแอลซึ่งผู้ออกแบบสามารถนำโปรแกรมย่อยมาใช้ในการเปลี่ยนแปลงชนิดของข้อมูล การกำหนดหน่วยของลอจิก การกำหนดตัวกระทำต่างๆ หรือหน้าที่อื่นๆ ตามที่ต้องการได้เช่นเดียวกับการเขียนโปรแกรมทั่วไป

8. การควบคุมเวลา วีเอชดีแอลอนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกทหรือการหน่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่แน่นอนหรือกำหนดให้มีการรอคอยเหตุการณ์ (Event) นอกจากนี้ก็ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

9. การกำหนดแบบโครงสร้าง การกำหนดโครงสร้างขององค์ประกอบต่างๆ สามารถกระทำได้ในทุกระดับของการออกแบบ โดยการกำหนดโครงสร้างขององค์ประกอบร่วมที่เกิดจากองค์ประกอบย่อยซึ่งแตกต่างกันหรือเหมือนกันก็เป็นข้อกำหนดอย่างหนึ่งของวีเอชดีแอลเช่นกัน

3.3.2 องค์ประกอบพื้นฐานของวีเอชดีแอล

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของวีเอสดีแอลจะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ (Interface) และส่วนกำหนดลักษณะเชิงสถาปัตยกรรม (Architecture) ดังแสดงในรูปที่ 3.6 โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อขององค์ประกอบจากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยายถึงพอร์ตการติดต่ออินพุท – เอาท์พุท ขององค์ประกอบ ส่วนลักษณะภายนอกอื่น ๆ เช่น เวลา อุณหภูมิก็สามารถรวมเข้าไปในส่วนนี้ได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY componrnt_name IS
    Input and output ports
    Physical and other parameters
END component_name ;
ARCHITECTURE identifier OF component_name IS
    [declaration]
BEGIN
    Specification of functionality of the component
    In terms of its input lines and as influenced
    By physical and other parameters
END identifier ;
```

รูปที่ 3.6 การกำหนดการเชื่อมต่อและสถาปัตยกรรม

ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุท – เอาท์พุทและพารามิเตอร์อื่นๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่อดังรูปที่ 3.6 และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

1. การกำหนดการเชื่อมต่อ การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบ โดยในระดับนี้ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่นๆ ดังตัวอย่างในรูปที่ 3.7 ซึ่งเป็นบล็อคไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวจ่ายสัญญาณนาฬิกา

ในบรรทัดแรกของการบรรยายการเชื่อมค่อเป็นการกำหนดชื่อขององค์ประกอบซึ่งกำหนดเป็น clock_ component ตามด้วยคำว่า PORT และชื่อของพอร์ตอยู่ภายในวงเล็บ ส่วน IN และ OUT เป็นการกำหนดโหนดของสัญญาณให้เป็นอินพุทหรือเอาท์พุท และ BIT เป็นการแสดงชนิดของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY clock_component IS
        PORT (en:IN BIT;ck : OUT BIT)
END clock_name;
```

รูปที่ 3.7 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_ component

2. การกำหนดรูปแบบการบรรยาย หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาท์พุทในเทอมของอินพุทหรือในรูปขององค์ประกอบอื่นๆ หรือทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของ clock_component ในรูปที่ 3.8 ซึ่งเป็นการบรรยายในเชิงพฤติกรรมโดยมี en เป็นอินพุทและ ck เป็นเอาท์พุท

PROCESS เป็นคำที่ใช้ในการเริ่มต้นสำหรับการบรรยายในเชิงพฤติกรรม และภายในโปรเซสกำหนดให้ periodic เป็นตัวแปรที่มีค่าเริ่มต้นเป็น "0" ถ้าสัญญาณ en มีค่าเป็น "1"' จะทำให้ตัวแปร periodic ถูกคอมพลีเมนท์ (complement) และส่งค่าให้กับ ck ซึ่งเป็นสัญญาณเอาท์พุท และสำหรับคำสั่ง WAIT จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

```
ARCHITECTURE behavioral OF clock_componant IS
BEGIN
    PROCESS
        VARIABLE periodc : BIT := ' 0 ' ;
    BEGIN
        IF en = '1' THEN
         periodc = Not periodc ;
        END IF ;
       Ck <= periodc 1 US ;
        WAIT FOR 1 US;
    END PROCESS;
END behavioral;
```

รูปที่ 3.8 การบรรยายเชิงพฤติกรรมของ clock _ component

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. หน่วยการออกแบบแพ็กเก็ต ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนของแพ็กเก็ต ซึ่งหน่วยการออกแบบต่างๆ เช่น หน่วยการออกแบบ Entity หน่วยการออกแบบสถาปัตยกรรม หรือหน่วยการออกแบบแพ็กเกจอื่นๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้ นอกจากนั้นสิ่งที่นิยมทำกันมากคือการนำรูปแบบมาตรฐานต่างๆ เช่นอุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XX เป็นต้น) มาเก็บไว้ในรูปของแพ็กเกจ ที่ทุกคนสามารถเข้าถึงได้

ตามปกติแล้วแพ็กเกจจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็กเกจ (Package declaration) และส่วนของบอดี้แพ็กเกจ (Package body) เนื่องจาก แพ็กเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็กเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษาวีเอชดีแอลสามารถกระทำได้ด้วยชุดคำสั่ง USE

PACKAGE DECLARATION ส่วนที่มีความสำคัญที่สุดของแพ็กเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็กเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็กเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็กเกจเอง ถ้ามีการประกาศสิ่งใดๆ ในส่วนของส่วนบอดี้แพ็กเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็กเกจ จะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ Entity คือ จุดเชื่อมต่อ หรือ พอร์ต ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเกจสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถนำไปใช้งานจากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศ ชนิด (Type) หรือสัญญาณ เช่นเดียวกับ ส่วนบอดี้แพ็กเกจที่ไม่จำเป็นต้องมี ส่วนของการประกาศแพ็กเกจ แต่แพ็กเกจนั้นจะไม่สามารถนำไปใช้จากรูปแบบอื่นได้

```
PACKAGE package_name IS
    Package_declarative_part
END package_name;
```

รูปที่ 3.9 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ

PACKAGE BODY โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้นๆ ได้ถูกประกาศไปแล้วในส่วนของการประกาศแพ็กเกจ จะถูกเก็บไว้ในส่วนของบอดี้แพ็กเก้จ ทั้งนี้รวมถึงการกำหนดค่าคงที่ต่างๆ อัน

เอกสารนี้มีลิขสิทธิ์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้แก่ค่าคงที่ที่ถูกประกาศชื่อไว้ก่อนในส่วนของการประกาศแพ็กเกจ และถูกกำหนดค่าในส่วนของบอดี้แพ็กเกจ ฉะนั้นในส่วนของบอดี้แพ็กเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็กเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดี้แพ็กเกจนั้นจะเป็นไปตามกฎเกณฑ์ดังแสดงในรูปที่ 3.10

```
PACKAGE BODY package_name IS
    Declarative part
END package_name
```

รูปที่ 3.10 โครงสร้างของบอดี้แพ็กเกจ

3. หน่วยการออกแบบ Configuration ดังที่ทราบกันแล้วว่าระบบดิจิตอลรูปแบบหนึ่งไม่ว่าจะเป็นอะไรก็ตาม จะสามารถมีหน่วยการออกแบบ Entity ได้เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ Entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบ Configuration มาเพื่อกำหนดการใช้ Configuration ของการประกอบ Entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใดๆ เข้าด้วยกัน

```
COMFIGURTRION identifier OF entity_name IS
    Configuretion_declarative_part
END;
```

รูปที่ 3.11 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

5. โปรแกรมย่อย การใช้ฟังก์ชันและโพรซีเจอร์ในภาษาวีเอชดีแอลเปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่วๆ ไป ค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริงๆ ในขณะที่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนชนิดของข้อมูล หรือในการคำนวณค่าการหน่วงเวลาแล้วก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์ รูปที่ 3.12 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิทเป็นค่าจำนวนเต็ม และรูปที่ 3.13 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิตแทนการกระทำในสมการบูลีน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TYPE byte IS ARRAY (7 DOWNTO 0 ) OF BIT ;
...
PROCEDURE byte_to_integer (ib : IN byte ; oi : OUT INTEGER ) IS
VARIABLE result : INTEGER := 0;
BEGIN
   FOR : IN 0 TO 7 LOOP
      IF ib (i) = '1' THEN
         Result := result + 2** I ;
      END IF;
   END LOOP ;
      oi := result ;
END byte_to_integer;
```

รูปที่ 3.12 การใช้โพรซีเจอร์

```
FUNCTION   f (a,b,c : BIT ) RETURN BIT IS
                VARIABLE X: BIT ;
BEGIN
                X := ((NOT a ) AND (NOT b ) AND c );
                RETURN X;
END f ;
```

รูปที่ 3.13 การใช้ฟังก์ชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. โอเปอร์เรเตอร์ การบรรยายเชิงพฤติกรรมในภาษาวีเอชดีแอลมีตัวดำเนินการหรือโอเปอร์เรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟท์แวร์ทั่วไปดังรูปที่ 3.14

PREDEFIND OPERATORS

LOGICAL OPERATORS : AND OR NAND NOR XOR

OPERAND TYPE : BIT BOOLEAN

RESULTTYPE : BIT BOOLEAN

RELATIONAL OPERATIOR : = / = < < = > > =

OPERAND TYPE : any type

RESULTTYPE : Boolean

ARITMETIC OPERATOR : + - * / * * MOD REM AES

OPERAND TYPE : INTTEGER REAL Physical

RESULTTYPE : INTEGER REAL Physical

CONCANTENATION OPERATOR : &

OPERAND TYPE : ARRAY of any type

RESULTTYPE : array of any type

RESULTTYPE : array of any type

รูปที่ 3.14 ตัวดำเนินการในวีเอชดีแอล

7. เวลาและความพร้อมเพรียง ในวงจรอิเล็กทรอนิกส์อุปกรณ์ทุกๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) และจะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุกๆ เหตุการณ์ที่เกิดขึ้นเสมอ วีเอชดีแอลเป็นภาษาที่ได้รับการออกแบบมาเพื่อให้สามารถบรรยายรูปแบบและการพ้องกันของเวลาสำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมีการทำงานภายในเป็นแบบลำดับคำสั่งก็ตาม ซึ่งหากมีหลายๆ โปรเซสอยู่ภายในโครงสร้างเดียวกันทุกๆ โปรเซสก็จะทำงานไปพร้อมๆ กันด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. สัญญาณและตัวแปร สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ที่ใช้ในการส่งผ่านข้อมูลและมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย การกำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์ <= ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณ เช่น w <= a AFTER 12 NS หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป 12 นาโนวินาที

ในทางตรงข้าม ตัวแปรมีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่ง เช่นใน ฟังก์ชัน โพรซีเจอร์ และโปรเซส สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

3.3.3 โปรเซส

โปรเซสเป็นรูปแบบพื้นฐานอย่างหนึ่งที่ใช้ในการกำหนดให้กับสัญญาณ โปรเซสจะอยู่ในสถานะที่เตรียมพร้อมอยู่เสมอและจะปฏิบัติคำสั่งพร้อมๆ กันกับโปรเซสอื่นๆ ที่อยู่ในสถาปัตยกรรมบรรยายเดียวกัน โดยโปรเซสจะปฏิบัติงานตามคำสั่งทันทีที่มีเหตุการณ์เกิดขึ้นกับสัญญาณที่อยู่ทางด้านขวามือของสัญลักษณ์กำหนดค่าให้กับสัญญาณ (<=)

```
PROCESS
    declarative
    ...
BEGIN
    Statement part
    ...
END PROCESS;
```

รูปที่ 3.15 รูปแบบของการบรรยายแบบโปรเซส

การบรรยายโปรเซสจะเริ่มต้นด้วยคำสั่ง PROCESS และจบด้วยคำสั่ง END PROCESS ในรูปที่ 3.15 เป็นการแสดงส่วนประกอบของการบรรยายแบบโปรเซส ซึ่งประกอบด้วยส่วนของการประกาศตัวแปรที่ต้องใช้และส่วนของการปฏิบัติคำสั่งเพื่อให้ได้ผลลัพธ์ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การกำหนดตัวดำเนินการภายในโปรเซส ตัวดำเนินการภายในโปรเซสมี 3 ชนิดคือ ตัวแปร (Variable) ไฟล์ (File) และตัวคงที่ (Constant) ซึ่งตัวดำเนินการทั้งสามชนิดนี้หากมีการประกาศไว้ในโปรเซสใดก็จะใช้ได้เฉพาะภายในโปรเซสนั้นเท่านั้น สำหรับการติดต่อกับภายนอกหรือระหว่างโปรเซสสามารถทำได้โดยใช้สัญญาณ (Signal) หรือตัวคงที่ที่ได้ประกาศไว้ในส่วนของ ARCHITECTURE ในรูปที่ 3.16 แสดงตัวอย่างการประกาศตัวกระทำภายในโปรเซส ซึ่งจะอยู่ระหว่างคำสั่ง PROCESS และ BEGIN และค่าเริ่มต้นที่ถูกกำหนดให้กับตัวดำเนินการภายในโปรเซสจะถูกนำมาใช้ในตอนเริ่มต้นของการปฏิบัติเพียงครั้งเดียวเท่านั้น ต่างกับค่าเริ่มต้นที่อยู่ภายในโปรแกรมย่อยจะถูกนำมาใช้ทุกครั้งที่มีการเรียกใช้โปรแกรมย่อยนั้น ๆ

```
PROCESS
FILE flush : TEXT IS IN "filename.dat";
VARIABLE var : BIT;
CONSTANT n : INTEGER := 0;
BEGIN
....
END PROCESS;
```

รูปที่ 3.16 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส

2. การกำหนดการกระทำภายในโปรเซส การกระทำใดๆ ภายในโปรเซสจะเป็นการปฏิบัติแบบลำดับ (Sequential) เสมอ ซึ่งภายในโปรเซสสามารถใช้ประโยคเงื่อนไขหรือการทำซ้ำได้เช่น IF-THEN-ELSE , CASE-WHEN , FOR LOOP และ WHILE-LOOP ดังตัวอย่างในรูปที่ 3.17 และ 3.18

```
ARCHITECTURE demo OF paratial_process IS
  ...
BEGIN
  PROCESS
    BEGIN
      ...
      X <= a AFTER 10 NS;
      Y <= b AFTER 6 NS;
      ...
  END PROCESS;
END demo;
```

รูปที่ 3.17 การกระทำในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

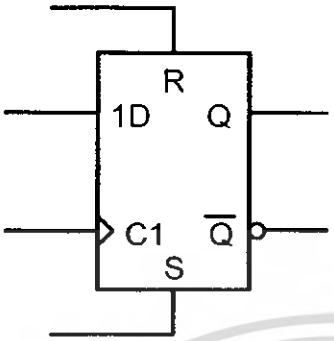
```
ARCHITECTURE demo OF paratial_process IS
 ...
BEGIN
  PROCESS
  ...
  BEGIN
     ...
      X <= '1';
      IF X = '1' THEN
            perform action_1;
       ELSE    perform action_2;
      END IF ;
     ...
   END PROCESS;
END demo;
```

รูปที่ 3.18 เงื่อนไขการกระทำในโปรเซส

3. การกระตุ้นและยับยั้งการกระทำของโปรเซส การกระทำภายในโปรเซสจะอยู่ในสภาพเตรียมพร้อม และมีการปฏิบัติงานอยู่ตลอดเวลาที่มีการเปลี่ยนแปลงของเหตุการณ์เกิดขึ้น อย่างไรก็ดีเราสามารถกระตุ้นหรือยับยั้งการกระทำภายในโปรเซสได้โดยการกำหนดรายการของสัญญาณที่ต้องการให้โปรเซสปฏิบัติงานเมื่อมีเหตุการณ์เกิดขึ้นกับสัญญาณที่กำหนดไว้เท่านั้น ส่วนเหตุการณ์ใดๆ ที่เกิดขึ้นกับสัญญาณที่ไม่ได้กำหนดไว้ในรายการก็จะไม่ส่งผลให้มีการกระทำภายในโปรเซส ซึ่งรายการของสัญญาณนี้เรียกว่า Sensitivity List และจะกำหนดไว้ภายในวงเล็บหลังคำสั่ง PROCESS

รูปที่ 3.19 (a) แสดงตัวอย่างโมเดล และรูปที่ 3.19 (b) เป็นตัวอย่างการบรรยายการเชื่อมต่อของ D-Flip Flop ส่วนรูปที่ 3.20 แสดงถึงการบรรยายเชิงพฤติกรรมของ D-Flip Flop โดยในรูปที่ 3.20 (a) เป็นการใช้ตัวกระทำภายนอกโปรเซส และรูปที่ 3.20 (b) เป็นการใช้ตัวกระทำภายในโปรเซส โดยมีรายการของสัญญาณ (rst, set, clk) เป็นตัวกระตุ้นการปฏิบัติงานภายในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ENTITY component_name **IS**

Input and output port

Physical and other parameters

END component_name;

รูปที่ 3.19 (a) ตัวอย่างโมเดล D-Flip Flop

(b) การบรรยายการเชื่อมต่อของ D-Flip Flop

```
ARCHITECTURE behavioral OF d_sr_flipflop IS
SIGNAL state : BIT := '0' ;
BEGIN
Diff : PROCESS ( rst,set,clk )
    BEGIN
  IF set = '1' THEN
        State <= '0' AFTER sq_delay ;
      ELSIF rst = '1' THEN
          State <= '0' AFTER rq_delay ;
       ELSIF clk = '1' AND clk 'EVENT THEN
          State <= d AFTER cq_delay ;
   END IF ;
 END PROCESS diff;
  q <= state ;
  qb <= NOT state ;
END behavioral;
```

(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

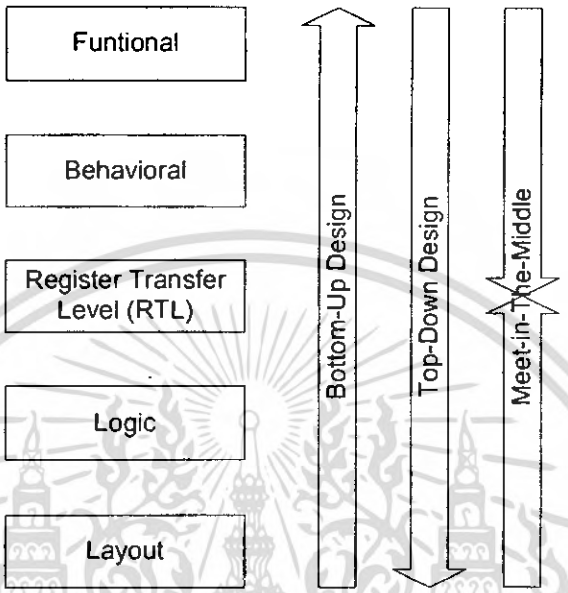
```
ARCHITECTURE average_delay_behavioral OF d_sr_flipflop IS
  BEGIN
   Diff : PROCESS ( rst,set,clk )
         VARIABLE state : BIT := '0' ;
        BEGIN
    IF set = '1' THEN
          State <= '1';
         ELSIF rst = '1' THEN
          State <= '0';
         ELSIF clk = '1' AND clk 'EVENT THEN
           State <= d ;
     END IF ;
          q <= state AFTER (sq_delay+rq_delay+cq_delay)/3;
    qb <= NOT state AFTER (sq_delay+rq_delay+cq_delay)/3 ;
   END PROCESS;
  END behavioral;
```

(b)

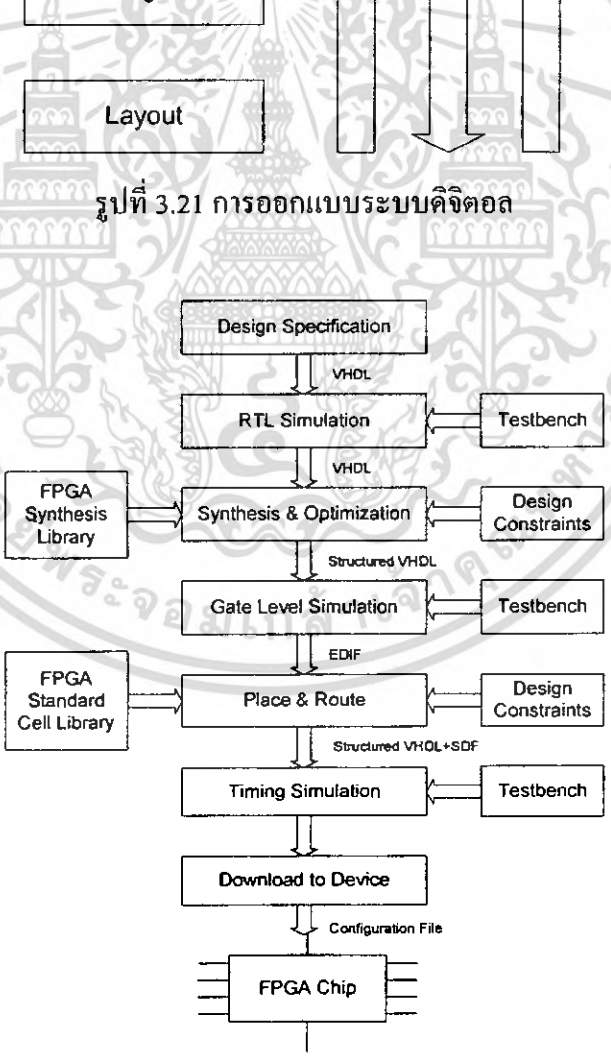
รูปที่ 3.20 การบรรยายเชิงพฤติกรรมของ D-FlipFlop
(a) การใช้ตัวกระทำภายนอกโปรเซส (b) การใช้ตัวกระทำภายในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ขั้นตอนการออกแบบเอฟพีจีเอ



รูปที่ 3.21 การออกแบบระบบดิจิตอล



รูปที่ 3.22 ขั้นตอนการออกแบบวงจรด้วย FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 การสร้างข้อกำหนดของการออกแบบ (Design Specificaion)

เป็นขั้นตอนการสร้างข้อกำหนดต่างๆ ของวงจร เช่น วงจรทำงานที่ความถี่เท่าไหร่ ฟังก์ชันการทำงานมีอะไรบ้าง ซึ่งเป็นรายละเอียดของวงจรที่ต้องการออกแบบและเขียนฟังก์ชันการทำงานของวงจรตามที่ผู้ที่ออกแบบกำหนดด้วยภาษา VHDL ในระดับ RTL

3.4.2 จำลองการทำงานโมเดลวงจรระดับอาร์ทีแอล (RTL Simulation)

เป็นขั้นตอนตรวจสอบการทำงานของโมเดลวงจรในระดับ RTL หรือฟังก์ชันโดยกรจำลองการทำงาน จะถูกทดสอบด้วย Testbench ซึ่งการจำลองการทำงานในขั้นตอนนี้ จะจำลองการทำงานเพียงฟังก์ชัน ไม่คำนึงถึงค่าดีเลย์ (Delay) ของวงจรแต่อย่างใด

3.4.3 สังเคราะห์และออปติไมซ์วงจร (Synthesis & Optimization)

เป็นขั้นตอนการสร้างแผนภาพวงจร (Schematic) จากโมเดลวงจรระดับ RTL ให้อยู่ในรูปของลอจิกเกต โดยอาศัยซอฟต์แวร์ช่วยในการสังเคราะห์วงจร โดยในขั้นตอนนี้จะต้องมีการเลือกใช้เทคโนโลยี FPGA ที่ผู้ออกแบบต้องการเลือกใช้ ซึ่งบริษัทผู้ผลิต FPGA จะมีเทคโนโลยีไลบรารี (Technology Library) เตรียมไว้ให้ผู้ออกแบบไว้ในซอฟต์แวร์ที่ใช้พัฒนาชิพ FPGA ของแต่ละบริษัทผู้ผลิตไว้อยู่แล้ว โดยเมื่อทำการสังเคราะห์ได้ผังวงจร จากนั้นซอฟต์แวร์จะทำการออปติไมซ์ (Optimize) วงจรตามข้อกำหนดหรือเงื่อนไขของการสังเคราะห์ (Design constraint) ที่ผู้ออกแบบกำหนดขึ้นตามขั้นตอนแรกของการออกแบบ ซึ่งผลลัพธ์ที่ได้จากการสังเคราะห์วงจรจะอยู่ในรูปแบบของไฟล์ VHDL แบบโครงสร้างลอจิก (Structured VHDL) และไฟล์เน็ตลิสต์มาตรฐาน (Netlist) ประเภท EDIF (Electronic Design Interchange Format) ที่จะนำไปใช้ในขั้นตอน Place & Route ต่อไป

3.4.4 การจำลองการทำงานของวงจรระดับลอจิกเกต (Gate Level Simulation)

เป็นขั้นตอนที่ผู้ออกแบบจะต้องทดสอบไฟล์เน็ตลิสต์ที่เป็นโมเดลของวงจรระดับลอจิกโดยใช้ Testbench ตัวเดิมที่ใช้จำลองการทำงานระดับ RTL มาแล้ว ซึ่งในการจำลองการทำงานในระดับนี้ จะมีเรื่องของเกตดีเลย์ (Gate Delay) เข้ามาเกี่ยวข้องในผลการจำลองการทำงาน ซึ่งจะแตกต่างจากการจำลองการทำงานในระดับ RTL เนื่องจากโมเดลของวงจรระดับเกตนี้ จะมีข้อมูลเรื่องดีเลย์ของเกตภายในเทคโนโลยีที่ผู้ออกแบบเลือกมาใช้ ดังนั้นผู้ออกแบบจะต้องจำลองการทำงานเพื่อตรวจสอบไทม์มิ่ง (Timing) อีกครั้งหนึ่ง ว่ายังถูกต้องตามข้อกำหนดของวงจรหรือไม่ ถ้าไม่ตรงตามข้อกำหนดจะต้องกลับไปขั้นตอนที่ 3 เพื่อทำการสังเคราะห์และออปติไมซ์วงจรใหม่เพื่อให้ผลการจำลองการทำงานถูกต้องตาม Design Specification

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 การวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ (Place & Route)

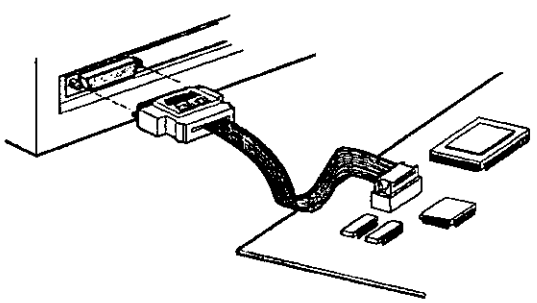
เมื่อตรวจสอบการทำงานในระดับลอจิกเกตเป็นที่เรียบร้อยแล้ว เราจะนำไฟล์เน็ตลิสต์ที่อยู่ในรูปแบบ EDIF มาทำการแปลงลงสู่เทคโนโลยีเซลล์ภายในของ FPGA และทำการเชื่อมต่อเซลล์ภายในเข้าด้วยกัน ตามรูปแบบการเชื่อมต่ออุปกรณ์ต่างๆ ภายในเน็ตลิสต์ โดยขั้นตอนนี้ จะมีการเรียกใช้เทคโนโลยีเซลล์ของ FPGA เนื่องจากเทคโนโลยีเซลล์ของเอฟพีจีเอ อาจมีมาโครเซลล์ (Macro cells) สำหรับสร้างฟังก์ชันต่างๆ ให้กับผู้ออกแบบใช้งานเพราะมาโครเซลล์ต่างๆ พวกนี้ถูกทางผู้ผลิตออกแบบไว้สำหรับชิพ FPGA แต่ละตัว หรือกล่าวได้ว่าเป็นวงจรที่ออปติไมซ์มาแล้ว ซึ่งในการวางและเชื่อมต่อเซลล์หรือมาโครเซลล์ต่างๆ จะถูกควบคุมด้วยข้อกำหนดในการ Place &Route เพื่อให้ซอฟต์แวร์ทำการวางและเชื่อมต่อกันตามความต้องการของผู้ออกแบบ ที่เราเรียกกันว่า Design constraints โดยผลลัพธ์จากขั้นตอนนี้จะอยู่ในไฟล์ประเภท SDF (Standard Delay Format) ซึ่งเป็นไฟล์รูปแบบมาตรฐานที่มีข้อมูลเกี่ยวกับค่าดีเลย์ของเส้นทางการเชื่อมต่อภายใน (Routing delay) ภายในเอฟพีจีเอ

3.4.6 การจำลองการทำงานระดับฐานเวลาจริง (Timing Simulation)

เป็นขั้นตอนสุดท้ายของการตรวจสอบความถูกต้อง ก่อนจะนำวงจรที่ออกแบบไปโปรแกรมหรือบางครั้งเรียกว่า Download ลงสู่ชิพจริงต่อไป โดยขั้นตอนจำลองการทำงนในระดับไทม์มิ่ง (Timing model) ผลลัพธ์จากการจำลองการทำงานที่ได้จะมีความใกล้เคียงกับไทม์มิ่งการทำงานจริงบนชิพเอฟพีจีเอ เนื่องจากในการจำลองการทำงานในขั้นตอนนี้มีข้อมูลเกี่ยวกับดีเลย์ของเซลล์ภายในเอฟพีจีเอ และดีเลย์ของการเชื่อมต่อเซลล์เข้ามาเกี่ยวข้อง ทำให้ผลการจำลองการทำงานในระดับนี้ใกล้เคียงกันกับไทม์มิ่งการทำงานบนฮาร์ดแวร์จริง

3.4.7 โปรแกรมลงสู่ชิพจริง (Download to device)

เป็นขั้นตอนสุดท้ายสำหรับการออกแบบวงจร เพื่อการใช้งานชิพเอฟพีจีเอ คือ ขั้นตอนโปรแกรม Configuration ลงสู่เอฟพีจีเอ บนบอร์ดเพื่อทดสอบการทำงานจริงต่อไป



รูปที่ 3.23 การโปรแกรมลงในชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและหลักการทำงานของวงจร

4.1 การออกแบบวงจร

หลักการออกแบบจะสามารถแบ่งการออกแบบตามลักษณะที่ออกแบบเป็น 2 ส่วนใหญ่ๆ คือ ส่วนของฮาร์ดแวร์ (Hardware) เป็นส่วนการออกแบบที่สามารถมองเห็นได้ ซึ่งเป็นการนำอุปกรณ์มาต่อกันเป็นวงจร และอีกส่วนหนึ่งก็คือ ส่วนของซอฟต์แวร์ (Software) ซึ่งเป็นส่วนของวงจรที่ออกแบบในเอฟพีจีเอ โดยการบรรยายการทำงานของวงจรด้วยภาษาวีเอชดีแอล

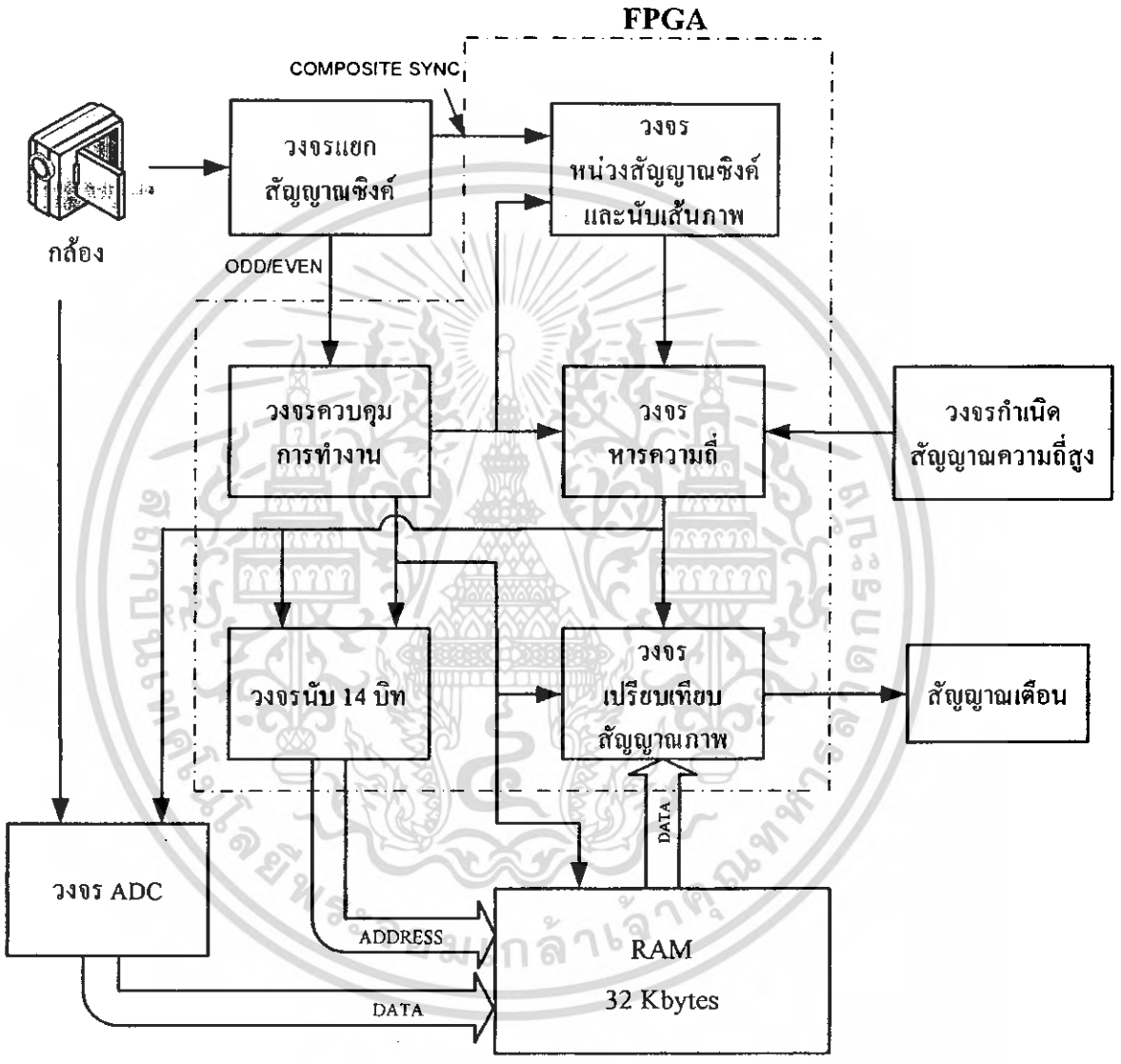
การออกแบบจะใช้เอฟพีจีเอ เป็นตัวควบคุมการทำงานของวงจรและการประมวลผลภาพ โดยจะนำสัญญาณภาพที่เป็นสัญญาณอนาลอก ไปแปลงเป็นสัญญาณดิจิตอลแล้วเก็บลงในหน่วยความจำ ก่อนที่จะนำสัญญาณภาพหรือข้อมูลที่อยู่ในหน่วยความจำไปประมวลผลด้วยวงจรเปรียบเทียบสัญญาณที่ออกแบบไว้ในเอฟพีจีเอ เพื่อหาความแตกต่างหรือการเปลี่ยนแปลงของภาพ ถ้าภาพในเฟรมแรกกับเฟรมที่สองไม่มีการเปลี่ยนแปลง ก็หมายความว่าไม่มีค่าผลต่างเกิดขึ้น วงจรก็จะเก็บภาพในเฟรมถัดไป แล้วนำไปประมวลผล ถ้าเฟรมถัดไปเกิดการเปลี่ยนแปลงของภาพมากกว่าที่กำหนดไว้ เช่น มีคนเดินเข้ามา ก็จะเกิดความแตกต่างของภาพขึ้น ซึ่งจะทำให้วงจรเปรียบเทียบที่ออกแบบไว้ในเอฟพีจีเอ ส่งสัญญาณเตือนออกมา

4.2 หลักการทำงานของวงจร

หลักการทำงานของวงจรแบ่งออกเป็นส่วนต่างๆ ตามบล็อกไดอะแกรม ได้ดังนี้

1. วงจรแยกสัญญาณซิงค์
2. วงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ
3. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล
4. วงจรกำเนิดสัญญาณความถี่สูงและวงจรหารความถี่
5. วงจรนับ 14 บิท
6. วงจรส่วนหน่วยความจำภาพ
7. วงจรเปรียบเทียบข้อมูลภาพ
8. วงจรควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

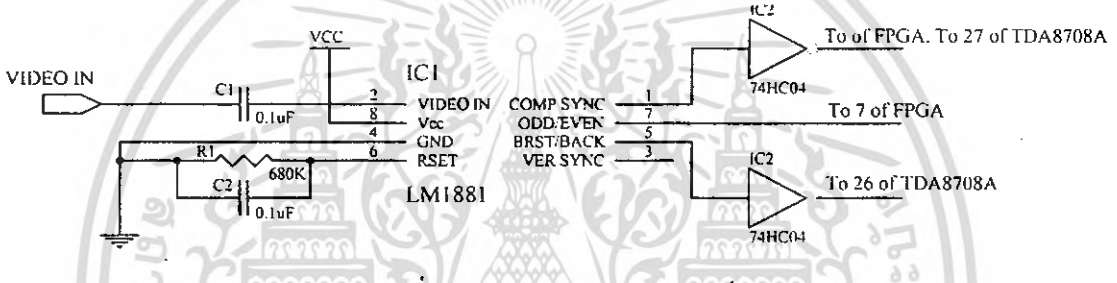


รูปที่ 4.1 บล็อกไดอะแกรมของวงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV

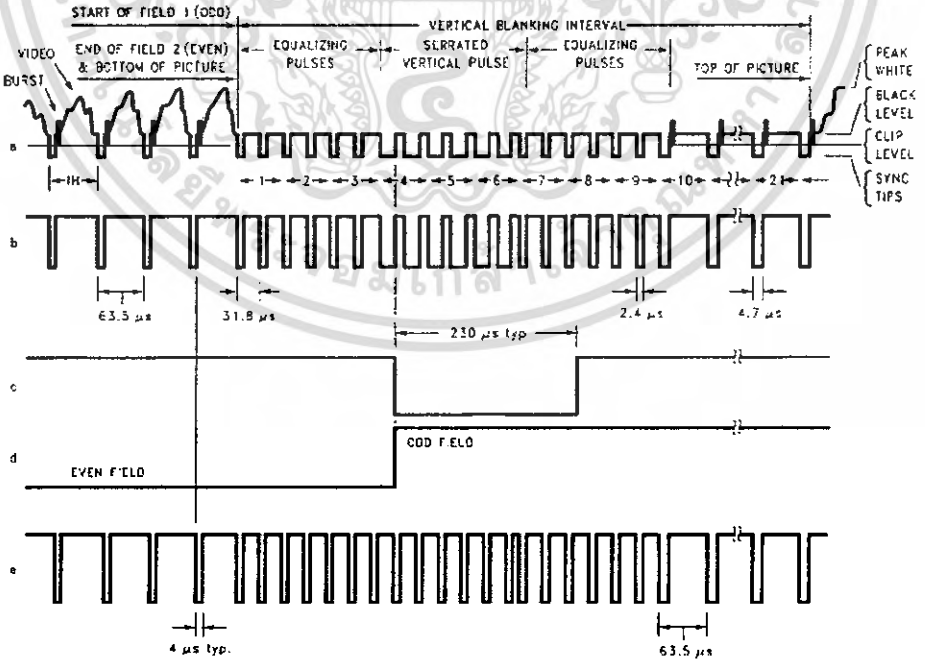
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 การทำงานของวงจรแยกสัญญาณซิงค์

การทำงานของวงจรแยกซิงค์ จะทำการแยกสัญญาณต่างๆ ออกจากสัญญาณภาพ โดยใช้ไอซีเบอร์ LM1881 Video Sync Separator ซึ่งจะได้สัญญาณต่างๆ คือสัญญาณคอมโพสิทซิงค์ (Compasite sync 15,625 Hz) สัญญาณเวอร์ติคอลซิงค์(Vertical sync 50 Hz) สัญญาณฟิลด์คู่/ฟิลด์คี่ (Odd/Even 25 Hz) สัญญาณเบิร์สต์/แบ็ค (Burst/Back 15,625 Hz) โดยสัญญาณที่นำไปใช้ในการออกแบบวงจรคือ สัญญาณคอมโพสิทซิงค์หรือฮอริซอนทอลซิงค์ ซึ่งนำสัญญาณนี้ไปใช้ในส่วนของวงจรหน่วงสัญญาณซิงค์และวงจรนับเส้นภาพ และอีกสัญญาณคือ สัญญาณฟิลด์คู่/ฟิลด์คี่ ซึ่งนำสัญญาณนี้ไปใช้เป็นส่วนของวงจรควบคุมการทำงานในส่วนต่างๆ



รูปที่ 4.2 วงจรแยกสัญญาณซิงค์



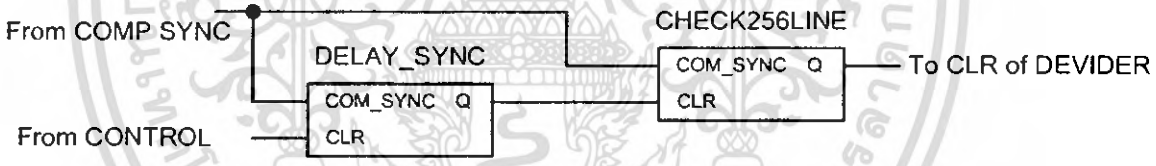
รูปที่ 4.3 (a) สัญญาณภาพรวม; (b) สัญญาณซิงค์รวม; (c) สัญญาณเวอร์ติคอล; (d) สัญญาณฟิลด์คู่/ฟิลด์คี่; (e) สัญญาณเบิร์สต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

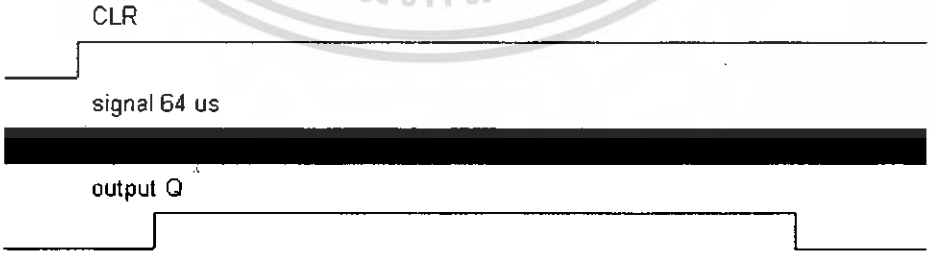
4.2.2 การทำงานของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ

การทำงานของวงจรหน่วงสัญญาณซิงค์ จะนับลูกคลื่นของสัญญาณฮอร์ริซอลเทิลซิงค์ (Horizontal sync) จากวงจรแยกซิงค์ เพื่อให้ผ่านช่วงสัญญาณภาพที่เราไม่ต้องการและกำหนดจุดเริ่มต้นของเส้นภาพที่ต้องการเก็บ เนื่องจากสัญญาณภาพในช่วงเริ่มต้นจะเป็นขอบของภาพจึงตัดออกไป

ในส่วนของวงจรนับเส้นภาพ จะเลือกตำแหน่งเส้นภาพโดยใช้สัญญาณฮอร์ริซอลเทิลซิงค์ (Horizontal sync) จากวงจรแยกสัญญาณซิงค์ โดยวงจรจะเริ่มนับเส้นภาพหลังจากที่วงจรหน่วงสัญญาณซิงค์นับเส้นภาพที่ไม่ต้องการจนครบแล้ว ในขณะที่วงจรนับเส้นภาพทำงานก็จะส่งสัญญาณไปให้วงจรหารความถี่ทำงาน ซึ่งวงจรหารความถี่นี้จะให้สัญญาณความถี่ 1 เมกะเฮิรตซ์ และ 2 เมกะเฮิรตซ์ ไปยังวงจรนับ 14 บิท ให้วงจรนี้ทำงานเป็นตัวชี้ตำแหน่งแอดเดรสของหน่วยความจำ เพื่อเก็บข้อมูลของภาพแต่ละพิกเซล เมื่อวงจรนับทำการนับเส้นภาพถึงเส้นที่ 256 วงจรก็จะหยุดการทำงาน ส่งสัญญาณไปให้วงจรหารความถี่หยุดทำงาน ซึ่งเป็นการสิ้นสุดการเก็บภาพ การทำงานของวงจรดังที่กล่าวมานี้ จะทำให้ภาพมีขนาด 64 พิคเซล × 256 เส้น = 16 กิโลไบต์

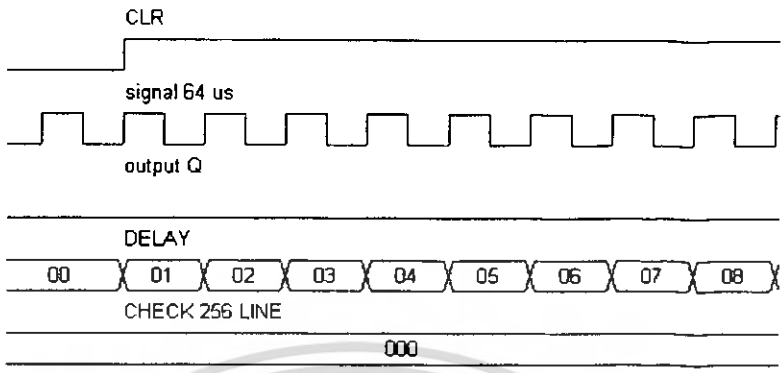


รูปที่ 4.4 วงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ

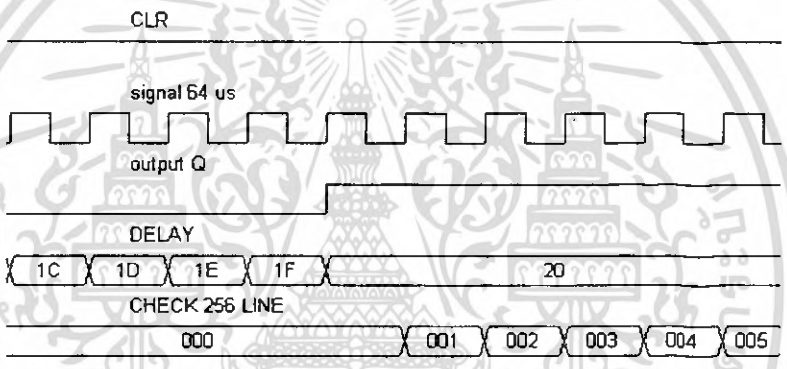


(a)

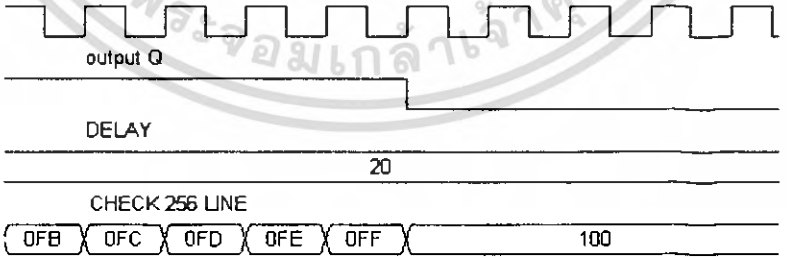
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)



(c)



(d)

รูปที่ 4.5 (a) สัญญาณของวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพจากการจำลองการทำงาน
(b) สัญญาณ ช่วงเริ่มต้นของการหน่วงสัญญาณ
(c) สัญญาณ ช่วงเริ่มการตรวจนับเส้นภาพ หลังจากที่หน่วงสัญญาณครบ 31 เส้น
(d) สัญญาณ ช่วงตรวจนับเส้นภาพครบ 256 เส้น

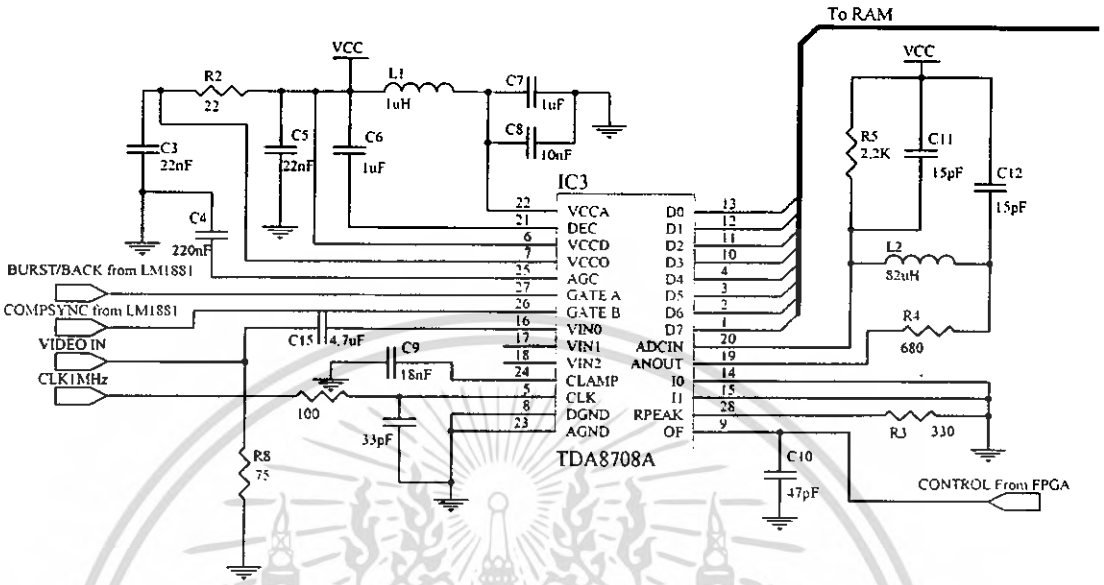
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.4 เป็นวงจรหน่วงสัญญาณซิงค์และนับเส้นภาพ ที่ออกแบบไว้ในเอฟพีจีเอ ด้วยภาษาวีเอชดีแอล และรูปที่ 4.5 เป็นสัญญาณที่ได้จากการจำลองการทำงาน(Simulator)จากโปรแกรม MAX+PLUS II ซึ่งสัญญาณอินพุทเป็นสัญญาณจากการจำลองการทำงานที่มีความถี่ 64 ไมโครวินาที และกำหนดสภาวะเคลียร์ (CLR) ของวงจรไว้ที่ลอจิก 0 เมื่อสัญญาณจากวงจรควบคุมเปลี่ยนเป็นลอจิก 1 ซึ่งเป็นสัญญาณที่ป้อนให้ขาเคลียร์ วงจรก็จะเริ่มทำงาน (นับเริ่มที่ 01H) โดยภายในวงจรได้กำหนดให้หน่วงสัญญาณเส้นภาพ 32 เส้นในช่วงเวลานี้สัญญาณที่เอาท์พุท Q เป็นลอจิก 0 ทำให้ไปเคลียร์วงจรหารความถี่ ทำให้วงจรไม่ทำงาน หลังจากที่วงจรหน่วงสัญญาณจนครบ 31 เส้น (01H-1FH) แล้ววงจรจะให้สัญญาณที่เอาท์พุท Q เป็นลอจิก 1 ส่งสัญญาณไปให้วงจรหารความถี่ทำงาน ซึ่งเป็นวงจรหารความถี่นี้จะให้สัญญาณนับแก่วงจรนับ 14 บิท เพื่อชี้ตำแหน่งแอดเดรสของหน่วยความจำให้เก็บข้อมูลภาพแต่ละพิกเซลไว้ที่ตำแหน่งต่างๆ ของหน่วยความจำ วงจรจะทำการนับเส้นภาพจากอินพุท (Com_Sync) ที่ป้อนเข้ามาเป็นจำนวน 256 เส้น (000H-0FFH) เมื่อทำการนับครบ 256 เส้นแล้ววงจรจะให้เอาท์พุท Q เป็นลอจิก 0 ส่งสัญญาณไปเคลียร์วงจรหารความถี่ ทำให้วงจรหารความถี่และวงจรนับหยุดทำงาน

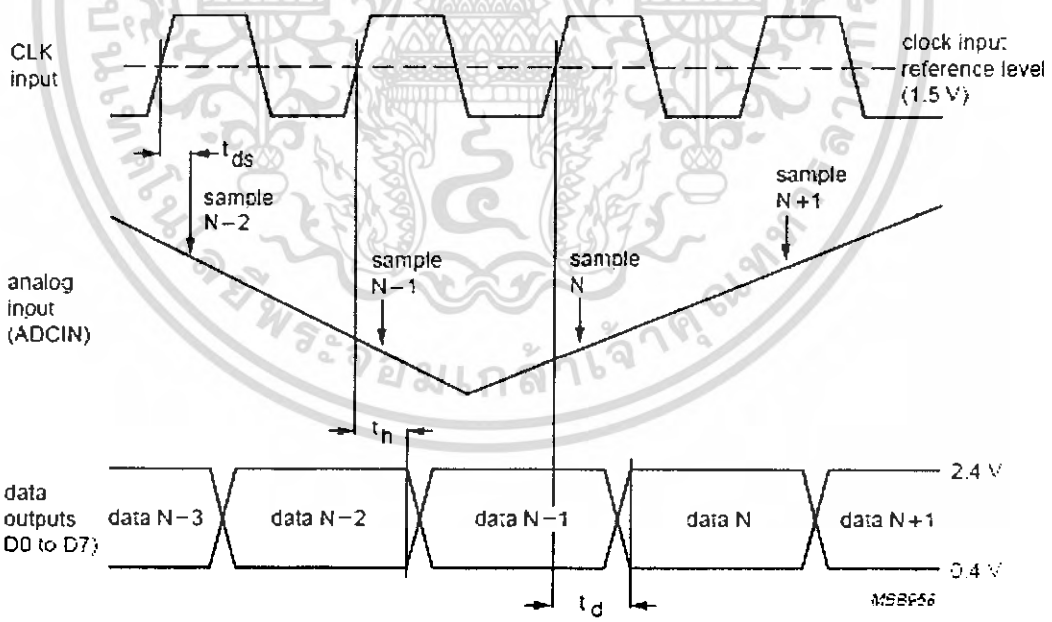
4.2.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

สัญญาณที่ได้จากกล้องโทรทัศน์วงจรปิดเป็นสัญญาณอนาลอก ซึ่งการทำงานของวงจรที่ออกแบบนั้นจะใช้ข้อมูลภาพที่เป็นสัญญาณดิจิตอลเก็บลงในหน่วยความจำและประมวลผลภาพ จึงจำเป็นต้องใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลในการออกแบบวงจร โดยในวงจรใช้ไอซี เบอร์ TDA8708A ซึ่งเป็นไอซี Video Analog Input Interface แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท โดยจะรับสัญญาณภาพที่เป็นอนาลอกเข้ามา แล้วใช้สัญญาณแซมปลิ้งจากวงจรหารความถี่ 1 เมกะเฮิรตซ์ ทำการสุ่มสัญญาณภาพ ข้อมูลที่ได้จะเป็นค่าระดับความสว่างของแต่ละพิคเซล แบ่งเป็น 256 ระดับ (0-255) โดยแสงสีขาวจะมีระดับสูงที่สุด และจะนำค่าสัญญาณภาพที่เป็นดิจิตอลที่ได้ออกมาไปเก็บในหน่วยความจำต่อไป โดยสัญญาณเอาท์พุทนั้นจะได้เมื่อสัญญาณแซมปลิ้งผ่านไปแล้ว 20 นาโนวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ใช้ไอซี เบอร์ TDA8708A

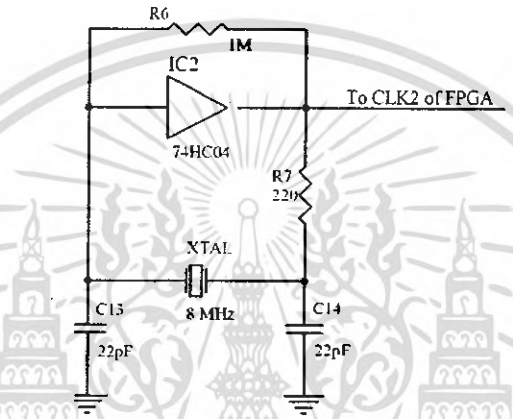


รูปที่ 4.7 ไทม์มิ่งไดอะแกรมของข้อมูล

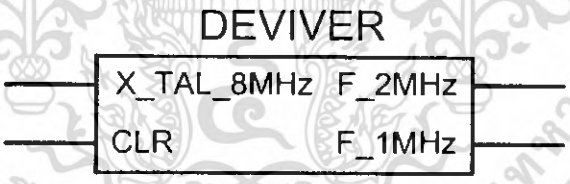
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรกำเนิดสัญญาณความถี่สูงและวงจรหารความถี่

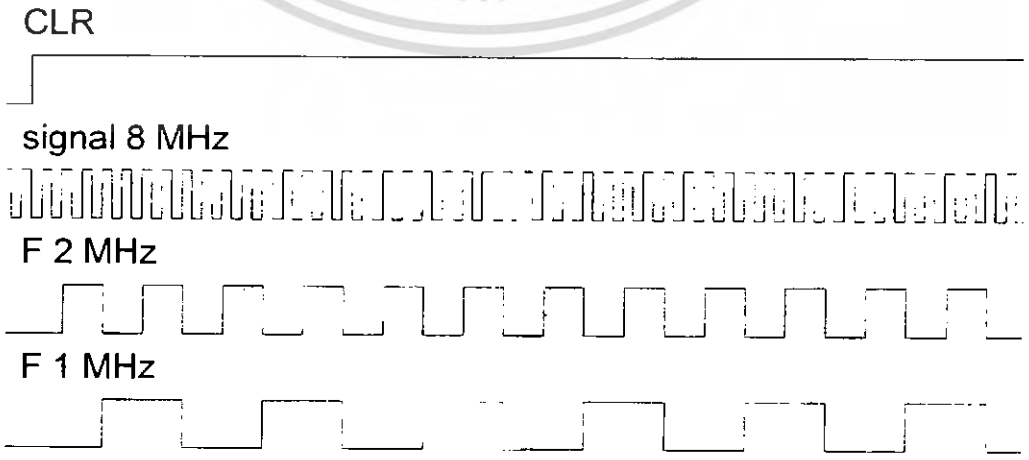
วงจรกำเนิดความถี่สูง จะกำเนิดความถี่ 8 เมกะเฮิรตซ์ จากคริสตอล แล้วนำสัญญาณไปเข้าวงจรหารความถี่ที่ได้ออกแบบด้วยภาษาวีเอชดีแอล ไว้ในเอฟพีจีเอ ซึ่งมีลักษณะเป็นวงจรนับ 2 บิท แล้วนำสัญญาณที่ได้ไปใช้เป็นสัญญาณแซมปลิ้งให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และนำไปใช้ในวงจรนับ 14 บิท เพื่อให้ทำงานเป็นตัวชี้ตำแหน่งแอดเดรสของหน่วยความจำ



รูปที่ 4.8 วงจรกำเนิดสัญญาณความถี่สูง



รูปที่ 4.9 วงจรหารความถี่

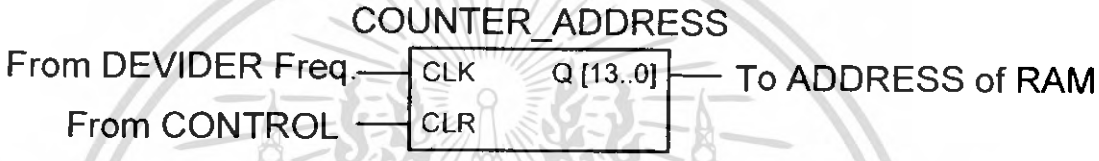


รูปที่ 4.10 สัญญาณของวงจรหารความถี่ที่ได้จากการจำลองการทำงาน

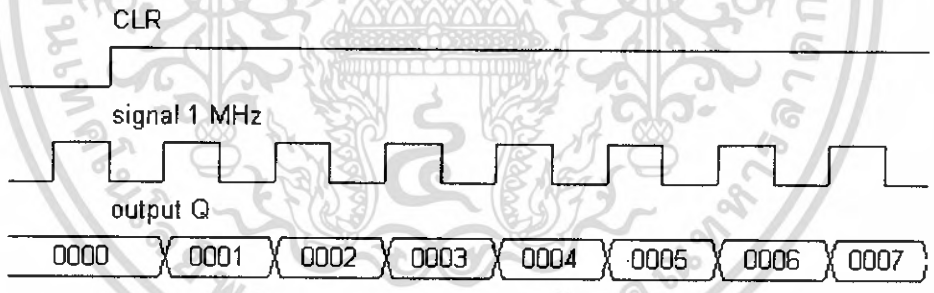
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วงจรนับ 14 บิท

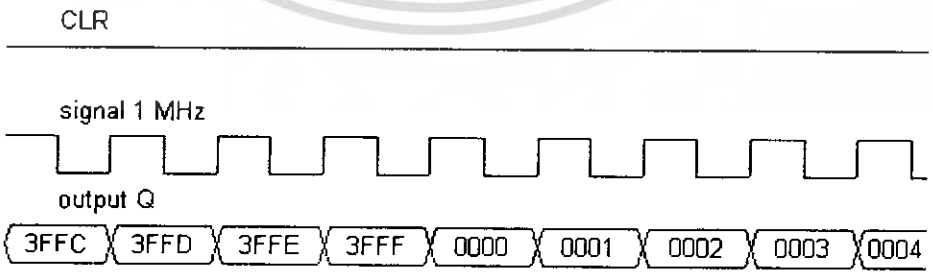
การทำงานของโปรเจคนี้ จะเก็บข้อมูลภาพที่ต่อเนื่องกันจำนวน 2 ภาพลงในหน่วยความจำ แล้วนำสัญญาณภาพที่เก็บไว้ออกมาเปรียบเทียบเพื่อหาความแตกต่าง ซึ่งการออกแบบใช้หน่วยความจำที่มีขนาด 16 กิโลไบต์ ในการเก็บข้อมูลของแต่ละภาพต้องมีการชี้ตำแหน่งแอดเดรสของหน่วยความจำที่ทำการจัดเก็บข้อมูลของแต่ละภาพจำนวน 14 บิท (2^{14} = 16 กิโลไบต์) จึงนำวงจรนับ 14 บิท มาใช้เป็นตัวชี้ตำแหน่งแอดเดรส ในการเก็บข้อมูลของหน่วยความจำ



รูปที่ 4.11 วงจรนับ 14 บิท



(a)



(b)

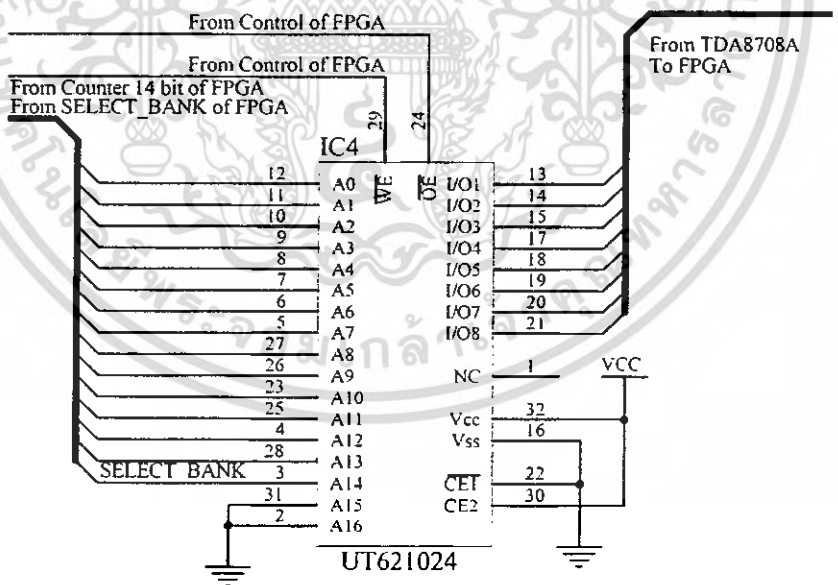
รูปที่ 4.12 (a) และ (b) สัญญาณของวงจรนับ 14 บิท ที่ได้จากการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปรูปที่ 4.11 เป็นวงจรนับ 14 บิท ที่ออกแบบไว้ในเอฟพีจีเอ ด้วยภาษาวีเอชดีแอล ให้วงจรนับ 0000H-3FFFH (16 กิโลไบต์) สัญญาณเอาท์พุทที่ได้เป็นไบนารี่บัส 14 บิท และกำหนดให้เคลียร์ (CLR) วงจรที่ลอจิก 0 โดยวงจรจะรับสัญญาณนาฬิกามาจากวงจรหารความถี่ ซึ่งเป็นความถี่ที่สอดคล้องกับการทำงานของวงจร โดยจะนำสัญญาณของไบนารี่เอาท์พุทที่ได้นี้ไปใช้เป็นสัญญาณในการชี้ตำแหน่งแอดเดรส ในการเก็บข้อมูลภาพของหน่วยความจำจากสัญญาณภาพที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และการอ่านสัญญาณภาพจากหน่วยความจำ เพื่อนำไปประมวลผลหาความแตกต่างในวงจรที่ออกแบบในเอฟพีจีเอ

4.2.6 วงจรส่วนหน่วยความจำภาพ

การเก็บภาพ 1 ภาพ จะใช้หน่วยความจำขนาด 16 กิโลไบต์ ในการออกแบบการทำงานของวงจรจะเปรียบเทียบความแตกต่างของสัญญาณภาพ จึงต้องเก็บภาพ 2 ภาพไว้ในหน่วยความจำ ดังนั้นจึงต้องใช้หน่วยความจำ 32 กิโลไบต์ โดยสัญญาณภาพที่ 1 มีแอดเดรส ตั้งแต่ 0000H-3FFFH และสัญญาณภาพที่ 2 มีแอดเดรสตั้งแต่ 4000H-7FFFH จึงต้องใช้หน่วยความจำทั้งหมด 32 กิโลไบต์



รูปที่ 4.13 วงจรส่วนหน่วยความจำที่ใช้ไอซี เบอร์ UT621024

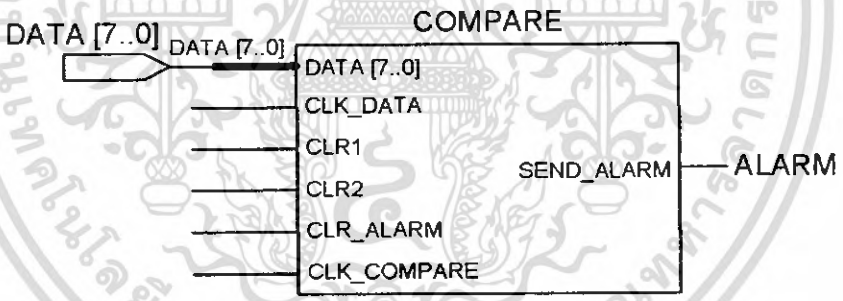
จากรูปที่ 4.13 เป็นวงจรส่วนหน่วยความจำที่ใช้ไอซี เบอร์ UT621024 ซึ่งรับข้อมูลภาพมาจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแล้วเก็บลงในหน่วยความจำและอ่านข้อมูลภาพที่เก็บอยู่ในหน่วยความจำไปทำการเปรียบเทียบในเอฟพีจีเอ เพื่อหาความแตกต่างของภาพ สัญญาณที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

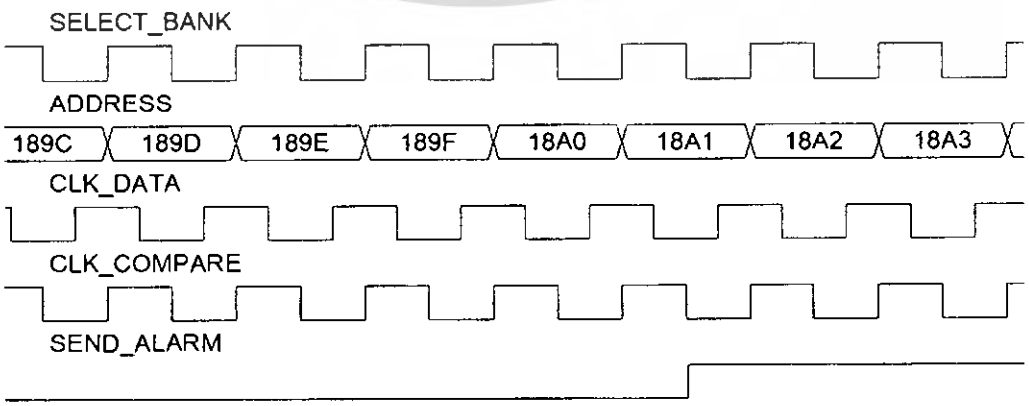
ชี้ตำแหน่งแอดเดรส ในการเก็บข้อมูลได้มาจากวงจรนับ 14 บิท นอกจากนี้ยังมีสัญญาณควบคุมการทำงานที่ได้มาจากเอฟพีจีเอ โดยจะมีสัญญาณควบคุมการทำงานของบิทที่14 ของหน่วยความจำเพื่อเป็นการชี้ตำแหน่งแอดเดรส ของหน่วยความจำระหว่างภาพที่ 1 และภาพที่ 2 อีกส่วนหนึ่งก็คือสัญญาณควบคุมกำหนดการเขียนข้อมูล (ที่ขา WE) และอ่านข้อมูล (ที่ขา OE) ของหน่วยความจำเพื่อนำไปใช้ในการเก็บข้อมูลภาพที่ต่อเนื่องกันลงในหน่วยความจำ และใช้ในการเปรียบเทียบความแตกต่างของสัญญาณภาพ สัญญาณควบคุมดังกล่าวได้มาจากวงจรควบคุมการทำงานที่ออกแบบในเอฟพีจีเอ ซึ่งในการออกแบบนั้นต้องให้การทำงานมีความสอดคล้องและสัมพันธ์กันตามไทม์มิ่งไดอะแกรมของชิพหน่วยความจำ (UT621024)

4.2.7 วงจรเปรียบเทียบข้อมูลภาพ

วงจรเปรียบเทียบข้อมูลภาพ ได้ออกแบบไว้ในเอฟพีจีเอ ด้วยภาษาวีเอชดีแอล ซึ่งกำหนดให้วงจรนำสัญญาณดิจิตอลระหว่างภาพที่ 1 และภาพที่ 2 มาเปรียบเทียบกันทีละตำแหน่งเพื่อหาความแตกต่างของสัญญาณภาพทั้งสอง



รูปที่ 4.14 วงจรเปรียบเทียบข้อมูลภาพ



รูปที่ 4.15 สัญญาณควบคุมการเปรียบเทียบข้อมูลภาพที่ได้จากการจำลองการทำงาน

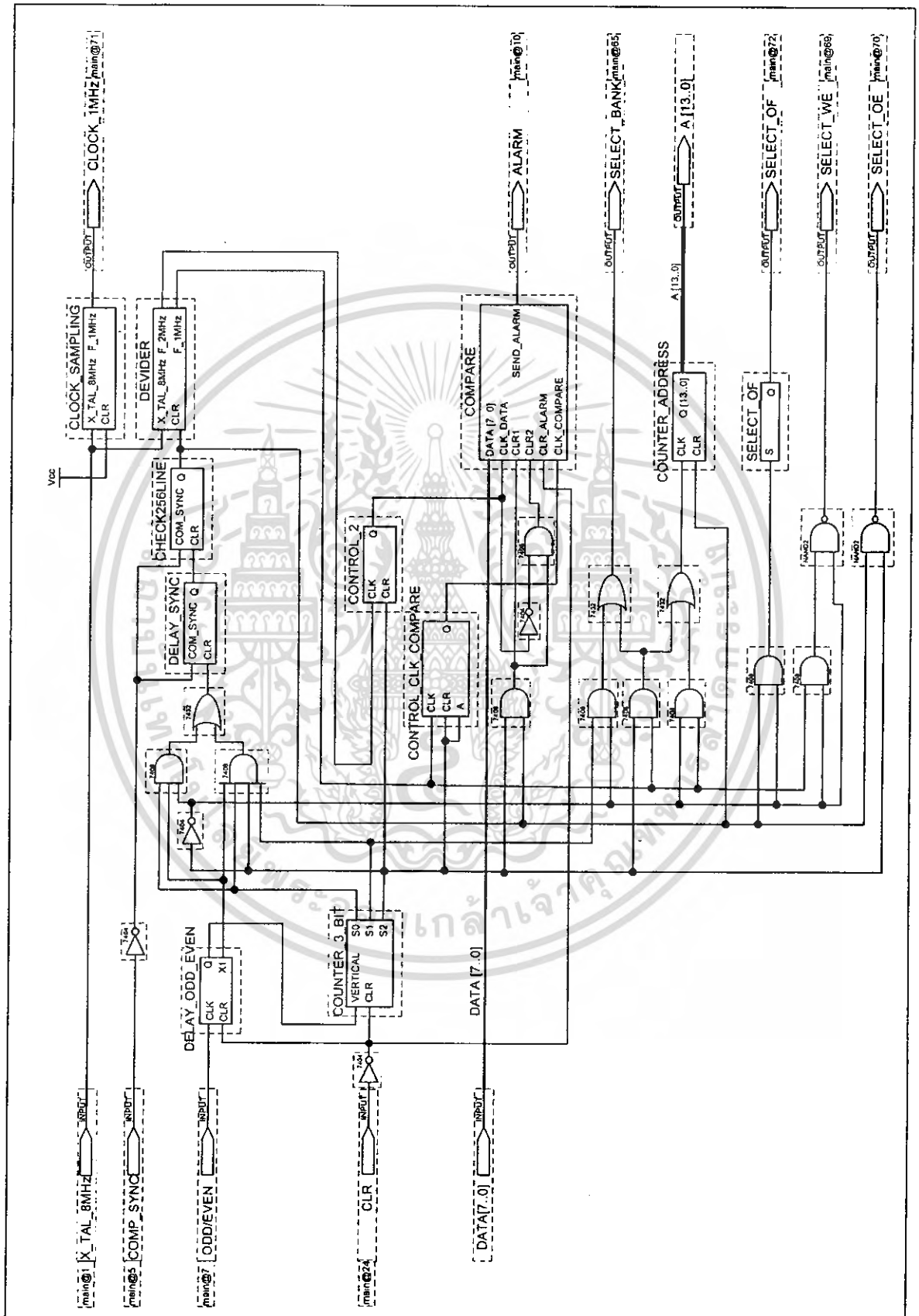
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบข้อมูลภาพที่ออกแบบไว้ในเอฟพีจีเอ ด้วยภาษาวีเอชดีแอล ได้ออกแบบให้วงจรนำสัญญาณข้อมูล 8 บิท (DATA[7..0]) จากวงจรส่วนหน่วยความจำภาพ ระหว่าง BANK 0 (A14 = '0') และ BANK 1 (A14 = '1') ซึ่งเป็นข้อมูลภาพที่ 1 และภาพที่ 2 เข้าไปเก็บไว้ในเอฟพีจีเอ ก่อนที่จะนำสัญญาณไปทำการเปรียบเทียบ โดยมีขาสัญญาณ CLK_DATA เป็นสัญญาณควบคุมการเก็บข้อมูลซึ่งกำหนดให้ เมื่อสัญาณของ CLK_DATA เปลี่ยนเป็นลอจิก 0 จะนำข้อมูล BANK 1 เข้ามาเก็บ และเมื่อสัญาณของ CLK_DATA เปลี่ยนเป็นลอจิก 1 จะนำข้อมูล BANK 0 เข้ามาเก็บไว้ใน FPGA ส่วนขาสัญญาณ CLK_COMPARE เป็นสัญญาณที่กำหนดให้วงจรทำการเปรียบเทียบข้อมูลระหว่าง BANK 0 และ BANK 1 โดยจะทำการเปรียบเทียบภาพทีละจุด เมื่อสัญญาณเปลี่ยนเป็นลอจิก 1 โดยถ้าแต่ละจุดมีความแตกต่างกันมากกว่าที่กำหนดไว้วงจรก็จะส่งสัญญาณไปทำการเพิ่มค่าความแตกต่างของจุดภาพ เมื่อภาพมีจุดที่แตกต่างกันมากกว่าที่กำหนดไว้วงจรก็จะส่งสัญญาณเตือน (ลอจิก 1) ออกไปทางขาสัญญาณ SEND_ALARM ส่วนขา CLR1 กับ CLR2 เป็นขาสัญญาณเคลียร์ของวงจรเปรียบเทียบข้อมูลภาพเพื่อให้วงจรทั้งหมดทำงานสัมพันธ์กัน และขา CLR_ALARM เป็นขาสัญญาณเคลียร์ให้วงจรเริ่มการทำงานใหม่หลังจากที่วงจรได้ส่งสัญญาณเตือนไปแล้ว

4.2.8 วงจรควบคุมการทำงาน

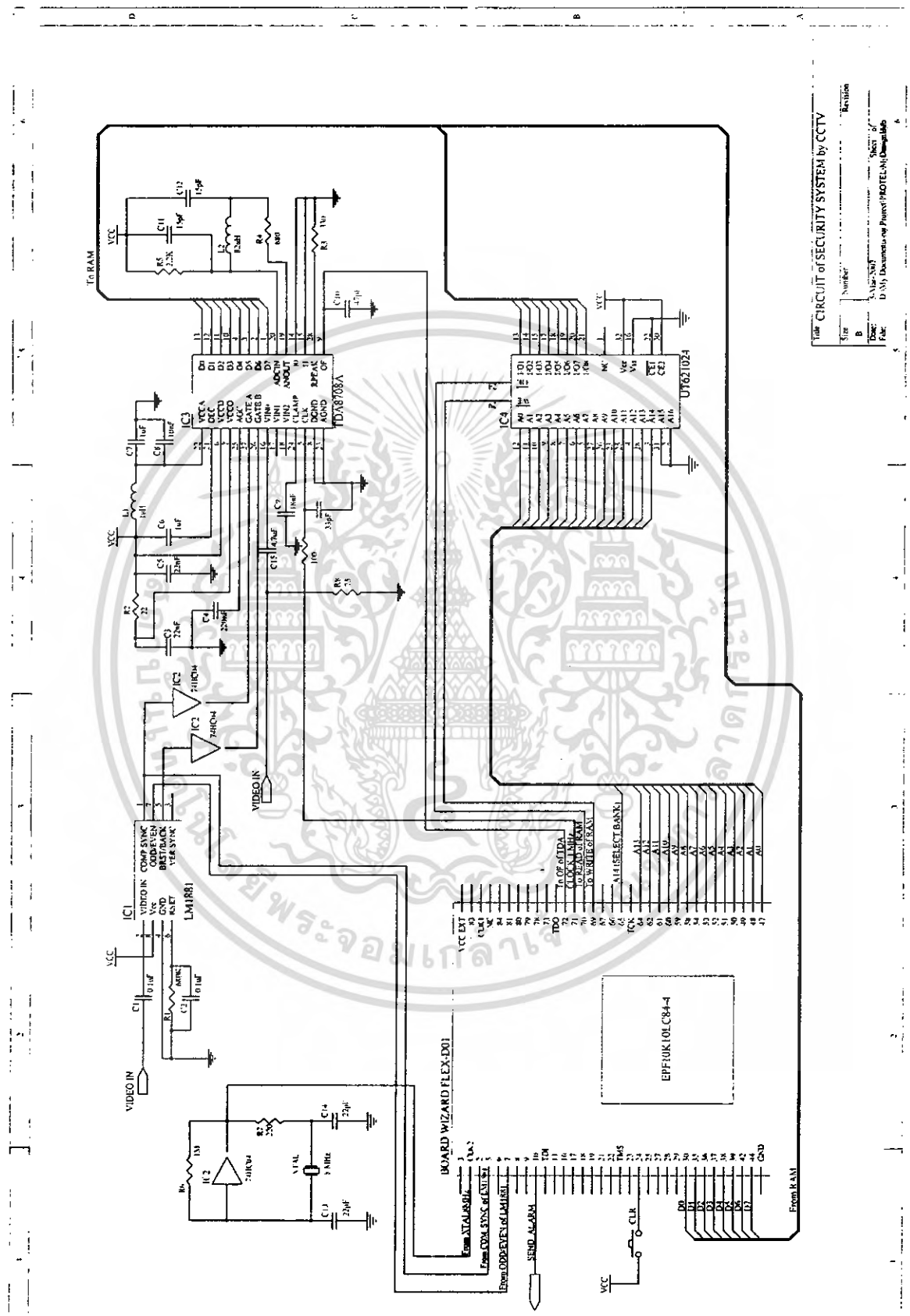
วงจรควบคุมการทำงานทั้งหมด จะออกแบบไว้ในเอฟพีจีเอ โดยสัญญาณที่นำมาใช้ในการควบคุมการทำงานของวงจรมาจากสัญญาณฟิลด์คู่/ฟิลด์คี่ ที่มีความถี่ 25 เฮิรตซ์ ซึ่งสัญญาณนี้เป็นตัวกำหนดจังหวะการทำงานให้กับวงจรควบคุมการทำงานในส่วนต่างๆ โดยจะนำสัญญาณที่ได้จากวงจรควบคุมการทำงานนี้ ไปควบคุมการทำงานของวงจรในส่วนต่างๆ เพื่อให้วงจรที่ออกแบบไว้ทำงานสอดคล้องกันตามจังหวะของสัญญาณฟิลด์คู่/ฟิลด์คี่ ที่ป้อนเข้ามา ซึ่งเป็นสัญญาณในการสแกนภาพเส้นคู่และคี่ของแต่ละเฟรม นอกจากนี้ยังมีสัญญาณที่นำมาใช้ควบคุมการทำงานที่ได้จากวงจรหารความถี่ซึ่งมีความถี่ 1 เมกะเฮิรตซ์ และ 2 เมกะเฮิรตซ์เพื่อที่จะให้วงจรที่ออกแบบมีจังหวะการทำงานในส่วนต่างๆ สอดคล้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 วงจรที่ออกแบบภายในเอฟพีจีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 วงจรระบบรักษาความปลอดภัยผ่านกล้อง CCTV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

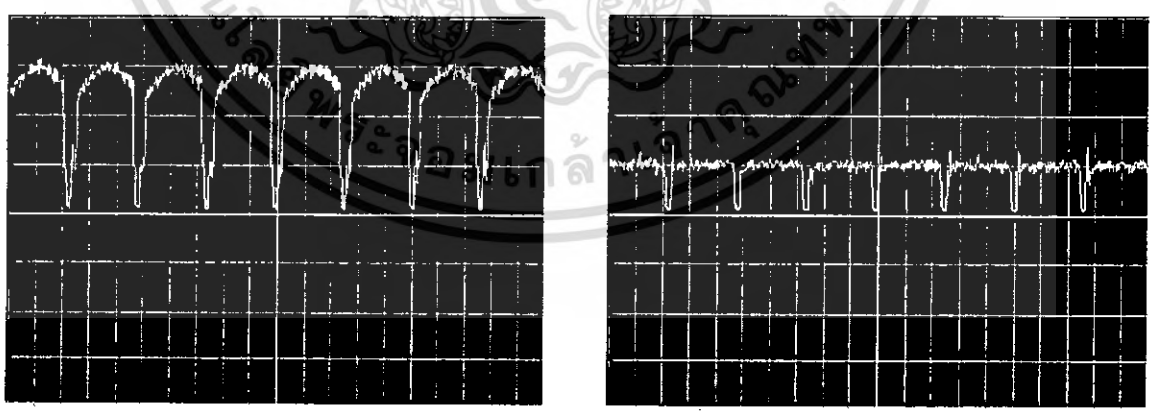
บทที่ 5

การทดลอง

การทดลองได้แบ่งออกเป็นสองส่วน คือ การวัดสัญญาณในส่วนต่างๆ ของแต่ละวงจร และการวัดสัญญาณในส่วนต่างๆ ของการทำงานจริงของวงจร โดยมีรายละเอียดดังนี้

5.1 การวัดสัญญาณที่จุดต่างๆ

ในส่วนของการวัดสัญญาณที่จุดต่างๆ ในวงจรนี้มีวัตถุประสงค์เพื่อดูรูปแบบของการเกิดสัญญาณที่จุดต่างๆ ว่าเป็นไปตามที่ออกแบบไว้หรือไม่ โดยสัญญาณที่ใช้เป็นอินพุทในวงจรนี้ มีเพียงสัญญาณเดียว คือสัญญาณภาพรวม ซึ่งได้รับมาจากกล้องโทรทัศน์วงจรปิดที่แสดงในรูปที่ 5.1 ซึ่งสัญญาณภาพนี้เป็นสัญญาณอนาลอก โดยรูปที่ 5.1 (a) เป็นสัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีดำ และรูปที่ 5.1 (b) เป็นสัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีขาว จะเห็นได้ว่าภาพที่มีลักษณะสีขาวมีขนาดสูงกว่าภาพที่ลักษณะสีดำ และสัญญาณทั้งสองลักษณะนี้ยังมีสัญญาณซิงค์ที่เหมือนกันอยู่ด้วย ซึ่งสัญญาณนี้เองที่นำไปใช้เป็นสัญญาณควบคุมการทำงานในส่วนต่างๆ ของวงจร



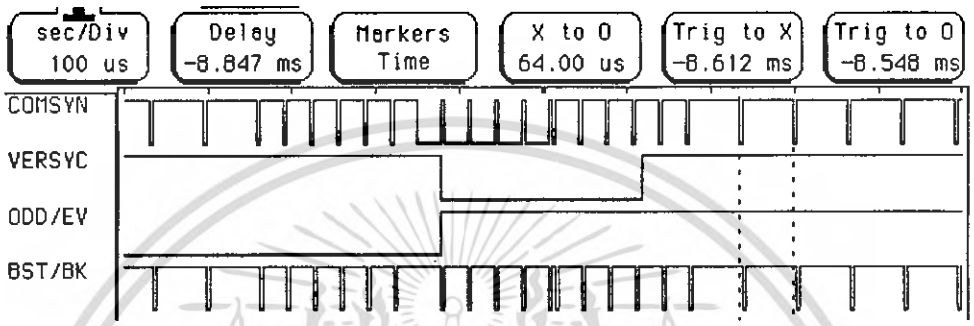
(a) (b)

รูปที่ 5.1 (a) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีดำ
(b) สัญญาณภาพที่ได้จากกล้องโทรทัศน์วงจรปิดที่มีลักษณะภาพสีขาว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1 สัญญาณซิงค์ที่แยกจากสัญญาณภาพรวม

การทำงานของวงจร จะทำงานกับสัญญาณภาพที่มีลักษณะเฉพาะ ดังนั้นการทำงานของวงจรจึงต้องให้สอดคล้องกับสัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์

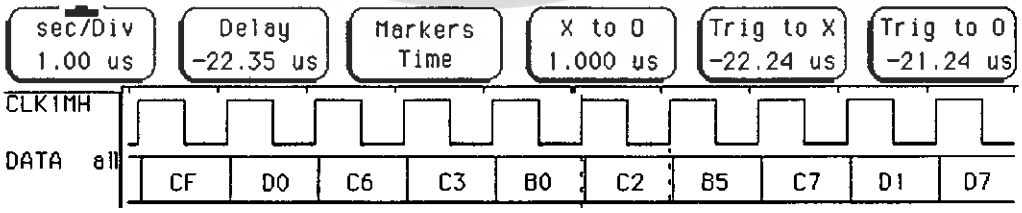


รูปที่ 5.2 สัญญาณที่ได้จากวงจรแยกซิงค์

จากรูปที่ 5.2 เป็นสัญญาณที่ได้จากวงจรแยกซิงค์ โดยสัญญาณจะประกอบไปด้วยสัญญาณคอมโพสิทซิงค์หรือฮอริซอนทอลซิงค์ สัญญาณเวอร์ติคอลซิงค์ สัญญาณเบิร์สต์ และสัญญาณฟิลด์คู่/ฟิลด์คี่ ซึ่งในการทำงานของวงจรนี้จะใช้สัญญาณคอมโพสิทซิงค์ในการควบคุมจังหวะการสุ่มสัญญาณภาพ และสัญญาณฟิลด์คู่/ฟิลด์คี่ในการควบคุมการทำงานของวงจรให้สอดคล้องกัน

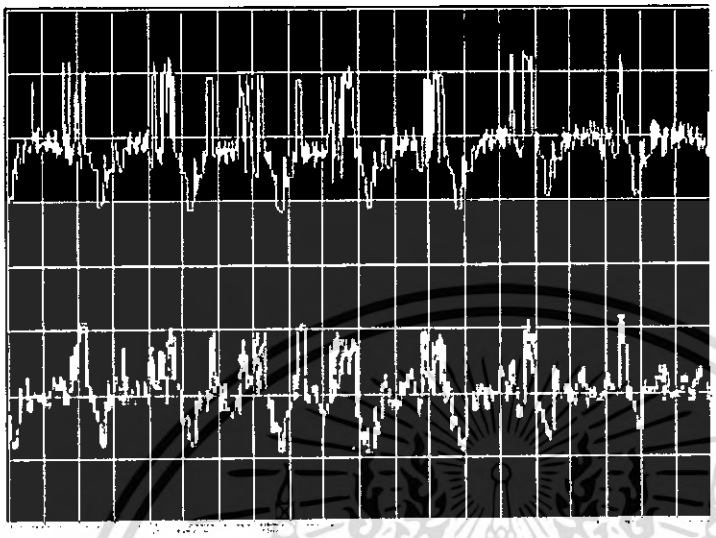
5.1.2 สัญญาณของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

เมื่อทำการวัดสัญญาณที่ขา 16 (VIN0) ของไอซีเบอร์ TDA8708A เปรียบเทียบกับการวัดสัญญาณดิจิตอลเอาท์พุท 8 บิท ที่ผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Lader-2R) พบว่าสัญญาณที่ได้จะมีลักษณะเหมือนสัญญาณอินพุท แต่จะมีความผิดเพี้ยนเล็กน้อยเท่านั้น



รูปที่ 5.3 สัญญาณของวงจรแปลงอนาลอกเป็นดิจิตอลจากการแซมปลิ้งด้วยความถี่ 1 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



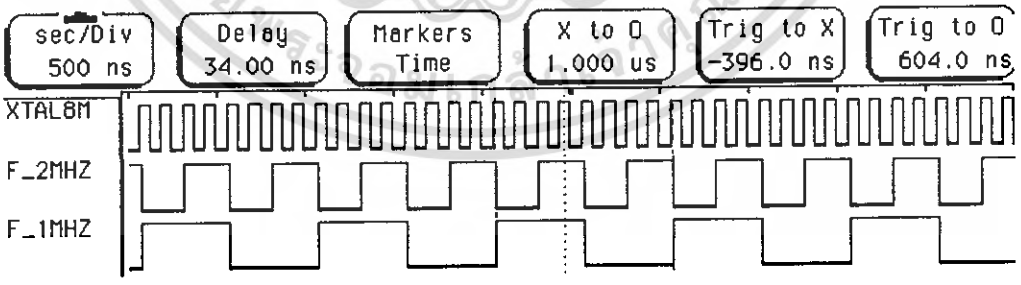
สัญญาณจากกล้อง

สัญญาณจากวงจรแปลงสัญญาณเป็นดิจิตอล ที่ผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Lader-2R)

รูปที่ 5.4 การปรียบเทียบสัญญาณจากกล้องวงจรปิดกับสัญญาณที่ได้จาก TDA8708A

5.1.3 สัญญาณของวงจรหารความถี่

วงจรหารความถี่จะได้รับสัญญาณมาจากวงจรกำเนิดความถี่ซึ่งมีคริสตอลเป็นตัวกำเนิดความถี่ หลังจากนั้นจะนำสัญญาณความถี่ต่างๆ ที่ได้ ไปใช้ในวงจรการสุ่มสัญญาณภาพ วงจรนับ 14 บิท เพื่ออ้างอิงตำแหน่งการเก็บข้อมูล วงจรส่วนของการอ่านข้อมูลออกจากหน่วยความจำ และวงจรเปรียบเทียบสัญญาณภาพ

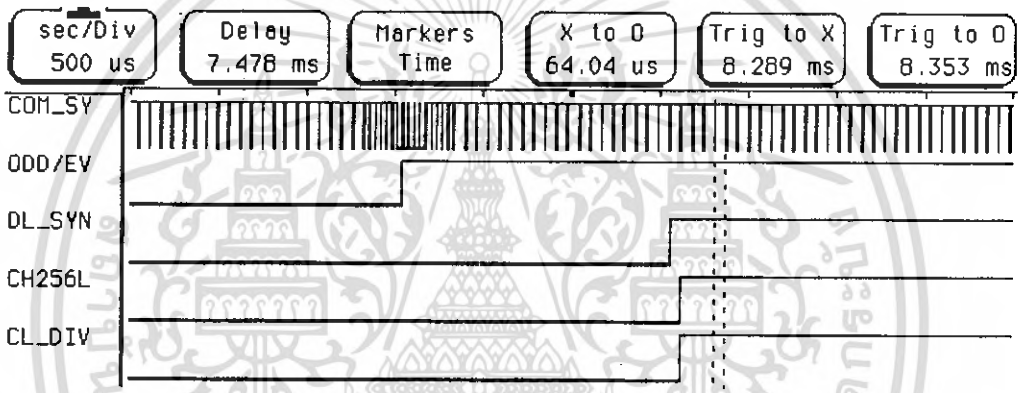


รูปที่ 5.5 สัญญาณของวงจรหารความถี่ที่ออกแบบในเอฟพีจีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 สัญญาณควบคุมการเริ่มต้นการทำงาน

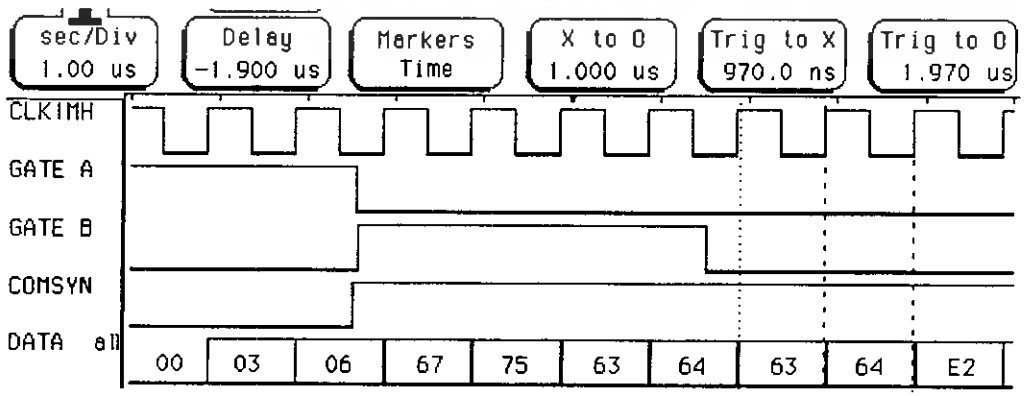
การทำงานของวงจรในส่วนของการเริ่มต้นการเก็บภาพได้แบบไว้ในเอฟพีจีเอ โดยมีรูปแบบดังรูปที่ 5.6 ซึ่งการทำงานของวงจรควบคุมการเริ่มต้นการเก็บภาพ เริ่มจาก เมื่อสัญญาณฟิลล์คู่/ฟิลล์คี่ (ODD/EV) ซึ่งเป็นสัญญาณภาพเริ่มต้นมาถึง วงจรจะทำการหน่วงสัญญาณภาพ (DL_SYN) ในช่วงแรกๆ จึงทำให้ในช่วงนี้จะไม่มีการเก็บภาพ หลังจากนั้นก็จะกำหนดให้เริ่มต้นนับเส้นภาพ (CH256L) เพื่อให้วงจรควบคุมการทำงานที่ออกแบบไว้ ส่งสัญญาณ (CL_DIV) ที่เป็นลอจิก 1 ไปยังขาสัญญาณเคลียร์ของวงจรหารความถี่ เพื่อทำการสุ่มสัญญาณภาพ แล้วนำสัญญาณภาพจากที่ได้จาก TDA8708A ไปเก็บไว้ในหน่วยความจำ ซึ่งแสดงดังรูปที่ 5.6



รูปที่ 5.6 สัญญาณควบคุมการเริ่มต้นการทำงาน

5.1.5 การสุ่มสัญญาณภาพ

เมื่อวงจรเก็บภาพเริ่มทำงาน สัญญาณภาพที่ได้จากการสุ่มก็จะถูกปล่อยออกมา เพื่อนำสัญญาณนั้นไปเก็บลงในหน่วยความจำ โดยมีสัญญาณ CLK1MHz เป็นสัญญาณการสุ่มภาพ และสัญญาณ GATE A และ GATE B เป็นสัญญาณควบคุมการทำงานของไอซีเบอร์ TDA8708A ให้ทำงานในโหมด 2 ซึ่งแสดงดังรูปที่ 5.7

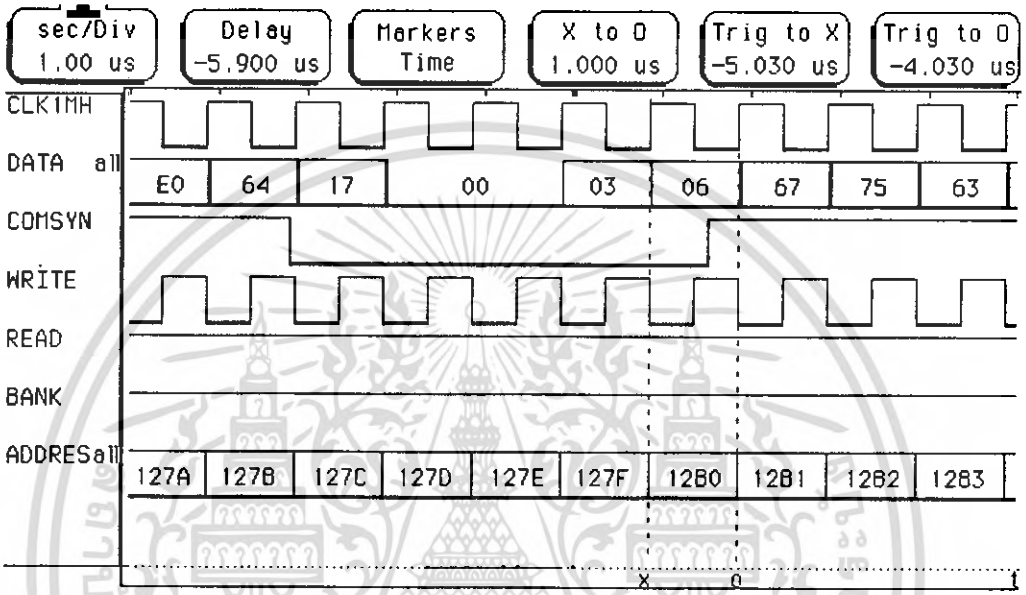


รูปที่ 5.7 สัญญาณของการสุ่มสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.6 การเก็บภาพลงในหน่วยความจำ

การทำงานของวงจรในช่วงนี้จะเป็นการสุ่มสัญญาณภาพที่เป็นอนาลอก โดยใช้ไอซีเบอร์ TDA8708A แปลงเป็นสัญญาณดิจิตอลและเก็บลงในหน่วยความจำ



รูปที่ 5.8 สัญญาณการเขียนข้อมูลลงในหน่วยความจำ

ในรูปที่ 5.8 แสดงให้เห็นช่วงเวลาการเขียนข้อมูลลงในหน่วยความจำ โดยมีสัญญาณข้อมูล (DATA all) ที่ได้จากการสุ่มด้วยความถี่ 1 เมกะเฮิรตซ์ (CLK1MH) สัญญาณคอมโพสิทซิงค์ (COMSYN) สัญญาณการเขียน (WRITE) สัญญาณการอ่าน (READ) สัญญาณแบงค์ (BANK) ซึ่งบอกตำแหน่งในการเก็บภาพระหว่างภาพที่ 1 กับ 2 และสัญญาณแอดเดรส (ADDRES all) ซึ่งจะเห็นได้ว่าในช่วงเวลาของการเขียนข้อมูลนั้นสัญญาณการอ่านจะเป็นลอจิก 1 (NON-ACTIVE) และสัญญาณการเขียนได้ถูกจัดให้เกิดขึ้นและสิ้นสุดในช่วงที่สัญญาณดาต้า และแอดเดรสได้เกิดขึ้นแล้วเป็นเวลา 500 นาโนวินาที ซึ่งสอดคล้องกับข้อกำหนดในดาต้าชีต โดยที่สัญญาณข้อมูลและสัญญาณแอดเดรสถูกจัดให้เกิดขึ้นพร้อมกัน ซึ่งมีความกว้างเท่ากันมีค่าเท่ากับ 1 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผลการทดลอง

การทดลองในปริญญานิพนธ์นี้ดังที่นำเสนอไปแล้วในบทที่ 5 ซึ่งได้แบ่งออกเป็น 2 ส่วน คือ ส่วนของการวัดสัญญาณ ณ จุดต่างๆ ของวงจร และ ส่วนแสดงการทำงานจริงของวงจร จึงแบ่งการสรุปและวิจารณ์ออกเป็น 2 ส่วน ดังนี้

6.1 การวัดสัญญาณ ณ. จุดต่างๆ ของวงจร

การวัดสัญญาณข้อมูลภาพที่แปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลจากไอซีเบอร์ TDA8708A จะพบว่า ระดับความเข้มของสีหรือความสว่างของภาพที่มากจะให้ค่าข้อมูล (binary data) ที่สูง และในทางกลับกันที่ระดับความเข้มของสีหรือความสว่างของภาพที่น้อยจะให้ค่าข้อมูลที่ต่ำ เช่น ห้องที่มีแสงน้อยหรือภาพที่มีลักษณะสีดำ ซึ่งในการทดลองจะทดลองในห้องที่มีแสงสว่างในระดับที่พอดี

การวัดสัญญาณที่จุดต่างๆ ในวงจร เพื่อที่จะตรวจสอบความถูกต้องของการทำงานของวงจรซึ่งเป็นสิ่งสำคัญ ทำให้เราทราบผลการทำงานของวงจรที่ได้ออกแบบไว้ว่าเป็นไปตามที่ออกแบบไว้หรือไม่ จากผลการวัดสัญญาณที่จุดต่างๆ และที่เวลาต่างๆ จะเห็นได้ว่าสัญญาณต่างๆ ที่วัดได้มีรูปแบบตรงกับการทำงานที่ออกแบบไว้ ดังนั้นจึงถือว่าผลที่ได้เป็นไปตามที่ต้องการ แสดงให้เห็นว่าวงจรสามารถทำงานได้ตามที่ออกแบบไว้อย่างถูกต้อง

ส่วนของปัญหาและอุปสรรคในส่วนนี้คือการที่ต้องวัดสัญญาณของวงจรที่ทำงานอยู่ตลอดเวลา โดยจะต้องวัดให้พบส่วนที่ต้องการตรวจสอบการทำงาน จึงจำเป็นต้องออกแบบโปรแกรมขึ้นมาใหม่ให้รองรับกับวงจรและสัญญาณที่ต้องการวัดในแต่ละส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การทำงานจริงของวงจร

การทดลองจำลองสถานการณ์การใช้งานจริงโดยผลการทดลองขึ้นอยู่กับความเข้มและความสว่างของวัตถุที่นำมาทดลองในฉาก โดยวัตถุที่มีความสว่าง จะให้ผลการทดลองที่ค่อนข้างแน่นอน และในส่วนของการกำหนดขนาดของวัตถุ ผลการทดลองที่ได้ค่อนข้างจะเป็นไปตามค่าที่ตั้งไว้ในโปรแกรมที่ออกแบบ โดยมีปัจจัยที่มีผลกระทบต่อการทำงาน คือ ความละเอียดของการสุ่มสัญญาณที่ใช้เนื่องจากความละเอียดที่ใช้นั้นมีขนาด 256 × 64 พิคเซล ซึ่งให้ความละเอียดมากในระดับหนึ่ง และมีความสอดคล้องกับทฤษฎีตามที่ได้ศึกษามา ซึ่งหากใช้ความละเอียดของการสุ่มสัญญาณที่มากกว่านี้ ก็จะทำให้ภาพที่ออกมามีความละเอียดและชัดเจนมากขึ้น

การนำไปใช้งานจริงในส่วนของการตั้งค่ากำหนดขนาดของวัตถุที่มีการเคลื่อนที่ จะต้องดูขนาดจริงของวัตถุที่วงจรยอมให้เกิดความแตกต่างของภาพได้ โดยการเปลี่ยนแปลงค่าจะต้องกำหนดในส่วนของโปรแกรม ซึ่งอาจจะทำให้ยุ่งยากในการที่จะเปลี่ยนไปใช้งานในบริเวณที่มีการเปลี่ยนแปลงของขนาดภาพที่กล้องจับไม่เท่าเดิม

นอกจากนี้ในการทดลอง ยังพบข้อผิดพลาดจากสภาวะแวดล้อม เกี่ยวกับแสงสว่างที่มีความสว่างมากหรือน้อยเกินไป ซึ่งข้อจำกัดนี้มีผลมาจากการใช้กล้องวงจรปิดที่มีคุณภาพแตกต่างกันและการใช้เลือกงานของกล้องแบบต่างๆ ในสภาวะแวดล้อมที่แตกต่างกัน และข้อจำกัดอีกอย่างก็คือการทำงานจริงต้องมีความสว่างของสภาวะแวดล้อมที่ค่อนข้างคงที่ เช่น ในห้องที่มีแสงสว่างคงที่ เนื่องจากการทำงานของวงจรที่ออกแบบเป็นการเปรียบเทียบภาพ ถ้าภาพเกิดการเปลี่ยนแปลงมากกว่าค่าที่ได้กำหนดไว้ในโปรแกรมจะทำให้วงจรส่งสัญญาณเตือนออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

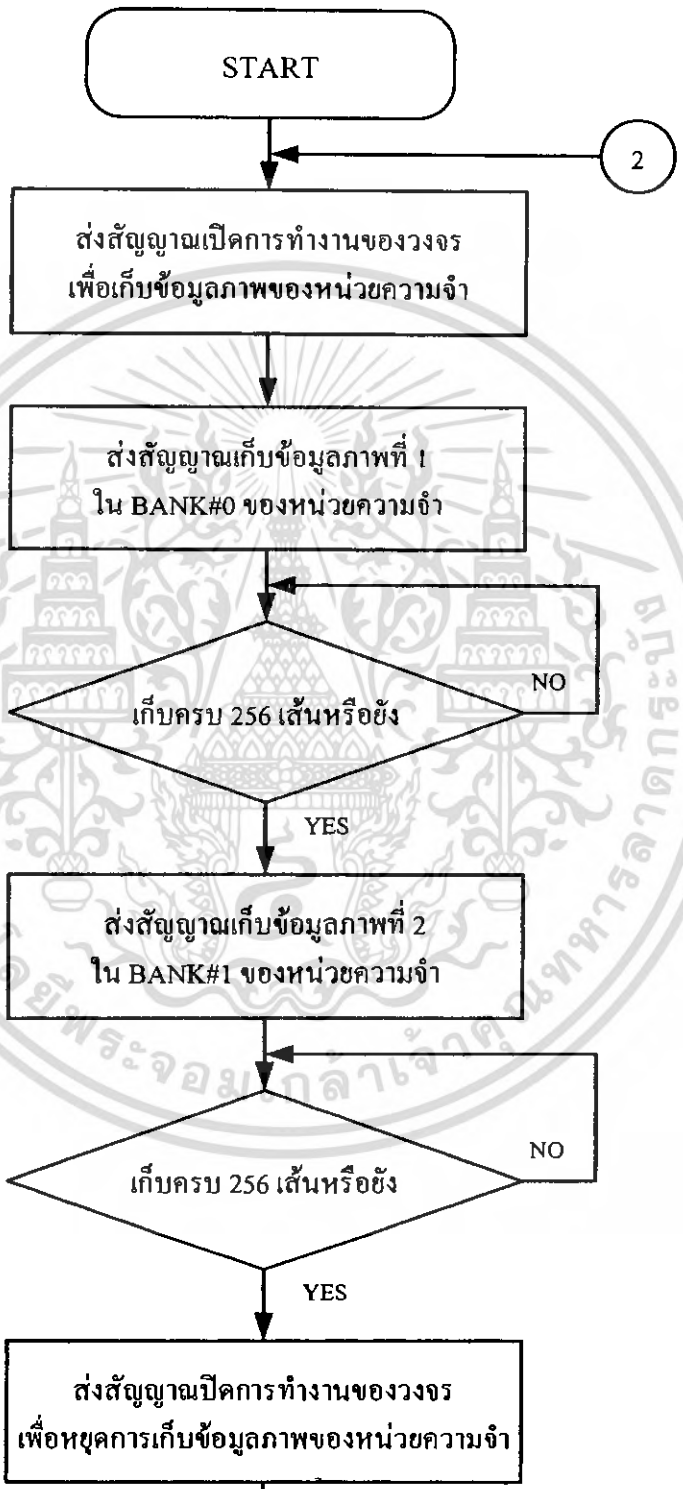
1. เจน สงสมพันธุ์, นิคม อนันต์ทิพย์, " เทคโนโลยีโทรทัศน์ ", สถาบันอิเล็กโทรนิกส์กรุงเทพฯ, หน้า 23-50, 2535
2. ชำนาญ ปัญญาใส, วัชรากร หนูทอง, " ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล ", บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน), 432 หน้า, 2547
3. นอ.ชาติชาย ดิษฐกุล , เอกสารประกอบการเรียน ภาษา VHDL, ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
4. ปรัชญนันท์ นิลสุข, " ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์เบื้องต้น ", บริษัท สำนักพิมพ์ดวงกลม , 256 หน้า , 2541
5. " เปิดโลก FPGA กับ WIZAR PLD-A01 ", Astron Logic Research & Development Co.,LTD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

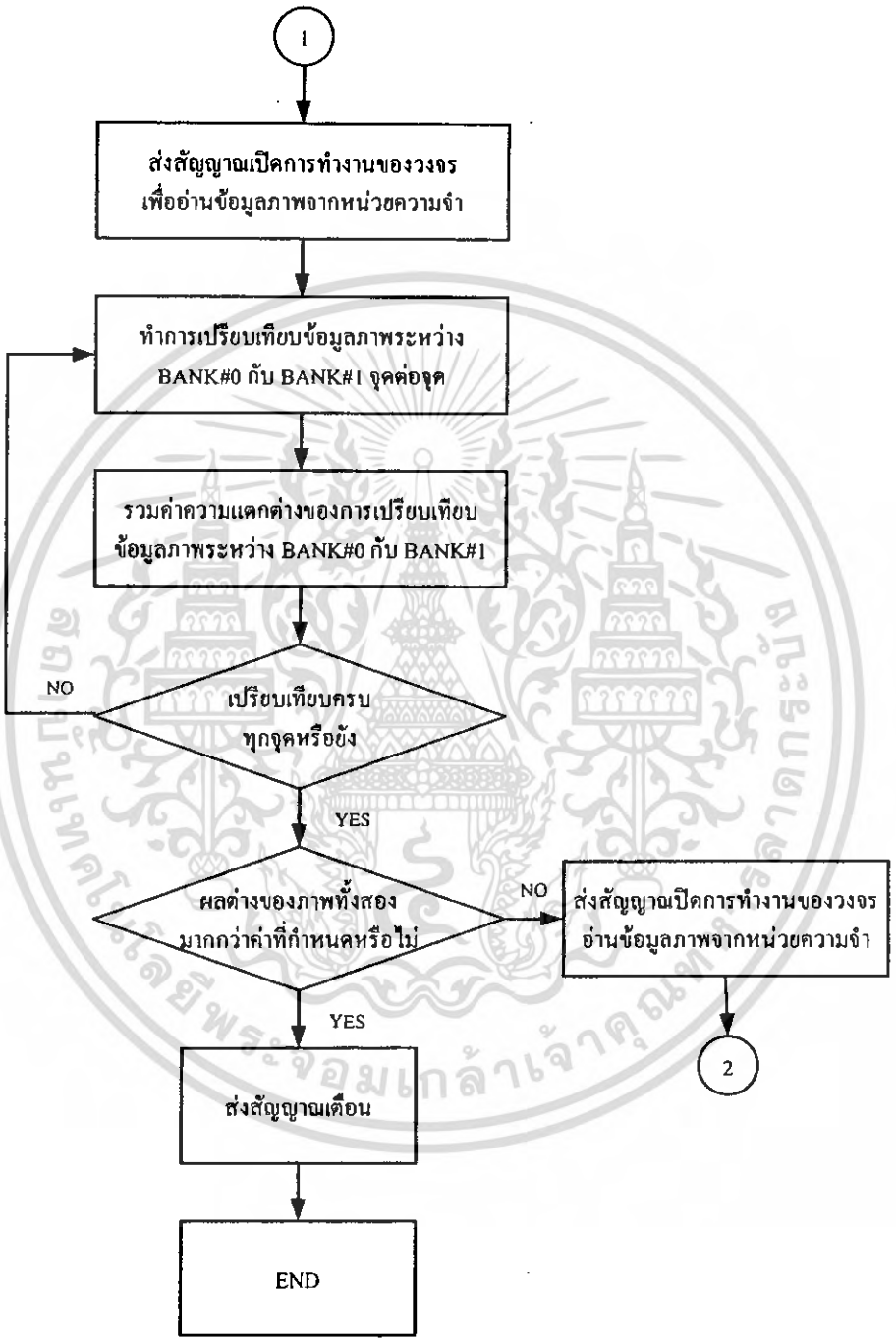
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟลวชาร์ตแสดงการทำงานของวงจรเก็บภาพ และประมวลผลภาพ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการเปรียบเทียบสัญญาณภาพที่เก็บในหน่วยความจำ เมื่อกล้องจับภาพนิ่ง
เพื่อหาค่าความแตกต่างของภาพแต่ละจุด ที่วงจรยอมให้เกิดความแตกต่างของภาพจุดนั้น

การจับภาพบริเวณที่ 1				การจับภาพบริเวณที่ 2			
ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2
E1H	E7H	E5H	E2H	40H	45H	67H	81H
E4H	E6H	E5H	E3H	44H	46H	C7H	C4H
65H	64H	E6H	E3H	90H	86H	C2H	B2H
61H	25H	E5H	E6H	B3H	92H	55H	56H
00H	02H	F4H	E0H	C1H	C6H	54H	57H
00H	00H	E7H	E6H	C6H	C7H	55H	57H
03H	04H	F6H	F1H	A2H	D7H	53H	60H
02H	06H	F2H	F1H	D5H	D2H	53H	61H
07H	14H	F7H	F5H	81H	71H	53H	57H
73H	62H	E6H	F2H	65H	67H	53H	63H
71H	73H	F5H	F5H	70H	86H	63H	73H
63H	64H	F7H	F6H	56H	66H	62H	61H
67H	67H	F1H	F6H	85H	60H	66H	72H
66H	67H	F7H	E7H	91H	B7H	66H	66H
C3H	E6H	F6H	F0H	E3H	D1H	F6H	F7H
E5H	E7H	F4H	F5H	D0H	C0H	87H	66H
E7H	E0H	F2H	F3H	A1H	B1H	61H	75H
E1H	E5H	F4H	F5H	B2H	B7H	64H	82H
E7H	E0H	F0H	F8H	B6H	C2H	57H	64H
E5H	E3H	E5H	F3H	87H	93H	56H	61H

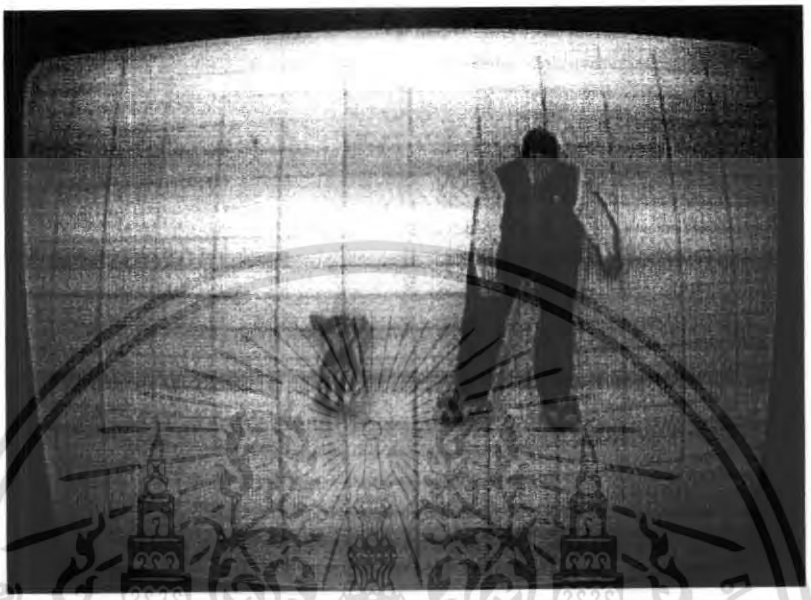
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจับภาพบริเวณที่ 3				การจับภาพบริเวณที่ 4			
ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2	ภาพที่ 1	ภาพที่ 2
42H	43H	76H	A2H	67H	57H	67H	72H
F5H	F6H	75H	A6H	55H	55H	75H	70H
F5H	F7H	72H	A5H	51H	62H	E1H	[illegible]
F4H	F7H	71H	B1H	53H	55H	70H	73H
F3H	F7H	76H	B1H	55H	60H	72H	70H
F1H	E5H	81H	B6H	83H	57H	61H	66H
A7H	A7H	91H	B1H	80H	87H	66H	6AH
C7H	B3H	A7H	B2H	85H	96H	66H	61H
F2H	F2H	A0H	B7H	71H	77H	60H	63H
A4H	E2H	87H	67H	74H	74H	74H	70H
67H	80H	92H	A4H	66H	73H	63H	76H
54H	66H	A6H	B5H	A5H	96H	64H	62H
C0H	F2H	A4H	B5H	67H	67H	66H	71H
93H	A5H	B0H	B4H	67H	72H	66H	71H
67H	85H	A7H	B2H	71H	75H	71H	75H
63H	97H	A4H	A7H	70H	74H	76H	77H
65H	A6H	A2H	A6H	70H	75H	55H	50H
72H	A4H	A4H	A5H	70H	73H	00H	00H
70H	A7H	47H	43H	70H	75H	00H	05H
74H	A1H	03H	22H	72H	74H	01H	07H

จากตัวอย่างของผลการเปรียบเทียบสัญญาณภาพระหว่างภาพที่ 1 และภาพที่ 2 ที่เก็บไว้ในหน่วยความจำ ซึ่งเป็นภาพนิ่ง จะเกิดความแตกต่างระหว่างจุดภาพขึ้น ดังนั้นจึงกำหนดให้เป็นยอมให้เกิดความแตกต่างของภาพแต่ละจุด มีค่า 40H (01000000B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมาณจำนวนจุดที่เกิดความแตกต่างของภาพ



ในการประมาณจำนวนจุดที่ยอมให้ภาพแตกต่างได้นั้น สามารถทำได้โดยการประมาณจำนวนสัดส่วนของจุดที่กล้องจับภาพ ซึ่งในการทดลองสามารถประมาณได้ดังนี้

จำนวนจุดของภาพทั้งหมด 256 เส้น × 64 จุด = 16,384 จุด

กล้องจับภาพที่มีฉากหลังเป็นตารางที่มีจำนวนประมาณ

แนวนอน 12 ช่อง × แนวตั้ง 19 ช่อง = 228 ช่อง

แต่ละช่องจึงมีจำนวนจุดประมาณ 16,384 จุด / 228 ช่อง = 72 จุด

ภาพสุนัขที่กล้องจับภาพอยู่ในพื้นที่ประมาณ 3 ช่อง × 72 จุด = 216 จุด

ภาพคนที่กล้องจับภาพอยู่ในพื้นที่ประมาณ 14 ช่อง × 72 จุด = 1008 จุด

การทดลองจริงให้วงจรเตือนเมื่อมีภาพคนเข้ามาในภาพและจะไม่เตือนเมื่อสุนัขเข้ามา

ดังนั้น กำหนดให้จำนวนจุดที่ภาพเกิดความแตกต่าง 600 จุด

การกำหนดค่าจุดที่ภาพเกิดความแตกต่าง ต้องกำหนดให้มากกว่าค่าของจุดที่ยอมให้กิดความแตกต่างที่ประมาณได้ และต้องกำหนดให้เหมาะสมกับขนาดที่ต้องการตรวจจับในบริเวณนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรหารความถี่

```
Library ieee;
Use ieee.Std_Logic_1164.All;
Use ieee.Std_Logic_Arith.All;
Entity DEVIDER is
Port    (  X_TAL_8MHz,CLR : in std_logic;
             F_2MHz,F_1MHz : out std_logic
          );
end DEVIDER;
Architecture RTL of DEVIDER is
 signal counter  : integer range 0 to 7;
 signal        A  : std_logic_vector(2 downto 0);
begin
 process (X_TAL_8MHz, CLR)
         begin
         if (CLR = '0') then
          counter <= 0;
   elsif (X_TAL_8MHz'EVENT and X_TAL_8MHZ = '1') then
             counter <= counter + 1;
         end if;
                 A <= CONV_STD_LOGIC_VECTOR(counter,3);
                 F_2MHz  <= A(1);
                 F_1MHz  <= A(2);
 end process;
end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรนับ 14 บิท

```
Library ieee;
Use ieee.Std_Logic_1164.All;
Use ieee.Std_Logic_Arith.All;
Entity counter_address is
Port ( CLK, CLR : in std_logic;
                Q  : out std_logic_vector(13 downto 0)
            );
end counter_address;
Architecture RTL of counter_address is
 signal counter : integer range 0 to 16383;
begin
 process(CLK, CLR)
          begin
           if (CLR = '0') then
            counter <= 0;
   elsif (CLK'EVENT and CLK = '1') then
            counter <= counter + 1;
          end if;
           Q <= CONV_STD_LOGIC_VECTOR(counter,14);
 end process;
end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรหน่วงสัญญาณภาพ

```
Library ieee;
Use ieee.Std_Logic_1164.All;
Entity DELAY_SYNC is
Port ( COM_SYNC, CLR : in std_logic;
                       Q  : out std_logic
        );
end DELAY_SYNC;
Architecture RTL of DELAY_SYNC is
 signal COUNTER1 : integer range 0 to 32;
 signal      A : std_logic;
begin
 process(COM_SYNC, CLR)
         begin
         if (CLR = '0') then
          COUNTER1 <= 0;
                    A <= '0';
   elsif (COM_SYNC'EVENT and COM_SYNC = '1') then
                  if (COUNTER1 < 32) then
            COUNTER1 <= COUNTER1 + 1;
                   A <= '0';
                  else
                   A <= '1';
                  end if;
         end if;
 end process;
        Q <= A;
end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรนับสัญญาณภาพ

```
Library ieee;
Use ieee.Std_Logic_1164.All;
Entity CHECK256LINE is
Port ( COM_SYNC, CLR : in std_logic;
                Q  : out std_logic
          );
end CHECK256LINE;
Architecture RTL of CHECK256LINE is
 signal COUNTER2 : integer range 0 to 256;
 signal      B : std_logic;
begin
 process(COM_SYNC, CLR)
         begin
          if (CLR = '0') then
           COUNTER2 <= 0;
                        B <= '0';
   elsif (COM_SYNC'EVENT and COM_SYNC = '1') then
     if (COUNTER2 < 256) then
           COUNTER2 <= COUNTER2 + 1;
                B <= '1';
               else
                B <= '0';
               end if;
         end if;
 end process;
        Q <= B;
end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของวงจรเปรียบเทียบข้อมูลภาพ

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
Use ieee.Std_Logic_unsigned.All;
ENTITY COMPARE IS
        port (                  DATA : IN std_logic_vector(7 downto 0);
                CLK_DATA,CLR1,CLR2 : IN std_logic;
         CLR_ALARM,CLK_COMPARE : IN std_logic;
                        SEND_ALARM : OUT std_logic
                );
END COMPARE;
ARCHITECTURE rtl of COMPARE is
    signal    C,D,E,F : std_logic_vector(7 downto 0);
    signal  A,B,G,H,I : std_logic;
    signal    counter : integer range 0 to 2000;
begin
        I <= G or H;
p1 : process(CLR1, CLK_DATA)
        begin
                if ( CLR1 = '0') then
                        C <= "00000000";
                elsif ( CLK_DATA'event and CLK_DATA = '1' ) then
                        C <= DATA;
                end if;
        end process;
p2 : process(CLR1, CLK_DATA)
        begin
                if ( CLR1 = '0') then
                        D <= "00000000";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        elsif ( CLK_DATA'event and CLK_DATA = '0' ) then
                D <= DATA;
        end if;
    end process;
p3 : process(CLR1,CLK_COMPARE)
    begin
      if ( CLR1 = '0') then
            E <= "00000000";
        elsif ( CLK_COMPARE'event and CLK_COMPARE = '1') then
                if (C>D)then
             E <= C - D;
                else
                 E <= "00000000";
                end if;
        end if;
    end process;
p4 : process(CLR1,CLK_COMPARE)
    begin
      if ( CLR1 = '0') then
            F <= "00000000";
        elsif ( CLK_COMPARE'event and CLK_COMPARE = '1') then
                if (D>C) then
                 F <= D - C;
                else
                 F <= "00000000";
                end if;
        end if;
    end process;
p5 : process(CLR2,CLK_COMPARE)
    begin
```

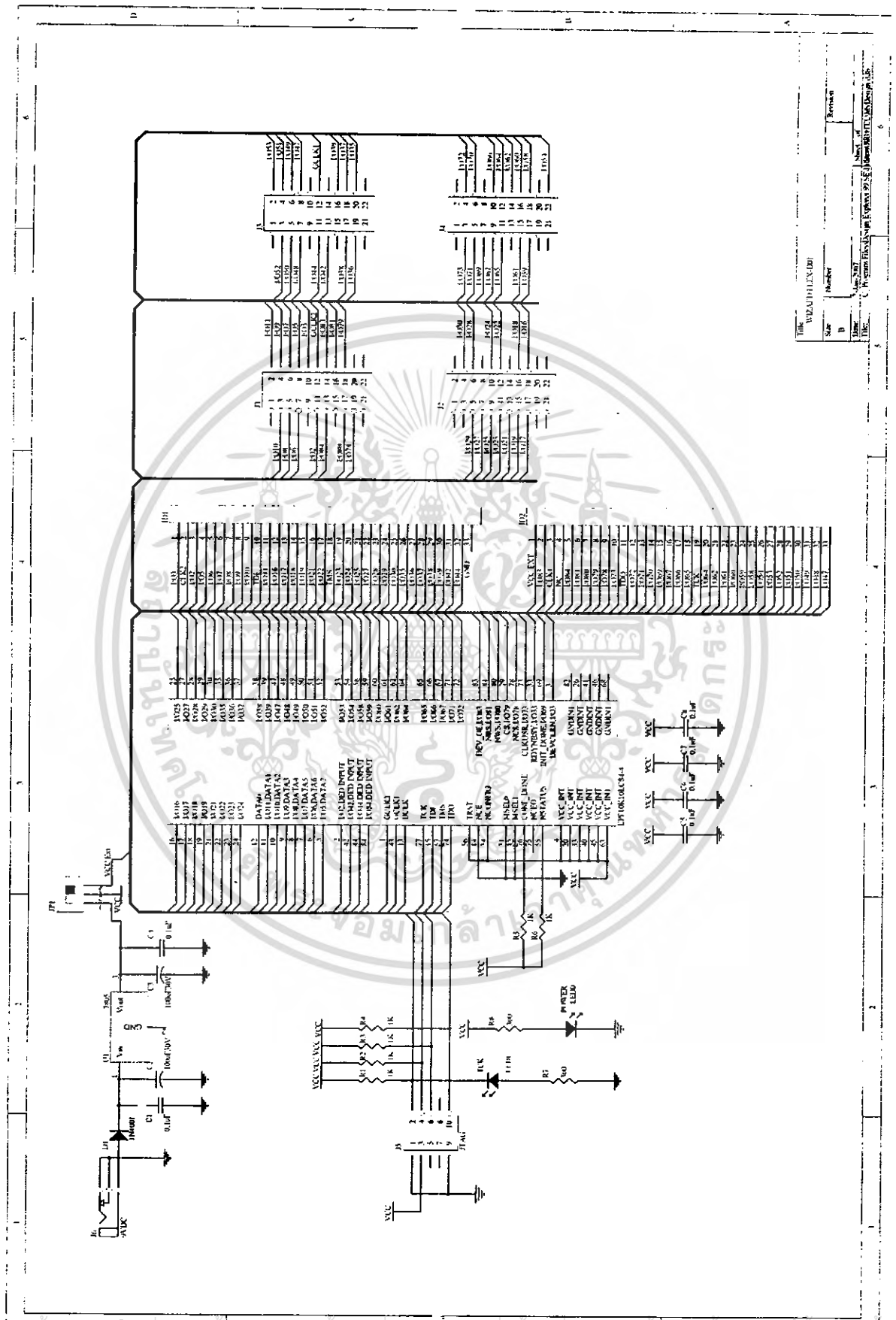
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            if (CLR2 = '0') then
              G <= '0' ;
          elsif ( CLK_COMPARE'event and CLK_COMPARE = '0') then
                  if ( E > "01000000") then
                   G <= '1';
                  else
                   G <= '0';
                  end if;
            end if;
      end process;
p6 : process(CLR2,CLK_COMPARE)
      begin
            if (CLR2 = '0') then
              H <= '0' ;
          elsif ( CLK_COMPARE'event and CLK_COMPARE = '0') then
                  if ( F > "01000000") then
                   H <= '1';
                  else
                   H <= '0';
                  end if;
            end if;
      end process;
p7 : process(I, CLR1)
      begin
            if (CLR1 = '0') then
         counter <= 0;
        elsif (I'EVENT and I = '1') then
                  if(counter < 600 ) then
               counter <= counter + 1;
                  A <= '0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    else
                     A <= '1';
                    end if;
        end if;
    end process;
p8 : process(A, CLR_ALARM)
        begin
                if (CLR_ALARM = '0') then
                 B <= '0';
        elsif (A'EVENT and A = '1') then
                 B <= '1';
                end if;
    end process;
        SEND_ALARM <= B;
end rtl;
```

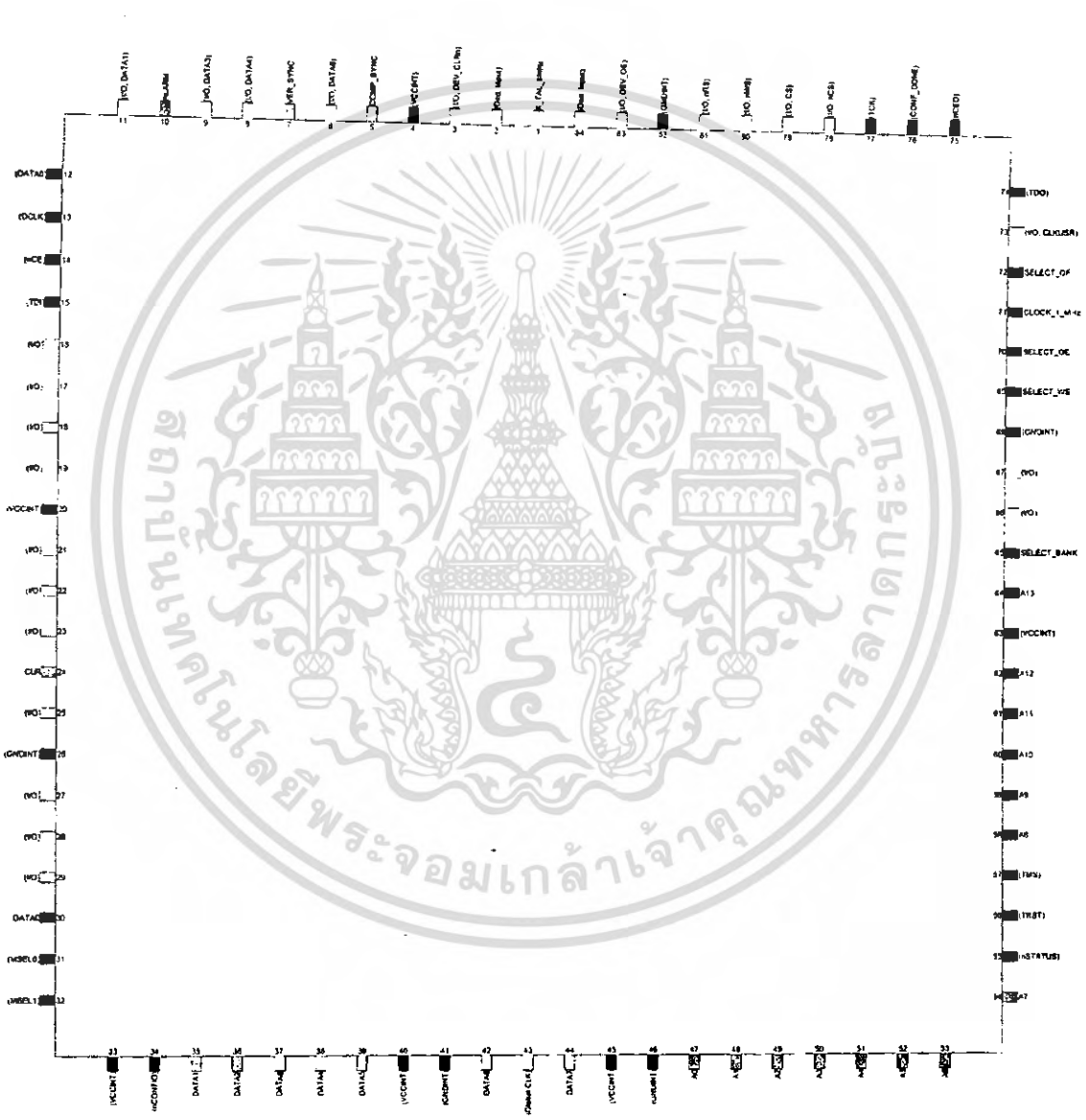
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรของบอร์ด WIZARD FLEX-D01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดขาเอาท์พุทและอินพุท (I/O) ให้กับ เอฟพีจีเอ เบอร์ EPF10K10LC84-4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้