

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบดิจิทัลออดิโอไร้สาย

WIRELESS DIGITAL AUDIO SYSTEM



โดย

นายฉัฐพล อางสาริกรณ

นางสาวเปรมศิริ หงษ์มโนรมย์

เลขหมู่.....
เลขทะเบียน.....
วัน,เดือน,ปี..2..2...ค.ศ..2550

b. 11คท 1๑3๕
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WIRELESS DIGITAL AUDIO SYSTEM

BY

Mr. NATTAPON ARTSARIKRON

Miss. PREMSIRI HONGMANOROM



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF
THE REQUIREMENT FOR THE DEGREE OF
BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ระบบดิจิทัลออกดีไอไร้สาย
ชื่อนักศึกษา นายณัฐพล อางสาริกรณั์ รหัสประจำตัว 46010216
นางสาวเปรมศิริ หงษ์มโนรมย์ รหัสประจำตัว 46010467
อาจารย์ที่ปรึกษา ผศ. ดลชัย สุขเจริญผล
ระดับการศึกษา ปริญญาตรี วิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมสารสนเทศ
ภาควิชา วิศวกรรมสารสนเทศ
ปีการศึกษา 2549

ปริญญานิพนธ์นี้ได้รับความเห็นชอบจากอาจารย์ที่ปรึกษาเป็นที่เรียบร้อยแล้ว

(ผศ. ดลชัย สุขเจริญผล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	ระบบดิจิทัลออดิโอไร้สาย
โดย	นายณัฐพล อางสาริกรณั เลขประจำตัว 46010216 นางสาวเปรมศิริ หงษ์มโนรมย์ เลขประจำตัว 46010467
อาจารย์ที่ปรึกษา	ผศ.คณชัย สุขเจริญผล
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2549

บทคัดย่อ

โครงการนี้เป็นการศึกษาและออกแบบระบบดิจิทัลออดิโอไร้สาย โดยแบ่งออกเป็น 2 ส่วน คือ ภาควิชาสัญญาณและภาควิชาการรับสัญญาณ ที่ภาควิชาสัญญาณเป็นการนำสัญญาณเสียงอนาล็อก (Analog audio signal) ซึ่งแบ่งออกเป็น 2 ช่องสัญญาณคือ ช่องด้านซ้าย (Left channel) และช่องด้านขวา (Right channel) มาแปลงเป็นสัญญาณดิจิทัล แล้วนำสัญญาณในแต่ละช่องที่ได้มาทำการมอดูเลตกับคลื่นพาห้ (Carrier signal) เพื่อส่งออกในรูปแบบการสื่อสารไร้สาย โดยเลือกใช้คลื่นวิทยุย่านความถี่ UHF (Ultra High Frequency) เพื่อให้วงจรมีขนาดเล็ก และที่ภาควิชาการรับสัญญาณของแต่ละช่อง สัญญาณวิทยุที่ถูกส่งมาจะถูกทำการดีมอดูเลชัน (Demodulation) ได้เป็นสัญญาณดิจิทัลแบบสแอมเปิ้ลและจะถูกนำมาขยายกำลังด้วยวงจรขยายกำลังสัญญาณดิจิทัลออดิโอ (Digital Audio Power Amplifier) ซึ่งใช้หลักการของการมอดูเลตเชิงความกว้างพัลส์ (Pulse-Width Modulation) และกรองสัญญาณฮาร์โมนิกความถี่สูงเหนือย่านออดิโอออกด้วยวงจรกรองความถี่ต่ำผ่าน (Low-pass filter) แล้วป้อนออกระบบลำโพง (Loudspeaker systems)

Thesis Title	Wireless Digital Audio System		
Student	Mr. NATTAPON	ARTSARIKRON	ID. 46010216
	Miss. PREMSIRI	HONGMANOROM	ID. 46010467
Advisor	Asst. Prof. DOLCHAI SOOKCHAROENPHOL		
Graduate Level	Bachelor Degree of Information Engineering		
Department	Information Engineering		
Academic Year	2006		

Abstract

This project is design and implementation of wireless digital audio system. The system consists of two parts, first part is transmitter and the other is receiver. At transmitter the analog audio signal is separated to left channel and right channel before converted to digital signal by analog-to-digital converter. The converted signals are modulated with carrier signals and transmit via wireless channel. For portable support, antennas and circuits size can be reduced by using the carrier frequency in UHF Band. The received signal is amplified by RF amplifier and the digital baseband signal is obtained by demodulator. The digital audio signal is amplified by digital power amplifier base on PWM principle before feed to loudspeaker system and the higher harmonic signal over the audio band is rejected by low-pass filter.

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้สำเร็จลุล่วงไปได้ ทั้งนี้ต้องขอบพระคุณอาจารย์คชชัย สุขเจริญผล เป็นอย่างสูง ที่กรุณาให้คำแนะนำและเป็นที่ปรึกษา และขอขอบคุณพี่เจตน์ (คุณเจตน์ ออสวัสดิ์) ที่ได้เอื้อเฟื้ออุปกรณ์ต่างๆ ตลอดจนคำแนะนำและเทคนิคในการออกแบบวงจรแก่ผู้เขียน

ขอบพระคุณบิดาและมารดา ที่เป็นผู้เลี้ยงดูอบรมสั่งสอน ตลอดจนให้โอกาสทางการศึกษา รวมถึงทุนทรัพย์เพื่อใช้ในการศึกษาและทดลองสิ่งต่างๆ และเป็นกำลังใจให้ผู้เขียนตลอดมาจนทำให้สามารถฝ่าฟันอุปสรรคและความยากลำบากต่างๆ จนปริญญาบัตรฉบับนี้ประสบความสำเร็จ

คณะผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญภาพ	ช
สารบัญตาราง	ฅ
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์	1
1.3 ขอบเขตของโครงการ	1
1.4 ภาพแสดงการระบบการทำงาน	2
1.5 ขั้นตอนการทำโครงการ	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	4
2.1 การส่งสัญญาณดิจิทัลของสัญญาณอนาล็อก	4
2.1.1 บทนำ	4
2.1.2 การมอดูเลตแบบเข้ารหัสพัลส์ (PCM : Pulse Code Modulation)	4
2.1.3 ทฤษฎีการสุ่ม (Sampling Theory)	5
2.1.3.1 สัญญาณจำกัดแบนด์ (Band Limit)	5
2.1.3.2 ทฤษฎีการสุ่ม (Sampling Theory)	5
2.1.4 การสุ่ม (Sampling)	6
2.1.4.1 การสุ่มชั่วขณะ (Instantaneous Sampling)	6
2.1.4.2 สัญญาณสุ่มในทางอุดมคติ (Ideal Sampled Signal)	6
2.1.4.3 การสุ่มในทางปฏิบัติ (Practical Sampling)	7
2.1.4.3.1 การสุ่มแบบธรรมชาติ (Natural Sampling)	7
2.1.4.3.2 การสุ่มแบบส่วนยอดราบเรียบ (Flat-Top Sampling)	7
2.1.5 การควอนไทซ์ (Quantizing)	8
2.1.5.1 การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantizing)	8
2.1.5.2 สัญญาณรบกวนที่เกิดจากการควอนไทซ์ (Quantizing Noise)	9
2.1.5.3 การควอนไทซ์แบบนอนยูนิฟอร์มและการบีบอัดสัญญาณ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Non-uniform Quantizing and Comanding)	10
2.1.6 การเข้ารหัส (Encoding)	12
2.1.7 เบนด์วิดท์ในการส่งสัญญาณพีซีเอ็ม (PCM)	12
2.2 วงจรขยายเสียงคลาส-ดี (Class-D Amplifier)	13
2.2.1 บทนำ	13
2.2.2 โครงสร้างของวงจรขยายเสียงคลาสดี	14
2.3 การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation)	15
2.3.1 การสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์	16
2.3.2 ชนิดของการมอดูเลตเชิงความกว้างพัลส์	17
2.4 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)	18
2.5 ซีพียูแอลดี (CPLD)	19
2.6 โมดูลที่อาร์คดับบลิว 24G (TRW-24G Module)	20
บทที่ 3 การออกแบบ	22
3.1 การออกแบบวงจรภาคส่งสัญญาณ	22
3.1.1 การออกแบบวงจรขยายสัญญาณเสียงอินพุทและวงจรขยายสัญญาณ ไมโครโฟน	22
3.1.2 การออกแบบวงจรผสมสัญญาณ	23
3.1.3 กระบวนการทำงานของวงจรภาคส่งสัญญาณ	23
3.2 การออกแบบวงจรภาครับสัญญาณ	25
3.2.1 กระบวนการทำงานของวงจรภาครับสัญญาณ	25
3.2.2 การออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์	27
3.2.2 การออกแบบวงจรจับลำโพง	28
3.2.3 การออกแบบวงจรกรองความถี่	28
บทที่ 4 ผลการทดลอง	30
4.1 การทดลองวัดสัญญาณเอาท์พุทจากวงจรมอดูเลตเชิงความกว้างพัลส์	30
4.1.1 จุดประสงค์ของการทดลอง	30
4.1.2 วิธีการทดลอง	30
4.1.3 ผลการทดลอง	30
4.2 การทดลองวัดสัญญาณที่ลำโพงเมื่อไม่มีสัญญาณอินพุท	31
4.2.1 จุดประสงค์ของการทดลอง	31
4.2.2 วิธีการทดลอง	31
4.2.3 ผลการทดลอง	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองวัดสัญญาณที่ลำโพงเมื่อมีสัญญาณอินพุท	32
4.3.1 จุดประสงค์ของการทดลอง	32
4.3.2 วิธีการทดลอง	32
4.3.3 ผลการทดลอง	32

บทที่ 5 สรุป 40

บรรณานุกรม

ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
บทที่ 1	
รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานของระบบดิจิทัลออโตโอไรส์สาย	2
บทที่ 2	
รูปที่ 2.1 การมอดูเลตแบบเข้ารหัสพัลส์	4
รูปที่ 2.2 สัญญาณที่ได้จากการสุ่มในอุดมคติ	6
รูปที่ 2.3 กระบวนอิมพัลส์หนึ่งหน่วย	6
รูปที่ 2.4 สัญญาณในอุดมคติ	7
รูปที่ 2.5 การสุ่มแบบธรรมชาติ	7
รูปที่ 2.6 การสุ่มแบบราบเรียบ	8
รูปที่ 2.7 การควอนไทซ์แบบยูนิฟอร์ม	9
รูปที่ 2.8 การควอนไทซ์แบบนอนยูนิฟอร์ม	10
รูปที่ 2.9 คุณลักษณะของตัวบีบสัญญาณ	11
รูปที่ 2.10 พีซีเอ็มแบบไบนารี (Binary PCM)	12
รูปที่ 2.11 บล็อกไดอะแกรมวงจรมอดูเลตสัญญาณคลาสสิก	14
รูปที่ 2.12 โครงสร้างของวงจรมอดูเลตสัญญาณคลาสสิกแบบฮาร์ฟบริจด์	14
รูปที่ 2.13 โครงสร้างของวงจรมอดูเลตสัญญาณคลาสสิกแบบฟูลบริจด์	15
รูปที่ 2.14 แสดงการมอดูเลตเชิงความกว้างพัลส์	15
รูปที่ 2.15 สเปกตรัมของการมอดูเลตเชิงความกว้างพัลส์	16
รูปที่ 2.16 การเปรียบเทียบสัญญาณอินพุท กับสัญญาณพาห์	16
รูปที่ 2.17 สัญญาณคลื่นพาห์สำหรับการมอดูเลตเชิงความกว้างพัลส์	17
รูปที่ 2.18 (บน) แสดงรูปของ The Lead Edge Modulation (กลาง) แสดงรูปของ The Trail Edge Modulation (ล่าง) แสดงรูปของ The Pulse Center Modulation	18
รูปที่ 2.19 ผลตอบสนองทางขนาดของวงจรมอดูเลตที่ต่ำผ่าน	18
รูปที่ 2.20 วงจรกรองความถี่ต่ำผ่านอย่างง่ายแบบวงจรรออาร์ซี	19
รูปที่ 2.21 ขั้นตอนการออกแบบวงจรมอดูเลต	19
รูปที่ 2.22 ซีพีแอลซีแบบ 2500 เกท	20
รูปที่ 2.23 โมดูลที่อาร์ดับบลิว 24จี (TRW-24G Module)	21

บทที่ 3

รูปที่ 3.1	บล็อกไดอะแกรมของภาคส่งสัญญาณ	22
รูปที่ 3.2	วงจรมอดูเลเตอร์สัญญาณเสียงอินพุท	22
รูปที่ 3.3	วงจรมอดูเลเตอร์สัญญาณไมโครโฟน	23
รูปที่ 3.4	วงจรมอดูเลเตอร์สัญญาณ	23
รูปที่ 3.5	แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาคส่ง	24
รูปที่ 3.6	การจัดเก็บข้อมูลของบัฟเฟอร์ที่ภาคส่ง	25
รูปที่ 3.7	บล็อกไดอะแกรมการทำงานของภาครับสัญญาณ	25
รูปที่ 3.8	แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาครับ	26
รูปที่ 3.9	การจัดเก็บข้อมูลของบัฟเฟอร์ที่ภาครับ	27
รูปที่ 3.10	วงจรมอดูเลเตอร์เชิงความกว้างพัลส์	27
รูปที่ 3.11	วงจรมอดูเลเตอร์แบบเฮซ-บริดจ์	28
รูปที่ 3.12	วงจรมอดูเลเตอร์ความถี่ต่ำผ่าน	28

บทที่ 4

รูปที่ 4.1	สัญญาณเอาต์พุทที่สร้างจากวงจรมอดูเลเตอร์เชิงความกว้างพัลส์	30
รูปที่ 4.2	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนไฟตรง 0 V	31
รูปที่ 4.3	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10 Hz	33
รูปที่ 4.4	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 20 Hz	33
รูปที่ 4.5	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 30 Hz	34
รูปที่ 4.6	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 40 Hz	34
รูปที่ 4.7	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 50 Hz	35
รูปที่ 4.8	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 100 Hz	35
รูปที่ 4.9	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 200 Hz	36
รูปที่ 4.10	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 500 Hz	36
รูปที่ 4.11	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 1 kHz	37
รูปที่ 4.12	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 2 kHz	37
รูปที่ 4.13	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 4 kHz	38
รูปที่ 4.14	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 6 kHz	38
รูปที่ 4.15	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 8 kHz	39
รูปที่ 4.16	สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10 kHz	39

สารบัญตาราง

	หน้า
ตารางที่ 1.1 ขั้นตอนของการทำโครงการ	3
ตารางที่ 4.1 ผลการทดลองวัดขนาดสัญญาณเมื่อป้อนความถี่ต่างๆ	32



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปฏิญญาพันธบัตรฉบับนี้มีชื่อว่า “ระบบดิจิทัลออโตรีสาย” โดยมีแนวคิดมากจากการต้องการแก้ปัญหาที่เกิดขึ้นในระบบออโตรีในปัจจุบัน เนื่องจากระบบออโตรีในส่วนใหญ่ปัจจุบันนั้นยังคงเป็นแบบใช้สายในการส่งสัญญาณ ซึ่งมักจะเกิดปัญหาต่างๆ ที่เกิดขึ้นจากการสื่อสารแบบใช้สาย ตัวอย่างเช่น การลดทอนของสัญญาณ (Attenuation), การเกิดคลอสทอล์ค (Crosstalk) ในกรณีที่มีสายส่งสัญญาณหลายเส้นถูกติดตั้งในบริเวณที่ใกล้กันมาก, การเกิดดีเลย์ (Delay) ในสายทำให้เกิดเสียงคล้ายเสียงสะท้อน ซึ่งเป็นปัญหาในการกระจายเสียงในงานพิธีการต่างๆ และการส่งสัญญาณแบบใช้สายนี้เองทำให้เกิดความยุ่งยากในการติดตั้งระบบในแต่ละครั้ง ซึ่งระบบดิจิทัลออโตรีสายนี้เป็นระบบที่จะเข้ามาแก้ปัญหาต่างๆ ที่เกิดขึ้นในการส่งสัญญาณแบบใช้สาย และสามารถนำมาประยุกต์ใช้แทนที่ระบบเสียงที่มีอยู่เดิม เช่น ระบบไมโครโฟนไร้สายที่ใช้ในการเรียนการสอนในห้องเรียน หรือในงานพิธีต่างๆ เป็นต้น โดยในโครงการนี้ได้นำความรู้ในด้านการออกแบบวงจรอิเล็กทรอนิกส์และการสื่อสารข้อมูลที่ได้ศึกษามา มาประยุกต์ใช้กับระบบดิจิทัลออโตรี โดยการทำงานของระบบเป็นการนำสัญญาณเสียงที่เป็นอนาล็อกมาทำการแปลงเป็นสัญญาณดิจิทัลโดยการสุ่มและทำการควอนไทซ์ ซึ่งสัญญาณดิจิทัลที่ได้จะถูกนำมาใส่รหัสข้อมูลเพื่อตรวจสอบความถูกต้อง จากนั้นจะถูกนำไปมอดูเลตกับสัญญาณพาห้เพื่อส่งสัญญาณไปยังภาครับ ส่วนที่ภาครับจะทำการเลือกรับสัญญาณที่ตรงกับช่องสัญญาณที่กำหนด สัญญาณที่รับได้จะถูกทำการดีมอดูเลตและถอดรหัสข้อมูลออกได้เป็นสัญญาณเสียงดิจิทัล จากนั้นจะถูกนำไปทำการขยายกำลังของสัญญาณด้วยวงจรขยายกำลังแบบดิจิทัลแล้วป้อนเข้าสู่ลำโพง

1.2 วัตถุประสงค์

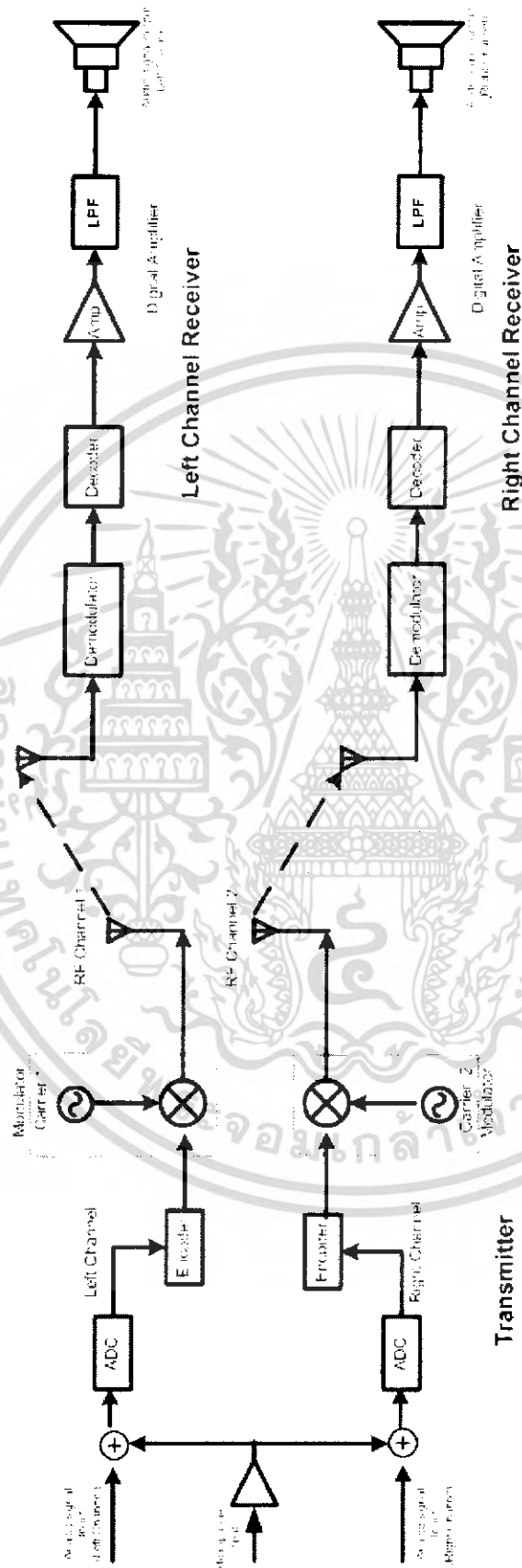
1. เพื่อแก้ปัญหาการลดทอนของสัญญาณในสายส่ง การเกิดเสียงคล้ายเสียงสะท้อนจากการหน่วงเวลา (Delay) ของสัญญาณในสายส่ง และการรบกวนจากการเหนี่ยวนำ (Inductive Interference) ที่เกิดขึ้นในสายส่ง
2. สามารถส่งสัญญาณเสียงในรูปแบบข้อมูลดิจิทัลได้
3. สามารถส่งสัญญาณเสียงในรูปแบบไร้สายได้

1.3 ขอบเขตของโครงการ

1. สร้างตัวรับส่งสัญญาณเสียงในรูปแบบข้อมูลดิจิทัลในระบบสื่อสารไร้สายระยะใกล้
2. สร้างตัวควบคุมและประมวลผลสัญญาณต่างๆด้วยไมโครคอนโทรลเลอร์
3. สร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์(PWM) บนชิพซีพีแอลดี (CPLD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ภาพแสดงระบบการทำงาน



รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานของระบบดิจิทัลสเตอริโอไร้สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทำโครงการแบ่งออกเป็น 5 ขั้นตอน คือ การกำหนดปัญหาที่จะทำการศึกษา การออกแบบวงจรรับ-ส่งสัญญาณ ทำการทดลองในภาคทฤษฎี ศึกษาปัญหาที่เกิดขึ้นในวงจรเพื่อทำการแก้ไขและปรับปรุง และการทำปริญญานิพนธ์ โดยช่วงเวลาในการทำขั้นตอนต่างๆ ได้แสดงไว้ในตารางที่ 1.1

ตารางที่ 1.1 ขั้นตอนของการทำโครงการ

ขั้นตอนของการทำโครงการ	ช่วงระยะเวลา						
	2549						2550
	มิ.ย.	ก.ค.	ส.ค.	ก.ย.	ต.ค.	พ.ย.	ธ.ค.
1. กำหนดปัญหาที่จะทำการศึกษา	←	→					
2. ออกแบบวงจรรับ-ส่งสัญญาณ		←	→				
3. ทำการทดลองในภาคทฤษฎี			←	→			
4. ศึกษาปัญหาที่เกิดขึ้นในวงจรเพื่อทำการแก้ไข และปรับปรุงวงจร				←	→		
5. การทำปริญญานิพนธ์				←	→		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 การส่งสัญญาณดิจิทัลของสัญญาณอนาล็อก

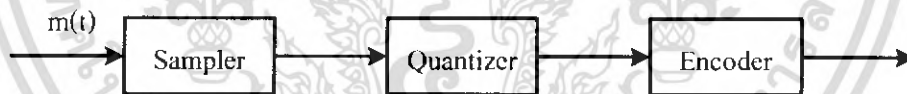
2.1.1 บทนำ

แนวโน้มการพัฒนาของระบบสื่อสารสมัยใหม่ ได้มุ่งไปสู่ระบบดิจิทัลเพิ่มมากขึ้นเรื่อย ๆ เพราะการสื่อสารแบบดิจิทัลนั้นมีข้อดีมากกว่าระบบการสื่อสารแบบอนาล็อกอย่างมากมาย อาทิ เช่น มีประสิทธิภาพมากกว่า และมีความปลอดภัยสูงกว่าเมื่อเทียบกับระบบสื่อสารแบบอนาล็อก

แต่ข้อมูลข่าวสารที่มนุษย์สามารถรับรู้และเข้าใจได้ จะต้องเป็นในรูปแบบอนาล็อกเท่านั้น เช่น สัญญาณเสียง สัญญาณภาพ ดังนั้นการส่งสัญญาณประเภทนี้ในรูปของสัญญาณอนาล็อกเป็นดิจิทัลหรือเอดีซี (ADC : Analog to Digital Conversion) หรือในบางครั้งเรียกว่า การมอดูเลตแบบดิจิทัลพัลส์ (Digital Pulse Modulation) ซึ่งในเทคนิคในการแปลงสัญญาณอนาล็อกเป็นดิจิทัลมี 2 แบบ คือการมอดูเลตแบบเข้ารหัสพัลส์ (Pulse Code Modulation) และการมอดูเลตแบบเดลตา (Delta modulation)

2.1.2 การมอดูเลตแบบเข้ารหัสพัลส์ (PCM : Pulse Code Modulation)

กระบวนการที่จำเป็นสำหรับพีซีเอ็ม ประกอบด้วยการสุ่ม (Sampling), การควอนไทซ์ (Quantizing), การเข้ารหัส (Encoding) ซึ่งแสดงดังรูปที่ 2.1



รูปที่ 2.1 การมอดูเลตแบบเข้ารหัสพัลส์

การสุ่ม (Sampling) คือ กระบวนการที่สัญญาณอนาล็อกที่มีความต่อเนื่องทางเวลาถูกสุ่มแล้วจะได้ค่าแอมพลิจูดชั่วขณะออกมา (Discrete Instant)

การควอนไทซ์ (Quantizing) คือ การแทนค่าแอมพลิจูดชั่วขณะที่ได้จากการสุ่มด้วยกลุ่มของระดับ (Set of Level) ที่มีจำนวนจำกัดแน่นอน

การเข้ารหัส (Coding) คือ การเข้ารหัสสัญญาณของแต่ละระดับที่ได้จากการควอนไทซ์ การสุ่มจะเปลี่ยนแปลงสัญญาณที่มีความต่อเนื่องทางเวลา ไปเป็นสัญญาณที่ไม่มีความต่อเนื่องทางเวลา ส่วนการควอนไทซ์จะเปลี่ยนค่าแอมพลิจูดที่มีความต่อเนื่องไปเป็นสัญญาณที่ไม่มี

แอมพลิจูดต่อเนื่อง ดังนั้นกระบวนการสุ่มรวมกับกระบวนการ ควอนไทซ์คือ การเปลี่ยนสัญญาณอนาล็อกไปเป็นสัญญาณดิจิทัล

โดยทั่วไปแล้ว การควอนไทซ์ และการเข้ารหัสจะมิ่วงจรการทำงานร่วมกัน เรียกว่าวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter) และการรวมเข้าด้วยกันของการควอนไทซ์กับการเข้ารหัสทำให้ได้การมอดูเลตแบบเข้ารหัสพัลส์ (PCM) แตกต่างไปจากการมอดูเลตแบบพัลส์อนาล็อกทั่วไป (Analog Pulse Modulation)

ในส่วนที่จะกล่าวถึงต่อไปนี้ เราจะเรียนรู้ถึงกระบวนการทั้ง 3 ขั้นตอนของการมอดูเลตเชิงรหัสพัลส์ (PCM) เป็นหลัก

2.1.3 ทฤษฎีการสุ่ม (Sampling Theory)

การส่งสัญญาณดิจิทัลของสัญญาณอนาล็อก สามารถอธิบายด้วยทฤษฎีของการสุ่ม (Sampling Theorem) และกระบวนการสุ่มที่เกิดขึ้นก็ต้องสอดคล้องกับทฤษฎีการสุ่มเช่นกัน

2.1.3.1 สัญญาณจำกัดแบนด์ (Band limit)

สัญญาณจำกัดแบนด์ (Band limit) คือ สัญญาณ $m(t)$ ใด ๆ ที่มีค่าจากการแปลงฟูเรียร์ $m(t)$ ในเมเนควมที่มีค่าเป็นศูนย์ ที่ความถี่ที่สูงกว่า ω_M เขียนในรูปสมการได้เป็น

$$m(t) \leftrightarrow M(\omega) = 0 \quad \text{เมื่อ } |\omega| > \omega_M = 2\pi f_M \quad (2.1)$$

2.1.3.2 ทฤษฎีการสุ่ม (Sampling Theory)

ถ้าสัญญาณ $m(t)$ มีค่าจริงและเป็นสัญญาณจำกัดแบนด์ตามเงื่อนไขในสมการ (2.1) แล้วสัญญาณ $m(t)$ นั้นสามารถหาค่าได้จากค่าการสุ่ม คือ $m(nT_s)$ ที่ถูกสุ่มในช่วงยูนิฟอร์ม $T_s \left[\leq \frac{1}{2f_M} \right]$

ในความเป็นจริง แล้วสัญญาณ $m(t)$ สามารถเขียนอยู่ในรูปสมการข้างล่างนี้ได้คือ

$$m(t) = \sum m(nT_s) \frac{\sin \omega_M (t - nT_s)}{\omega_M (t - nT_s)} \quad (2.2)$$

เมื่อ T_s หมายถึง คาบเวลาของการสุ่ม (Sampling Period) และส่วนกลับของ T_s คือ $f_s = \frac{1}{T_s}$

หมายถึงอัตราการสุ่ม (Sampling Rate) หรือความถี่ในการสุ่ม (Sampling frequency)

ทฤษฎีการสุ่ม กล่าวว่า สัญญาณจำกัดแบนด์ที่ไม่มีส่วนประกอบของความถี่ที่สูงกว่า f_M สามารถทำให้กลับคืนมาได้อย่างสมบูรณ์จากร้อยการสุ่มที่มากกว่าหรือเท่ากับ 2 เท่าของ $f_s (\geq 2 f_M)$ การสุ่มต่อวินาที (Sample/second)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสุ่มข้างบนบางครั้งเรียกว่า ทฤษฎีการสุ่มแบบยูนิฟอร์ม (Uniform Sampling Theorem) สำหรับสัญญาณเบสแบนด์ (Baseband) หรือสัญญาณความถี่ต่ำ

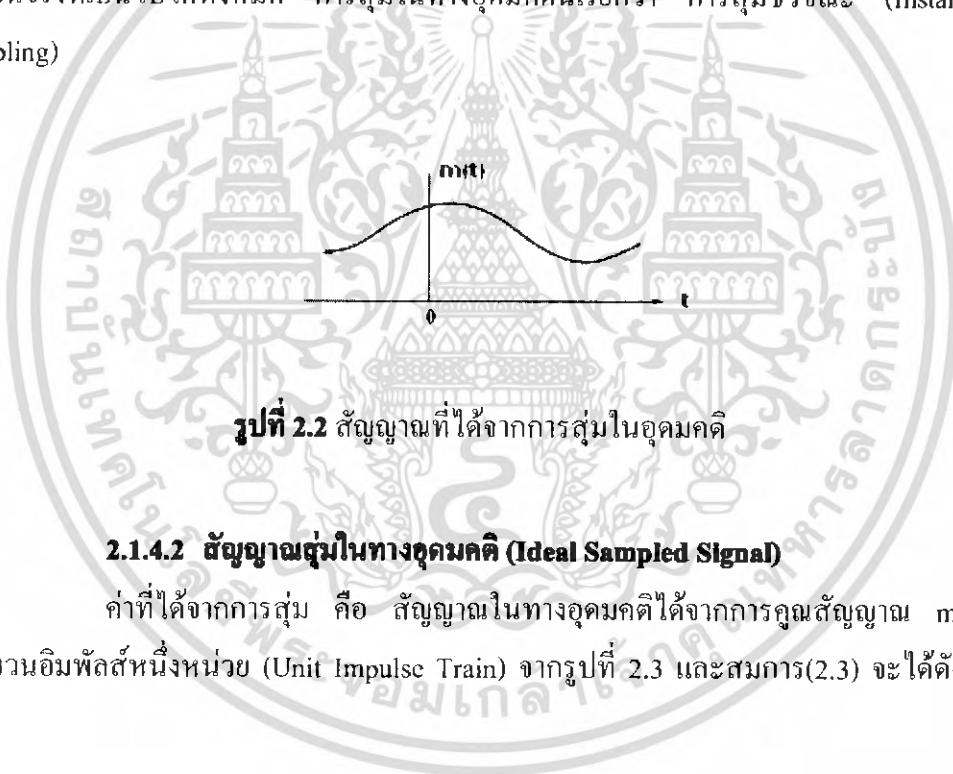
อัตราสุ่มที่มีค่าเป็น $2f_M$ การสุ่มต่อวินาที (อัตราขั้นต่ำสุด) เรียกว่า อัตราไนควิสต์ (Nyquist Rate) มีส่วนกลับเป็น $\frac{1}{2f_M}$ (วินาที) เรียกว่า ช่วงไนควิสต์ (Nyquist Interval)

อย่างไรก็ตามการสุ่มสัญญาณที่มีลักษณะเป็นแบนด์พาส (Bandpass) ในบางครั้งอัตราสุ่มสามารถมีค่าต่ำกว่า $2f_M$ ได้

2.1.4 การสุ่ม (Sampling)

2.1.4.1 การสุ่มชั่วขณะ (Instantaneous Sampling)

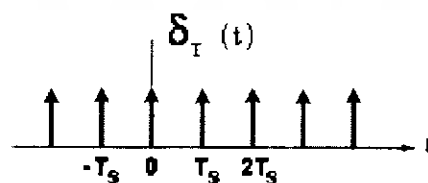
สมมติให้สัญญาณ $m(t)$ ใด ๆ (รูปที่ 2.2) ถูกสุ่มในช่วงด้วยอัตราที่เท่ากัน (Uniform rate) ทุก ๆ T_s วินาที เราจะได้ค่าซีเคิร์นของสุ่มเป็นจำนวนอนันต์คือ $[m(nT_s)]$ เมื่อ n คือจำนวนจริงที่เป็นไปได้ทั้งหมด การสุ่มในทางอุดมคตินี้เรียกว่า การสุ่มชั่วขณะ (Instantaneous Sampling)



รูปที่ 2.2 สัญญาณที่ได้จากการสุ่มในอุดมคติ

2.1.4.2 สัญญาณสุ่มในทางอุดมคติ (Ideal Sampled Signal)

ค่าที่ได้จากการสุ่ม คือ สัญญาณในทางอุดมคติได้จากการคูณสัญญาณ $m(t)$ กับ กระบวนอิมพัลส์หนึ่งหน่วย (Unit Impulse Train) จากรูปที่ 2.3 และสมการ(2.3) จะได้ดังสมการ (2.4)



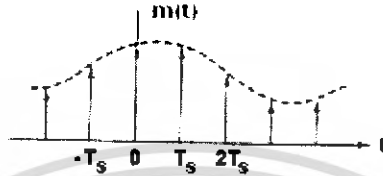
รูปที่ 2.3 กระบวนอิมพัลส์หนึ่งหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i\delta'(t) = -\delta(t) \quad (2.3)$$

$$m_s(t) = m(t)\delta_{T_s}(t) = \sum_{n=-\infty}^{\infty} m(nT_s)\delta(t-nT_s) \quad (2.4)$$

สัญญาณในรูปที่ 2.3 หมายถึง สัญญาณในอุดมคติ (Ideal Sampling)



รูปที่ 2.4 สัญญาณในอุดมคติ

2.1.4.3 การสุ่มในทางปฏิบัติ (Practical Sampling)

2.1.4.3.1 การสุ่มแบบธรรมชาติ (Natural Sampling)

ถึงแม้การสุ่มช่วงจะเป็นรูปแบบจำลองที่นิยมใช้เพื่ออธิบายหลักการสุ่มก็ตาม แต่ในทางปฏิบัติแล้วการสุ่มสัญญาณจำกัดแบนด์คอนสตรัคชัน $m(t)$ สามารถทำได้โดยวงจรสวิทช์ความเร็วสูง ซึ่งมีวงจรสมมูลและสัญญาณที่ถูกสุ่มตามรูปที่ 2.5 (a) และ (b) ตามลำดับ



รูปที่ 2.5 การสุ่มแบบธรรมชาติ

สัญญาณที่ได้จากการสุ่ม สามารถเขียนได้เป็น

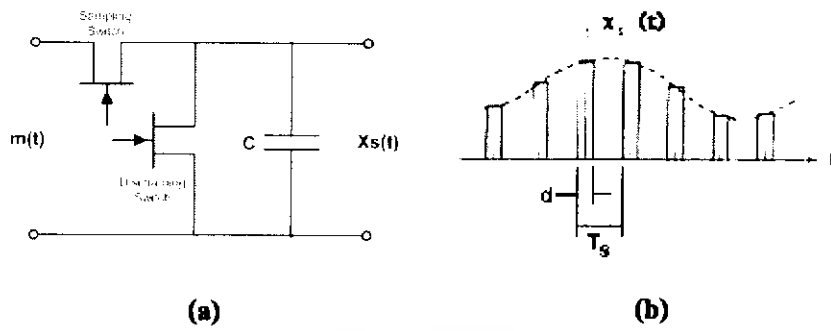
$$x_{ns}(t) = m(t)x_p(t) \quad (2.5)$$

เมื่อ $x_p(t)$ คือกระบวนการพัลส์สี่เหลี่ยมที่มีคาบเวลาเป็น T_s มีความกว้างของพัลส์เป็น d และแอมพลิจูดขนาดหนึ่งหน่วยที่ถูกสุ่มนั่นเอง

2.1.4.3.2 การสุ่มแบบช่วงยอดราบเรียบ (Flat-top Sampling)

เป็นวิธีการสุ่มที่ธรรมดาและนิยมใช้ที่สุด โดยใช้วงจร S/H (Sampled-and-Hold circuit) ในรูปที่ 2.6 (a) และสัญญาณที่ได้จากการสุ่มแสดงในรูปที่ 2.6 (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 การสุ่มแบบราบเรียบ

2.1.5 การควอนไทซ์ (Quantizing)

2.1.5.1 การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantizing)

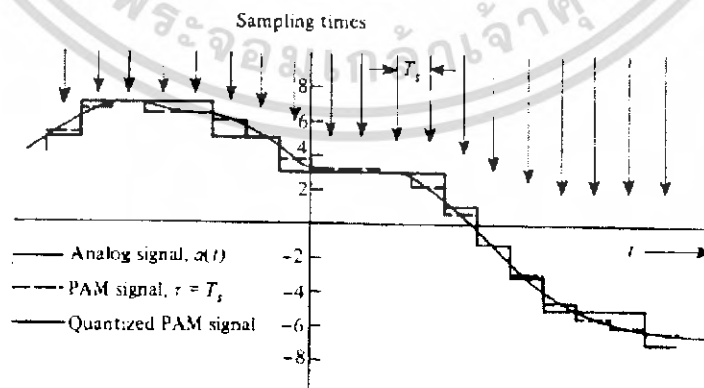
ตัวอย่างของกระบวนการควอนไทซ์แสดงในรูปที่ 2.7 ซึ่งเราจะสมมติให้แอมพลิจูดของสัญญาณ $m(t)$ ถูกจำกัดค่าอยู่ในช่วง $(-m_p, m_p)$ และช่วงนี้จะถูกแบ่งออกเป็น L ส่วน แต่ละส่วนจะมีขนาดของสเต็ป (Step Size) เป็น

$$\Delta = \frac{2m_p}{L} \quad (2.6)$$

โดยค่าแอมพลิจูดที่ได้จากการสุ่มจะมีค่าโดยประมาณตรงจุดกึ่งกลางของช่วงดังรูปที่

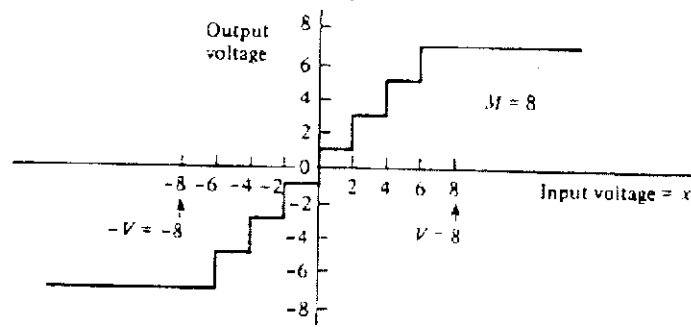
2.7(a)

คุณลักษณะแสดงความสัมพันธ์ระหว่างอินพุท-เอาต์พุทของการควอนไทซ์แบบยูนิฟอร์มแสดงในรูปที่ 2.7 (b)



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูปที่ 2.7 การควอนไทซ์แบบยูนิฟอร์ม

2.1.5.2 สัญญาณรบกวนที่เกิดจากการควอนไทซ์ (Quantizing Noise)

จากหลักการควอนไทซ์จะเห็นว่าสัญญาณอินพุต (ก่อนควอนไทซ์) จะแตกต่างกับสัญญาณเอาต์พุต (หลังจากการควอนไทซ์) ซึ่งเป็นสาเหตุให้มีการผิดพลาดเกิดขึ้น เราเรียกว่าการผิดพลาดจากการควอนไทซ์ (Quantizing error) หรือสัญญาณรบกวนจากการควอนไทซ์ (Quantize noise)

สัญญาณอินพุตที่เข้ามาจัดว่าเป็นสัญญาณแบบแรนดัม (Random Signal) นั่นคือทำให้การผิดพลาดจากการควอนไทซ์เกิดขึ้นในลักษณะสุ่ม (random) ในช่วงนั้นด้วย คือ

$$-\frac{\Delta}{2} \leq q_e \leq \frac{\Delta}{2} \quad (2.7)$$

สมมติให้การผิดพลาดจากการควอนไทซ์นี้มีโอกาสเกิดขึ้นได้อย่างเท่าเทียมกันในช่วง $(-\frac{\Delta}{2}, \frac{\Delta}{2})$ ค่าเฉลี่ยกำลังสองของค่าผิดพลาดหาได้จาก

$$\langle q_e^2 \rangle = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} q_e^2 dq_e = \frac{\Delta^2}{12} \quad (2.8)$$

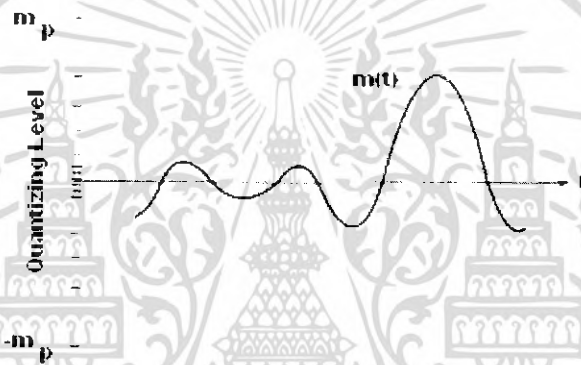
แทนค่า Δ ในสมการ (2.6) ในสมการ (2.8) เราจะได้ว่า

$$\langle q_e^2 \rangle = \frac{m^2}{3L^2} \quad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

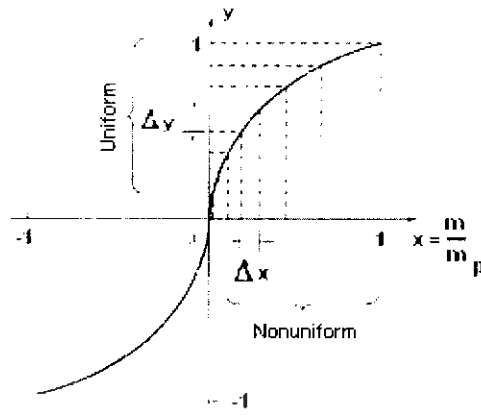
2.1.5.3 การควอนไทซ์แบบนอนยูนิฟอร์มและการบีบอัดสัญญาณ (Non-uniform Quantizing and Companding)

การควอนไทซ์แบบยูนิฟอร์ม ไม่มีประสิทธิภาพที่ดีพอกับสัญญาณบางประเภทเพื่อการส่งสัญญาณแบบดิจิทัล เช่น สัญญาณเสียงพูดในระบบโทรศัพท์ เป็นต้น เพราะขนาดแอมพลิจูดของสัญญาณเสียงส่วนมากมีขนาดเล็กกว่าขนาดใหญ่ ทำให้การควอนไทซ์ในระดับที่สูงขึ้นไปไม่มีโอกาสได้ใช้เพราะการควอนไทซ์แบบยูนิฟอร์มจะแบ่งระดับในการควอนไทซ์เท่า ๆ กันหมด การแก้ปัญหาดังกล่าวทำได้โดยการแบ่งระดับของการควอนไทซ์ให้มีขนาดเล็กในช่วงที่มีแอมพลิจูดที่มีขนาดเล็ก และให้ระดับการควอนไทซ์มีขนาดใหญ่ขึ้นเมื่อสัญญาณเสียงมีแอมพลิจูดสูงขึ้น (ซึ่งโอกาสเช่นนี้มีน้อยมาก) การควอนไทซ์แบบนี้เรียกว่า การควอนไทซ์แบบนอนยูนิฟอร์ม (Non-uniform Quantizing) ซึ่งแสดงดังรูปที่ 2.8



รูปที่ 2.8 การควอนไทซ์แบบนอนยูนิฟอร์ม

การบีบสัญญาณ (Compressing Signal) แล้วตามด้วยการควอนไทซ์แบบยูนิฟอร์มได้ผลเหมือนกับการควอนไทซ์แบบนอนยูนิฟอร์ม (และก็เป็นวิธีที่นิยมใช้ด้วย) คุณลักษณะของความสัมพันธ์ระหว่างอินพุต-เอาต์พุตของตัวบีบสัญญาณแสดงในรูปที่ 2.9 ซึ่งในแนวนอน (แกน x) คือ ค่าออร์มาไลซ์ของสัญญาณอินพุต (คือ m/m_p) ส่วนแกนแนวตั้ง (แกน y) คือสัญญาณเอาต์พุตของตัวบีบสัญญาณโดยบีบสัญญาณจะทำการแมพ (Mapping) สัญญาณที่มีขนาดเล็กไปเป็นเอาต์พุต Δy ให้มีขนาดใหญ่ขึ้น ในทางกลับกันก็จะทำการแมพสัญญาณอินพุตที่มีการเปลี่ยนแปลงมาก ๆ ไปเป็นเอาต์พุต Δy ให้มีขนาดเล็กลง



รูปที่ 2.9 คุณลักษณะของตัวบีบสัญญาณ

กฎของการบีบสัญญาณ (Compression Law) ที่ใช้ในเชิงปฏิบัติ แถบทวีปอเมริกาเหนือและญี่ปุ่นคือ กฎมิว (μ law) ซึ่งมีนิยามดังนี้

$$y = \frac{\ln(1 + \mu \left| \frac{m}{m_p} \right|)}{\ln(1 + \mu)} \operatorname{sgn}(m) \quad \text{โดยที่} \quad \left| \frac{m}{m_p} \right| \leq 1 \quad (2.10)$$

เมื่อ μ คือค่าคงที่มีค่าเป็นบวก และ $\operatorname{sgn}(m) = \begin{cases} +1 & m > 0 \\ -1 & m < 0 \end{cases}$

ในแถบประเทศยุโรปและส่วนอื่นของโลกที่ได้กล่าวไปแล้วจะได้กฎเอ (A Law) ในการส่งสัญญาณแบบพีซีเอ็ม (PCM) (รวมทั้งประเทศไทยเราด้วย) ซึ่งกฎ A มีนิยามเป็น

$$y = \begin{cases} \frac{A \left(\frac{m}{m_p} \right)}{1 + \ln A} & \left| \frac{m}{m_p} \right| \leq \frac{1}{A} \\ \frac{(1 + \ln A \left| \frac{m}{m_p} \right|)}{1 + \ln A} \operatorname{sgn}(m) & \frac{1}{A} \leq \left| \frac{m}{m_p} \right| \leq 1 \end{cases} \quad (2.11)$$

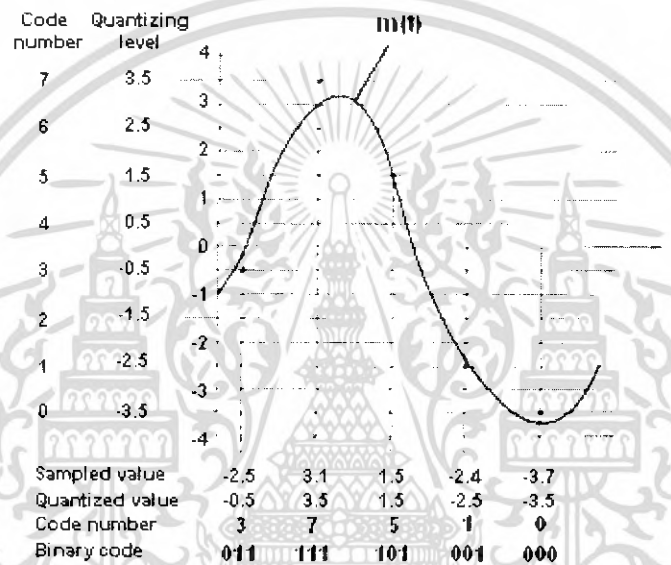
โดยในกฎมิว (μ Law) นั้นค่า $\mu = 255$ และกฎเอ (A law) ค่าของ $A = 87.6$ ซึ่งเป็นค่าที่ใช้จริงในทางปฏิบัติ สาเหตุที่ค่าเหล่านี้ซึ่งถูกเลือกมาใช้งานเพราะจะทำให้ค่าของสัญญาณต่อสัญญาณรบกวนจากการควอนไทซ์ (Signal-to-Quantizing Ratio) เป็นค่าคงที่ตลอดช่วงเวลาที่สัญญาณอินพุตมีกำลังย่านไดนามิก (Dynamic Range) เป็น 40 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการบีบสัญญาณจะกระทำที่ด้านส่ง ดังนั้นจะต้องมีการทำให้สัญญาณกลับมาเหมือนเดิมที่ด้านรับ ซึ่งเรียกว่า การยืดสัญญาณ (Expansion) ซึ่งเป็นการกระทำที่ตรงข้ามกับการบีบสัญญาณที่ด้านส่ง โดยทั่ว ๆ ไปแล้วการสื่อสารจะเกิดขึ้นทั้ง 2 ทิศทาง คือ ต้องมีทั้งตัวรับและตัวส่ง ดังนั้นการรวมกับของตัวบีบสัญญาณและตัวยืดสัญญาณ จึงเรียกว่า การคอมแพนดิง (Companding)

2.1.6 การเข้ารหัส (Coding)

ตัวเข้ารหัส (Encoder) ทำหน้าที่เป็นตัวเปลี่ยนค่าที่ได้จากการควอนไทซ์เป็นรหัสที่เป็นซีเควินของไบนารี (Binary Sequence) เพื่อเปลี่ยนเป็นสัญญาณพัลส์ที่เหมาะสมกับการส่งสัญญาณต่อไป รหัสไบนารีซีเควินแสดงในรูปที่ 2.10



รูปที่ 2.10 พืซีเอ็มแบบไบนารี (Binary PCM)

สมมติให้สัญญาณ $m(t)$ ถูกจำกัดค่าแอมพลิจูดอยู่ในช่วง -4 โวลต์ ถึง 4 โวลต์ ขนาดของสแต็ป คือ Δ มีค่าเป็น 1 โวลต์ ดังนั้นจำนวนระดับการควอนไทซ์ทั้งหมดจะมี 8 ระดับ คือ -3.5 โวลต์, -2.5 โวลต์, ..., $+3.5$ โวลต์ โดยกำหนดให้ -3.5 โวลต์ มีรหัสเป็น 0 , -2.5 โวลต์ มีรหัสเป็น 1 ไปเรื่อย ๆ จนถึง $+3.5$ โวลต์ จะมีรหัสเป็น 7 ซึ่งรหัส 0 จะมีเลขไบนารีเป็น 000 , รหัส 1 มีรหัสไบนารี 001 ไปเรื่อย ๆ จนถึงรหัส 7 ที่มีรหัสไบนารีเป็น 111 โดยที่ขนาดแอมพลิจูดของ $m(t)$ จะถูกจัดให้อยู่ในระดับของการควอนไทซ์ที่มีค่าใกล้เคียงกับค่าแอมพลิจูดที่เป็นจริงมากที่สุด (เป็นเหตุผลว่าทำไมการควอนไทซ์จึงมีสัญญาณรบกวนเกิดขึ้น)

2.1.7 แบบจำลองในการส่งสัญญาณพืซีเอ็ม (PCM)

สมมติให้ L คือจำนวนระดับของการควอนไทซ์เราจะได้ว่า

$$L = 2^n \qquad n = \log_2 L \qquad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ n คือจำนวนเต็มซึ่งหมายถึงจำนวนบิต (Bit) ของสัญญาณไบนารีพีซีเอ็ม ในการสุ่มแต่ละครั้ง ถ้าสัญญาณข้อมูลนั้นมีแบนด์วิดท์เป็น f_m และมีอัตราการสุ่มเป็น $f_s (\geq 2 f_m)$ แล้วจำนวนบิตที่ใช้ส่งสัญญาณไบนารีพีซีเอ็ม จะมีค่าเป็น $n f_s$ บิตต่อวินาที

สมมติให้สัญญาณพีซีเอ็ม นั้นเป็นสัญญาณความถี่ต่ำมีแบนด์วิดท์เป็น $2 f_{PCM}$ นั่นคือ

$$2 f_{PCM} = n f_s \quad (2.13)$$

หรือ

$$f_{PCM} = \frac{n}{2} f_s \geq n f_m \quad (2.14)$$

จากสมการ (2.14) จะเห็นว่าแบนด์วิดท์ในการส่งสัญญาณพีซีเอ็ม จะขึ้นอยู่กับแบนด์วิดท์ของสัญญาณข้อมูลและจำนวนบิตต่อการสุ่ม 1 ครั้ง แต่แบนด์วิดท์ในการส่งสัญญาณที่แท้จริงขึ้นอยู่กับ การแทนค่าของสัญญาณพีซีเอ็มมากกว่า

2.2 วงจรขยายสัญญาณเสียงคลาส-ดี (Class-D Amplifier)

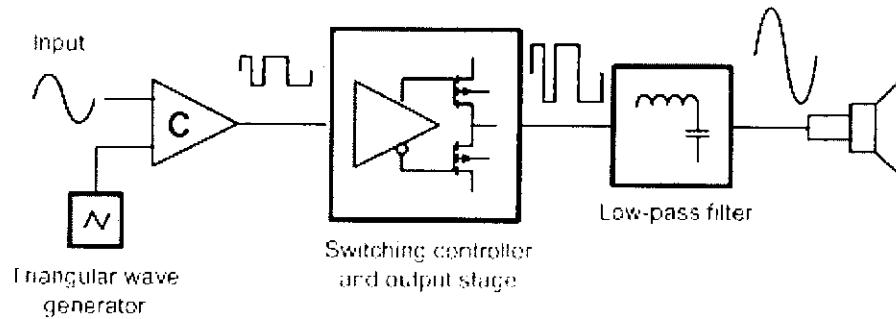
2.2.1 บทนำ

วงจรขยายสัญญาณเสียงคลาส-ดีนั้น เป็นวงจรที่มีประสิทธิภาพในการขยายสัญญาณสูง ซึ่งในทางทฤษฎีนั้นประสิทธิภาพ 100 เปอร์เซ็นต์ แต่ในทางปฏิบัติมีประสิทธิภาพ 90 เปอร์เซ็นต์ ซึ่งวงจรขยายสัญญาณทั่วไปนั้นมักมีประสิทธิภาพการขยายสัญญาณเป็นเชิงเส้น คือประสิทธิภาพจะมีค่ามากเมื่อเราจ่ายกำลังให้แก่วงจรมาก ซึ่งในวงจรขยายคลาส-บีมีประสิทธิภาพเพียง 50 เปอร์เซ็นต์ เมื่อใช้จริงในการขยายสัญญาณเสียง

ประสิทธิภาพของกำลังที่สูงนั้นแสดงให้เห็นว่าวงจรขยายต้องการกำลังงานอินพุตต่ำ เพื่อในเกิดกำลังงานที่ด้านเอาต์พุต และที่สำคัญทำให้เราสามารถลดอุปกรณ์ในการระบายความร้อนให้แก่วงจร จึงทำให้สามารถลดขนาด และน้ำหนักของอุปกรณ์ได้

สิ่งที่น่าสนใจในวงจรขยายสัญญาณเสียงคลาส-ดีนั้นคือ การเกิดการผิดเพี้ยนของสัญญาณต่ำ และใช้งานได้อย่างเต็มประสิทธิภาพ วงจรขยายสัญญาณเสียงคลาส-ดีใช้สำหรับวงจรที่ความถี่สูงในช่วงความถี่ 100 MHz ถึง 1 MHz ซึ่งต้องการอุปกรณ์ที่ตอบสนองความถี่สูง และกำลังงานสูง โดยการนำมาใช้กับซับวูฟเฟอร์ (Subwoofer)

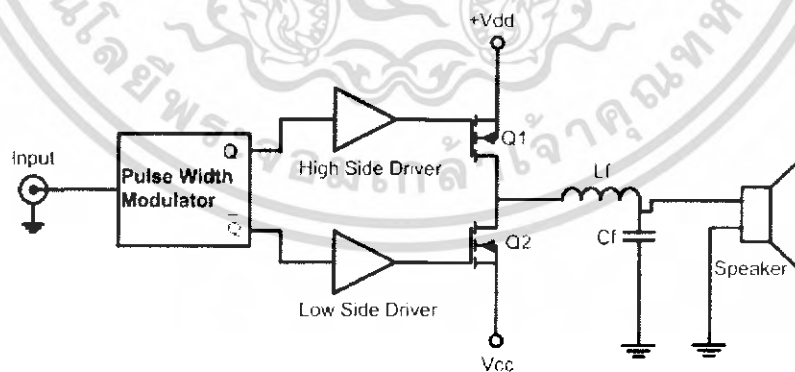
การมอดูเลตที่นำมาใช้ในวงจรขยายสัญญาณเสียงคลาส-ดีนั้นคือ การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation) โดยการมอดูเลตเชิงความกว้างพัลส์ นั้นเป็นการสร้างสัญญาณสี่เหลี่ยมที่มีความถี่คงตัว แต่ความกว้างของสัญญาณ (Duty Cycle) นั้นมีค่าไม่คงตัว โดยขึ้นอยู่กับสัญญาณอินพุต ซึ่งเมื่อมีสัญญาณอินพุตมีแอมพลิจูดเพิ่มขึ้น ความกว้างของสัญญาณก็จะเพิ่มขึ้นและจะได้ผลตรงข้ามกัน เมื่อสัญญาณอินพุตมีแอมพลิจูดลดลง



รูปที่ 2.11 บล็อกโคอะแกรมวงจรขยายสัญญาณคลาสดี

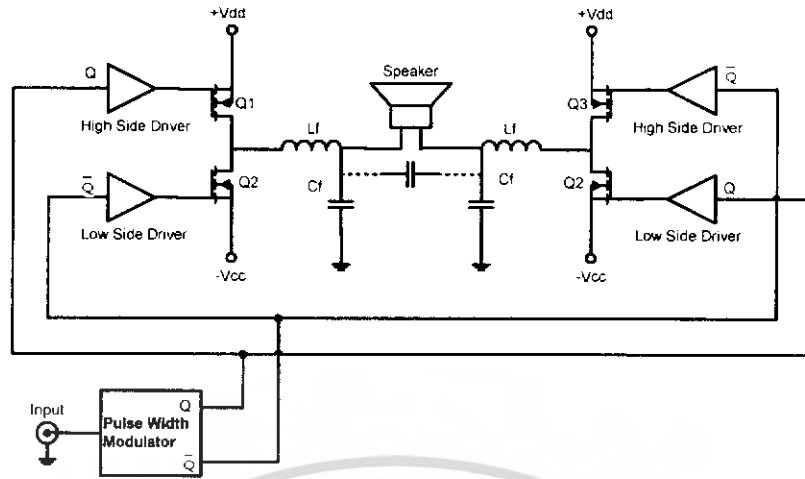
2.2.2 โครงสร้างของวงจรขยายสัญญาณเสียงคลาสดี

โครงสร้างอย่างง่ายของวงจรขยายสัญญาณเสียงคลาสนั้น มี 2 แบบ คือ แบบฮาล์ฟบริดจ์ (Half-Bridge : สำหรับเอาต์พุต 2 สัญญาณ) และแบบฟูลบริดจ์ (Full-Bridge : สำหรับเอาต์พุต 4 สัญญาณ) ซึ่งในแต่ละแบบนี้ค่าก็เหมาะกับการใช้งานที่ต่างกัน เช่น ฮาล์ฟบริดจ์ เป็นวงจรอย่างง่ายและมีความยืดหยุ่นมากกว่าวงจรขยายแบบฟูลบริดจ์ ซึ่งสามารถเชื่อมต่อกับโครงสร้างแบบคั้งเดิม แต่มีข้อเสียคือถ้าหากมีการออกแบบและขับแรงดันไม่ถูกต้องอาจจะทำให้เกิดการปลัมพ์ (Bus Pumping) ซึ่งสามารถทำให้เกิดอันตรายต่อระบบไฟเลี้ยง แหล่งจ่ายไฟเลี้ยงและลำโพง ส่วนวงจรขยายสัญญาณเสียงคลาสนั้น ต้องการแรงดันที่จ่ายให้กับวงจรเพียงครึ่งหนึ่งของวงจรขยายสัญญาณเสียงคลาสนั้นแบบฮาล์ฟบริดจ์ที่ระดับกำลังงานเท่ากัน แต่วงจรนั้นมีความซับซ้อนมากกว่า



รูปที่ 2.12 โครงสร้างของวงจรขยายสัญญาณคลาสนั้นแบบฮาล์ฟบริดจ์

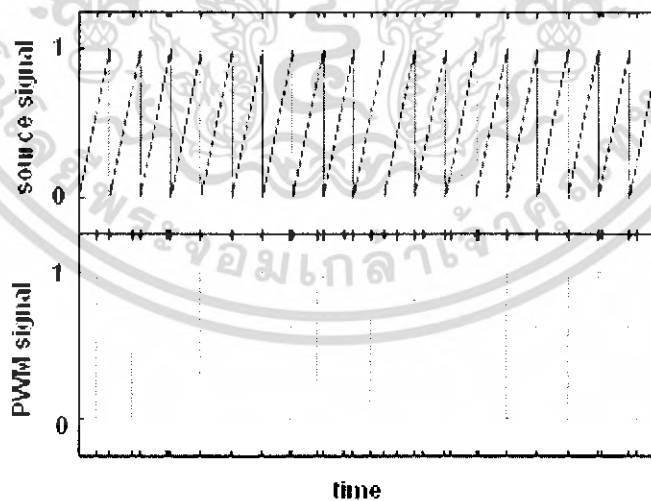
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 โครงสร้างของวงจรขยายสัญญาณคลาสดีแบบฟูลบริจด์

2.3 การมอดูเลตเชิงความกว้างพัลส์ (PWM : Pulse Width Modulation)

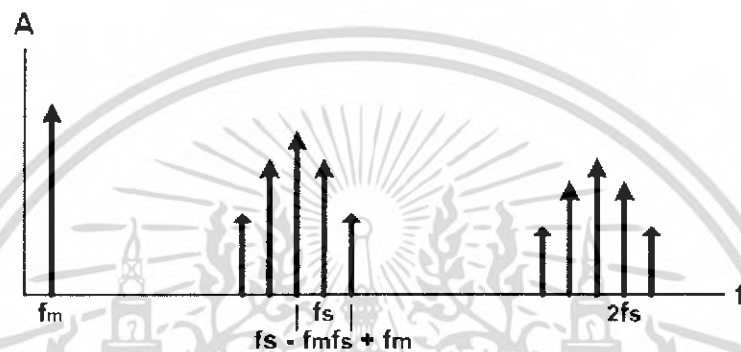
การมอดูเลตเชิงความกว้างพัลส์ (PWM) คือการมอดูเลตที่ทำให้เกิดสัญญาณเอาต์พุตที่ได้มีแอมพลิจูดและความถี่เท่ากับทุกพัลส์ แต่มีความกว้างของพัลส์ (Duty Cycle) ในแต่ละพัลส์ต่างกัน โดยที่ความกว้างของพัลส์ จะขึ้นอยู่กับสัญญาณอินพุต ซึ่งหากสัญญาณอินพุตมีแอมพลิจูดสูง ความกว้างของพัลส์จะมีค่ามากกว่าตอนที่อินพุตมีแอมพลิจูดต่ำ ดังรูปที่ 2.14



รูปที่ 2.14 แสดงการมอดูเลตเชิงความกว้างพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

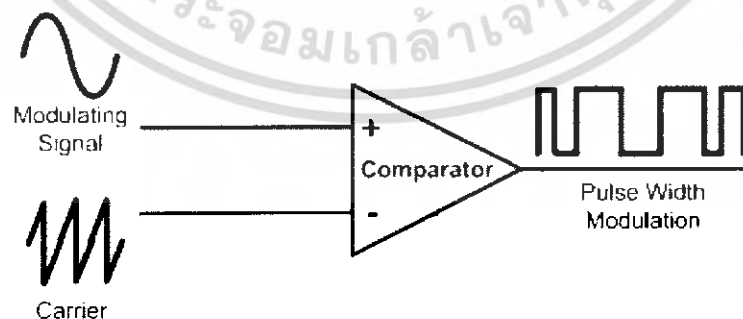
การมอดูเลตเชิงความกว้างพัลส์ (PWM) นั้นจัดเป็นการมอดูเลตแบบเชิงเส้น ซึ่งหมายถึงสถานะ “ON” ของสัญญาณเอาต์พุตที่ได้นั้นจะแปรผันไปตามสัญญาณอินพุตที่ถูกป้อนเข้ามา ซึ่งประโยชน์ของการเป็นมอดูเลตเชิงเส้นนั้นคือ เราสามารถทำการคิมมอดูเลตได้ง่าย โดยสามารถแปลงสัญญาณที่ได้จากการมอดูเลต มาผ่านวงจรกรองความถี่ต่ำผ่านแล้วจะได้สัญญาณอินพุตตามเดิม สำหรับคลื่นรูปไซน์ที่มีความถี่ต่ำที่ทำการมอดูเลตเชิงความกว้างพัลส์ โดยกำหนดให้นำสัญญาณอินพุต (f_m) มาทำการมอดูเลตกับสัญญาณที่มีความกว้างของคลื่นพาห้มีค่าคงที่ (f_c) สามารถแสดงสเปกตรัมได้ดังรูปที่ 2.15



รูปที่ 2.15 สเปกตรัมของการมอดูเลตเชิงความกว้างพัลส์

2.3.1 การสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์

เราสามารถสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์นั้นสามารถทำได้ โดยการนำสัญญาณอินพุตมาเปรียบเทียบกับสัญญาณรูปสามเหลี่ยม โดยใช้วงจรเปรียบเทียบสัญญาณ (Comparator) ดังที่แสดงในรูปที่ 2.16 จากรูปสัญญาณที่ได้จะมีค่าลอจิกสูง เมื่อแอมพลิจูดของสัญญาณอินพุตมีค่ามากกว่าสัญญาณรูปสามเหลี่ยม



รูปที่ 2.16 การเปรียบเทียบสัญญาณอินพุต กับสัญญาณพาห้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

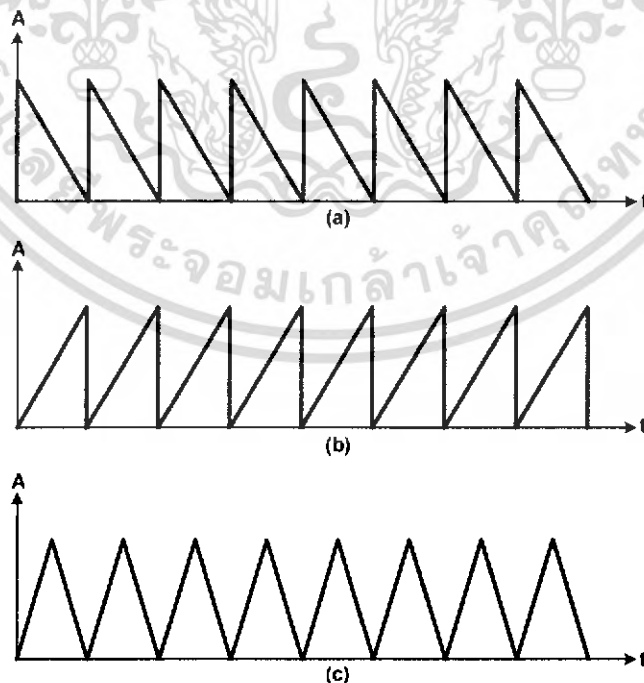
2.3.2 ชนิดของการมอดูเลตเชิงความกว้างพัลส์

ชนิดของการมอดูเลตเชิงความกว้างพัลส์เราสามารถแบ่งจำแนกได้ตามสัญญาณพาห်ที่เรานำมาทำการมอดูเลตกับสัญญาณอินพุท ซึ่งสามารถแบ่งออกได้เป็น 3 ชนิด ได้แก่

1. The Lead Edge เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีขอบขาลงของพัลส์แต่ละพัลส์จะแปรผันตามขนาดของสัญญาณ โดยมีระยะห่างระหว่างสัญญาณที่ขาลงของแต่ละพัลส์มีค่าคงที่ โดยการสร้างสัญญาณนี้สามารถทำได้โดยการนำสัญญาณอินพุทมาเปรียบเทียบกับสัญญาณพาห်รูปสามเหลี่ยมดังรูปที่ 2.17 (a)

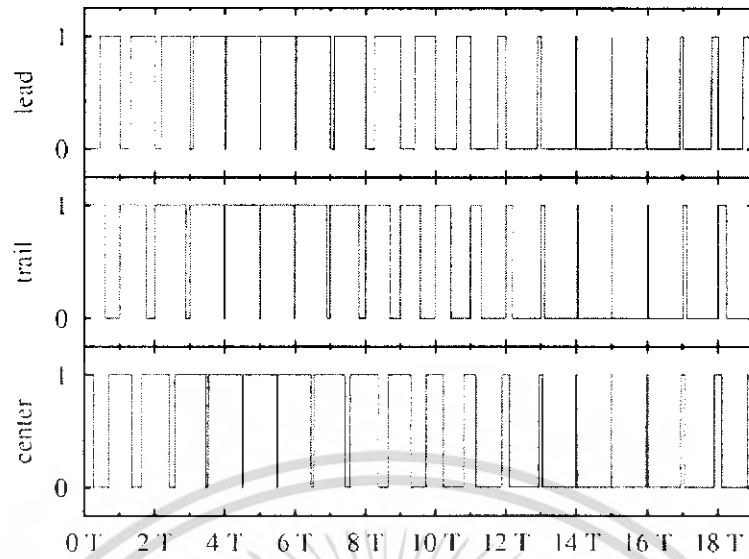
2. The Tail Edge เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีขอบขาขึ้นของพัลส์แต่ละพัลส์จะแปรผันตามขนาดของสัญญาณ โดยมีระยะห่างระหว่างสัญญาณที่ขาขึ้นของแต่ละพัลส์มีค่าคงที่ โดยการสร้างสัญญาณนี้สามารถทำได้โดยการนำสัญญาณอินพุทมาเปรียบเทียบกับสัญญาณพาห်รูปสามเหลี่ยมดังรูปที่ 2.17 (b)

3. The Pulse Center (Symmetrical PWM) เป็นการสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีระยะห่างของศูนย์กลางของแต่ละพัลส์มีค่าคงที่ โดยเมื่อแอมพลิจูดของสัญญาณอินพุทมีค่าสูงกว่าสัญญาณพาห် สัญญาณที่ได้จากการมอดูเลตจะมีความกว้างพัลส์มาก และเมื่อแอมพลิจูดของสัญญาณอินพุทมีค่าต่ำกว่าสัญญาณพาห် สัญญาณที่ได้จากการมอดูเลตก็จะมีความกว้างของพัลส์ลดลง ซึ่งจะสังเกตได้ว่าการสร้างสัญญาณมอดูเลตแบบนี้คือจะได้พัลส์ที่เป็นสมมาตรที่จุดกึ่งกลางของสัญญาณที่ได้จากการมอดูเลต (รูปแสดงสัญญาณพาห်แบบ สมมาตรนั้นได้แสดงตัวอย่างไว้ในรูปที่ 2.17 (c))



รูปที่ 2.17 สัญญาณคลื่นพาห်สำหรับการมอดูเลตเชิงความกว้างพัลส์

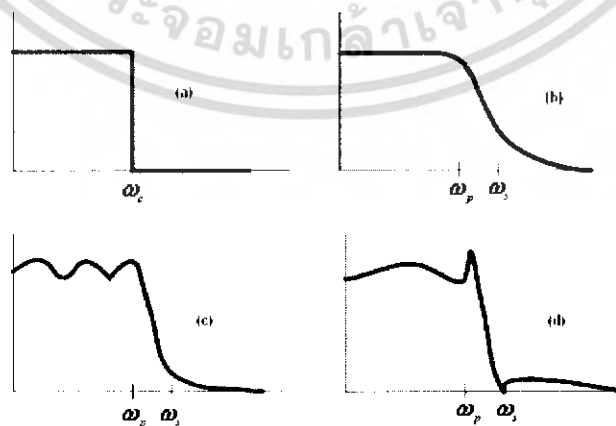
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 (บน) แสดงรูปของ The Lead Edge Modulation
(กลาง) แสดงรูปของ The Trail Edge Modulation
(ล่าง) แสดงรูปของ The Pulse Center Modulation

2.4 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)

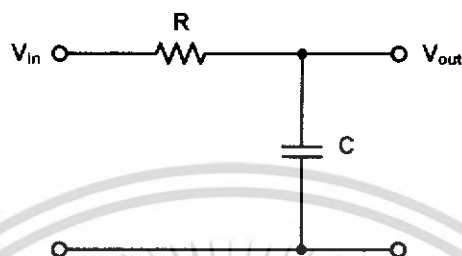
เป็นวงจรที่ยอมให้ความถี่ต่ำผ่านไปได้ดี และทำการลดทอนสัญญาณที่มีความสูงกว่าความถี่คัตออฟ (ω_c : Cut-off Frequency) ออก โดยเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (Passband) หรือแบนด์วิดท์ (BW : Bandwidth) ของวงจร ส่วนย่านความถี่ที่ไม่ยอมให้ผ่านไปจะเรียกว่าย่านความถี่หยุด (Stopband) ซึ่งรูปที่ 2.19 (a) เป็นภาพผลตอบสนองทางขนาดของวงจรความถี่ต่ำผ่านในแบบอุดมคติ ซึ่งเราสามารถประมาณผลตอบสนองที่ได้จากวงจรกรองได้ดังรูปที่ 2.19 (b) – (d)



รูปที่ 2.19 ผลตอบสนองทางขนาดของวงจรความถี่ต่ำผ่าน

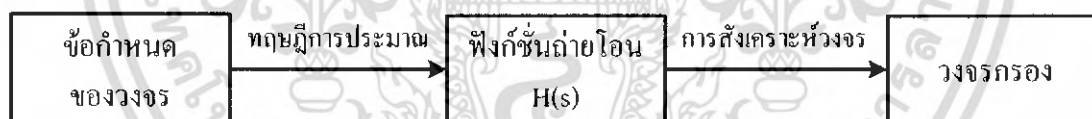
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของการกรองความถี่ต่ำนั้นนำมาใช้ในการประมวลผลสัญญาณดิจิทัลให้สัญญาณที่ได้มีความราบเรียบขึ้น (Smoothing) ตัวอย่างในการใช้งานเช่น การนำมาใช้ควบคุมระบบเสียง ซึ่งมีการนำวงจรกรองความถี่ต่ำผ่าน มาใช้ในอุปกรณ์ซับวูฟเฟอร์ (Subwoofer) การทำให้ภาพเบลอนในการประมวลผลสัญญาณภาพ (Blurring of Image) ตัวอย่างวงจรกรองความถี่ต่ำผ่านอย่างง่าย แสดงในรูปที่ 2.20



รูปที่ 2.20 วงจรกรองความถี่ต่ำผ่านอย่างง่ายแบบวงจรอาร์ซี

ในการออกแบบวงจรกรองความถี่นั้นสามารถทำได้โดย การกำหนดคุณสมบัติของวงจรแล้ว จึงใช้ทฤษฎีการประมาณ (Approximation Theory) เพื่อหาฟังก์ชันถ่ายโอน (Transfer Function) ของวงจร แล้วจึงนำฟังก์ชันถ่ายโอนที่ได้ไปทำการสังเคราะห์ให้เป็นวงจรต่อไป ซึ่งการประมาณผลตอบสนองทางขนาด (Magnitude Response) ที่สำคัญ 2 ประเภทได้แก่ ตัวกรองแบบบัตเตอร์เวิร์ธ (Butterworth Filter) และตัวกรองแบบเชบิเชฟ (Chebyshev Filter)



รูปที่ 2.21 ขั้นตอนการออกแบบวงจรกรอง

2.5 ซีพีแอลดี (CPLD)

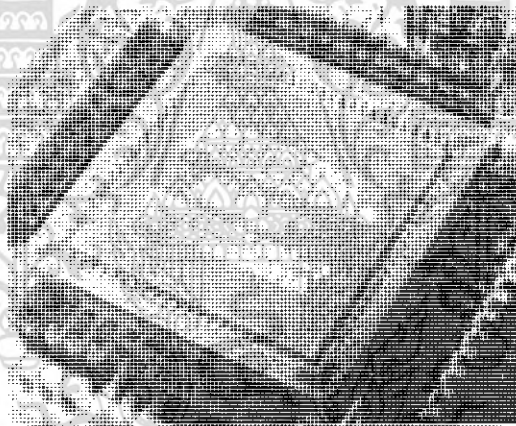
ซีพีแอลดี (CPLD) นั้นย่อมาจาก Complex Programmable Logic Device หมายถึงไอซีซีพียูที่สามารถสร้างวงจรลอจิกทั้งแบบวงจรรวม (Combination) และวงจรแบบต่อเนื่อง (Sequential) โดยการออกแบบวงจรมันสามารถออกแบบด้วยโปรแกรมภาษาเอชดีแอล (HDL) ซึ่ง ซีพีแอลดี เป็นอุปกรณ์ที่จัดทำขึ้นโดยรวบรวมคุณสมบัติเด่นของพีแอลเอ (PAL : Programmable Array Logic) และเอฟพีจีเอ (FPGA : Filled Programmable Gate Array) เข้าไว้ด้วยกัน โดยโครงสร้างภายในประกอบได้ด้วยส่วนย่อยที่เรียกว่า “มาโครเซลล์ (Macro Cell)” ซึ่งภายในมาโครเซลล์ (Macro Cell) ประกอบไปด้วยวงจรรีจิสเตอร์ (Register) หรือวงจรฟลิป-ฟล็อป (Flip-Flop) พร้อมทั้งภายในซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำภายใน จึงสามารถเก็บรักษาวงจรแบบแฟลช (Flash) ที่สามารถคงสถานะวงจรที่ฝังอยู่ได้นานประมาณ 20-40 ปี และสามารถโปรแกรมซ้ำได้มากกว่า 1000 ครั้ง นอกจากนี้ยังมีจำนวนลอจิกเกต และฟลิป-ฟล็อปจำนวนมาก เพื่อสามารถรองรับการออกแบบวงจรขนาดใหญ่ และซับซ้อนมาก ๆ ได้

สำหรับในการใช้งานซีพีแอลดีในการออกแบบวงจรดิจิทัลนั้น เราจำเป็นต้องทราบข้อมูลเบื้องต้นดังนี้

- ซีพีแอลดี (CPLD) สามารถใช้งานความถี่สูงถึง 125 MHz ใช้งานได้ที่แรงดัน 5 โวลต์ และ 3.3 โวลต์
- ขาอินพุต เอาท์พุต (I/O) สามารถขับเคลื่อนได้ ถึง 24 มิลลิแอมป์ (mA)
- ซีพีแอลดี แต่ละเบอร์สามารถเลือก ขาอินพุต เอาท์พุต (I/O) ได้
- เราสามารถเลือกขนาดของซีพีแอลดี ได้ตามความต้องการ ซึ่งแต่ละเบอร์จะมีจำนวนลอจิกเกตใช้งาน (Usable Gates) และจำนวนรีจิสเตอร์ (Register) หรือจำนวนฟลิป-ฟล็อป (Flip-Flop) ที่แตกต่างกัน



รูปที่ 2.22 ซีพีแอลดีแบบ 2500 เกท

2.6 โมดูลทีอาร์ดับบลิว 24G (TRW-24G Module)

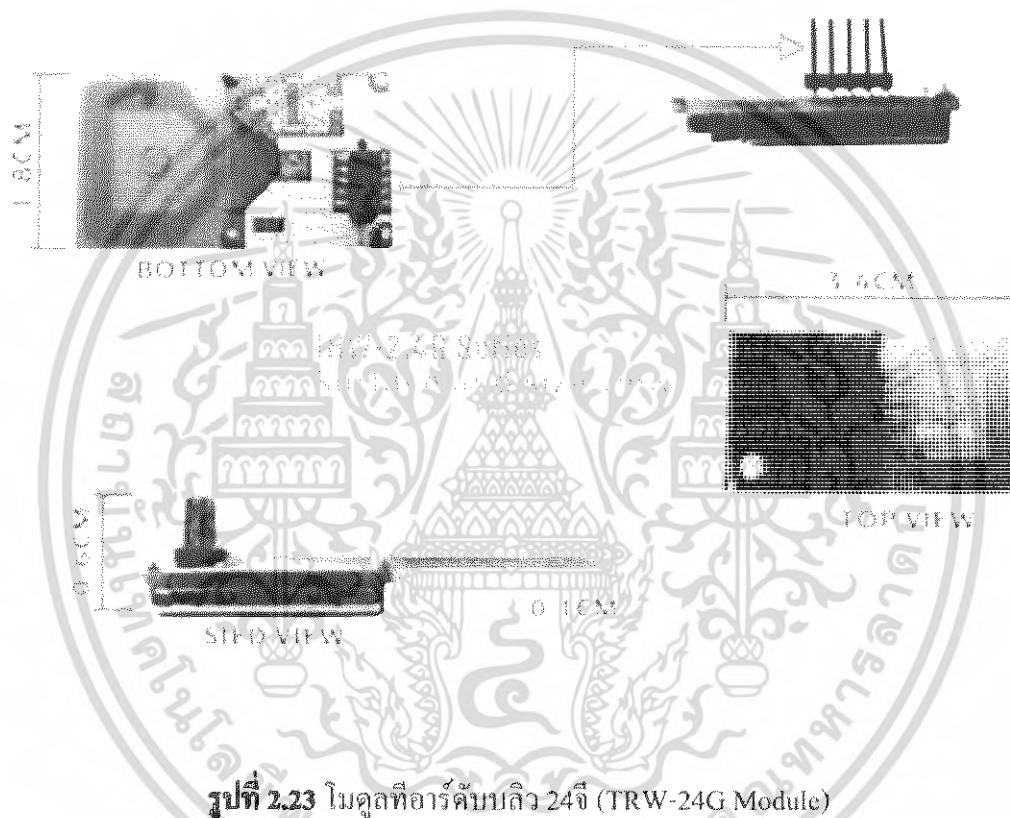
โมดูลทีอาร์ดับบลิว 24จี (TRW-24G Module) เป็น โมดูลสำเร็จรูป ที่สามารถการรับ-ส่งข้อมูลแบบอนุกรม ด้วยความถี่ในช่วง 2.4 ถึง 2.524 จิกกะเฮิร์ต (GHz) มีสายอากาศในตัว ใช้งานได้ในระยะ 280 เมตร (ที่อัตราข้อมูล 250 kbps) ระยะ 150 เมตร (ที่อัตราข้อมูล 1Mbps) ในพื้นที่โล่งแจ้ง

ลักษณะเฉพาะของโมดูลทีอาร์ดับบลิว 24G

- สามารถกำหนดช่วงความถี่ 2.4 – 2.524 GHz
- มอดูเลตแบบจีเอฟเอสเค (GFSK : Gaussian Frequency Shift Keying)
- ทำงานที่แรงดัน 3 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จำนวนช่องสัญญาณ 83 ช่อง
- กำลังงานเอาต์พุต : + 4 dBm
- อัตราการส่งข้อมูล : 1 Mbps
- ขนาด 20.0 x 36.7 x 2.4 mm.
- มีสายอากาศในตัว
- มีการรับส่งแบบฮาล์ฟดูเพล็กซ์ รวมทั้งมีการเข้ารหัส, ถอดรหัส และบัฟเฟอร์ข้อมูล
- ออกแบบพิเศษเพื่อป้องกันการรบกวนจากอุปกรณ์อื่น



รูปที่ 2.23 โมดูลที่อาร์ดับบลิว 24จี (TRW-24G Module)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

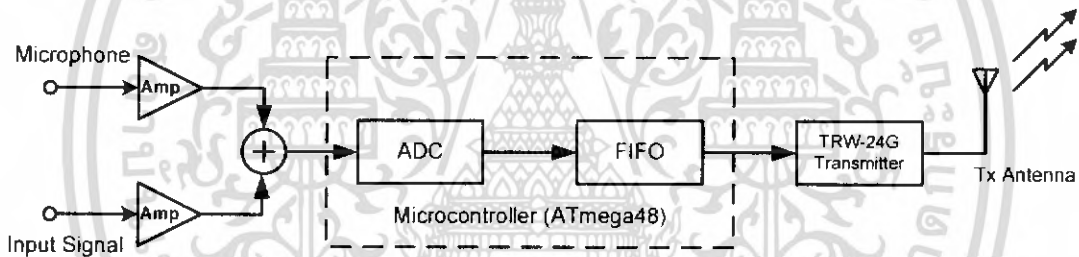
บทที่ 3

การออกแบบ

ในโครงงานนี้เลือกใช้ไมโครคอนโทรลเลอร์ตระกูลเอวีอาร์ (AVR) เบอร์ ATmega48 ทำหน้าที่ประมวลผลข้อมูลและควบคุมการทำงานของวงจรรับส่งสัญญาณ ทั้งที่ภาครับและภาคส่ง ซึ่งมีวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog-to-Digital Converter) อยู่ภายใน ซึ่งช่วยให้ประหยัดจำนวนอุปกรณ์และออกแบบวงจรง่ายขึ้น ส่วนวงจรรับส่งข้อมูลไร้สายนั้น ในโครงงานนี้เลือกใช้วงจร TRW-24G ซึ่งรับส่งสัญญาณด้วยคลื่นวิทยุย่านความถี่ 2.4 GHz

3.1 การออกแบบวงจรภาคส่งสัญญาณ

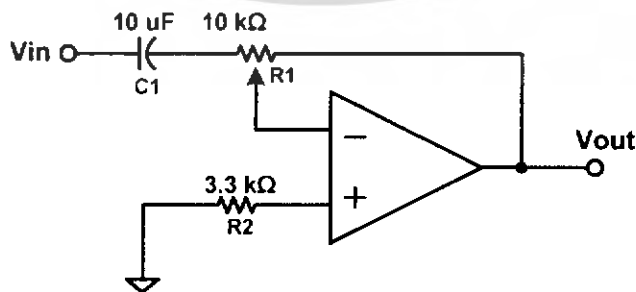
วงจรจะรับสัญญาณเสียงอนาล็อกมา 2 ช่อง คือช่องซ้ายกับช่องขวา ซึ่งสัญญาณแต่ละช่องและสัญญาณเสียงจากไมโครโฟนที่ถูกขยายแล้วจะถูกนำมารวมกันโดยวงจรผสมสัญญาณ ดังรูปที่ 3.1 ซึ่งหน่วยความจำแบบ FIFO (First In - First Out) นั้นจะถูกสร้างขึ้นโดยการเขียนโปรแกรมจัดการหน่วยความจำที่อยู่ในตัวไมโครคอนโทรลเลอร์



รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่งสัญญาณ

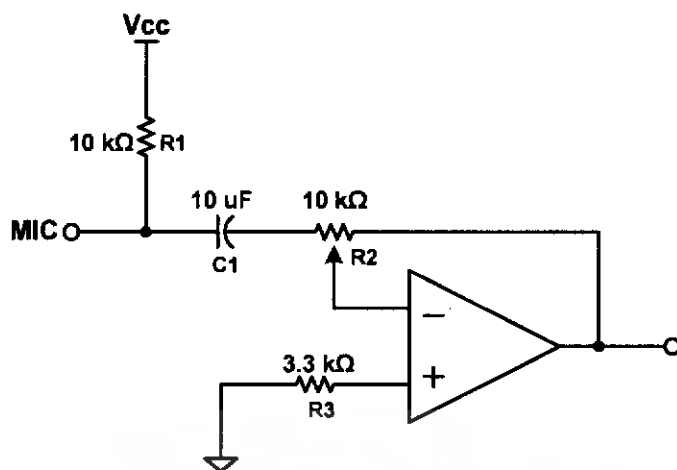
3.1.1 การออกแบบวงจรขยายสัญญาณเสียงอินพุตและวงจรขยายสัญญาณไมโครโฟน

ในโครงงานนี้ใช้วงจรออปแอมป์ขยายสัญญาณแบบกลับเฟส (Inverting Amplifier) ในการออกแบบ ซึ่งจะได้วงจรดังรูปที่ 3.2 และรูปที่ 3.3



รูปที่ 3.2 วงจรขยายสัญญาณเสียงอินพุต

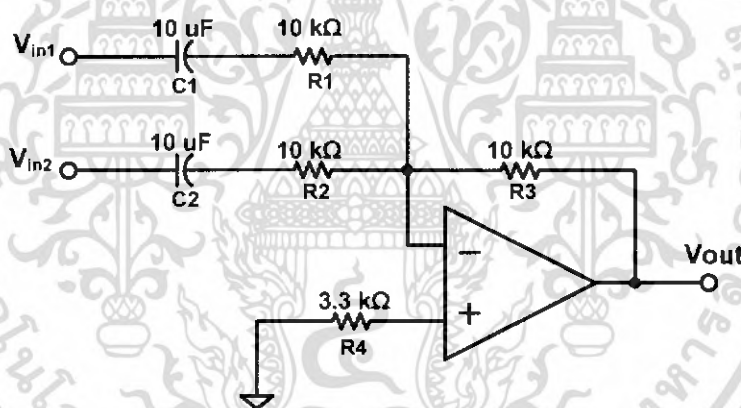
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรขยายสัญญาณไมโครโฟน

3.1.2 การออกแบบวงจรผสมสัญญาณ

ในโครงงานนี้ใช้วงจรออปแอมป์ผสมสัญญาณแบบกลับเฟสในการออกแบบ ซึ่งจะได้ออกแบบรูปที่ 3.4

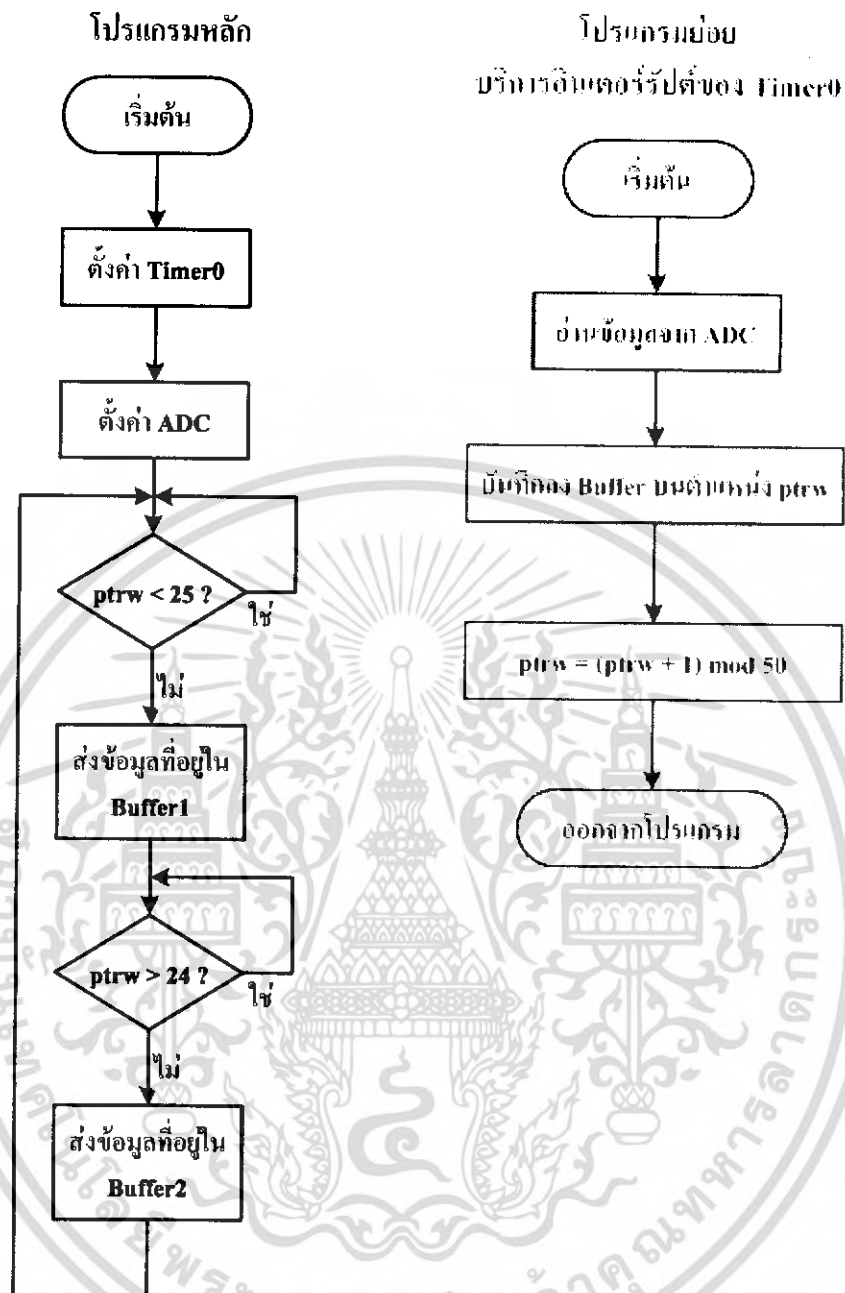


รูปที่ 3.4 วงจรผสมสัญญาณ

3.1.3 กระบวนการทำงานของวงจรภาคส่งสัญญาณ

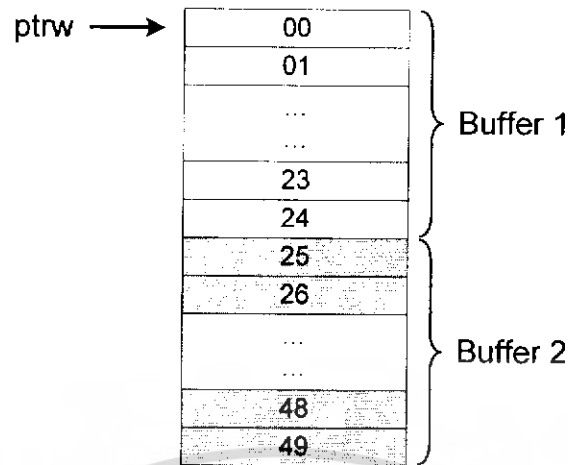
การทำงานของวงจรจะถูกควบคุมด้วยไมโครคอนโทรลเลอร์ ซึ่งเริ่มต้นจากการกำหนดอัตราการเกิดอินเตอร์รัปต์ของไทมเมอร์0 (Timer0) ให้เท่ากับอัตราการสุ่มสัญญาณอนาล็อก (Sampling Rate) ที่ต้องการ โดยปกติจะต้องมากกว่าความถี่เสียงอย่างน้อย 2 เท่า แต่ในโครงงานนี้เลือกใช้ อัตราสุ่มเพียง 30 kHz โดยในการสุ่มสัญญาณแต่ละครั้งจะได้เป็นข้อมูลขนาด 1 ไบต์ และนำข้อมูลดังกล่าวไปเก็บไว้ในหน่วยความจำที่มีตัวแปร ptrw เป็นตัวชี้ตำแหน่งซึ่งแสดงในรูปที่ 3.6 จากนั้นสร้างเป็นแพคเกจขนาด 25 ไบต์ แล้วจึงส่งแพคเกจนั้นให้วงจรส่งสัญญาณ โดยสามารถแสดงการทำงานได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาคส่ง

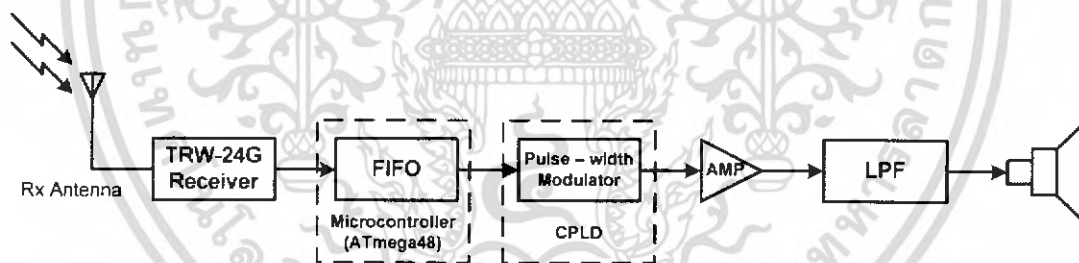
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 การจัดเก็บข้อมูลของบัฟเฟอร์ที่ภาคส่ง

3.2 การออกแบบวงจรภาครับสัญญาณ

จากการออกแบบสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.7 เช่นเดียวกับภาคส่ง หน่วยความจำแบบ FIFO นั้น จะถูกสร้างขึ้นโดยการเขียนโปรแกรมจัดการหน่วยความจำที่อยู่ในตัวไมโครคอนโทรลเลอร์

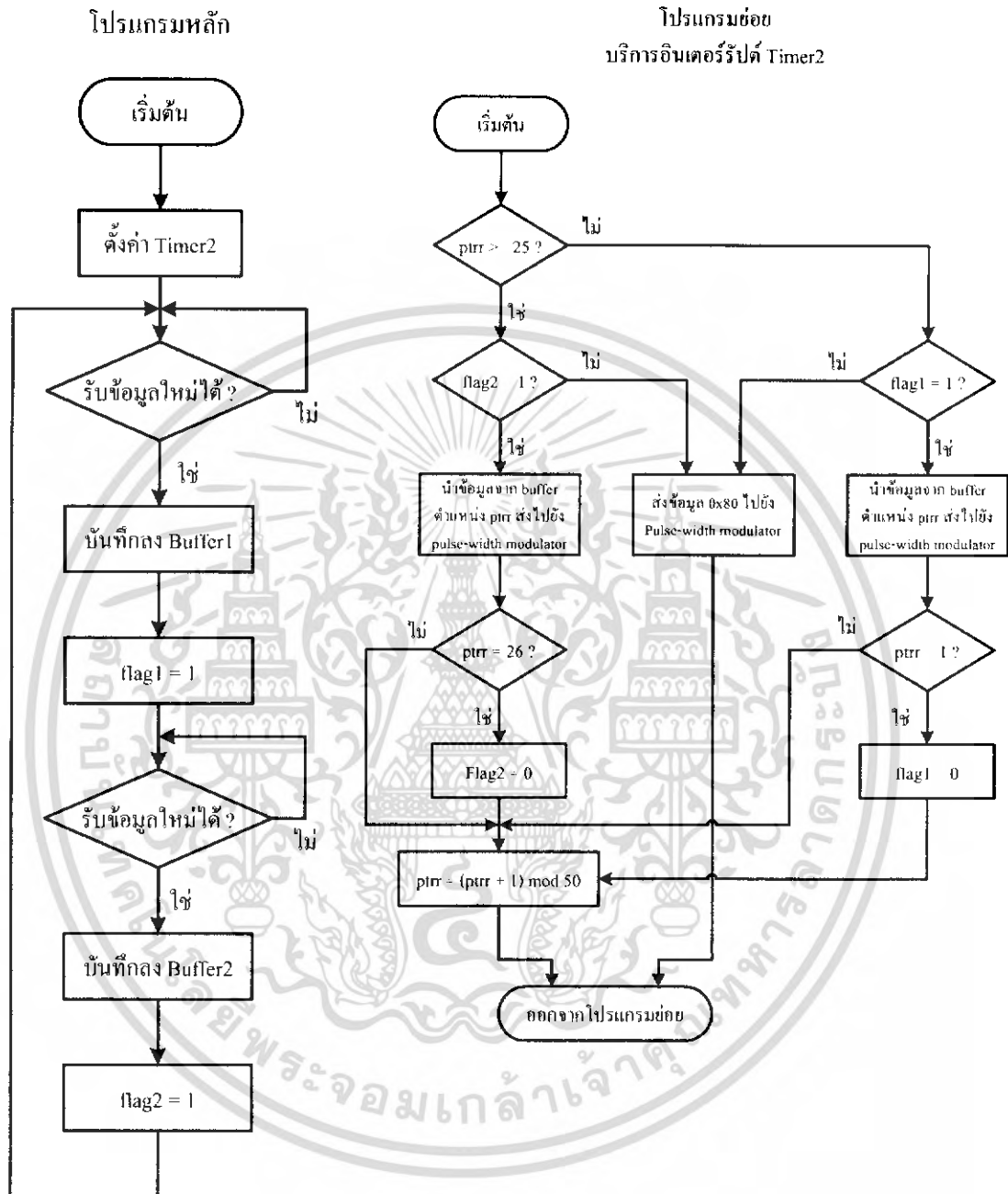


รูปที่ 3.7 บล็อกไดอะแกรมการทำงานของภาครับสัญญาณ

3.2.1 กระบวนการทำงานของวงจรภาครับสัญญาณ

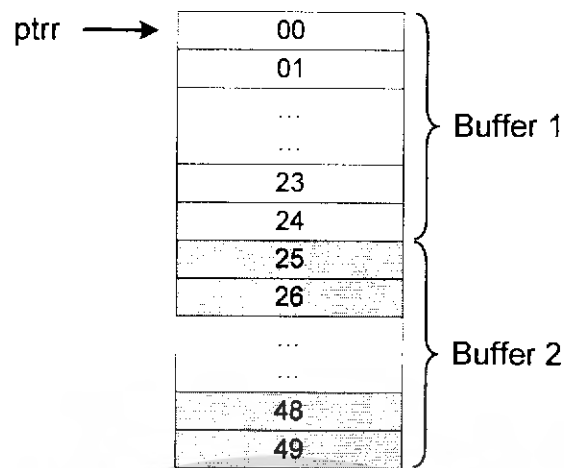
การทำงานของวงจรจะถูกควบคุมด้วยไมโครคอนโทรลเลอร์ โดยจะเริ่มจากการตั้งค่าไทม์เมอร์ 2 (Timer2) ให้มีอัตราการเกิดอินเตอร์รัปต์เท่ากับอัตราสุ่มสัญญาณ เมื่อมีการรับแพ็คเกจใหม่ได้ จะทำการเขียนลงในหน่วยความจำ ครั้งละหนึ่งแพ็คเกจ แล้วแต่ครั้งที่ไทม์เมอร์ 2 อินเตอร์รัปต์ จะอ่านข้อมูลขนาด 1 ไบต์ จากหน่วยความจำดังรูปที่ 3.9 โดยมีตัวแปร ptrc เป็นตัวชี้ตำแหน่งในการอ่านแต่ละครั้ง และนำข้อมูลที่อ่านได้ ไปเปลี่ยนแปลงความกว้างของสัญญาณพัลส์ที่สร้างขึ้นโดยไมโครคอนโทรลเลอร์ โดยจะมีการตรวจสอบด้วยเสมอว่าเป็นข้อมูลที่เคยอ่านไปแล้วหรือไม่ โดย

อาศัยตัวแปร flag1 และ flag2 เพื่อไม่ให้เกิดความผิดพลาดในกรณีที่ยังรับสัญญาณไม่ได้ โดยสามารถแสดงการทำงานได้ดังรูปที่ 3.8



รูปที่ 3.8 แผนผังการทำงานของไมโครคอนโทรลเลอร์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

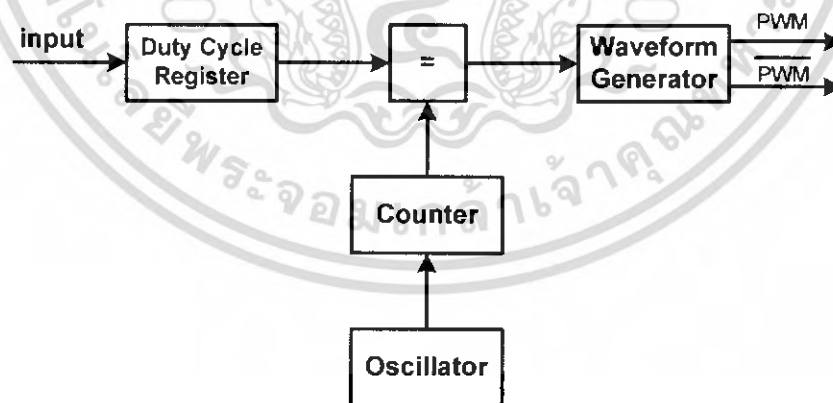


รูปที่ 3.9 การจัดเก็บข้อมูลของบัฟเฟอร์ที่ภากรับ

3.2.2 การออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์

ในโครงงานนี้ออกแบบวงจรมอดูเลตเชิงความกว้างพัลส์ โดยกำหนดให้มีความละเอียด 8 บิต ซึ่งจะทำงานโดยส่งข้อมูลไปเก็บไว้ที่รีจิสเตอร์กำหนดความกว้างพัลส์ และนำไปเปรียบเทียบกับรีจิสเตอร์นับซึ่งจะนับลูกกลิ้งจากวงจรกำเนิดความถี่ (Oscillator) และนำผลจากการเปรียบเทียบไปสร้างเป็นสัญญาณมอดูเลตเชิงความกว้างพัลส์ ดังรูปที่ 3.10

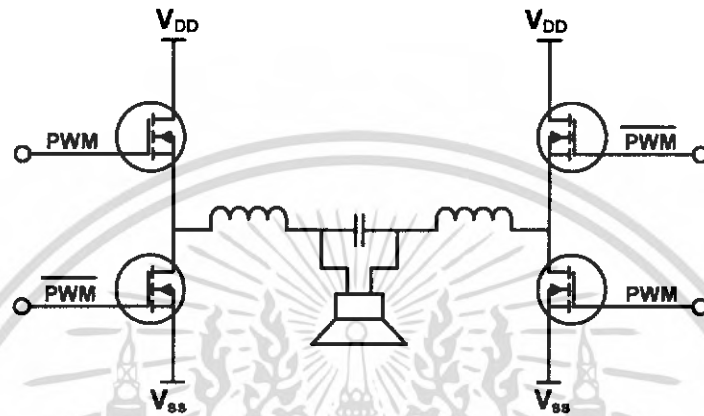
หลังจากที่ออกแบบแล้วก็สร้างวงจรโดยเขียนบรรยายวงจรเป็นภาษาวีเอชดีแอล (VHDL) และโปรแกรมลงบนชิพซีพีแอลดี (CPLD)



รูปที่ 3.10 วงจรมอดูเลตเชิงความกว้างพัลส์

3.2.2 การออกแบบวงจรขับลำโพง

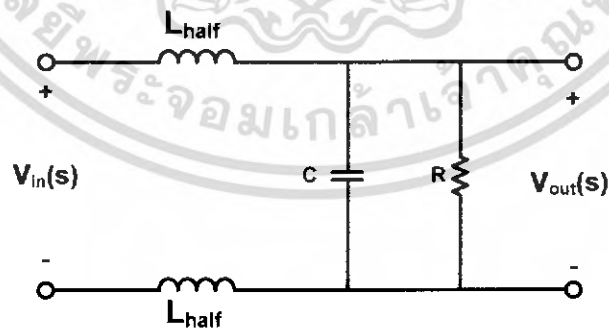
ในโครงงานนี้เลือกใช้วงจรขับแบบเฮช-บริดจ์ (H-Bridge Driver) ซึ่งมีโครงสร้างดังรูปที่ 3.11 โดยเลือกใช้มอสเฟต เบอร์ IRF530 ซึ่งเป็นมอสเฟตกำลัง (Power MOSFET N-Channel) เป็นตัวจ่ายกระแสและใช้ไอซีเบอร์ HIP4080A ทำหน้าที่ในการขับมอสเฟตทั้ง 4 ตัว ซึ่งสามารถทำให้มอสเฟตสามารถทำงานที่ความถี่สูงได้ดียิ่งขึ้น



รูปที่ 3.11 วงจรขับลำโพงแบบเฮช-บริดจ์

3.2.3 การออกแบบวงจรกรองความถี่

ในโครงงานนี้ เลือกใช้วงจรกรองความถี่ต่ำผ่านอันดับสอง (Second-Order LC-type Low-Pass Filter) ออกแบบโดยใช้การประมาณแบบบัตเตอร์เวิร์ธ (Butterworth Approximation) ซึ่งออกแบบเป็นวงจรได้ดังรูปที่ 3.12



รูปที่ 3.12 วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 3.12 โดยที่ $L = 2L_{\text{half}}$ จะสามารถเขียนเป็นฟังก์ชันถ่ายโอน (Transfer Function) ได้ดังนี้

$$H(s) = \frac{1}{LC \left(s^2 + \frac{s}{RC} + \frac{1}{LC} \right)} \quad (3.1)$$

วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทที่มีความถี่คutoff ที่ ω_c (เรเดียนต่อวินาที) จะมีฟังก์ชันถ่ายโอน ดังนี้

$$H(s) = \frac{\omega_c^2}{s^2 + \omega_c \sqrt{2}s + \omega_c^2} \quad (3.2)$$

โครงการานนี้เลือกใช้ความถี่คutoff $f_c = 20$ kHz โดยที่ $\omega_c = 2\pi f_c$, $R = 8$ โอห์ม และจากสมการที่ (3.1) และ (3.2) จะคำนวณค่าของอุปกรณ์ต่างๆ ได้ดังนี้

$$C = \frac{1}{2\sqrt{2}\pi R f_c} = 0.7 \times 10^{-6} \text{ F} \quad (3.3)$$

$$L = \frac{\sqrt{2}R}{2\pi f_c} = 90.0 \times 10^{-6} \text{ H} \quad (3.4)$$

จะได้

$$L_{\text{half}} = 45 \times 10^{-6} \text{ H}$$

บทที่ 4

ผลการทดลอง

4.1 การทดลองวัดสัญญาณเอาต์พุตจากวงจรมอดูเลตเชิงความกว้างพัลส์

4.1.1 จุดประสงค์ของการทดลอง

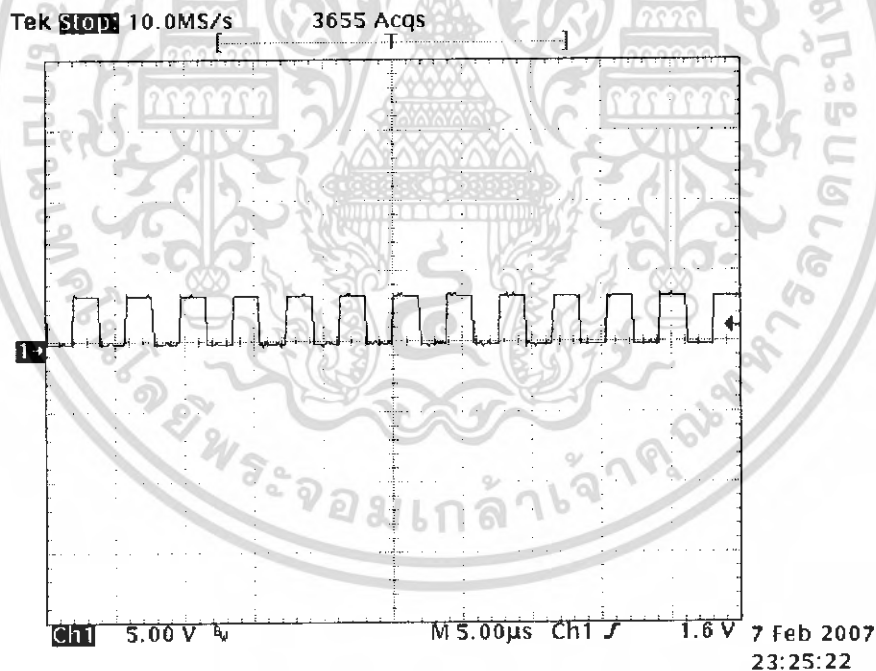
เพื่อเป็นการทดสอบในเบื้องต้นว่าวงจรมอดูเลตเชิงความกว้างพัลส์ (Pulse-Width Modulator) ที่ภาครับสามารถสร้างสัญญาณมอดูเลตเชิงความกว้างพัลส์ ที่มีความกว้างและความถี่ถูกต้อง

4.1.2 วิธีการทดลอง

วัดสัญญาณเอาต์พุตจากวงจรมอดูเลตเชิงความกว้างพัลส์ที่ภาครับ เมื่อป้อน ไฟกระแสตรง 0 V เข้าที่วงจรมอดูเลต

4.1.3 ผลการทดลอง

จากการทดลองจะได้สัญญาณมอดูเลตเชิงความกว้างพัลส์ ดังรูปที่ 4.1 ซึ่งเป็นสัญญาณมอดูเลตเชิงความกว้างพัลส์ที่มีความกว้างประมาณ 50 %



รูปที่ 4.1 สัญญาณเอาต์พุตที่สร้างจากวงจรมอดูเลตเชิงความกว้างพัลส์

4.2 การทดลองวัดสัญญาณที่ลำโพงเมื่อไม่มีสัญญาณอินพุท

4.2.1 จุดประสงค์ของการทดลอง

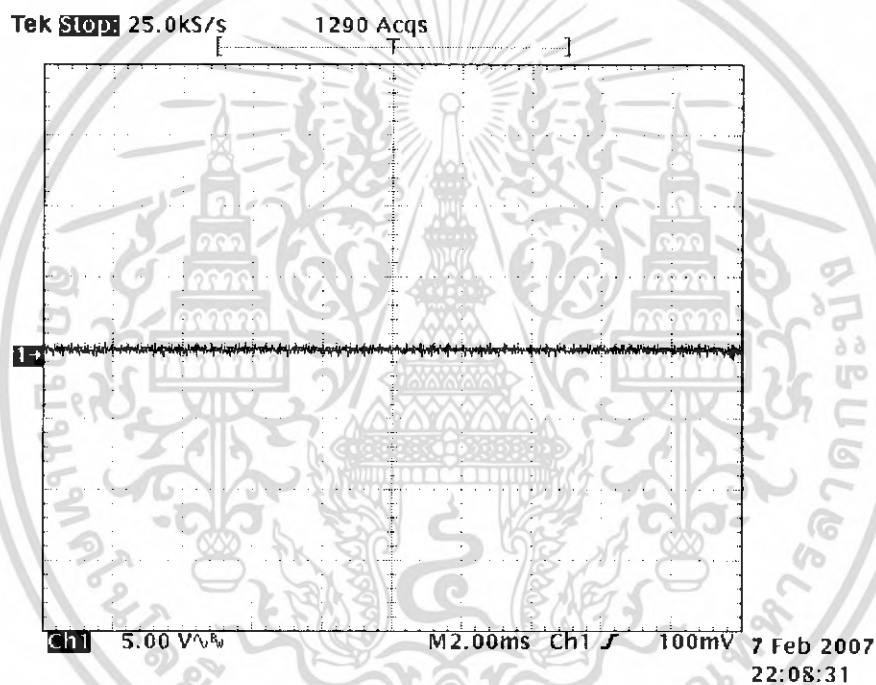
เพื่อทดสอบในเบื้องต้นว่าวงจรรองความถี่ต่ำผ่านสามารถกรองความถี่ฮาร์โมนิกที่ไม่ใช่ความถี่เสียงออกจากสัญญาณมอดูเลตเชิงความกว้างพัลส์ ได้

4.2.2 วิธีการทดลอง

ป้อนไฟตรงขนาด 0 โวลต์ ที่อินพุทของวงจรส่งสัญญาณ แล้ววัดสัญญาณที่ตกร้อมลำโพงขนาด 8 โอห์ม

4.2.3 ผลการทดลอง

จากการทดลองจะได้สัญญาณที่ตกร้อมลำโพงดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณเอาต์พุทที่วัดจากลำโพงเมื่อป้อนไฟตรง 0 V

4.3 การทดลองวัดสัญญาณที่ลำโพงเมื่อมีสัญญาณอินพุต

4.3.1 จุดประสงค์ของการทดลอง

เพื่อทดสอบความถูกต้องของสัญญาณที่ความถี่ต่างๆ

4.3.2 วิธีการทดลอง

วัดสัญญาณแรงดันพีคทูพีค (V_{pp} : Peak-to-peak Voltage) ที่ตกร่วมลำโพง ขนาด 8 โอห์ม เมื่อป้อนสัญญาณไซน์ความถี่ต่างๆ ขนาด $1.55 V_{rms}$ ที่ภาคส่ง นำค่าที่ได้มาคำนวณหาแรงดันรากของค่าเฉลี่ยกำลังสอง (V_{rms} : Root Mean Square Voltage) และกำลังเฉลี่ย (P_{avg} : average power) จากสมการที่ 4.1 และ สมการที่ 4.2

$$V_{rms} = \frac{V_{pp}}{2\sqrt{2}} \quad (4.1)$$

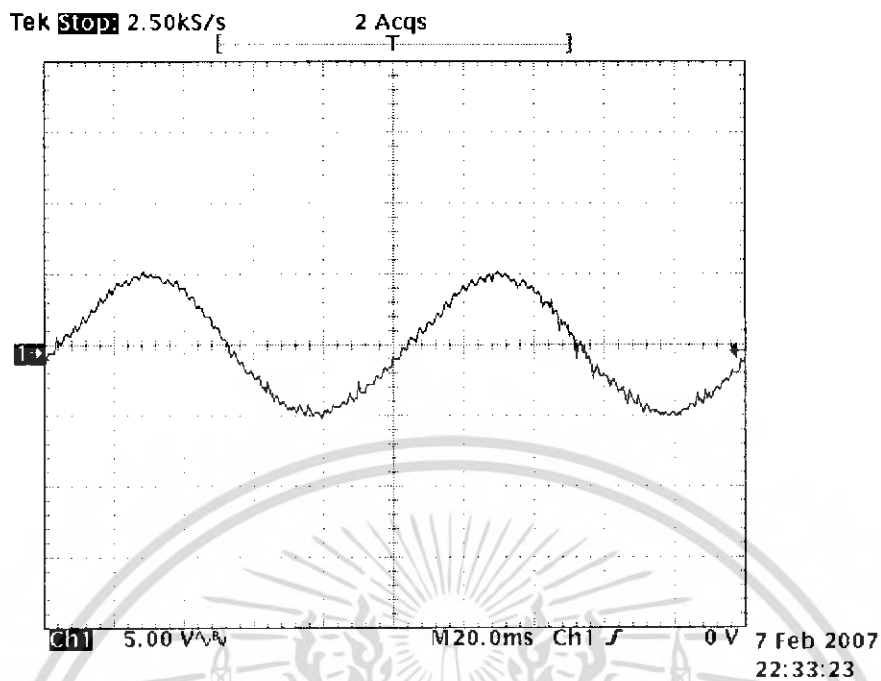
$$P_{avg} = \frac{V_{rms}^2}{R} \quad (4.2)$$

4.3.3 ผลการทดลอง

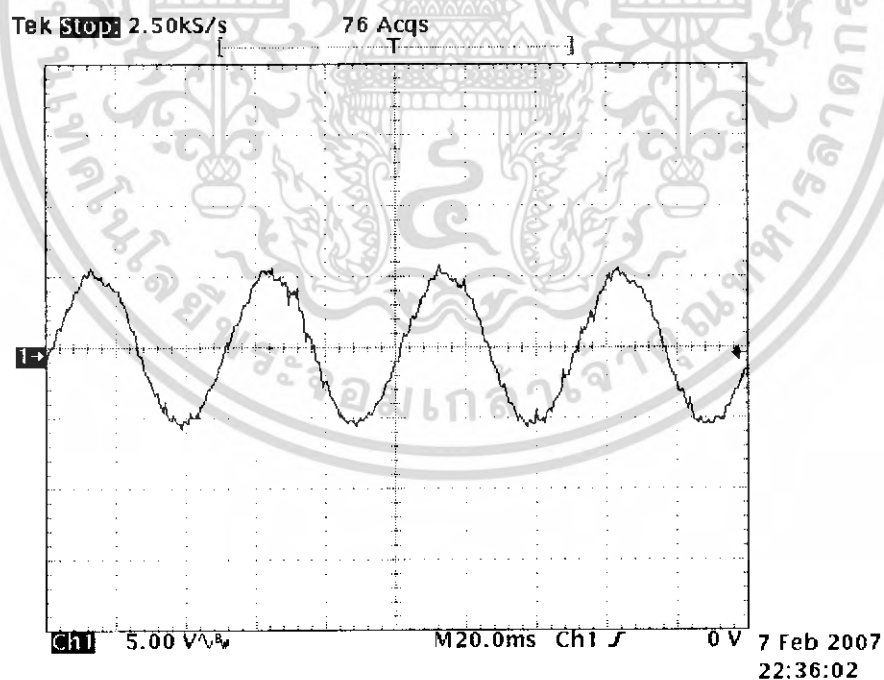
ตารางที่ 4.1 ผลการทดลองวัดขนาดสัญญาณเมื่อป้อนความถี่ต่างๆ

ความถี่ (Hz)	ขนาดสัญญาณที่ลำโพง		
	V_{pp}	V_{rms}	P_{avg}
10	9.7	3.43	1.47
20	10.1	3.57	1.59
30	10.9	3.85	1.86
40	11.6	4.10	2.10
50	12.9	4.56	2.60
100	11.1	3.92	1.93
200	10.1	3.57	1.59
500	10.0	3.54	1.56
1k	10.2	3.61	1.63
2k	11.6	4.10	2.10
4k	13.9	4.91	3.02
6k	15.0	5.30	3.52
8k	17.1	6.05	4.57
10k	17.9	6.33	5.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

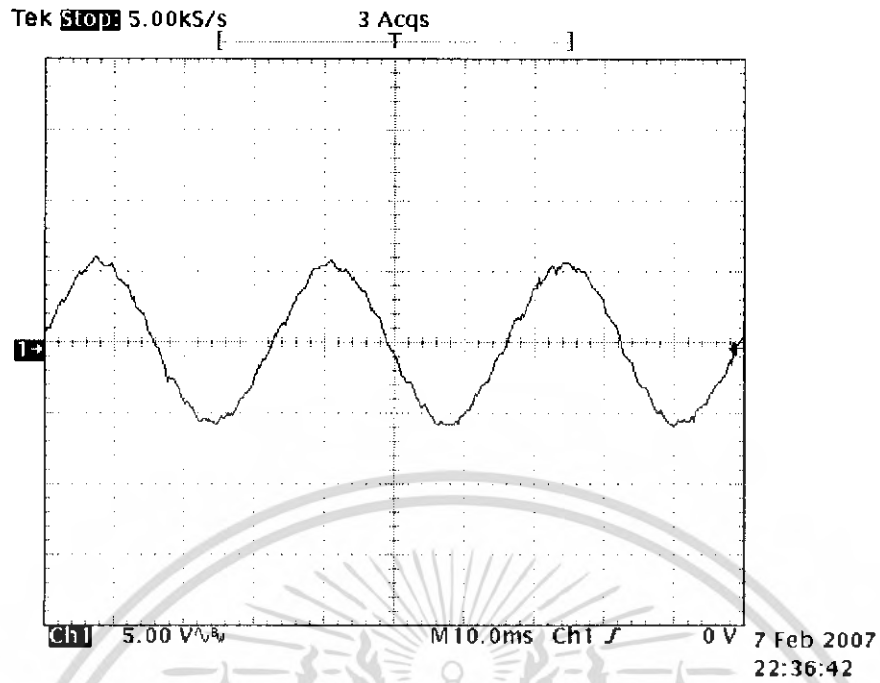


รูปที่ 4.3 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10 Hz

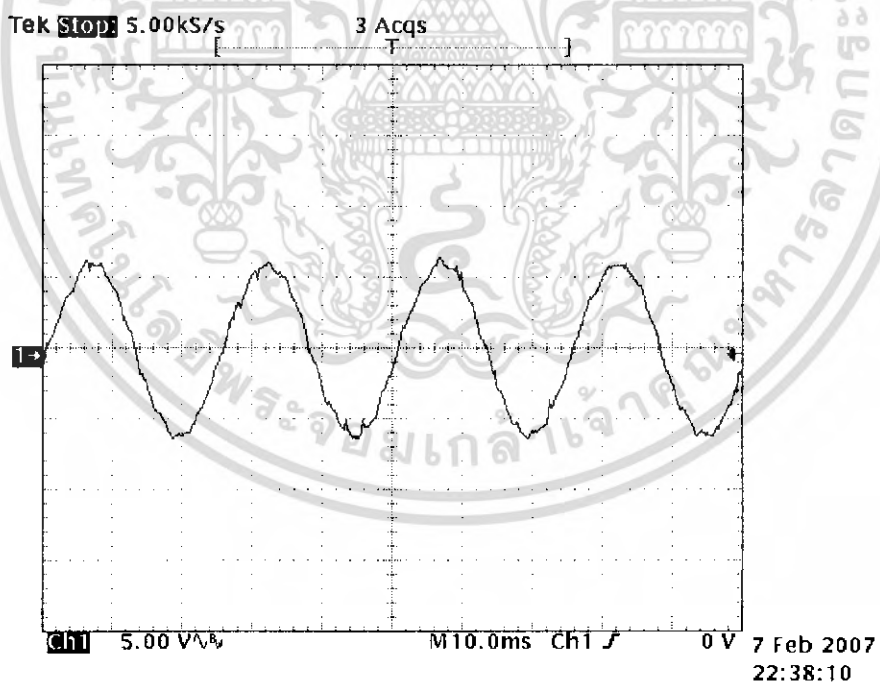


รูปที่ 4.4 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 20 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

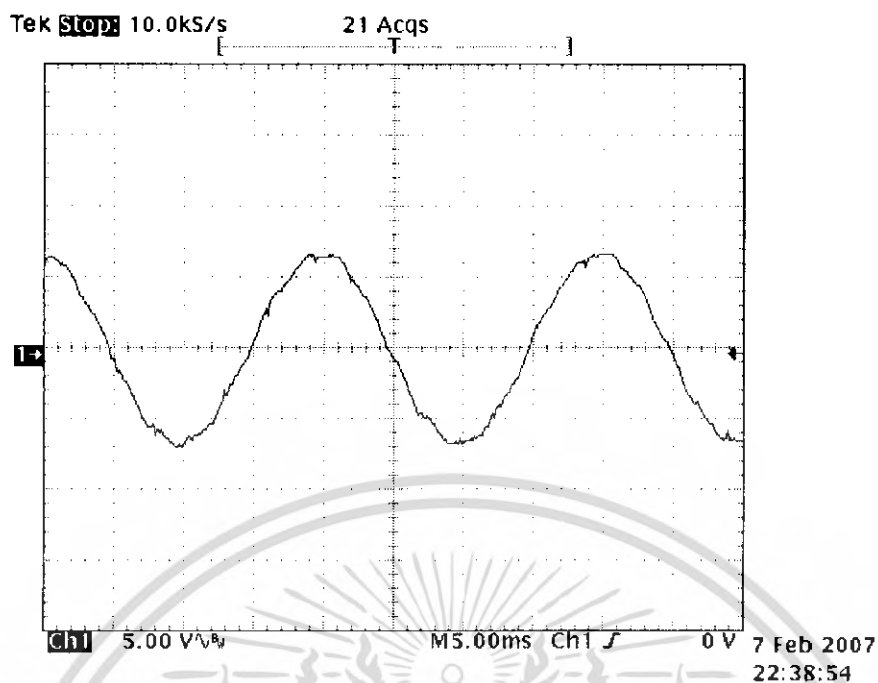


รูปที่ 4.5 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 30 Hz

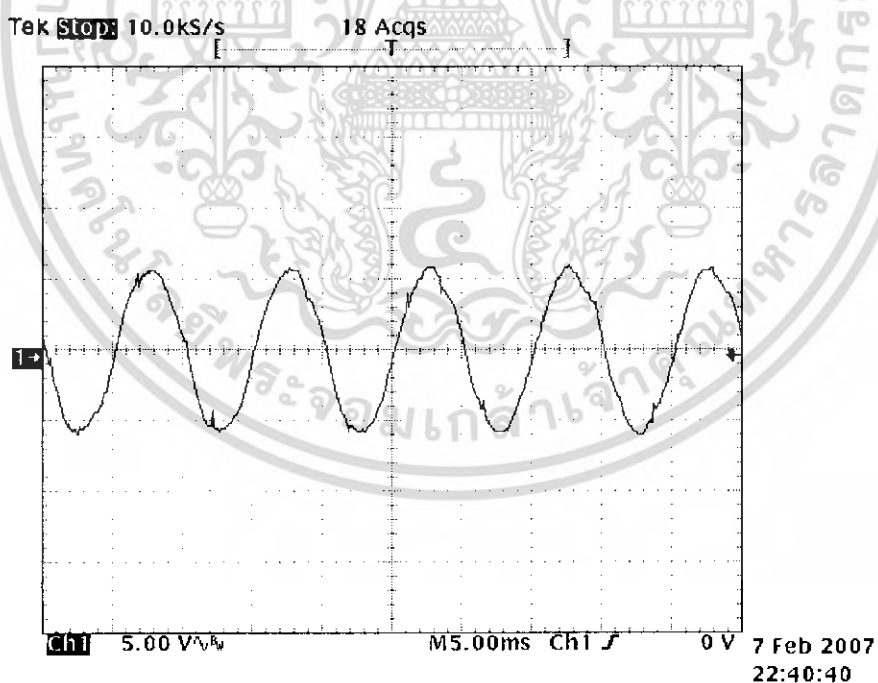


รูปที่ 4.6 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 40 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

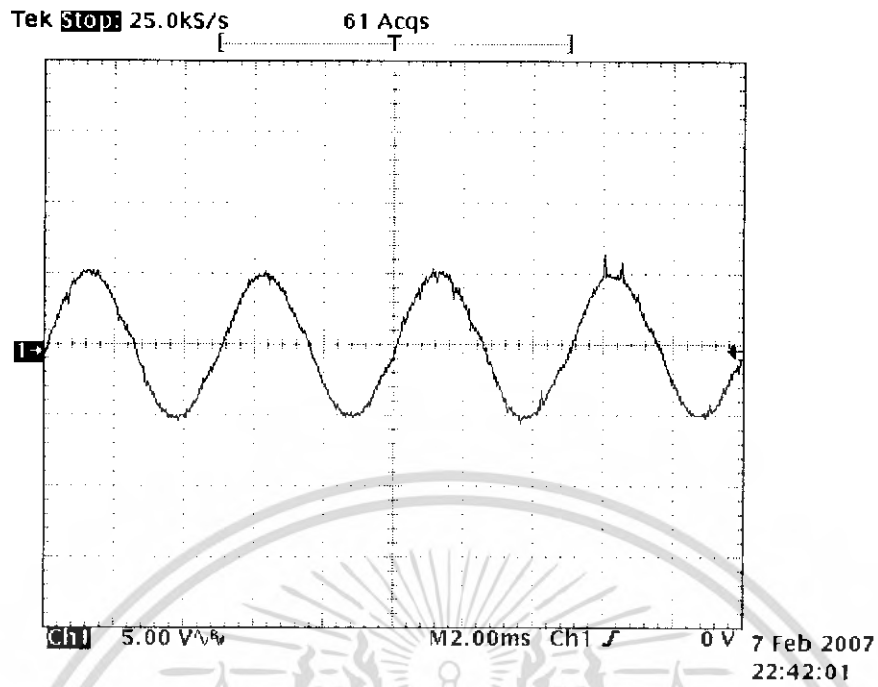


รูปที่ 4.7 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 50 Hz

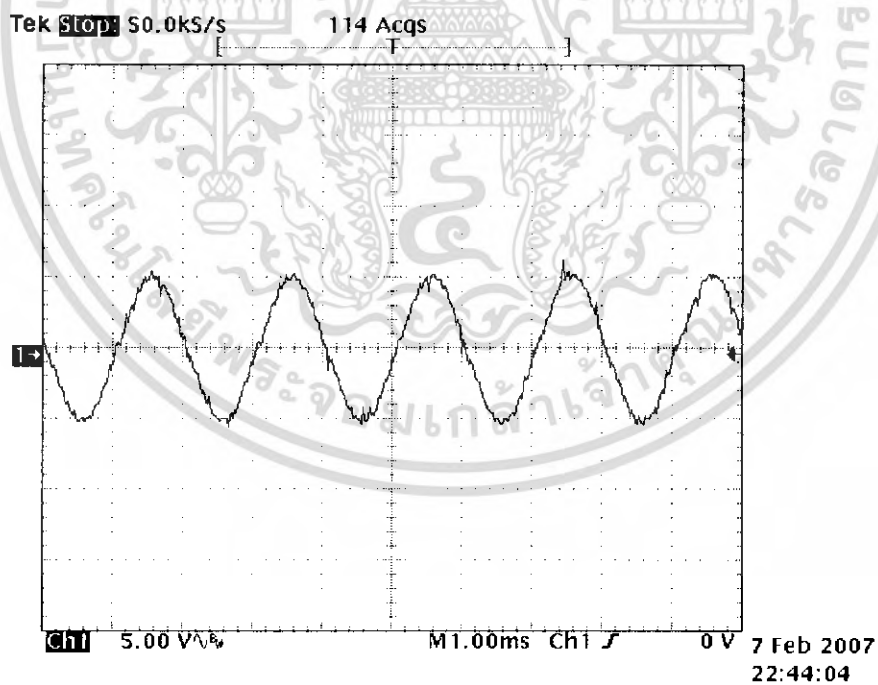


รูปที่ 4.8 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

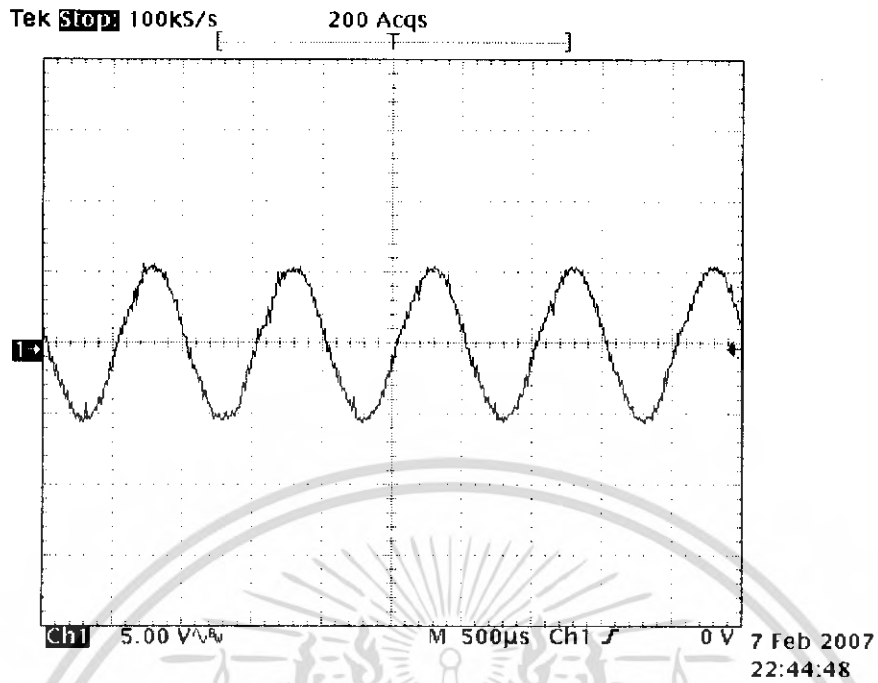


รูปที่ 4.9 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 200 Hz

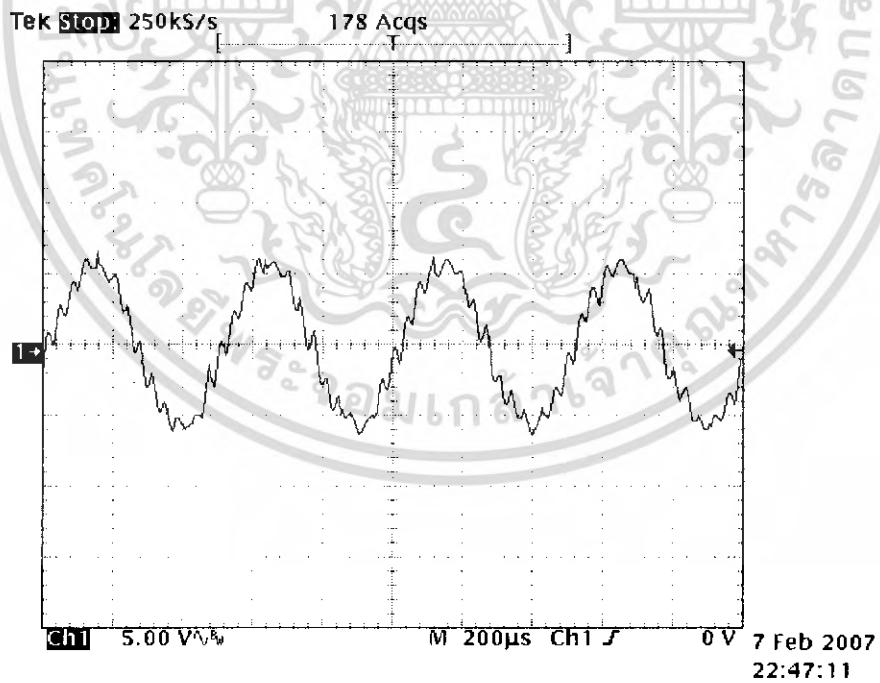


รูปที่ 4.10 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 500 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

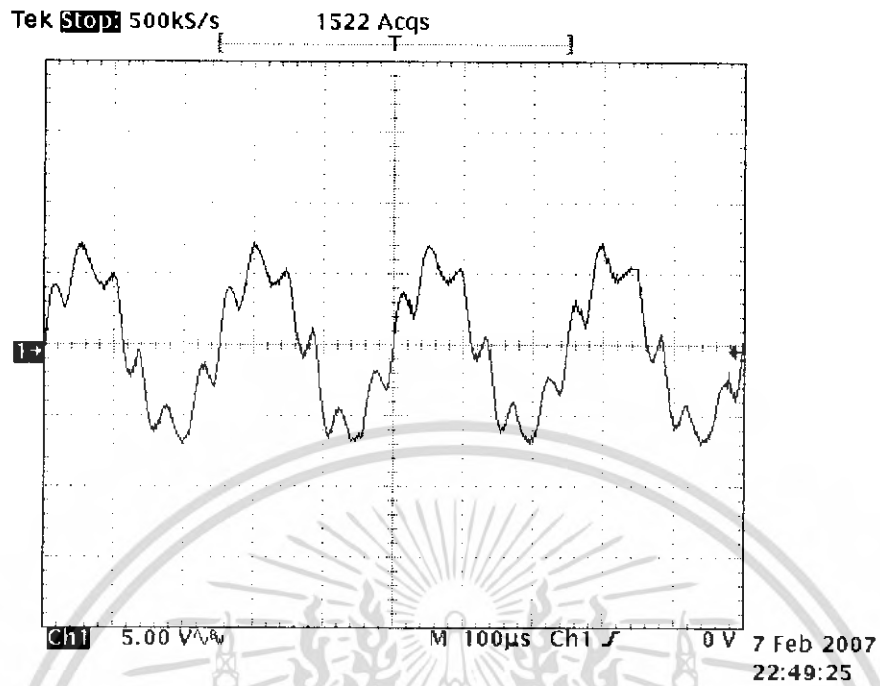


รูปที่ 4.11 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 1 kHz

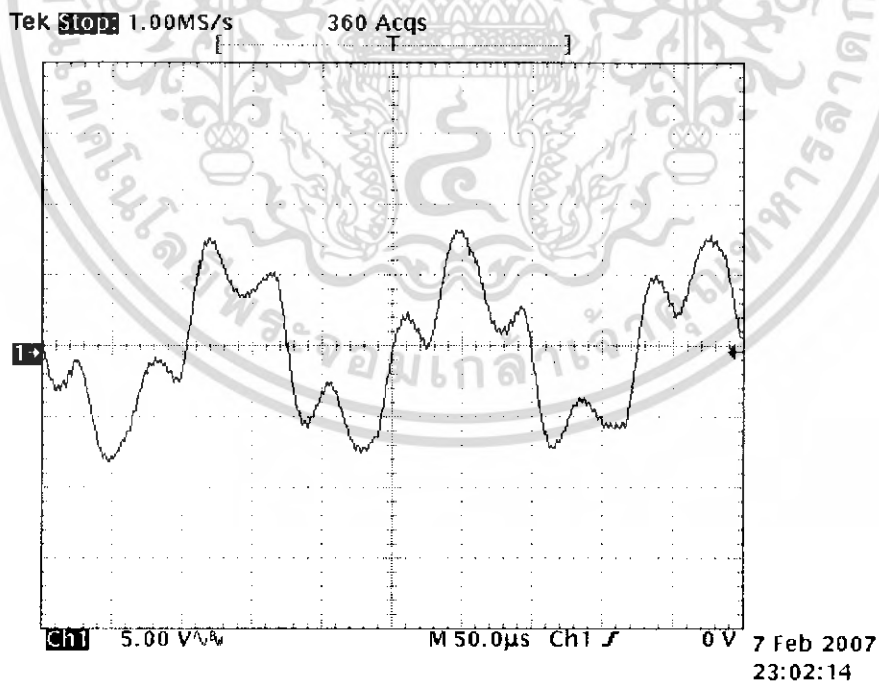


รูปที่ 4.12 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 2 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

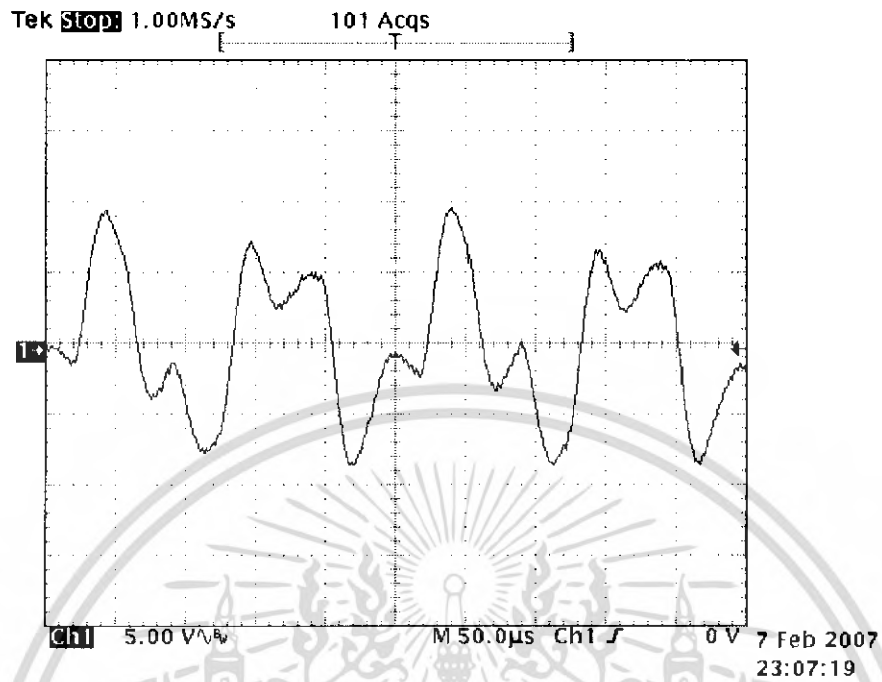


รูปที่ 4.13 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 4 kHz

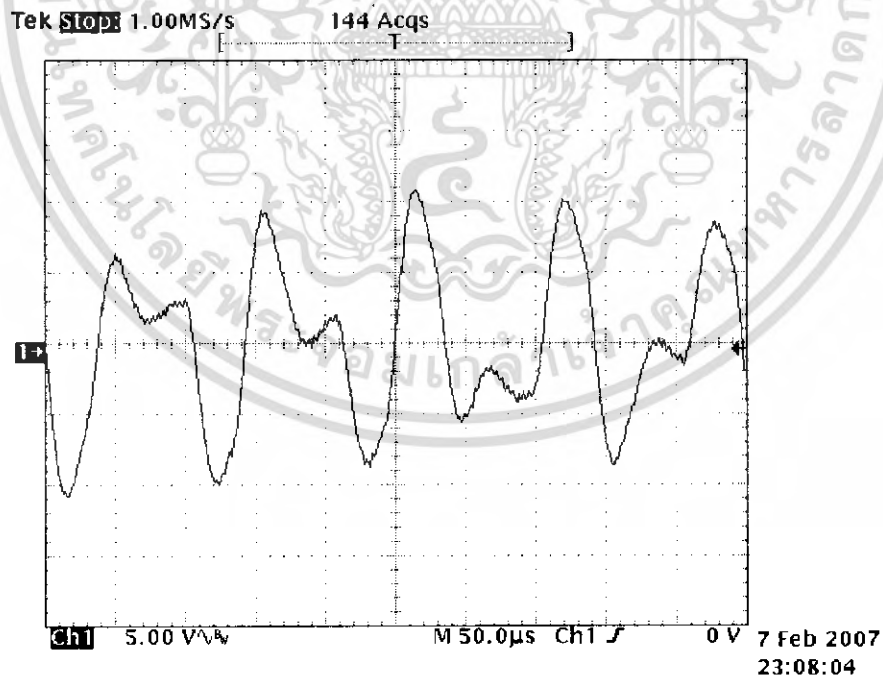


รูปที่ 4.14 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 6 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 8 kHz



รูปที่ 4.16 สัญญาณเอาต์พุตที่วัดจากลำโพงเมื่อป้อนสัญญาณความถี่ 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุป

โครงการนี้เป็นโครงการที่ได้ทำการออกแบบ และสร้างระบบดิจิทัลออไดโอบนไร้สาย สาย เพื่อใช้ในการแก้ปัญหาที่เกิดจากการส่งสัญญาณแบบไร้สาย แต่เนื่องด้วยข้อจำกัดต่างๆ เช่น วงจรในการรับ-ส่งสัญญาณไม่สามารถส่งข้อมูลได้อย่างต่อเนื่อง รวมทั้งอัตราการรับ-ส่งข้อมูลนั้นมี อัตราที่จำกัด จึงทำให้ไม่สามารถส่งข้อมูลเสียงที่มีคุณภาพสูงมากได้

ทำให้ต้องออกแบบระบบให้รับ-ส่งสัญญาณเสียงที่มีคุณภาพไม่สูงมากนัก เพื่อให้ระบบ สามารถทำการส่งข้อมูลสัญญาณเสียงไปยังภาครับได้อย่างต่อเนื่อง และเมื่อฟังเสียงที่ถอดรหัสได้ที่ ภาครับแล้วยังสามารถรับรู้ความหมายของสัญญาณเสียงนั้นได้ ซึ่งจากการทดลองนั้นพบว่า สัญญาณเสียงที่มีความถี่สูงตั้งแต่ประมาณ 4 กิโลเฮิรตซ์ขึ้นไป เริ่มมีรูปคลื่นที่ผิดเพี้ยน แต่เมื่อฟัง เสียงที่ได้ยินทางภาครับแล้วยังถือได้ว่าระบบสามารถทำงานได้โดยที่คุณภาพของเสียงอยู่ในระดับ ที่สามารถยอมรับได้

บรรณานุกรม

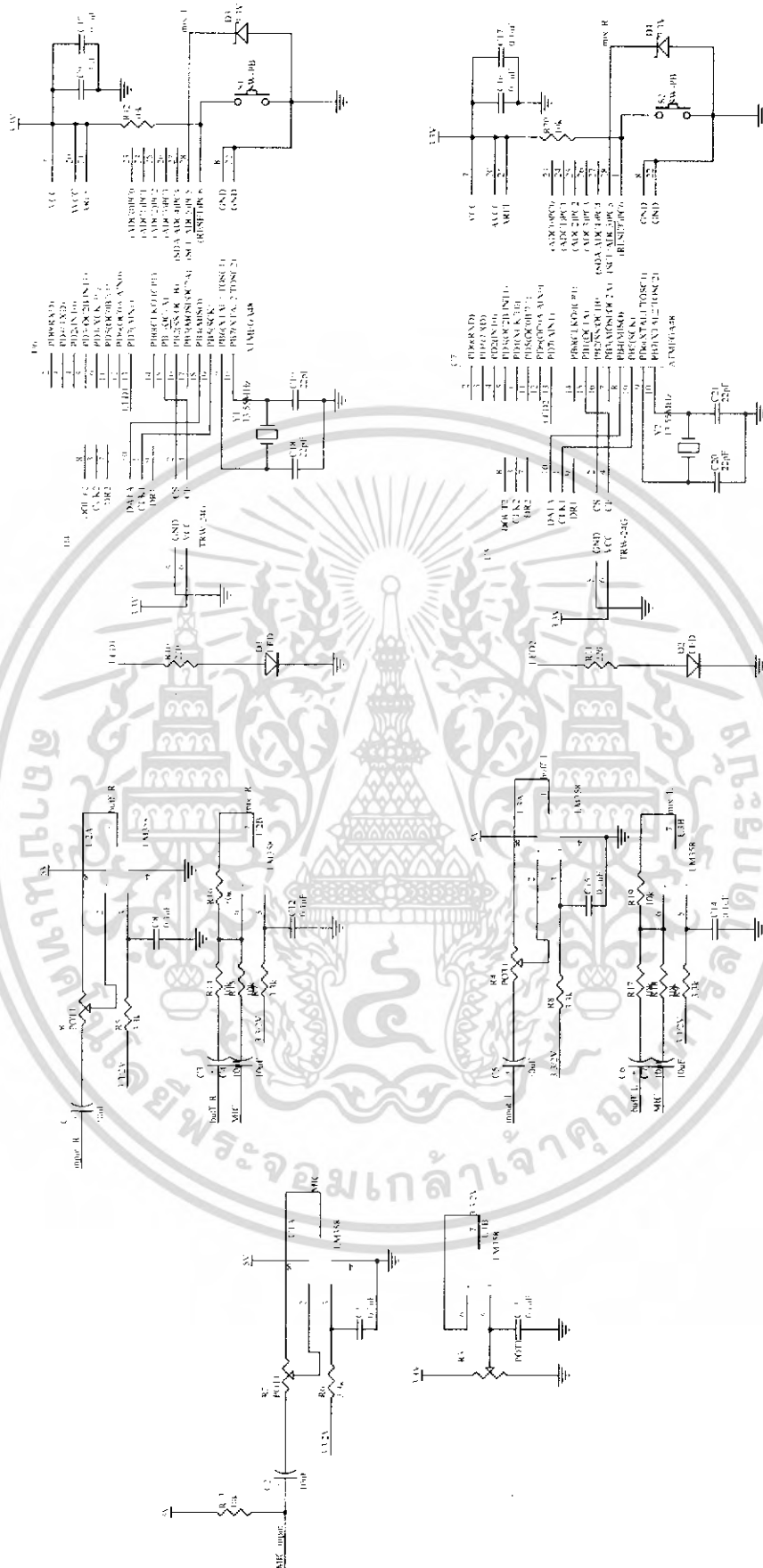
- [1] Hwei P. Shu. 1993. **Schaum's Outline of Theory and Problems of ANALOG AND DIGITAL COMMUNICATIONS**. New York : McGraw-Hill.
- [2] Lawrence P. Huelsman. 1993. **Active and Passive Analog Filter Design : An Introduction**. New York : McGraw-Hill.
- [3] Brown Stephen and Zvonko Vranesic. 2000. **Fundamentals of digital logic with VHDL design**. Boston : McGraw-Hill.
- [4] Kim Madsen and Ron Alexander. 2001. **System Design Considerations for True Digital Audio Power Amplifiers**. Texas Instruments
- [5] Bruce Carter and Thomas R. Brown. 2001. **Handbook Of Operational Amplifiers Application**. Texas Instruments
- [6] George E. Danz. 2003. **HIP4080A 80V High Frequency H-Bridge Driver, Application Note**. Intersil
- [7] Sergio Sanchez Moreno. 2005. **Class D audio amplifiers : theory and design**. Coldamp Engineer.
- [8] รศ.ดร. มนัส สังวรศิลป์ และวรรธน์ ภัทรอมรกุล. 2543. **คู่มือการใช้งาน MATLAB ฉบับสมบูรณ์**. นนทบุรี : อินโฟเพรส.
- [9] http://en.wikipedia.org/wiki/Low_pass_filter, วันที่ 6 มกราคม 2550
- [10] <http://en.wikipedia.org/wiki/CPLD>, วันที่ 6 มกราคม 2550
- [11] http://www.wenshing.com.tw/English/products_info.asp?bookbm=370, วันที่ 1 กันยายน 2547
- [12] http://www.powerdesigners.com/InfoWeb/design_center/articles/PWM/pwm.htm, วันที่ 28 กันยายน 2549
- [13] http://www.techonline.com/community/tech_group/38731, วันที่ 1 กันยายน 2549



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



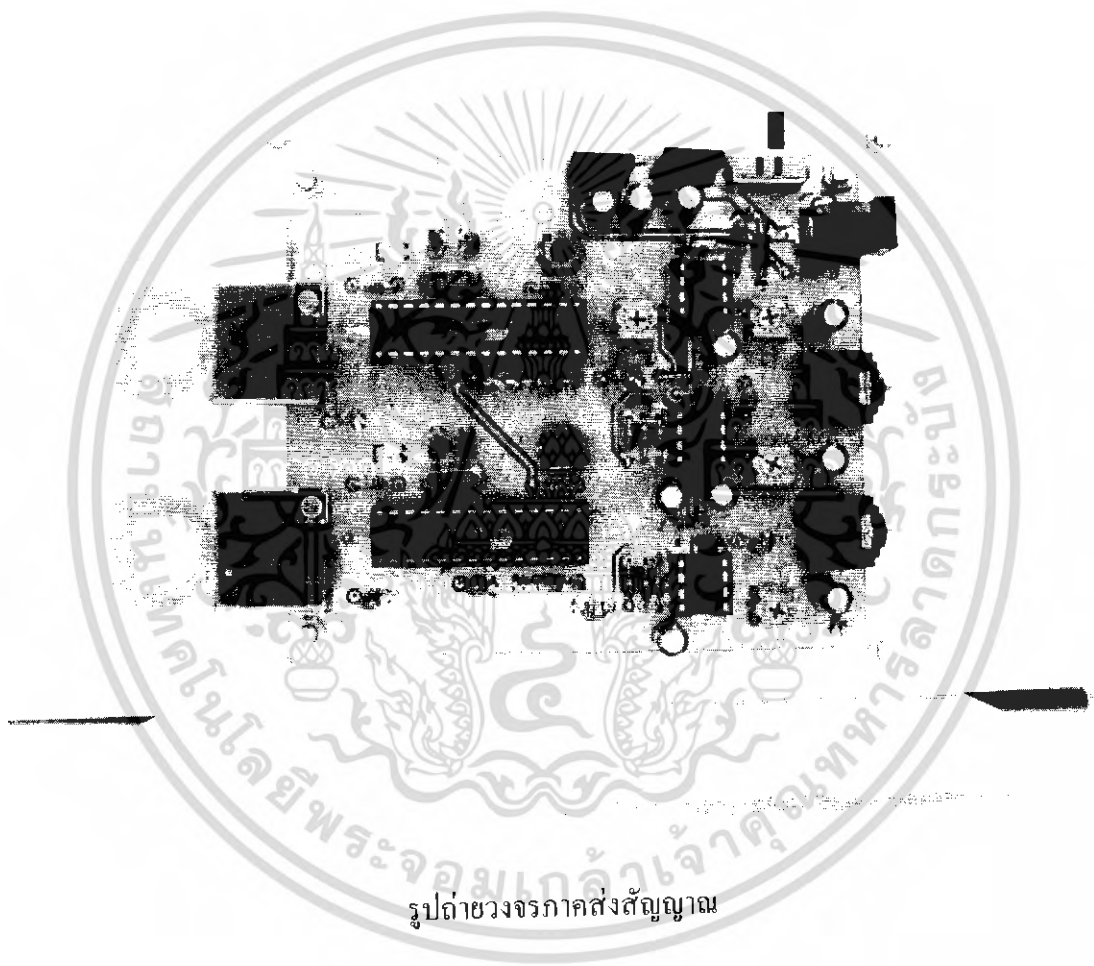
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปถ่ายวงจรภาคส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปถ่ายวงจรภาครับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- High Performance, Low Power AVR[®] 8-Bit Microcontroller
- Advanced RISC Architecture
 - 131 Powerful Instructions – Most Single Clock Cycle Execution
 - 32 x 8 General Purpose Working Registers
 - Fully Static Operation
 - Up to 20 MIPS Throughput at 20 MHz
 - On-chip 2-cycle Multiplier
- Non-volatile Program and Data Memories
 - 4/8/16K Bytes of In-System Self-Programmable Flash (ATmega48/88/168)
Endurance: 10,000 Write/Erase Cycles
 - Optional Boot Code Section with Independent Lock Bits
In-System Programming by On-chip Boot Program
True Read-While-Write Operation
 - 256/512/512 Bytes EEPROM (ATmega48/88/168)
Endurance: 100,000 Write/Erase Cycles
 - 512/1K/1K Byte Internal SRAM (ATmega48/88/168)
 - Programming Lock for Software Security
- Peripheral Features
 - Two 8-bit Timer/Counters with Separate Prescaler and Compare Mode
 - One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
 - Real Time Counter with Separate Oscillator
 - Six PWM Channels
 - 8-channel 10-bit ADC in TQFP and QFN/MLF package
 - 6-channel 10-bit ADC in PDIP Package
 - Programmable Serial USART
 - Master/Slave SPI Serial Interface
 - Byte-oriented 2-wire Serial Interface (Philips I²C compatible)
 - Programmable Watchdog Timer with Separate On-chip Oscillator
 - On-chip Analog Comparator
 - Interrupt and Wake-up on Pin Change
- Special Microcontroller Features
 - Power-on Reset and Programmable Brown-out Detection
 - Internal Calibrated Oscillator
 - External and Internal Interrupt Sources
 - Five Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, and Standby
- I/O and Packages
 - 23 Programmable I/O Lines
 - 28-pin PDIP, 32-lead TQFP, 28-pad QFN/MLF and 32-pad QFN/MLF
- Operating Voltage:
 - 1.8 - 5.5V for ATmega48V/88V/168V
 - 2.7 - 5.5V for ATmega48/88/168
- Temperature Range:
 - -40°C to 85°C
- Speed Grade:
 - ATmega48V/88V/168V: 0 - 4 MHz @ 1.8 - 5.5V, 0 - 10 MHz @ 2.7 - 5.5V
 - ATmega48/88/168: 0 - 10 MHz @ 2.7 - 5.5V, 0 - 20 MHz @ 4.5 - 5.5V
- Low Power Consumption
 - Active Mode:
 - 250 μ A at 1 MHz, 1.8V
 - 15 μ A at 32 kHz, 1.8V (including Oscillator)
 - Power-down Mode:
 - 0.1 μ A at 1.8V



8-bit AVR[®]
Microcontroller
with 8K Bytes
In-System
Programmable
Flash

ATmega48/V
ATmega88/V *
ATmega168/V *

* Preliminary

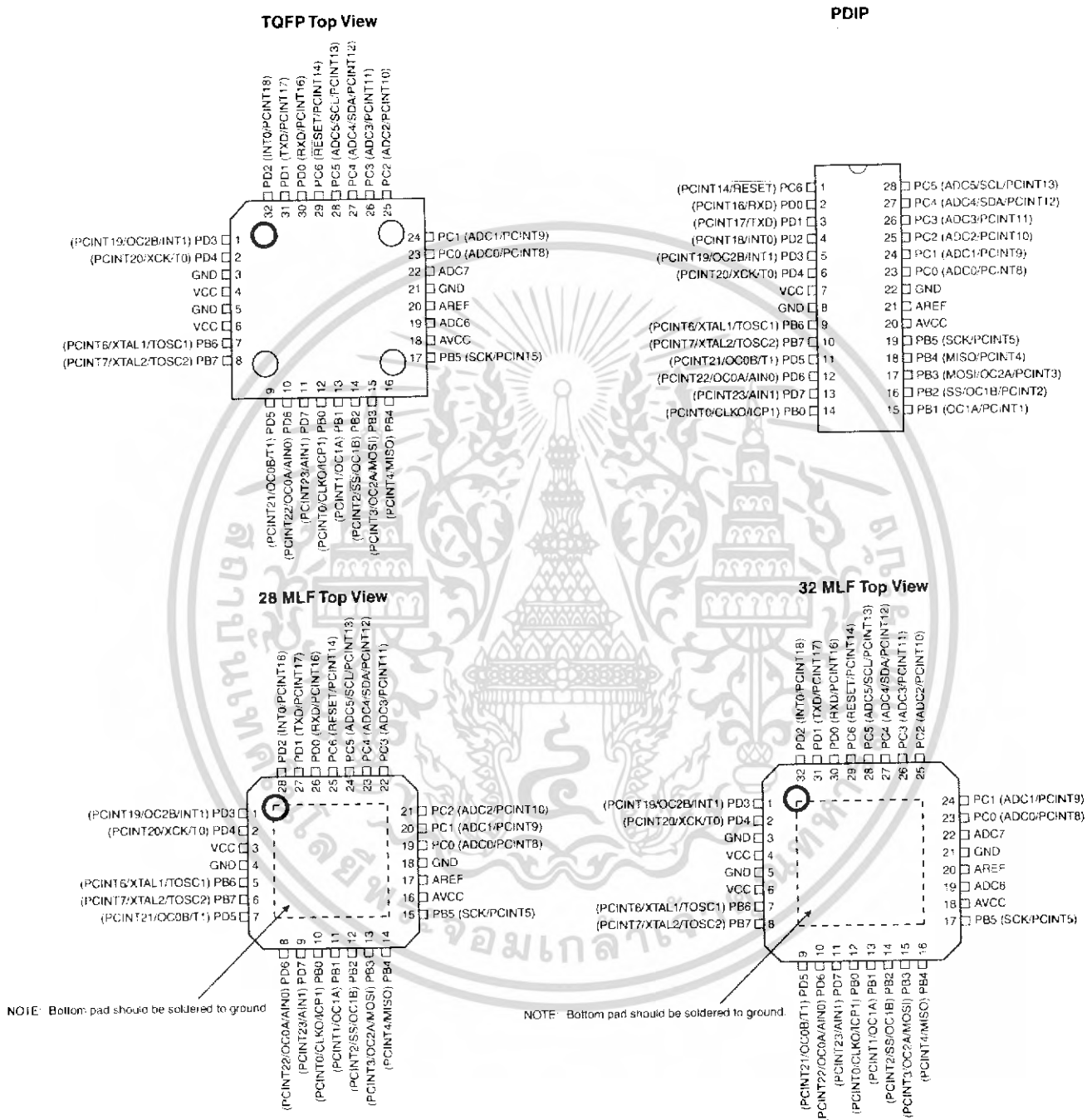
Rev. 2545JS-AVR-12/06



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ในเชิงการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Pin Configurations

Figure 1-1. Pinout ATmega48/88/168



1.1 Pin Descriptions

1.1.1 VCC

Digital supply voltage.

1.1.2 GND

Ground.

1.1.3 Port B (PB7:0) XTAL1/XTAL2/TOSC1/TOSC2

Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Depending on the clock selection fuse settings, PB6 can be used as input to the inverting Oscillator amplifier and input to the internal clock operating circuit.

Depending on the clock selection fuse settings, PB7 can be used as output from the inverting Oscillator amplifier.

If the Internal Calibrated RC Oscillator is used as chip clock source, PB7..6 is used as TOSC2..1 input for the Asynchronous Timer/Counter2 if the AS2 bit in ASSR is set.

The various special features of Port B are elaborated in "Alternate Functions of Port B" on page 78 and "System Clock and Clock Options" on page 27.

1.1.4 Port C (PC5:0)

Port C is a 7-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The PC5..0 output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.

1.1.5 PC6/RESET

If the RSTDISBL Fuse is programmed, PC6 is used as an I/O pin. Note that the electrical characteristics of PC6 differ from those of the other pins of Port C.

If the RSTDISBL Fuse is unprogrammed, PC6 is used as a Reset input. A low level on this pin for longer than the minimum pulse length will generate a Reset, even if the clock is not running. The minimum pulse length is given in Table 27-3 on page 307. Shorter pulses are not guaranteed to generate a Reset.

The various special features of Port C are elaborated in "Alternate Functions of Port C" on page 81.

1.1.6 Port D (PD7:0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up

resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

The various special features of Port D are elaborated in "Alternate Functions of Port D" on page 84.

1.1.7 AV_{CC}

AV_{CC} is the supply voltage pin for the A/D Converter, PC3:0, and ADC7:6. It should be externally connected to V_{CC} , even if the ADC is not used. If the ADC is used, it should be connected to V_{CC} through a low-pass filter. Note that PC6..4 use digital supply voltage, V_{CC} .

1.1.8 AREF

AREF is the analog reference pin for the A/D Converter.

1.1.9 ADC7:6 (TQFP and QFN/MLF Package Only)

In the TQFP and QFN/MLF package, ADC7:6 serve as analog inputs to the A/D converter. These pins are powered from the analog supply and serve as 10-bit ADC channels.

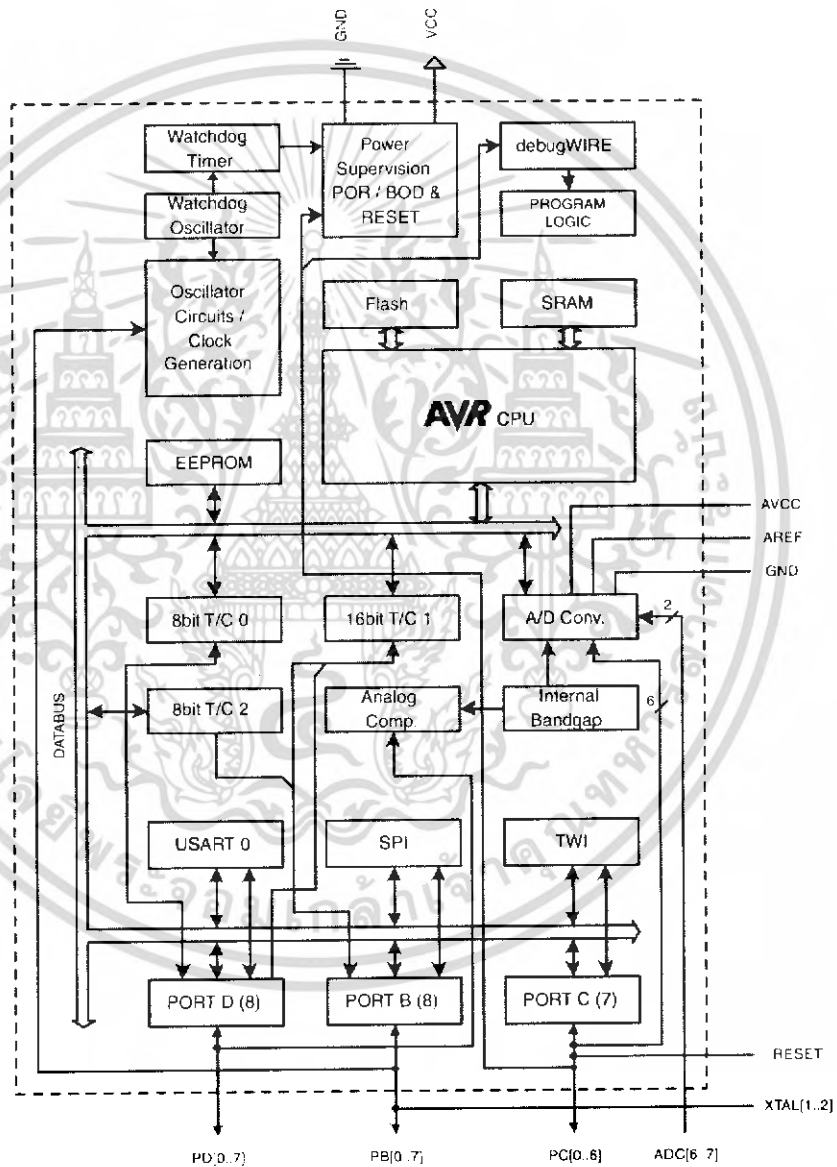


2. Overview

The ATmega48/88/168 is a low-power CMOS 8-bit microcontroller based on the AVR enhanced RISC architecture. By executing powerful instructions in a single clock cycle, the ATmega48/88/168 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

2.1 Block Diagram

Figure 2-1. Block Diagram



The AVR core combines a rich instruction set with 32 general purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting





architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega48/88/168 provides the following features: 4K/8K/16K bytes of In-System Programmable Flash with Read-While-Write capabilities, 256/512/512 bytes EEPROM, 512/1K/1K bytes SRAM, 23 general purpose I/O lines, 32 general purpose working registers, three flexible Timer/Counters with compare modes, internal and external interrupts, a serial programmable USART, a byte-oriented 2-wire Serial Interface, an SPI serial port, a 6-channel 10-bit ADC (8 channels in TQFP and QFN/MLF packages), a programmable Watchdog Timer with internal Oscillator, and five software selectable power saving modes. The Idle mode stops the CPU while allowing the SRAM, Timer/Counters, USART, 2-wire Serial Interface, SPI port, and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next interrupt or hardware reset. In Power-save mode, the asynchronous timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except asynchronous timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/resonator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low power consumption.

The device is manufactured using Atmel's high density non-volatile memory technology. The On-chip ISP Flash allows the program memory to be reprogrammed In-System through an SPI serial interface, by a conventional non-volatile memory programmer, or by an On-chip Boot program running on the AVR core. The Boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash section will continue to run while the Application Flash section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega48/88/168 is a powerful microcontroller that provides a highly flexible and cost effective solution to many embedded control applications.

The ATmega48/88/168 AVR is supported with a full suite of program and system development tools including: C Compilers, Macro Assemblers, Program Debugger/Simulators, In-Circuit Emulators, and Evaluation kits.

2.2 Comparison Between ATmega48, ATmega88, and ATmega168

The ATmega48, ATmega88 and ATmega168 differ only in memory sizes, boot loader support, and interrupt vector sizes. Table 2-1 summarizes the different memory and interrupt vector sizes for the three devices.

Table 2-1. Memory Size Summary

Device	Flash	EEPROM	RAM	Interrupt Vector Size
ATmega48	4K Bytes	256 Bytes	512 Bytes	1 instruction word/vector
ATmega88	8K Bytes	512 Bytes	1K Bytes	1 instruction word/vector
ATmega168	16K Bytes	512 Bytes	1K Bytes	2 instruction words/vector

ATmega88 and ATmega168 support a real Read-While-Write Self-Programming mechanism. There is a separate Boot Loader Section, and the SPM instruction can only execute from there. In ATmega48, there is no Read-While-Write support and no separate Boot Loader Section. The SPM instruction can execute from the entire Flash.

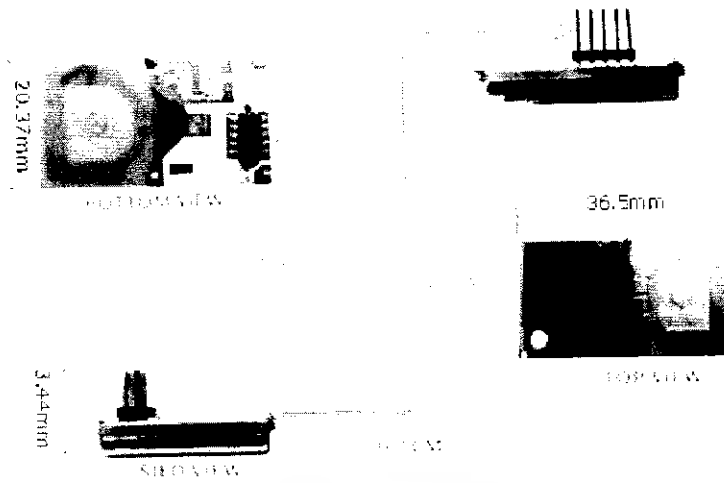
TRW-24G High Frequency Transceiver Module(GFSK)


◆Specification :

- * Frequency Range: 2.4~2.524 GHz
- * Modulate Mode: GFSK
- * Work Voltage: 3V
- * Channel: 83
- * Output Power: +4dBm
- * Data Rate: 1Mbps; 250Kbps
- * Operating Temperature: -40~+85 Centigrade
- * The longest range : 280m (250Kbps); 150m (1Mbps)
- * No dead spaces in reception.
- * Built in antenna.
- * Competitive price.
- * Apply for various type of products: Wireless Joysticks, Wireless Speaker, Wireless Earphone , Wireless Cell phone , Wireless Intercom , Wireless Mouse, Wireless Keyboard and Data

เอกสาร Communication...ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

◆Graph:



Conditions: VDD=+3V, VSS=0V, T_A= -40 centigrade to +85 centigrade

Symbol	Parameter(condition)	Notes	Min.	Typ.	Max.	Units
VDD	Supply voltage		1.9	3.0	3.6	V
TEMP	Operating temperature		-40	+27	+85	Centigrade
f _{op}	Operating frequency	1)	2400		2524	MHz
R _{GFSK}	Data rate direct mode	3)	250		1000	kbps
F _{CHANNEL}	Channel spacing			1		MHz
I _{VDD}	Supply current one channel 250kbps			18		mA
I _{VDD}	Supply current one channel 1000kbps			19		mA
I _{VDD}	Supply current two channels 250kbps			23		mA
I _{VDD}	Supply current two channels 1000kbps			25		mA
RX _{SENS}	Sensitivity at 0.1%BER(@250kbps)			-90		dB
RX _{SENS}	Sensitivity at 0.1%BER(@1000kbps)			-80		dB

Part No.	Description
TRW-24G	High frequency Transceiver module (GFSK) 2.4GHz



Partnership



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRODUCT SPECIFICATION

nRF2401 Single Chip 2.4 GHz Radio Transceiver

ELECTRICAL SPECIFICATIONS

Conditions: VDD = +3V, VSS = 0V, TA = -40°C to +85°C

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
Operating conditions						
VDD	Supply voltage		1.9	3.0	3.6	V
TEMP	Operating Temperature		-40	+27	+85	°C
Digital input pin						
V _{IHI}	HIGH level input voltage		VDD- 0.3		VDD	V
V _{IL}	LOW level input voltage		Vss		0.3	V
Digital output pin						
V _{OH}	HIGH level output voltage (I _{OH} =-0.5mA)		VDD- 0.3		VDD	V
V _{OL}	LOW level output voltage (I _{OL} =0.5mA)		Vss		0.3	V
General RF conditions						
f _{OP}	Operating frequency	1)	2400		2524	MHz
f _{XTAL}	Crystal frequency	2)	4		20	MHz
Δf	Frequency deviation			+156		kHz
R _{GFSK}	Data rate ShockBurst™		>0		1000	kbps
R _{GFSK}	Data rate Direct Mode	3)	250		1000	kbps
F _{CHANNEL}	Channel spacing			1		MHz
Transmitter operation						
P _{RF}	Maximum Output Power	4)		0	+4	dBm
P _{RFC}	RF Power Control Range		16	20		dB
P _{RFRCR}	RF Power Control Range Resolution				±3	dB
P _{BW}	20dB Bandwidth for Modulated Carrier				1000	kHz
P _{RF2}	2 nd Adjacent Channel Transmit Power 2MHz				-20	dBm
P _{RF3}	3 rd Adjacent Channel Transmit Power 3MHz				-40	dBm
I _{VDD}	Supply current @ 0dBm output power	5)		13		mA
I _{VDD}	Supply current @ -20dBm output power	5)		8.8		mA
I _{VDD}	Average Supply current @ -5dBm output power, ShockBurst™	6)		0.8		mA
I _{VDD}	Average Supply current in stand-by mode	7)		12		μA
I _{VDD}	Average Supply current in power down			400		nA
Receiver operation						
I _{VDD}	Supply current one channel 250kbps			18		mA
I _{VDD}	Supply current one channel 1000kbps			19		mA
I _{VDD}	Supply current two channels 250kbps			23		mA
I _{VDD}	Supply current two channels 1000kbps			25		mA
RX _{SENS}	Sensitivity at 0.1%BER (@250kbps)			-90		dBm
RX _{SENS}	Sensitivity at 0.1%BER (@1000kbps)			-80		dBm
C/I _{CO}	C/I Co-channel	8)		10/4		dB
C/I _{1ST}	1 st Adjacent Channel Selectivity C/I 1MHz	8)		-20/0		dB
C/I _{2ND}	2 nd Adjacent Channel Selectivity C/I 2MHz	8)		-37/-20		dB
C/I _{3RD}	3 rd Adjacent Channel Selectivity C/I 3MHz	8)		-43/-30		dB
RX _B	Blocking Data Channel 2			-45/-41		dB

- Usable band is determined by local regulations
- The crystal frequency may be chosen from 5 different values (4, 8, 12, 16, and 20MHz) which are specified in the configuration word, see Table 9. 16MHz are required for 1Mbps operation.
- Data rate must be either 250kbps or 1000kbps.
- Antenna load impedance = 100Ω+j175Ω
- Antenna load impedance = 100Ω+j175Ω. Effective data rate 250kbps or 1Mbps.
- Antenna load impedance = 100Ω+j175Ω. Effective data rate 10kbps.
- Current if 4 MHz crystal is used.
- 250kbps/1000kbps.

Table 4 nRF2401 RF specifications



LM158,A-LM258,A LM358,A

LOW POWER DUAL OPERATIONAL AMPLIFIERS

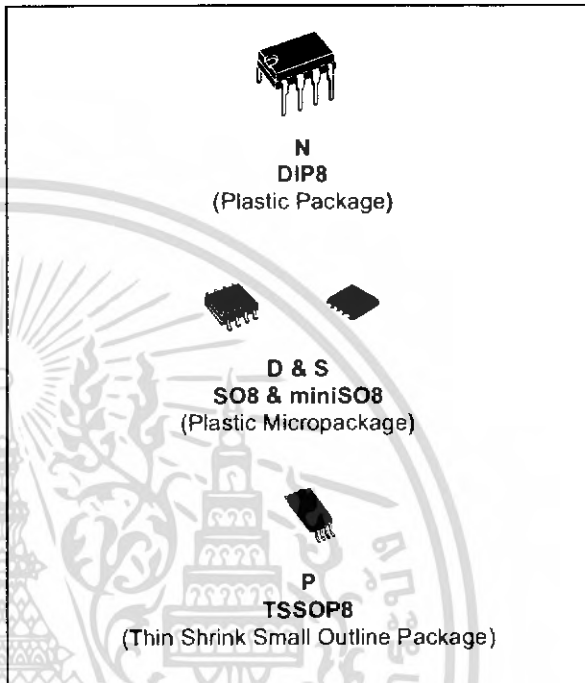
- INTERNALLY FREQUENCY COMPENSATED
- LARGE DC VOLTAGE GAIN: 100dB
- WIDE BANDWIDTH (unity gain): 1.1MHz (temperature compensated)
- VERY LOW SUPPLY CURRENT/OP (500µA) ESSENTIALLY INDEPENDENT OF SUPPLY VOLTAGE
- LOW INPUT BIAS CURRENT: 20nA (temperature compensated)
- LOW INPUT OFFSET VOLTAGE: 2mV
- LOW INPUT OFFSET CURRENT: 2nA
- INPUT COMMON-MODE VOLTAGE RANGE INCLUDES GROUND
- DIFFERENTIAL INPUT VOLTAGE RANGE EQUAL TO THE POWER SUPPLY VOLTAGE
- LARGE OUTPUT VOLTAGE SWING 0V TO (V_{cc} - 1.5V)

DESCRIPTION

These circuits consist of two independent, high gain, internally frequency compensated which were designed specifically to operate from a single power supply over a wide range of voltages. The low power supply drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op-amp circuits which now can be more easily implemented in single power supply systems. For example, these circuits can be directly supplied with the standard +5V which is used in logic systems and will easily provide the required interface electronics without requiring any additional power supply.

In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.



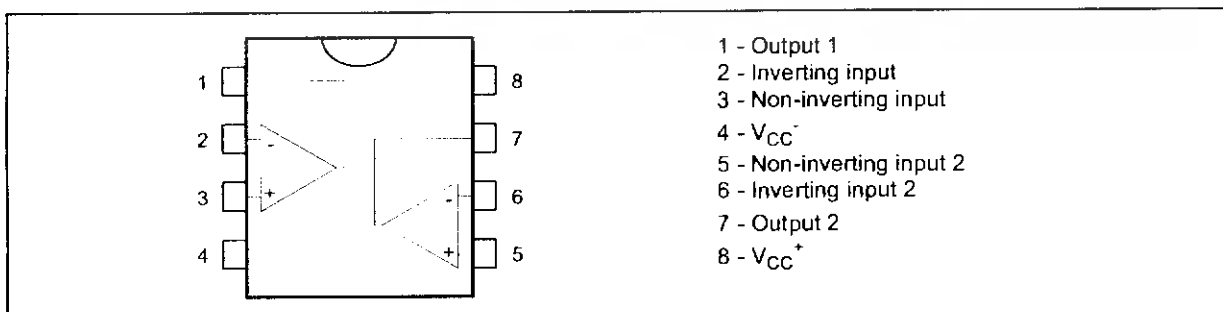
ORDER CODE

Part Number	Temperature Range	Package			
		N	S	D	P
LM158,A	-55°C, +125°C	•		•	•
LM258,A	-40°C, +105°C	•		•	•
LM358,A	0°C, +70°C	•	•	•	•

Example : LM258N

N = Dual in Line Package (DIP)
 D = Small Outline Package (SO) - also available in Tape & Reel (DT)
 S = Small Outline Package (miniSO) only available in Tape & Reel (DT)
 P = Thin Shrink Small Outline Package (TSSOP) - only available in Tape & Reel (PT)

PIN CONNECTIONS (top view)



March 1995

Features

- Drives N-Channel FET Full Bridge Including High Side Chop Capability
- Bootstrap Supply Max Voltage to 95VDC
- Drives 1000pF Load at 1MHz in Free Air at +50°C with Rise and Fall Times of Typically 10ns
- User-Programmable Dead Time
- Charge-Pump and Bootstrap Maintain Upper Bias Supplies
- DIS (Disable) Pin Pulls Gates Low
- Input Logic Thresholds Compatible with 5V to 15V Logic Levels
- Very Low Power Consumption
- Undervoltage Protection

Applications

- Medium/Large Voice Coil Motors
- Full Bridge Power Supplies
- Class D Audio Power Amplifiers
- High Performance Motor Controls
- Noise Cancellation Systems
- Battery Powered Vehicles
- Peripherals
- U.P.S.

Description

The HIP4080A is a high frequency, medium voltage Full Bridge N-Channel FET driver IC, available in 20 lead plastic SOIC and DIP packages. The HIP4080A includes an input comparator, used to facilitate the "hysteresis" and PWM modes of operation. Its HEN (high enable) lead can force current to freewheel in the bottom two external power MOSFETs, maintaining the upper power MOSFETs off. Since it can switch at frequencies up to 1MHz, the HIP4080A is well suited for driving Voice Coil Motors, switching amplifiers in class D high-frequency switching audio amplifiers and power supplies.

HIP4080A can also drive medium voltage brush motors, and two HIP4080As can be used to drive high performance stepper motors, since the short minimum "on-time" can provide fine micro-stepping capability.

Short propagation delays of approximately 55ns maximizes control loop crossover frequencies and dead-times which can be adjusted to near zero to minimize distortion, resulting in precise control of the driven load.

The similar HIP4081A IC allows independent control of all 4 FETs in an Full Bridge configuration.

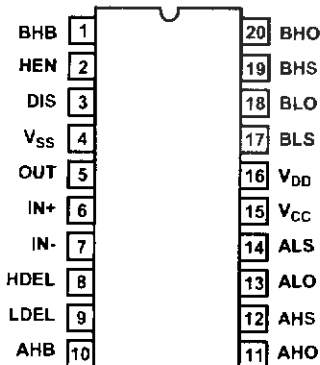
The Application Note for the HIP4080A is AN9404.

Ordering Information

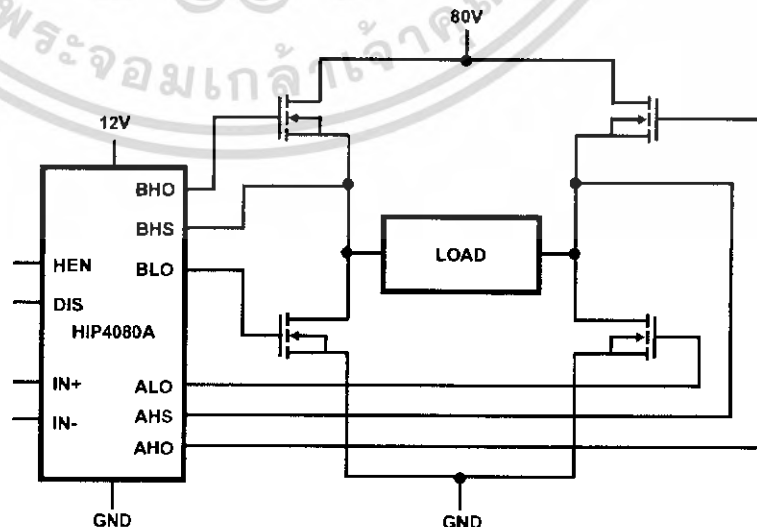
PART NUMBER	TEMPERATURE RANGE	PACKAGE
HIP4080AIP	-40°C to +85°C	20 Lead Plastic DIP
HIP4080AIB	-40°C to +85°C	20 Lead Plastic SOIC (W)

Pinout

HIP4080A (PDIP, SOIC)
TOP VIEW



Application Block Diagram



Specifications HIP4080A

Absolute Maximum Ratings

Supply Voltage, V_{DD} and V_{CC}	-0.3V to 16V
Logic I/O Voltages	-0.3V to $V_{DD} + 0.3V$
Voltage on AHS, BHS	-6.0V (Transient) to 80V (25°C to 125°C)
Voltage on AHS, BHS	-6.0V (Transient) to 70V (-55°C to 125°C)
Voltage on ALS, BLS	-2.0V (Transient) to +2.0V (Transient)
Voltage on AHB, BHB	$V_{AHS, BHS} - 0.3V$ to $V_{AHS, BHS} + V_{DD}$
Voltage on ALO, BLO	$V_{ALS, BLS} - 0.3V$ to $V_{CC} + 0.3V$
Voltage on AHO, BHO	$V_{AHS, BHS} - 0.3V$ to $V_{AHB, BHB} + 0.3V$
Input Current, HDEL and LDEL	-5mA to 0mA
Phase Slew Rate	20V/ns

NOTE: All Voltages relative to V_{SS} , unless otherwise specified.

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Thermal Information

Thermal Resistance	θ_{JA}
SOIC Package	+85°C/W
DIP Package	+75°C/W
Maximum Power Dissipation at +85°C	
SOIC Package	470mW
DIP Package	530mW
Storage Temperature Range	-65°C to +150°C
Operating Max. Junction Temperature	+125°C
Lead Temperature (Soldering 10s)	+300°C
(For SOIC - Lead Tips Only)	

Operating Conditions

Supply Voltage, V_{DD} and V_{CC}	+9.5V to +15V	Input Current, HDEL and LDEL	-500 μ A to -50 μ A
Voltage on ALS, BLS	-1.0V to +1.0V	Operating Ambient Temperature Range	-40°C to +85°C
Voltage on AHB, BHB	$V_{AHS, BHS} + 5V$ to $V_{AHS, BHS} + 15V$		

Electrical Specifications $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25^\circ C$, Unless Otherwise Specified

PARAMETERS	SYMBOL	TEST CONDITIONS	$T_J = +25^\circ C$			$T_J = -40^\circ C$ TO $+125^\circ C$		UNITS
			MIN	TYP	MAX	MIN	MAX	
SUPPLY CURRENTS AND CHARGE PUMPS								
V_{DD} Quiescent Current	I_{DD}	$I_{IN-} = 2.5V$, Other Inputs = 0V	8	11	14	7	14	mA
V_{DD} Operating Current	I_{DDO}	Outputs switching $f = 500kHz$, No Load	9	12	15	8	15	mA
V_{CC} Quiescent Current	I_{CC}	$I_{IN-} = 2.5V$, Other Inputs = 0V, $I_{ALO} = I_{BLO} = 0$	-	25	80	-	100	μA
V_{CC} Operating Current	I_{CCO}	$f = 500kHz$, No Load	1	1.25	2.0	0.8	3	mA
AHB, BHB Quiescent Current - Qpump Output Current	I_{AHB}, I_{BHB}	$I_{IN-} = 2.5V$, Other Inputs = 0V, $I_{AHO} =$ $I_{BHO} = 0$, $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 10V$	-50	-25	-11	-60	-10	μA
AHB, BHB Operating Current	I_{AHBO}, I_{BHBO}	$f = 500kHz$, No Load	0.62	1.2	1.5	0.5	1.9	mA
AHS, BHS, AHB, BHB Leakage Current	I_{HLK}	$V_{BHS} = V_{AHS} = 80V$, $V_{AHB} = V_{BHB} = 93V$	-	0.02	1.0	-	10	μA
AHB-AHS, BHB-BHS Qpump Output Voltage	$V_{AHB} - V_{AHS}$, $V_{BHB} - V_{BHS}$	$I_{AHB} = I_{AHS} = 0$, No Load	11.5	12.6	14.0	10.5	14.5	V
INPUT COMPARATOR PINS: IN+, IN-, OUT								
Offset Voltage	V_{OS}	Over Common Mode Voltage Range	-10	0	+10	-15	+15	mV
Input Bias Current	I_{IB}		0	0.5	2	0	4	μA
Input Offset Current	I_{OS}		-1	0	+1	-2	+2	μA
Input Common Mode Voltage Range	CMVR		1	-	$V_{DD} - 1.5$	1	$V_{DD} - 1.5$	V
Voltage Gain	AVOL		10	25	-	10	-	V/mV
OUT High Level Output Voltage	V_{OH}	$I_{IN+} > I_{IN-}$, $I_{OH} = -250\mu A$	$V_{DD} - 0.4$	-	-	$V_{DD} - 0.5$	-	V
OUT Low Level Output Voltage	V_{OL}	$I_{IN+} < I_{IN-}$, $I_{OL} = +250\mu A$	-	-	0.4	-	0.5	V
Low Level Output Current	I_{OL}	$V_{OUT} = 6V$	6.5	14	19	6	20	mA
High Level Output Current	I_{OH}	$V_{OUT} = 6V$	-17	-10	-3	-20	-2.5	mA
INPUT PINS: DIS								
Low Level Input Voltage	V_{IL}	Full Operating Conditions	-	-	1.0	-	0.8	V
High Level Input Voltage	V_{IH}	Full Operating Conditions	2.5	-	-	2.7	-	V
Input Voltage Hysteresis			-	35	-	-	-	mV
Low Level Input Current	I_{IL}	$V_{IN} = 0V$, Full Operating Conditions	-130	-100	-75	-135	-65	μA
High Level Input Current	I_{IH}	$V_{IN} = 5V$, Full Operating Conditions	-1	-	+1	-10	+10	μA

Specifications HIP4080A

Electrical Specifications $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25^\circ C$, Unless Otherwise Specified (Continued)

PARAMETERS	SYMBOL	TEST CONDITIONS	$T_J = +25^\circ C$			$T_J = -40^\circ C$ TO $+125^\circ C$		UNITS
			MIN	TYP	MAX	MIN	MAX	
INPUT PINS: HEN								
Low Level Input Voltage	V_{IL}	Full Operating Conditions	-	-	1.0	-	0.8	V
High Level Input Voltage	V_{IH}	Full Operating Conditions	2.5	-	-	2.7	-	V
Input Voltage Hysteresis			-	35	-	-	-	mV
Low Level Input Current	I_{IL}	$V_{IN} = 0V$, Full Operating Conditions	-260	-200	-150	-270	-130	μA
High Level Input Current	I_{IH}	$V_{IN} = 5V$, Full Operating Conditions	-1	-	+1	-10	+10	μA
TURN-ON DELAY PINS: LDEL AND HDEL								
LDEL, HDEL Voltage	V_{HDEL}	$I_{HDEL} = I_{LDEL} = -100\mu A$	4.9	5.1	5.3	4.8	5.4	V
GATE DRIVER OUTPUT PINS: ALO, BLO, AHO, AND BHO								
Low Level Output Voltage	V_{OL}	$I_{OUT} = 100mA$	0.7	0.85	1.0	0.5	1.1	V
High Level Output Voltage	$V_{CC} - V_{OH}$	$I_{OUT} = -100mA$	0.8	0.95	1.1	0.5	1.2	V
Peak Pullup Current	I_{O+}	$V_{OUT} = 0V$	1.7	2.6	3.8	1.4	4.1	A
Peak Pulldown Current	I_{O-}	$V_{OUT} = 12V$	1.7	2.4	3.3	1.3	3.6	A
Under Voltage, Rising Threshold	UV+		8.1	8.8	9.4	8.0	9.5	V
Under Voltage, Falling Threshold	UV-		7.6	8.3	8.9	7.5	9.0	V
Under Voltage, Hysteresis	HYS		0.25	0.4	0.65	0.2	0.7	V

Switching Specifications $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 10K$, $C_L = 1000pF$, and $T_A = +25^\circ C$, Unless Otherwise Specified

PARAMETERS	SYMBOL	TEST CONDITIONS	$T_J = +25^\circ C$			$T_J = -40^\circ C$ TO $+125^\circ C$		UNITS
			MIN	TYP	MAX	MIN	MAX	
Lower Turn-off Propagation Delay (IN+/IN- to ALO/BLO)	T_{LPHL}		-	40	70	-	90	ns
Upper Turn-off Propagation Delay (IN+/IN- to AHO/BHO)	T_{HPHL}		-	50	80	-	110	ns
Lower Turn-on Propagation Delay (IN+/IN- to ALO/BLO)	T_{LPLH}		-	40	70	-	90	ns
Upper Turn-on Propagation Delay (IN+/IN- to AHO/BHO)	T_{HPLH}		-	70	110	-	140	ns
Rise Time	T_R		-	10	25	-	35	ns
Fall Time	T_F		-	10	25	-	35	ns
Turn-on Input Pulse Width	$T_{PWIN-ON}$		50	-	-	50	-	ns
Turn-off Input Pulse Width	$T_{PWIN-OFF}$		40	-	-	40	-	ns
Disable Turn-off Propagation Delay (DIS - Lower Outputs)	T_{DISLOW}		-	45	75	-	95	ns
Disable Turn-off Propagation Delay (DIS - Upper Outputs)	$T_{DISHIGH}$		-	55	85	-	105	ns
Disable to Lower Turn-on Propagation Delay (DIS - ALO and BLO)	T_{DLPLH}		-	45	70	-	90	ns
Refresh Pulse Width (ALO and BLO)	T_{REF-PW}		240	380	500	200	600	ns
Disable to Upper Enable (DIS - AHO and BHO)	T_{UEN}		-	480	630	-	750	ns
HEN-AHO, BHO Turn-off, Propagation Delay	$T_{HEN-PHL}$	$R_{HDEL} = R_{LDEL} = 10K$	-	40	70	-	90	ns
HEN-AHO, BHO Turn-on, Propagation Delay	$T_{HEN-PLH}$	$R_{HDEL} = R_{LDEL} = 10K$	-	60	90	-	110	ns

TRUTH TABLE

INPUT				OUTPUT			
IN+ > IN-	HEN	U/V	DIS	ALO	AHO	BLO	BHO
X	X	X	1	0	0	0	0
0	0	0	0	1	0	0	0
1	1	0	0	0	1	1	0
0	1	0	0	1	0	0	1
1	0	0	0	0	0	1	0
X	X	1	X	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 4
 ไม่วางจำหน่าย ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIP4080A

Pin Descriptions

PIN NUMBER	SYMBOL	DESCRIPTION
1	BHB	B High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30 μ A out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V.
2	HEN	High-side Enable input. Logic level input that when low overrides IN+/IN- (Pins 6 and 7) to put AHO and BHO drivers (Pins 11 and 20) in low output state. When HEN is high AHO and BHO are controlled by IN+/IN- inputs. The pin can be driven by signal levels of 0V to 15V (no greater than V_{DD}). An internal 100 μ A pull-up to V_{DD} will hold HEN high, so no connection is required if high-side and low-side outputs are to be controlled by IN+/IN- inputs.
3	DIS	DISable input. Logic level input that when taken high sets all four outputs low. DIS high overrides all other inputs. When DIS is taken low the outputs are controlled by the other inputs. The pin can be driven by signal levels of 0V to 15V (no greater than V_{DD}). An internal 100 μ A pull-up to V_{DD} will hold DIS high if this pin is not driven.
4	V_{SS}	Chip negative supply, generally will be ground.
5	OUT	OUTput of the input control comparator. This output can be used for feedback and hysteresis.
6	IN+	Noninverting input of control comparator. If IN+ is greater than IN- (Pin 7) then ALO and BHO are low level outputs and BLO and AHO are high level outputs. If IN+ is less than IN- then ALO and BHO are high level outputs and BLO and AHO are low level outputs. DIS (Pin 3) high level will override IN+/IN- control for all outputs. HEN (Pin 2) low level will override IN+/IN- control of AHO and BHO. When switching in four quadrant mode, dead time in a half bridge leg is controlled by HDEL and LDEL (Pins 8 and 9).
7	IN-	Inverting input of control comparator. See IN+ (Pin 6) description.
8	HDEL	High-side turn-on DELay. Connect resistor from this pin to V_{SS} to set timing current that defines the turn-on delay of both high-side drivers. The low-side drivers turn-off with no adjustable delay, so the HDEL resistor guarantees no shoot-through by delaying the turn-on of the high-side drivers. HDEL reference voltage is approximately 5.1V.
9	LDEL	Low-side turn-on DELay. Connect resistor from this pin to V_{SS} to set timing current that defines the turn-on delay of both low-side drivers. The high-side drivers turn-off with no adjustable delay, so the LDEL resistor guarantees no shoot-through by delaying the turn-on of the low-side drivers. LDEL reference voltage is approximately 5.1V.
10	AHB	A High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30 μ A out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V.
11	AHO	A High-side Output. Connect to gate of A High-side power MOSFET.
12	AHS	A High-side Source connection. Connect to source of A High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin.
13	ALO	A Low-side Output. Connect to gate of A Low-side power MOSFET.
14	ALS	A Low-side Source connection. Connect to source of A Low-side power MOSFET.
15	V_{CC}	Positive supply to gate drivers. Must be same potential as V_{DD} (Pin 16). Connect to anodes of two bootstrap diodes.
16	V_{DD}	Positive supply to lower gate drivers. Must be same potential as V_{CC} (Pin 15). De-couple this pin to V_{SS} (Pin 4).
17	BLS	B Low-side Source connection. Connect to source of B Low-side power MOSFET.
18	BLO	B Low-side Output. Connect to gate of B Low-side power MOSFET.
19	BHS	B High-side Source connection. Connect to source of B High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin.
20	BHO	B High-side Output. Connect to gate of B High-side power MOSFET.

HIP4080A

Timing Diagrams

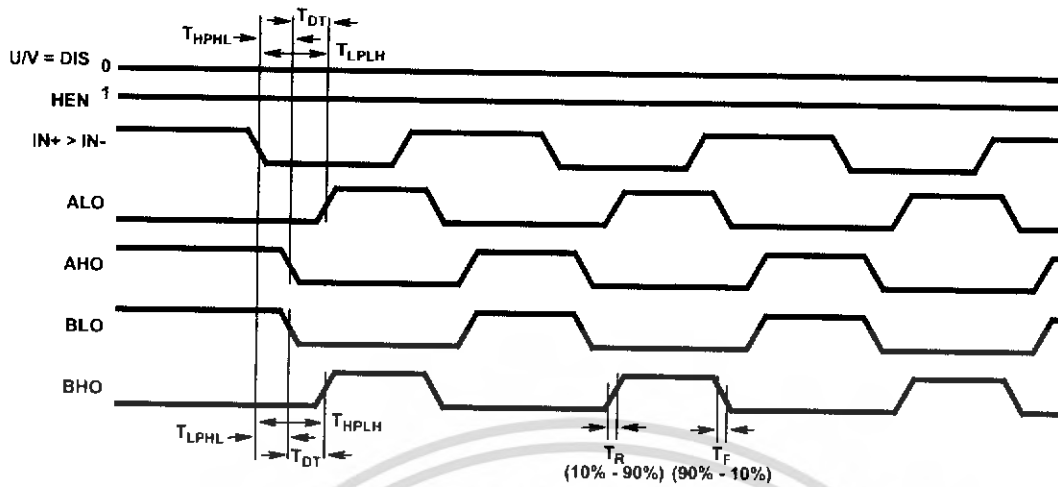


FIGURE 1. BISTATE MODE

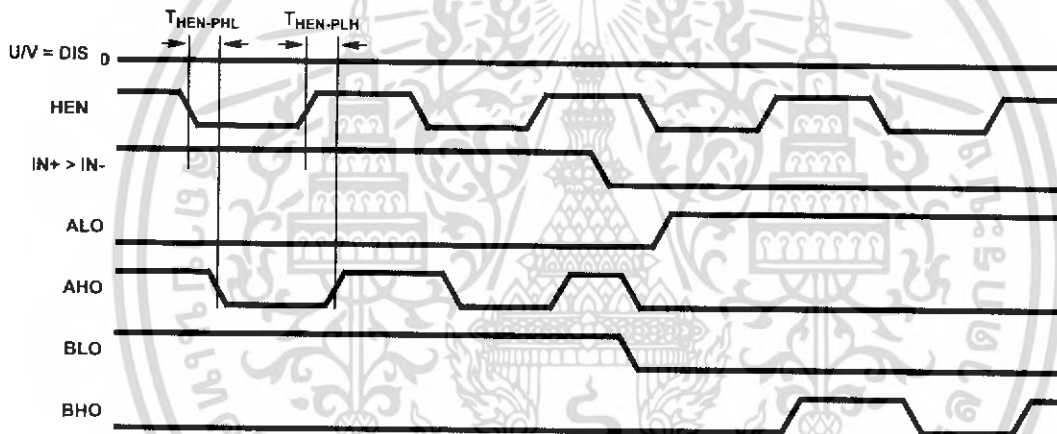


FIGURE 2. HIGH SIDE CHOP MODE

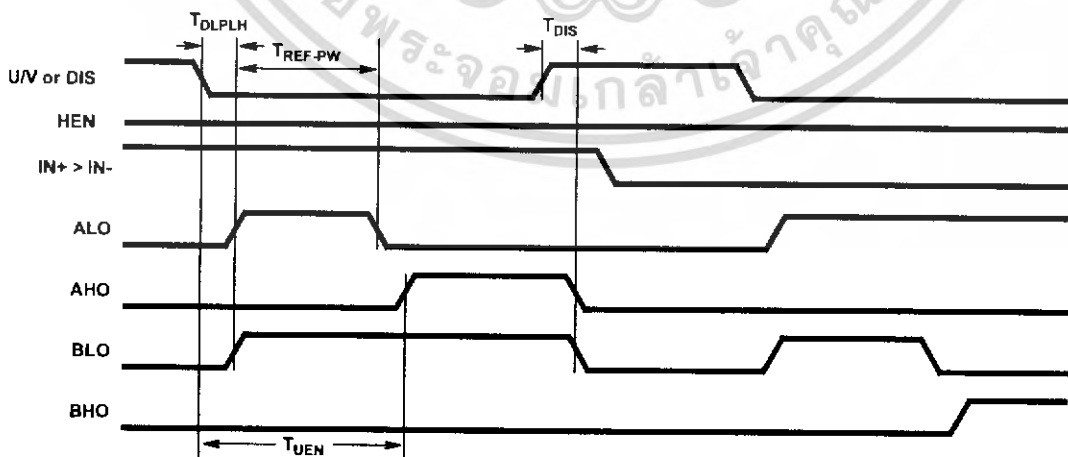


FIGURE 3. DISABLE FUNCTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 6
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14A, 100V, 0.160 Ohm, N-Channel Power MOSFETs

These are N-Channel enhancement mode silicon gate power field effect transistors. They are advanced power MOSFETs designed, tested, and guaranteed to withstand a specified level of energy in the breakdown avalanche mode of operation. All of these power MOSFETs are designed for applications such as switching regulators, switching convertors, motor drivers, relay drivers, and drivers for high power bipolar switching transistors requiring high speed and low gate drive power. These types can be operated directly from integrated circuits.

Formerly developmental type TA17411.

Ordering Information

PART NUMBER	PACKAGE	BRAND
IRF530	TO-220AB	IRF530

NOTE: When ordering, use the entire part number.

Features

- 14A, 100V
- $r_{DS(ON)} = 0.160\Omega$
- Single Pulse Avalanche Energy Rated
- SOA is Power Dissipation Limited
- Nanosecond Switching Speeds
- Linear Transfer Characteristics
- High Input Impedance
- Related Literature
 - TB334 "Guidelines for Soldering Surface Mount Components to PC Boards"

Symbol



Packaging



IRF530

Absolute Maximum Ratings $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

	IRF530	UNITS
Drain to Source Breakdown Voltage (Note 1)	100	V
Drain to Gate Voltage ($R_{GS} = 20k\Omega$) (Note 1)	100	V
Continuous Drain Current	14	A
$T_C = 100^\circ\text{C}$	10	A
Pulsed Drain Current (Note 3)	56	A
Gate to Source Voltage	± 20	V
Maximum Power Dissipation	79	W
Dissipation Derating Factor	0.53	W/ $^\circ\text{C}$
Single Pulse Avalanche Energy Rating (Note 4)	69	mJ
Operating and Storage Temperature	-55 to 175	$^\circ\text{C}$
Maximum Temperature for Soldering		
Leads at 0.063in (1.6mm) from Case for 10s.	300	$^\circ\text{C}$
Package Body for 10s, See Techbrief 334	260	$^\circ\text{C}$

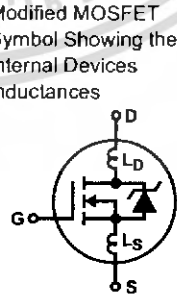
CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. $T_J = 25^\circ\text{C}$ to 150°C .

Electrical Specifications $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Drain to Source Breakdown Voltage	BV_{DSS}	$I_D = 250\mu\text{A}$, $V_{GS} = 0\text{V}$ (Figure 10)	100	-	-	V
Gate to Threshold Voltage	$V_{GS(TH)}$	$V_{GS} = V_{DS}$, $I_D = 250\mu\text{A}$	2	-	4.0	V
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 95\text{V}$, $V_{GS} = 0\text{V}$	-	-	25	μA
		$V_{DS} = 0.8 \times \text{Rated } BV_{DSS}$, $V_{GS} = 0\text{V}$, $T_J = 150^\circ\text{C}$	-	-	250	μA
On-State Drain Current (Note 2)	$I_{D(ON)}$	$V_{DS} > I_{D(ON)} \times r_{DS(ON)}$ MAX, $V_{GS} = 10\text{V}$	14	-	-	A
Gate to Source Leakage Current	I_{GSS}	$V_{GS} = \pm 20\text{V}$	-	-	± 500	nA
Drain to Source On Resistance (Note 2)	$r_{DS(ON)}$	$I_D = 8.3\text{A}$, $V_{GS} = 10\text{V}$ (Figures 8, 9)	-	0.14	0.16	Ω
Forward Transconductance (Note 2)	g_{fs}	$V_{DS} \geq 50\text{V}$, $I_D = 8.3\text{A}$ (Figure 12)	5.1	7.6	-	S
Turn-On Delay Time	$t_{d(ON)}$	$V_{DD} = 50\text{V}$, $I_D = 14\text{A}$, $R_G \approx 12\Omega$, $R_L = 3.4\Omega$ MOSFET Switching Times are Essentially Independent of Operating Temperature	-	12	15	ns
Rise Time	t_r		-	35	65	ns
Turn-Off Delay Time	$t_{d(OFF)}$		-	25	70	ns
Fall Time	t_f		-	25	59	ns
Total Gate Charge (Gate to Source + Gate to Drain)	$Q_{g(TOT)}$	$V_{GS} = 10\text{V}$, $I_D = 14\text{A}$, $V_{DS} = 0.8 \times \text{Rated } BV_{DSS}$ $I_{g(REF)} = 1.5\text{mA}$ (Figure 14) Gate Charge is Essentially Independent of Operating Temperature	-	18	30	nC
Gate to Source Charge	Q_{gs}		-	4	-	nC
Gate to Drain "Miller" Charge	Q_{gd}		-	7	-	nC
Input Capacitance	C_{ISS}	$V_{DS} = 25\text{V}$, $V_{GS} = 0\text{V}$, $f = 1\text{MHz}$ (Figure 11)	-	600	-	pF
Output Capacitance	C_{OSS}		-	250	-	pF
Reverse Transfer Capacitance	C_{RSS}		-	50	-	pF
Internal Drain Inductance	L_D	Measured from the Contact Screw on Tab To Center of Die	-	3.5	-	nH
		Measured from the Drain Lead, 6mm (0.25in) from Package to Center of Die	-	4.5	-	nH
Internal Source Inductance	L_S	Measured from the Source Lead, 6mm (0.25in) From Header to Source Bonding Pad	-	7.5	-	nH
Thermal Resistance Junction to Case	$R_{\theta JC}$		-	-	1.9	$^\circ\text{C/W}$
Thermal Resistance Junction to Ambient	$R_{\theta JA}$	Free Air Operation	-	-	62.5	$^\circ\text{C/W}$
			-	-	-	-



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRF530

Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Continuous Source to Drain Current	I_{SD}	Modified MOSFET Symbol Showing the Integral Reverse P-N Junction Diode	-	-	14	A
Pulse Source to Drain Current (Note 2)	I_{SDM}		-	-	56	A
Source to Drain Diode Voltage (Note 2)	V_{SD}	$T_J = 25^\circ\text{C}$, $I_{SD} = 14\text{A}$, $V_{GS} = 0\text{V}$ (Figure 13)	-	-	2.5	V
Reverse Recovery Time	t_{rr}	$T_J = 25^\circ\text{C}$, $I_{SD} = 14\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$	5.5	120	250	ns
Reverse Recovery Charge	Q_{RR}	$T_J = 25^\circ\text{C}$, $I_{SD} = 14\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$	0.17	0.6	1.3	μC

NOTES:

2. Pulse test: pulse width $\leq 300\mu\text{s}$, duty cycle $\leq 2\%$.
3. Repetitive rating: pulse width limited by Max junction temperature. See Transient Thermal Impedance curve (Figure 3).
4. $V_{DD} = 25\text{V}$, starting $T_J = 25^\circ\text{C}$, $L = 530\mu\text{H}$, $R_G = 25\Omega$, peak $I_{AS} = 14\text{A}$ (Figures 15, 16).

Typical Performance Curves Unless Otherwise Specified

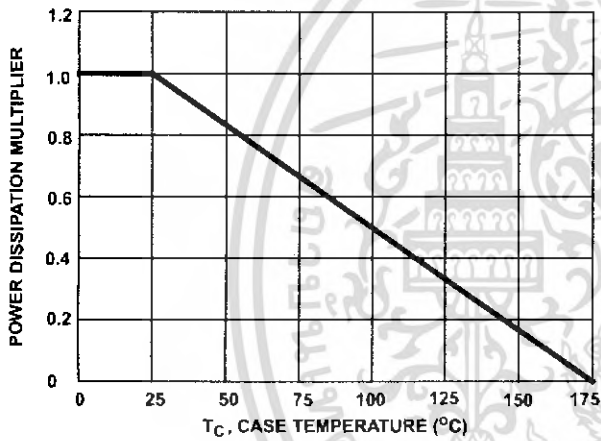


FIGURE 1. NORMALIZED POWER DISSIPATION vs CASE TEMPERATURE

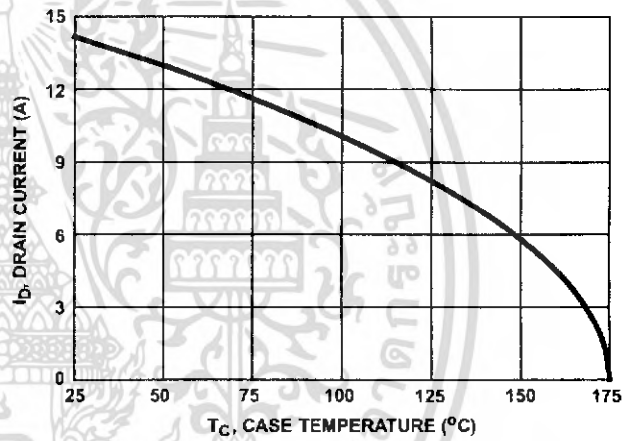


FIGURE 2. MAXIMUM CONTINUOUS DRAIN CURRENT vs CASE TEMPERATURE

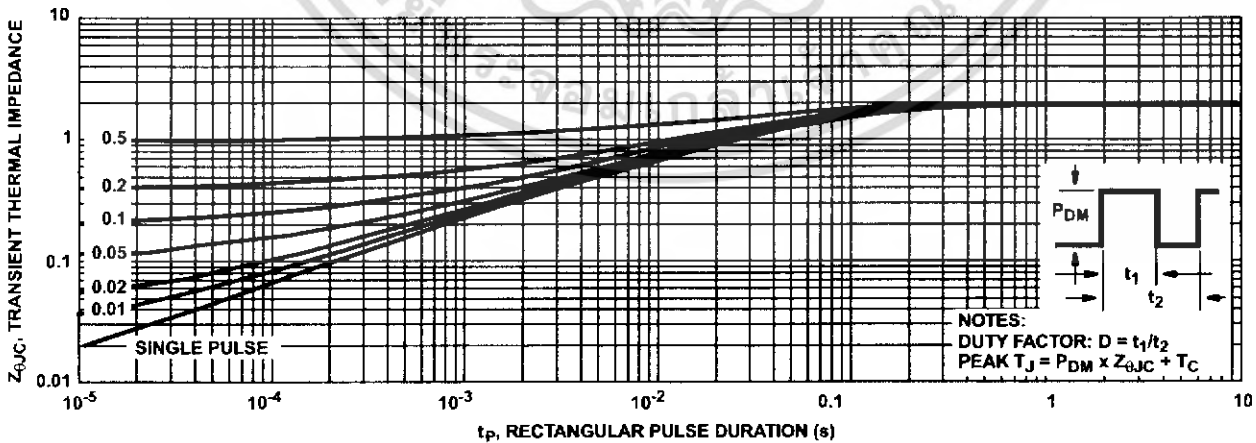


FIGURE 3. MAXIMUM TRANSIENT THERMAL IMPEDANCE