สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องบันทึกข้อมูลอัตโนมัติ

AUTOMATION DATA MEMORY

โดย

นาย ชาญวิทย์ ประดิษฐ์ผล

นาย พรวิบูลย์ ศรีภา

อาจารย์ที่ปรึกษา

อาจารย์ มนชนก ศรีเสือขาม

เลขหมู่.....
เลขทะเบียน 86762
วัน,เดือน,ปี 14 ส.ค. 2552

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องบันทึกข้อมูลอัตโนมัติ
	AUTOMATION DATA MEMORY
ชื่อนักศึกษา	นาย ชาญวิทย์ ประดิษฐ์ผล 39012008
	นาย พรวิบูลย์ ศรีภา 39012018
อาจารย์ที่ปรึกษา	อาจารย์ มนชนก ศรีเสือขาม
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2540

คณะวิศวกรรมศาสตร์ สถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องบันทึกข้อมูลอัตโนมัติ

(AUTOMATION DATA MEMORY)

นาย ชาญวิทย์ ประดิษฐ์ผล
นาย พรวิบูลย์ ศรีภา
อ. มนชนก ศรีเสือขาม อาจารย์ที่ปรึกษา
ปีการศึกษา 2540

บทคัดย่อ

ในปัจจุบันเทคโนโลยีต่าง ๆ ได้เข้ามามีบทบาทในชีวิตประจำวันของมนุษย์มากขึ้น ส่วนหนึ่งคือเราสามารถตรวจสอบวัดค่าต่าง ๆ ได้ เช่น อุณหภูมิ, แสง, เสียง เป็นต้น แต่ในการที่จะบันทึกข้อมูล ถ้าต้องมาคอยจดคงเป็นการเสียเวลา จึงพัฒนาเครื่องบันทึกข้อมูลอัตโนมัติเพื่ออำนวยความสะดวกขึ้นมา

โครงงานชิ้นนี้เป็นการออกแบบและพัฒนาให้สามารถบันทึกข้อมูลอะนาลอก จากวงจรทรานสดิวเซอร์ต่าง ๆ ได้ อันเป็นการทำงานร่วมกันของวงจรดิจิตอล พื้นฐานทั่ว ๆไป โดยสามารถนำข้อมูลมาพล๊อตกราฟ และนำไปวิเคราะห์ในภายหลัง ด้วยคอมพิวเตอร์ได้

การทำงานของวงจรแบ่งออกเป็นส่วนสำคัญ คือ ส่วนกำเนิดสัญญาณฐานเวลา, ส่วนตั้งคาบเวลาบันทึก, ส่วนสร้างสัญญาณ $\overline{RD}$ - $\overline{WR}$,วงจรแปลงจากอะนาลอกเป็นดิจิตอล, ส่วนบันทึกข้อมูล ซึ่ง SOFTWARE เป็นภาษาปาสคาล ใช้เทอร์โบปาสคาล 7.0 ในการนำข้อมูลมาพล๊อตกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUTOMATION DATA MEMORY

CHANWIT PRADITPOL
PORNWIBOON SRIPA
MONCHANOK SRISUAKHAM ADVISER
1997

ABSTARCT

In recent year technology is going to be the important in our day life. Our can be mesure any thing. Such as temperature, light, voice etc. But waste time if must waiting record. Automation data memory is developed for facility.

These project is the designing and development of analog data memorandum from transducer circuit. The AUTOMATION DATA MEMORY is circuit which is a co-operation of general basic digital circuits. Can use data for plot graph and use analyze after time by computer.

The circuit is divided into important main parts : base time generation, set time circuit, $\overline{RD}$ - $\overline{WR}$ generation circuit, analog to digital circuit, data memorandum. The software use pascal. Program version 7.0 for plot graph on moniter computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การจัดทำโครงงานชิ้นนี้ จะสำเร็จลุล่วงไปมิได้ ถ้าหากมิได้รับคำแนะนำ และข้อมูลเอกสารต่าง ๆ เกี่ยวกับวงจร จาก อาจารย์ มนชนก ศรีเสือขาม ซึ่งเป็นอาจารย์ที่ปรึกษาโครงงาน รวมทั้งอาจารย์ประจำภาคเทคนิคอุตสาหกรรมและเจ้าหน้าที่ที่มีส่วนเกี่ยวข้องทุกท่าน และด้วยประการนี้เองทางคณะผู้จัดทำ จึงขอขอบพระคุณทุกท่านเป็นอย่างสูงได้ ณ ที่นี้ด้วย

นาย ชาญวิทย์ ประดิษฐ์ผล
นาย พรวิบูลย์ ศรีภา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	
สารบัญ (รูป)	
รูปที่ 1 แผนผังเวลาของเครื่องเก็บข้อมูลอัตโนมัติ	4
รูปที่ 2 แผนผังการทำงานของการแปลงสัญญาณอะนาลอกเป็นแบบประมาณค่าอย่างต่อเนื่อง	6
รูปที่ 3 วงจรตรวจจับอุณหภูมิต่อเอาต์พุท	6
รูปที่ 4 แผนผังเวลาของ SAR	8
บทที่ 1 บทนำ	1
บทที่ 2 การทำงานของวงจร	2
2.1 วงจรกำเนิดสัญญาณนาฬิกา	2
2.2 วงจรแปลงอะนาลอกเป็นดิจิตอล	4
2.3 การกำหนดแอดเดรสของหน่วยความจำ	7
2.4 การทำงานของสวิตช์	9
2.5 การต่อกับคอมพิวเตอร์	11
2.6 การตรวจสอบการทำงานของวงจร	11
2.7 การใช้งาน	12
2.8 การออกแบบซอฟท์แวร์	13
บทที่ 3 การทดลองและผลการทดลอง	15
3.1 สัญญาณนาฬิกาความถี่ 32.768 KH_z	15
3.2 สัญญาณวงจรตั้งคาบเวลา	15
3.3 สัญญาณ $\overline{WR}$ ของ A/D	16
3.4 สัญญาณ $\overline{RD}$ ของ A/D	16
3.5 สัญญาณ $\overline{INT}$ จาก A/D	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 สรุปและวิจารณ์ผลการทดลอง 17
บทสรุป 17
ข้อเสนอแนะในการพัฒนา 17
หนังสืออ้างอิง 18
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การเก็บข้อมูลอัตโนมัติ คือ การเก็บข้อมูลแบบเป็นคาบเวลา โดยมีระยะเวลาของการเก็บแต่ละครั้งคงที่ เช่น เก็บข้อมูลทุก 1 นาที หรือทุก ๆ 1 วินาทีเป็นต้น เพื่อนำข้อมูลนั้นมาวิเคราะห์ในภายหลัง เช่น ต้องการเช็คการทำงานของระบบการให้ความร้อน ซึ่งปกติเราสามารถอ่านค่าอุณหภูมิได้จากเข็มของเทอร์โมมิเตอร์ ซึ่งจะทำให้เราสามารถรู้การเปลี่ยนแปลงอุณหภูมิได้ แต่ถ้าจะต้องคอยจดบันทึกค่าที่อ่านได้ตลอดเวลาย่อมจะทำให้เกิดความเบื่อหน่าย และไม่มีความแน่นอนในระยะเวลาของการจดแต่ละครั้ง แต่ถ้าเรามีเครื่องเก็บข้อมูลอัตโนมัติ (data logger) เราก็ไม่จำเป็นต้องมาคอยจด เพราะเครื่องจะเก็บข้อมูลให้เราแทน และมีความเที่ยงตรงในระยะเวลาของการบันทึกแต่ละครั้งดีกว่าด้วยรวมทั้งมีความสะดวกในการที่จะนำข้อมุลที่ได้ไปวิเคราะห์ดูการทำงานของระบบหรือดูการเปลี่ยนแปลงของข้อมูลที่ได้โดยการพล๊อตเป็นกราฟได้อีกด้วย

เครื่องเก็บข้อมูลอัตโนมัติปกติประกอบด้วยทรานสดิวเซอร์เพื่อใช้เปลี่ยนพารามิเตอร์ต่าง ๆ ที่ต้องการจะเก็บให้เป็นสัญญาณทางไฟฟ้าก่อน เช่น การเปลี่ยนจากน้ำหนักไปเป็นสัญญาณทางไฟฟ้าโดยใช้เครื่องวัดความเค้น (straingauge) เปลี่ยนจากความร้อนไปเป็นสัญญาณทางไฟฟ้าโดยใช้เทอร์โมคัปเปิ้ลเป็นต้น แล้วทำการบันทึกสัญญาณไฟฟ้านั้นไว้ด้วยเครื่องบันทึกข้อมูลแบบทั่วๆไป หรือระบบใหม่ๆที่ใช้เทปแม่เหล็กซึ่งมีความจุมากกว่า แต่เนื่องจากใน 2-3 ปีที่ผ่านมานี้หน่วยความจำชนิด RAM มีความจุเพิ่มขึ้นมากและมีราคาที่ถูกลงมันจึงถูกนำมาใช้ในเครื่องเก็บข้อมูลอัตโนมัติรุ่นใหม่ๆทำให้มีข้อได้เปรียบอีกมีความแข็งแรงทนทานกว่า เพราะมันไม่มีส่วนเคลื่อนที่ มีความเร็วในการทำงานมากกว่า และยังง่ายต่อการอินเตอร์เฟสกับคอมพิวเตอร์ เพื่อนำข้อมูลออกมาวิเคราะห์อีกด้วย

ลักษณะของเครื่องเก็บข้อมูลในโครงงานนี้มีการออกแบบให้มีราคาถูก และกินไฟน้อยสามารถใช้บันทึกข้อมูลได้หลายชนิดขึ้นอยู่กับทรานสดิวเซอร์และตัวอินเตอร์เฟสที่ใช้ ไอซีที่ใช้จะเป็นประเภท CMOS เพื่อให้กินไฟน้อยที่สุดเท่าที่จะทำได้ ส่วนวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล (A/D) เป็นส่วนที่กินไฟมากที่สุดในวงจร เราจึงไม่จ่ายไฟให้เมื่อยังไม่ถึงช่วงแปลงสัญญาณ ส่วนหน่วยความจำในวงจรที่ได้ออกแบบไว้มีขนาด 16 กิโลไบต์ และสามารถขยายได้ถึง 72 กิโลไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การทำงานของวงจร

วงจรกำเนิดสัญญาณนาฬิกา

การทำงานของระบบทั้งหมดเริ่มต้นจากคริสตอลความถี่ 32,768 เฮิรตซ์ เป็นตัวกำเนิดสัญญาณนาฬิกาที่ต่ออยู่กับเบอร์ IC 14 4060 ซึ่ง 4060 เป็นวงจรหารด้วยเลขฐานสองและยังเป็นวงจรผลิตความถี่ด้วย สัญญาณนาฬิกาจากคริสตอล จะถูกหารด้วย 2^{14} โดย IC_{14} แล้วให้ความถี่เอาต์พุต (ขา 3) ออกมา 2 เฮิรตซ์ จริงๆ แล้วเราต้องการหารความถี่ 32,768 เฮิรตซ์ ด้วย 2^{15} เพื่อจะให้ได้เอาต์พุตมีความถี่ 1 เฮิรตซ์ ตามต้องการ ซึ่งในที่นี้จะป้อนสัญญาณ 2 เฮิรตซ์ ไปเข้าขา CLK (ขา 11) ของ $IC_{10/1}$ เบอร์ 4013 ซึ่งเป็น D ฟลิปฟลอป ขา D ของ ฟลิปฟลอปตัวนี้จะต่อเข้ากับขา $\overline{Q}$ ของตัวมันเอง เพื่อให้ทำงานเป็นวงจรหารสองดังนั้น จึงได้เอาต์พุต 1 ลูก ทุก ๆ อินพุต 2 ลูกคลื่น นั่นคือได้ความถี่ 1 เฮิรตซ์ ที่ขา Q ของ $IC_{10/1}$ (ขา 13) นั่นเอง

ความถี่ 1 เฮิรตซ์จะต่อไปให้IC_8และ IC_9 เบอร์ 4522 ซึ่งเป็นวงจรนับลงขนาด 4 บิต แบบโปรแกรมได้ ด้วยการต่อจากวงจรหารซึ่งเอาต์พุตสามารถจะเปลี่ยนแปลงได้ระหว่าง 1 พัลส์/วินาที ถึง 1 พัลส์/99 วินาที อินพุตของวงจรนับ (D_1-D_4) ต่อกับ V_{ss} ผ่านชุดความต้านทาน R_2 และต่อเข้ากับ S_1 และ S_2 ซึ่งเป็นสวิตซ์รหัส BCD (ไบนารี่สวิตซ์) ใช้สำหรับตั้งค่าอัตราสุ่มตัวอย่างมีหน่วยเป็นวินาที ซึ่งก็คือค่า BCD สำหรับอินพุตของวงจรนับ เช่น ต้องการให้มีค่า 5 จะได้ D_1 และ D_3 ของวงจรนับต่อกับ V_{dd}

วงจรนับ (4522) IC_8 และ IC_9 ต่อกันในลักษณะของวงจร ริปเปิ้ลเคาน์เตอร์ธรรมดา คือ ใช้ Q_4 ของชุดแรกมาต่อเข้ากับขาคล็อกของชุดที่ สอง แต่ในการรวมวงจรนับเบอร์นี้จะมีขา Zero ใช้สำหรับหารด้วย n เมื่อต่อใช้งานหลายๆ ชุด ขา Zero จะต่อเข้ากับขาคาสเคดฟีดแบ็ก (CF)

ขา Zero ปกติจะมีสถานะเป็น "0" ตลอดเวลาของการนับ และจะมีสถานะเป็น "1" เมื่อวงจรนับนับลงจนถึง "0" และ CF มีสถานะเป็น "1" ดังนั้นถ้า CF เป็น "0" จะไม่ทำให้ Zero เปลี่ยนสถานะ ขา Zero ของวงจรนับชุดแรกจะต่อรวมเข้ากับขาอีนาเบิ้ลของวงจรนับทั้งหมด และเมื่อขาอีนาเบิ้ลเป็น "1" มันจะโหลดค่าที่ต้องการจะนับซึ่งกำหนดโดยสวิตซ์รหัส BCD ตั้งแต่ตอนแรกเข้ามาเก็บไว้ และขา Zero ของวงจรนับชุดที่สองจะต่อกับขา CF เป็นของวงจรนับชุดแรก

พิจารณาสถานะเมื่อวงจรนับชุดแรกเป็น "1 " และชุดที่สองเป็น "0" และเพราะวงจรนับชุดที่สองเป็น "0" มี CF เป็น "1" (ต่อกับ V_{dd}) จะทำให้เอาต์พุตที่ขา Zero เป็น "1" สัญญาณ "1" นี้ใช้เป็นอินพุตให้กับ CF ของชุดแรก ถ้าขณะนี้มีสัญญาณนาฬิกาเกิดขึ้น 1 ลูกวงจรนับชุดแรกก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลายเป็น “0” และเนื่องจากขา CF เป็น “1” ดังนั้น ขา Zero จึงเปลี่ยนสถานะจาก “0” ไปเป็น “1” และทำการตั้งค่า (preset) ที่จะนับทั้งหมดและโหลดค่าที่จะนับจากสวิตซ์ รหัส BCD เข้ามาใหม่ (เช่น สมมติเป็น 15) เพื่อกำหนดจำนวนที่จะนับลง และเพราะที่วงจรนับชุดแรกเป็น “0” อยู่ไม่นาน (เนื่องจากรับค่าเข้ามาใหม่) ดังนั้น ขา Zero ก็จะกลับมาเป็น “0” อีกครั้ง

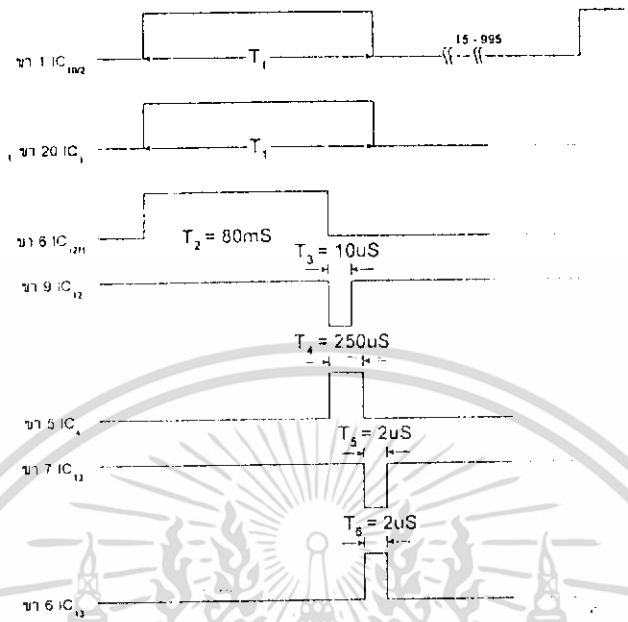
กลับมาดูการทำงานของสัญญาณนาฬิกากันอีกครั้ง สัญญาณนาฬิกาจะทำการลดค่าของวงจรนับชุดแรกจาก 5 จนกระทั่งเป็น 0 แต่คราวนี้ CF ของวงจรนับชุดแรกจะมีสถานะเป็น “0” เพราะวงจรนับชุดแรกก็จะมีสถานะเป็น “0” และจะไม่ทำการตั้งค่าที่จะนับในตอนนี้ดังนั้น สัญญาณนาฬิกาก็จะทำการลดค่าของวงจรนับชุดแรกจาก 9 จนถึง 0 และมีสัญญาณริปเปิ้ลไปยังวงจรนับชุดที่สอง ทำให้วงจรนับมีค่าเป็น “0” หลังจาก 9 ลูกคลื่นผ่านไป วงจรนับชุดแรกก็จะมาเป็น “0” อีกครั้ง และขณะนี้วงจรนับทำการตั้งค่าแล้วโหลดค่าจากสวิตซ์รหัส BCD มาใหม่อีกครั้ง จึงเห็นได้ว่าการใช้วงจรนับสองชุดสามารถกำหนดการหารความถี่ได้ตั้งแต่ 1 พัลส์/วินาที ถึง 1 พัลส์/99วินาที โดยการตั้งสวิตซ์ รหัส BCD

เอาต์พุตของ IC_8 เป็นสัญญาณที่ใช้กระตุ้นอุปกรณ์อื่น ๆ เพื่อทำให้เกิดการเก็บข้อมูล โดยป้อนที่ขาคล็อก (ขา 3) ของ $IC_{10/2}$ ซึ่งคือ 4013 D ฟลิปฟลอปตัวนี้จะทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา และขา D ต่ออยู่กับขา $\overline{Q}$ ทำให้ไอซีนี้ทำหน้าที่เป็น T ฟลิปฟลอป

จากแผนผังเวลาในรูปที่ 1 เอาต์พุตของ $IC_{9/2}$ ที่ขา Q (ขา 1) แสดงในเส้นที่ 1 เป็น T_1 ขา Q นี้ ต่อกับขาทริกขอบขาขึ้น (ขา 4) ของโมโนสเตเบิ้ล $IC_{12/1}$ ผ่าน R_6 ไปเข้าขาเบสของทรานซิสเตอร์ Q_1 ซึ่งทำหน้าที่เป็นสวิตซ์สำหรับจ่ายไฟให้ภาคแปลงสัญญาณอะนาลอกเป็นดิจิตอล (A/D) ดังนั้น เมื่อขา Q ของ $IC_{10/2}$ เป็น “1” Q_1 จะทำการจ่ายไฟให้กับ A/D ตามช่วงเวลาที่แสดงด้วยเส้นที่ 2 และเราจะเห็นการทำงานได้จาก LED_1 ซึ่งจะทำงานในช่วงเวลา T_1 ส่วนสัญญาณที่เกิดจาก C_4 และ R_5 ที่ต่ออยู่ที่ขา 1 และขา 2 ของ $IC_{12/1}$ จะให้คาบเวลาประมาณ 80 มิลลิวินาที กำหนดให้เป็น T_2 ดังแสดงในเส้นที่ 3 และ T_2 นี้จะทำหน้าที่หน่วงเวลาให้ A/D มีไฟจ่ายสมบูรณ์ก่อนที่จะทำการแปลงสัญญาณ

หลังจากหน่วงเวลา 80 มิลลิวินาทีแล้ว ที่ขอบลงของพัลส์จากขา Q (ขา 6) ของ $IC_{12/1}$ จะใช้สำหรับกระตุ้นโมโนสเตเบิ้ลตัวถัดไปคือ $IC_{12/2}$ ด้วยการต่อกับขาทริกขอบขาลง (ขา 11) ของ $IC_{12/2}$ โดยกำหนดช่วงเวลาด้วย C_5 และ R_6 ซึ่งมีค่าเท่ากับ 10 ไมโครวินาที สัญญาณพัลส์ “0” จากขา Q ของ $IC_{12/2}$ แสดงดังเส้นที่ 4 ซึ่งสัญญาณนี้ใช้ป้อนให้กับขา $\overline{WR}$ ของ A/D ซึ่งมีการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แผนผังเวลาของเครื่องเก็บข้อมูลอัตโนมัติ

วงจรแปลงอะนาลอกเป็นดิจิตอล

IC_1 เบอร์ ADC0804 เป็น ไอซีแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบประมาณค่าอย่าง ต่อเนื่อง (successive approximation A/D) ซึ่งมีโครงสร้างเป็น CMOS ขนาด 8 บิต ไอซีเบอร์นี้จะมีวงจรกำเนิดสัญญาณนาฬิกาอยู่ภายใน โดยใช้ C_7 และ R_{11} เป็นตัวกำหนดคาบเวลาความถี่ของวงจรผลิตความถี่ในวงจรนี้ออกแบบให้ผลิตความถี่ 600 กิโลเฮิรตซ์ โดยมีแรงดันที่ขา REF (ขา 9) เป็นตัวกำหนดแรงดันเต็มสเกลของ A/D ซึ่งจะต้องรักษาแรงดันอ้างอิงที่ขานี้ไว้ที่ *ครึ่งหนึ่งของแรงดันเต็มสเกล* ที่ต้องการ เช่น รักษาแรงดันอ้างอิงไว้ที่ 2 โวลต์ โดยการใช้ซีเนอร์ไดโอดจะได้แรงดันอินพุตเต็มที่เท่ากับ 4 โวลต์ (เอาต์พุตเป็น FF_h หรือ 11111111_b)

การแปลงสัญญาณแบบประมาณค่าอย่างต่อเนื่องนั้นมีการทำงานดังวงจรในรูปที่ 2 เป็นแผนผังการทำงานของ A/D เริ่มต้นที่ให้สัญญาณที่ขา $\overline{STRT}$ เป็นลอจิก "0" เข้ารีจิสเตอร์เก็บค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณอย่างต่อเนื่อง (Successive-Approximation Register ย่อว่า SAR) จะให้ขาเอาต์พุต D_7 (MSB)เป็น "1" นอกนั้นเป็น "0" หมด ดังนั้น ภาคแปลงสัญญาณดิจิตอลเป็นอะนาลอก (D/A) ก็จะแปลงสัญญาณดิจิตอลที่ได้ไปเปรียบเทียบกับแรงดันอินพุตที่ส่งเข้ามา (D_7 ให้แรงดันครึ่งหนึ่งของแรงดันเต็มสเกลของ D/A เมื่อแปลงสัญญาณอะนาลอก) ถ้าแรงดันจาก D/A สูงกว่าแรงดันอินพุต SAR จะเปลี่ยน D_7 ให้เป็น "0" แต่ถ้าเอาต์พุตจาก D/A ต่ำกว่าแรงดันอินพุต SAR ก็จะให้ D_7 เป็น "1" ต่อไป

ต่อมาก็จะให้บิตถัดไป (D_6) เป็น "1" แล้วแปลงสัญญาณดิจิตอลที่ได้เป็นสัญญาณอะนาลอกไปเปรียบเทียบกับอินพุตอีกว่า สูงกว่าแรงดันอินพุตหรือเปล่า ถ้าสูงกว่าก็ให้ D_6 เป็น "0" ถ้าต่ำกว่าก็ให้เป็น "1" ขบวนการทำงานจะซ้ำไปอย่างนี้จนกระทั่งครบทั้ง 8 บิต เมื่อได้ข้อมูลครบทั้ง 8 บิตแล้ว SAR ก็จะให้ขา $\overline{DR}$ เป็น "0" เพื่อแสดงผลของข้อมูลออกมาจากเอาต์พุตรีจิสเตอร์เป็นสัญญาณดิจิตอล 8 บิตทางขา Q จาก Q_0 ถึง Q_7 รูปที่ 4 เป็นแผนผังเวลาของ A/D เมื่อแรงดันอะนาลอกอินพุตมีค่า 6.4 โวลต์และแรงดันอ้างอิงเป็น 10 โวลต์ ซึ่งจากรูปนี้เราจะเห็นข้อดีของการแปลงสัญญาณแบบประมาณค่าอย่างต่อเนื่อง คือ มีความรวดเร็วในการแปลงสัญญาณ เพราะสัญญาณนาฬิกาไม่เกิน 8 ลูก ก็จะแปลงสัญญาณเสร็จเรียบร้อย

กลับมาดูการทำงานของ ADC0804 เมื่อเริ่มต้นการแปลงสัญญาณ จำเป็นจะต้องมีสัญญาณที่ขา $\overline{CS}$ และ $\overline{WR}$ เป็น "0" ซึ่ง $\overline{CS}$ จะถูกรักษาไว้ที่ "0" ด้วยตัวต้านทาน R_{14} และเมื่อ $\overline{WR}$ ถูกทำให้เป็น "0" นาน 10 ไมโครวินาที โดยพัลส์ "0" จากโมโนสเตเบิ้ล IC_{12}

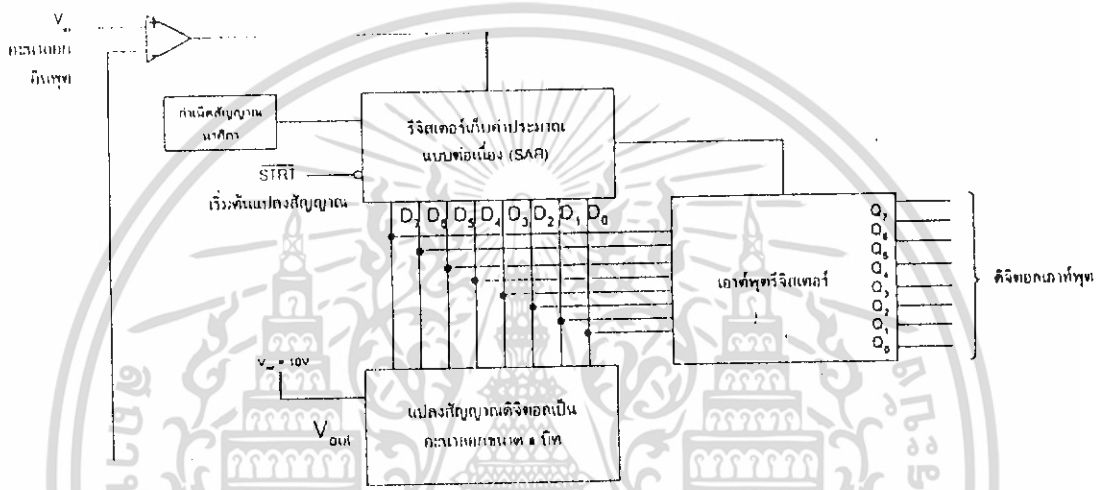
ขบวนการเปลี่ยนแปลงสัญญาณจะเกิดขึ้น และเมื่อแปลงสัญญาณเสร็จ A/D จะให้ขา $\overline{INT}$ เปลี่ยนจากลอจิก "1" มาเป็น "0" จะทำให้เกิดการกระตุ้นโมโนสเตเบิ้ลอีกตัว คือ IC_{13} ขึ้น ซึ่งโมโนสเตเบิ้ลตัวนี้ จะถูกกำหนดคาบเวลา โดย C_6 และ R_7 สัญญาณพัลส์จากขา 9 จะนำไปขับขา $\overline{RD}$ ของ A/D ให้เป็น "0" เพื่อให้ A/D ส่งข้อมูลไปยังบัสข้อมูล

สัญญาณพัลส์จากขา $\overline{Q}$ ขา IC_{13} จะต่ออยู่กับขา 9 ของ NAND เกต $IC_{5/4}$ ซึ่งที่ขา 8 จะถูกรักษาไว้ที่ระดับ "1" ผ่านสวิตซ์ clear (S_5) และ dump (S_6) พัลส์ขาลงจากขา 9 จะทำให้เอาต์พุตของ $IC_{5/4}$ เป็น "1" พัลส์ "1" นี้จะถูกกลับลอจิกโดย NAND เกต $IC_{5/3}$ ส่งไปขับขา $\overline{CS_1}$ ของ RAM ทั้ง 2 ตัว (IC_2และ IC_3) ให้เป็น "0"

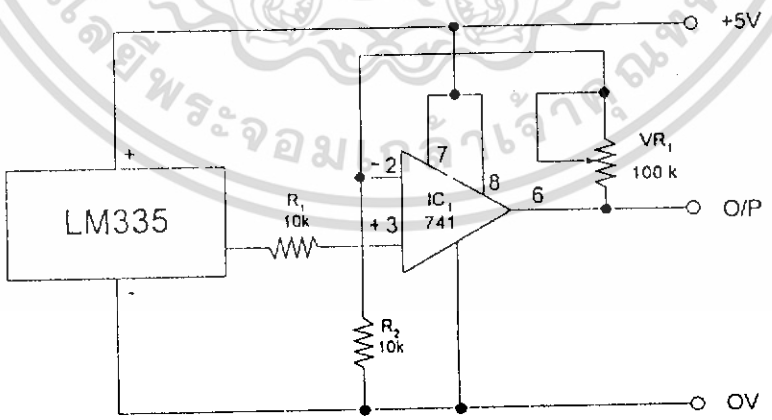
ที่ช่วงเวลาในการเกิดสัญญาณดังที่กล่าวมาแล้วที่ขา Q ของ IC_{13} จะเป็น "1" เป็นเวลา 2 ไมโครวินาที และสัญญาณนี้จะนำไปขับขา 6 ของ $IC_{5/2}$ ให้เป็น "1" ซึ่งขาอื่นของเกตตัวนี้จะถูกรักษาไว้ที่ "1" ผ่าน C_{15} แต่ที่เอาต์พุตของเกตที่ขา 4 จะเป็น "0" เป็นเวลา 2 ไมโครวินาที ดังนั้น จะทำให้เกิด write พัลส์ที่ขา $\overline{WE}$ ของ RAM ซึ่งในช่วงเวลานี้ข้อมูลของ A/D จะถูกเก็บเข้า RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ขา Q (ขา 6) ของโมโนสเตเบิ้ล IC_{13} จะต่ออยู่กับขา CLK (ขา 10) ของ IC_4 เบอร์ 4040 ซึ่งทำหน้าที่เป็นตัวนับแอดเดรส และเพราะตัวนับจะเพิ่มค่าขึ้นในขอบขาลงของ write พัลส์ ดังนั้น จึงเป็นการกำหนดแอดเดรสของ RAM ในตำแหน่งถัดไป และสัญญาณที่ขา $\overline{Q}$ นี้จะต่อเข้ากับขารีเซต (ขา 4) ของ $IC_{10/2}$ ด้วย โดยผ่าน C_3 ดังนั้น ที่ขอบขาขึ้นของสัญญาณพัลส์จะเกิดการรีเซต เป็นเวลา 2 ไมโครวินาที ทำให้ขา Q ของ $IC_{10/2}$ เป็น "0" และหยุดจ่ายไฟให้ A/D



รูปที่ 2 แผนผังการทำงานของการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบประมาณค่าอย่างต่อเนื่อง



รูปที่ 3 วงจรตรวจจับอุณหภูมิต่อเอาต์พุท เข้าที่ขา +Vin ของ IC1 ได้โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

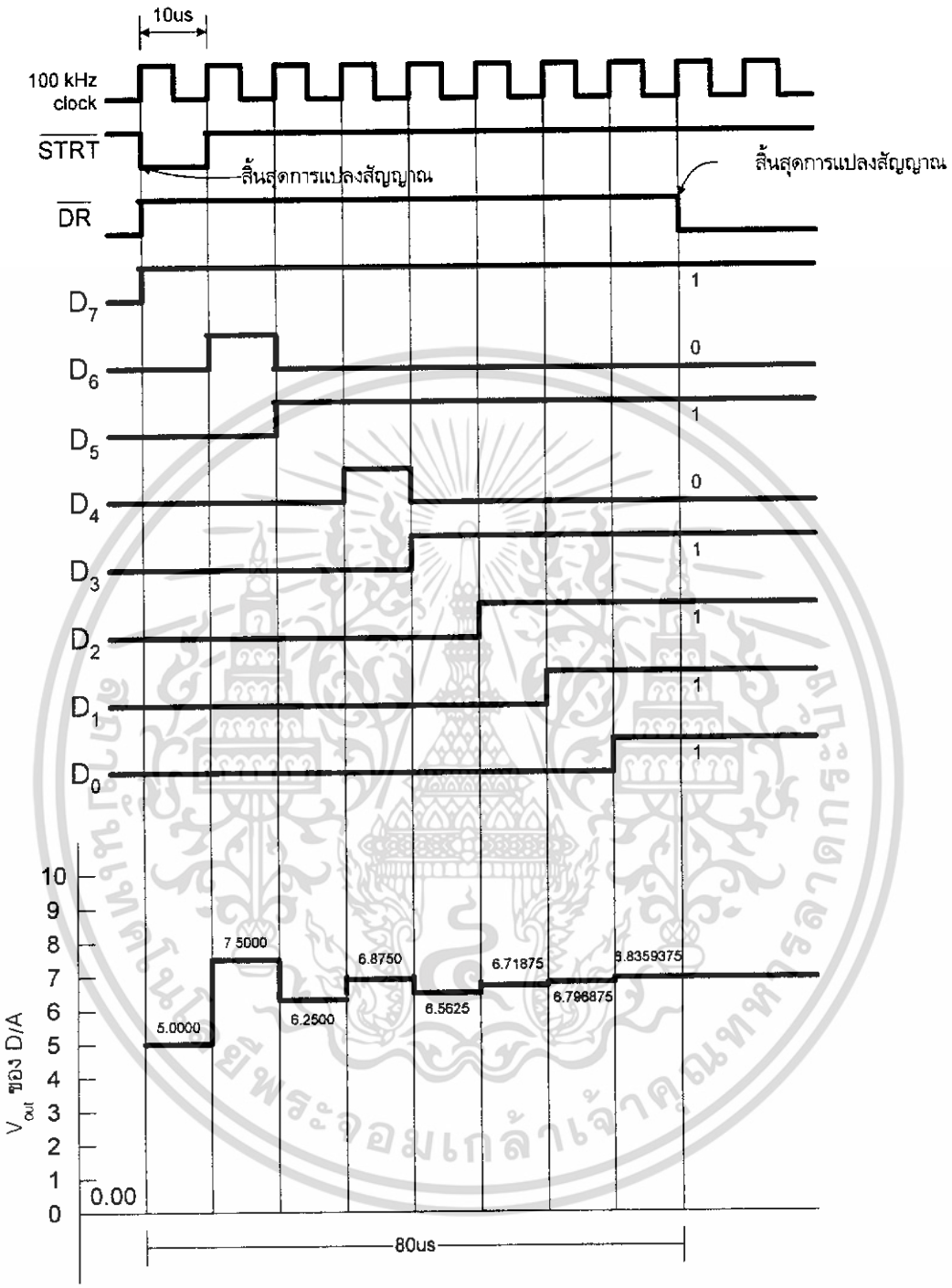
การกำหนดแอดเดรสของหน่วยความจำ

IC_4 เบอร์ 4040 เป็นตัวนับเลขฐานสอง 12 ชุด ซึ่งเราใช้เป็นตัวให้แอดเดรสสำหรับ RAM ซึ่งจะต้องทำการรีเซตไอซีตัวนี้ทุกครั้งเมื่อเริ่มให้เครื่องทำงาน จากที่ได้อธิบายไว้ในตอนต้น สัญญาณพัลส์ขอบขาลงจาก IC_{13} จะทำให้ 4040 เพิ่มค่า k ไปยังแอดเดรสถัดไป 1 ตำแหน่ง แต่การเพิ่มค่าแอดเดรสนี้จะเกิดขึ้นเมื่อสิ้นสุดสัญญาณ $\overline{WE}$ (ดูในแผนผังเวลารูปที่ 2) ซึ่งข้อมูลจะถูกเก็บเข้าสู่ RAM ก่อน ที่จะเปลี่ยนแอดเดรสแต่ 4040 นี้สามารถให้ค่าแอดเดรสได้ 212 หรือ 4096 แอดเดรส ซึ่งใช้ขับแอดเดรส A_0-A_{12} ของ RAM ส่วนแอดเดรสบนสุดคือ A_{12} จะถูกกำหนดโดย D ฟลิปฟลอป (IC_6) ซึ่งสัญญาณนาฬิกาของไอซีตัวนี้จะถูกขับโดยเอาต์พุตของ NAND เกต $IC_{5/1}$ ด้วยการกลับแอดเดรส A_{11} จาก IC_4 แล้วนำไปกระตุ้น D ฟลิปฟลอปที่ขา CLK (ขา 3) และจะนำสัญญาณจากขา Q (ขา 1) ของ IC_6 ไปต่อเข้ากับ A_{12} ของ RAM ทำให้สามารถอ้างแอดเดรสได้ครบทั้ง 8 กิโลไบต์ของ RAM

โดยในครั้งแรก A_{11} และ A_{12} จะเป็น "0" เมื่อแอดเดรสเพิ่มขึ้นเรื่อย ๆ จนครบ 2 กิโลไบต์ ก็จะกลายเป็น "1" และจะเพิ่มขึ้นเรื่อย ๆ จนกระทั่งแอดเดรสเพิ่มมาจนถึง 4 กิโลไบต์ A_{11} ก็จะกลับเป็น "0" นั้นก็จะทำการกระตุ้นขา CLK ของ IC_6 ทำให้เอาต์พุตของ IC_6 เป็น "1" ซึ่งก็คือ A_{12} เป็น "1" นั่นเอง ทำให้อ้างแอดเดรสได้จนครบทั้ง 8 กิโลไบต์และที่ขา $\overline{Q}$ ของ IC_6 จะส่งเป็นสัญญาณนาฬิกาให้กับ IC_7 ดังนั้น เมื่อ A_{12} กลับมาเป็น "0" จะทำให้ IC_7 ได้รับสัญญาณนาฬิกาปลุก 1 ลูก

ในตอนแรกเอาต์พุตของ IC_7 คือ Q_0 และ Q_1 จะต่ออยู่กับขา CS_2 ของ IC_2 และ IC_3 ตามลำดับ ซึ่งวงจรนับตัวนี้ก็คล้ายกับ IC_4 คือ จะต้องรีเซตก่อนเมื่อเริ่มต้นการทำงาน และเมื่อทำการรีเซตจะทำให้ Q_0 เป็น "1" ทำให้เกิดการอีนาเบิ้ล IC_3 หลังจาก IC_7 ได้รับสัญญาณกระตุ้นที่ขา CLK (ขา 14) Q_0 จะกลายเป็น "0" และ Q_1 จะกลายเป็น "1" ซึ่งสัญญาณนี้จะต่อกับขารีเซตของ IC_{14} ทำให้ IC_{14} หยุดการผลิตสัญญาณนาฬิกา ดังนั้น การเก็บข้อมูลจะเก็บได้เท่ากับขนาดของ RAM และไม่สามารถจะบันทึกได้เพื่อป้องกันการบันทึกซ้ำข้อมูลเดิม ถ้าเราต่อหน่วยความจำจนถึงขา Q_8 ของ IC_7 แต่ละช่วงจะบันทึกได้ 8 กิโลไบต์ (แล้วใช้ Q_9 สำหรับการเก็บข้อมูลอัตโนมัติ) จะทำให้เราสามารถขยาย RAM ได้ถึง 72 กิโลไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 แผนผังเวลาของ SAR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของสวิตช์

เครื่องบันทึกข้อมูลอัตโนมัติมีสวิตช์ควบคุมต่างๆอยู่ 6 ตัว มีการทำงานดังนี้

S_1-S_2 เป็นไบนารี่สวิตช์ 10 ช่องมีไว้สำหรับตั้งเวลาบันทึกข้อมูลในแต่ละครั้ง เช่น 20 วินาที บันทึกข้อมูล 1 ครั้ง เราก็ตั้ง S_1 ไปที่ตำแหน่ง 0 และตั้ง S_2 ไปที่ตำแหน่ง 2 เครื่องบันทึกข้อมูลอัตโนมัติก็จะทำการบันทึกข้อมูลทุกๆ 20วินาที

Stop Run : S3 เป็นสวิตช์ต่ออยู่กับขาอินพุตของ IC_{14} ถ้าสวิตช์อยู่ตำแหน่ง run ก็จะทำหน้าที่ผลิตความถี่ และเป็นตัวหารสัญญาณออสซิลเลเตอร์ ซึ่งมาจาก C_1, C_2, R_1 คริสตอล และ IC_{14}ร่วมกันทำงานให้ความถี่ 32,768 เฮิรตซ์ ออกมา แต่ในตำแหน่ง stop ขา 11 จะต่อลงกราวด์ และหยุดการออสซิลเลตคล้ายๆ กับเมื่อเก็บข้อมูลเต็มหน่วยความจำขารีเซ็ต (ขา 12) จะเป็น "1" โดยส่งมาจาก Q_2 ของ IC_7 จะทำให้ IC_{14} หยุดการออสซิลเลต

Reset : S_4 ใช้สำหรับรีเซ็ต IC_4, IC_6, และ IC_7 จะเห็นได้ว่า สวิตช์นี้มีความสำคัญมากสำหรับตัวนับแอดเดรส (IC_4) ซึ่งจะต้องทำการรีเซ็ตก่อนทุกครั้ง เมื่อเริ่มต้นการทำงาน เพื่อให้แอดเดรสอยู่ที่ตำแหน่งแรกของ RAM และมีความสำคัญเท่ากับการที่จะต้องรีเซ็ต IC_6 เพราะว่ามันจะให้แอดเดรสบนสุดคือ A_{12} ซึ่งอาจทำให้การทำงานไม่เริ่มต้นที่แอดเดรสแรกของ RAM เนื่องจากตัวนับแอดเดรสส่วนตัวเลือก RAM (IC_7) จะต้องเริ่มจาก Q_0 เพื่อใช้เลือกหน่วยความจำที่จะบันทึกข้อมูลได้ถูกต้องคือ เลือกที่ RAM ตัวแรก (IC_2)

Clear : S5 ใช้สำหรับเขียนข้อมูล "0" เข้าไปในหน่วยความจำของเครื่องเก็บข้อมูลอัตโนมัติก่อนจะใช้งานจริง ซึ่งการเคลียร์หน่วยความจำก่อน หลังจากเปิดให้เครื่องทำงานหน่วยความจำทั้งหมดจะเต็มไปด้วยข้อมูลที่ถูกสุ่มขึ้นมา ซึ่งข้อมูลอันนี้จะยังไม่เป็นปัญหาเมื่อเราเขียนข้อมูลใหม่เข้าไปในช่วงแรกๆ เพราะข้อมูลของเราจะไปทับข้อมูลชุดสุดท้ายแต่ถ้าเราเคลียร์หน่วยความจำก่อนจะทำให้เรารู้ได้ว่าข้อมูลชุดไหนเป็นชุดสุดท้าย

ปกติขา 8 ของ $IC_{5/4}$ จะต่ออยู่กับ +5 โวลต์ผ่านทาง S_5 และ S_6 แต่เมื่อ S_5 ทำงาน ขา 8 จะต่อลงกราวด์ผ่านทาง R_{13} ซึ่งจะทำให้เอาต์พุตของ IC5/4 เปลี่ยนเป็น "1" ในทางกลับกัน เอาต์พุตของ $IC_{5/3}$ จะกลายเป็น "0" สัญญาณ "0" อันนี้จะไปต่ออยู่กับขา $\overline{CS}_1$ ของ RAM IC_2 และ IC_3 และที่จุดนี้การเคลียร์หน่วยความจำของคอมพิวเตอร์จะเริ่มขึ้น โดยขาข้อมูลทั้งหมดจะเป็น "0" และสัญญาณเพิ่มค่าแอดเดรสจะทำให้ IC_{13} กำเนิดสัญญาณพัลส์ 2 ไมโครวินาที คล้ายกับการบันทึกข้อมูล ซึ่งสัญญาณจากขา Q จะเป็นสัญญาณ $\overline{WE}$ ผ่าน $IC_{5/1}$ สัญญาณนี้จะทำให้เกิดการเขียนข้อมูล "0" ในแต่ละแอดเดรสที่เปลี่ยนไป โดยตัวนับแอดเดรส จะเปลี่ยนค่าแอดเดรสที่ขอบขาลงของสัญญาณพัลส์ 2 ไมโครวินาที และคอมพิวเตอร์จะทวนขบวนการนี้ตามความเหมาะสมของจำนวนข้อมูลที่เก็บได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามที่เรากำหนดไว้ และเมื่อเคลียร์หน่วยความจำเสร็จสิ้นก็สับสวิตช์กลับมายังตำแหน่งปกติ สามารถทำการอ่านข้อมูลได้

Dump : S_6 ใช้สำหรับ dump ข้อมูลที่เก็บไว้ไปสู่คอมพิวเตอร์ ซึ่งคล้ายๆ กับ S_5 แต่ S_6 นี้ จะตัด +5 โวลต์ ที่จ่ายให้ $IC_{5/4}$ ซึ่งเอาต์พุตจะไปอีนาเบิ้ล $\overline{CS_1}$ ของ RAM แต่ S_6 นี้มีอยู่ 2 ชุด สวิตช์อีกชุดหนึ่งจะให้สัญญาณ "0" แก่ $IC_{5/2}$ ที่ขา 5 ซึ่งจะทำให้เอาต์พุตของเกตนี้เป็น "1" ทำให้ $IC_{5/2}$ หยุดสร้างสัญญาณ $\overline{WE}$ เพื่อให้แน่ใจได้ว่า หน่วยความจำจะไม่ถูกเขียนข้อมูลทับลงไป

สวิตช์ส่วนที่ต่อกับกราวด์จะให้สัญญาณ $\overline{OE}$ แก่หน่วยความจำทำให้เกิดการส่งข้อมูลออกมายังขาข้อมูล ซึ่งขณะนี้เราก็สามารถ ที่จะดึงข้อมูลจากเครื่องเก็บข้อมูลไปยังคอมพิวเตอร์ได้ โดยให้สัญญาณเพิ่มค่าแอดเดรสมาจากคอมพิวเตอร์ ซึ่งจะทำให้ข้อมูลถูกส่งไปเก็บยังคอมพิวเตอร์ ซึ่งจะทำให้ข้อมูลถูกส่งไปเก็บยังหน่วยความจำของคอมพิวเตอร์ เพื่อนำข้อมูลนั้นไปวิเคราะห์ใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อกับคอมพิวเตอร์

เครื่องเก็บข้อมูลอัตโนมัติจะติดต่อกับคอมพิวเตอร์แบบขนานโดยใช้สายข้อมูล 8 เส้น, สายควบคุม 1 เส้นและสายกราวด์ 1 เส้น การส่งข้อมูลในลักษณะขนานนิยมใช้มากกว่าการส่งแบบอนุกรมใน RS232 หรือ RA422 เพราะไม่ต้องการฮาร์ดแวดร์เพิ่มเติมมาก และผลที่ตามมาคือการประหยัดค่าใช้จ่าย โดยถ้าต่อกับคอมพิวเตอร์พรินเตอร์พอร์ตได้โดยตรง

คอมพิวเตอร์จะเป็นส่วนควบคุมการทำงานในการส่งสัญญาณควบคุมออกไป หรือรับข้อมูลเข้ามาจากเครื่องเก็บข้อมูล โดยในเครื่องเก็บข้อมูลจะมีสวิตช์ dump ไว้ให้เพื่อเป็นสัญญาณอีนาเบิ้ล RAM ให้ส่งข้อมูลออกมาได้ดังนั้น เมื่อจะทำการรันโปรแกรมเพื่ออ่านข้อมูลจากเครื่องเก็บข้อมูลจะต้องกดปุ่ม dump ก่อน

การตรวจสอบการทำงานของวงจร

ก่อนที่เราจะต่อเครื่องเก็บข้อมูลเข้ากับคอมพิวเตอร์ หรือใช้ต่อกับชุดเซนเซอร์ ขอให้ทำการตรวจหรือวัดการทำงานอย่างคร่าวๆ เพื่อตรวจสอบ และตัดปัญหาต่างๆ ที่อาจเกิดขึ้นได้ในระหว่างการสร้างเครื่องดังนี้

1. วัดแรงดันเอาต์พุตจาก 7805 ว่าได้ +5 โวลต์หรือไม่ และเพื่อให้แน่นอนควรตรวจที่ขาแรงดันไฟเลี้ยงของไอซีทุกๆ ตัวที่มีอยู่ว่ามีไฟเลี้ยง +5 โวลต์ หรือไม่ ยกเว้น ADC 0804 (IC_1)

2. เช็คสัญญาณ 2 เฮิรตซ์ที่ขา 13 ของ IC_{10}

3. ตั้งสวิตช์รหัส BCD (S_1 และ S_2) เพื่อกำหนดคาบเวลาในการสุ่มแต่ละครั้ง เช็คได้ที่ขา 1 ของ IC_{10} จะเป็นลอจิก "1" ทุกๆ คาบเวลาตามที่ตั้งไว้ที่สวิตช์ รหัส BCD ถ้าไม่เป็นตามที่กล่าวมาให้ตรวจการทำงานแต่ละชุดของ IC_8 และ IC_9

4. เมื่อถึงขา 1 ของ IC_{10}แล้ว เราก็จะได้พัลส์เริ่มต้นการทำงานดังในแผนผังเวลาหรือไม่

5. เช็คเอาต์พุตของ IC_4 เพื่อให้แน่ใจว่ามีการ "เพิ่ม" หลังจากสัญญาณนาฬิกาแต่ละลูกเข้ามา ซึ่งถ้าตั้งคาบเวลาต่ำๆ จะสามารถทดสอบการทำงานได้ง่าย โดยตรวจที่ขา A_0 (ขา 9) ของ IC_4เราจะเห็นการเปลี่ยนแปลงจาก 0 เป็น 1 หรือ 0 ตามคาบเวลาที่ตั้ง เช่น ทุกๆ 1 วินาที , 2 วินาที เป็นต้น

6. ขาอินพุตต่างๆของ RAM ได้แก่ CS_1 , CS_2 และ OE มีการเลือกหรือทำงานหรือไม่ โดยใช้ S5 และ S6 และดูที่ขา WE (ขา 27) ด้วยว่าได้รับสัญญาณพัลส์ "0" 2 ไมโครวินาทีหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. แรงดันอ้างอิงของ IC1 จะต้องมีค่า 2 โวลต์ แต่ควรจะจำไว้ว่า IC1 นี้จะทำงานและวัดแรงดันอ้างอิงได้ต่อเมื่อ A/D อยู่ในสภาวะ "on"

8. จุดสุดท้ายที่จะตรวจสอบคือการรีเซ็ตว่า มีการรีเซ็ตหรือไม่ เมื่อกดสวิตช์รีเซ็ต S_4 แล้ว

การใช้งาน

เครื่องบันทึกข้อมูลอัตโนมัติเครื่องนี้ออกแบบไว้สำหรับต่อโดยตรงกับเครื่องคอมพิวเตอร์ของ BBC โดยต่อซ็อกเก็ต SK_1 ซึ่งเป็นอินพุต/เอาต์พุตของเครื่องบันทึกข้อมูลเข้ากับพอร์ตขนานของเครื่อง BBC และจะต้องใช้ซอฟต์แวร์ช่วยในการเก็บข้อมูลอีกด้วย แต่ถ้าใช้คอมพิวเตอร์ของ AMSTRAD หรือของ IBM จะต้องมีชุดอินเตอร์เฟสผ่านทางพอร์ตพรินเตอร์ของเครื่องคอมพิวเตอร์ โดยใช้สายสถานะ (status lines) ของพอรต์เตอร์เป็นสายอินพุตสำหรับเข้าถึงข้อมูลในเครื่องเก็บข้อมูล การอ่านข้อมูลจะอ่าน 4 บิตต่ำ (LSB) ก่อน จากนั้น 4 บิต หลัง (MSB) ก็จะถูกอ่านตามมา ส่วนชุดอินเตอร์เฟสควรใช้ไอซี ความเร็วสูงตระกูล HCTTL 2 ตัว ต่อเป็นอินเตอร์เฟสใช้กำลังจากเครื่องเก็บข้อมูลโดยตรง

จากรูปที่ 3 เป็นการประยุกต์ใช้งานเครื่องเก็บข้อมูลอัตโนมัติ ให้การเก็บค่าของอุณหภูมิหรือความร้อน โดยมี IC เบอร์ LM335 เป็นไอซีที่ใช้วัดอุณหภูมิโดยมี IC_2 เป็นออปแอมป์ทำหน้าที่ปรับอัตราการขยาย ซึ่งสามารถปรับได้ที่ VR_1 แล้วนำเอาต์พุตไปต่อเข้ากับขา Vin (ขา 6) ของ IC_1 ที่ SK_1(ขั้วต่อ 14 ขา แสดงในรูปที่ 15) เพื่อแปลงแรงดันที่ได้จากเอาต์พุตเป็นค่าทางดิจิตอลเก็บไว้ใน RAM ซึ่งจากวงจรนี้เมื่ออุณหภูมิเปลี่ยนแปลงไปจะทำให้แรงดันที่เอาต์พุตของแอมป์เปลี่ยนไปด้วย ดังนั้น เราจึงสามารถวัดการเปลี่ยนแปลงของอุณหภูมิและเก็บค่าการเปลี่ยนแปลงของอุณหภูมิไว้ได้

จากวงจรรูปที่ 3 นี้ เป็นตัวอย่างอันหนึ่งของการใช้เครื่องเก็บข้อมูลอัตโนมัติ ซึ่งเราสามารถจะนำไปใช้ในงานอื่นๆ ได้หลายอย่าง เช่น การเปลี่ยนแปลงของการส่องสว่าง, การเปลี่ยนแปลงของความดันในท่อต่างๆ ,การเปลี่ยนแปลงของระดับของเหลวภายในถัง เป็นต้น ซึ่งจะเป็นได้ว่าวงจรที่มีประโยชน์และสามารถนำไปประยุกต์ในงานต่างๆ ได้มากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

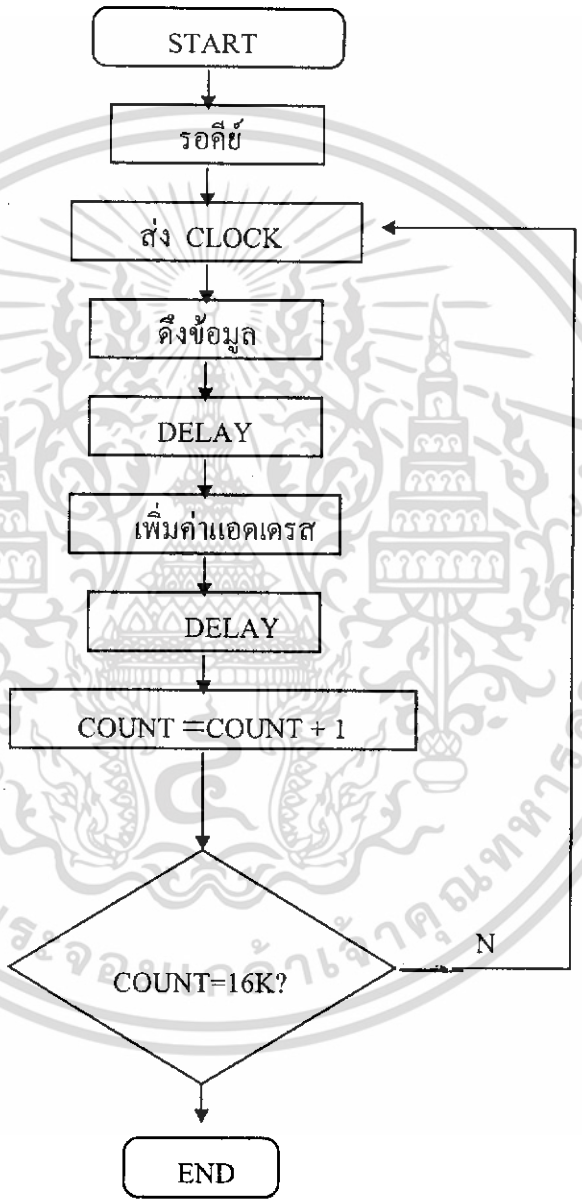
การออกแบบซอฟท์แวร์

ในการนำข้อมูลที่บันทึกไว้ในเครื่องเก็บข้อมูลนี้ไปวิเคราะห์ โดยใช้คอมพิวเตอร์นั้น ต้องอาศัย วงจรอินเตอร์เฟสในการส่งผ่านข้อมูลจากเครื่องเก็บข้อมูลไปยังคอมพิวเตอร์ ซึ่งโครงงานชิ้นนี้ใช้การส่งผ่านเข้าทางพอร์ทขนานของคอมพิวเตอร์ ผ่านวงจรอินเตอร์เฟส ประกอบด้วย ตัวเลทช์ข้อมูล และ บัฟเฟอร์ โดยใช้พอร์ทแสดงสถานะ S7-S4 ในการส่งผ่านข้อมูลดึง ทีลา 4 BIT แล้วนำมาประกอบกัน นำไปพล็อตกราฟ อัลกอลิทึมในการดึงข้อมูล

1. กำหนดค่า PORT ต่าง ๆ
2. RESET ADDRESS ที่ "O"
3. ดึงข้อมูลไปแสดงผล
4. เพิ่มค่า ADDRESS
5. ตรวจสอบว่า COUNT ครบ 16 K ?
   - 5.1 ถ้ายังไปทำข้อ 3
   - 5.2 ถ้าครบแล้วทำข้อ 6
6. จบการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟล์ชาร์จ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

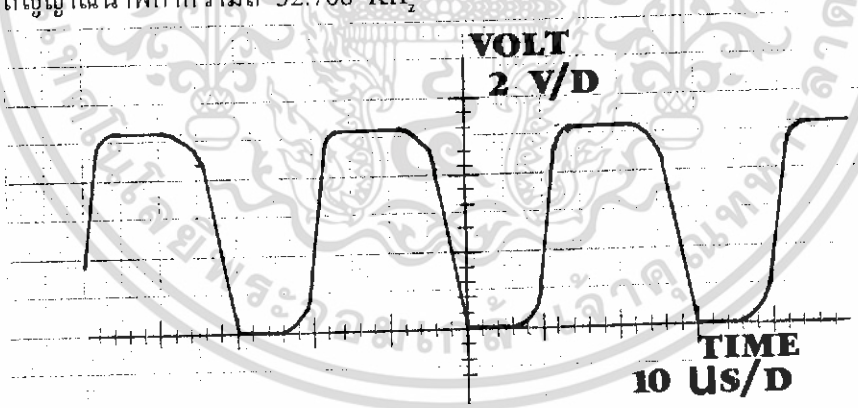
บทที่ 3

ผลการทดลอง

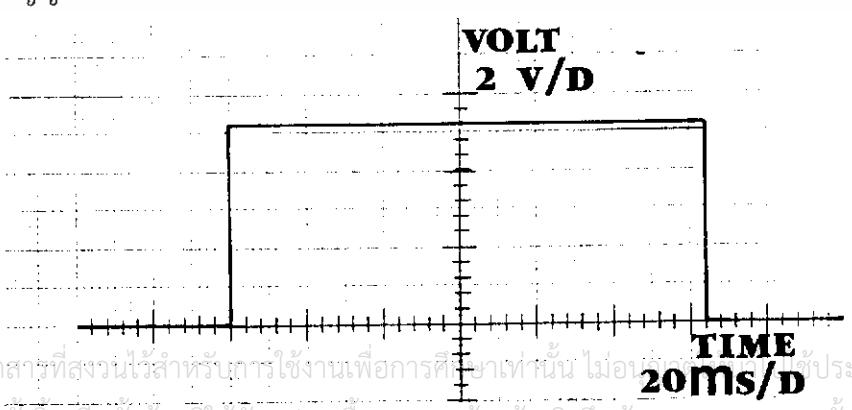
เมื่อทำการศึกษาถึงทฤษฎีการทำงานของอุปกรณ์แต่ละตัวเป็นที่เข้าใจแล้ว จึงจัดหาอุปกรณ์ในแต่ละส่วนของวงจร แล้วนำมาทดสอบ ประกอบบน โฟโต้ บอร์ด ศึกษาการทำงานจริง แก้ไขปัญหาต่าง ๆ ที่เกิดขึ้น เมื่อทดสอบในแต่ละส่วนจนเป็นที่แน่ใจแล้ว จึงประกอบวงจรสมบูรณ์ลงบนแผ่น PCB ทดสอบวงจรในแต่ละส่วนสามารถทำงานสอดคล้องกันได้อย่างมีประสิทธิภาพ

สัญญาณต่าง ๆ จากการทดลอง

สัญญาณนาฬิกาความถี่ 32.768 KH_z

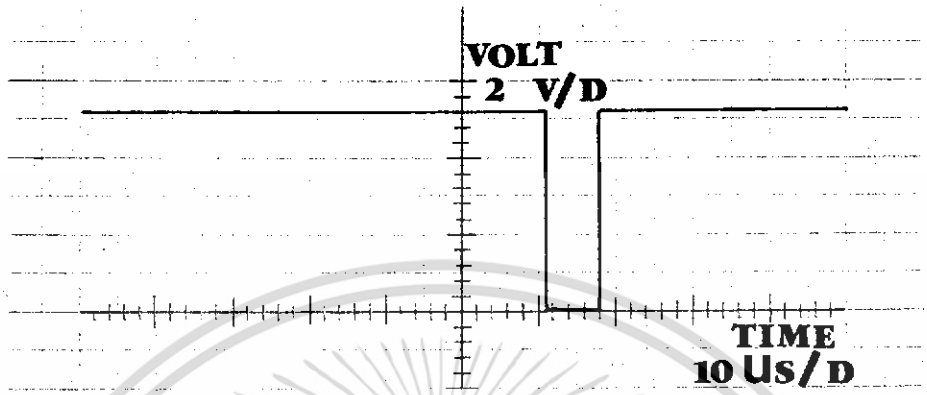


สัญญาณวงจรตั้งคาบเวลา

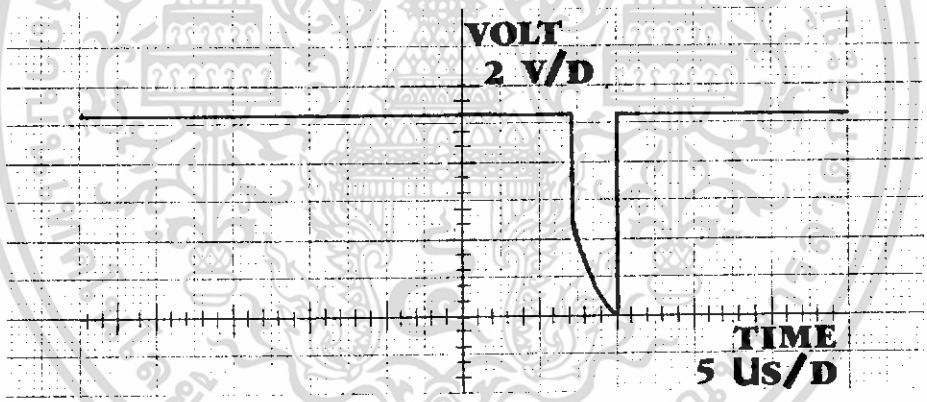


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

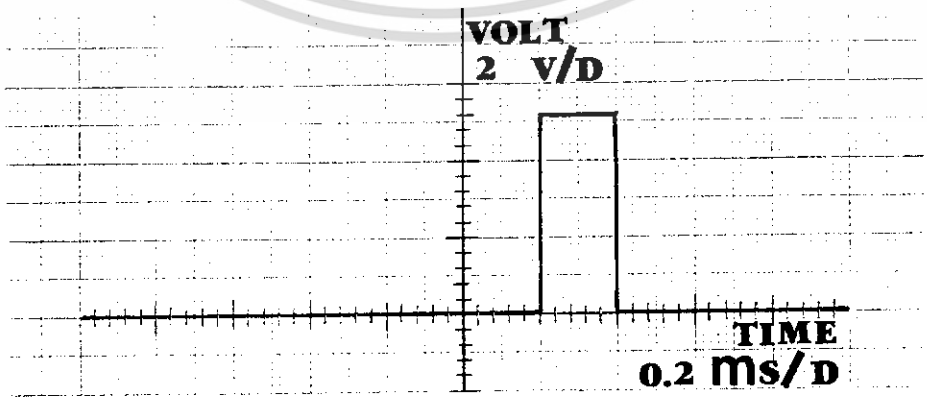
สัญญาณ $\overline{WR}$ ของ A/D



สัญญาณ $\overline{RD}$ ของ A/D



สัญญาณ $\overline{INT}$ จาก A/D



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 4

สรุปและวิจารณ์ผลการทดลอง

บทสรุป

จากผลงานและผลการทดลองที่ได้รับของโครงงานสรุปได้ว่า ประสบผลสำเร็จซึ่งจะกล่าวได้ตามวัตถุประสงค์ที่วางไว้ ดังนี้

1. ผู้จัดทำโครงงานสามารถเข้าใจระบบการทำงานของเครื่องจัดเก็บข้อมูลอัตโนมัติ ได้ทักษะ และประสบการณ์ต่างๆ เป็นอย่างดี เนื่องจากในการทำโครงงาน จำเป็นต้องค้นคว้าข้อมูลต่าง ๆ เพื่อนำมาเป็นข้อมูล และก็พบกับปัญหาต่าง ๆ ที่เกิดขึ้น

2. สามารถเก็บบันทึกข้อมูลได้อย่างอัตโนมัติ ตามคาบเวลาที่ตั้งเอาไว้ และเก็บข้อมูลได้อย่างถูกต้อง

3. สามารถนำเอาข้อมูลที่เก็บบันทึกไว้มาแสดงเป็นกราฟด้วยคอมพิวเตอร์ได้

ข้อเสนอแนะในการพัฒนาต่อไป

1. สามารถทำการขยายหน่วยความจำเพิ่มได้อีก เช่น จากเดิมเราใช้ Q_0 และ Q_1 จาก IC 4017 ควบคุม RAM แล้วใช้ Q_2 ไป STOP สัญญาณฐานเวลา เราสามารถใช้ Q_0-Q_8 ควบคุม RAM 9 ตัว แล้วใช้ Q_9 ในการ STOP สัญญาณฐานเวลาแทน ก็จะได้ขนาดหน่วยความจำเพิ่มขึ้นเป็น 72 Kbyte เป็นต้น

2. สามารถกำหนดคาบเวลาให้ต่ำกว่า 1 วินาที ได้อีก ซึ่งจะเป็นการทำการบันทึกที่ละเอียดขึ้น เช่น ตั้งคาบเวลาได้ 1 มิลลิวินาที - 99 มิลลิวินาที เป็นต้น โดยการใช้สัญญาณฐานเวลาที่มีความถี่สูงขึ้น และจ่ายไฟเลี้ยง A/D ตลอดเวลา

3. สามารถพัฒนาการแสดงผลโดยปรับปรุง SOFTWARE ให้ดีขึ้นได้

86762

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
USES  Graph,crt;

CONST DataPort=$378;
      StatusPort=DataPort+1;
      ControlPort=DataPort+2;
      StatusMask=$80;
      ControlMask=$08;

VAR   Gd,Gm,I,C,S,Mx,Mn,M,Mk,K : Integer;
      Cx,Cy : Integer;
      Count ,code : Integer;
      A           : Array[1..100] of Byte;
      Sa          : Array[1..100] of String;
      ss,Sm,Sn    : String;

FUNCTION Bin(B:Word):String;
VAR      H          : Word;
         St,S       : String[16];
BEGIN
         S :='';
         St:='';
     For I := 1 To 8 Do
     Begin
         H:=B And 1;
         If H=1 Then S:=S+'1' Else S:=S+'0';
            B:=B Shr 1;
     End;
         I:=Length(S);
     While I>0 Do
     Begin
         St:=St+S[I];
         I:=I-1;
     End;
         Bin:=St;
END;

FUNCTION Hex(B:Word):String;
CONST    H:array[0..15] Of Char ='0123456789ABCDEF';
BEGIN
  Hex:=H[((B Shr 8)And$0F)]+H[((B Shr 4)And $0F)]+H[(B And $0F)]
END;

FUNCTION Power(X,Y : Integer):Word;
BEGIN
         Power:=Round(Exp(Y*ln(X)));
END;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PROCEDURE PlotGr(Data,Count : Integer);
VAR       Kp : Integer;
BEGIN
          SetColor(0);
          MoveTo(81,400-A[1]);
    For I:= 1 to 100 do LineTo(81+I*4,400-Round(A[i]*0.3922)*3);
          setFillStyle(1,0);
          bar(70,402,605,418);

     For  I:= 1 to 99 do A[i]:=A[i+1];
          A[100]:=Data;

     For  I:=  1 to 99 do Sa[i]:=Sa[i+1];

     IF   Count Mod 100 =0 then
     Begin
          Str(count,SS);
          SA[100]:=SS;
     end else SA[100]:='';
          Setcolor(15);
          MoveTo(81,400-Round(A[1]*0.3922)*3);

     For  I:= 1 to 100 do
     Begin
          Kp:=400-Round(A[i]*0.3922)*3;
          LineTo(81+I*4,Kp);
          Cx:=81+I*4;
          Cy:=Kp;
          OutTextXY(81+I*4,410,Sa[i]);
          MoveTo(Cx,Cy);
     end;
END;

FUNCTION  Getkey(X,Y : Integer):String;
VAR       S  : string;
          Index : Byte;
          Ck : Boolean;
          Ch:Char;
BEGIN
          Ck:=False;
          Index:=0;
          S:='';
     repeat
          Ch:=Readkey;
          Case Ch of
          #13 : Begin
                     Ck:=True;
                     GetKey:=S;
                end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            'A'..'z','0'..'9' : Begin
                                Inc(Index);
                                OutTextxy(X+Index*8,Y,Ch);
                                S:=S+Ch;
                                End;
             End
     until Ck;
END;

BEGIN
          Gd:=Detect;
          InitGraph(Gd,Gm,'C:\Pascal7\');
          SetFillStyle(1,7);
          Bar(0,0,639,479);

          SetFillStyle(1,0);
          Bar(40,75,605,420);
          Bar(170,429,300,439);
          Bar(170,444,250,454);
          Bar(170,459,250,469);
          Line(80,80,80,401);
          Line(80,401,600,401);

          SetColor(10);
          OutTextXY(20,430,'Enter type mesure :');
          OutTextXY(20,445,'Enter max range   :');
          OutTextXY(20,460,'Enter min range   :');

          SetColor(12);
          SS:=GetKey(170,431);
          Sm:=GetKey(170,446);
          Val(Sm,Mx,code);
          Sn:=GetKey(170,461);
          Val(Sn,Mn,code);

          SetColor(15);
          OutTextXY(60,401,'0');
          OutTextXY(40,251,'50 %');
          OutTextXY(40,101,'100%');

     for  i:= 0 to 100 do
          Line(75,401-I*3,80,401-I*3);

          Count:=0;
          Port[ControlPort]:=0 Xor ControlMask;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
for  I:=0 to 100 do Sa[i]:='';
     Repeat
          Inc(Count);
          Port[ControlPort]:=2 Xor ControlMask;
          S:=Port[StatusPort] Xor StatusMask;
          C:=S Shr 4;
          C:=C And $0F;
          Port[ControlPort]:=3 Xor ControlMask;
          S:=Port[StatusPort] Xor StatusMask;
          S:=S And $F0;
          K:=(C+S);
          Delay(1);
          Port[ControlPort]:=0 Xor ControlMask;
          Delay(1);
          PlotGr(K,Count);
     Until (Count>=16384)Or(Keypressed);
END.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011B, SCL4012B SCL4023B, SCL4068B

CMOS NAND GATES

SCL4011B – Quad 2-Input NAND
SCL4012B – Dual 4-Input NAND
SCL4023B – Triple 3-Input NAND
SCL4068B – 8-Input NAND

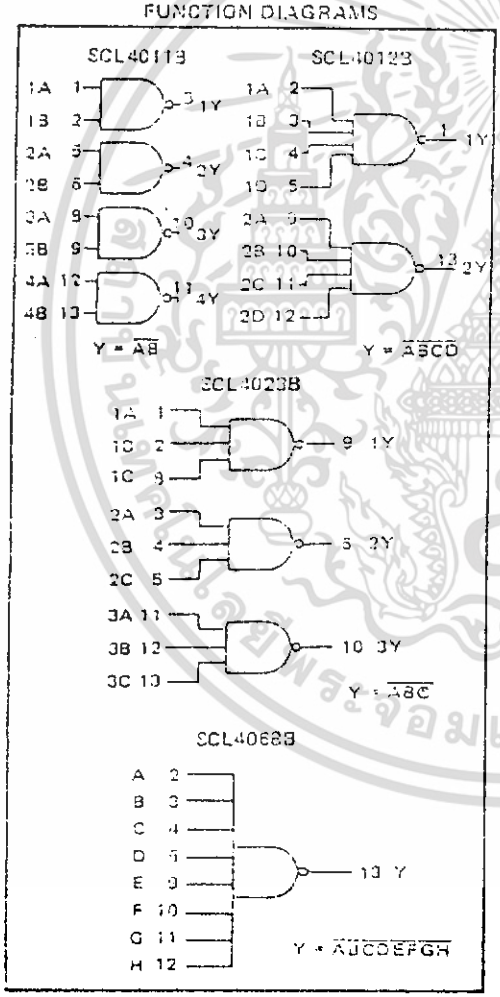
FEATURES

- Buffered Outputs
- Diode Protection on all Inputs
- Fully "B"-Series Compatible
- Balanced Output Drive Current Specifications

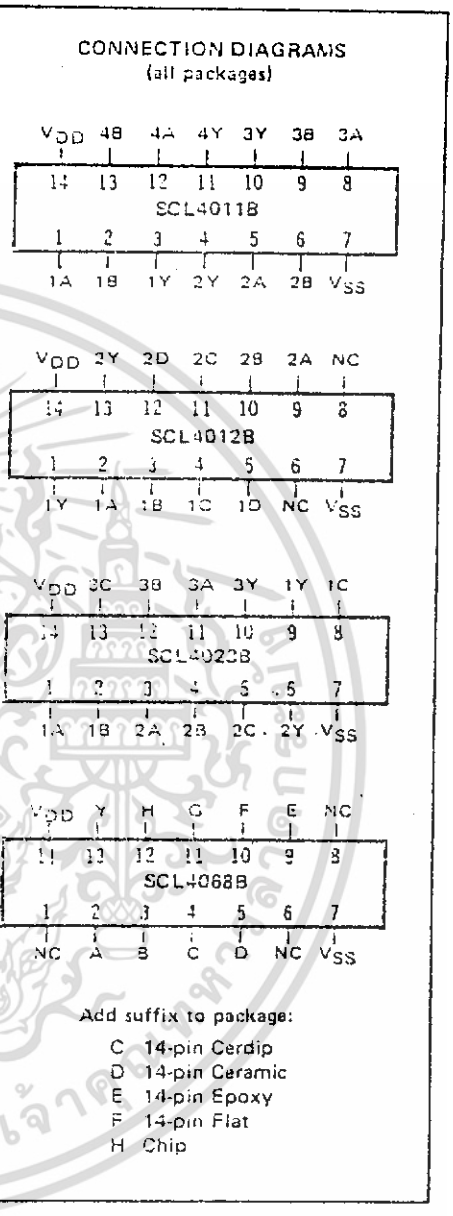
TRUTH TABLE

Inputs	Output
1 1 . . . 1	0
All other combinations	1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS
(all packages)



Add suffix to package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

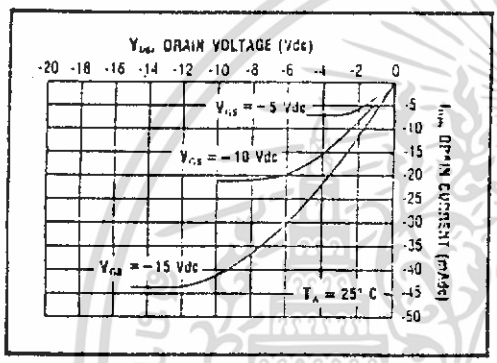
STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD} [3]	5	V_{in} = V_{SS} or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

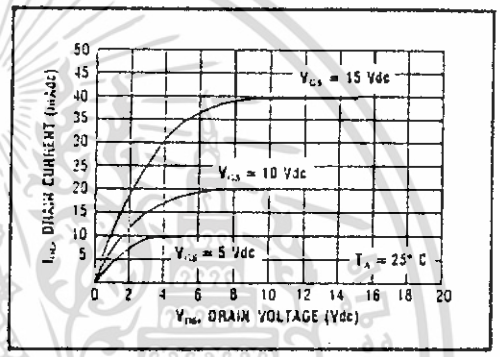
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	60	120	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

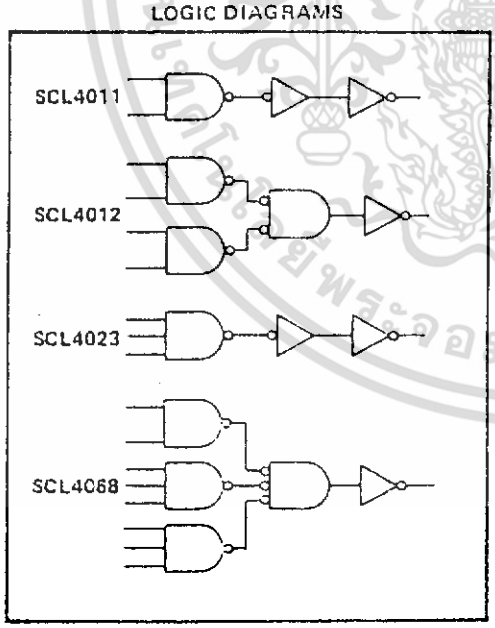


Typical P-Channel
Source Current Characteristics

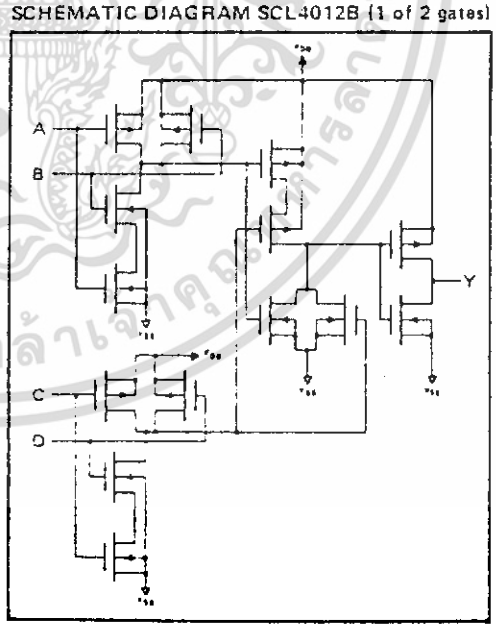


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4012B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011UB

CMOS NAND GATE (Unbuffered)

FEATURES

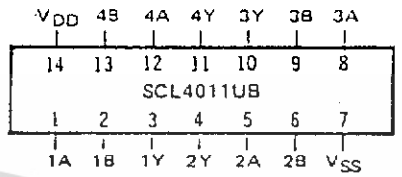
- Unbuffered Outputs for Quasi-Linear Applications
- Quad 2-Input NAND Configuration
- Diode Protection on all Inputs
- Output Drive Current Compatible with "B" Series
- Pin Compatible with Buffered SCL4011B
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

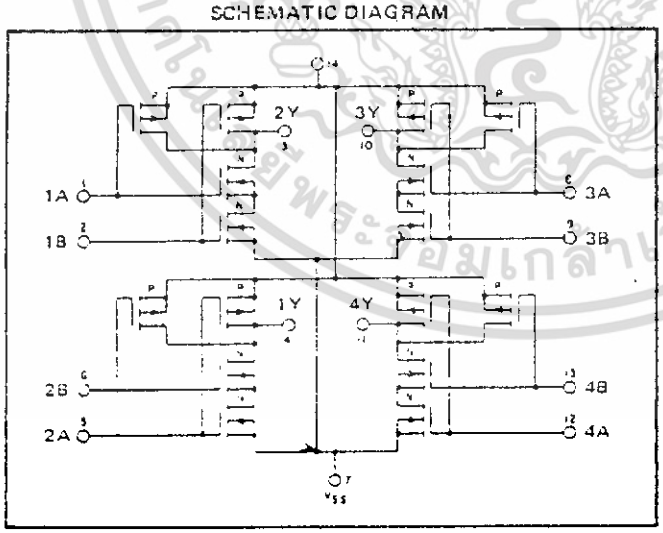
Inputs	Output
1 1	0
All other combinations	1

RECOMMENDED OPERATING CONDITIONS

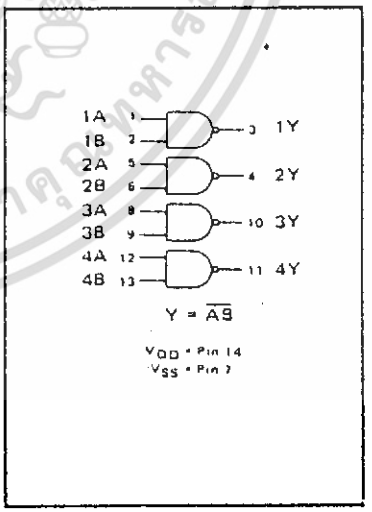
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

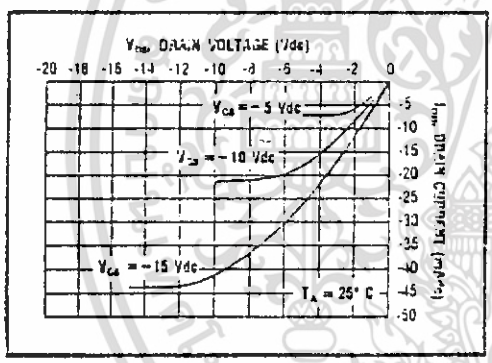
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	V_{IN} = V_{SS} or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

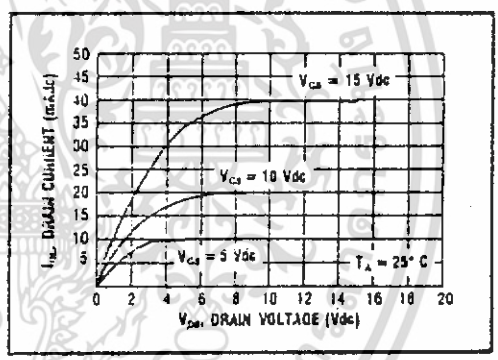
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	75	150	ns
		10	–	35	70	
		15	–	25	50	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	



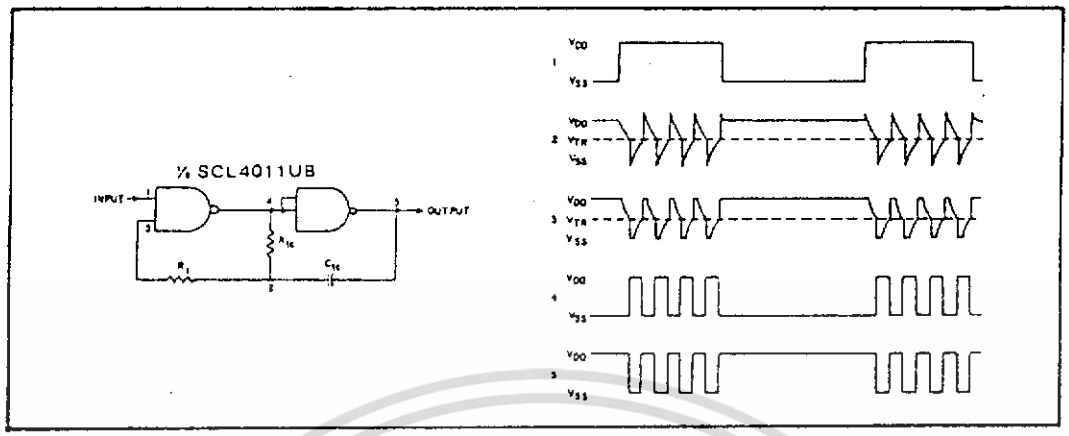
Typical P-Channel
Source Current Characteristics



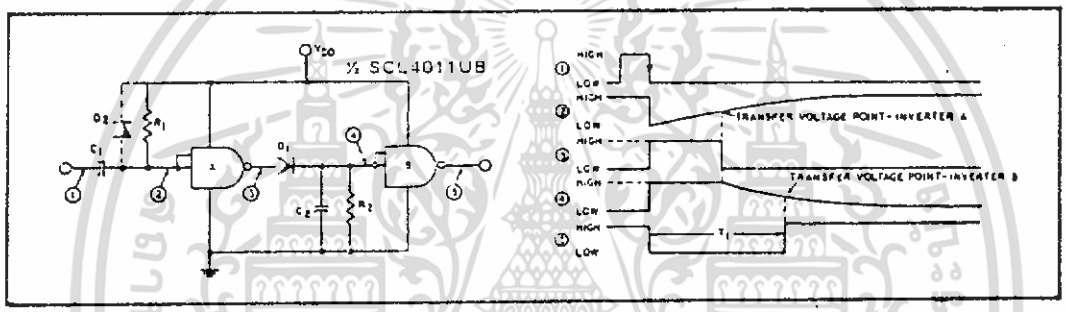
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

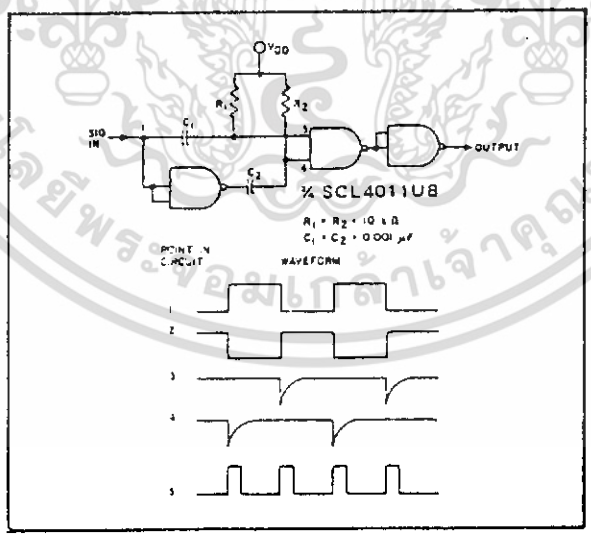
APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator
(Independent of Transfer Voltage)



Frequency Doubler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

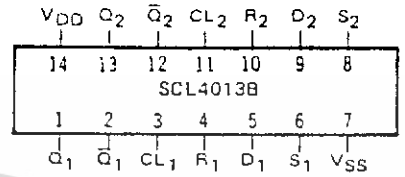
FEATURES

- Independent Set and Reset Controls
- Static Operation
- Logic Edge-Clocked Design
- 16MHz Toggle Rate @ 10Vdc
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\overline{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

TRUTH TABLE

CL	D	R	S	Q	Q̄
↑	0	0	0	0	1
↑	1	0	0	1	0
↓	x	0	0	Q	Q̄ (NO CHANGE)
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

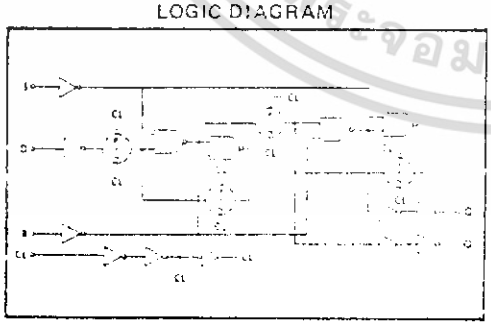
↑ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

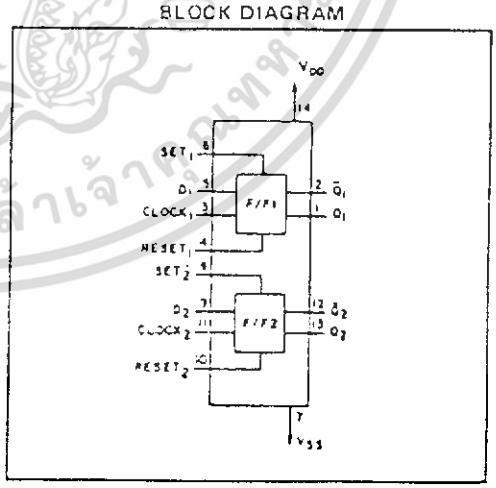
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1] [3]

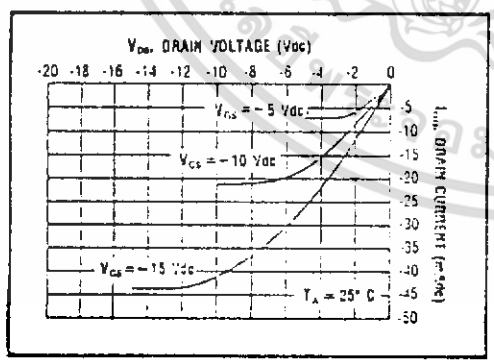
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

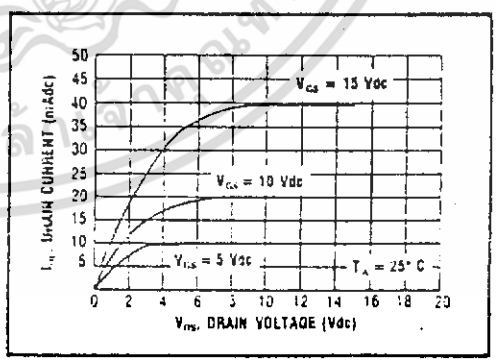
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	70	140	ns
		10	–	30	60	
		15	–	20	40	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	3.5	7.0	–	MHz
		10	8.0	16	–	
		15	12.5	25	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	10	–	–	
		15	5	–	–	
MINIMUM SETUP TIME	t_{su}	5	–	25	50	ns
		10	–	10	20	
		15	–	7.5	15	
MINIMUM HOLD TIME	t_{hold}	5	–	-25	0	ns
		10	–	-10	0	
		15	–	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to Q	t_{PLH}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW_S, PW_R	5	–	65	130	ns
		10	–	30	60	
		15	–	25	50	
SET AND RESET REMOVAL TIME	t_{rem}	5	–	0	25	ns
		10	–	0	10	
		15	–	0	5	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

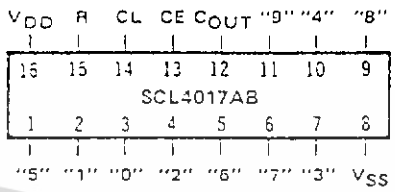
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

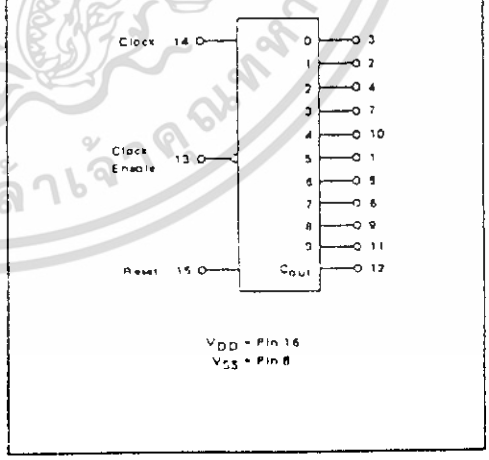
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
⌐	0	0	n + 1
⌐	X	0	n
X	⌐	0	n
1	⌐	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT											
C, D, F, H device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT											
C, D, F, H device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

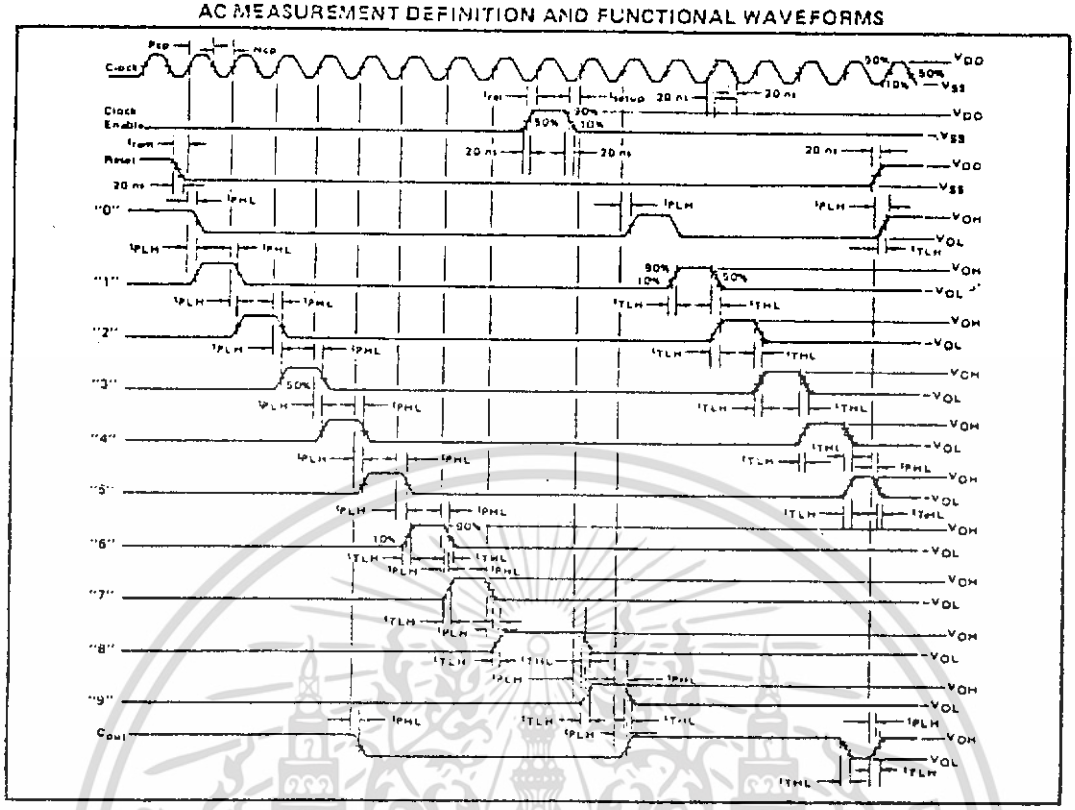
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

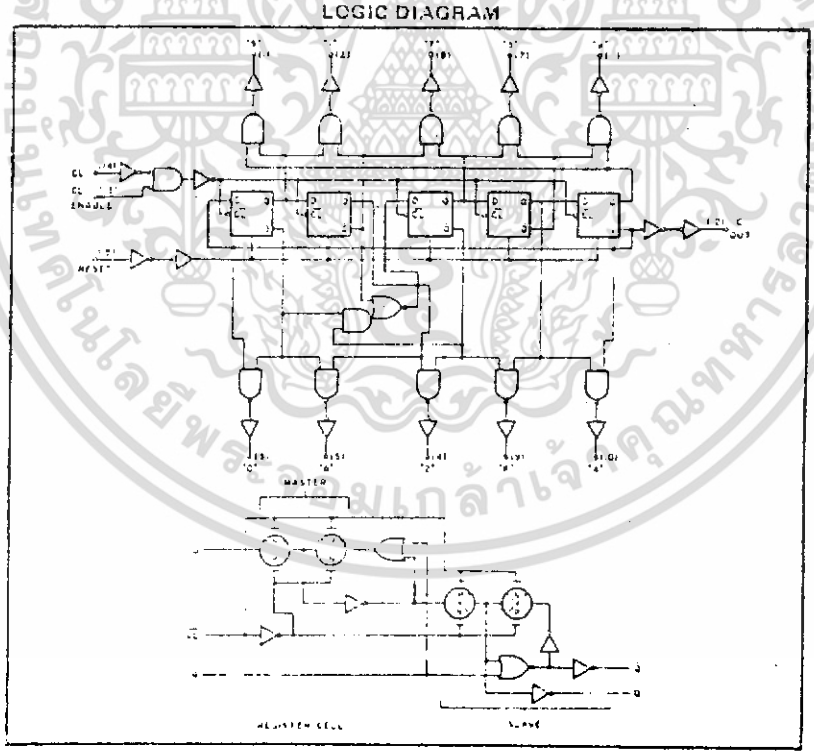
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	600	1200	ns
		10	–	240	480	
		15	–	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	–	250	500	ns
		10	–	125	250	
		15	–	90	180	
Carry Output	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	140	280	
To Carry Output	t_{PLH}	5	–	400	800	ns
		10	–	150	300	
		15	–	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

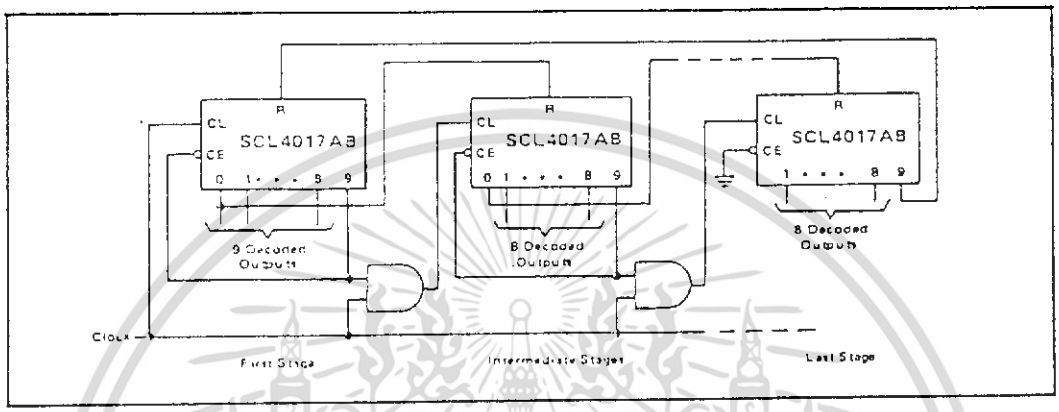


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

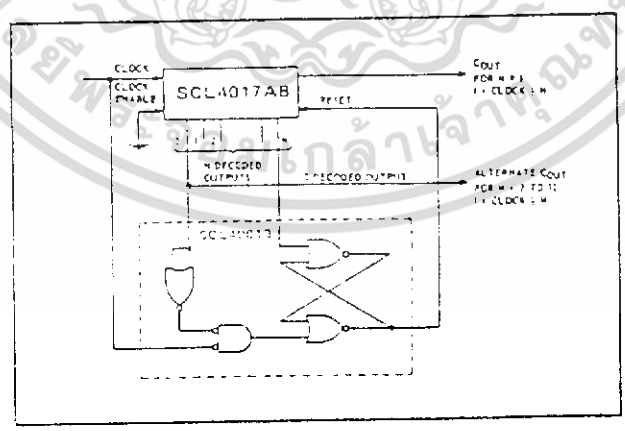
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the C_{OUT} line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4040AB

CMOS 12-STAGE BINARY COUNTER

FEATURES

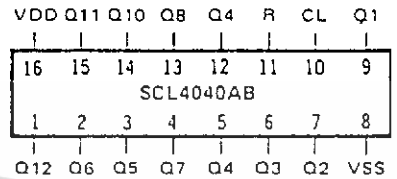
- 12 Fully Static Stages
- All 12 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency dividers.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

Clock	Reset	Output State
⌐	0	No Change
¬	0	Advance to next state
x	1	All Outputs are low

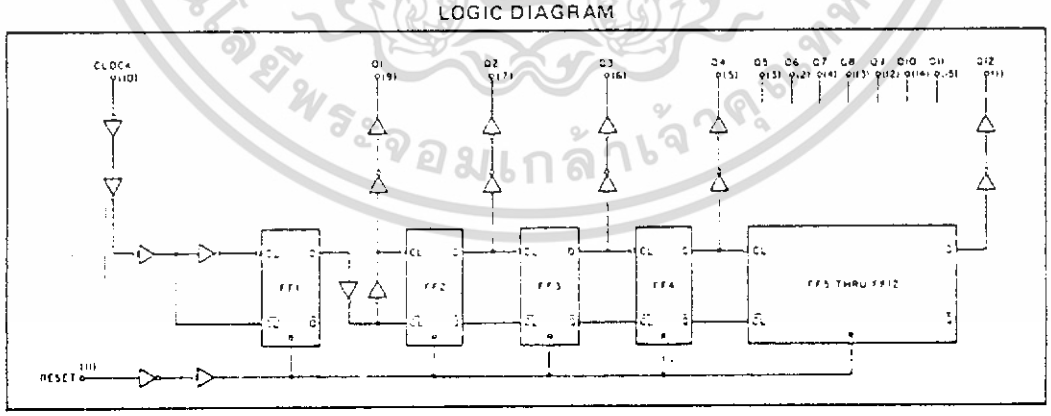
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

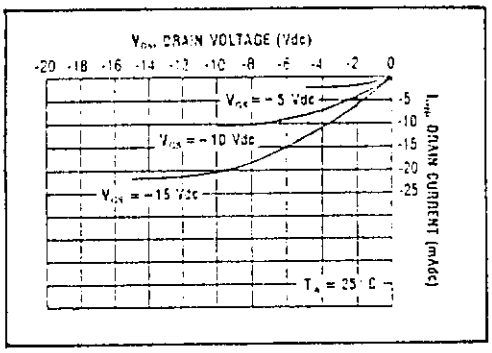
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	15	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT	I_{OH}										
C, D, F, H device		5	$V_{OH}=4.6V$	-0.15	–	-0.12	-0.5	–	-0.08	–	mAdc
		10	$V_{OH}=9.5V$	-0.37	–	-0.3	-1.15	–	-0.21	–	
		15	$V_{OH}=13.5V$	-1.25	–	-1.0	-4.5	–	-0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OH}=4.6V$	-0.14	–	-0.12	-0.5	–	-0.10	–	mAdc
		10	$V_{OH}=9.5V$	-0.35	–	-0.3	-1.15	–	-0.25	–	
		15	$V_{OH}=13.5V$	-1.2	–	-1.0	-4.5	–	-0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT	I_{OL}										
C, D, F, H device		5	$V_{OL}=0.4V$	0.15	–	0.12	0.5	–	0.08	–	mAdc
		10	$V_{OL}=0.5V$	0.37	–	0.3	1.0	–	0.21	–	
		15	$V_{OL}=1.5V$	1.25	–	1.0	5.3	–	0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OL}=0.4V$	0.14	–	0.12	0.5	–	0.10	–	mAdc
		10	$V_{OL}=0.5V$	0.35	–	0.3	1.0	–	0.25	–	
		15	$V_{OL}=1.5V$	1.2	–	1.0	5.3	–	0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

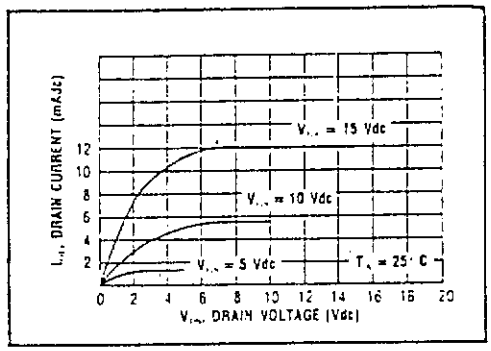
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME						
Clock to Q1	t_{PLH}, t_{PHL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
Q_n to Q_{n+1}	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	2.0	4.0	–	MHz
		10	4.0	8.0	–	
		15	5.0	10.0	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

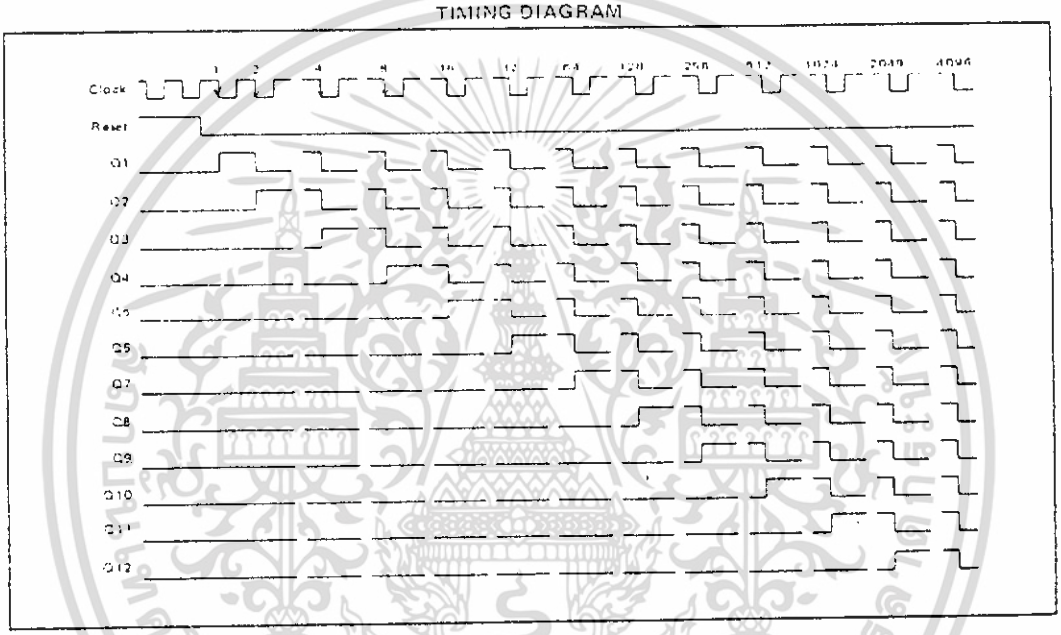


Typical P-Channel
Source Current Characteristics

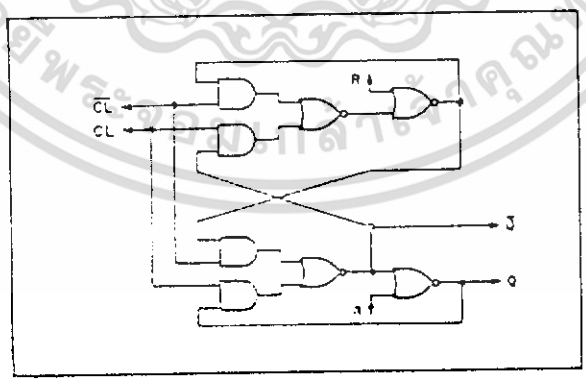


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

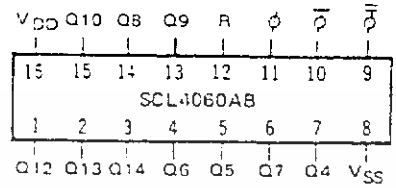
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⊓_	0	No Change
⊔	0	Advance to next state
X	1	All Outputs are low

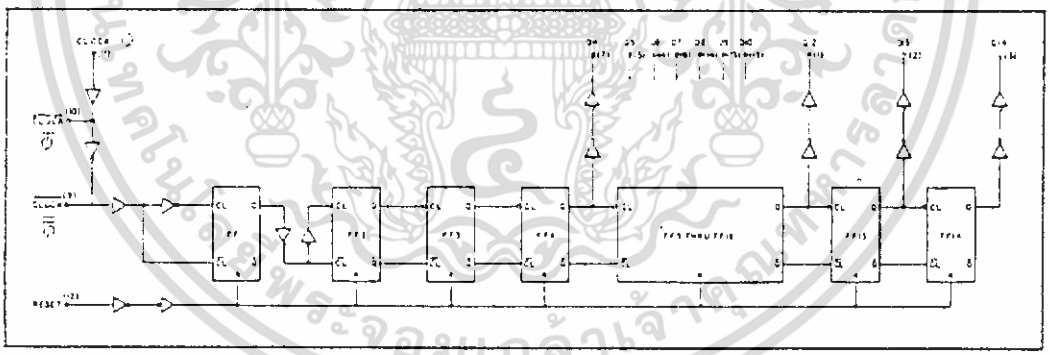
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

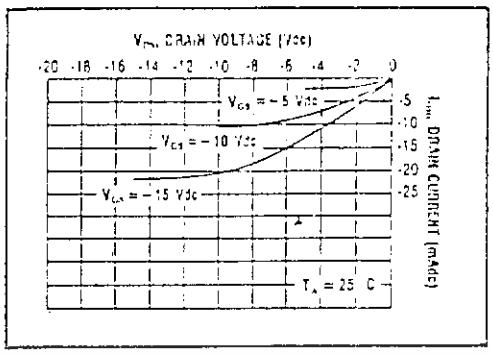
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5 10 15	$V_{IN}=V_{SS}$ or V_{DD} All valid input combinations	– – –	5 10 15	– – –	0.05 0.1 0.2	5 10 20	– – –	150 300 600	µAdc
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I_{OH}	5 10 15	V_{OH}=4.6V V_{OH}=9.5V V_{OH}=13.5V $V_{IN}=V_{SS}$ or V_{DD}	-0.15 -0.37 -1.25	– – –	-0.12 -0.3 -1.0	-0.5 -1.15 -4.5	– – –	-0.08 -0.21 -0.69	– – –	mAdc
E device		5 10 15	V_{OH}=4.6V V_{OH}=9.5V V_{OH}=13.5V $V_{IN}=V_{SS}$ or V_{DD}	-0.14 -0.35 -1.2	– – –	-0.12 -0.3 -1.0	-0.5 -1.15 -4.5	– – –	-0.10 -0.25 -0.85	– – –	mAdc
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I_{OL}	5 10 15	V_{OL}=0.4V V_{OL}=0.5V V_{OL}=1.5V $V_{IN}=V_{SS}$ or V_{DD}	0.15 0.37 1.25	– – –	0.12 0.3 1.0	0.5 1.0 5.0	– – –	0.08 0.21 0.69	– – –	mAdc
E device		5 10 15	V_{OL}=0.4V V_{OL}=0.5V V_{OL}=1.5V $V_{IN}=V_{SS}$ or V_{DD}	0.14 0.35 1.2	– – –	0.12 0.3 1.0	0.5 1.0 5.0	– – –	0.10 0.25 0.85	– – –	mAdc

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

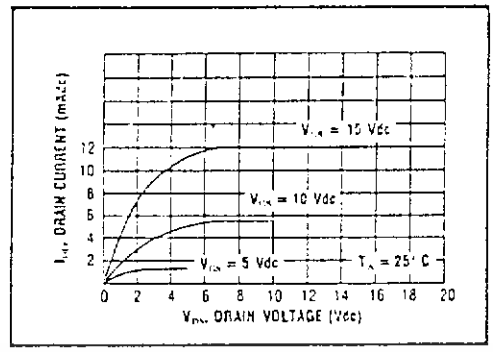
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q4	t_{PLH}, t_{PHL}	5 10 15	– – –	650 325 260	1300 650 520	ns
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5 10 15	– – –	150 75 60	300 150 120	ns
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5 10 15	– – –	100 90 65	200 180 130	ns
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5 10 15	– – –	100 50 40	200 100 80	ns
MAXIMUM CLOCK FREQUENCY	f_{CL}	5 10 15	2.0 4.0 5	4.0 8.0 10	– – –	MHz
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5 10 15	15 15 5	– – –	– – –	µs
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5 10 15	– – –	300 150 120	600 300 240	ns
MINIMUM RESET PULSE WIDTH	PW_R	5 10 15	– – –	150 75 60	300 150 120	ns
RESET REMOVAL TIME	t_{rem}	5 10 15	– – –	250 125 100	500 250 200	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

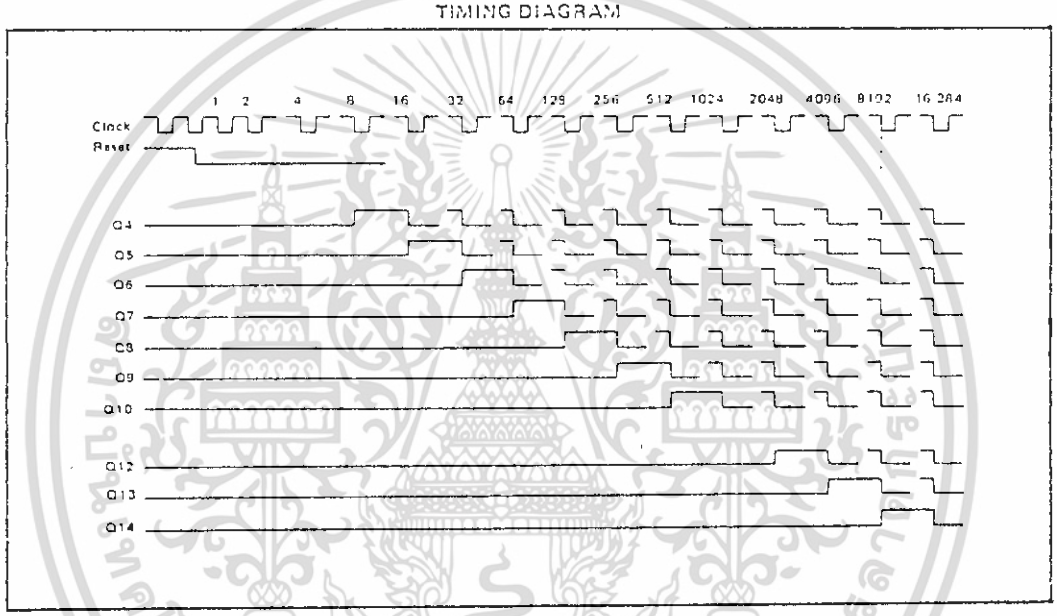


Typical P-Channel
Source Current Characteristics

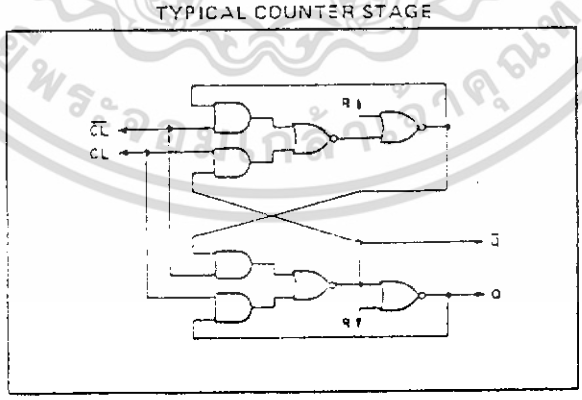


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM

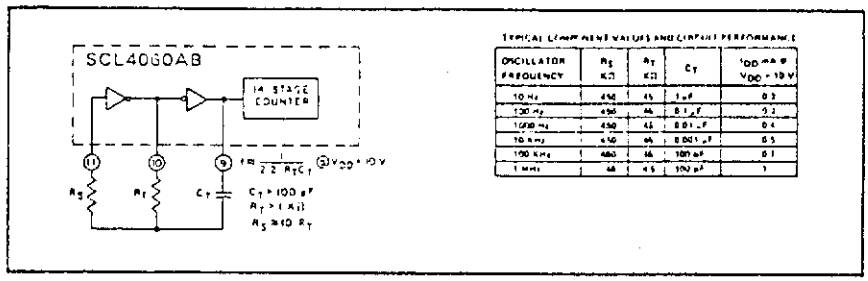


TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

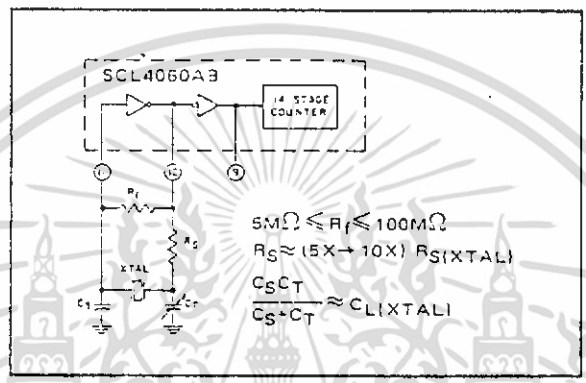
APPLICATIONS INFORMATION



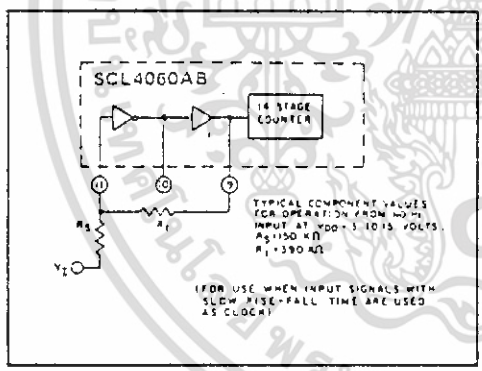
TYPICAL COMPONENT VALUES AND CIRCUIT PERFORMANCE

OSCILLATOR FREQUENCY	R_S kΩ	R_T kΩ	C_T	V_{DD} = 10 V
10 Hz	450	45	1 µF	0.3
100 Hz	450	45	0.1 µF	0.3
1000 Hz	450	45	0.01 µF	0.4
10 kHz	450	45	0.001 µF	0.5
100 kHz	480	46	100 pF	0.7
1 MHz	48	45	100 pF	1

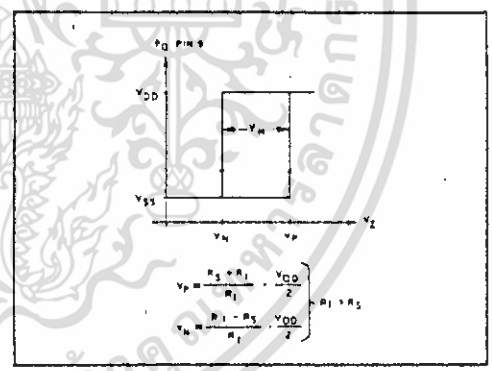
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4522B, SCL4526B
Preliminary

CMOS PROGRAMMABLE DOWN COUNTERS

FEATURES

- Internally Synchronous for High Speed
- BCD Decade (SCL4522B) or 4-Bit Binary (SCL4526B) Down Counters
- Asynchronous Preset Enable
- Asynchronous Reset
- Cascadable
- Logic Edge-Clocked Design
- Static Operation — DC to 5MHz @ 10Vdc
- Trigger from Either Edge of Clock Input
- Balanced Output Drive Current Specifications

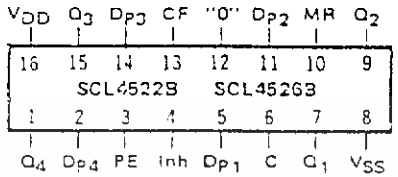
DESCRIPTION

The SCL4522B BCD Counter and the SCL4526B Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure.

These devices are programmable, cascadable down counters with a decoded "0" state output for divide-by-N applications. In single stage applications the "0" output is applied to the Preset Enable input. The Cascade Feedback input allows cascade divide-by-N operation with no additional gates required. The Master Reset function provides synchronous initiation of divide-by-N cycles. The Clock Inhibit input allows disabling of the pulse counting function.

These complementary MOS counters can be used in frequency synthesizers, phase-locked loops, and other frequency division applications requiring low power dissipation and/or high noise immunity.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

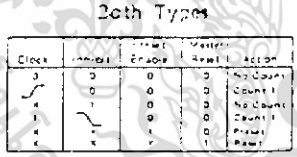
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

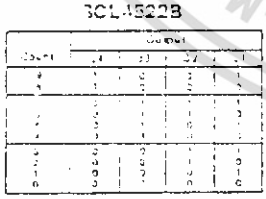
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-10 to +85	°C

TRUTH TABLES

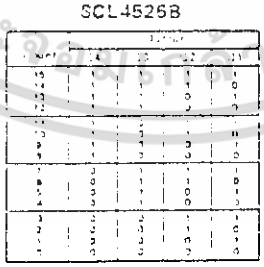
Both Types



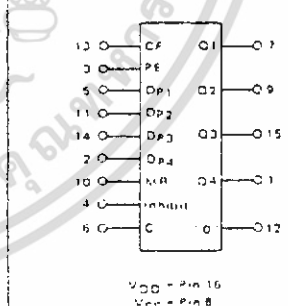
SCL4522B



SCL4526B



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (V dc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

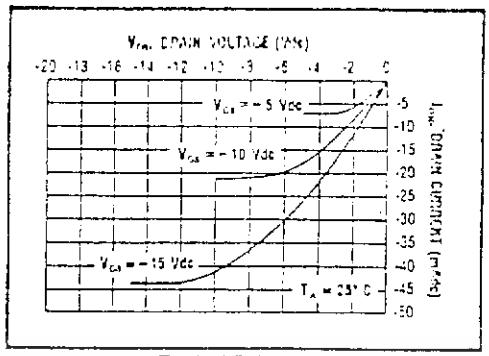
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

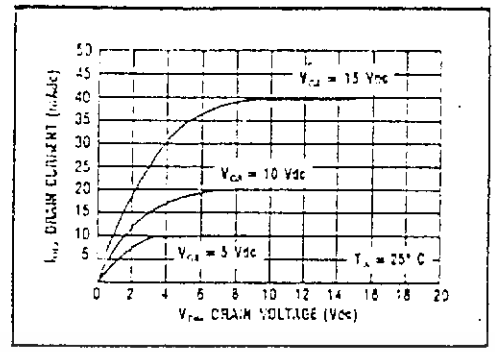
PARAMETER		V_{DD} (V dc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock or Inhibit to Q	t_{PLH}, t_{PHL}	5	–	415	830	ns
		10	–	160	320	
		15	–	120	240	
Clock or Inhibit to "Q"		5	–	175	350	ns
		10	–	125	250	
		15	–	100	200	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	125	250	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.5	3.0	–	MHz
		10	3.0	6.0	–	
		15	4.0	8.6	–	
MAXIMUM CLOCK OR INHIBIT RISE AND FALL TIME [1]	t_{CL}, t_{CL}	5	15	–	–	µs
		10	15	–	–	
		15	15	–	–	
PRESET OPERATION						
PROPAGATION DELAY TIME PE to Q	t_{PLH}, t_{PHL}	5	–	415	830	ns
		10	–	160	320	
		15	–	120	240	
PE to "Q"		5	–	175	350	ns
		10	–	125	250	
		15	–	100	200	
MINIMUM PRESET ENABLE PULSE WIDTH	PW_{PE}	5	–	125	250	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM DATA INPUT HOLD TIME	t_{Data}	5	–	25	125	ns
		10	–	25	50	
		15	–	20	40	
RESET OPERATION						
PROPAGATION DELAY TIME MR to Q	t_{PHL}	5	–	415	830	ns
		10	–	160	320	
		15	–	120	240	
MR to "Q"	t_{PHL}	5	–	175	350	ns
		10	–	125	250	
		15	–	100	200	
MINIMUM MASTER RESET PULSE WIDTH	PW_{MR}	5	–	150	300	ns
		10	–	125	250	
		15	–	100	200	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

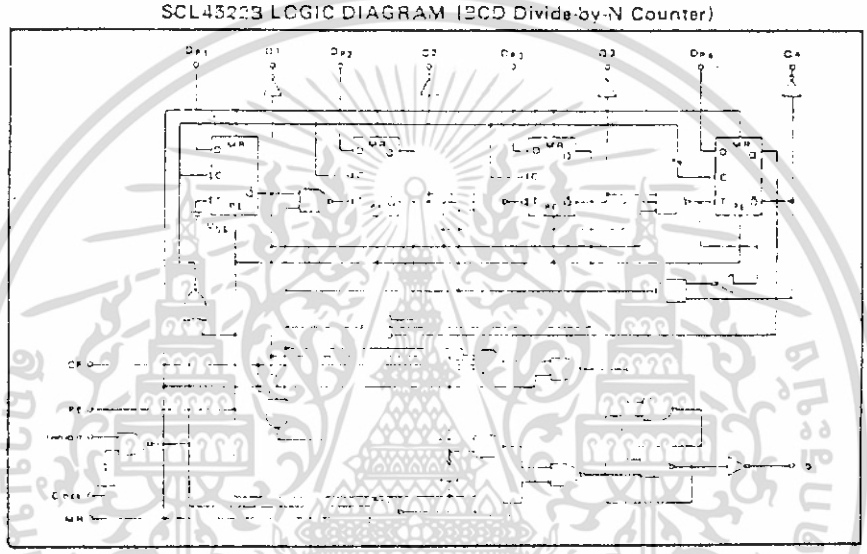


Typical P-Channel
Source Current Characteristics

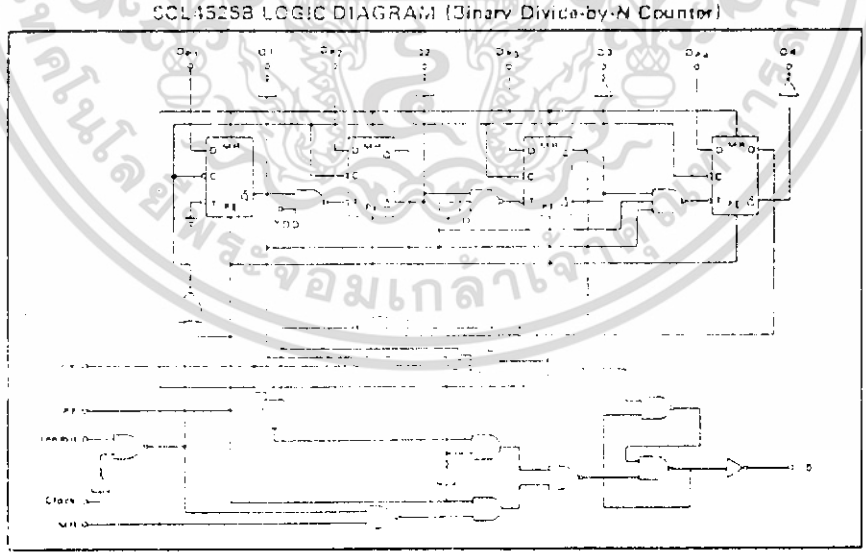


Typical N-Channel
Sink Current Characteristics

SCL4522B LOGIC DIAGRAM (BCD Divide-by-N Counter)

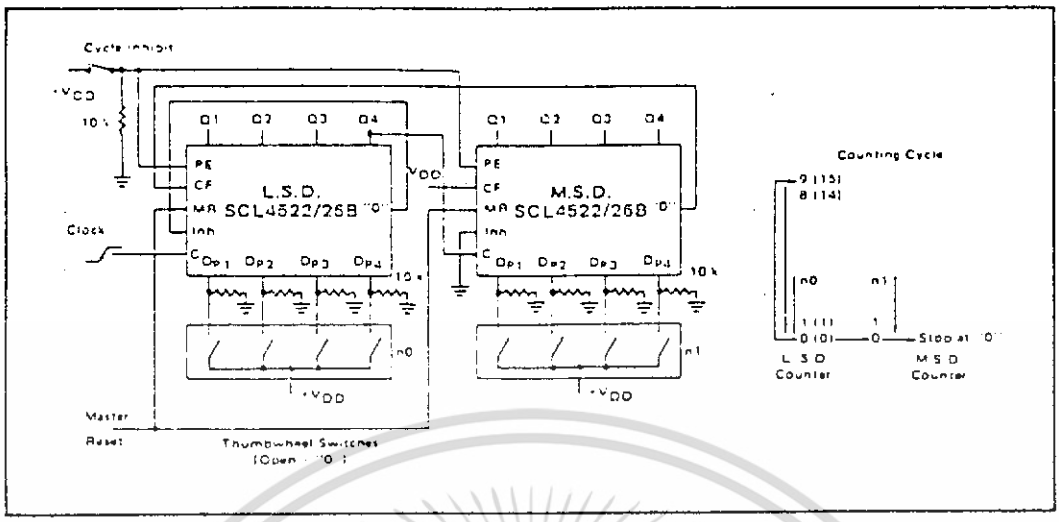


SCL4526B LOGIC DIAGRAM (Binary Divide-by-N Counter)

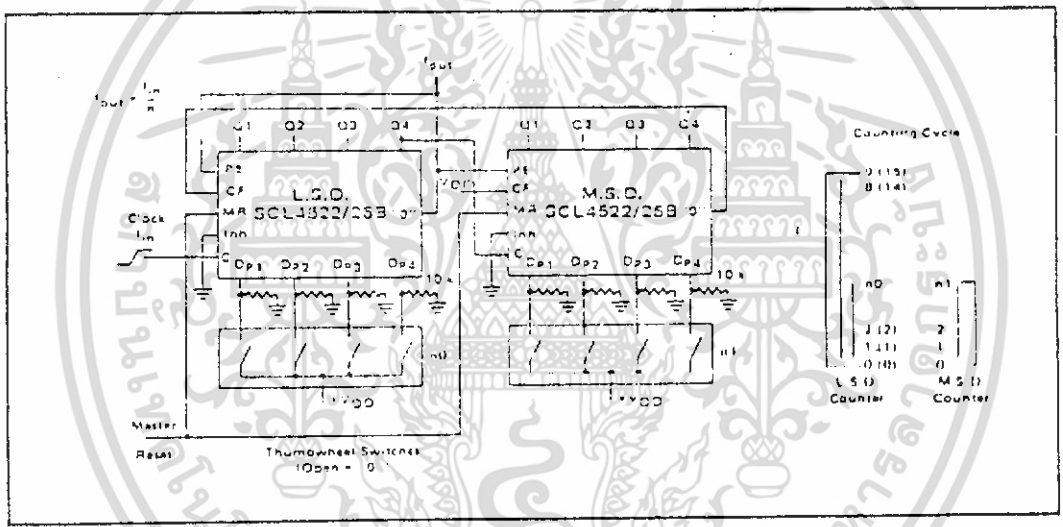


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION



2-Stage Programmable Down Counter (One Cycle)



2-Stage Programmable Frequency Divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL-4528B

CMOS DUAL MONOSTABLE MULTIVIBRATOR

FEATURES

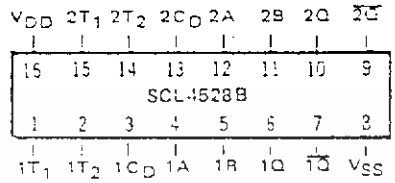
- Two Independent Multivibrators on One Chip
- Triggerable from Leading- or Trailing-Edge Pulse
- Retriggerable
- Resettable
- Q and $\overline{Q}$ Buffered Outputs Available
- Wide Range of Output Pulse Widths

DESCRIPTION

The SCL-4528B Dual Multivibrator provides stable retriggerable/resettable one-shot operation for any fixed-voltage timing application. Timing for the circuit is controlled by an external resistor-capacitor combination (R_X-C_X). Adjustment of these components permits generation of output pulse widths from nanoseconds to minutes. Leading-edge and trailing-edge Trigger inputs are provided, and both positive-going and negative-going pulses are available from complementary outputs.

Timing pulses may be terminated at any time by applying a low logic level to the Reset input C_D.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

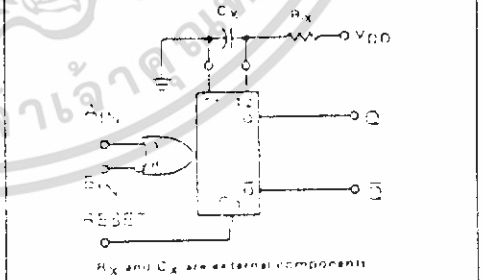
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTION TABLE

INPUTS			OUTPUTS	
C_D	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	↑	H	⎍	⎎
H	L	↓	⎍	⎎

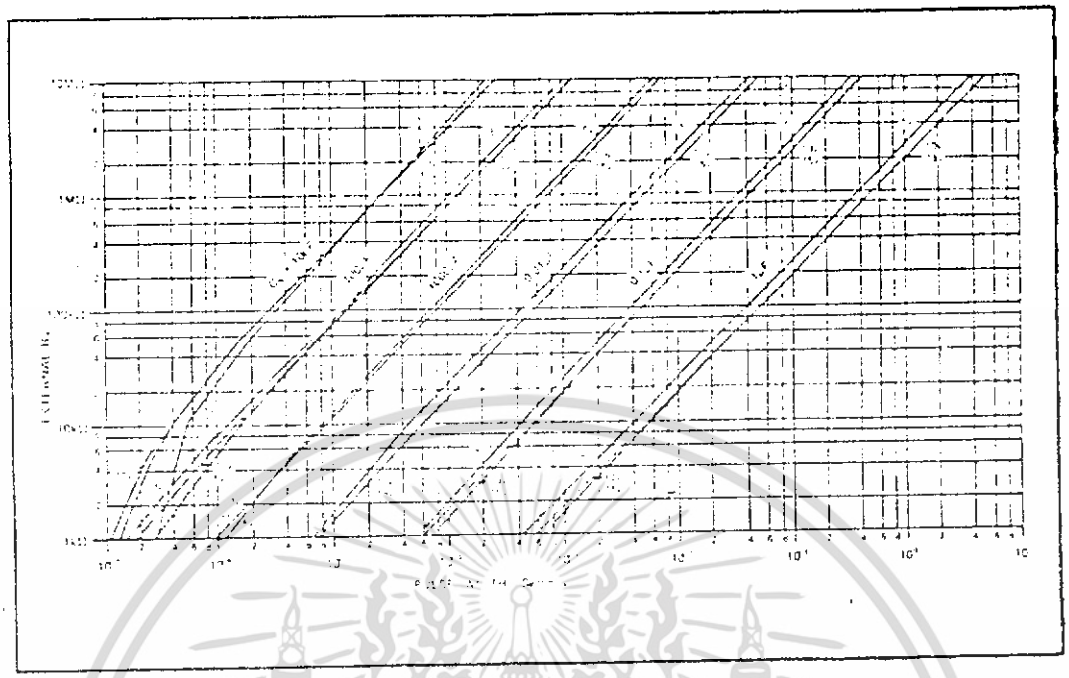
H = High Level (Steady State)
L = Low Level (Steady State)
↑ = Transition, Low-to-High
↓ = Transition, High-to-Low
X = Irrelevant (Inc. Transitions)
⎍ = One High-Level Pulse
⎎ = One Low-Level Pulse

BLOCK DIAGRAM
(one of two devices)

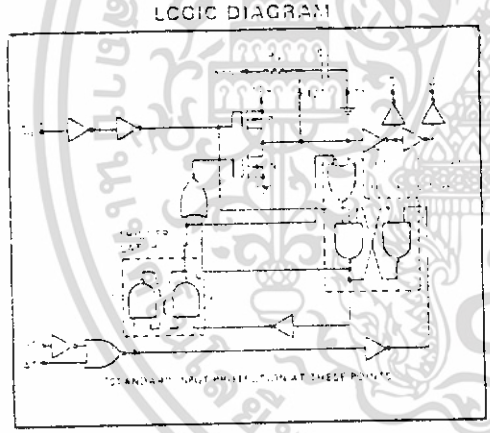


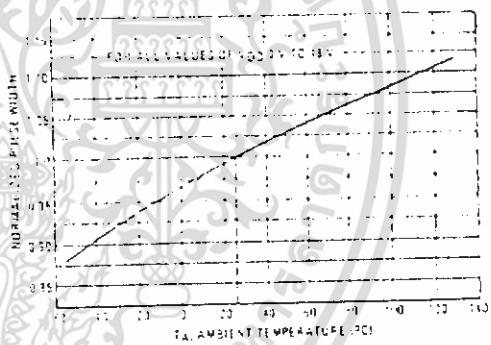
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4528B PULSE WIDTH VS R_X, C_X, V_{DD}



LOGIC DIAGRAM





Normalized Pulse Width versus Temperature

Notes:

There is no effective maximum limit on R_X; recommended minimum value for R_X is 1KΩ. There are no restrictions on the value of C_X.

For proper operation all unused inputs should be tied to a logic level. The mode point (TC) of a unused half of device should be tied from through an external resistor to V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

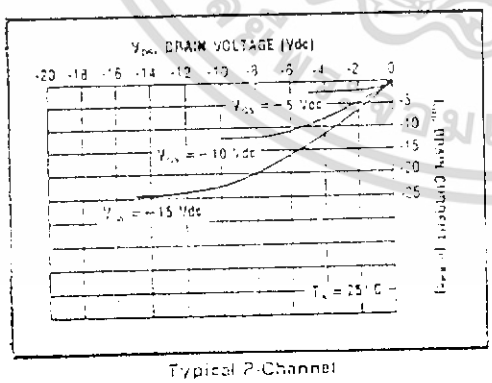
STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{in} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		20	combinations	–	20	–	0.2	20	–	600	

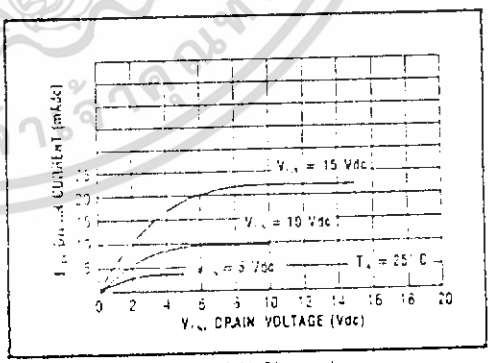
NOTES. [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		C_x (pF)	R_x (kΩ)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}							
From A or B		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	510	1020	ns
				10	–	170	340	
				15	–	120	240	
From C_x		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	550	1100	ns
				10	–	303	606	
				15	–	250	500	
OUTPUT TRANSITION TIME	t_{THL}, t_{TLH}							
		–	–	5	–	100	200	ns
				10	–	65	130	
				15	–	50	100	
From B Output	t_{TLH}	15	5	5	–	100	200	ns
				10	–	65	130	
				15	–	50	100	
		1000	10	5	–	270	540	ns
				10	–	240	480	
				15	–	220	440	
MINIMUM INPUT PULSE WIDTH A or B Input	PW_H		–	5	–	70	140	ns
				10	–	30	60	
				15	–	25	50	
OUTPUT PULSE WIDTH MATCH	ΔPW_{OUT}							
Same Device		1000	10	5	–	±2.5	±15	%
				10	–	±10	±20	
				15	–	±10	±20	
Different Devices		1000	10	5	–	–	±50	%
				10	–	–	±50	
				15	–	–	±50	



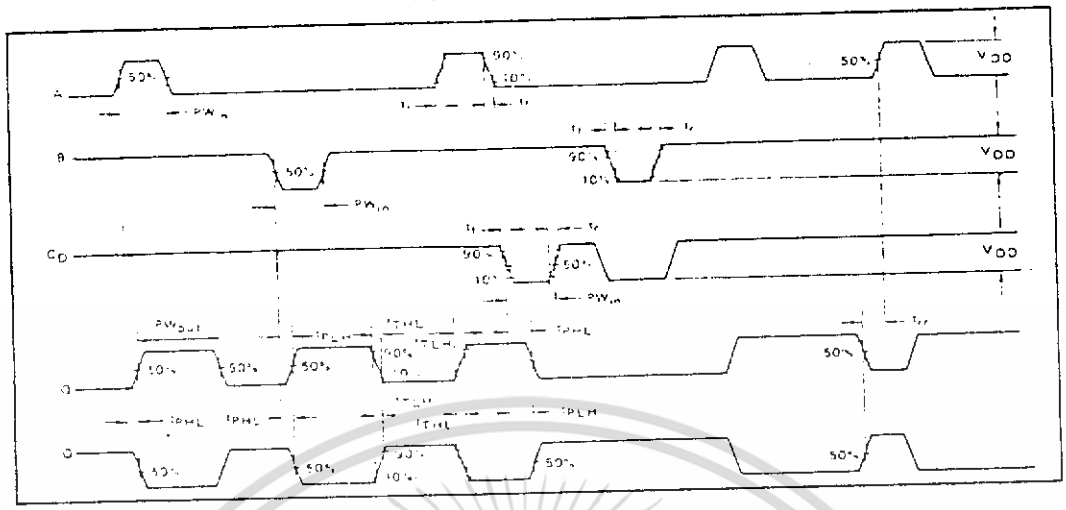
Typical P-Channel
Source Current Characteristics



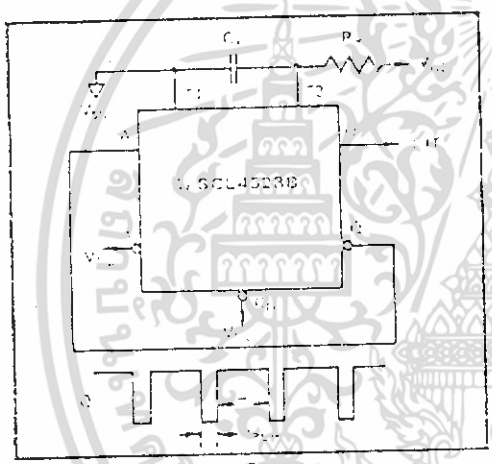
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

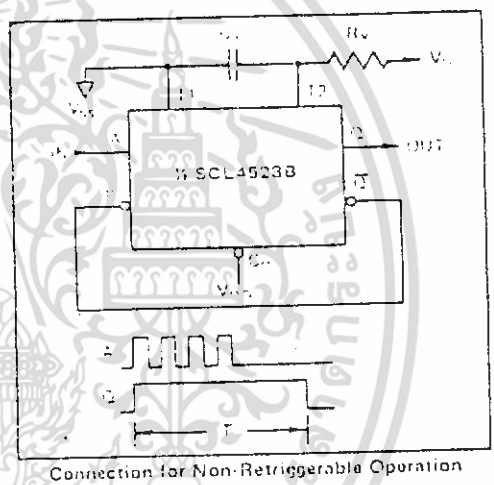
AC TEST WAVEFORMS



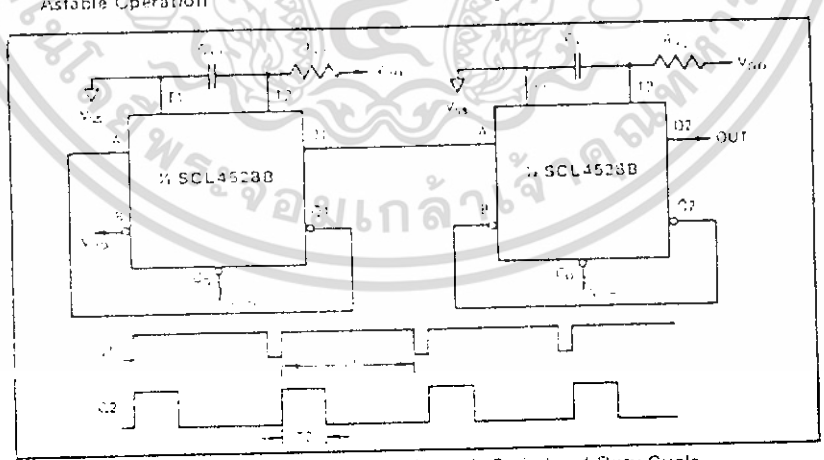
APPLICATIONS INFORMATION



Astable Operation



Connection for Non-Retriggerable Operation



Astable Multivibrator with Adjustable Period and Duty Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MCM6264

8K × 8 Bit Fast Static RAM

The MCM6264 is a 65,536 bit static random access memory organized as 8192 words of 8 bits, fabricated using Motorola's high-performance silicon-gate CMOS technology. Static design eliminates the need for external clocks or timing strobes, while CMOS circuitry reduces power consumption which provides greater reliability.

The chip enable pins ($\overline{E1}$ and E2) are not clocks. Either pin, when asserted false, causes the part to enter a low power standby mode. The part will remain in standby mode until both pins are asserted true again. The availability of active high and active low chip enable pins provides more system design flexibility than single chip enable devices.

The MCM6264 is available in 300 and 600 mil, 28 pin plastic dual-in-line packages and 300 and 400 mil, 28 pin plastic SOJ packages. All packages feature the JEDEC standard pinout.

- Single 5 V Supply, ± 10%
- 8K × 8 Organization
- Fully Static — No Clock or Timing Strobes Necessary
- Fast Access Time — 30, 35, 45, 55 ns (Maximum)
- Low Power Operation — 105, 100, 90, 80 mA (Maximum, Active)
- Three State Outputs
- All Inputs and Outputs are TTL Compatible
- Output Enable ($\overline{G}$) Feature for Increased System Flexibility and to Eliminate Bus Contention Problems

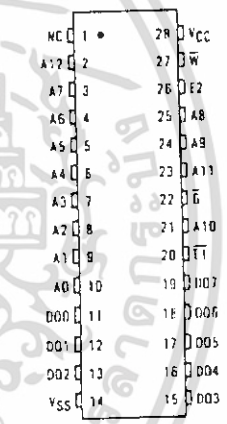
P PACKAGE
300 MIL PLASTIC
CASE 710A

WP PACKAGE
600 MIL PLASTIC
CASE 78D

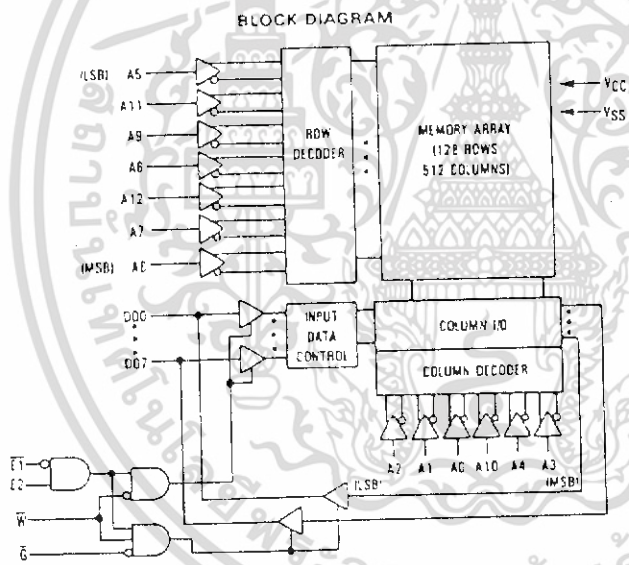
J PACKAGE
400 MIL SOJ
CASE 810

NJ PACKAGE
300 MIL SOJ
CASE 810B

PIN ASSIGNMENT



BLOCK DIAGRAM



PIN NAMES

A0-A12	Address
$\overline{W}$	Write Enable
$\overline{E1}$, E2	Chip Enable
$\overline{G}$	Output Enable
DQ0-DQ7	Data Input/Output
VCC	+5 V Power Supply
VSS	Ground
NC	No Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRUTH TABLE

$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	Mode	Supply Current	I/O Pin
H	X	X	X	Not Selected	I_{SB}	High Z
X	L	X	X	Not Selected	I_{SB}	High Z
L	H	H	H	Output Disabled	I_{CC}	High Z
L	H	L	H	Read	I_{CC}	D_{out}
L	H	X	L	Write	I_{CC}	D_{in}

X = don't care

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

ABSOLUTE MAXIMUM RATINGS (See Note)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.5 to +7.0	V
Voltage Relative to V_{SS} for Any Pin Except V_{CC}	V_{in}, V_{out}	−0.5 to V_{CC} +0.5	V
Output Current (per I/O)	I_{out}	±20	mA
Power Dissipation (T_A = 25°C)	P_D	1.0	W
Temperature Under Bias	T_{bias}	−10 to +85	°C
Operating Temperature	T_A	0 to +70	°C
Storage Temperature	T_{stg}	−55 to +125	°C

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

DC OPERATING CONDITIONS AND CHARACTERISTICS
(V_{CC} = 5.0 V ± 10%, T_A = 0 to 70°C, Unless Otherwise Noted)

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage (Operating Voltage Range)	V_{CC}	4.5	5.0	5.5	V
Input High Voltage	V_{IH}	2.2	–	V_{CC} + 0.3	V
Input Low Voltage	V_{IL}	−0.3*	–	0.8	V

*V_{IL} (min) = −0.3 V dc, V_{IL} (min) = −3.0 V ac (pulse width ≤ 20 ns)

DC CHARACTERISTICS

Parameter	Symbol	Min	Max	Unit
Input Leakage Current (All Inputs, V_{in} = 0 to V_{CC})	$I_{lkg(I)}$	–	±1.0	μA
Output Leakage Current ($\overline{E1}$ = V_{IH}, E2 = V_{IL}, or $\overline{G}$ = V_{IH}, V_{out} = 0 to V_{CC})	$I_{lkg(O)}$	–	±1.0	μA
Power Supply Current ($\overline{E1}$ = V_{IL}, E2 = V_{IH}, I_{out} = 0) t_{AVAV} = 30 ns	I_{CC}	–	105	mA
t_{AVAV} = 35 ns		–	100	
t_{AVAV} = 45 ns		–	90	
t_{AVAV} = 55 ns		–	80	
Standby Current ($\overline{E1}$ = V_{IH} or E2 = V_{IL})	I_{SB1}	–	10	mA
Standby Current ($\overline{E1}$ ≥ V_{CC} − 0.2 V or E2 ≤ 0.2 V, V_{in} = V_{IH} or V_{in} = V_{IL})	I_{SB2}	–	5	mA
Output Low Voltage (I_{OL} = 8.0 mA)	V_{OL}	–	0.4	V
Output High Voltage (I_{OH} = −4.0 mA)	V_{OH}	2.4	–	V

CAPACITANCE (f = 1.0 MHz, dV = 3.0 V, T_A = 25°C, Periodically Sampled Rather Than 100% Tested)

Characteristic		Symbol	Max	Unit
Input Capacitance	All Inputs Except DQ	C_{in}	6	pF
I/O Capacitance	DQ	$C_{I/O}$	8	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC} = 5.0 V ± 10%, T_A = 0 to 70°C, Unless Otherwise Noted)

Input Pulse Levels . . . . . 0 to 3.0 V
Input Rise/Fall Time . . . . . 5 ns
Input Timing Measurement Reference Levels . . . . . 1.5 V
Output Timing Measurement Reference Levels . . . . . 0.8 and 2.0 V
Output Load . . . . . See Figure 1

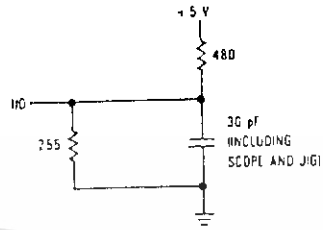
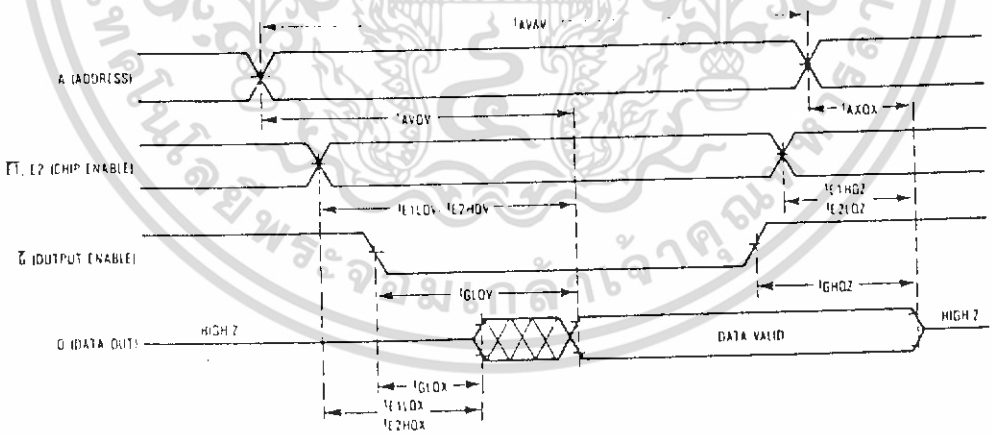


Figure 1. Test Load

READ CYCLE (See Note 1)

Parameter	Symbol	Alt Symbol	MCM6264-30		MCM6264-35		MCM6264-45		MCM6264-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Read Cycle Time	t_{AVAV}	t_{RC}	30	–	35	–	45	–	55	–	ns	–
Address Cycle Time	t_{AVQV}	t_{AA}	–	30	–	35	–	45	–	55	ns	–
$\overline{E1}$ Access Time	t_{E1LQV}	t_{AC1}	–	30	–	35	–	45	–	55	ns	–
E2 Access Time	t_{E2HQV}	t_{AC2}	–	30	–	35	–	45	–	55	ns	–
$\overline{G}$ Access Time	t_{GLQV}	t_{OE}	–	12.5	–	15	–	20	–	25	ns	–
Output Hold from Address Change	t_{AXQX}	t_{OH}	5	–	5	–	5	–	5	–	ns	–
Chip Enable to Output Low-Z	t_{E1LQX}, t_{E2HQX}	t_{CLZ}	5	–	5	–	5	–	5	–	ns	2, 3
Output Enable to Output Low-Z	t_{GLQX}	t_{OLZ}	0	–	0	–	0	–	0	–	ns	2, 3
Chip Enable to Output High-Z	t_{E1HQZ}, t_{E2LQZ}	t_{CHZ}	0	15	0	15	0	15	0	15	ns	2, 3
Output Enable to Output High-Z	t_{GHQZ}	t_{OHZ}	0	15	0	15	0	15	0	15	ns	2, 3

NOTES:
1. $\overline{W}$ is high at all times for read cycles.
2. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
3. These parameters are periodically sampled and not 100% tested.



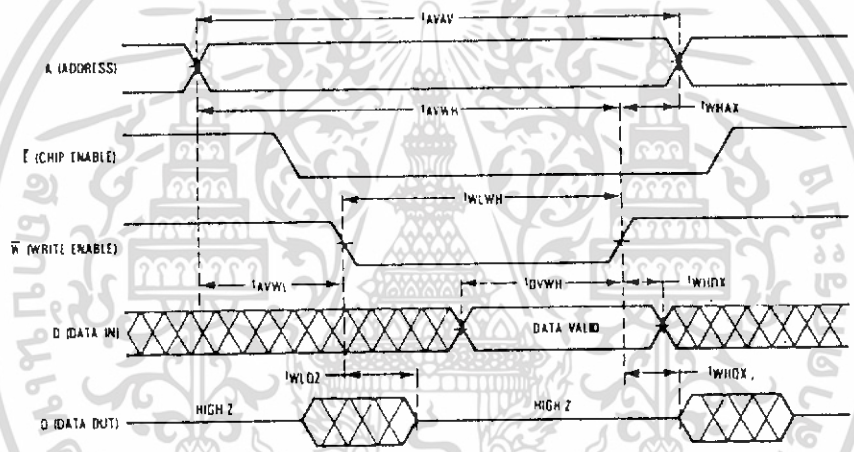
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 1 (W CONTROLLED) (See Note 1)

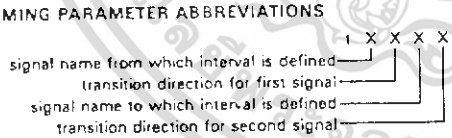
Parameter	Symbol	Alt Symbol	MCM6264-30		MCM6264-35		MCM6264-45		MCM6264-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	30	–	35	–	45	–	55	–	ns	–
Address Setup Time	t_{AVWL}	t_{AS}	0	–	0	–	0	–	0	–	ns	–
Address Valid to End of Write	t_{AVWH}	t_{AW}	22.5	–	25	–	35	–	45	–	ns	–
Write Pulse Width	t_{WLWH}	t_{WP}	17.5	–	20	–	25	–	30	–	ns	3
Data Valid to End of Write	t_{DVWH}	t_{DW}	12.5	–	15	–	20	–	25	–	ns	–
Data Hold Time	t_{WHDX}	t_{DH}	0	–	0	–	0	–	0	–	ns	3
Write Low to Output in High-Z	t_{WLQZ}	t_{WHZ}	0	15	0	15	0	15	0	15	ns	4, 5
Write High to Output Low-Z	t_{WHQX}	t_{OW}	5	–	5	-	5	–	5	–	ns	4, 5
Write Recovery Time	t_{WHAX}	t_{WR}	0	–	0	–	0	–	0	–	ns	–

NOTES:

1. A write cycle starts at the latest transition of a low $\overline{E1}$, low $\overline{W}$, or high E2. A write cycle ends at the earliest transition of a high $\overline{E1}$, high $\overline{W}$, or low E2.
2. If $\overline{W}$ goes low coincident with or prior to $\overline{E1}$ low or E2 high then the outputs will remain in a high impedance state.
3. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.
4. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
5. These parameters are periodically sampled and not 100% tested.



TIMING PARAMETER ABBREVIATIONS



The transition definitions used in this data sheet are:

- H = transition to high
- L = transition to low
- V = transition to valid
- X = transition to invalid or don't care
- Z = transition to off (high impedance)

TIMING LIMITS

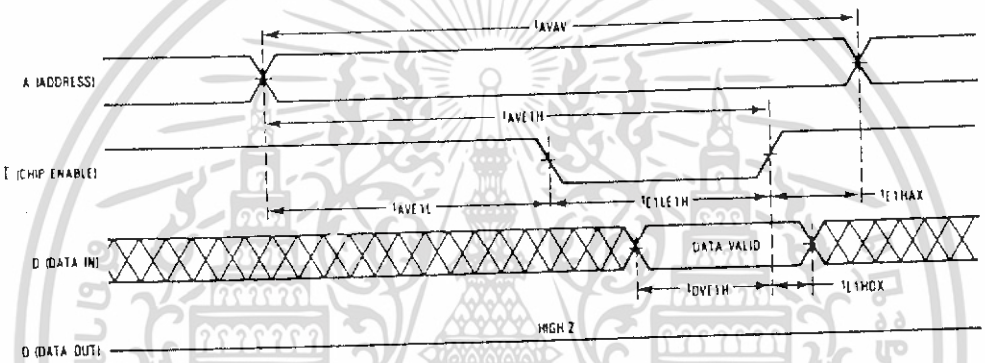
The table of timing values shows either a minimum or a maximum limit for each parameter. Input requirements are specified from the external system point of view. Thus, address setup time is shown as a minimum since the system must supply at least that much time (even though most devices do not require it). On the other hand, responses from the memory are specified from the device point of view. Thus, the access time is shown as a maximum since the device never provides data later than that time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (ENABLE CONTROLLED) (See Note 1)

Parameter	Symbol	Alt Symbol	MCM6264-30		MCM6264-35		MCM6264-45		MCM6264-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	30	–	35	–	45	–	55	–	ns	–
Address Setup Time	t_{AVE1L}	t_{AS}	0	–	0	–	0	–	0	–	ns	2
Address Valid to End of Write	t_{AVE1H}	t_{AW}	22.5	–	25	–	35	–	45	–	ns	2
Chip Enable to End of Write	t_{E1LE1H}	t_{CW}	22.5	–	25	–	35	–	45	–	ns	2, 3
Data Valid to End of Write	t_{DVE1H}	t_{DW}	12.5	–	15	–	20	–	25	–	ns	2
Data Hold Time	t_{E1HDX}	t_{DH}	0	–	0	–	0	–	0	–	ns	2, 4
Write Recovery Time	t_{E1HAX}	t_{WR}	0	–	0	–	0	–	0	–	ns	2

NOTES:
1. A write cycle starts at the latest transition of a low $\overline{E1}$, low $\overline{W}$, or high E2. A write cycle ends at the earliest transition of a high $\overline{E1}$, high $\overline{W}$, or low E2.
2. $\overline{E1}$ and E2 timings are identical when E2 signals are inverted.
3. If $\overline{W}$ goes low coincident with or prior to $\overline{E1}$ low or E2 high then the outputs will remain in a high impedance state.
4. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.



ORDERING INFORMATION
(Order by Full Part Number)

MCM 6264 X XX XX

- MCM: Motorola Memory Prefix
- 6264: Part Number
- XX: Speed (30 = 30 ns, 35 = 35 ns, 45 = 45 ns, 55 = 55 ns)
- XX: Shipping Method (R2 = Tape & Reel, Blank = Rails)
- X: Package (P = 300 mil Plastic DIP, WP = 600 mil Plastic DIP, J = 400 mil Plastic SOJ, NJ = 300 mil Plastic SOJ)

Full Part Numbers —

MCM6264P30	MCM6264WP30	MCM6264J30	MCM6264J30R2	MCM6264NJ30	MCM6264NJ30R2
MCM6264P35	MCM6264WP35	MCM6264J35	MCM6264J35R2	MCM6264NJ35	MCM6264NJ35R2
MCM6264P45	MCM6264WP45	MCM6264J45	MCM6264J45R2	MCM6264NJ45	MCM6264NJ45R2
MCM6264P55	MCM6264WP55	MCM6264J55	MCM6264J55R2	MCM6264NJ55	MCM6264NJ55R2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MCM6264-25

Product Preview

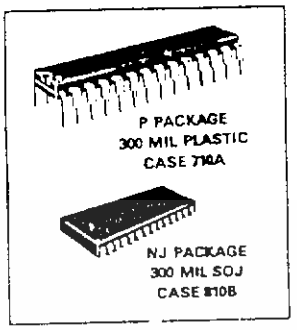
8K × 8 Bit Fast Static RAM

The MCM6264-25 is a 65,536 bit static random access memory organized as 8192 words of 8 bits, fabricated using Motorola's high-performance silicon-gate CMOS technology. Static design eliminates the need for external clocks or timing strobes, while CMOS circuitry reduces power consumption which provides greater reliability.

The chip enable pins ($\overline{E1}$ and E2) are not clocks. Either pin, when asserted false, causes the part to enter a low power standby mode. The part will remain in standby mode until both pins are asserted true again. The availability of active high and active low chip enable pins provides more system design flexibility than single chip enable devices.

The MCM6264-25 is available in a 300 mil, 28 pin plastic dual-in-line package and a 300 mil, 28 pin plastic SOJ packages. All packages feature the JEDEC standard pinout.

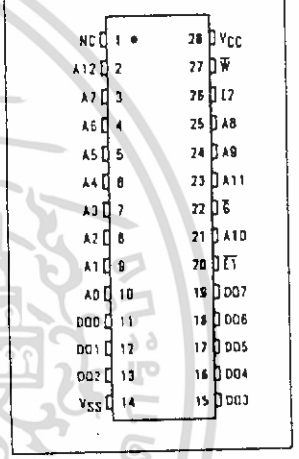
- Single 5 V Supply, ± 10%
- 8K × 8 Organization
- Fully Static—No Clock or Timing Strobes Necessary
- Fast Access Time—25 ns (Maximum)
- Low Power Operation—110 mA (Maximum, Active)
- Three State Outputs
- All Inputs and Outputs are TTL Compatible
- Output Enable ($\overline{G}$) Feature for Increased System Flexibility and to Eliminate Bus Contention Problems



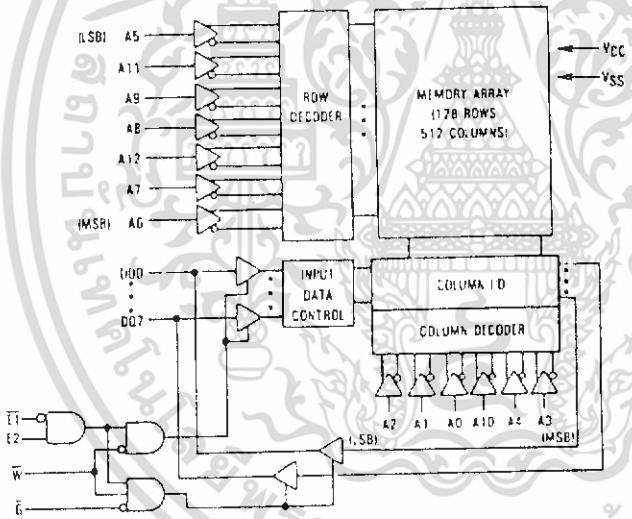
P PACKAGE
300 MIL PLASTIC
CASE 710A

NJ PACKAGE
300 MIL SOJ
CASE 810B

PIN ASSIGNMENT



BLOCK DIAGRAM



PIN NAMES

A0-A12	Address
$\overline{W}$	Write Enable
$\overline{E1}$, E2	Chip Enable
$\overline{G}$	Output Enable
DQ0-DQ7	Data Input/Output
V_{CC}	+5 V Power Supply
V_{SS}	Ground
NC	No Connection

This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRUTH TABLE

$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	Mode	Supply Current	I/O Pin
H	X	X	X	Not Selected	I_{SB}	High Z
X	L	X	X	Not Selected	I_{SB}	High Z
L	H	H	H	Output Disabled	I_{CC}	High Z
L	H	L	H	Read	I_{CC}	D_{out}
L	H	X	L	Write	I_{CC}	D_{in}

X = don't care

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

ABSOLUTE MAXIMUM RATINGS (See Note)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.5 to +7.0	V
Voltage Relative to V_{SS} for Any Pin Except V_{CC}	V_{in}, V_{out}	−0.5 to V_{CC} + 0.5	V
Output Current (per I/O)	I_{out}	±20	mA
Power Dissipation (T_A = 25°C)	P_D	1.0	W
Temperature Under Bias	T_{bias}	−10 to +85	°C
Operating Temperature	T_A	0 to +70	°C
Storage Temperature	T_{stg}	−55 to +125	°C

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

DC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC} = 5.0 V ±10%, T_A = 0 to 70°C, Unless Otherwise Noted)

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage (Operating Voltage Range)	V_{CC}	4.5	5.0	5.5	V
Input High Voltage	V_{IH}	2.2	–	V_{CC} + 0.3	V
Input Low Voltage	V_{IL}	−0.3*	–	0.8	V

*V_{IL} (min) = −0.3 V dc; V_{IL} (min) = −3.0 V ac (pulse width ≤ 20 ns)

DC CHARACTERISTICS

Parameter	Symbol	Min	Max	Unit
Input Leakage Current (All Inputs, V_{in} = 0 to V_{CC})	$I_{lkg(I)}$	–	±1.0	μA
Output Leakage Current ($\overline{E1}$ = V_{IH}, E2 = V_{IL}, or $\overline{G}$ = V_{IH}, V_{out} = 0 to V_{CC})	$I_{lkg(O)}$	–	±1.0	μA
Power Supply Current ($\overline{E1}$ = V_{IL}, E2 = V_{IH}, I_{out} = 0, t_{AVAV} = 25 ns)	I_{CC}	–	105	mA
Standby Current ($\overline{E1}$ = V_{IH} or E2 = V_{IL})	I_{SB1}	–	10	mA
Standby Current ($\overline{E1}$ ≥ V_{CC} − 0.2 V or E2 ≤ 0.2 V, V_{in} = V_{IH} or V_{in} = V_{IL})	I_{SB2}	–	5	mA
Output Low Voltage (I_{OL} = 8.0 mA)	V_{OL}	–	0.4	V
Output High Voltage (I_{OH} = −4.0 mA)	V_{OH}	2.4	–	V

CAPACITANCE (f = 1.0 MHz, dV = 3.0 V, T_A = 25°C, Periodically Sampled Rather Than 100% Tested)

Characteristic		Symbol	Max	Unit
Input Capacitance	All Inputs Except DQ	C_{in}	6	pF
I/O Capacitance	DQ	$C_{I/O}$	8	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC} = 5.0 V ± 10%, T_A = 0 to 70°C, Unless Otherwise Noted)

Input Pulse Levels . . . . . 0 to 3.0 V
Input Rise/Fall Time . . . . . 5 ns
Input Timing Measurement Reference Levels . . . . . 1.5 V
Output Timing Measurement Reference Levels . . . . . 0.8 and 2.0 V
Output Load . . . . . See Figure 1

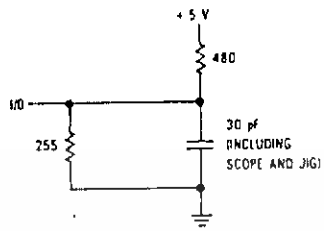
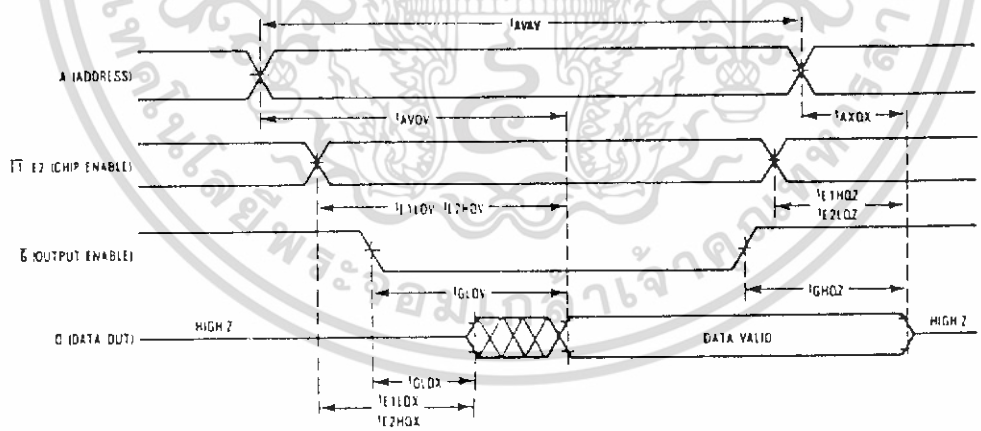


Figure 1. Test Load

READ CYCLE (See Note 1)

Parameter	Symbol	Alt Symbol	MCM6264-25		Unit	Notes
			Min	Max		
Read Cycle Time	t_{AVAV}	t_{RC}	25	–	ns	–
Address Cycle Time	t_{AVQV}	t_{AA}	–	25	ns	–
$\overline{E1}$ Access Time	t_{E1LQV}	t_{AC1}	–	25	ns	–
E2 Access Time	t_{E2HQV}	t_{AC2}	–	25	ns	–
$\overline{G}$ Access Time	t_{GLQV}	t_{OE}	–	10	ns	–
Output Hold from Address Change	t_{AXQX}	t_{OH}	5	–	ns	–
Chip Enable to Output Low-Z	t_{E1LQX}, t_{E2HQX}	t_{CLZ}	5	–	ns	2, 3
Output Enable to Output Low-Z	t_{GLQX}	t_{OLZ}	0	–	ns	2, 3
Chip Enable to Output High-Z	t_{E1HQZ}, t_{E2LQZ}	t_{CHZ}	0	15	ns	2, 3
Output Enable to Output High-Z	t_{GHQZ}	t_{OHZ}	0	15	ns	2, 3

NOTES:
1. $\overline{W}$ is high at all times for read cycles.
2. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
3. These parameters are periodically sampled and not 100% tested.

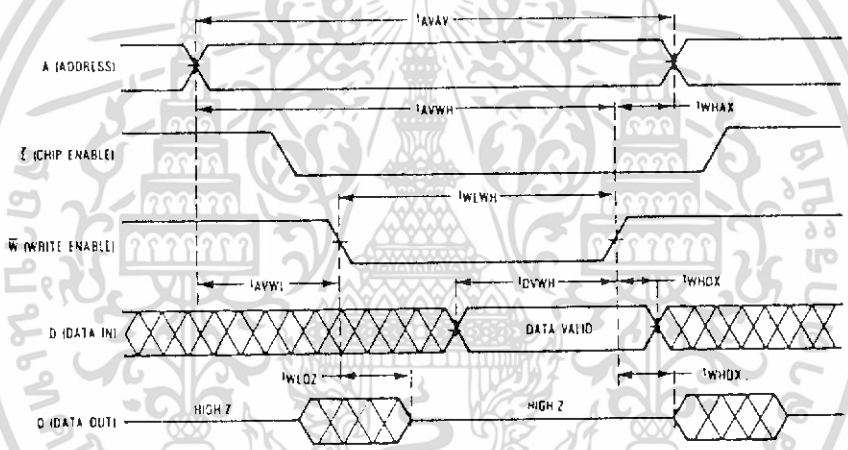


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

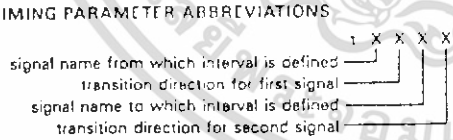
WRITE CYCLE 1 (W CONTROLLED) (See Note 1)

Parameter	Symbol	Alt Symbol	MCM6264-25		Unit	Notes
			Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	25	–	ns	–
Address Setup Time	t_{AVWL}	t_{AS}	0	–	ns	–
Address Valid to End of Write	t_{AVWH}	t_{AW}	20	–	ns	–
Write Pulse Width	t_{WLWH}	t_{WP}	15	–	ns	3
Data Valid to End of Write	t_{DVWH}	t_{DW}	10	–	ns	–
Data Hold Time	t_{WHDX}	t_{DH}	0	–	ns	3
Write Low to Output in High-Z	t_{WLQZ}	t_{WHZ}	0	15	ns	4, 5
Write High to Output Low-Z	t_{WHQX}	t_{OW}	5	–	ns	4, 5
Write Recovery Time	t_{WHAX}	t_{WR}	0	–	ns	–

NOTES:
1. A write cycle starts at the latest transition of a low $\overline{E1}$, low $\overline{W}$, or high E2. A write cycle ends at the earliest transition of a high $\overline{E1}$, high $\overline{W}$, or low E2.
2. If $\overline{W}$ goes low coincident with or prior to $\overline{E1}$ low or E2 high then the outputs will remain in a high impedance state.
3. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.
4. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
5. These parameters are periodically sampled and not 100% tested.



TIMING PARAMETER ABBREVIATIONS



The transition definitions used in this data sheet are:
- H = transition to high
- L = transition to low
- V = transition to valid
- X = transition to invalid or don't care
- Z = transition to off (high impedance)

TIMING LIMITS

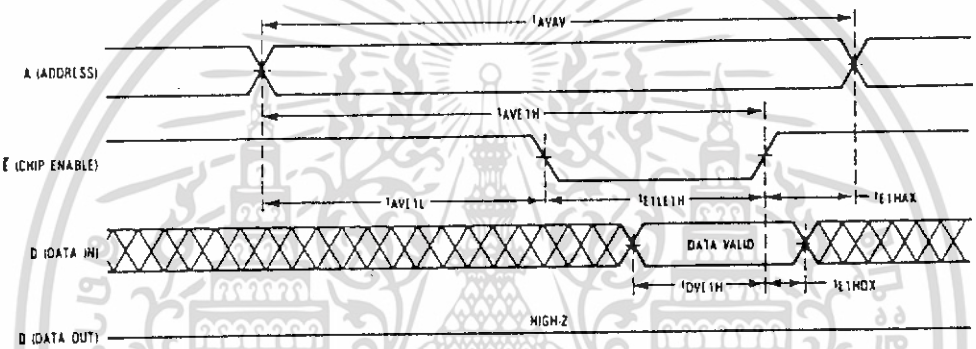
The table of timing values shows either a minimum or a maximum limit for each parameter. Input requirements are specified from the external system point of view. Thus, address setup time is shown as a minimum since the system must supply at least that much time (even though most devices do not require it). On the other hand, responses from the memory are specified from the device point of view. Thus, the access time is shown as a maximum since the device never provides data later than that time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (ENABLE CONTROLLED) (See Note 1)

Parameter	Symbol	Alt Symbol	MCM6264-25		Unit	Notes
			Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	25	–	ns	–
Address Setup Time	t_{AVE1L}	t_{AS}	0	–	ns	2
Address Valid to End of Write	t_{AVE1H}	t_{AW}	20	–	ns	2
Chip Enable to End of Write	t_{E1LE1H}	t_{CW}	20	–	ns	2, 3
Data Valid to End of Write	t_{DVE1H}	t_{DW}	10	–	ns	2
Data Hold Time	t_{E1HDX}	t_{DH}	0	–	ns	2, 4
Write Recovery Time	t_{E1HAX}	t_{WR}	0	–	ns	2

NOTES:
1. A write cycle starts at the latest transition of a low $\overline{E1}$, low $\overline{W}$, or high E2. A write cycle ends at the earliest transition of a high $\overline{E1}$, high $\overline{W}$, or low E2.
2. $\overline{E1}$ and E2 timings are identical when E2 signals are inverted.
3. If $\overline{W}$ goes low coincident with or prior to $\overline{E1}$ low or E2 high then the outputs will remain in a high impedance state.
4. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.



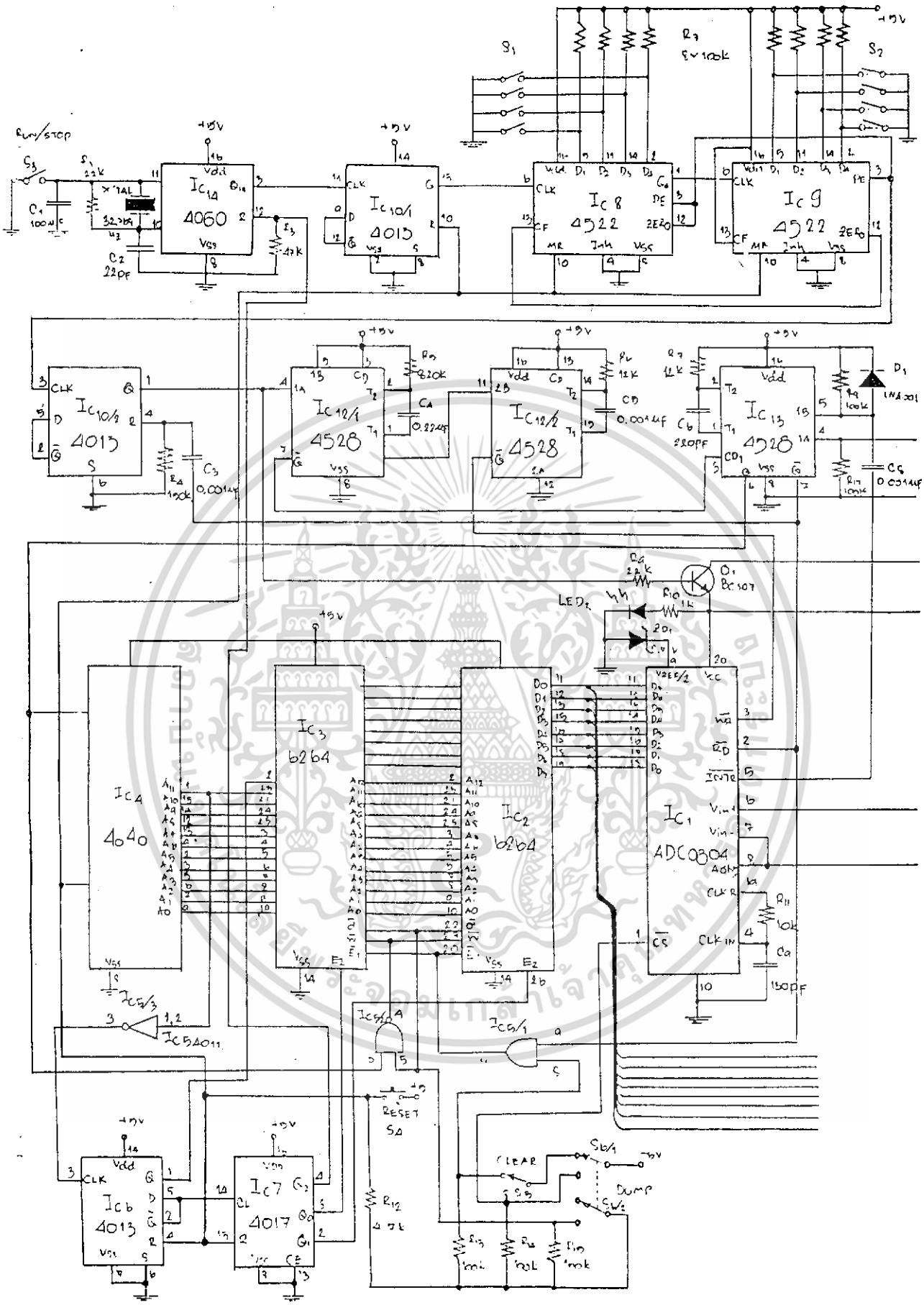
ORDERING INFORMATION
(Order by Full Part Number)

MCM 6264 X XX XX

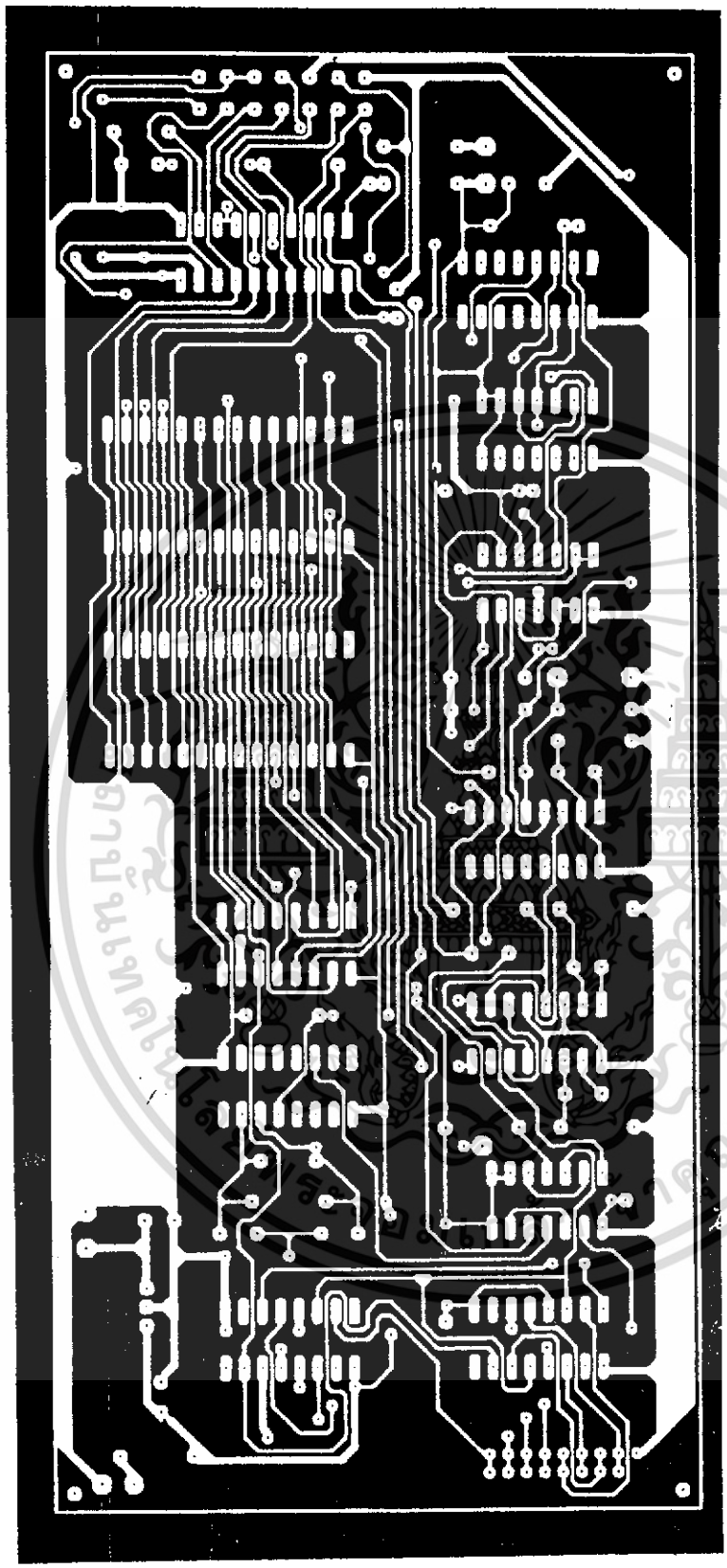
- MCM: Motorola Memory Prefix
- 6264: Part Number
- X: Package (P = 300 mil Plastic DIP, NJ = 300 mil Plastic SOJ)
- XX: Speed (25 = 25 ns)
- XX: Shipping Method (R2 = Tape & Reel, Blank = Rails)

Full Part Numbers – MCM6264P25 MCM6264NJ25 MCM6264NJ25R2

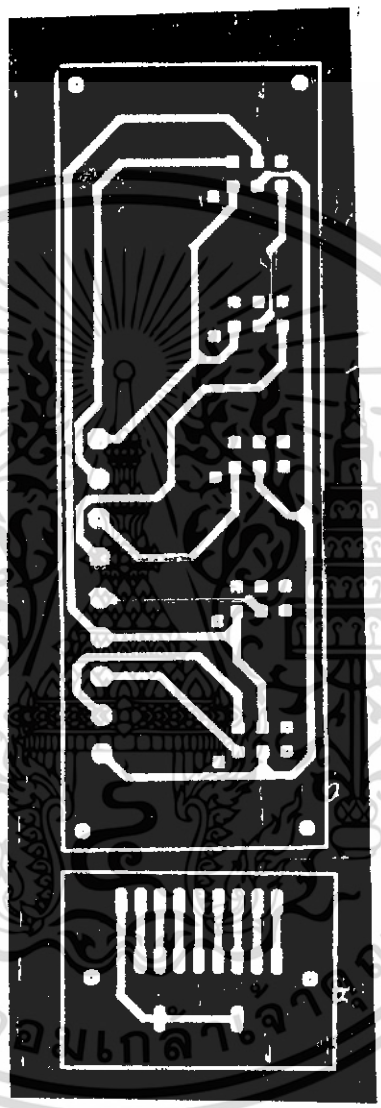
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. บริษัท ซีเอ็ดยูเคชั่น จำกัด คู่มือ ไอซี CMOS 4000 SERIES

2. NATIONAL SEMICONDUCTOR LINEAR APPLICATIONS HANDBOOK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้