สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องวิเคราะห์การผิดพลาดของข้อมูล
BIT ERROR RATE ANALAZER

นาย ชัยเลิศ เอาทารย์สกุล
นาย ธวัชชัย นวลทอง
นาย ปิยวัชร เนียมเกิด

621.3
ช29ค
2541
เลขหมู่.....
เลขทะเบียน 86864
วัน,เดือน,ปี 16 ส.ค. 2552
.b.....
.i.....

วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องวิเคราะห์การผิดพลาดของข้อมูล

BIT ERROR RATE ANALAZER

ชื่อนักศึกษา นาย ชัยเลิศ เอาทารย์สกุล 39013344

นาย ธวัชชัย นวลทอง 39013347

นาย ปิยวัชร เนียมเกิด 39013355

อาจารย์ที่ปรึกษา กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวิเคราะห์การผิดพลาดของข้อมูล

โดย	นาย ชัยเลิศ	เอาทารย์สกุล	39013344
	นาย ธวัชชัย	นวลทอง	39013347
	นาย ปิยวัชร	เนียมเกิด	39013355
อาจารย์ที่ปรึกษา	กฤดากร	กล่อมการ	
ปีการศึกษา	2541		

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เสนอการสร้างเครื่องวัดอัตราการผิดพลาดในเส้นทางการสื่อสารที่มีคุณสมบัติการใช้แบบ out of service ใช้ตรวจสอบประสิทธิภาพของระบบทั้งหมดไม่ว่าเรื่องของข้อมูล (data) อุปกรณ์เชื่อมต่อในระบบหรือตัวรับ - ส่ง ผลที่ได้จากการใช้เครื่องมือนี้สามารถใช้ในการปฏิบัติงานจริงได้เมื่อต้องการทดสอบระบบต่างๆ ทั้งนี้เพื่อความมั่นใจในการใช้ระบบต่อไป และสำคัญที่สุดคือปริญญานิพนธ์ฉบับนี้เป็นพื้นฐานสำคัญสำหรับการก้าวไปสู่การสื่อสารข้อมูลอื่นๆ อีกด้วย.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT ERROR RATE ANALAZER

BY Mr. Chailert Au transakul 39013344
Mr. Tawatchai Nulton 39013347
Mr. Peyawa t Niunkerd 39013355
Advisor Mr. Katdakorn Klomkarn
Year 1998

ABSTRACT

This thesis presents how to improve BER Measurement (Bit Error Rate Measurement) to have a special capability in Data information system . The result is more economical, more secure, easier and faster operation than the present system. By using BER Measurement to measure all system or all Data information system , it is compact size, good reliability and flexility , would be a great improvement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีก็เนื่องจากได้รับคำแนะนำและการช่วยเหลือด้านข้อมูลต่างๆ เป็นอย่างดียิ่งจาก อาจารย์ กฤดากร กล่อมการ อาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำปรึกษาและขอขอบพระคุณอาจารย์ทุกๆท่านที่ประสิทธิ์ประสาทวิชาโดยเฉพาะอย่างยิ่งคณาจารย์ในภาควิชาเทคนิคอุตสาหกรรมทุกท่าน จึงขอขอบพระคุณไว้ ณ. ที่นี้ด้วย

สุดท้ายนี้ขอขอบพระคุณ บิดา มารดา เป็นอย่างยิ่งที่ให้การสนับสนุนด้านทุนทรัพย์และให้กำลังใจที่ดีเสมอมาในทุกๆ เรื่อง

นาย ชัยเลิศ เอาทารย์สกุล
นาย ธวัชชัย นวลทอง
นาย ปิยวัชร เนียมเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อภาษาไทย	A
บทคัดย่อภาษาอังกฤษ	B
กิตติกรรมประกาศ	C
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการระบบการสื่อสารดิจิตอล	3
บทที่ 3 มาตรฐานในการวัดอัตราการผิดพลาดของข้อมูล (G.821)	26
บทที่ 4 การออกแบบเครื่องวัดอัตราผิดพลาด	32
บทที่ 5 ผลการทดลอง	42
บทที่ 6 สรุปและวิจารณ์	64
บรรณานุกรรม	G
ภาคผนวก	H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ 2.1	แสดงส่วนประกอบโดยทั่วไปของการสื่อสารระบบดิจิตอล	4
รูปที่ 2.2	แสดงความเป็นไปได้ในระบบดิจิตอล	5
รูปที่ 2.3	แสดงความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติการใช้งานกับเฟสเพื่อติดต่อ	10
รูปที่ 2.4	แสดงความสัมพันธ์ระหว่างกฎเกณฑ์ของคุณสมบัติการใช้งาน	11
รูปที่ 2.5	แสดงการทดสอบระบบแบบต่าง ๆ	14
รูปที่ 2.5.1	บล็อกไดอะแกรมการทำงานของวงจรกึ่งแรนดอม	15
รูปที่ 2.6	แสดงตัวอย่างของแหล่งกำเนิดของวงจรกึ่งแรนดอม	16
รูปที่ 2.7	แสดงตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ	18
รูปที่ 2.8	แสดงตัวอย่างของวงจรแยกความผิดพลาดแบบซิงโครนัสธรรมดา	19
รูปที่ 2.9	แสดงตัวอย่างของวงจรแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ	20
รูปที่ 2.10	แสดงหลักการวัดความผิดพลาดของบิต	23
รูปที่ 2.11	ความเบี่ยงเบนของสัญญาณเวลาซึ่งมีผลจากฐานเวลาที่ผิดพลาดไป รู้จักในชื่อของจิสเตอร์	24
รูปที่ 2.12	รูปอายส์แพทเทอร์นแสดงสัญญาณรบกวน และการเบี่ยงเบนของเวลาในสัญญาณดิจิตอล	25
รูปที่ 3.1	แสดงช่วงเวลาทั้งหมดที่ใช้ได้และช่วงเวลาที่ใช้ไม่ได้	28
รูปที่ 3.2	แสดง HIERARCHY แบบดิจิตอลระบบต่าง	31
รูปที่ 4.1	วงจรกำเนิดสัญญาณกึ่งแรนดอม	32
รูปที่ 4.2	วงจรกำเนิดสัญญาณนาฬิกา	32
รูปที่ 4.3	วงจรทดสอบสัญญาณพัลส์	34
รูปที่ 4.4	วงจรทดสอบสัญญาณพัลส์	35
รูปที่ 4.5	แสดงถึงการเปรียบเทียบด้านรับและด้านส่งเมื่อบวกนอยส์เข้าไปในช่องสัญญาณ	35
รูปที่ 4.6	แสดงถึงการเปรียบเทียบด้านรับและด้านส่งเมื่อบวกนอยซ์เข้าไปในช่องสัญญาณ	37
รูปที่ 4.7	บล็อกไดอะแกรมการทดสอบระบบ	38
รูปที่ 4.8	รูปเก้าส์เชี่ยน	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.9	รูปที่จุด P2	39
รูปที่ 4.10	รูปที่จุด P3	39
รูปที่ 4.11	บล็อกไดอะแกรมการเชื่อมโยงอุปกรณ์	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วัตถุประสงค์

1. เพื่อเสริมสร้างความรู้และประสพการณ์ในการทำงาน
2. เพื่อจำลองระบบการส่งสัญญานแบบดิจิตอลอัตราเร็ว 2.048 Mbit / S
3. เพื่อสร้างเครื่องวัดอัตราบิตผิดพลาดของระบบการส่งอัตราเร็ว 2.048Mbit / S
4. เพื่อพิจารณาวิธีวัดและทดสอบคุณภาพของระบบรับส่งสัญญาณดิจิตอลในรูปของอัตราความผิดพลาดของบิต (BIT ERROR RATE)
5. เพื่ออธิบายถึงวิธีการวัดตรวจสอบคุณภาพของระบบและอุปกรณ์

กล่าวนำ

ข้อสำคัญในการพิจารณาการออกแบบระบบสื่อสาร (COMMUNICATION SYSTEM)คือการกำหนดคุณสมบัติในการใช้งานของระบบในระหว่างเวลาที่ระบบนั้นทำงานอยู่แม้ว่าคุณสมบัติในการใช้งานนั้นอาจจะต้องปฏิบัติให้เป็นสิ่งที่พอใจแก่ผู้ใช้งานก็ตามในระบบสื่อสารดิจิตอล (DIGTAL COMMUNICATION SYSTEM) ตัวแปรตัวหนึ่งที่พิจารณาก็คืออัตราความผิดพลาด (BIT RATE) ซึ่งอัตราความผิดพลาดคืออัตราส่วนของจำนวนหน่วยข่าวสาร (INFORMATION UNIT) ที่รับมาไม่ถูกต้องต่อจำนวนหน่วยข่าวสารทั้งหมดที่รับได้ในปัจจุบันระบบสื่อสารอนาล็อก(ANALOG COMMUNICTION SYSTEM) ได้ถูกแทนที่โดยการรวมระบบดิจิตอลกับระบบอนาล็อกเข้าด้วยกันหรืออาจจะเป็นระบบดิจิตอลโดยสิ้นเชิงยิ่งกว่านั้นเป็นช่วงการเปลี่ยนจากการสื่อสารรูปแบบเสียง(VOICE) สู่แบบข้อมูล (DATA) ความสำคัญของการแสดงคุณสมบัติในการใช้งานก็เพิ่มขึ้น สัญญาณเสียงที่ส่งในรูปแบบของดิจิตอลจะมีความถูกต้องสูงคืออัตราความผิดพลาดประมาณ 10 (หนึ่งในพันบิต) และไม่ไวต่อการเปลี่ยนแปลงของตัวแปรภายนอกในระบบทำงานที่ต้องการความผิดพลาดในระดับ 10 (หนึ่งในสิบล้านบิต) หรืออาจต่ำกว่านี้ในบางระบบก็ยิ่งมีความต้องการการแสดงผลมากขึ้นโดยทั่วไปในระบบสื่อสารดิจิตอลเวลาเกิดการรบกวนขึ้นภายในระบบเพียงเล็กน้อยคุณลักษณะคุณสมบัติในการใช้งานระบบจะไม่เปลี่ยนอย่างทันทีทันใดต้นเหตุอันนี้เป็นปัญหาในการกำหนดคุณสมบัติการใช้งานเวลาเปรียบเทียบกับการส่งอนาล็อกการผิดเพี้ยนในสัญญาณอนาล็อกจะส่งผลโดยตรงกับคุณสมบัติการใช้งานสำหรับผู้ใช้และสามารถแสดงผลการผิดเพี้ยนได้อย่างง่ายดายแต่การผิดเพี้ยนของสัญญาณดิจิตอลจะไม่มีผลเด่นชัดต่อคุณสมบัติการใช้งาน จนกระทั่งเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การผิดพลาดขึ้นเพราะว่าจะมีช่วงเล็กน้อยเท่านั้นระหว่างจุดเริ่มต้นการผิดพลาดกับคุณสมบัติการใช้งานยอมรับไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

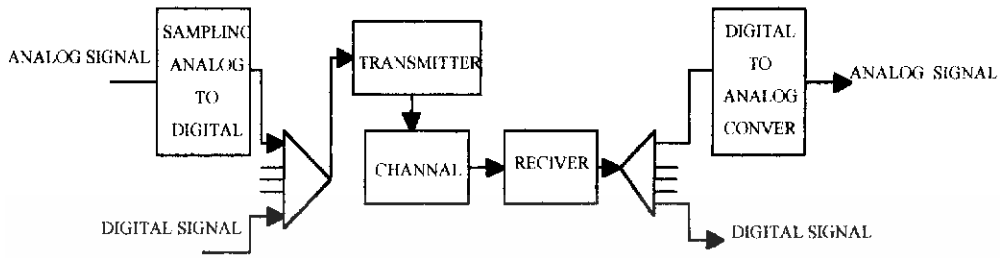
บทที่2
ทฤษฎีและหลักการระบบการสื่อสารดิจิตอล

2.1ระบบสื่อสารดิจิตอล (DIGITAL COMMUNICATION SYSTEM)

จุดมุ่งหมายของระบบสื่อสารคือ การส่งข่าวสารจากจุดหนึ่งไปยังจุดอื่นๆโดยข่าวสารนี้อยู่ในรูปของสัญญาณไฟฟ้าในแบบอนาล็อกหรือดิจิตอลสัญญาณอนาล็อก (ANALOG SIGNAL) คือสัญญาณที่มีค่าต่อเนื่องตลอดเวลาในขณะที่สัญญาณดิจิตอล (DIGITAL SIGNAL) คือสัญญาณที่มีค่าแน่นอนและมีจำนวนจำกัด ตัวอย่างของสัญญาณอนาล็อกคือเสียงที่รับได้โดยไมโครโฟน และตัวอย่างของสัญญาณดิจิตอลคือสัญญาณข้อมูลที่ส่งออกจากคอมพิวเตอร์ส่วนประกอบเบื้องต้นของระบบสื่อสารดิจิตอลแสดงให้เห็นในรูปที่1 โดยสัญญาณขาเข้า (INPUT SINGNAL)อาจจะมีลักษณะรูปแบบเดียวกับข้อมูลคอมพิวเตอร์หรือสัญญาณอนาล็อกอาจทำการแปลงให้เป็นสัญญาณดิจิตอลโดยการสุ่มตัวอย่าง (SAMPLING) และการจัดระดับ (QUANTIZATION) สัญญาณแต่ละแบบที่เข้ามาจะถูกตัวส่ง (TRANSMITER) รวมสถานะแน่นอนของสัญญาณดิจิตอลทั้งหมดเข้าเป็นรูปแบบซึ่งเหมาะสมสำหรับช่องสัญญาณ (CHANNEL) ระหว่างตัวส่งกับตัวรับโดยที่ช่องสัญญาณจะมีรูปแบบที่แตกต่างกันออกไปขึ้นอยู่กับโครงสร้างทางฟิสิกซ์เช่นสายคู่ขนาน (WIRE PAIRE)สายโคแอ็กเชียล (COAXAL) เส้นใยแสง (OPTICAL FIBERS) และชั้นบรรยากาศสำหรับการส่งด้วยคลื่นวิทยุซึ่งแตกต่างกันไปตามความต้องการของตัวส่งโดยทั่วไปช่องสัญญาณจะทำให้เกิดการผิดเพี้ยน(DISTORTION) ไปจากสัญญาณที่ส่งเนื่องจากการบวกสัญญาณรบกวน (NOISE) ที่หลีกเลี่ยงไม่ได้ทำให้เครื่องรับต้องทำงานหนักในการกู้ (RECOVER) เอาสัญญาณที่ถูกต้องกลับมาถ้าช่องสัญญาณมีระยะทางไกลการลดทอน(ATTENNUATION)สัญญาณที่ส่งก็จะสูงทำให้ต้องมีตัวทบทวนสัญญาณ (REPEAER) ระหว่างตัวส่งกับตัวรับเพื่อให้ปรับคุณลักษณะของสัญญาณถูกต้องรูปแบบง่ายๆของตัวทวนสัญญาณ คือแอมปลิฟลายซึ่งใช้ในระบบอนาล็อกซึ่งจะทำหน้าที่ขยายสัญญาณที่รับเข้ามาแล้วส่งออกไปแต่วิธีนี้สัญญาณรบกวนก็จะถูกขยายด้วยซึ่งไม่ได้เป็นการกำจัดการผิดเพี้ยนของสัญญาณส่วนตัวทวนสัญญาณระบบดิจิตอลจะทำการสร้างสัญญาณขึ้นมาใหม่จากสัญญาณเดิมแล้วทำการส่งต่อไป

ความสามารถในการสร้างสัญญาณใหม่เป็นข้อได้เปรียบของระบบดิจิตอลในการสื่อสารระบบอนาล็อกตัวทวนสัญญาณจะทำหน้าที่ขยายอย่างเดียวโดยที่เครื่องรับจะทำการกะประมาณรูปร่างของสัญญาณให้ตรงกับสัญญาณที่ส่งการวัดคุณสมบัติในการใช้งานของระบบจะวัดในเทอมของการเหมือนกันระหว่างสัญญาณที่ส่งกับสัญญาณที่รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิตอล

ในการสื่อสารดิจิตอลเครื่องรับจะพิจารณาความคล้ายคลึงของจำนวนที่เป็นไปได้ของสัญญาณที่ส่งมายกเว้นสถานะของสัญญาณผิดรูปไปหลายครั้ง การพิจารณาความถูกต้องทำให้สามารถสร้างสัญญาณที่ส่งมาได้สมบูรณ์ จากการกู้สัญญาณส่วนหนึ่งของหน่วยข่าวสารที่กู้ไม่ถูกต้อง (อัตราความผิดพลาด) จะนำมาใช้ในการวัดจำนวนปริมาณของคุณสมบัติในการใช้งานระบบ จะเห็นว่าคุณสมบัติในการใช้งานของระบบสื่อสารดิจิตอลจะไม่เกี่ยวข้องกับระยะทางของช่องสัญญาณจากความแตกต่างของการวัดคุณสมบัติในการใช้งานของระบบทั้งสองนี้เป็นจุดที่หน้านำไปใช้ในการออกแบบอย่างกว้างๆระบบดิจิตอลที่เริ่มเข้ามาระยะแรกคือระบบพาหะดิจิตอลที่1(T1 DIGTIAL CARRIER SYSTEM)

โดยระยะนี้จะใช้เบสแบนด์พัลซ์ (BASE BAND PULSE)สำหรับส่งสัญญาณดิจิตอลสองระดับด้วยสายคู่และมีตัวทวนสัญญาณทุกๆกิโลเมตรตั้งแต่นั้นมาจำนวนของระบบดิจิตอลก็มีเพิ่มขึ้นโดยมีอัตราการส่งข้อมูลสูงสุดและใช้ตัวกลางในการส่งที่แตกต่างกันไปเช่นคลื่นวิทยุ และเส้นใยแสง

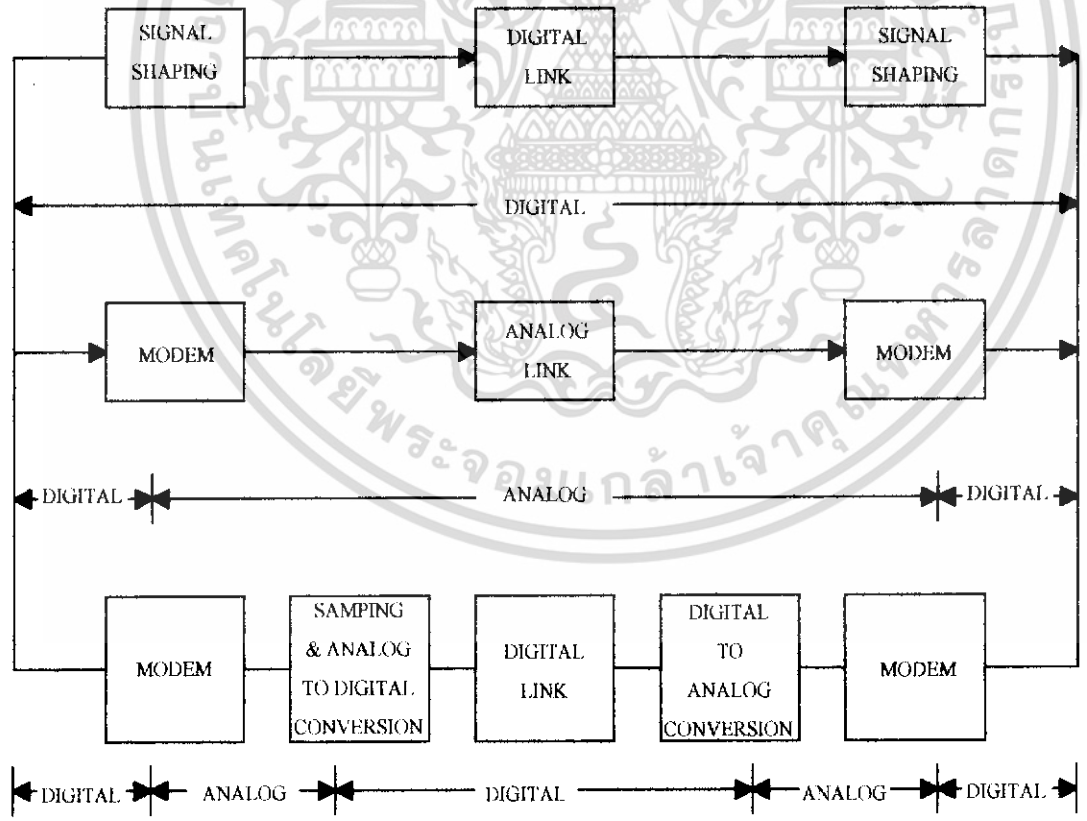
ในช่วงต่อมาได้นำเอากฎเกณฑ์ของระบบอนาล็อกมาใช้ในการกำหนดคุณสมบัติการใช้งานระบบดิจิตอลด้วยโดยส่วนใหญ่การพัฒนาระบบดิจิตอลนี้มีรูปแบบมาจากรูปแบบการส่งข้อมูลอนาล็อกในปัจจุบันเพื่อความสะดวกในการใช้งาน จึงได้มีการออกแบบการสื่อสารอนาล็อกเพื่อการส่งสัญญาณดิจิตอลผ่านเข้าไปในระบบโครงข่ายของอนาล็อกแต่ละระบบ สัญญาณดิจิตอลจะถูกผสม (MODULATE) ในลักษณะเช่นเดียวกับผสมสัญญาณอนาล็อกและที่ด้านรับสัญญาณดิจิตอลจะถูกแยกออกจากพาหะอุปกรณ์ที่ทำหน้าที่นี้เรียกว่าโมเด็ม (MODEM) ซึ่งมาจากคำว่า MODULATOR DEMODULATOR ย่านความถี่ส่วนใหญ่ของสัญญาณที่ใช้ในการส่งของข่ายสายสัญญาณโทรศัพท์จะมีย่านความถี่ 300 ถึง 3400 Hz เรียกย่านนี้ว่า ย่านข้อมูลเสียง (VOICE- BAND DATA OR VBD) ซึ่งความกว้างของย่านช่องสัญญาณนี้จะขึ้นอยู่กับชนิดของตัวกลางในการส่งและวิธีการของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารดิจิตอลจะอ้างถึงสัญญาณดิจิตอลที่ส่งในรูปแบบของอนาล็อกการรวมระบบสื่อสารดิจิตอลและอนาล็อกเข้าด้วยกันเป็นระบบผสมซึ่งมีใช้อยู่ในปัจจุบันสามารถแสดงให้ดูไว้ดังรูปที่ 2.2

2.2 ต้นกำเนิดของความผิดพลาด (SOURCES OF ERROR)

โดยทั่วไปในระบบสื่อสารดิจิตอลเปอร์เซ็นต์การรบกวนจากช่องสัญญาณจะมีน้อยกว่าระบบอนาล็อก แต่ถ้าความผิดพลาดที่เกิดขึ้นในขั้นตอนสุดท้ายมีมากก็จะทำให้คุณสมบัติในการใช้งานลดลงในแต่ละวิธีของการส่งสัญญาณข้อมูลระบบดิจิตอลจะเป็นการส่งข้อมูลในรูปแบบของสัญญาณอนาล็อกโดยทั่วไปในการวงข่าวสารข้อมูลผลของต่างจะอยู่ที่การใช้ตัวทวนสัญญาณในระบบดิจิตอลจะทำการแยกระบบออกเป็นการเชื่อมโยงจุดย่อยทำให้ความสามารถคำนวนการผิดเพี้ยนของสัญญาณได้ และสามารถทำการกำจัดออกไปก่อนที่จะเกิดการผิดเพี้ยนที่สูงชนิดของการผิดเพี้ยนที่เป็นสาเหตุให้เกิดการกู้ข้อมูลผิดพลาดแบ่งออกเป็น 2กลุ่มคือ



รูปที่ 2.2 แสดงความเป็นไปได้ในระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มแรก เป็นผลที่เกิดจากการคาดการณ์ไว้ล่วงหน้าและความไม่สมดุลย์ของช่องสัญญาณซึ่งผลอันนี้จะไม่นำมาคิด

กลุ่มสอง กลุ่มที่สองเป็นกลุ่มที่เกิดจากการรบกวน ในรูปแบบที่ไม่สามารถคาดการณ์ได้และผลจากการรบกวนภายนอก

ความผิดพลาดที่เกิดขึ้นในระบบดิจิตอลนั้นไม่ได้เกิดจากสาเหตุเดียวแต่เกิดจากหลายสาเหตุรวมกับ ซึ่งเป็นผลให้เกิดความแตกต่างของรูปร่างคลื่นในแต่ละจุดความผิดพลาดที่เกิดขึ้นมีผลมาจากการบวกผลของสัญญาณรบกวนเข้าไป สองสาเหตุสำคัญที่ทำให้เกิดการผิดพลาดขึ้น คือ ความไม่สมบูรณ์ในคุณลักษณะของขนาด (AMPLITUDE) และเฟส (PHASE) เนื่องจากย่านที่จำกัดของช่องสัญญาณการผิดเพี้ยนทางขนาดเกิดจากการเปลี่ยนแปลงความสัมพันธ์และขนาดของส่วนประกอบของสัญญาณในความถี่ต่างๆที่เปลี่ยนไปและการผิดเพี้ยนทางเฟสเกิดจากการเปลี่ยนแปลงที่เกี่ยวข้องกับเวลาในการส่งแต่ละรูปแบบของการทำให้สัญญาณที่ผิดเพี้ยนเป็นฟังชั่นของค่าสัญญาณที่ส่งมาก่อนที่เฉพาะจุดในเวลานั้นๆผลอันนี้เรียกว่าการรบกวนทางสัญลักษณ์ (INTERSYMBOL INTERFERENCE) ถ้าเกิดการเลื่อนของช่องสัญญาณกับการแยกช่องสัญญาณจะทำให้เกิดการแปลงสถานะของข่าวสารที่รับผิดไป

คุณลักษณะของขนาดและเฟสในตัวกลางที่ส่งบางตัวไม่ว่าจะเป็นสายคู่ขนานหรือสายโคแอ็กเชียลจะสัมพันธ์กับค่าคงที่ของเวลา และสามารถแก้ไขได้โดยการเปลี่ยนช่วงตอบสนองของวงจรในการส่งแต่ละแบบไม่ว่าจะเป็นการส่งคลื่นวิทยุผ่านชั้นบรรยากาศ คุณลักษณะของช่องสัญญาณจะเปลี่ยนแปลงไปตลอดเวลา สาเหตุของการรบกวนเกิดจากการเปลี่ยนช่วงของระบบมีหลายสาเหตุที่แสดงอาการคล้ายกันและเราสามารถแยกเอาสัญญาณรบกวนนี้ออกไปได้โดยใช้ตัวกรองความถี่ (FILTER) ถ้ากำลังของสัญญาณมีขนาดเท่ากับกำลังสัญญาณรบกวนจะทำให้เกิดการแปลงสัญญาณที่รับได้ผิดไปและอัตราความผิดพลาดจะมีสูงดังนั้นระดับของสัญญาณรบกวนจะถูกคำนวนในขนาดที่สัญญาณเดินทางผ่านช่องสัญญาณและจะถูกกำจัดออกไปก่อนที่สัญญาณรบกวนจะมีขนาดใหญ่จากเทคนิคอันนี้ทำให้ค่าอัตราความผิดพลาดน้อยลง อย่างไรก็ตามผลของสัญญาณรบกวนจะต้องนำมาคิดที่ตัวรับด้วยชนิดของการรบกวนแบบธรรมดา คือผลชั่วคราวที่เกิดจากอิมพัลซ์นอยส์ (IMPULSE NOIS) และการหยุดชะงัก อิมพัลซ์นอยส์มีคุณลักษณะของการรบกวนเป็นยอดแหลมเกิดขึ้นอย่างรวดเร็วและมีระดับพลังงานเทียบเท่าระดับของสัญญาณซึ่งเป็นสาเหตุอันหนึ่งที่ทำให้อัตราความผิดพลาดเพิ่มขึ้นการหยุดชะงักของระบบมีลักษณะเช่นเดียวกับการสูญหายของสัญญาณข้อมูลในช่วงสั้นๆเป็นผลให้เกิดผิดพลาดซึ่งอัตราความผิดพลาดที่เกิดจากสาเหตุทั้งสองนี้เป็นเรื่องธรรมดาในระบบการสื่อสารดิจิตอลเวลาเกิดปัญหานี้ขึ้นจะแก้ไขโดยการส่งข้อมูลซ้ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปเวลาที่เกิดพัลซ์จนถึงเวลาที่พัลซ์หยุดเกิดและไปเริ่มเกิดพัลซ์ลูกใหม่ขึ้นจะมีค่าเวลาที่แน่นอนเมื่อสัญญาณถูกรับมาจะแสดงค่าสูงสุดที่พ้นจากสัญญาณรบกวนและนี่คือเวลาที่จะตัดสินใจว่าควรจะแสดงค่าสัญญาณดิจิตอลการกำหนดเวลาที่เปลี่ยนไปในเครื่องรับนั้นสามารถนำมาเป็นออฟเซ็ต (OFFSET) คงที่จากการสุ่มที่เหมาะสมที่สุดในแต่ละกรณีของความผิดพลาดที่อยู่ข้างหน้าขอบนั้นจะถูกทำให้ลดลง สัญญาณรบกวนที่มีระดับต่ำเป็นสาเหตุของความผิดพลาดได้จำนวนของการสั่นทางเฟสที่เกิดจากการสุ่มตัวอย่างเป็นสาเหตุหนึ่งของความผิดพลาดซึ่งจะต้องทำให้เกิดการกู้ข้อมูลซ้ำและสร้างสัญญาณใหม่สามารถทำได้จากการสุ่มตัวอย่าง โดยการกำหนดสัญญาณขึ้นใหม่

ปัญหาการกำหนดเวลาอาจเกิดขึ้นถ้าเครื่องรับเกิดการสูญเสียการติดตามจำนวนหน่วยข่าวสารรับ ในหลายแบบของการพาข่าวไปบนช่องสัญญาณอาจจะกำหนดในแต่ละเวลาที่แคบบนช่องสัญญาณเป็นช่วงๆขบวนการนี้เรียกว่าการแบ่งช่วงเวลาในการส่ง(TIMEDIVISION MULTIPLEXING)ถ้าเครื่องรับไม่มีเอกลักษณ์ของช่วงเวลาที่แคบ ในการเริ่มต้นรับข่าวสารก็ไม่สามารถแบ่งแยกได้ถูกต้องและไม่มีประโยชน์เว้นแต่ข่าวสารหนึ่งหน่วยจะถูกรับเข้ามาเฉพาะที่ถูกต้องเท่านั้นธรรมดาการออกแบบการสื่อสารระบบดิจิตอลคือการเลือกช่องสัญญาณให้มีคุณลักษณะที่เหมาะสมสำหรับการส่งข้อมูล แต่ไม่ใช่สำหรับย่านข้อมูลเสียง (VOICE- BAND DATA) อย่างไรก็ตามช่องสัญญาณที่กล่าวถึงเป็นการเริ่มต้นออกแบบสำหรับการสื่อสารเสียง สำหรับการส่งข้อมูลย่านเสียงเราอาจจะแนะนำสาเหตุที่ทำให้การผสมสัญญาณข้อมูลผิดเพี้ยน แต่ไม่ทำให้ระบบการสื่อสารผิดเพี้ยนซึ่งมีดังนี้

1. การผิดเพี้ยนที่ไม่เป็นเชิงเส้น (NONLINEAR DISTORTION)เป็นการพูดถึงฮาร์โมนิค (HERMONICS) ของสัญญาณขาเข้า (INPUT SIGNAL)ในสัญญาณขาออก (OUTPUT SIGNAL) มักจะเกิดจากส่วนประกอบของช่องสัญญาณทำให้ OUTPUT ไม่เป็นฟังชั่นเชิงเส้นกับสัญญาณ INPUT และทำให้เกิดการรบกวนทางสัญญาณ

2. ความถี่ออฟเซ็ต (OFFSET FERQUENCY) เป็นการเลื่อนของความถี่เล็กน้อยด้วยค่าคงที่ในความถี่ทั้งหมดที่ได้รับซึ่งเป็นค่าความแตกต่างของความถี่พาหะที่ใช้ในการผสมคลื่น (MODULATION) กับการแปลงข้อมูล (DEMODULATION)

3. ลิสทีนเนอร์เอ็กโค่ (LISTENER ECHO) เป็นการบวกในช่วงเวลาที่หน่วงด้วย สัญญาณตัวมันเองจะเกิดการสะเทือนที่ไม่ต่อเนื่องในทางเดินการส่ง

4. การรบกวนจากความถี่ (SINGLE-FREQUENCY INTERFERENCE) เป็นการบวกสัญญาณโทนเสียง (TONE) เข้ากับสัญญาณอินพุท (INPUT)

5. อัตราการขยายและเฟสฮิท (GAIN AND PHASE HIT) เป็นการเปลี่ยนแปลง อย่างรวดเร็วในขนาดหรือเฟสของสัญญาณที่รับ โดยมีสาเหตุจากช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าสาเหตุของการผิดพลาดในระบบการสื่อสารคือความไม่สมบูรณ์ของช่องสัญญาณซึ่งผลที่เกิดขึ้นกับสัญญาณจะมากหรือน้อยขึ้นอยู่กับส่วนประกอบของความไม่สมบูรณ์นั้นๆ โดยทั่วไปอัตราความผิดพลาดจะสูงและข้อมูลที่ได้รับจะใช้ไม่ได้ในช่วงการส่งที่ไม่สำเร็จนี้ ถ้าระบบมีเครื่องตรวจสอบก็จะทำให้ผู้ใช้งานสามารถพบได้ในเวลาอันสั้น

2.3การวัดคุณสมบัติในการใช้งานในระบบสื่อสาร

2.3.1กฎเกณฑ์คุณสมบัติการใช้งาน (PERFORMANCE CRITERIA)

ในการกำหนดชนิดความสามารถของระบบการสื่อสารที่จะพาข่าวสารและเปรียบเทียบระบบนั้นเข้ากับระบบอื่นๆ คือการตั้งกฎเกณฑ์คุณสมบัติที่ใช้งานที่ดี ซึ่งเป็นสิ่งที่ต้องการแต่ละกฎเกณฑ์เหมาะสำหรับการใช้งานอย่างง่ายและคุณลักษณะของคุณสมบัติในการใช้งานระบบนั้นต้องสมบูรณ์และรายละเอียดภายนอกจะขึ้นอยู่กับโครงสร้างของระบบข้อจำกัดมีความจำเป็นสำหรับผู้ออกแบบหรือผู้ใช้ระบบสื่อสาร เพื่อให้ความสามารถทำการเปรียบเทียบความแตกต่างของวิธีการส่งข่าวสารและสามารถที่จะเลือกนำมาใช้งานจริงๆได้ ตัวอย่างอันหนึ่งของการเลือกที่จะนำการสื่อสารข้อมูลการส่งจะส่งในรูปแบบของดิจิตอลหรืออนาล็อกทางเดินที่ดีของข่าวสารจากแหล่งกำเนิดถึงผู้ใช้อาจจะติดตั้งถาวรสำหรับการเชื่อมต่อระหว่างจุดถึงจุดหรืออาจจะตั้งขึ้นชั่วคราวเฉพาะเวาลาที่ต้องการ

จำนวนกฎเกณฑ์คุณสมบัติในการใช้งานที่มีแนะนำใช้ช่วงเวลาที่ผ่านมาส่วนใหญ่จะเกี่ยวข้องกับคุณสมบัติในการสื่อสารข้อมูลที่พิจารณาดูที่จุดของผู้ใช้งานในแต่ละระบบอย่างไรก็ตามกฎเกณฑ์ที่แนะนำไว้สามารถที่จะนำไปประยุกต์ เข้ากับการส่งสัญญาณเสียงที่ได้รับการแปลงให้เป็นดิจิตอลในรูปแบบอื่นๆได้ กฎเกณฑ์อีกอันหนึ่งที่เกี่ยวข้องกับคุณสมบัติในการใช้งานก็คือการรับผิดชอบและการบำรุงรักษากฎเกณฑ์อันนี้เป็นผลดีในการเพิ่มคุณสมบัติการใช้งานขึ้นอีกข้อเสนอแนะอันแรกที่ยอมรับก็คือข้อเสนอแนะของสมาคมมาตรฐานแห่งชาติอเมริกา (AMERICA NATIONAL STANDARDS INTITNTE OR ANSI) ซึ่งพิจารณาคุณสมบัติการใช้งานในเทอมของเฟสที่ใช้สำหรับการติดต่อ (CALL PHASE) เฟสที่ใช้สำหรับการติดต่อสามารถแบ่งออกเป็น 5 เฟสคือ

1. เฟสที่ใช้สำหรับการเชื่อมต่อ (CONNECTION PHASE)
2. เฟสที่ใช้สำหรับการเชื่อมโยง (LINK PHASE) สัญญาณเฟสทั้งสองจะเกิดขึ้นในเวลาที่มีการส่งข่าวสารผ่านช่องสัญญาณโดยเฟสที่1จะใช้สำหรับวงจรสวิทช์ (SWITCH CIRCUIT) เพื่อทำการตัดต่อช่องสัญญาณและเฟสที่ 2ใช้ในการเตรียมสำหรับการรับส่งข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เฟสการส่งข่าวสาร (INFORMATION TRANSFER PHASE) เป็นเฟสที่แสดงถึงการเริ่มต้นการส่งข่าวสารและสิ้นสุดการส่งข่าวสาร

4. และ 5. (CONNECTION CLARING PHASE)เป็นเฟสที่ใช้ในการเคลียร์การเชื่อมต่อต่างๆเมื่อสิ้นสุดการส่งข่าวสาร

สมาคมมาตรฐานแห่งชาติอเมริกาได้ให้คำจำกัดความของกฎเกณฑ์ 4 ข้อที่กำหนดคุณสมบัติในการใช้งานของทางเดินข่าวสาร (INFORMATION PATH)โดยประกอบด้วย

1 .อัตราการส่งบิตข่าวสาร (TRANSFER RATE OF INFORMATION)

2 .เวลาที่ใช้ในการส่ง (TRANSFER OVERHAND TIME)

3 .อัตราความผิดพลาดที่ปรากฏ (REAIDUAL ERROR RATE)

4 .กฎเกณฑ์ที่เป็นประโยชน์อื่นๆ (AVAILSABILLTY)

อัตราการส่งบิตข่าวสารแสดงโดยอัตราส่วนระหว่างจำนวนบิตในระหว่างช่วงเวลาของเฟสการส่งข่าวสาร ซึ่งจะแสดงในรูปของบิตต่อวินาทีและที่ใช้ในการส่งข่าวสารหารด้วยจำนวนบิตของบิตข่าวสารที่รับคือ

$$TOT = \frac{T1 + T2 + T4 + T5}{\text{NUMBER OF INFORMATION BITS ACCEPTED BY RECEIVE}}$$

โดยที่ Ti คือระยะของเฟส i ในหน่วยเวลาและอัตราความผิดพลาดเป็นอัตราส่วนระหว่างจำนวนหน่วยข่าวสารที่ไม่ถูกต้องต่อจำนวนหน่วยข่าวสารทั้งหมดที่เครื่องรับจากผลเหล่านี้เป็นส่วนหนึ่งของการตัดสินใจเลือกช่วงคาบเวลาซึ่งจะทำให้ทางเดินข่าวสารมีความสามารถในทางปฏิบัติตามที่กำหนดมาซึ่งในรูปที่ 2.3 จะแสดงความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติในการใช้งานกับเฟสที่ใช้สำหรับติดต่อ

แม้ว่าความหมายของกฎเกณฑ์จะเป็นการแนะนำเกี่ยวกับข้อควรระวังและผู้ในงานสามารถตรวจสอบได้ง่ายอย่างไรก็ตามกฎเกณฑ์คือ การแยกเอาการเสื่อมลงของคุณสมบัติในการใช้งานออกและบ่งบอกถึงสาเหตุของเหตุการณ์ที่เกิดขึ้นกฎเกณฑ์คุณสมบัติในการใช้งาน 7 ข้อที่ควรพิจารณา

1 . ความสามารถ (ACCRSSIBILITY) เป็นการวัดความสามารถในการใช้งานหรือการติดต่อด้วยระบบสื่อสารที่สามารถหาบริการได้ง่าย

2 . ผลประโยชน์ (AVAILABILITY) เป็นการวัดความน่าจะเป็นของการบริการในขั้นตอนสุดท้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

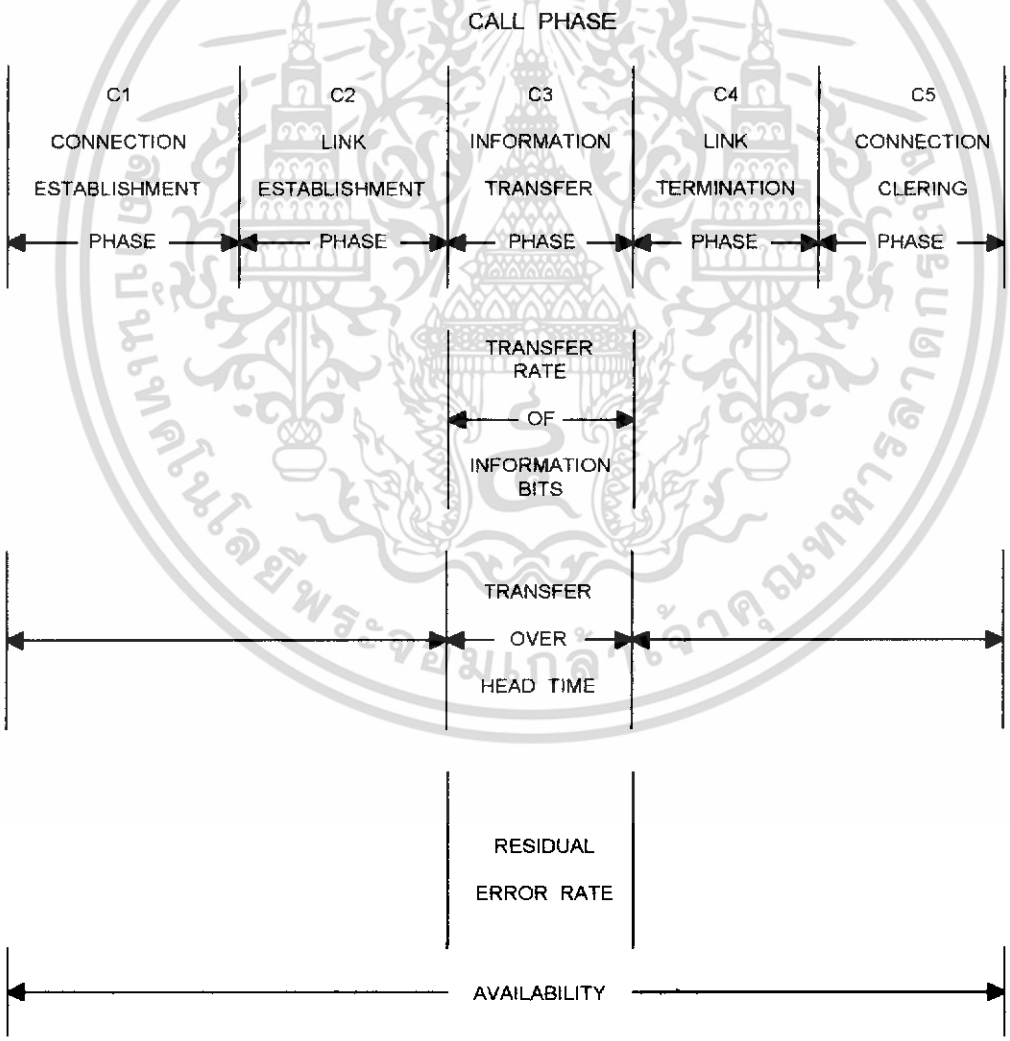
3 . ความถูกต้อง (ACCURACY) เป็นการวัดความผิดาพลาดที่เกิดจากการส่งข่าวสาร

4. การหน่วงเวลา (DELAY) การวัดเวลาที่ผ่านไปที่เกิดขึ้นกับแหล่งกำเนิดข่าวสารหรือผู้ใช้เป็นช่วงเวลาระหว่างการเริ่มต้นส่งข่าวสารของแหล่งกำเนิดหรือช่วงเวลาที่บิตแรกถึงผู้ใช้งาน

5. การแสดงผล (EFFICCENCY) การแสดงผลความสามารถซึ่งระบบจะหาหนทางคล้ายคลึงสำหรับการส่งข่าวสาร

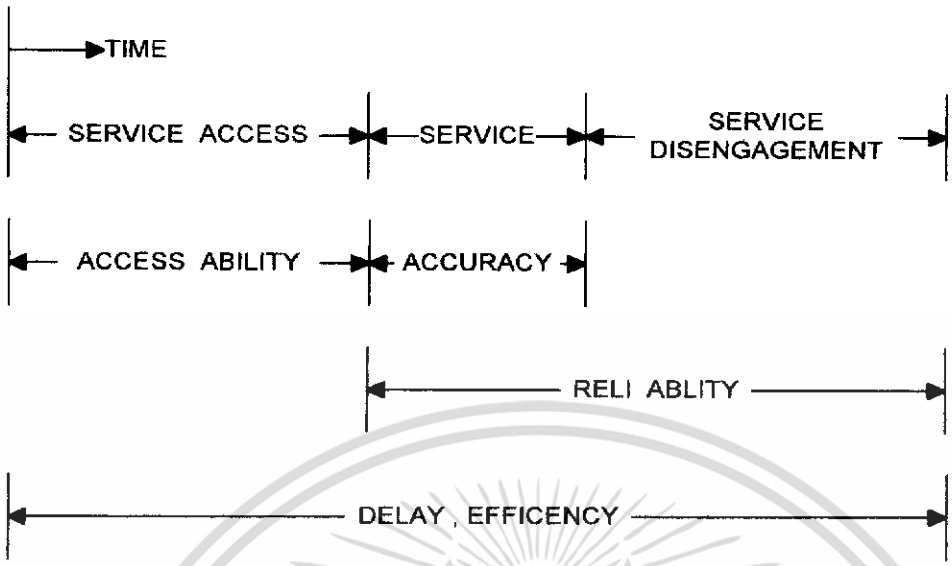
6 . ความปลอดภัย (SECURITY) เป็นการวัดระดับความสามารถของระบบที่จะไม่ทำให้ข้อมูลถูกทำลาย

7 . การเปลี่ยนแปลง (TRANSPARENCY) คือ ความสามารถที่จะเปลี่ยนแปลงในการส่งข้อมูลได้กว้างขึ้น



รูปที่ 2.3 แสดงความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติการใช้งานกับเฟสเพื่อติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.4 แสดงความสัมพันธ์ระหว่างกฎเกณฑ์พารามิเตอร์ของคุณสมบัติในการใช้งาน (PEFORMANCE PARAMETER)

2.3.2 พารามิเตอร์ของคุณสมบัติในการใช้งาน (PEFORMANCE PARAMETER)

กฎเกณฑ์คุณสมบัติโดยทั่วไปที่มีอยู่เป็นธรรมดาที่ค่อนข้างจะเป็นเรื่องย่อๆ และจะไม่สามารถทำการวัดได้โดยตรง ถ้าต้องการแสดงค่าออกมาเป็นตัวเลขพารามิเตอร์ ในการใช้งานจะถูกกำจัดและวัดเฉพาะคุณสมบัติที่มีอิทธิพลต่อการใช้งานซึ่งแต่ละกฎเกณฑ์นั้นอาจจะมีสัมพันธ์กับพารามิเตอร์ย่อยๆและสามารถกำหนดค่าได้ถ้าสูตรที่คำนวนนั้นรวมผลของตัวแปรนั้นด้วยการไม่เหมือนกันของกฎเกณฑ์คุณสมบัติการใช้งานกับพารามิเตอร์ซึ่งจะเป็นการวัดความเหมาะสมในระบบและเป็นเครื่องชี้ความแตกต่างระหว่างผู้เลือกใช้พารามิเตอร์ที่เหมาะสมโดยจะวัดผลประโยชน์ของข่าวสารที่จุดปลายของระบบสื่อสารระบบดิจิตอลและการจัดการและเก็บรักษาพารามิเตอร์ที่เหมาะสมช่วงจะวัดแต่ละส่วนประกอบของแต่ละระบบส่วนพารามิเตอร์ของผู้ใช้งานจะเกี่ยวข้องกับการตรวจสอบคุณสมบัติในการใช้งานที่พบในความเป็นจริงทั้งหมดและพารามิเตอร์นี้จะใช้วัดการตรวจสอบการทำงานของส่วนที่จัดไว้และใช้ค่าพารามิเตอร์หาจุดของปัญหาที่เกิดขึ้นแต่ในที่นี้เราจะพิจารณาพารามิเตอร์ที่มีความสัมพันธ์กับอัตราความผิดพลาดเท่านั้นส่วนใหญ่วิธีการวัดความแน่นอนของพารามิเตอร์จะอยู่ในรูปแบบของการแสดงอัตราความผิดพลาดซึ่งหาได้จากการนับหน่วยข่าวสารที่ผิด (NE) แล้ว หารด้วยจำนวนหน่วยข่าวสารทั้งหมด (NI) ในช่วงเวลาที่วัดได้ซึ่งค่าอันนี้จะนำไปใช้ในการประมาณความน่าจะเป็นของความเกิดความผิดพลาด โดยทั่วไปแล้วจำนวนข่าวสารที่รับจะมีรับจะเท่ากับจำนวนข่าวสารที่ส่งแต่ในระบบจะมีความเสียหายของข้อมูลในช่องสัญญาณและรูปแบบการจำลองผิดพลาดก็จะนับได้เหมือนกับการคำนวนอัตราความผิดพลาดมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเป็นไปได้ที่จะคำนวณเนื้อหาความเสียหายและจำลองหน่วยข่าวสารเพื่อหาความผิดพลาดข่าวสารดิจิตอลอาจจะตรวจสอบความผิดพลาดในหน่วยของบิต และอัตราบิตผิดพลาดโดยข่าวสารจะมีโครงสร้างเป็นตัวอักษร (CHARCTOR)หรือ บล๊อก (BLOCK) ในระบบส่วนใหญ่เปอร์เซนต์การเกิดบิตผิดพลาดในรูปตัวอักษรจะเกิดเป็นส่วนน้อย ดังนั้นอัตราความผิดพลาดจะแสดงในรูปของความผิดพลาดต่อตัวอักษรหรือบล๊อกที่ได้รับเข้ามาและอัตราความผิดพลาดที่เกิดขึ้นจะเปลี่ยนไปตามขนาดของตัวอักษรหรือบล๊อกรูปแบบการแสดงค่าอัตราความผิดพลาดจะต้องมีการกล่าวแนะนำด้วย บางระบบมีการบวกข่าวสารส่วนเกินเข้าไปในสัญญาณที่ส่งโดยอยู่ในรูปของการบวกบิทข่าวสารเรียกว่า พารตี้บิท (PARITY BIT) ซึ่งค่าของมันจะถูกกำหนดจากบิทของข่าวสารอื่นๆ ผลที่นำเอาพาริตี้บิทมาใช้คือมันจะถูกใช้แสดงการเกิดความผิดพลาดของข้อมูลซึ่งอัตราพาริตี้ผิดพลาด (PARITY ERRORBIT)สามารถแสดงได้เหมือนกับอัตราความผิดพลาดของบิท โดยการดีเท็คพาริตี้แล้วหารด้วยจำนวนบิททั้งหมด การวัดอัตราความผิดพลาด คือการแสดงจำนวนของการผิดลพาดที่เกิดขึ้นในช่วงของคาบเวลานั้นวิธีการหนึ่งที่เป็นไปได้ในการแสดงการกระจายคือ ช่วงเวลาอิสระที่เกิดความผิดพลาด (ERROR-FREE INTERVAL) ซึ่งจะวัดในช่วงเวลาที่เกิดความผิดพลาดตัวแรกถึงตัวต่อไปค่าช่วงเวลาที่ได้รับระหว่างเวลาที่ทำการวัดสามารถใช้เขียนกราฟแสดงเครื่องหมายระหว่างความผิดพลาดและช่วงเวลาที่เกิดความผิดพลาดสามารถวัดได้เหมือนการวัดบิทที่ผิดพลาดในช่วงเวลาหรือช่วงตัวอักษรหรือบล๊อกขึ้นอยู่กับความสะดวกของผู้ทำการวัด

2.4 การแสดงความผิดพลาด (ERROR MONITORS)

ในการแสดงความผิดพลาดที่เกิดขึ้น เราสามารถแบ่งได้ 4 แบบ

1. การแสดงความผิดพลาดโดยใช้สัญญาณทดสอบ(ERROR MONITOR USING SIGNALS)

2. การแสดงความผิดพลาดโดยการใช้พารามิเตอร์ (ERROR MONITORS MEANSURING PARAMETERS)

3. การแสดงความผิดพลาดโดยแยกจุดเสียหาย (ERROR MONITORS USING VIOLATION DETECTION)

4. การแสดงความผิดพลาดโดยการใช้การแสดงความผิดพลาดปลอม (ERROR MONITOR - USING PSEUDO-ERROR MONITORING)

โดยสัญญาณทดสอบ (TEST SIGNAL) คือ สัญญาณที่มีรูปแบบและระดับของสัญญาณที่รู้ รูปแบบใช้เพื่อทำการทดสอบและกะประมาณคุณสมบัติการใช้งานในระบบ หรือวัดอัตราความผิดพลาดสามารถทำการกะประมาณได้จากการวัดพารามิเตอร์ของสัญญาณซึ่งในการ

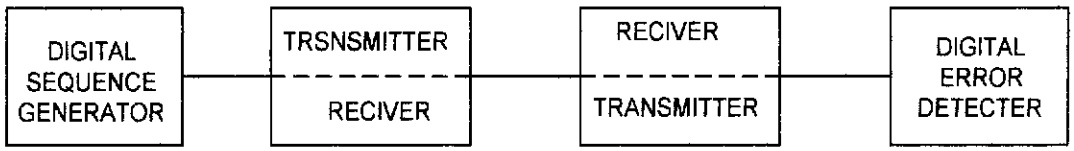
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัดพารามิเตอร์ตัวใดขึ้นอยู่กับแต่ละกรณีบ่อยครั้งที่ข้อมูลจะถูกทำการเข้ารหัสก่อนที่จะทำก่อนส่ง เวลาที่เกิดความผิดพลาดขึ้นจะทำให้รูปแบบสัญญาณเปลี่ยนไปเราจะทำการตรวจสอบจำนวนจุดที่ถูกทำลายไปจะกะประมาณความผิดพลาดที่เกิดขึ้นส่วนการแสดงความผิดพลาดในแบบที่ 4 นั้นจะพิจารณาทางเดินของสัญญาณที่รองลงมากับการควบคุมจำนวนของการรบกวนและทำการบวกความผิดพลาดที่ได้เพิ่ม ซึ่งจะมีความสัมพันธ์กับความผิดพลาดจริงๆจากการวัดอัตราความผิดพลาดปลอมจากแสดงความผิดพลาดในแต่ละแบบนั้นปริญญานิพนธ์ เล่มนี้เลือกพิจารณาเฉพาะการแสดงความผิดพลาดโดยใช้สัญญาณทดสอบ.

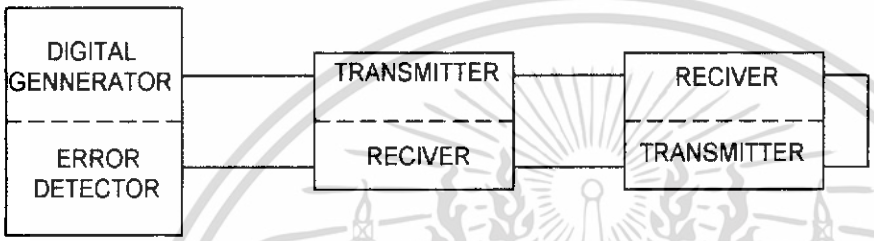
2.4.1การแสดงความผิดพลาดโดยการใช้การทดสอบลำดับ (ERROR MONITORING USINGYEST SEQUENCES)

ส่วนใหญ่วิธีการที่แน่นอนของการกำหนดคุณภาพข่าวสารที่ส่งออกไปยังเครื่องมือรับคือการเปรียบเทียบข้อมูลที่ได้รับกับข้อมูลที่ส่งซึ่งข้อมูลพิเศษที่รู้รูปแบบจะถูกนำมาใช้ในการทดสอบ หรืออาจจะใช้วิธีการป้อนกลับคือ ที่เครื่องรับจะทำการส่งข่าวสารที่ได้รับกลับมายังแหล่งกำเนิด การตรวจสอบทำได้โดยเปรียบเทียบสัญญาณที่ส่งและรับทำให้รู้จำนวนของการผิดพลาดที่ได้เกิดขึ้น ในระบบสื่อสารในการส่งข้อมูลทดสอบ (TEST- SEQUENCES) จะทำจากข้อมูลดิจิตอล (DIGITAL SQUENCE) โดยรวมให้ทางผ่านช่องสัญญาณจากแหล่งจ่ายถึงจุดทดสอบหรือสัญญาณตรวจสอบอนาล็อก (ANALOG TEST SQUENCE) จะใช้ตรวจสอบส่วนของช่องสัญญาณอนาล็อกเท่านั้น โดยใช้หลักการตรวจสอบ ตรวจสอบในแต่ละส่วนของการสื่อสารจะทำให้เราหาสาเหตุของงารเสื่อมลงในระบบแต่ละส่วน นี้คือความจำเป็นในการตรวจซ่อมระบบเกิดการเปลี่ยนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(A) ONE WAY CHANNEL TEST



(B) TWO WAY CHANNEL TEST

รูปที่2.5 แสดงการทดสอบระบบแบบต่างๆ

จากรูปที่2.5 แสดงย่านการตรวจสอบโดยใช้สัญญาณอนาล็อกและดิจิตอลตรวจสอบโดยการส่งแบบทิศทางเดียวแบบมีการป้อนกลับ ในการส่งแบบทิศทางเดียวจะต้องมีอุปกรณ์ทดสอบและผู้เชี่ยวชาญในการทำงานที่ปลายทางถ้าใช้แบบย้อนกลับจะสามารถทดสอบได้ไกลและแน่นอน

2.2.4 สัญญาณทดสอบแบบลำดับดิจิตอล (DIGITAL TEST SEQUENCES)

การทดสอบลำดับทดสอบแบบดิจิตอลหาค่าคุณสมบัติขนาดจำนวนการผิดพลาดในคาบเวลาหนึ่งสามารถที่จะตรวจจับการผิดพลาดที่ระยะไกลได้ ในระหว่างที่วัดอยู่นั้นอุปกรณ์กำเนิดสัญญาณและตรวจจับความผิดพลาดจะทำหน้าที่ส่งข้อมูลแทนในการวัดจำนวนความผิดพลาดโดยใช้สัญญาณการทดสอบแบบลำดับดิจิตอลแสดงผลโดยการกำหนดโครงสร้างในลำดับทดสอบหรือบันทึกสถานที่ที่เกิดความผิดพลาดการวัดโดยใช้ลำดับทดสอบดิจิตอลจะต้องรู้รูปแบบในการส่งข้อมูล ที่ด้านรับปลายทางจะเอาข้อมูลที่ได้มาเปรียบเทียบค่าที่ได้ออกมาเป็นผลการผิดพลาด รูปแบบของข้อมูลจะอ่านจากส่วนที่เก็บลำดับทดสอบทั้งทางด้านส่งและด้านรับ ตัวอย่างเช่น เทปหรือหน่วยความจำ แต่โดยทั่วไปจะใช้ รีจิสเตอร์ (REGISTER) ตัวอย่างของรูปแบบสัญญาณแสดงในรูปที่2.6 แต่ละตัวของรีจิสเตอร์จะเก็บ 1 หลักไบนารี่ (BINARY) เท่ากับที่มันป้อนเข้าทางอินพุทเมื่อป้อนสัญญาณนาฬิกาข้อมูลจะถูกเลื่อนไป และจะนำไปบวกกันกับบิทที่ป้อนกลับจาก

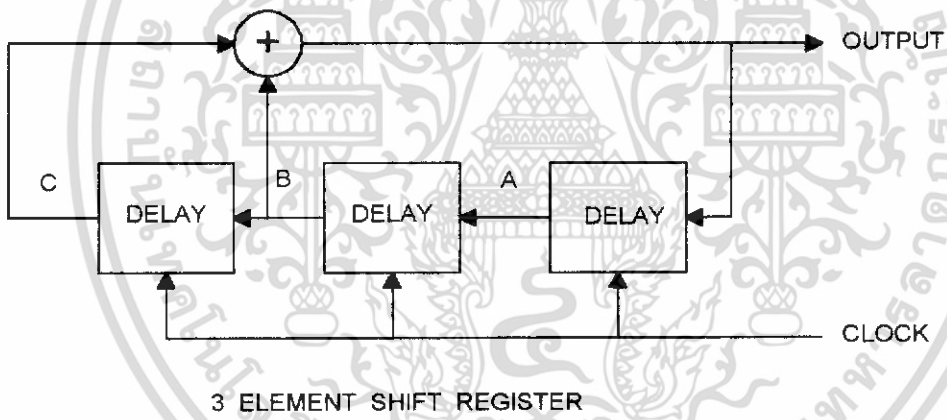
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทริจิสเตอร์หรือจากส่วน (STATE) อื่นๆ โดนใช้ตัวเลือกที่เหมาะสมของตำแหน่งสำหรับทำการป้อนกลับและบวกกัน มันจะให้คาบของการอนุกรมซึ่งจะเป็นจุดประสงค์ของการตรวจสอบที่สามารถพิจารณาได้ คาบของอนุกรมนี้จะกำหนดได้โดยN-STAGEของริจีสเตอร์คือ 2^n–1 คุณสมบัติอื่นๆ ของค่าคาบอนุกรมคือ

1 . จะมีซิฟทริจีสเตอร์ (SHIFT REGISTER)ที่ใช้งาน N บิทรวมกันยกเว้นจุดเป็นศูนย์รวมกันและคาบของอนุกรมคือ 2^n - 1

2 . แต่ละคาบเวลาของอนุกรมจะประกอบด้วย 1 หรือ 0 และจำนวนของ 1 และ 0 เกือบเท่ากันจะคาดว่าเป็นอนุกรมจริง

3 . การเรียงกันของอนุกรมคือ -1 / N สำหรับทุกเวลาที่เลื่อนยกเว้นเวลาที่เลื่อนไปที่ศูนย์ (SHIFT OF ZERO) ลักษณะเช่นนี้อนุกรมจะใกล้เคียงคุณสมบัติของไวท์นอยส์



รูปที่ 2.5.1 บล็อกไดอะแกรมการทำงานของวงจรกึ่งแรนดอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIME	VALUES AT POINTS			
	A	B	C	OUTPUT
0	1	1	1	0
1	0	1	1	0
2	0	0	1	1
3	1	0	0	0
4	0	1	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0
8	0	1	1	0
9	0	0	1	1
10	1	0	0	0
11	0	1	0	1
12	1	0	1	1

รูปที่ 2.6 แสดงตัวอย่างของแหล่งกำเนิด (PSEUDO RANDON SEQUENCE)

ถ้า N เพิ่มขึ้นอนุกรมก็จะใกล้เคียงความเป็นจริงมากขึ้น มาตรฐานที่กำหนดไว้ของความยาวคือ 62 , 511 , 2407 บิท สำหรับการส่งความเร็วต่ำในย่านความถี่เสียงสูงถึง 2 -3 ล้านบิทในการส่งที่มีความเร็วสูงอนุกรมที่ยาวๆจะทีค่าใกล้เคียงกับข้อมูลที่ส่งมากกว่าการผิดพลาดในการรับข้อมูลสามารถตรวจได้โดยจะต้องรู้รูปแบบในอนุกรมและตำแหน่งในการรับข้อมูลแต่ละส่วนของอนุกรมถ้ารูปแบบดิจิตอลที่ส่งและการตรวจวัดความผิดพลาดที่รับได้รวมกัน (ต่อแบบป้อนกลับ)และเกิดการหน่วงเวลาตลอดช่องสัญญาณจะเล็กกว่าเวลาที่ส่งข้อมูลในระบบส่งแบบทิศทางเดียวการตรวจสอบและการวัดบนช่องสัญญาณจะแสดงการหน่วงเวลา อย่างไรก็ตามมันมักจะมีอิสระจากอนุกรมที่จะส่งและตรวจจับการผิดพลาด แหล่งกำเนิดตัวในการส่งและรับมีการซิ้งค์ (SYNC) ข้อมูลที่ได้แบบฟอร์มที่แน่นอนในลำดับทดสอบ โดยเฉพาะรูปแบบ (PATTERN)ที่ยาวเป็นพันบิทนิยมใช้ชิฟริจีสเตอร์เครื่องมือในรูปที่ 7 ที่ภาครับเป็นออโต้ซิ้งค์ (AUTOSYNC) ในการเข้ารหัส (DECODER)การทำงานแบบนี้จะแสดงผลการกู้ข้อมูลได้รวดเร็วจากการเสียของซิ้งค์ถ้า

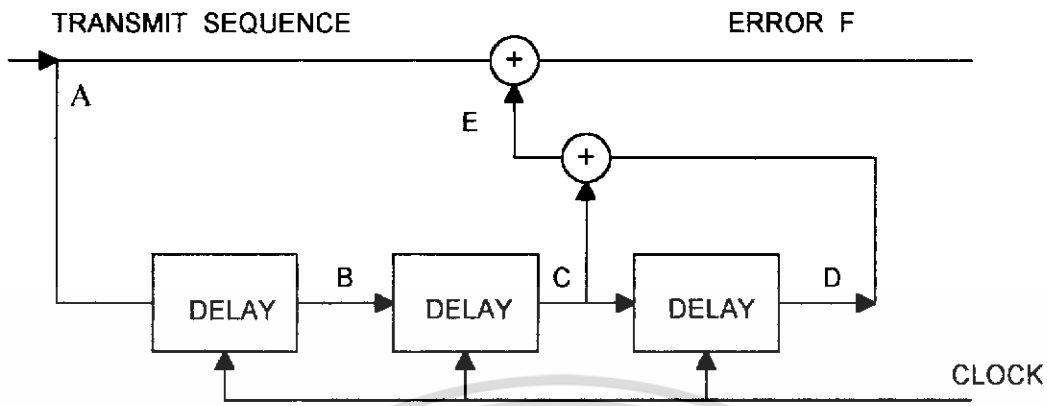
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สัญญาณถูกรบกวนไป 2-3 บิททั้งบิทที่ความผิดพลาดและถูกต้องจะถูกเข้ารหัสด้วยความผิดพลาดแต่ละส่วนในด้านรับข้อมูลเป็นเหตุให้จำนวนของการวัดการผิดพลาดเกิดขึ้นในการแยกความผิดพลาดเดี่ยวๆออกจากระบบ การวัดความผิดพลาดจะทำได้เมื่อเกิดการผิดพลาดจะแทปออฟ (TAPPED OFF)จากตัวเข้ารหัสนั้นถ้ามีเอ็กซ์แทป (X-TAPS) วงจรเข้ารหัสแต่ละความผิดพลาดข้อมูลที่ได้รับจะให้ X นับจำนวนและตามความผิด วงจรตรวจความผิดพลาดแสดงในรูปที่2.8เพื่อหลีกเหลี่ยงปัญหาของความผิดพลาดที่เกิดขึ้น โดยใช้วงจรเข้ารหัสเอาท์พุทในการแทนของข้อมูลที่เขามาอินพุทของวงจรเข้ารหัสการซิ้งค์โดยการใช้สวิทต์ต่อรีจิสเตอร์อินพุทต่อรับเอาท์พุทในระหว่างที่ก่อนอธิบายออโต้ซิ้งค์ N เซลล์ (N- CELLS) ของรีจีสเตอร์จะโหลดด้วยข้อมูลที่ผิดพลาดสวิทช์จะผลักไปที่ขั้วอื่นและเอาท์พุทของวงจรเข้ารหัสป้อนกลับมาที่อินพุท ถ้าชิฟรีจีสเตอร์โหลดข้อมูลที่มีความผิดพลาดในเวลานี้เอาท์พุทของวงจรเข้ารหัสจะซิ้งค์กับข้อมูลที่ได้รับและจะตรงโดยอนุกรมย่อย (SUB- SQUENT)ความผิดพลาดในอนุกรมรับผลที่ได้จะนต่อสัญญาณผิดพลาดอย่างไรก็ตามการเข้ารหัสจะไม่ซิ้งค์ใหม่ถ้ามีการใส่หรือเอาออกจากอนุกรมรับในกรณีนี้จะเกิดขึ้นได้ การทำงานของอุปกรณ์ตรวจสอบต้องใช้การโหลดด้วยมือหรือสวิทช์ซึ่งจะตรงข้ามกับแบบอัตโนมัติ (AUTOMATIC) การรีซิ้งค์ (RESYNC) จะไม่ต้องการระหว่างการทำงานเมื่อเกิดความผิดพลาดอย่างมากมายในการทำงาน ในโหมดการทำงานด้วยมือ (MUNUAL MODE) จะใช้ในการตรวจสั้นๆในการตรวจยาวๆต้องการความแน่นอนสูงใช้โหมดการทำงานแบบอัตโนมัติ (AUTOMATIC MODE)หลายครั้ง การแสดงผลจะอธิบายเมื่อรวมกับประโยชน์ของโหมดธรรมดาและโหมดอัตโนมัติการทำงานในการตรวจสอบจับความผิดพลาดใช้ออโต้รีซิ้งค์ (AUTORESYNC) เอาท์พุทเป็นรหัสของแพทเทิรนที่ผิดพลาด (ERROR PATTERN) ในการเข้ารหัสใช้วงจรรูปที่2.9 เป็นไปได้ที่เกิดเปลี่ยนความผิดพลาดในการถอดรหัสและทำให้เกิดแพทเทิรนที่ความผิดพลาดแทนที่แพทเทิรน ซึ่งเป็นข้อเสียของระบบความเร็วสูง เมื่อเพิ่มวงจรมันจะทำการรีซิ้งค์โดยอัตโนมัติในการตรวจสอบความผิดพลาดในโหมดธรรมดาเครื่องมือที่ใช้ควรจะวัดได้แน่นอนระดับ 2000 หรือมากกว่าการตรวจจับความผิดพลาดใน 10000 บิทของข้อมูลนี้

86864

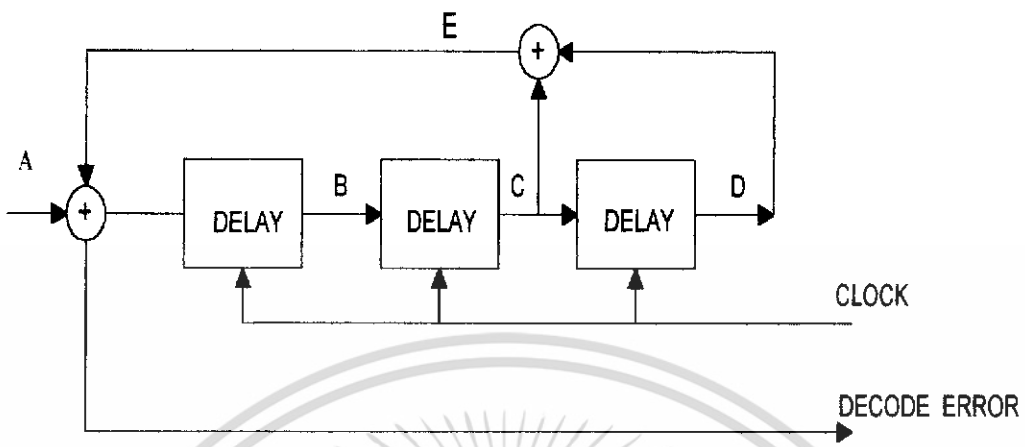
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME	VALUES AT POINTS						NOTES
	A	B	C	D	E	F	
0	0	0	0	0	0	0	TIME TO
1	0	0	0	0	0	0	LODE
2	1	0	0	0	0	1	SHIFT
3	0	1	0	0	0	0	REGISTER
4	1	0	1	0	1	0	
5	1	1	0	1	1	0	
6	0	1	1	0	1	1	
7	0	0	1	1	0	0	
8	0	0	0	1	1	1	ERROR
9	1	0	0	0	0	1	MULITPLI
10	0	1	0	0	0	0	CATION
11	1	0	1	0	1	0	
12	1	1	0	1	1	0	

รูปที่2.7 แสดงตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



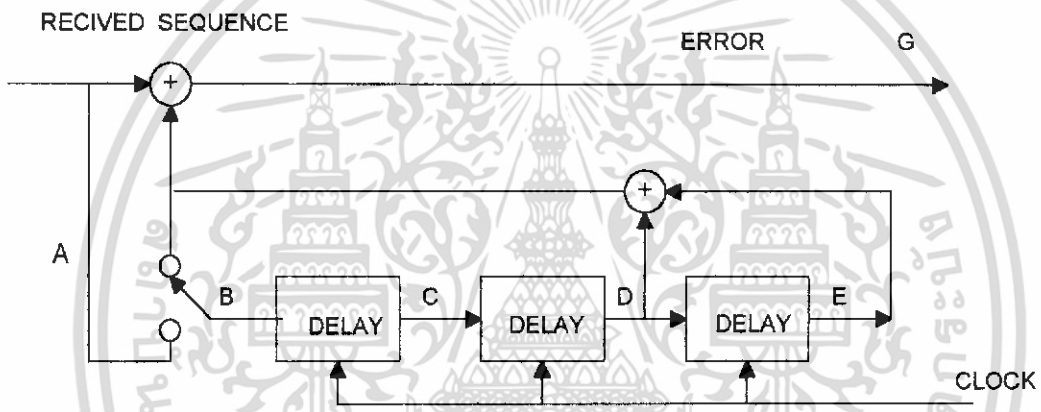
TIME	VALUES AT POINTS					NOTES
	A	B	C	D	E	
T	0	0	0	0	0	
T+1	0	0	0	0	0	
T+2	1	0	0	0	0	SIGLE
T+3	0	1	0	0	0	ERROR
T+4	1	0	1	0	1	DETECTED
T+5	1	0	0	0	1	
T+6	0	0	0	1	0	
T+7	0	0	0	0	0	
T+8	1	0	0	0	0	DOUBLE
T+9	1	1	0	0	0	ERROR
T+10	1	1	1	0	1	DETECTED
T+11	0	0	1	1	0	
T+12	1	0	0	1	1	

รูปที่2.8 แสดงตัวอย่างของวงจรแยกความผิดพลาดแบบซิ้งค์โครนัสธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควรจะกำจัดผลของการสูญเสียของซิ้งค์และการลดทอน

การนับจำนวนความผิดพลาด โดยอัตโนมัติการรีซิ้งค์จะประกอบด้วยค่าก่อนที่จะเสียซิ้งค์ โดยจะถูกปิดบังไว้เมื่อรีจีสเตอร์โหลดซึ่งเป็นผลที่ผิด เมื่ออัตราความผิดพลาดที่สูงมากๆ แน่นอนจะต้องระวังในการเข้าใจผิดในการทำการนับความผิดพลาด ข้อมูลที่แสดงการคาดคะเนของอัตราความผิดพลาดของอนุกรมทดสอบดิจิตอลจะส่งระยะที่ยาว ในการตรวจจับจำนวนสูงสุดของการผิดพลาดในรูปจะให้ข้อมูลเกี่ยวกับจำนวนของการนับบิทที่ผิดพลาดและจำนวนของบิทที่ถูกได้ในเวลาระหว่างการที่เกิดผิดพลาดการวัดย่านที่ผิดพลาดนี้สามารถยกเว้นได้ในระดับที่เมื่อจำนวนของความผิดพลาดเพิ่มขึ้นและย่านที่เชื่อถือได้ลดลงอย่างรวดเร็ว



รูปที่2.9 แสดงการแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ

การแสดงผลโดยใช้ลำดับทดสอบดิจิตอลสามารถตรวจจับความผิดพลาดได้เร็วและถูกต้อง ถ้าการผิดพลาดต่ำมันจะต้องการเวลามากที่จะได้ผลการวัดในการวัดจะอธิบายในการตรวจสอบเวลาโดยนับจำนวนของการผิดพลาดและจำนวนบิทที่รับ ได้จนกระทั่งเพียงพอรูปและตารางที่ให้จะยอมให้เชื่อถือได้ในระหว่างที่พบในแต่ละส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIME	VALUES AT POINTS								NOTES
	SW	A	B	C	D	E	F	G	
0	B	0	0	0	0	0	0	0	ERROR
1	B	0	0	0	0	0	0	0	LODE
2	B	1	1	0	0	0	0	1	SHIFT
3	B	0	0	1	0	0	0	0	REGISTER
4	A	1	1	0	1	0	1	0	
5	A	1	1	1	0	1	1	0	
6	A	0	1	1	1	0	1	1	
7	A	0	0	1	1	1	0	0	
8	A	0	0	0	1	1	0	0	ERROR
9	A	1	1	0	0	1	1	0	DETECTED
10	A	0	0	1	0	0	0	0	
11	A	1	1	0	1	0	1	0	
12	A	0	1	1	0	1	1	0	BIT SLIP
13	A	1	1	1	1	0	1	1	CAUSING
14	A	1	0	0	1	1	0	1	LOSS OF
15	A	0	1	0	0	1	1	1	SYNC

รูปที่ 2.9 แสดงการแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ

2.4.3 การวัดอัตราความผิดพลาดแบบบิท

ตามปกติสิ่งที่ชี้ถึงคุณภาพในการทดสอบระบบรับส่งสัญญาณดิจิตอลก็คือความผิดพลาดของบิทซึ่งสามารถแสดงได้หลายรูปแบบ เช่น ความผิดพลาดใน 1 วินาที (ERRORD SECONDS) ความผิดพลาดที่เป็นชุดหรือเป็นกลุ่ม (ERROR BLOCK)และค่าเฉลี่ยอัตราความผิดพลาดของบิทตามปกติค่าความผิดพลาดที่ใช้ในการวัดคุณภาพของระบบในข้อมูลจะเลือกให้เหมาะสมกับความผิดพลาดที่กำหนดไว้ในการออกแบบค่าความผิดพลาดโดยทั่วไปวัดได้ 2 แบบคือนอกการทำงาน (OUT OF SERVICE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

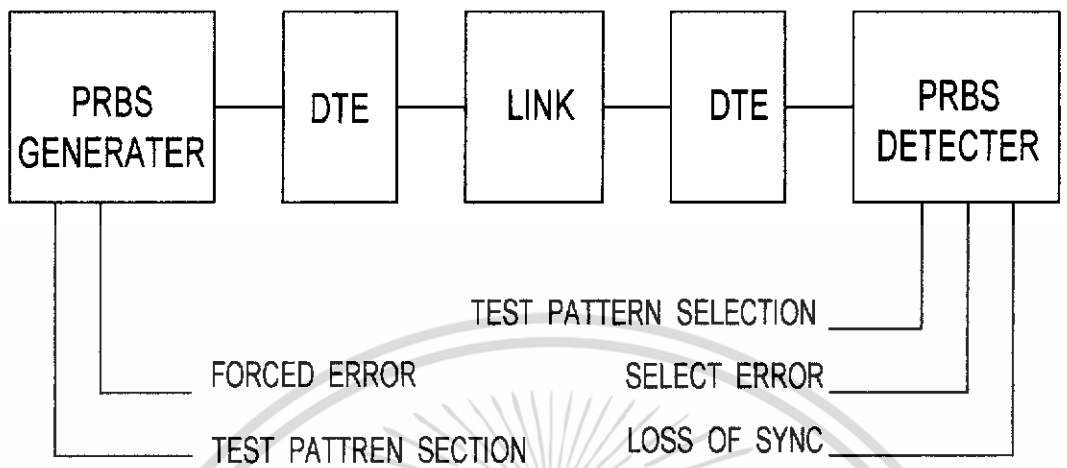
APPLICATION BIT RATE	PATTERN LENGTH	CCITT RECOMMENDATION (1.2)
20 Kb / S	2^{6-1}	V.52
20 - 72 Kb / S	2^{20-1}	V.57
1.544 Kb / S	2^{15-1}	0.151
2.048 Kb / S	2^{15-1}	0.151
6.312 Kb / S	2^{15-1}	0.151
8.448 Kb / S	2^{15-1}	0.151
32.064 Kb / S	2^{15-1}	0.151
34.368 Kb / S	2^{23-1}	0.151
44.736 Kb / S	2^{15-1}	0.151
139.264 Kb / S	2^{23-1}	0.151

ตารางที่ 1แสดงข้อเสนอแนะของ CCITT เพื่อวัดอัตราความผิดพลาดโดยใช้ PSEUDO RANDOM BINARY SQUDRENCES

และในระหว่างการใช้งาน (IN SERVICE)ในกรณีของการวัดนอกการใช้งาน ข่าวสารที่ใช้งานอยู่จะถูกแทนด้วยรูปแบบสัญญาณทดสอบที่รู้แน่นอนก็คือ สัญญาณ PRBS (PSEUDO RANDOM BINARY SEQUNDE) แทนข่าวสารที่ใช้งานอยู่ทางด้านรับสัญญาณทดสอบมาแล้วทำการเปรียบเทียบกับสัญญาณข่าวสารที่สร้างขึ้นโดยมีรูปแบบเหมือนกับสัญญาณข่าวสารทดสอบที่ส่งมาโดยเปรียบเทียบบิทต่อบิทซึ่งความแตต่างที่เกิดขึ้นก็คือความผิดพลาดของข้อมูลสัญญาณทดสอบที่สร้างขึ้นจะมีคาบเวลาที่ซ้ำกัน โดยมีค่าเท่ากับ 2^{n}-1 เมื่อ n คือจำนวนของชิฟรีจีสเตอร์ซึ่งจะเลือกให้เหมาะสมกับอัตราเร็วของข้อมูลนั้นๆ

รูปแบบทั่วไปสำหรับอัตราเร็วข้อมูลที่เป็นมาตรฐานนั้นแสดงไว้ตามตารางที่ 1 ดังนั้นการวัดนอกการใช้งานซึ่งไม่มีการรับส่งข่าวสารจึงเหมาะสมกับการทดสอบการตรวจสอบ และการทดลองระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



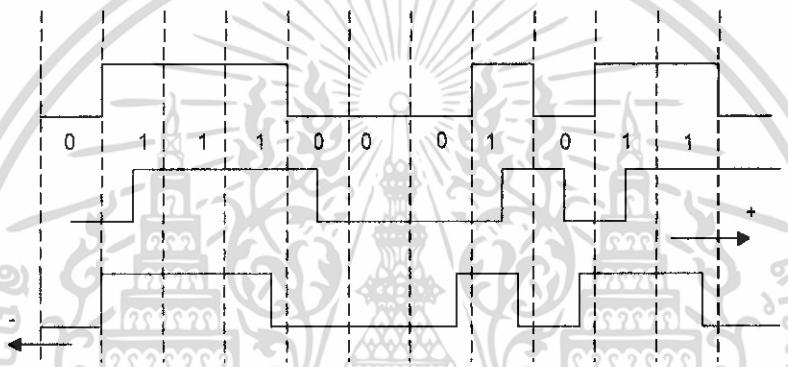
รูปที่2.10 แสดงหลักการวัด ความผิดพลาดของบิท

รูปที่2.10 เป็นรูปที่แสดงให้เห็นสำหรับการวัดความผิดพลาดของบิททางด้านส่งและรับแบบสัญญาณทดสอบ PRBS ที่กำหนดขึ้นมาและตัวตรวจจับก็จะเลือกรูปของสัญญาณที่ต้องการที่ด้านรับนั้นจะมีการเลือกรูปแบบของการวัดความผิดพลาดที่เกิดขึ้นซึ่งอาจจะเป็นความผิดพลาดทางพัลส์ค่าเฉลี่ยอัตราความผิดพลาดของบิท ความผิดพลาดในหนึ่งวินาทีหรือชุดความผิด โดยขึ้นอยู่กับการออกแบบ สำหรับการออกแบบอัตราความผิดพลาดของบิทการวัดความผิดพลาดด้านคุณภาพของเครื่องอาจแสดงให้เห็นด้วยสายตาและอาจอยู่ในรูปของการพิมพ์ออกมา โดยปกติแล้วชุดทดสอบจะมีความสามารถบางอย่างเช่นความสามารถในการใส่ความผิดพลาดทางด้านส่งสัญญาณ และแสดงให้เห็นถึงการหายไปของซิงโครไนซ์ (SYNCRONOUS) ได้ทางด้านรับการผิดพลาดอิสระ (ERROR FREE SECOND) เป็นรูปแบบหนึ่งของการวัดความผิดพลาดโดยการกำหนดเป็นเปอร์เซ็นต์ของความผิดพลาดที่วัดได้ในช่วงเวลาของ 1 วินาที การวัดความผิดพลาดทำได้ 2 อย่าง คือ แบบซิงโครนัส (SYNCRONOUS) และ (ASYNCRONOUS) ในลักษณะของซิงโครนัสความผิดพลาดจะถูกกำหนดว่าในช่วง 1 วินาทีหลังจากเกิดความผิดพลาดครั้งแรกแล้ว ข้อดีของซิงโครนัสก็คือ การวัดกระทำได้ด้วยเครื่องมือที่แตกต่างกันแต่อ่านค่าได้เหมือนกันบนเส้นเชื่อมโยงเดียวกัน ผลเสียก็คือ การวัดของซิงโคนัสค่าความผิดพลาดไม่เป็นไปตามผลของความผิดพลาดโดยตรงแต่ค่อนข้างจะเป็นค่าความผิดพลาดฟรีไทม์ (ERROR FREE TIME)ในแบบอะซิงโครนัสจะมีการตรวจสอบความผิดพลาดในแต่ละช่วงเวลา 1 วินาที ข้อดีทางแบบนั้นก็คือ ให้ค่าความผิดพลาดโดยตรง ข้อเสียก็คืออุปกรณ์ที่แตกต่างกันอาจต้องใช้วิธีวัดที่แตกต่างกันการวัดความผิดพลาดใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างการใช้งาน จะทำได้เมื่อรูปแบบของสัญญาณที่ใช้งานซ้ำกันอยู่เป็นประจำ สัญญาณนี้จะสามารถตรวจสอบความผิดพลาดนั้นได้ดังนั้นวิธีการตรวจสอบในระหว่างการใช้งานอยู่เป็นเพียงค่าความผิดพลาดโดยประมาณและผลที่ได้ก็ไม่ใช่การวัดที่แท้จริง วิธีนี้มีประโยชน์ในการตรวจสอบคุณภาพของอุปกรณ์ระหว่างที่ใช้ระบบงานอยู่ อย่างไรก็ตามการประเมินอัตราการผิดพลาดสามารถกระทำได้อย่างรวดเร็วเพียงพอ รูปแบบของการทดสอบในระหว่างการใช้งานสามารถใช้ควบคุมการทำงานของระบบสวิทช์ชิ่งที่สมบูรณ์

2.5 **จิตเตอร์** (JITTER)



รูปที่ 2.11 ความเบี่ยงเบนของสัญญาณเวลาซึ่งมีผลจากฐานเวลาที่ผิดพลาดไปรู้จักในชื่อของจิตเตอร์

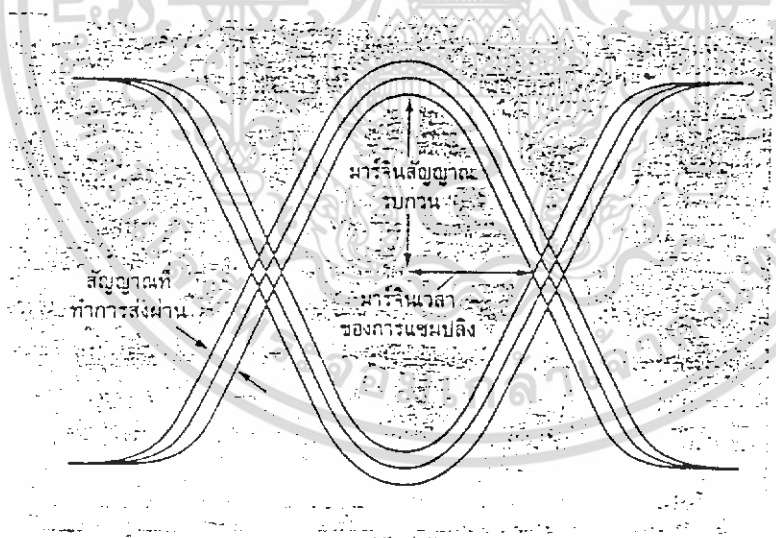
จากรูปที่ 2.11 จะช่วยให้มองเห็นความหมายของ จิตเตอร์ได้ดีขึ้นโดยที่ดิจิตตอลจิตเตอร์ (JITTER) อาจให้นิยามได้ว่าเกิดดจากการขจัดของเวลาของสัญญาณนาฬิกา เมื่อเทียบกับตัวอ้างอิงในแบบเดิมที่ปราศจากจิตเตอร์(JITTER) จากภาพรูปสัญญาณของสองสัญญาณด้านล่างเพียงแต่เกิดการเลื่อนของเวลาออกไปจากภาพบนเท่านั้นซึ่งแสดงให้เห็นถึงช่วงของเวลาของความไม่ แน่นอนซึ่งอาจคลาดเคลื่อนไปจากเวลาเดิมจิตเตอร์ (JITTER)อาจเกิดเป็นความคลาดเคลื่อนของเวลาในการเกิดขอบขาสัญญาณของพัลซ์ (เรียกว่า White - phase jitter) หรือมีความสัมพันธ์กับความกว้างของพัลซ์ของสัญญาณนาฬิกา (White FM jitter) หรือมีความสัมพันธ์กับเหตุการณ์ที่อาจเกิดขึ้นซ้ำๆ หรือเกิดเพียงครั้งเดียว (Correlated jitter)

วิธีการอย่างหนึ่งที่ใช้ในการวัดการตรวจสอบการเกิดจิตเตอร์ คือการวัดด้วยการใช้ออสซิลโลสโคปในการแสดงรูป อายแพทเทิร์น (EYE PATTERN) รูปดวงตา ดังรูปที่ 2 ซึ่งประกอบด้วยลูกคลื่นของสัญญาณดิจิตตอลหลายลูกซ้อนทับกันอยู่ ค่าแอมปลิจูดที่เปลี่ยนแปลงไปอย่างไม่ชัดเจนเกิดจากสัญญาณรบกวน ในขณะที่การเลื่อนตำแหน่งของสัญญาณแสดงถึงจิตเตอร์ (jitter) จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปจะเห็นว่าสัญญาณรบกวน จะปิดอายแพทเทิร์น (EYE PATTERN) ในแนวตั้งส่วนจิตเตอร์จะปิดในแนวนอน

จากรูปอายแพทเทิร์น (EYE PATTERN) แสดงให้เห็นการเปลี่ยนแปลงที่เกิดขึ้นกับสัญญาณแต่ด้วยวิธีการ ที่มีประสิทธิ์ภาพในการวิเคราะห์สัญญาณได้ดีกว่าคือ การป้อนข้อมูลเข้าเครื่อง FM demodulation ซึ่งถูกต่อเข้ากับเครื่องวิเคราะห์สเป็กตรัมที่สามารวิเคราะห์ฮาร์มอนิคของจิตเตอร์รวมทั้งแอมปลิจูดและความถี่ของการเกิดจิตเตอร์สุ่ม (Random Jitter) ซึ่งจะปรากฏเป็นแทบความถี่บรอดแบนด์ (Broadband Spectrum)และทำให้เกิดขั้นของสัญญาณรบกวน (NOISE FLOOR) ขึ้นในสัญญาณอนาล็อกที่ถูกสร้างใหม่จากสัญญาณดิจิตอล ในขณะที่สัญญาณจิตเตอร์รายคาบ (Periodic Jitter) จะเกิดเป็นสายสเปกตรัม (Spectrum Line) เส้นเดียวทางด้านความถี่ต่ำสำหรับการเลี่ยนแปลงสัญญาณนาฬิกาช้า ๆ หรือทางด้านความถี่สูงเมื่อมีการเปลี่ยนแปลงอย่างรวดเร็ว (สัญญาณที่ถูกสร้างขึ้นมาใหม่นั้นอาจประกอบด้วยการมอดูเลตทางความถี่ในแถบความถี่ด้านข้าง (FM sideband) หรือการมอดูเลตสัญญาณรบกวน (Modulation Noise) เครื่องมือสำหรับการวัดจิตเตอร์อาจบอกค่าเป็นระยะห่างระหว่างค่าสูงสุดต่ำสุด - ต่ำสุด (peak - to -peak)



รูปที่ 2.12 รูปอายแพทเทิร์นแสดงสัญญาณรบกวนและการเบี่ยงเบนของเวลาในสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

มาตราฐานการวัดอัตราการผิดพลาดของข้อมูล (G.821)

G.821 คือข้อกำหนดของ CCITT ที่เป็นกฎการแปลงจำนวนความผิดพลาดของบิทข้อมูล และอัตราบิทเออร์เรอร์เรท (BER) ให้เป็นผลลัพธ์ที่เข้าใจง่าย ตัวอย่างเช่น ถ้าทราบว่าเกิดการผิดพลาดของบิทข้อมูลขึ้น 30408 บิทและมีค่าบิทเออร์เรอร์เรท (BER) เท่ากับ 3.67E-04 จะเห็นว่าเป็นค่าที่เข้าใจง่ายและอธิบายยาก ซึ่งจะทำให้ไม่รู้ว่าระบบที่ทดสอบดีหรือไม่ดี แต่ผลจาก CCITT Rec.G.821 จะเป็นผลที่เข้าใจง่ายและสามารถนำผลการวัดที่ได้มาเทียบกับค่ามาตราฐานที่กำหนดก็จะทำให้ทราบว่าระบบที่วัดมีคุณภาพดีหรือไม่

ตามข้อกำหนดของ CCITT Rec.G.821 นั้นสามารถแยกเวลาในการวัดทั้งหมดออกเป็น 2 ส่วน คือ ช่วงเวลาที่ใช้ได้ (Available seconds) และ ช่วงเวลาที่ใช้ไม่ได้ (Unavailable seconds) โดยเวลาที่เราใช้ในการวัดทั้งหมด นับจากแพทเทริน์ (Pattern PRBS) เริ่มการทำงานพร้อมกันจนสิ้นสุดการวัดตามรูป และค่าต่างๆ ที่สำคัญในข้อกำหนดของ CCITT ข้อกำหนด G.821 มีดังต่อไปนี้

ช่วงเวลาที่ใช้ได้ (Available Time)

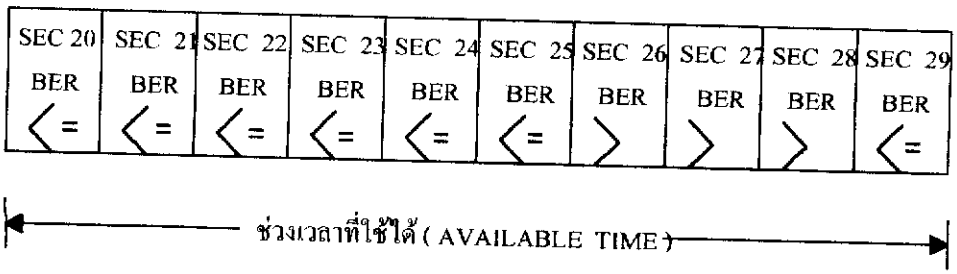
สำหรับในช่วงเวลาที่ใช้ได้ (Available Time) นั้นยังสามารถแยกออกเป็นค่าต่างๆ คือ

ERROR FREE SECOND (EFS) คือเวลาใน ช่วงเวลาที่ใช้ได้ (Available Time) ที่ไม่มีความผิดพลาดของข้อมูลเกิดขึ้นเลยใน 1 วินาที

ERROR SECOND (ERROR SEC) คือเวลาในช่วงเวลาที่ใช้ได้ (Available Time) ที่เกิดความผิดพลาดของข้อมูลขึ้นอย่างน้อย 1 บิทใน 1 วินาที

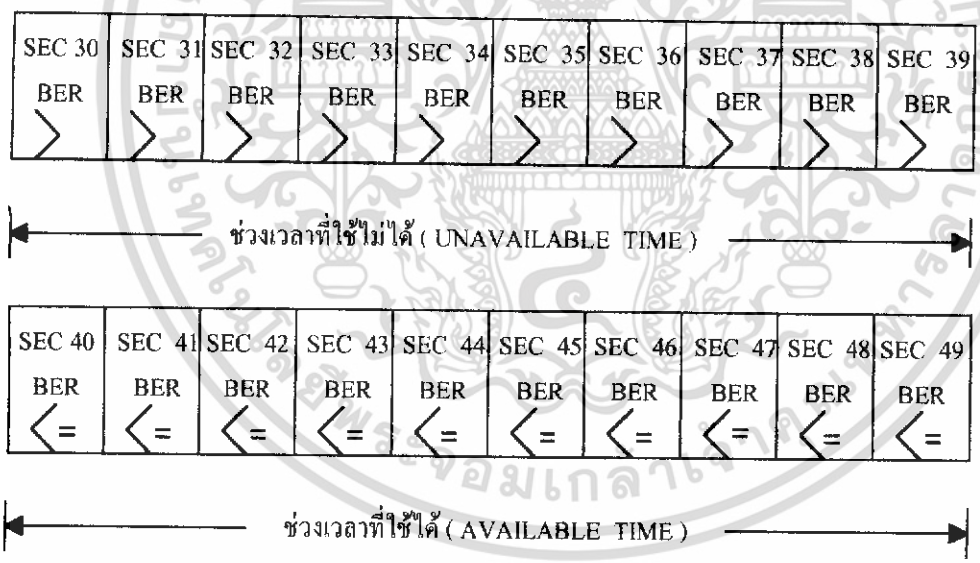
SEVERYLY ERRORED SECONDS (SES) คือเวลาในช่วงเวลาที่ใช้ได้ (Available Time) ที่มีค่าบิทเออเรอเรท (BER) เลวกว่า 10^{-3} ใน 1 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ช่วงเวลาที่ใช้ไม่ได้ (Unavailable Time)

ช่วงเวลาที่ใช้ไม่ได้ (Unavailable Time) คือช่วงที่เกิดบิทเออเรอเรท (BER) เลวกว่า 10^{-3} ติดต่อกัน 10 วินาที เราจะนับ 10 วินาทีที่เกิดบิทเออเรอเรท (BER) เลวกว่า 10^{-3} ถือว่าเป็น ช่วงเวลาที่ใช้ไม่ได้ (Unavailable Time) แต่เมื่อบิทเออเรอเรท (BER) ที่เกิดขึ้นดีกว่า 10^{-3} หรือไม่มีความผิดพลาดเกิดขึ้นหรือบิทเออเรอเรท (BER) เลวกว่า 10^{-3} แต่ไม่ต่อเนื่องกันนานถึง 10 วินาทีถือว่าเป็น ช่วงเวลาที่ใช้ได้ (Available Time)



ค่าเวลาเฉลี่ย {Degraded Minutes (DEG MIN)}

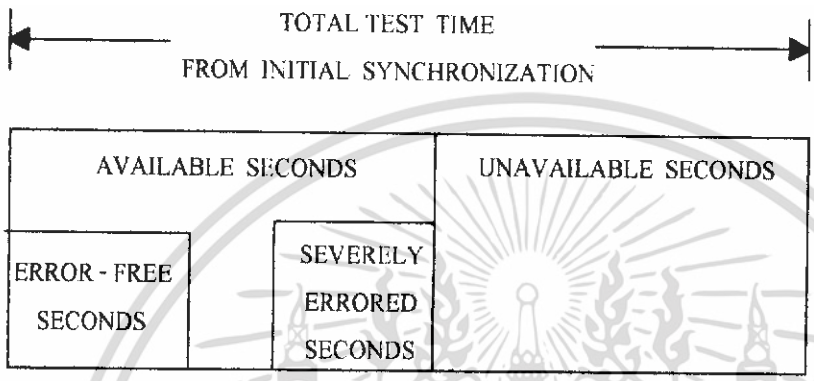
DEG MIN คือค่าเฉลี่ยของบิทเออเรอเรท (BER) ของช่วงเวลาที่เกิดขึ้นใน 60 วินาที หรือ 1 นาทีที่มีค่าบิทเออเรอเรท (BER) เท่ากับ 10^{-6} หรือเลวกว่า โดยช่วงเวลา 1 นาทีได้มาจากการนำ[เวลาต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องกัน 60 วินาที โดยหัก UNA SEC และ SES ออกจากเวลาที่วัดทั้งหมดช่วงเวลาที่ใช้ได้ (Available Time) และ ช่วงเวลาที่ใช้ไม่ได้ { Unavailable Seconds (UNA SEC) }

ช่วงเวลาทั้งหมด = ช่วงเวลาที่ใช้ ได้ทั้งหมด + ช่วงเวลาที่ใช้ไม่ได้ทั้งหมด

(TOTAL SECONDS = TOTAL AVL SEC + TOTAL UNAVL SEC)



รูปที่ 3.1 แสดงช่วงเวลาทั้งหมดที่ใช้ได้และช่วงเวลาที่ใช้ไม่ได้

ขั้นตอนในการทดสอบความผิดพลาด

1. ต่อพอร์ตที่จะวัดเข้ากับอุปกรณ์ทดสอบที่สามารถวัดได้ตามมาตราฐาน CCITT ตามข้อกำหนด G.821
2. ตั้งข้อมูลกึ่งแรนดอม Pseudo - Random Bit Sequence (PRBS) ที่เหมาะสมที่กำหนดตาม ITU - T ตามข้อกำหนด 0.151 คือ $2^{15} - 1$ สำหรับระบบที่มีความเร็วต่ำเช่น 2 เมกะบิตต่อวินาทีและ $2^{23} - 1$ สำหรับระบบที่มีความเร็วสูง เช่น 35,45 และ 140 เมกะบิตต่อวินาทีตามลำดับ
3. แทรก (inject) บิตที่ผิดพลาดจากปลายด้านหนึ่งไปสู่ปลายอีกด้านหนึ่ง เพื่อเช็คดูว่าทั้งสองด้านวัดอยู่ที่พอร์ตเดียวกันหรือเปล่าโดยทำสลับกันทั้งสองด้าน
4. วัดความผิดพลาดทุกๆ 15 วินาทีตามมาตราฐาน CCITT ข้อกำหนด G.821
5. การวัดควรจะไม่มีความผิดพลาดของบิตข้อมูล, พายุแม่เหล็กไฟฟ้า, การเกิดช่วงเวลาที่ใช้ไม่ได้ (UNAVAILABLE TIME) เกิดขึ้นในระหว่างการทดสอบ 15 นาทีถ้ามีเหตุการณ์ดังกล่าวเกิดขึ้น ถือว่าการทดสอบล้มเหลวจะต้องหาสาเหตุกันต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตรวจวัดคุณภาพของระบบการส่งสัญญาณดิจิตอล

ปัจจุบันระบบการสื่อสารสัญญาณระบบดิจิตอลได้มีบทบาททางด้านการสื่อสารโทรคมนาคมแทบทุกสื่อไม่ว่าจะเป็นทางสายนำสัญญาณ (CABLE) เช่น สายนำสัญญาณโคแอกเชียล (Coaxial Cable) หรือสายนำสัญญาณไฟเบอร์ออฟติก (Opical Fiber Cable) หรือทางคลื่นความถี่วิทยุ (Radio) เช่นการเชื่อมต่อสัญญาณดิจิตอลผ่านไมโครเวฟ (Digital Microwave Link) หรือทางระบบดาวเทียม (Satelite) และได้มีการพัฒนาเทคโนโลยีใหม่ ๆ เพื่อให้ระบบดังกล่าวมีประสิทธิภาพสูงสุดอย่างไม่หยุดยั้งมาตลอดเวลา

แต่สิ่งสำคัญไม่ควรมองข้ามคือคุณภาพของระบบการรับส่งสัญญาณ (Transmission) การที่จะตรวจสอบดูว่าระบบการรับส่งสัญญาณที่มีคุณภาพดีเพียงใดนั้น ก็สามารถพิจารณาได้จากการผิดพลาดของบิตข้อมูล (Bit error) ที่ทำการรับส่งที่เกิดขึ้นในระบบดังกล่าวโดยที่สามารถวัดค่าความผิดพลาดของบิตข้อมูลได้ตามข้อกำหนดของ CCITT ในข้อกำหนด G.821 ซึ่งเป็นข้อกำหนดสำหรับระบบการรับส่งสัญญาณแบบ PDH (Plesiochronous Digital Hierarchy) และในรูปก็แสดงให้เห็นวิธีการส่งสัญญาณหลายวิธีดังได้กล่าวมาข้างต้น

สาเหตุหลักของการเกิดความผิดพลาดของบิตข้อมูล

สาเหตุสำคัญที่ทำให้เกิดความผิดพลาดของบิตข้อมูลและเป็นผลทำให้การสื่อสารข้อมูลไม่เป็นผลสำเร็จหรือถ้าหากสำเร็จอาจมีความผิดพลาดเกิดขึ้นหลังจากที่รับข้อมูลทั้งหมดมาประมาลผลแล้ว ส่วนหลัก ๆ จะแยกออกได้ 4 ประการดังนี้

1. **อุปกรณ์เสีย**

หลาย ๆ ครั้งที่มีความผิดพลาดเกิดขึ้นในทุก 2 เมกะบิตต่อวินาที มีสาเหตุมาจากอุปกรณ์เสียหรือนำอุปกรณ์ไปใช้ไม่ถูกที่ ข้อผิดพลาดที่เกิดจากอุปกรณ์เสียนั้น นอกจากจะทำให้เกิดความผิดพลาดของบิตข้อมูลแล้วยังเป็นสาเหตุที่ทำให้เกิดความผิดพลาดทางรหัส (Code Errors) ความผิดพลาดทางเฟรม (FAS(frame) errors) ความผิดพลาดในการกระโดดข้ามของข้อมูล (excessive jitter) และการเลื่อน (slip) ของข้อมูลดังตัวอย่างเช่น ค่าความผิดพลาดทางรหัสสามารถเกิดขึ้นเนื่องจากวงจร recovery clock ของอุปกรณ์ทวนสัญญาณ (reperater) เสียเป็นต้น

2. **การเชื่อมต่อที่ไม่ถูกต้อง**

สาเหตุอีกอย่างหนึ่งของความผิดพลาดในการสื่อสัญญาณเกิดขึ้นจากการเชื่อมต่อที่ไม่ถูกต้อง ตัวอย่างเช่นการเกิดความผิดพลาดเป็นช่วง ๆ (intermittent error) เกิดจากชิ้นส่วนหรือการเชื่อมต่อของสายเคเบิลหลวมหรือหลุดออก และความผิดทางค่าเวลา (Timing error) เกิดจากการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อสัญญาณนาฬิกาที่ไม่เหมาะสมเข้าด้วยกัน ส่วนการเกิดความผิดพลาดเล็ก ๆ น้อย นั้นส่วนใหญ่เกิดจากการไม่ได้ต่อกราวด์หรือต่อกราวด์ไม่ดีเป็นต้น

3. สภาพแวดล้อม

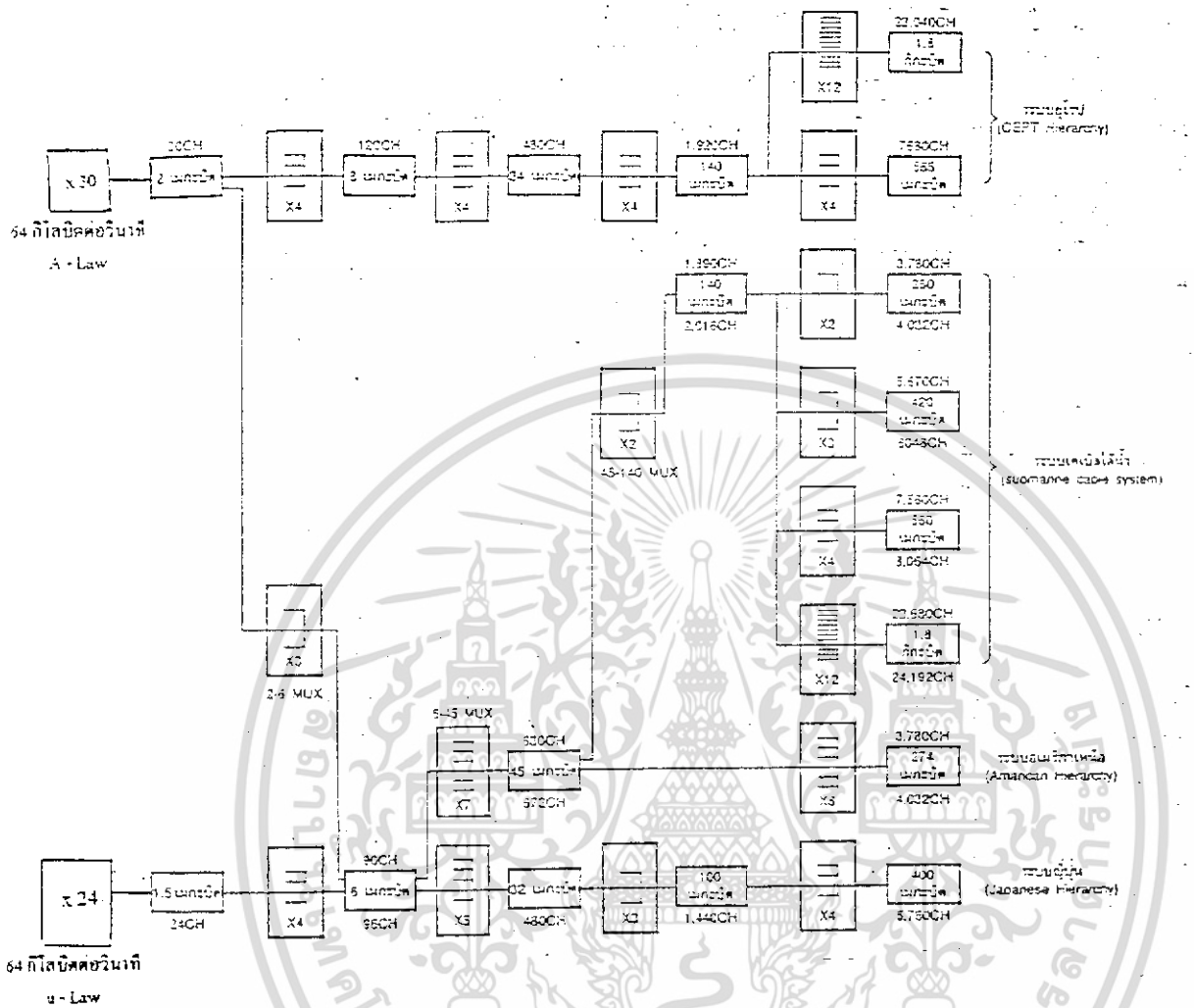
การติดตั้งอุปกรณ์ในที่ ๆ เหมาะสมจะทำให้หลีกเลี่ยงการเกิดความผิดพลาดที่เกิดจากสภาพแวดล้อมได้สาเหตุของสภาพแวดล้อมที่ทำให้เกิดความผิดพลาดมีอยู่มากมาย เช่นพายุแม่เหล็กไฟฟ้า (Electric Storms), สายไฟฟ้า (Power Line), สัญญาณรบกวนแม่เหล็กไฟฟ้า (Electric noise) การแทรกแซง (Interference) และการข้ามช่อง (Crosstalk) ระหว่างเส้นทางการสื่อสาร (Transmission Link) ซึ่งเป็นสาเหตุในการเกิดความผิดพลาดหลายอย่างคือ ความผิดพลาดทางลอจิก (Logic errors), ความผิดพลาดในเฟรมและความผิดพลาดทางรหัสด้วย

4. การใช้ข้อมูลพิเศษ

รูปแบบของข้อมูลที่เฉพาะเจาะจงหรือข้อมูลพิเศษที่ส่งซ้ำ ๆ นั้น สามารถทำให้อุปกรณ์เกิด Pattern-Dependent Jister และความผิดพลาดของรหัสขึ้น แต่เหตุการณ์นี้จะไม่เกิดขึ้นในการทดสอบระบบสายส่งที่แต่ละส่วน (Test Transmission Path) เมื่อทำการส่งรูปแบบการรบกวนแบบสุ่ม (patterns pseudorandom) มาตรฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรวจวัดคุณภาพระบบการส่งสัญญาณดิจิตอล

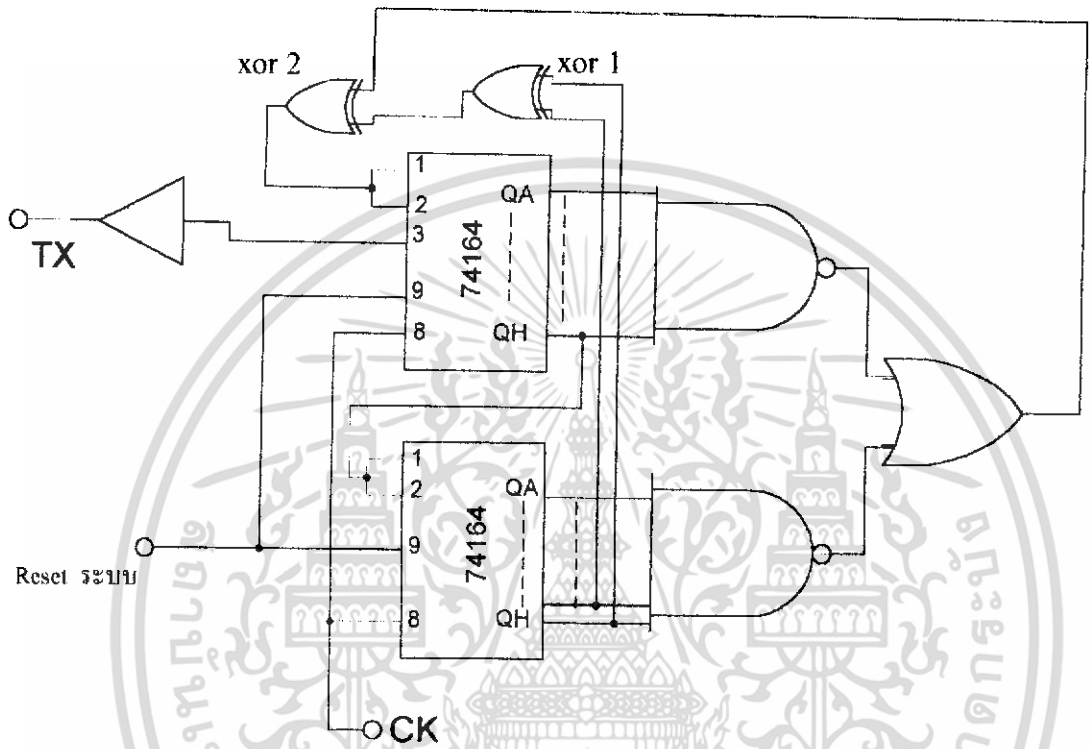


รูปที่ 3.2 แสดง HIERARCHY แบบดิจิตอลระบบต่างๆ

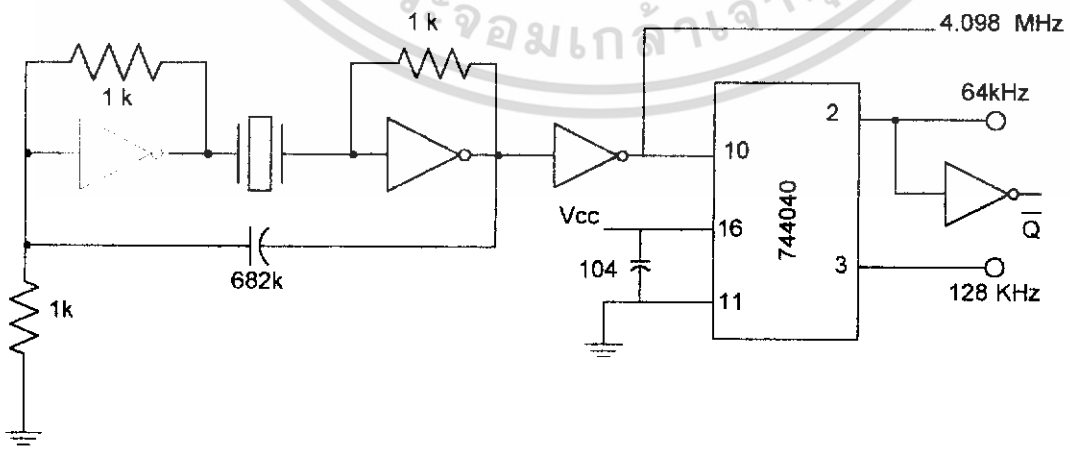
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบเครื่องวัดอัตราผิดพลาด

4.1 วงจรกำเนิดสัญญาณกึ่งแรนดอม



รูปที่ 4.1 วงจรกำเนิดสัญญาณกึ่งแรนดอม (PRBS)



รูปที่ 4.2 วงจรกำเนิดสัญญาณนาฬิกา (Clock)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรกึ่งแรนดอม (PRBS)

เมื่อเริ่มเปิดเครื่อง (Reset ระบบ) สภาวะแรกของฟลิปฟลอบ (Flip Flop) คือ 0 ทำให้มี ป้อนกลับ (feed back) กลับเป็น 1 และสภาวะที่ได้จากเอ็กคลูซิพออเกท (Exclusive OR gate) ตัวที่ 1 มีผลเป็นศูนย์ และผลที่ป้อนกลับ (Feedback) ที่เข้าเอ็กคลูซิพออเกท (Exclusive OR gate) ตัวที่ 2 เป็นเสมือนอินพุทของฟลิปฟลอบ (Flip Flop) จะได้ลอจิก (Logic) "1" ทำให้เอาไปเก็บไว้ที่ รีจีสเตอร์ (Register) ต่อไปเพื่อทำการชิฟ (Shift) โดยสัญญาณคล็อก (clock) ต่อไป

ในบางสภาวะเอาพุท (output) ทั้งหมดอาจเกิด "1" ขึ้นได้เนื่องจากไฟกระชากแรงๆ หรือมี อิมพัลซ์ (Impulse) ทำให้เกิดสภาวะที่ฟลิปฟลอบ (flip flop) เป็น "1" ทุกตัวเมื่อเป็น "1" ทุกๆ ตัวมีวิธีแก้ดังนี้ เอาทุกสภาวะมาเข้าแนนเกท (NAND GATE) กันแล้วเอามาเข้าออเกท (OR GATE) กันอีกทีจะได้ลอจิก (Logic) "0" ซึ่งเท่ากับว่าไม่ต้องการให้เอ็กคลูซิพออเกท (Exclusive OR gate) ตัวที่ 2 กลับสัญญาณ ทำให้ผลที่ได้จากเอ็กคลูซิพออเกท (Exclusive OR gate) ตัวที่ 1 เหมือนเดิมคือ "0" เป็นผลให้สามารถเอา "0" ไปเก็บไว้ในรีจีสเตอร์ (Register) ต่อไปได้และผลที่ตามมาหลังจากที่ ชิพ (Shift) "0" ซึ่ง "0" ที่เก็บออกมาเป็นผลทำให้การป้อนกลับ (feed back) มีผลเป็น "1" เป็นผลให้มีสภาพการทำงานเหมือนเริ่มต้นการนับหนึ่งใหม่นั้นเอง

4.2 การทำงานของภาคซิ้งค์

เริ่มแรกการทำงานของวงจรเริ่มจากเมื่อกดสวิทช์รีเซต (Switch Reset) ระบบทำให้วงจรกึ่งแรนดอม (PRBS)เริ่มผลิตข้อมูลแบบแรนดอมออกมาและขณะเดียวกันก็เป็นการรีเซต (Reset)วงจรนับทั้งหมดเมื่อวงจรกึ่งแรนดอมถูกส่งมาที่ภาครับ { ขอเรียกว่า Data (ข้อมูล) } จากการรีเซต ครั้งแรกทำให้เอาพุท (output) ของฟลิปฟลอบ (Flip Flop) 3 เป็น "0" ทำให้วงจรนับ (Counter) { D Flip Flop 4 , 5 } ไม่ทำงานเป็นการปิดวงจรนับก่อนแต่เมื่อมีข้อมูล (Data) เข้ามาจะมีวงจรต่างๆทำงานดังต่อไปนี้

1. วงจรนับคล็อก (Clock) 128 Ck ทำการนับคล็อก (ck) จนกว่าจะครบ 128 ลูก เพื่อที่จะรีเซต (Reset) วงจรนับ (วงจรนับ 64 k error)
2. หากข้อมูล (Data) เข้ามาทำการเปรียบเทียบ (Compare) ตรงกับข้อมูลด้านส่ง (ข้อมูลฐาน) จะทำให้วงจรนับ 24 ซิ้งค์ (sync) ทำงานวงจรนี้จะทำการนับพัลซ์ที่ทั้งภาคส่งและภาครับเปรียบเทียบ (compare) ตรงกันแต่ต้องมีข้อมูลตรงกัน 24 ลูกติดๆกันเมื่อครบ 24 ลูกเอาพุท (output) ของวงจรนี้คือที่ขา 8 ของตัวที่ 1 ไปแลตช์ (Latch) เอาพุทของแอนเกต (AND GATE) 3 ให้มีสภาวะของลอจิก (Logic) "1" ทำให้วงจรนับเริ่มทำงาน แต่หากขบวนพัลซ์ในขา

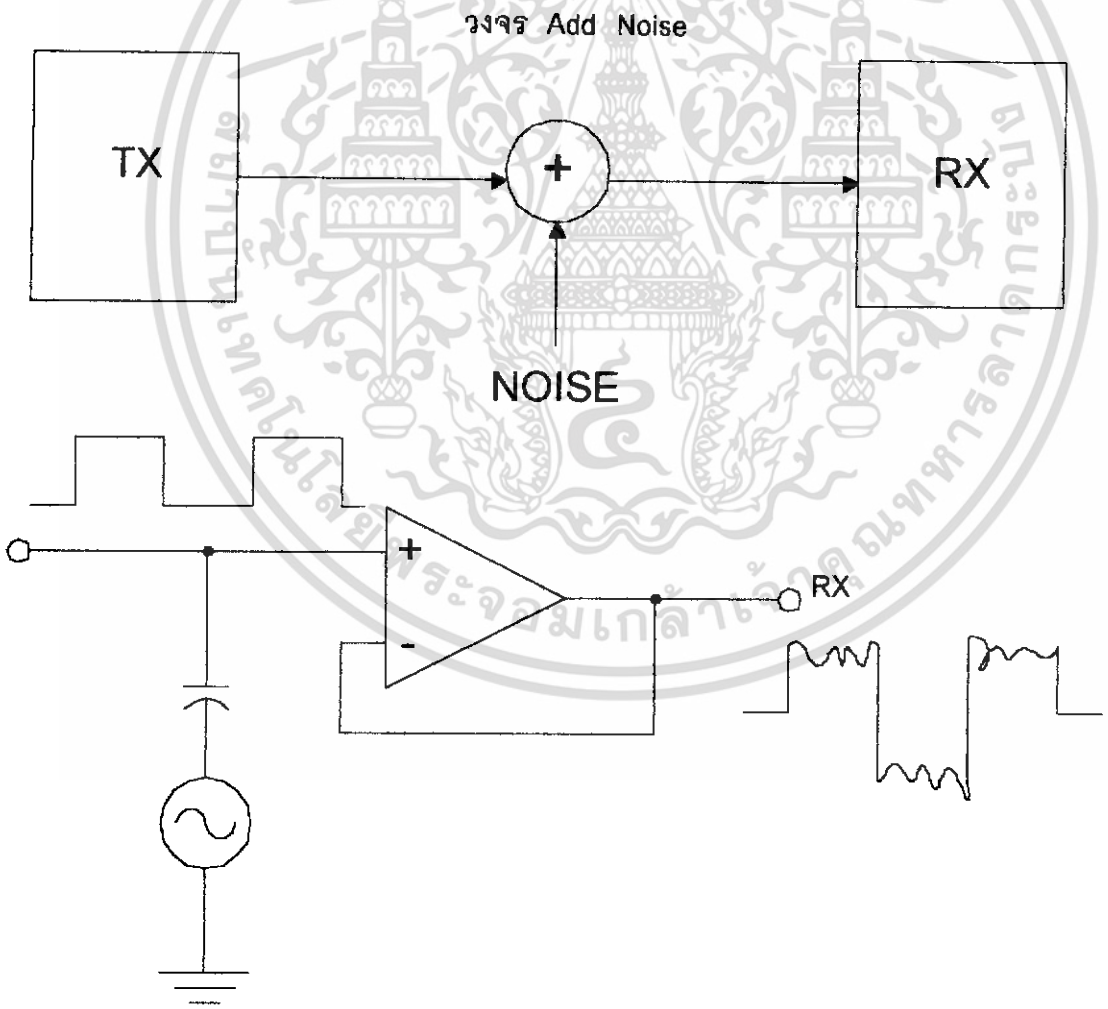
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าที่เข้าทางวงจรนับ 64 มี "0" เข้าทำให้ไม่สามารถทำให้วงจรนับทำงานได้ (สัญญาณพัลซ์ที่ด้านส่งและด้านรับตรงกัน 24 ลูกติดกันต่อไปขอเรียกว่า สัญญาณซิ้งค์)

3. หากวงจรนับทำงานเมื่อมีข้อผิดพลาด (ERROR) ต่างๆเข้ามาจะเข้าวงจรนับข้อผิดพลาด (ERROR) ที่วงจรนับ 64 พัลซ์และเข้าที่วงจรนับอินพุท (Input) ของแอนเกท (AND GATE) 4 แต่มีข้อแม้ว่าวงจรนับ 64 พัลซ์นั้นหากใน 128 คล็อก (clock) มีข้อผิดพลาด (ERROR) เข้ามา 64 พัลซ์ จะทำให้เอาพุทของวงจรนับ 64 ไปรีเซต (Reset) ระบบใหม่ { ขอเรียกว่าการรีซิงค์ (Resync) }

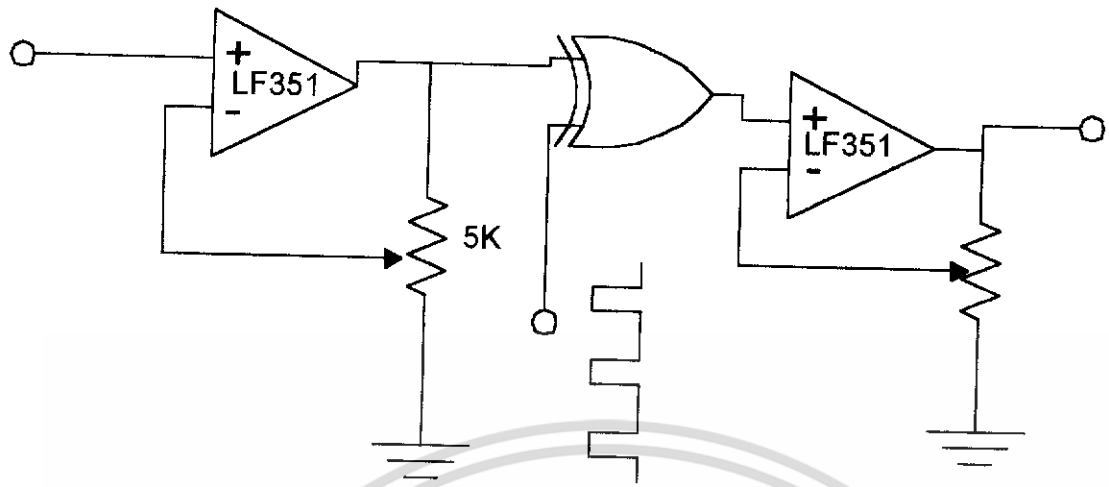
   สาเหตุจากข้อ 3 เนื่องมาจากมีข้อผิดพลาด (ERROR) ในระบบมากเกินไปหรือเกิดคล็อกจิตเตอร์ (clock jitter) ระหว่างสายส่งต่างๆ ดังนั้นเราต้องทำการรีซิงค์ (Resync) ใหม่

4. เมื่อรีซิ้งค์ (Resync) ใหม่ระบบต่างๆก็จะเหมือนกับเรากดสวิทซ์รีเซต (Switch Reset) ก็จะทำงานดังขั้นตอนที่กล่าวมาแล้ว



รูปที่ 4.3 วงจรทดสอบสัญญาณพัลซ์ (TEST PULSE)

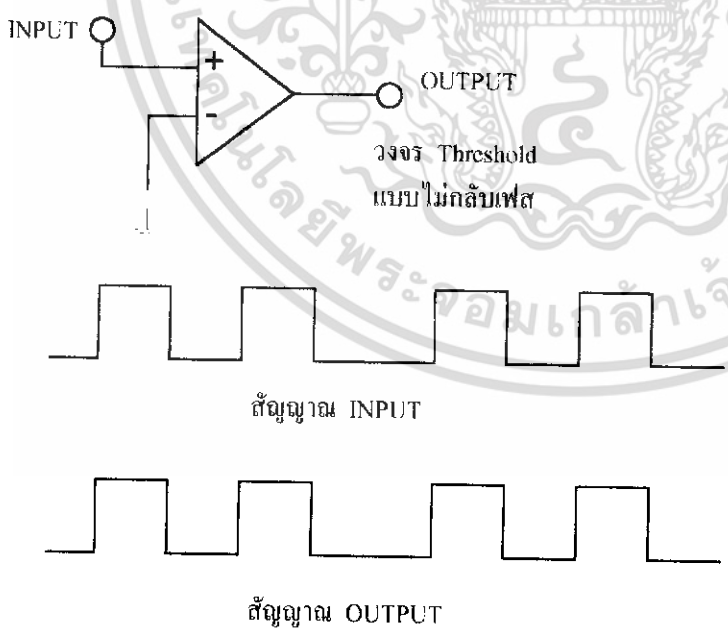
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรทดสอบสัญญาณพัลซ์

4.3 การทำงานของวงจรทดสอบพัลซ์ (TEST PULSE)

เมื่อมีพัลซ์ (PULSE) เข้ามาที่อินพุท (INPUT) ของไอซีเบอร์ 7486 ทำให้พัลซ์ (PULSE) นี้ไปกลับเฟสบิทของข้อมูล (DATA) ที่ส่งมาสามารถทำการทดสอบ การรับข้อมูล (DATA) ที่ด้านรับเป็นช่วงๆได้ {เพื่อทำการทดสอบภาครับและภาคนับข้อผิดพลาด (COUNTER ERROR)}



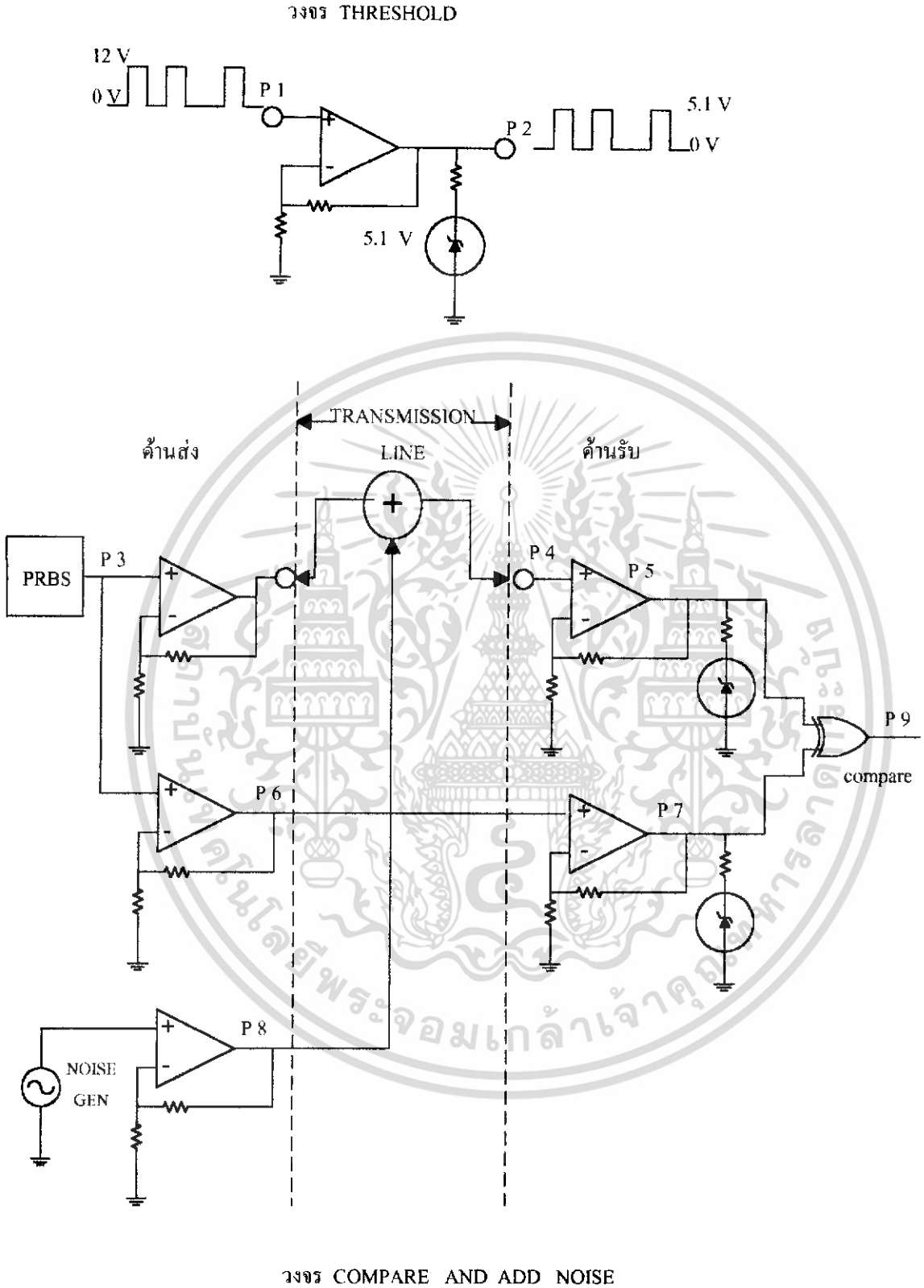
รูปที่ 4.5 วงจรอ้างอิงแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทำงานของวงอ้างอิงแรงดัน

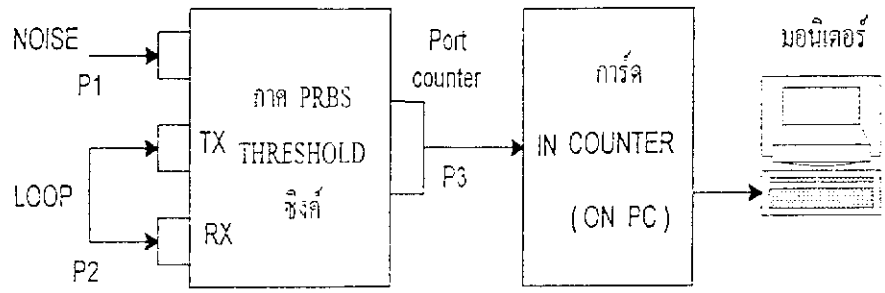
เมื่ออินพุท (INPUT) เข้ามาจะทำการเปรียบเทียบกับระดับอ้างอิงในที่นี้ให้ระดับ 0 โวลท์ เป็นระดับอ้างอิง หากสัญญาณอินพุทมีระดับมากกว่า 0 โวลท์ ให้มีแรงดันที่ออปแอมป์ (OP-AMP) เป็นลอจิก (LOGIC) "1" (ค่าแรงดันประมาณ +V ที่จ่ายให้ออปแอมป์)และหากสัญญาณอินพุทที่ระดับน้อยกว่าระดับ 0 โวลท์ให้มีแรงดันที่ออปแอมป์เป็นลอจิก(LOGIC) "0" (ค่าแรงดันประมาณ - V ที่จ่ายให้ออปแอมป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



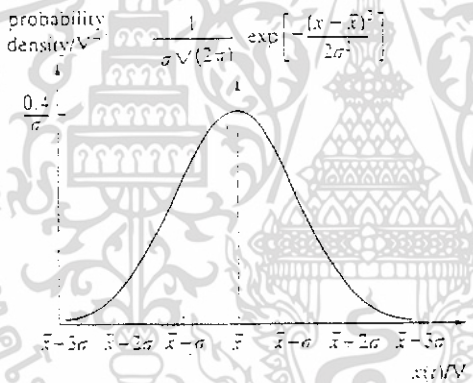
รูปที่ 4.6 แสดงถึงการเปรียบเทียบด้านรับและด้านส่งเมื่อบวกนอยซ์เข้าไปในช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 บล็อกไดอะแกรมการทดสอบระบบ

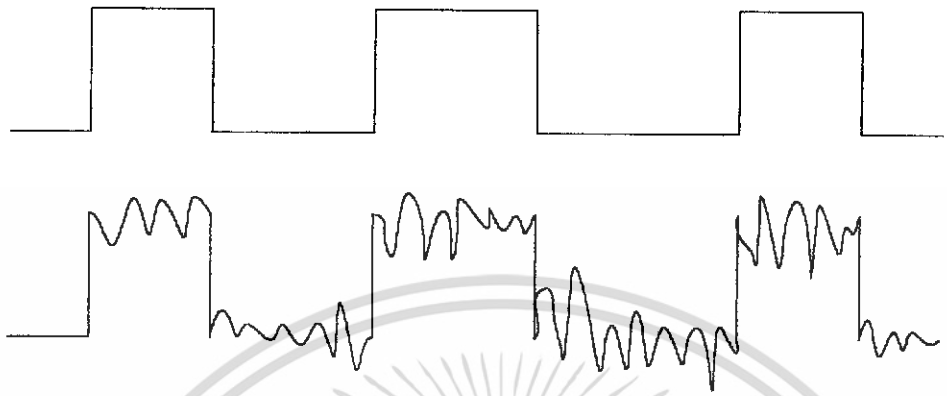
จากบล็อกไดอะแกรม (Block Diagram) ได้รูปจากจุดทดสอบสัญญาณ (Test point) ดังนี้



รูปที่ 4.8 รูปเกาส์เซียน (Gaussian)

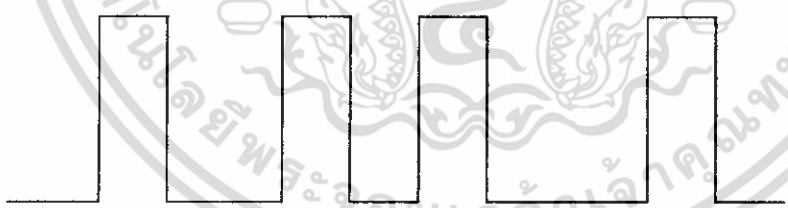
1. จากเครื่องกำเนิดนอยซ์ (Generate Noise) เราสมมุติให้เป็นสัญญาณรบกวน (Noise) ในระบบซึ่งจะทำให้เกิดสัญญาณรบกวน (Noise) ปนไปกับข้อมูลที่เราส่งไปด้วยทำให้ข้อมูลผิดพลาดไปได้ ดังรูป P2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 รูปที่จุด P 2

2. เมื่อภาคส่ง ส่งข้อมูลออกไปและป้อนกลับ (LOOP) กลับมายังภาครับ ทำให้ภาครับเปรียบเทียบและอ้างอิง (Threshold) ข้อมูลกลับมาหากข้อมูลที่ได้รับมีข้อมูลตรงกับข้อมูลที่ภาคส่งก็จะไม่มีสัญญาณ (Pulse) ออกที่ P3 หากข้อมูลไม่ตรงอันเนื่องมาจากภาคส่งและภาครับไม่ซิ้งค์กัน หรือเกิดมีสัญญาณรบกวน (Noise) ในระบบมากทำให้เกิดข้อมูลที่ส่งมาผิดพลาดไปจะทำให้มีสัญญาณพัลซ์ (Pulse) ออกที่ P3



รูปที่ 4.10 รูปที่จุด P 3

3. หากมีสัญญาณพัลซ์ (Pulse) ออกที่ P3 การ์ดของวงจรนับ (Counter) จะทำการนับและประมวลผลตามมาตราฐาน G.821 ตามโปรแกรมที่เขียนไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลทางเทคนิคของเครื่องวัดอัตราบิทผิดพลาด

ด้านส่ง

Bit Ratc 2.048 Mbit / S

OUTPUT PATTERN PRBS $2^{15} - 1$

OUTPUT SIGNAL POLAR

CODE BINARY

OUT PUT LEVEL 0,12 VOLT

OUT PUT IMPEDANC 75 Ohm NOMINAL TO GROUND

ด้านรับ

BIT RATE 2.048 Mbit /S

INPUT PATTERN PRBS $2^{15} - 1$

INPUT SIGNAL POLAR

CODE BINARY

INPUT LEVEL 0,12 VOLT

DETECTING ERROR PULSE BIT-BY-BIT

ERROR COUNT DISPLAY BY PROGRAM COMPUTER

COUNTING TIME มาตรฐาน G.821

INPUT IMPEDANCE 75 Ohm NOMINAL TO GROUND

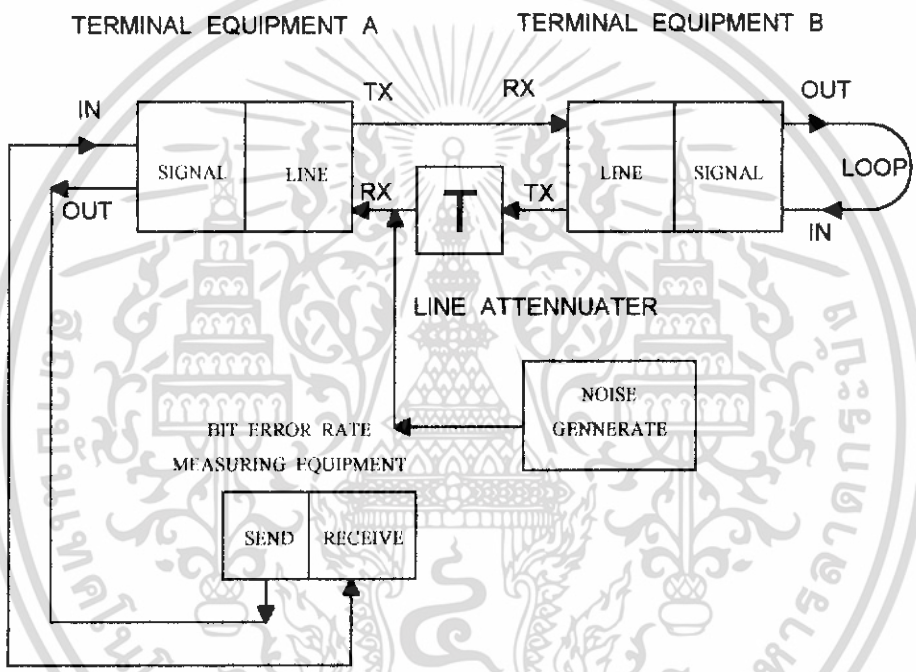
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องมือที่ใช้ประกอบการทดลอง

1. NOISE GENERATE
2. DIGITAL STRAGE OSCILLOSCOPE TEKTRCNIX MODEL 486
3. คอมพิวเตอร์รุ่น 386 , และการ์ด I/O (8255)

การจำลองระบบการส่งและการวัดอัตราบิทผิดพลาด

เมื่อประสพผลสำเร็จจากการทดลองแล้วได้นำวงจรต่างๆ ประกอบขึ้นเป็นอุปกรณ์ตามโครงงานและทำการจำลองระบบและทดสอบการทำงานซึ่งมีการเชื่อมโยงอุปกรณ์แสดงดังรูป

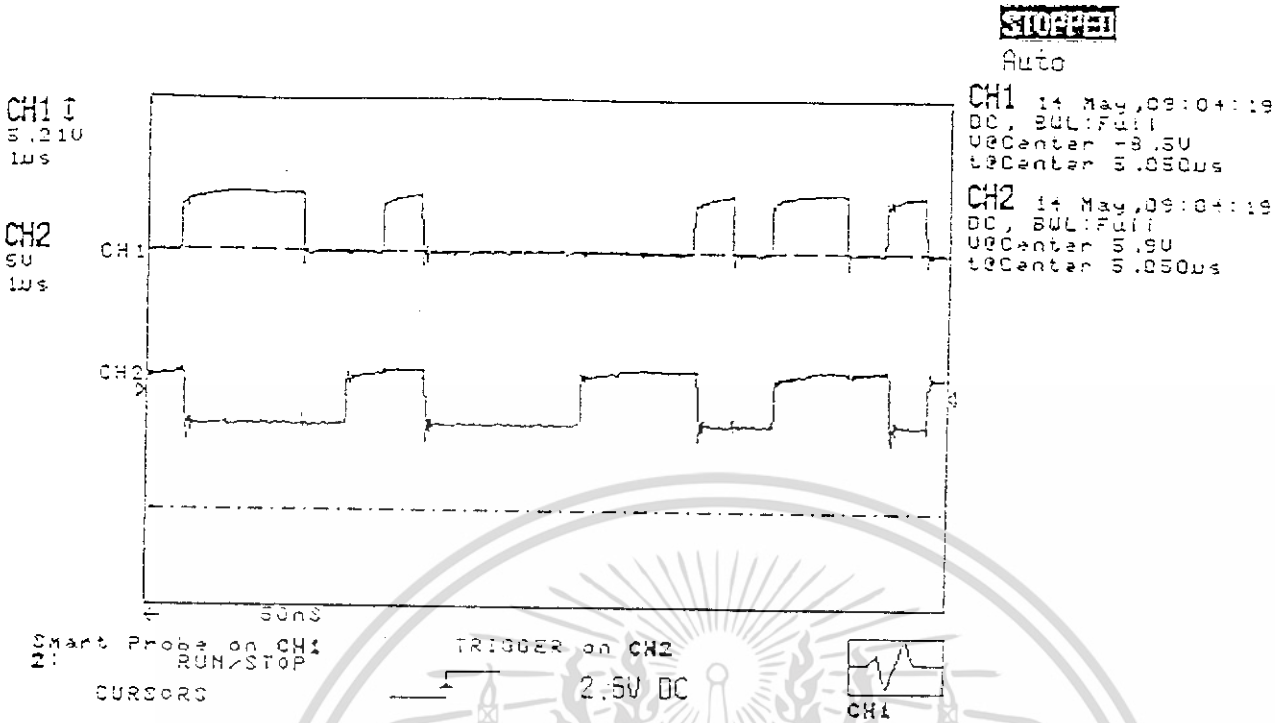


รูปที่ 4.11 BLOCK DIAGRAM แสดงการเชื่อมโยงอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

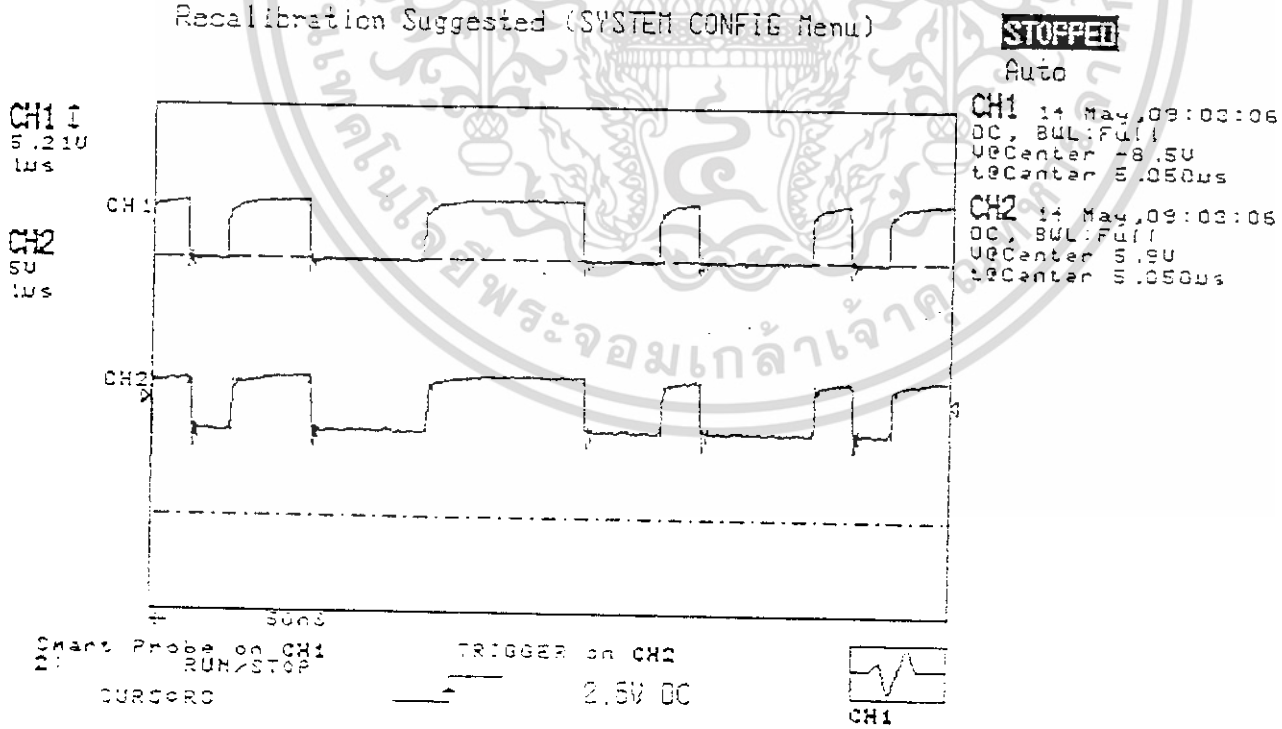
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 พีจุด P5 (ขณะไม่ซิ้งค์)

แชนแนลที่ 2 พีจุด P7 (ขณะไม่ซิ้งค์)

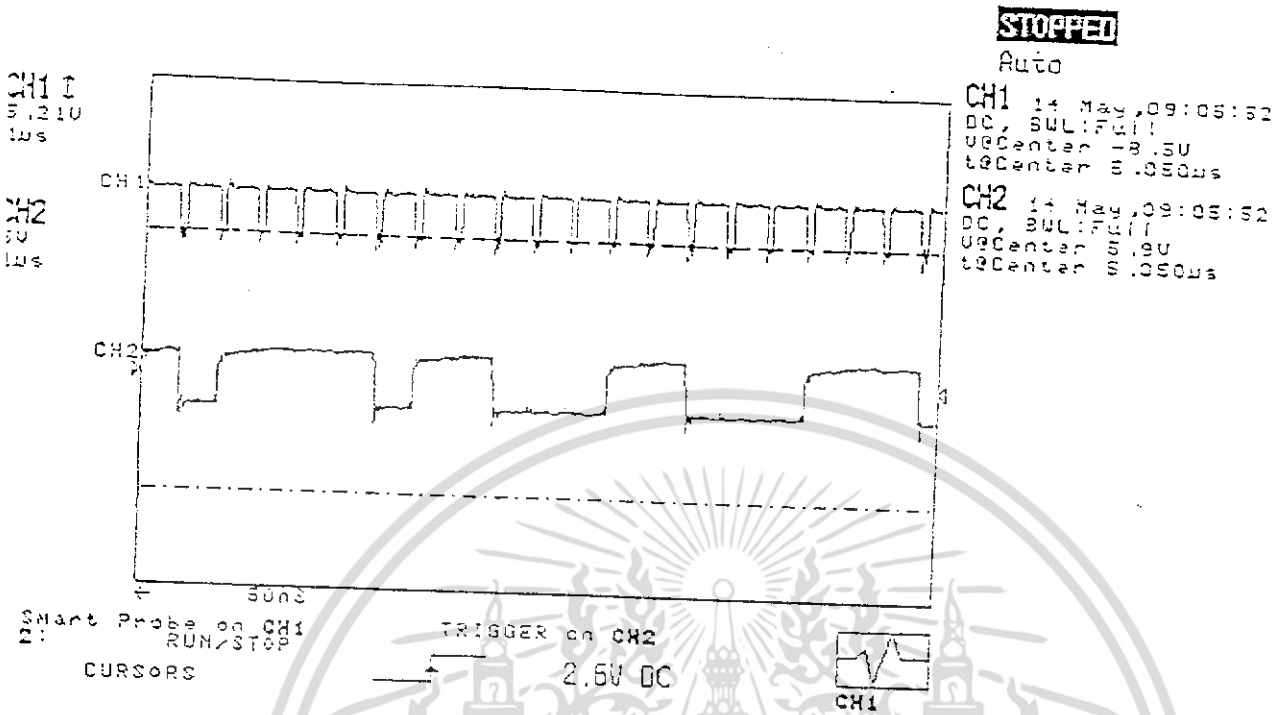
Recalibration Suggested (SYSTEM CONFIG Menu)



แชนแนลที่ 1 พีจุด P5 ขณะซิ้งค์

แชนแนลที่ 2 พีจุด P7 ขณะซิ้งค์

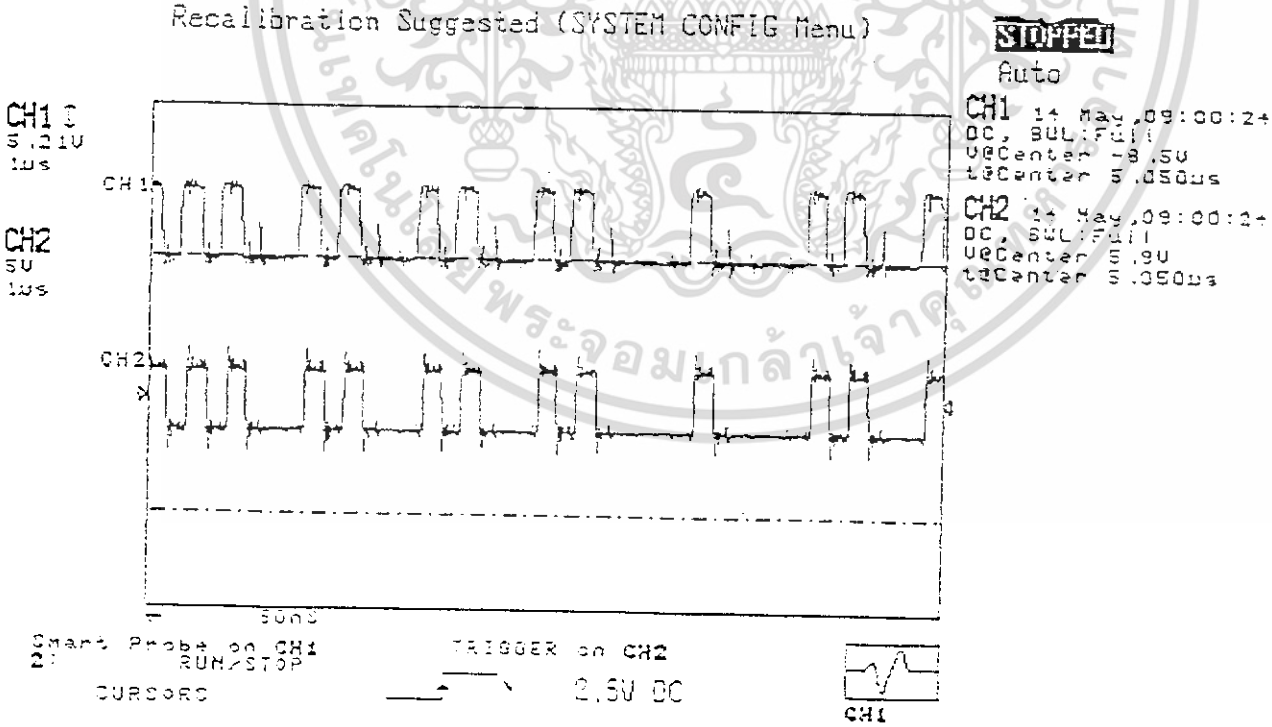
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 สัญญาณคล็อก ($\overline{CK}$) 64 KHz

แชนแนลที่ 2 ข้อมูลแบบกึ่งแรนดอม (PRBS) ที่จุด P3

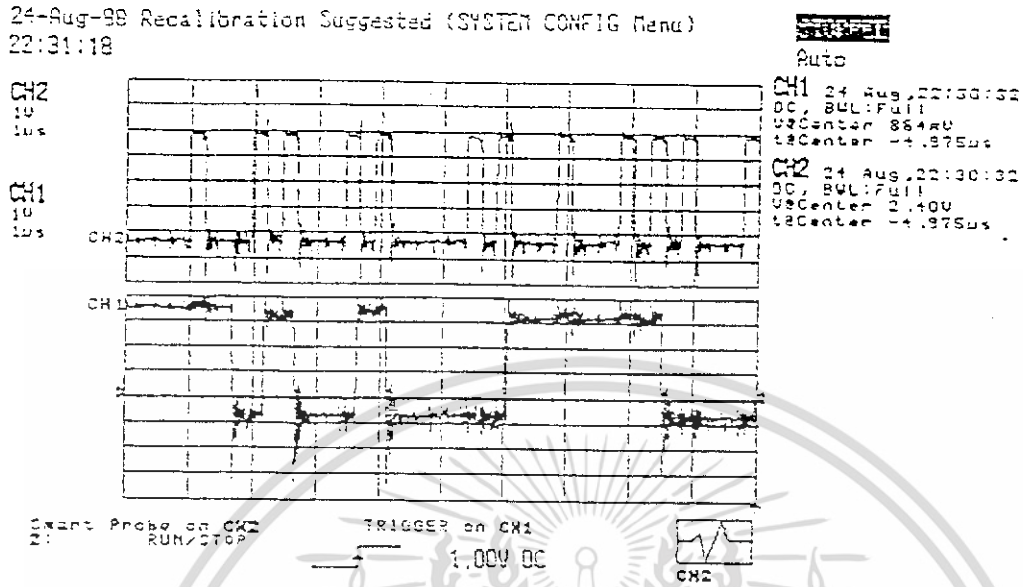
Recalibration Suggested (SYSTEM CONFIG Menu)



แชนแนลที่ 1 ที่จุด P5 ขณะไม่มีนอยซ์

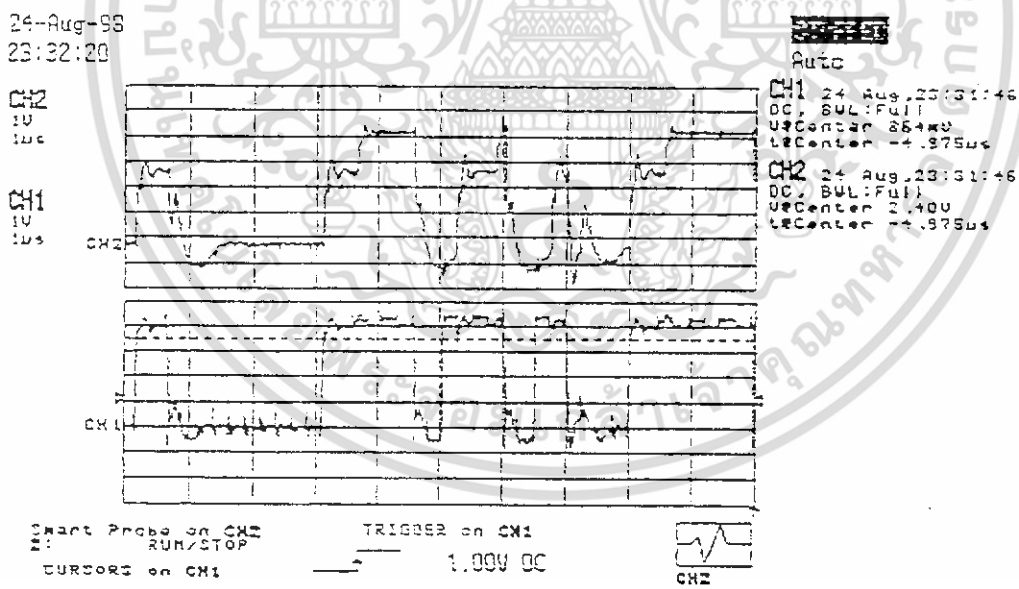
แชนแนลที่ 2 ที่จุด P7 ขณะไม่มีนอยซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 ที่จุด P 10 ขณะไม่ซิ้งค์และมีนอยซ์ในระบบ

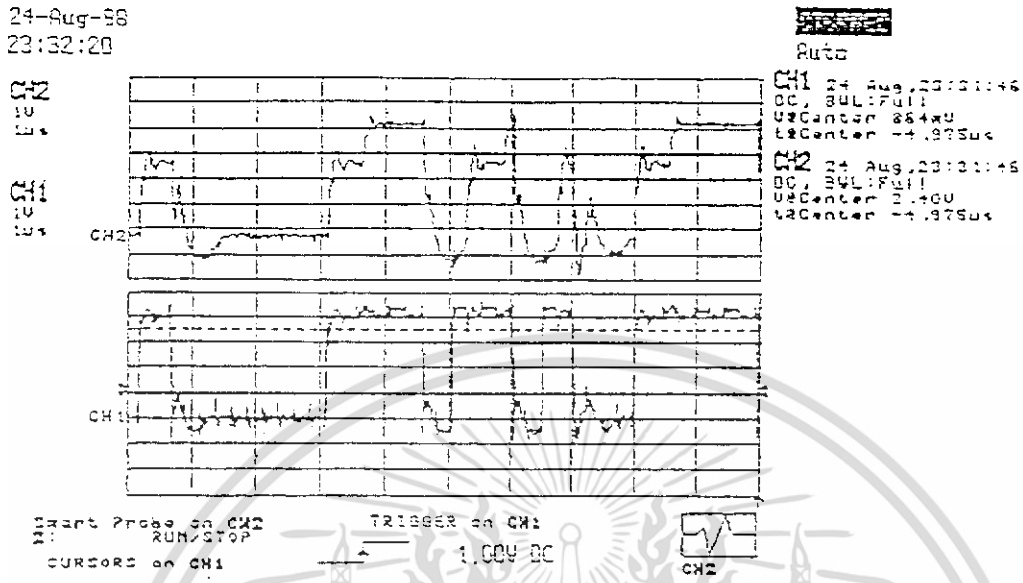
แชนแนลที่ 2 ที่จุด P 4 ขณะไม่ซิ้งค์และมีนอยซ์ในระบบ



แชนแนลที่ 1 ที่จุด P 4 ขณะมีนอยซ์

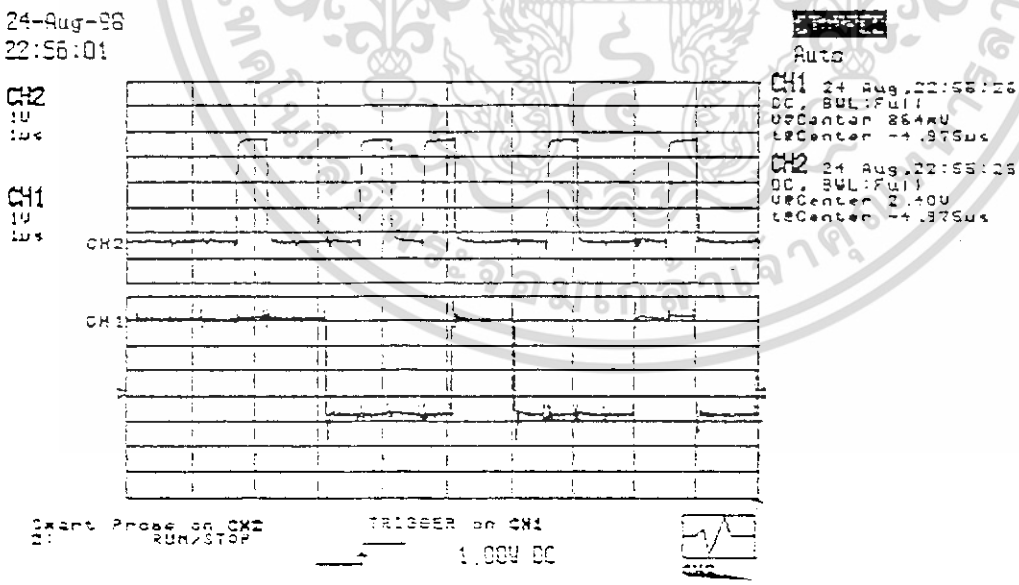
แชนแนลที่ 2 ที่จุด P 6 ขณะมีนอยซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 ที่จุด P 6 ขณะมีสัญญาณรบกวน

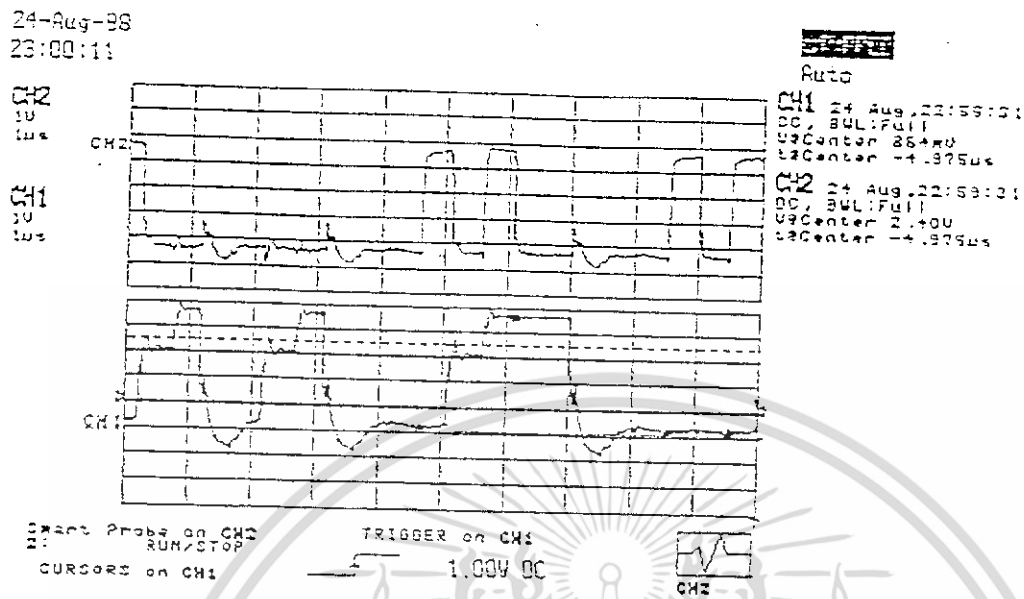
แชนแนลที่ 2 ที่จุด P 4 ขณะมีสัญญาณรบกวน



แชนแนลที่ 1 ที่จุด P 6 ขณะมีสัญญาณรบกวน

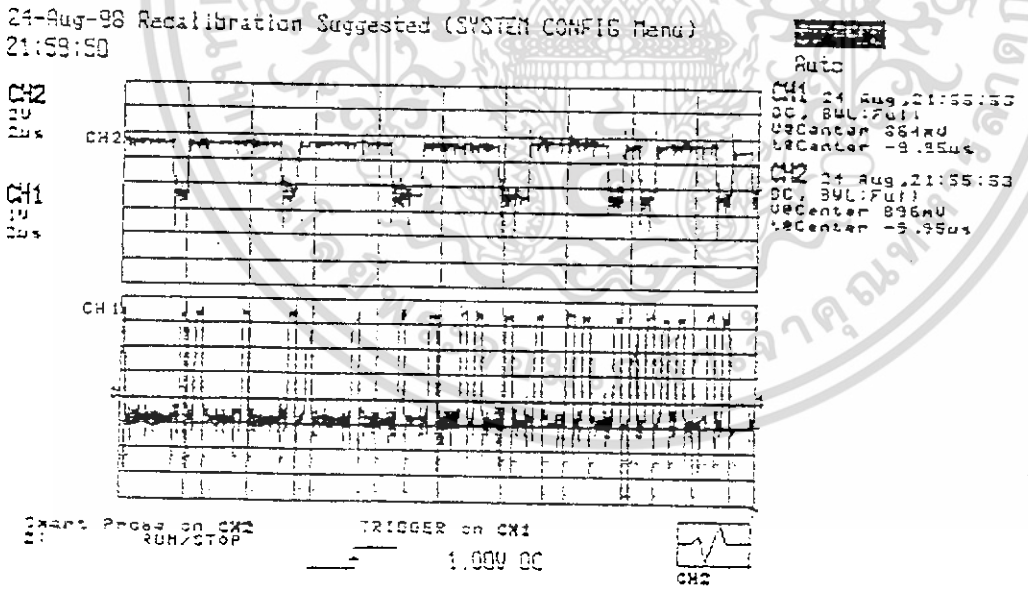
แชนแนลที่ 2 ที่จุด P 10 เคาเตอร์ (counter) ขณะมีสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 ที่จุด P 4 วัดขณะลูป (LOOP) และมีสัญญาณรบกวน

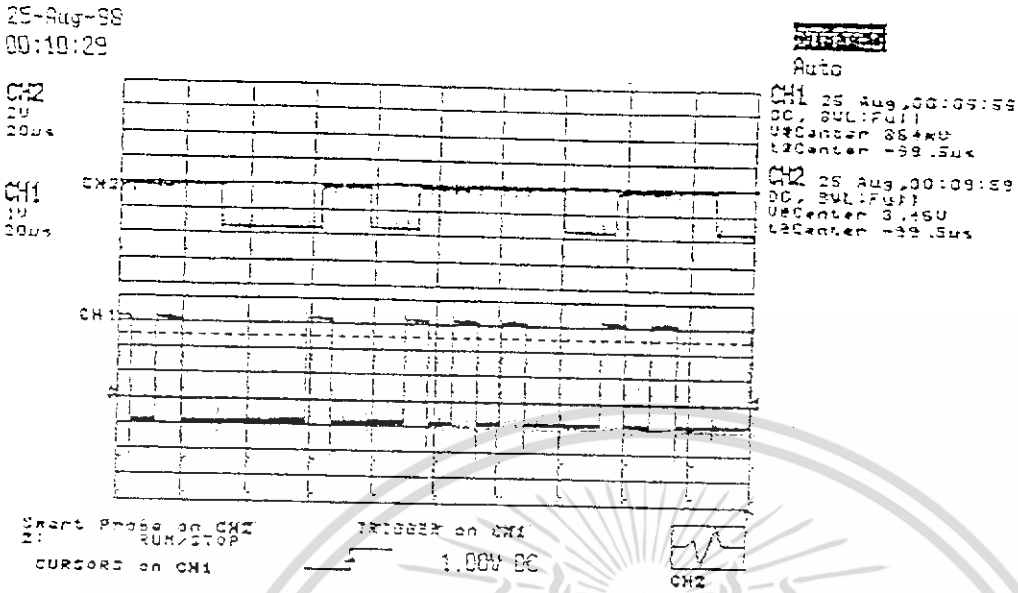
แชนแนลที่ 2 ที่จุด P 10 วัดขณะลูป (LOOP) และมีสัญญาณรบกวน



แชนแนลที่ 1 ที่จุด P 10 ขณะมีการลูป (LOOP) และมีนอยซ์ (NOISE)

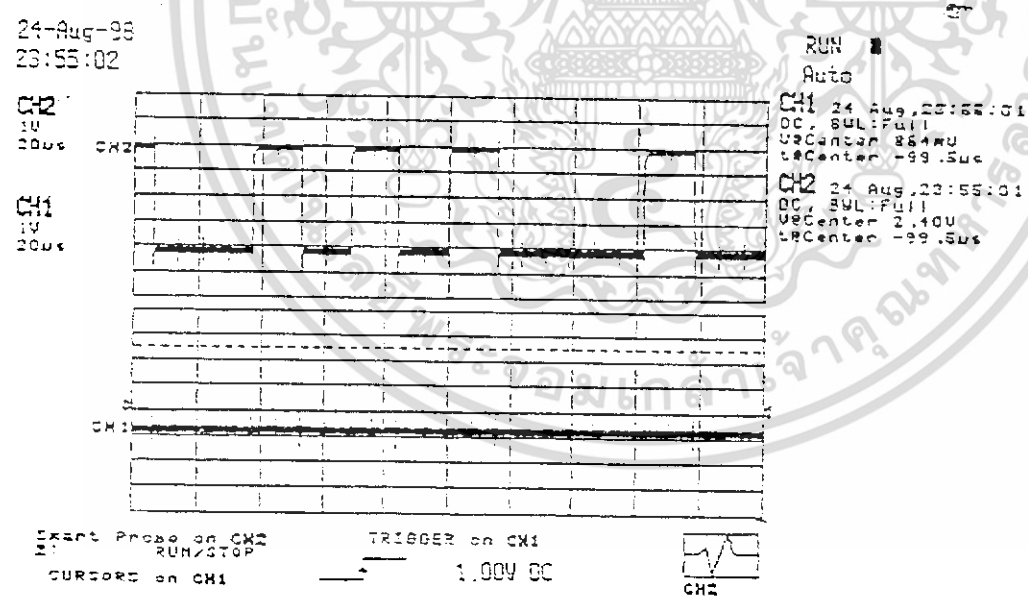
แชนแนลที่ 2 ที่จุด P 6 ขณะมีการลูป (LOOP) และมีนอยซ์ (NOISE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แซนแนลที่ 1 ที่จุด P 10 ขณะไม่มีการรบกวน (NO NOISE) เมื่อเกิดการซิ้งค์แล้ว

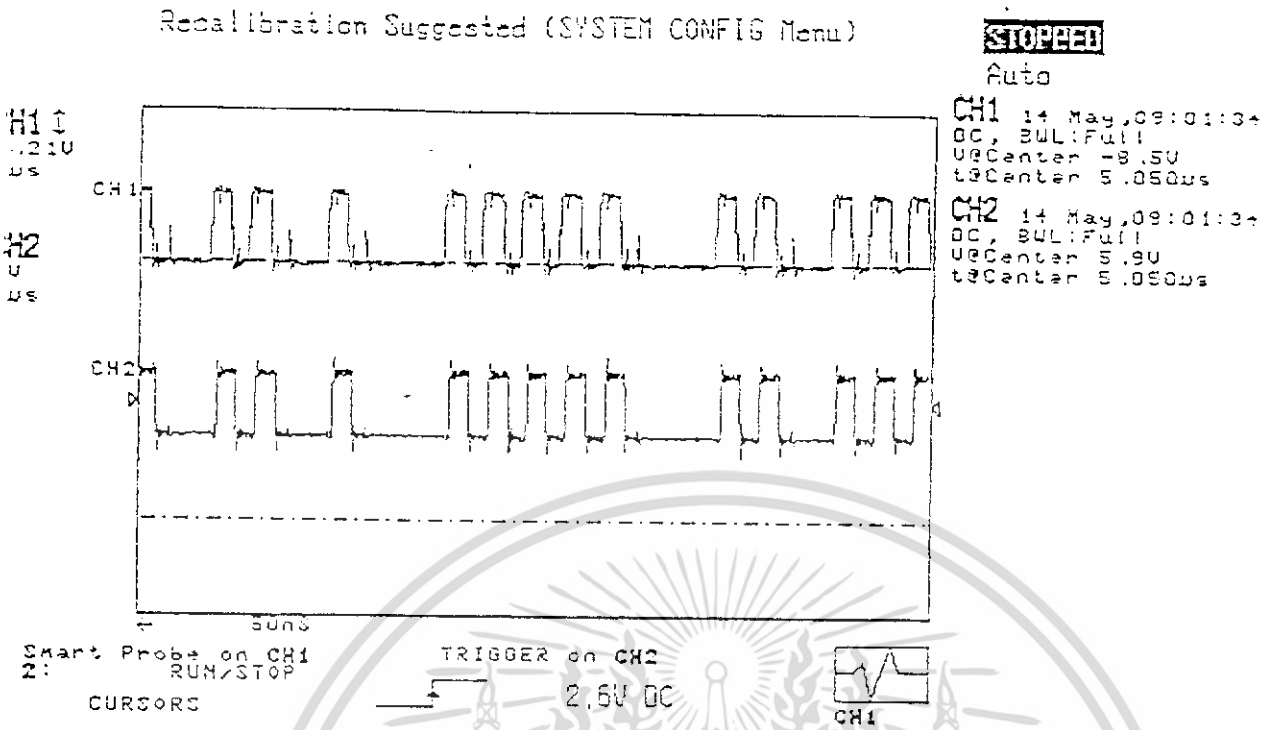
แซนแนลที่ 2 ที่จุด P 10 ขณะมีการรบกวน เมื่อเกิดการซิ้งค์แล้ว



แซนแนลที่ 1 ที่จุด P 10 (ขณะไม่มีสัญญาณรบกวนแต่ไม่ซิ้งค์)

แซนแนลที่ 2 ที่จุด P 3 ข้อมูลกึ่งแรนดอม (PRBS) (ขณะไม่มีสัญญาณรบกวนแต่ไม่ซิ้งค์)

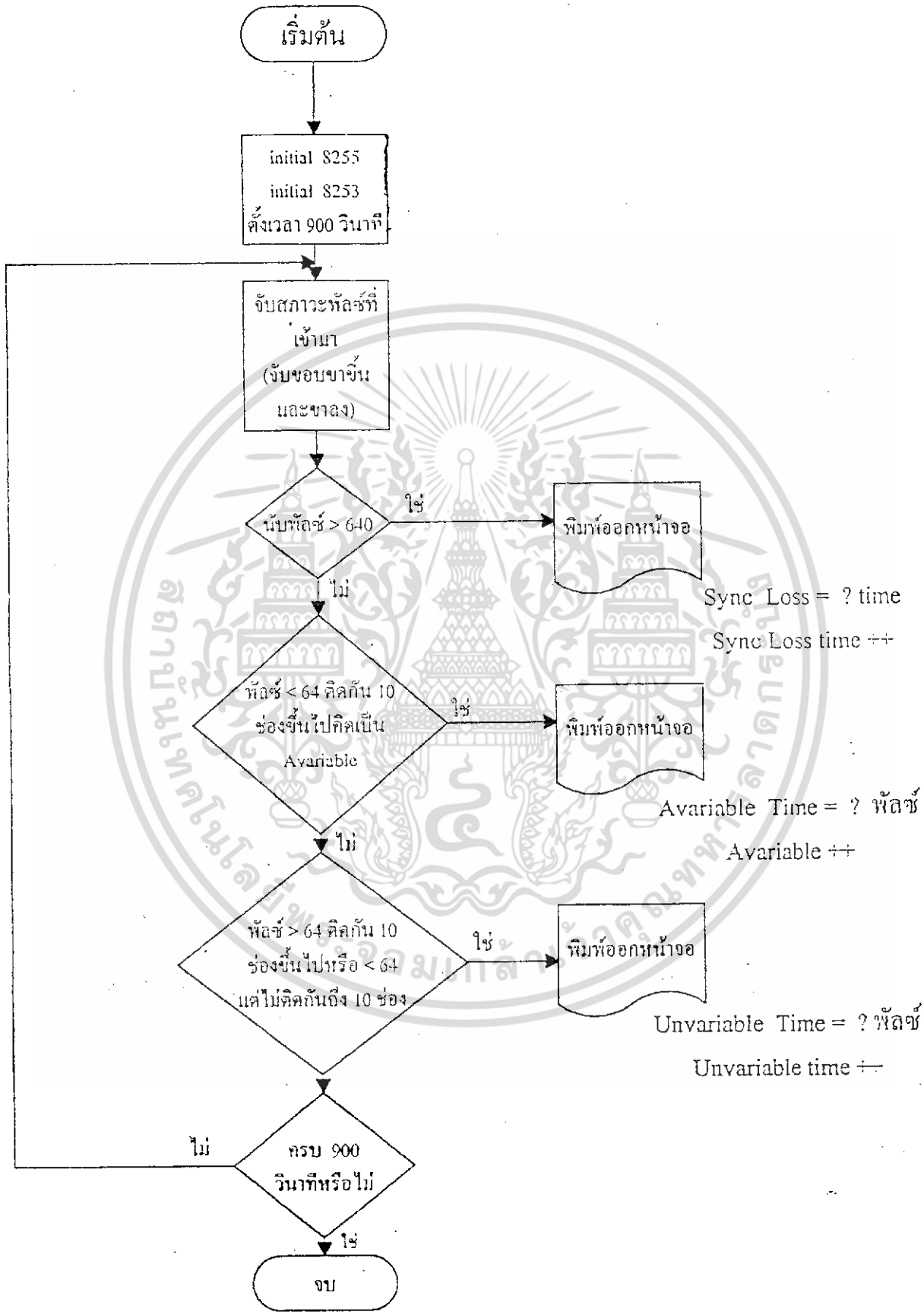
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แชนแนลที่ 1 ที่จุด P4 ขณะไม่มีนอยซ์รบกวน

แชนแนลที่ 2 ที่จุด P6 ขณะไม่มีนอยซ์รบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <stdio.h>
#include <stdlib.h>
#include <dos.h>
#include <conio.h>
#include <bios.h>
#define port_b       0x1b5
#define port_c       0x1b6
#define pcontrol     0x1b7
#define pch_2        0x1ba
#define pcount_mode  0x1bb
void main(void)
{
        int count,hi,lw,a,b,efs,ses,v,s,sec;
        long int i,tm,data[400];
        unsigned int  to,to1,to2,to3;
        int   syn,valid,invalid,k,er,frq;
        float deg;
        while(1)
        {
        for(k=0;k<400;k++)
        {
        FILE *fl;
        /*
 *    Initial Data
 */
        tm     = 400;    /* time */
        count   = 0;
        to1     = 1;
        a        = 0;
        outport(pcontrol,0x9b);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*      for (i=0;i<900;i++)  */
/*              data[k]=0;   */
        clrscr();
        printf(" BIT ERROR RATE ANALIZER. \n");
  /*
   *    initail 8253
   */
        /*1011 0000 :ch=2,r/w=16(bit),mode=count,binary*/
        outport(pcount_mode,0xb0);
        outport(pch_2,0x0ff);
        outport(pch_2,0x0ff);
        sleep(1);
       er = inportb(port_c);
  outport(pcount_mode,0x80);
       lw = inportb(pch_2);
       hi = inportb(pch_2);
       to = (255 - hi)*255 +(255 - lw);
       to2 = to;
      while (count != tm)
{   sleep(1);
          /*
           *  Read Counter
           */
                er = inportb(port_c);
                /*1000 0000 :ch=2,mode=latch */
                outport(pcount_mode,0x80);
                lw  = inportb(pch_2);
                hi  = inportb(pch_2);
                to  = (255 - hi)*255 +(255 - lw);
                to3 = to;
                if (to1 == to)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                {       a++;
                        to3=random(to);}
                else a=0;
                to1 = to;
                if (a>=2)
                {  to3 = 0; }
 if (to==to2)
                { to3 = 0; }
                if ((er&0x01)== 0)
                {       data[count]=to3;
                        if (to > 400)
{  printf("Second %d error = %u pulse. (sync loss)\n",count,data[count],er);}
                        else
        {  printf("Second %d error = %u pulse.\n",count,data[count],er);}
}
            /*
            *  Start Counter
            */
                outport(pcount_mode,0xb0); /*1001 0000 :ch=2,r/w=16
(bit),mode=count,binary*/
                outport(pch_2,0x0ff);
                outport(pch_2,0x0ff);
           count++;
        }
        /*
        *       Analyse Result
        */
        syn    = 0; frq = 0;  v   = 0;  sec = 0;
        valid    = 0; s   = 0;  efs = 0;
        invalid = 0; deg = 0;  ses = 0;
        /*
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*          Open File.
*/
if ((fl=fopen("Resulte.dat","a+t"))==NULL)
{
          printf("Can not create file(Resulte.dat).\n");
          exit(0);
}
/*
*          Write data to File.
*/
          fprintf(fl," \n");
          fprintf(fl,"  BIT ERROR RATE ANALTZER \n");
          fprintf(fl," \n");
for (k=0 ; k < tm ; k++)
{   fprintf(fl, "Sec  %d error =  %u  bit\n",k,data[k]);
s++;
     if (data[k] > 400)
          syn++;
     if (data[k] == 0)
          efs++;
     if (data[k] > 64)
          frq++;
           if (frq == 10)
            { invalid += frq ; frq = 0;s =0;v = 0;}
           else
           {}
         if (data[k] <= 64)
           v++;
           if ( v == 10)
             {valid += v;v=0;frq = 0;s = 0;}
           else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                {}
               if ((v+frq)==10)
                { ses += frq; valid += (v+frq);frq = 0;v = 0;s = 0;}
                else
                {}
        }
               sec = (400 - invalid - efs);
               deg = ((400-invalid - efs - ses)* 60)/400;
        fprintf(fl,"\n Avariable = %d sec \n",valid);
        fprintf(fl," Unavariable = %d sec  \n",invalid);
        fprintf(fl," Syn loss  = %d sec \n",syn);
        fprintf(fl," Error free = %d sec \n",efs);
        fprintf(fl," Degmin = %5.4f sec \n",deg);
        fprintf(fl," Error sec = %d sec \n",sec);
        fprintf(fl," Severyly error sec = %d sec \n",ses);
        printf("Avariable   time = %d second\n",valid);
        printf("Unavariable time = %d second\n",invalid);
        printf("Syn loss    time = %d second \n",syn);
        printf("Error free  time = %d second \n",efs);
        printf("Error free second   time = %d second \n",sec);
        printf("Severyly error sec  time = %d sec \n",ses);
        printf("Demin = %5.4f sec \n",sec);
        /*
        *         Close File.
        */

        fclose(fl);
}
}
        printf("Press any key.");
        getch() ;     }   *
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT ERROR RATE ANALTZER

Sec 0 error = 41 bit
Sec 1 error = 90 bit
Sec 2 error = 70 bit
Sec 3 error = 66 bit
Sec 4 error = 14 bit
Sec 5 error = 192 bit
Sec 6 error = 191 bit
Sec 7 error = 192 bit
Sec 8 error = 186 bit
Sec 9 error = 189 bit
Sec 10 error = 190 bit
Sec 11 error = 194 bit
Sec 12 error = 168 bit
Sec 13 error = 183 bit
Sec 14 error = 187 bit
Sec 15 error = 203 bit
Sec 16 error = 179 bit
Sec 17 error = 181 bit
Sec 18 error = 178 bit
Sec 19 error = 195 bit
Sec 20 error = 217 bit
Sec 21 error = 87 bit
Sec 22 error = 43 bit
Sec 23 error = 20 bit
Sec 24 error = 164 bit
Sec 25 error = 127 bit
Sec 26 error = 60 bit
Sec 27 error = 110 bit
Sec 28 error = 161 bit
Sec 29 error = 134 bit
Sec 30 error = 18 bit
Sec 31 error = 0 bit
Sec 32 error = 139 bit
Sec 33 error = 171 bit
Sec 34 error = 87 bit
Sec 35 error = 70 bit
Sec 36 error = 71 bit
Sec 37 error = 178 bit
Sec 38 error = 177 bit
Sec 39 error = 21 bit
Sec 40 error = 18 bit
Sec 41 error = 121 bit
Sec 42 error = 145 bit
Sec 43 error = 122 bit
Sec 44 error = 71 bit
Sec 45 error = 12 bit
Sec 46 error = 146 bit
Sec 47 error = 168 bit
Sec 48 error = 81 bit
Sec 49 error = 25 bit
Sec 50 error = 70 bit
Sec 51 error = 162 bit
Sec 52 error = 151 bit
Sec 53 error = 11 bit
Sec 54 error = 7 bit
Sec 55 error = 147 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 56 error = 194 bit

Sec 57 error = 116 bit

Sec 58 error = 72 bit

Sec 59 error = 20 bit

Sec 60 error = 186 bit

Sec 61 error = 160 bit

Sec 62 error = 53 bit

Sec 63 error = 36 bit

Sec 64 error = 93 bit

Sec 65 error = 171 bit

Sec 66 error = 170 bit

Sec 67 error = 1 bit

Sec 68 error = 0 bit

Sec 69 error = 149 bit

Sec 70 error = 165 bit

Sec 71 error = 119 bit

Sec 72 error = 47 bit

Sec 73 error = 29 bit

Sec 74 error = 176 bit

Sec 75 error = 183 bit

Sec 76 error = 57 bit

Sec 77 error = 49 bit

Sec 78 error = 90 bit

Sec 79 error = 175 bit

Sec 80 error = 177 bit

Sec 81 error = 102 bit

Sec 82 error = 0 bit

Sec 83 error = 138 bit

Sec 84 error = 174 bit

Sec 85 error = 90 bit

Sec 86 error = 53 bit

Sec 87 error = 36 bit

Sec 88 error = 187 bit

Sec 89 error = 149 bit

Sec 90 error = 34 bit

Sec 91 error = 23 bit

Sec 92 error = 99 bit

Sec 93 error = 189 bit

Sec 94 error = 143 bit

Sec 95 error = 92 bit

Sec 96 error = 0 bit

Sec 97 error = 133 bit

Sec 98 error = 181 bit

Sec 99 error = 85 bit

Sec 100 error = 50 bit

Sec 101 error = 43 bit

Sec 102 error = 209 bit

Sec 103 error = 179 bit

Sec 104 error = 16 bit

Sec 105 error = 1 bit

Sec 106 error = 93 bit

Sec 107 error = 180 bit

Sec 108 error = 120 bit

Sec 109 error = 14 bit

Sec 110 error = 0 bit

Sec 111 error = 167 bit

Sec 112 error = 194 bit

Sec 113 error = 87 bit

Sec 114 error = 63 bit

Sec 115 error = 46 bit

Sec 116 error = 162 bit

Sec 117 error = 191 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 118 error = 12 bit
Sec 119 error = 3 bit
Sec 120 error = 108 bit
Sec 121 error = 182 bit
Sec 122 error = 111 bit
Sec 123 error = 16 bit
Sec 124 error = 1 bit
Sec 125 error = 178 bit
Sec 126 error = 162 bit
Sec 127 error = 78 bit
Sec 128 error = 4 bit
Sec 129 error = 65 bit
Sec 130 error = 177 bit
Sec 131 error = 174 bit
Sec 132 error = 3 bit
Sec 133 error = 0 bit
Sec 134 error = 125 bit
Sec 135 error = 162 bit
Sec 136 error = 126 bit
Sec 137 error = 121 bit
Sec 138 error = 8 bit
Sec 139 error = 170 bit
Sec 140 error = 157 bit
Sec 141 error = 63 bit
Sec 142 error = 40 bit
Sec 143 error = 85 bit
Sec 144 error = 171 bit
Sec 145 error = 166 bit
Sec 146 error = 176 bit
Sec 147 error = 38 bit
Sec 148 error = 140 bit
Sec 149 error = 165 bit
Sec 150 error = 125 bit
Sec 151 error = 60 bit
Sec 152 error = 28 bit
Sec 153 error = 200 bit
Sec 154 error = 190 bit
Sec 155 error = 49 bit
Sec 156 error = 10 bit
Sec 157 error = 90 bit
Sec 158 error = 159 bit
Sec 159 error = 191 bit
Sec 160 error = 30 bit
Sec 161 error = 0 bit
Sec 162 error = 160 bit
Sec 163 error = 186 bit
Sec 164 error = 92 bit
Sec 165 error = 84 bit
Sec 166 error = 32 bit
Sec 167 error = 162 bit
Sec 168 error = 149 bit
Sec 169 error = 32 bit
Sec 170 error = 25 bit
Sec 171 error = 90 bit
Sec 172 error = 171 bit
Sec 173 error = 168 bit
Sec 174 error = 32 bit
Sec 175 error = 0 bit
Sec 176 error = 138 bit
Sec 177 error = 173 bit
Sec 178 error = 98 bit
Sec 179 error = 40 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 180 error = 55 bit

Sec 181 error = 157 bit

Sec 182 error = 196 bit

Sec 183 error = 25 bit

Sec 184 error = 17 bit

Sec 185 error = 101 bit

Sec 186 error = 184 bit

Sec 187 error = 151 bit

Sec 188 error = 122 bit

Sec 189 error = 0 bit

Sec 190 error = 172 bit

Sec 191 error = 195 bit

Sec 192 error = 86 bit

Sec 193 error = 32 bit

Sec 194 error = 49 bit

Sec 195 error = 166 bit

Sec 196 error = 164 bit

Sec 197 error = 32 bit

Sec 198 error = 7 bit

Sec 199 error = 100 bit

Sec 200 error = 142 bit

Sec 201 error = 140 bit

Sec 202 error = 11 bit

Sec 203 error = 0 bit

Sec 204 error = 180 bit

Sec 205 error = 190 bit

Sec 206 error = 72 bit

Sec 207 error = 28 bit

Sec 208 error = 52 bit

Sec 209 error = 186 bit

Sec 210 error = 187 bit

Sec 211 error = 13 bit

Sec 212 error = 3 bit

Sec 213 error = 122 bit

Sec 214 error = 170 bit

Sec 215 error = 116 bit

Sec 216 error = 112 bit

Sec 217 error = 4 bit

Sec 218 error = 182 bit

Sec 219 error = 159 bit

Sec 220 error = 56 bit

Sec 221 error = 44 bit

Sec 222 error = 71 bit

Sec 223 error = 186 bit

Sec 224 error = 189 bit

Sec 225 error = 192 bit

Sec 226 error = 186 bit

Sec 227 error = 168 bit

Sec 228 error = 183 bit

Sec 229 error = 97 bit

Sec 230 error = 28 bit

Sec 231 error = 15 bit

Sec 232 error = 190 bit

Sec 233 error = 202 bit

Sec 234 error = 42 bit

Sec 235 error = 16 bit

Sec 236 error = 76 bit

Sec 237 error = 169 bit

Sec 238 error = 165 bit

Sec 239 error = 139 bit

Sec 240 error = 0 bit

Sec 241 error = 148 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 242 error = 179 bit
Sec 243 error = 145 bit
Sec 244 error = 79 bit
Sec 245 error = 28 bit
Sec 246 error = 15513 bit
Sec 247 error = 28829 bit
Sec 248 error = 8767 bit
Sec 249 error = 82 bit
Sec 250 error = 0 bit
Sec 251 error = 0 bit
Sec 252 error = 0 bit
Sec 253 error = 68 bit
Sec 254 error = 58 bit
Sec 255 error = 145 bit
Sec 256 error = 157 bit
Sec 257 error = 90 bit
Sec 258 error = 65 bit
Sec 259 error = 28 bit
Sec 260 error = 148 bit
Sec 261 error = 3 bit
Sec 262 error = 45 bit
Sec 263 error = 35 bit
Sec 264 error = 108 bit
Sec 265 error = 183 bit
Sec 266 error = 156 bit
Sec 267 error = 97 bit
Sec 268 error = 0 bit
Sec 269 error = 148 bit
Sec 270 error = 170 bit
Sec 271 error = 79 bit
Sec 272 error = 78 bit
Sec 273 error = 46 bit
Sec 274 error = 174 bit
Sec 275 error = 165 bit
Sec 276 error = 19 bit
Sec 277 error = 5 bit
Sec 278 error = 122 bit
Sec 279 error = 181 bit
Sec 280 error = 145 bit
Sec 281 error = 102 bit
Sec 282 error = 0 bit
Sec 283 error = 151 bit
Sec 284 error = 167 bit
Sec 285 error = 83 bit
Sec 286 error = 65 bit
Sec 287 error = 50 bit
Sec 288 error = 171 bit
Sec 289 error = 196 bit
Sec 290 error = 17 bit
Sec 291 error = 8 bit
Sec 292 error = 136 bit
Sec 293 error = 189 bit
Sec 294 error = 140 bit
Sec 295 error = 108 bit
Sec 296 error = 6 bit
Sec 297 error = 171 bit
Sec 298 error = 184 bit
Sec 299 error = 85 bit
Sec 300 error = 0 bit
Sec 301 error = 76 bit
Sec 302 error = 163 bit
Sec 303 error = 176 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 304 error = 7 bit

Sec 305 error = 4 bit

Sec 306 error = 118 bit

Sec 307 error = 186 bit

Sec 308 error = 111 bit

Sec 309 error = 54 bit

Sec 310 error = 13 bit

Sec 311 error = 173 bit

Sec 312 error = 177 bit

Sec 313 error = 47 bit

Sec 314 error = 29 bit

Sec 315 error = 88 bit

Sec 316 error = 177 bit

Sec 317 error = 172 bit

Sec 318 error = 74 bit

Sec 319 error = 0 bit

Sec 320 error = 145 bit

Sec 321 error = 153 bit

Sec 322 error = 94 bit

Sec 323 error = 57 bit

Sec 324 error = 30 bit

Sec 325 error = 180 bit

Sec 326 error = 183 bit

Sec 327 error = 38 bit

Sec 328 error = 23 bit

Sec 329 error = 78 bit

Sec 330 error = 201 bit

Sec 331 error = 144 bit

Sec 332 error = 140 bit

Sec 333 error = 0 bit

Sec 334 error = 0 bit

Sec 335 error = 0 bit

Sec 336 error = 0 bit

Sec 337 error = 0 bit

Sec 338 error = 0 bit

Sec 339 error = 0 bit

Sec 340 error = 0 bit

Sec 341 error = 0 bit

Sec 342 error = 0 bit

Sec 343 error = 54 bit

Sec 344 error = 155 bit

Sec 345 error = 132 bit

Sec 346 error = 0 bit

Sec 347 error = 0 bit

Sec 348 error = 144 bit

Sec 349 error = 185 bit

Sec 350 error = 87 bit

Sec 351 error = 9 bit

Sec 352 error = 44 bit

Sec 353 error = 185 bit

Sec 354 error = 179 bit

Sec 355 error = 17 bit

Sec 356 error = 15 bit

Sec 357 error = 66 bit

Sec 358 error = 106 bit

Sec 359 error = 38 bit

Sec 360 error = 15 bit

Sec 361 error = 0 bit

Sec 362 error = 0 bit

Sec 363 error = 0 bit

Sec 364 error = 0 bit

Sec 365 error = 0 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sec 366 error = 0 bit

Sec 367 error = 0 bit

Sec 368 error = 0 bit

Sec 369 error = 0 bit

Sec 370 error = 0 bit

Sec 371 error = 106 bit

Sec 372 error = 152 bit

Sec 373 error = 132 bit

Sec 374 error = 66 bit

Sec 375 error = 0 bit

Sec 376 error = 194 bit

Sec 377 error = 179 bit

Sec 378 error = 84 bit

Sec 379 error = 24 bit

Sec 380 error = 57 bit

Sec 381 error = 155 bit

Sec 382 error = 160 bit

Sec 383 error = 13 bit

Sec 384 error = 9 bit

Sec 385 error = 127 bit

Sec 386 error = 160 bit

Sec 387 error = 140 bit

Sec 388 error = 51 bit

Sec 389 error = 0 bit

Sec 390 error = 0 bit

Sec 391 error = 0 bit

Sec 392 error = 0 bit

Sec 393 error = 0 bit

Sec 394 error = 0 bit

Sec 395 error = 0 bit

Sec 396 error = 0 bit

Sec 397 error = 0 bit

Sec 398 error = 0 bit

Sec 399 error = 0 bit

Avariable = 390 sec

Unavariable = 10 sec

Syn loss = 3 sec

Error free = 52 sec

Degmin = 15.0000 sec

Error sec = 338 sec

Severyly error sec = 233 sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์

บทสรุป

จากผลงานและการทดลองที่ได้รับจากโครงงานสรุปได้ว่าประสบความสำเร็จซึ่งจะกล่าวได้ตามวัถุประสงค์ที่วางไว้ดังนี้

1. เพื่อนักศึกษาได้รับความรู้ประสบการณ์และทักษะเป็นอย่างดีเนื่องจากในการที่ออกแบบและสร้างผลงานได้ จะต้องศึกษาตำราต่างๆเพื่อนำมาเป็นข้อมูลในทางปฏิบัติจะต้องศึกษาและลงมือปฏิบัติใยการสร้างผลงานขึ้นมาเช่น ต้องออกแบบและ ต้องประกอบอุปกรณ์ กรณีวงจรไม่ทำงานจะต้องแก้ไขเปลี่ยนแปลงอุปกรณ์ ลายละเอียดที่นำมาใช้ จะต้องทดสอบการทำงานของวงจรซึ่งจะทดสอบได้จะต้องมีความรู้ในการใช้เครื่องมือและมีความเข้าใจในการทำงานของวงจร เป็นต้น

2. เพื่อจำลองระบบการส่งสัญญาณดิจิตอลอัตราเร็ว 2.048 Mbit / s การจำลองระบบสามารถกระทำได้จริงโดยคณะทำงานได้นำอุปกรณ์เชื่อมโยงปลายทาง (LINE TERMINAL EQUIPMENT) ซึ่งมีใช้งานอยู่จริงในระบบสื่อสารดิจิตอลอัตราเร็ว 2.048 Mbit / s มาใช้ จึงมีความเชื่อถือได้สูงในการจำลองระบบ

3. เพื่อสร้างเครื่องวัดอัตราผิดพลาดของระบบการส่งสัญญาณดิจิตอลอัตราเร็ว 2.048 Mbit / s สามารถสร้างเครื่องได้สำเร็จ

4.เมื่อพิจารณาวิธีวัดทดสอบคุณภาพของระบบส่งสัญญาณดิจิตอลในรูปอัตราการผิดพลาดของบิตการพิจารณานี้ไม่สามารถกระทำได้ถ้าขาดระบบการส่ง และเครื่องวัดอัตราบิตผิดพลาดแต่จากกรจำลองระบบและการสร้างเครื่องวัดอัตราบิตผิดพลาดที่ผ่านมา สามารถนำมาพิจารณาได้

5. เพื่ออธิบายถึงวิธีการวัดตรวจสอบคุณภาพของในระบบอุปกรณ์จากผลของข้อ 4 สามารถนำมาอธิบายได้ตามข้อ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทวิจารณ์

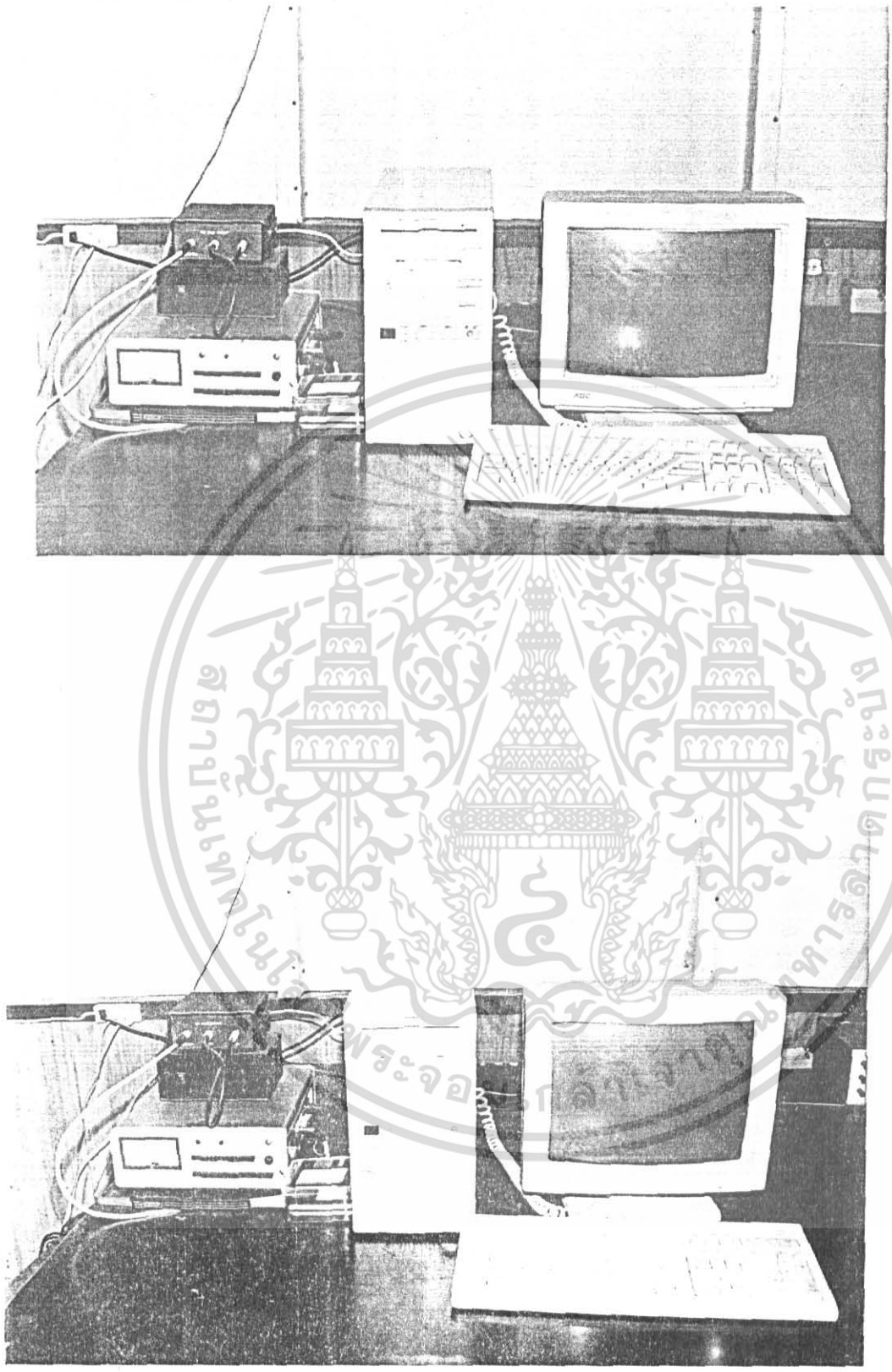
จากที่กล่าวาทั้งทฤษฎีและปฏิบัติ พอจะกล่าวได้ว่าโครงงานมีความเชื่อถือในระดับหนึ่ง เนื่องจากมีการทำงานแบบดิจิตอล และยังมีการทดสอบซึ่งแสดงให้เห็นถึงความสามารถในการทำงาน ความน่าเชื่อถือได้ถ้าสามารถเลือกซื้ออุปกรณ์ที่มีคุณภาพมาสร้างได้ และเครื่องได้ผ่านการทดสอบจากสถาบันซึ่งเป็นที่ยอมรับกัน เช่น ศูนย์ทดสอบอุปกรณ์และเครื่องมือขององค์การโทรศัพท์ เป็นต้น

การพัฒนาและปรับปรุงที่ความจำเป็นอย่างยิ่งหากจะมีการนำไปใช้งานซึ่งได้แก่รูปร่างซึ่งยังไม่เหมาะสมเนื่องจากยังมีขนาดใหญ่ การลดขนาดจะทำได้โดนการออกแบบ เมื่อ PCB. มีขนาดที่เล็กลง ก็สามารถทำให้ตัวเครื่องเล็กลงได้

การไปใช้งานของเครื่องวัดอัตราการผิดพลาดที่ออกแบบ และสร้างขึ้นนี้ยังแคบคือใช้ได้เพียงอัตราเร็ว 2.048 Mbit / s เท่านั้นซึ่งระบบการส่งนอกจากอัตราเร็ว 2.048 Mbit / s แล้ว ยังมีอัตราเร็ว 8.448 Mbit / s ,34.368 Mbit / s และ 139.264 Mbit / s อีก จึงสมควรที่จะมีการพัฒนาในส่วนนี้อีกต่อไป

อย่างไรก็ตามจากการที่ได้นำเครื่องวัดอัตราบิตผิดพลาดนี้เข้าทดสอบกับอุปกรณ์มัลติเพล็กซ์ (MULTIPLEX) ขององค์การโทรศัพท์และอุปกรณ์ MULTIPLEX ยอมรับสัญญาณโดยไม่แสดง ALARM และ LOOP สัญญาณกลับมาได้ ซึ่งแสดงให้เห็นถึงความสามารถในการตรวจสอบระบบได้ ก็น่าจะเชื่อถือได้ว่าเครื่องวัดอัตราผิดพลาดนี้สามารถทำงานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงการจำลองการทดสอบเครื่องวัดอัตราการผิดพลาดของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Digital Communication Satellite / Earth station Engineering Dr. KAMILO FEHER , Ph.D, M.A.Sc , P.Eng.
2. Digital signal transmission D.A CHANPMAN
3. OPERATION AND SERVICE MARNUAL ERROR RATE MMESURING QEUIPMENT ME448 A ANRITSU ELECTRIC CO.LTD TOKYO, JAPAN
4. MARCONI ITALIANA INSTRUCTION MANUAL MD15-MR13 2.048 Mbit/s
5. ERICSSION INSTALLATION AND LINE-UP 13 GHz. TRANSMISSION
6. PCM COLUMN LTE SYSTEM TECHNICAL MANUAL BELL TELEPHONE MFG CO.
7. WIDE-RANGE NOISE GENERATOR BY LAN HICKMAN WIRELESS WORLD JULY 1982
8. การอินเตอร์เฟส IMB/PC ของธานินทร์ ถาวรศาสนวงศ์ B.ENG (KMIT-Ladkrabang) ทินกร ดุ๊ก B.ENG (KMIT-Ladkrabang)
9. การออกแบบเครื่องวัดอัตราการผิดพลาด โดยกฤดากร กล่อมการ สถาบันเทคโนโลยีพรจอมเกล้าเจ้าคุณทหารลาดกระบัง
10 การออกแบบ และสร้างอุปกรณ์ตรวจสอบการรับส่งข้อมูลในระบบสื่อสารโดย เขมะชัต จิภาตะวะนิช และบัฑต โรจน์อารยานนท์ สำนักพิมจุฬาลงกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
T.I.	SN54S74	J W N	SN54H74	J W N	SN54LS74	J W N	SN5474	J W N	SN54L74	J W N
	SN74S74	J N	SN74H74	J N	SN74LS74	J N	SN7474	J N	SN74L74	J N
FAIRCHILD	FM54S74/FM95740	D F	FM54H74/FM96H74	D F	FM54LS74/FM96LS74	D F	FM5474/FM96N74	D F		
	FC74S74/FC09S74	D P	FC74H74/FC03H74	D P	FC74LS74/FC00LS74	D P	FC7474/FC09N74	D P		
MOTOROLA					SN74LS74	P				
N.S.C.			DM54H74	J W N	DM54LS74	P	DM5474	J W N	DM54L74	J W N F
	DM74S74	N	DM74H74	J N	DM74LS74	P	DM7474	J N	DM74L74	J N F
PHILIPS	N74S74	P	GJL131/74H74	P	N74LS74	P	FJJ131/7474	P		
SIGNETICS	S54S74	F J A	S54H74	F J A W			S5474	F J A W		
	N74S74	F J A	N74H74	F J A	N74LS74	A	N7474	F J A		
SIEMENS							FCL141	P		
FUJITSU					74LS74	M P	MB409	P M		
HITACHI	HD74S74	D P			HD74LS74	P	HD7474/HD2510	D P		
MITSUBISHI	M74S74	P			M74LS74	P	M5227, M5374	P		
NEC	74S74	C T			74LS74	C	UPB214	D C T		
TOSHIBA							TD2474A	P		

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range: SN54LS	−55°C to 125°C
Input voltage	5.5 V	SN74LS	0°C to 70°C
		Storage temperature range	−65°C to 150°C

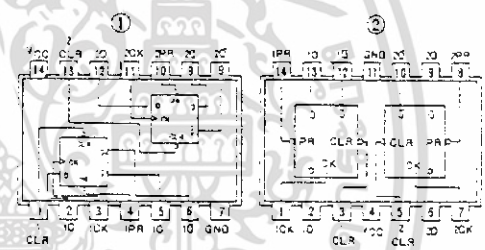
recommended operating conditions

		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25*			25*			ns
	Low-level data	20*			20*			
Input hold time, t_h		5*			5*			ns
Operating free-air temperature, T_A		−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER‡		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 4 mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC} = MAX, V_I = 5.5 V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC} = MAX, V_I = 2.7 V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC} = MAX, V_I = 0.4 V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current §	Series 54LS	V_{CC} = MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1		4	8	mA
	Average per flip-flop			2		
f_{clock}	Clock frequency	V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 2 kΩ	25	32		MHz
t_{PLH}	From clear, preset or clock as appropriate to Q or Q̄			13	25	ns
t_{PHL}				15	40	

Pin Assignments (Top View)

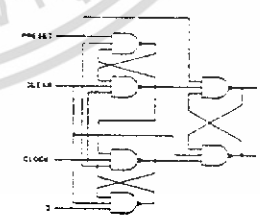


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H‡	H‡
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q0	Q̄0

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'LS74 DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↑ = transition from low to high level, D = the level of D before the indicated input conditions were established, ‡ = this configuration is unstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

¶ t_{PLH} = propagation delay time, low-to-high-level output.

t_{PHL} = propagation delay time, high-to-low-level output.

The arrow indicates the edge of the clock pulse used for stable transition of the output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3/74393 Dual 4-Bit Binary Counter

Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
	C P M F		C P M F		C P M F		C P M F		C P M F
				SN54LS393	J W	SN54393	J W		
				SN74LS393	J N	SN74393	J N		
				M74LS393	P				

Electrical Characteristics SN54LS393/SN74LS393

maximum ratings over operating free-air temperature range

V_{CC}	7V	Operating free-air temperature	SN54LS	−55°C to 125°C
	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 125°C

ecommended operating conditions

		SN54LS390			SN74LS390			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}		4.5	5	5.5	4.75	5	5.25	V
ut current, I_{OH}				400			−800	μA
ut current, I_{OL}				4			8	mA
ck frequency	A input	0		25	0		25	MHz
	B input	0		20	0		20	
w	A input high or low	20			20			ns
	B input high or low	25			25			
	Clear high	20			20			
stable setup time t_{setup}		25			25			ns
e-air temperature T_A		−55		125	0		70	°C

lectrical characteristics over recommended operating
free-air temperature range

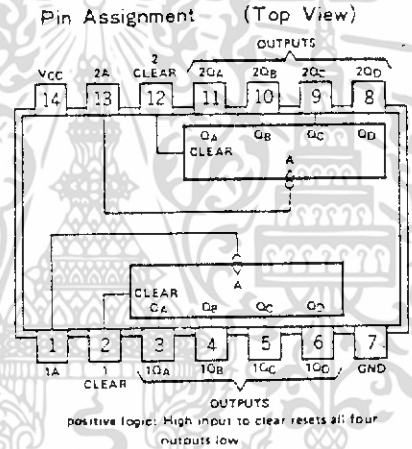
PARAMETER	TEST CONDITIONS		MIN	TYP‡	MAX	UNIT
evel input voltage			2			V
ever input voltage					0.8	V
amp voltage	V_{CC}=MIN,	I_I = −18mA			−1.5	V
evel output voltage	V_{CC}=MIN, V_{IL}=0.8V,	V_{IH}=2V, I_{OH}=−400μA	2.7	3.4		V
ever output voltage	V_{CC}=MIN, V_{IL}=0.8V,	V_{IH}=2V, I_{OL}=8mA		0.35	0.5	mA
current at	Clear	V_{CC}=MAX, V_I=7V			0.1	
input	Input A	V_{CC}=MAX, V_I=5.5V			0.2	mA
	Input B				0.4	
input current	Clear	V_{CC}=MAX, V_I=2.4V,			20	
	A				100	μA
	B				100	
input current	Clear	V_{CC}=MAX, V_I=0.4V			−0.4	
	A				−1.6	mA
	B				−2.4	
rcuit output current*	V_{CC}=MAX	SN54	−20		−100	mA
		SN74	−20		−100	
ply current	V_{CC}=MAX	See Note 1		13	26	mA

A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	25	35		MHz
A to output Q_A			12	20	ns
A to output Q_C			13	20	ns
Clear to Any output			40	60	ns
			24	39	ns

C is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5V, and all other inputs grounded.

ow indicates that the falling edge of the clock pulse is used for reference.
aximum count frequency t_{PHL} = propagation delay time, high-to-low-level output t_{PLH} = propagation delay time, low-to-high-level output
: outputs of the '390 are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
nditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
ical values are at V_{CC} = 5V, T_A = 25°C.
re than one output should be shorted at a time.

Pin Assignment (Top View)



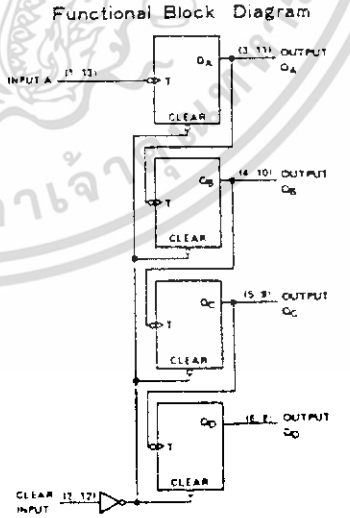
positive logic: High input to clear resets all four outputs low.

Function Table

COUNT SEQUENCE (EACH COUNTER)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Functional Block Diagram



'393 DUAL 4-BIT BINARY COUNTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port A (PA0 – PA7)	Port C บน (PC4– PC7)	Port B (PB0 – PB7)	Port C (PC0 – PC3)	Control code (hex)
Output	output	output	output	80H
output	output	output	input	81H
output	output	input	output	82H
output	output	input	input	83H
output	input	output	output	88H
output	input	output	input	89H
output	input	input	output	8AH
output	input	input	input	8BH
input	output	output	output	90H
input	output	output	input	91H
input	output	input	output	92H
input	output	input	input	93H
input	input	output	output	98H
input	input	output	input	99H
input	input	input	output	9AH
input	input	input	input	9BH

ตารางที่ 1 8255 MODE 0 CONFIGULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF
T.I.					SN54LS164 SN74LS164	J N W	SN54164 SN74164	J N W	SN54L164 SN74L164	J N W J N
FAIRCHILD					F54LS164/F74LS164 F54S164/F74S164	D P F D P F	F54164 F74164 F93164 F33164	D P F D P F		
MOTOROLA					SN74LS164	P D	MC74164	P D		
N.S.C.					DM74LS164 DM54LS164	N D J	DM74164	N D	DM54L164 DM74L164	J N D J N D
PHILIPS					N74LS164	A D	N74164 N74164	A D F		
SIGNETICS					N74LS164	A D	8264 N74164	F D A N		
SIEMENS							FLJ441	D		
FUJITSU					MB74LS164	MA P				
HITACHI					HD74LS164	P D	HD74164	P D		
MITSUBISHI					M74LS164	P	M53264	P		
NEC					μPB74LS	C P	μPB2164	C P		
TOSHIBA							TD3503A	P D		
AMD					Am74LS164					

Electrical Characteristics SN54LS164, SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54LS164	−55°C	to 125°C
Input voltage	7V	SN74LS164	0°C	to 70°C
		Storage temperature range	−65°C	to 150°C

recommended operating conditions

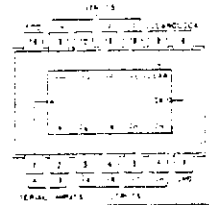
	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current maximum, input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current#	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			5	22	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input		C_L = 15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View)

①



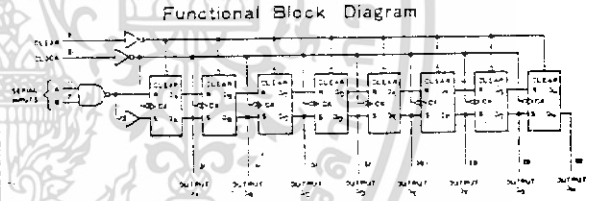
positive logic: see function table

Function Table

'164, LS164, L164 (see Note 2)

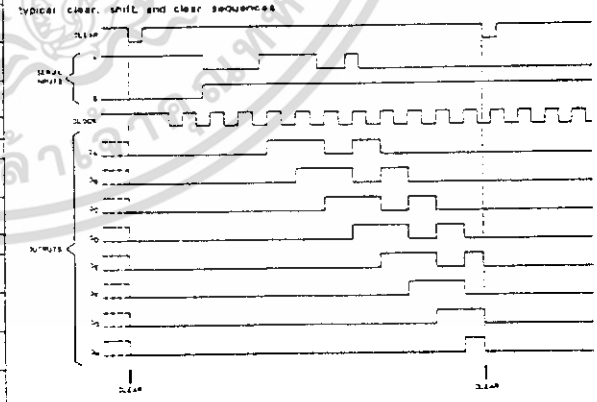
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	... QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = low-level (steady state), X = irrelevant (any input, including transitions), ↑ = transition from low to high level, Q_{A0}, Q_{B0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established, Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

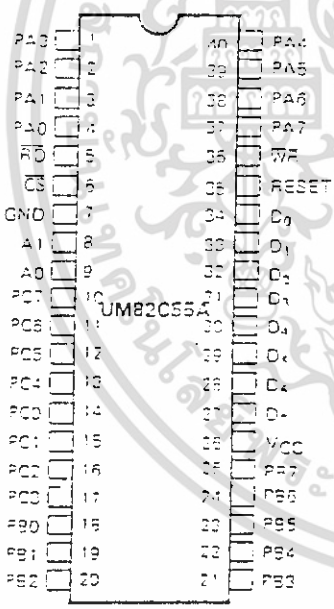
การทำงานของ ET-PC 8255

CARD ET-PC 8255 จะประกอบไปด้วย 3 ส่วนใหญ่ๆก็คือ ส่วน IC 8255 ซึ่งเป็น IC ทำหน้าที่เป็น INPUT , OUTPUT PORT และส่วนของวงจร IC DECODE (เลือกตำแหน่งของ PORT 8255) คือ IC 74LS688 , 74LS138 และ DIP SW.

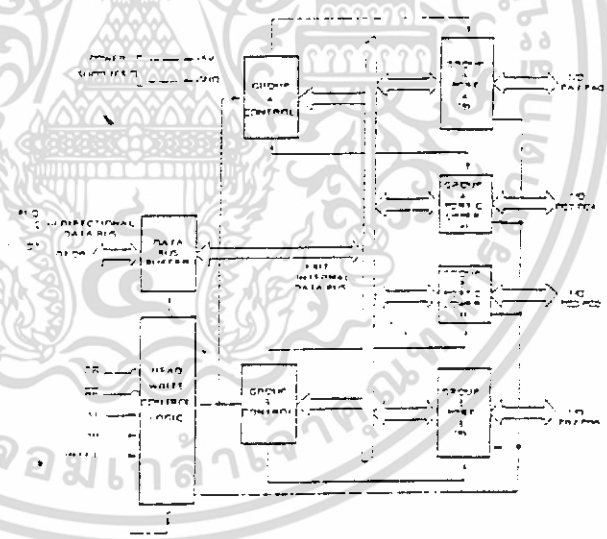
การใช้งาน IC 8255

IC 8255 นี้จะเป็น IC ซึ่งประกอบด้วย PORT ใช้งาน 3 PORT และอีก 1 PORT ควบคุมก่อนที่เราจะใช้งาน 8255 เราจะต้องส่งข้อมูลไปให้ยัง PORT ควบคุมก่อนว่าจะให้ PORT ทั้ง 3 PORT ของ 8255 ที่เหลือนั้นทำหน้าที่อะไร เป็น INPUT หรือ OUTPUT PORT เราจะต้องเป็นผู้กำหนด CONTROL CODE PORT ควบคุมดังรูป :-

Pin Configuration



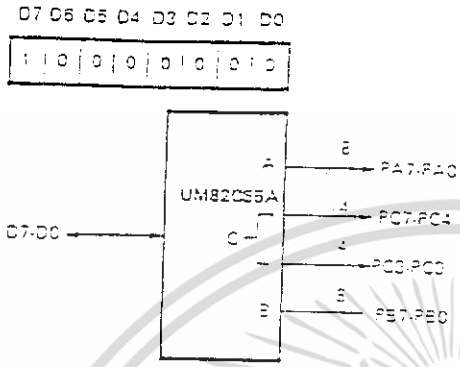
Block Diagram



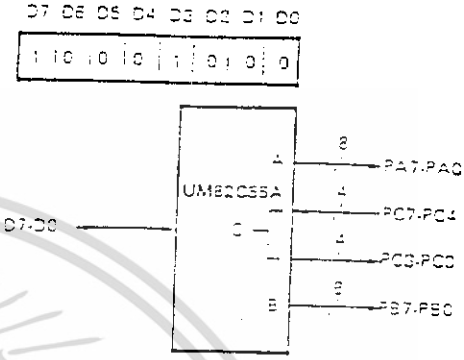
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode 0 Configurations

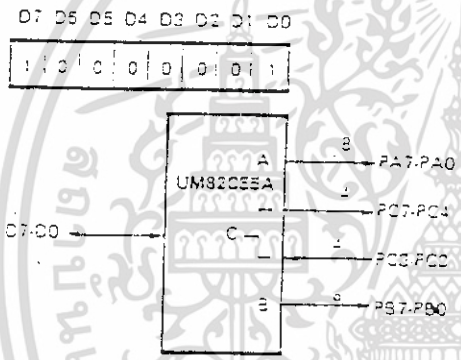
CONTROL WORD #0



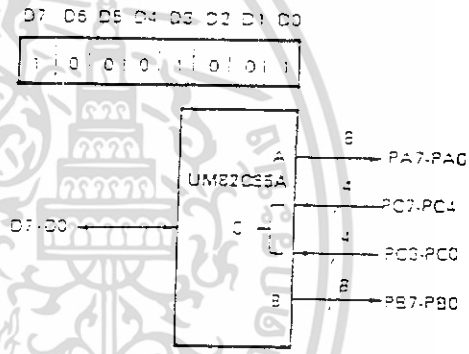
CONTROL WORD #4



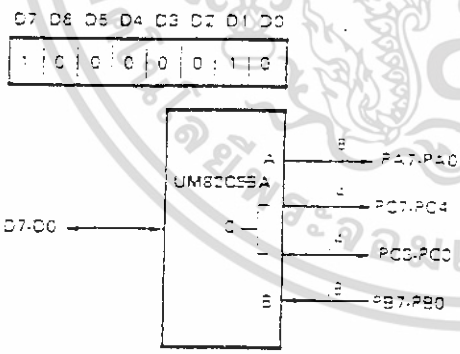
CONTROL WORD #1



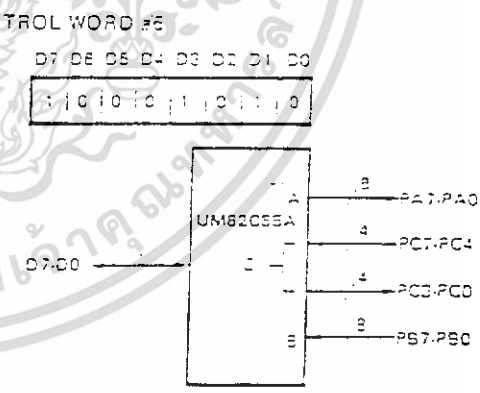
CONTROL WORD #5



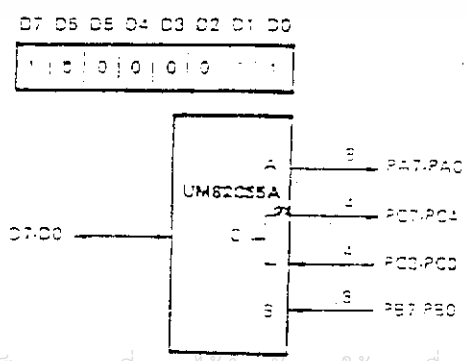
CONTROL WORD #2



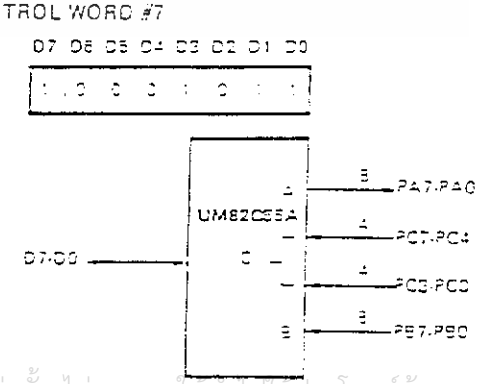
CONTROL WORD #6



CONTROL WORD #3



CONTROL WORD #7

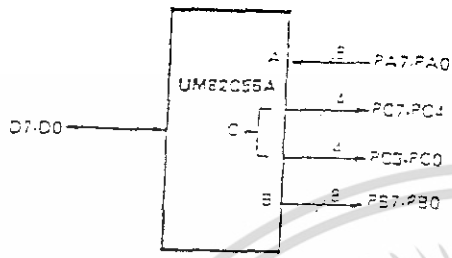


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONTROL WORD #8

D7 D6 D5 D4 D3 D2 D1 D0

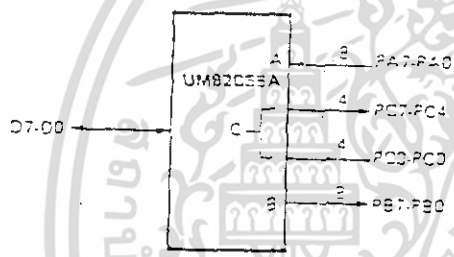
1 0 0 1 0 0 0 0



CONTROL WORD #9

D7 D6 D5 D4 D3 D2 D1 D0

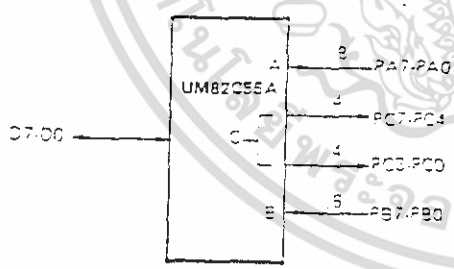
1 0 0 1 0 0 0 1



CONTROL WORD #10

D7 D6 D5 D4 D3 D2 D1 D0

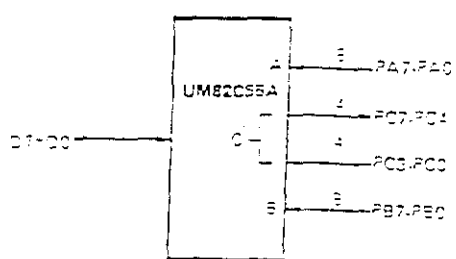
1 0 0 1 0 0 1 0



CONTROL WORD #11

D7 D6 D5 D4 D3 D2 D1 D0

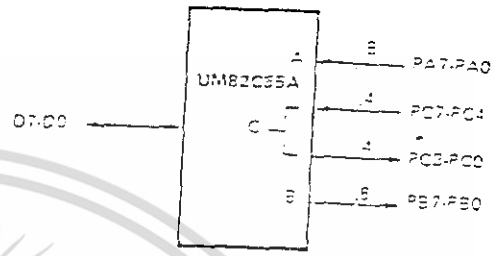
1 0 0 1 0 0 1 1



CONTROL WORD #12

D7 D6 D5 D4 D3 D2 D1 D0

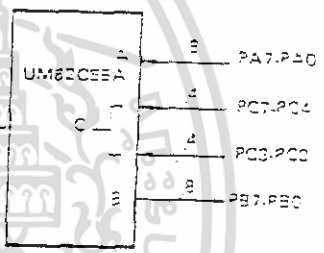
1 0 0 1 1 0 0 0



CONTROL WORD #13

D7 D6 D5 D4 D3 D2 D1 D0

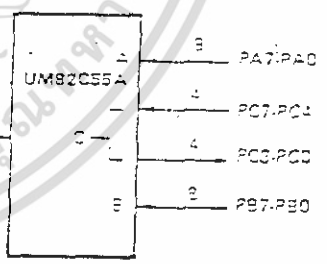
1 0 0 1 1 0 0 1



CONTROL WORD #14

D7 D6 D5 D4 D3 D2 D1 D0

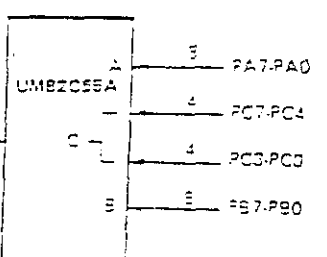
1 0 0 1 1 0 1 0



CONTROL WORD #15

D7 D6 D5 D4 D3 D2 D1 D0

1 0 0 1 1 0 1 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PASCAL

```
PROGRAM ITPC_8255
USER CRT;

VAR  I,X:BYTE
TYPE AR_DATA=ARRAY[1..8] OF BYTE;

CONST       PA1=$0300;
            PB1=$0301;
            PC1=$302;
            PCONT_1=$0303
            DATA_OUT:AR_DATA=($FE,$FD,$
FB,$F7,$EF,$DF,$BF,$7F);

BEGIN
      PORT[PCONT_1]:=$80;
      FOR I:=1 TO 8 DO
        BEGIN
          PORT[PA1]:=DATA_OUT[I];
          DELAY(200);
        END;
      X:=8;
      FOR I:=1 TO 8 DO
        BEGIN
          PORT[PA1]:=DATA_OUT[X]
          DELAY(200);
          X:X-1;
        END;
END.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC HARDWARE I/O MAP

8088 Class Systems

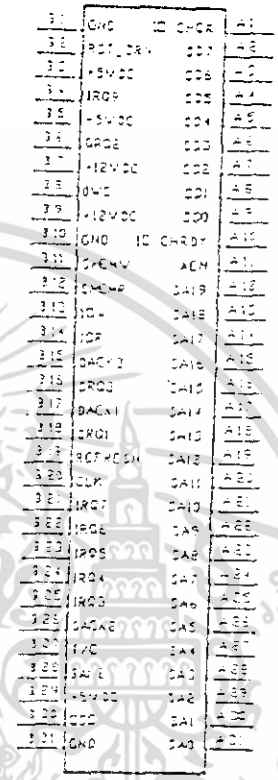
Address	Function
ØØØ–ØØF	DMA Controller (8237A)
Ø2Ø–Ø21	Interrupt controller (8259A)
Ø4Ø–Ø43	Timer (8253)
Ø6Ø–Ø63	PPI (8255A)
Ø8Ø–Ø83	DMA page register (74LS612)
ØAØ–ØAF	NMI – Non Maskable Interrupt
2ØØ–2ØF	Game Port Joystick controller
21Ø–217	Expansion Unit
2E8–2EF	COM4: Serial Port
2F8–2FF	COM2: Serial Port
3ØØ–31F	Prototype Card
32Ø–32F	Hard Disk
378–37F	Parallel Printer Port 1
38Ø–38F	SDLC
3BØ–3BF	MDA – Monochrome Adapter and printer
3DØ–3D7	CGA – Color Graphics Adapter
3E8–3EF	COM3: Serial Port
3FØ–3F7	Floppy Diskette Controller
3F8–3FF	COM1: Serial Port

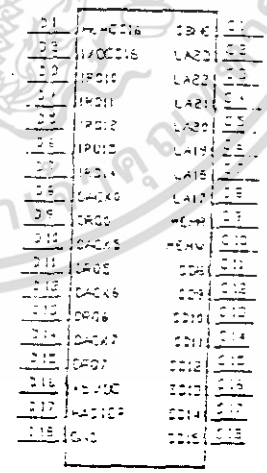
80286/386/486 Class Systems

Address	Function
ØØØ–Ø1F	DMA Controller #1 (8237A-5)
Ø2Ø–Ø3F	Interrupt controller #1 (8259A)
Ø4Ø–Ø5F	Timer (8254)
Ø6Ø–Ø6F	Keyboard (8Ø42)
Ø7Ø–Ø7F	NMI – Non Maskable Interrupt & CMOS RAM
Ø8Ø–Ø9F	DMA page register (74LS612)
ØAØ–ØBF	Interrupt controller #2 (8259A)
ØCØ–ØDF	DMA Controller #2 (8237A)
ØFØ–ØFF	8Ø287 Math Coprocessor
1FØ–1F8	Hard Disk
2ØØ–2ØF	Game Port Joystick controller
268–26F	Intel Above Board
278–27F	Parallel Printer Port 2
2E8–2EF	COM4: Serial Port
2F8–2FF	COM2: Serial Port
3ØØ–31F	Prototype Card
378–37F	Parallel Printer Port 1
380–38F	SDLC or Bisynchronous Comm Port 2
3AØ–3AF	Bisynchronous Comm Port 1
3BØ–3BF	MDA – Monochrome Adapter
3BC–3BE	Parallel Printer on Monochrome Adapter
3CØ–3CF	EGA – Reserved
3DØ–3D7	CGA – Color Graphics Adapter
3E8–3EF	COM3: Serial Port
3FØ–3F7	Floppy Diskette Controller
3F8–3FF	COM1: Serial Port

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34 PIN I/O BUS





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253/8253-5
PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2.6 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8253 is a programmable counter/timer device designed for use as an Intel microcomputer peripheral. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as 3 independent 16-bit counters, each with a count rate of up to 2.6 MHz. All modes of operation are software programmable.

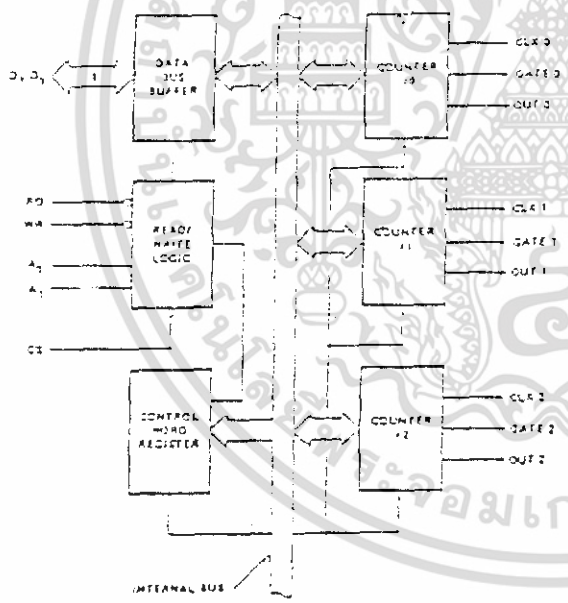


Figure 1. Block Diagram

Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	−65°C to +150°C
Voltage On Any Pin With Respect to Ground	−0.5V to +7V
Power Dissipation	1 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5V ±10%) *

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	−0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC} +.5V	V	
V_{OL}	Output Low Voltage		0.45	V	Note 1
V_{OH}	Output High Voltage	2.4		V	Note 2
I_{IL}	Input Load Current		±10	µA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	µA	V_{OUT} = V_{CC} to .45V
I_{CC}	V_{CC} Supply Current		140	mA	

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	f_C = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ±10%, GND = 0V) *

Bus Parameters (Note 3)

READ CYCLE

Symbol	Parameter	8255 Min.	8255 Max.	8255-5 Min.	8255-5 Max.	Unit
t_{AR}	Address Stable Before $\overline{READ}$	50		30		ns
t_{RA}	Address Hold Time for $\overline{READ}$	5		5		ns
t_{RR}	$\overline{READ}$ Pulse Width	400		300		ns
t_{RD}	Data Delay From $\overline{READ}$ (1)		300		200	ns
t_{DF}	$\overline{READ}$ to Data Floating	25	125	25	100	ns
t_{RV}	Recovery Time Between $\overline{READ}$ and Any Other Control Signal	1		1		µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

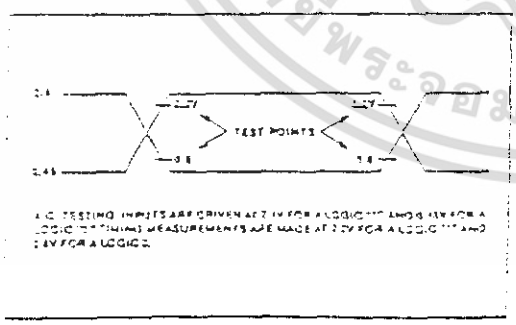
Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before $\overline{WR}$	50		30		ns
t_{WA}	Address Hold Time for $\overline{WR}$	30		30		ns
t_{WW}	$\overline{WR}$ Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for $\overline{WR}$	300		250		ns
t_{WD}	Data Hold Time for $\overline{WR}$	40		30		ns
t_{RV}	Recovery Time Between $\overline{WR}$ and Any Other Control Signal	1		1		μs

CLOCK AND GATE TIMING

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to CLK ↑	100		100		ns
t_{GH}	Gate Hold Time After CLK ↑	50		50		ns
t_{OD}	Output Delay From CLK ↓ [4]		400		400	ns
t_{ODG}	Output Delay From Gate ↓ [4]		300		300	ns

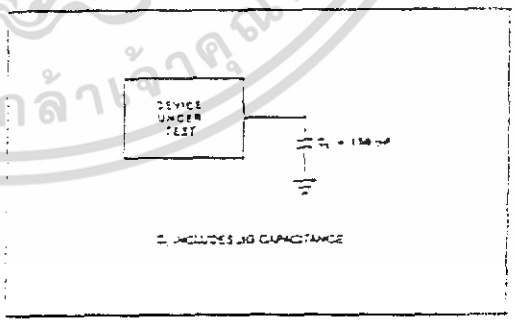
NOTES:
1. I_{OL} = 2.2 mA.
2. I_{OH} = −400 μA.
3. AC timings measured at V_{OH} 2.0, V_{OL} = 0.8.
4. C_L = 150pF.
* For Extended Temperatures EXPRESS, use M8253 electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

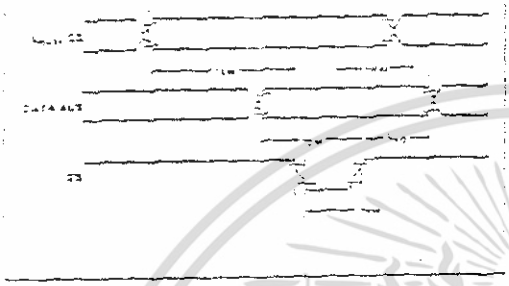


C_L INCLUDES JIG CAPACITANCE

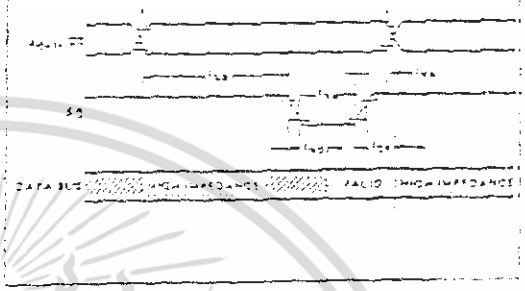
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

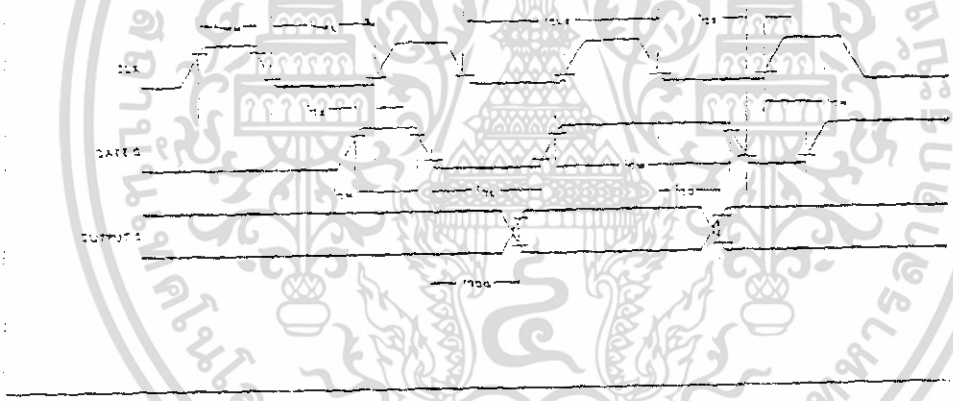
WRITE TIMING



READ TIMING



CLOCK AND GATE TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้