สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมอุปกรณ์ไฟฟ้าโดยใช้ CPU

(ELECTRIC APPLIANCE CONTROLLED BY CPU)

T086880

โดย

นาย ชัชวินท์ อัมรี

นาย ประกาศ มาห้างหว้า

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาหลักสูตร

อุตสาหกรรมศาสตรบัณฑิตย์

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร

ลาดกระบัง

ปีการศึกษา 2538

เลขทะเบียน 86880
วัน,เดือน,ปี 16 ส.ค. 2552

b.
i.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์

การควบคุมอุปกรณ์ไฟฟ้าโดยใช้ CPU
(ELECTRIC APPLIANCE CONTROLLED BY CPU)

ชื่อนักศึกษา นาย ชัชวินท์ อัมรี 2N 37012003

นาย ประกาศ มาห้างหว้า 2N 37012013

อาจารย์ที่ปรึกษา อาจารย์ ประดิษฐ์ วัชระพิบูลย์

ปีการศึกษา 2538

คณะวิศกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์

การควบคุมอุปกรณ์ไฟฟ้าโดยใช้ CPU
(ELECTRIC APPLIANCE CONTROLLED BY CPU)

ชื่อนักศึกษา นาย ชัชวินท์ อัมรี 2N 37012003

นาย ประกาศ มาห้างหว้า 2N 37012013

อาจารย์ที่ปรึกษา อาจารย์ ประดิษฐ์ วัชระพิบูลย์

ปีการศึกษา 2538

บทคัดย่อ

ในปริญญานิพนธ์นี้กล่าวถึงการออกแบบและการสร้างชุดอุปกรณ์ไฟฟ้าโดยใช้ ไมโครโปรเซสเซอร์ ซึ่งชุดควบคุมนี้จะแบ่งออกเป็น 2 ส่วน ส่วนแรก เป็นการควบคุมการเปิดปิดอุปกรณ์ไฟฟ้าซึ่งอุปกรณ์ไฟฟ้าสามารถตั้งเวลาการเปิด-ปิดได้ด้วย ส่วนที่สอง เป็นการควบคุมการหรี่ไฟโดยใช้ไตรแอกเป็นตัวควบคุมเฟส

ABSTRACT

This thesis covers the design and built the device for controlling the on-off electric appliance by useing of Microprocessor. This CPU controller can be separated onto two parts , the first is the on-off controller of electric appliance or operated as timer and the other part is the level control of brightness of electric lamp by useing of triacfor phase adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำปริญญานิพนธ์นี้ ทางคณะผู้จัดทำได้ความช่วยเหลือ ให้คำปรึกษาแนะแนวทางการดำงานตลอดจนความช่วยเหลือในเรื่องเครื่องมือที่ใช้ในการดำเนินงานต่างๆ จากท่านอาจารย์ประดิษฐ์ วัชระพิบูลย์ เป็นอย่างดี จนกระทั่งสำเร็จเป็นโครงการนี้ คณะผู้จัดทำโครงงาน ขอกราบขอบพระคุณอาจารย์ที่ให้ความกรุณามา ณ ที่นี้เป็นอย่างสูง

คณะผู้จัดทำโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่	1	บทนำ	1
บทที่	2	สถาปัตยกรรมของไมโครโปรเซสเซอร์	2
		สถาปัตยกรรมของ MCS-51	2
		สถาปัตยกรรมของ DS 1287	29
บทที่	3	การออกแบบและโครงสร้างของฮาร์ดแวร์	36
		การต่อคีย์บอร์ดเข้ากับไมโครคอนโทรลเลอร์	36
		การทำงานของชุดหรี่ไฟ	40
		การทำงานของภาคจ่ายไฟ	42
		การทำงานของชุดควบคุมอุปกรณ์ไฟฟ้า	44
		การทำงานของชุดสร้างสัญญาณทริก	46
		การทำงานของชุดสร้างสัญญาณรีเซต	47
		การออกแบบ PCB	49
บทที่	4	ผลการทดลอง	54
บทที่	5	สรุปผลการทดลองและวิจารณ์	55
		ภาคผนวก	
		DATASHEET	A01
		การใช้งาน	A55
		โปรแกรมควบคุมการทำงานทั้งหมด	A58
		กิตติกรรมประกาศ	A87
		หนังสืออ้างอิง	A88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ 1	แสดงโครงสร้างหน่วยความจำของ MCS-51	(4)
รูปที่ 2	แสดงหน่วยความจำสำหรับเก็บโปรแกรมและเก็บข้อมูลรวม	(5)
รูปที่ 3	แสดงตำแหน่งของโปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์แต่ละชนิด	(6)
รูปที่ 4	แสดงโปรแกรมบริการอินเตอร์รัปต์ที่มีความยาวเกิน 8 ไบต์ และการนำหน่วยความจำที่เป็นโปรแกรมบริการอินเตอร์รัปต์ที่ไม่ได้ใช้งาน	(8)
รูปที่ 5	แสดงการใช้หน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป	(9)
รูปที่ 6	แสดงการใช้โปรแกรมจากหน่วยความจำเก็บโปรแกรมภายในชิปกับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป จำนวน 2 กิโลไบต์	(11)
รูปที่ 7	แสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิปทั้ง 3 กรณี	(12)
รูปที่ 8	แสดงตำแหน่งหน่วยความจำ 128 ไบต์ล่างใช้เป็นรีจิสเตอร์ใช้งานทั่วๆไป	(14)
รูปที่ 9	แสดงตำแหน่งของขาไมโครคอนโทรลเลอร์ MCS-51	(15)
รูปที่ 10	แสดงบิตต่างๆภายในรีจิสเตอร์ TCON ที่เกี่ยวกับ อินเตอร์รัปต์ภายนอก	(21)
รูปที่ 11	แสดงตำแหน่งของแอดเดรสที่ซีพียูจะกระโดดไปทำงานเมื่อมีอินเตอร์รัปต์ภายนอกเกิดขึ้น	(21)
รูปที่ 12	แสดงสัญญาณที่เข้ามาอินเตอร์รัปต์ 8051 ที่เกิดขึ้นใน 5 ลักษณะ	(22)
รูปที่ 13	แสดงโครงสร้างอินเตอร์รัปต์ของ 8051	(23)
รูปที่ 14	แสดงบิตต่างๆภายในรีจิสเตอร์ IE	(24)
รูปที่ 15	แสดงบิตต่างๆภายในรีจิสเตอร์ IP	(26)
รูปที่ 16	แสดงการใช้คริสตอลภายนอกต่อกับวงจรต่อเข้ากับวงจร OSC ภายใน 8051	(27)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 17 แสดงโครงสร้างการเชื่อมต่อคีย์แบบเมตริกซ์แบบ 5*4 (36)
รูปที่ 18 แสดงวงจรในส่วนของการเชื่อมต่อคีย์บอร์ด (39)
รูปที่ 19 แสดงวงจรของชุดหรี่ไฟ (40)
รูปที่ 20 แสดงวงจรของภาคจ่ายไฟ (42)
รูปที่ 21 แสดงวงจรของชุดควบคุมอุปกรณ์ไฟฟ้า (44)
รูปที่ 22 แสดงวงจรของชุดสร้างสัญญาณทริกให้กับขาอินเตอร์รัปต์ของ 8051 (46)
รูปที่ 23 แสดงวงจรของชุดสร้างสัญญาณรีเซต (47)
รูปที่ 24 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหน้าของตัวเครื่อง (A55)
รูปที่ 25 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหลังของตัวเครื่อง (A55)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันความก้าวหน้าทางเทคโนโลยีทำให้มนุษย์มีความเป็นอยู่เปลี่ยนไป โดยเฉพาะความสะดวกสบาย ความรวดเร็ว ตลอดจนความสามารถในการใช้แรงงานของมนุษย์ให้ลดน้อยลง แต่ประสิทธิภาพของการทำงานสูงขึ้น ระบบอัตโนมัติจึงเข้ามามีบทบาทสำคัญในชีวิตประจำวันของคนเรา แต่ก่อน ถ้าเราต้องการเปิด-ปิดอุปกรณ์ไฟฟ้าสัก 2-3 ชิ้น สิ่งที่เราจะต้องสนใจเป็นอันดับแรกคืออุปกรณ์นั้นคืออะไร อยู่ไหน ถ้าของนั้นอยู่ต่างที่กัน ก็จะเป็นการเสียเวลาในการเคลื่อนย้าย หรือเดินไปมาในการเปิด-ปิดอุปกรณ์ไฟฟ้านั้นๆ ดังนั้นโครงงานนี้จึงเป็นเสมือนจุดศูนย์กลางในการควบคุมอุปกรณ์ไฟฟ้าต่างที่กันด้วยจุดศูนย์กลางเพียงแห่งเดียว ทำให้สดวก และ ประหยัดเวลาดังที่ได้กล่าวมาแล้วข้างต้น

เนื้อหาของโครงงานนี้แบ่งออกเป็น 5 ส่วนด้วยกันคือ

ส่วนแรก กล่าวถึง ทฤษฎีของ CPU ตัวหลักๆ 2 ตัวคือ MCS-51 และ DS-1287

ส่วนที่สอง กล่าวถึง การออกแบบและการสร้างโครงงาน

ส่วนที่สาม กล่าวถึง การทดลองและผลการทดลอง

ส่วนที่สี่ เป็นบทวิจารณ์และสรุปผลการทดลอง

ส่วนที่ห้า ภาคผนวก ประกอบด้วยหลักการใช้งานต้นเครื่อง หนังสืออ้างอิง และ กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ในบทนี้จะศึกษาโครงสร้างทางสถาปัตยกรรมของ MCS-51 และ RTC DS 1287

ส่วนของ MCS-51 แบ่งเป็น

1. โครงสร้างทางหน่วยความจำ
   - หน่วยความจำสำหรับเก็บโปรแกรม
   - หน่วยความจำสำหรับเก็บข้อมูล
2. โครงสร้างทางอินเตอร์รัปต์
3. โครงสร้างที่สำคัญอื่นๆ

ส่วนของ RTC DS 1287

1. โครงสร้างทางหน่วยความจำ
2. โครงสร้างทางอินเตอร์รัปต์
3. โครงสร้างทางรีจิสเตอร์
4. โครงสร้างที่สำคัญอื่นๆ

โครงสร้างทางสถาปัตยกรรมของ MCS-51

โครงสร้างหน่วยความจำของ MCS-51

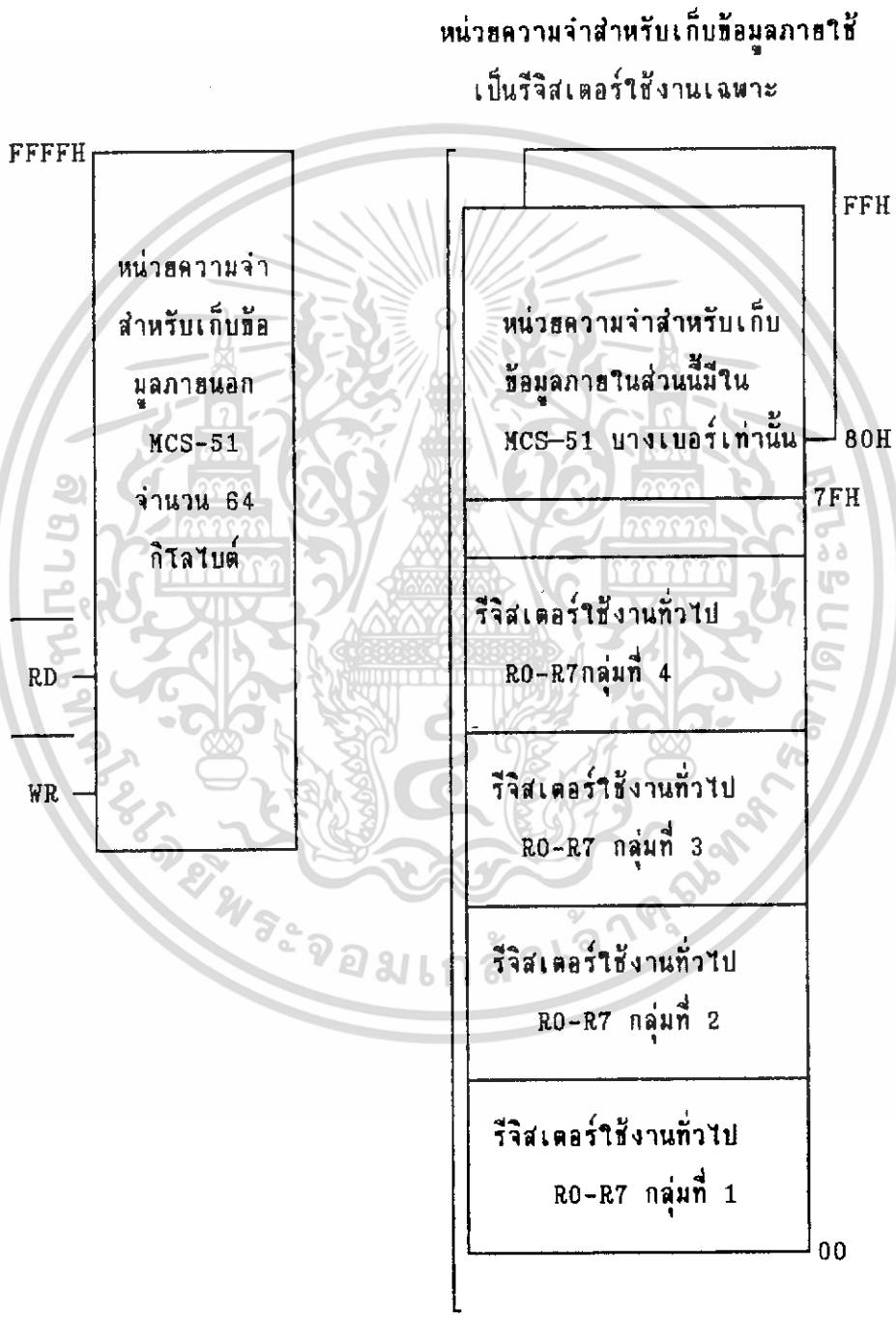
การที่เราจะสามารถใช้คำสั่งของ MCS-51 ได้อย่างมีประสิทธิภาพ ก่อนอื่น จำเป็นต้องเข้าใจเกี่ยวกับการจัดการหน่วยความจำของ MCS-51 (memory organization in MCS - 51 devices) ดังต่อไปนี้ (ดูรูปที่ 1 ประกอบ)

การแบ่งหน่วยความจำ

ชิปทุกตัว ในตระกูล MCS-51 มีตำแหน่งหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลแยกจากกัน (ดังแสดงในรูปที่ 1) การแบ่งตำแหน่งของหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลแยกจากกัน จะทำให้การอ้างแอดเดรสสามารถกระทำได้โดยใช้ค่าเพียง 8 บิตในการติด

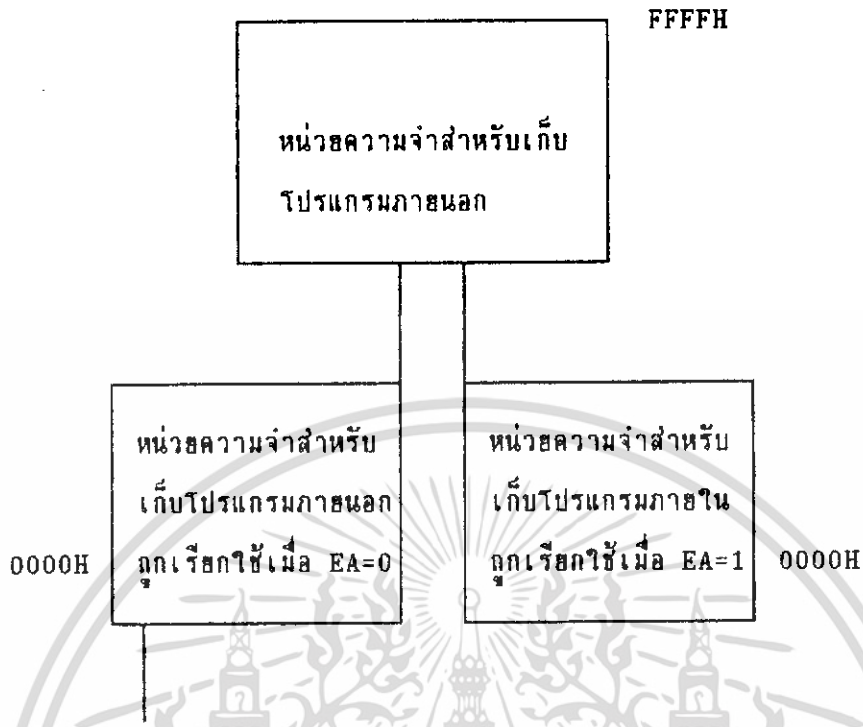
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อกับหน่วยความจำสำหรับเก็บข้อมูลได้ช่วยให้สามารถเก็บและจัดการข้อมูลได้เร็วขึ้น แต่ในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่ต้องใช้แอดเดรสขนาด 16 บิตก็สามารถใช้การอ้างแอดเดรสผ่านรีจิสเตอร์ใช้งานเฉพาะ DPTRได้



ก. หน่วยความจำสำหรับเก็บข้อมูลภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข. หน่วยความจำสำหรับเก็บโปรมแกรม

รูปที่ 1 แสดงโครงสร้างหน่วยความจำของ MCS-51

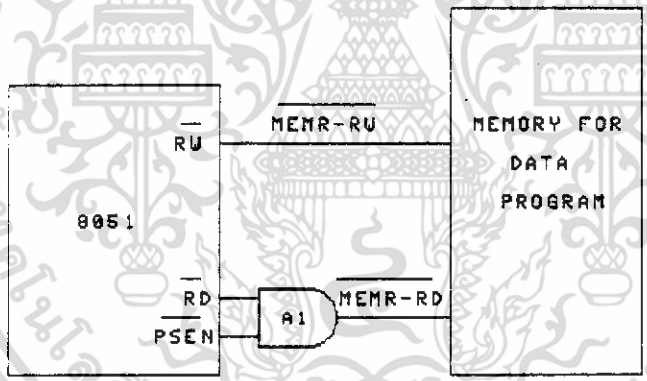
ซีพียูสามารถอ่านข้อมูลที่เป็นคำสั่งจากหน่วยความจำสำหรับเก็บโปรแกรม ได้อย่างเดียวกระบวนการที่ซีพียูอ่านคำสั่งจากหน่วยความจำมาทำงานมีชื่อเรียกกันว่ากระบวนการเฟตช์ (fetch) คำสั่งและเราไม่สามารถเขียนข้อมูลลงไปในหน่วยความจำสำหรับเก็บโปรแกรมได้ ขนาดหน่วยความจำสำหรับเก็บโปรแกรมสูงสุดของ MCS-51 จะเป็น 64 กิโลไบต์ และที่ MCS-51ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น รอม หรือ อีพรอม ขนาดต่างๆขึ้นอยู่กับเบอร์ของชิป จะมีค่าตำแหน่งหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเริ่มจาก 0000H เป็นต้นไป(ในกรณีที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในขนาด 4 กิโลไบต์ จะมีตำแหน่งหน่วยความจำเริ่มจาก 0000H จนถึง 0FFFH ส่วนตำแหน่งหน่วยความจำที่สูงกว่านี้จะอยู่ในหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป) ใน MCS-51ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปหน่วยความจำสำหรับเก็บโปรแกรมทั้งหมดจะอยู่ภายนอกและสัญญาณอ่านข้อมูลจากหน่วยความจำสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บโปรแกรมภายนอก (read strobe) คือสัญญาณ PSEN (Program Strobe Enable) ที่ได้จาก PSEN (ขา 29)

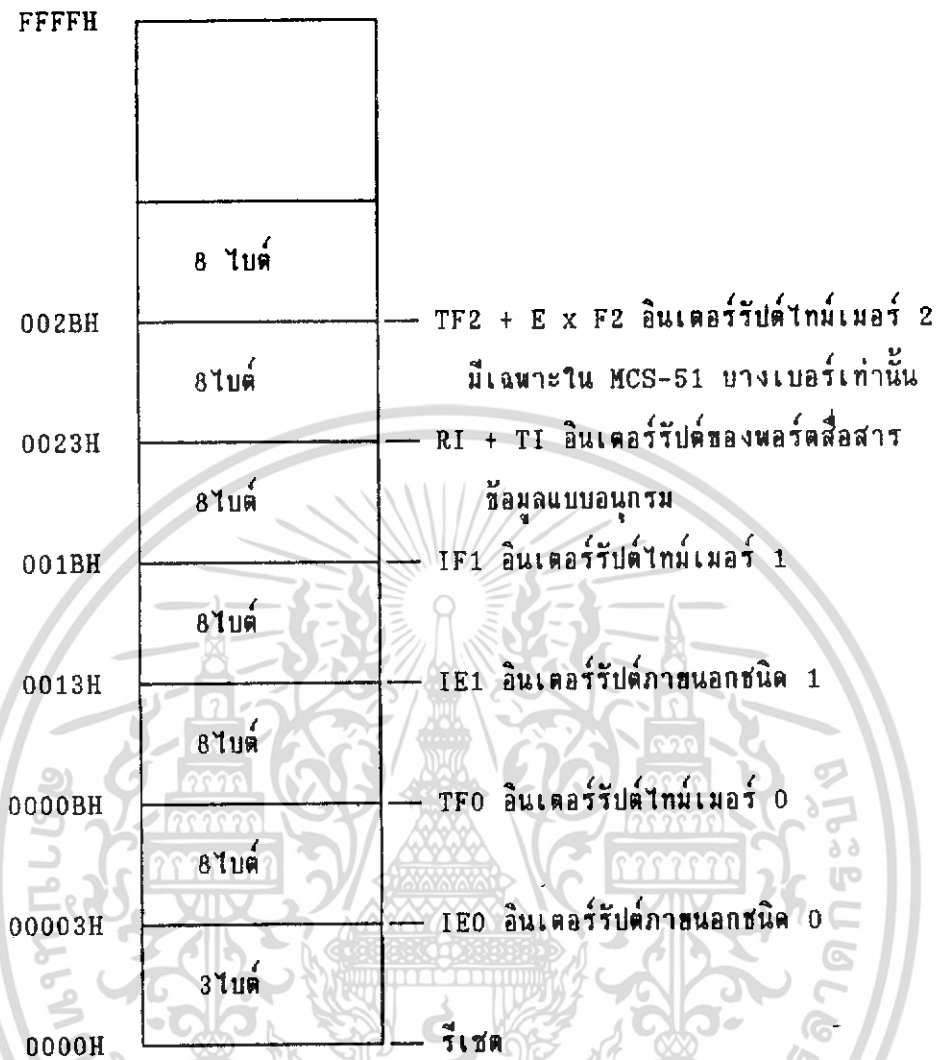
หน่วยความจำสำหรับเก็บข้อมูลใช้เนื้อที่แยกต่างหากจากหน่วยความจำสำหรับเก็บโปรแกรมมีขนาดได้สูงสุด 64 กิโลไบต์ หน่วยความจำสำหรับเก็บข้อมูลส่วนหนึ่งจะอยู่ภายในชิป MCS-51ทุกเบอร์ ส่วนในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลภายนอก ชิปจะใช้สัญญาณ RD และ WR จากขา 17 (P 3.7) และขา 16 (P 3.6) ของพอร์ต 3 ตามลำดับ

หน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปสามารถรวมกันได้ถ้าต้องการ โดยการใช้สัญญาณ PSEN และ RD เป็นอินพุตให้กับเกตแอนด์ และใช้เอาต์พุตที่ได้เป็นสัญญาณ READ STOBE ให้กับหน่วยความจำสำหรับเก็บโปรแกรมหรือเก็บข้อมูลภายนอก ดังแสดงในรูป 2



รูปที่ 2 แสดงการใช้หน่วยความจำสำหรับเก็บโปรแกรมและเก็บข้อมูลรวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงตำแหน่งโปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์แต่ละชนิด

หน่วยความจำสำหรับเก็บโปรแกรม

หลังจากการรีเซต เมื่อเริ่มจ่ายพลังงาน ซีพียูจะเริ่มเฟตช์คำสั่งที่หน่วยความจำตำแหน่ง 0000H บริเวณหน่วยความจำสำหรับเก็บโปรแกรมของ MCS-51 ส่วนหนึ่งจะถูกกำหนดใช้เป็นโปรแกรมบริการอินเตอร์รัปต์ ของสัญญาณอินเตอร์รัปต์แต่ละชนิด โดยจะถูกกำหนดตำแหน่งที่แน่นอนในหน่วยความจำสำหรับเก็บโปรแกรมดังแสดงในรูป 3 สัญญาณอินเตอร์รัปต์ที่เกิดขึ้นจะทำให้ซีพียู ย้ายการทำงานไปทำคำสั่งโปรแกรมบริการอินเตอร์รัปต์ตามแต่ชนิดของสัญญาณอินเตอร์รัปต์ที่เกิดขึ้น เช่น โปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์ภายนอกชนิด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

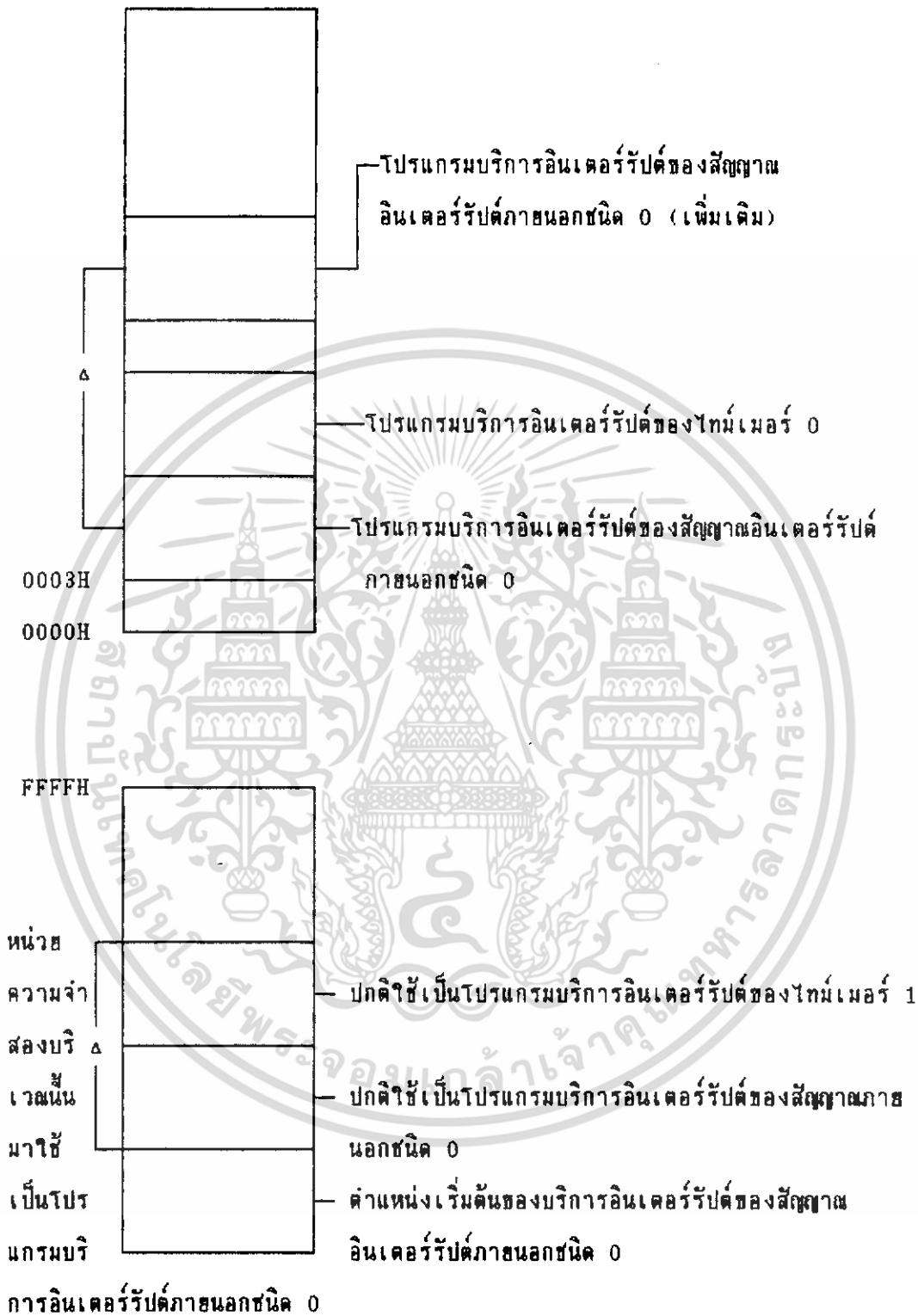
(external interrupt 0) จะอยู่ที่ตำแหน่ง 0003H ถ้ามีสัญญาณอินเตอร์รัปต์ภายนอกชนิด 0 เกิดขึ้น MCS-51 จะย้ายไปทำงาน ณ หน่วยความจำตำแหน่งที่เป็นโปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์ภายนอกชนิด 0 ซึ่งเริ่มต้นที่ตำแหน่ง 0003H หากอินเตอร์รัปต์ชนิดใดไม่ถูกใช้งานบริเวณของหน่วยความจำใช้เป็นโปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์ชนิดนั้นสามารถนำมาใช้เป็นหน่วยความจำสำหรับเก็บโปรแกรมทั่วไปได้ช่วงห่างระหว่างโปรแกรมบริการอินเตอร์รัปต์ที่ติดกัน จะเท่ากับ 8 ไบต์ ซึ่งเพียงพอที่จะบรรจุคำสั่งของโปรแกรมบริการอินเตอร์รับได้ทั้งหมด (ในงานควบคุมทั่วไปโปรแกรมบริการอินเตอร์รัปต์มีความยาวไม่เกิน 8 ไบต์แต่หากโปรแกรมบริการอินเตอร์รัปต์มีความยาวเกิน 8 ไบต์ สามารถใช้คำสั่ง JMP เพื่อข้ามตำแหน่งของโปรแกรมบริการอินเตอร์รัปต์ถัดไป แต่หากบริเวณโปรแกรมบริการอินเตอร์รัปต์ของสัญญาณอินเตอร์รัปต์ที่อยู่ถัดไปไม่ได้ถูกกำหนดให้ใช้งาน เราสามารถนำหน่วยความจำบริเวณนี้มาใช้เป็นส่วนหนึ่งของโปรแกรมบริการอินเตอร์รัปต์ที่มีความยาวเกิน 8 ไบต์ได้ ดังแสดงในรูป 4

ในกรณี MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ๔ กิโลไบต์ (อาจเป็น 8 กิโลไบต์ หรือ 16 กิโลไบต์ ขึ้นกับเบอร์ของชิปในตระกูล) ผู้ใช้สามารถเลือกได้ว่าจะใช้ชิปทำงานจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายในชิปหรือภายนอกชิป ได้โดยการควบคุมจากขา EA ให้ต่อลง Vcc หรือ Vss (ground)

หากเลือกใช้ชิปที่มีหน่วยความจำสำหรับเก็บโปรแกรมนั้นใช้เป็น รอม หรือ อีพรอม ขนาด 4 กิโลไบต์ อยู่ภายใน และ ขา EA ต่อกับ Vcc ซีพียูจะเฟตช์คำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 0000H - 0FFFH จากหน่วยความจำสำหรับเก็บโปรแกรมอยู่ภายในชิปส่วนคำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 1000H - 0FFFFH จะถูกเฟตช์จากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายนอกชิป

หากเลือกใช้ชิปที่มีหน่วยความจำสำหรับเก็บโปรแกรมเป็น รอม หรือ อีพรอม ขนาด 8 กิโลไบต์อยู่ภายใน และขา EA ต่อกับ Vcc ซีพียูจะเฟตช์คำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 0000H - 1FFFH จากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายในชิปส่วนคำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 2000H - 0FFFFH จะถูกเฟตช์จากหน่วยความจำภายนอกชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

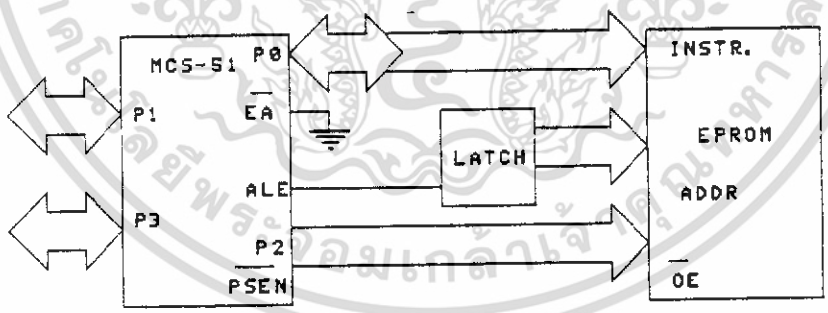


รูปที่ 4 แสดงโปรแกรมบริการอินเตอร์รัปต์ที่มีความยาวเกิน 8 ไบต์ และการนำหน่วยความจำที่เป็นโปรแกรมบริการอินเตอร์รัปต์ที่ไม่ได้ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากเลือกใช้ชิพที่มีหน่วยความจำสำหรับเก็บโปรแกรมเป็น รอม หรือ อีพรอม ขนาด 16 กิโลไบต์อยู่ภายในและขา EA ต่อกับ Vcc ซีพียูจะเฟตช์คำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 0000H - 3FFFH จากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายในชิป ส่วนคำสั่งในโปรแกรมตั้งแต่ตำแหน่ง 4000H - 0FFFFH จะถูกเฟตช์จากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายนอกชิป

หากขา EA ต่อลงกราวด์ซีพียูจะเฟตช์คำสั่งในโปรแกรมทั้งหมดจากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายนอกชิป และสำหรับชิป MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะต้องให้ขา EA ต่อลงกราวด์เสมอเพื่อให้ MCS-51 ทำงานได้ถูกต้องสัญญาณควบคุมการเฟตช์คำสั่งกับโปรแกรมที่เก็บไว้ในหน่วยความจำสำหรับโปรแกรมภายนอกชิป (read strobe) คือสัญญาณ PSEN ซึ่งจะนำไปใช้ต่อกับขา RD ของหน่วยความจำสำหรับเก็บโปรแกรมภายนอก สัญญาณ PSEN จะไม่ถูกใช้ในงานเมื่อ MCS-51 ทำงานจากโปรแกรมซึ่งอยู่ในหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายในชิป การใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิปมีดังแสดงในรูป 5



รูปที่ 5 แสดงการใช้หน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 5 แสดงการใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมที่อยู่ภายนอกชิปของ MCS-51 โดยใช้พอร์ต 0 สำหรับส่งค่าแอดเดรสบัสไบต์ต่ำ (ส่งค่าแอดเดรส A0 - A7 หรือ PCL) และพอร์ต 2 สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15 หรือ PCH) รวมทั้งสิ้น 16เส้น พอร์ต 0 จะทำหน้าที่ในการส่งค่าแอดเดรสค่าไบต์ต่ำ (A0-A7) และ ใช้เป็นดาต้าบัส (D0 -D7) ด้วยโดยหน้าที่ทั้งสองถูกใช้คนละช่วงเวลา (timemultiplex)ในตอนแรกพอร์ต 0 จะส่งค่าแอดเดรสไบต์ต่ำออกมาจากนั้นขาที่ใช้ส่งค่าแอดเดรสจะมีสถานะ high impedence เพื่อรอรับข้อมูลที่ส่งมาจากหน่วยความจำภายนอกขณะที่พอร์ต 0 ส่งค่าของแอดเดรสไบต์ต่ำออกมาขา ALE (Address Latch Enable) จะแอคตีฟดดยการส่งสัญญาณไปยังชิปที่มีหน้าที่แลตช์ค่าแอดเดรสไบต์ต่ำ เพื่อให้เริ่มแลตช์ค่าแอดเดรสไบต์ต่ำไว้ ชิปที่ทำหน้าที่แลตช์ค่าแอดเดรสไบต์ต่ำจะใช้ชิปเบอร์ 74LS373 หรือเบอร์ที่มีคุณสมบัติเดียวกันได้

ในขณะที่สัญญาณ ALE แอกตีฟพอร์ต 2 จะเริ่มส่งค่าแอดเดรสไบต์สูง ไปยังหน่วยความจำสำหรับเก็บโปรแกรมภายนอก (PCH) จากนั้นสัญญาณ PSEN จะเริ่มแอคตีฟโดยการส่งสัญญาณสโตรปไปให้หน่วยความจำที่เก็บโปรแกรมภายนอก เพื่อให้เริ่มส่งข้อมูลซึ่งเป็นค่าสั่งในโปรแกรมมายัง MCS-51

หน่วยความจำสำหรับเก็บโปรแกรมจะใช้แอดเดรสในการติดต่อขนาด 16 บิต ถึงแม้ขนาดของโปรแกรมจะยาวไม่ถึง 64 กิโลไบต์ โดยค่าแอดเดรสจะส่งผ่านพอร์ต 0 และพอร์ต 2 ของ MCS-51

หน่วยความจำสำหรับเก็บข้อมูล

หน่วยความจำสำหรับเก็บข้อมูลทำหน้าที่เก็บข้อมูลที่ใช้ในระหว่างการทำงานของ MCS-51 เช่นใช้เก็บข้อมูลที่รับเข้ามาจากวงจรภายนอก หรือใช้เก็บผลการคำนวณที่ได้จากการประมวลผล หน่วยความจำสำหรับเก็บข้อมูลที่ MCS-51 รู้จัก มีอยู่ด้วยกัน 2 ประเภทคือ

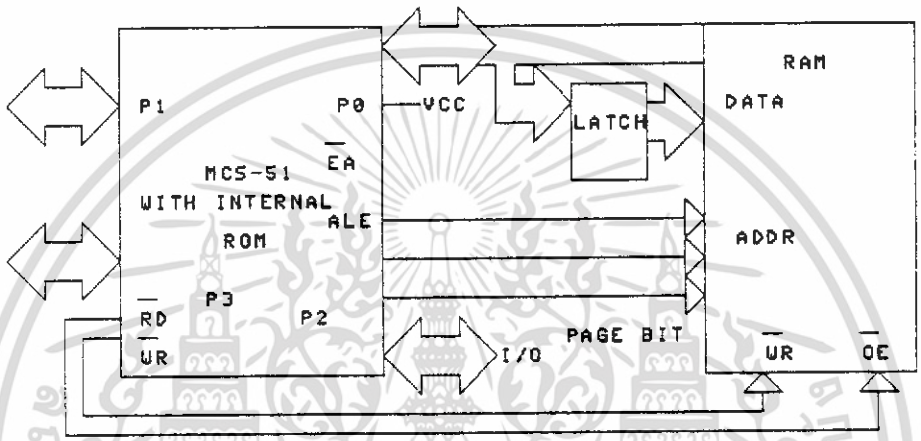
- หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป
- หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายในชิป

หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป

หน่วยความจำสำหรับเก็บข้อมูลประเภทแรกที่เราจะศึกษา คือ หน่วยความจำสำหรับเก็บข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลที่อยู่ภายนอกชิป ซึ่งมีขนาดได้สูงสุด 64 กิโลไบต์ แต่อาจใช้ไม่ครบทั้งหมด หรือ ใช้เป็นเพียงบางช่วงของทั้งหมด ขึ้นอยู่กับระบบและความสดวกในการออกแบบรูปที่ 6 แสดงภาพการใช้หน่วยความจำสำหรับเก็บข้อมูลภายนอกเพียง 2 กิโลไบต์ และใช้หน่วยความจำสำหรับเก็บโปรแกรมจากภายในชิป MCS-51



รูปที่ 6 แสดงการใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป กับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป จำนวน 2 กิโลไบต์

ในการใช้หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอก (ดังแสดงในรูปที่ 6) พอร์ต 0 จะถูกใช้เป็นแอดเดรสบัส และดาต้าบัสเหมือนที่ใช้ในหน่วยความจำสำหรับ เก็บโปรแกรมภายนอกชิปที่กล่าวมาแล้ว ส่วนพอร์ต 2 จะถูกใช้เพียง 3 เส้นเพื่อเป็นตัวเลือกช่วงหน่วยความจำที่ต้องการติดต่อ เนื่องจากแอดเดรสที่ต้องการสำหรับหน่วยความจำ 2 กิโลไบต์ คือ 11 เส้น (8เส้นจากพอร์ต 0 รวมกับ 3 เส้นจากพอร์ต์ 2) ดังนั้นพอร์ต 2 ที่เหลือจากการใช้ติดต่อหน่วยความจำสำหรับเก็บข้อมูลสามารถนำไปใช้เป็นพอร์ตอินพุตหรือพอร์ต์เอาต์พุตทั่วไปได้

หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกจำเป็นต้องมีสัญญาณควบคุมการอ่าน และเขียนข้อมูล สัญญาณการอ่านและเขียนข้อมูล (สัญญาณ RD,WR ตามลำดับ) จะถูกส่งจาก MCS-51 ผ่านทางขา P3.6 และ P3.7 ตามลำดับ

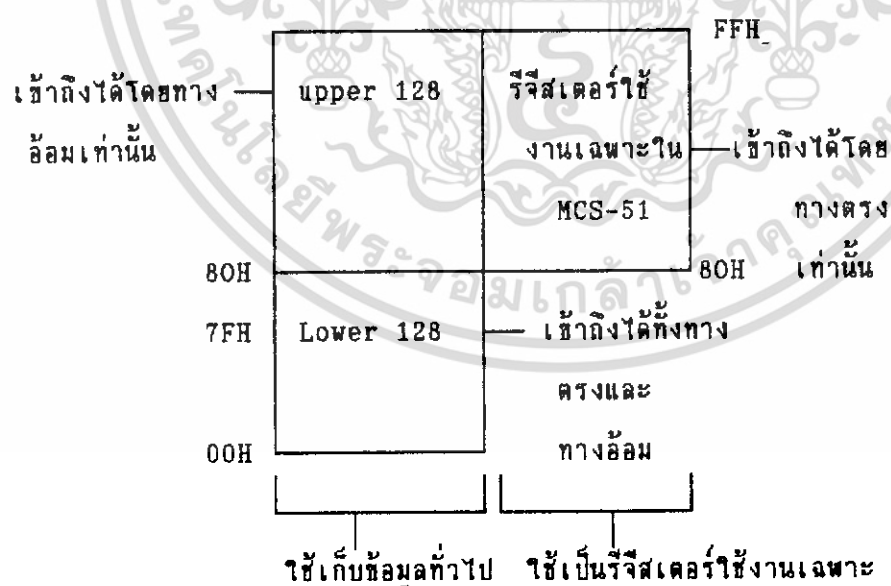
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของหน่วยความจำสำหรับเก็บข้อมูลภายนอกมีได้ไม่เกิน 64 กิโลไบต์ และ อาจจะใช้เพียงบางส่วนดังแสดงในตัวอย่างที่ผ่านมาแล้ว หากใช้หน่วยความจำที่ต้องการแอดเดรสมากกว่า 8 บิต แอดเดรสส่วนที่เกิน 8 บิต จะได้จากพอร์ต 2 เพื่อเป็นตัวเลือกของหน่วยความจำที่ต้องการติดต่อ พอร์ต 2 ที่เหลือจากการติดต่อหน่วยความจำสามารถนำไปใช้งานอย่างอื่นได้ โครงสร้างเช่นนี้ทำให้เกิดความคล่องตัวสูงในการนำไปประยุกต์ใช้งาน

หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายในชิป

หน่วยความจำสำหรับเก็บข้อมูลประเภทต่อไปที่จะศึกษา คือ หน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายใน MCS-51 เอง หน่วยความจำสำหรับเก็บข้อมูลส่วนนี้จะถูกแบ่งออกเป็น 3 ส่วนย่อย ดังนี้

- หน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปบริเวณ 128 ไบต์ล่าง(lower 128)
- หน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปบริเวณ 128 ไบต์บน(upper 128)
- หน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (SFR)



รูปที่ 7 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิปทั้ง 3 บริเวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าตำแหน่งหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS—51 จะมีขนาด 8 บิตทำให้สามารถติดต่อหน่วยความจำได้เพียง 256ไบต์ (ตำแหน่ง 00H—0FFH) แต่จากโครงสร้างหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS—51 จะเห็นว่ามีหน่วยความจำสำหรับเก็บข้อมูลภายในรวมทั้งสิ้นคือ 256+128 = 384 ไบต์ ดังแสดงในรูปที่ 7

สาเหตุที่ทำให้หน่วยความจำสำหรับเก็บข้อมูลใน MCS-51 มีถึง 384 ไบต์เป็นเพราะหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ในบริเวณ 128 ไบต์บน (ตำแหน่ง 7FH-0FFH)จะใช้วิธีเข้าถึงข้อมูลโดยทางอ้อมเท่านั้น แต่สำหรับหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (ตำแหน่ง 7FH - 0FFH เช่นเดียวกัน) จะใช้วิธีเข้าถึงข้อมูลแบบโดยทางตรงเท่านั้น ดังนั้นหน่วยความจำสำหรับเก็บข้อมูลใน MCS-51 ทั้งสองบริเวณจึงสามารถมีตำแหน่งที่ซ้ำกันได้โดยในระหว่างการทำงาน MCS-51 จะตรวจสอบจากรหัสคำสั่งเองว่าคำสั่งที่ต้องการทำงานมีการเข้าถึงข้อมูลในหน่วยความจำ ตำแหน่งใดและโดยวิธีไหน

หน่วยความจำสำหรับเก็บข้อมูลใน MCS-51 บริเวณ 128 ไบต์ล่างตำแหน่ง 00H-1FH รวม 32 ไบต์ จะถูกกำหนดให้เป็นกลุ่มของรีจิสเตอร์ใช้งานทั่วไป 4 กลุ่มกลุ่มละ 8 ตัว (R0-R7)ดังในรูปที่ 8

กลุ่มรีจิสเตอร์ใช้งานทั่วไปจะถูกเลือกใช้งานเพียงกลุ่มเดียวขณะใดขณะหนึ่งเมื่อมีคำสั่งที่ระบุให้ใช้ข้อมูลในรีจิสเตอร์ใช้งานทั่วไป R0 — R7 ซีพียูใน MCS - 51 จะตรวจสอบเองว่าในขณะนั้นรีจิสเตอร์ใช้งานทั่วไปกลุ่มใดที่ถูกเลือกใช้งานโดยดูจากบิต RS0,RS1 ในรีจิสเตอร์ใช้งานเฉพาะ PSW

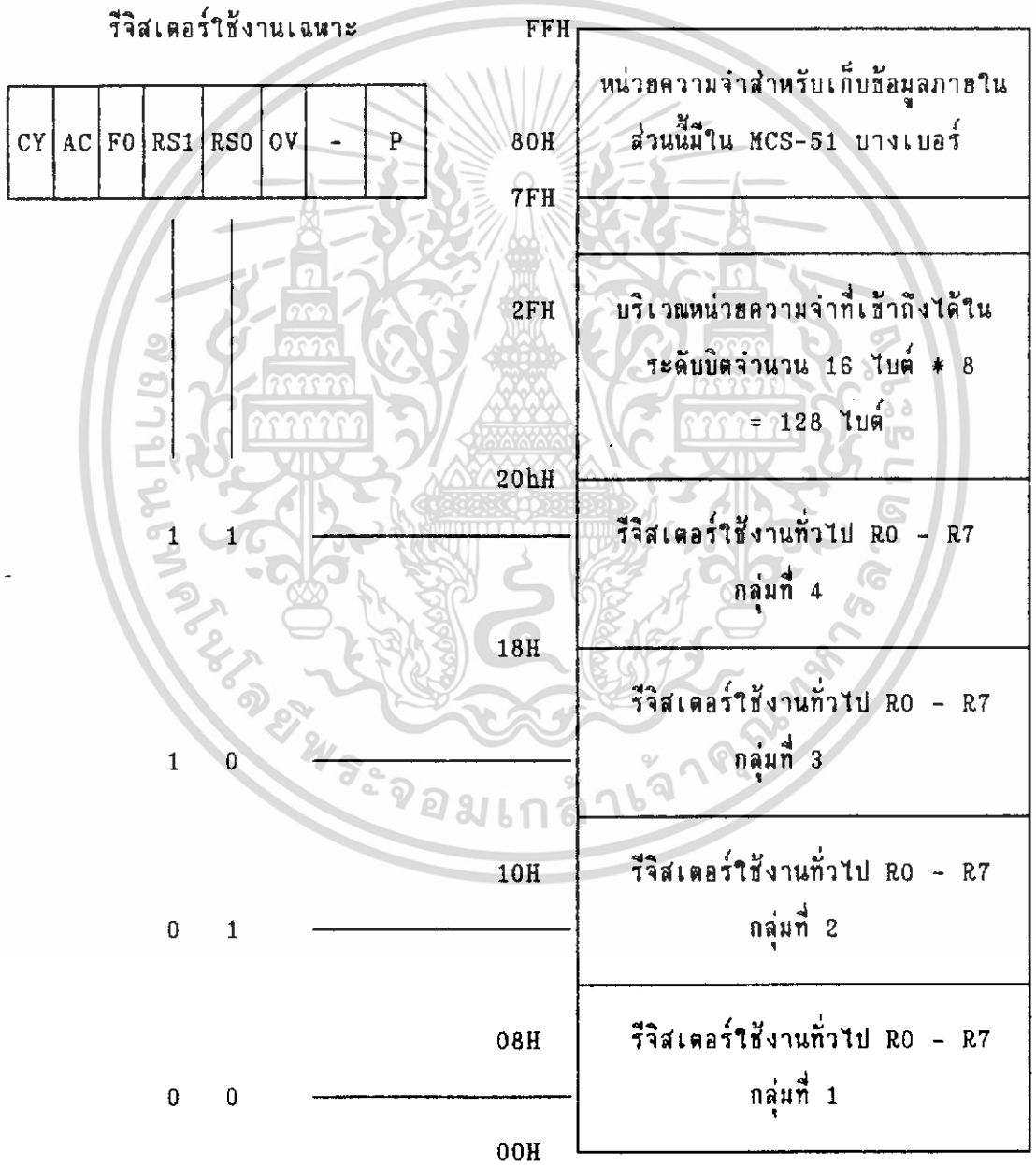
ด้วยวิธีการเลือกกลุ่มรีจิสเตอร์ใช้งานทั่วไปเช่นนี้ ทำให้รหัสคำสั่งของคำสั่งที่ระบุการใช้งานรีจิสเตอร์ใช้งานทั่วไป R0 - R7 มีขนาดเล็กลงเพราะใช้ข้อมูลเพียง 3 บิตเพื่อเลือกรีจิสเตอร์ R0 - R7 แทนที่จะต้องใช้ 8 บิตเพื่อระบุตำแหน่งของรีจิสเตอร์ R0 - R7

หน่วยความจำสำหรับเก็บข้อมูลใน MCS-51 อยู่ถัดจากกลุ่มรีจิสเตอร์ใช้งานทั่วไปทั้ง 4 กลุ่มตั้งแต่ตำแหน่ง 20H - 2FH รวม 16 ไบต์ ได้ถูกออกแบบให้มีลักษณะโครงสร้างพิเศษกว่าหน่วยความจำสำหรับเก็บข้อมูลบริเวณอื่น โดยแต่ละบิตของหน่วยความจำบริเวณนี้มีหมายเลขตำแหน่งกำหนดไว้แน่นอนเพื่อนำมาใช้เป็นข้อมูลขนาด 1 บิต นการทำงานของกลุ่มคำสั่งประมวลผลแบบบูลีนได้ หรือเพื่อนำมาใช้เป็นบิตบอกสถานะของระบบตามความต้องการของผู้ใช้ได้แต่ละบิตของหน่วยความจำบริเวณนี้ มีหมายเลขตำแหน่งเริ่มต้นตั้งแต่ 00H-7FH รวม 128 ตำแหน่งหรือ 128 บิต

หน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ ใช้งานเฉพาะใน MCS—51จะเริ่มตั้งแต่ตำแหน่ง 80H ถึง 0FFH รีจิสเตอร์ใช้งานเฉพาะแต่ละตัวใน MCS - 51 มีไว้เพื่อใช้ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และรายงานผลการทำงานของวงจรภายในที่ทำหน้าที่เฉพาะต่างๆ เช่น รีจิสเตอร์ใช้งานเฉพาะ TCON ใช้ควบคุมการทำงานไทม์เมอร์ 1 รีจิสเตอร์ใช้งานเฉพาะ SCON ใช้ควบคุมและรายงานการทำงานของพอร์ตสื่อสารอนุกรม บางตำแหน่งในหน่วยความจำสำหรับเก็บข้อมูลบริเวณนี้ไม่ได้ถูกใช้งาน และไม่สามารถนำไปใช้เป็นหน่วยความจำสำหรับเก็บข้อมูลทั่วไปได้ รีจิสเตอร์ใช้งานเฉพาะบางตัวจะมีเฉพาะในชิป MCS - 51 บางเบอร์เท่านั้น เช่น รีจิสเตอร์ใช้งานเฉพาะ T2CON มีใน MCS-51 เบอร์ 8052/8032

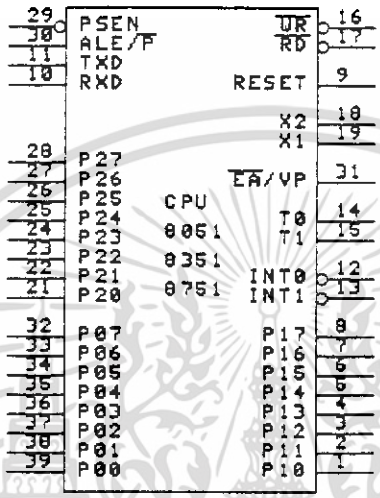


รูปที่ 8 แสดงตำแหน่งหน่วยความจำ 128 ไบต์ล่างที่ใช้เป็นรีจิสเตอร์ใช้งานทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์มีตำแหน่งขาพื้นฐานเหมือนกัน ดังแสดงในรูปที่ 9



รูปที่ 9 แสดงตำแหน่งขาของชิปไมโครคอนโทรเลอร์ MCS-51

หน้าที่การใช้งานของขาแต่ละชิปไมโครคอลโทลเลอร์ในตระกูล MCS-51 มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสขนาด 5 โวลต์ (DC 5 volt)
- ขาพอร์ต 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0-P07) พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุพอร์ตต้องโหลดค่า 1ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะเป็น high impedancd) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วยโดยส่งค่าแอดเดรสบัสไบต์ต่ำ(A0-A7) และมัลติเพลกซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอกในระหว่างการเขียนหรืออ่านข้อมูลดดยมีวงจรพูลอัพภายใน
- ขาพอร์ตหนึ่ง (ขา 1-8) มี 8 ขาใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปได้หากต้องการใช้เป็นอินพุตพอร์ตต้องโหลดค่า 1ไปยังแต่ละบิตของพอร์ตนี้ ให้มีสถานะ high impedancd โดยมีวงจรพูลอัพภายใน ขา P1.0, P1.1 เบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากใช้เป็นอินพุต เอาต์พุตพอร์ตทั่วไปด้วย รายละเอียดจะกล่าวต่อไปภายหลัง

- ขาพอร์ต 2 (ขา 21-28)มี 8 ขาใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ตต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อให้มีสถานะ high impedance ดดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆอีกหลายอย่างดังนี้

  ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

  ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

  ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

  ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่

  ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0

  ขา P3.5 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 1

  ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอก

  ขา P3.7 ใช้เป็นสัญญาณควบคุมกสนอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

  การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้ จะต้องโหลดค่า 1ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9)ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิปเพื่อเริ่มต้นการทำงานใหม่ การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือโปรแกรมเกิดทำงานผิดพลาดเมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc

- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอกเพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ(address latch enable)จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้แต่ความถี่ที่ขานี้จะลดลงครั้งหนึ่งในระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน อีพรอม สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น อีพรอม

- ขา PSEN (ขา 29)ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป (program strobe enable)เมื่อชิปทำงานด้วยโปรแกรมจากภายนอก ขานี้จะส่งสัญญาณสโตรป 2 ครั้งในแต่ละแมชชีนไซเกิล แต่ในช่างการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอก หรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้
- ขา EA/Vpp (ขา31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปและสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิน สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิป หรือจากโปรแกรมที่เก็บในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ
- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอกโดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอกโดยเป็นเอาต์พุตออกจากวงจรออสซิลเลเตอร์

86880

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ MCS-51

คุณสมบัติที่สำคัญของชิปไมโครคอลโทลเลอร์ตระกูล MCS-51 มีดังนี้

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์(เบอร์ 8031,8032 ไม่มีหน่วยความจำส่วนนี้ ส่วนเบอร์ 8035 มีหน่วยความจำส่วนนี้ 8 กิโลไบต์ และสำหรับเบอร์ 83C51FB0 จะมีหน่วยความจำส่วนนีรวมทั้งสิ้น 16 กิโลไบต์
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ในชิปจำนวน 128 ไบต์ (ในเบอร์ 8031, 8051) หรือ 256 ไบต์ (ในเบอร์ 8032,8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรม และข้อมูลที่อยู่ภายนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1ไมโครวินาทีเมื่อใช้คริสตอลความถี่ 12 เมกะเฮิร์ตซ์
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้งสองทิศทางจำนวน 4 พอร์ตพอร์ตละ 8 บิตหรือสามารถใช้งานเป็นพอร์ตขนาด 1 บิตแยกจากกันทำให้เสมือนมีพอร์ตขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ต
- รับและส่งข้อมูลแบบอนุกรมในตัวโดยสามารถกำหนดอัตราเร็วรับและส่งข้อมูล (baud rate) ได้ตั้งแต่ 300-375กิโลบิต/วินาที
- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์สำหรับใช้งานเป็นไทม์เมอร์ หรือเคาน์เตอร์ เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อนับจำนวนพัลส์ วัดความกว้างของพัลส์ หรือใช้วัดช่วงเวลา (ในเบอร์ 8052 จะมี 3 ตัว)
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และบิตเพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีน เพื่อใช้ในงานควบคุมโดยเฉพาะ
- ใช้โปรแกรมของไมโครคอลโทลเลอร์ตระกูล MCS-48 (upwardly compatible)

ไมโครคอลโทลเลอร์ตระกูล MCS-51 เบอร์ที่จัดว่าเป็นพื้นฐานในตระกูลนี้ คือ เบอร์ 8051,8751 และ 8031 ซึ่งมีจำนานขาภายนอก 40 ขาเท่ากันใช้เวลาและสัญญาณในการปฏิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัติคำสั่งแต่ละคำสั่งเท่ากัน (มีไทม์มิ่งไดอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งต่างกันระหว่างเบอร์ที่ 3 คือขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ซึ่งมีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกันดังจะกล่าวต่อไปนี้

- เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น อีพรอม ขนาด 4 กิโลไบต์ ทำให้สามารถใช้รังสีอัลตราไวโอเลต ในการลบโปรแกรมเก่าที่มีอยู่ และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรมไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8751 มีไว้ใช้ในงานที่เป็นการพัฒนาเบื้องต้น ซึ่งจำเป็นต้องทดสอบโปรแกรมเพื่อหาข้อผิดพลาด และแก้ไขให้เรียบร้อยก่อนทำการผลิตจริง การแก้ไขโดยใช้รังสีอัลตราไวโอเลต และการบรรจุโปรแกรมแก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัดทั้งนี้เพราะหน่วยความจำที่เป็น อีพรอม เมื่อใช้ไปนานๆจะเกิดการเสื่อมสภาพทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้
- เบอร์ 8051 หลังจากทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้วจะเป็นช่วงของการผลิตจริงซึ่งต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ในการผลิตจริงจะใช้ไมโครคอนโทรลเลอร์เบอร์ 8051 ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น รอม ขนาด 4 กิโลไบต์แทน ข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมที่ได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีใดก็ตาม
- เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปแต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์ซึ่งอาจใช้เป็น รอม พรอม อีพรอม (เบอร์ 8751 และ 8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เอง เมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์ หรืออาจบังคับให้ไมโครคอลโทลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 (EA) ลงกราวด์ ทำให้มีคุณสมบัติเหมือนเบอร์ 8031 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประเภทของสัญญาณอินเตอร์รัปต์ภายนอก

8015 สามารถตอบรับสัญญาณอินเตอร์รัปต์จากภายนอกได้ 2 สัญญาณทางขาสัญญาณ INT0 และ INT1 โดยการรับรู้ถึงสัญญาณที่อินเตอร์รัปต์สามารถโปรแกรมเลือกให้เกิดขึ้นบริเวณช่วงขอบของสัญญาณที่เปลี่ยนแปลงจากระดับลอจิกสูงไปเป็นลอจิกต่ำ หรือขณะที่ระดับของสัญญาณได้เปลี่ยนแปลงไปเป็นระดับลอจิกต่ำแล้ว (Low level Interrupt)

การเลือกประเภทของการสัญญาณอินเตอร์รัปต์ภายนอก INT1 ใช้การกำหนดค่าข้อมูลที่ตำแหน่งบิต 2 ภายในรีจิสเตอร์ TCON วึ่งเป็นตำแหน่งบิต IT1โดยทำหน้าที่เป็นตัวกำหนดประเภทของสัญญาณอินเตอร์รัปต์ของ INT1 ถ้ามีค่าเป็น 0 จะเป็นลักษณะแบบทำงานที่ระดับสัญญาณในกรณีที่บิตนี้ได้รับการกำหนดให้มีค่าเป็น 1 ซึ่งเป็นลักษณะของการทำงานที่ขอบขาลงของสัญญาณจะมีแฟล็กสถานะ IE1 ซึ่งเป็นบิตภานในรีจิสเตอร์ TCON เข้ามาเกี่ยวข้องด้วย กล่าวคือเมื่อไรก็ตามที่ขาสัญญาณ INT1 มีการเปลี่ยนระดับสัญญาณจากลอจิกสูงเป็นลอจิกต่ำแล้ว แฟล็กสถานะIE1 นี้ ก็จะถูกกำหนดให้มีค่าเป็น 1 เช่นกัน

สำหรับการทำงานของสัญญาณอินเตอร์รัปต์ INT0 ซึ่งก็มีลักษณะเดียวกันสัญญาณของอินเตอร์รัปต์ INT1 ข้างต้นเช่นกัน โดยบิต 0 ภายในของรีจิสเตอร์ TCON เป็นตำแหน่งของบิต IT0 และตำแหน่งของแฟล็กสถานะ IE0 จะอยู่ที่ตำแหน่งบิต 1 ภายในรีจิสเตอร์ TCON

การตอบรับสัญญาณอินเตอร์รัปต์ภายนอก

ซีพียูของ 8051 จะทำการตรวจสอบสถานะของสัญญาณอินเตอร์รัปต์ภายนอกนี้เป็นระยะทุกแมชชีนไซเคิลของการทำงาน ดังนั้นสัญญาณที่จะเข้ามาอินเตอร์รัปต์นี้ จะต้องค้างสถานะไว้เป็นระยะเวลาไม่น้อยกว่า 12 คาบ ออสซิลเลเตอร์ มิฉะนั้นซีพียูจะตราจไม่พบ

ชื่อบิต:TCON ตำแหน่ง:88h ค่าบิตเริ่มต้น:0000 0000

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อบิต	ตำแหน่ง	ความหมาย
	TCON.7	
	TCON.6	
	TCON.5	
	TCON.4	
IE1	TCON.3	แฟล็กแสดงการอินเตอร์รัปต์ของ INT1
IT1	TCON.2	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์ INT1
IE0	TCON.1	แฟล็กแสดงการอินเตอร์รัปต์ของ INT0
IT0	TCON.0	บิตเลือกประเภทสัญญาณอินเตอร์รัปต์ INT0

รูปที่ 10 บิตต่างๆภายในรีจิสเตอร์ TCON ที่เกี่ยวกับการอินเตอร์รัปต์ภายนอก

การขออินเตอร์รัปต์ของสัญญาณดังกล่าว และ ในกรณีที่มีการกำหนดให้อินเตอร์รัปต์ภายนอกทำงานที่ขอบขาลงของสัญญาณ จะต้องทำให้สัญญาณอินเตอร์รัปต์นั้นมีระดับลอจิกต่ำ เป็นเวลาอย่างน้อยหนึ่งแมชชีนไซเคิล

สัญญาณ	ตำแหน่งอินเตอร์รัปต์เวกเตอร์
INT0	0003h
INT1	0013h

รูปที่ 11 ตำแหน่งของแอดเดรสที่ซีพียูจะกระโดดไปทำงานเมื่อมีอินเตอร์รัปต์ภายนอกเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประเภทของการอินเตอร์รัปต์

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเตอร์รัปต์โดยจำแนกตามแหล่งที่มาของสัญญาณ (Signal Source) ของสัญญาณอินเตอร์รัปต์นั้นๆ ได้แก่

1. <u>สัญญาณอินเตอร์รัปต์จากภายนอก</u> (External Interrupt)

การตรวจสอบสัญญาณที่เข้ามาอินเตอร์รัปต์นั้น กำหนดให้มีการตรวจสอบภายในลักษณะเมื่อได้มีการเปลี่ยนแปลงระดับสัญญาณ ไปแล้ว หรือในช่วงเวลาขณะที่มีการเปลี่ยนแปลงสัญญาณ

2. <u>สัญญาณอินเตอร์รัปต์ภายใน</u> (Internal Interrupt)

แหล่งกำเนิดของสัญญาณนี้ จะเป็นวงจรภายในของไมโครคอน-โทรลเลอร์เองเช่นวงจรนับ/จับเวลา วงจรเชื่อมต่อสัญญาณอนุกรมเป็นต้น

โครงสร้างการอินเตอร์รัปต์

สัญญาณ	ความหมาย
INT0	สัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณ P3.2 โดย 8051 จะทำการสุ่มตัวอย่างเมื่อสิ้นสุดทุกแมชชีนไซเคิล
INT1	สัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณ P3.3 โดย 8051 จะทำการสุ่มตัวอย่างเมื่อสิ้นสุดทุกแมชชีนไซเคิล
Timer0	สัญญาณการเกิดโอเวอร์โฟลว์ของ Timer0
Timer1	สัญญาณการเกิดโอเวอร์โฟลว์ของ Timer1
นอร์ตอนุกรม	การเกิดอินเตอร์รัปต์ที่เกิดขึ้นจากการรับ/ส่งข้อมูลอนุกรม ทำให้มีผลต่อแฟล็กอินเตอร์รัปต์ RI และ TI ตามลำดับ

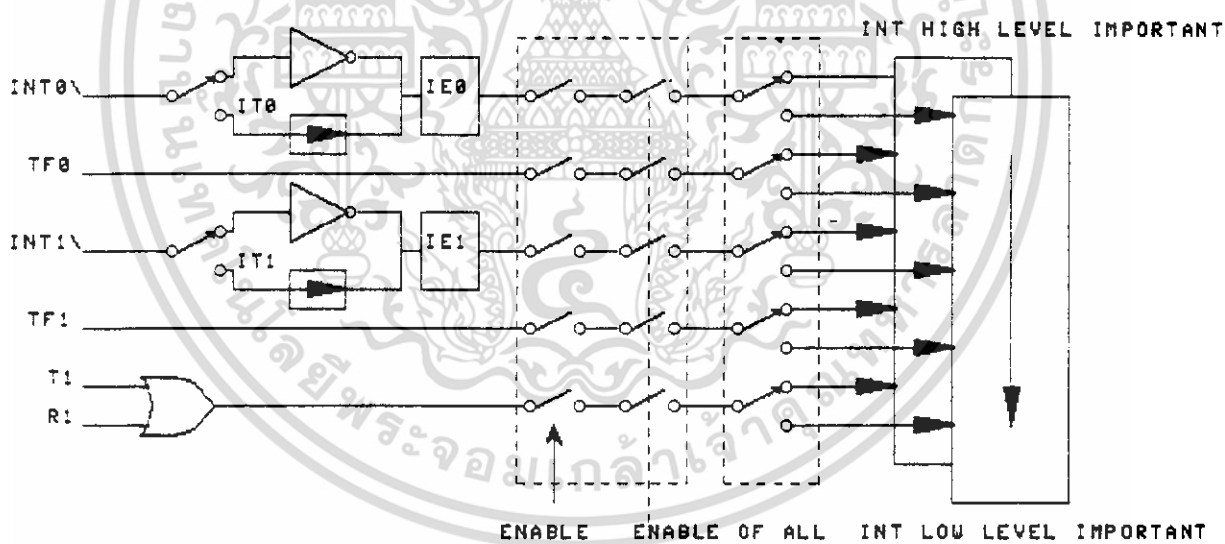
รูปที่ 12 แสดงสัญญาณที่เข้ามาทำการอินเตอร์รัปต์ 8051 เกิดได้ 5 ลักษณะคือ

จากแผนภาพโครงสร้างระบบอินเตอร์รัปต์ของ 8051 ตามแสดงในรูป 12 ดังจะเห็นว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเกิดการอินเตอร์รัปต์สัญญาณต่างๆขึ้น จะส่งผลให้มีการควบคุมเพื่อสั่งให้โปรเซสเซอร์กระโดดไปทำงานที่ตำแหน่งแอดเดรสต่างๆ ตามประเภทของแหล่งกำเนิดสัญญาณอินเตอร์รัปต์ที่เกิดขึ้น ซึ่งปกติแล้วควรต้องมีการสร้างโปรแกรมที่ตำแหน่งเหล่านี้ไว้ เพื่อทำหน้าที่เป็นโปรแกรมย่อยบริการอินเตอร์รัปต์

การกำหนดให้ 8051 สามารถตอบรับการอินเตอร์รัปต์แต่ละประเภท ทำได้โดยการกำหนดบิตของข้อมูลที่เกี่ยวข้อง ซึ่งมักอยู่ภายในรีจิสเตอร์ TCON และ SCON หากว่าได้มีการกำหนดค่าของบิต ซึ่งอยู่ภายในรีจิสเตอร์ IE ด้วยแล้วก็สามารถตอบรับการอินเตอร์รัปต์ของสัญญาณนั้นๆได้ นอกจากนี้ ตามแผนภาพรูปที่ ยังแสดงให้เห็นว่า สัญญาณอินเตอร์รัปต์แต่ละประเภทยังสามารถกำหนดระดับความสำคัญ ของ การอินเตอร์รัปต์ได้ 2 ลักษณะคือ ระดับความสำคัญสูง หรือ ต่ำ กล่าวคือ ขณะที่กำลังประมวลผลอยู่ภายในส่วนของ โปรแกรมย่อยบริการอินเตอร์รัปต์ของสัญญาณที่มีระดับความสำคัญต่ำอยู่ ก็อาจจะถูกขัดจังหวะให้ไปประมวลผลของสัญญาณอินเตอร์รัปต์ที่มีระดับความสำคัญสูงกว่าได้ แต่หากว่าเป็นสัญญาณอินเตอร์รัปต์ที่มีระดับความสำคัญต่ำเช่นเดียวกันแล้ว ก็จะต้องรอให้เสร็จสิ้นการประมวลผลที่ดำเนินการอยู่ก่อน



รูปที่ 13 แผนภาพแสดงโครงสร้างระบบการอินเตอร์รัพต์ของ 8051

การควบคุมอินเตอร์รัปต์

ตามโครงสร้างด้านการจัดการอินเตอร์รัปต์ของ 8051 สามารถกำหนดเพื่ออินยอม หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่อินยอม ให้มีการอินเตอร์รัปต์ของแต่ละสัญญาณได้ โดยใช้วิธีการกำหนดค่าของบิต ภายในอินเตอร์รัปต์ IE ซึ่งจะมีทั้งแบบที่ระบุถึงอินเตอร์รัปต์โดยรวมทั้งหมด (บิตที่ 7) และอินเตอร์รัปต์แต่ละประเภทได้ ในกรณีที่กำหนดค่าข้อมูลเป็น 1ให้กับบิต จะมีความหมายถึงการยินยอมให้มีการอินเตอร์รัปต์เกิดขึ้นได้ และจะเป็นกรณีตรงข้ามกันสำหรับการกำหนดค่าข้อมูลที่เป็น 0 หากลองย้อนกลับไปพิจารณาดูแผนภาพรูปที่ อีกครั้งจะเห็นว่าจะต้องทำการกำหนดให้ยินยอมการอินเตอร์รัปต์ทั้งหมด ให้เกิดขึ้นก่อน จึงจะมีผลทำให้การกำหนดบิตเพื่อยินยอมของแต่ละอินเตอร์รัปต์มีผลขึ้นได้

ชื่อบิต:IE ตำแหน่ง:A8h ค่ากำหนดเริ่มต้น:0x00 0000

EA	—	ET2	ES	ET1	EX1	ET0	EX0

ชื่อบิต	ตำแหน่ง	ความหมาย
EA	IE.7	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปโดยรวม
—	IE.6	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป Timer 2
ET2	IE.5	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัปพอร์ตอนุกรม
ES	IE.4	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป Timer 1
ET1	IE.3	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป INT1
EX1	IE.2	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป Timer 0
ET0	IE.1	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป Timer 0
Ex0	IE.0	อีนาเบิล/ดิสเอเบิลการเกิดอินเตอร์รัป INT0

รูปที่ 14 บิตต่างๆแบบภายในรีจิสเตอร์ IE (Interrupt Enable)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับความสำคัญของการอินเตอร์รัปต์

ระดับความสำคัญ	สัญญาณ	ความหมาย
1	IE0	อินเตอร์รัปต์ภายนอก 0
2	TF0	วงจรนับ/จับเวลา 0
3	IE1	อินเตอร์รัปต์ภายนอก 1
4	TF1	วงจรนับ/จับเวลา 1
5	RI หรือ TI	วงจรรับ/ส่งข้อมูลอนุกรม

ชื่อบิต:IP ตำแหน่ง:B8h ค่าบิตเริ่มต้น:0000 0000

—	—	PI2	PS	PT1	PX1	PT0	PX0

ชื่อบิต	ตำแหน่ง	ความหมาย
—	IP.7	—
—	IP.6	—
PT2	IP.5	ระดับความสำคัญของ Timer 2
PS	IP.4	ระดับความสำคัญของพอร์ตอนุกรม
PT1	IP.3	ระดับความสำคัญของ Timer 1
PX1	IP.2	ระดับความสำคัญของ INT1
PT0	IP.1	ระดับความสำคัญของ Timer 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อบิต	ตำแหน่ง	ความหมาย
PX0	IP.0	ระดับความสำคัญของ INT 0

รูปที่ 15 ต่างๆภายในรีจิสเตอร์ IP (Interrupt Priority)

การจัดการอินเตอร์รัปต์

เมื่อมีการอินเตอร์รัปต์เกิดขึ้น ไมโครคอนโทรลเลอร์ จะทำคำสั่งที่กำลังดำเนินการอยู่ให้แล้วเสร็จ จากนั้นจึงทำการเก็บค่าตำแหน่งแอดเดรสของคำสั่ง ที่จะทำงานต่อไปไว้ยังบริเวณของหน่วยความจำที่ถูกกำหนดไว้ ให้เป็นสแต็ก และกระโดดไปยังตำแหน่งแอดเดรสที่ได้มีการกำหนดไว้แน่นอนตำแหน่งหนึ่งโดยอัตโนมัติ ตำแหน่งนี้เรียกว่า แอดเดรสของอินเตอร์รัปต์เวคเตอร์ ซึ่งผู้ใช้ต้องทำการเขียนโปรแกรมย่อย ตำแหน่งแอดเดรสเหล่านี้ไว้ ซึ่งเรียกว่า โปรแกรมย่อยบริการอินเตอร์รัปต์ (Interrupt Service Routine) ตำแหน่งของแอดเดรสเหล่านี้ได้แก่

แหล่งกำเนิดสัญญาณ	สัญญาณ	ตำแหน่งแอดเดรส (Hex)
IE0	อินเตอร์รัปต์ภายนอก 0	0003
TF0	วงจรนับจับเวลา 0	0008
IE1	อินเตอร์รัปต์ภายนอก 1	0013
TF1	วงจรนับจับเวลา 1	001B
RI หรือ TI	วงจรรับส่งข้อมูลอนุกรม	0023

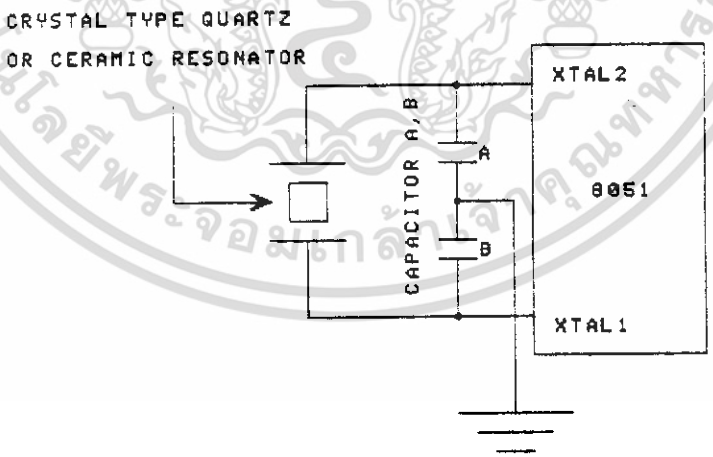
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ควรให้ความสนใจในการเขียนโปรแกรมย่อยบริการอินเตอร์รัปต์ คือ

1. ส่วนเริ่มต้นของโปรแกรมย่อย ควรจะมีการเก็บค่าของรีจิสเตอร์หรือแฟล็กสถานะต่างๆ ที่จะต้องนำไปใช้ภายในโปรแกรมย่อย มิฉนั้นอาจจะมีผลทำให้โปรแกรมปกติที่ทำอยู่ก่อนหน้าการมาทำงานโปรแกรมย่อยตอบสนองอินเตอร์รัปต์ทำงานผิดพลาดไปได้
2. บรรทัดสุดท้ายโปรแกรมย่อย จะต้องสิ้นสุดด้วยคำสั่ง RETI เพื่อสั่งให้มีการนำค่าที่ได้เก็บไว้ก่อนหน้าการกระโดด มายังโปรแกรมย่อยบริการอินเตอร์รัปต์นี้ ออกมาจากสแต็กและกลับไปทำงานเดิมต่อไปนอกจากนี้แล้ว ยังมีผลทำให้แฟ็ลกสถานะ ที่เกี่ยวข้องจากการอินเตอร์รัปต์นั้นๆถูกรีเซตกลับไปเป็นค่าปกติ เพื่อรอรับการอินเตอร์รัปต์ครั้งใหม่ต่อไปด้วย

ฐานเวลาในการทำงานของซีพียูภายใน 8051

8051มีวงจรออสซิลเลเตอร์อยู่ภายใน สำหรับการสร้างพัลส์ของสัญญาณนาฬิกา ซึ่งจะนำไปเป็นฐานเวลาหรือการกำหนดจังหวะการทำงานของหน่วยการทำงานทั้งหมดให้สอดคล้องกัน โดยปกติแล้วก็มักจะทำโดยการใช้คลิสตอลเชื่อมต่อเข้ากับขาสัญญาณ XTAL1 และ XTAL2 พร้อมกับตัวเก็บประจุดังลักษณะในรูปที่ 16 หรืออาจจะเป็นสัญญาณนาฬิกาจากภายนอกก็ได้



รูปที่ 16 แสดงการใช้คริสตอลภายนอกต่อกับวงจรออสซิลเลเตอร์ภายใน 8051

พัลส์ความถี่ของสัญญาณนาฬิกา จะเรียกว่า Pulse (ใช้สัญญาณเป็นตัวอักษร P)และคาบของสัญญาณนาฬิกานี้ เรียกว่า <u>คาบเวลาออสซิลเลเตอร์</u> คาบเวลาของออสซิลเลเตอร์จำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นวน 2 คาบ เรียกว่า <u>สเตท</u> (ใช้สัญญลักษณ์เป็นตัวอักษร S) ซึ่งจะนำไปใช้เป็นช่วงเวลาพื้นฐานการทำงานย่อยของไมโครคอนโทรลเลอร์ เช่น การนำคำสั่ง การถอดความหมาย การประมวลผล และการเขียนข้อมูล เป็นต้น ช่วงเวลาของสเตทจำนวน 6 ครั้ง จะเรียกว่า<u>แมชชีนไซเคิล</u> ดังนั้นค่าหนึ่งแมชชีนไซเคิล จะใช้เวลา 12 คาบของออสซิลเลเตอร์ ค่าของแมชชีนไซเคิลนี้ จัดว่าเป็นช่วงเวลาที่น้อยที่สุดในการทำคำสั่งใดคำสั่งหนึ่งซึ่งหากว่าเป็นคำสั่งที่ซับซ้อนมากต้องใช้เวลนานถึงสามแมชชีนไซเคิลการคำนวนหาว่า เวลาที่ใช้เวลาที่ใช้ในการทำคำสั่งใดจนเสร็จสิ้น จะต้องดูว่าคำสั่งนั้นใช้จำนวนแมชชีนไซเคิลเป็นเท่าไรในการประมวลผล เวลาที่ใช้จะคำนวนตามสูตร

$$T = \frac{C \times 12}{\text{ความถี่ของคริสตอล}}$$

C เป็นค่าจำนวนแมชชีนไซเคิลของคำสั่ง

ตัวอย่างเช่น

เวลาในการทำคำสั่ง ADD AR1 ซึ่งต้องการ 3 แมชชีนไซเคิล

เมื่อใช้คริสตอล 16 เมกะเฮิร์ต จะเป็นเวลานาน 0.75 ไมโครวินาที และ

เมื่อใช้คริสตอล 12 เมกะเฮิร์ต จะเป็นเวลานาน ๑ ไมโครวินาที เป็นต้น

อย่างไรก็ตามบางครั้งอาจพบการใช้ค่าของคริสตอลเป็น 11.509 เมกะเฮิร์ต ทั้งนี้โดยเหตุผลเนื่องจากสามารถนำค่าความถี่ที่ได้นี้ไปใช้ในการเป็นฐานเวลาสำหรับการสร้างความถี่ในการรับส่งข้อมูลอนุกรม ซึ่งเป็นหน่วยการทำงานหนึ่งภายใน 8051 เอง โดยจะทำให้ได้ค่าที่ใกล้เคียงกับค่ามาตราฐานคือ 19200, 9600, 4800, 2400, 1200, และ 300 บิต/วินาที.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างทางสถาปัตยกรรมของ DS 1287

ลักษณะสำคัญต่าง ๆ ของ DS 1287

- สามารถทำงานได้ถึง 10 ปี โดยปราศจากแหล่งจ่ายไฟ เนื่องจากมีแหล่งย่อยพลังงานอยู่ภายในตัวเอง
- มีวงจรสนับสนุนต่างๆในตัว เช่น แหล่งจ่ายพลังงานลิเที่ยม (lithium) ควอทซ์ (quart) และวงจรอื่นๆ
- สามารถนับ เวลา นาที วินาที ชั่วโมง วันที่ วันในรอบปี สัปดาห์ เดือน โดยมีการชดเชยปีอธิกวาล (leap year) ด้วย
- สามารถเลือกโปรแกรมให้ทำงานได้ทั้งแบบเลขฐานสอง(Binary)หรือบีซีดี (BCD)เพื่อแสดงค่าเวลาและปฏิทินต่างๆ
- สามารถทำงานได้ดีทั้งในโหมด (Mode) 12 และ 24 ชั่วโมง
- เลือกได้ระหว่างการต่อร่วมกับบัส (Bus Timing) ของโมโตโรล่าและอินเทล
- มัลติเพล็กซ์ (Multiplex)ระหว่างบัสข้อมูลและบัสแอดเดรส (Data And Address Bus) เข้าด้วยกัน เพื่อลดจำนวนขาลง
- การติดต่อด้วย โปรแกรม ทำได้เช่นเดียวกับหน่วยความจำชนิด รอม ทั่วๆไป โดยมีขนาด 24 ไบต์ (byte)
  * 14 ไบต์แรก สำหรับเวลา (Clock) และรีจิสเตอร์ควบคุม
  * 50 ไบต์ที่เหลือใช้งานได้เช่นเดียวกับหน่วยความจำ แรม ทั่วๆไป
- มีสัญญาณเอาท์พุทแบบสี่เหลี่ยม (Square wave) ที่สามารถโปรแกรมได้
- มีขาอินเตอร์รัปต์ (IRQ) เพื่อใช้อินเตอร์รัพท์ให้กับซีพียู (CPU)
- มีสัญญาณอินเตอร์รัพท์สามารถเลือกได้ถึง 3 แบบ ที่แยกกันอย่างอิสระโดยซอฟแวร์
  * อลาม อินเตอร์รัพท์ (Alarm Interrupt) ซึ่งสามารถสร้างสัญญาณอินเตอร์รับได้ตั้งแต่ 1 วินาที จนถึง 24 ชั่วโมง
  * พีริออดิค เรท อินเตอร์รัพท์ (Periodic Rate Interrupt) สามารถเลือกให้เกิดได้ 1 ครั้ง ใน 122 ไมโครวินาที (ms)ถึง 500 มิลลิวินาที (ms)
  * อัพเดท อินเตอร์รัพท์ (End of clock update cycle interrupt)จะสร้างสัญญาณอินเตอร์รัพท์ทุก ๆ 1 วินาที หลังจากที่มีการเปลี่ยนแปลงไป 1 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดต่างๆ

RTC เบอร์ DS 1287 เป็นของบริษัทดาลาส (Dalas Semiconductor) ที่จะถูกออกแบบให้สามารถใช้งานได้แทนเบอร์ MC 146818 A ได้ ภายในบรรจุวงจรที่สนับสนุนส่วนต่างๆไว้ เช่น แหล่งจ่ายพลังงานลิเที่ยม (Lithum Energy) ควอทซ์คริสตัล (Quart Crystal) และวงจรป้องกันการเขียนอ่าน เมื่อระดับไฟเลี้ยงภายในลดลง บรรจุอยู่ภายในเพกเกจ(Package) ขนาด 24 ขา ซึ่งเป็นระบบที่สมบูรณ์ ประกอบด้วยมีการนับเวลาที่ทำงานได้ปราศจากแหล่งจ่ายพลังงานภายนอก ส่วนของเวลาเดือนและปฏิทินที่ถูกต้องถึง 100 ปี มีส่วนของการอินเตอร์รัปต์ที่สามารถโปรแกรมได้ ส่วนของวงจรออสซิเลเตอร์ (Oscillator) สร้างคลื่นสี่เหลี่ยม และหน่วยความจำแบบ แรม ไว้ สำหรับผู้ใช้อีก 50 ไบต์

การพิจารณาแหล่งจ่ายไฟลด-เพิ่มที่มีผลต่อ DS 1287

การนับเวลาของ RTC

ยังจะคงทำงานไปเรื่อยๆโดยไม่สนใจระดับของ Vcc ที่ป้อนให้ ถ้าจ่ายแรงดัน Vcc ให้กับ DS 1287 ที่มีค่ามากกว่า 4.25 โวลต์ ขึ้นไป อุปกรณ์จะสามารถทำงานได้ภายใน 100 MS หลังจากนั้นให้ Oscillator เริ่มทำงาน คาบเวลานี้จะอนุญาตให้ระบบเสถียร หลังจากนั้น Power จะถูกจ่ายพลังงานที่ Vcc ตกต่ำลงจาก 4.25 โวล์ท(ต่ำกว่า 4.25 V) ในสภาวะนี้ DS 1287 จะอยู่ในสภาวะ ปิดกั้นการเขียน ซึ่งจะไม่สนใจ อินพุท ต่างๆ และ เอาท์พุท ก็จะเป็นสภาวะความต้านทานสูง ด้วย เมื่อ Vcc ตกลงมาต่ำกว่า 3 โวล์ท โดยประมาณ (สภาวะ Off) ช่วงนี้เอง ที่แหล่งพลังงานลิเที่ยม (lithium energy) จ่าย Power ให้กับ RTC และหน่วยความจำ แรม

หน้าที่ของขาต่างๆ

GND,Vcc - ต่อกับไฟบวก 5 Vเมื่อใช้แรงดันค่านี้จะทำให้ RTC ทำงานเต็มที่ และสามารถที่จะเขียนและอ่าน RTC ได้ แต่ถ้าแรงดันต่ำกว่า 4.25 V ก็จะไม่สามารถอ่านและเขียนลงไปใน RTC ได้ อย่างไรก็ตาม ก็จะไม่มีผลต่อส่วนของเวลา และ ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่ขานี้ลดต่ำลงมากกว่า 3 V ก็จะทำให้แหล่งจ่ายลิเที่ยมภายในถูกต่อเข้ามาเพื่อจ่ายไฟให้กับส่วนเวลาและหน่วยเวลา แรม โดยจะไม่สนใจ V_{cc} ต่อไป

MOT - ขานี้จะเป็นตัวเลือกระหว่างบัส 2 ชนิด คือ ถ้าเราต่อไปที่ Vcc จะเป็น บัสของโมโตโลลาร์ แต่ถ้าต่อขานี้ไปยัง End หรือลอยไว้เฉยๆ จะเป็นระบบบัสของบริษัทอินเทล โดยภายในขานี้จะต่อ R Pull up ไว้ภายใน มีค่า 20 k

AD_{o}-$_{7}$ - มัลติเหล็ก แอดเดรส และ ดาต้า แอดเดรส โดยใช้ลักษณะของการแบ่งเวลา (Time Chare)

As - แอดเดรส สโตป อินพุท แอดเดรสจะถูก สโตป เข้า (Latch) DS 1287 เมื่อขาลงของ A_{s}/ALE ของ Ds 1287

Ds - ดาต้า สโตป มีการทำงาน 2 mode ขึ้นอยู่กับการเลือก mode ที่ขา mot ต่อไฟบาก Vcc หรือ บัส ของ โมโตโลลาร์ จะทำให้ Ds เป็น บวก หลังจากช่วงของ การ แลค บัส แอดเดรส เรียก ดาต้า สโตป ในช่วงการเขียนก็จะเขียนมีขอบขาลง (ขอบหลังของ Ds) ถ้า โมด ของ อินเทล (ต่อ End) ขา Ds จะถูกเรียกว่า RD ทำงานเหมือนขา output Enable ของ Memory ทั่วๆไป

R/W - มี 2 Mode ตามขา Mot

ถ้าเป็นของ อินเทล

CS - จะทำให้เกิดการ แลค แอดเดรส ได้แต่ในกรณีที่ V_{cc} ลดลงต่ำกว่า 4.25 โวล์ท จะ แลค แอดเดรส ไม่ได้ คือจะไม่สนใจทาง CS นั่นเอง

IRG - อินเตอร์รัปต์ รีเควส เอาท์พุท จะแอคทีฟ ที่ ลอจิก "0" เมื่อสร้างสัญญาณ INT ให้กับไมโครโปรเซสเซอร์โดยสัญญาณ INT จะยังคงอยู่ได้ต่อไปเรื่อยๆจนกว่า บิต เกี่ยวกับการ INT จะถูก เซต การที่จะ เคลียร์ ขา IRQ CPU ปรกติจะอ่านจากรีจิสเตอร์ c โดยขา รีเซต จะเป็นตัว เคลียร์ สัญญาณ INT ที่ค้างอยู่ด้วย

RESET - ขานี้คงไม่มีผลต่อเวลา ปฏิทิน หรือ แรม ในขณะ ไฟแรงสูงกว่า 4.5 โวล์ท ขานี้จะเป็น ลอจิก "0" ชั่วขณะเวลาหนึ่ง เพื่อเป็นการทำให้แหล่งจ่ายไฟมีเสถียรภาพ ซึ่งเวลาของการเป็น ลอจิก "0" ของขานี้จะมากน้อยเพียงใดขึ้นอยู่กับการใช้งาน อย่างไรก็ตามถ้าขานี้ใช้ในขณะ แรงไฟสูงกว่า 4.5 โวล์ท ขานี้ควรจะเป็นลอจิก "0" เกินกว่า 200 ms ปรกติขาจะสามารถต่อเข้ากับ + Vcc ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรส แมป (ADDRESS MAP)

มีทั้งหมด 64 ไบต์

10 ไบต์ - สำหรับเวลา ปฏิทิน อลาม ดาต้า (ALARM DATA)

50 ไบต์ - ฟรี

4 ไบต์ - สำหรับ รีจิสเตอร์ ควบคุมทุก ๆ ไบต์ สามารถเขียนและอ่านได้ ยกเว้น

1. รีจิสเตอร์ C และ D อ่านได้อย่างเดียว
2. บิต 7 ของ รีจิสเตอร์ A อ่านได้เพียงอย่างเดียว
3. บิต สูงของวินาที อ่านได้อย่างเดียว

ส่วนในการเตือนและตั้งเวลา (TIME CALENDER AND ALARM SECTION)

ในการค่าเวลาทำได้โดยติดต่อกับตำแหน่งของหน่วยความจำที่บรรจุเวลา และปฏิทินต่างๆไว้ ในการ เซตเวลาหรือให้ค่าเริ่มต้น จะต้องให้ค่าเป็น ไบนารี่ หรือ ปฏิทิน ต่างๆ ไว้ ในการ เซต ในเวลาหรือให้ค่าเริ่มต้น จะต้องให้ค่าเป็น ไบนารี่ หรือ BCD ก็ได้ ก่อนจะเขียนเวลาให้ต้อง

1. บิต เซต รีจิสเตอร์ B เป็น 1
2. เลือก โมด ว่าใช้ระบบ ไบนารี่ หรือ BCD ที่บิต DM ของ รีจิสเตอร์ B ซึ่งทั้งหมด (10 ไบต์) ต้องเป็น Mode เดียวกัน
3. หลังจากเขียนหรือตั้งเวลาให้เรียบร้อยแล้ว จะต้อง เคลียร์ บิตของ รีจิสเตอร์ B
4. การทำงานของเวลา จะไม่เปลี่ยนจนกว่าจะมีการเขียนค่าใหม่ลงไป

อลาม สามารถเลือกใช้ได้ 2 ทาง

1. เมื่อ ช่วงเวลาในการเตือน (ALARM TIME) ถูกเขียนไว้ในที่ของชั่วโมง วินาที นาที มันจะทำการเตือนคือส่งสัญญาณ INT ทุก ๆ ตามที่กำหนด
2. เราใส่ค่า DONOT CARE เข้าไป (C0-FF) ในทุกๆ อลาม จะทำให้เกิดการ INT ทุก ๆ 1 วินาที คือให้ MGB ของแต่ละ Byte เป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเตอร์รัปต์

อินเตอร์รัปต์ของ RTC DS 1287 มีลักษณะของการเกิดสัญญาณ INT ให้ CPU 3 แบบด้วยกันคือ

1. อลาม อินเตอร์รัปต์ สามารถกำหนดให้มีอินเตอร์รัพท์ชนิดนี้ได้ตั้งแต่ทุก ๆ 1 วินาที ถึง 24 ชั่วโมง
2. พีริออดิก อินเตอร์รัปต์ สามารถกำหนดให้เกิดขึ้นทุกๆ 500 mS ถึง 122 ไมโครวินาที
3. อัปเดรส อินเตอร์รัปต์ จะเกิดทุกๆวินาทีหลังจากเวลามีการเปลี่ยนแปลงไป 1วินาที

การกำหนดให้เกิดอินเตอร์รัพท์แต่ละแบบนี้ จะแยกกันอย่างอิสระ โดยกำหนดที่รีจิสเตอร์ B ซึ่งเมื่ออินเตอร์รัพท์เกิดขึ้น จะทำให้เกิดผลคือ IRG จะ แอคตีฟ เป็น "0" ค้างนานจนกว่าจะมีการอ่านรีอิสเตอร์ C หรือขา รีเซต ได้รับ ลอจิก "0" ขา IRG จะเป็น "1"

รีจิสเตอร์ต่างๆ

1. รีจิสเตอร์ A - สามารถอ่านและเขียนได้ยกเว้นบิต 7 อ่านได้เพียงอย่างเดียว มีหน้าที่ควบคุมการเปิด - ปิดวงจรออสซิเลเตอร์ และเลือกความถี่ของการเกิดพัลซ์สี่เหลี่ยม และการเกิดอินเตอร์รัปต์แบบ พีริออดิก

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
UI_b	DV_2	DV_1	DV_0	RS_3	RS_2	RS_1	RS_0

* UI_b - บิตนี้อ่านได้เพียงอย่างเดียวจะเป็น "1" ก่อนที่จะเกิดการเปลี่ยนแปลงของเวลา (ใน 1 วินาที) อย่างน้อย 244 s
* DV_{0-2} - จะทำหน้าที่เปิด-ปิดออสซิลเลเตอร์ให้ทำงาน ถ้าเขียนค่า 010 ให้บิต 3 นี้ จะทำให้ OSC ทำงาน
* RS_{0-3} - สำหรับเลือกอัตราของการเกิดสัญญาณเอาท์พุทแบบสี่เหลี่ยมที่ขา SQW และอินเตอร์รัปต์แบบ พีริออดิก โดยทั้งสองส่วนนี้ สามารถโปรแกรมให้เกิดโดยแยกอย่างอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยโปรแกรม รีจิสเตอร์ B

2. รีจิสเตอร์ B - สามารถอ่านและเขียนได้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
SET	P1E	A1E	U1E	SGWE	DM	24/12	DSE

* SET – กำหนดให้เป็น "1" เมื่อต้องการตั้งค่าเวลาต่างๆ (เขียนค่าเวลาต่างๆ)เพื่อป้องกันไม่ให้เกิดมรการนับเวลาก่อนที่จะเขียนค่าเวลาลงไปเสร็จเรียบร้อย เมื่อตั้งค่าเวลาต่างๆเสร็จเรียบร้อยแล้วต้องทำการ เคลียร์ บิตนี้เพื่อให้เวลาที่ตั้งไว้เริ่มนับ
* IRGF - เป็น แฟลก สำหรับแสดงการร้องขออินเตอร์รัพท์ บิตนี้จะ เซต เป็น "1" เมื่อ
  PF = P1E = 1
  AF = A1E = 1
  UF = U1E = 1
  นั่นคือ IRGF = (PF.PIE)+(AF.A1E)+(UF.U1E) ซึ่งถ้า IRGF = 1 จะทำให้ขา IRG เป็น "0" ค้างนานจนกว่ารีจิสเตอร์ C ถูกอ่าน
* PF - เป็น แฟลก ที่แสดงว่าอินเตอร์รัปต์ที่เกิดขึ้นเป็น พีริออดิก อินเตอร์รัปต์
* AF - เป็น แฟลก ที่แสดงว่าอินเตอร์รัปต์ที่เกิดขึ้นเป็น อลาม อินเตอร์รัปต์
* UF - เป็น แฟลก ที่แสดงว่าอินเตอร์รัปต์ที่เกิดขึ้นเป็น อัฟเดรส อินเตอร์รัปต์

ซึ่งทุกๆบิตของรีจิสเตอร์ C จะ เคลียร์ เมื่อขา รีเซต เป็น "0" หรือเมื่อทำการอ่านรีจิสเตอร์ C

3. รีจิสเตอร์ D - อ่านได้เพียงอย่างเดียว

* VRT - เป็น "1" เมื่อทำการอ่าน
* PIE - เซตให้เป็น "1" เมื่อต้องการให้เกิด พีริออดิก อินเตอร์รัปต์เซตให้เป็น "0"เมื่อไม่ต้องการให้เกิด พีริออดิก อินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* A1E - เซตให้เป็น "1" เมื่อต้องการให้เกิด อลาม อินเตอร์รัปต์ เซต ให้เป็น "0"เมื่อไม่ต้องการให้เกิด อลาม อินเตอร์รัปต์
* U1E - เซตให้เป็น "1"เมื่อต้องการให้เกิด อัฟเดรส อินเตอร์รัปต์ เซตให้เป็น "0"เมื่อไม่ต้องการให้เกิด อัฟเดรส อินเตอร์รัปต์

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
VRT	0	0	0	0	0	0	0

* SGWE - เซตให้เป็น "1" เมื่อต้องการให้สัญญาณเอาท์พุท สี่เหลี่ยมออกที่ขา SGW เซตให้เป็น "0" เมื่อไม่ต้องการให้สัญญาณเอาท์พุท สี่เหลี่ยมออกที่ขา SGW
* DM - เลือกรูปแบบของฟอร์แมท (FORMAT) ที่ใช้
  "1" แบบเลขฐาน 2 (Binary)
  "0" แบบ BCD
* 24/12 - เลือกโหมดเวลา
  "1"เป็นแบบ 24 ชั่วโมง
  "0"เป็นแบบ 12 ชั่วโมง

4. รีจิสเตอร์ C อ่านได้อย่างเดียว เขียนไม่ได้

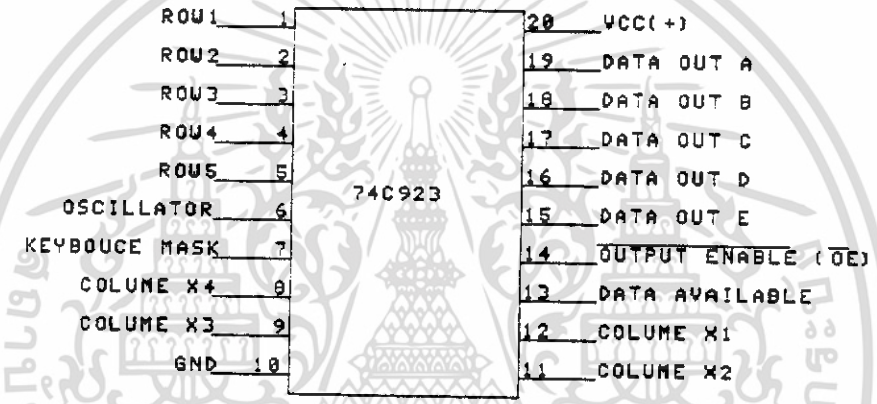
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IRGF	PF	AF	UF	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

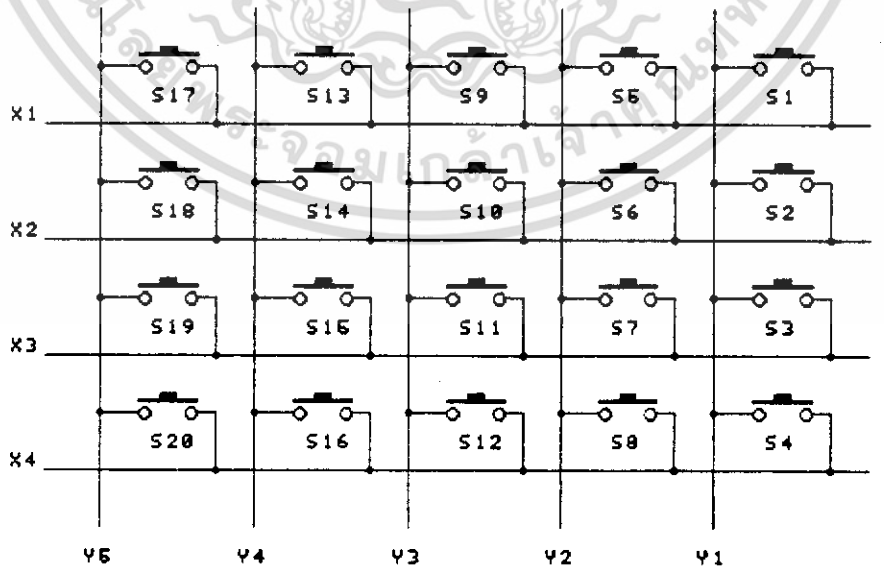
บทที่ 3

แสดงการออกแบบและทั้งหมดของฮาร์ดแวร์โครงงานทั้งหมด

การต่อคีย์บอร์ดเข้ากับไมโครคอนโทรลเลอร์



การจัดขาของ ไอซี 74C923



รูปที่ 17 โครงสร้างการเชื่อมต่อของคีย์บอร์ดแบบเมตริกซ์ 5 X 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการเบื้องต้น

คู่การต่อของ switch	ลักษณะของ LOGIC OUTPUT					
	E	D	C	B	A	
$Y_1 X_1$	0	0	0	0	0	NUM 1
$Y_1 X_2$	0	0	0	0	1	NUM 3
$Y_1 X_3$	0	0	0	1	0	NUM 2
$Y_1 X_4$	0	0	0	1	1	CH 2
$Y_2 X_1$	0	0	1	0	0	NUM 4
$Y_2 X_2$	0	0	1	0	1	NUM 6
$Y_2 X_3$	0	0	1	1	0	CH 1
$Y_2 X_4$	0	0	1	1	1	NUM 5
$Y_3 X_1$	0	1	0	0	0	NUM 7
$Y_3 X_2$	0	1	0	0	1	NUM 9
$Y_3 X_3$	0	1	0	1	0	CH 4
$Y_3 X_4$	0	1	0	1	1	NUM 8
$Y_4 X_1$	0	1	1	0	0	NUM * (CANCEL)
$Y_4 X_2$	0	1	1	0	1	NUM # (TIMER)
$Y_4 X_3$	0	1	1	1	0	NUM 3
$Y_4 X_4$	0	1	1	1	1	NUM 6
$Y_5 X_1$	1	0	0	0	0	NUM 5
$Y_5 X_2$	1	0	0	0	1	DIMER
$Y_5 X_3$	1	0	0	1	0	NUM 0
$Y_5 X_4$	1	0	0	1	1	BRIGHT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าสัมผัสของคีย์บอร์ด จะติดกันก็ต่อเมื่อคีย์บอร์ดถูกกด หรือถ้ากดคีย์เลข 1 หน้าสัมผัสของ X_1 และ Y_1 จะต่อถึง ถ้ากดคีย์เลข 2 หน้าสัมผัสของ X_2 และ Y_1 จะต่อถึงกันและในทุกๆคีย์ก็มีลักษณะเดียวกัน ถ้าสามารถทราบได้ว่าโรว์และคอลัมน์ต่อถึงกัน ก็สามารถตรวจสอบได้ว่าคีย์ใดถูกกด

การเข้ารหัสคีย์บอร์ด

การเข้ารหัสของคีย์บอร์ดแบบเมตริกซ์จะใช้ไอซี 74C923 สำหรับคีย์บอร์ด 20 คีย์ 74C923 มีข้อดีหลายอย่าง ดังนี้

- มันจะเข้ารหัสของการกดคีย์ แต่ละคีย์เป็นตัวเลขฐานสอง 5 บิต (00000-10011) โดยอัตโนมัติ ส่วนที่ต่อกับคีย์บอร์ดจะมี 5 อินพุต คือ Y_1- Y_5 และ 4 เอาท์พุต คือ X_1- X_4 และจะได้ข้อมูลออกมา 5 เอาต์พุตคือ A,B,C,D,E

- เมื่อคีย์ใดคีย์หนึ่งถูกกด ที่ขา DA (DATA AVAILABLE) จะส่งสัญญาณออกมา ซึ่งสามารถนำสัญญาณนี้ไปใช้สำหรับอินเตอร์รัปต์ เพื่อบ่งออกมากดคีย์ในไมโครคอนโทรลเลอร์ได้

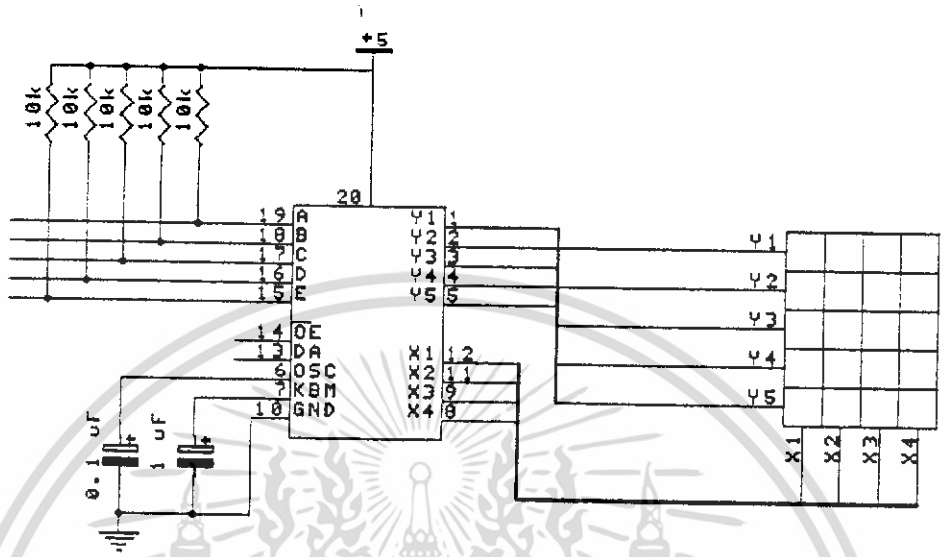
- จะมีวงจรแลตท์เพื่อเก็บค่าของคีย์ที่ถูกเก็บไว้ หลังจากที่ปล่อยนิ้วออกจากคีย์ เพื่อป้องกันการอ่านค่าผิดพลาด ในขณะที่ไมโครคอนโทรเลอร์กำลังทำงานอื่น ๆ อยู่

- การแก้เบาว์ซของคีย์บอร์ด เรียกว่า ดีเบาว์ซ (Debounce) ทำได้โดยใช้ตัวเก็บประจุเพียงตัวเดียวปกติเมื่อมีการกดคีย์ หน้าสัมผัสของคีย์บอร์ดจะเปิดและปิดอย่างรวดเร็วหลายๆครั้งก่อนที่จะปิดสนิท และเหตุการณ์นี้จะเกิดอีกครั้งเมื่อปล่อยคีย์

การดีเบาว์ซสามารถทำได้ทั้งทาง ฮาร์ดแวร์ และ ทางโปรแกรม การแก้ดีเบาว์ซทางฮาร์ดแวร์ ทำได้ง่ายๆโดยต่อตัวเติมประจุค่า 1 ไมโครฟารัดที่ขา KBM (KEY BOUNCEMASK) ทำให้ 74C923 ไม่สนใจการกดคีย์ในช่วง 10 มิลลิวินาทีแรก แต่หลังจากนั้นจะแลตท์ข้อมูล และทำให้ DA มีค่าเป็น "1" ในลักษณะที่คล้ายกัน หลังจากที่ปล่อยคีย์ การดีเบาว์ซจะหน่วงเวลาก่อนที่จะตรวจสมการ กดคีย์ครั้งต่อไป ช่วงเวลาการดีเบาว์ซ สามารถปรับได้ตามค่าของตัวเก็บประจุ

- การเชื่อมต่อขา OE (OUTPUT ENABLE) กับบัสของไมโครคอนโทรลเลอร์ทำได้ง่ายเมื่อขา OE เป็น "1"ข้อมูลเอาพุตจะออกมาทางขา A,B,C,D,E ซึ่งไมโครคอนโทรลเลอร์สามารถอ่านค่าได้

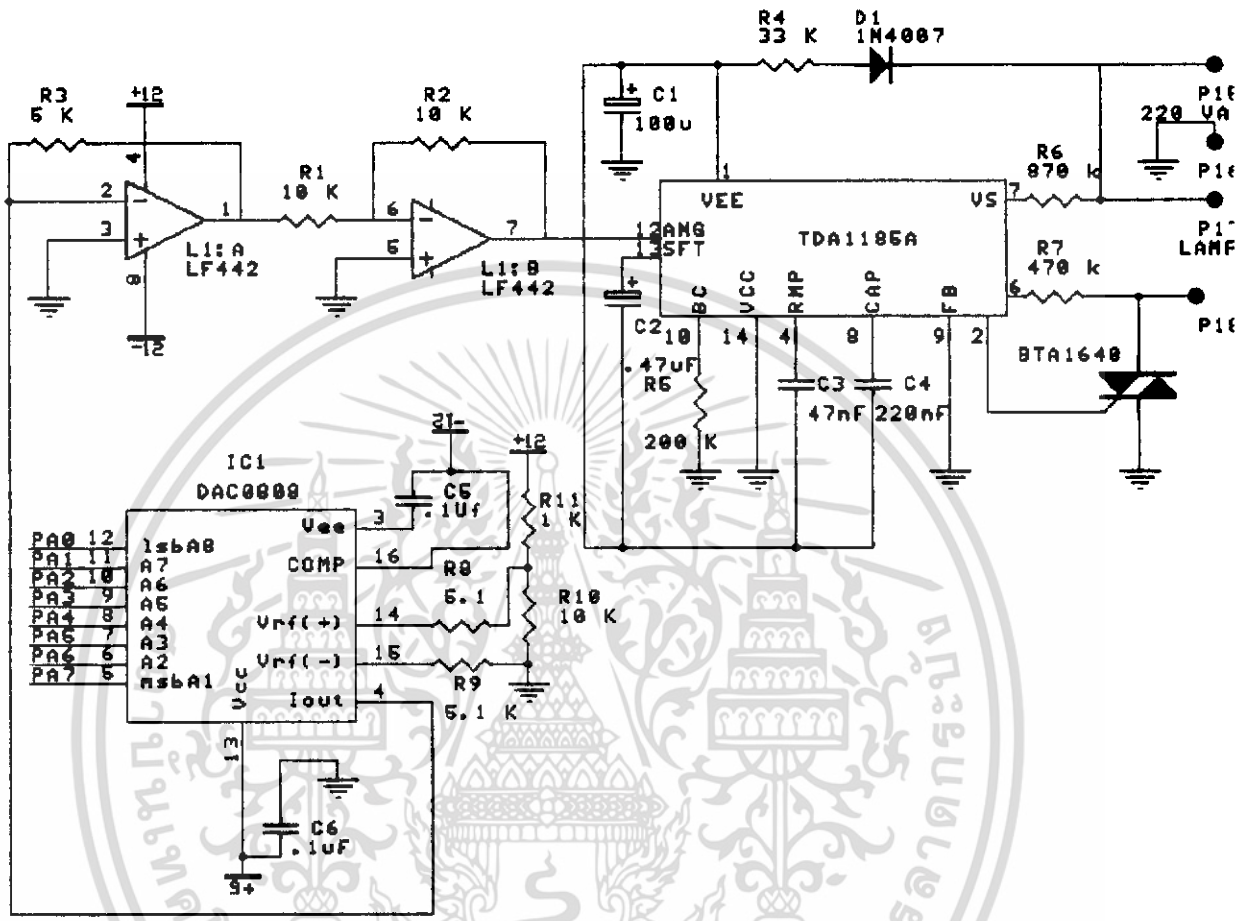
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 18 แสดงวงจรในส่วนของการเชื่อมต่อคีย์บอร์ด

การสร้างสัญญาณที่เกิดจาก ไอซี เบอร์ 74C923 ซึ่งจะสร้างรหัสการคีย์ออกมาเป็นระดับลอจิก "1" และ "0" ขนาด 5 บิตป้อนเข้าที่พอร์ต 0 ของ 8751 ซึ่งเป็นพอร์ตอินพุตสำหรับประมวลผลต่อไป โดยการกดคีย์บอร์ดแต่ละครั้ง 74C923 จะสร้างสัญญาณออกมาจากขา DA ซึ่งเรานำมาเปลี่ยนให้เป็นระดับลอจิกต่ำ เพื่อสร้างสัญญาณอินเตอร์รัปต์ให้กับ 8751 โดยเป็นอินเตอร์รัปต์ 0 (INT 0 ให้กับขา INT 0 (ขา 12) ของ 8751)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



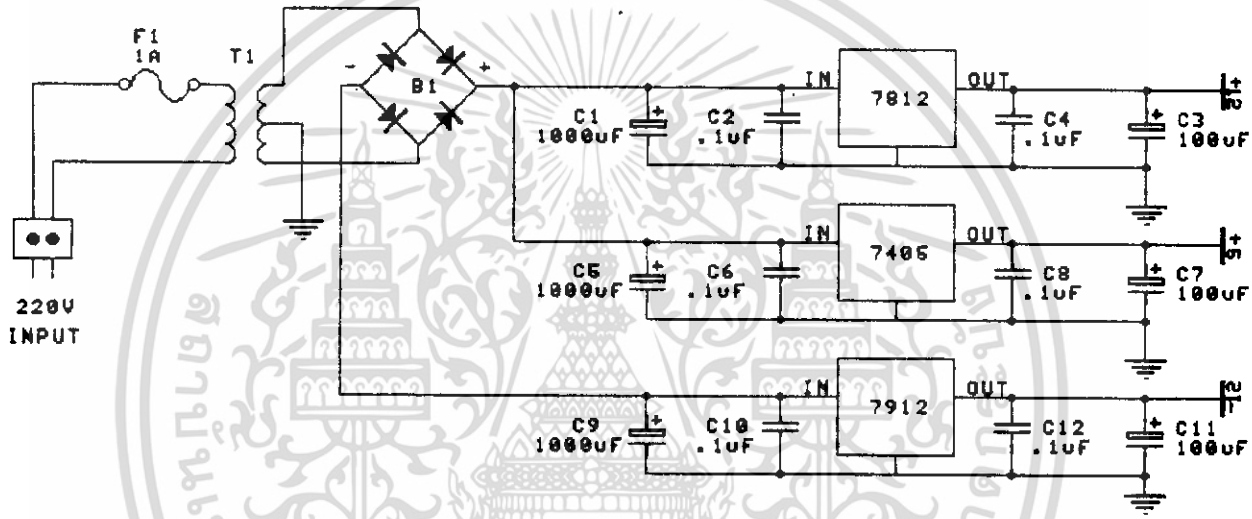
รูปที่ 19 แสดงส่วนของการหรี่ไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรหรี่ไฟ

เราอาศัย ไอซี สำเร็จรูป เบอร์ TDA 1185A ของบริษัทโมโตโลลาร์ ซึ่งเป็นไอซีที่สร้างสัญญาณ ทริก พัลซ์ ออกมาทริก ไตรแอก โดยการทำงานของวงจร คือ TDA 1185 A จะอาศัยแหล่งจ่ายไฟสลับ 220 V ผ่าน ความต้านทาน ค่าประมาณ 33 K 2 Watts เพื่อจำกัดกระแส และผ่านไดโอด เบอร์ 1N 4007 เพื่อเรียงกระแสให้เป็นไฟตรงครึ่งลบ ป้อนเข้าที่ขา 1 ของ TDA 1185 A โดยภายในตัวของไอซี TDA 1185 นี้ จะมี ซีเนอร์ไดโอดรักษาระดับแรงดันให้คงที่ประมาณ 86 V (โดยเป็นแรงดันลบ เพื่อเป็นไฟป้อนให้ไอซี ตัวนี้ทำงาน โดยมันจะกินกระแสประมาณ 60 mAและไอซี ตัวนี้สามารถสร้าง) สัญญาณแรงดัน ทริก พัลซ์ได้โดยเปรียบเทียบแรงดันที่เข้ามาที่ขา 12 ซึ่งเป็นแรงดันลบเช่นกัน (ประมาณ 0-9.96 V) กับแรงดันแรมป์ที่ขา 4 (Ramp voltage) ซึ่งจากวงจรจะเห็นว่าค่าขาแรงดันแรมป์จะคงที่ ซึ่งขึ้นกับแรงดันไฟสลับ 220 V ส่วนสัญญาณตัวที่เปลี่ยนแปลงคือแรงดันที่ขา 12 และ การเปรียบเทียบระหว่างแรงดันที่ขา 12 และขา 4 ก็จะได้สัญญาณ ทริก พัลซ์ ออกมาที่ขา 2 ป้อนให้กับ ไตรแอกทำงานโดยมุมที่นำกระแสของ ไตรแอก จะเปลี่ยนแปลงไปโดยอาศัยการเปลี่ยนแปลงแรงดันที่ขา 12 ทำให้กระแสผ่านหลอดไฟ (กระแสสลับ 220 V) มากน้อยตามการนำกระแสของไตรแอก โดยส่วนของการสร้างแรงดันป้อนที่ขา 12 นั้นสร้างมาจากระดับลอจิกที่ผ่านออกมาจากเอาท์พุทพอร์ตของ 8255 แล้วนำมาผ่านวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกโดยใช้ไอซี DAC0808 และกลับให้เป็นแรงดันในช่วงลบอีกครั้งเพื่อป้อนให้กับขา 12 ของ TDA 1185A โดยแรงดันที่ขา12 ถ้าเป็นลบน้อยจะให้หลอดไฟสว่างมาก ถ้าเป็นลบมากจะให้หลอดไฟสว่างน้อย (0 V สว่างมาก และ -9 V สว่างน้อย (หรี่))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



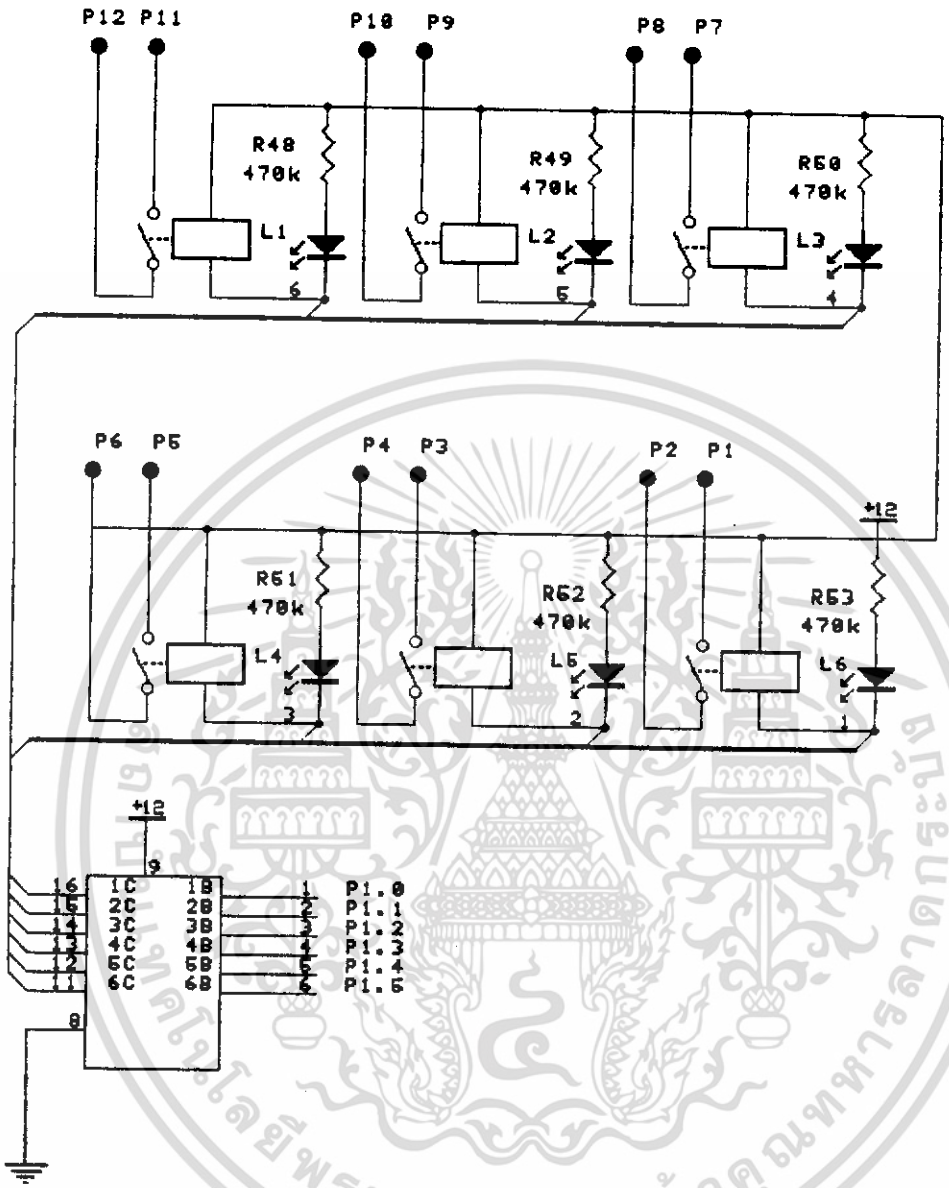
รูปที่ 20 แสดงส่วนของภาคจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของภาคจ่ายไฟ

เราอาศัย ไอซี สำเร็จรูปเพื่อสร้างแหล่งจ่ายไฟตรงเพื่อจ่ายให้กับวงจรทำงานโดยใช้ ไอซี เบอร์ 7805 สำหรับสร้างแรงดันไฟบวก 5 V โดย ตัวเก็บประจุที่ต่อในวงจรเพื่อกรองกระแสให้เรียบยิ่งขึ้น และ IC เบอร์ 7812 สร้างแรงดันไฟ +12 V และเบอร์ 7912 สร้างแรงดันไฟ -12 V ตามลำดับซึ่งการใช้สำเร็จรูปนี้ สามารถแปลงจ่ายไฟตรงได้สดวกมาก โดยเราเพียงแค่ต่อคาปาซิเตอร์ภายนอกร่วมไม่กี่ตัว เพื่อกรองกระแสให้เรียบยิ่งขึ้นเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 21 แสดงส่วนของชุดควบคุมอุปกรณ์ไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของชุดควบคุมอุปกรณ์ไฟฟ้า

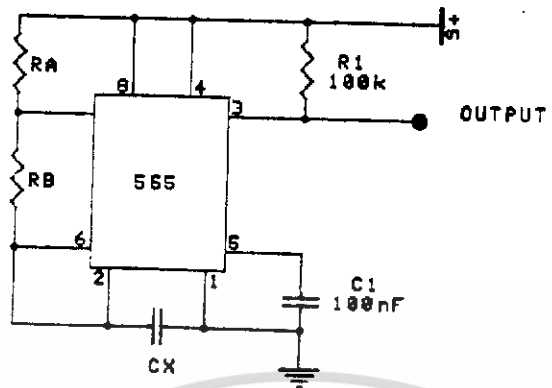
สัญญาณที่ออกจากพอร์ตเอาท์พุท เป็นสัญญาณดิจิตอลมีขนาดแรงดันดังนี้ ลอจิก "1" ประมาณ 5 v ลอจิก "0" ประมาณ 0 V ซึ่งมีขนาดของกระแสที่จะไหลผ่านโหลดได้น้อย และ โหลดที่เป็นรีเลย์ ต้องการแรงดัน 12 V ดังนั้น การที่จะนำสัญญาณไปใช้งานจำเป็นต้องมีอุปกรณ์ที่จะเปลี่ยนแรงดันจาก 5V เป็น 12 V และทำให้กระแสไหลผ่านโหลดได้มากขึ้นด้วย ซึ่งอุปกรณ์นั้นเรียกว่าไดรเวอร์ (DRIVER)

อุปกรณ์ที่ใช้เป็นไอซี ULN 2004 ด้านอินพุทจะต่อกับพอร์ต P1.0 ถึง P1.6 ของไอซี 8751 ส่วนด้านเอาท์พุทจะต่อกับชุดควบคุมอุปกรณ์ไฟฟ้า สัญญาณที่ออกจากพอร์ตของไอซี 8751 เมื่อผ่านไอซี ULN 2004 สัญญาณที่ได้จะกลับเฟสโดยที่แรงดันจะเปลี่ยนเป็น 12 V และ เป็นผลทำให้กระแสไหลผ่านคือชุดควบคุมอุปกรณ์ไฟฟ้าได้มากขึ้น

ชุดควบคุมอุปกรณ์ไฟฟ้านี้ ประกอบด้วยรีเลย์ใช้แรงดัน 12 V ทำหน้าที่เปิด-ปิดอุปกรณ์ไฟฟ้า และหลอด LED เพื่อแสดงสภาวะการทำงานของชุดควบคุมรีเลย์แต่ละ CHANNEL

เมื่อมีสัญญาณเป็นลอจิกต่ำที่ออกจาก ULN2004 ป้อนให้คอยล์ของรีเลย์ รีเลย์ทำงานและหน้าคอนแทคของรีเลย์จะสัมผัสกัน ในขณะเดียวกันจะทำให้หลอด LED ติดสว่างด้วย แต่เมื่อสัญญาณที่ออกมาจากขาไอซี ULN 2004 เปลี่ยนเป็นลอจิกสูง จะทำให้คอยล์ของรีเลย์ไม่ทำงานและหน้าคอนแทคแยกออกจากกัน พร้อมทั้งหลอด LED จะดับ จากผลการทำงานของรีเลย์นี้จะนำคอนแทคไปใช้งานโดยต่อเป็นสวิทช์เพื่อเปิด-ปิดอุปกรณ์ไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 22 แสดงวงจรของชุดสร้างสัญญาณทริกให้กับขาอินเตอร์รัปต์1ของ8751

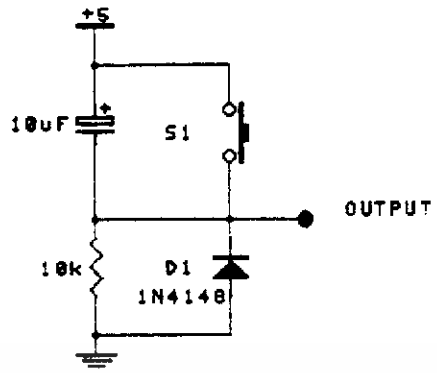
การทำงานของชุดสร้างสัญญาณทริกให้กับขาอินเตอร์รัปต์1ของ 8751

ตามวงจรใช้ IC555 ต่อเป็นอะสเตเบิลมัลติไวเบรเตอร์ ซึ่งมีคาบเวลาที่เอาท์พุท $T=0.7(R_A + 2R_B)C_x$ โดยจากการออกแบบ เราออกแบบวงจรมาใช้ C_x = 2200 uF R_A = 1k และ R_B = 220 เพื่อให้ได้เอาท์พุทมีค่าประมาณ 2 วินาทีกว่าเล็กน้อยเพื่อใช้เป็นสัญญาณอินเตอร์รัปต์ให้กับ CPU โดยเรากำหนดให้เป็นอินเตอร์รัปต์ 1 เพื่อให้เป็นส่วนในการ อินเตอร์รัปต์ค่าเวลาของ RTC นั่นเอง

ปัญหาซึ่งอาจจะเกิดขึ้นบ้างเล็กน้อยเมื่อใช้ตัวเก็บประจุชนิดอิเล็คโตรไลต์มีขนาดใกล้เคียงกับ 1 uF เพราะจากตัวอย่าง จะใช้ตัวต้านทานที่มีค่าความต้านทานสูงๆ จะเกิดความคลาดเคลื่อนเนื่องจากกระแสรั่วไหลภายในตัวเก็บประจุได้ ถ้าให้ 1 วินาทีเท่ากับ 1000 F ค่าความต้านทานจะลดลง 1000 เท่า ทำให้กระแสรั่วไหลมีผลน้อยลง ค่าความต้านทาน R_A และ R_B เราควรใช้ค่าชนิดเมตัลออกไซด์ ซึ่งมีความผิดพลาดไม่เกิน 1%

R_A	R_B	C_x	T
1 K	220	1000 F	1 S
1 M	220 K	1 F (ไม่ใช้ชนิดอิเลคโตรไลต์)	1 S
1 K	220	2200 F	2.2 S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



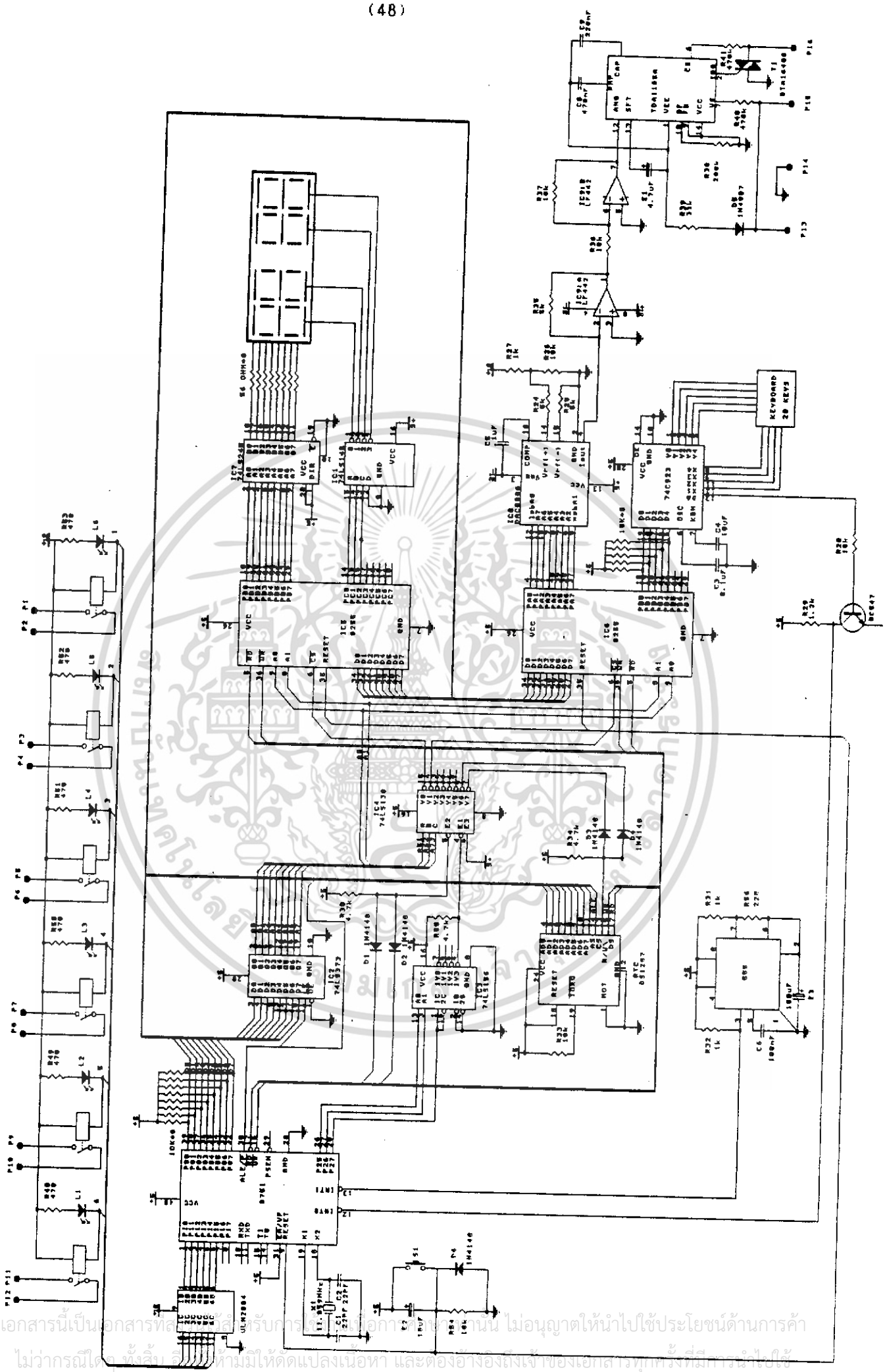
รูปที่ 23 แสดงวงจรชุดสร้างสัญญาณรีเซต

วงจรรีเซตจะสร้างสัญญาณเพื่อกำหนดสภาวะของสัญญาณที่ขา RESET ของ IC 8751

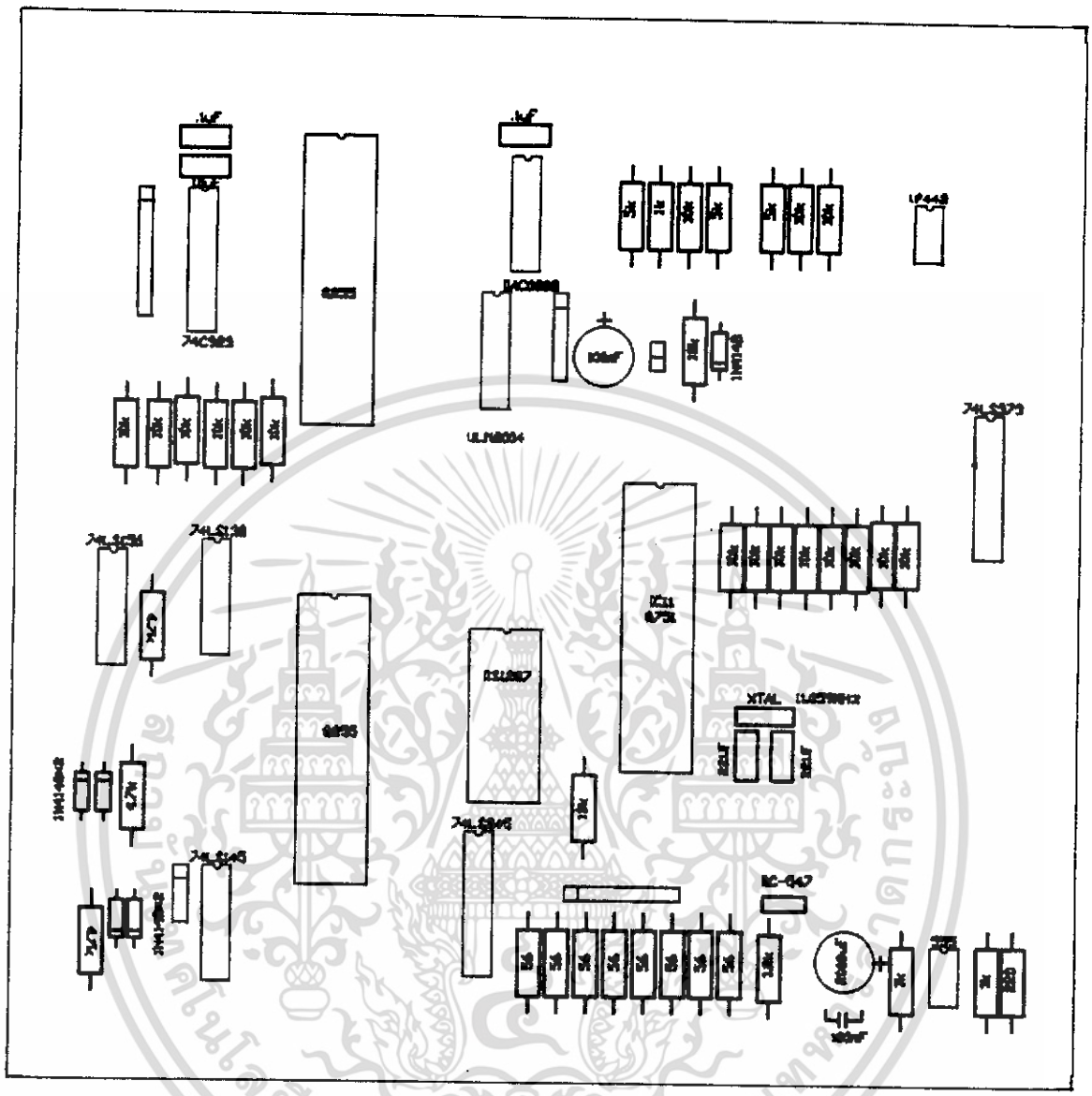
การทำงานของชุดสร้างสัญญาณรีเซต

เมื่อเริ่มป้อนไฟ +5 V จะมีสัญญาณลอจิก "1" ป้อนให้ขา รีเซต ของไอซี 8751 ทำการ RESET ค่าใน รีจิสเตอร์ แต่เป็นช่วงเวลาหนึ่งเท่านั้น เนื่องจากเมื่อตัวเก็บประจุชาร์จจนเต็มที่แล้ว กระแสจะไม่ไหลอย่างนี้อีก คือจะไม่ไหลผ่านตัวเก็บประจุ ดังนั้น ที่ขารีเซต จะมีสภาวะลอจิก "0" หากต้องการให้ 8751 ทำการ รีเซต เพียงแค่กดสวิทช์ S_1 สัญญาณที่ขารีเซต จะเปลี่ยนเป็นลอจิกสูง ไอซี 8751 ก็จะทำการ รีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

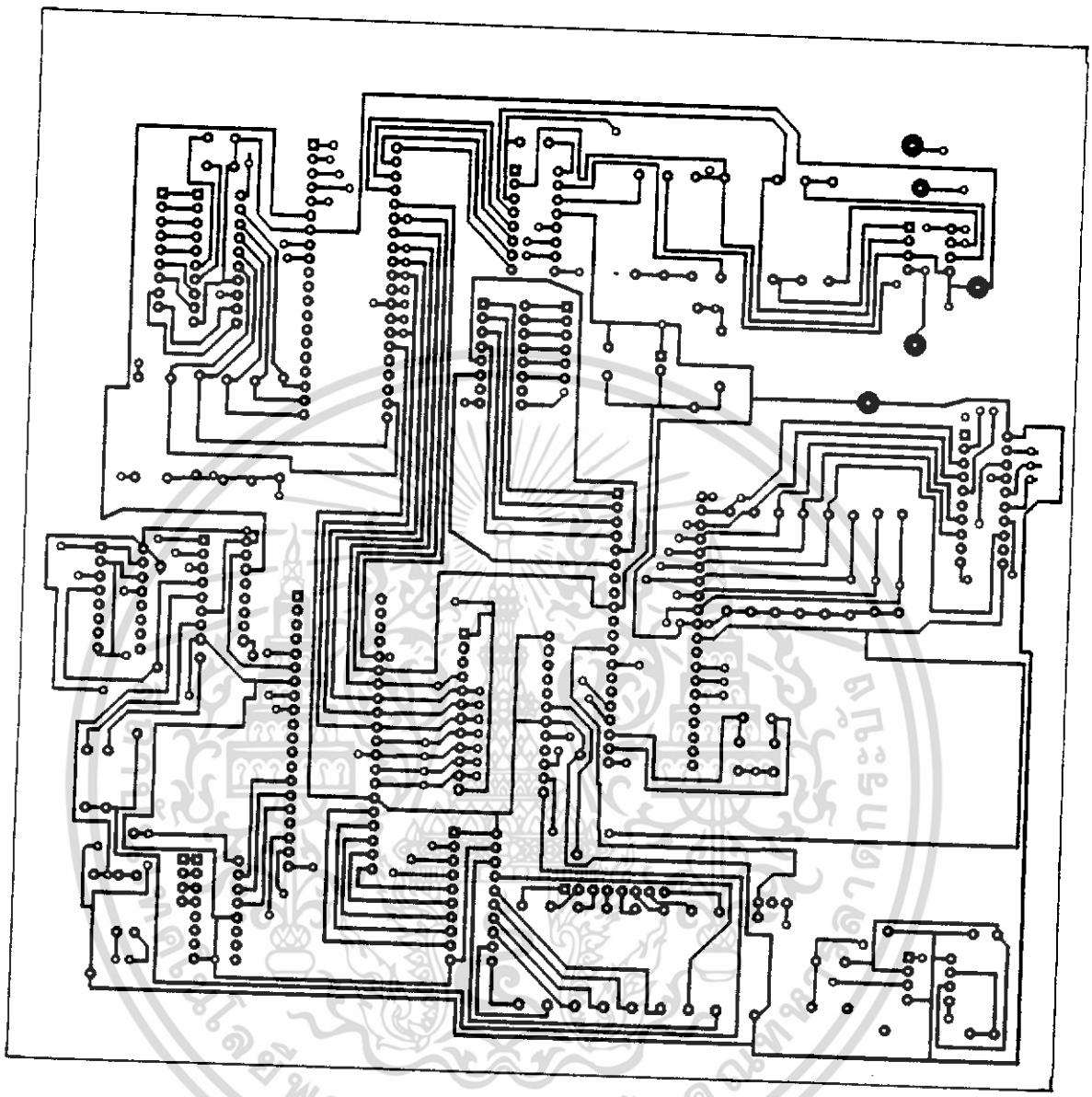


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



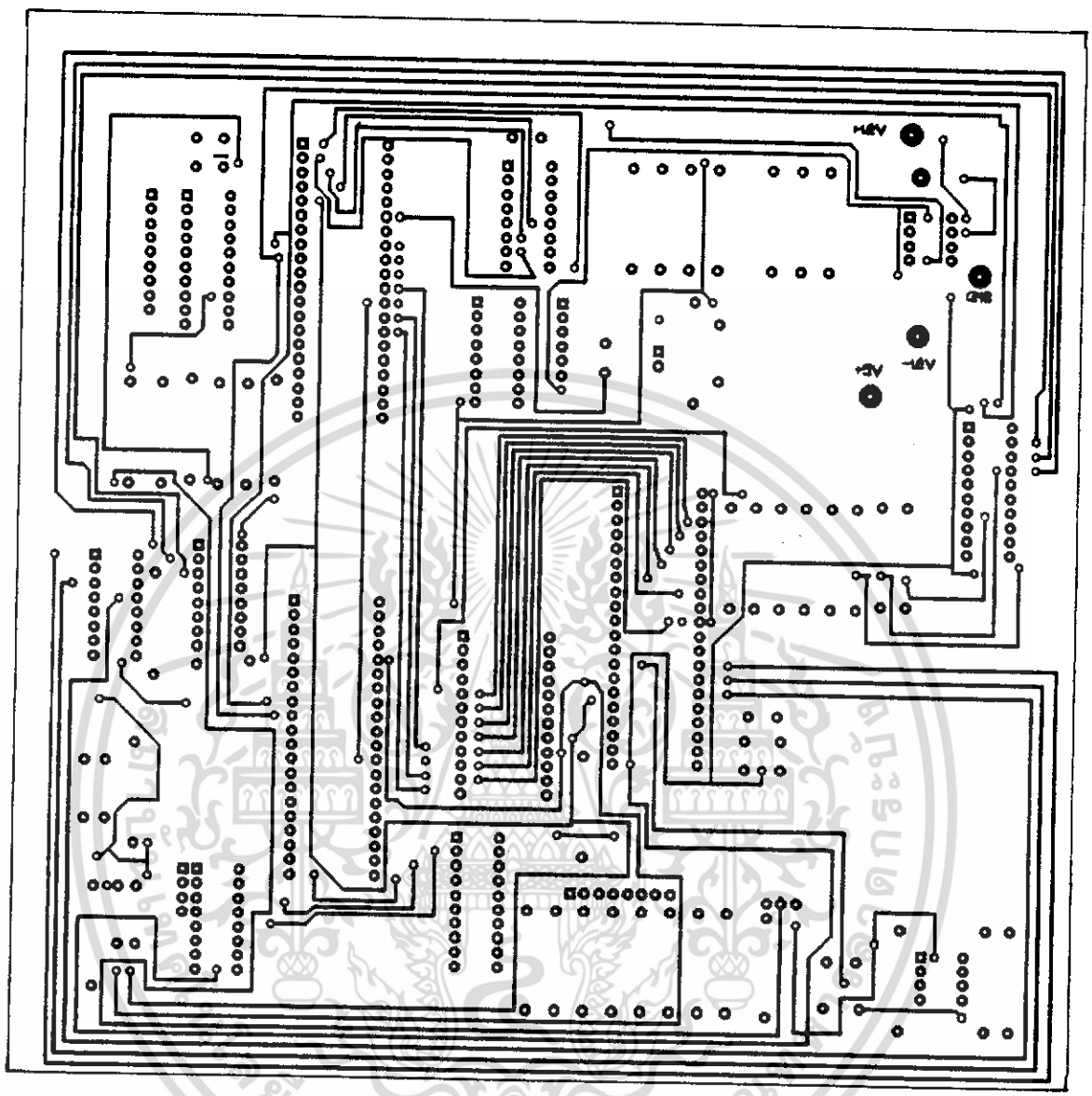
การวางอุปกรณ์ของแผงวงจรควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



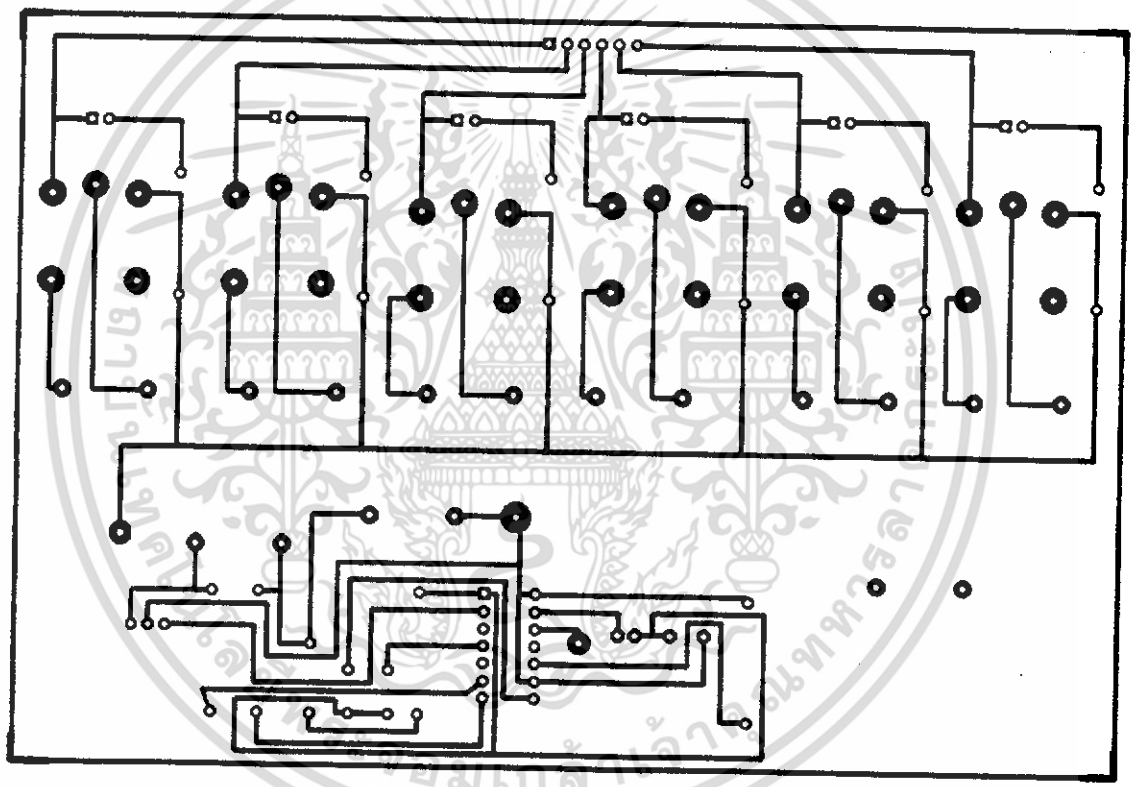
ลักษณะของแผ่นปรินส์เมื่อมองจากด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



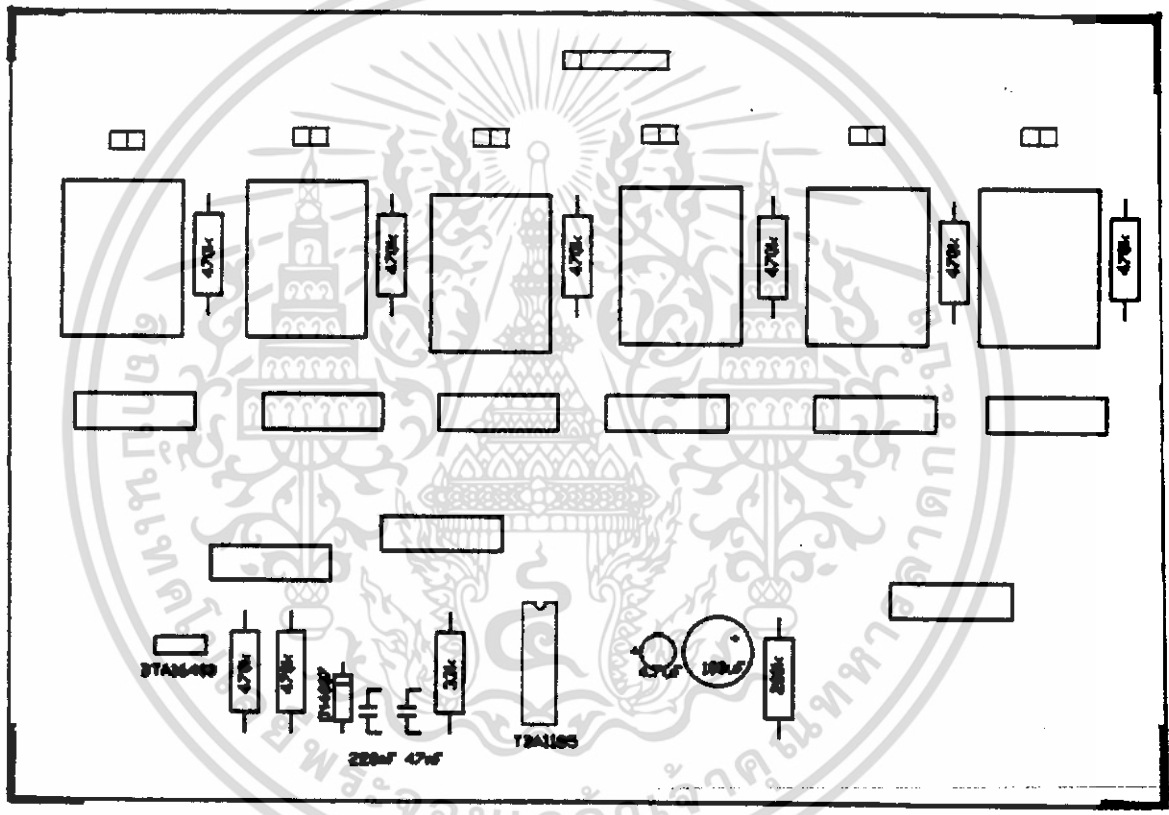
ลักษณะของแผ่นปรินส์เมื่อมองจากด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลักษณะของแผ่นปรินส์เมื่อมองจากด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การวางอุปกรณ์ของแผงต่ออุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

จากการทดลองส่วนย่อยๆต่างๆ เช่น ส่วนของการเข้ารหัสคีย์บอร์ด ส่วนของการหรี่ไฟ ส่วนของภาคจ่ายไฟ ส่วนสร้างสัญญาณอินเตอร์รัปต์เพื่อรับค่าข้อมูลของซีพียูซึ่งจะมีทั้งส่วนสร้าง INT0 INT1 (INT0 เพื่ออ่านค่าเวลาจากคีย์บอร์ด INT1 เพื่ออ่านค่าเวลาจาก RTC) ส่วนของการรีเซท ส่วนของชุดควบคุมอุปกรณ์ไฟฟ้า ปรากฏว่า ได้สัญญาณเอาท์พุท ตามสัญญาณอินพุทที่ป้อนให้ในส่วนที่มิได้กล่าวถึง เช่น การต่อซีพียูเข้ากับ RTC 8255 หรือ ไอซี ที่เกี่ยวข้องอื่นๆที่มีความถูกต้องสูง เนื่องจากได้ศึกษาออกแบบตามคู่มือการใช้งานของ ET BOARD 8031 ซึ่งเมื่อเปรียบเทียบกับ DATA SHEET และ ผลการทดลองเมื่อเราป้อนอินพุทในลอจิกที่กำหนดให้เกิดเอาท์พุทที่เราต้องการก็จะเกิดเอาท์พุทมีความถูกต้องทุกประการ ตามหลักการซึ่งจากการออกแบบทางด้านฮาร์ดแวร์ไม่ค่อยมีปัญหาเท่าใด อาจจะมีปัญหาบ้าง ในส่วนของการเข้ารหัสคีย์บอร์ดซึ่งอาจจะมีปัญหาดีเบาว์บ้าง แต่ทางคณะผู้จัดทำก็ได้แสดงวิธีแก้ปัญหาไว้ในส่วนของโครงสร้างและการออกแบบทางด้านฮาร์ดแวร์ในบทที่ 3 ไว้แล้วข้างต้น ส่วนอื่นๆทางด้านฮาร์ดแวร์ไม่ค่อยเกิดปัญหาเท่าใด ดังนั้น เมื่อเปรียบเทียบส่วนที่เกิดปัญหา จึงเกิดที่ด้านโปรแกรมเป็นส่วนใหญ่ ปัญหาส่วนใหญ่มักเกิดขึ้นเนื่องมาจากทางคณะผู้จัดทำไม่มีประสบการณ์ในการเขียนแอสแซมบลีบนซีพียูเบอร์นี้มาก่อน และอีกประการหนึ่งคือความไม่พร้อมของอุปกรณ์ที่ใช้สำหรับพัฒนาโปรแกรม เช่นไม่มีอีมูเลเตอร์ในการทดสอบฮาร์ดแวร์ กับโปรแกรมทำให้เราต้องใช้วิธีการพัฒนาโปรแกรมโดยการทดลองโปรแกรมทดลองอัดโปรแกรมหลายๆครั้ง เป็นผลทำให้เสียเวลามากและสิ้นเปลืองค่าใช้จ่ายในการอัดโปรแกรมไปมากกว่าที่จะได้โปรแกรมที่ทำงานกับฮาร์ดแวร์ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ในบทนี้จะแบ่งออกเป็น 2 ส่วน คือส่วนของการสรุปผลการทดลอง และส่วนการวิจารย์

สรุปผลการทดลอง

จากการออกแบบทางด้านฮาร์ดแวร์ ผลที่ได้รับถือว่าน่าพอใจมาก การออกแบบได้อ้างอิงตาม DATA SHEET ดังนั้น ปัญหาทางด้านฮาร์ดแวร์จึงไม่ค่อยมี ปัญหาส่วนใหญ่ประมาณร้อยละ 70 จึงอยู่ที่โปรแกรม เช่น ครั้งแรกทางคณะผู้จัดทำได้เขียนโปรแกรมให้ RTC สร้างสัญญาณอินเตอร์รัปต์ป้อนเข้ากับขา INT1 ของ 8751 ทุกๆ 2วินาที เพื่อทำการอ่านค่าเวลาจาก RTC แต่เนื่องจากมีปัญหาคือ RTC ไม่สามารถโปรแกรมให้เกิดสัญญาณอินเตอร์รัปต์ ตามที่เราต้องการทางผู้จัดจึงได้ใช้ TIMER 555 มาแก้ปัญหานี้ โดยการใช้มาเป็นตัวสร้างสัญญาณอินเตอร์รัปต์เพื่อ อ่านค่าเวลาจาก RTC แทน

วิจารย์

โครงงานนี้ สามารถพัฒนาให้มีความซับซ้อนได้มากกว่านี้อีกมาก เช่น อาจมีรีโมต-คอนโทรล หรืออาจควบคุมโดยใช้สัญญาณโทรศัพท์ฯ โดยความซับซ้อนอยู่ที่โปรแกรมมากกว่าเพราะส่วนของฮาร์ดแวร์ไม่มีส่วนใดซับซ้อนมาก ผู้เขียนโปรแกรมที่ดีต้องมีความเข้าใจในโครงสร้างของซีพียูได้เป็นอย่างดี ดังนั้นก่อนที่จะเริ่มเขียน ผู้เขียนจึงควรศึกษาโครงสร้างของซีพียูให้ละเอียดเสียก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. การใช้งานไมโครคอนโทรลเลอร์ ตระกูล 8015 ของสุนทร วิทูสุรพจน์
2. การโปรแกรมภาษาแอสแซมบลี ของ ไมโครคอนโทรลเลอร์ ตระกูล 8051 ของ สุนทร วิทูสุรพจน์
3. ไมโครคอลโทรลเลอร์ MCS-48 ; MCS-51 ของ พิพัฒน์ เลาหสงคราม
4. MICROPROCESSOR TRAINING SYSTEM CP3 ET 8032 HARDWARE EXPERIMENT MENUAL ETT CO ; LTD
5. ไมโครคอนโทรลเลอร์ 8051 ของ รัชนัย อินทุโส ; ไตรภพ อินทุโส
6. ET-8032 V 2.0 MCS-51 SINGLE BOARD MICROCONTROLLER USER'S MENUAL
7. คู่มือไอซีไมโครโปรเซสเซอร์ และไอซีที่เกี่ยวข้อง ของ บริษัทซีเอ็ดยูเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54C922/MM74C922 16-Key Encoder
MM54C923/MM74C923 20-Key Encoder

general description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll over is provided between any two switches.

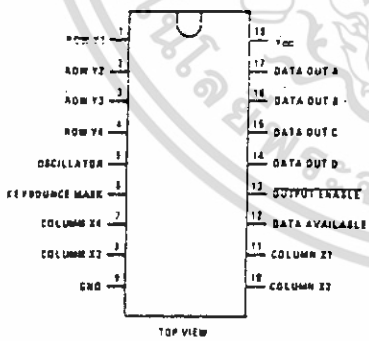
An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs provide for easy expansion and bus operation and are LPTTL compatible.

features

- 50 kΩ maximum switch on resistance
- On or off chip clock
- On chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

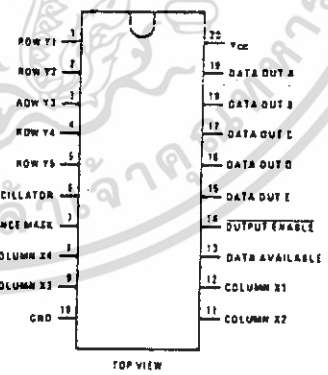
connection diagrams

Dual-In-Line Package



Order Number MM54C922N
or MM74C922N
See Package 20

Dual-In-Line Package



Order Number MM54C923N
or MM74C923N
See Package 20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Voltage at Any Pin	V_{CC} − 0.3V to V_{CC} + 0.3V	Package Dissipation	500 mW
Operating Temperature Range		Operating V_{CC} Range	3V to 15V
MM54C922, MM54C923	−55°C to +125°C	V_{CC}	18V
MM74C922, MM74C923	−40°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
Storage Temperature Range	−65°C to +150°C		

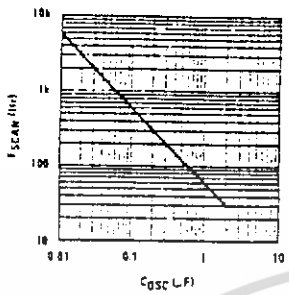
dc electrical characteristics Min/max limits apply across temperature range unless otherwise noted

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	3	3.6	4.3	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	6	6.8	8.6	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	9	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	0.7	1.4	2	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	1.4	3.2	4	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	2.1	5	6	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V	3.5	4.5		V
		V_{CC} = 10V	8	9		V
		V_{CC} = 15V	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V		0.5	1.5	V
		V_{CC} = 10V		1	2	V
		V_{CC} = 15V		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	V_{CC} = 5V, V_{IN} = 0.1 V_{CC}	−2		5	μA
		V_{CC} = 10V	−10		−20	μA
		V_{CC} = 15V	−22		−45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 5V, I_O = −10μA	4.5			V
		V_{CC} = 10V, I_O = −10μA	9			V
		V_{CC} = 15V, I_O = −10μA	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5V, I_O = 10μA			0.5	V
		V_{CC} = 10V, I_O = 10μA			1	V
		V_{CC} = 15V, I_O = 10μA			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	V_{CC} = 5V, V_O = 0.5V		500	1400	Ω
		V_{CC} = 10V, V_O = 1V		300	700	Ω
		V_{CC} = 15V, V_O = 1.5V		200	500	Ω
I_{CC}	Supply Current	V_{CC} = 5V, Osc at 0V		0.55	1.1	mA
		V_{CC} = 10V		1.1	1.9	mA
		V_{CC} = 15V		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 0V	−1.0	−0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V	V_{CC} − 1.5			V
		74C, V_{CC} = 4.75V	V_{CC} − 1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V			0.8	V
		74C, V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA	2.4			V
		74C, V_{CC} = 4.75V, I_O = −360μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA			0.4	V
		74C, V_{CC} = 4.75V, I_O = −360μA			0.4	V

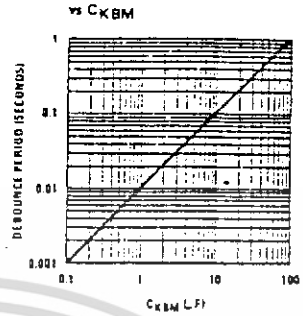
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics (con't)

Typical F_{SCAN} vs C_{OSC}

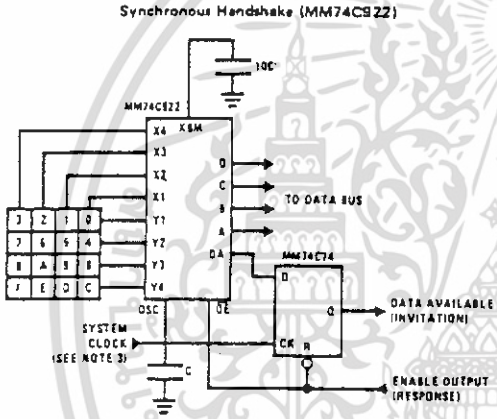


Typical Debounce Period vs C_{KBM}

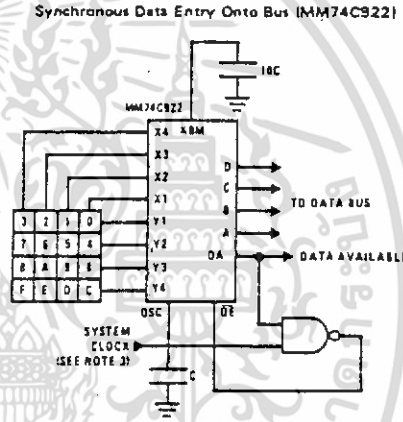


typical applications

Synchronous Handshake (MM74C922)



Synchronous Data Entry Onto Bus (MM74C922)



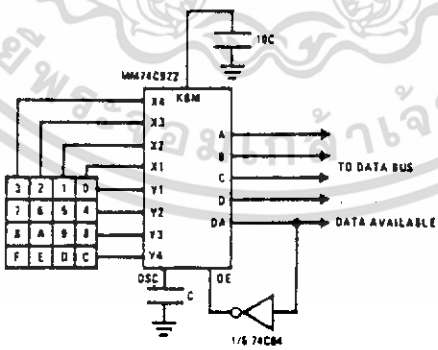
Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Asynchronous Data Entry Onto Bus (MM74C922)

Keyboard Suppliers

Mini Key Series KL
Cignetics Company
Pasadena, California

Computronics Engineering
7235 Hollywood Blvd
Hollywood, California 90046



Outputs are in TRI-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to TRI-STATE.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (con't)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	−1.75	−3.3		mA
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	−8	−15		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

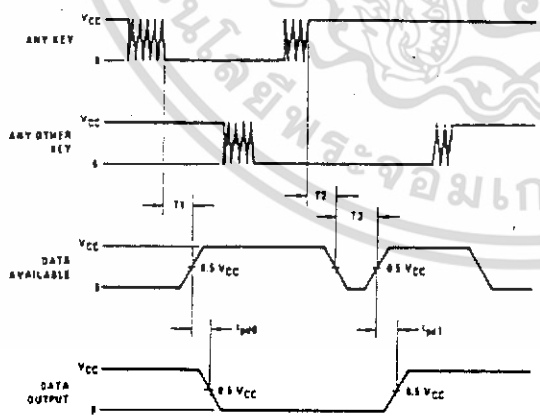
ac electrical characteristics T_A = 25°C

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd0},t_{pd1}	Propagation Delay Time to	C_L = 50 pF, *(Figure 1)*				
	Logical "0" or Logical "1"	V_{CC} = 5V		60	150	ns
	from D.A.	V_{CC} = 10V		35	80	ns
		V_{CC} = 15V		25	60	ns
t_{0H},t_{1H}	Propagation Delay Time from	R_L = 10k, C_L = 5 pF, *(Figure 2)*				
	Logical "0" or Logical "1"	V_{CC} = 5V R_L = 10k		80	200	ns
	into High Impedance State	V_{CC} = 10V C_L = 10 pF		65	150	ns
		V_{CC} = 15V		50	110	ns
t_{H0},t_{H1}	Propagation Delay Time from	R_L = 10k, C_L = 50 pF, *(Figure 2)*				
	High Impedance State to a	V_{CC} = 5V R_L = 10k		100	250	ns
	Logical "0" or Logical "1"	V_{CC} = 10V C_L = 50 pF		55	125	ns
		V_{CC} = 15V		40	90	ns
C_{IN}	Input Capacitance	Any Input, (Note 2)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output, (Note 2)		10		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

switching time waveforms



T1 = T2 = RC, T3 = 0.7 RC where R = 10k and C is external capacitor at KBM input.

FIGURE 1

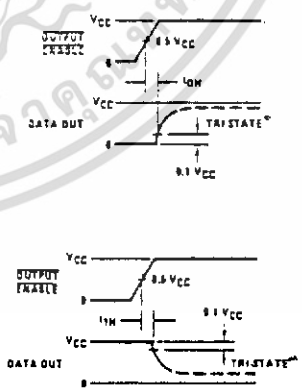


FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

TDA1185A

TRIAC PHASE ANGLE CONTROLLER

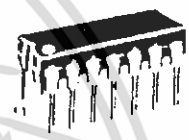
4

The TDA1185A generates controlled TRIAC triggering pulses and allows tachless speed stabilization of universal motors by an integrated positive feedback function. Typical applications are power hand tools, vacuum cleaners, mixers, light dimmer and other small appliances.

- Supply Power Obtained From AC Line
- Can Be Used with 220 V 50 Hz or 110 V 60 Hz
- Low Count Cost External Components
- Optimum TRIAC Firing (2nd and 3rd Quadrants)
- Repetitive Trigger Pulses When TRIAC Current is Interrupted by Motor Brush Bounce
- TRIAC Current Sensing to Allow Inductive Loads
- Programmable Soft Start
- Power Failure Detection and General Circuit Reset
- Low Power Consumption: 6.0 mA

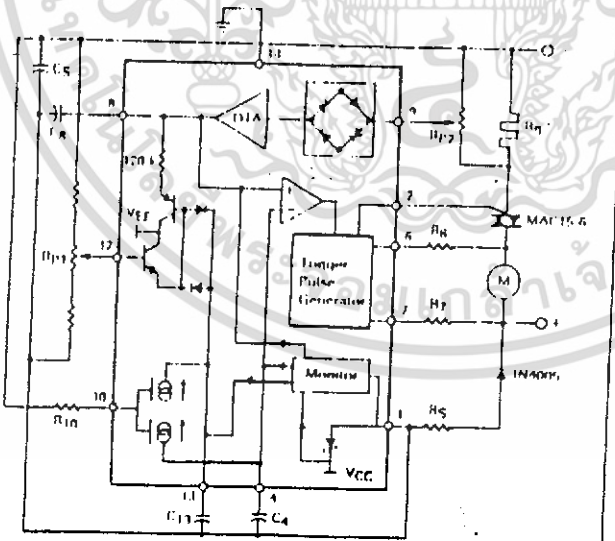
TRIAC PHASE ANGLE CONTROLLER

SILICON MONOLITHIC INTEGRATED CIRCUIT

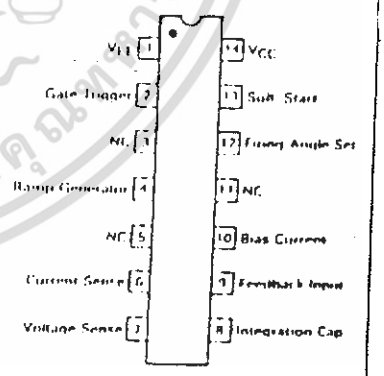


PLASTIC PACKAGE
CASE 646

FIGURE 1 — TYPICAL SYSTEM CONFIGURATION



PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

MAXIMUM RATINGS (Voltages are referenced to Pin 14 (ground) unless otherwise noted)

Rating	Symbol	Value	Unit
Maximum Voltage Range per Listed Pin Pins 3 5 11 (not connected) Pins 4 8 13 Pin 2 Maximum Positive Voltage (No minimum value allowed, see current ratings)	V_{Pin} $V_{Pin\ 12}$ $V_{Pin\ 1}$	 20 to + 20 V_{CC} to 0 3 0 to + 3 0 0 0 5	V
Maximum Current per Listed Pin Pin 1 Pins 6 and 7 Pin 9 Pin 10 Pin 12	I_{Pin}	 + 20 ± 2 0 + 0 5 + 300 500	 mA mA mA µA µA
Maximum Power Dissipation (= T_A 25 C)	P_D	250	mW
Maximum Junction to Ambient Thermal Resistance	R_{thJA}	100	C W
Operating Ambient Temperature Range	T_A	0 to + 70	C
Storage Temperature Range	T_{stg}	55 to + 125	C

ELECTRICAL CHARACTERISTICS (T_A = 25 C, voltages are referenced to Pin 14 (ground) unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Power Supply					
Zener Regulated Voltage ($V_{Pin\ 1}$) $I_{Pin\ 1}$ 2 0 mA	V_{CC}	9 G	8 6	7 6	V
Circuit Current Consumption, $I_{Pin\ 1}$ $V_{Pin\ 1}$ 6 0 V $I_{Pin\ 2}$ 0 A	I_{CC}	2 0	1 0	--	mA
Monitoring Enable Supply Voltage (V_{EN})	$V_{Pin\ 1EN}$	V_{CC} + 0 2	–	V_{CC} + 0 5	V
Monitoring Disable Supply Voltage (V_{DIS})	$V_{Pin\ 1DIS}$	V_{EN} + 0 12	--	V_{EN} + 0 3	
Phase Sel					
Control Voltage Static Offset $V_{Pin\ 8}$ $V_{Pin\ 12}$	V_{off}	1 2	–	2 0	V
Pin 12 Input Bias Current	$I_{Pin\ 12}$	200	-	0	nA
$V_{Pin\ 4}$ $V_{Pin\ 12}$ Residual Offset		—	180	–	mV
Soft Start	$I_{Pin\ 10}$	17	14	11	µA
Capacitor Charging Current $R_{Pin\ 10}$ 100 kΩ, $V_{Pin\ 11}$ from V_{CC} to 3 0 V					
Sawtooth Generator					
Sawtooth Capacitor Discharge Current R_{10} 100 kΩ $V_{Pin\ 4}$ from 2 0 to 6 0 V	$I_{Pin\ 4}$	67	70	73	µA
Capacitor Charging Current	$I_{Pin\ 4}$	10	-	1 5	mA
Sawtooth "High" Voltage ($V_{Pin\ 4}$)	V_{HIGH}	2 5	1 6	1 0	V
Sawtooth Minimum "Low" Voltage ($V_{Pin\ 4}$)	V_{LOW}	--	7 1	--	V
Positive Feedback					
Pin 9 Input Bias Current, $V_{Pin\ 9}$ 0	$I_{Pin\ 9}$	-	2 × $I_{Pin\ 10}$	—	
Programming Pin Voltage Related to Pin 1	$V_{Pin\ 10}$	1 0	1 25	1 5	V
Transfer Function Gain $\Delta V_{Pin\ 8}$ $\Delta V_{Pin\ 9}$ R_{10} 100 kΩ, $\Delta V_{Pin\ 9}$ 50 mV	A	-	75	--	
R_{10} 270 kΩ, $\Delta V_{Pin\ 9}$ 50 mV	A	-	36	--	
Pin 8 Output Internal Impedance	$Z_{Pin\ 8}$	-	120	--	kΩ
Trigger Pulse Generator					
Output Current (Sink), $V_{Pin\ 2}$ 0 V	$I_{Pin\ 2}$	60	--	80	mA
Output Leakage Current $V_{Pin\ 2}$ + 2 0 V	—	—		4 0	µA
Output Pulse Width C_4 47 nF R_{10} 270 kΩ	tp	—	55	—	µs
Output Pulse Repetition Period C_4 47 nF R_{10} 270 kΩ	t	—	420	—	µs
Current Synchronization Threshold Levels ($I_{Pin\ 6}$, $I_{Pin\ 7}$)	I_{SYNC}	40	—	+ 40	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

PIN FUNCTION DESCRIPTION

Pin No.	Function	Description
1	V_{EE}	This pin is the negative supply for the chip and is clamped at −8.6 V by an internal zener.
2	Gate Trigger Pulse	This pin supplies 1.0 V TRIAC trigger pulse at twice the line frequency.
3	NC	Not connected
4	Ramp Generator	The value of the capacitor at this pin determines the slope of the ramp.
5	NC	Not connected
6	Current Sense	This pin senses if the TRIAC is on, and if so, will disable the gate trigger pulse.
7	Voltage Sense	The internal timing of the chip is set by the frequency of the voltage at this pin.
8	Integration Capacitor	This pin is the output of the feedback and the variation in voltage is averaged out by the capacitor.
9	Feedback Input	The change in load current is detected by the change in voltage across R_9.
10	Current Program	The bias current for the circuit is determined by the resistor value at this pin.
11	NC	Not connected
12	Phase Angle Set	The voltage at this pin sets the no-load firing angle.
13	Soft Start	The firing angle is slowly increased from 180° to the set value of Pin 12.
14	V_{CC}	Ground

INTRODUCTION

The Motorola TDA1185A generates trigger pulses (Pin 2) for TRIAC control of power into an AC load. The TRIAC trigger pulse is determined by generating a ramp voltage (Pin 4) synchronized to twice the AC line frequency and compared to an external set voltage (Pin 12) representing the conduction angle. Gate pulses are negative (sink current) and thus the TRIAC is driven into its most effective quadrants (Q2, Q3).

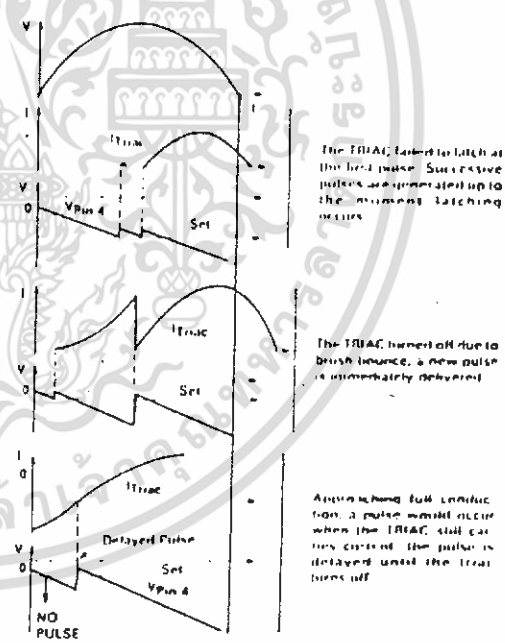
If the load is a Universal motor (the speed of which decreases as torque increases), the TDA1185A allows to increase the conduction angle proportionally to the motor current, sensed (Pin 9) by a low value resistor in series with the load.

FUNCTIONAL DESCRIPTION

DC POWER SUPPLY — DC power is directly derived from the AC line through a 2.0 watt resistor, half wave rectifier and filtering capacitor circuit. The V_{EE} voltage is internally regulated by an integrated zener. Referenced to ground (Pin 14), the power supply voltage is −8.6 V. The TDA1185A internal consumption is 6.0 mA.

TRIGGER PULSE GENERATOR — It delivers a 60 mA minimum sink current pulse (Pin 2) through an internally short circuit protected output. Pulse width is roughly proportional to $R_{10} \times C_4$ and is repeated every 420 μs if TRIAC fails to latch or is switched off by brush bounce. With inductive loads, the current lags in respect to the voltage. Pin 6 delays the triggering pulse up to the moment the TRIAC is off, in order to prevent erratic power control (see Figure 2).

FIGURE 2 — MULTIPULSE GENERATION DELAYED PULSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

RAMP GENERATOR — A constant current sink discharges capacitor C_4 producing a negative voltage ramp synchronized with the main line. Pin 4 voltage is reset to − 1.6 volts at every AC line zero crossing (see Figure 3) and ramps down to − 7.1 volts. The constant current sink is externally programmable by R_{10} using the equation below

$$I_4 = I_{10} \pm 5\%$$

$$I_{10} = \frac{|V_{EE}| - 1.25|}{R_{10}}$$

MAIN COMPARATOR — Its role is to determine the trigger pulse which occurs when the ramp voltage equals the phase angle set voltage at Pin 12. Fixed phase angle set voltage values lead to a constant TRIAC conduction angle unless positive current feedback (Pin 9) is connected or the Soft Start capacitor (Pin 13) is not charged.

SOFT-START — The TDA1185A allows the user to avoid any abrupt inrush of current into the load. This provides protection for fragile loads, light bulbs or tubes. Another advantage is that the AC line disturbance is minimized.

The conduction angle is established from zero to the set value at Pin 12 according to a voltage ramp generated by a constant current delivered to C_{13}. The value of current I_{13} can be expressed by the following equation:

$$I_{13} = 0.2 \times I_{10} \pm 10\%$$

The voltage ramp lasts as long as V_{13} is lower than the set voltage V_{12}. Upon reset, V_{13} is forced to V_{EE} as shown in Figure 4. If the load is a universal motor, it will not turn until a minimum conduction angle is achieved to overcome friction. The time the voltage ramp requires to reach its threshold value is considered "dead" time, and can be eliminated by an appropriate series resistor at Pin 13. The voltage drop developed by I_{13} thru the resistor causes the conduction angle to immediately reach the threshold value and have the Soft Start function without dead time (see Figure 5).

FIGURE 3 — TRIGGERING PULSE TIMING

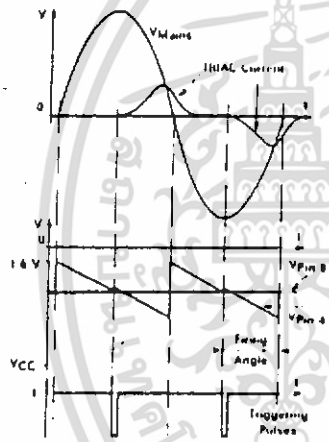


FIGURE 4 — SOFT START

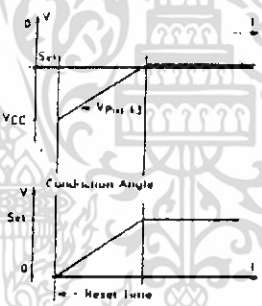


FIGURE 5 — SOFT-START WITHOUT DEAD TIME

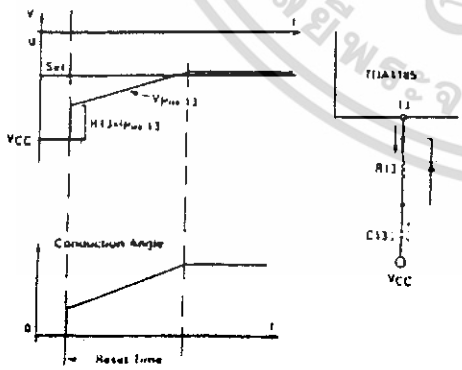
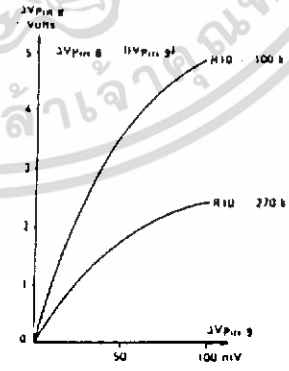


FIGURE 6 — TRANSFER FUNCTION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POSITIVE CURRENT FEEDBACK — The Universal motor speed drops as load increases. To maintain the speed, the TRIAC conduction angle must be increased. For this purpose, Pin 9 senses the motor current as a voltage developed in a low value resistor, Rg, amplifies, rectifies and adds it internally to the set voltage at Pin 12. Any voltage variation at the output of the feedback, Pin 8, is smoothed out by capacitor C_8. The transfer function, $\Delta V_8 = f(\Delta V_9)$, is shown in Figure 6.

The gain in the linear region is dependent on R_{10}. The voltage transferred to Pin 8 is proportional to the current RMS value, as motor current is not far from a sine wave. This averaging effect is shown in Figure 7.

With large amplitude signals at Pin 9, the change in voltage at Pin 8 reaches a maximum value. This saturation effect limits the maximum conduction angle increase. This effect is illustrated in Figure 8 where the total Pin 8 voltage can be written as follows:

$$V_8 = V_{12} + f(V_9), (I_{10}) + 1.25$$

The effect of the feedback is illustrated in Figure 9.

MONITORING — A central logic block performs the ENABLE DISABLE function of the IC with respect to power supply voltage. Under DISABLE conditions, Pin 4, 8, 12 and 13 are forced to appropriate voltages to prepare for the next reset. Refer to the block diagram in Figure 10.

APPLICATION CONSIDERATIONS

COMPONENT SELECTION — To regulate the speed of a universal motor it is necessary to determine how much gain in the feedback is needed. A change in motor current (due to load increase) causes the conduction angle to change by the appropriate amount to keep the speed constant. This entails, through trial and error, choosing an appropriate resistor value for R_{10}, since the gain of the feedback is determined by value of R_{10} as shown in Figure 8.

FIGURE 7 — AVERAGING EFFECT OF TRANSFER FUNCTION

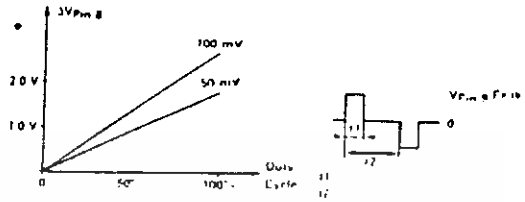
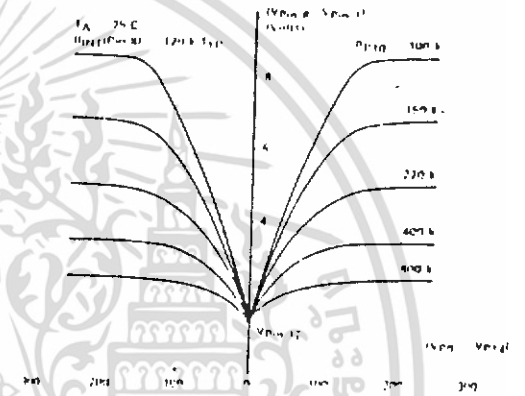


FIGURE 8 — TRANSFER FUNCTION (Pin 8 Pin 9)

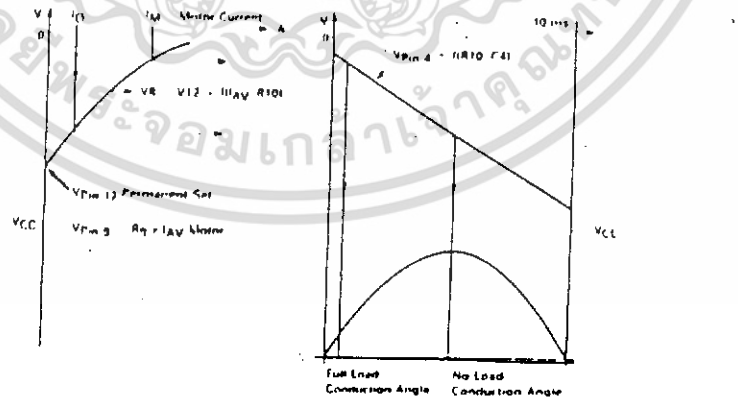


Once R_{10} is picked, C_4 can be calculated from the following equation:

$$C_4 = \frac{6.77}{f_{line} \times R_{10}}$$

where f_{line} is the line frequency.

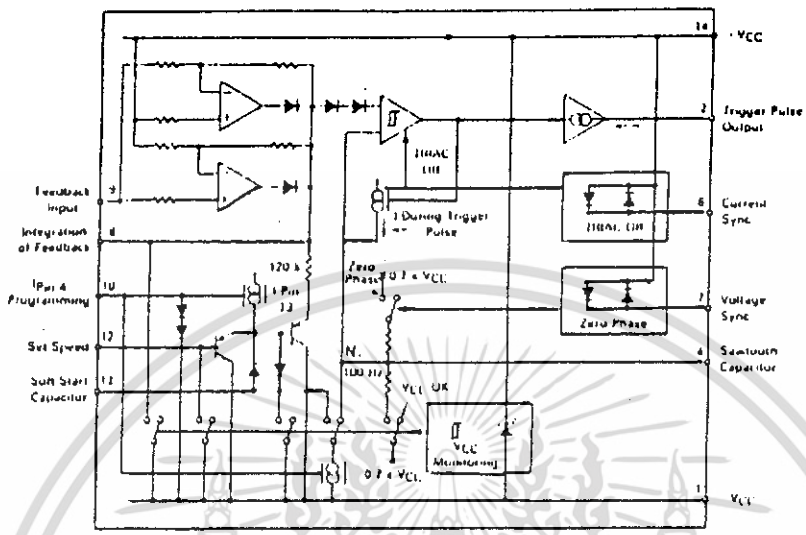
FIGURE 9 — POSITIVE FEEDBACK EFFECT
(Offset voltages have been neglected)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

FIGURE 10 — INTERNAL BLOCK DIAGRAM



Capacitor C_8 is an integration cap used to smooth out the voltage at Pin 8. The value should be large enough to accomplish this task yet not too large to slow the response of the system.

Capacitor C_{13} determines how fast the conduction angle reaches the set value programmed at Pin 12. To achieve a desired delay, the value for C_{13} can be calculated by the following equation

$$C_{13} = \frac{8 \times t_d}{18.6 \quad V_{12} \times R_{10}}$$

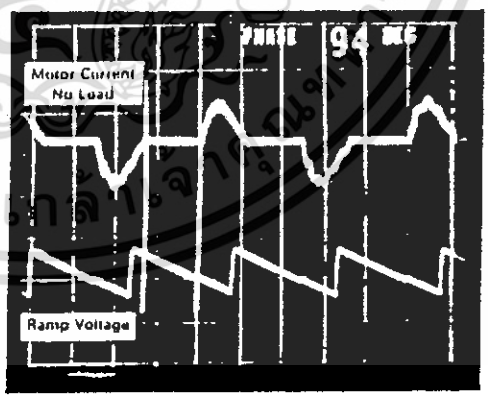
The remaining component values have experimentally been determined and are constant, regardless of application. The following table lists typical values for 110 volt application.

Component	Value	Units
R_S	10 2.0 W	kΩ
R_{P1}	100	kΩ
R_{P2}	100	Ω
R_6	330 0.5 W	kΩ
R_7	330 0.5 W	kΩ
R_9	0.05 5.0 W	Ω
R_{10}	100	kΩ
C_4	0.1	μF
C_8	0.22	μF
C_{13}	10	μF

Using an oscilloscope, it should be verified that the ramp generator is ramping down from 1.6 to 7.1 volts. The slope of the ramp can be changed by C_4 and the DC level of the waveform can be adjusted by R_7.

Pin 9 has a low internal impedance and requires R_{P2} to adjust the feedback level. Pin 8 must always be connected to V_{EE} through a filtering capacitor. For values of R_{10} less than 100 kΩ, the circuit becomes sensitive and could become unstable. Figures 11 and 12 show typical waveforms. As shown, the increase in motor current has resulted in the firing angle to decrease. This translates to an increase in the average power delivered to the load.

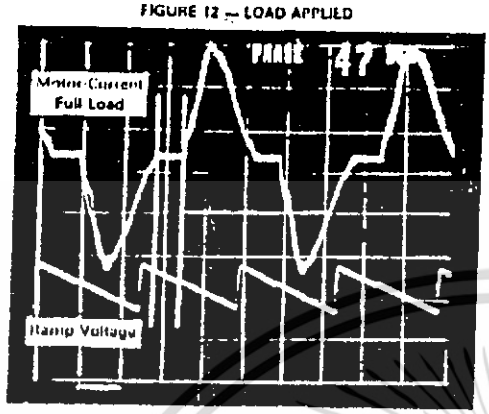
FIGURE 11 — NO LOAD APPLIED



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

FIGURE 12 — LOAD APPLIED



4

TEMPERATURE EFFECTS — The TDA1185A has a very efficient internal temperature compensation. If the current feedback is not connected, the RMS power delivered to the load is stabilized within ± 0.2% over a temperature range of + 20 to + 70 C. The feedback introduces, in the same temperature range, a drift of 250 mV on the voltage of Pin 8; this slight increase in conduction angle may be successfully used to compensate a motor ohmic resistance increase with temperature.

MAIN LINE VOLTAGE COMPENSATION — As the conduction angle is independent of main line voltage, any change in the latter induces a power variation to the load. A resistor connected to the rectifier anode and to Pin 12 with a capacitor to V_{EE} will introduce a decrease in voltage at Pin 12 as the line voltage is increasing. The values of the RC network can experimentally be determined.

FIRING ANGLE DYNAMICS — With purely resistive loads, the effective RMS applied voltage to the load is directly proportional to the firing angle (Figure 13). With inductive loads, since the current lags with respect to voltage, 100% power corresponds to a firing angle which is less than 180 .

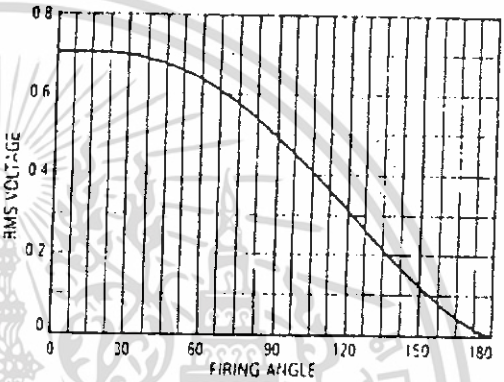
APPLICATION IDEAS

SOFT-START — The Soft-Start feature of the TDA1185A in itself opens the door to a lot of interesting applications. For example, the TDA1185A can be used to bring up fragile loads slowly. Expensive and sensitive tubes can be turned on slowly thus eliminating the inrush of current that could lead to burn out. In this application R_{P1} is replaced with a resistor divider such that the voltage at Pin 12 results in a conduction angle of 180 . Pin 9 should be grounded, since the feedback portion of the TDA1185A is not necessary (see Figure 14). The time to achieve full conduction is found by the equation below:

$$\Delta t \quad 8.71 \times R_{10} \times C_{13}$$

LIGHT DIMMER — With practically no modification the TDA1185A can be used in a light dimmer application. All that is required is to ground the input to the feedback Pin 9. By grounding Pin 9 we have disconnected the feedback loop and the conduction angle is controlled solely by R_{P1}. Further, since the feedback is disconnected, R_8 and R_{P2} are no longer necessary. The Soft-Start feature can still be used to protect the bulb from an inrush of current. This setup can be used in any application that requires manual control of the power delivered to the load (see Figure 15).

FIGURE 13 — RMS VOLTAGE versus FIRING ANGLE

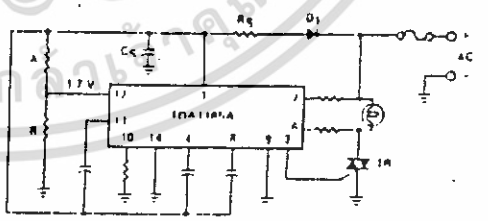


SOFT SHUT-OFF — Once again with little modification, the TDA1185A can be used to turnoff the load slowly. An example of this is in automatic garage lighting. Typically, lights that are on a timer go off without a warning, usually in the most inopportune time (like when you're about to step over the dog). With a soft shut off, the light dims out slowly, alerting you that it is about to go off. As in the previous case, the feedback is disconnected and R_{P1} is replaced with capacitor C_{12} and a switch (see Figure 16). The turn-off time can be calculated by the following equation:

$$\Delta t \quad R_{12} \times C_{12}$$

R_{12} is the sum of the two resistors on both sides of C_{12}.

FIGURE 14 — SOFT-START CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC BOARD — The printed circuit board in Figure 17 is included for the designers convenience to evaluate the TDA1185A. The size of the board is intentionally small to show the compactness that can be achieved. Figure 18 shows the component layout for the PC board. R_{P1} has one of the outer leads connected to V_{EE} and the other to R_{12}. The center lead of R_{P1} is connected to Pin 12.

WARNING SHOCK HAZARD: IT IS HIGHLY RECOMMENDED THAT AN ISOLATION TRANSFORMER BE USED. REMOVE THE CHASSIS GROUND FOR ALL TEST EQUIPMENT.

FIGURE 15 — LIGHT DIMMER CIRCUIT

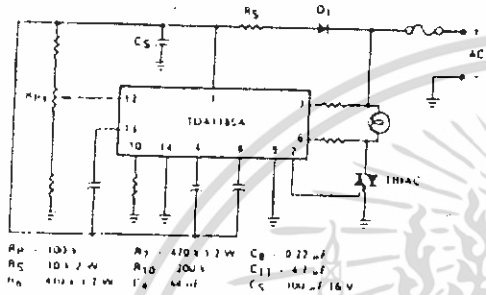


FIGURE 16 — SOFT SHUT OFF CIRCUIT

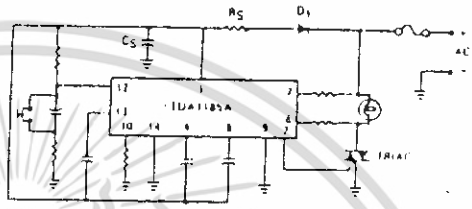
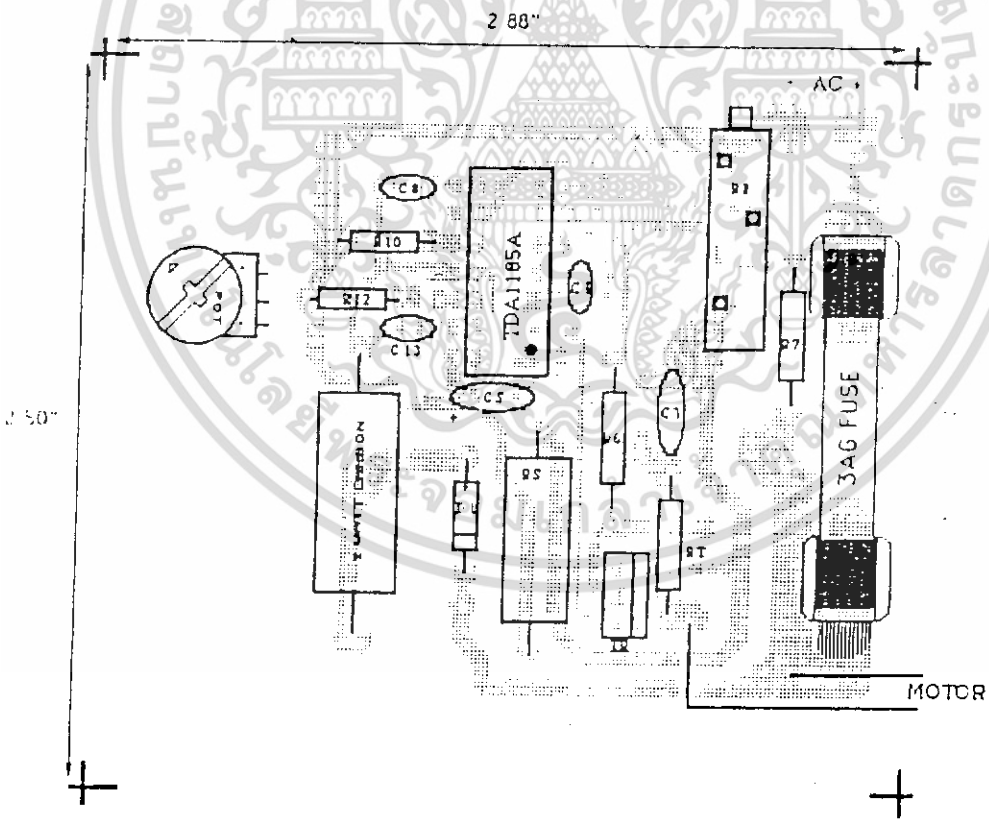
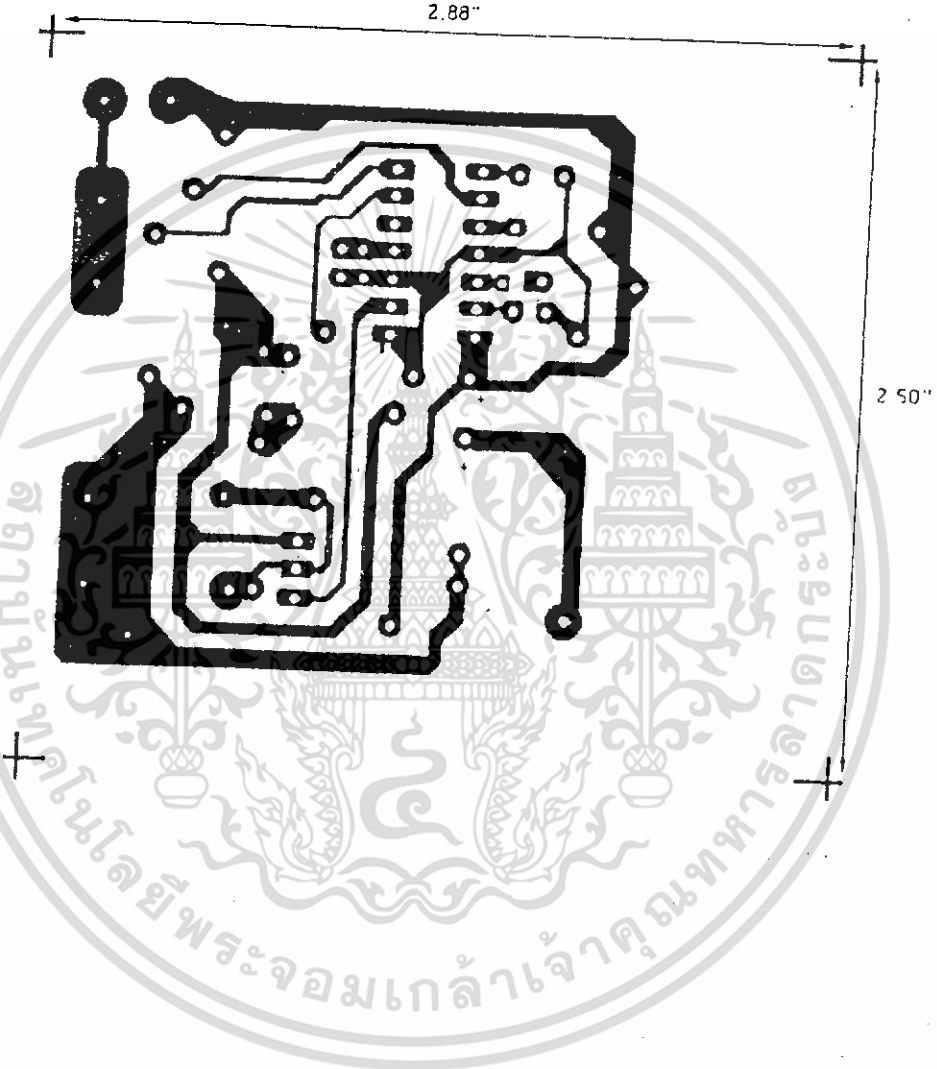


FIGURE 17 — TDA1185A EVALUATION BOARD COMPONENT SIDE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 18 — TDA1185A EVALUATION BOARD COPPER SIDE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74145
Decoder/Driver

BCD-To-Decimal Decoder/Driver (Open Collector)
Product Specification

Logic Products

FEATURES

- 80mA output drive capability
- 15V output breakdown voltage
- See '45 for 30V output voltage
- See '42 for standard TTL outputs

DESCRIPTION

The '145 is a 1-of-10 decoder with Open Collector outputs. This decoder accepts BCD inputs on the A_0 to A_3 address lines and generates 10 mutually exclusive active LOW outputs. When an input code greater than "9" is applied, all outputs are HIGH. This device can therefore be used as a 1-of-8 decoder with A_3 used as an active LOW enable.

The '145 features an output breakdown voltage of 15V. This device is ideal as a lamp or solenoid driver.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74145	24ns	43mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74145N
Plastic SO	N74145D

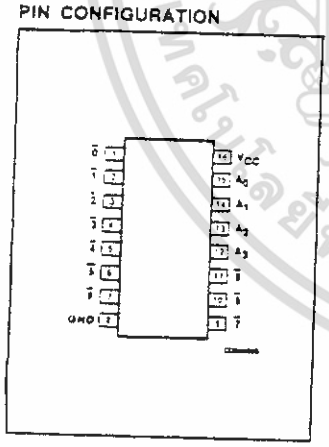
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

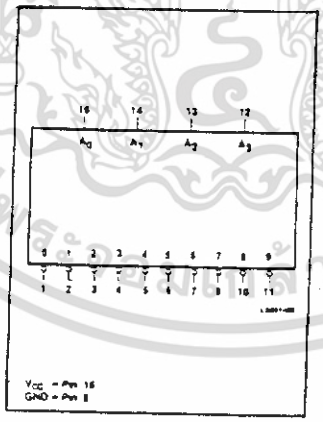
PINS	DESCRIPTION	74
All	Inputs	1ul
All	Outputs	12.5ul

NOTE:
Where a 74 unit load (ul) is understood to be 40µA I_{IH} and −1.6mA I_{IL}.

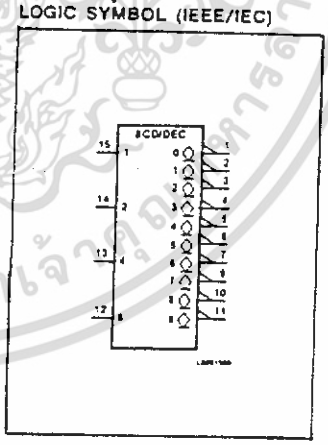
PIN CONFIGURATION



LOGIC SYMBOL



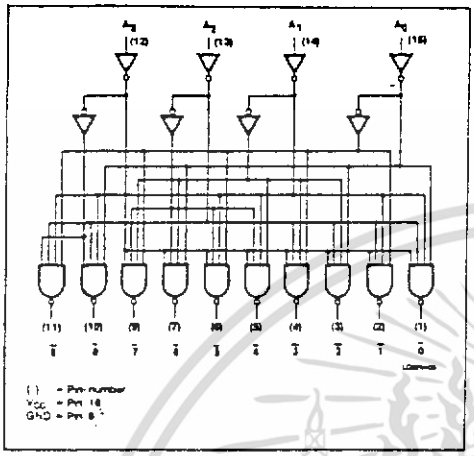
LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Decoder/Driver 74145

LOGIC DIAGRAM



FUNCTION TABLE

A_2	A_1	A_0	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{8}$	$\overline{9}$
L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	H	H	H	H	H	L	H	H	H	H
H	H	L	H	H	H	H	H	H	L	H	H	H
H	H	H	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L
H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H

H = HIGH voltage levels
L = LOW voltage levels

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	74	UNIT
V_{CC}	Supply voltage	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	V
I_{IN}	Input current	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +15	V
T_A	Operating free-air temperature range	0 to 70	°C

RECOMMENDED OPERATING CONDITIONS

	PARAMETER	74			UNIT
		Min	Nom	Max	
V_{CC}	Supply voltage	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage	2.0			V
V_{IL}	LOW-level input voltage			+0.8	V
I_{IC}	Input clamp current			−12	mA
V_{OH}	HIGH-level output voltage			15	V
I_{OL}	LOW-level output current			80	mA
T_A	Operating free-air temperature	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74156, LS156
Decoders/Demultiplexers

Dual 2-Line To 4-Line Decoder/Demultiplexer (Open Collector)
Product Specification

Logic Products

FEATURES
- **Common Address Inputs**
- True or complement data demultiplexing
- Dual 1-of-4 or 1-of-8 decoding
- Function generator applications
- Outputs can be tied together

DESCRIPTION
The '156 is a Dual 1-of-4 Decoder/Demultiplexer with common Address inputs and gated Enable inputs. Each decoder section, when enabled, will accept the binary weighted Address inputs (A_0, A_1) and provide four mutually exclusive active-LOW outputs ($\overline{0} - \overline{3}$). When the enable requirements of each decoder are not met, all outputs of that decoder are HIGH.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74156	20ns	25mA
74LS156	31ns	6.1mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74156N, N74LS156N
Plastic SO	N74LS156D

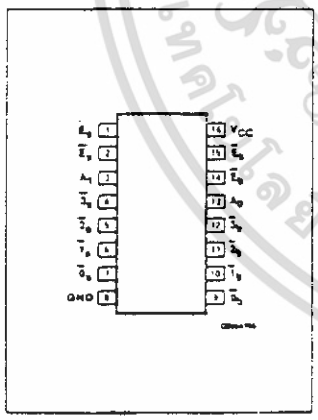
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

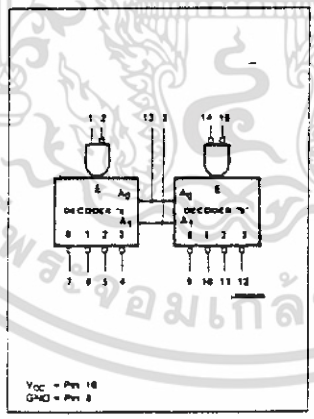
PINS	DESCRIPTION	74	74LS
All	Inputs	1ul	1LSul
All	Outputs	10ul	10LSul

NOTE:
Where a 74 unit load (ul) is understood to be 40µA I_{IH} and −1.6mA I_{IL}, and a 74LS unit load (LSul) is 20µA I_{IH} and −0.4mA I_{IL}.

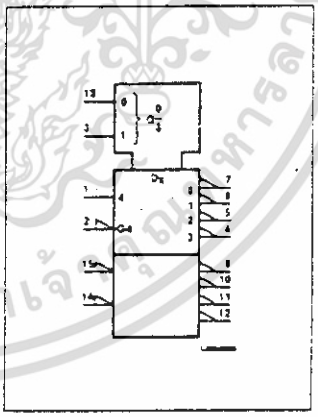
PIN CONFIGURATION



LOGIC SYMBOL



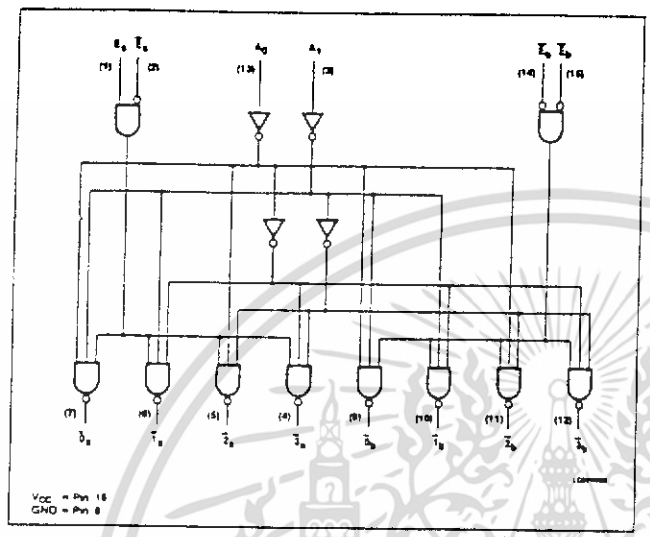
LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Decoders/Demultiplexers — 74156, LS156

LOGIC DIAGRAM



Both decoder sections have a 2-input enable gate. For decoder "a" the enable gate requires one active-HIGH input and one active-LOW input ($E_a \cdot \bar{E}_a$). Decoder "a" can accept either true or complemented data in demultiplexing applications, by using the $\bar{E}_a$ or E_a inputs respectively. The decoder "b" enable gate requires two active-LOW inputs ($\bar{E}_b \cdot \bar{E}_b$). The device can be used as a 1-of-8 decoder/demultiplexer by tying E_a to $\bar{E}_b$ and relabeling the common connection address as (A_2); forming the common enable by connecting the remaining $\bar{E}_b$ and $\bar{E}_a$.

The '156 can be used to generate all four minterms of two variables. The four minterms are useful to replace multiple gate functions in some applications. A further advantage of the '156 is being able to AND the minterm functions by tying outputs together. Any number of terms can be wired-AND as shown in the formula below:

$$T = (\bar{E} + A_0 + A_1) \cdot (\bar{E} + \bar{A}_0 + A_1) \cdot (\bar{E} + A_0 + \bar{A}_1) \cdot (\bar{E} + A_0 + A_1)$$

where $\bar{E} = \bar{E}_a + \bar{E}_a$; $E = E_b + E_b$.

FUNCTION TABLE

ADDRESS		ENABLE "a"		OUTPUT "a"				ENABLE "b"		OUTPUT "b"			
A_0	A_1	E_a	$\bar{E}_a$	$\bar{O}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	E_b	$\bar{E}_b$	$\bar{O}$	$\bar{1}$	$\bar{2}$	$\bar{3}$
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = HIGH voltage level
L = LOW voltage level
X = Don't care

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	74	74LS	UNIT
V_{CC}	Supply voltage	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	−0.5 to +7.0	V
I_{IN}	Input current	−30 to +5	−30 to +1	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	0 to 70		°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS373, 74LS374, S373, S374
Latches/Flip-Flops

'373 Octal Transparent Latch With 3-State Outputs
'374 Octal D Flip-Flop With 3-State Outputs
Product Specification

Logic Products

FEATURES
- 8-bit transparent latch — '373
- 8-bit positive, edge-triggered register — '374
- 3-State output buffers
- Common 3-State Output Enable
- Independent register and 3-State buffer operation

DESCRIPTION
The '373 is an octal transparent latch coupled to eight 3-State output buffers. The two sections of the device are controlled independently by Latch Enable (E) and Output Enable ($\overline{OE}$) control gates.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS373	19ns	24mA
74S373	10ns	105mA
74LS374	19ns	27mA
74S374	8ns	116mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74LS373N, N74S373N, N74LS374N, N74S374N
Plastic SOL-20	N74LS373D, N74S373D, N74LS374D, N74S374D

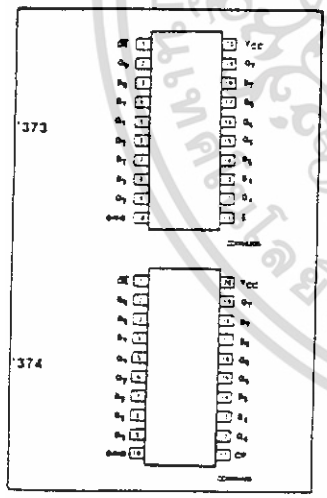
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

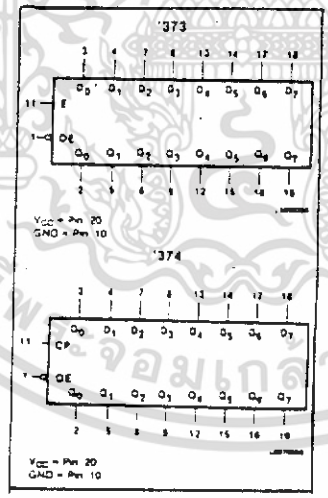
PINS	DESCRIPTION	74S	74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	30LSul

NOTE:
Where a 74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and a 74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

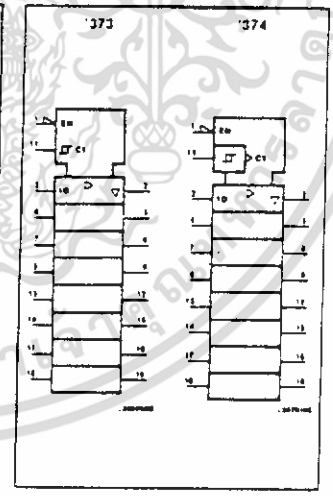
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/EC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Latches/Flip-Flops

74LS373, 74LS374, S373, S374

The data on the D inputs are transferred to the latch outputs when the Latch Enable (E) input is HIGH. The latch remains transparent to the data inputs while E is HIGH, and stores the data present one set-up time before the HIGH-to-LOW enable transition. The enable gate has hysteresis built in to help minimize problems that signal and ground noise can cause on the latching operation.

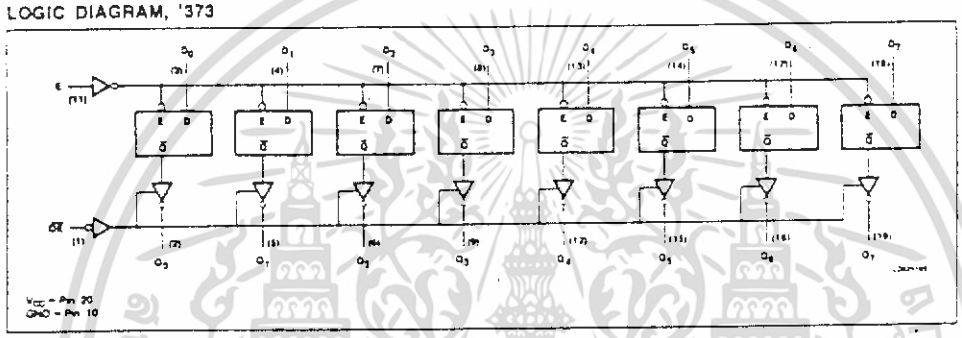
The 3-State output buffers are designed to drive heavily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls all eight 3-State buffers independent of the latch operation. When $\overline{OE}$ is LOW, the latched or transparent data appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

The '374 is an 8-bit, edge-triggered register coupled to eight 3-State output buffers. The two sections of the device are controlled independently by the Clock (CP) and Output Enable ($\overline{OE}$) control gates.

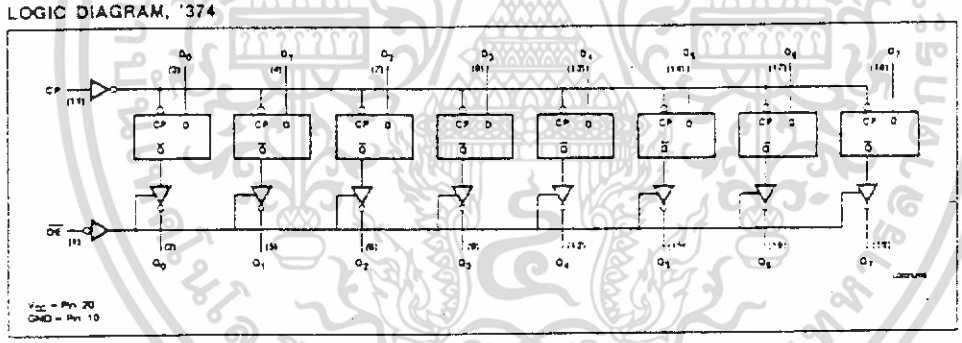
The register is fully edge triggered. The state of each D input, one set-up time before the LOW-to-HIGH clock transition, is transferred to the corresponding flip-flop's Q output. The clock buffer has hysteresis built in to help minimize problems that signal and ground noise can cause on the clocking operation.

The 3-State output buffers are designed to drive heavily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls all eight 3-State buffers independent of the register operation. When $\overline{OE}$ is LOW, the data in the register appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

LOGIC DIAGRAM, '373



LOGIC DIAGRAM, '374



MODE SELECT — FUNCTION TABLE '373

OPERATING MODES	INPUTS			INTERNAL REGISTER	OUTPUTS
	$\overline{OE}$	E	D_n		$O_0 - O_7$
Enable and read register	L	H	L	L	L
	L	H	H	H	H
Latch and read register	L	L	l	L	L
	L	L	h	H	H
Latch register and disable outputs	H	L	l	L	(Z)
	H	L	h	H	(Z)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS245
Transceiver

Octal Transceiver (3-State)
Product Specification

Logic Products

FEATURES

- Octal bidirectional bus interface
- 3-State buffer outputs
- PNP inputs for reduced loading
- Hysteresis on all Data inputs

DESCRIPTION

The 'LS245 is an octal transceiver featuring non-inverting 3-State bus compatible outputs in both send and receive directions. The outputs are all capable of sinking 24mA and sourcing up to 15mA, producing very good capacitive drive characteristics. The device features a Chip Enable (CE) input for easy cascading and a Send/Receive (S/R) input for direction control. All data inputs have hysteresis built in to minimize AC noise effects.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS245	8ns	58mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74LS245N
Plastic SOL-20	N74LS245D

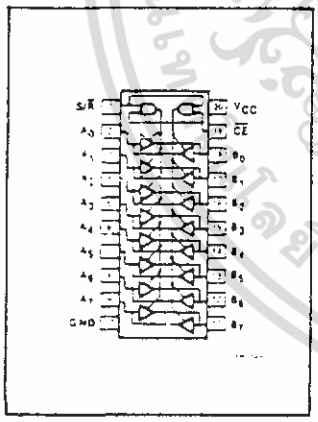
NOTE:
For information regarding devices processed to Military Specifications see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

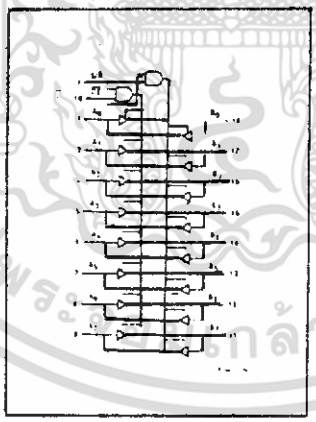
PINS	DESCRIPTION	74LS
A0	Inputs	1LSUl
B0	Outputs	30LSUl

NOTE:
Where a 74LS unit load (LSUl) is 20µA I_{IH} and -0.4mA I_{IL}.

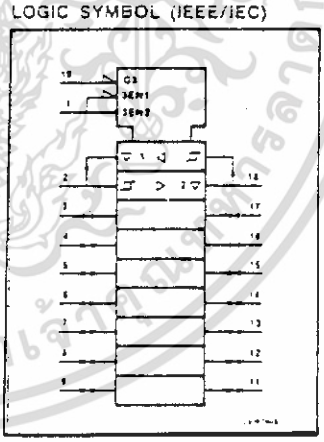
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics Logic Products

74LS138, S138
Decoders/Demultiplexers

1-Of-8 Decoder/Demultiplexer
Product Specification

Logic Products

FEATURES
- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Direct replacement for Intel 3205

DESCRIPTION
The '138 decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled, provides eight mutually exclusive, active LOW outputs ($\overline{0} - \overline{7}$). The device features three Enable inputs: two active LOW ($\overline{E}_1$, $\overline{E}_2$) and one active HIGH (E_3). Every output will be HIGH unless $\overline{E}_1$ and $\overline{E}_2$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four '138s and one inverter.

The device can be used as an eight output demultiplexer by using one of the active LOW Enable inputs as the Data input and the remaining Enable inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active HIGH or active LOW state.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS138	20ns	6.3mA
74S138	7ns	49mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74S138N, N74LS138N
Plastic SO	N74LS138D, N74S138D

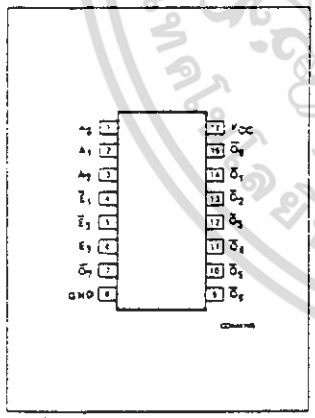
NOTE:
For information regarding devices processed to Military Specifications see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

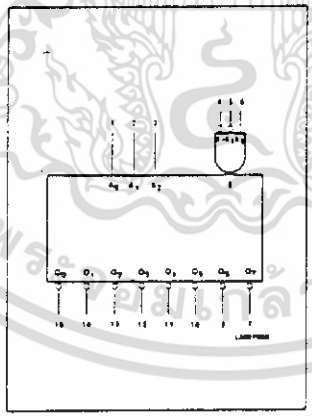
PINS	DESCRIPTION	74S	74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	10LSul

NOTE:
Where a 74S unit load (Sul) is 50µA I_{IH} and −2.0mA I_{IL}, and a 74LS unit load (LSul) is 20µA I_{IH} and −0.4mA I_{IL}.

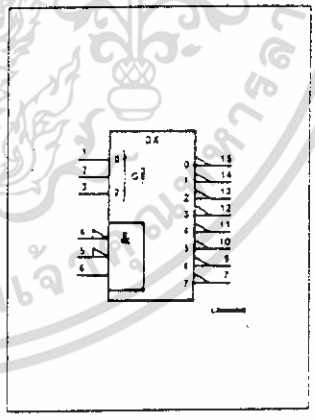
PIN CONFIGURATION



LOGIC SYMBOL

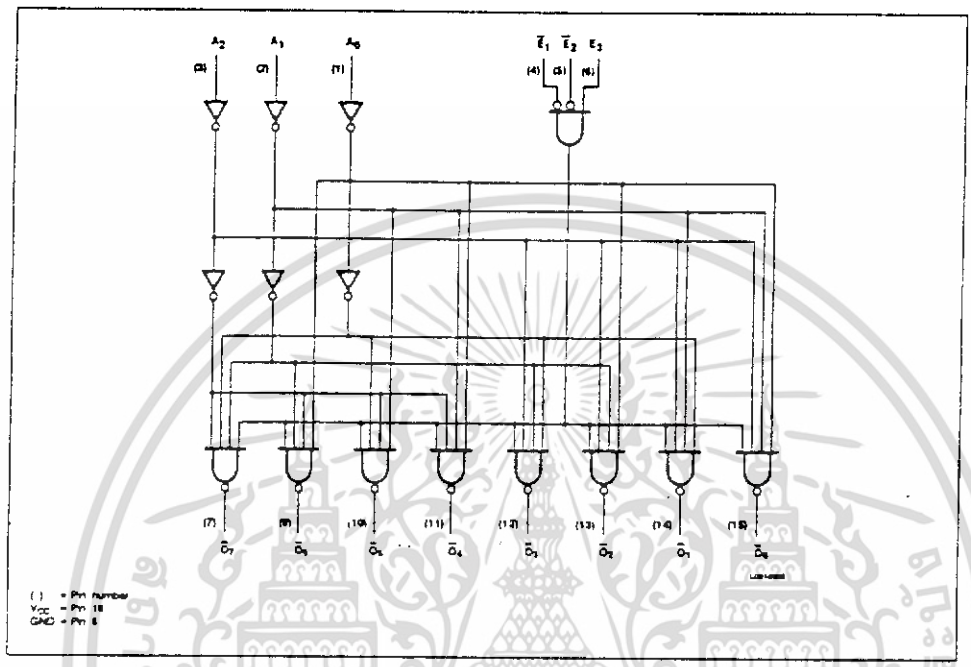


LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E}_1$	$\overline{E}_2$	E_3	A_0	A_1	A_2	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH voltage level
L = LOW voltage level
X = Don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0808, DAC0807, DAC0806

National Semiconductor

• A to D, D to A

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

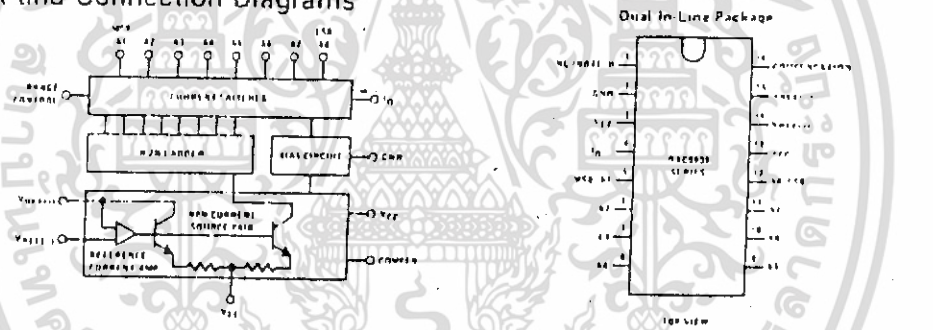
The DAC0808 series is an 8 bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/256. Relative accuracies of better than ±0.19% assure 8 bit monotonicity and linearity while zero level output current of less than 4 μA provides 8 bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

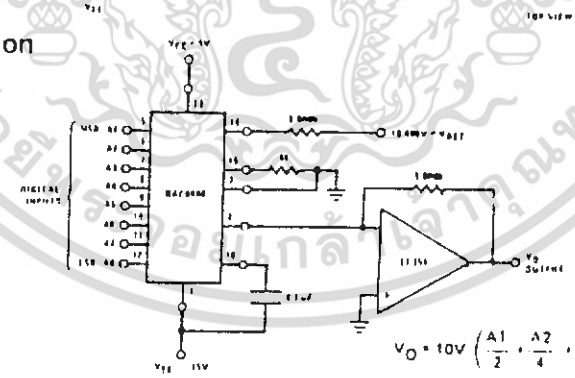
Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6 bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Typical Application



$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots + \frac{A8}{256}\right)$$

FIGURE 1. +10V Output Digital to Analog Converter

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS* D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
8 bit	−55°C ≤ T_A ≤ +125°C	DAC0808LD	MC1508L8				
8 bit	0°C ≤ T_A ≤ +75°C			DAC0808LCJ	MC1408L8	DAC0808LCN	MC1408P8
7 bit	0°C ≤ T_A ≤ +75°C			DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7
6 bit	0°C ≤ T_A ≤ +75°C			DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6

*Note: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Package Limitation)	1000 mW
Derate above T_A = 25°C	6.7 mW/°C
Operating Temperature Range	
DAC0808L	−55°C ≤ T_A ≤ +125°C
DAC0808LC Series	0 ≤ T_A ≤ +75°C
Storage Temperature Range	−65°C to +150°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R_{14} = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
E_r	Relative Accuracy (Error Relative to Full Scale I(O))	*(Figure 4)*				%
	DAC0808L (LM1508-8)				±0.19	%
	DAC0808LC (LM1408-8)					
	DAC0807LC (LM1408-7), (Note 1)				±0.39	%
	DAC0806LC (LM1408-6), (Note 1)				±0.78	%
	Setting Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 2), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TC_{IO}	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level Logic "1"		2			V_{DC}
V_{IL}	Low Level Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.010	mA
	Low Level	V_{IL} = 0.8V		0.001	0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = 5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R_{14} = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance, Pin 1 Grounded	E_r ≤ 0.19%, T_A = 25°C			−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SR_{IREF}	Reference Current Slew Rate	*(Figure 6)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	5V ≤ V_{EE} ≤ 16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	2.2	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = 5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: All current switches are tested to guarantee at least 50% of rated current.

Note 2: All bits switched.

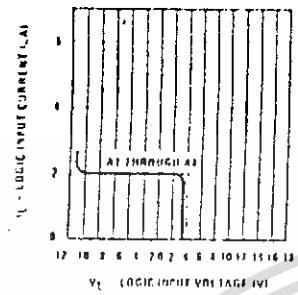
Note 3: Range control is not required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

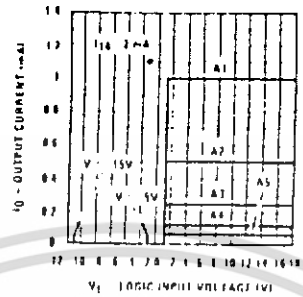
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V T_A = 25°C, unless otherwise noted

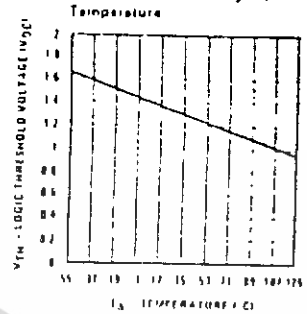
Logic Input Current vs Input Voltage



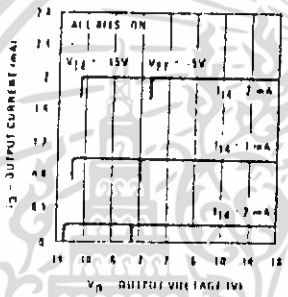
Bit Transfer Characteristics



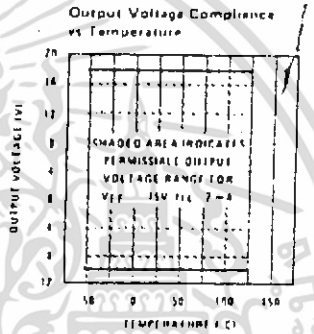
Logic Threshold Voltage vs Temperature



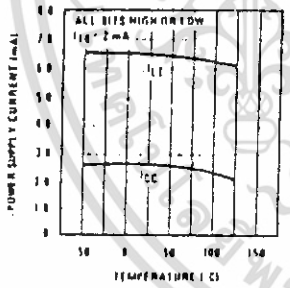
Output Current vs Output Voltage (Output Voltage Compliance)



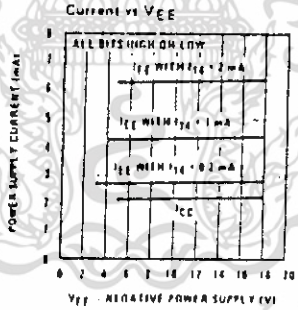
Output Voltage Compliance vs Temperature



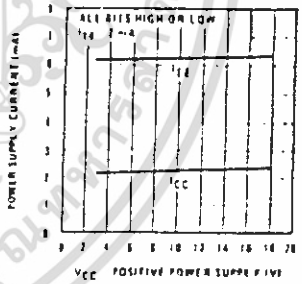
Typical Power Supply Current vs Temperature



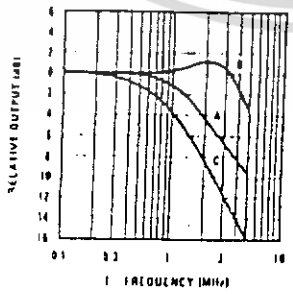
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

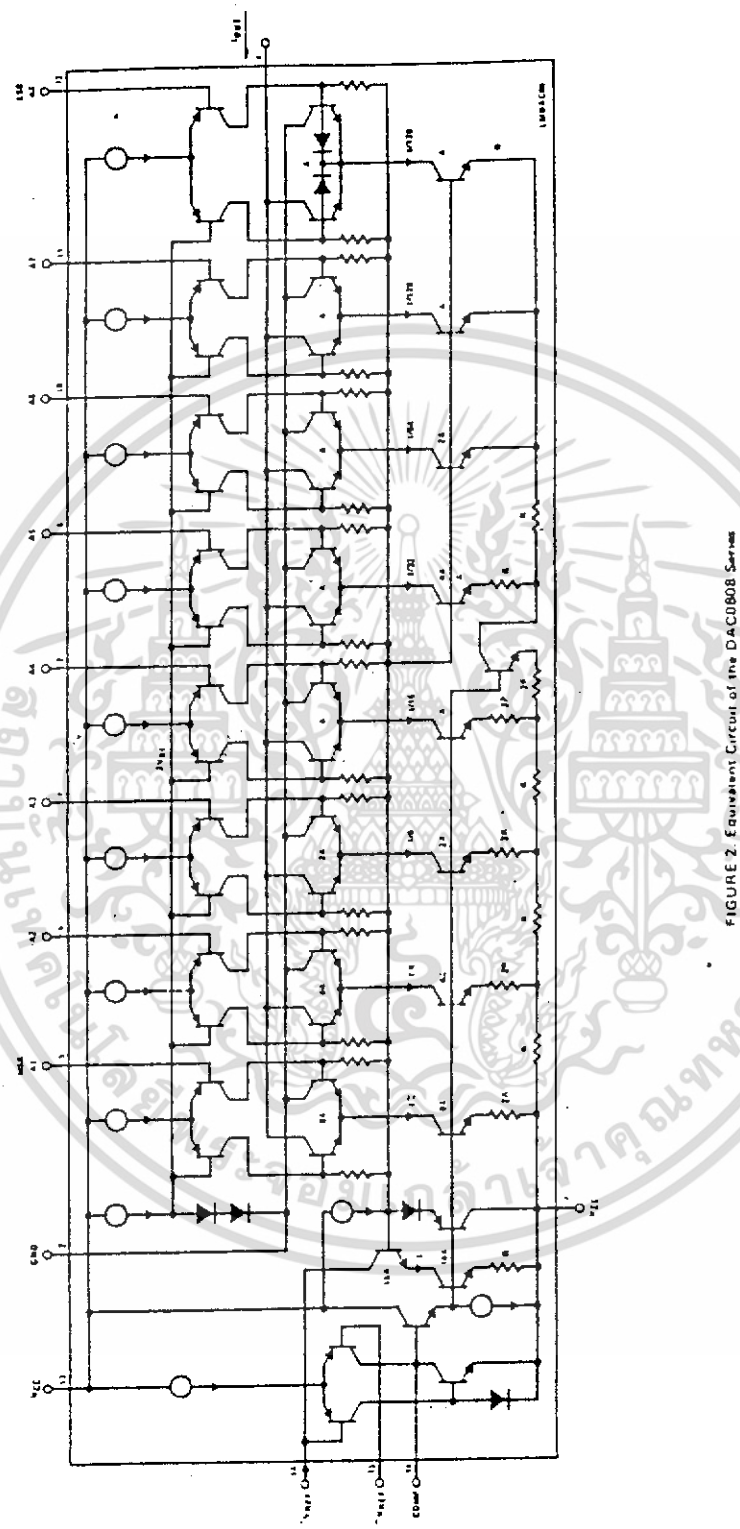
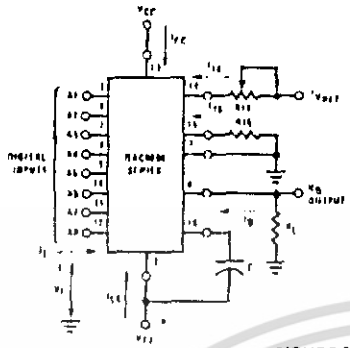


FIGURE 2. Equivalent Circuit of the DAC0808 Series

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_I and I_I apply to inputs A1 - A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

where $K = \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit

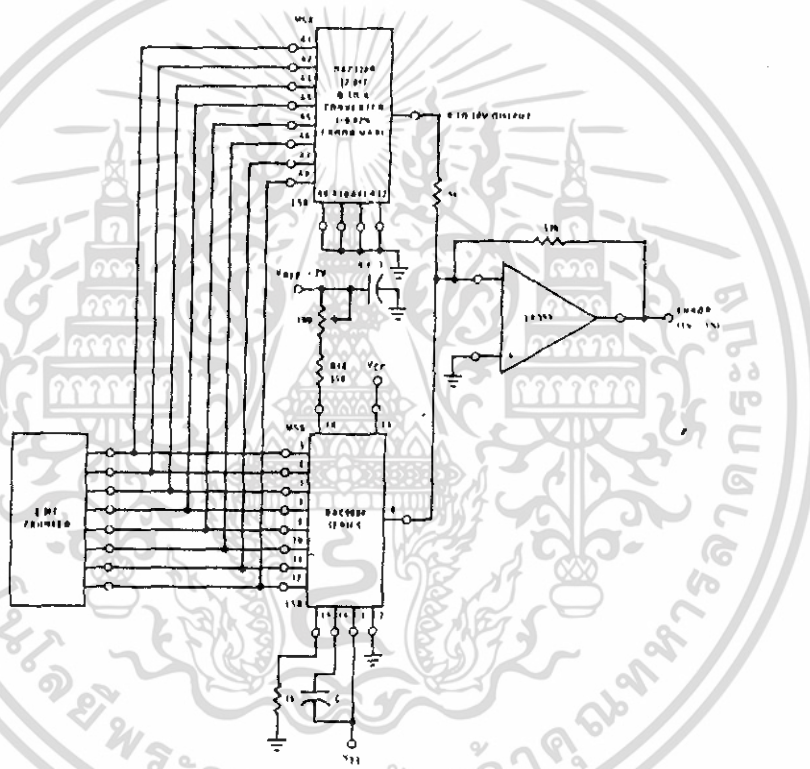


FIGURE 4. Relative Accuracy Test Circuit

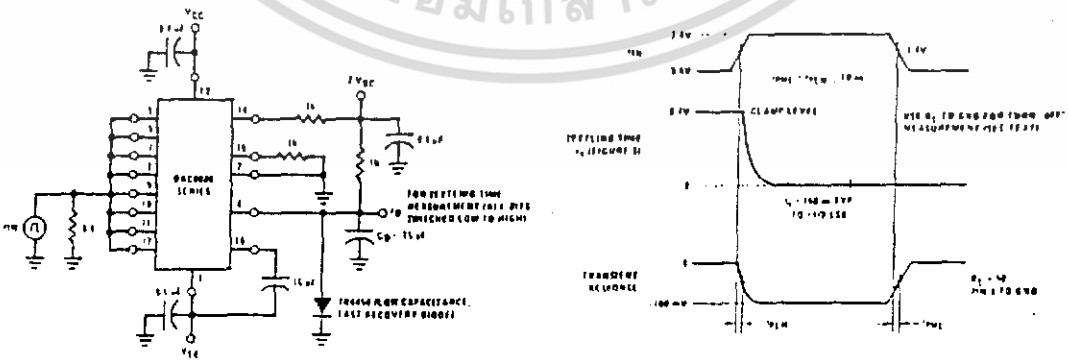


FIGURE 5. Transient Response and Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

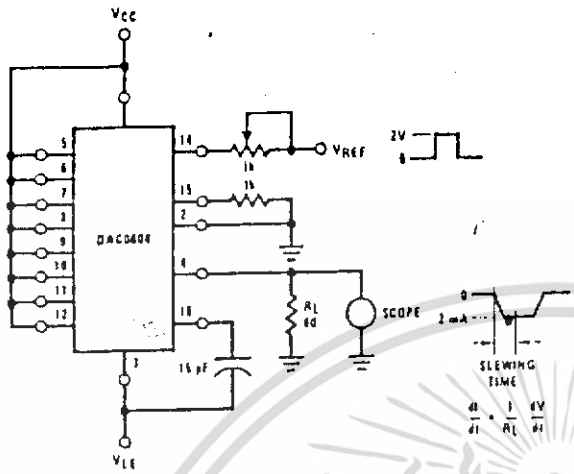


FIGURE 6. Reference Current Slew Rate Measurement

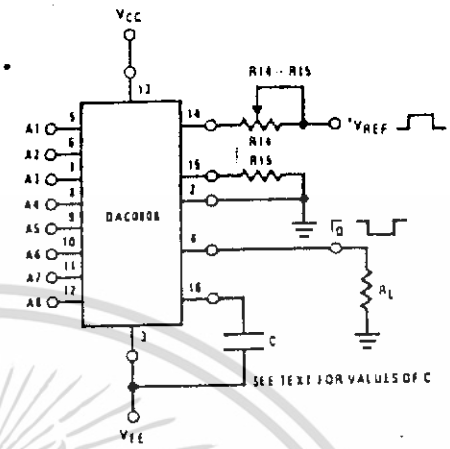


FIGURE 7. Positive V_{REF}

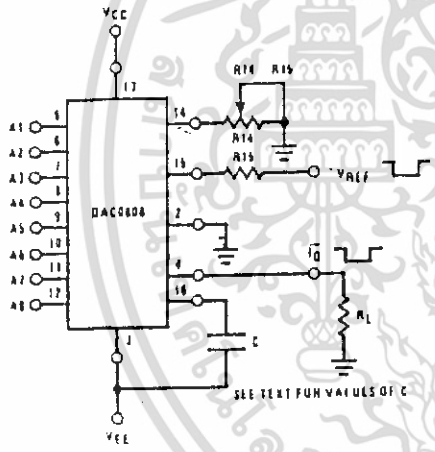


FIGURE 8. Negative V_{REF}

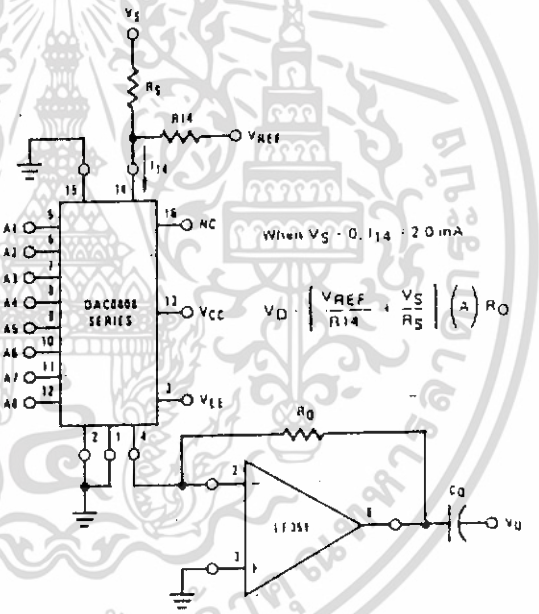


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.6 to 0.5V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −7V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within ±1/2 LSB at a full scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12 bit converter is calibrated for a full scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8 bit D-to-A converters may not be used to construct a 16 bit accuracy D to A converter. 16 bit accuracy implies a total error of ±1/2 of one part in 65,536, or ±0.0007%, which is much more accurate than the ±0.019% specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8 bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μA to 4 mA, the additional error contributions are less than 1.6 μA. This is well within 8 bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst case switching condition occurs when all bits are switched ON, which corresponds to a low to high transition for all bits. This time is typically 150 ns for settling to within ±1/2 LSB, for 8 bit accuracy, and 100 ns to 1/2 LSB for 7 and 6 bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactoy test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

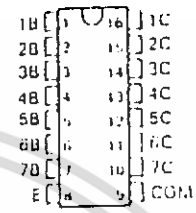
ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

D2624, DECEMBER 1976 - REVISED SEPTEMBER 1986

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500 mA Rated Collector Current (Single Output)
- High Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible With Various Types of Logic
- Relay Driver Applications
- Designed to Be Interchangeable With Sprague ULN2001A Series

D OR N PACKAGE
(TOP VIEW)

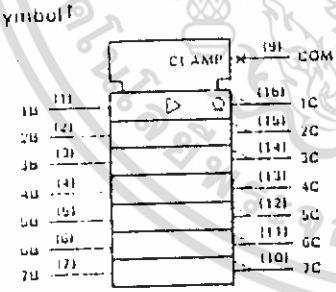


description

The ULN2001A, ULN2002A, ULN2003A, ULN2004A, and ULN2005A are monolithic high-voltage, high-current Darlington transistor arrays. Each consists of seven n-p-n Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single Darlington pair is 500 mA. The Darlington pairs may be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-V (otherwise interchangeable) versions, see the SN75465 through SN75469.

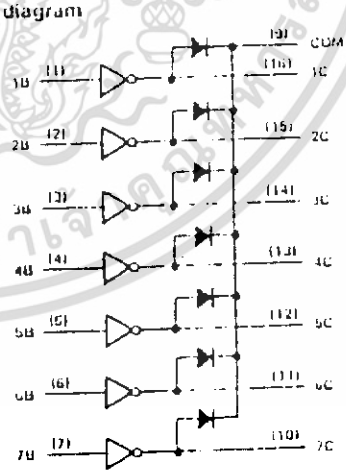
The ULN2001A is a general-purpose array and may be used with TTL, P-MOS, CMOS, and other MOS technologies. The ULN2002A is specifically designed for use with 14- to 25-V P-MOS devices. Each input of this device has a zener diode and resistor in series to control the input current to a safe limit. The ULN2003A has a 2.7-kΩ series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices. The ULN2004A has a 10.5-kΩ series base resistor to allow its operation directly from CMOS or P-MOS devices that use supply voltages of 6 to 15 V. The required input current of the ULN2004A is below that of the ULN2003A, and the required voltage is less than that required by the ULN2002A. The ULN2005A has a 1050-Ω series base resistor and is specifically designed for use with TTL devices where higher output current is required and loading of the driving source is not a concern.

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

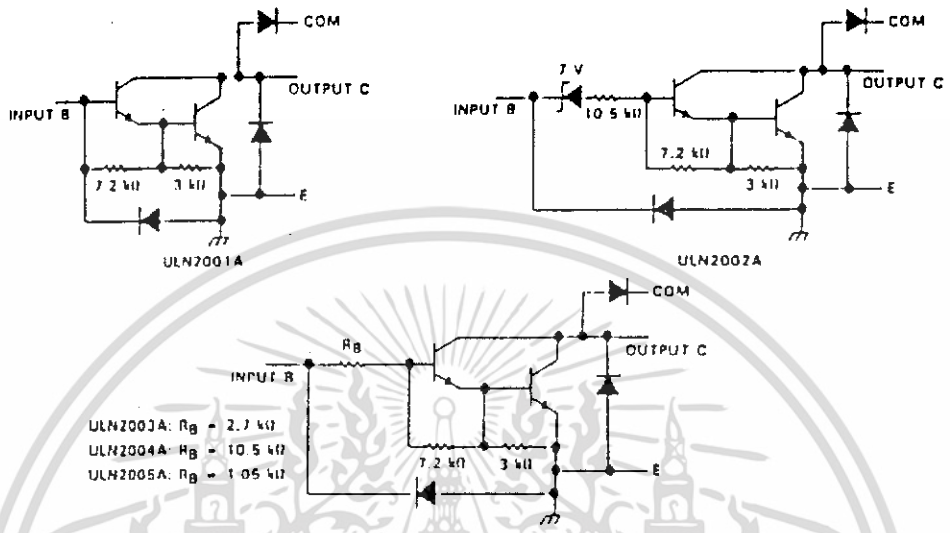
Copyright © 1986 Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

schematics (each Darlington pair)



All resistor values shown are nominal

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	50 V
Input voltage (see Note 1): ULN2002A, ULN2003A, ULN2004A	30 V
ULN2005A	15 V
Peak collector current (see Figures 14 and 15)	500 mA
Output clamp diode current	500 mA
Total emitter-terminal current	-2.5 A
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range	-20°C to 85°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to the emitter/substrate terminal, E, unless otherwise noted.

DISSIPATION RATING TABLE

PACKAGE	T_A = 25°C POWER RATING	DERATING FACTOR ABOVE T_A = 25°C	T_A = 85°C POWER RATING
D	950 mW	7.6 mW/°C	494 mW
N	1150 mW	9.2 mW/°C	598 mW

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2001A MIN	ULN2001A TYP	ULN2001A MAX	ULN2002A MIN	ULN2002A TYP	ULN2002A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50			50	μA
		1	V_{CE} = 50 V, I_I = 0			100			100	
		2	T_A = 70°C, V_I = 6 V						500	
$I_{I(off)}$	Off state input current	3	V_{CE} = 50 V, I_C = 500 μA, T_A = 70°C	50	65		50	65		μA
I_I	Input current	4	V_I = 17 V					0.82	1.25	mA
h_{FE}	Static forward current transfer ratio	5	V_{CE} = 2 V, I_C = 350 mA	1000						
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V, I_C = 300 mA						13	V
$V_{CE(sat)}$	Collector emitter saturation voltage	5	I_I = 250 μA, I_C = 100 mA		0.9	1.1		0.9	1.1	V
		5	I_I = 350 μA, I_C = 200 mA		1	1.3		1	1.3	
		5	I_I = 500 μA, I_C = 350 mA		1.2	1.6		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V			50			50	μA
		7	V_R = 50 V, T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25		15	25	pF

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2003A MIN	ULN2003A TYP	ULN2003A MAX	ULN2004A MIN	ULN2004A TYP	ULN2004A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50			50	μA
		1	V_{CE} = 50 V, I_I = 0			100			100	
		2	T_A = 70°C, V_I = 1 V						500	
$I_{I(off)}$	Off state input current	3	V_{CE} = 50 V, I_C = 500 μA, T_A = 70°C	50	65		50	65		μA
I_I	Input current	4	V_I = 3.85 V		0.93	1.35				mA
		4	V_I = 5 V					0.35	0.5	
		4	V_I = 12 V					1	1.45	
$V_{I(on)}$	On state input voltage	6	V_{CE} = 2 V, I_C = 125 mA						5	V
		6	V_{CE} = 2 V, I_C = 200 mA			2.4			6	
		6	V_{CE} = 2 V, I_C = 250 mA			2.7				
		6	V_{CE} = 2 V, I_C = 275 mA						7	
		6	V_{CE} = 2 V, I_C = 300 mA			3				
		6	V_{CE} = 2 V, I_C = 350 mA						8	
$V_{CE(sat)}$	Collector emitter saturation voltage	5	I_I = 250 μA, I_C = 100 mA		0.9	1.1		0.9	1.1	V
		5	I_I = 350 μA, I_C = 200 mA		1	1.3		1	1.3	
		5	I_I = 500 μA, I_C = 350 mA		1.2	1.6		1.2	1.8	
I_R	Clamp diode reverse current	7	V_R = 50 V			50			50	μA
		7	V_R = 50 V, T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25		15	25	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2005A			UNIT
				MIN	TYP	MAX	
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50	µA
			V_{CE} = 50 V, I_I = 0, T_A = 70°C			100	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, I_C = 500 µA, T_A = 70°C	50	65		µA
I_I	Input current	4	V_I = 3.8 V		1.5	2.4	mA
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V, I_C = 350 mA			2.4	V
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 µA, I_C = 100 mA		0.9	1.1	V
			I_I = 350 µA, I_C = 200 mA		1	1.3	
			I_I = 500 µA, I_C = 350 mA		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V			50	µA
			V_R = 50 V, T_A = 70°C			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25	pF

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	µs
t_{PHL}	Propagation delay time, high-to-low-level output			0.25	1	µs
V_{OH}	High-level output voltage after switching	V_S = 50 V, I_O = 300 mA, See Figure 10	V_S - 20			mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

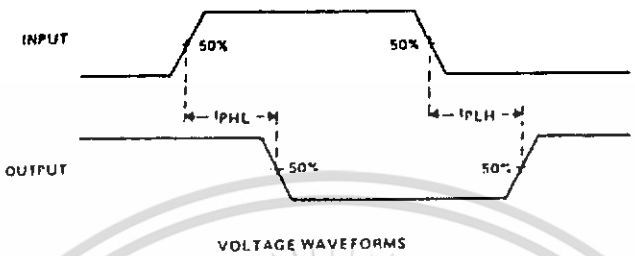
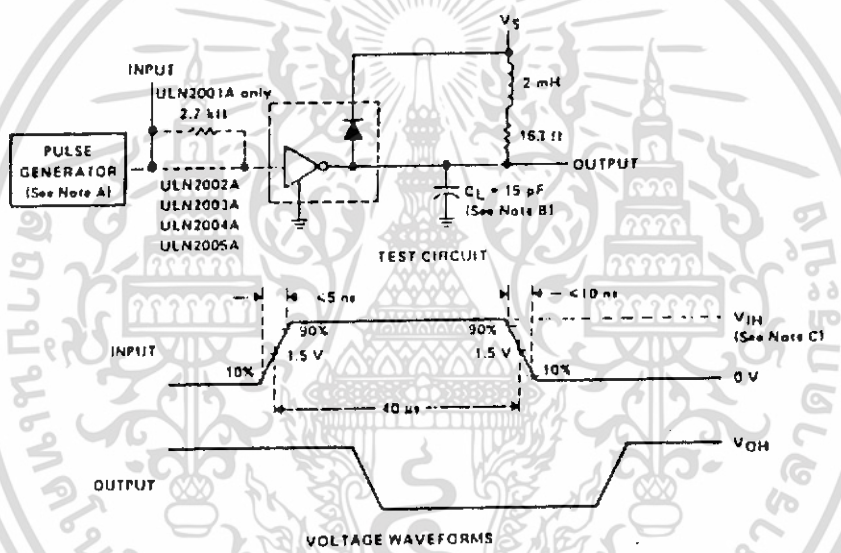


FIGURE 9. PROPAGATION DELAY TIMES



NOTES. A. The pulse generator has the following characteristics: PRR = 12.5 kHz, Z_o = 50 Ω.
B. C_L includes probe and jig capacitance.
C. For testing the ULN2001A, ULN2003A, and the ULN2005A, V_{IH} = 3 V; for the ULN2002A, V_{IH} = 13 V; for the ULN2004A, V_{IH} = 8 V.

FIGURE 10. LATCH-UP TEST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (ONE DARLINGTON)

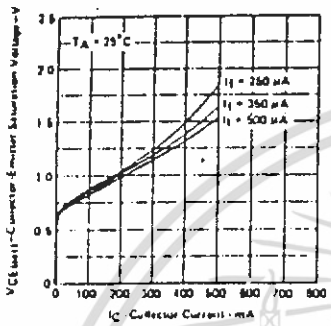


FIGURE 11

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (TWO DARLINGTONS PARALLELED)

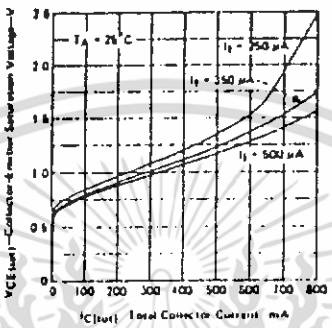


FIGURE 12

COLLECTOR CURRENT vs INPUT CURRENT

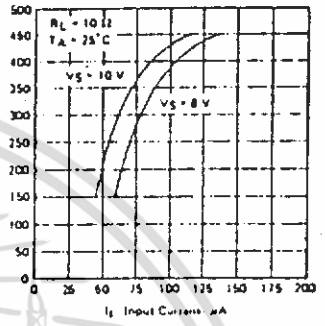


FIGURE 13

THERMAL INFORMATION

D PACKAGE
MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

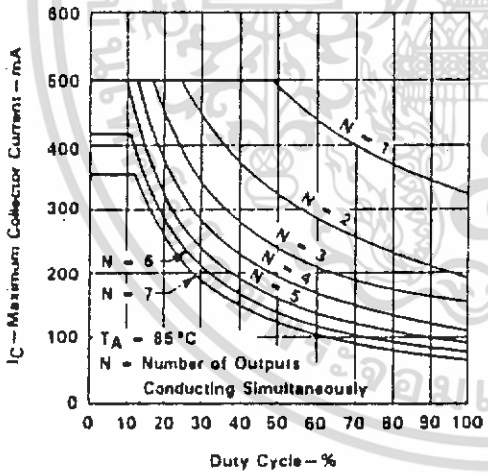


FIGURE 14

N PACKAGE
MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

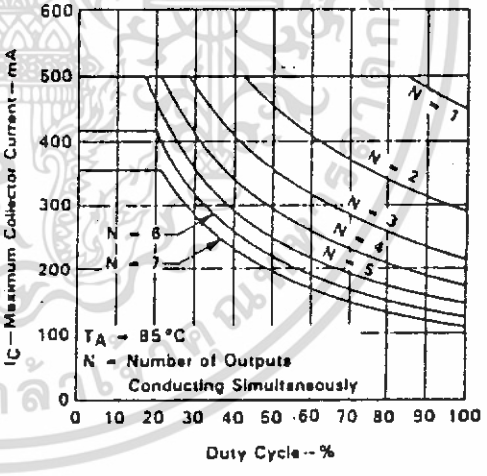
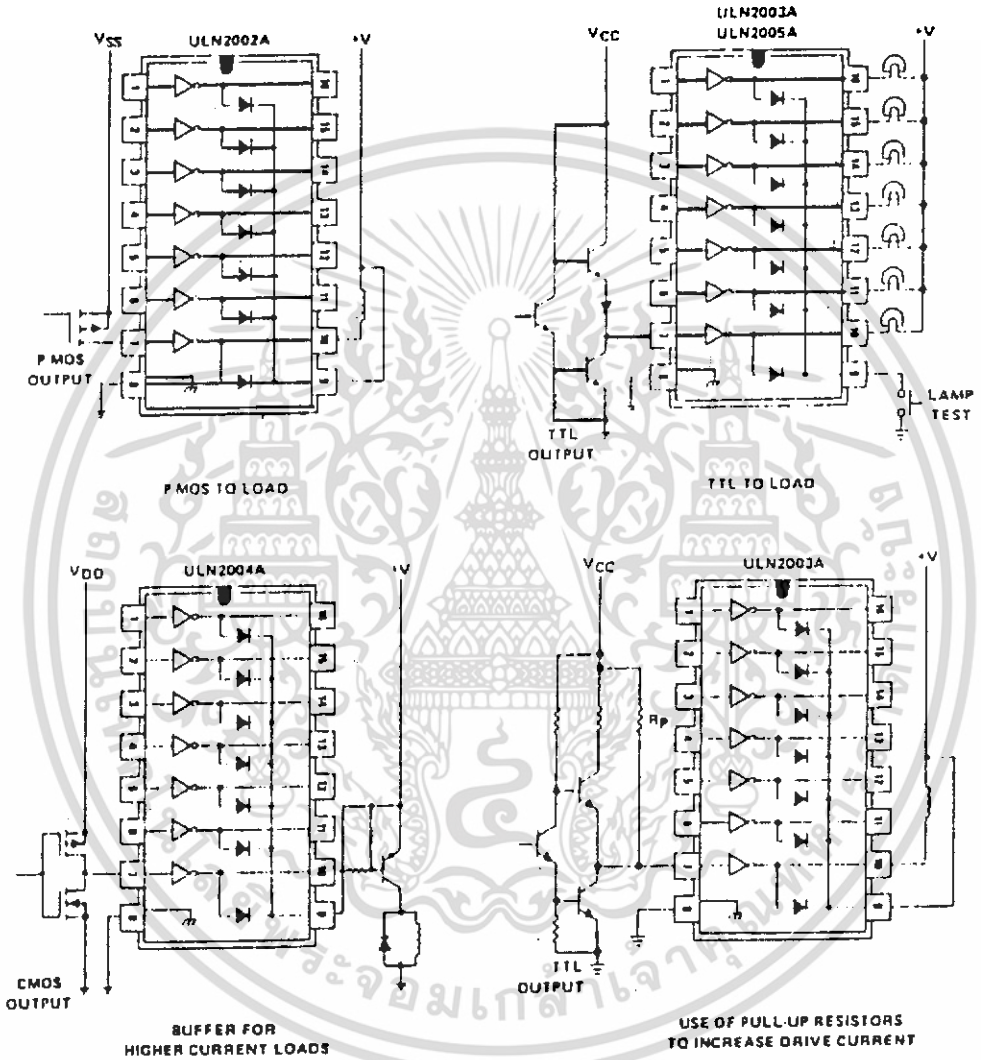


FIGURE 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION



TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

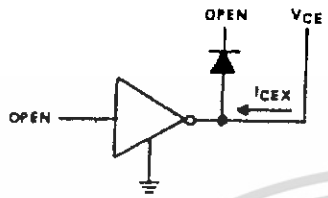


FIGURE 1. I_{CEX}

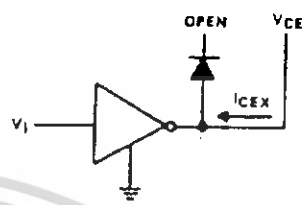


FIGURE 2. I_{CEX}

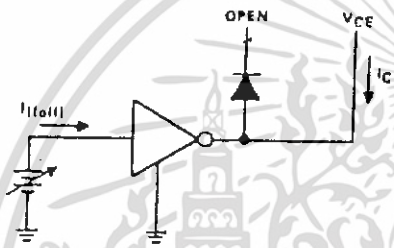


FIGURE 3. $I_{I(off)}$

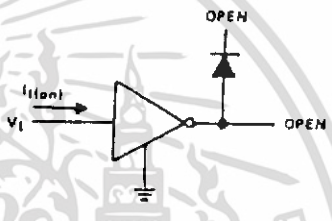
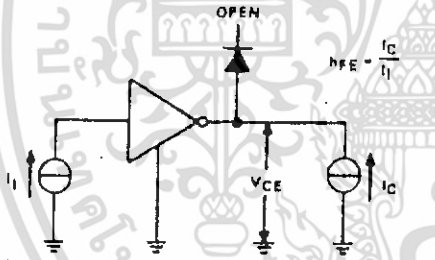


FIGURE 4. I_I



NOTE: I_I is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE}.

FIGURE 5. h_{FE}, $V_{CE(sat)}$

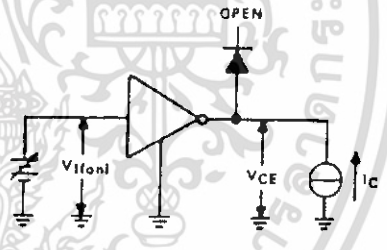


FIGURE 6. $V_{I(on)}$

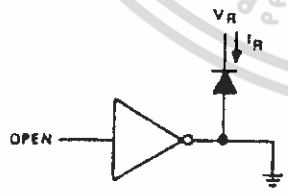


FIGURE 7. I_R

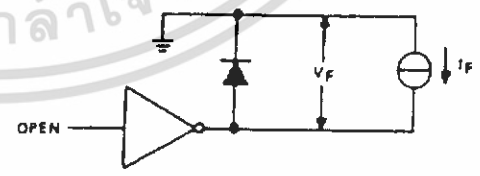


FIGURE 8. V_F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

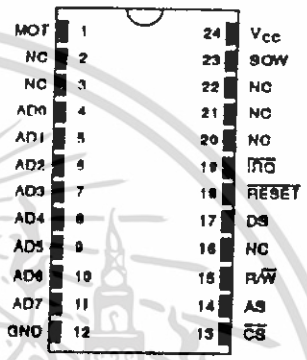
DALLAS SEMICONDUCTOR

DS12887
Real Time Clock

FEATURES

- Drop in replacement for IBM AT computer clock/calendar
- Pin compatible with the MC146818B and DS1287
- Totally nonvolatile with over 10 years of operation in the absence of power
- Self contained subsystem includes lithium, quartz, and support circuitry
- Counts seconds, minutes, hours, days, day of the week, date, month, and year with leap year compensation
- Binary or BCD representation of time, calendar, and alarm
- 12- or 24 hour clock with AM and PM in 12-hour mode
- Daylight Savings Time option
- Selectable between Motorola and Intel bus timing
- Multiplex bus for pin efficiency
- Interfaced with software as 128 RAM locations
  - 14 bytes of clock and control registers
  - 114 bytes of general purpose RAM
- Programmable square wave output signal
- Bus compatible interrupt signals ($\overline{IRQ}$)
- Three interrupts are separately software maskable and testable
  - Time-of-day alarm once/second to once/day
  - Periodic rates from 122 µs to 500 ms
  - End of clock update cycle

PIN ASSIGNMENT



24 PIN ENCAPSULATED PACKAGE

PIN DESCRIPTION

AD0-AD7	- Multiplexed Address/Data Bus
NC	- No Connection
MOT	- Bus Type Selection
$\overline{CS}$	- Chip Select
AS	- Address Strobe
R/$\overline{W}$	- Read/Write Input
DS	- Data Strobe
$\overline{RESET}$	- Reset Input
$\overline{IRQ}$	- Interrupt Request Output
SQW	- Square Wave Output
V_{CC}	- +5 Volt Supply
GND	- Ground

DESCRIPTION

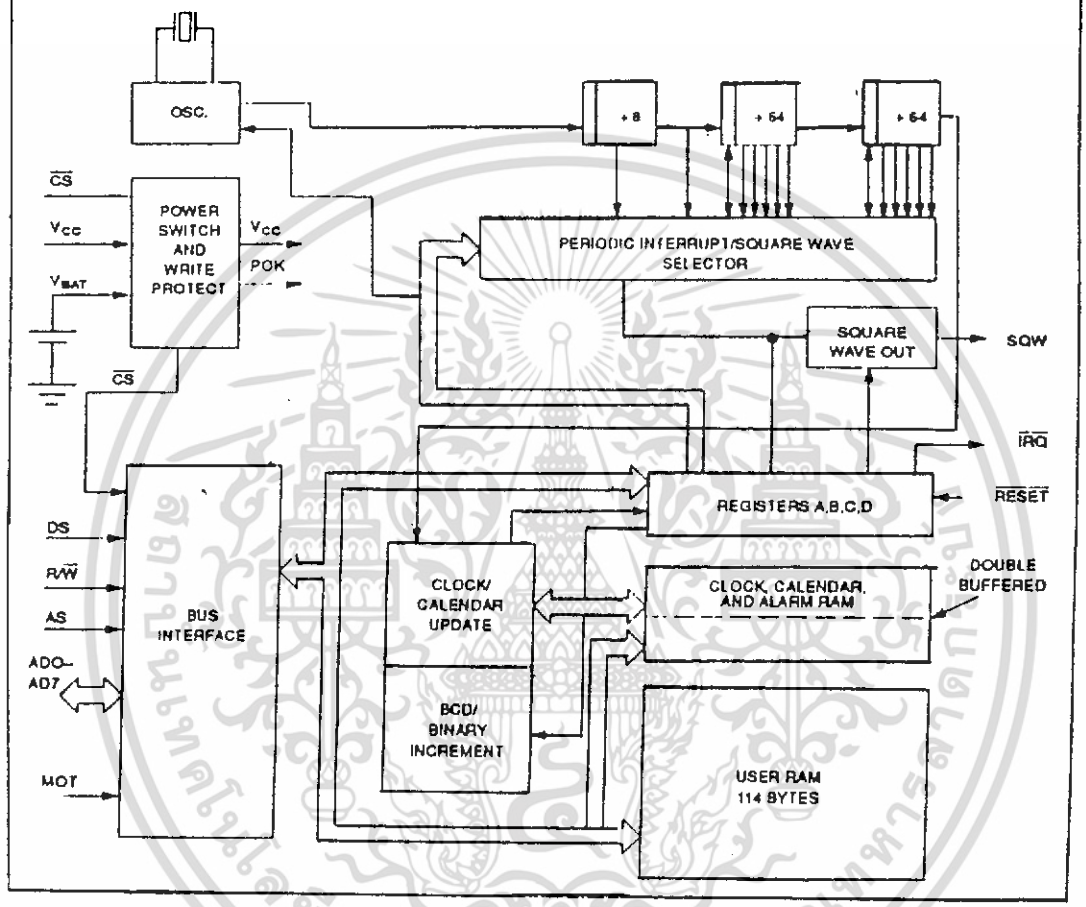
The DS12887 Real Time Clock plus RAM is designed to be a direct replacement for the DS1287. The DS12887 is identical in form, fit, and function to the DS1287, and has an additional 64 bytes of general purpose RAM. Access to this additional RAM space is determined by the logic level presented on AD6 during the address portion of an access cycle. A lithium energy source, quartz crystal, and write protection circuitry are contained within a 24-pin dual-in-line package. As such, the DS12887 is a complete subsystem replacing 16 components in a typical application. The functions include a nonvolatile time-of-day clock, an alarm, a one-hundred-year calendar, programmable interrupt, square wave generator, and 114 bytes of nonvolatile static RAM. The real time clock is distinctive in that time-of-day and memory are maintained even in the absence of power.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION

The block diagram in Figure 1 shows the pin connections with the major internal functions of the DS12887. The following paragraphs describe the function of each pin.

FIGURE 1: BLOCK DIAGRAM DS12887



OWN/POWER-UP IONS

ck function will continue to operate system to stabilize after power is applied. When falls below 4.25 volts, the chip select input is forced to an inactive level regardless of the va at the input pin. The DS12887 is, therefo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

GND, V_{CC} - DC power is provided to the device on these pins. V_{CC} is the +5 volt input. When 5 volts are applied within normal limits, the device is fully accessible and data can be written and read. When V_{CC} is below 4.25 volts typical, reads and writes are inhibited. However, the timekeeping function continues unaffected by the lower input voltage. As V_{CC} falls below 3 volts typical, the RAM and timekeeper are switched over to an internal lithium energy source. The timekeeping function maintains an accuracy of ±1 minute per month at 25°C regardless of the voltage input on the V_{CC} pin.

MOT (Mode Select) - The MOT pin offers the flexibility to choose between two bus types. When connected to V_{CC}, Motorola bus timing is selected. When connected to GND or left disconnected, Intel bus timing is selected. The pin has an internal pull-down resistance of approximately 20 KΩ.

SQW (Square Wave Output) - The SQW pin can output a signal from one of 13 taps provided by the 15 internal divider stages of the Real Time Clock. The frequency of the SQW pin can be changed by programming Register A as shown in Table 1. The SQW signal can be turned on and off using the SQWE bit in Register B. The SQW signal is not available when V_{CC} is less than 4.25 volts typical.

TABLE 1: PERIODIC INTERRUPT RATE AND SQUARE WAVE OUTPUT FREQUENCY

SELECT BITS REGISTER A				t_{PI} PERIODIC	SQW OUTPUT
RS3	RS2	RS1	RS0	INTERRUPT RATE	FREQUENCY
0	0	0	0	None	None
0	0	0	1	3.90625 ms	256 Hz
0	0	1	0	7.8125 ms	128 Hz
0	0	1	1	122.070 µs	8.192 kHz
0	1	0	0	244.141 µs	4.096 kHz
0	1	0	1	488.281 µs	2.048 kHz
0	1	1	0	976.5625 µs	1.024 kHz
0	1	1	1	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz

AD0-AD7 (Multiplexed Bidirectional Address/Data Bus) - Multiplexed buses save pins because address information and data information time share the same signal paths. The addresses are present during the first portion of the bus cycle and the same pins and signal paths are used for data in the second portion of the cycle. Address/data multiplexing does not slow the access time of the DS12887 since the bus change from address to data occurs during the internal RAM access time. Addresses must be valid prior to the falling edge of AS/ALE, at which time the DS12887 latches the address from AD0 to AD6. Valid write data must be present and held stable during the latter portion of the DS or $\overline{WR}$ pulses. In a read cycle the DS12887 outputs 8 bits of data during the latter portion of the DS or $\overline{RD}$ pulses. The read cycle is terminated and the bus returns to a high impedance state as DS transitions low in the case of Motorola timing or as $\overline{RD}$ transitions high in the case of Intel timing.

AS (Address Strobe Input) - A positive going address strobe pulse serves to demultiplex the bus. The falling edge of AS/ALE causes the address to be latched within the DS12887.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS (Data Strobe or Read Input) - The DS/RD pin has two modes of operation depending on the level of the MOT pin. When the MOT pin is connected to V_{CC}, Motorola bus timing is selected. In this mode DS is a positive pulse during the latter portion of the bus cycle and is called Data Strobe. During read cycles, DS signifies the time that the DS12887 is to drive the bidirectional bus. In write cycles the trailing edge of DS causes the DS12887 to latch the written data. When the MOT pin is connected to GND, Intel bus timing is selected. In this mode the DS pin is called Read($\overline{RD}$). $\overline{RD}$ identifies the time period when the DS12887 drives the bus with read data. The $\overline{RD}$ signal is the same definition as the Output Enable ($\overline{OE}$) signal on a typical memory.

R/$\overline{W}$ (Read/Write Input)-The R/$\overline{W}$ pin also has two modes of operation. When the MOT pin is connected to V_{CC} for Motorola timing, R/$\overline{W}$ is at a level which indicates whether the current cycle is a read or write. A read cycle is indicated with a high level on R/$\overline{W}$ while DS is high. A write cycle is indicated when R/$\overline{W}$ is low during DS.

When the MOT pin is connected to GND for Intel timing, the R/$\overline{W}$ signal is an active low signal called $\overline{WR}$. In this mode the R/$\overline{W}$ pin has the same meaning as the Write Enable signal ($\overline{WE}$) on generic RAMs.

$\overline{CS}$ (Chip Select Input) - The Chip Select signal must be asserted low for a bus cycle in the DS12887 to be accessed. $\overline{CS}$ must be kept in the active state during DS and AS for Motorola timing and during $\overline{RD}$ and $\overline{WR}$ for Intel timing. Bus cycles which take place without asserting $\overline{CS}$ will latch addresses but no access will occur. When V_{CC} is below 4.25 volts, the DS12887 internally inhibits access cycles by internally disabling the $\overline{CS}$ input. This action protects both the real time clock data and RAM data during power outages.

$\overline{IRQ}$ (Interrupt Request Output) - The $\overline{IRQ}$ pin is an active low output of the DS12887 that can be used as an interrupt input to a processor. The $\overline{IRQ}$ output remains low as long as the status bit causing the interrupt is present and the corresponding interrupt-enable bit is set. To clear the $\overline{IRQ}$ pin the processor program normally reads the C register. The $\overline{RESET}$ pin also clears pending interrupts.

When no interrupt conditions are present, the $\overline{IRQ}$ level is in the high impedance state. Multiple interrupting devices can be connected to an $\overline{IRQ}$ bus. The $\overline{IRQ}$ bus is an open drain output and requires an external pull-up resistor.

$\overline{RESET}$ (Reset Input) - The $\overline{RESET}$ pin has no effect on the clock, calendar, or RAM. On power-up the $\overline{RESET}$ pin can be held low for a time in order to allow the power supply to stabilize. The amount of time that $\overline{RESET}$ is held low is dependent on the application. However, if $\overline{RESET}$ is used on power-up, the time $\overline{RESET}$ is low should exceed 200 ms to make sure that the internal timer that controls the DS12887 on power-up has timed out. When $\overline{RESET}$ is low and V_{CC} is above 4.25 volts, the following occurs:

A. Periodic Interrupt Enable (PEI) bit is cleared to zero.

B. Alarm Interrupt Enable (AIE) bit is cleared to zero.

C. Update Ended Interrupt Flag (UF) bit is cleared to zero.

D. Interrupt Request Status Flag (IRQF) bit is cleared to zero.

E. Periodic Interrupt Flag (PF) bit is cleared to zero.

F. The device is not accessible until $\overline{RESET}$ is returned high.

G. Alarm Interrupt Flag (AF) bit is cleared to zero.

H. $\overline{IRQ}$ pin is in the high impedance state.

I. Square Wave Output Enable ($\overline{SQWE}$) bit is cleared to zero.

J. Update Ended Interrupt Enable (UIE) is cleared to zero.

In a typical application $\overline{RESET}$ can be connected to V_{CC}. This connection will allow the DS12887 to go in and out of power fail without affecting any of the control registers.

ADDRESS MAP

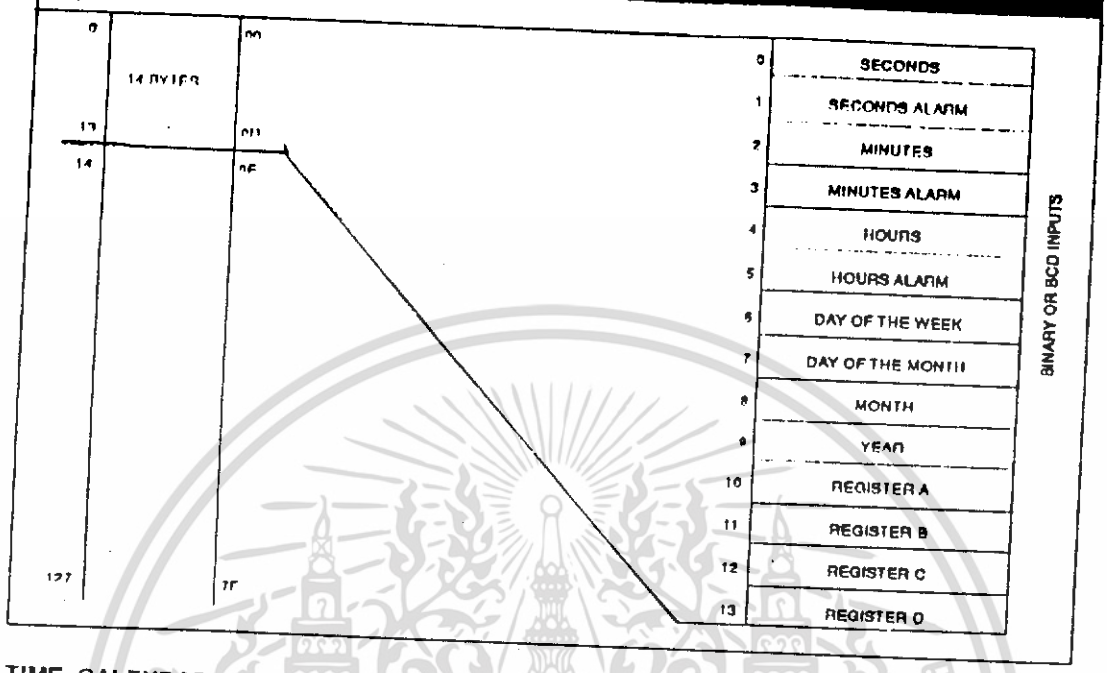
The address map of the DS12887 is shown in Figure 2. The address map consists of 114 bytes of user RAM, 10 bytes of RAM that contain the RTC time, calendar, and alarm data, and four bytes which are used for control and status. All 128 bytes can be directly written or read except for the following:

1. Registers C and D are read-only.
2. Bit 7 of Register A is read-only.
3. The high order bit of the seconds byte is read-only.

The contents of four registers (A,B,C, and D) are described in the "Registers" section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2: ADDRESS MAP DS12887



TIME, CALENDAR AND ALARM LOCATIONS

The time and calendar information is obtained by reading the appropriate memory bytes. The time, calendar, and alarm are set or initialized by writing the appropriate RAM bytes. The contents of the ten time, calendar, and alarm bytes can be either Binary or Binary Coded Decimal (BCD) format. Before writing the internal time, calendar, and alarm registers, the SET bit in Register B should be written to a logic one to prevent updates from occurring while access is being attempted. In addition to writing the ten time, calendar, and alarm registers in a selected format (binary or BCD), the data mode bit (DM) of Register B must be set to the appropriate logic level. All ten time, calendar, and alarm bytes must use the same data mode. The set bit in Register B should be cleared after the data mode bit has been written to allow the real time clock to update the time and calendar bytes. Once initialized, the real time clock makes all updates in the selected mode. The data mode cannot be changed without reinitializing the ten data bytes. Table 2 shows the binary and BCD formats of the ten time, calendar, and alarm locations. The 24-12 bit cannot be changed without reinitializing the hour locations. When the 12-hour format is selected, the high order bit of the hours byte represents PM when it is a logic one. The time, calendar, and alarm bytes are always accessible because they are double buffered. Once per second the ten bytes are advanced by one second and checked for an alarm condition. If a read of the time and calendar data occurs during an update, a problem exists where seconds, minutes, hours, etc. may not correlate. The probability of reading incorrect time and calendar data is low. Several methods of avoiding any possible incorrect time and calendar reads are covered later in this text.

The three alarm bytes can be used in two ways. First, when the alarm time is written in the appropriate hours, minutes, and seconds alarm locations, the alarm interrupt is initiated at the specified time each day if the alarm enable bit is high. The second use condition is to insert a "don't care" state in one or more of the three alarm bytes. The "don't care" code is any hexadecimal value from C0 to FF. The two most significant bits of each byte set the "don't care" condition when at logic 1. An alarm will be generated each hour when the "don't care" bits are set in the hours byte. Similarly, an alarm is generated every minute with "don't care" codes in the hours and minute alarm bytes. The "don't care" codes in all three alarm bytes create an interrupt every second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2: TIME, CALENDAR AND ALARM DATA MODES

ADDRESS LOCATION	FUNCTION	DECIMAL RANGE	RANGE	
			BINARY DATA MODE	BCD DATA MODE
0	Seconds	0-59	00 3B	00 59
1	Seconds Alarm	0-59	00 3B	00 59
2	Minutes	0-59	00 3B	00 59
3	Minutes Alarm	0-59	00 3B	00 59
4	Hours-12-hr Mode	1-12	01 0C AM, 81-8C PM	01-12AM,81-92PM
	Hours-24-hr Mode	0-23	00-17	00 23
5	Hours Alarm-12-hr	1-12	01-0C AM, 81-8C PM	01-12AM,81-92PM
	Hours Alarm-24 hr	0-23	00-17	00 23
6	Day of the Week Sunday = 1	1-7	01-07	01 07
7	Date of the Month	1-31	01-1F	01-31
8	Month	1-12	01-0C	01-12
9	Year	0-99	00-63	00 99

NONVOLATILE RAM

The 114 general purpose nonvolatile RAM bytes are not dedicated to any special function within the DS12887. They can be used by the processor program as nonvolatile memory and are fully available during the update cycle.

INTERRUPTS

The RTC plus RAM includes three separate, fully automatic sources of interrupt for a processor. The alarm interrupt can be programmed to occur at rates from once per second to once per day. The periodic interrupt can be selected for rates from 500 ms to 122 µs. The update-ended interrupt can be used to indicate to the program that an update cycle is complete. Each of these independent interrupt conditions is described in greater detail in other sections of this text.

The processor program can select which interrupts, if any, are going to be used. Three bits in Register B enable the interrupts. Writing a logic 1 to an interrupt-enable bit permits that interrupt to be initiated when the event occurs. A zero in an interrupt-enable bit prohibits the $\overline{IRQ}$ pin from being asserted from that interrupt condition. If an interrupt flag is already set when an interrupt is enabled, $\overline{IRQ}$ is immediately set at an active level, although the interrupt initiating the event may have occurred much earlier. As a result, there are cases where the program should clear such earlier initiated interrupts before first enabling new interrupts.

When an interrupt event occurs, the relating flag bit is set to logic 1 in Register C. These flag bits are set independent of the state of the corresponding enable bit in Register B. The flag bit can be used in a polling mode without enabling the corresponding enable bits. The interrupt flag bit is a status bit which software can interrogate as necessary. When a flag is set, an indication is given to software that an interrupt event has occurred since the flag bit was last read; however, care should be taken when using the flag bits as they are cleared each time Register C is read. Double latching is included with Register C so that bits which are set remain stable throughout the read cycle. All bits which are set (high) are cleared when read and new interrupts which are pending during the read cycle are held until after the cycle is completed. One, two, or three bits can be set when reading Register C. Each utilized flag bit should be examined when read to ensure that no interrupts are lost.

The second flag bit usage method is with fully enabled interrupts. When an interrupt flag bit is set and the corresponding interrupt enable bit is also set, the $\overline{IRQ}$ pin is asserted low. $\overline{IRQ}$ is asserted as long as at least one of the three interrupt sources has its flag and enable bits both set. The IRQF bit in Register C is a one whenever the $\overline{IRQ}$ pin is being driven low. Determination that the RTC initiated an interrupt is accomplished by reading Register C. A logic one in bit 7 (IRQF bit) indicates that one or more interrupts have been initiated by the DS12887. The act of reading Register C clears all active flag bits and the IRQF bit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CONTROL BITS

When the DS12887 is shipped from the factory, the internal oscillator is turned off. This feature prevents the lithium energy cell from being used until it is installed in a system. A pattern of 010 in bits 4 through 6 of Register A will turn the oscillator on and enable the countdown chain. A pattern of 11X will turn the oscillator on, but holds the countdown chain of the oscillator in reset. All other combinations of bits 4 through 6 keep the oscillator off.

SQUARE WAVE OUTPUT SELECTION

Thirteen of the 15 divider taps are made available to a 1-of-15 selector, as shown in the block diagram of Figure 1. The first purpose of selecting a divider tap is to generate a square wave output signal on the SQW pin. The RS0-RS3 bits in Register A establish the square wave output frequency. These frequencies are listed in Table 1. The SQW frequency selection shares its 1-of-15 selector with the periodic interrupt generator. Once the frequency is selected, the output of the SQW pin can be turned on and off under program control with the square wave enable bit (SQWE).

PERIODIC INTERRUPT SELECTION

The periodic interrupt will cause the IRQ pin to go to an active state from once every 500 ms to once every 122 µs. This function is separate from the alarm interrupt which can be output from once per second to once per day. The periodic interrupt rate is selected using the same Register A bits which select the square wave frequency (see Table 1). Changing the Register A bits affects both the square wave frequency and the periodic interrupt output. However, each function has a separate enable bit in Register B. The SQWE bit controls the square wave output. Similarly, the periodic interrupt is enabled by the PIE bit in Register B. The periodic interrupt can be used with software counters to measure inputs, create output intervals, or await the next needed software function.

UPDATE CYCLE

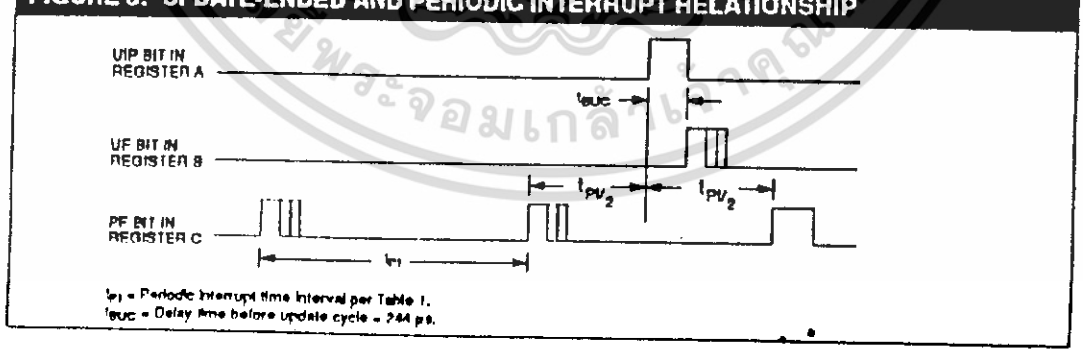
The DS12887 executes an update cycle once per second regardless of the SET bit in Register B. When the SET bit in Register B is set to one, the user copy of the double buffered time, calendar, and alarm bytes is frozen and will not update as the time increments. However, the time countdown chain continues to update the internal copy of the buffer. This feature allows time to maintain accuracy independent of reading or writing the time, calendar, and alarm buffers and also guarantees that time and calendar information is consistent. The update cycle also compares each alarm byte with the corresponding time byte and issues an alarm if a match or if a "don't care" code is present in all three positions.

There are three methods that can handle access of the real time clock that avoid any possibility of accessing inconsistent time and calendar data. The first method uses the update-ended interrupt. If enabled, an interrupt occurs after every up date cycle that indicates that over 999 ms are available to read valid time and date information. If this interrupt is used, the IRQF bit in Register C should be cleared before leaving the interrupt routine.

A second method uses the update-in-progress bit (UIP) in Register A to determine if the update cycle is in progress. The UIP bit will pulse once per second. After the UIP bit goes high, the update transfer occurs 244 µs later. If a low is read on the UIP bit, the user has at least 244 µs before the time/calendar data will be changed. Therefore, the user should avoid interrupt service routines that would cause the time needed to read valid time/calendar data to exceed 244 µs.

The third method uses a periodic interrupt to determine if an update cycle is in progress. The UIP bit in Register A is set high between the setting of the PF bit in Register C (see Figure 3). Periodic interrupts that occur at a rate of greater than t_{BUC} allow valid time and date information to be reached at each occurrence of the periodic interrupt. The reads should be complete within 1 (t_{PV_2} + t_{BUC}) to ensure that data is not read during the update cycle.

FIGURE 3: UPDATE-ENDED AND PERIODIC INTERRUPT RELATIONSHIP



t_{RT} = Periodic interrupt time interval per Table 1.
t_{BUC} = Delay time before update cycle = 244 µs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTERS

The DS12887 has four control registers which are accessible at all times, even during the update cycle.

REGISTER A

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0

UIP

The Update In Progress (UIP) bit is a status flag that can be monitored. When the UIP bit is a one, the update transfer will soon occur. When UIP is a zero, the update transfer will not occur for at least 244 µs. The time, calendar, and alarm information in RAM is fully available for access when the UIP bit is zero. The UIP bit is read only and is not affected by $\overline{\text{RESET}}$. Writing the SET bit in Register B to a one inhibits any update transfer and clears the UIP status bit.

DV0, DV1, DV2

These three bits are used to turn the oscillator on or off and to reset the countdown chain. A pattern of 010 is the only combination of bits that will turn the oscillator on and allow the RTC to keep time. A pattern of 11X will enable the oscillator but holds the countdown chain in reset. The next update will occur at 500 ms after a pattern of 010 is written to DV0, DV1, and DV2.

RS3, RS2, RS1, RS0

These four rate-selection bits select one of the 13 taps on the 15-stage divider or disable the divider output. The tap selected can be used to generate an output square wave (SQW pin) and/or a periodic interrupt. The user can do one of the following:

1. Enable the interrupt with the PIE bit;
2. Enable the SQW output pin with the SQWE bit;
3. Enable both at the same time and the same rate; or
4. Enable neither.

Table 1 lists the periodic interrupt rates and the square wave frequencies that can be chosen with the RS bits. These four read/write bits are not affected by $\overline{\text{RESET}}$.

REGISTER B

LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE

SET

When the SET bit is a zero, the update transfer functions normally by advancing the counts once per second. When the SET bit is written to a one, any update transfer is inhibited and the program can initialize the time and calendar bytes without an update occurring in the midst of initializing. Read cycles can be executed in a similar manner. SET is a read/write bit that is not modified by $\overline{\text{RESET}}$ or internal functions of the DS12887.

PIE

The periodic interrupt enable PIE bit is a read/write bit which allows the Periodic Interrupt Flag (PF) bit in Register C to drive the $\overline{\text{IRQ}}$ pin low. When the PIE bit is set to one, periodic interrupts are generated by driving the $\overline{\text{IRQ}}$ pin low at a rate specified by the RS3-RS0 bits of Register A. A zero in the PIE bit blocks the $\overline{\text{IRQ}}$ output from being driven by a periodic interrupt, but the Periodic Flag (PF) bit is still set at the periodic rate. PIE is not modified by any internal DS12887 functions, but is cleared to zero on $\overline{\text{RESET}}$.

AIE

The Alarm Interrupt Enable (AIE) bit is a read/write bit which, when set to a one, permits the Alarm Flag (AF) bit in register C to assert $\overline{\text{IRQ}}$. An alarm interrupt occurs for each second that the three time bytes equal the three alarm bytes including a "don't care" alarm code of binary 11XXXXXX. When the AIE bit is set to zero, the AF bit does not initiate the $\overline{\text{IRQ}}$ signal. The $\overline{\text{RESET}}$ pin clears AIE to zero. The internal functions of the DS12887 do not affect the AIE bit.

UIE

The Update Ended Interrupt Enable (UIE) bit is a read/write that enables the Update End Flag (UF) bit in Register C to assert $\overline{\text{IRQ}}$. The $\overline{\text{RESET}}$ pin going low or the SET bit going high clears to UIE bit.

SQWE

When the Square Wave Enable (SQWE) bit is set to a one, a square wave signal at the frequency set by the rate-selection bits RS3 through RS0 is driven out on a SQW pin. When the SQWE bit is set to zero, the SQW pin is held low; the state of SQWE is cleared by the $\overline{\text{RESET}}$ pin. SQWE is a read/write bit.

DM

The Data Mode (DM) bit indicates whether time and calendar information is in binary or BCD format. The DM bit is set by the program to the appropriate format and can be read as required. This bit is not modified by internal functions or $\overline{\text{RESET}}$. A one in DM signifies binary data while a zero in DM specifies Binary Coded Decimal (BCD) data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

24/12

The 24/12 control bit establishes the format of the hours byte. A one indicates the 24 hour mode and a zero indicates the 12 hour mode. This bit is read/write and is not affected by internal functions of $\overline{RESET}$.

DSE

The Daylight Savings Enable (DSE) bit is a read/write bit which enables two special updates when DSE is set to one. On the first Sunday in April the time increments from 1:59:59 AM to 3:00:00 AM. On the last Sunday in October when the time first reaches 1:59:59 AM it changes to 1:00:00 AM. These special updates do not occur when the DSE bit is a zero. This bit is not affected by internal functions or $\overline{RESET}$.

REGISTER C

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IRQF	PF	AF	UF	0	0	0	0

IRQF

The Interrupt Request Flag (IRQF) bit is set to a one when one or more of the following are true:

PF = PIE = 1
AF = AIE = 1
UF = UIE = 1

That is, IRQF = PF • PIE + AF • AIE + UF • UIE.

Any time the IRQF bit is a one, the $\overline{IRQ}$ pin is driven low. All flag bits are cleared after Register C is read by the program or when the $\overline{RESET}$ pin is low.

PF

The Periodic Interrupt Flag (PF) is a read-only bit which is set to a one when an edge is detected on the selected tap of the divider chain. The RS3 through RS0 bits establish the periodic rate. PF is set to a one independent of the state of the PIE bit. When both PF and PIE are ones, the $\overline{IRQ}$ signal is active and will set the IRQF bit. The PF bit is cleared by a $\overline{RESET}$ or a software read of Register C.

AF

A one in the Alarm Interrupt Flag (AF) bit indicates that the current time has matched the alarm time. If the AIE bit is also a one, the $\overline{IRQ}$ pin will go low and a one will appear in the IRQF bit. A $\overline{RESET}$ or a read of Register C will clear AF.

UF

The Update Ended Interrupt Flag (UF) bit is set after each update cycle. When the UIE bit is set to one, the one in UF causes the IRQF bit to be a one which will assert the $\overline{IRQ}$ pin. UF is cleared by reading Register C or a $\overline{RESET}$.

BIT 0 THROUGH BIT 3

These are unused bits of the status Register C. These bits always read zero and cannot be written.

REGISTER D

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
VRT	0	0	0	0	0	0	0

VRT

The Valid RAM and Time (VRT) bit is set to the one stat by Dallas Semiconductor prior to shipment. This bit i not writable and should always be a one when read. I a zero is ever present, an exhausted internal lithium en ergy source is indicated and both the contents of th RTC data and RAM data are questionable. This bit i unaffected by $\overline{RESET}$.

BIT 6 THROUGH BIT 0

The remaining bits of Register D are not usable. The cannot be written and, when read, they will always rea zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (0°C TO 70°C, V_{CC} = 4.5V TO 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Cycle Time	t_{CYC}	385		DC	ns	
Pulse Width, DS/E Low or RD/$\overline{WR}$ High	PW_{EL}	150			ns	
Pulse Width, DS/E High or RD/$\overline{WR}$ Low	PW_{EH}	125			ns	
Input Rise and Fall Time	$t_{R,F}$			30	ns	
R/$\overline{W}$ Hold Time	t_{RWH}	10			ns	
R/$\overline{W}$ Setup Time Before DS/E	t_{RWS}	50			ns	
Chip Select Setup Time Before DS, $\overline{WR}$, or $\overline{RD}$	t_{CS}	20			ns	
Chip Select Hold Time	t_{CH}	0			ns	
Read Data Hold Time	t_{DHR}	10		80	ns	
Write Data Hold Time	t_{DHW}	0			ns	
Muxed Address Valid Time to AS/ALE Fall	t_{AST}	30			ns	
Muxed Address Hold Time	t_{AHL}	10			ns	
Delay Time DS/E to AS/ALE Rise	t_{ASD}	25			ns	
Pulse Width AS/ALE High	PW_{ASH}	60			ns	
Delay Time, AS/ALE to DS/E Rise	t_{ASED}	40			ns	
Output Data Delay Time From DS/E or $\overline{RD}$	t_{DDR}	20		120	ns	8
Data Setup Time	t_{DSW}	100			ns	
Reset Pulse Width	t_{RWL}	5			µs	
$\overline{IRQ}$ Release from DS	t_{IRDS}			2	µs	
$\overline{IRQ}$ Release from $\overline{RESET}$	t_{IRR}			2	µs	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

VOLTAGE ON ANY PIN RELATIVE TO GROUND	-0.3V TO +7.0V
OPERATING TEMPERATURE	0°C TO 70°C
STORAGE TEMPERATURE	-40°C TO +70°C
SOLDERING TEMPERATURE	260°C FOR 10 SECONDS

*This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS (0°C TO 70°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Power Supply Voltage	V_{CC}	4.5	5.0	5.5	V	1
Input Logic 1	V_{IH}	2.2		V_{CC}+0.3	V	1
Input Logic 0	V_{IL}	-0.3		+0.8	V	1

DC ELECTRICAL CHARACTERISTICS (0°C TO 70°C, V_{CC} = 4.5 TO 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Power Supply Current	I_{CC1}		7	15	mA	2
Input Leakage	I_{IL}	-1.0		+1.0	µA	3
I/O Leakage	I_{LO}	-1.0		+1.0	µA	4
Input Current	I_{MOT}	-1.0		+500	µA	3
Output @ 2.4V	I_{OH}	-1.0			mA	1,5
Output @ 0.4V	I_{OL}			4.0	mA	1
Write Protect Voltage	V_{TP}	4.0	4.25	4.5	V	

CAPACITANCE (t_A = 25°C)

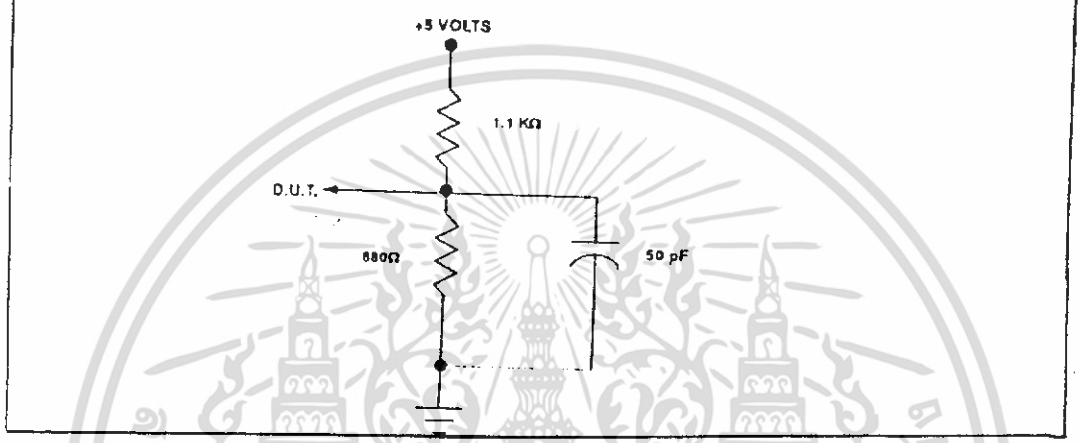
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_{IN}			5	pF	
Output Capacitance	C_{OUT}			7	pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

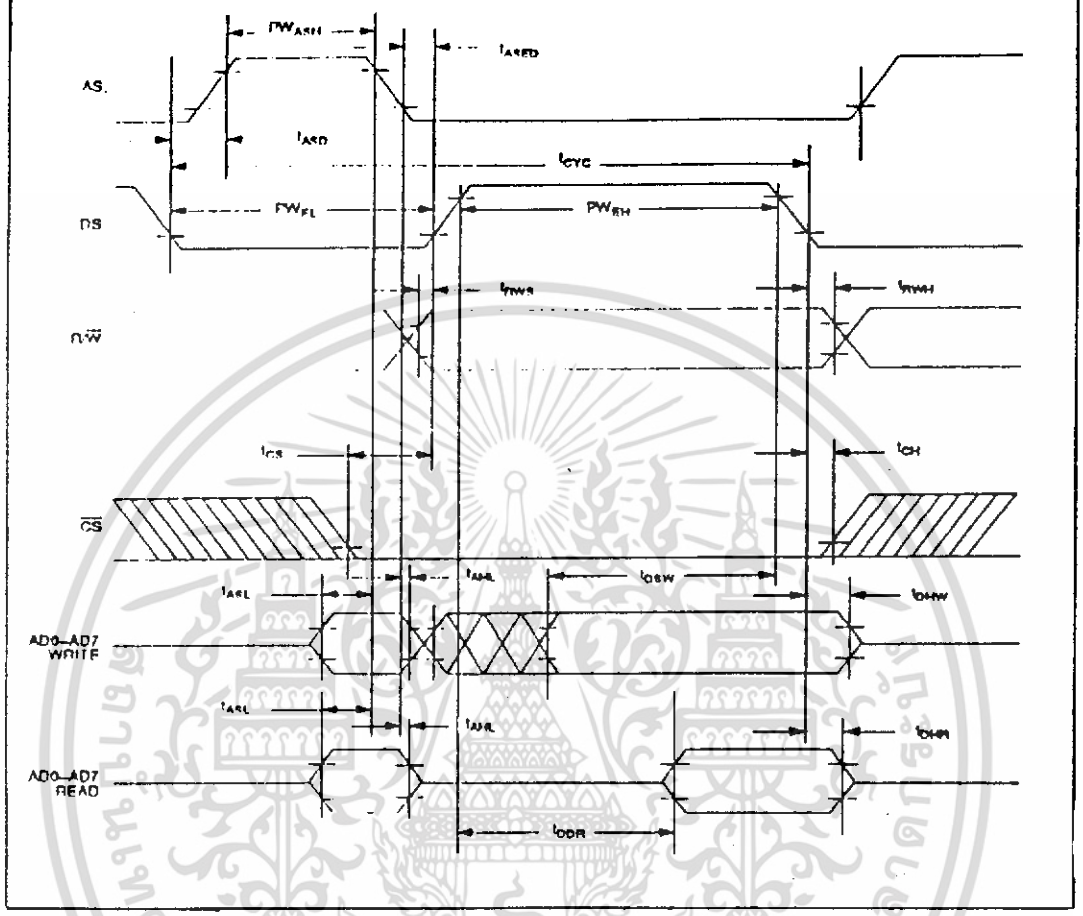
1. All voltages are referenced to ground.
2. All outputs are open.
3. The MOT pin has an internal pulldown of 20 KΩ.
4. Applies to the AD0-AD7 pins, the $\overline{IRQ}$ pin, and the SQW pin when each is in the high impedance state.
5. The $\overline{IRQ}$ pin is open drain.
6. Measured with a load as shown in Figure 4.

FIGURE 4: OUTPUT LOAD



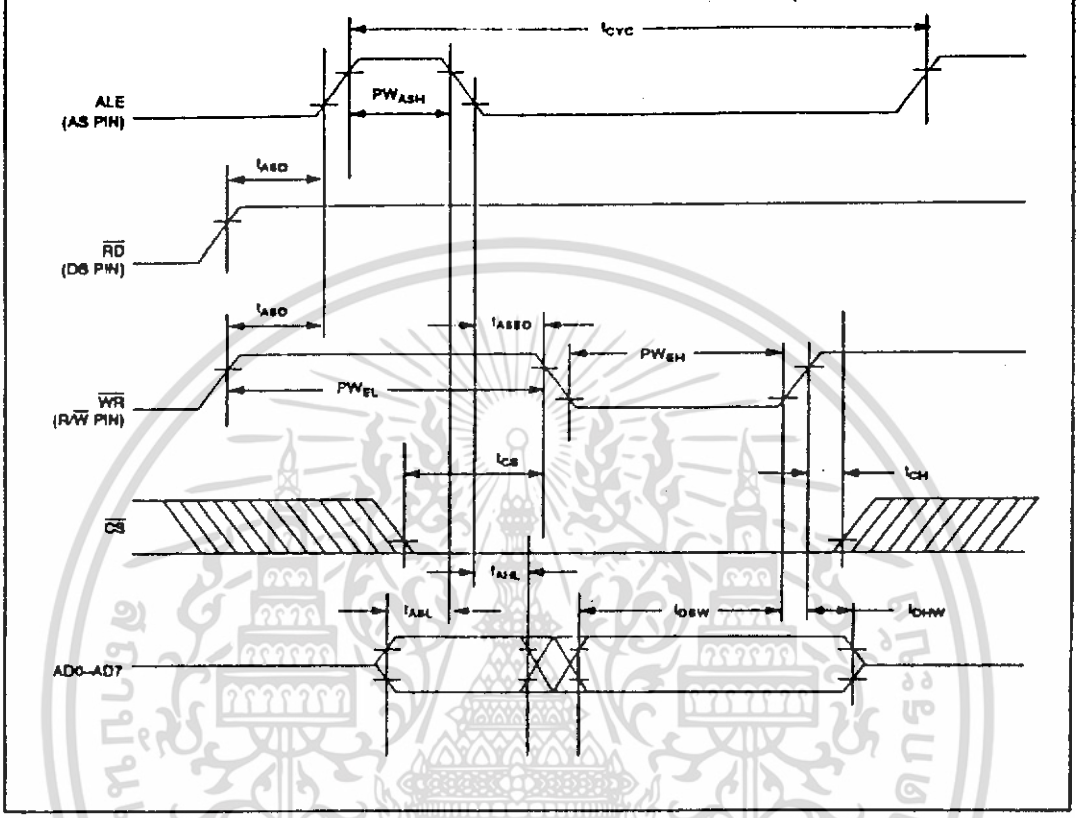
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR MOTOROLA INTERFACE



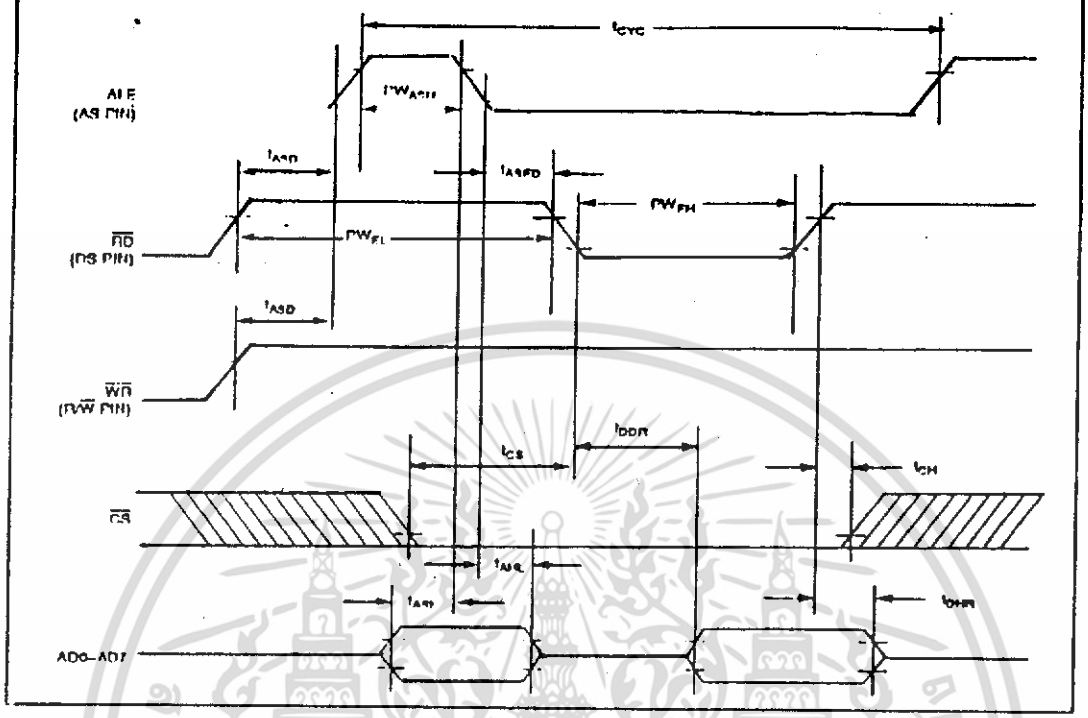
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR INTEL INTERFACE WRITE CYCLE

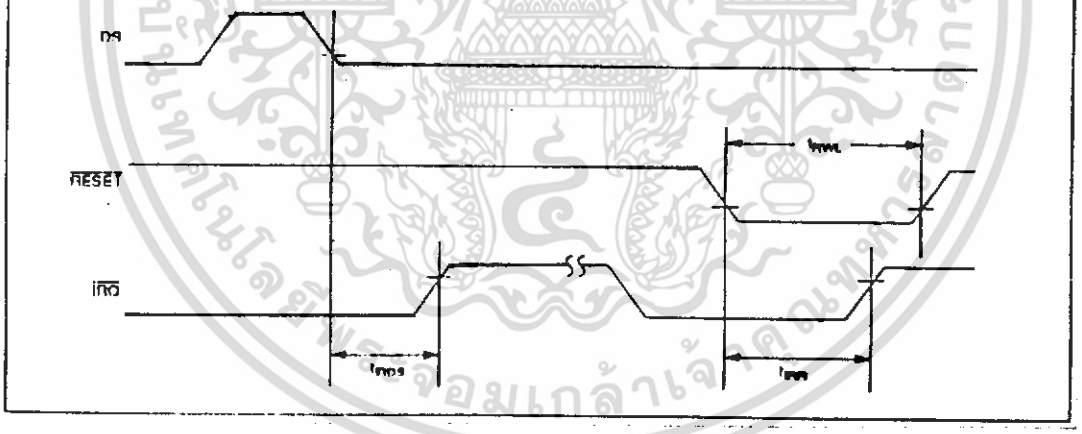


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR INTEL INTERFACE READ CYCLE

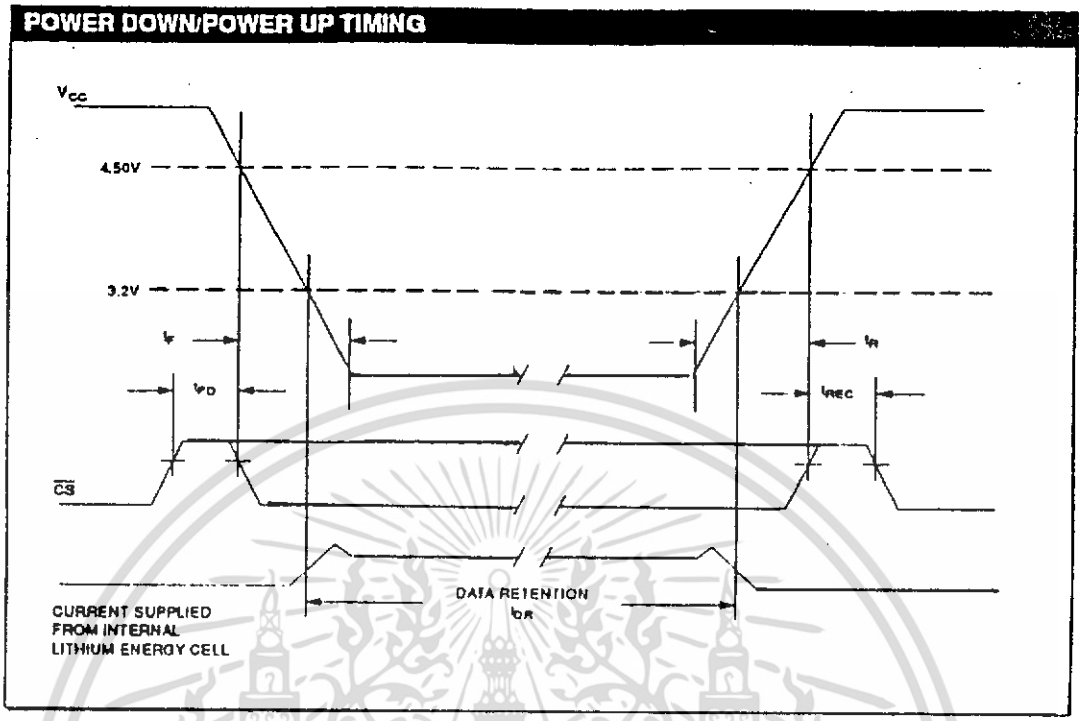


DS12887 IRQ RELEASE DELAY TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER DOWN/POWER UP TIMING



POWER DOWN/POWER UP TIMING

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
$\overline{CS}$ at V_{IH} before Power-Down	t_{PD}	0			µs	
V_{CC} slew from 4.5V to 0V ($\overline{CS}$ at V_{IH})	t_F	300			µs	
V_{CC} slew from 0V to 4.5V ($\overline{CS}$ at V_{IH})	t_R	100			µs	
$\overline{CS}$ at V_{IH} after Power-Up	t_{REC}	20		200	ms	

(t_A = 25°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Expected Data Retention	t_{DR}	10			years	

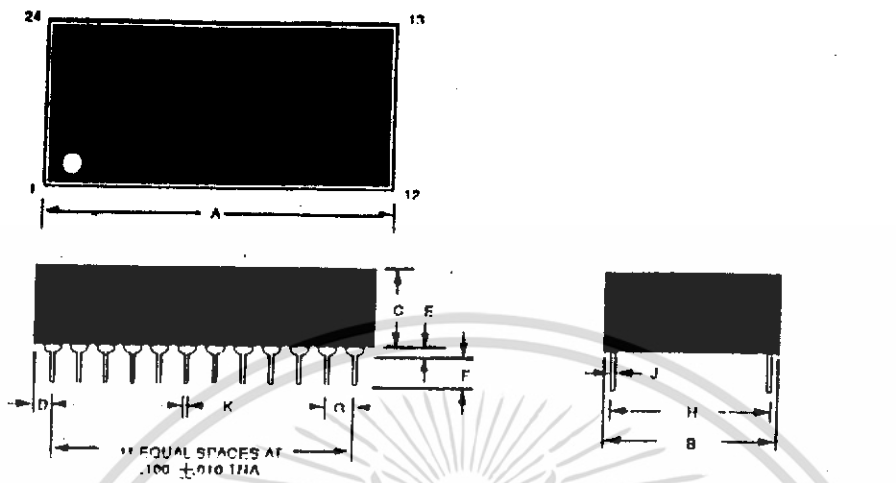
NOTE

The real time clock will keep time to an accuracy of ±1 minute per month during data retention time for the period of t_{DR}.

WARNING

Under no circumstances are negative undershoots, of any amplitude, allowed when device is in battery backup mode.

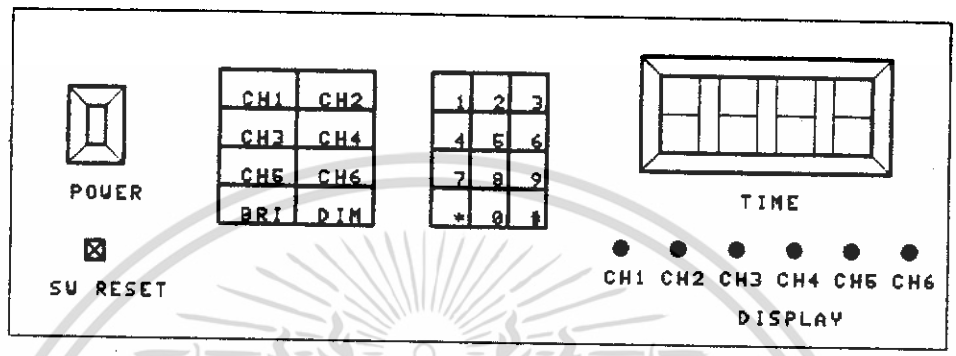
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



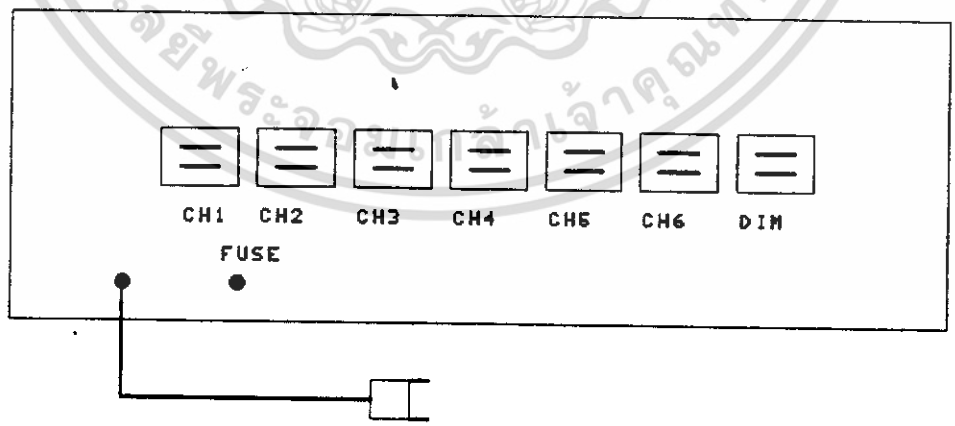
PKG	24-PIN	
DIM	MIN	MAX
A IN. MM	1.220 33.53	1.235 33.91
B IN. MM	0.675 17.15	0.700 17.78
C IN. MM	0.345 8.76	0.370 9.40
D IN. MM	0.100 2.54	0.130 3.30
E IN. MM	0.015 0.38	0.030 0.76
F IN. MM	0.110 2.79	0.140 3.56
G IN MM	0.090 2.29	0.110 2.79
H IN. MM	0.590 14.99	0.630 16.00
J IN. MM	0.008 0.20	0.012 0.30
K IN. MM	0.015 0.38	0.021 0.53

NOTE: PINS 2, 3, 18, 20, 21 AND 22 ARE MISSING BY DESIGN.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหน้าของตัวเครื่อง



รูปที่ 25 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหลังของตัวเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าในโหมดปรกติ

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าทั้ง 6 ช่อง (CHANNEL) ในโหมดปรกติ ทำได้โดยกดสวิทช์ควบคุมของแต่ละช่องซึ่งแยกออกจากกันอย่างอิสระโดยถ้าอุปกรณ์ของช่องนั้นยังปิดอยู่(OFF) เมื่อกดสวิทช์ควบคุมจะเปิด (ON) และถ้าเปิดอยู่เมื่อกดสวิทช์ควบคุม ก็จะปิดอุปกรณ์ไฟฟ้านั้น

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าโดยโหมดตั้งเวลา

ปรกติเมื่อเปิดเครื่อง (ON) ที่หน้าปัดจะแสดงเวลาปัจจุบัน(ชั่วโมงและนาที) ทุกๆ 2 วินาที ถ้าเราต้องการจะตั้งเวลาเปิด-ปิดให้กับอุปกรณ์ไฟฟ้า ที่ต่ออยู่กับเต้าเสียบของแต่ละช่อง ก็จะสามารถทำได้ดังนี้

การตั้งเวลาเปิด (SET ON TIME) มีขั้นตอนดังนี้

1. ตรวจสอบดูว่าอุปกรณ์ที่ต่ออยู่กับช่องควบคุมนั้น เปิดหรือปิดอยู่
2. ถ้าเปิดอยู่ให้กดสวิทช์ควบคุมทางช่องควบคุมนั้น เพื่อทำการ ปิด CHANNEL นั้น ถ้าปิดอยู่ให้ผ่านไปทำข้อ 3
3. กดคีย์ * (TIMER) บนคีย์บอร์ดโทรศัพท์ 1 ครั้ง
4. กดตัวเลขเวลา 4 หลักที่ต้องการจะให้อุปกรณ์ไฟฟ้าเปิดหรือเริ่มทำงาน (โหมด 24ชั่วโมง)
5. เมื่อกดตัวเลขครบ 4 หลักแล้ว ที่หน้าปัดเวลา จะแสดงเวลาที่เปิดอุปกรณ์ไฟฟ้านั้นชั่วขณะเพื่อให้ผู้ใช้แน่ใจว่าตั้งเวลาได้ถูกต้อง (อย่าลืมว่าเวลาเป็นโหมด 24 ชั่วโมง) ฉะนั้นตัวเลขหลักแรกที่กดก็คือ 0,1และ 2 เท่านั้น ส่วนหลักที่ 2 คือ 0-9 หลักที่ 3 (นาที) 0-5 หลักที่ 4 0-9 นอกเหนือจากนี้แล้วเมื่อกดตัวเลขครบ 4 หลัก หน้าปัดจะไม่แสดงเวลาเปิดอุปกรณ์และจะไม่สามารถตั้งเวลาเปิดเครื่องได้
6. เมื่อเวลาที่แสดงชั่วขณะบนหน้าปัทม์เวลาตรงตามที่เราต้องการที่เราต้องการแล้วก็กดสวิทช์ CH (CHANNEL)ควบคุม 1 ครั้ง ก็จะเสร็จสิ้นและเครื่องใช้ไฟฟ้าตามเวลาที่เราได้ตั้งเอาไว้
7. ถ้าตัวเลขที่แสดงบนหน้าปัทม์ชั่วขณะนั้นไม่ตรงกับเวลาที่เราต้องการหรืออาจต้องการเปลี่ยนเวลาใหม่ หรือต้องการยกเลิกการตั้งเวาก็ทำได้โดยกดคีย์ * (CANCEL) บนคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54C922/MM74C922 16-Key Encoder
MM54C923/MM74C923 20-Key Encoder

general description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll over is provided between any two switches.

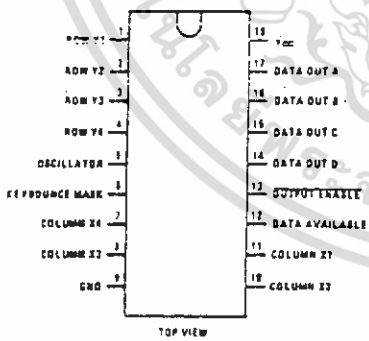
An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs provide for easy expansion and bus operation and are LPTTL compatible.

features

- 50 kΩ maximum switch on resistance
- On or off chip clock
- On chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

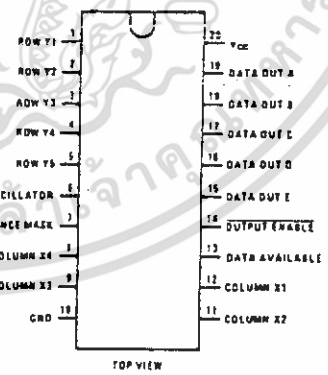
connection diagrams

Dual-In-Line Package



Order Number MM54C922N
or MM74C922N
See Package 20

Dual-In-Line Package



Order Number MM54C923N
or MM74C923N
See Package 20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Voltage at Any Pin	V_{CC} − 0.3V to V_{CC} + 0.3V	Package Dissipation	500 mW
Operating Temperature Range		Operating V_{CC} Range	3V to 15V
MM54C922, MM54C923	−55°C to +125°C	V_{CC}	18V
MM74C922, MM74C923	−40°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
Storage Temperature Range	−65°C to +150°C		

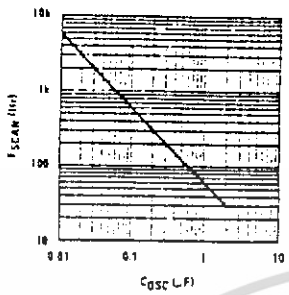
dc electrical characteristics Min/max limits apply across temperature range unless otherwise noted

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	3	3.6	4.3	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	6	6.8	8.6	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	9	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	0.7	1.4	2	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	1.4	3.2	4	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	2.1	5	6	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V	3.5	4.5		V
		V_{CC} = 10V	8	9		V
		V_{CC} = 15V	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V		0.5	1.5	V
		V_{CC} = 10V		1	2	V
		V_{CC} = 15V		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	V_{CC} = 5V, V_{IN} = 0.1 V_{CC}	−2		5	μA
		V_{CC} = 10V	−10		−20	μA
		V_{CC} = 15V	−22		−45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 5V, I_O = −10μA	4.5			V
		V_{CC} = 10V, I_O = −10μA	9			V
		V_{CC} = 15V, I_O = −10μA	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5V, I_O = 10μA			0.5	V
		V_{CC} = 10V, I_O = 10μA			1	V
		V_{CC} = 15V, I_O = 10μA			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	V_{CC} = 5V, V_O = 0.5V		500	1400	Ω
		V_{CC} = 10V, V_O = 1V		300	700	Ω
		V_{CC} = 15V, V_O = 1.5V		200	500	Ω
I_{CC}	Supply Current	V_{CC} = 5V, Osc at 0V		0.55	1.1	mA
		V_{CC} = 10V		1.1	1.9	mA
		V_{CC} = 15V		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 0V	−1.0	−0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V	V_{CC} − 1.5			V
		74C, V_{CC} = 4.75V	V_{CC} − 1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V			0.8	V
		74C, V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA	2.4			V
		74C, V_{CC} = 4.75V, I_O = −360μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA			0.4	V
		74C, V_{CC} = 4.75V, I_O = −360μA			0.4	V

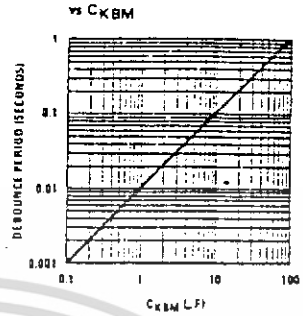
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics (con't)

Typical F_{SCAN} vs C_{OSC}

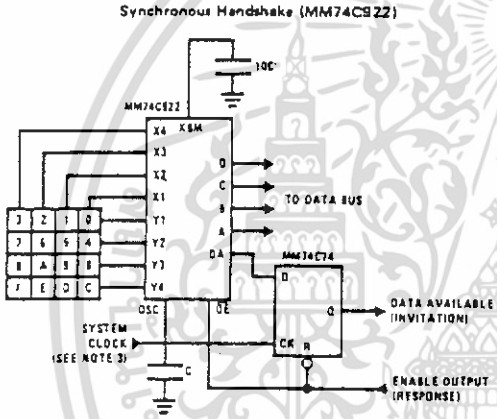


Typical Debounce Period vs C_{KBM}

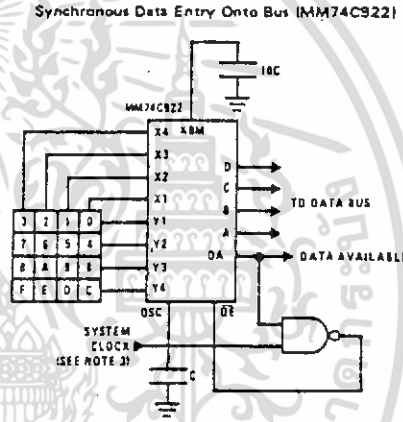


typical applications

Synchronous Handshake (MM74C922)



Synchronous Data Entry Onto Bus (MM74C922)



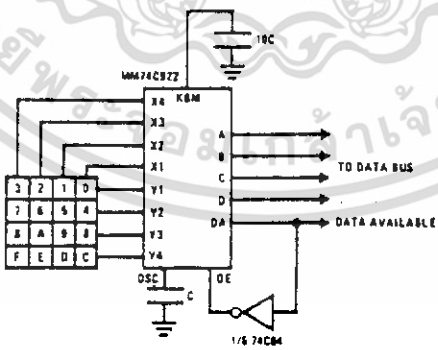
Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Asynchronous Data Entry Onto Bus (MM74C922)

Keyboard Suppliers

Mini Key Series KL
Cignetics Company
Pasadena, California

Computronics Engineering
7235 Hollywood Blvd
Hollywood, California 90046



Outputs are in TRI-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to TRI-STATE.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (con't)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	−1.75	−3.3		mA
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	−8	−15		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

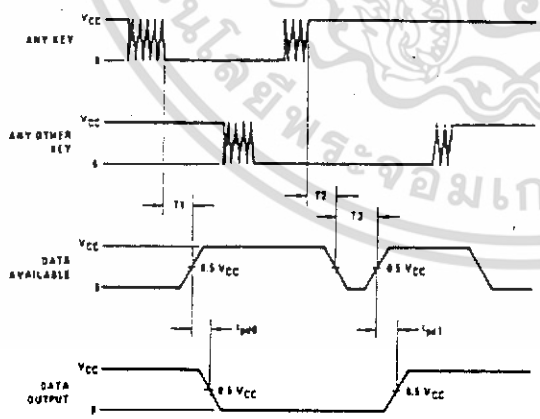
ac electrical characteristics T_A = 25°C

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd0},t_{pd1}	Propagation Delay Time to	C_L = 50 pF, *(Figure 1)*				
	Logical "0" or Logical "1"	V_{CC} = 5V		60	150	ns
	from D.A.	V_{CC} = 10V		35	80	ns
		V_{CC} = 15V		25	60	ns
t_{0H},t_{1H}	Propagation Delay Time from	R_L = 10k, C_L = 5 pF, *(Figure 2)*				
	Logical "0" or Logical "1"	V_{CC} = 5V R_L = 10k		80	200	ns
	into High Impedance State	V_{CC} = 10V C_L = 10 pF		65	150	ns
		V_{CC} = 15V		50	110	ns
t_{H0},t_{H1}	Propagation Delay Time from	R_L = 10k, C_L = 50 pF, *(Figure 2)*				
	High Impedance State to a	V_{CC} = 5V R_L = 10k		100	250	ns
	Logical "0" or Logical "1"	V_{CC} = 10V C_L = 50 pF		55	125	ns
		V_{CC} = 15V		40	90	ns
C_{IN}	Input Capacitance	Any Input, (Note 2)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output, (Note 2)		10		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

switching time waveforms



T1 = T2 = RC, T3 = 0.7 RC where R = 10k and C is external capacitor at KBM input.

FIGURE 1

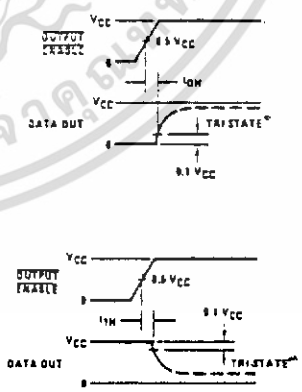


FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

TDA1185A

TRIAC PHASE ANGLE CONTROLLER

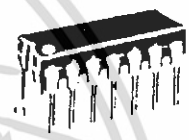
4

The TDA1185A generates controlled TRIAC triggering pulses and allows tachless speed stabilization of universal motors by an integrated positive feedback function. Typical applications are power hand tools, vacuum cleaners, mixers, light dimmer and other small appliances.

- Supply Power Obtained From AC Line
- Can Be Used with 220 V 50 Hz or 110 V 60 Hz
- Low Count Cost External Components
- Optimum TRIAC Firing (2nd and 3rd Quadrants)
- Repetitive Trigger Pulses When TRIAC Current is Interrupted by Motor Brush Bounce
- TRIAC Current Sensing to Allow Inductive Loads
- Programmable Soft Start
- Power Failure Detection and General Circuit Reset
- Low Power Consumption: 6.0 mA

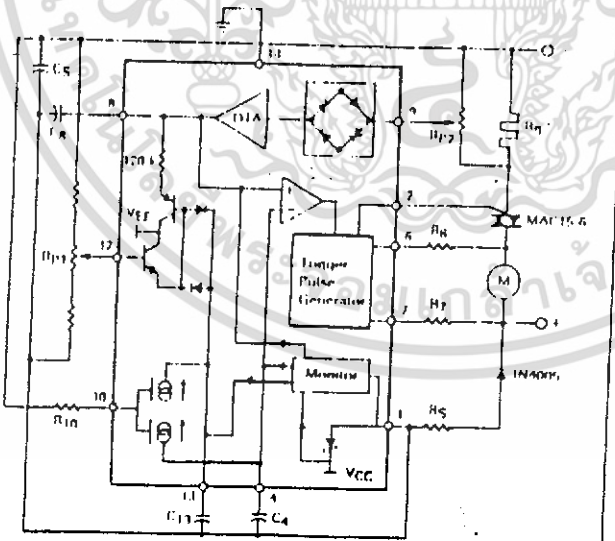
TRIAC PHASE ANGLE CONTROLLER

SILICON MONOLITHIC INTEGRATED CIRCUIT

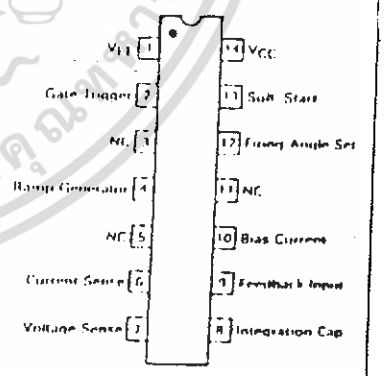


PLASTIC PACKAGE
CASE 646

FIGURE 1 — TYPICAL SYSTEM CONFIGURATION



PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

MAXIMUM RATINGS (Voltages are referenced to Pin 14 (ground) unless otherwise noted)

Rating	Symbol	Value	Unit
Maximum Voltage Range per Listed Pin Pins 3 5 11 (not connected) Pins 4 8 13 Pin 2 Maximum Positive Voltage (No minimum value allowed, see current ratings)	V_{Pin} $V_{Pin\ 12}$ $V_{Pin\ 1}$	 20 to + 20 V_{CC} to 0 3 0 to + 3 0 0 0 5	V
Maximum Current per Listed Pin Pin 1 Pins 6 and 7 Pin 9 Pin 10 Pin 12	I_{Pin}	 + 20 ± 2 0 + 0 5 + 300 500	 mA mA mA µA µA
Maximum Power Dissipation (= T_A 25 C)	P_D	250	mW
Maximum Junction to Ambient Thermal Resistance	R_{thJA}	100	C W
Operating Ambient Temperature Range	T_A	0 to + 70	C
Storage Temperature Range	T_{stg}	55 to + 125	C

ELECTRICAL CHARACTERISTICS (T_A = 25 C, voltages are referenced to Pin 14 (ground) unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Power Supply					
Zener Regulated Voltage ($V_{Pin\ 1}$) $I_{Pin\ 1}$ 2 0 mA	V_{CC}	9 G	8 6	7 6	V
Circuit Current Consumption, $I_{Pin\ 1}$ $V_{Pin\ 1}$ 6 0 V $I_{Pin\ 2}$ 0 A	I_{CC}	2 0	1 0	--	mA
Monitoring Enable Supply Voltage (V_{EN})	$V_{Pin\ 1EN}$	V_{CC} + 0 2	–	V_{CC} + 0 5	V
Monitoring Disable Supply Voltage (V_{DIS})	$V_{Pin\ 1DIS}$	V_{EN} + 0 12	--	V_{EN} + 0 3	
Phase Sel					
Control Voltage Static Offset $V_{Pin\ 8}$ $V_{Pin\ 12}$	V_{off}	1 2	–	2 0	V
Pin 12 Input Bias Current	$I_{Pin\ 12}$	200	-	0	nA
$V_{Pin\ 4}$ $V_{Pin\ 12}$ Residual Offset		—	180	–	mV
Soft Start	$I_{Pin\ 10}$	17	14	11	µA
Capacitor Charging Current $R_{Pin\ 10}$ 100 kΩ, $V_{Pin\ 11}$ from V_{CC} to 3 0 V					
Sawtooth Generator					
Sawtooth Capacitor Discharge Current R_{10} 100 kΩ $V_{Pin\ 4}$ from 2 0 to 6 0 V	$I_{Pin\ 4}$	67	70	73	µA
Capacitor Charging Current	$I_{Pin\ 4}$	10	-	1 5	mA
Sawtooth "High" Voltage ($V_{Pin\ 4}$)	V_{HIGH}	2 5	1 6	1 0	V
Sawtooth Minimum "Low" Voltage ($V_{Pin\ 4}$)	V_{LOW}	--	7 1	--	V
Positive Feedback					
Pin 9 Input Bias Current, $V_{Pin\ 9}$ 0	$I_{Pin\ 9}$	-	2 × $I_{Pin\ 10}$	—	
Programming Pin Voltage Related to Pin 1	$V_{Pin\ 10}$	1 0	1 25	1 5	V
Transfer Function Gain $\Delta V_{Pin\ 8}$ $\Delta V_{Pin\ 9}$ R_{10} 100 kΩ, $\Delta V_{Pin\ 9}$ 50 mV	A	-	75	--	
R_{10} 270 kΩ, $\Delta V_{Pin\ 9}$ 50 mV	A	-	36	--	
Pin 8 Output Internal Impedance	$Z_{Pin\ 8}$	-	120	--	kΩ
Trigger Pulse Generator					
Output Current (Sink), $V_{Pin\ 2}$ 0 V	$I_{Pin\ 2}$	60	--	80	mA
Output Leakage Current $V_{Pin\ 2}$ + 2 0 V	—	—		4 0	µA
Output Pulse Width C_4 47 nF R_{10} 270 kΩ	tp	—	55	—	µs
Output Pulse Repetition Period C_4 47 nF R_{10} 270 kΩ	t	—	420	—	µs
Current Synchronization Threshold Levels ($I_{Pin\ 6}$, $I_{Pin\ 7}$)	I_{SYNC}	40	—	+ 40	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

PIN FUNCTION DESCRIPTION

Pin No.	Function	Description
1	V_{EE}	This pin is the negative supply for the chip and is clamped at −8.6 V by an internal zener.
2	Gate Trigger Pulse	This pin supplies 1.0 V TRIAC trigger pulse at twice the line frequency.
3	NC	Not connected
4	Ramp Generator	The value of the capacitor at this pin determines the slope of the ramp.
5	NC	Not connected
6	Current Sense	This pin senses if the TRIAC is on, and if so, will disable the gate trigger pulse.
7	Voltage Sense	The internal timing of the chip is set by the frequency of the voltage at this pin.
8	Integration Capacitor	This pin is the output of the feedback and the variation in voltage is averaged out by the capacitor.
9	Feedback Input	The change in load current is detected by the change in voltage across R_9.
10	Current Program	The bias current for the circuit is determined by the resistor value at this pin.
11	NC	Not connected
12	Phase Angle Set	The voltage at this pin sets the no-load firing angle.
13	Soft Start	The firing angle is slowly increased from 180° to the set value of Pin 12.
14	V_{CC}	Ground

INTRODUCTION

The Motorola TDA1185A generates trigger pulses (Pin 2) for TRIAC control of power into an AC load. The TRIAC trigger pulse is determined by generating a ramp voltage (Pin 4) synchronized to twice the AC line frequency and compared to an external set voltage (Pin 12) representing the conduction angle. Gate pulses are negative (sink current) and thus the TRIAC is driven into its most effective quadrants (Q2, Q3).

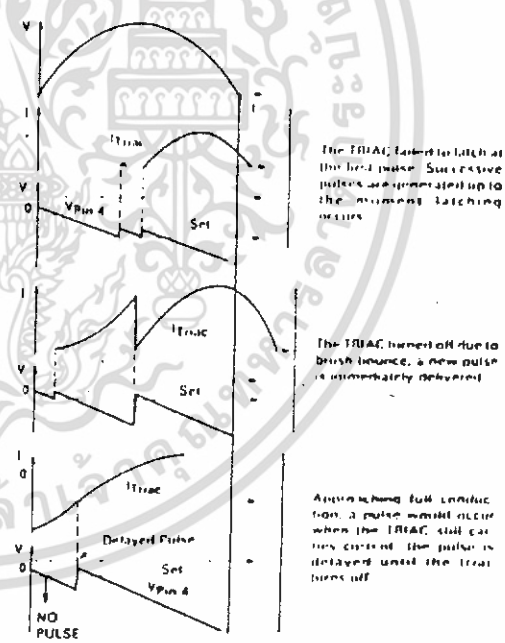
If the load is a Universal motor (the speed of which decreases as torque increases), the TDA1185A allows to increase the conduction angle proportionally to the motor current, sensed (Pin 9) by a low value resistor in series with the load.

FUNCTIONAL DESCRIPTION

DC POWER SUPPLY — DC power is directly derived from the AC line through a 2.0 watt resistor, half wave rectifier and filtering capacitor circuit. The V_{EE} voltage is internally regulated by an integrated zener. Referenced to ground (Pin 14), the power supply voltage is −8.6 V. The TDA1185A internal consumption is 6.0 mA.

TRIGGER PULSE GENERATOR — It delivers a 60 mA minimum sink current pulse (Pin 2) through an internally short circuit protected output. Pulse width is roughly proportional to $R_{10} \times C_4$ and is repeated every 420 μs if TRIAC fails to latch or is switched off by brush bounce. With inductive loads, the current lags in respect to the voltage. Pin 6 delays the triggering pulse up to the moment the TRIAC is off, in order to prevent erratic power control (see Figure 2).

FIGURE 2 — MULTIPULSE GENERATION DELAYED PULSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

RAMP GENERATOR — A constant current sink discharges capacitor C_4 producing a negative voltage ramp synchronized with the main line. Pin 4 voltage is reset to − 1.6 volts at every AC line zero crossing (see Figure 3) and ramps down to − 7.1 volts. The constant current sink is externally programmable by R_{10} using the equation below

$$I_4 = I_{10} \pm 5\%$$

$$I_{10} = \frac{|V_{EE}| - 1.25|}{R_{10}}$$

MAIN COMPARATOR — Its role is to determine the trigger pulse which occurs when the ramp voltage equals the phase angle set voltage at Pin 12. Fixed phase angle set voltage values lead to a constant TRIAC conduction angle unless positive current feedback (Pin 9) is connected or the Soft Start capacitor (Pin 13) is not charged.

SOFT-START — The TDA1185A allows the user to avoid any abrupt inrush of current into the load. This provides protection for fragile loads, light bulbs or tubes. Another advantage is that the AC line disturbance is minimized.

The conduction angle is established from zero to the set value at Pin 12 according to a voltage ramp generated by a constant current delivered to C_{13}. The value of current I_{13} can be expressed by the following equation:

$$I_{13} = 0.2 \times I_{10} \pm 10\%$$

The voltage ramp lasts as long as V_{13} is lower than the set voltage V_{12}. Upon reset, V_{13} is forced to V_{EE} as shown in Figure 4. If the load is a universal motor, it will not turn until a minimum conduction angle is achieved to overcome friction. The time the voltage ramp requires to reach its threshold value is considered "dead" time, and can be eliminated by an appropriate series resistor at Pin 13. The voltage drop developed by I_{13} thru the resistor causes the conduction angle to immediately reach the threshold value and have the Soft Start function without dead time (see Figure 5).

FIGURE 3 — TRIGGERING PULSE TIMING

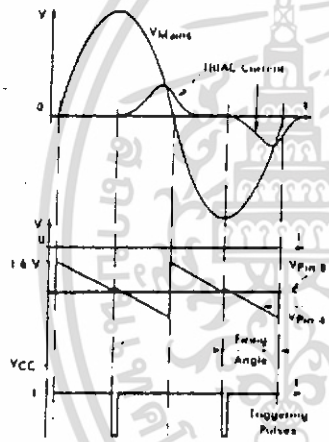


FIGURE 4 — SOFT START

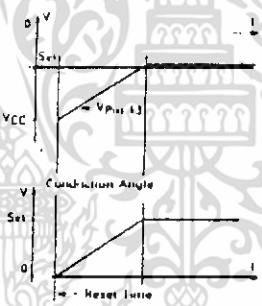


FIGURE 5 — SOFT-START WITHOUT DEAD TIME

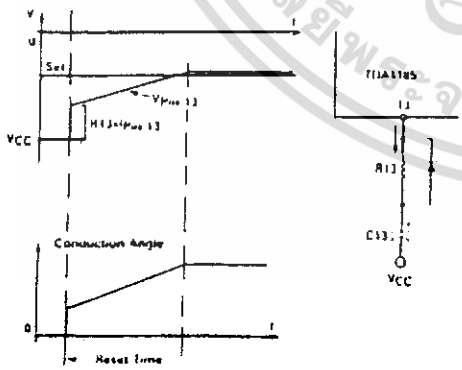
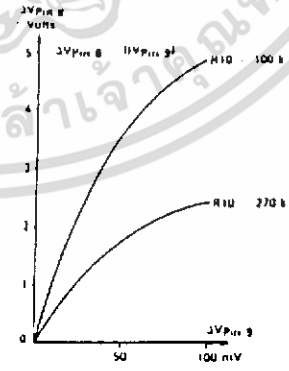


FIGURE 6 — TRANSFER FUNCTION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POSITIVE CURRENT FEEDBACK — The Universal motor speed drops as load increases. To maintain the speed, the TRIAC conduction angle must be increased. For this purpose, Pin 9 senses the motor current as a voltage developed in a low value resistor, Rg, amplifies, rectifies and adds it internally to the set voltage at Pin 12. Any voltage variation at the output of the feedback, Pin 8, is smoothed out by capacitor C_8. The transfer function, $\Delta V_8 = f(\Delta V_9)$, is shown in Figure 6.

The gain in the linear region is dependent on R_{10}. The voltage transferred to Pin 8 is proportional to the current RMS value, as motor current is not far from a sine wave. This averaging effect is shown in Figure 7.

With large amplitude signals at Pin 9, the change in voltage at Pin 8 reaches a maximum value. This saturation effect limits the maximum conduction angle increase. This effect is illustrated in Figure 8 where the total Pin 8 voltage can be written as follows:

$$V_8 = V_{12} + f(V_9), (I_{10}) + 1.25$$

The effect of the feedback is illustrated in Figure 9.

MONITORING — A central logic block performs the ENABLE DISABLE function of the IC with respect to power supply voltage. Under DISABLE conditions, Pin 4, 8, 12 and 13 are forced to appropriate voltages to prepare for the next reset. Refer to the block diagram in Figure 10.

APPLICATION CONSIDERATIONS

COMPONENT SELECTION — To regulate the speed of a universal motor it is necessary to determine how much gain in the feedback is needed. A change in motor current (due to load increase) causes the conduction angle to change by the appropriate amount to keep the speed constant. This entails, through trial and error, choosing an appropriate resistor value for R_{10}, since the gain of the feedback is determined by value of R_{10} as shown in Figure 8.

FIGURE 7 — AVERAGING EFFECT OF TRANSFER FUNCTION

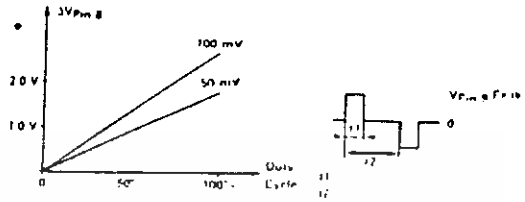
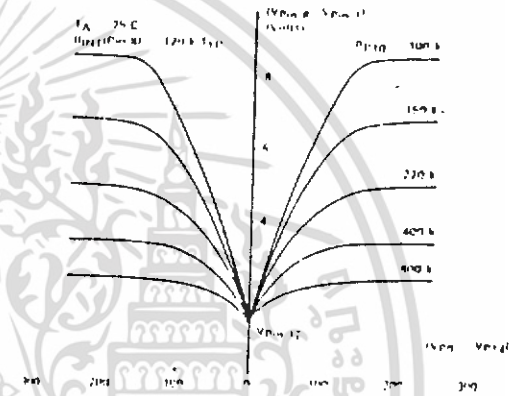


FIGURE 8 — TRANSFER FUNCTION (Pin 8 Pin 9)

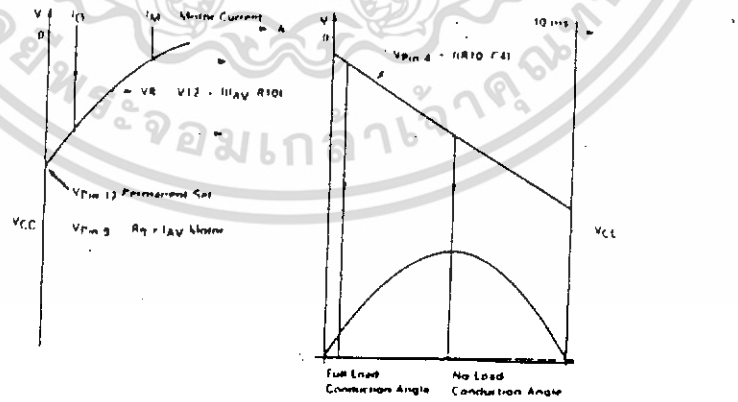


Once R_{10} is picked, C_4 can be calculated from the following equation:

$$C_4 = \frac{6.77}{f_{line} \times R_{10}}$$

where f_{line} is the line frequency.

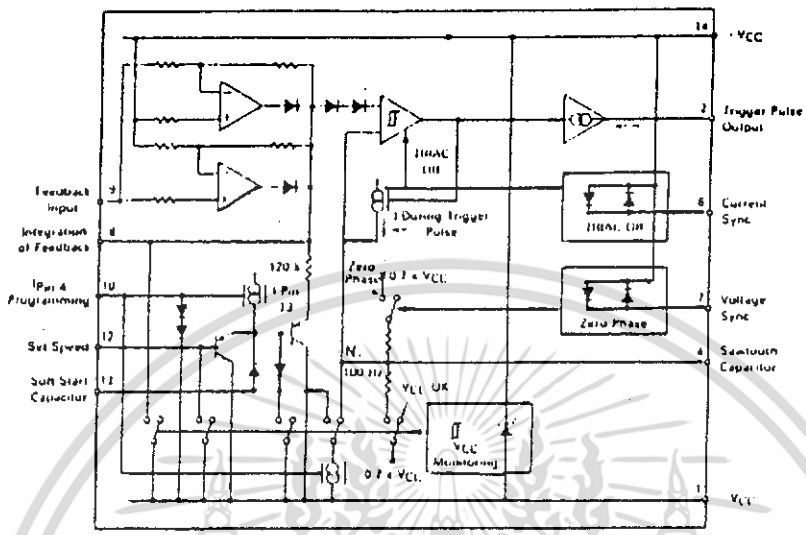
FIGURE 9 — POSITIVE FEEDBACK EFFECT
(Offset voltages have been neglected)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

FIGURE 10 — INTERNAL BLOCK DIAGRAM



Capacitor C_8 is an integration cap used to smooth out the voltage at Pin 8. The value should be large enough to accomplish this task yet not too large to slow the response of the system.

Capacitor C_{13} determines how fast the conduction angle reaches the set value programmed at Pin 12. To achieve a desired delay, the value for C_{13} can be calculated by the following equation

$$C_{13} = \frac{8 \times t_d}{18.6 \quad V_{12} \times R_{10}}$$

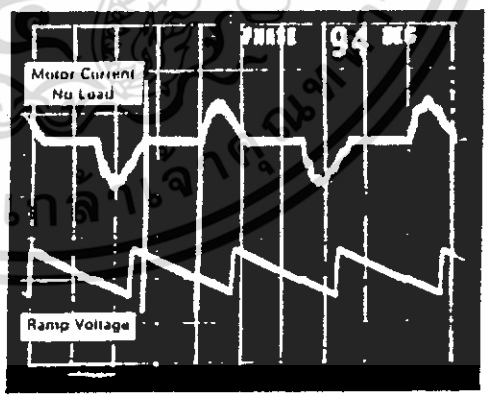
The remaining component values have experimentally been determined and are constant, regardless of application. The following table lists typical values for 110 volt application.

Component	Value	Units
R_S	10 2.0 W	kΩ
R_{P1}	100	kΩ
R_{P2}	100	Ω
R_6	330 0.5 W	kΩ
R_7	330 0.5 W	kΩ
R_9	0.05 5.0 W	Ω
R_{10}	100	kΩ
C_4	0.1	μF
C_8	0.22	μF
C_{13}	10	μF

Using an oscilloscope, it should be verified that the ramp generator is ramping down from 1.6 to 7.1 volts. The slope of the ramp can be changed by C_4 and the DC level of the waveform can be adjusted by R_7.

Pin 9 has a low internal impedance and requires R_{P2} to adjust the feedback level. Pin 8 must always be connected to V_{EE} through a filtering capacitor. For values of R_{10} less than 100 kΩ, the circuit becomes sensitive and could become unstable. Figures 11 and 12 show typical waveforms. As shown, the increase in motor current has resulted in the firing angle to decrease. This translates to an increase in the average power delivered to the load.

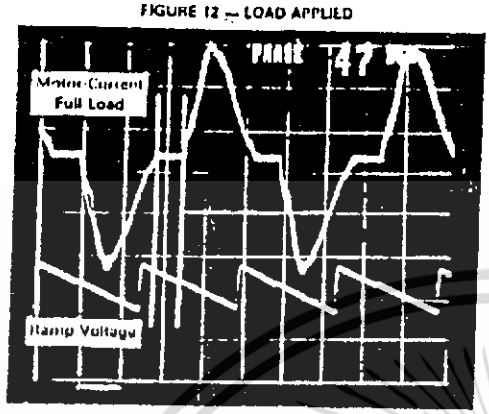
FIGURE 11 — NO LOAD APPLIED



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDA1185A

FIGURE 12 — LOAD APPLIED



4

TEMPERATURE EFFECTS — The TDA1185A has a very efficient internal temperature compensation. If the current feedback is not connected, the RMS power delivered to the load is stabilized within ± 0.2% over a temperature range of + 20 to + 70 C. The feedback introduces, in the same temperature range, a drift of 250 mV on the voltage of Pin 8; this slight increase in conduction angle may be successfully used to compensate a motor ohmic resistance increase with temperature.

MAIN LINE VOLTAGE COMPENSATION — As the conduction angle is independent of main line voltage, any change in the latter induces a power variation to the load. A resistor connected to the rectifier anode and to Pin 12 with a capacitor to V_{EE} will introduce a decrease in voltage at Pin 12 as the line voltage is increasing. The values of the RC network can experimentally be determined.

FIRING ANGLE DYNAMICS — With purely resistive loads, the effective RMS applied voltage to the load is directly proportional to the firing angle (Figure 13). With inductive loads, since the current lags with respect to voltage, 100% power corresponds to a firing angle which is less than 180 .

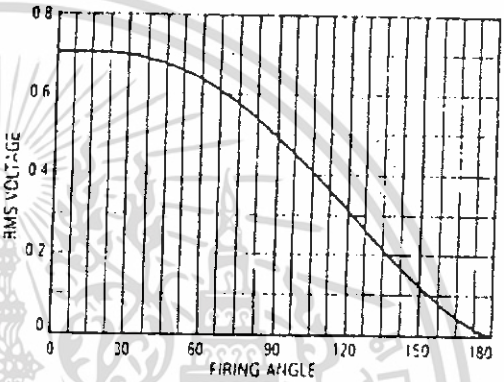
APPLICATION IDEAS

SOFT-START — The Soft-Start feature of the TDA1185A in itself opens the door to a lot of interesting applications. For example, the TDA1185A can be used to bring up fragile loads slowly. Expensive and sensitive tubes can be turned on slowly thus eliminating the inrush of current that could lead to burn out. In this application R_{P1} is replaced with a resistor divider such that the voltage at Pin 12 results in a conduction angle of 180 . Pin 9 should be grounded, since the feedback portion of the TDA1185A is not necessary (see Figure 14). The time to achieve full conduction is found by the equation below:

$$\Delta t \quad 8.71 \times R_{10} \times C_{13}$$

LIGHT DIMMER — With practically no modification the TDA1185A can be used in a light dimmer application. All that is required is to ground the input to the feedback Pin 9. By grounding Pin 9 we have disconnected the feedback loop and the conduction angle is controlled solely by R_{P1}. Further, since the feedback is disconnected, R_8 and R_{P2} are no longer necessary. The Soft-Start feature can still be used to protect the bulb from an inrush of current. This setup can be used in any application that requires manual control of the power delivered to the load (see Figure 15).

FIGURE 13 — RMS VOLTAGE versus FIRING ANGLE

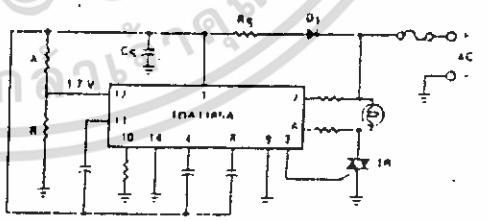


SOFT SHUT-OFF — Once again with little modification, the TDA1185A can be used to turnoff the load slowly. An example of this is in automatic garage lighting. Typically, lights that are on a timer go off without a warning, usually in the most inopportune time (like when you're about to step over the dog). With a soft shut off, the light dims out slowly, alerting you that it is about to go off. As in the previous case, the feedback is disconnected and R_{P1} is replaced with capacitor C_{12} and a switch (see Figure 16). The turn-off time can be calculated by the following equation:

$$\Delta t \quad R_{12} \times C_{12}$$

R_{12} is the sum of the two resistors on both sides of C_{12}.

FIGURE 14 — SOFT-START CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC BOARD — The printed circuit board in Figure 17 is included for the designers convenience to evaluate the TDA1185A. The size of the board is intentionally small to show the compactness that can be achieved. Figure 18 shows the component layout for the PC board. R_{P1} has one of the outer leads connected to V_{EE} and the other to R_{12}. The center lead of R_{P1} is connected to Pin 12.

WARNING SHOCK HAZARD: IT IS HIGHLY RECOMMENDED THAT AN ISOLATION TRANSFORMER BE USED. REMOVE THE CHASSIS GROUND FOR ALL TEST EQUIPMENT.

FIGURE 15 — LIGHT DIMMER CIRCUIT

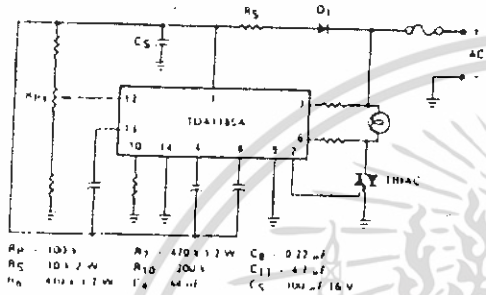


FIGURE 16 — SOFT SHUT OFF CIRCUIT

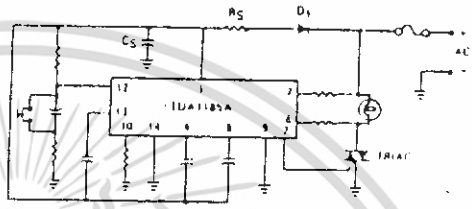
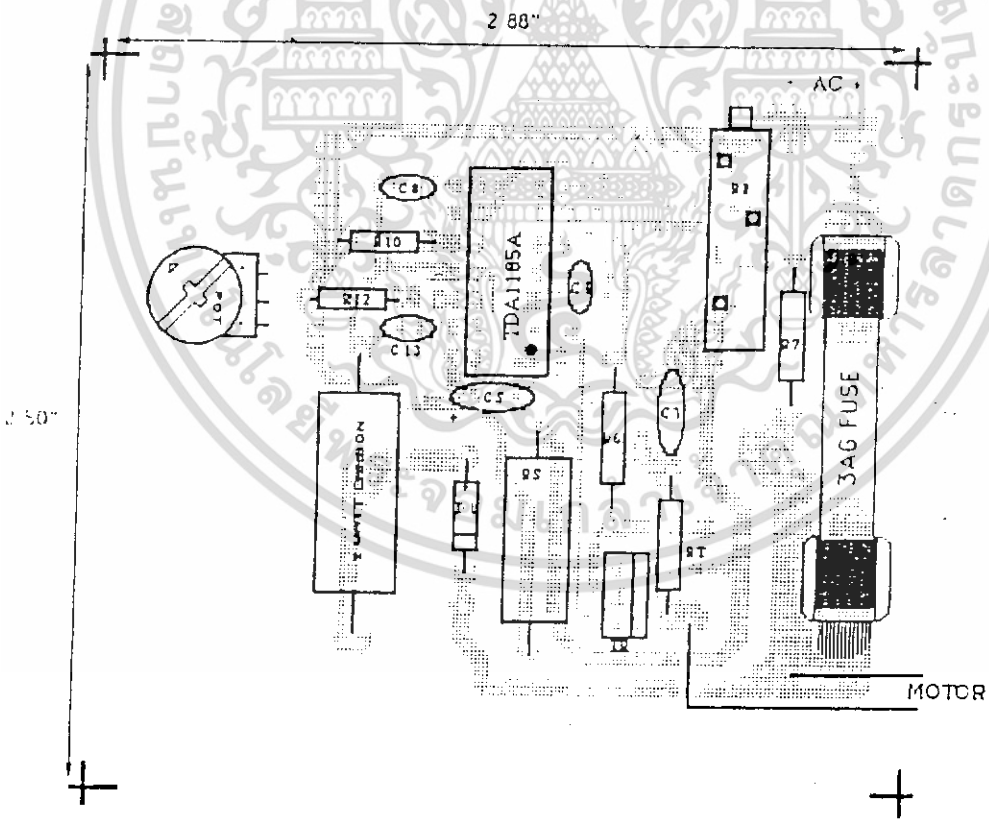
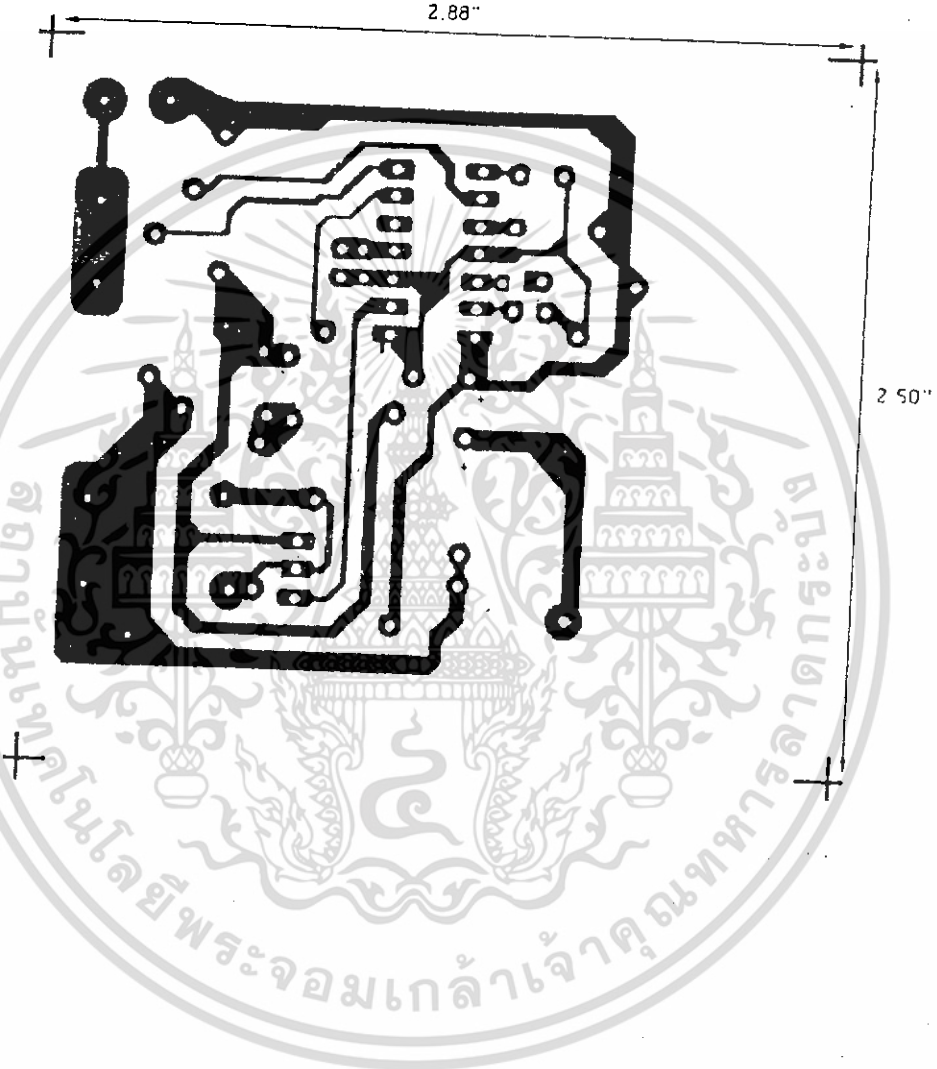


FIGURE 17 — TDA1185A EVALUATION BOARD COMPONENT SIDE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 18 — TDA1185A EVALUATION BOARD COPPER SIDE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74145
Decoder/Driver

BCD-To-Decimal Decoder/Driver (Open Collector)
Product Specification

Logic Products

FEATURES

- 80mA output drive capability
- 15V output breakdown voltage
- See '45 for 30V output voltage
- See '42 for standard TTL outputs

DESCRIPTION

The '145 is a 1-of-10 decoder with Open Collector outputs. This decoder accepts BCD inputs on the A_0 to A_3 address lines and generates 10 mutually exclusive active LOW outputs. When an input code greater than "9" is applied, all outputs are HIGH. This device can therefore be used as a 1-of-8 decoder with A_3 used as an active LOW enable.

The '145 features an output breakdown voltage of 15V. This device is ideal as a lamp or solenoid driver.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74145	24ns	43mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74145N
Plastic SO	N74145D

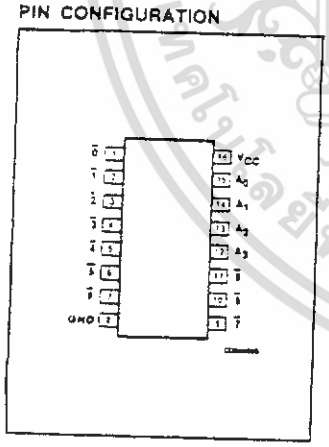
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

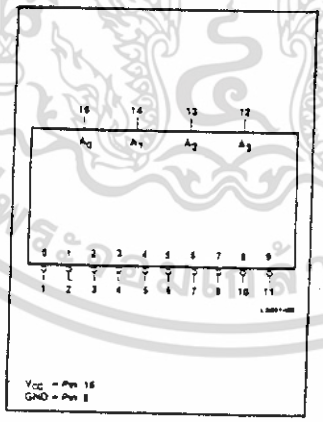
PINS	DESCRIPTION	74
All	Inputs	1ul
All	Outputs	12.5ul

NOTE:
Where a 74 unit load (ul) is understood to be 40µA I_{IH} and −1.6mA I_{IL}.

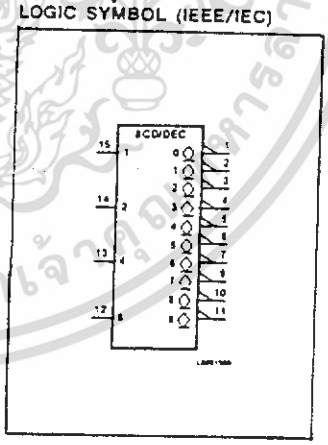
PIN CONFIGURATION



LOGIC SYMBOL



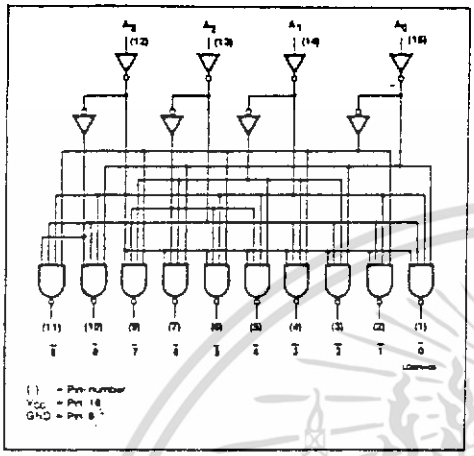
LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Decoder/Driver 74145

LOGIC DIAGRAM



FUNCTION TABLE

A_2	A_1	A_0	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{8}$	$\overline{9}$
L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	H	H	H	H	H	L	H	H	H	H
H	H	L	H	H	H	H	H	H	L	H	H	H
H	H	H	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L
H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H

H = HIGH voltage levels
L = LOW voltage levels

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	74	UNIT
V_{CC}	Supply voltage	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	V
I_{IN}	Input current	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +15	V
T_A	Operating free-air temperature range	0 to 70	°C

RECOMMENDED OPERATING CONDITIONS

	PARAMETER	74			UNIT
		Min	Nom	Max	
V_{CC}	Supply voltage	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage	2.0			V
V_{IL}	LOW-level input voltage			+0.8	V
I_{IC}	Input clamp current			−12	mA
V_{OH}	HIGH-level output voltage			15	V
I_{OL}	LOW-level output current			80	mA
T_A	Operating free-air temperature	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74156, LS156
Decoders/Demultiplexers

Dual 2-Line To 4-Line Decoder/Demultiplexer (Open Collector)
Product Specification

Logic Products

FEATURES
- **Common Address Inputs**
- True or complement data demultiplexing
- Dual 1-of-4 or 1-of-8 decoding
- Function generator applications
- Outputs can be tied together

DESCRIPTION
The '156 is a Dual 1-of-4 Decoder/Demultiplexer with common Address inputs and gated Enable inputs. Each decoder section, when enabled, will accept the binary weighted Address inputs (A_0, A_1) and provide four mutually exclusive active-LOW outputs ($\overline{0} - \overline{3}$). When the enable requirements of each decoder are not met, all outputs of that decoder are HIGH.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74156	20ns	25mA
74LS156	31ns	6.1mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74156N, N74LS156N
Plastic SO	N74LS156D

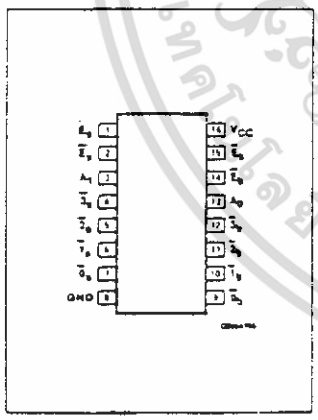
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

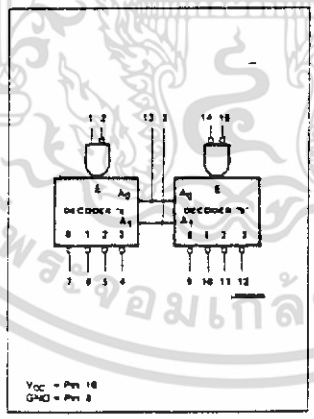
PINS	DESCRIPTION	74	74LS
All	Inputs	1ul	1LSul
All	Outputs	10ul	10LSul

NOTE:
Where a 74 unit load (ul) is understood to be 40µA I_{IH} and −1.6mA I_{IL}, and a 74LS unit load (LSul) is 20µA I_{IH} and −0.4mA I_{IL}.

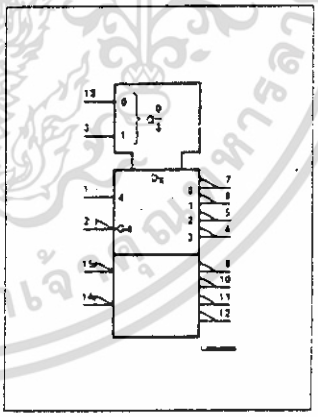
PIN CONFIGURATION



LOGIC SYMBOL



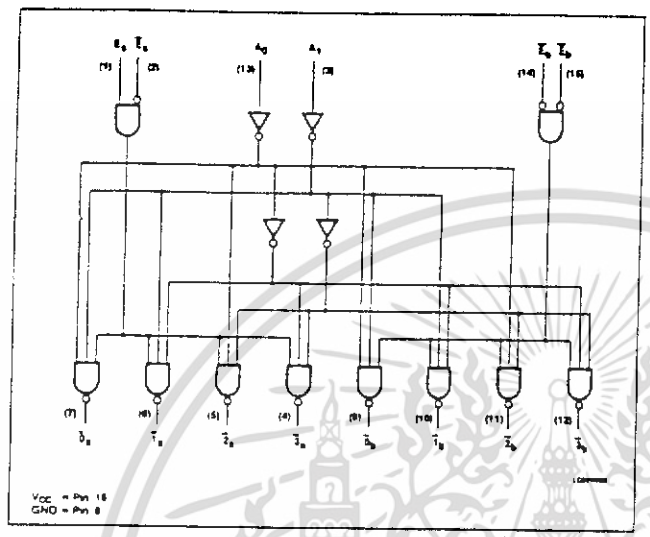
LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Decoders/Demultiplexers — 74156, LS156

LOGIC DIAGRAM



Both decoder sections have a 2-input enable gate. For decoder "a" the enable gate requires one active-HIGH input and one active-LOW input ($E_a \cdot \bar{E}_a$). Decoder "a" can accept either true or complemented data in demultiplexing applications, by using the $\bar{E}_a$ or E_a inputs respectively. The decoder "b" enable gate requires two active-LOW inputs ($\bar{E}_b \cdot \bar{E}_b$). The device can be used as a 1-of-8 decoder/demultiplexer by tying E_a to $\bar{E}_b$ and relabeling the common connection address as (A_2); forming the common enable by connecting the remaining $\bar{E}_b$ and $\bar{E}_a$.

The '156 can be used to generate all four minterms of two variables. The four minterms are useful to replace multiple gate functions in some applications. A further advantage of the '156 is being able to AND the minterm functions by tying outputs together. Any number of terms can be wired-AND as shown in the formula below:

$$T = (\bar{E} + A_0 + A_1) \cdot (\bar{E} + \bar{A}_0 + A_1) \cdot (\bar{E} + A_0 + \bar{A}_1) \cdot (\bar{E} + A_0 + A_1)$$

where $\bar{E} = \bar{E}_a + \bar{E}_a$; $E = E_b + E_b$.

FUNCTION TABLE

ADDRESS		ENABLE "a"		OUTPUT "a"				ENABLE "b"		OUTPUT "b"			
A_0	A_1	E_a	$\bar{E}_a$	$\bar{O}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	E_b	$\bar{E}_b$	$\bar{O}$	$\bar{1}$	$\bar{2}$	$\bar{3}$
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = HIGH voltage level
L = LOW voltage level
X = Don't care

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	74	74LS	UNIT
V_{CC}	Supply voltage	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	−0.5 to +7.0	V
I_{IN}	Input current	−30 to +5	−30 to +1	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	0 to 70		°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS373, 74LS374, S373, S374
Latches/Flip-Flops

'373 Octal Transparent Latch With 3-State Outputs
'374 Octal D Flip-Flop With 3-State Outputs
Product Specification

Logic Products

FEATURES
- 8-bit transparent latch — '373
- 8-bit positive, edge-triggered register — '374
- 3-State output buffers
- Common 3-State Output Enable
- Independent register and 3-State buffer operation

DESCRIPTION
The '373 is an octal transparent latch coupled to eight 3-State output buffers. The two sections of the device are controlled independently by Latch Enable (E) and Output Enable ($\overline{OE}$) control gates.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS373	19ns	24mA
74S373	10ns	105mA
74LS374	19ns	27mA
74S374	8ns	116mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74LS373N, N74S373N, N74LS374N, N74S374N
Plastic SOL-20	N74LS373D, N74S373D, N74LS374D, N74S374D

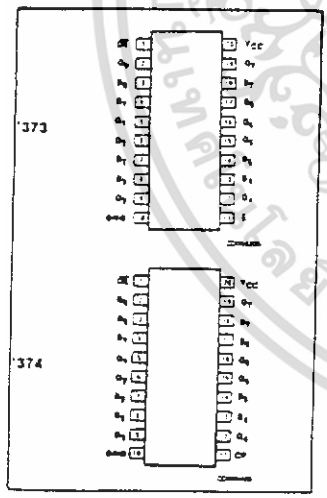
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

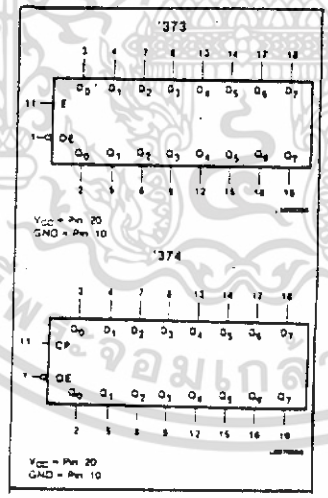
PINS	DESCRIPTION	74S	74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	30LSul

NOTE:
Where a 74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and a 74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

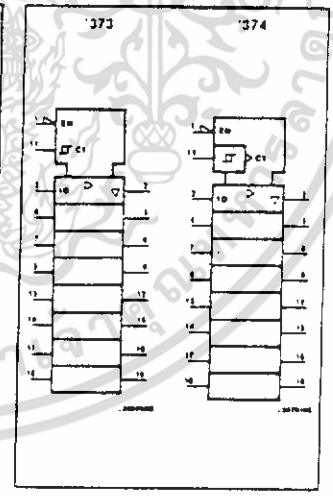
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/EC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Latches/Flip-Flops

74LS373, 74LS374, S373, S374

The data on the D inputs are transferred to the latch outputs when the Latch Enable (E) input is HIGH. The latch remains transparent to the data inputs while E is HIGH, and stores the data present one set-up time before the HIGH-to-LOW enable transition. The enable gate has hysteresis built in to help minimize problems that signal and ground noise can cause on the latching operation.

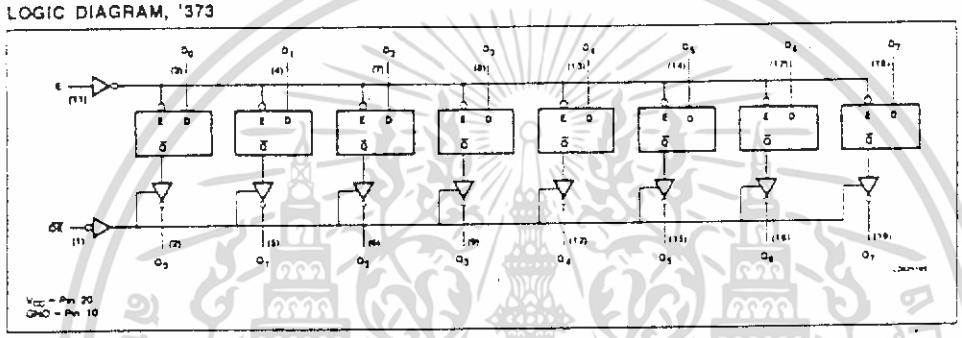
The 3-State output buffers are designed to drive heavily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls all eight 3-State buffers independent of the latch operation. When $\overline{OE}$ is LOW, the latched or transparent data appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

The '374 is an 8-bit, edge-triggered register coupled to eight 3-State output buffers. The two sections of the device are controlled independently by the Clock (CP) and Output Enable ($\overline{OE}$) control gates.

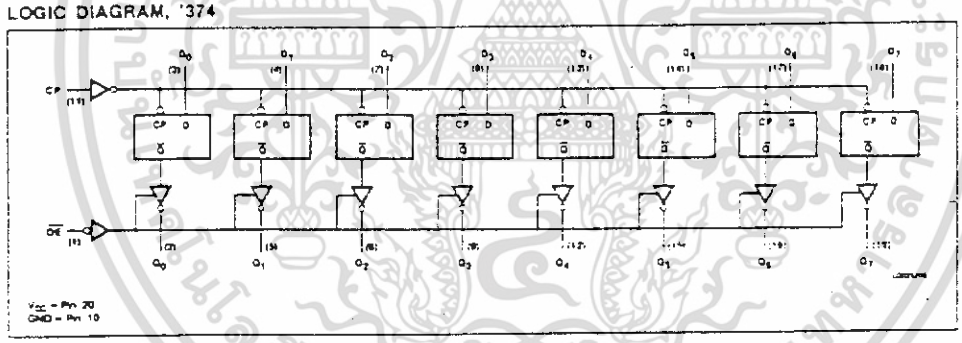
The register is fully edge triggered. The state of each D input, one set-up time before the LOW-to-HIGH clock transition, is transferred to the corresponding flip-flop's Q output. The clock buffer has hysteresis built in to help minimize problems that signal and ground noise can cause on the clocking operation.

The 3-State output buffers are designed to drive heavily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls all eight 3-State buffers independent of the register operation. When $\overline{OE}$ is LOW, the data in the register appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

LOGIC DIAGRAM, '373



LOGIC DIAGRAM, '374



MODE SELECT — FUNCTION TABLE '373

OPERATING MODES	INPUTS			INTERNAL REGISTER	OUTPUTS
	$\overline{OE}$	E	D_n		$O_0 - O_7$
Enable and read register	L	H	L	L	L
	L	H	H	H	H
Latch and read register	L	L	l	L	L
	L	L	h	H	H
Latch register and disable outputs	H	L	l	L	(Z)
	H	L	h	H	(Z)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS245
Transceiver

Octal Transceiver (3-State)
Product Specification

Logic Products

FEATURES

- Octal bidirectional bus interface
- 3-State buffer outputs
- PNP inputs for reduced loading
- Hysteresis on all Data inputs

DESCRIPTION

The 'LS245 is an octal transceiver featuring non-inverting 3-State bus compatible outputs in both send and receive directions. The outputs are all capable of sinking 24mA and sourcing up to 15mA, producing very good capacitive drive characteristics. The device features a Chip Enable (CE) input for easy cascading and a Send/Receive (S/R) input for direction control. All data inputs have hysteresis built in to minimize AC noise effects.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS245	8ns	58mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74LS245N
Plastic SOL-20	N74LS245D

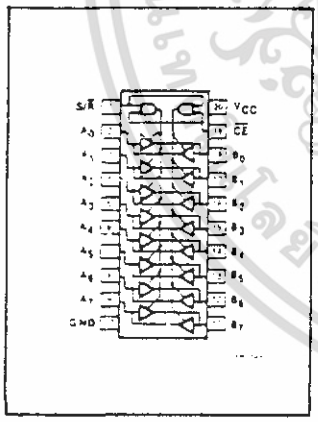
NOTE:
For information regarding devices processed to Military Specifications see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

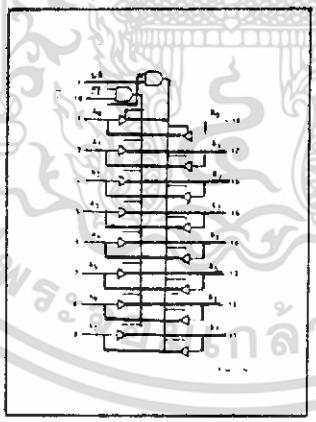
PINS	DESCRIPTION	74LS
A0	Inputs	1LSUl
B0	Outputs	30LSUl

NOTE:
Where a 74LS unit load (LSUl) is 20µA I_{IH} and -0.4mA I_{IL}.

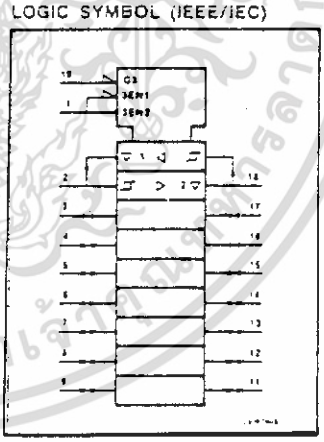
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics Logic Products

74LS138, S138
Decoders/Demultiplexers

1-Of-8 Decoder/Demultiplexer
Product Specification

Logic Products

FEATURES
- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Direct replacement for Intel 3205

DESCRIPTION
The '138 decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled, provides eight mutually exclusive, active LOW outputs ($\overline{0} - \overline{7}$). The device features three Enable inputs: two active LOW ($\overline{E}_1$, $\overline{E}_2$) and one active HIGH (E_3). Every output will be HIGH unless $\overline{E}_1$ and $\overline{E}_2$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four '138s and one inverter.

The device can be used as an eight output demultiplexer by using one of the active LOW Enable inputs as the Data input and the remaining Enable inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active HIGH or active LOW state.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74LS138	20ns	6.3mA
74S138	7ns	49mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74S138N, N74LS138N
Plastic SO	N74LS138D, N74S138D

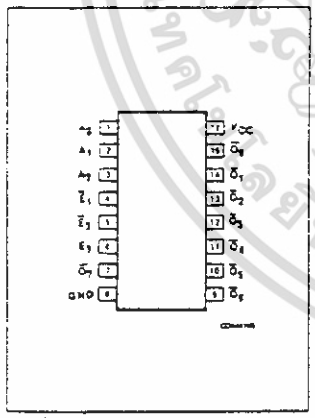
NOTE:
For information regarding devices processed to Military Specifications see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

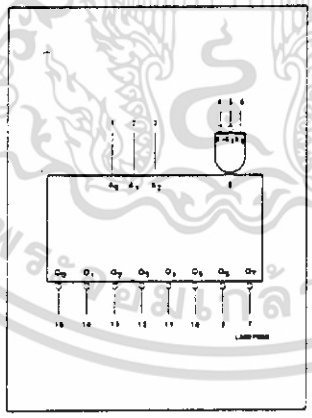
PINS	DESCRIPTION	74S	74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	10LSul

NOTE:
Where a 74S unit load (Sul) is 50µA I_{IH} and −2.0mA I_{IL}, and a 74LS unit load (LSul) is 20µA I_{IH} and −0.4mA I_{IL}.

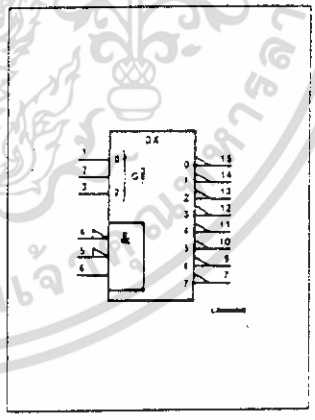
PIN CONFIGURATION



LOGIC SYMBOL

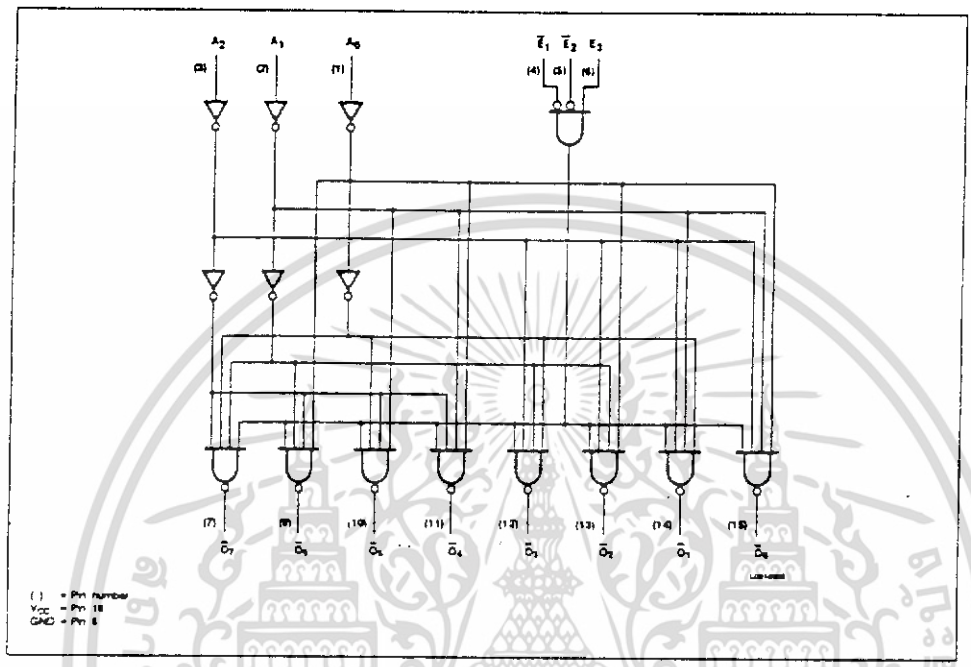


LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E}_1$	$\overline{E}_2$	E_3	A_0	A_1	A_2	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH voltage level
L = LOW voltage level
X = Don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0808, DAC0807, DAC0806

National Semiconductor

• A to D, D to A

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

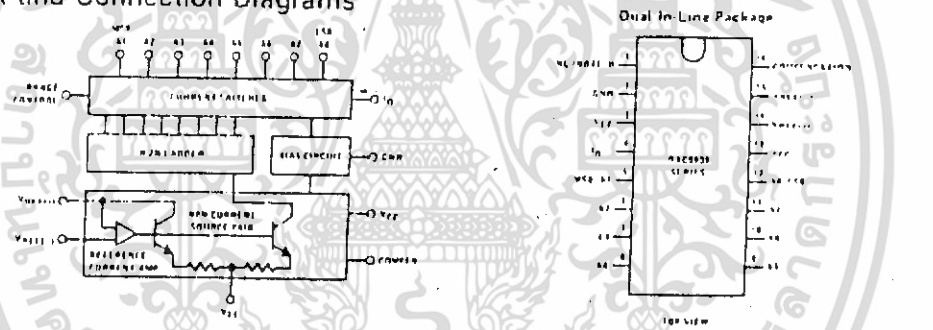
The DAC0808 series is an 8 bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/256. Relative accuracies of better than ±0.19% assure 8 bit monotonicity and linearity while zero level output current of less than 4 μA provides 8 bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

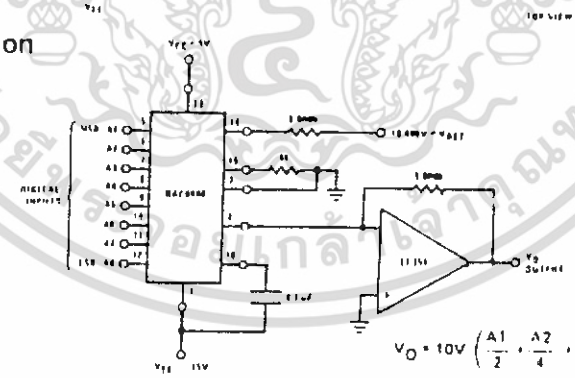
Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6 bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Typical Application



$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots + \frac{A8}{256}\right)$$

FIGURE 1. +10V Output Digital to Analog Converter

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS* D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
8 bit	−55°C ≤ T_A ≤ +125°C	DAC0808LD	MC1508L8				
8 bit	0°C ≤ T_A ≤ +75°C			DAC0808LCJ	MC1408L8	DAC0808LCN	MC1408P8
7 bit	0°C ≤ T_A ≤ +75°C			DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7
6 bit	0°C ≤ T_A ≤ +75°C			DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6

*Note: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Package Limitation)	1000 mW
Derate above T_A = 25°C	6.7 mW/°C
Operating Temperature Range	
DAC0808L	−55°C ≤ T_A ≤ +125°C
DAC0808LC Series	0 ≤ T_A ≤ +75°C
Storage Temperature Range	−65°C to +150°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R_{14} = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
E_r	Relative Accuracy (Error Relative to Full Scale I(O))	*(Figure 4)*				%
	DAC0808L (LM1508-8)				±0.19	%
	DAC0808LC (LM1408-8)					
	DAC0807LC (LM1408-7), (Note 1)				±0.39	%
	DAC0806LC (LM1408-6), (Note 1)				±0.78	%
	Setting Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 2), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TC_{IO}	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level Logic "1"		2			V_{DC}
V_{IL}	Low Level Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.010	mA
	Low Level	V_{IL} = 0.8V		0.001	0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = 5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R_{14} = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance, Pin 1 Grounded	E_r ≤ 0.19%, T_A = 25°C			−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SR_{IREF}	Reference Current Slew Rate	*(Figure 6)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	5V ≤ V_{EE} ≤ 16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	2.2	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = 5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: All current switches are tested to guarantee at least 50% of rated current.

Note 2: All bits switched.

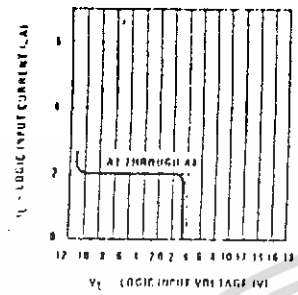
Note 3: Range control is not required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

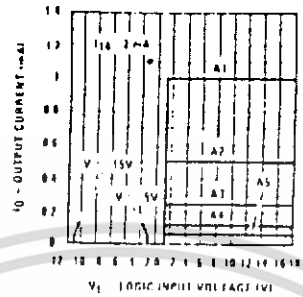
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V T_A = 25°C, unless otherwise noted

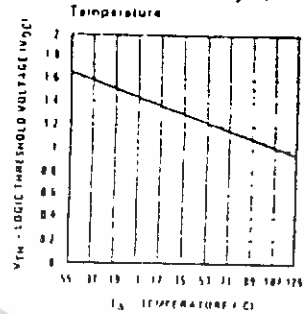
Logic Input Current vs Input Voltage



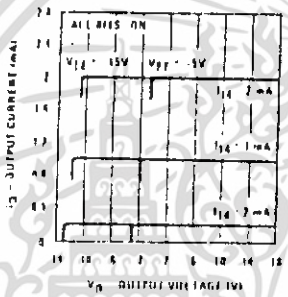
Bit Transfer Characteristics



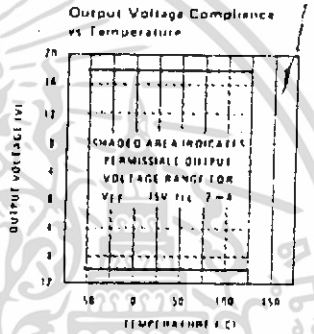
Logic Threshold Voltage vs Temperature



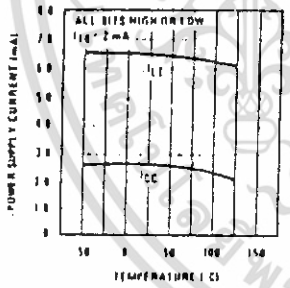
Output Current vs Output Voltage (Output Voltage Compliance)



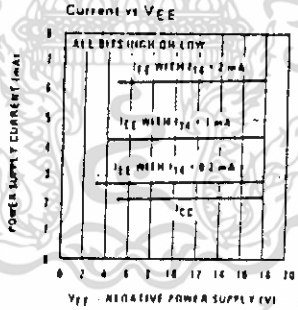
Output Voltage Compliance vs Temperature



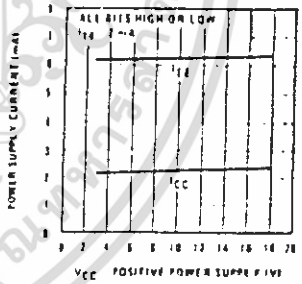
Typical Power Supply Current vs Temperature



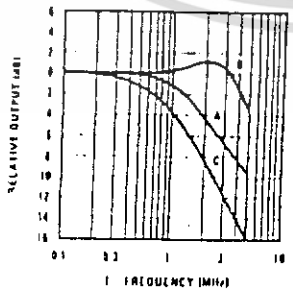
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

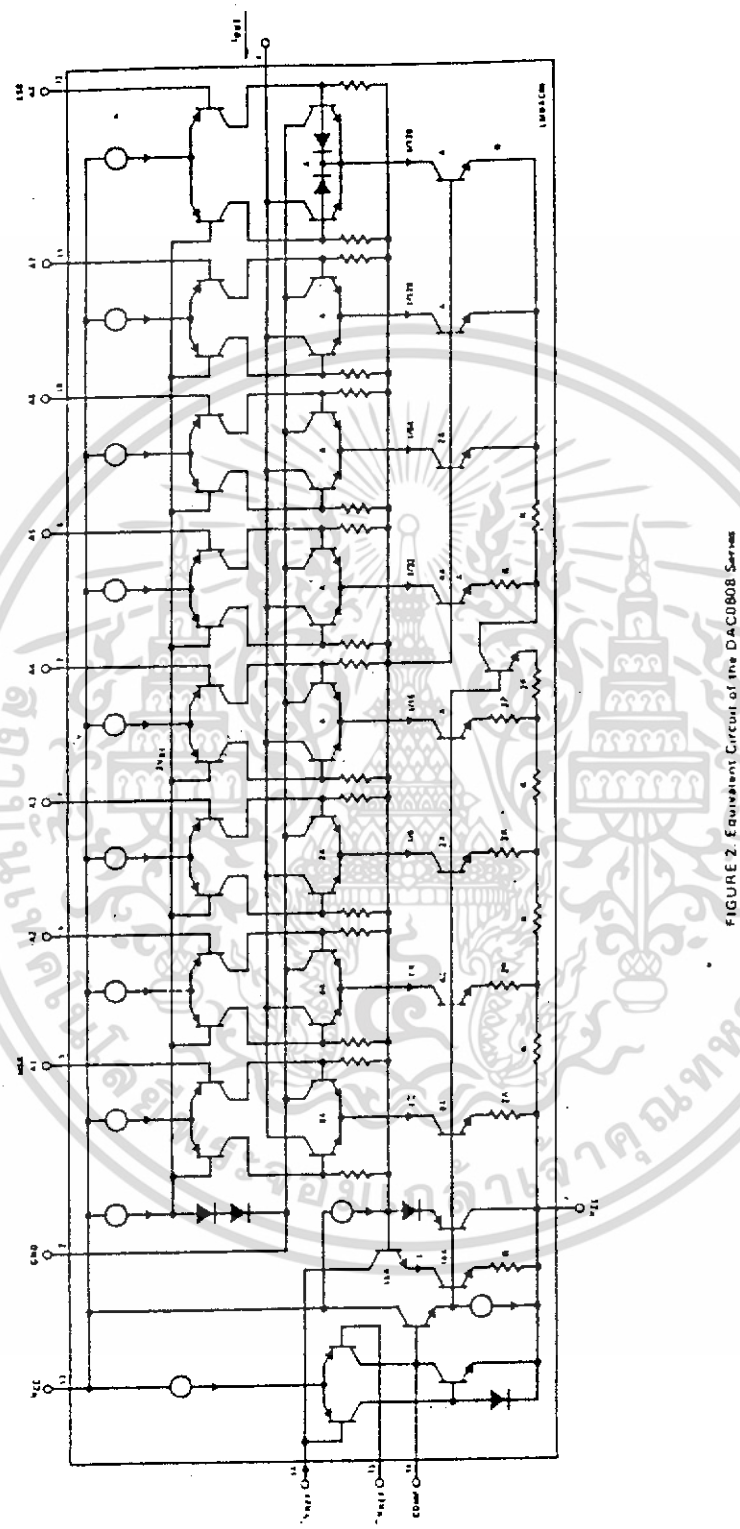
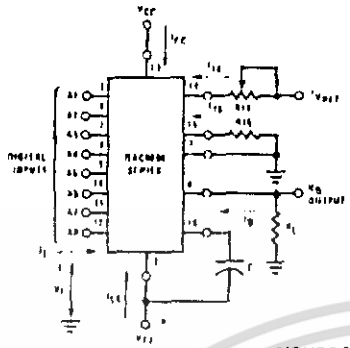


FIGURE 2. Equivalent Circuit of the DAC0808 Series

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_I and I_I apply to inputs A1 - A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

where $K = \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit

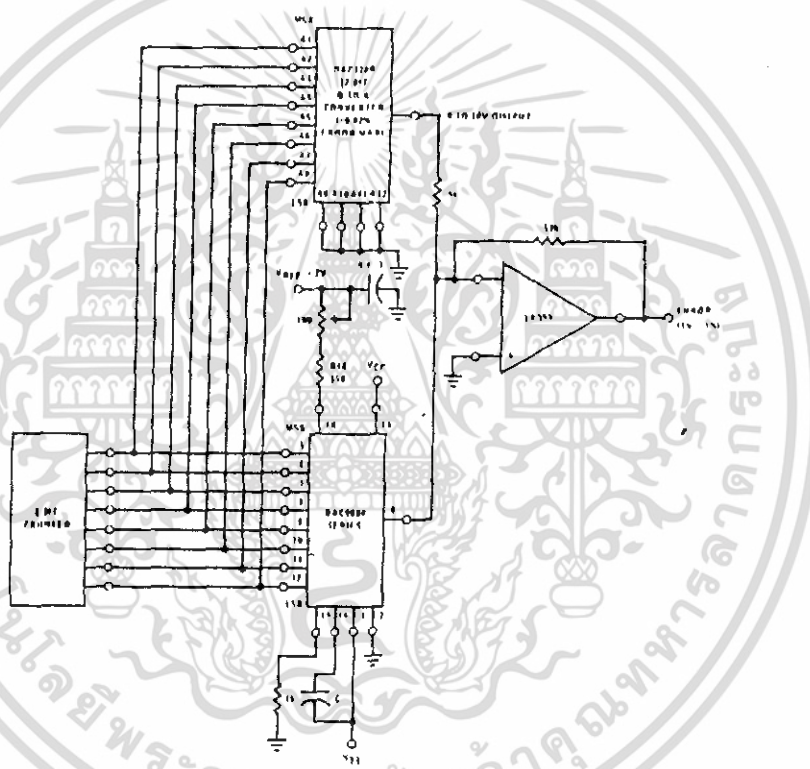


FIGURE 4. Relative Accuracy Test Circuit

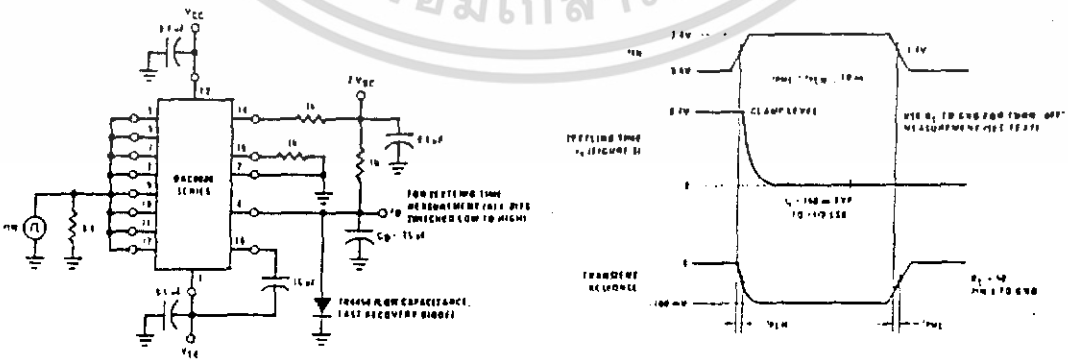


FIGURE 5. Transient Response and Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

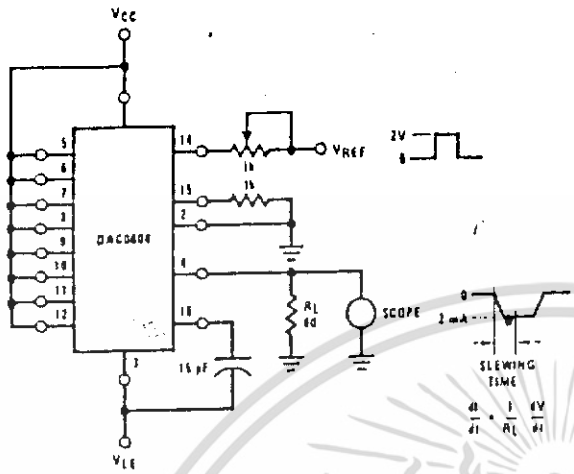


FIGURE 6. Reference Current Slew Rate Measurement

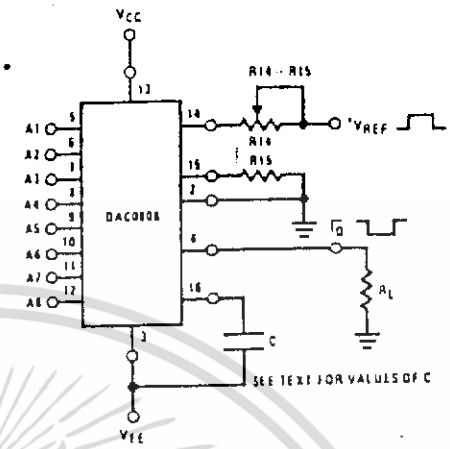


FIGURE 7. Positive V_{REF}

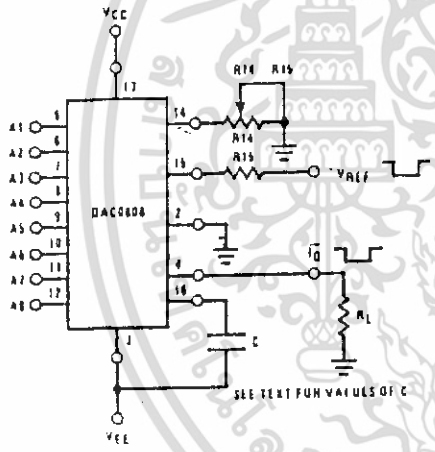


FIGURE 8. Negative V_{REF}

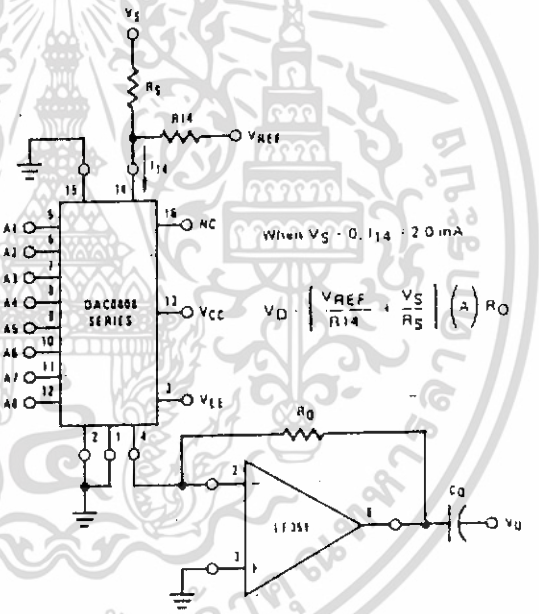


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.6 to 0.5V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −7V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within ±1/2 LSB at a full scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12 bit converter is calibrated for a full scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8 bit D-to-A converters may not be used to construct a 16 bit accuracy D to A converter. 16 bit accuracy implies a total error of ±1/2 of one part in 65,536, or ±0.0007%, which is much more accurate than the ±0.019% specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8 bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μA to 4 mA, the additional error contributions are less than 1.6 μA. This is well within 8 bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst case switching condition occurs when all bits are switched ON, which corresponds to a low to high transition for all bits. This time is typically 150 ns for settling to within ±1/2 LSB, for 8 bit accuracy, and 100 ns to 1/2 LSB for 7 and 6 bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactoy test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

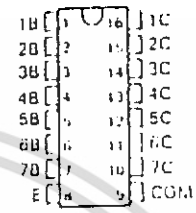
ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

D2624, DECEMBER 1976 - REVISED SEPTEMBER 1986

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500 mA Rated Collector Current (Single Output)
- High Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible With Various Types of Logic
- Relay Driver Applications
- Designed to Be Interchangeable With Sprague ULN2001A Series

D OR N PACKAGE
(TOP VIEW)

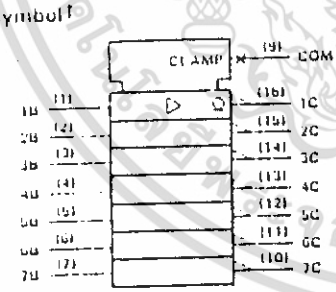


description

The ULN2001A, ULN2002A, ULN2003A, ULN2004A, and ULN2005A are monolithic high-voltage, high-current Darlington transistor arrays. Each consists of seven n-p-n Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single Darlington pair is 500 mA. The Darlington pairs may be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-V (otherwise interchangeable) versions, see the SN75465 through SN75469.

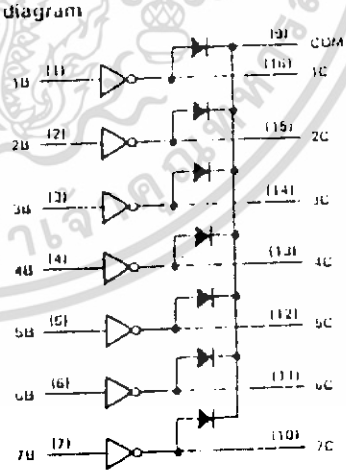
The ULN2001A is a general-purpose array and may be used with TTL, P-MOS, CMOS, and other MOS technologies. The ULN2002A is specifically designed for use with 14- to 25-V P-MOS devices. Each input of this device has a zener diode and resistor in series to control the input current to a safe limit. The ULN2003A has a 2.7-kΩ series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices. The ULN2004A has a 10.5-kΩ series base resistor to allow its operation directly from CMOS or P-MOS devices that use supply voltages of 6 to 15 V. The required input current of the ULN2004A is below that of the ULN2003A, and the required voltage is less than that required by the ULN2002A. The ULN2005A has a 1050-Ω series base resistor and is specifically designed for use with TTL devices where higher output current is required and loading of the driving source is not a concern.

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

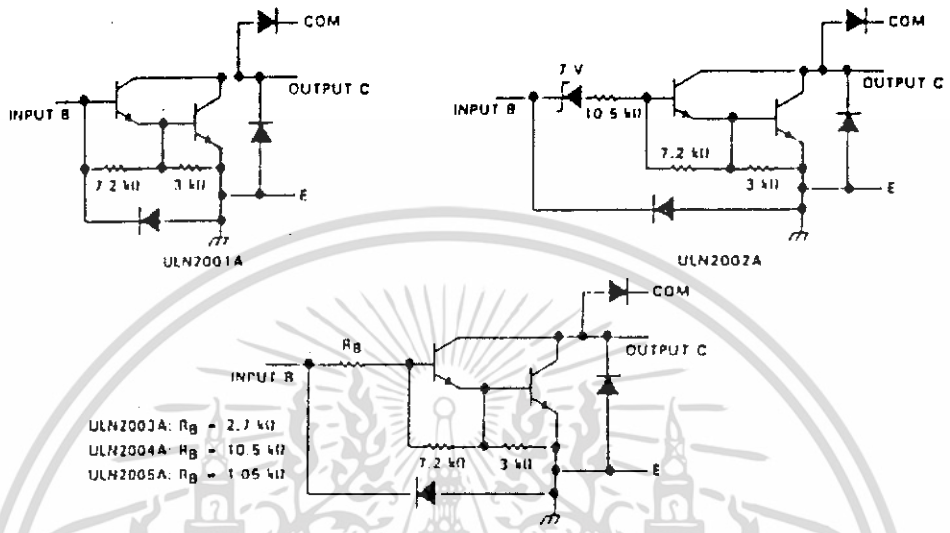
Copyright © 1986 Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

schematics (each Darlington pair)



All resistor values shown are nominal

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	50 V
Input voltage (see Note 1): ULN2002A, ULN2003A, ULN2004A	30 V
ULN2005A	15 V
Peak collector current (see Figures 14 and 15)	500 mA
Output clamp diode current	500 mA
Total emitter-terminal current	-2.5 A
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range	-20°C to 85°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to the emitter/substrate terminal, E, unless otherwise noted.

DISSIPATION RATING TABLE

PACKAGE	T_A = 25°C POWER RATING	DERATING FACTOR ABOVE T_A = 25°C	T_A = 85°C POWER RATING
D	950 mW	7.6 mW/°C	494 mW
N	1150 mW	9.2 mW/°C	598 mW

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2001A MIN	ULN2001A TYP	ULN2001A MAX	ULN2002A MIN	ULN2002A TYP	ULN2002A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50			50	μA
		1	V_{CE} = 50 V, I_I = 0			100			100	
		2	T_A = 70°C, V_I = 6 V						500	
$I_{I(off)}$	Off state input current	3	V_{CE} = 50 V, I_C = 500 μA, T_A = 70°C	50	65		50	65		μA
I_I	Input current	4	V_I = 17 V					0.82	1.25	mA
h_{FE}	Static forward current transfer ratio	5	V_{CE} = 2 V, I_C = 350 mA	1000						
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V, I_C = 300 mA						13	V
$V_{CE(sat)}$	Collector emitter saturation voltage	5	I_I = 250 μA, I_C = 100 mA		0.9	1.1		0.9	1.1	V
		5	I_I = 350 μA, I_C = 200 mA		1	1.3		1	1.3	
		5	I_I = 500 μA, I_C = 350 mA		1.2	1.6		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V			50			50	μA
		7	V_R = 50 V, T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25		15	25	pF

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2003A MIN	ULN2003A TYP	ULN2003A MAX	ULN2004A MIN	ULN2004A TYP	ULN2004A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50			50	μA
		1	V_{CE} = 50 V, I_I = 0			100			100	
		2	T_A = 70°C, V_I = 1 V						500	
$I_{I(off)}$	Off state input current	3	V_{CE} = 50 V, I_C = 500 μA, T_A = 70°C	50	65		50	65		μA
I_I	Input current	4	V_I = 3.85 V		0.93	1.35				mA
		4	V_I = 5 V					0.35	0.5	
		4	V_I = 12 V					1	1.45	
$V_{I(on)}$	On state input voltage	6	V_{CE} = 2 V, I_C = 125 mA						5	V
		6	V_{CE} = 2 V, I_C = 200 mA			2.4			6	
		6	V_{CE} = 2 V, I_C = 250 mA			2.7				
		6	V_{CE} = 2 V, I_C = 275 mA						7	
		6	V_{CE} = 2 V, I_C = 300 mA			3				
		6	V_{CE} = 2 V, I_C = 350 mA						8	
$V_{CE(sat)}$	Collector emitter saturation voltage	5	I_I = 250 μA, I_C = 100 mA		0.9	1.1		0.9	1.1	V
		5	I_I = 350 μA, I_C = 200 mA		1	1.3		1	1.3	
		5	I_I = 500 μA, I_C = 350 mA		1.2	1.6		1.2	1.8	
I_R	Clamp diode reverse current	7	V_R = 50 V			50			50	μA
		7	V_R = 50 V, T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25		15	25	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2001A THRU ULN2005A
DARLINGTON TRANSISTOR ARRAYS

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS	ULN2005A			UNIT
				MIN	TYP	MAX	
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0			50	µA
			V_{CE} = 50 V, I_I = 0, T_A = 70°C			100	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, I_C = 500 µA, T_A = 70°C	50	65		µA
I_I	Input current	4	V_I = 3.8 V		1.5	2.4	mA
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V, I_C = 350 mA			2.4	V
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 µA, I_C = 100 mA		0.9	1.1	V
			I_I = 350 µA, I_C = 200 mA		1	1.3	
			I_I = 500 µA, I_C = 350 mA		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V			50	µA
			V_R = 50 V, T_A = 70°C			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA		1.7	2	V
C_i	Input capacitance		V_I = 0, f = 1 MHz		15	25	pF

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	µs
t_{PHL}	Propagation delay time, high-to-low-level output			0.25	1	µs
V_{OH}	High-level output voltage after switching	V_S = 50 V, I_O = 300 mA, See Figure 10	V_S - 20			mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

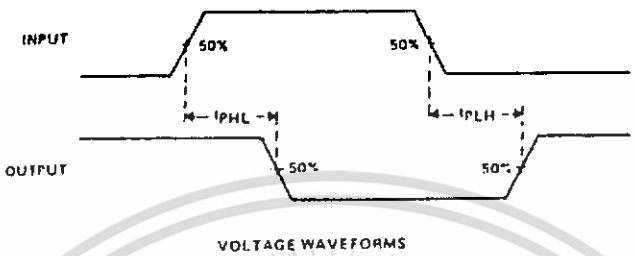
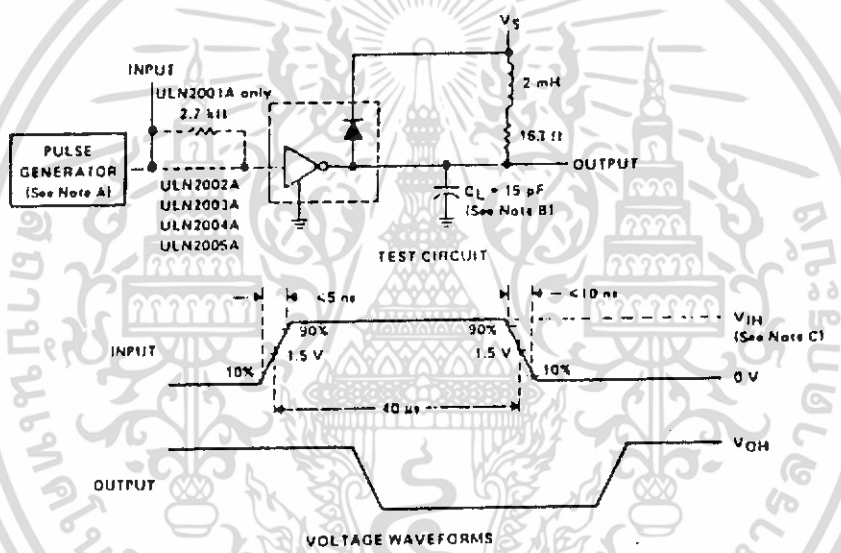


FIGURE 9. PROPAGATION DELAY TIMES



NOTES. A. The pulse generator has the following characteristics: PRR = 12.5 kHz, Z_o = 50 Ω.
B. C_L includes probe and jig capacitance.
C. For testing the ULN2001A, ULN2003A, and the ULN2005A, V_{IH} = 3 V; for the ULN2002A, V_{IH} = 13 V; for the ULN2004A, V_{IH} = 8 V.

FIGURE 10. LATCH-UP TEST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (ONE DARLINGTON)

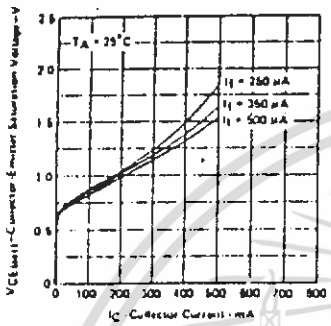


FIGURE 11

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (TWO DARLINGTONS PARALLELED)

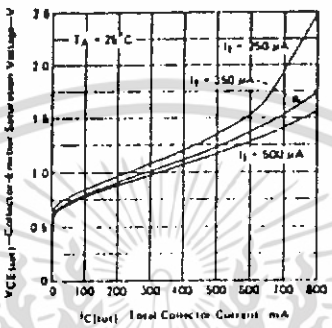


FIGURE 12

COLLECTOR CURRENT vs INPUT CURRENT

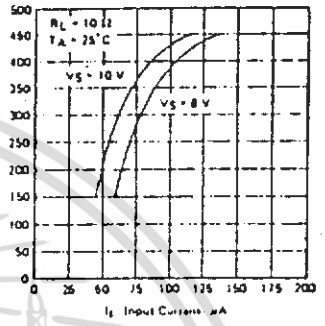


FIGURE 13

THERMAL INFORMATION

D PACKAGE
MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

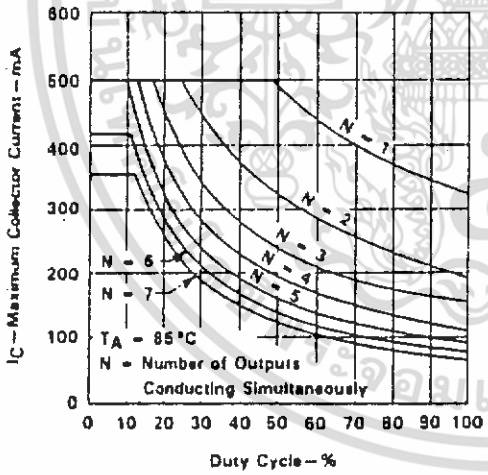


FIGURE 14

N PACKAGE
MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

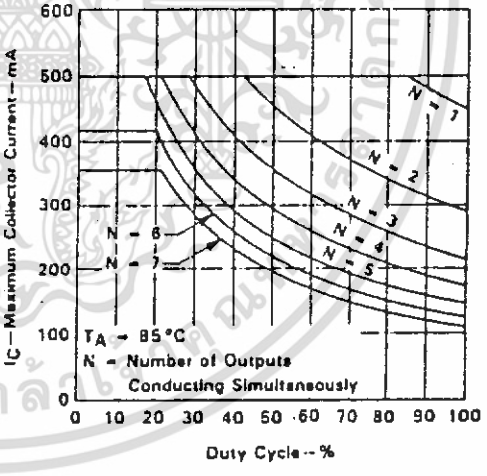
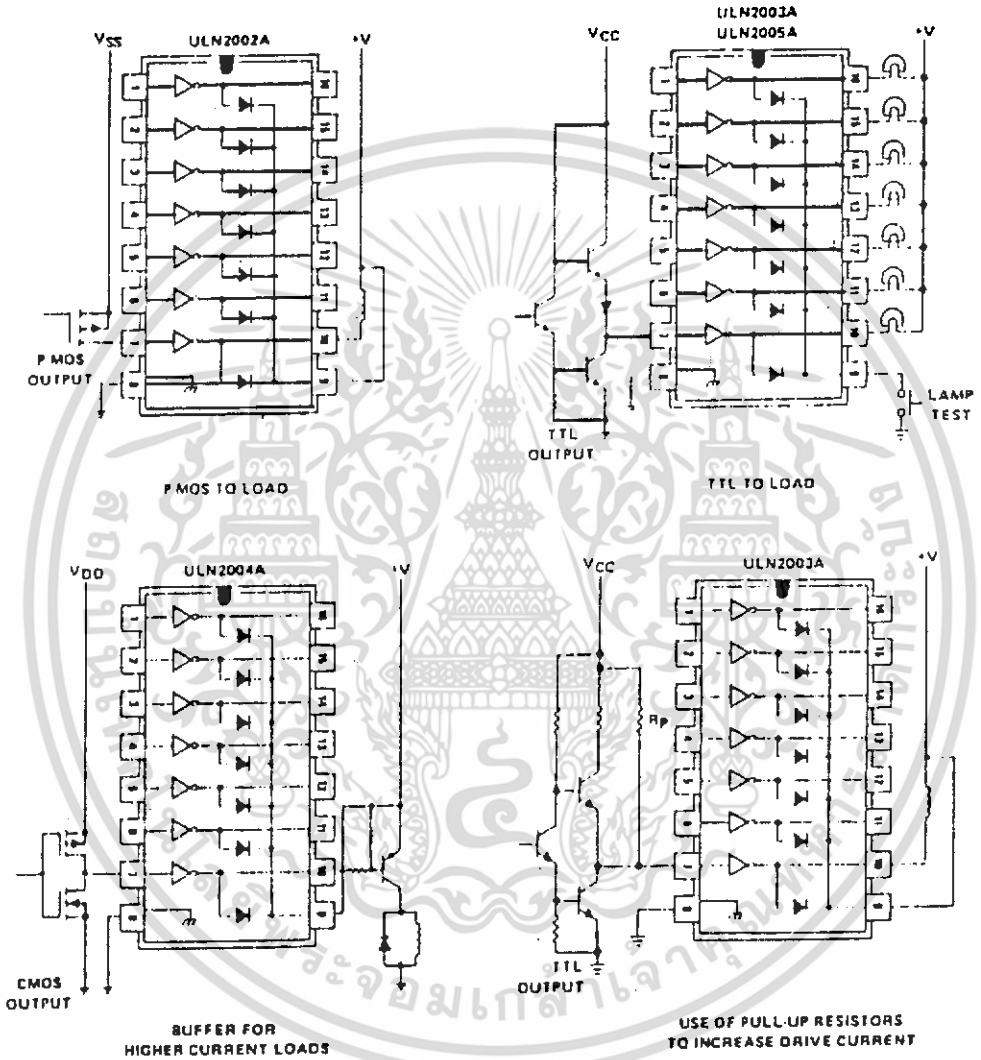


FIGURE 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION



TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

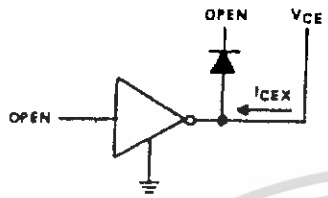


FIGURE 1. I_{CEX}

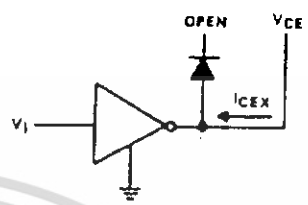


FIGURE 2. I_{CEX}

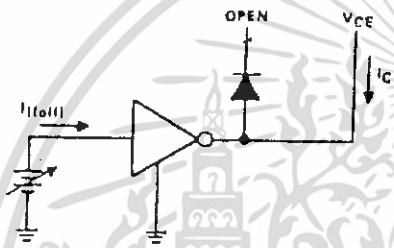


FIGURE 3. $I_{I(off)}$

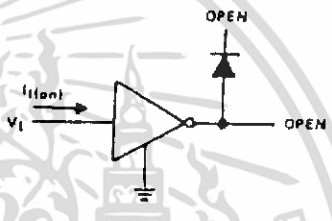
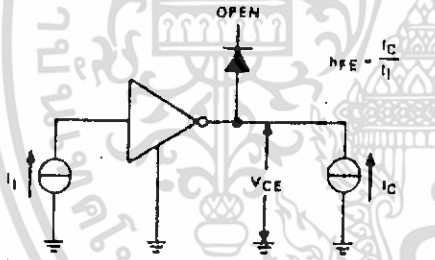


FIGURE 4. I_I



NOTE: I_I is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE}.

FIGURE 5. h_{FE}, $V_{CE(sat)}$

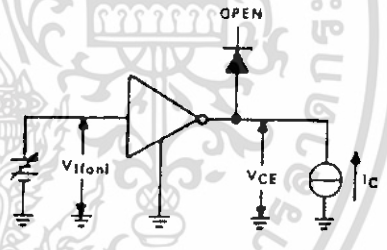


FIGURE 6. $V_{I(on)}$

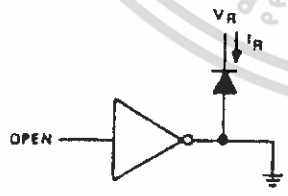


FIGURE 7. I_R

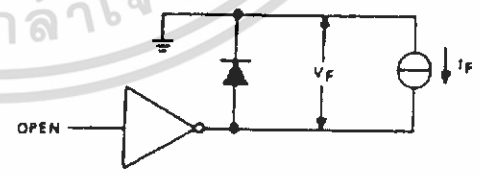


FIGURE 8. V_F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

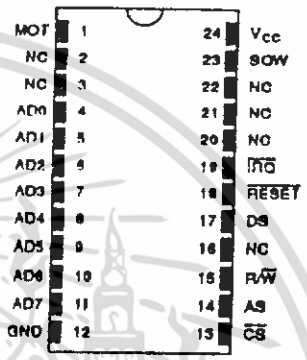
DALLAS SEMICONDUCTOR

DS12887
Real Time Clock

FEATURES

- Drop in replacement for IBM AT computer clock/calendar
- Pin compatible with the MC146818B and DS1287
- Totally nonvolatile with over 10 years of operation in the absence of power
- Self contained subsystem includes lithium, quartz, and support circuitry
- Counts seconds, minutes, hours, days, day of the week, date, month, and year with leap year compensation
- Binary or BCD representation of time, calendar, and alarm
- 12- or 24 hour clock with AM and PM in 12-hour mode
- Daylight Savings Time option
- Selectable between Motorola and Intel bus timing
- Multiplex bus for pin efficiency
- Interfaced with software as 128 RAM locations
  - 14 bytes of clock and control registers
  - 114 bytes of general purpose RAM
- Programmable square wave output signal
- Bus compatible interrupt signals ($\overline{IRQ}$)
- Three interrupts are separately software maskable and testable
  - Time-of-day alarm once/second to once/day
  - Periodic rates from 122 µs to 500 ms
  - End of clock update cycle

PIN ASSIGNMENT



24 PIN ENCAPSULATED PACKAGE

PIN DESCRIPTION

AD0-AD7	- Multiplexed Address/Data Bus
NC	- No Connection
MOT	- Bus Type Selection
$\overline{CS}$	- Chip Select
AS	- Address Strobe
R/$\overline{W}$	- Read/Write Input
DS	- Data Strobe
$\overline{RESET}$	- Reset Input
$\overline{IRQ}$	- Interrupt Request Output
SQW	- Square Wave Output
V_{CC}	- +5 Volt Supply
GND	- Ground

DESCRIPTION

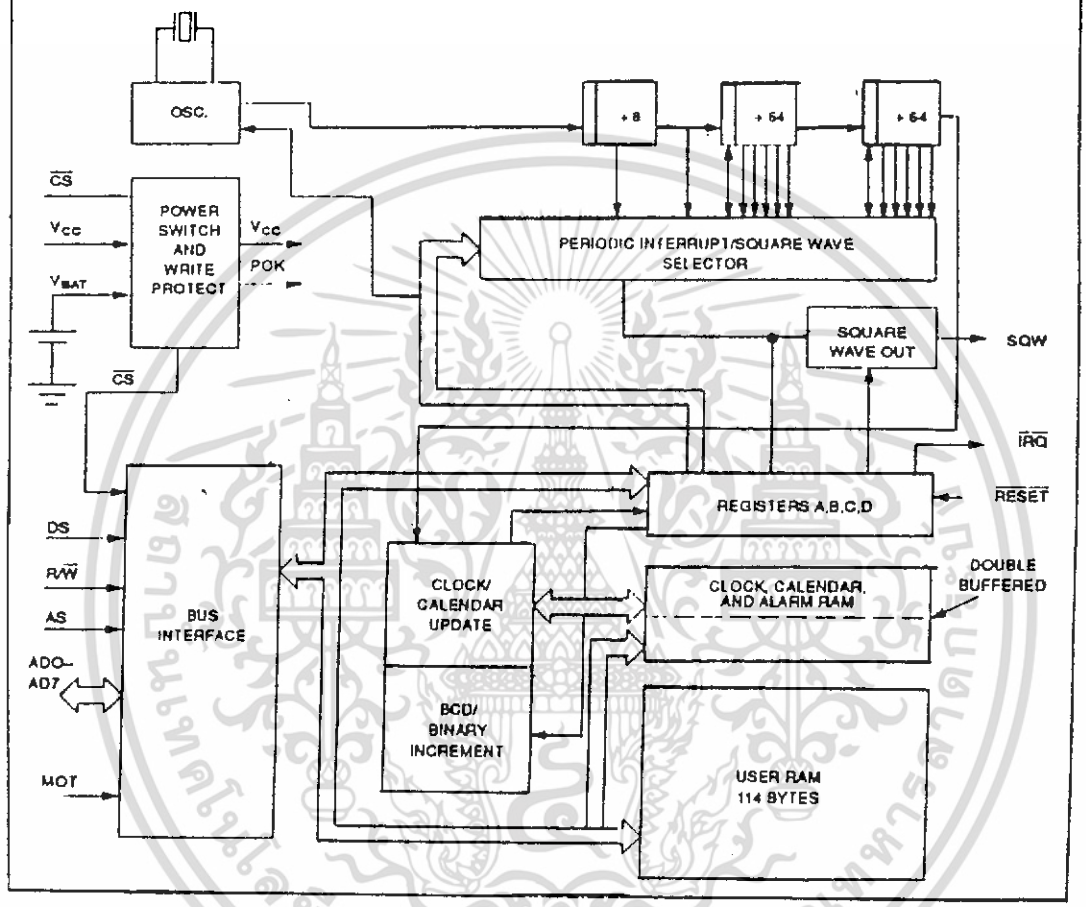
The DS12887 Real Time Clock plus RAM is designed to be a direct replacement for the DS1287. The DS12887 is identical in form, fit, and function to the DS1287, and has an additional 64 bytes of general purpose RAM. Access to this additional RAM space is determined by the logic level presented on AD6 during the address portion of an access cycle. A lithium energy source, quartz crystal, and write protection circuitry are contained within a 24-pin dual-in-line package. As such, the DS12887 is a complete subsystem replacing 16 components in a typical application. The functions include a nonvolatile time-of-day clock, an alarm, a one-hundred-year calendar, programmable interrupt, square wave generator, and 114 bytes of nonvolatile static RAM. The real time clock is distinctive in that time-of-day and memory are maintained even in the absence of power.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION

The block diagram in Figure 1 shows the pin connections with the major internal functions of the DS12887. The following paragraphs describe the function of each pin.

FIGURE 1: BLOCK DIAGRAM DS12887



OWN/POWER-UP IONS

ck function will continue to operate system to stabilize after power is applied. When falls below 4.25 volts, the chip select input is forced to an inactive level regardless of the va at the input pin. The DS12887 is, therefo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

GND, V_{CC} - DC power is provided to the device on these pins. V_{CC} is the +5 volt input. When 5 volts are applied within normal limits, the device is fully accessible and data can be written and read. When V_{CC} is below 4.25 volts typical, reads and writes are inhibited. However, the timekeeping function continues unaffected by the lower input voltage. As V_{CC} falls below 3 volts typical, the RAM and timekeeper are switched over to an internal lithium energy source. The timekeeping function maintains an accuracy of ±1 minute per month at 25°C regardless of the voltage input on the V_{CC} pin.

MOT (Mode Select) - The MOT pin offers the flexibility to choose between two bus types. When connected to V_{CC}, Motorola bus timing is selected. When connected to GND or left disconnected, Intel bus timing is selected. The pin has an internal pull-down resistance of approximately 20 KΩ.

SQW (Square Wave Output) - The SQW pin can output a signal from one of 13 taps provided by the 15 internal divider stages of the Real Time Clock. The frequency of the SQW pin can be changed by programming Register A as shown in Table 1. The SQW signal can be turned on and off using the SQWE bit in Register B. The SQW signal is not available when V_{CC} is less than 4.25 volts typical.

TABLE 1: PERIODIC INTERRUPT RATE AND SQUARE WAVE OUTPUT FREQUENCY

SELECT BITS REGISTER A				t_{PI} PERIODIC	SQW OUTPUT
RS3	RS2	RS1	RS0	INTERRUPT RATE	FREQUENCY
0	0	0	0	None	None
0	0	0	1	3.90625 ms	256 Hz
0	0	1	0	7.8125 ms	128 Hz
0	0	1	1	122.070 µs	8.192 kHz
0	1	0	0	244.141 µs	4.096 kHz
0	1	0	1	488.281 µs	2.048 kHz
0	1	1	0	976.5625 µs	1.024 kHz
0	1	1	1	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz

AD0-AD7 (Multiplexed Bidirectional Address/Data Bus) - Multiplexed buses save pins because address information and data information time share the same signal paths. The addresses are present during the first portion of the bus cycle and the same pins and signal paths are used for data in the second portion of the cycle. Address/data multiplexing does not slow the access time of the DS12887 since the bus change from address to data occurs during the internal RAM access time. Addresses must be valid prior to the falling edge of AS/ALE, at which time the DS12887 latches the address from AD0 to AD6. Valid write data must be present and held stable during the latter portion of the DS or $\overline{WR}$ pulses. In a read cycle the DS12887 outputs 8 bits of data during the latter portion of the DS or $\overline{RD}$ pulses. The read cycle is terminated and the bus returns to a high impedance state as DS transitions low in the case of Motorola timing or as $\overline{RD}$ transitions high in the case of Intel timing.

AS (Address Strobe Input) - A positive going address strobe pulse serves to demultiplex the bus. The falling edge of AS/ALE causes the address to be latched within the DS12887.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS (Data Strobe or Read Input) - The DS/RD pin has two modes of operation depending on the level of the MOT pin. When the MOT pin is connected to V_{CC}, Motorola bus timing is selected. In this mode DS is a positive pulse during the latter portion of the bus cycle and is called Data Strobe. During read cycles, DS signifies the time that the DS12887 is to drive the bidirectional bus. In write cycles the trailing edge of DS causes the DS12887 to latch the written data. When the MOT pin is connected to GND, Intel bus timing is selected. In this mode the DS pin is called Read($\overline{RD}$). $\overline{RD}$ identifies the time period when the DS12887 drives the bus with read data. The $\overline{RD}$ signal is the same definition as the Output Enable ($\overline{OE}$) signal on a typical memory.

R/$\overline{W}$ (Read/Write Input)-The R/$\overline{W}$ pin also has two modes of operation. When the MOT pin is connected to V_{CC} for Motorola timing, R/$\overline{W}$ is at a level which indicates whether the current cycle is a read or write. A read cycle is indicated with a high level on R/$\overline{W}$ while DS is high. A write cycle is indicated when R/$\overline{W}$ is low during DS.

When the MOT pin is connected to GND for Intel timing, the R/$\overline{W}$ signal is an active low signal called $\overline{WR}$. In this mode the R/$\overline{W}$ pin has the same meaning as the Write Enable signal ($\overline{WE}$) on generic RAMs.

$\overline{CS}$ (Chip Select Input) - The Chip Select signal must be asserted low for a bus cycle in the DS12887 to be accessed. $\overline{CS}$ must be kept in the active state during DS and AS for Motorola timing and during $\overline{RD}$ and $\overline{WR}$ for Intel timing. Bus cycles which take place without asserting $\overline{CS}$ will latch addresses but no access will occur. When V_{CC} is below 4.25 volts, the DS12887 internally inhibits access cycles by internally disabling the $\overline{CS}$ input. This action protects both the real time clock data and RAM data during power outages.

$\overline{IRQ}$ (Interrupt Request Output) - The $\overline{IRQ}$ pin is an active low output of the DS12887 that can be used as an interrupt input to a processor. The $\overline{IRQ}$ output remains low as long as the status bit causing the interrupt is present and the corresponding interrupt-enable bit is set. To clear the $\overline{IRQ}$ pin the processor program normally reads the C register. The $\overline{RESET}$ pin also clears pending interrupts.

When no interrupt conditions are present, the $\overline{IRQ}$ level is in the high impedance state. Multiple interrupting devices can be connected to an $\overline{IRQ}$ bus. The $\overline{IRQ}$ bus is an open drain output and requires an external pull-up resistor.

$\overline{RESET}$ (Reset Input) - The $\overline{RESET}$ pin has no effect on the clock, calendar, or RAM. On power-up the $\overline{RESET}$ pin can be held low for a time in order to allow the power supply to stabilize. The amount of time that $\overline{RESET}$ is held low is dependent on the application. However, if $\overline{RESET}$ is used on power-up, the time $\overline{RESET}$ is low should exceed 200 ms to make sure that the internal timer that controls the DS12887 on power-up has timed out. When $\overline{RESET}$ is low and V_{CC} is above 4.25 volts, the following occurs:

A. Periodic Interrupt Enable (PEI) bit is cleared to zero.

B. Alarm Interrupt Enable (AIE) bit is cleared to zero.

C. Update Ended Interrupt Flag (UF) bit is cleared to zero.

D. Interrupt Request Status Flag (IRQF) bit is cleared to zero.

E. Periodic Interrupt Flag (PF) bit is cleared to zero.

F. The device is not accessible until $\overline{RESET}$ is returned high.

G. Alarm Interrupt Flag (AF) bit is cleared to zero.

H. $\overline{IRQ}$ pin is in the high impedance state.

I. Square Wave Output Enable ($\overline{SQWE}$) bit is cleared to zero.

J. Update Ended Interrupt Enable (UIE) is cleared to zero.

In a typical application $\overline{RESET}$ can be connected to V_{CC}. This connection will allow the DS12887 to go in and out of power fail without affecting any of the control registers.

ADDRESS MAP

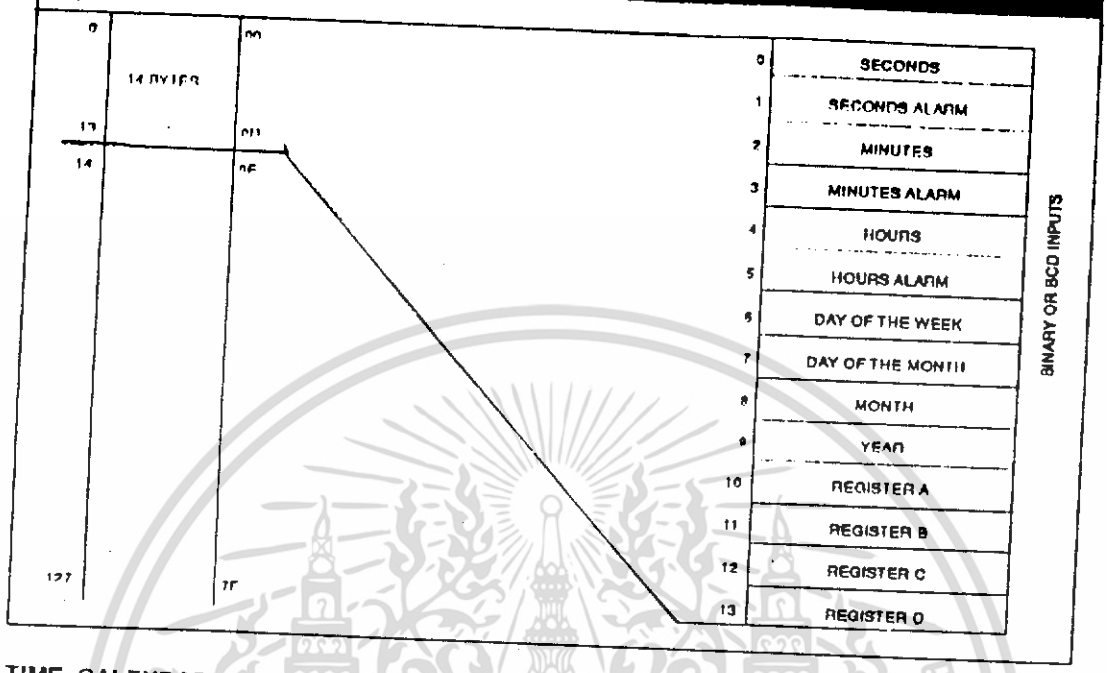
The address map of the DS12887 is shown in Figure 2. The address map consists of 114 bytes of user RAM, 10 bytes of RAM that contain the RTC time, calendar, and alarm data, and four bytes which are used for control and status. All 128 bytes can be directly written or read except for the following:

1. Registers C and D are read-only.
2. Bit 7 of Register A is read-only.
3. The high order bit of the seconds byte is read-only.

The contents of four registers (A,B,C, and D) are described in the "Registers" section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2: ADDRESS MAP DS12887



TIME, CALENDAR AND ALARM LOCATIONS

The time and calendar information is obtained by reading the appropriate memory bytes. The time, calendar, and alarm are set or initialized by writing the appropriate RAM bytes. The contents of the ten time, calendar, and alarm bytes can be either Binary or Binary Coded Decimal (BCD) format. Before writing the internal time, calendar, and alarm registers, the SET bit in Register B should be written to a logic one to prevent updates from occurring while access is being attempted. In addition to writing the ten time, calendar, and alarm registers in a selected format (binary or BCD), the data mode bit (DM) of Register B must be set to the appropriate logic level. All ten time, calendar, and alarm bytes must use the same data mode. The set bit in Register B should be cleared after the data mode bit has been written to allow the real time clock to update the time and calendar bytes. Once initialized, the real time clock makes all updates in the selected mode. The data mode cannot be changed without reinitializing the ten data bytes. Table 2 shows the binary and BCD formats of the ten time, calendar, and alarm locations. The 24-12 bit cannot be changed without reinitializing the hour locations. When the 12-hour format is selected, the high order bit of the hours byte represents PM when it is a logic one. The time, calendar, and alarm bytes are always accessible because they are double buffered. Once per second the ten bytes are advanced by one second and checked for an alarm condition. If a read of the time and calendar data occurs during an update, a problem exists where seconds, minutes, hours, etc. may not correlate. The probability of reading incorrect time and calendar data is low. Several methods of avoiding any possible incorrect time and calendar reads are covered later in this text.

The three alarm bytes can be used in two ways. First, when the alarm time is written in the appropriate hours, minutes, and seconds alarm locations, the alarm interrupt is initiated at the specified time each day if the alarm enable bit is high. The second use condition is to insert a "don't care" state in one or more of the three alarm bytes. The "don't care" code is any hexadecimal value from C0 to FF. The two most significant bits of each byte set the "don't care" condition when at logic 1. An alarm will be generated each hour when the "don't care" bits are set in the hours byte. Similarly, an alarm is generated every minute with "don't care" codes in the hours and minute alarm bytes. The "don't care" codes in all three alarm bytes create an interrupt every second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2: TIME, CALENDAR AND ALARM DATA MODES

ADDRESS LOCATION	FUNCTION	DECIMAL RANGE	RANGE	
			BINARY DATA MODE	BCD DATA MODE
0	Seconds	0-59	00 3B	00 59
1	Seconds Alarm	0-59	00 3B	00 59
2	Minutes	0-59	00 3B	00 59
3	Minutes Alarm	0-59	00 3B	00 59
4	Hours-12-hr Mode	1-12	01 0C AM, 81-8C PM	01-12AM,81-92PM
	Hours-24-hr Mode	0-23	00-17	00 23
5	Hours Alarm-12-hr	1-12	01-0C AM, 81-8C PM	01-12AM,81-92PM
	Hours Alarm-24 hr	0-23	00-17	00 23
6	Day of the Week Sunday = 1	1-7	01-07	01 07
7	Date of the Month	1-31	01-1F	01-31
8	Month	1-12	01-0C	01-12
9	Year	0-99	00-63	00 99

NONVOLATILE RAM

The 114 general purpose nonvolatile RAM bytes are not dedicated to any special function within the DS12887. They can be used by the processor program as nonvolatile memory and are fully available during the update cycle.

INTERRUPTS

The RTC plus RAM includes three separate, fully automatic sources of interrupt for a processor. The alarm interrupt can be programmed to occur at rates from once per second to once per day. The periodic interrupt can be selected for rates from 500 ms to 122 µs. The update-ended interrupt can be used to indicate to the program that an update cycle is complete. Each of these independent interrupt conditions is described in greater detail in other sections of this text.

The processor program can select which interrupts, if any, are going to be used. Three bits in Register B enable the interrupts. Writing a logic 1 to an interrupt-enable bit permits that interrupt to be initiated when the event occurs. A zero in an interrupt-enable bit prohibits the $\overline{IRQ}$ pin from being asserted from that interrupt condition. If an interrupt flag is already set when an interrupt is enabled, $\overline{IRQ}$ is immediately set at an active level, although the interrupt initiating the event may have occurred much earlier. As a result, there are cases where the program should clear such earlier initiated interrupts before first enabling new interrupts.

When an interrupt event occurs, the relating flag bit is set to logic 1 in Register C. These flag bits are set independent of the state of the corresponding enable bit in Register B. The flag bit can be used in a polling mode without enabling the corresponding enable bits. The interrupt flag bit is a status bit which software can interrogate as necessary. When a flag is set, an indication is given to software that an interrupt event has occurred since the flag bit was last read; however, care should be taken when using the flag bits as they are cleared each time Register C is read. Double latching is included with Register C so that bits which are set remain stable throughout the read cycle. All bits which are set (high) are cleared when read and new interrupts which are pending during the read cycle are held until after the cycle is completed. One, two, or three bits can be set when reading Register C. Each utilized flag bit should be examined when read to ensure that no interrupts are lost.

The second flag bit usage method is with fully enabled interrupts. When an interrupt flag bit is set and the corresponding interrupt enable bit is also set, the $\overline{IRQ}$ pin is asserted low. $\overline{IRQ}$ is asserted as long as at least one of the three interrupt sources has its flag and enable bits both set. The IRQF bit in Register C is a one whenever the $\overline{IRQ}$ pin is being driven low. Determination that the RTC initiated an interrupt is accomplished by reading Register C. A logic one in bit 7 (IRQF bit) indicates that one or more interrupts have been initiated by the DS12887. The act of reading Register C clears all active flag bits and the IRQF bit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CONTROL BITS

When the DS12887 is shipped from the factory, the internal oscillator is turned off. This feature prevents the lithium energy cell from being used until it is installed in a system. A pattern of 010 in bits 4 through 6 of Register A will turn the oscillator on and enable the countdown chain. A pattern of 11X will turn the oscillator on, but holds the countdown chain of the oscillator in reset. All other combinations of bits 4 through 6 keep the oscillator off.

SQUARE WAVE OUTPUT SELECTION

Thirteen of the 15 divider taps are made available to a 1-of-15 selector, as shown in the block diagram of Figure 1. The first purpose of selecting a divider tap is to generate a square wave output signal on the SQW pin. The RS0-RS3 bits in Register A establish the square wave output frequency. These frequencies are listed in Table 1. The SQW frequency selection shares its 1-of-15 selector with the periodic interrupt generator. Once the frequency is selected, the output of the SQW pin can be turned on and off under program control with the square wave enable bit (SQWE).

PERIODIC INTERRUPT SELECTION

The periodic interrupt will cause the IRQ pin to go to an active state from once every 500 ms to once every 122 µs. This function is separate from the alarm interrupt which can be output from once per second to once per day. The periodic interrupt rate is selected using the same Register A bits which select the square wave frequency (see Table 1). Changing the Register A bits affects both the square wave frequency and the periodic interrupt output. However, each function has a separate enable bit in Register B. The SQWE bit controls the square wave output. Similarly, the periodic interrupt is enabled by the PIE bit in Register B. The periodic interrupt can be used with software counters to measure inputs, create output intervals, or await the next needed software function.

UPDATE CYCLE

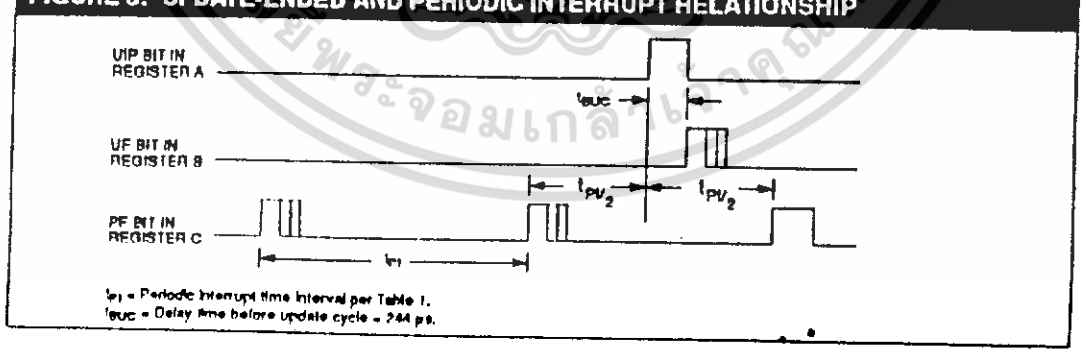
The DS12887 executes an update cycle once per second regardless of the SET bit in Register B. When the SET bit in Register B is set to one, the user copy of the double buffered time, calendar, and alarm bytes is frozen and will not update as the time increments. However, the time countdown chain continues to update the internal copy of the buffer. This feature allows time to maintain accuracy independent of reading or writing the time, calendar, and alarm buffers and also guarantees that time and calendar information is consistent. The update cycle also compares each alarm byte with the corresponding time byte and issues an alarm if a match or if a "don't care" code is present in all three positions.

There are three methods that can handle access of the real time clock that avoid any possibility of accessing inconsistent time and calendar data. The first method uses the update-ended interrupt. If enabled, an interrupt occurs after every up date cycle that indicates that over 999 ms are available to read valid time and date information. If this interrupt is used, the IRQF bit in Register C should be cleared before leaving the interrupt routine.

A second method uses the update-in-progress bit (UIP) in Register A to determine if the update cycle is in progress. The UIP bit will pulse once per second. After the UIP bit goes high, the update transfer occurs 244 µs later. If a low is read on the UIP bit, the user has at least 244 µs before the time/calendar data will be changed. Therefore, the user should avoid interrupt service routines that would cause the time needed to read valid time/calendar data to exceed 244 µs.

The third method uses a periodic interrupt to determine if an update cycle is in progress. The UIP bit in Register A is set high between the setting of the PF bit in Register C (see Figure 3). Periodic interrupts that occur at a rate of greater than t_{BUC} allow valid time and date information to be reached at each occurrence of the periodic interrupt. The reads should be complete within 1 (t_{PV_2} + t_{BUC}) to ensure that data is not read during the update cycle.

FIGURE 3: UPDATE-ENDED AND PERIODIC INTERRUPT RELATIONSHIP



t_{RT} = Periodic interrupt time interval per Table 1.
t_{BUC} = Delay time before update cycle = 244 µs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTERS

The DS12887 has four control registers which are accessible at all times, even during the update cycle.

REGISTER A

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0

UIP

The Update In Progress (UIP) bit is a status flag that can be monitored. When the UIP bit is a one, the update transfer will soon occur. When UIP is a zero, the update transfer will not occur for at least 244 µs. The time, calendar, and alarm information in RAM is fully available for access when the UIP bit is zero. The UIP bit is read only and is not affected by $\overline{\text{RESET}}$. Writing the SET bit in Register B to a one inhibits any update transfer and clears the UIP status bit.

DV0, DV1, DV2

These three bits are used to turn the oscillator on or off and to reset the countdown chain. A pattern of 010 is the only combination of bits that will turn the oscillator on and allow the RTC to keep time. A pattern of 11X will enable the oscillator but holds the countdown chain in reset. The next update will occur at 500 ms after a pattern of 010 is written to DV0, DV1, and DV2.

RS3, RS2, RS1, RS0

These four rate-selection bits select one of the 13 taps on the 15-stage divider or disable the divider output. The tap selected can be used to generate an output square wave (SQW pin) and/or a periodic interrupt. The user can do one of the following:

1. Enable the interrupt with the PIE bit;
2. Enable the SQW output pin with the SQWE bit;
3. Enable both at the same time and the same rate; or
4. Enable neither.

Table 1 lists the periodic interrupt rates and the square wave frequencies that can be chosen with the RS bits. These four read/write bits are not affected by $\overline{\text{RESET}}$.

REGISTER B

LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE

SET

When the SET bit is a zero, the update transfer functions normally by advancing the counts once per second. When the SET bit is written to a one, any update transfer is inhibited and the program can initialize the time and calendar bytes without an update occurring in the midst of initializing. Read cycles can be executed in a similar manner. SET is a read/write bit that is not modified by $\overline{\text{RESET}}$ or internal functions of the DS12887.

PIE

The periodic interrupt enable PIE bit is a read/write bit which allows the Periodic Interrupt Flag (PF) bit in Register C to drive the $\overline{\text{IRQ}}$ pin low. When the PIE bit is set to one, periodic interrupts are generated by driving the $\overline{\text{IRQ}}$ pin low at a rate specified by the RS3-RS0 bits of Register A. A zero in the PIE bit blocks the $\overline{\text{IRQ}}$ output from being driven by a periodic interrupt, but the Periodic Flag (PF) bit is still set at the periodic rate. PIE is not modified by any internal DS12887 functions, but is cleared to zero on $\overline{\text{RESET}}$.

AIE

The Alarm Interrupt Enable (AIE) bit is a read/write bit which, when set to a one, permits the Alarm Flag (AF) bit in register C to assert $\overline{\text{IRQ}}$. An alarm interrupt occurs for each second that the three time bytes equal the three alarm bytes including a "don't care" alarm code of binary 11XXXXXX. When the AIE bit is set to zero, the AF bit does not initiate the $\overline{\text{IRQ}}$ signal. The $\overline{\text{RESET}}$ pin clears AIE to zero. The internal functions of the DS12887 do not affect the AIE bit.

UIE

The Update Ended Interrupt Enable (UIE) bit is a read/write that enables the Update End Flag (UF) bit in Register C to assert $\overline{\text{IRQ}}$. The $\overline{\text{RESET}}$ pin going low or the SET bit going high clears to UIE bit.

SQWE

When the Square Wave Enable (SQWE) bit is set to a one, a square wave signal at the frequency set by the rate-selection bits RS3 through RS0 is driven out on a SQW pin. When the SQWE bit is set to zero, the SQW pin is held low; the state of SQWE is cleared by the $\overline{\text{RESET}}$ pin. SQWE is a read/write bit.

DM

The Data Mode (DM) bit indicates whether time and calendar information is in binary or BCD format. The DM bit is set by the program to the appropriate format and can be read as required. This bit is not modified by internal functions or $\overline{\text{RESET}}$. A one in DM signifies binary data while a zero in DM specifies Binary Coded Decimal (BCD) data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

24/12

The 24/12 control bit establishes the format of the hours byte. A one indicates the 24 hour mode and a zero indicates the 12 hour mode. This bit is read/write and is not affected by internal functions of $\overline{RESET}$.

DSE

The Daylight Savings Enable (DSE) bit is a read/write bit which enables two special updates when DSE is set to one. On the first Sunday in April the time increments from 1:59:59 AM to 3:00:00 AM. On the last Sunday in October when the time first reaches 1:59:59 AM it changes to 1:00:00 AM. These special updates do not occur when the DSE bit is a zero. This bit is not affected by internal functions or $\overline{RESET}$.

REGISTER C

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IRQF	PF	AF	UF	0	0	0	0

IRQF

The Interrupt Request Flag (IRQF) bit is set to a one when one or more of the following are true:

PF = PIE = 1
AF = AIE = 1
UF = UIE = 1

That is, IRQF = PF • PIE + AF • AIE + UF • UIE.

Any time the IRQF bit is a one, the $\overline{IRQ}$ pin is driven low. All flag bits are cleared after Register C is read by the program or when the $\overline{RESET}$ pin is low.

PF

The Periodic Interrupt Flag (PF) is a read-only bit which is set to a one when an edge is detected on the selected tap of the divider chain. The RS3 through RS0 bits establish the periodic rate. PF is set to a one independent of the state of the PIE bit. When both PF and PIE are ones, the $\overline{IRQ}$ signal is active and will set the IRQF bit. The PF bit is cleared by a $\overline{RESET}$ or a software read of Register C.

AF

A one in the Alarm Interrupt Flag (AF) bit indicates that the current time has matched the alarm time. If the AIE bit is also a one, the $\overline{IRQ}$ pin will go low and a one will appear in the IRQF bit. A $\overline{RESET}$ or a read of Register C will clear AF.

UF

The Update Ended Interrupt Flag (UF) bit is set after each update cycle. When the UIE bit is set to one, the one in UF causes the IRQF bit to be a one which will assert the $\overline{IRQ}$ pin. UF is cleared by reading Register C or a $\overline{RESET}$.

BIT 0 THROUGH BIT 3

These are unused bits of the status Register C. These bits always read zero and cannot be written.

REGISTER D

MSB LSB

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
VRT	0	0	0	0	0	0	0

VRT

The Valid RAM and Time (VRT) bit is set to the one stat by Dallas Semiconductor prior to shipment. This bit i not writable and should always be a one when read. I a zero is ever present, an exhausted internal lithium en ergy source is indicated and both the contents of th RTC data and RAM data are questionable. This bit i unaffected by $\overline{RESET}$.

BIT 6 THROUGH BIT 0

The remaining bits of Register D are not usable. The cannot be written and, when read, they will always rea zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (0°C TO 70°C, V_{CC} = 4.5V TO 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Cycle Time	t_{CYC}	385		DC	ns	
Pulse Width, DS/E Low or RD/$\overline{WR}$ High	PW_{EL}	150			ns	
Pulse Width, DS/E High or RD/$\overline{WR}$ Low	PW_{EH}	125			ns	
Input Rise and Fall Time	$t_{R,F}$			30	ns	
R/$\overline{W}$ Hold Time	t_{RWH}	10			ns	
R/$\overline{W}$ Setup Time Before DS/E	t_{RWS}	50			ns	
Chip Select Setup Time Before DS, $\overline{WR}$, or $\overline{RD}$	t_{CS}	20			ns	
Chip Select Hold Time	t_{CH}	0			ns	
Read Data Hold Time	t_{DHR}	10		80	ns	
Write Data Hold Time	t_{DHW}	0			ns	
Muxed Address Valid Time to AS/ALE Fall	t_{AST}	30			ns	
Muxed Address Hold Time	t_{AHL}	10			ns	
Delay Time DS/E to AS/ALE Rise	t_{ASD}	25			ns	
Pulse Width AS/ALE High	PW_{ASH}	60			ns	
Delay Time, AS/ALE to DS/E Rise	t_{ASED}	40			ns	
Output Data Delay Time From DS/E or $\overline{RD}$	t_{DDR}	20		120	ns	8
Data Setup Time	t_{DSW}	100			ns	
Reset Pulse Width	t_{RWL}	5			µs	
$\overline{IRQ}$ Release from DS	t_{IRDS}			2	µs	
$\overline{IRQ}$ Release from $\overline{RESET}$	t_{IRR}			2	µs	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

VOLTAGE ON ANY PIN RELATIVE TO GROUND	-0.3V TO +7.0V
OPERATING TEMPERATURE	0°C TO 70°C
STORAGE TEMPERATURE	-40°C TO +70°C
SOLDERING TEMPERATURE	260°C FOR 10 SECONDS

*This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS (0°C TO 70°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Power Supply Voltage	V_{CC}	4.5	5.0	5.5	V	1
Input Logic 1	V_{IH}	2.2		V_{CC}+0.3	V	1
Input Logic 0	V_{IL}	-0.3		+0.8	V	1

DC ELECTRICAL CHARACTERISTICS (0°C TO 70°C, V_{CC} = 4.5 TO 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Power Supply Current	I_{CC1}		7	15	mA	2
Input Leakage	I_{IL}	-1.0		+1.0	µA	3
I/O Leakage	I_{LO}	-1.0		+1.0	µA	4
Input Current	I_{MOT}	-1.0		+500	µA	3
Output @ 2.4V	I_{OH}	-1.0			mA	1,5
Output @ 0.4V	I_{OL}			4.0	mA	1
Write Protect Voltage	V_{TP}	4.0	4.25	4.5	V	

CAPACITANCE (t_A = 25°C)

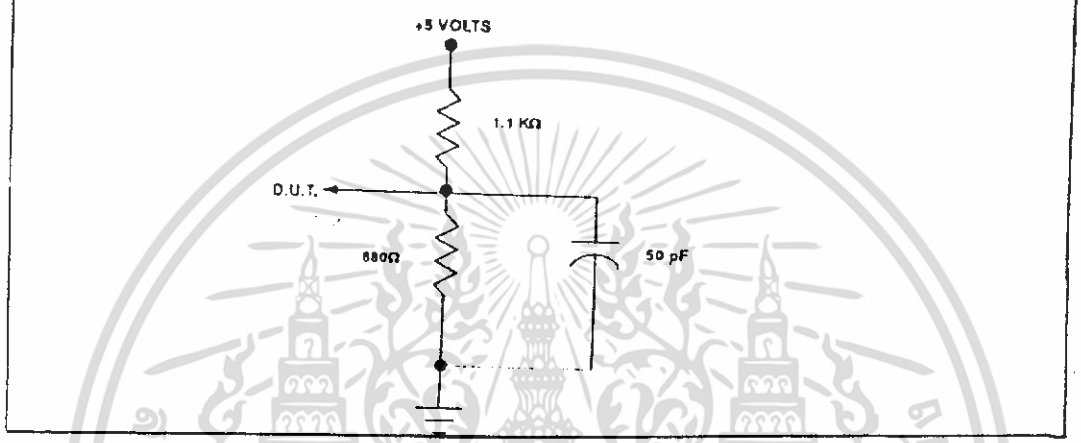
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_{IN}			5	pF	
Output Capacitance	C_{OUT}			7	pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

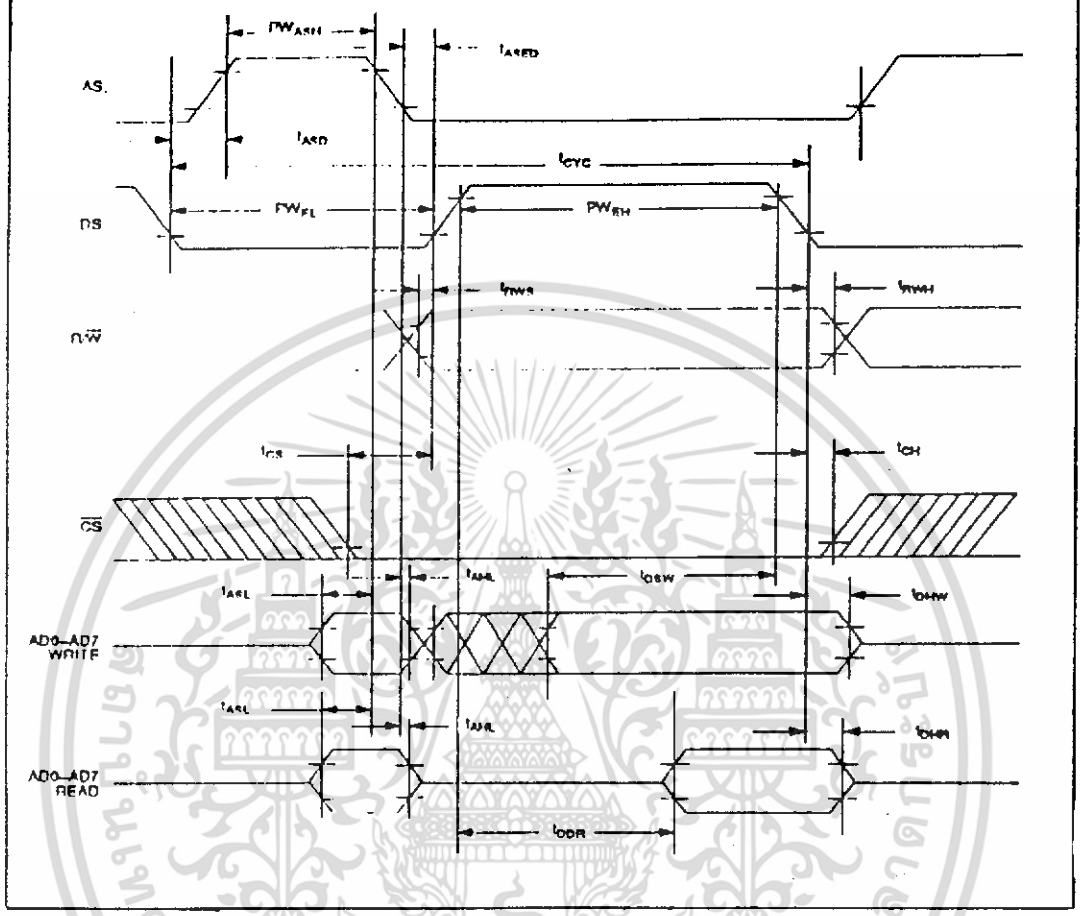
1. All voltages are referenced to ground.
2. All outputs are open.
3. The MOT pin has an internal pulldown of 20 KΩ.
4. Applies to the AD0-AD7 pins, the $\overline{IRQ}$ pin, and the SQW pin when each is in the high impedance state.
5. The $\overline{IRQ}$ pin is open drain.
6. Measured with a load as shown in Figure 4.

FIGURE 4: OUTPUT LOAD



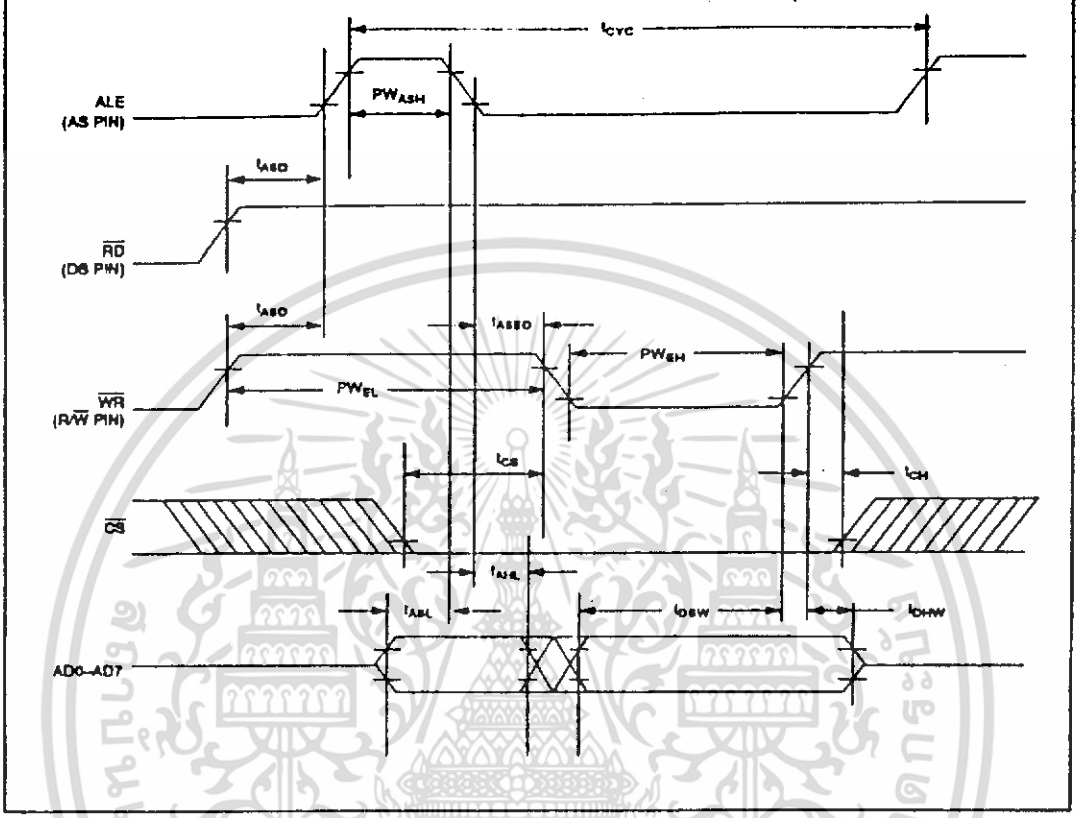
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR MOTOROLA INTERFACE



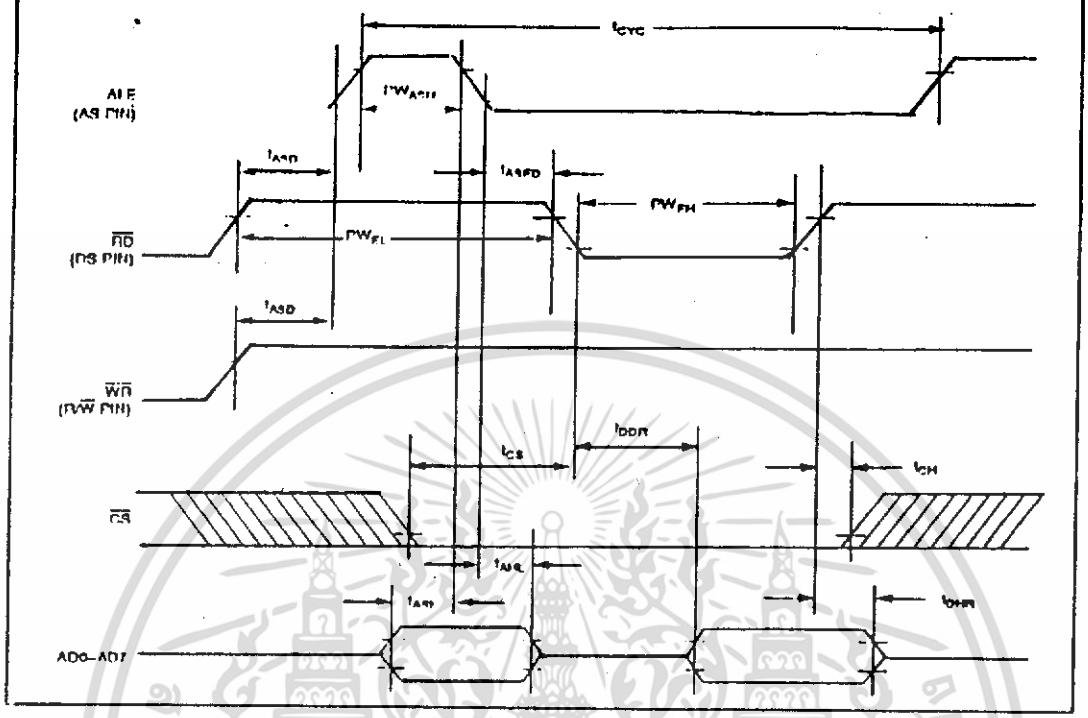
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR INTEL INTERFACE WRITE CYCLE

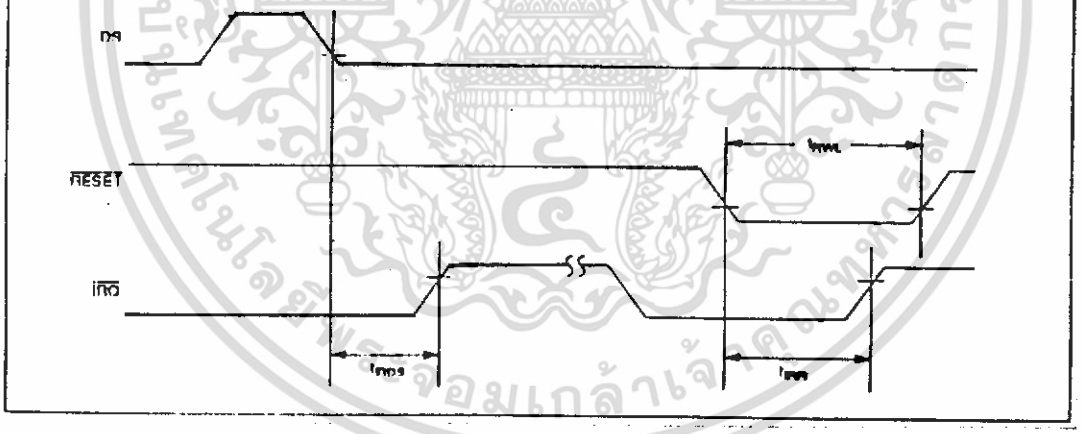


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS12887 BUS TIMING FOR INTEL INTERFACE READ CYCLE

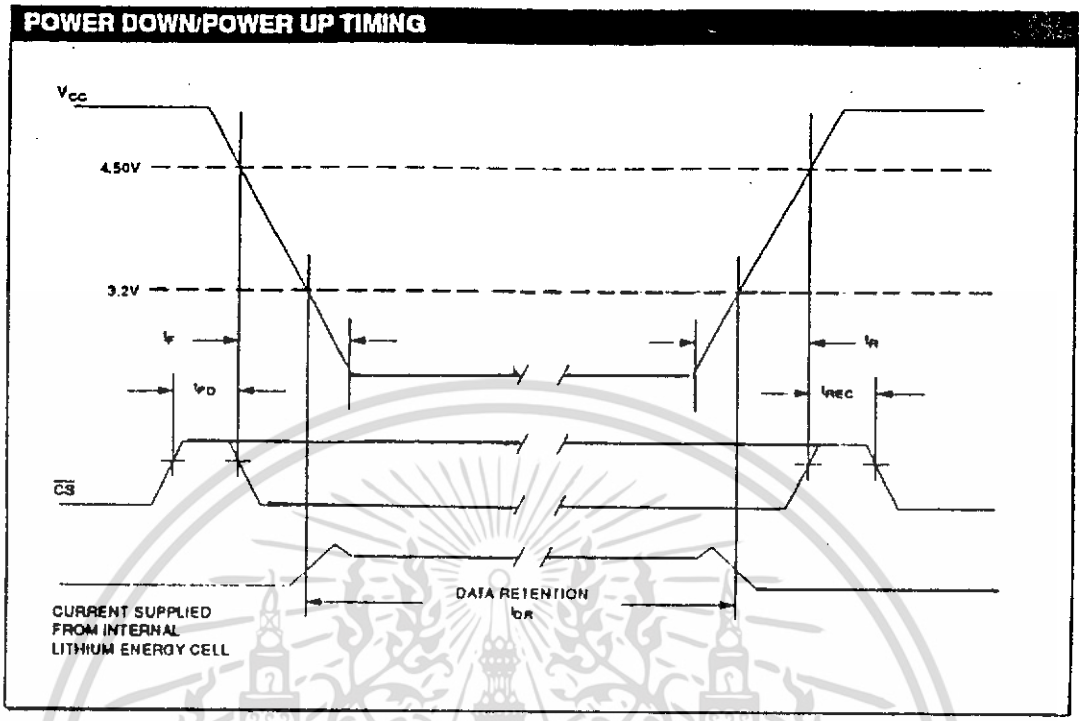


DS12887 IRQ RELEASE DELAY TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER DOWN/POWER UP TIMING



POWER DOWN/POWER UP TIMING

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
$\overline{CS}$ at V_{IH} before Power-Down	t_{PD}	0			µs	
V_{CC} slew from 4.5V to 0V ($\overline{CS}$ at V_{IH})	t_F	300			µs	
V_{CC} slew from 0V to 4.5V ($\overline{CS}$ at V_{IH})	t_R	100			µs	
$\overline{CS}$ at V_{IH} after Power-Up	t_{REC}	20		200	ms	

(t_A = 25°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Expected Data Retention	t_{DR}	10			years	

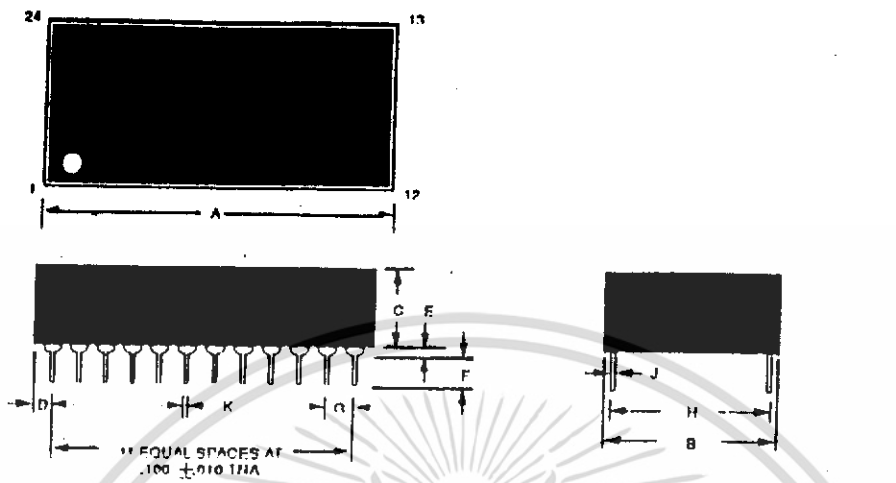
NOTE

The real time clock will keep time to an accuracy of ±1 minute per month during data retention time for the period of t_{DR}.

WARNING

Under no circumstances are negative undershoots, of any amplitude, allowed when device is in battery backup mode.

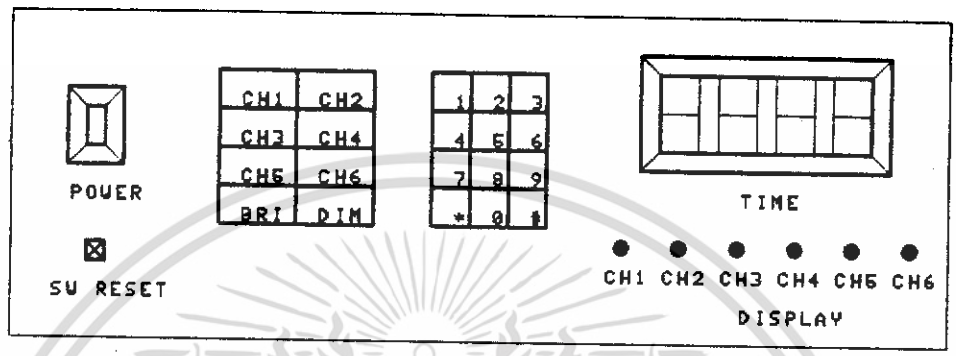
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



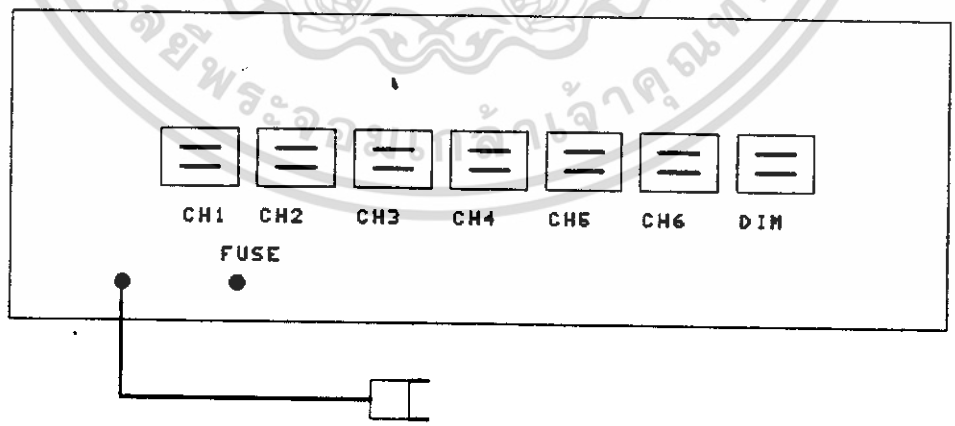
PKG	24-PIN	
DIM	MIN	MAX
A IN. MM	1.220 33.53	1.235 33.91
B IN. MM	0.675 17.15	0.700 17.78
C IN. MM	0.345 8.76	0.370 9.40
D IN. MM	0.100 2.54	0.130 3.30
E IN. MM	0.015 0.38	0.030 0.76
F IN. MM	0.110 2.79	0.140 3.56
G IN MM	0.090 2.29	0.110 2.79
H IN. MM	0.590 14.99	0.630 16.00
J IN. MM	0.008 0.20	0.012 0.30
K IN. MM	0.015 0.38	0.021 0.53

NOTE: PINS 2, 3, 18, 20, 21 AND 22 ARE MISSING BY DESIGN.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหน้าของตัวเครื่อง



รูปที่ 25 แสดงการจัดวางหน้าปัทม์เมื่อมองจากด้านหลังของตัวเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าในโหมดปรกติ

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าทั้ง 6 ช่อง (CHANNEL) ในโหมดปรกติ ทำได้โดยกดสวิทช์ควบคุมของแต่ละช่องซึ่งแยกออกจากกันอย่างอิสระโดยถ้าอุปกรณ์ของช่องนั้นยังปิดอยู่(OFF) เมื่อกดสวิทช์ควบคุมจะเปิด (ON) และถ้าเปิดอยู่เมื่อกดสวิทช์ควบคุม ก็จะปิดอุปกรณ์ไฟฟ้านั้น

การควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าโดยโหมดตั้งเวลา

ปรกติเมื่อเปิดเครื่อง (ON) ที่หน้าปัดจะแสดงเวลาปัจจุบัน(ชั่วโมงและนาที) ทุกๆ 2 วินาที ถ้าเราต้องการจะตั้งเวลาเปิด-ปิดให้กับอุปกรณ์ไฟฟ้า ที่ต่ออยู่กับเต้าเสียบของแต่ละช่อง ก็จะสามารถทำได้ดังนี้

การตั้งเวลาเปิด (SET ON TIME) มีขั้นตอนดังนี้

1. ตรวจสอบดูว่าอุปกรณ์ที่ต่ออยู่กับช่องควบคุมนั้น เปิดหรือปิดอยู่
2. ถ้าเปิดอยู่ให้กดสวิทช์ควบคุมทางช่องควบคุมนั้น เพื่อทำการ ปิด CHANNEL นั้น ถ้าปิดอยู่ให้ผ่านไปทำข้อ 3
3. กดคีย์ * (TIMER) บนคีย์บอร์ดโทรศัพท์ 1 ครั้ง
4. กดตัวเลขเวลา 4 หลักที่ต้องการจะให้อุปกรณ์ไฟฟ้าเปิดหรือเริ่มทำงาน (โหมด 24ชั่วโมง)
5. เมื่อกดตัวเลขครบ 4 หลักแล้ว ที่หน้าปัดเวลา จะแสดงเวลาที่เปิดอุปกรณ์ไฟฟ้านั้นชั่วขณะเพื่อให้ผู้ใช้แน่ใจว่าตั้งเวลาได้ถูกต้อง (อย่าลืมว่าเวลาเป็นโหมด 24 ชั่วโมง) ฉะนั้นตัวเลขหลักแรกที่กดก็คือ 0,1และ 2 เท่านั้น ส่วนหลักที่ 2 คือ 0-9 หลักที่ 3 (นาที) 0-5 หลักที่ 4 0-9 นอกเหนือจากนี้แล้วเมื่อกดตัวเลขครบ 4 หลัก หน้าปัดจะไม่แสดงเวลาเปิดอุปกรณ์และจะไม่สามารถตั้งเวลาเปิดเครื่องได้
6. เมื่อเวลาที่แสดงชั่วขณะบนหน้าปัทม์เวลาตรงตามที่เราต้องการที่เราต้องการแล้วก็กดสวิทช์ CH (CHANNEL)ควบคุม 1 ครั้ง ก็จะเสร็จสิ้นและเครื่องใช้ไฟฟ้าตามเวลาที่เราได้ตั้งเอาไว้
7. ถ้าตัวเลขที่แสดงบนหน้าปัทม์ชั่วขณะนั้นไม่ตรงกับเวลาที่เราต้องการหรืออาจต้องการเปลี่ยนเวลาใหม่ หรือต้องการยกเลิกการตั้งเวาก็ทำได้โดยกดคีย์ * (CANCEL) บนคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์แต่ก็มีข้อแม้ว่าต้องกดก่อนกดสวิทช์ CH (CHANNEL) ควบคุมนั้น

การตั้งเวลา ปิด (SET OFF TIME)มีขั้นตอนปฏิบัติคล้ายกับตั้งเวลาเปิด

1.ตรวจสอบว่า ช่อง (CHANNEL) เปิดหรือปิดอยู่

2.ถ้า ปิดอยู่ให้กดสวิทช์ควบคุม CH นั้น 1 ครั้ง ให้ CH นั้นเปิด ถ้าเปิดอยู่แล้ว ให้ข้ามไปทำข้อ 3

3.กดคีย์ * 1 ครั้ง

4.กดคีย์เวลาที่ต้องการให้อุปกรณ์นั้น ปิด (MODE 24 HOURS)

5.กดสวิทช์ CH นั้นอีกครั้ง (เสร็จสิ้น)

6.ถ้าต้องการยกเลิกเวลากดคีย์ *

การตั้งเวลาปัจจุบันใหม่ให้กับเครื่อง มีขั้นตอนดังนี้

1.กดคีย์ #

2.กดเลขเวลาใหม่ 4 หลัก

3.หน้าปัทม์แสดงเวลาใหม่ชั่วขณะเรียบร้อยแล้ว

4.กดคีย์ # อีกครั้ง (เสร็จ)

การควบคุมการหรี่ไฟ

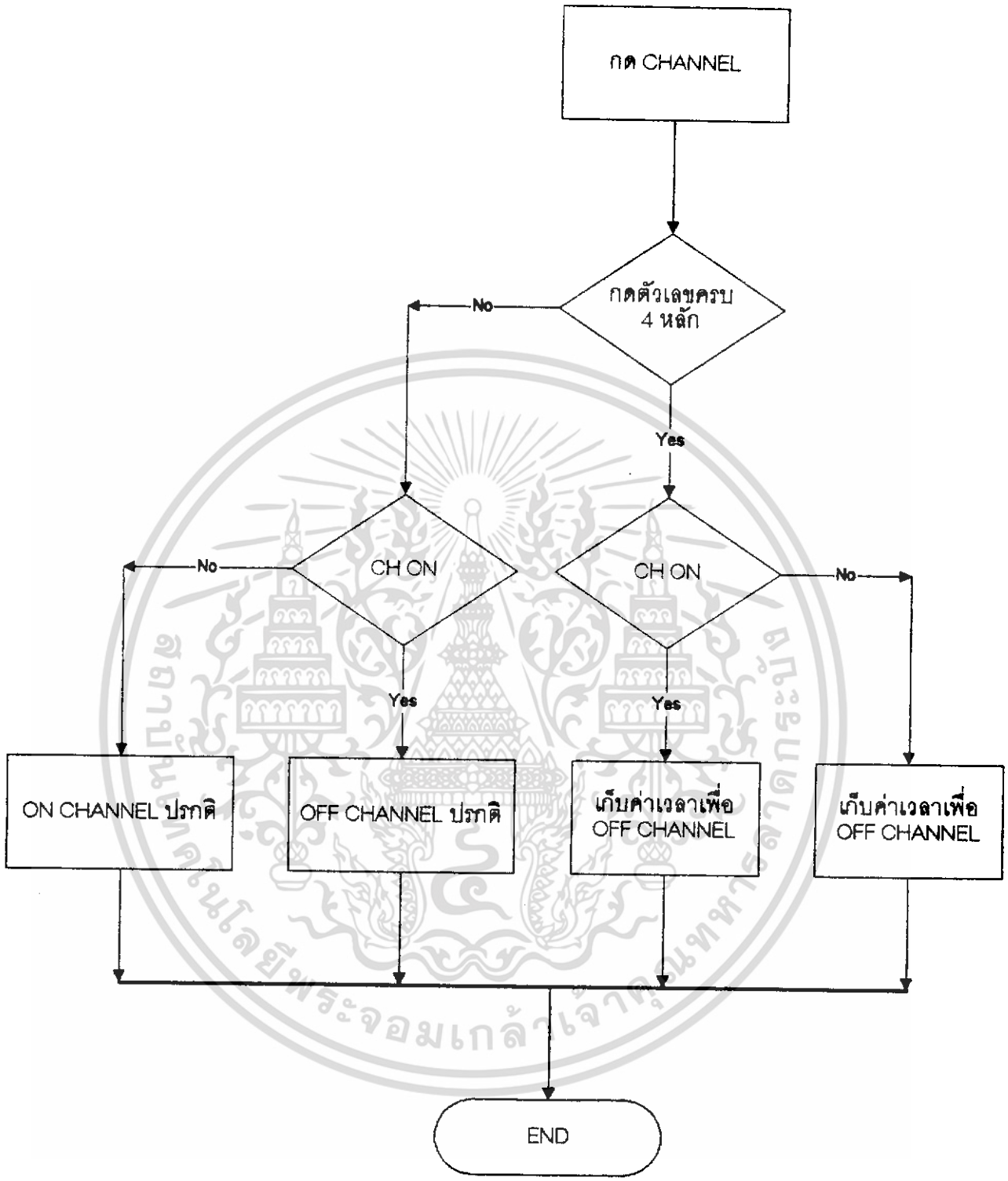
หรี่ไฟ

กดคีย์ DIMMER ค้าง ดูการเปลี่ยนแปลงของหลอดไฟตามที่ต้องการ เพื่อความสว่าง

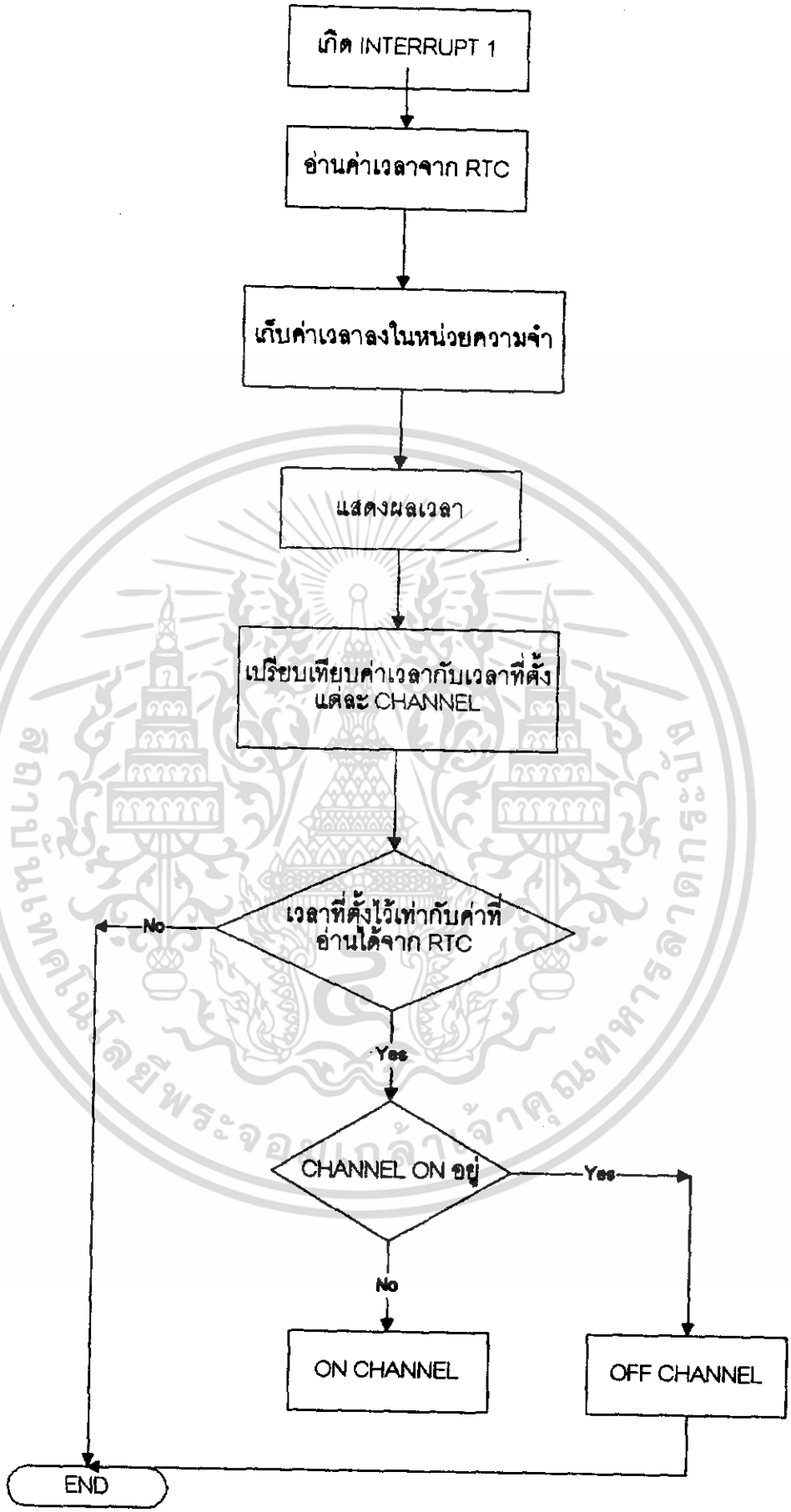
เพิ่มความสว่าง

กดคีย์ BRGT ค้าง ดูการเปลี่ยนแปลงของหลอดไฟ ตามที่ต้องการ

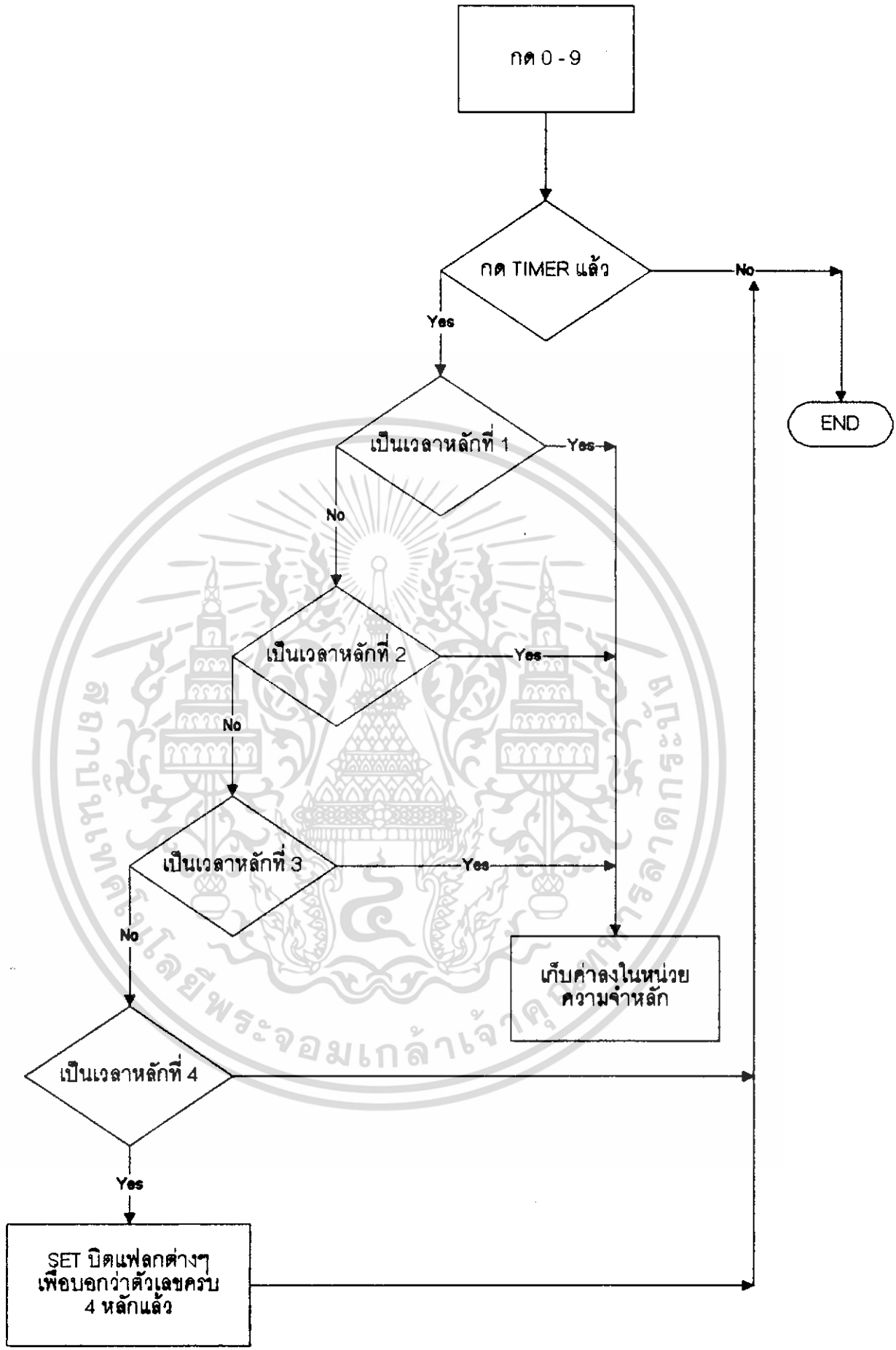
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



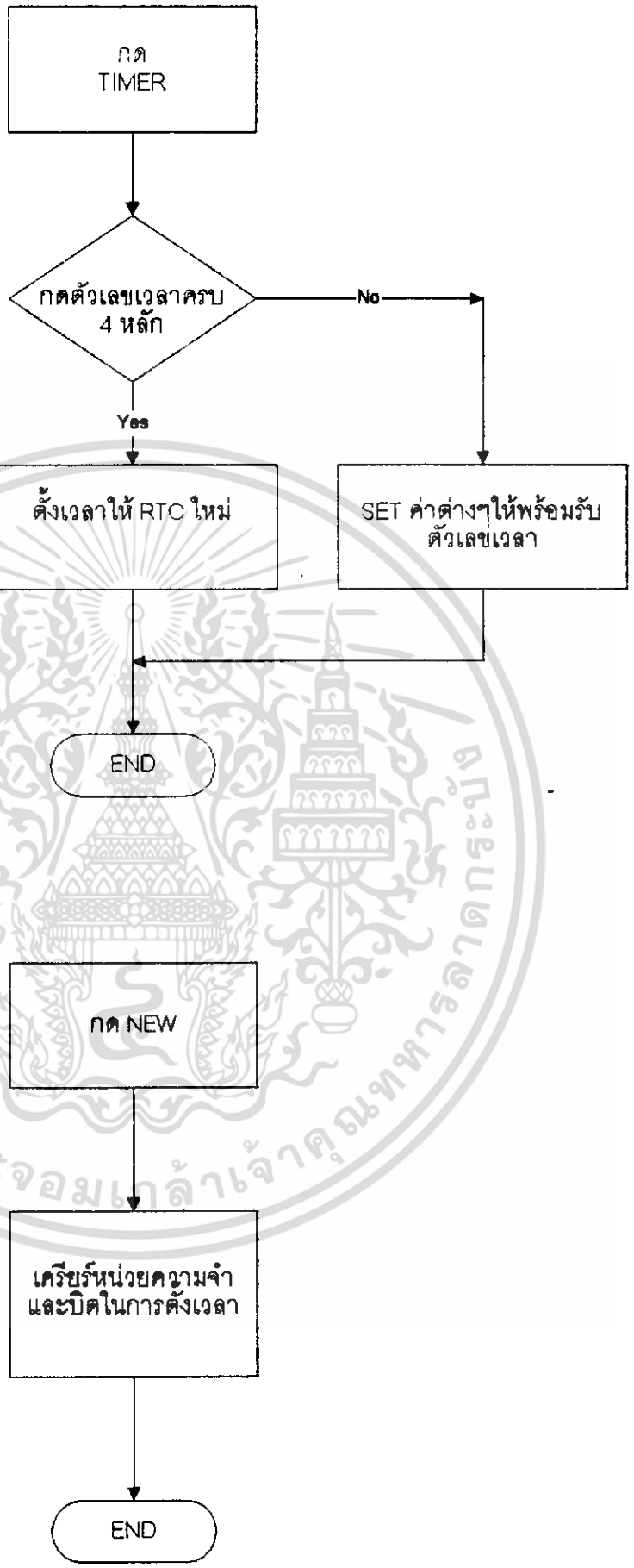
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************************************;
;     PROGRAM CONTROL ELECTRIC APPLIANCE    ;
;*******************************************;
   ORG       0000H
   SJMP      START
   ORG       0003H
   AJMP      INT_0
   ORG       0013H
   LJMP      INT_1
;-----------------------------;

   ORG       0040H
 START:
ZERO       EQU       3FH
ONE        EQU       06H
TWO        EQU       5BH
THREE      EQU       4FH
FOUR       EQU       66 H
FIVE       EQU       6DH
SIX        EQU       7DH
SEVEN      EQU       07H
EIGHT      EQU       7FH
NINE       EQU       6FH
 ;-----------------------------;
TIMEFLG    EQU       00H
OKFLG      EQU       01H
FLG1       EQU       02H
FLG2       EQU       03H
FLG3       EQU       04H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
FLG4        EQU         05H
FLG5        EQU         06H
FLG6        EQU         07H

IGNORE      EQU         0FFH
DIGIT       EQU         0E002H
SEGM        EQU         0E001H
DIMLIGHT    EQU         0E020H
KEYBD       EQU         0E021H
PORTCL1     EQU         0E003H
PORTCL2     EQU         0E023H
SECOND      EQU         0E0C0H
SECALM      EQU         0E0C1H
MINUTE      EQU         0E0C2H
MINALM      EQU         0E0C3H
HOUR        EQU         0E0C4H
HOURALM     EQU         0E0C5H
REG_A       EQU         0E0CAH
REG_B       EQU         0E0CBH
REG_C       EQU         0E0CCH

    SETB    EA
    SETB    EX0
    SETB    EX1
    SETB    PX0
    CLR     PX1
    CLR     IT0
    CLR     IT1
    MOV     20H,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R1,#0FFH
        MOV     DPTR,#PORTCL1
        MOV     A,#80H
        MOVX    @DPTR,A
        MOV     DPTR,#PORTCL2
        MOV     A,#82H
        MOVX    @DPTR,A

        MOV     DPTR,#SEGM
        MOV     A,#00H
        MOVX    @DPTR,A

        MOV     P1,#00H
        MOV     P3,#0FFH

        MOV     DPTR,#DIMLIGHT
        MOV     A,#0FFH
        MOVX    @DPTR,A

        SJMP $

;-------------------------------------------------;

INT_0:
  PUSH    DPL
  PUSH    DPH
  PUSH    02H
  PUSH    03H
  PUSH    05H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PUSH    06H
        PUSH    56H
        PUSH    57H
        PUSH    ACC
        CLR     EA
        MOV     DPTR,#KEYBD     ;READ KEYBOARD
        MOVX    A,@DPTR
        ANL     A,#1FH
KEY0:                           ;SCANKEY
        CJNE    A,#12H,KEY1
        JNB     TIMEFLG,END2
        JB      OKFLG,END2
        CJNE    R0,#00H,KEEP_0
END2:
        AJMP    FINISH
KEEP_0:
        MOV 30H,#00H
POS01:
        CJNE    R0,#04H,POS02
        MOV     41H,30H
        DEC     R0
        AJMP    END2
POS02:
        CJNE    R0,#03H,POS03
        MOV     42H,30 H
        DEC     R0
        AJMP    END2
POS03:
        CJNE    R0,#02H,POS04
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     43H,30H
        DEC     R0
        AJMP    END2
POS04:
        CJNE    R0,#01H,END5
        MOV     44H,30H
        DEC     R0
        CLR     TIMEFLG
        SETB    OKFLG
        AJMP    DISPLAY

KEY1:
        CJNE    A,#00H,KEY2
        JNB     TIMEFLG,END5
        JB      OKFLG,END5
        CJNE    R0,#00H,KEEP_1
        AJMP    END2
KEEP_1:
        MOV     31H,#01H
POS11:
        CJNE    R0,#04H,POS12
        MOV     41H,31H
        DEC     R0
END5:
        AJMP    FINISH
POS12:
        CJNE    R0,#03H,POS13
        MOV     42H,31H
        DEC     R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 AJMP     END5
POS13:
 CJNE     R0,#02H,POS14
 MOV      43H,31H
 DEC      R0
 AJMP     END5
POS14:
 CJNE     R0,#01H,END5
 MOV      44H,31H
 DEC      R0
 CLR      TIMEFLG
 SETB     OKFLG
 AJMP     DISPLAY
KEY2:
 CJNE     A,#02H,KEY3
 JNB      TIMEFLG,END5
 JB       OKFLG,END5
 CJNE     R0,#00H,KEEP_2
 AJMP     END5
KEEP_2:
 MOV      32H,#02H
POS21:
 CJNE     R0,#04H,POS22
 MOV      41H,32H
 DEC      R0
 AJMP     END5
POS22:
 CJNE     R0,#03H,POS23
 MOV      42H,32H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DEC     R0
        AJMP    END5
POS23:
        CJNE    R0,#02H,POS24
        MOV     43H,32H
        DEC     R0
        AJMP    END5
POS24:
        CJNE    R0,#01H,END5
        MOV     44H,32H
        DEC     R0
        CLR     TIMEFLG
        SETB    OKFLG
        AJMP    DISPLAY
KEY3:
        CJNE    A,#01H,KEY4
        JNB     TIMEFLG,END5
        JB      OKFLG,END5
        CJNE    R0,#00H,KEEP_3
        AJMP    END5
KEEP_3:
        MOV     33H,#03H
POS32:
        CJNE    R0,#03H,POS33
        MOV     42H,33H
        DEC     R0
        AJMP    END5
POS33:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 CJNE    R0,#02H,POS34
 MOV     43H,33H
 DEC     R0
END3:
 AJMP    FINISH
POS34:
 CJNE    R0,#01H,END3
 MOV     44H,33H
 DEC     R0
 CLR     TIMEFLG
 SETB    OKFLG
 AJMP    DISPLAY

KEY4:
 CJNE    A,#04H,KEY5
 JNB     TIMEFLG,END3
 JB      OKFLG,END3
 CJNE    R0,#00H,KEEP_4
 AJMP    END3
KEEP_4:
 MOV     34H,#04H
POS42:
 CJNE    R0,#03H,POS43
 MOV     42H,34H
 DEC     R0
 AJMP    END3
POS43:
 CJNE    R0,#02H,POS44
 MOV     43H,34H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 DEC      R0
 AJMP     END3
POS44:

 CJNE     R0,#01H,END3
 MOV      44H,34H
 DEC      R0
 CLR      TIMEFLG
 SETB     OKFLG
AJMP     DISPLAY

KEY5:
 CJNE     A,#07H,KEY6
 JNB      TIMEFLG,END3
 JB       OKFLG,END3
 CJNE     R0,#00H,KEEP_5
 AJMP     END3
KEEP_5:
 MOV      35H,#05H
POS52:
 CJNE     R0,#03H,POS53
 MOV      42H,35H
 DEC      R0
 AJMP     END3
POS53:
 CJNE     R0,#02H,POS54
 MOV      43H,35H
 DEC      R0
 AJMP     END3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
POS54:
 CJNE    R0,#01H,END3
 MOV     44H,35H
 DEC     R0
 CLR     TIMEFLG
 SETB    OKFLG
 AJMP    DISPLAY
KEY6:
 CJNE    A,#05H,KEY7
 JNB     TIMEFLG,END3
 JB      OKFLG,END3
 CJNE    R0,#00H,KEEP_6
 AJMP    END4
KEEP_6:
 MOV     36H,#06H
POS62:

CJNE    R0,#03H,POS64
 MOV     42H,36H
 DEC     R0
 AJMP    END4
POS64:
 CJNE    R0,#01H,END4
 MOV     44H,36H
 DEC     R0
 CLR     TIMEFLG
 SETB    OKFLG
 AJMP    DISPLAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
KEY7:
   CJNE     A,#08H,KEY8
  JNB       TIMEFLG,END4
  JB        OKFLG,END4
  CJNE      R0,#00H,KEEP_7
  AJMP      END4
 KEEP_7:
  MOV       37H,#07 H
 POS72:
  CJNE      R0,#03H,POS74
  MOV       42H,37H
  DEC       R0
  AJMP      END4
 POS74:
  CJNE      R0,#01H,END4
  MOV       44H,37H
  DEC       R0
  CLR       TIMEFLG
  SETB      OKFLG
   AJMP     DISPLAY

KEY8:
  CJNE      A,#0BH,KEY9
  JNB       TIMEFLG,END4
  JB        OKFLG,END4
  CJNE      R0,#00H,KEEP_8
   AJMP     FINISH
KEEP_8:
  MOV       38H,#08H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
POS82:
 CJNE    R0,#03H,POS84
 MOV     42H,38H
 DEC     R0
 AJMP    END4
POS84:
 CJNE    R0,#01H,END4
 MOV     44H,38H
 DEC     R0
 CLR     TIMEFLG
 SETB    OKFLG
 AJMP    DISPLAY

KEY9:
 CJNE    A,#09H,TIMER
 JNB     TIMEFLG,END4
 JB      OKFLG,END4
 CJNE    R0,#00H,KEEP_9
 AJMP    END4
KEEP_9:
 MOV     39H,#09H
POS92:
 CJNE    R0,#03H,POS94
 MOV     42H,39H
 DEC     R0
END4:   AJMP    FINISH
POS94:
 CJNE    R0,#01H,END4
 MOV     44H,39H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DEC     R0
        CLR     TIMEFLG
        SETB    OKFLG
        AJMP    DISPLAY

TIMER:
        CJNE    A,#0DH,CANCLE
        JB      OKFLG,SETRTC
        MOV     R0,#04H
        SETB    TIMEFLG
        AJMP    FINISH
SETRTC:
        MOV     DPTR,#REG_B
        MOV     A,#80H
        MOVX    @DPTR,A
        MOV     DPTR,#SECOND
        MOV     A,#00H
        MOVX    @DPTR,A

        MOV     DPTR,#MINUTE
        MOV     A,47H
        MOVX    @DPTR,A

        MOV     DPTR,#HOUR
        MOV     A,46H
        MOVX    @DPTR,A

        MOV     DPTR,#REG_B
        MOV     A,#23H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVX    @DPTR,A
        CLR     OKFLG
        AJMP    FINISH

CANCLE:
        CJNE    A,#0CH,CH1
        CLR     TIMEFLG
        CLR     OKFLG
        MOV     A,#IGNORE
        MOV     46H,A
        MOV     47H,A
        MOV     R0,#IGNORE
        AJMP    FINISH

CH1:
        CJNE    A,#06H,CH2
        CLR     FLG1
        JNB     OKFLG,NORM1
        MOV     49H,46H
        MOV     4AH,47H
        CLR     OKFLG
        AJMP    FINISH
NORM1:
        MOV     A,#IGNORE
        MOV     49H,A
        MOV     4AH,A
        CPL     P1.0
        AJMP    FINISH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH2:
 CJNE    A,#03H,CH3
 CLR     FLG2
 JNB     OKFLG,NORM2
 MOV     4BH,46H
 MOV     4CH,47H
 CLR     OKFLG
 AJMP    FINISH
NORM2:
 MOV     A,#IGNORE
 MOV     4BH,A
 MOV     4CH,A
 CPL     P1.1
 AJMP    FINISH

CH3:
 CJNE    A,#0EH,CH4
 CLR     FLG3
 JNB     OKFLG,NORM3
 MOV     4DH,46H
 MOV     4EH,47H
 CLR     OKFLG
 AJMP    FINISH
NORM3:
 MOV     A,#IGNORE
 MOV     4DH,A
 MOV     4EH,A
 CPL     P1.2
 AJMP    FINISH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH4:
 CJNE    A,#0AH,CH5
 CLR     FLG4
 JNB     OKFLG,NORM4
 MOV     4FH,46H
 MOV     50H,47H
 CLR     OKFLG
 AJMP    FINISH
NORM4:
 MOV     A,#IGNORE
 MOV     4FH,A
 MOV     50H,A
 CPL     P1.3
 AJMP    FINISH
CH5:
 CJNE    A,#10H,CH6
 CLR     FLG5
 JNB     OKFLG,NORM5
 MOV     51H,46H
 MOV     52H,47H
 CLR     OKFLG
 AJMP    FINISH
NORM5:
 MOV     A,#IGNORE
 MOV     51H,A
 MOV     52H,A
 CPL     P1.4
 AJMP    FINISH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH6:
 CJNE    A,#0FH,DIMMR
 CLR     FLG6
 JNB     OKFLG,NORM6
 MOV     53H,46H
 MOV     54H,47H
 CLR     OKFLG
 AJMP    FINISH
NORM6:
 MOV     A,#IGNORE
 MOV     53H,A
 MOV     54H,A
 CPL     P1.5
 AJMP    FINISH
DIMMR:
 CJNE    A,#11H,BRIGHT
 CJNE    R1,#0FFH,DOWN
 AJMP    FINISH
DOWN:
 INC     R1
 ACALL   DELAY
 MOV     DPTR,#DIMLIGHT
 MOV     A,R1
 MOVX    @DPTR,A
 JB      P3.2,FINISH
 CJNE    R1,#0FFH,DOWN
 AJMP    FINISH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
BRIGHT:
  CJNE    A,#13H,FINISH
  CJNE    R1,#00H,UP
  SJMP    FINISH
UP:
  DEC     R1
  ACALL   DELAY
  MOV     DPTR,#DIMLIGHT
  MOV     A,R1
  MOVX    @DPTR,A
  JB      P3.2,FINISH
  CJNE    R1,#00H,UP

FINISH:
  JNB     P3.2,FINISH
  POP     ACC
  POP     57H
  POP     56H
  POP     06H
  POP     05H
  POP     03H
  POP     02H
  POP     DPH
  POP     DPL
  SETB    EA

  RETI

DELAY:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R2,#0FFH
DL1:    MOV     R3,#07FH
DL2:    DJNZ    R3,DL2
        DJNZ    R2,DL1
        RET

DISPLAY:
        MOV     R6,#24H
LOOP:   MOV     R4,#00H
        MOV     DPTR,#DIGIT
        MOV     A,R4
        MOVX    @DPTR,A
        INC     R4
        MOV     A,41H
        ANL     A,#0FH
        MOV     R5,A
        ACALL   SHOW

        MOV     DPTR,#DIGIT
        MOV     A,R4
        MOVX    @DPTR,A
        INC     R4
        MOV     A,42H
        ANL     A,#0FH
        MOV     R5,A
        ACALL   SHOW

        MOV     DPTR,#DIGIT
        MOV     A,R4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOVX    @DPTR,A
INC     R4
MOV     A,43H
ANL     A,#0FH
MOV     R5,A
ACALL   SHOW

MOV     DPTR,#DIGIT
MOV     A,R4
MOVX    @DPTR,A
INC     R4
MOV     A,44H
ANL     A,#0FH
MOV     R5,A
ACALL   SHOW
DJNZ    R6,LOOP
MOV     R4,#0FFH
MOV     DPTR,#DIGIT
MOV     A,R4
MOVX    @DPTR,A
MOV     DPTR,#SEGM
MOV     A,#00H
MOVX    @DPTR,A

PUSH    00H
MOV     A,41H
SWAP    A
MOV     R0,#42H
XCHD    A,@R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     46H,A

        MOV     A,43H
        SWAP    A
        MOV     R0,#44H
        XCHD    A,@R0
        MOV     47H,A

        POP     00H
        LJMP    FINISH

    SHOW:
        CJNE    R5,#00H,NUM1
        MOV     DPTR,#SEGM
        MOV     A,#ZERO
        MOVX    @DPTR,A
        SJMP    DELAY2
    NUM1:
        CJNE    R5,#01H,NUM2
        MOV     DPTR,#SEGM
        MOV     A,#ONE
        MOVX    @DPTR,A
        AJMP    DELAY2
   NUM2:
        CJNE    R5,#02H,NUM3
        MOV     DPTR,#SEGM
        MOV     A,#TWO
        MOVX    @DPTR,A
        AJMP    DELAY2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NUM3:
   CJNE    R5,#03H,NUM4
   MOV     DPTR,#SEGM
   MOV     A,#THREE
   MOVX    @DPTR,A
   AJMP    DELAY2
NUM4:
   CJNE    R5,#04H,NUM5
   MOV     DPTR,#SEGM
   MOV     A,#FOUR
   MOVX    @DPTR,A
   AJMP    DELAY2
NUM5:
   CJNE    R5,#05H,NUM6
   MOV     DPTR,#SEGM
   MOV     A,#FIVE
   MOVX    @DPTR,A
   AJMP    DELAY2
NUM6:
   CJNE    R5,#06H,NUM7
   MOV     DPTR,#SEGM
   MOV     A,#SIX
   MOVX    @DPTR,A
   AJMP    DELAY2
NUM7:
   CJNE    R5,#07H,NUM8
   MOV     DPTR,#SEGM
   MOV     A,#SEVEN
   MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SJMP    DELAY2
NUM8:
        CJNE    R5,#08H,NUM9
        MOV     DPTR,#SEGM
        MOV     A,#EIGHT
        MOVX    @DPTR,A
        SJMP    DELAY2
NUM9:
        CJNE    R5,#09H,RETURN
        MOV     DPTR,#SEGM
        MOV     A,#NINE
        MOVX    @DPTR,A

DELAY2:
        PUSH    02H
        PUSH    03H
        MOV     R2,#07H
AGAIN:  MOV     R3,#0FFH
REP:    DJNZ    R3,REP
        DJNZ    R2,AGAIN
        POP     03H
        POP     02H
RETURN: RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(A81)

```
;***************;
;  INTTERRUPT1  ;
;***************;

INT_1:
  PUSH    02H
  PUSH    03H
  PUSH    05H
  PUSH    06H
  PUSH    ACC
  CLR     EX1
  MOV     R6,#14H
  MOV     DPTR,#MINUTE
  MOVX    A,@DPTR
  MOV     56H,A              ;KEEP MINUTE AT 56H
LOOP2:  MOV     R7,#00H
  MOV     DPTR,#HOUR
  MOVX    A,@DPTR
  MOV     57H,A              ;KEEP HOUR AT 57
  PUSH    ACC
  SWAP    A
  ANL     A,#0FH
  MOV     R5,A
  MOV     DPTR,#DIGIT
  MOV     A,R7
  MOVX    @DPTR,A
  INC     R7
  ACALL   SHOW
  POP     ACC
  ANL     A,#0FH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV     R5,A
MOV     DPTR,#DIGIT
MOV     A,R7
MOVX    @DPTR,A
INC     R7
ACALL   SHOW
MOV     A,56H
PUSH    ACC
SWAP    A
ANL     A,#0FH
MOV     R5,A
MOV     DPTR,#DIGIT
MOV     A,R7
MOVX    @DPTR,A
INC     R7
ACALL   SHOW
POP     ACC
ANL     A,#0FH
MOV     R5,A
MOV     DPTR,#DIGIT
MOV     A,R7
MOVX    @DPTR,A
INC     R7
ACALL   SHOW
DJNZ    R6,LOOP2
MOV     R7,#0FFH
MOV     DPTR,#DIGIT
MOV     A,R7
MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV     DPTR,#SEGM
MOV     A,#00H
MOVX    @DPTR,A
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;*****************************;
        ; ON-OFF CHANNELS WITH TIMER ;
        ;*****************************;
          MOV     A,49H
          CJNE    A,#IGNORE,WORK_1
          SJMP    CHN2
WORK_1:   JB      FLG1,CHN2
          CJNE    A,57H,CHN2
          MOV     A,4AH
          CJNE    A,56H,CHN2
          SETB    FLG1
          CPL     P1.0
CHN2:     MOV     A,4BH
          CJNE    A,#IGNORE,WORK_2
          SJMP    CHN3
WORK_2:   JB      FLG2,CHN3
          CJNE    A,57H,CHN3
          MOV     A,4CH
          CJNE    A,56H,CHN3
          SETB    FLG2
          CPL     P1.1
CHN3:     MOV     A,4DH
          CJNE    A,#IGNORE,WORK_3
          SJMP    CHN4
WORK_3:   JB      FLG3,CHN4
          CJNE    A,57H,CHN4
          MOV     A,4EH
          CJNE    A,56H,CHN4
          SETB    FLG3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CPL     P1.2
CHN4:   MOV     A,4FH
        CJNE    A,#IGNORE,WORK_4
        SJMP    CHN5
WORK_4: JB      FLG4,CHN5
        CJNE    A,57H,CHN5
        MOV     A,50H
        CJNE    A,56H,CHN5
        SETB    FLG4
        CPL     P1.3
CHN5:   MOV     A,51H
        CJNE    A,#IGNORE,WORK_5
        SJMP    CHN6
WORK_5: JB      FLG5,CHN6
        CJNE    A,57H,CHN6
        MOV     A,52H
        CJNE    A,56H,CHN6
        SETB    FLG5
        CPL     P1.4
CHN6:   MOV     A,53H
        CJNE    A,#IGNORE,WORK_6
        SJMP    YES
WORK_6: JB      FLG6,YES
        CJNE    A,57H,YES
        MOV     A,54H
        CJNE    A,56H,YES
        SETB    FLG6
        CPL     P1.5
YES:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
JNB     P3.3,$
SETB    EX1
POP     ACC
POP     06H
POP     05H
POP     03H
POP     02H
RETI
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้