สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องวัดระยะทางด้วยอัลตราโซนิก

Ultrasonic Distance Measurement System

โดย

นาย จิระกุล เรืองแก้วมณี

นาย อัครพล ฉิมลอยลาภ

เลขหมู่.....
เลขทะเบียน..... 72017
วัน,เดือน,ปี..... - 7 มิ.ย. 2550

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดระยะทางด้วย

Ultrasonic Distance Measurement System (PSoC)

โดย

นาย จิระกุล เรืองแก้วมณี รหัส 47015240

นาย อัครพล ฉิมลอยลาภ รหัส 47015273

อาจารย์ที่ปรึกษา

ดร. กิติพล ชิตสกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดระดับน้ำ

Ultrasonic Distance Measurement System

ผู้จัดทำ

1. นาย จิระกุล เรืองแก้วมณี รหัส 47015240
2. นาย อัครพล ฉิมลอยลาภ รหัส 47015273

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดระยะทางด้วย Ultrasonic

นาย จิระกุล เรืองแก้วมณี รหัส 47015240
นาย อัครพล ฉิมลอยลาภ รหัส 47015273
ดร. กิติพล ชิตสกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

บทคัดย่อ

รายงานฉบับนี้ อธิบายถึงการออกแบบและการสร้าง เครื่องวัดระยะทางด้วยอัลตราโซนิก วงจรของเครื่องวัดระยะทางด้วยอัลตราโซนิก ดังกล่าวนี้ประกอบด้วยสองส่วนใหญ่ๆ คือ ส่วนของฮาร์ดแวร์ และ ซอฟต์แวร์ ในส่วนของฮาร์ดแวร์จะทำงานโดยใช้ตัวอัลตราโซนิกเป็นเซ็นเซอร์ในการยิงคลื่นอัลตราโซนิกออกไปแล้วกระทบกับพื้นผิวของวัตถุตามคุณลักษณะของคลื่นจะมีการเกิดการสะท้อนกลับมายังที่จุดกำเนิดและเข้ามายังวงจรภาครับสัญญาณซึ่งมีไมโครคอนโทรลเลอร์ (PSOC) เป็นตัวประมวลผล และในส่วนของซอฟต์แวร์ทั้งหมดจะใช้ภาษา C เพื่อทำการควบคุมระบบที่อยู่ภายในตัว PSOC ให้ทำงานตั้งแต่ผลิตความถี่ 40kHz, Band Pass Filter, จนถึงการคำนวณทางคณิตศาสตร์ และแสดงผลของระดับน้ำที่วัดได้ออกมาเป็นมิลลิเมตรที่จอแสดงผล ซึ่งการทำงาของ PSOC จะใช้ทั้งภาค Analog และ Digital ภายในตัวเอง ดังนั้นจึงเป็นการง่ายในการออกแบบวงจร และมีความยืดหยุ่นทางด้านภาษาในการเขียนควบคุมตัวไมโครคอนโทรเลอร์ (PSOC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UTRASONIC DISTANCE MEASUREMENT SYSTEM

Mr. Jirakul Ruangkeawmani ID 47015240

Mr. Akarapon Chimloylarp ID 47015273

Dr. Kitiphol Chitsakul Advisor

Educational Year 2006

Abstract

This report describes a design and construction ultrasonic distance measurement system. The circuit of ultrasonic distance measurement system this to consist hardware and software. The hardware design to use ultrasonic as sensor in form ultrasonic wave sent to surface object and feedback to origin point in receiver circuit. The system have microcontroller (PSOC) is to compile. The software design to uses C language all controls system in the PSOC to do from generates frequency 40 kHz , band pass filter , until to math calculate and show distance measure was millimeters at monitor. To working in the PSOC it have two section are Analog and Digital. So that is easy to design schematic and flexible to develop microcontroller(PSoC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทยัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	V
สารบัญตาราง	VII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	2
2.1 คุณสมบัติและธรรมชาติของคลื่น	2
2.1 การเกิดคลื่นอัลตราโซนิก	11
2.3 การทำงานของทรานสดิวเซอร์ตัวรับตัวส่ง	12
2.4 สัญญาลักษณ์ของทรานสดิวเซอร์ตัวส่งตัวรับ	12
2.5 ข้อควรรู้ในการใช้งานอัลตราโซนิกทรานสดิวเซอร์ตัวส่งตัวรับ	13
2.6 ประโยชน์ในการใช้คลื่นอัลตราโซนิก	15
2.7 Microcontroller PSoC	16
บทที่ 3 การคำนวณแล้วการออกแบบ	24
3.1 หลักการคำนวณของเครื่องวัดระดับน้ำ	24
3.2 หลักการทำงานแสดงโดยเป็นบล็อกไดอะแกรม	25
3.3 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSoC)	25
3.4 หลักการทำงานส่วนของโปรแกรม	40
บทที่ 4 การทดลองและผลการทดลอง	42
4.1 การทดลองในส่วนของวงจรการทำงาน	42
4.2 การทดลองในส่วนของการวัดระยะทาง	48
บทที่ 5 บทวิจารณ์และสรุป	50
บรรณานุกรม	
ภาคผนวก ก. ลายวงจร	
ภาคผนวก ข. โปรแกรม และ คู่มือการใช้	
ภาคผนวก ค. Data sheet	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

ภาพที่		หน้า
1.	แสดงถึงช่วงความถี่ต่างๆของคลื่นอัลตราโซนิก ที่ถูกนำไปใช้งานในด้านต่างๆ	2
2.	แสดงลักษณะการเกิดคลื่นตามยาว	3
3.	แสดงลักษณะการเกิดคลื่นตามขวาง	4
4.	แสดงการบีสต์ของคลื่นเสียง 2 คลื่น	5
5.	แสดงลักษณะของการเกิดคลื่นนิ่ง	6
6.	แสดงลักษณะของคลื่นเสียงที่ผ่านช่องแคบๆ จนเสมือนเป็นแหล่งกำเนิดตัวใหม่	7
7.	แสดงเมื่อคลื่นวงกลมที่กระทบกับฉากที่เป็นเส้นตรง คลื่นที่สะท้อนกลับมาจะมีคลื่นเป็นวงกลมเช่นกัน	7
8.	แสดงการหักเหของคลื่นเสียงในตัวกลางที่มีความหนาแน่นต่างกัน	8
9.	สัญลักษณ์ของอัลตราโซนิกทรานสดิวเซอร์แบบต่างๆ	13
15.	แสดงลักษณะของบีมของคลื่นอัลตราโซนิก	14
16.	บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC	17
17.	PSoC Core	18
18.	Digital System	19
19.	Analog System	20
20.	System Resource	21
21.	PSoC เบอร์ CY29666	23
22.	แสดงการส่งและการรับสัญญาณพัลส์	24
23.	บล็อกไดอะแกรมการทำงานของระบบ	25
24.	แสดงการสร้าง PWMDB8_1	26
25.	แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ	27
26.	แสดงการตั้งค่า Global Value และ Use Module Parameters	27
27.	แสดงการเชื่อมสายเอาท์พุตเข้าที่ ROW	28
28.	แสดงการสร้าง PWM8_1	29
29.	แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ	29
30.	แสดงการตั้งค่า Global Value และ Use Module Parameters	30
31.	แสดงการตั้งค่า Output ให้ออกที่ Port 0_0	30
32.	แสดงการสร้าง PGA	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

ภาพที่ หน้า

33.	แสดงการวางโมดูล และ ตั้งค่า Value	32
34.	แสดงการตั้งค่า Global Resources และ User Module Parameters	32
35.	แสดงการเชื่อมสายกับ Port 0.1 และ กำหนด Analog GND	33
36.	แสดงการสร้าง Band pass Filter Module	34
37.	แสดงการวาง BPF2 Module และ การตั้งค่า Value	35
38.	แสดงการตั้งค่าGlobal Resources และ User Module Parameters ของ BPF2_1	35
39.	แสดงการตั้งค่า Global Resources และ User Module Parametersของ BPF2_2	36
40.	แสดงการเชื่อมสายของวงจร BPF2	36
41.	แสดงการสร้าง Timer Module	37
42.	แสดงการวาง Timer Module และ การตั้งค่า Value	38
43.	แสดงการตั้งค่า Global Resources และ User Module Parameters ของ Timer16_1	38
44.	แสดงการเชื่อมสายของวงจร Timer16_1	39
45.	การตั้งค่า Comparator	40
46.	แสดงสัญญาณที่ Module PWM_8 ผลิตให้อัลตราโซนิกตัวส่ง	42
47.	แสดงสัญญาณที่ตัวอัลตราโซนิกตัวส่ง	43
48.	แสดงสัญญาณที่ตกกระทบตัวอัลตราโซนิกตัวรับ	43
49.	รูปสัญญาณที่ได้จาก Band Pass Filter ที่ความถี่ต่างๆ	44
50.	แสดงสัญญาณ Capture	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
1.	แสดงหน้าที่การทำงานของขาต่างๆ	22
2.	การวัดสัญญาณ Band Pass Filter	44
3.	แสดงการทดลองวัดระยะทาง	48
4.	แสดงความละเอียดของการวัด	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องวัดระดับด้วยอัลตราโซนิกเป็นอุปกรณ์ที่มีการใช้งานกว้างขวางทั้งในห้องแล็ปและในโรงงานอุตสาหกรรม ตามแต่ผู้ใช้คิดจะดัดแปลงนำไปใช้งาน เครื่องวัดระดับด้วยอัลตราโซนิกอาจมีการนำไปใช้งานได้ดังนี้

- ตรวจระดับของเหลว คือ เอาส่วนของการตรวจจับไว้ในแทงค์น้ำ โดยติดตั้งไว้บนยอดสุดของแทงค์น้ำ เมื่อระดับน้ำในแทงค์สูงขึ้นหรือลดลงก็จะสามารถรู้ได้จากส่วนแสดงผลที่ติดตั้งไว้นอกแทงค์น้ำ
- ติดตั้งไว้กับรถยนต์ เมื่อเราถอยรถไว้เข้าที่จอดรถเกิดปัญหาไม่รู้ระยะทางในการถอย ก็ให้ติดตัวตรวจจับไว้ที่ด้านหลังของรถส่วนแสดงผลติดตั้งไว้ที่ด้านในของรถยนต์ จะได้รู้ว่าระยะจากท้ายรถอยู่ห่างกับผนังเท่าใด
- จะมีประโยชน์มากสำหรับการวัดที่ไม่ต้องให้เซ็นเซอร์ไปสัมผัสกับของเหลวที่จะวัด ซึ่งบางครั้งของเหลวอาจเป็นสารอันตราย เช่น สารประเภทกรด ด่างที่อันตรายต่อผู้ใช้

จากประโยชน์ของการใช้งานที่ได้กล่าวไปข้างต้น เครื่องวัดระดับจะต้องประกอบไปด้วยวงจรส่วนต่างๆมากมาย เช่น วงจรออสซิลเลเตอร์ วงจรบัฟเฟอร์ วงรแบนด์พาสฟิลเตอร์ วงจรขยาย และวงจรนับ เป็นต้น การที่เรานำมาสร้างเครื่องวัดระดับขึ้นมาจะต้องประกอบไปด้วยวงจรพื้นฐานต่างๆดังที่กล่าวมาข้างต้นเป็นอย่างน้อย เมื่อมีเทคโนโลยีที่ทันสมัยมากขึ้นในการผลิตวงจรรวม (IC) ที่มีความสามารถสร้างทั้งหมดไว้ภายในตัวไอซีเพียงตัวเดียว จึงทำให้เกิดการผลิตผลงานที่มีประสิทธิภาพ ประหยัดต้นทุน มีขนาดเล็ก เป็นที่หน้าสนใจเป็นอย่างมากจากประโยชน์ของการใช้งานจึงจะทำให้ผู้ใช้ได้รับประโยชน์อย่างสูงสุดของอัลตราโซนิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

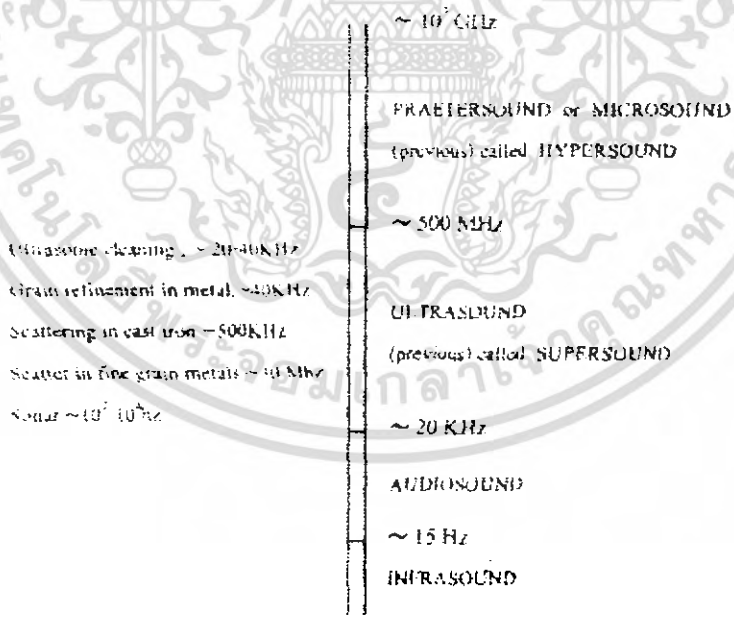
บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 คุณสมบัติและธรรมชาติของคลื่น

หลักการของการสะท้อนกลับของคลื่น คือ ฟิลส์ของพลังงานจะถูกส่งออกมาจากตัวส่งถ้าไปกระทบกับวัตถุ พลังงานบางส่วนจะสะท้อนกลับไปที่ตัวส่งด้วย แต่การใช้อุปกรณ์ตัวรับที่เหมาะสม (Suitable) จะสามารถรับการสะท้อนกลับของสัญญาณ (Signal) เวลาที่ใช่ในการเดินทางในอากาศสามารถคำนวณระยะทางออกมาได้ เพราะฉะนั้นการศึกษาคุณสมบัติและธรรมชาติของคลื่นจะสามารถทำให้เข้าใจในการนำไปประยุกต์ใช้งานได้อย่างถูกต้อง

2.1.1 คลื่นอัลตราโซนิก

คลื่นอัลตราโซนิก คือ คลื่นเสียงที่มีความถี่สูงเกินกว่าที่หูมนุษย์จะได้ยิน โดยทั่วไปมนุษย์จะได้ยินในย่านความถี่ประมาณ 20 Hz ถึง 20 kHz ดังนั้นแล้วคลื่นอัลตราโซนิก จึงหมายถึงคลื่นที่มีความถี่สูงกว่า 20 kHz จนถึงที่ 10^4 GHz โดยคลื่นที่มีความถี่มากกว่า 10^4 GHz และมีแอมปิจูด (Amplitude) สูงๆจะเรียกว่า "ไฮเปอร์ซาวด์"



รูปที่2.1 แสดงถึงช่วงความถี่ต่างๆของคลื่นอัลตราโซนิก ที่ถูกนำไปใช้งานในด้านต่างๆ

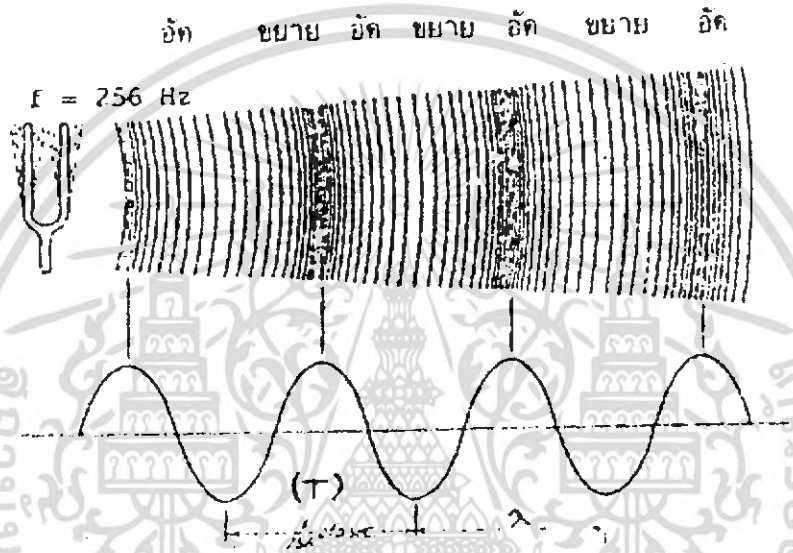
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ชนิดของคลื่น

คลื่นที่เดินทางผ่านตัวกลางต่างๆมีหลายชนิดด้วยกัน ซึ่งแต่ละชนิดจะแตกต่างกันตามการเคลื่อนที่ของอนุภาคในตัวกลางนั้น

2.1.2.1 คลื่นตามยาว (Longtudinal wave)

คลื่นตามยาว คือ คลื่นที่อนุภาคของตัวกลางมีการเคลื่อนที่ไปในทิศทางการเคลื่อนที่ของคลื่น



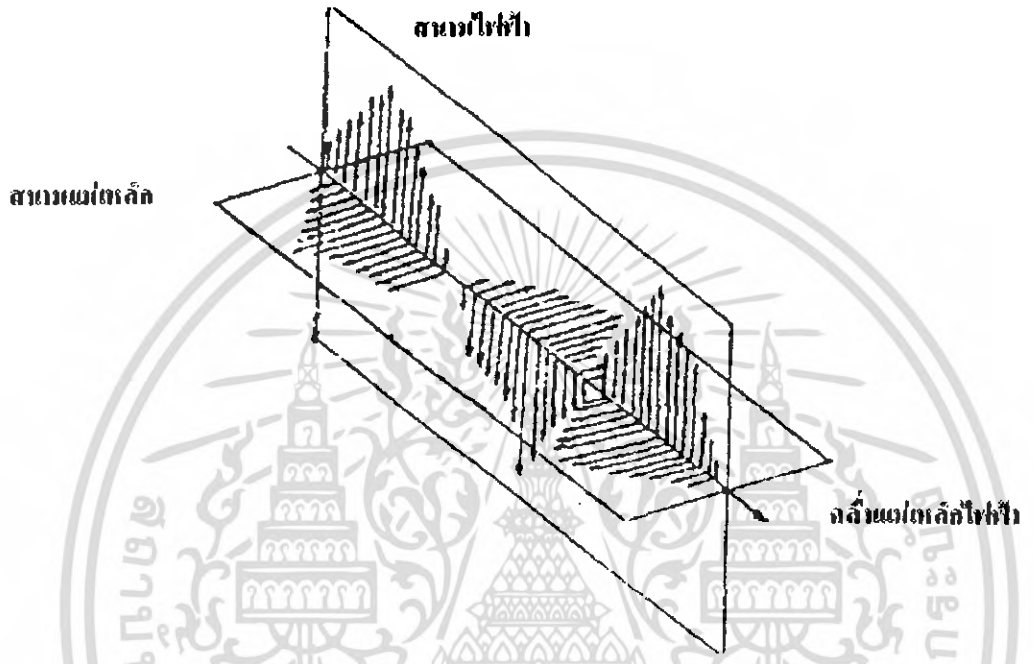
รูปที่ 2.2 แสดงลักษณะการเกิดคลื่นตามยาว

จากรูปจะเห็นว่ามีส่วนที่เป็นคลื่นอัด (Compression) ซึ่งก็คือ คลื่นช่วงที่อนุภาคของตัวกลางมีความดันสูง และคลื่นขยาย (Reaction) คือ คลื่นช่วงที่อนุภาคของตัวกลางมีความดันต่ำ และเมื่อนำค่าของความดันที่เปลี่ยนแปลงตามระยะทางมาเขียนกราฟจะได้รูปซายน์ (Sine Wave) โดยยอดคลื่นจะตรงกันส่วนอัดท้องคลื่นจะตรงกับส่วนขยาย ระยะทางระหว่างส่วนอัดหรือส่วนขยายถึงส่วนขยาย คือ 1 ความยาวคลื่น และทีคาบเวลาเป็น T ซึ่งเท่ากับ 1/f โดยจุดที่เป็นเส้นแกนนั้นมีค่าความดัน 1 บรรยากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2.2 คลื่นตามขวาง (Transverse Wave)

คลื่นตามขวาง คือ คลื่นที่ทุกจุดบนคลื่นมีการเคลื่อนที่ไปในทิศทางที่ตั้งฉากกับทิศทางการเคลื่อนที่คลื่นชนิดนี้จะเดินผ่านตัวกลางที่มีขนาดของตัวกลางใหญ่กว่าขนาดของความยาวคลื่นและสามารถเดินทางผ่านตัวกลางที่เป็นของแข็งของเหลวและก๊าซได้



รูป 2.3 แสดงลักษณะการเกิดคลื่นตามขวาง

คลื่นตามขวางมีลักษณะเหมือนการเกิดขั้วบวกและขั้วลบ ซึ่งเป็นเหตุผลว่าการเปลี่ยนตำแหน่งของอนุภาคเป็นไปเพียงทางเดียวเช่น ในระนาบที่ตั้งฉากกับทิศทางของคลื่นที่เคลื่อนที่ไปที่ต้นกำเนิดของคลื่นตามขวางเป็นพื้นที่หน้าเรียบของระนาบที่เกิดจากการเปลี่ยนแปลงของอนุภาคอันเนื่องจากการแกว่ง ความหนาแน่นของตัวกลางจะไม่เปลี่ยนแปลงโดยการเคลื่อนที่ของคลื่นตามขวาง ความเร็วของคลื่นชนิดนี้จะน้อยกว่าความเร็วของคลื่นชนิดตามยาว ในขณะที่เดินทางผ่านตัวกลางชนิดเดียวกัน ดังนั้นที่ความถี่เดียวกัน ความยาวคลื่นของคลื่นตามขวางจะน้อยกว่าคลื่นตามยาวเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2.3 คลื่นผิวหน้า (Surface Wave Rayleigh)

คลื่นผิวหน้า คือ คลื่นชนิดหนึ่งซึ่งคล้ายกับคลื่นตามขวาง จะต่างกันตรงที่ว่าการเปลี่ยนตำแหน่งของอนุภาคไม่เป็นในทิศที่ตั้งฉากกับทิศทางการเคลื่อนที่เพียงอย่างเดียวแต่มีการเปลี่ยนแปลงในทิศทางแต่มีการเปลี่ยนแปลงในทิศทางเดียวกับการเคลื่อนที่ด้วย จึงทำให้คลื่นเคลื่อนที่ไปในระนาบแนวนอน ด้วยเหตุนี้คลื่นจึงเดินทางไปเฉพาะผิวของตัวกลางเท่านั้น

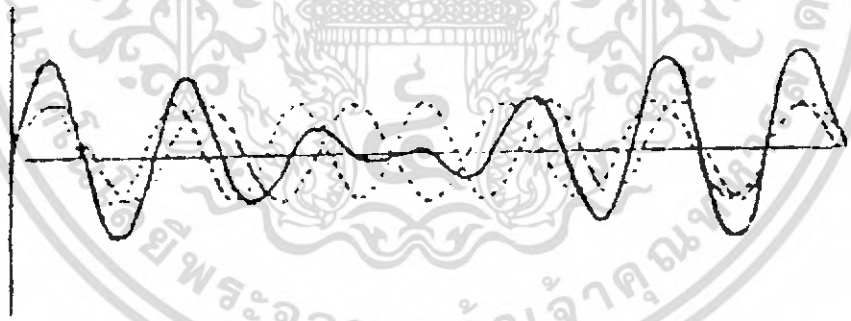
2.1.3 คุณสมบัติที่สำคัญของคลื่น

คุณสมบัติโดยทั่วไปของคลื่นเสียงจำแนกออกเป็น 4 แบบ คือ

2.1.3.1 การแทรกสอดของคลื่นเสียง (Interference)

การแทรกสอดของคลื่นเสียงเกิดจากการรวมกันของคลื่น 2 คลื่นขึ้นไป เมื่อพบกันในตัวกลางเดียวกัน (Medium) ซึ่งทำให้เกิดผลได้หลายลักษณะ คือ

ก). การบีสต์ (Beats) ของคลื่นเสียงเป็นปรากฏการที่เกิดจากการรวมคลื่นที่มีความถี่ต่างกัน หรือต่างเฟสกันเคลื่อนที่ไปในตัวกลางเดียวกันและรวมเป็นคลื่นใหม่ซึ่งทำให้ค่าแอมปิจูดเปลี่ยน ดังรูปที่ 2.4

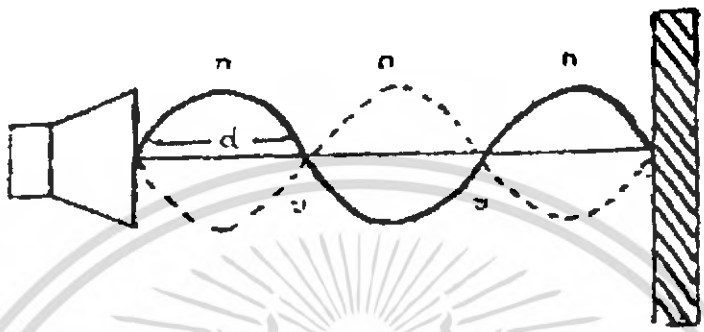


รูปที่ 2.4 แสดงการบีสต์ของคลื่นเสียง 2 คลื่น

จากรูปเป็นการแสดงการบีสต์ของคลื่นเสียง 2 คลื่น ซึ่งได้คลื่นที่มีแอมปิจูดเปลี่ยนไป ประโยชน์ของการบีสต์นั้นจะใช้ในการเปลียบเทียบความถี่ของคลื่นให้แสดงผลออกมาในลักษณะของแอมปิจูดที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข). การเกิดคลื่นนิ่ง (Standing Wave) เกิดจากการแทรกสอดของคลื่นชุดที่มีแอมปิจูดเท่ากันและความถี่เท่ากัน มีทิศทางการเคลื่อนที่ตรงกันข้ามหรือมีเฟสตรงกันข้ามซึ่งจะทำให้เกิดคลื่นนิ่ง ดังรูปที่ 2.5



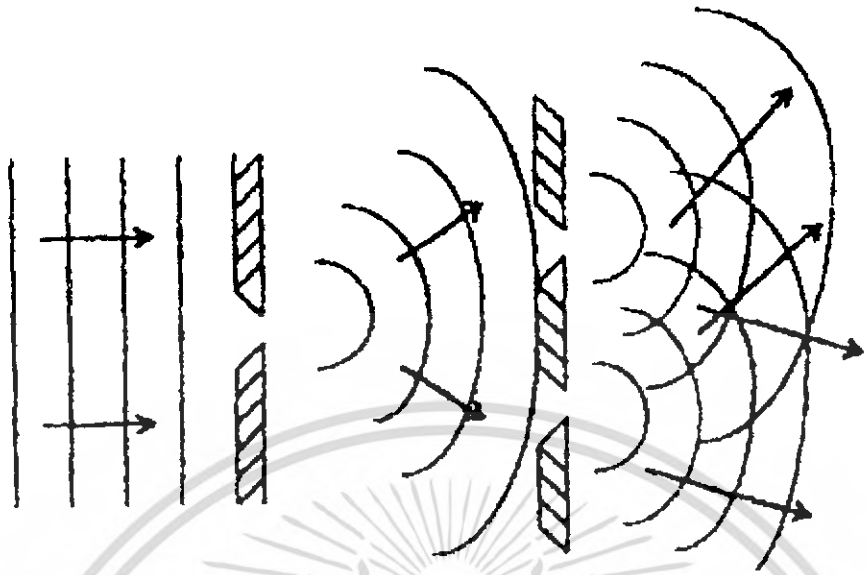
รูปที่ 2.5 แสดงลักษณะของการเกิดคลื่นนิ่ง

เสียงจะมีความเข้มสูงสุดที่ตำแหน่ง ก. และเบาที่สุดที่ตำแหน่ง ข. ซึ่งระยะระหว่างขั้วทั้งสองเท่ากับ $d = \lambda/2$ หรือ $n(\lambda/2)$; $n = 1,2,3,\ldots$

2.1.3.2 การเลี้ยวเบนของคลื่นเสียง (Diffraction)

การเลี้ยวเบนของคลื่นเสียง (Diffraction) คลื่นเสียงจะเลี้ยวเบนอ้อมสิ่งกีดขวางที่มีลักษณะเป็นมุมหรือช่องแคบ ซึ่งปรากฏการณ์เช่นนี้พบในชีวิตประจำวันอยู่ตลอดเวลา เช่น ในกรณีที่เราได้ยินเสียงแตรรถยนต์ที่อยู่คนละถนนของมุมตึก หรือการได้ยินเสียงที่ลอดผ่านช่องเล็กๆ จากอีกห้องหนึ่ง ดังในรูปที่ 2.6

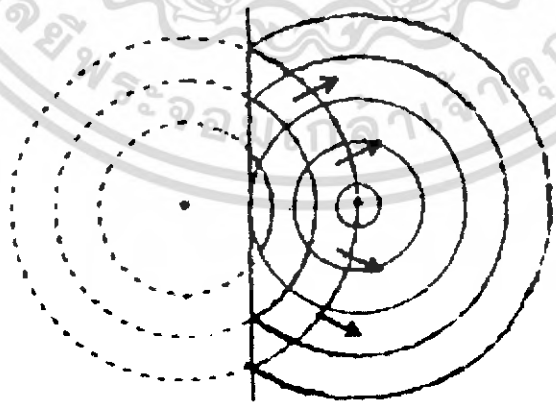
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงลักษณะของคลื่นเสียงที่ผ่านช่องแคบๆ จนเสมือนเป็นแหล่งกำเนิดตัวใหม่

2.1.3.3 การสะท้อนของคลื่นเสียง (Reflection)

การสะท้อนของคลื่นเสียง คือ คลื่นเสียงสามารถที่จะสะท้อนได้เมื่อกระทบกับตัวกลางโดยที่มุมตกกระทบเท่ากับมุมสะท้อน และจะทำให้เกิดเสียงก้อง (Echo) ซึ่งเสียงก้องที่สะท้อนกลับมาในเวลาที่มากกว่า 50 ms จะทำให้เราได้ยินเสียงนี้เป็นครั้งที่สอง

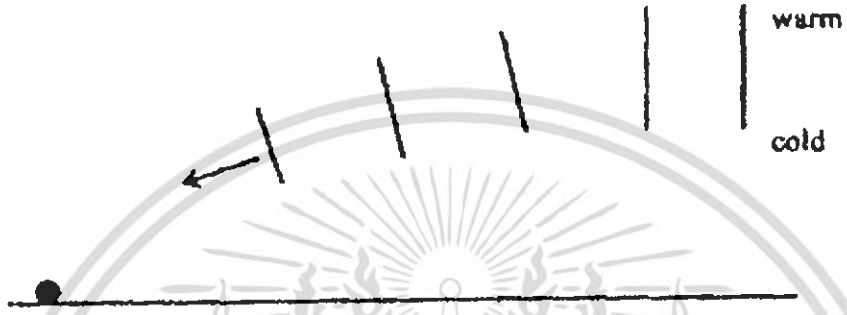


รูปที่ 2.7 แสดงเมื่อคลื่นวงกลมที่กระทบกับฉากที่เป็นเส้นตรง คลื่นที่สะท้อนกลับมาจะมีคลื่นเป็นวงกลมเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.4 การหักเหของคลื่นเสียง (Refraction)

การหักเหของคลื่นเสียง คือ คลื่นเสียงที่เดินทางผ่านตัวกลางที่มีความหนาแน่นต่างกันจะเกิดการหักเหของคลื่น ซึ่งทำให้ความเร็วของคลื่นเปลี่ยนแปลงไป โดยความถี่ยังคงที่อยู่



รูปที่ 2.8 แสดงการหักเหของคลื่นเสียงในตัวกลางที่มีความหนาแน่นต่างกัน

2.1.4 ลักษณะของคลื่น

2.1.4.1 ความถี่ (Frequency)

ความถี่ คือ จำนวนของออสซิเลตที่สมบูรณ์ จากแหล่งกำเนิดคลื่นภายในหนึ่งวินาที คลื่นที่ถูกส่งจากแหล่งกำเนิดจะเดินทางด้วยที่ความถี่เดียวกัน เช่น อัตราการสั่นของสายไวโอลินที่มีความถี่ 440 Hz มันก็จะมีความถี่เดียวกันกับคลื่นที่ถูกส่งและรับได้จากผู้ฟัง

2.1.4.2 ความยาวคลื่น (Wavelength)

ความยาวคลื่น คือ ระยะทางที่คลื่นเดินทางระหว่างการสั่นที่สมบูรณ์หรือการเดินทางครบรอบ (1 Cycle) สามารถกล่าวได้ว่าความยาวคลื่นเป็นระยะทางระหว่างการอัดอย่างต่อเนื่อง (Successive Compression) หรือการเบาบางของอากาศ (Rarefection) การอัด คือ การที่บริเวณนั้นมีความหนาแน่นของโมเลกุลและแรงดันมากกว่าบริเวณรอบๆ ส่วนการเบาบางเป็นบริเวณเฉพาะที่เกิดการลดความหนาแน่นของโมเลกุลและแรงดันสำพันธ์กับบรรยากาศปกติ ความยาวคลื่นมีความสัมพันธ์ตามสมาการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v = f . \lambda \quad (2.1)$$

โดยที่ : v = ความเร็วของการเดินทาง (m/s)

f = ความถี่ (Hz)

λ = ความยาวคลื่น (m)

ในอากาศที่อุณหภูมิ 20 องศาเซลเซียส ความเร็วของคลื่นเสียงประมาณ 334 m/s ดังนั้น ช่วงความถี่ของคลื่นเสียง 20 ถึง 20 กิโลเฮิร์ท ความยาวคลื่นจะอยู่ระหว่างประมาณ 1.7 ถึง 17 เมตร ข้อจำกัดของความยาวคลื่นสั้นในอากาศ (อัลตร้าโซนิก) ถูกตรวจสอบโดยทางเดินที่อิสระระหว่างโมเลกุลอากาศประมาณ 10^{-8} เซนติเมตร

2.1.4.3 ความเร็วของคลื่นอัลตราโซนิก

คลื่นที่เดินทางในตัวกลางที่แต่ต่างกันด้วยความเร็วที่แตกต่างและขึ้นอยู่กับอุณหภูมิเพียงเล็กน้อย ทั้งหมดนี้เป็นสาเหตุแรกสำหรับการโก่งตัวของคลื่นในบรรยากาศ สำหรับทฤษฎีที่แสดงความเร็วของคลื่น (c) ในแก๊สอุดมคติ (Ideal Gas) จะเป็นดังนี้

$$V = \sqrt{\frac{\Gamma P}{\rho}} \quad (2.2)$$

โดยที่ : V= ความเร็วของคลื่นเสียง (m/s)

Γ = ค่าโมดูลัส (modulus) ของก๊าซ (สำหรับอากาศเท่ากับ 1.4)

P = ค่าความดันก๊าซ (Pascal) : ความดันของอากาศที่ระดับน้ำทะเลเท่ากับ

1.01325×10^{6} Pascal

ρ= ความหนาแน่นของก๊าซ (kg/m^{3}) : ความดันของอากาศเท่ากับ 1.29

เนื่องจากอากาศประกอบด้วยโมเลกุลอะตอมคู่ ดังนั้น ค่า Γ = 1.4 จะได้

$$V = \sqrt{\frac{1.4P}{\rho}} \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าโมเลกุลของอากาศมีมวลเป็น **M** และปริมาณเป็น **V** จะได้ความหนาแน่น

$$\rho = \frac{M}{V} \tag{2.4}$$

จากสมาการที่ 2.2 $$V = \sqrt{\frac{\Gamma P}{\rho}}$$

จะได้ $$V = \sqrt{\frac{\Gamma P V}{M}} \tag{2.5}$$

แต่จะได้ $$PV = RT \tag{2.6}$$

โดยที่ : **R** = ค่าคงที่ของก๊าซ

T = อุณหภูมิของก๊าซ

ดังนั้น $$V = \sqrt{\frac{\Gamma RT}{M}} \tag{2.7}$$

จากสมาการ 2.7 ความเร็วของคลื่นในก๊าซอุดมคติจะขึ้นอยู่กับชนิดของแก๊ส กับอุณหภูมิ และเป็นอิสระจากการเปลี่ยนแปลงของแรงดัน แต่ในความเป็นจริงค่าความเร็วของคลื่น จะขึ้นอยู่กับค่าความดัน และความหนาแน่นของก๊าซด้วย กล่าวคือ ค่าความดันและความหนาแน่นของก๊าซจะลดลง เมื่อความสูงเหนือจากระดับน้ำทะเลเพิ่มขึ้น

ความเร็วที่ยอมรับของคลื่นในอากาศที่อุณหภูมิปกติ มีความสัมพันธ์ดังสมาการคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V1}{V2} = \sqrt{\frac{T1}{T2}} \qquad (2.8)$$

โดยที่ : **V1** = ความเร็วของเสียงที่อุณหภูมิ T1 (m/s)

V2 = ความเร็วของเสียงที่อุณหภูมิ T2 (m/s)

T1 = อุณหภูมิสัมบูรณ์ที่หนึ่ง (K)

T2 = อุณหภูมิสัมบูรณ์ที่สอง (K)

หรือ

$$\mathbf{V} = \mathbf{V_0}\sqrt{\left(1 + \frac{t}{273}\right)} \qquad (2.9)$$

โดยที่ : **V** = ความเร็วเสียงที่อุณหภูมิใดๆ (m/s)

$\mathbf{V_0}$ = ความเร็วที่ 0 $^{\circ}$C (m/s)

t = อุณหภูมิ ($^{\circ}$C)

2.2 การเกิดคลื่นอัลตราโซนิก

คลื่นอัลตราโซนิกนี้สามารถสร้างได้โดยตัวทรานสดิวเซอร์ ซึ่งทรานสดิวเซอร์คือ อุปกรณ์ที่ใช้เปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล หรือพลังงานกลเป็นพลังงานไฟฟ้า หลักการที่ใช้สร้างคลื่นอัลตราโซนิกมีหลายวิธีด้วยกัน แต่ที่นิยมใช้กันมากได้แก่

1. แบบเปียโซอิเล็กตริก (*Piezo-electric transducer*) ซึ่งแปลงไปมาระหว่างพลังงานไฟฟ้าและพลังงานกล โดยที่ความถี่เรโซแนนท์คงที่อยู่ที่ค่าหนึ่ง

2. แบบแมกนีโตสตริคทีฟ (Magnetostrictive transducer) ซึ่งแปลงไปมา ระหว่างพลังงานไฟฟ้าในขดลวดกับตำแหน่งความยาวของแกนเหล็กที่สวมนั้นขดลวดอยู่

3. แบบอิเล็กโตรสตริคทีฟ (Electrostrictive transducer) ซึ่งแปลงไปมาระหว่างพลังงานไฟฟ้ากับพลังงานกล

ในกรณีการให้กำเนิดคลื่นอัลตราโซนิกทั้ง 3 แบบนี้ แบบแรกเป็นที่นิยมที่สุด เพราะหาซื้อได้ง่ายและราคาถูก ซึ่งในที่นี้จะกล่าวเฉพาะแบบนี้เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การทำงานของทรานสดิวเซอร์ตัวรับตัวส่ง

เมื่อเซรามิคได้รับสัญญาณแรงดันตกคร่อมตัวมัน จะทำให้สารเซรามิคโก่งตัวงอ ซึ่งจะทำให้เกิดการอัดอากาศโดยรอบ เกิดเป็นคลื่นเสียงขึ้นมา ดังนั้นถ้าเราป้อนสัญญาไฟฟ้าเป็นช่วงๆ (electrically pulse) จากออสซิลเลเตอร์ โดยทั่วไปกำลังของเอาท์พุทที่ออกมาจะตกคร่อมประมาณ 10 % ของกำลังไฟฟ้าที่ป้อนให้ แต่กำลังเอาร์พุทจะมีค่าสูงสุดที่ค่าโดยประมาณก็ต่อเมื่อความถี่ทางกลตามธรรมชาติ ของชิ้นสารเซรามิคนั้นๆส่วนที่ความถี่อื่นๆนั้นกำลังของเอาท์พุทก็จะมีค่าลดลง

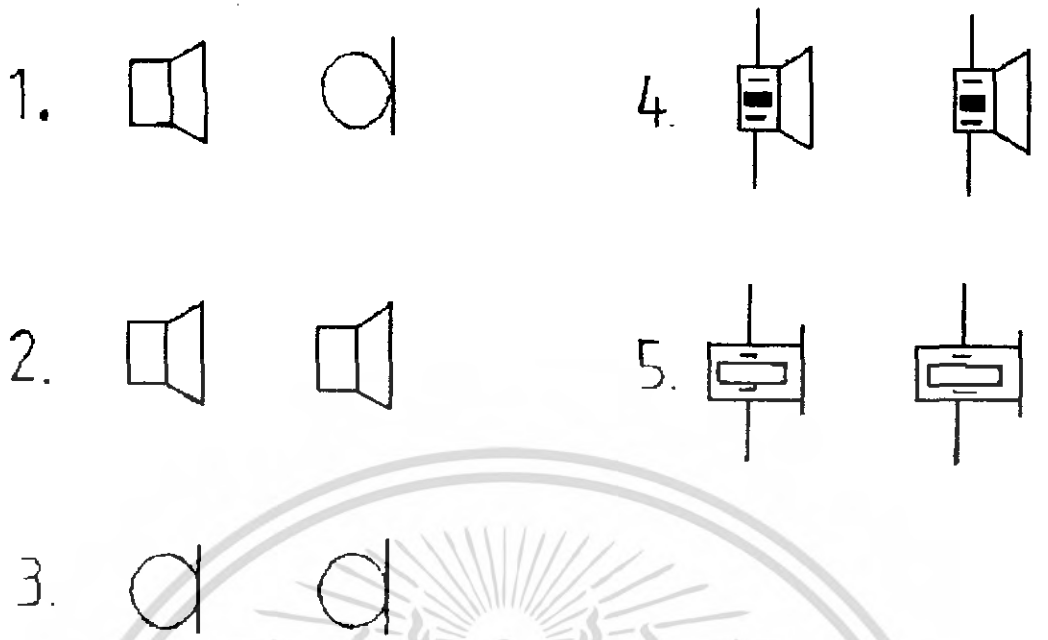
ส่วนการทำงานของทรานสดิวเซอร์ตัวรับนั้นมีการทำงานตรงกันข้ามกับตังส่ง กล่าวคือ เมื่อมีคลื่นเสียงที่มีความถี่ตรงกับความถี่เรโซแนนท์ของชิ้นสารเซรามิคมากระทบ จะทำให้ชิ้นสารโก่งงอไปมา ทำให้สัญญาณแรงดันไฟฟ้าเกิดขึ้นคร่อมตัวขั้วทั้งสองของตัวมันได้

คุณสมบัติโดยทั่วไปของคลื่นอัลตราโซนิกทรานสดิวเซอร์แบบเปียโซอิเล็กตริก ก็คือ มีความต้านทานไฟตรงที่สูงมากอาจมีค่าสูงถึง 100 M เรียกว่าถ้าเอามัลติมิเตอร์ธรรมดาตั้งสเกลวัดค่าความต้านทานสูงๆเข็มจะไม่กระดิกเลย แต่ในขณะที่มันทำงานค่าความต้านทานจะมีค่าลดลง

2.4 สัญญาลักษณ์ของทรานสดิวเซอร์ตัวส่งและตัวรับ

เนื่องจากทรานสดิวเซอร์ตัวส่งถูกออกแบบให้แปลงสัญญาณไฟฟ้าที่ป้อนให้แก่ตัวมันออกมาเป็นคลื่นเสียงย่านอัลตราโซนิก หน้าที่ของมันจึงเป็นคล้ายๆเป็นลำโพงส่วนตัวรับถูกออกแบบเจาะจงให้แปลงคลื่นเสียงในย่านความถี่ของอัลตราโซนิกที่มาตกกระทบตัวมันให้เป็นสัญญาณไฟฟ้า หน้าที่ของตัวรับจึงคล้ายๆกับเป็นไมโครโฟน ด้วยเหตุนี้เวลาเขียนสัญญาลักษณ์ของอัลตราโซนิกทรานสดิวเซอร์จึงนิยมเขียนตามหน้าที่ของมันดังแบบที่ 1 ในรูปที่ 2.15 แต่ก็มีหนังสือบางเล่มเขียนสัญญาลักษณ์ของทั้งตัวรับและตังส่งเป็นไมโครโฟนหรือลำโพงอย่างใดอย่างหนึ่งไปเลยดังแบบที่2 และ3 แต่เขียนอักษรย่อว่า Tx (transmitter) , Rx (receiver) กำกับอยู่ด้วย หรืออาจจะใช้คำพูดกำกับให้ชัดเจนไปเลย ที่เขาใช้สัญญาลักษณ์เหมือนกันก็เพราะว่า หน้าตาของตัวส่งและตัวรับที่ออกแบบมาให้ใช้งานคู่นี้เหมือนกัน แต่มีเบอร์กำกับมาที่ด้านข้างให้รู้ว่าตัวใดเป็นตัวส่งและตัวใดเป็นตัวรับ และคุณสมบัติของทั้งสองตัวนี้คล้ายคลึงกันมากจนสามารถนำมาใช้งานแทนกันได้โดยตรงหลายการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 สัญลักษณ์ของอัลตราโซนิกทรานสดิวเซอร์แบบต่างๆ

2.5 ข้อควรรู้ในการใช้งานอัลตราโซนิกทรานสดิวเซอร์ตังส่งและตัวรับ

ข้อควรรู้ในการใช้งานตัวส่งและตัวรับนั้นพอที่จะสรุปเป็นแนวทางการใช้งานได้ดังนั้น

1. ไม่ควรให้ตัวทรานสดิวเซอร์ได้รับการกระแทกหรือตกจากที่สูง เพื่อป้องกันโครงสร้างภายในมิให้เกิดการเสียหาย

2. ทรานสดิวเซอร์ทั่วไปที่มีขายกันอยู่นั้นจะสามารถทนแรงดันตกคร่อมตัวมันสูงสุดได้ไม่เกิด 20 V ดังนั้น ขนาดของสัญญาณที่ป้อนให้กับตัวทรานสดิวเซอร์ก็ควรอยู่ภายในขีดจำกัดอันนี้

3. ความถี่เรโซแนนซ์ (ความถี่ที่ตัวมันสามารถทำงานได้สูงสุด) ของทรานสดิวเซอร์ 40 kHz ที่มีขายกันอยู่ทั่วไปจะผิดพลาดไม่เกิน 1 kHz และมีความถี่ประมาณ 4.5 กิโลเฮิร์ท สำหรับตัวส่งและตัวรับจะมีแถบความถี่ประมาณ 5 กิโลเฮิร์ท สำหรับตัวรับจะเห็นได้ว่าแถบความถี่ของตัวรับจะมีความกว้างกว่าตัวส่งเล็กน้อย เพื่อให้แน่ใจได้ว่าทรานสดิวเซอร์ตัวนั้นจะสามารถรับความถี่ทั้งหมดที่ส่งออกมาจากทรานสดิวเซอร์ตัวส่งได้

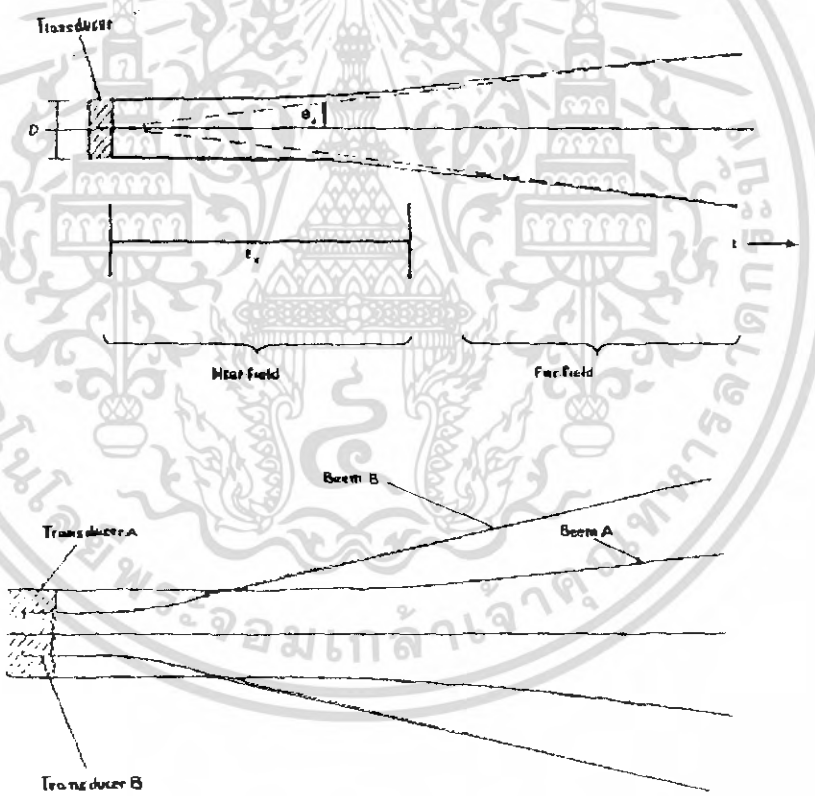
4. อุณหภูมิที่ใช้ในการทำงานของตัวทรานสดิวเซอร์จะอยู่ในช่วง -20 องศาเซลเซียส ถึง 60 องศาเซลเซียส

5. ทั้งทรานสดิวเซอร์ตัวส่งและตัวรับ จะมีทิศทางที่คล้ายคลึงกันมาก กล่าวคือ ที่ตำแหน่งเบี่ยงเบนจากแนวแกนของตัวส่งประมาณ 30 องศา ความแรงของคลื่นที่ถูกส่งออกไปจะลดออกจากแนวแกนประมาณ 10 เดซิเบล ในทำนองเดียวกันถ้าคลื่นเสียงพุ่งเข้ามาที่แนวแกนที่เบี่ยงออกไปจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวแกนของตัวรับประมาณ 30 องศา ความไวหรือขนาดของแรงดันที่ได้รับก็จะลดลงไปประมาณ 10 เดซิเบลเช่นกัน ดังนั้นในการใช้งานที่เป็นตัวควบคุมระยะไกลในที่โล่งแจ้งจึงควรพยายามให้ตัวรับและตัวส่งอยู่ในแนวเดียวกันมากที่สุด แต่อย่างไรก็ตาม กรณีที่อยู่ในห้องอาจเบี่ยงจากกันได้มากหน่อยเพราะคลื่นเสียงอาจสามารถสะท้อนกับกำแพงพื้นและวัตถุที่อยู่ในห้อง ทำให้คลื่นเสียงเข้าไปหาตัวรับได้หลายทิศทาง

คลื่นอัลตราโซนิกที่ปล่อยออกมาจากตัวทรานสดิวเซอร์ ในช่วงใกล้ๆกับตัวทรานสดิวเซอร์ (near field) จะมีลักษณะบีมเหมือนกับทรงกระบอก แต่ในระยะที่ไกลออกไป (far field) ลักษณะบีมจะกระจายออกไปด้วยมุมค่าหนึ่ง ซึ่งค่าของมุมที่กว้างออกและความยาวของ near field จะขึ้นอยู่กับเส้นผ่านศูนย์กลางของตัวทรานสดิวเซอร์ โดยที่ความยาวของ near field จะแปรผันตามกับขนาดเส้นผ่านศูนย์กลาง ส่วนค่าของมุมที่กว้างออกจะแปรผกผันกับขนาดของเส้นผ่านศูนย์กลาง ดังแสดงในรูปที่ 2.16



รูปที่ 2.10 แสดงลักษณะของบีมของคลื่นอัลตราโซนิก

6. ในการใช้งานจริง ทรานสดิวเซอร์ตัวรับจะต้องมีตัวต้านทานต่อขนานกับตัวรับเพื่อนทำหน้าที่เป็นโหลดตามปกติแล้วตัวต้านทานตัวนี้ควรมีค่าอยู่ในช่วง 10 k จากการทดลองพบว่าถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนจาก 100 k เป็น 10 k ความไวจะลดลง 10 – 12 เดซิเบล แต่แถบความถี่จะกว้างขึ้นถ้าความต้านทานต่ำลงไปอีกความถี่เรโซแนนซ์จะลดลงจากที่ระบุไว้ ถ้าการใช้งานมีสัญญาณมากควรใช้งานที่มีความต้านทานสูงหน่อยเพื่อให้ตัวส่งมีความไวสูงและแถบความถี่แคบ

7. ตามปกติแล้ว เราสามารถนำเอาตัวส่งและตัวรับใช้แทนกันได้ในการใช้งานส่วนใหญ่ขอแค่เพียงให้มีความถี่เรโซแนนซ์เดียวกันเท่านั้นเอง อย่างไรก็ตามในบางกรณีอาจจะต้องมีการเปลี่ยนค่าตัวต้านทานสมมูลย์ทางด้านไฟสลับ เพื่อเป็นลักษณะผลตอบสนองทางความถี่สอดคล้องกับของเดิม

2.6 ประโยชน์ในการใช้คลื่นอัลตราโซนิก

คลื่นอัลตราโซนิกเป็นคลื่นที่มีทิศทาง ทำให้เล็งคลื่นไปยังเป้าหมายที่ต้องการได้โดยเจาะจง ยิ่งคลื่นมีความถี่สูงขึ้น ความยาวคลื่นจะยิ่งสั้นลงถ้าความยาวคลื่นมากกว่าช่องเปิด (ที่ให้เสียงนั้นออกมา) ของตัวที่ให้กำเนิดเสียงนั้น เช่น คลื่นความถี่ 300 เฮิร์ทในอากาศ จะมีความยาวคลื่นหนึ่งเมตรเศษๆซึ่งจะยาวกว่าช่องที่เปิดให้คลื่นเสียงออกมาจากตัวกำเนิดเสียงโดยทั่วไปไม่มากมาย คลื่นจะหักเบนที่ขอบด้านนอกของตัวกำเนิดเสียง ทำให้เกิดการกระจายออกรอบทิศทาง แต่ถ้าความถี่สูงขึ้นมาจนอยู่ในย่านอัลตราโซนิก อย่างเช่น 40 กิโลเฮิร์ท ซึ่งจะมีความยาวคลื่นเพียง 8 มิลลิเมตรเท่านั้น ซึ่งเล็กกว่ารูเปิดของตัวที่ให้กำเนิดเสียงความถี่นี้มาก คลื่นเสียงจะไม่มีการเลี้ยวเบนที่ขอบ คลื่นนั้นจะพุ่งออกเป็นลำแคบๆหรือที่เราเรียกว่า เป็นคลื่นที่มีทิศทางนั่นเอง

การมีทิศทางของคลื่นอัลตราโซนิกนั้น ทำให้เราสามารถใช้งานได้หลายอย่าง เช่น - การนำไปใช้เครื่องควบคุมระยะไกล (Ultrasonic Remote Control)

- เครื่องล้างอุปกรณ์ (Ultrasonic Cleaner) โดยทำให้น้ำมีการสั่นสะเทือนด้วยความถี่สูง
- เครื่องวัดความหนาของวัตถุโดยสังเกตจากระยะเวลาที่คลื่นสะท้อนกลับมา
- เครื่องวัดความลึกและทำแผนที่ใต้ท้องทะเล
- ใช้ในเครื่องหาตำแหน่งอวัยวะบางส่วนผ่านในของร่างกาย
- ใช้ทดสอบการรั่วของท่อ เป็นต้น

โดยความถี่ที่ใช้ขึ้นกับการใช้งาน เช่น ถ้าคลื่นเสียงเดินทางผ่านอากาศแล้ว ความถี่ที่ใช้ก็มักจะจำกัดอยู่เพียงไม่เกิน 50 กิโลเฮิร์ท เพราะที่ความถี่สูงกว่านี้อากาศจะดูดกลืนคลื่นเสียงเพิ่มมากขึ้นทำให้ระดับความแรงของคลื่นเสียงที่ระยะห่างออกไปลดลงอย่างรวดเร็ว ส่วนการใช้งานด้านการแพทย์ซึ่งต้องการรัศมีทำการสั้นๆก็อาจใช้ความถี่ในช่วง 1 เมกกะเฮิร์ท ถึง 10 เมกกะเฮิร์ท ขณะที่ความถี่เป็นจิกะเฮิร์ท ก็มีใช้กันหลายๆการใช้งานที่ตัวกลางที่คลื่นเสียงเดินทางผ่านไม่ใช่อากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 Microcontroller PSoC

ระบบไมโครคอนโทรลเลอร์เดิม ซึ่งสามารถรองรับการทำงานในรูปแบบเฉพาะสัญญาณทางดิจิตอล จึงมีการพัฒนาชิพไมโครคอนโทรลเลอร์ขึ้นเพื่อลดปัญหาและข้อจำกัดของระบบไมโครคอนโทรลเลอร์แบบเดิมตามคอนเซ็ปที่ว่า PSoC หรือ Programmable System On Chip ซึ่งรวมเอาการทำงานทางด้านอนาล็อกเข้ามาภายในชิพเดียวจึงถือว่าเป็นประโยชน์ต่อการพัฒนา และลดความยุ่งยากในการจัดทำวงจรอินเตอร์เฟสเพิ่มเติม

2.7.1 คุณสมบัติสำคัญของ PSoC

1) มีการสร้างระบบภายในแบบ Harvard Architecture ด้วยหน่วยประมวลผลแบบ M8C และสามารถทำงานได้ที่ความถี่สูงถึง 24 MHz

2) มีวงจรคูณเลขภายในแบบ 8X8 Multiply (32 Bit Accumulate)

3) สามาทำงานแรงดันไฟต่ำได้ 3 – 5 โวลต์

4) มีโหมดการทำงานแบบ Switch Mode Pump (SMP) ซึ่งช่วยให้ระบบทำงานในสภาวะแรงดันที่ต่ำถึง 1 โวลต์

5) ทำงานในช่วงอุณหภูมิ -40 ถึง 85 องศาเซลเซียท

6) วงจรกำเนิดสัญญาณนาฬิกาภายในที่มีความเที่ยงตรงสูง เท่ากับ 24/48 MHz และยังทำงานร่วมกับ External Oscillator ได้ที่ความถี่สูงถึง 24 MHz

7) มีหน่วยความจำภายในที่ยืดหยุ่นสูง

8) สามารถโปรแกรมฟังก์ชั่นการทำงานให้กับขาต่างๆของไมโครคอนโทรลเลอร์ได้ และสามารถขับกระแสได้ 25 mA ทุกขาในโหมด GPIO

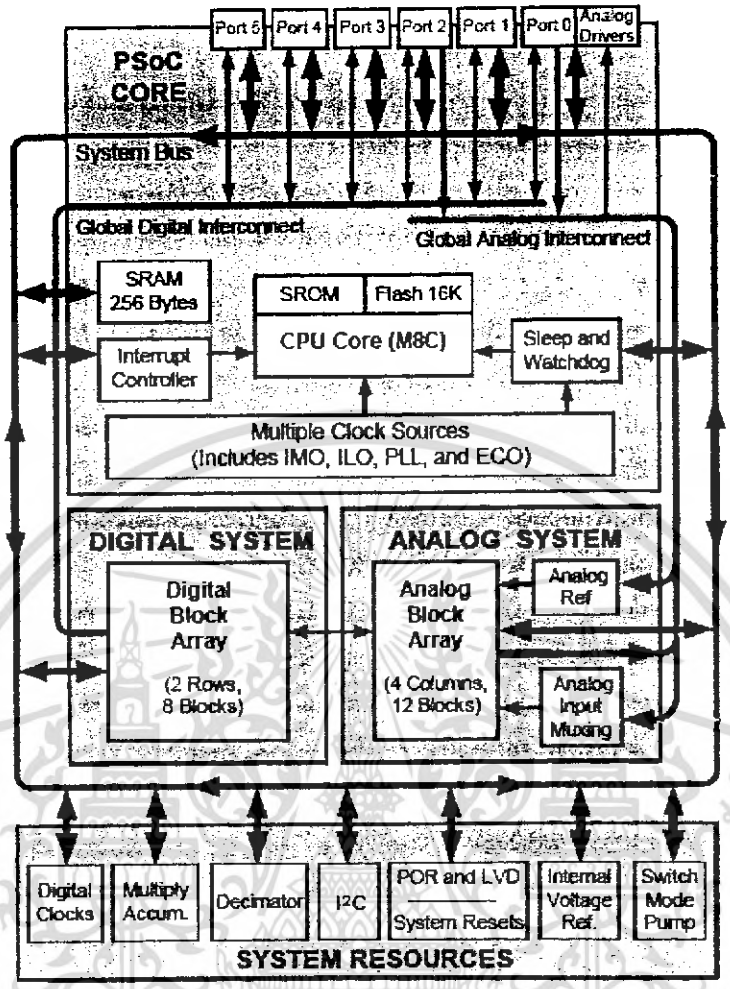
9) และมีทรัพยากรเพิ่มเติมที่มีอยู่ภายในต่างๆ เช่น I2C Slave Master Watchdog sleep timer และมีวงจรกำเนิดแรงดันอ้างอิงภายในที่มีความเที่ยงตรงสูง

10) มีซอฟต์แวร์สำหรับใช้ในการพัฒนาการใช้งานได้ทั้ง C และ Assembly

การศึกษาและใช้งานไมโครคอนโทรลเลอร์ให้เกิดประโยชน์และประสิทธิภาพสูงสุด ผู้ใช้จะต้องควรทราบถึงองค์ประกอบและความสามารถภายในตัวชิพ เพื่อสามารถนำไปประยุกต์ใช้งานได้อย่างถูกต้องและเหมาะสม สำหรับ PSoC มีรูปแบโครงสร้างของระบบภายในดังรูป 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



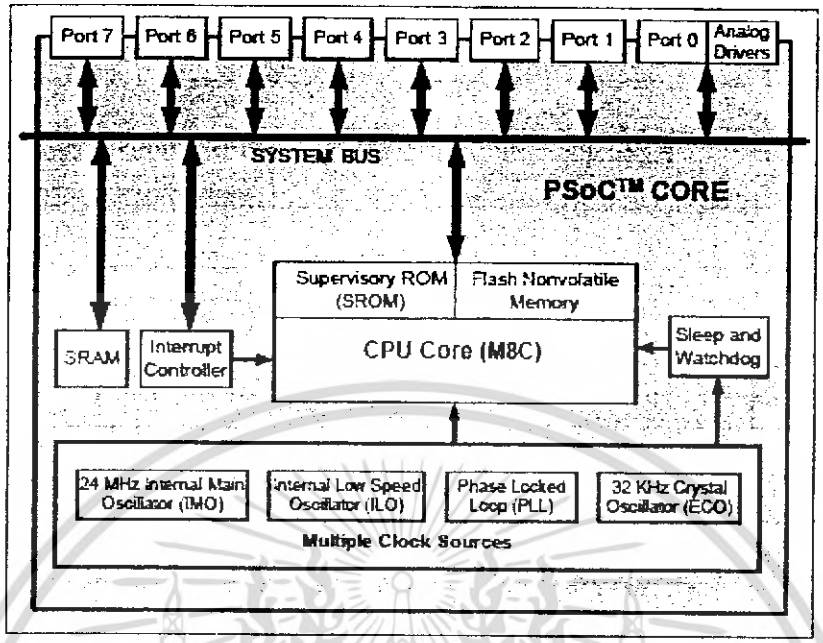
รูปที่ 2.11 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC

2.7.2 PSoC Core

เป็นส่วนของแกนหลักในการประมวลผลและควบคุมการทำงานภายในทั้งหมด อันประกอบด้วย หน่วยประมวลผลแบบ M8C

72017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

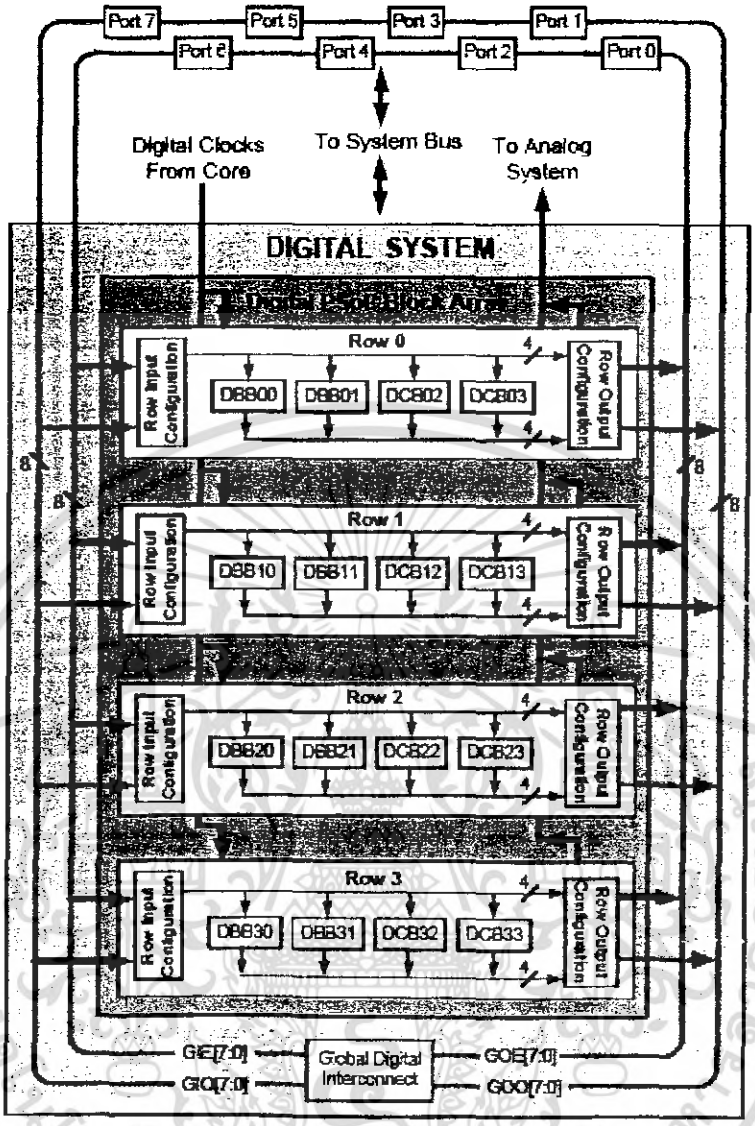


รูปที่ 2.12 PSoC Core

2.7.3 Digital System

เป็นพื้นที่การทำงานของระบบดิจิตอลโดยเป็นส่วนการทำงานทางด้าน Hardware ที่ แยกเป็นอิสระจาก PCoS Core โครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านดิจิตอลลงบนชิพเองได้ เช่น Timer Counter PWM I2C และ UART เป็นต้นเพื่อให้ชิพมีคุณสมบัติทางดิจิตอลตามที่ต้องการ สำหรับชิพเบอร์ CY29666 มีให้ใช้งานได้ 16 Digital Block และแต่ละบล็อกมีข้อมูลขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

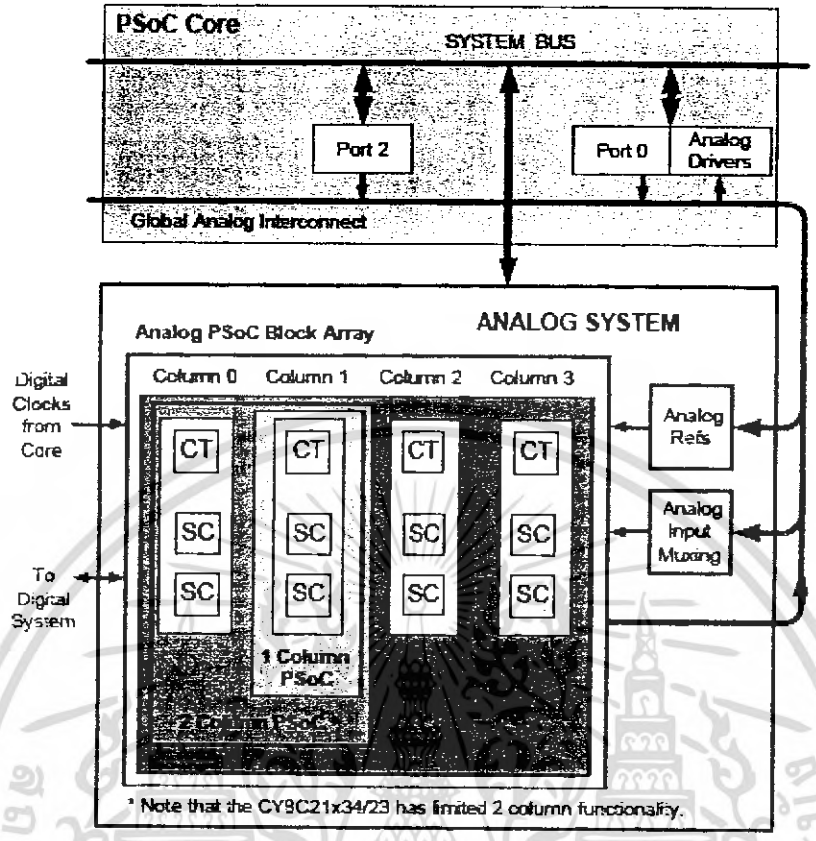


รูปที่ 2.13 Digital System

2.7.4 Analog System

เป็นพื้นที่การทำงานของระบบอนาล็อกโดยเป็นส่วนการทำงานทางด้าน Hardware ที่ แยกเป็นอิสระจาก PCoS Core และ Digital system โดยโครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านอนาล็อกลงบนชิพเองได้ เช่น Amplifier ADC DAC เป็นต้น สำหรับชิพเบอร์ CY29666 มีให้ใช้งานได้ 12 Analog Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 Analog System

2.7.5 System Resource

เป็นส่วนของทรัพยากรรวมภายใน ซึ่งละส่วนของระบบไมโครคอนโทรลเลอร์สามารถติดต่อถึงกันได้ผ่านซิสเต็มบัส (System Bus) อันประกอบด้วย

Digital Clocks สำหรับควบคุมการหารความถี่สัญญาณนาฬิกา

Multiply Accumulate (MAC)

Decimator

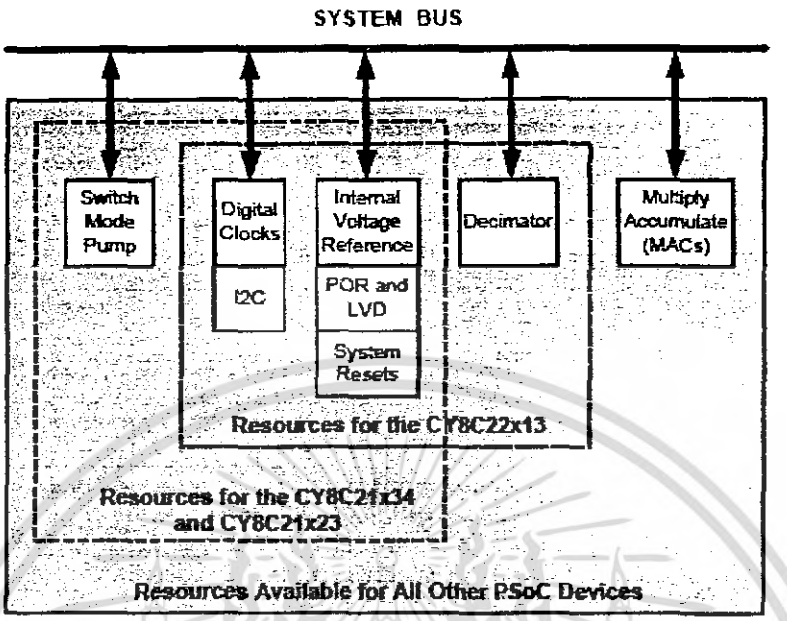
I2C สำหรับการสื่อสารด้วยรูปแบบ I2C

POR and LVD สำหรับควบคุมระบบ Reset และระบบตรวจสอบแรงดันไฟเลี้ยงต่ำกว่ากำหนด

Internal Voltage Reference แรงดันอ้างอิงภายในสามารถกำหนดเป็นแรงดันอ้างอิงให้แก่ ADC หรือส่งค่าแรงดันอ้างอิงออกสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

Switch Mode Pump เป็นโหมดการทำงานเพื่อบูทแรงดันไฟเลี้ยงที่ต่ำให้มีแรงดันที่สูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ที่ประยุกต์ใช้กับแบทเตอรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 System Resource

2.7.6 PORT

เป็นขาสัญญาณต่างๆ สำหรับการอินเตอร์เฟสไปยังวงจรต่างๆ โดยจำนวนของพอร์ต จะขึ้นอยู่กับเบอร์ของชิพ สำหรับเบอร์ CY29666 ที่ใช้จะมี 48 ขาให้ได้เลือกใช้งาน ซึ่งขาสัญญาณของ PSoC มีลักษณะคล้ายกับไมโครคอนโทรลเลอร์เบอร์อื่นๆ คือมีทั้งขาสัญญาณอินพุต เอาต์พุต ซึ่งในบางขาอาจจะทำหน้าที่มากกว่าหนึ่งหน้าที่ หน้าที่การทำงานของขาสัญญาณต่างๆของ PSoC สามารถสรุปได้ดังตารางที่1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Name	Description	Input/Oupput
SMP	Switch Mode Pump	Power
Vdd	Supply Voltage	Power
Vss	Ground	Input
XRES	External Reset (Active High)	Input/Output
P0[0] - P0[1]	Port 0[0], 0[1], Analog Input	Input/Output
P0[2] - P0[5]	Port 0[2], 0[3], 0[4], 0[5], Analog Input/Output	Input/Output
P0[6] - P0[7]	Port 0[6], 0[7], Analog Input	Input/Output
P1[0]	Port 1[0],ALOut / SDATA / I2C SCL	Input/Output
P1[1]	Port 10], XTALIn / SCLK / I2C SCL	Input/Output
P1[2]	Port 1[2]	Input/Output
P1[3}	Port 1[3]	Input/Output
P1[4]	Port 1[4], EXTCLK	Input/Output
P1[5]	Port 1[5], I2C SDA	Input/Output
P1[6]	Port 1[6]	Input/Output
P1[7]	Port 1[7], I2C SCL	Input/Output
P2[0] - P2[3]	Port 2[0], 2[1], 2[2], 2[3], Non-Multiplexed Analog Input(Switched Capacitor)	Input/Output
P2[4]	Port 2[4], External AGND	Input/Output
P2[5]	Port 2[5]	Input/Output
P2[6]	Port 2[6], External VREF	Input/Output
P2[7]	Port 2[7]	Input/Output
P3[0] - P3[7]	Port 3[0], 3[1], 3[2], 3[3], 3[4], 3[5], 3[6], 3[7]	Input/Output
P4[0] - P4[7]	Port 4[0], 4[1], 4[2], 4[3], 4[4], 4[5], 4[6], 4[7]	Input/Output
P5[0] - P5[3]	Port 5[0], 5[1], 5[2], 5[3]	Input/Output

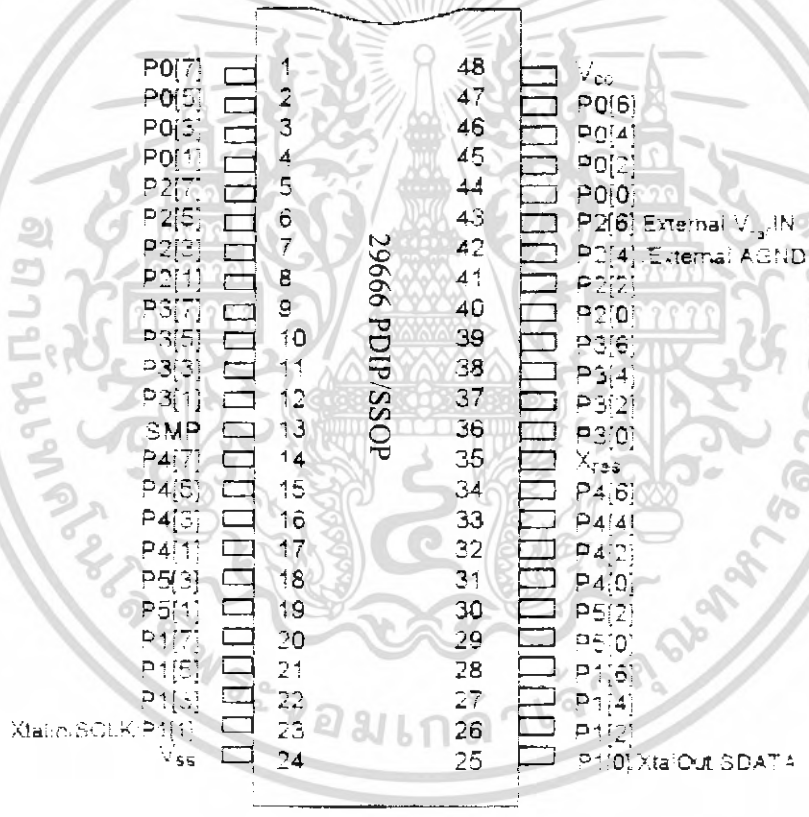
ตารางที่ 1 แสดงหน้าที่การทำงานของขาต่างๆ

นอกจากการใช้งานของขาพอร์ตต่างๆเป็นพอร์ตอินพุต/เอาต์พุตทั่วไปแล้ว ขาพอร์ตบองขายังมีหน้าที่เฉพาะอย่างดังต่อไปนี้

- VDD เป็นขาสัญญาณไฟเลี้ยง ต่อกับไฟ 5 โวลต์
- VSS เป็นขากราวด์ ต่อกับไฟเลี้ยง 0 โวลต์
- XRES เป็นขาสำหรับรีเซต เมื่อนี้มีลอจิกเป็น "1" CPU จะถูกรีเซต
- P0[2]-P0[5] เป็นาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล นอกจากนี้แล้วยังสามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้อีกด้วย
- P0[6]-P0[7] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล **แต่ไม่**สามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้
- P0[0] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้งานร่วมกับ P0[1])

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P0[1] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้งานร่วมกับ P0[0])
- P1[4] เป็นาสำหรับรับสัญญาณจากภายนอก
- P1[5] เป็นขารับ/ส่งข้อมูลของ I2C ซึ่งจะเรียกว่าขา SDA (Serial Data)
- P1[7] เป็นขารับสัญญาณนาฬิกาในการรับ/ส่งของมูล I2C เพื่อให้ด้านส่งและด้านรับทำการรับงข้อมูลได้อย่างสอดคล้องกัน ซึ่งเรียกว่า SCL (Serial Clock)
- P2[0]- P2[3] เป็นขารับสัญญาณอนาล็อกแบบ Non – Multiplexed
- P2[6] เป็นขารับสัญญาณอ้างอิงจากภายนอก



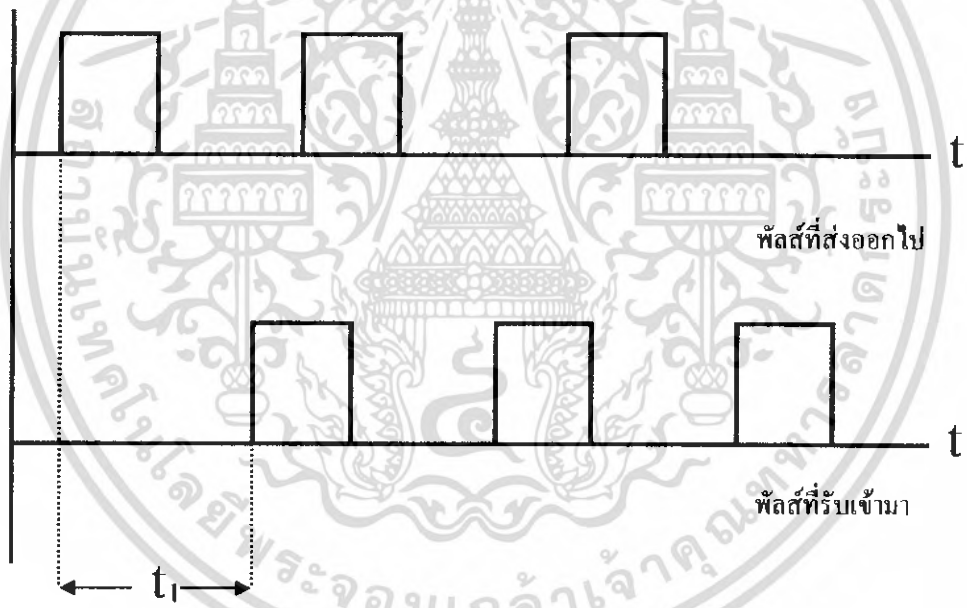
รูปที่ 2.22 PSoC เบอร์ CY29666

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณแล้วการออกแบบ

3.1 หลักการคำนวณของเครื่องวัดระดับน้ำ

เครื่องวัดระดับน้ำทำงานอาศัยไมโครคอนโทรลเลอร์ (PSOC) เป็นหลักเพียงตัวเดียว (Pure IC) โดยหลักการคำนวณทำได้โดย IC PSOC จะผลิดพัลส์ความถี่ 40 kHz ให้กับตัวอัลตราโซนิกตัวส่งพร้อมทั้งสั่งงานให้ตัวเคาน์เตอร์ (Timer) เริ่มนับ ส่งออกไปกระทบกับผิวน้ำและสะท้อนกลับมายังอัลตราโซนิกตัวรับแล้วนำสัญญาณไปทริกเพื่อให้ไทรเมอร์ทำการหยุดนับ จะได้ค่าเวลาของการนับออกมา ดั่งรูปที่ 3.1



รูปที่ 3.1 แสดงการส่งและการรับสัญญาณพัลส์

จากรูปจะเห็นได้ว่า พัลส์ที่สะท้อนกลับมา t_1 จะมีค่าเป็น สองเท่าของระยะทางที่พัลส์เดินทางถึงเป้าหมายคือระดับน้ำที่แท้จริง ดังนั้นเราจึงจะคำนวณระยะทางจริงๆได้เทากับ

$$S = Vt/2 \quad \text{เมตร}$$

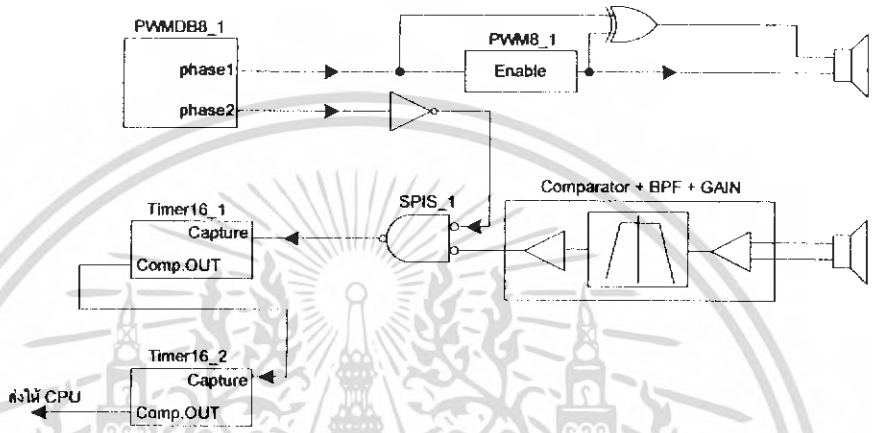
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ : S = ระยะทางที่วัดได้

V = ความเร็วของคลื่นเสียง (ประมาณ 340 เมตร/วินาที)

t = ระยะเวลาที่คลื่นเดินทางไปและกลับ

3.2 หลักการทำงานแสดงโดยเป็นบล็อกไดอะแกรม



รูปที่ 3.2 บล็อกไดอะแกรมการทำงานของระบบ

3.3หลักการทำงานของไมโครคอนโทรลเลอร์ (PSOC)

ในตัวไอซีไมโครคอนโทรลเลอร์มีฟังก์ชั่นการทำงานมากมาย คือ วงจร AC to DC , DC to AC , Amplifiers , Pulse width mod. , timers , ... ทำให้ง่ายต่อการออกแบบให้เป็นวงจรรวมภายในตัวเดียวได้ทันทีโดยที่ไม่ต้องมีการต่อกับวงจรภาคต่างๆให้วุ่นวายและเปลืองเนื้อที่อื่นใด

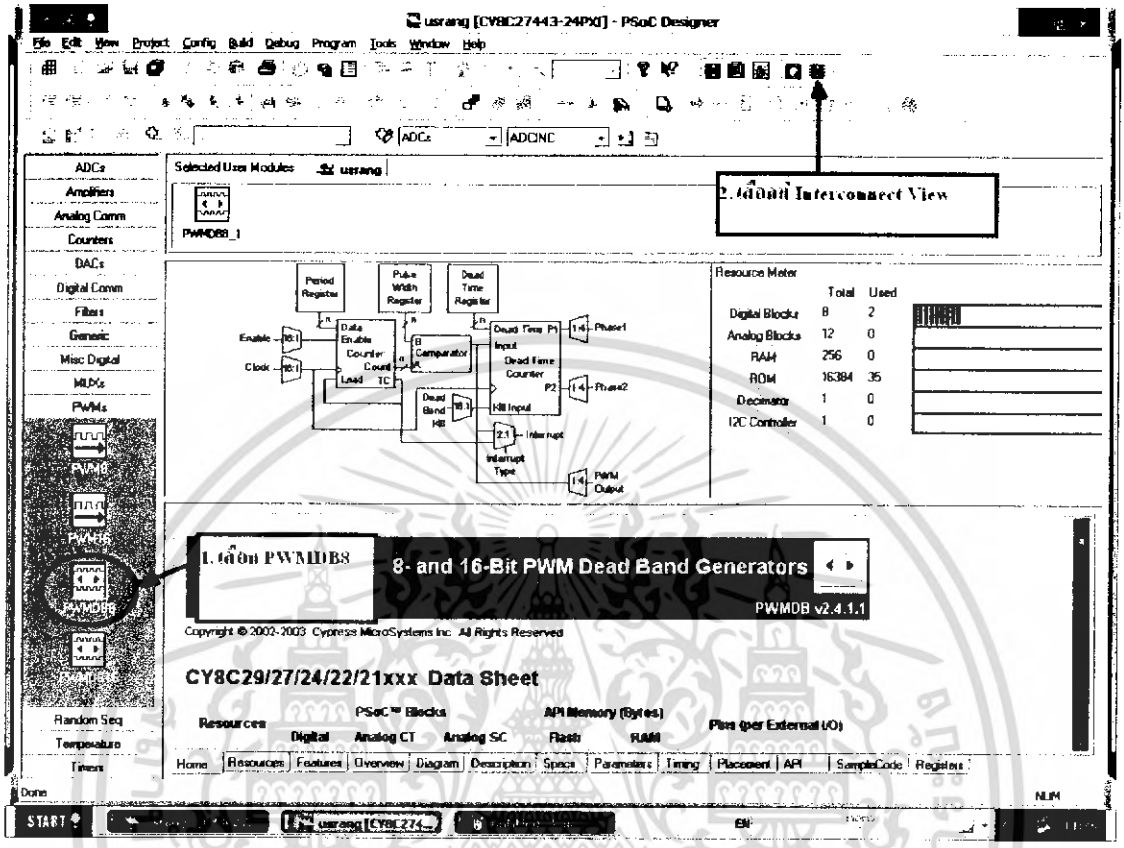
เริ่มการทำงานโดย

3.3.1 Pulse Width Modulations Dead Band

1. โดยเลือกฟังค์ชั่น PWMs และเลือกฟังก์ชั่นย่อย PWMDB8 เพื่อทำการสร้างโมดูล (Module) ผลิตความถี่ส่งออกออกมา 2 เฟส

2. ต่อมาทำดับเบิลคลิกตัวโมดูลพัลส์วิดท์มอดูเลทชั่นเด็ดแบนด์ เพื่อเลือกใช้งาน แล้วเลือกฟังก์ชั่น Interconnect View ดังรูปที่ 3.3

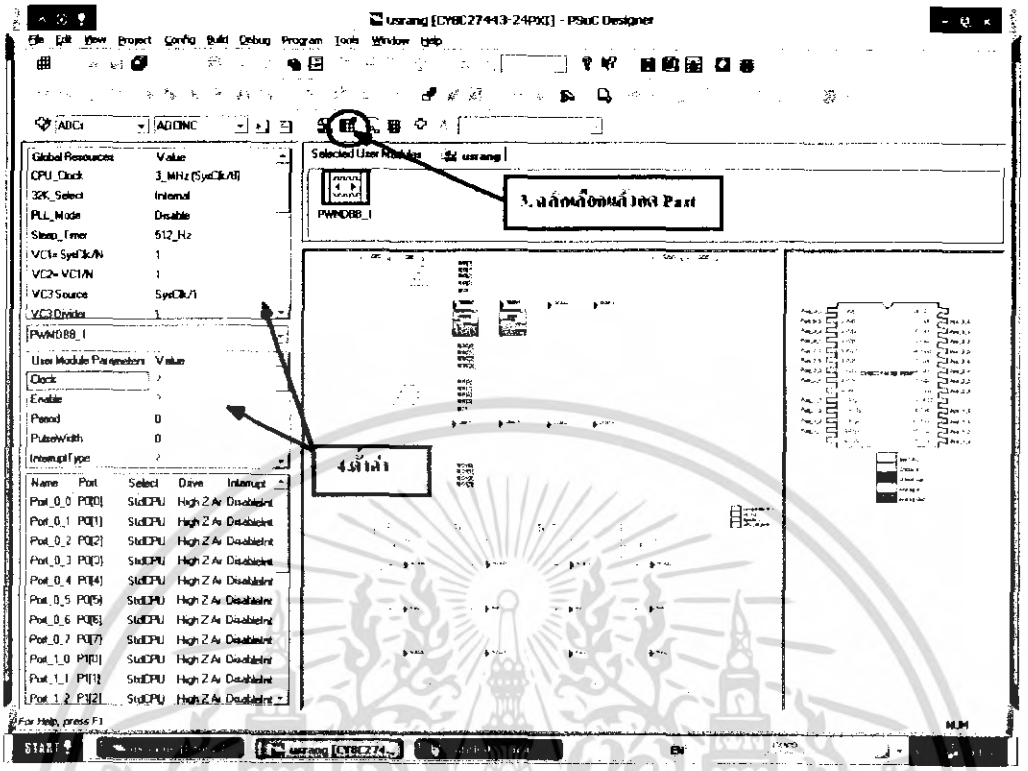
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



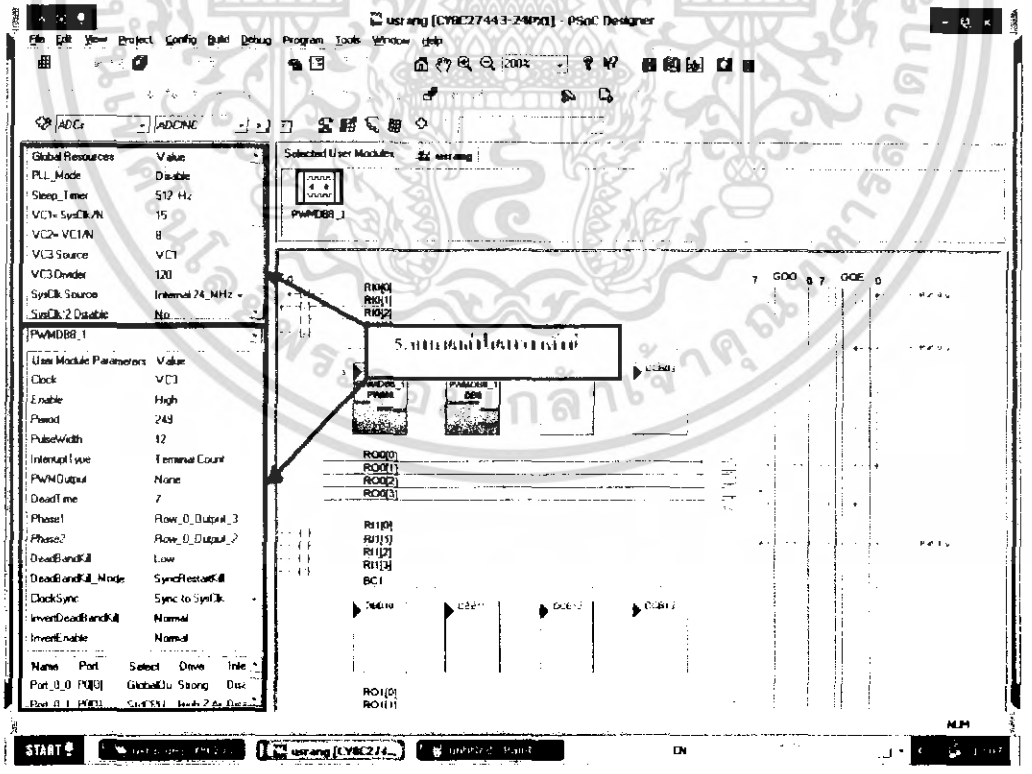
รูปที่ 3.3 แสดงการสร้าง PWMDB8_1

3. คลิกเลือกฟังก์ชั่น PWMDB8_1 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วตั้งค่า Global Resources และ User module Parameters ในช่อง Value ให้เป็นดังรูปที่ 3.4 และรูปที่ 3.5 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



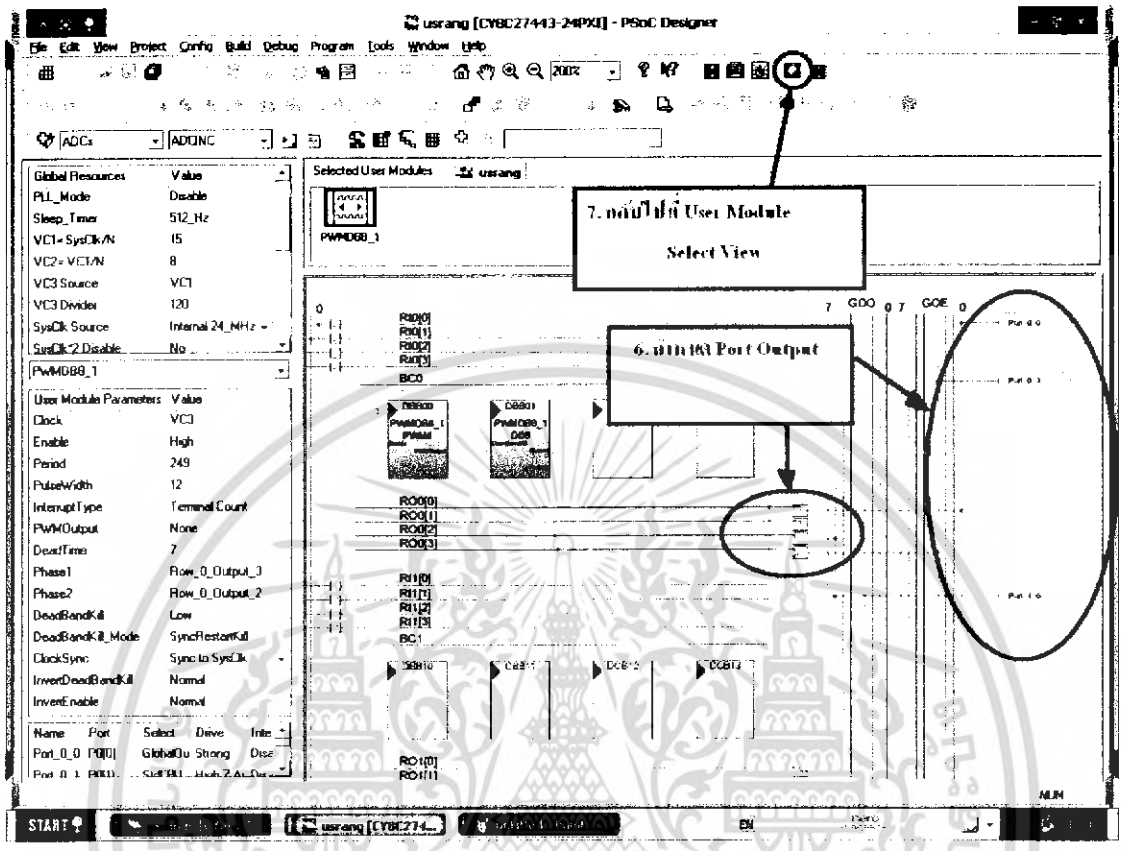
รูปที่ 3.4 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ



รูปที่ 3.5 แสดงการตั้งค่า Global Value และ Use Module Parameters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. กำหนด ให้สัญญาณ PWMDB8_1 ให้เอาท์พุท ออกที่ ROWโดยการเชื่อมสายดังรูปที่3.6



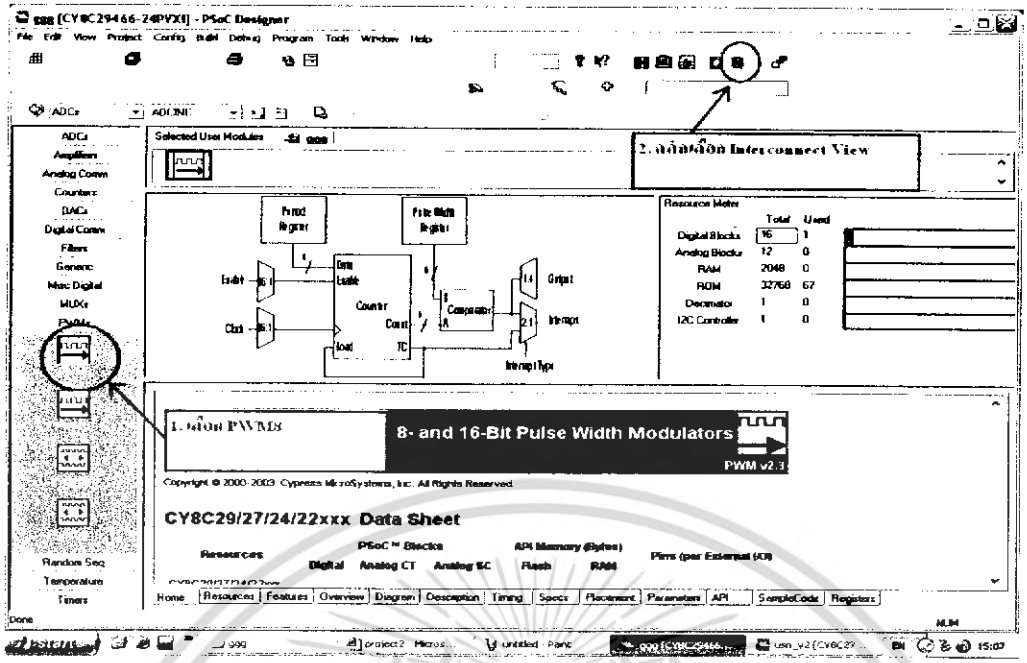
รูปที่ 3.6 แสดงการเชื่อมสายเอาท์พุตเข้าที่ ROW

3.3.2 Pulse Width Modulations

1. โดยเลือกฟังค์ชั่น PWMs และเลือกฟังก์ชั่นย่อย PWM8 เพื่อทำการสร้างโมดูล (Module) ผลิตความถี่ 40 kHz

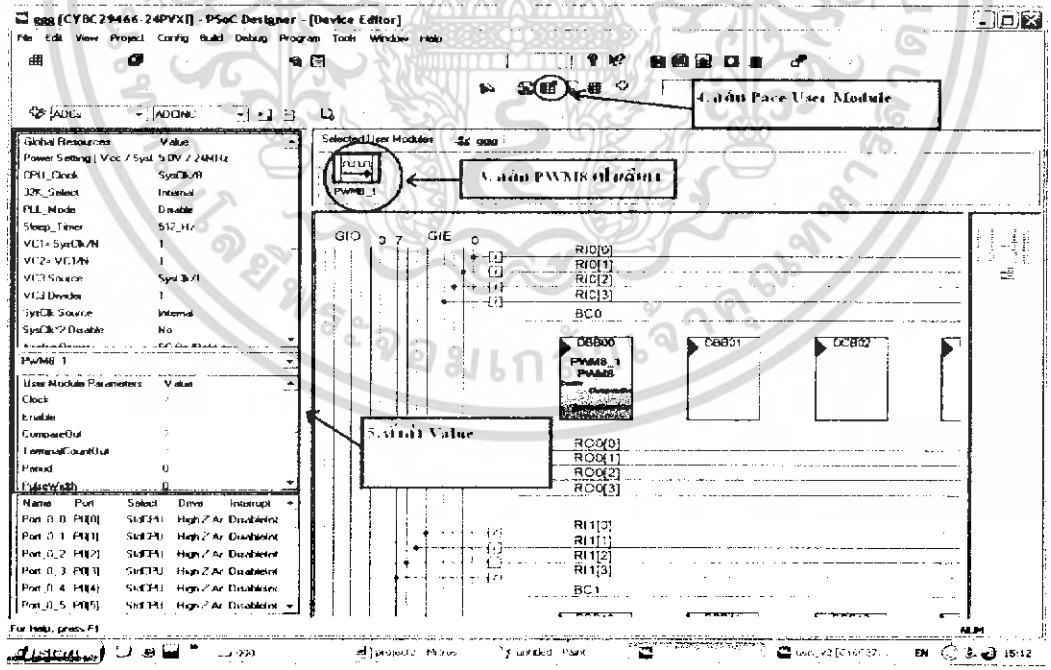
2. ต่อมาทำการดับเบิลคลิกตัวโมดูลพัลส์วิดท์มอดูเลทชั่น เพื่อเลือกใช้งานต่อมาทำการเลือกฟังก์ชั่น Interconnect View ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



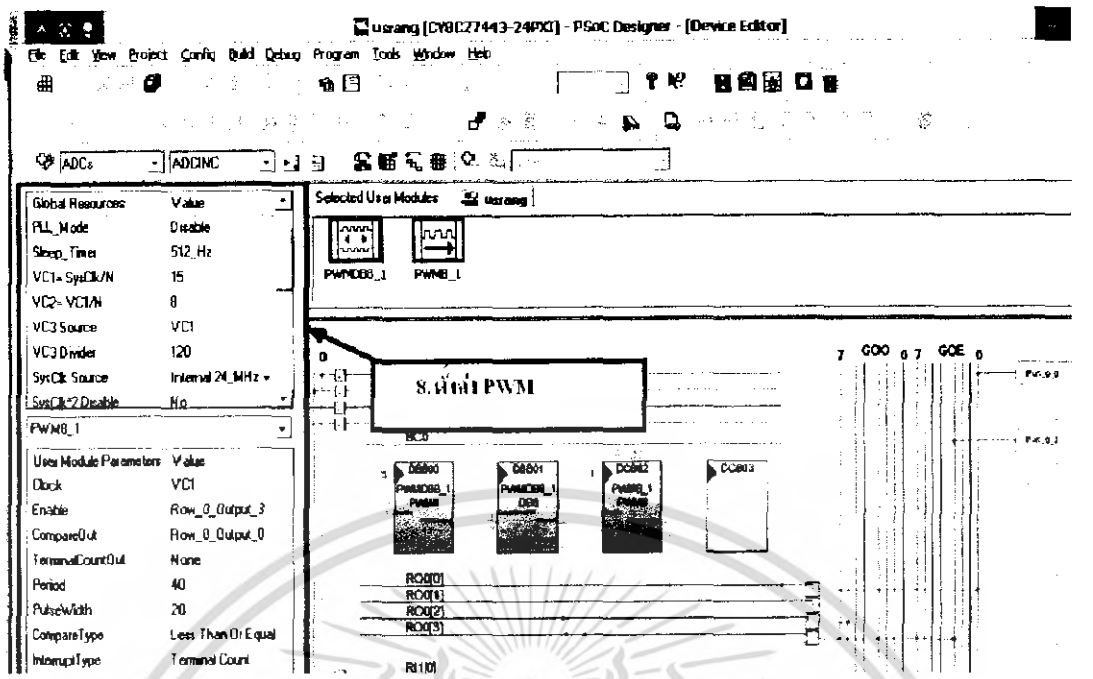
รูปที่ 3.7 แสดงการสร้าง PWM8_1

3. คลิกเลือกฟังก์ชั่น PWM8_1 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วตั้งค่า Global Resources และ User module Parameters ในช่อง Value ให้เป็นดังรูปที่ 3.8 และรูปที่ 3.9 ตามลำดับ



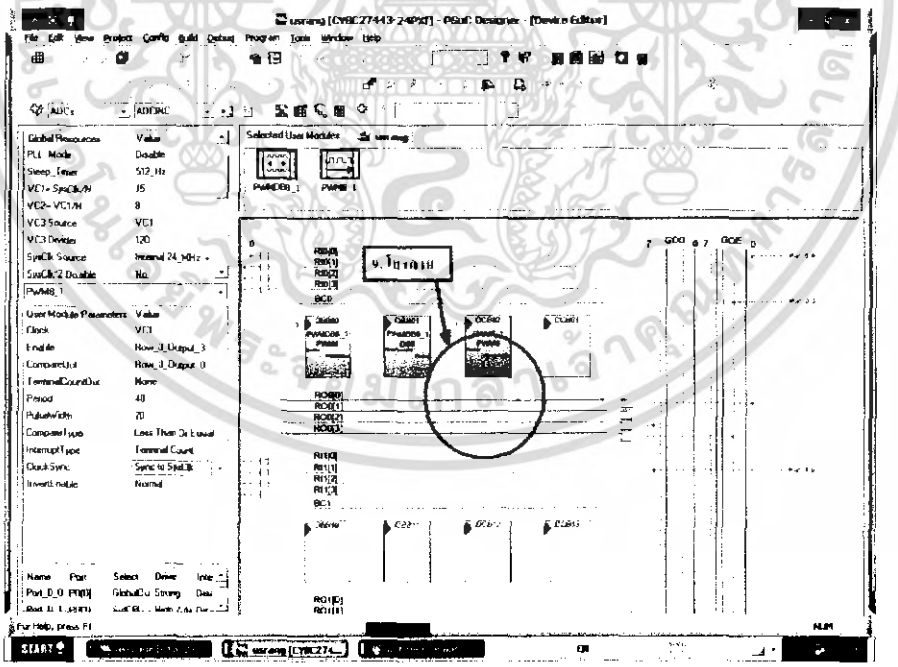
รูปที่ 3.8 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงการตั้งค่า Global Value และ Use Module Parameters

4. กำหนด ให้สัญญาณ PWM8_1 ให้เอาท์พุท ออกที่ Port0_0โดยมีการ Modulate ด้วย XOR การเชื่อมสายดังรูปที่ 3.10



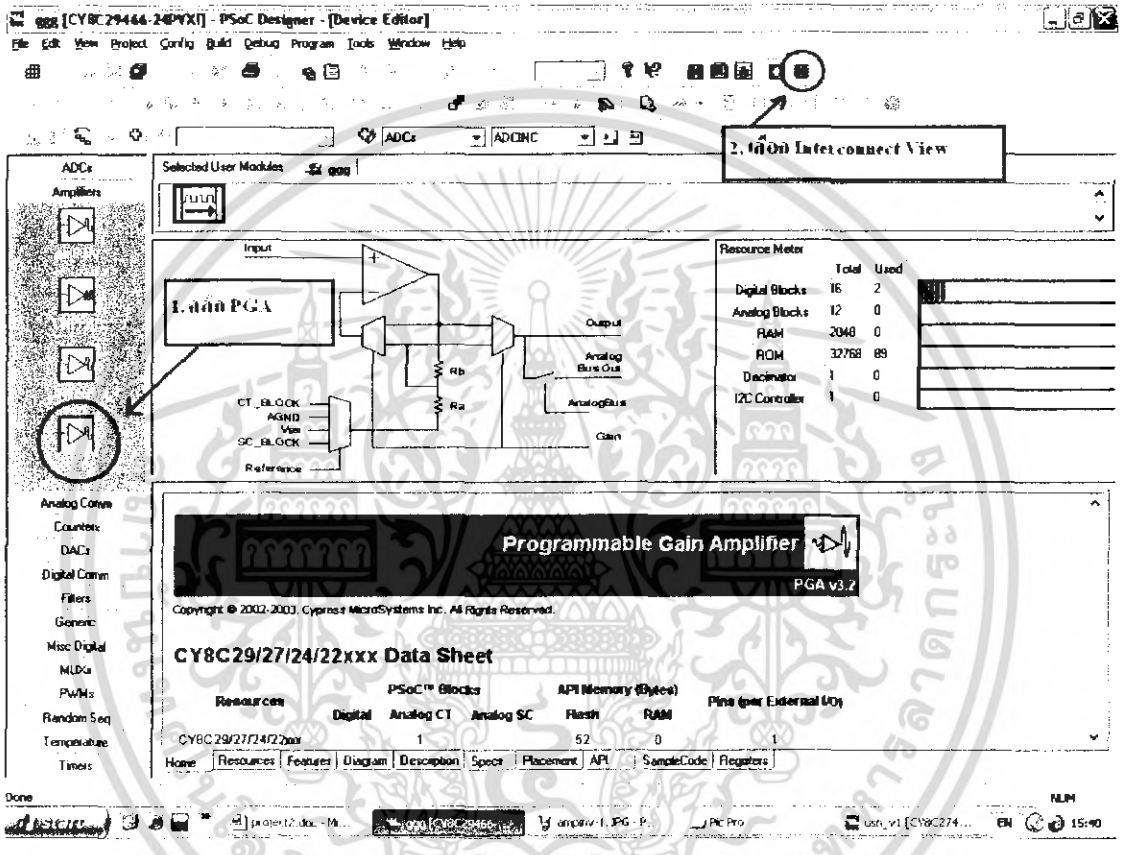
รูปที่ 3.10 แสดงการตั้งค่า Output ให้ออกที่ Port 0_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 Amplifier

1. เลือกฟังก์ชั่น Amplifier คลิกเลือกฟังชั่นย่อย PGA เพื่อทำการเลือกโมดูลวงจรขยาย (Gain) เมื่อรับสัญญาณเข้าแล้วจากอัลตราโนิกตัวรับ

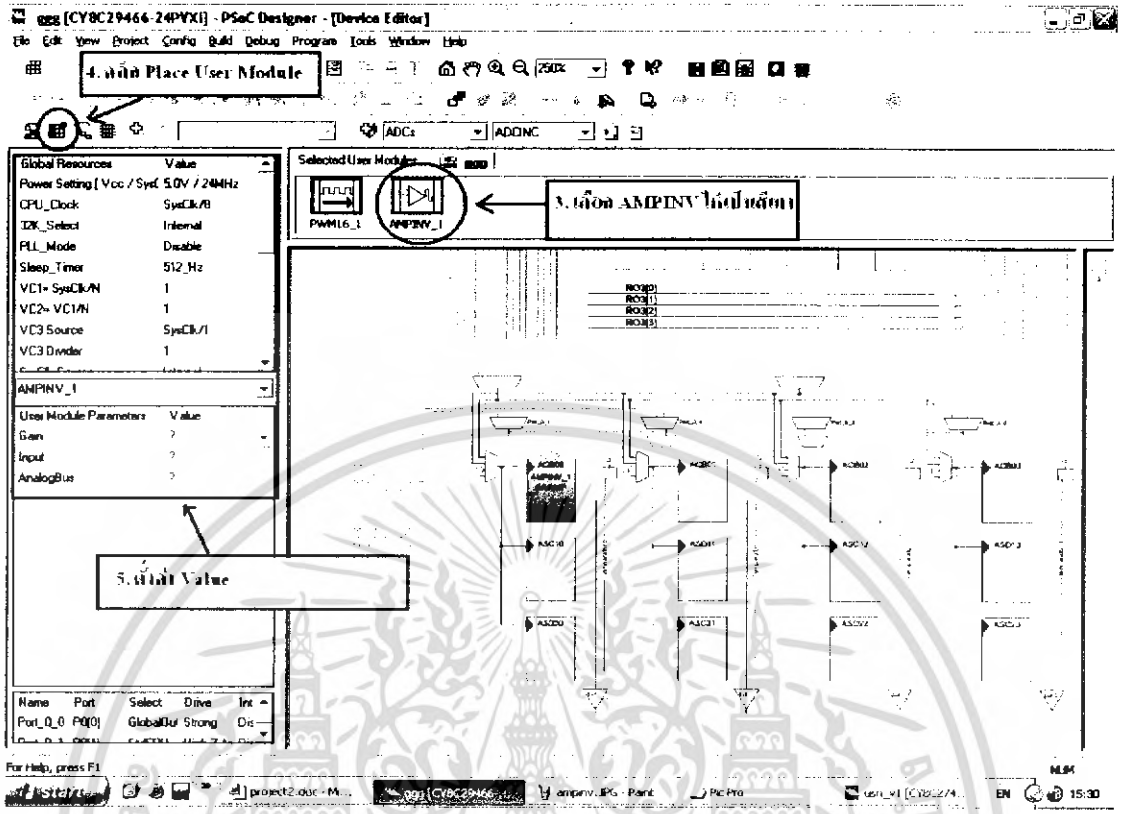
2. ต่อมาเลือกฟังก์ชั่น Interconnect View เพื่อทำการตั้งค่าตัวโมดูล ดังรูปที่ 3.11



รูปที่ 3.11 แสดงการสร้าง PGA

3. คลิกฟังก์ชั่น PGA ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วทำการตั้งค่า Global Resources และ User Module Parameters ในช่อง Value ดังรูปที่ 3.12 และรูปที่ 3.13 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงการวางโมดูล และ ตั้งค่า Value

Global Resources	Value
CPU_Clock	24_MHz (SysClk/1)
32K_Select	Internal
PLL_Mode	Disable
Sleep_Timer	512_Hz
VC1= SysClk/N	2
VC2= VC1/N	1
VC3 Source	SysClk/1
VC3 Divider	1
SysClk Source	Internal 24_MHz
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-BandGap
AGndBypass	Disable
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Supply Voltage	5.0V
Watchdog Enable	Disable

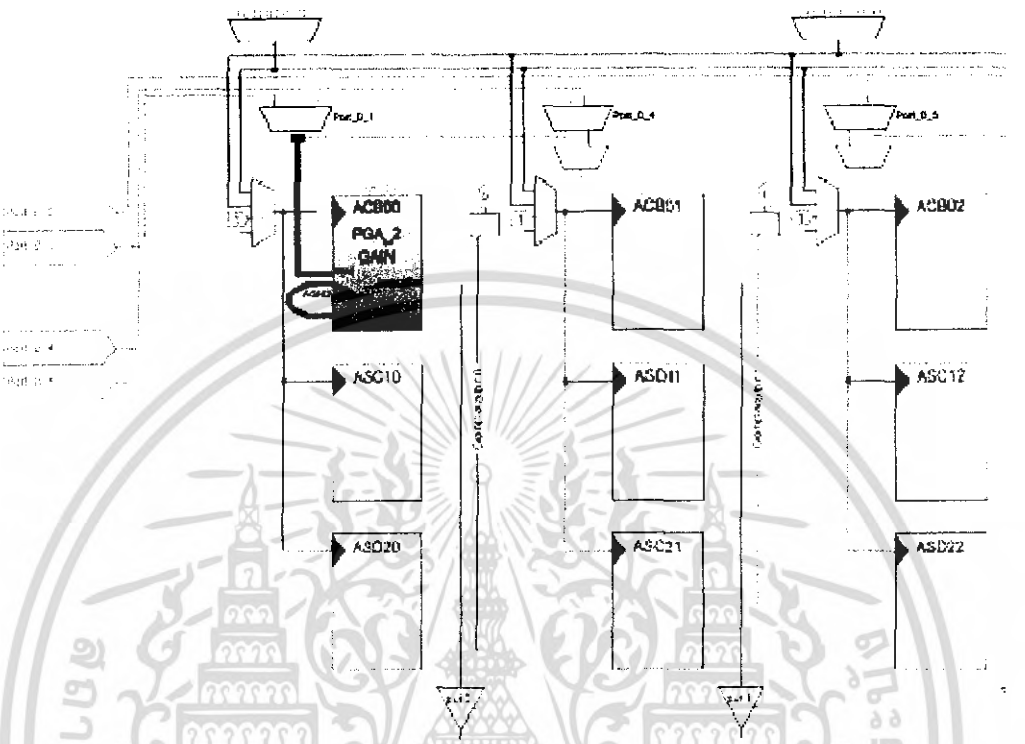
PGA_1

User Module Parameters	Value
Gain	48.00
Input	AnalogColumn_InputMUX_0
Reference	AGND
AnalogBus	AnalogOutBus_0

รูปที่ 3.13 แสดงการตั้งค่า Global Resources และ User Module Parameters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. กำหนด Port Input ของวงจร PGA โดยการเชื่อมสายดังรูป 3.14



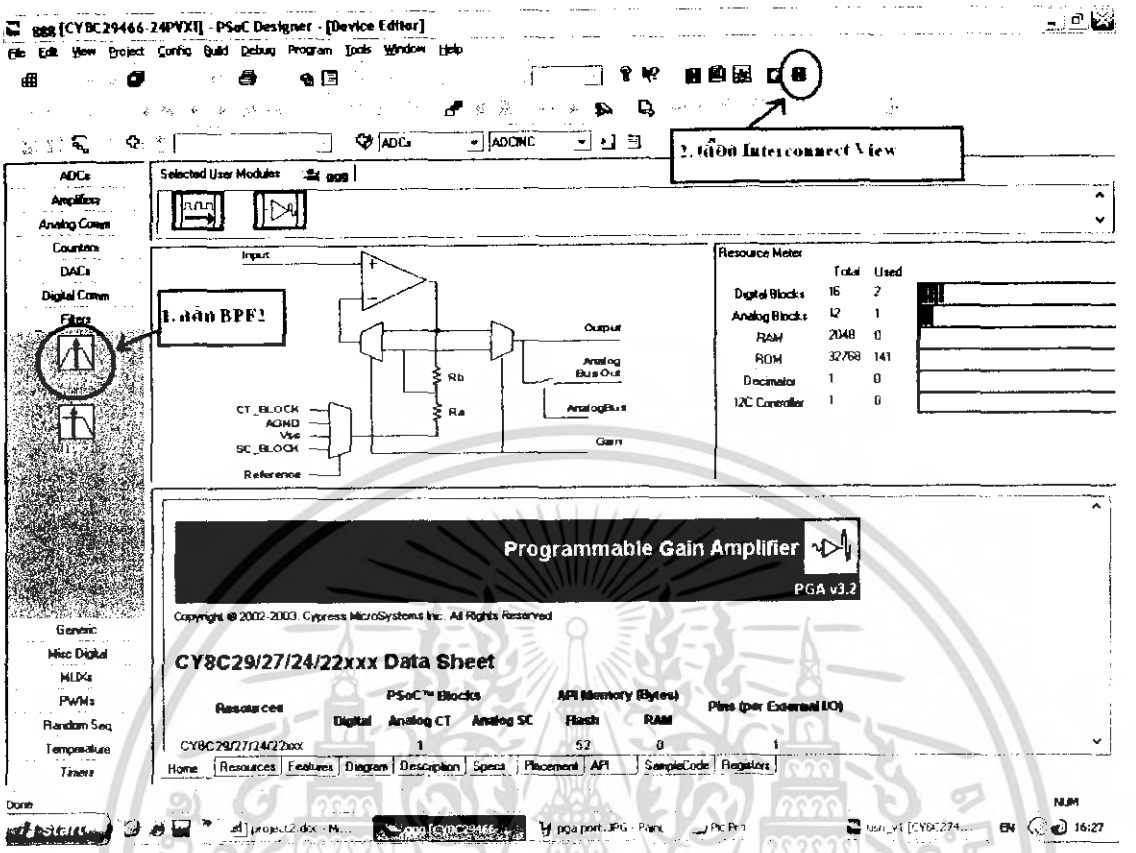
รูปที่ 3.14 แสดงการเชื่อมสายกับ Port 0.1 และ กำหนด Analog GND

3.3.4 Band Pass Filter

1. เลือกฟังก์ชั่น Filters คลิกเลือกฟังชั่นย่อย BPF2 (BPF2 ต้องใช้โมดูลจำนวน 2 Block และเลือกแบบ BPF2A) เพื่อทำการเลือกโมดูลวงจรกรองความถี่จากการผ่านวงจรขยายสัญญาณแล้ว

2. ต่อมาเลือกฟังก์ชั่น Interconnect View เพื่อทำการตั้งค่าตัวโมดูล ทีละ Block ดังรูปที่ 3.15

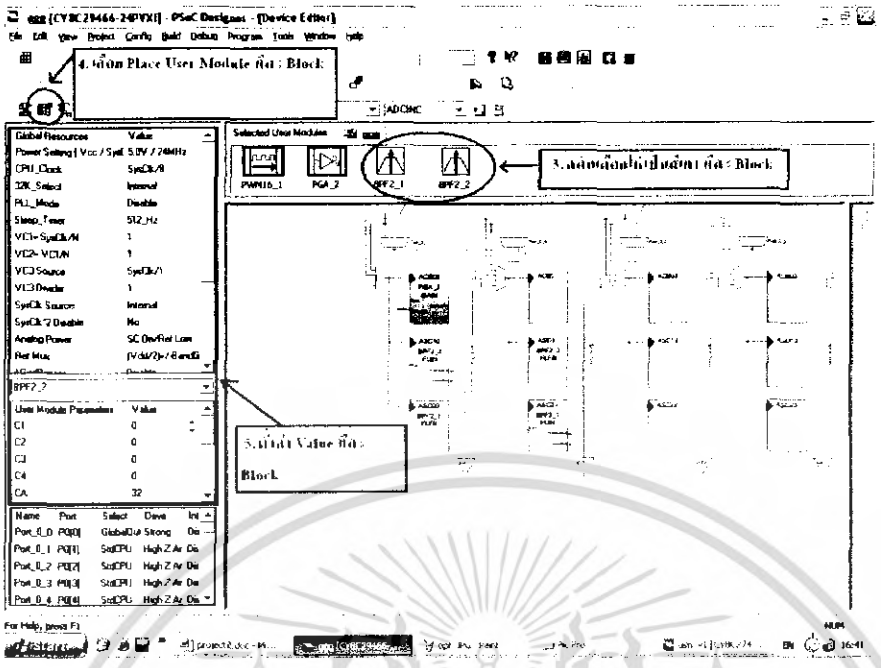
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 แสดงการสร้าง Band pass Filter Module

3. คลิกฟังก์ชั่น BPF2 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วทำการตั้งค่า Global *Resources* และ User Module Parameters ในช่อง Value ทำเช่นทีละ Block ดังรูปที่ 3.16 , รูปที่ 3.17 และ รูปที่ 3.18 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value

Global Resources	Value
CPU_Clock	24_MHz (SysClk/1)
32K_Select	Internal
PLL_Mode	Disable
Sleep_Timer	512_Hz
VC1= SysClk/N	2
VC2= VC1/N	1
VC3 Source	SysClk/1
VC3 Divider	1
SysClk Source	Internal 24_MHz
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-BandGap
AGndBypass	Disable
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Supply Voltage	5.0V
Watchdog Enable	Disable

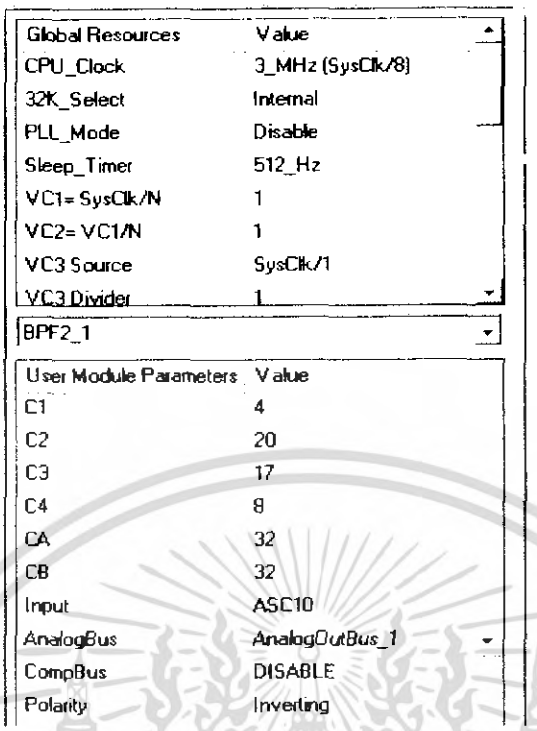
CPU_Clock

BPF2_1

User Module Parameters	Value
C1	24
C2	10
C3	8
C4	4
CA	32
CB	32
Input	ACB00
AnalogBus	DISABLE
CompBus	DISABLE
Polarity	Inverting

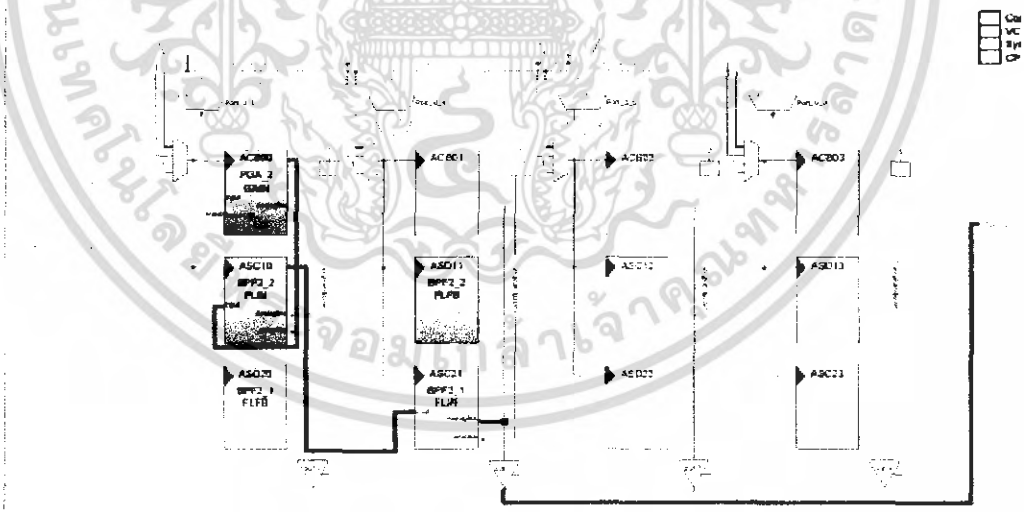
รูปที่ 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_2

4. กำหนด Port Input และ Port Output ของวงจร BPF2 โดยการเชื่อมสายดังรูปที่3.19



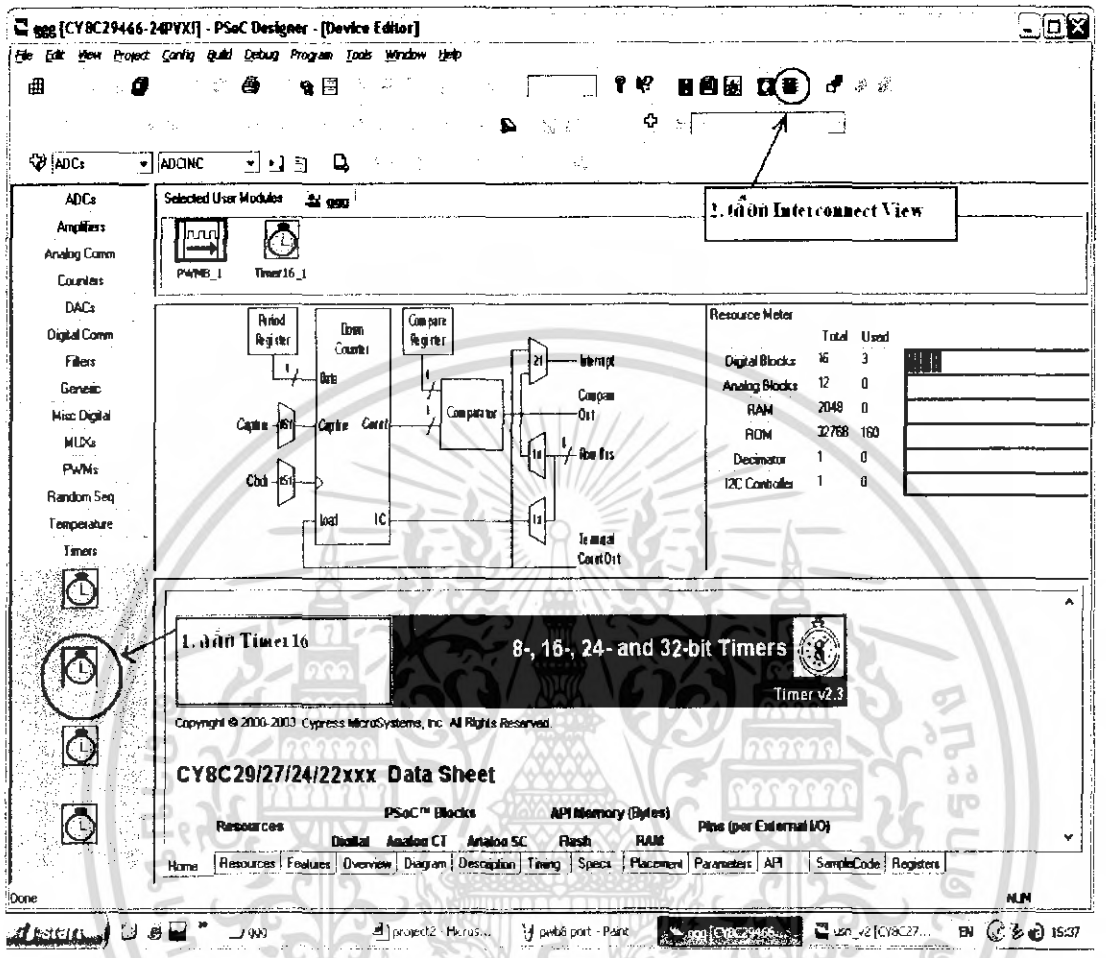
รูปที่ 3.19 แสดงการเชื่อมสายของวงจร BPF2

3.3.5 Timer16_1

1. เลือกฟังก์ชั่น Timers คลิกเลือกฟังชั่นย่อย Timer16_1 เพื่อทำการเลือกโมดูลวงจรไทเมอร์ (Timer) เพื่อทำการจับเวลาในการส่งและรับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

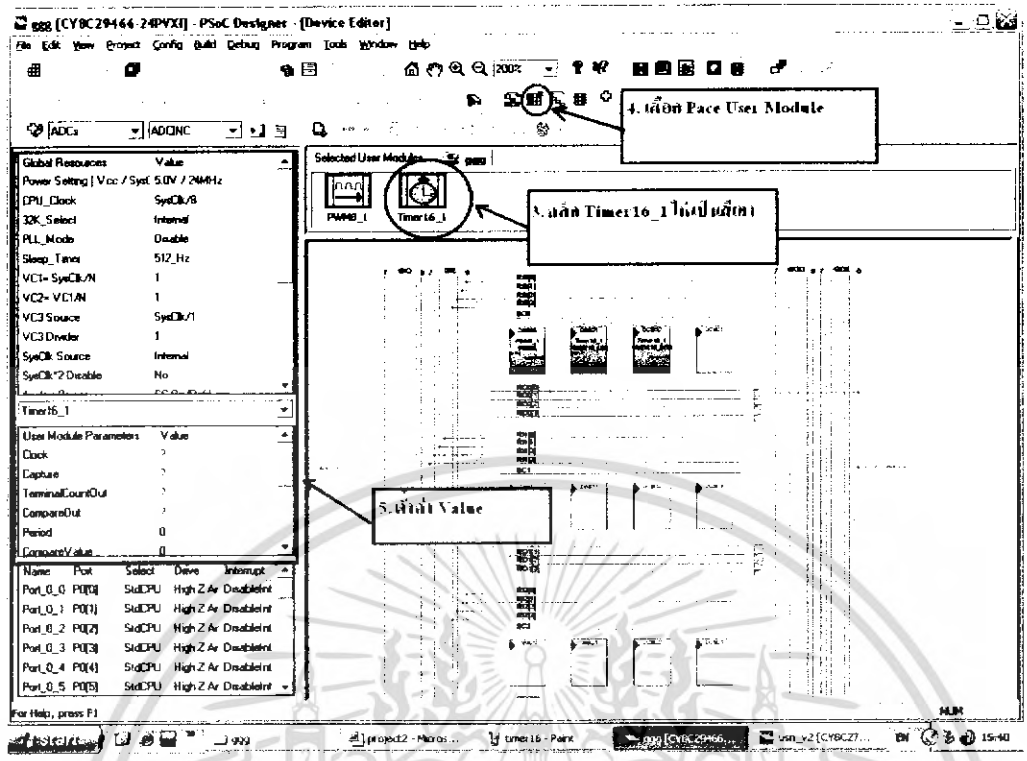
2. ต่อมาเลือกฟังก์ชั่น Interconnect View เพื่อทำการตั้งค่าตัวโมดูล ดังรูปที่ 3.20



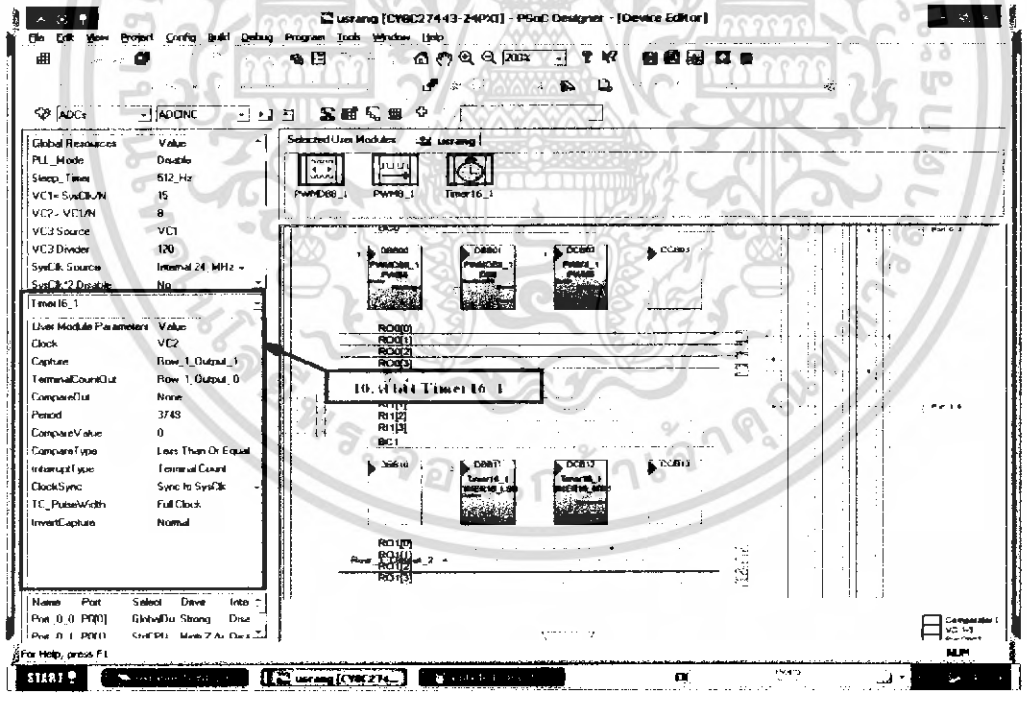
รูปที่ 3.20 แสดงการสร้าง Timer Module

3. คลิกฟังก์ชั่น Timer16_1 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วทำการตั้งค่า Global Resources และ User Module Parameters ในช่อง Value ดังรูปที่ 3.21 และ 3.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



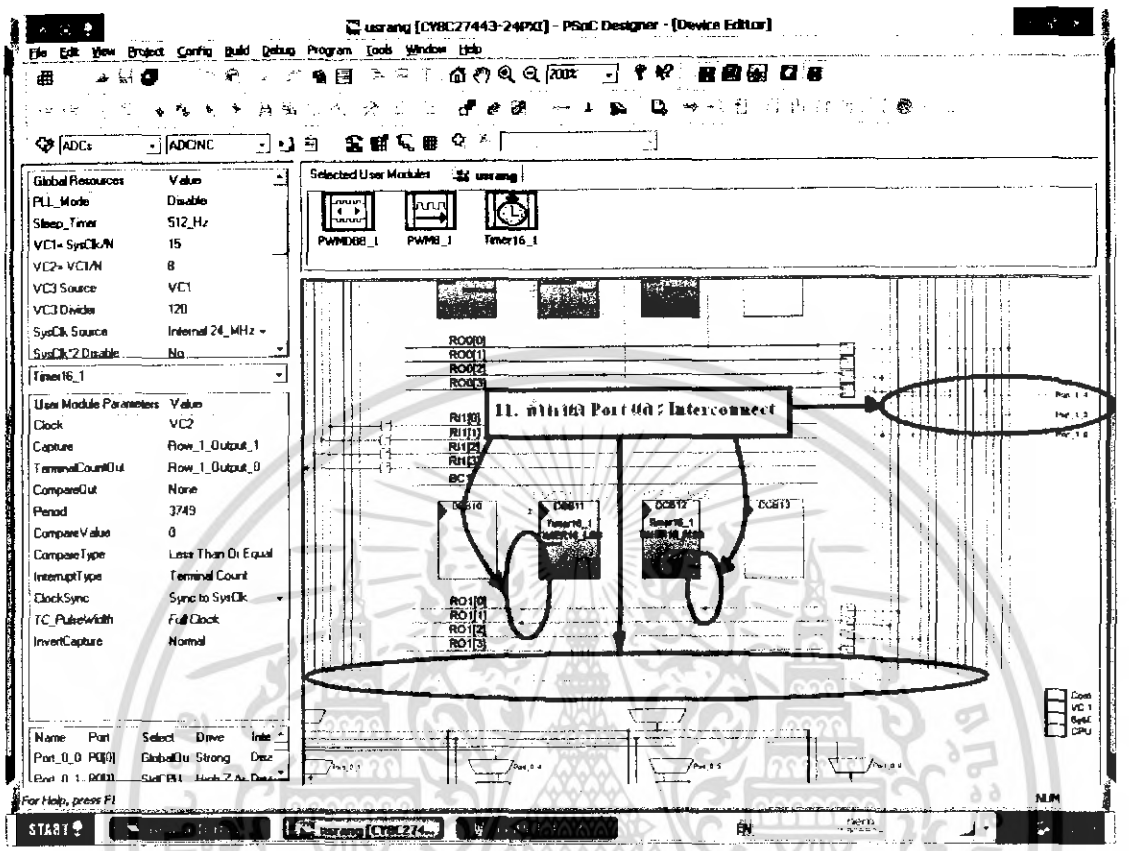
รูปที่ 3.21 แสดงการวาง Timer Module และ การตั้งค่า Value



รูปที่ 3.22 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ Timer16_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. กำหนด Port Input ของวงจรTimer16_1 โดยการเชื่อมสายดังรูปที่3.23



รูปที่ 3.23 แสดงการเชื่อมสายของวงจร Timer16_1

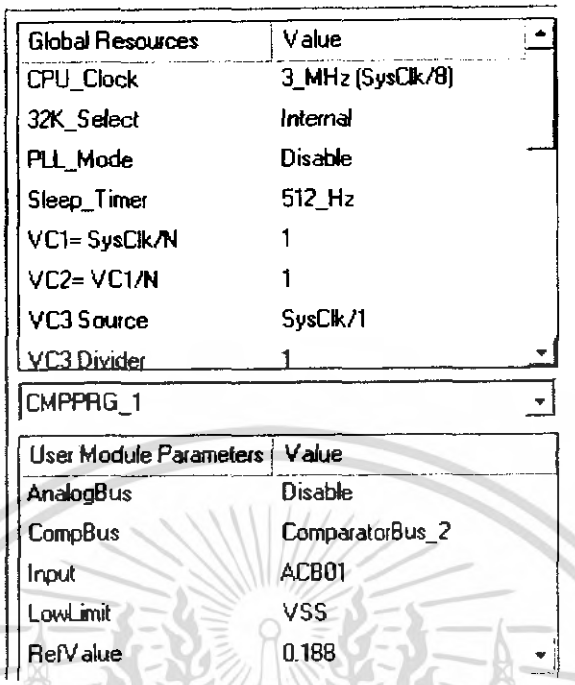
3.3.6 LCD

การใช้ LCD Module เป็นการเรียกใช้ฟังก์ชั่นภายใน เพียงแค่คลิกเลือก Misc Digital แล้วเลือกฟังก์ชั่นย่อย LCD ก็จะได้โมดูล LCD ต่อมาทำตั้งค่า Value ใน User Module Parameters ให้เอาท์พุทออกแสดงผลที่ Port 2 และตั้งค่า BarGraph ให้เป็น Enable

3.3.7 Comparator

การใช้คอมพาราเตอร์ ทำดั่งขั้นตอนกอ่นๆให้การเลือกแล้ววางลงในบล็อกทางพื้นที่อนาล็อก แล้วตั้งค่าดั่งรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 การตั้งค่า Comparator

3.4 หลักการทำงานส่วนของโปรแกรม

ในส่วนการทำงานของโปรแกรมจะใช้ภาษา C เป็นหลักของการสั่งงานให้ตัวอุปกรณ์ทำงาน ซึ่งเป็นส่วนสำคัญมากในการออกแบบเพื่อควบคุมการทำงานและการแสดงผล

3.4.1โปรแกรมส่วนภาษา C

3.4.1.1 ส่วนการสร้างพัลส์วิดเด็ดแบนด์ ให้เซ็ตค่าตามที่กำหนดจะทำให้พัลส์วิดท์มอดูเลทเด็ดแบนด์ ผลิตความถี่ออกมา 2 เฟสเพื่อทำการกำจัดพัลส์ช่วงแรกๆที่ไม่ใช่ค่าการสะท้อนกลับของคลื่นอัลตราโซนิกส์ที่แท้จริง

3.4.1.2 ส่วนการสร้างพัลส์วิดท์มอดูเลท ใช้หลักการหารความถี่ของซีพียู ที่มีความถี่เท่ากับ 24 MHz โดยหารด้วย 15 จะทำให้เหลือ 1.6 MHz แล้วทำการทั้งค่า Period ให้เท่ากับ 40 พัลส์วิดท์เท่ากับ 20 ก็จะผลิตความถี่ซึ่งเท่ากับ 40 kHz ให้ออกพอร์ทตามต้องการ

3.4.1.2 ส่วนของการจับเวลา ใช้ไทเมอร์จับเวลาพร้อมกับการที่วงจรกำเนิดสัญญาณที่ส่งให้กับตัวอัลตราโซนิกตัวส่ง จนกว่าตัวอัลตราโซนิกตัวรับจะรับสัญญาณได้จะจะสั่งงานให้ตัวไทเมอร์หยุดการนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1.3 ส่วนของการการขยายและกรองสัญญาณ การขยายสัญญาณจะทำการขยายสัญญาณที่มีกำลังอ่อนให้ได้ค่าตามเกรน ที่ได้กำหนดไว้แล้ว แล้วจะส่งให้กับภาคของวงจรกรองความถี่กลาง ที่กำหนดไว้ที่ 40 kHz ผ่านเข้ามา

3.4.1.4 การคำนวณระยะทาง การทำงานจะนำค่าที่ไทเมอร์จับเวลาได้มาคำนวณระยะทางตามสูตร

$$S = (V . T) / 2$$

3.4.1.5 ส่วนของการแสดงผล LCD ทำการนำค่าของการคำนวณ ที่ก็ไว้ในรีจิสเตอร์ภายในออกแสดงบนจอ LCD ในบรรทัดที่กำหนดไว้ และออกตามพอร์ทที่กำหนดเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

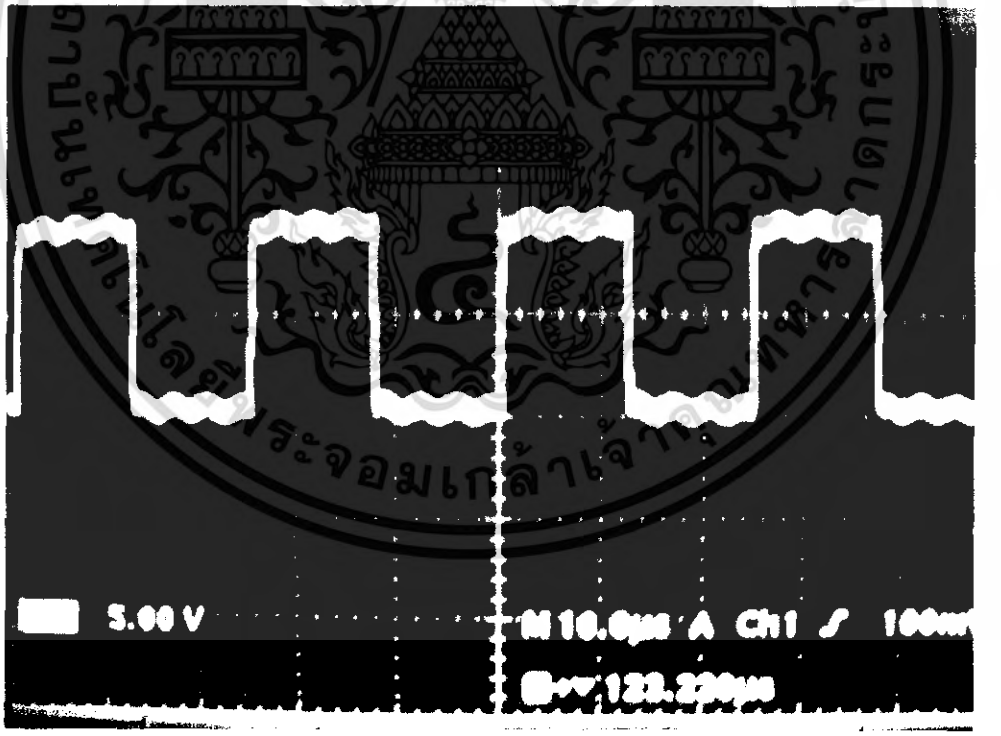
ในการทดลองในโครงงานนี้จะประกอบด้วย 2 ส่วนใหญ่ๆ คือ

- การทดลองในส่วนของวงจรการทำงาน
- การทดลองในส่วนของการวัดระยะทาง

4.1 การทดลองในส่วนของวงจรการทำงาน

4.1.1 ส่วนของวงจรภาคส่ง

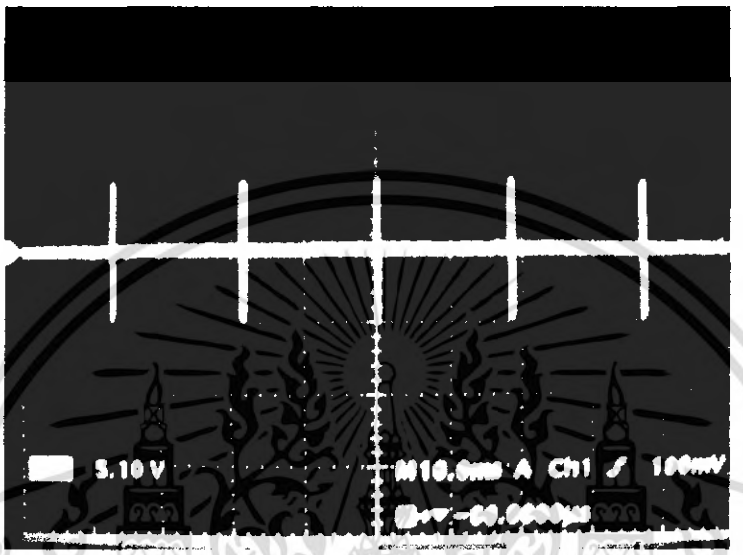
1) ในส่วนของภาคส่งนี้ จะต้องมีการปรับค่าความถี่ตรงกับความถี่ของอัลตราโซนิก ซึ่งก็คือ 40 กิโลเฮิร์ท เมื่อทำการวัดความถี่ที่ปล่อยออกจาก ไอซี PSOC ในช่วงภาคพัลส์วิดท์มอดูเลท 8 บิทจะได้รูปสัญญาณความถี่ ดังรูป 4.1



รูปที่ 4.1 *แสดงสัญญาณที่ Module PWM_8 ผลิตให้อัลตราโซนิกตัวส่ง*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

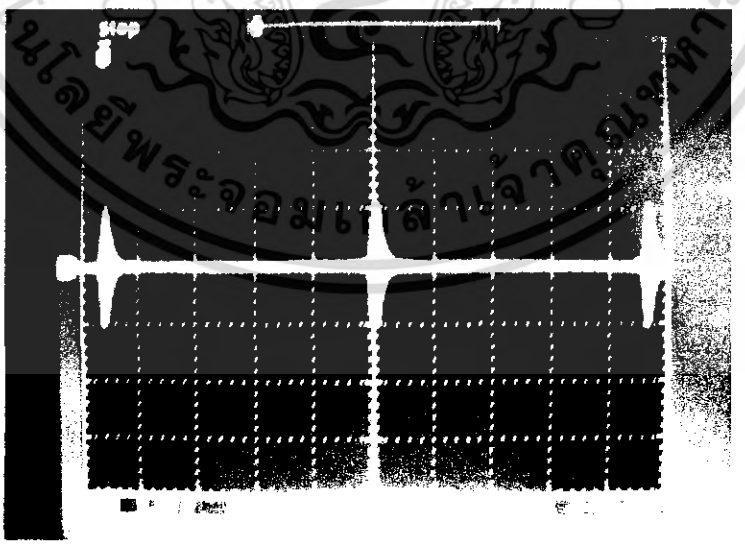
2) เมื่ออัลตราโซนิกตัวส่ง ได้รับสัญญาณ 40 กิโลเฮิร์ท ก็จะเกิดสัญญาณตกคร่อมตัวอัลตราโซนิก ซึ่งได้สัญญาณที่มีค่าแตกต่างของสัญญาณเข้ามา การส่งสัญญาณด้วยความถี่ 40 kHz นั้นได้ทำการส่งโดยการมอดสัญญาณให้ปล่อยเป็นช่วงๆด้วยความถี่ 50 Hz ความถี่นี้มีผลต่อการวัดระโดย ถ้าความถี่ลดลงจะทำให้การวัดไม่ได้ค่าที่แม็คซิมัม ได้ผลตามรูปที่ 4.2



รูปที่ 4.2 แสดงสัญญาณที่ตัวอัลตราโซนิกตัวส่ง

4.1.2 ส่วนของวงจรภาครับ

1) เมื่ออัลตราโซนิกตัวรับได้รับสัญญาณก็จะเกิดสัญญาณที่ตกคร่อมตัวมันซึ่งเป็นสัญญาณที่มีขนาดเล็ก ดังรูปที่ 4.3



รูปที่ 4.3 แสดงสัญญาณที่ตกคร่อมตัวอัลตราโซนิกตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

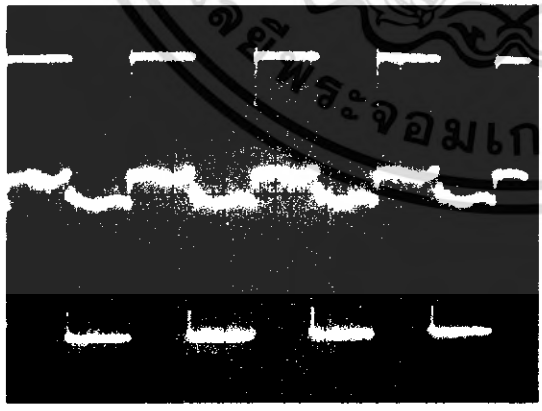
2) การทดลองภาค Band Pass Filter นำความถี่จำนวนหลายๆค่าตั้งแต่ 20 kHz – 60 kHz ดัง ตารางที่ 1

Freq (Hz)	Pluse (dB)
20240	-19.4123
25170	-16.8933
30040	-9.8699
32080	-8.94664
34000	-5.4167
35060	-3.3626
35950	-1.71314
40350	0
41700	0
43200	-0.31846
44900	-1.71314
45900	-3.31159
47700	-6.66964
51280	-9.8699
54900	-12.0412
60150	-12.0412

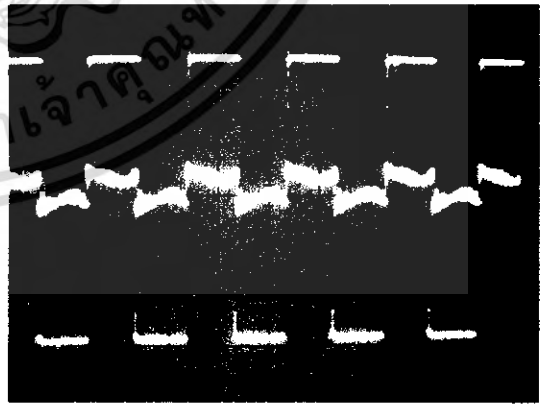
ตารางที่ 2 การวัดสัญญาณ Band Pass Filter

รูปสัญญาณที่ความถี่ต่างๆตามลำดับ

1)

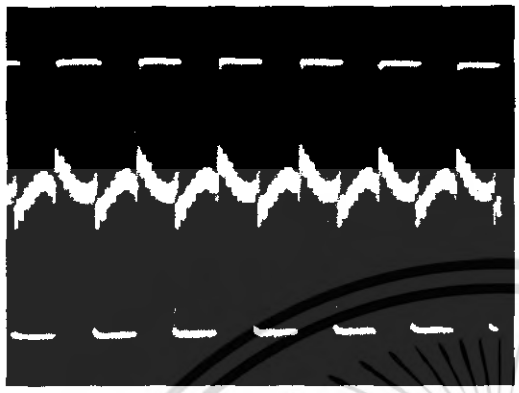


2)

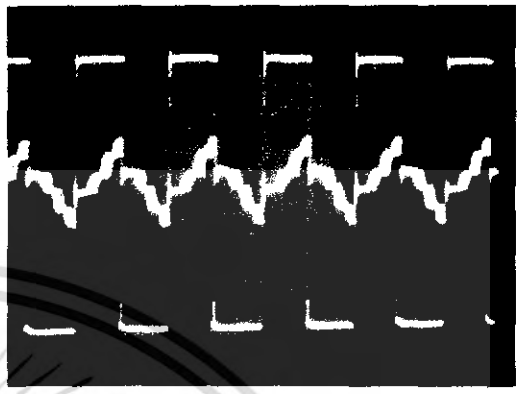


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

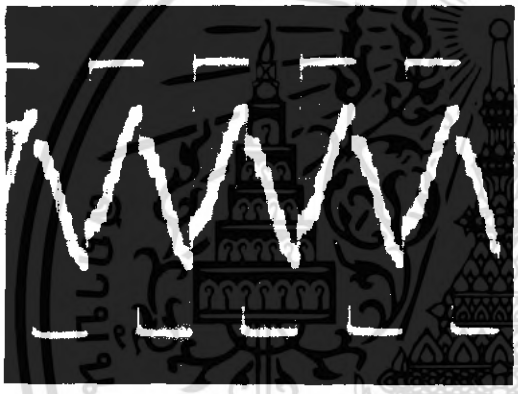
3)



4)

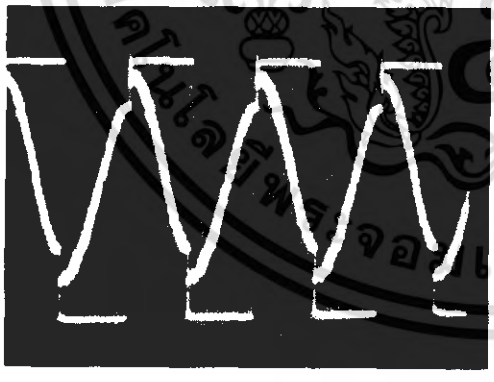


5)



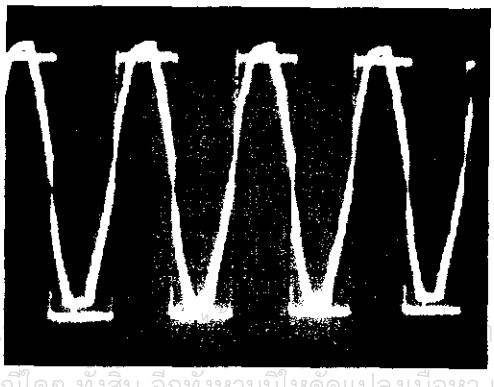
6)

7)

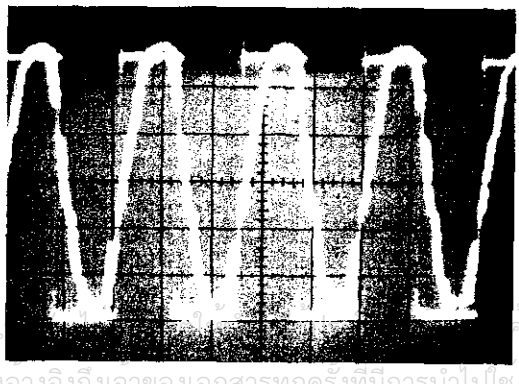


8)

9)

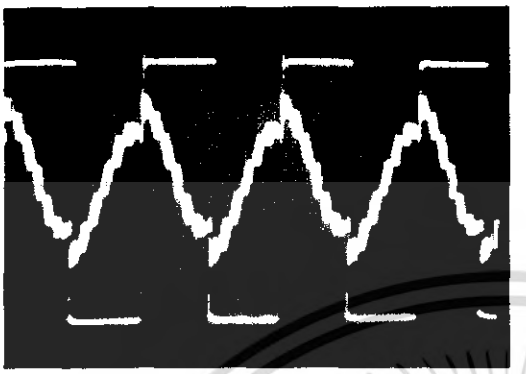


10)

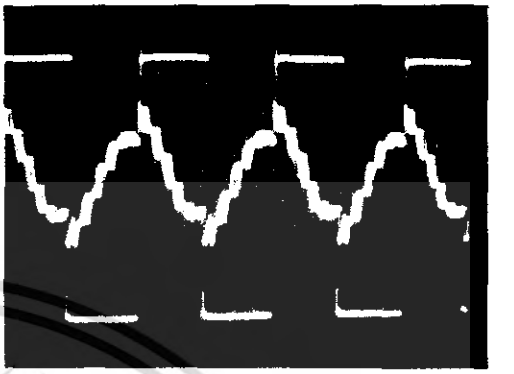


เอกสารนี้ [illegible] รศึกษา [illegible] ค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

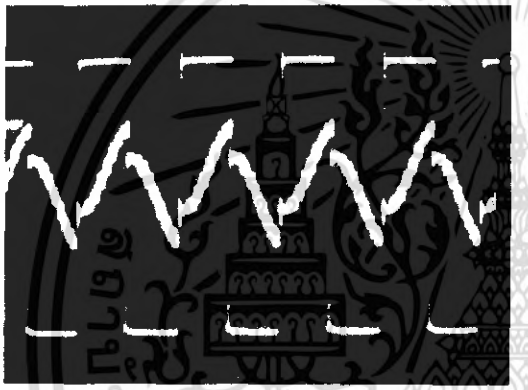
11)



12)

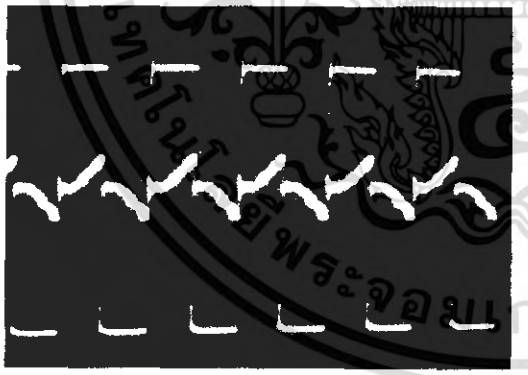


13)



14)

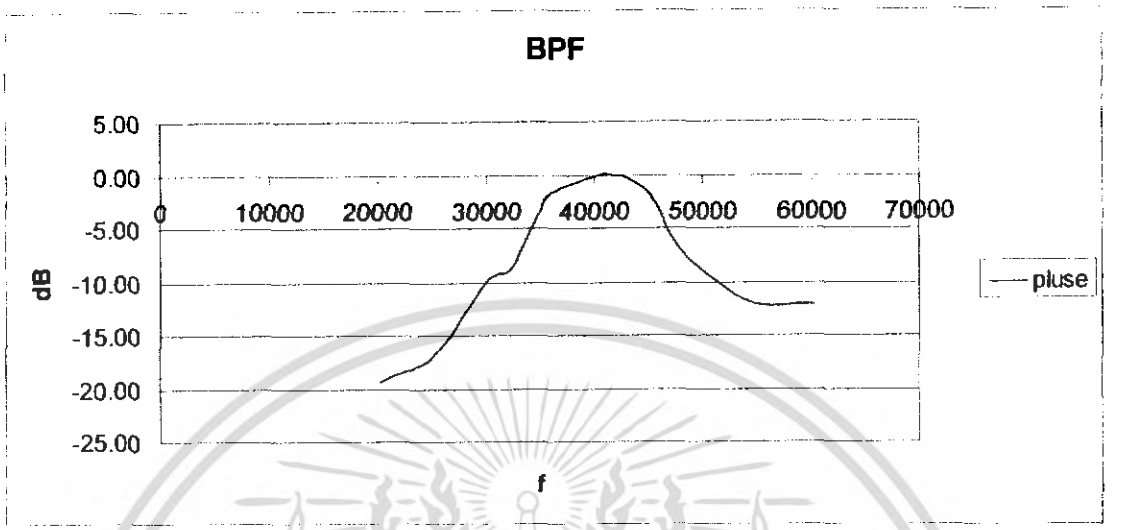
15)



16)

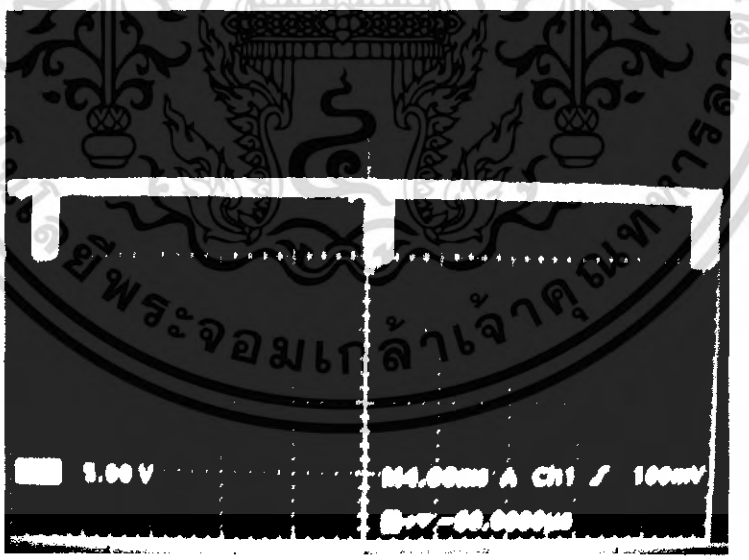
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งนำมาพรอทกร๊าฟความสัมพันธ์ระหว่าง dB กับ *Frequency* ได้ดังนี้



กราฟที่ 1 แสดงความสัมพันธ์ระหว่งอัตราขยายกับความถี่

3) เมื่อรับสัญญาณมาจะทำการหยุดเวลาให้กับตัว Timer8_1 ด้วยสัญญาณ Capture



รูปที่ 4.4 แสดงสัญญาณ Capture

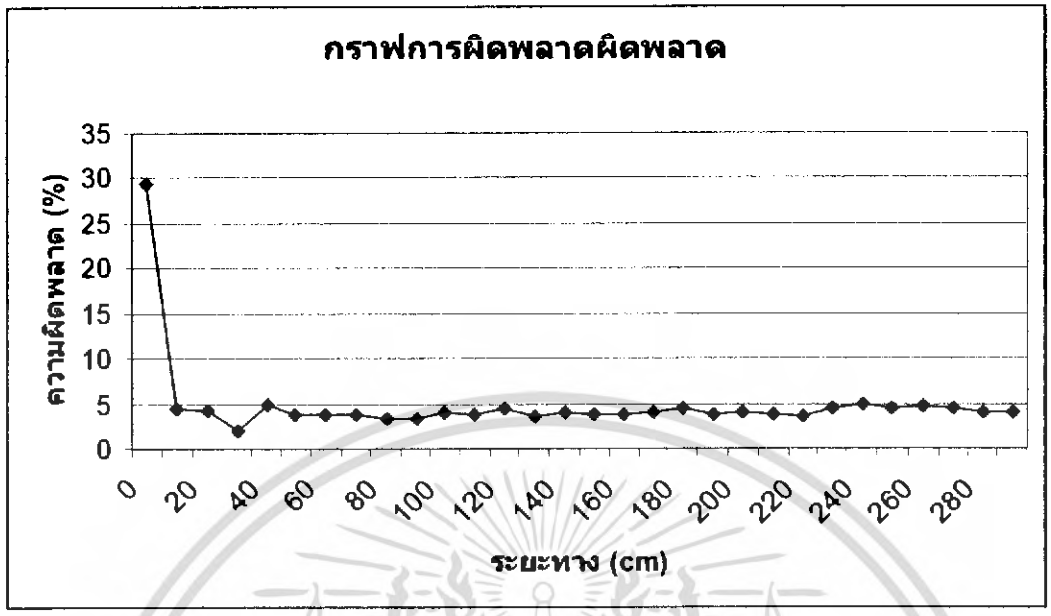
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองในส่วนของการวัดระยะทาง

ระยะทางจริง (cm)	ระยะทางที่วัดได้ (cm)				
	ครั้งที่ 1	ครั้งที่ 2	ครั้งที่ 3	เฉลี่ย	ผิดพลาด(%)
0	12.9	12.9	13	12.93333	#####
10	12.6	13.2	13	12.93333	29.33333333
20	21.8	20.6	20.3	20.9	4.5
30	31.4	31	31.5	31.3	4.333333333
40	41.5	40.2	40.6	40.76667	1.916666667
50	53.6	51.6	52	52.4	4.8
60	62.1	62.2	62.7	62.33333	3.888888889
70	72.5	72.6	72.9	72.66667	3.80952381
80	83.9	83.4	81.9	83.06667	3.833333333
90	92.1	92.9	94.1	93.03333	3.37037037
100	103.3	103.6	103.1	103.3333	3.333333333
110	114.9	114.2	114.1	114.4	4
120	124.4	124.5	124.4	124.4333	3.694444444
130	136.7	136.2	134.5	135.8	4.461538462
140	145.1	145.6	144.3	145	3.571428571
150	155.3	157.2	155.3	155.9333	3.955555556
160	166.4	166.5	165.8	166.2333	3.895833333
170	176.2	176.8	176.4	176.4667	3.803921569
180	187.4	187	187.5	187.3	4.055555556
190	198.5	198.4	198.6	198.5	4.473684211
200	207.6	207.8	207.7	207.7	3.85
210	218.6	218.6	217.7	218.3	3.952380952
220	228.4	228.7	228.4	228.5	3.863636364
230	238.1	238.7	237.7	238.1667	3.550724638
240	250.2	253	249.7	250.9667	4.569444444
250	263.7	263.3	260.1	262.3667	4.946666667
260	271.6	271.4	272.1	271.7	4.5
270	282	282	284.4	282.8	4.740740741
280	291.4	291.4	293.8	292.2	4.357142857
290	302.1	302.2	300	301.4333	3.942528736
300	312.3	312.3	312.4	312.3333	4.111111111

ตารางที่ 3. แสดง.การทดลองวัดระยะทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กราฟที่ 2 แสดงความผิด

4.2.1 ความละเอียดของการวัดเป็นมิลลิเมตร โดยวัดจาก 30cm -36cm

ระยะทางจริง (cm)	ค่าที่วัดได้ (cm)	ระยะทางจริง (cm)	ค่าที่วัดได้ (cm)	ระยะทางจริง (cm)	ค่าที่วัดได้ (cm)
30	30.4	**32**	32.6	**34**	34.3
30.1	30.6	**32.1**	32.6	**34.1**	34.4
30.2	30.7	**32.2**	32.7	**34.2**	34.5
30.3	30.8	**32.3**	32.8	**34.3**	34.6
30.4	30.9	**32.4**	32.9	**34.4**	34.7
30.5	31.1	**32.5**	32.9	**34.5**	34.8
30.6	31.2	**32.6**	33	**34.6**	34.9
30.7	31.4	**32.7**	33.1	**34.7**	35
30.8	31.4	**32.8**	33.2	**34.8**	35.1
30.9	31.5	**32.9**	33.3	**34.9**	35.2
31	31.65	**33**	33.4	**35**	35.2
31.1	31.7	**33.1**	33.4	**35.1**	35.1
31.2	31.8	**33.2**	33.6	**35.2**	35.3
31.3	31.9	**33.3**	33.7	**35.3**	35.4
31.4	31.9	**33.4**	33.8	**35.4**	35.4
31.5	32	**33.5**	33.9	**35.5**	35.5
31.6	32.1	**33.6**	34	**35.6**	35.5
31.7	32.2	**33.7**	34.1	**35.7**	35.6
31.8	32.3	**33.8**	34.1	**35.8**	35.7
31.9	32.4	**33.9**	34.3	**35.9**	35.8

ตารางที่ 4 แสดงความละเอียดของการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

บทวิจารณ์

อัลตราโซนิกทรานสดิวเซอร์นั้นสามารถทนแรงดันตดคร่อมตัวมันสูงสุดได้ไม่เกิน20โวลต์ เท่านั้นดังนั้นขนาดของสัญญาณที่จะป้อนให้กับทรานสดิวเซอร์ก็ควรที่จะอยู่ในขีดจำกัดอันมิฉะนั้นอาจเกิดความเสียหายขึ้นกับตัวทรานสดิวเซอร์ได้ แล้วช่วงความถี่ที่ตัวทรานสดิวเซอร์สามารถใช้งานไดดีนั้นคือ 40 กิโลเฮิร์ท ซึ่งมีขายกันอยู่ทั่วไปตามท้องตลาดค่าความผิดพลาดไม่เกิน 1 กิโลเฮิร์ท ซึ่งตัวทรานสดิวเซอร์จะไม่สามารถทำงานได้เลย ถ้าไม่คำนึงถึงความถี่ที่ผลิตจากภาคส่งว่าเหมาะสมกับตัวอัลตราโซนิก

ในส่วนของไมโครคอนโทรลเลอร์ (PSOC) ที่ใช้งานจะมีประสิทธิภาพสูงสามารถรวมเอาวงจรที่จำเป็นจะต้องใช้งานต่างๆมาสร้างโมดูลรวมอยู่ายในตัวได้ทั้งหมด แต่เนื่องจาก PSOC เป็นอุปกรณ์ที่ใหม่จึงมีผู้นำมาใช้งานน้อยมากในเมืองไทย ดังนั้นการศึกษาข้อมูลและการใช้งานจึงมีหนังสือที่เป็นคู่มือการใช้งานมีอยู่น้อยจริงๆ ทำให้เกิดปัญหาในการตั้งค่าเพื่อออกแบบ ให้ได้ผลตามต้องการยากพอสมควรรวมถึงต้องมีความรู้ทางด้านภาษาแอสเซมบี้หรือภาษาซี เพื่อเขียนโปรแกรมให้ตัวไมโครคอนโทรลเลอร์ทำตามเงื่อนไขที่กำหนดไว้ และในส่วนสำคัญของการออกแบบ คือ การใช้สัญญาณอินเทอร์รัฟต์ เพื่อเป็นตัวหยุดไทเมอร์ให้หยุดนับ เนื่องจากคลื่นอัลตราโซนิกมีความเร็วค่อนข้างสูงทำให้การอินเทอร์รัฟต์ต้องทำงานอย่างรวดเร็ว จึงต้องระวังเพื่อให้ได้ค่าของเวลาที่ใช้ในการเดินทางของคลื่นที่แท้จริง จึงจะทำให้ได้ระยะทางในการคำนวณที่แม่นยำ

บทสรุป

โครงงานนี้ต้องการวัดระยะของน้ำในแทงค์ที่ไม่ต้องให้ตัวเซนเซอร์ไปสัมผัสกับน้ำ ดังนั้นการใช้คลื่นอัลตราโซนิกจึงเป็นทางเลือกที่น่าสนใจเพราะมีความเที่ยงตรงสูง และมีระยะในการวัดได้มากและที่สำคัญไม่ต้องสัมผัสกับผิวน้ำที่ต้องการจะวัด ซึ่งจะทำให้ตัวเซนเซอร์มีความชำรุดน้อย มีค่าใช้จ่ายน้อยนอกจากนี้โครงงานนี้ยังช่วยให้เข้าใจในวิชา Microcontroller ยิ่งขึ้น โดยจะเป็นประโยชน์ในการศึกษาในภาควิชาอิเล็กทรอนิกส์

โดยรวมแล้วโครงงานนี้สามารถทำการผลิตพัลส์วิดท์มอดูเลท เพื่อส่งให้อัลตราโซนิกส์ตัวส่ง ส่งไปให้ตัวรับทำงานได้ และนำมาขยายสัญญาณแล้วส่งให้ภาคของวงจรกรองความถี่เพื่อทำการกรองความถี่ 40 kHz แล้วใช้ไทเมอร์จับเวลาได้ ภายในตัว PSOC เพียงตัวเดียว ยังไม่สามารถทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตั้ง offset ได้ ซึ่งจะได้รับการแก้ไขในช่วงต่ไป แต่ทำงานในการวัดระยะทางได้ดี ที่ระดับไม่เกิน ระดับ 3 เมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. รักธรรม อุตตโรทัย , สุชัย วชิรวราการ , " ปพ. วศ.ควบคุม การใช้งานอัลตราโซนิกเซนเซอร์ระดับ ของเหลวในถัง " หน้า 2 – 22 ปี 2542
2. " โครงงาน HOBBY ELECTRONIC 5 " , บริษัท ซีเอ็ดยูเคชั่น จำกัด
3. " เทคนิคการใช้งานอัลตร้าโซนิกทรานสดิวเซอร์ สำหรับนักทดลอง " , วารสารเซมิคอนดัคเตอร์อิเล็กทรอนิกส์ เล่มที่ 44 ปี 2527
4. อุกฤษฏ์ ตันทสุทธานนท์ และ ทีมงาน , "PSOC การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PSOC ด้วยภาษา C "
5. " เรียนรู้และเข้าใจ PSOC Microcontroller ด้วยภาษา Assembly และ ภาษา C " , บริษัท อีทีที จำกัด
6. Robert Boylested and Louis Nashelsky , " Electronic Device and circuit Theory , Sixth Edition" , Prentice-Hall 1996

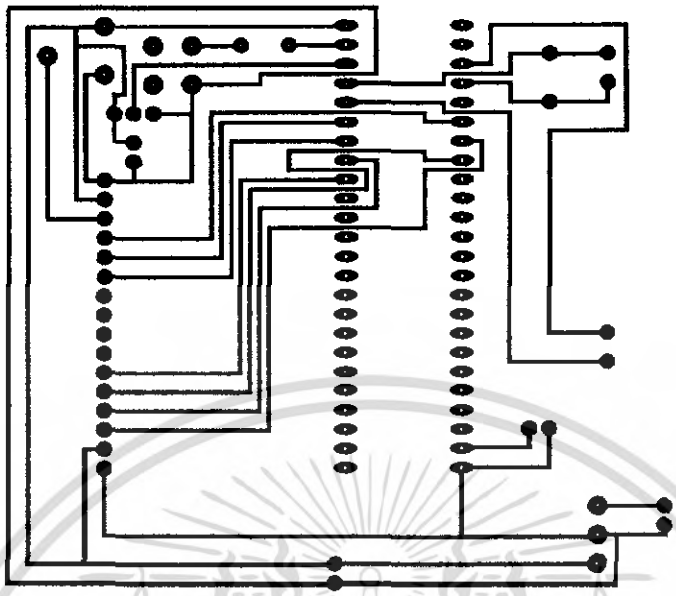
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

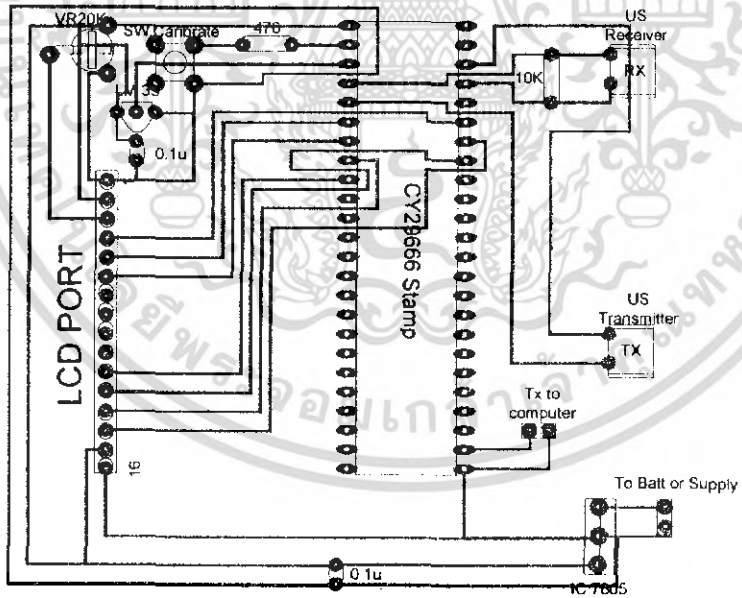
ภาคผนวก ก.
ลายวงจรการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข แบบแปลนของวงจรตู้รับฝากน้ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรมภาษา C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//-------------------------------------------------------------------------
// C main line
//-------------------------------------------------------------------------

#include <m8c.h>        // part specific constants and macros
#include "PSoCAPI.h"    // PSoC API definitions for all User Modules
#include <stdlib.h>
#include <delay.h>

#pragma interrupt_handler isr_timer16_2

#define TIMER16_2_MAXCOUNT      (3750-1)
#define TIMER16_2_MINVAL  23
#define SAMPLERATE      200             // Sampling 200KHz (1count =
346/200=1.73mm)

unsigned int eval = 0x1234;
unsigned char intcount = 200;

void isr_timer16_2()
{
        if (intcount > 0) {
                intcount--;
                if (intcount == 0)
                        eval = Timer16_2_wReadCompareValue();
        }
}

#define BANDGAP      1.3
#define VREF   (BANDGAP*1.6)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define AGND (BANDGAP*1.6)
#define SWIN  0x40              // set to P0.6
float temp;
int ain;
int offset;
char TextBuff[5];

void main()
{
        int     distance;
        int     sspeed;
        char    pastsw;

  // Insert your main routine code here.
        PGA_1_Start(PGA_1_HIGHPOWER);
        PGA_2_Start(PGA_2_HIGHPOWER);
        PGA_3_Start(PGA_3_LOWPOWER);
        SAR6_1_Start(SAR6_1_LOWPOWER);
        CMPPRG_1_Start(CMPPRG_1_HIGHPOWER);
        BPF2_1_Start(BPF2_1_HIGHPOWER);
        BPF2_2_Start(BPF2_2_HIGHPOWER);
        Timer16_1_Start();
        Timer16_2_Start();
        PWMDB8_1_Start();
        PWM8_1_Start();
        ACB03CR2 |= 0x14;
        SPIS_1_Start(SPIS_1_SPIS_MODE_0);
        LCD_1_Start();
        E2PROM_1_Start();
        Timer16_2_EnableInt();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PRT0DR = SWIN;
//      offset = TIMER16_2_MINVAL;          // set offset to time min
        E2PROM_1_E2Read(0, (char *)&offset,2);      // read offset from e2prom
        //cursor(0,0);
        LCD_1_Position(0,0);
        //printf("PSoC RangeFinder\n");
        LCD_1_PrCString("   DISTANCE   ");
        LCD_1_Position(1,0);
        //printf("*READY");
        LCD_1_PrCString("  MEASUREMENT  ");
        pastsw = 0;
        M8C_EnableGInt;
        while(1) {
            if (intcount == 0) {
                //cursor(0,0);
                LCD_1_Position(0,0);
                if ((PRT0DR & SWIN) == 0) {
                    //printf("Calibrate 30cm  \n");
                    LCD_1_PrCString("Calibrate 30cm  ");
                    distance = (long)600*(long)(SAMPLERATE)/(long)sspeed;
            // cal distance
                    offset = distance - (TIMER16_2_MAXCOUNT-cval);
                    //printf("OFFSET = %05d \n",offset);
                    LCD_1_Position(1,0);
                    LCD_1_PrCString("OFFSET :");
                    itoa(TextBuff,offset,10);
                    LCD_1_PrString(TextBuff);
                    LCD_1_PrCString("mm      ");
                    pastsw = 1;                     // set status
                } else {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    if (pastsw == 1) {                  // write offset to e2prom
                        E2PROM_1_bE2Write(0,(char *)&offset,2,25);
                        pastsw = 0;
                    }
                    distance = TIMER16_2_MAXCOUNT + offset - cval;
                    ain = (int)SAR6_1_GetSample();
                    temp = (VREF/32.0*(float)ain+AGND)/8.0*100.0+2.0;
                    sspeed = 332+temp*607/1000;
                    //printf("%04f'C %03dm/s   \n",temp,sspeed);
                    LCD_1_Position(0,0);
                    itoa(TextBuff,temp,10);
                    LCD_1_PrString(TextBuff);
                    LCD_1_PrCString("'C ");
                    itoa(TextBuff,sspeed,10);
                    LCD_1_PrString(TextBuff);
                    LCD_1_PrCString("m/s      ");
                    distance = (long)distance * (long)sspeed /
(long)(SAMPLERATE*2);
                    //printf("DIST: %05dmm   ",distance);
                    LCD_1_Position(1,0);
                    LCD_1_PrCString("DIST: ");
                    itoa(TextBuff,distance,10);
                    LCD_1_PrString(TextBuff);
                    LCD_1_PrCString("mm      ");
                }
                intcount = 25;
            }
        }
    }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือการใช้งานเครื่องวัดระยะทางด้วยอัลราโซนิก

1. เนื่องวงจรไม่ได้ต่อกับแบตเตอรี่จึงต้องทำการเสียบอะแด็ปเตอร์
2. เปิดสวิทต์ตัวเครื่อง
3. ทำการกดปุ่ม Calibrate เพื่อทำการตั้งค่า 0fset ให้กับตัวเครื่อง
4. เมื่อทำการกดปุ่ม Calibrate ค้างไว้แล้วนำตัวเครื่องมาวัดระยะที่ประมาณ 30 ซม.ให้เครื่อง
5. สังเกตที่ LCD ขณะที่ Calibrate ให้ค่าใกล้เคียงกับศูนย์มากที่สุดจะได้ค่าของการวัดระดับในครั้งนั้นอย่างถูกต้องที่สุด
6. สามารถนำไปวัดระยะได้ไม่เกิน 3 เมตร ขึ้นไป

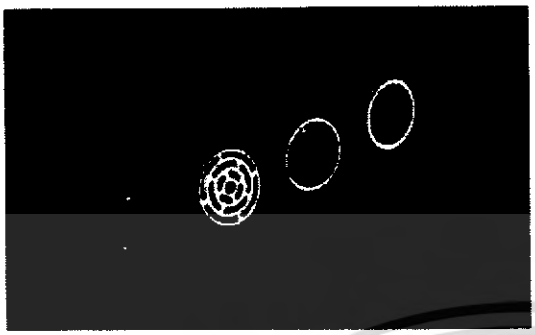
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

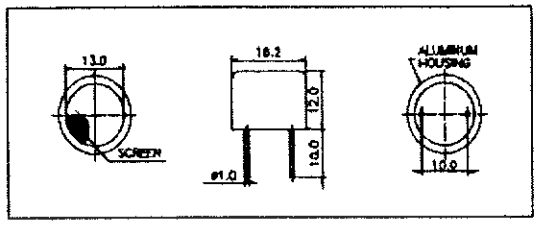
DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Air Ultrasonic Ceramic Transducers — 400ST/R160



Dimensions: dimensions are in mm



Impedance/Phase Angle vs. Frequency

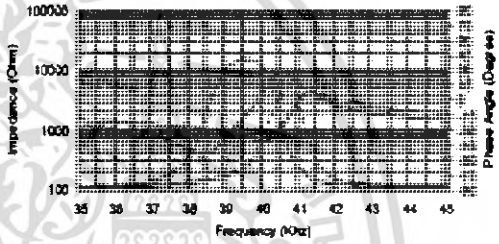
Tested under 1Vrms Oscillation Level

400SR160 Impedance ——————

400SR160 Phase ——————

400ST160 Impedance - - - - - -

400ST160 Phase - - - - - -

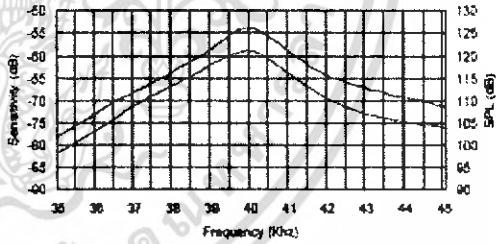


Specification

400ST160		Transmitter
400SR160		Receiver
Center Frequency		40.0±1.0Khz
Bandwidth (-6dB)	400ST160	2.0Khz
	400SR160	2.5Khz
Transmitting Sound Pressure Level at 40.0Khz; 0dB re 0.0002μbar per 10Vrms at 30cm		120dB min.
Receiving Sensitivity at 40.0Khz 0dB = 1 volt/μbar		-65dB min.
Capacitance at 1Khz ±20%		2400 pF
Max. Driving Voltage (cont.)		20Vrms
Total Beam Angle	-6dB	55° typical
Operation Temperature		-30 to 80°C
Storage Temperature		-40 to 85°C

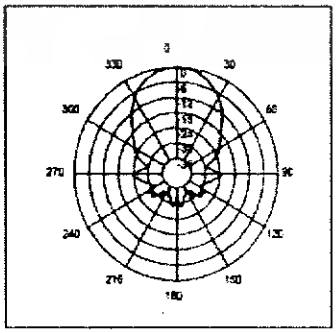
Sensitivity/Sound Pressure Level

Tested under 10Vrms @30cm



All specification taken typical at 25°C
Closer frequency tolerance can be supplied upon request.

Beam Angle: Tested at 40.0Khz frequency



Models available:

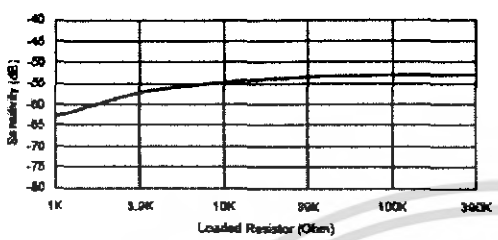
1	400ST/R160	Aluminum Housing
2	400ST/R16B	Black Al. Housing
2	400ST/R10P	Plastic Housing
3	400ST/R16F	Al. Housing w/Solid Grid

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

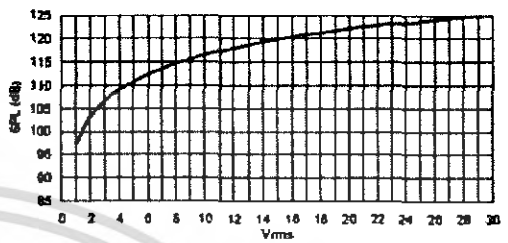
400SR160 Receiver

400ST160 Transmitter

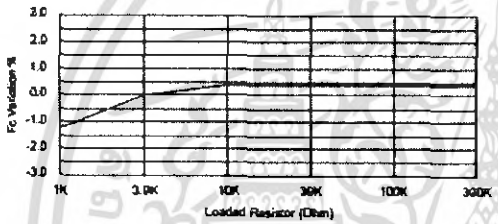
Sensitivity Variation vs. Loaded Resistor



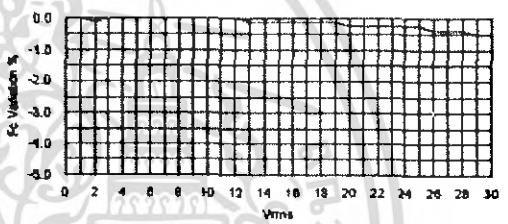
SPL Variation vs. Driving Voltage



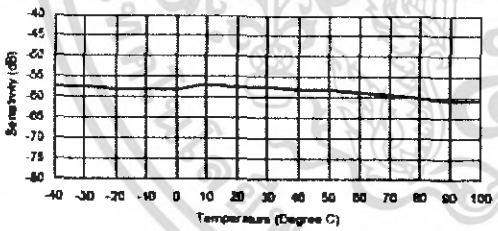
Center Frequency Shift vs. Loaded Resistor



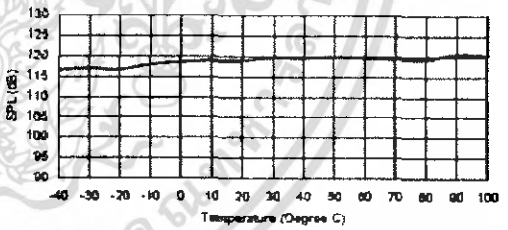
Center Frequency Shift vs. Driving Voltage



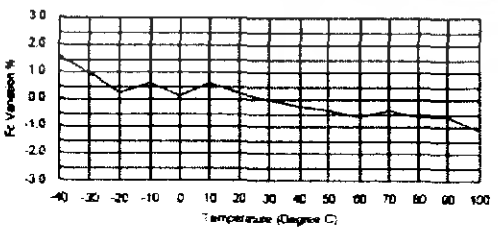
Sensitivity Variation vs. Temperature



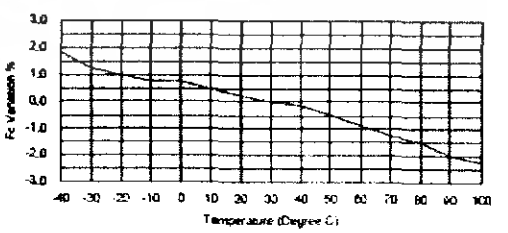
SPL Variation vs. Temperature



Center Frequency Shift vs. Temperature

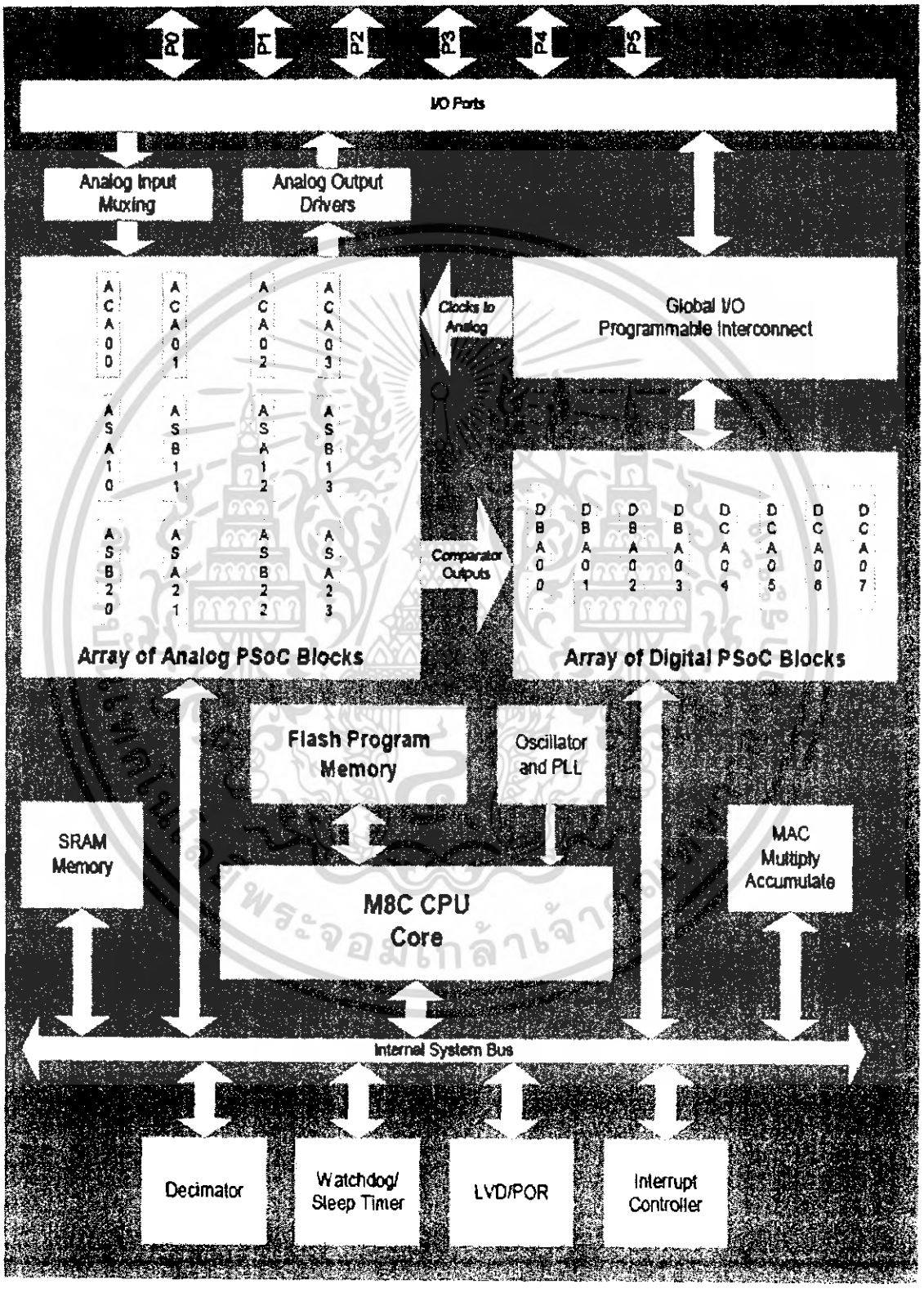


Center Frequency Shift vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

********** PSOC **********



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4: Pin-out 28 Pin

Name	I/O	Pin	Description
P0[7]	I/O	1	Port 0[7] (Analog Input)
P0[5]	I/O	2	Port 0[5] (Analog Input/ Output)
P0[3]	I/O	3	Port 0[3] (Analog Input/ Output)
P0[1]	I/O	4	Port 0[1] (Analog Input)
P2[7]	I/O	5	Port 2[7]
P2[5]	I/O	6	Port 2[5]
P2[3]	I/O	7	Port 2[3] (Non-Multiplexed Analog Input)
P2[1]	I/O	8	Port 2[1] (Non-Multiplexed Analog Input)
SMP	O	9	Switch Mode Pump
P1[7]	I/O	10	Port 1[7]
P1[5]	I/O	11	Port 1[5]
P1[3]	I/O	12	Port 1[3]
P1[1]	I/O	13	Port 1[1] / XtalIn / SCLK
Vss	Power	14	Ground
P1[0]	I/O	15	Port 1[0] / XtalOut / SDATA
P1[2]	I/O	16	Port 1[2]
P1[4]	I/O	17	Port 1[4]
P1[6]	I/O	18	Port 1[6]
XRES	I	19	External Reset
P2[0]	I/O	20	Port 2[0] (Non-Multiplexed Analog Input)
P2[2]	I/O	21	Port 2[2] (Non-Multiplexed Analog Input)
P2[4]	I/O	22	Port 2[4] / External AGNDIn
P2[6]	I/O	23	Port 2[6] / External VREFIn
P0[0]	I/O	24	Port 0[0] (Analog Input)
P0[2]	I/O	25	Port 0[2] (Analog Input/Output)
P0[4]	I/O	26	Port 0[4] (Analog Input/Output)
P0[6]	I/O	27	Port 0[6] (Analog Input)
Vcc	Power	28	Supply Voltage

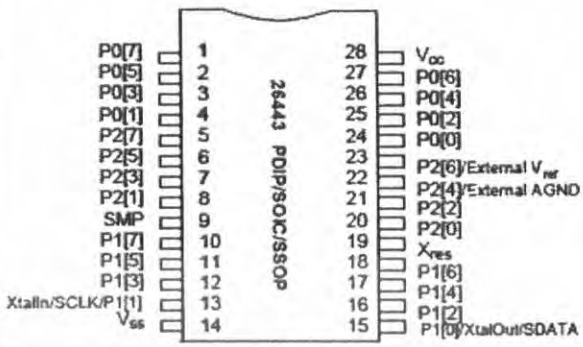


Figure 4: 26443 PDIP/SOIC/SSOP

Table 5: Pin-out 44 Pin

Name	I/O	Pin	Description
P2[5]	I/O	1	Port 2[5]
P2[3]	I/O	2	Port 2[3] (Non-Multiplexed Analog Input)
P2[1]	I/O	3	Port 2[1] (Non-Multiplexed Analog Input)
P3[7]	I/O	4	Port 3[7]
P3[5]	I/O	5	Port 3[5]
P3[3]	I/O	6	Port 3[3]
P3[1]	I/O	7	Port 3[1]
SMP	O	8	Switch Mode Pump
P4[7]	I/O	9	Port 4[7]
P4[5]	I/O	10	Port 4[5]
P4[3]	I/O	11	Port 4[3]
P4[1]	I/O	12	Port 4[1]
P1[7]	I/O	13	Port 1[7]
P1[5]	I/O	14	Port 1[5]
P1[3]	I/O	15	Port 1[3]
P1[1]	I/O	16	Port 1[1] / XtalIn / SCLK
Vss	Power	17	Ground
P1[0]	I/O	18	Port 1[0] / XtalOut / SDATA
P1[2]	I/O	19	Port 1[2]
P1[4]	I/O	20	Port 1[4]
P1[6]	I/O	21	Port 1[6]
P4[0]	I/O	22	Port 4[0]
P4[2]	I/O	23	Port 4[2]
P4[4]	I/O	24	Port 4[4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.0 I/O Ports

5.1 Introduction

Up to five 8-bit-wide I/O ports (P0-P4) and one 4-bit wide I/O port (P5) are implemented. The number of general purpose I/Os implemented and connected to pins depends on the individual part chosen. All port bits are independently programmable and have the following capabilities:

- General-purpose digital input readable by the CPU.
- General-purpose digital output writable by the CPU.
- Independent control of data direction for each port bit.
- Independent access for each port bit to Global Input and Global Output busses.
- Interrupt programmable to assert on rising edge, falling edge, or change from last pin state read.
- Output drive strength programmable in logic 0 and 1 states as strong, resistive (pull-up or pull-down), or high impedance.
- A slew rate controlled output mode is available.
- In high impedence, the digital input can be disabled to lower power consumption.

Port 1, Pin 0 is used in conjunction with device Test Mode and does not behave the same as other I/O ports immediately after reset. A device reset with Power On Reset (POR) will drive P1[0] high for 8 ms immediately after POR is released because there is a CPU hold-off time of approximately 64 ms before code execution begins. It will then drive P1[0] low for 8 ms. This can impact external circuits connected to Port 1, Pin 0.

In System Sleep State, GPIO Pins P2[4] and P2[6] should be held to a logic low or a false Low Voltage Detect interrupt may be triggered. The cause is in the System Sleep State, the internal Bandgap reference generator is turned off and the reference voltage is maintained on a capacitor.

The circumstances are that during sleep, the reference voltage on the capacitor is refreshed periodically at the sleep system duty cycle. Between refresh cycles, this voltage may leak slightly to either the positive supply or ground. If pins P2[4] or P2[6] are in a high state, the leakage to the positive supply is accelerated (especially at high temperature). Since the reference voltage is compared to the supply to detect a low voltage condition, this accelerated leakage to the positive supply voltage will cause that voltage to appear lower than it actually is, leading to the generation of a false Low Voltage Detect interrupt.

Port 0 and Port 2 have additional analog input and/or analog output capability. The specific routing and multiplexing of analog signals is shown in the following diagram:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

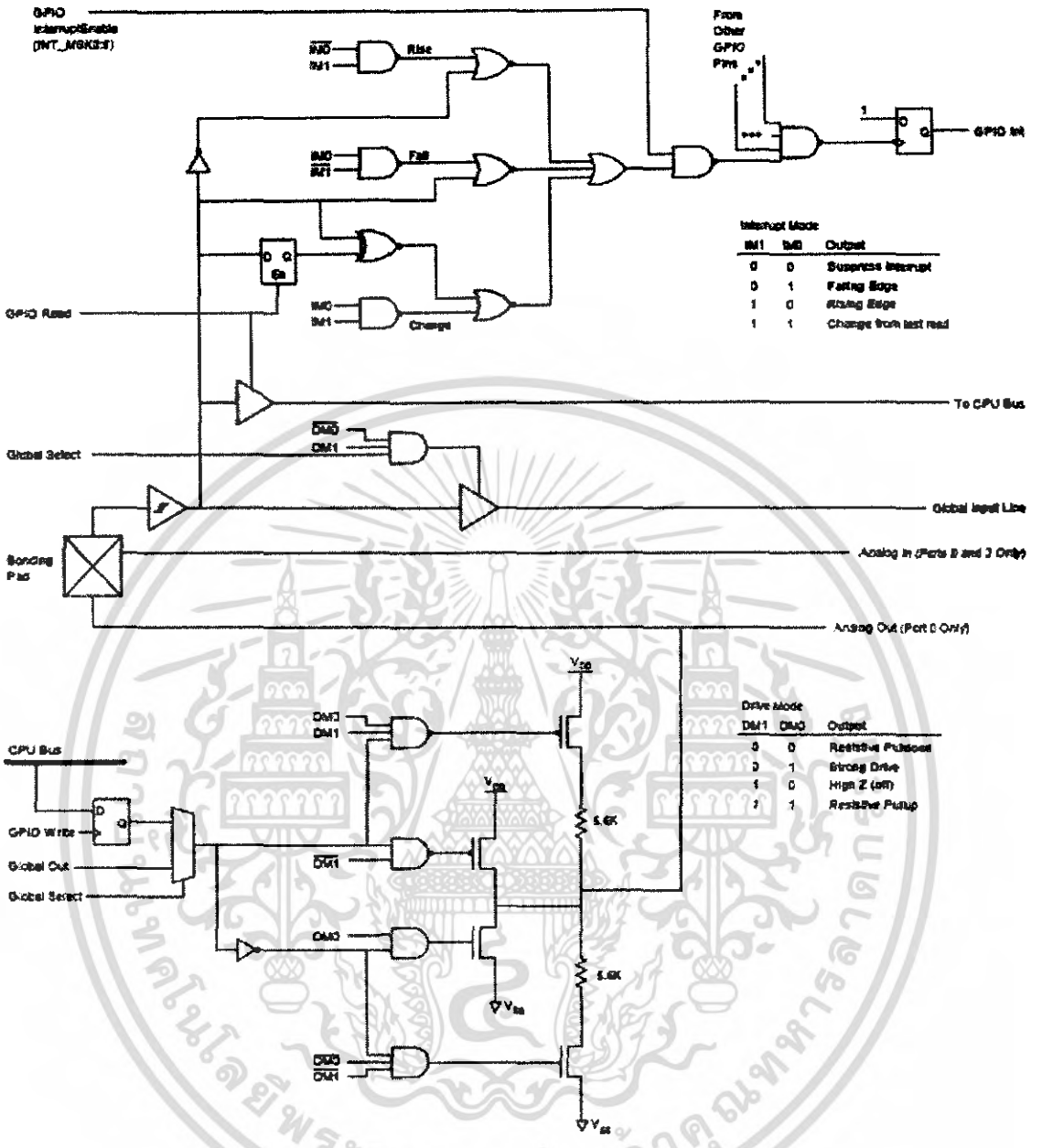


Figure 7: General Purpose I/O Pins

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 Port Global Select Registers

Table 30: Port Global Select Registers

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	W	W	W	W	W	W	W	W
Bit Name	GlobSel [7]	GlobSel [6]	GlobSel [5]	GlobSel [4]	GlobSel [3]	GlobSel [2]	GlobSel [1]	GlobSel [0]

Bit [7:0]: Global Select [7:0] When written determines whether a pin is connected to the Global Input Bus and Global Output Bus
0 = Not Connected
1 = Connected

Drive Mode xx = Global Select Register 0 = Standard CPU controlled port (Default)
Drive Mode 1 0 (High Z) = Global Select Register 1 = Direct Drive of associated Global Input line
Drive Mode 0 0, 0 1, 1 1 = Global Select Register 1 = Direct Receive from associated Global Output line

Port 0 Global Select Register (PRT0GS, Address = Bank 0, 02h)
Port 1 Global Select Register (PRT1GS, Address = Bank 0, 06h)
Port 2 Global Select Register (PRT2GS, Address = Bank 0, 0Ah)
Port 3 Global Select Register (PRT3GS, Address = Bank 0, 0Eh)
Port 4 Global Select Register (PRT4GS, Address = Bank 0, 12h)
Port 5 Global Select Register (PRT5GS, Address = Bank 0, 16h) Note: If implemented, Port 5 is 4-bits wide

6.3.1 Port Drive Mode 0 Registers

Table 31: Port Drive Mode 0 Registers

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	W	W	W	W	W	W	W	W
Bit Name	DM0 [7]	DM0 [6]	DM0 [5]	DM0 [4]	DM0 [3]	DM0 [2]	DM0 [1]	DM0 [0]

Bit [7:0]: DM0 [7:0] The two Drive Mode bits that control a particular port pin are treated as a pair and are decoded as follows.

Port Data Register Bit 0 = Drive Mode 0 0 = 0 Resistive (Default)
Port Data Register Bit 0 = Drive Mode 0 1 = 0 Strong
Port Data Register Bit 0 = Drive Mode 1 0 = High Z
Port Data Register Bit 0 = Drive Mode 1 1 = 0 Strong
Port Data Register Bit 1 = Drive Mode 0 0 = 1 Strong
Port Data Register Bit 1 = Drive Mode 0 1 = 1 Strong
Port Data Register Bit 1 = Drive Mode 1 0 = High Z
Port Data Register Bit 1 = Drive Mode 1 1 = 1 Resistive

Port 0 Drive Mode 0 Register (PRT0DM0, Address = Bank 1, 00h)
Port 1 Drive Mode 0 Register (PRT1DM0, Address = Bank 1, 04h)
Port 2 Drive Mode 0 Register (PRT2DM0, Address = Bank 1, 08h)
Port 3 Drive Mode 0 Register (PRT3DM0, Address = Bank 1, 0Ch)
Port 4 Drive Mode 0 Register (PRT4DM0, Address = Bank 1, 10h)
Port 5 Drive Mode 0 Register (PRT5DM0, Address = Bank 1, 14h) Note: Port 5 is 4-bits wide

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.2 Port Drive Mode 1 Registers

Table 32: Port Drive Mode 1 Registers

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	W	W	W	W	W	W	W	W
Bit Name	DM1 [7]	DM1 [6]	DM1 [5]	DM1 [4]	DM1 [3]	DM1 [2]	DM1 [1]	DM1 [0]
Bit [7:0]: DM1 [7:0] See truth table for Port Drive Mode 0 Registers, above								

Port 0 Drive Mode 1 Register (PRT0DM1, Address = Bank 1, 01h)
Port 1 Drive Mode 1 Register (PRT1DM1, Address = Bank 1, 05h)
Port 2 Drive Mode 1 Register (PRT2DM1, Address = Bank 1, 09h)
Port 3 Drive Mode 1 Register (PRT3DM1, Address = Bank 1, 0Dh)
Port 4 Drive Mode 1 Register (PRT4DM1, Address = Bank 1, 11h)
Port 5 Drive Mode 1 Register (PRT5DM1, Address = Bank 1, 15h) Note. Port 5 is 4-bits wide

6.3.3 Port Interrupt Control 0 Registers

Table 33: Port Interrupt Control 0 Registers

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	W	W	W	W	W	W	W	W
Bit Name	IC0 [7]	IC0 [6]	IC0 [5]	IC0 [4]	IC0 [3]	IC0 [2]	IC0 [1]	IC0 [0]
Bit [7:0]: IC0 [7:0] The two Interrupt Control bits that control a particular port pin are treated as a pair and are decoded as follows: IC1 [x], IC0 [x] = 0 0 = Disabled (Default) IC1 [x], IC0 [x] = 0 1 = Falling Edge (-) IC1 [x], IC0 [x] = 1 0 = Rising Edge (+) IC1 [x], IC0 [x] = 1 1 = Change from Last Direct Read								

Port 0 Interrupt Control 0 Register (PRT0IC0, Address = Bank 1, 02h)
Port 1 Interrupt Control 0 Register (PRT1IC0, Address = Bank 1, 06h)
Port 2 Interrupt Control 0 Register (PRT2IC0, Address = Bank 1, 0Ah)
Port 3 Interrupt Control 0 Register (PRT3IC0, Address = Bank 1, 0Eh)
Port 4 Interrupt Control 0 Register (PRT4IC0, Address = Bank 1, 12h)
Port 5 Interrupt Control 0 Register (PRT5IC0, Address = Bank 1, 16h) Note. Port 5 is 4-bits wide

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.4 Port Interrupt Control 1 Registers

Table 34: Port Interrupt Control 1 Registers

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	W	W	W	W	W	W	W	W
Bit Name	IC1 [7]	IC1 [6]	IC1 [5]	IC1 [4]	IC1 [3]	IC1 [2]	IC1 [1]	IC1 [0]
Bit [7:0]: IC1 [7:0] See truth table for Port Interrupt Control 0 Registers, above								

Port 0 Interrupt Control 1 Register (PRT0IC1, Address = Bank 1, 03h)
Port 1 Interrupt Control 1 Register (PRT1IC1, Address = Bank 1, 07h)
Port 2 Interrupt Control 1 Register (PRT2IC1, Address = Bank 1, 0Bh)
Port 3 Interrupt Control 1 Register (PRT3IC1, Address = Bank 1, 0Fh)
Port 4 Interrupt Control 1 Register (PRT4IC1, Address = Bank 1, 13h)
Port 5 Interrupt Control 1 Register (PRT5IC1, Address = Bank 1, 17h) **Note**: Port 5 is 4-bits wide

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.0 Clocking

7.1 Oscillator Options

7.1.1 Internal Main Oscillator

The internal main oscillator outputs two frequencies, 48 MHz and 24 MHz. In the absence of a high-precision input source from the external oscillator, the accuracy of this circuit is +/- 2.5% (between 0°C and +85°C). No external components are required to achieve this level of accuracy. The Internal Main Oscillator Trim Register (IMO_TR) is used to calibrate this oscillator into specified tolerance. Factory-programmed trim values are available for 5.0V and 3.3V operation. The 5.0V value is loaded in the IMO_TR register upon reset. This register must be adjusted when the operating voltage is outside the range for which factory calibration was set. The factory-programmed trim value is selected using the Table Read Supervisor Call, and is documented in 11.8.

There is an option to phase lock this oscillator to the External Crystal Oscillator. The choice of crystal and its inherent accuracy will determine the overall accuracy of the oscillator. The External Crystal Oscillator must be stable prior to locking the frequency of the Internal Main Oscillator to this reference source.

Table 35: Internal Main Oscillator Trim Register

Bit #	7	6	5	4	3	2	1	0
POR	FS[1]	FS[1]	FS[1]	FS[1]	FS[1]	FS[1]	FS[1]	FS[1]
Read/Write	W	W	W	W	W	W	W	W
Bit Name	IMO Trim [7]	IMO Trim [6]	IMO Trim [5]	IMO Trim [4]	IMO Trim [3]	IMO Trim [2]	IMO Trim [1]	IMO Trim [0]
Bit [7:0]: IMO Trim [7:0] Data value stored will alter the trimmed frequency of the Internal Main Oscillator. A larger value in this register will increase the speed of the Internal Main Oscillator								

1 FS = Factory set trim value

Internal Main Oscillator Trim Register (IMO_TR, Address = Bank 1, E8h)

7.1.2 Internal Low Speed Oscillator

An internal low speed oscillator of nominally 32 kHz is available to generate sleep wake-up interrupts and Watchdog resets if the user does not want to attach a 32.768 kHz watch crystal. This oscillator can also be used as a clocking source for the digital PSoC blocks.

The oscillator operates in two different modes. A trim value is written to the Internal Low Speed Oscillator Trim Register (ILO_TR), shown below, upon reset. See section 13.0 for accuracy information. When the IC is put into sleep mode this oscillator drops into an ultra low current state and the accuracy is reduced.

This register sets the adjustment for the Internal Low Speed Oscillator. The value placed in this register is based on factory testing. It is recommended that the user not alter this value

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 System Clocking Signals

There are twelve system-clocking signals that are used throughout the device. Referenced frequencies are based on use of 32.768 kHz crystal. The names of these signals and their definitions are as follows.

Table 39: System Clocking Signals and Definitions

Signal	Definition
48M	The direct 48 MHz output from the Internal Main Oscillator.
24M	The direct 24 MHz output from the Internal Main Oscillator.
24V1	The 24 MHz output from the Internal Main Oscillator that has been passed through a user-selectable 1 to 16 divider (F = 24 MHz / (1 to 16) = 24 MHz to 1.5 MHz). The divider value is found in the Oscillator Control 1 Register (OSC_CR1). Note that the divider will be N+1, based on a value of N written into the register bits.
24V2	The 24V1 signal that has been passed through an additional user-selectable 1 to 16 divider (F = 24 MHz / ((1 to 16) * (1 to 16)) = 24 MHz to 93.7 kHz). The divider value is found in the Oscillator Control 1 Register (OSC_CR1). Note that the divider will be N+1, based on a value of N written into the register bits.
32K	The multiplexed output of either the Internal Low Speed Oscillator or the External Crystal Oscillator.
CPU	The output from the Internal Main Oscillator that has been passed through a divider that has 8 user selectable ratios ranging from 1:1 to 1:256, yielding frequencies ranging from 24 MHz to 93.7 kHz.
SLP	The 32K system-clocking signal that has been passed through a divider that has 4 user selectable ratios ranging from $1:2^8$ to $1:2^{15}$, yielding frequencies ranging from 512 Hz to 1 Hz. This signal is used to clock the sleep timer period.

The following diagram shows the PSoC MCU Clock Tree of signals 48M through SLP.

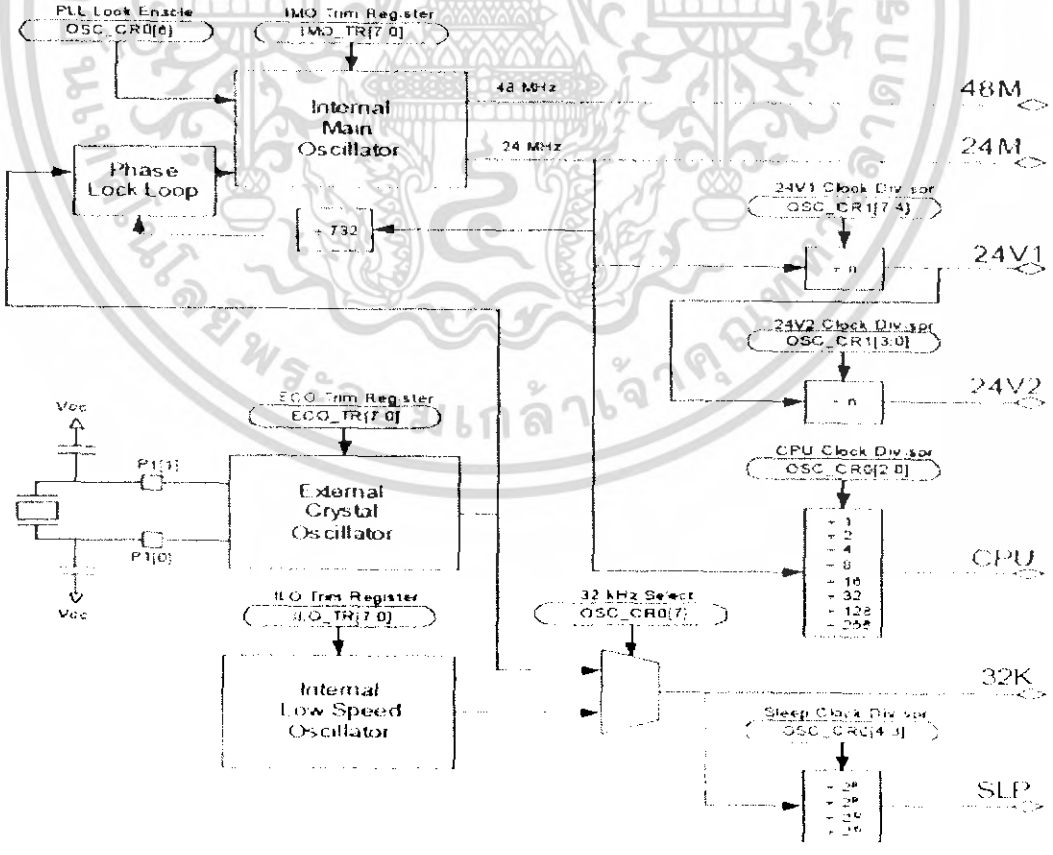


Figure 9: PSoC MCU Clock Tree of Signals

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.2 24V1/24V2 Frequency Selection

The following table shows the resulting frequencies for 24V1 and 24V2 based on the value written to the OSC_CR1 register.

Table 42: 24V1/24V2 Frequency Selection

Reg Value	24V1 MHz	24V2 kHz	Reg Value	24V1 MHz	24V2 kHz	Reg Value	24V1 MHz	24V2 kHz	Reg Value	24V1 MHz	24V2 kHz
00	24.00	24000.00	40	4.80	4800.00	80	2.67	2666.67	C0	1.85	1846.15
01	24.00	12000.00	41	4.80	2400.00	81	2.67	1333.33	C1	1.85	923.08
02	24.00	8000.00	42	4.80	1600.00	82	2.67	888.89	C2	1.85	615.38
03	24.00	6000.00	43	4.80	1200.00	83	2.67	666.67	C3	1.85	461.54
04	24.00	4800.00	44	4.80	960.00	84	2.67	533.33	C4	1.85	369.23
05	24.00	4000.00	45	4.80	800.00	85	2.67	444.44	C5	1.85	307.69
06	24.00	3428.57	46	4.80	685.71	86	2.67	380.95	C6	1.85	263.74
07	24.00	3000.00	47	4.80	600.00	87	2.67	333.33	C7	1.85	230.77
08	24.00	2666.67	48	4.80	533.33	88	2.67	296.30	C8	1.85	205.13
09	24.00	2400.00	49	4.80	480.00	89	2.67	266.67	C9	1.85	184.62
0A	24.00	2181.82	4A	4.80	436.36	8A	2.67	242.42	CA	1.85	167.83
0B	24.00	2000.00	4B	4.80	400.00	8B	2.67	222.22	CB	1.85	153.85
0C	24.00	1846.15	4C	4.80	369.23	8C	2.67	205.13	CC	1.85	142.01
0D	24.00	1714.29	4D	4.80	342.86	8D	2.67	190.48	CD	1.85	131.87
0E	24.00	1600.00	4E	4.80	320.00	8E	2.67	177.78	CE	1.85	123.08
0F	24.00	1500.00	4F	4.80	300.00	8F	2.67	166.67	CF	1.85	115.38
10	12.00	12000.00	50	4.00	4000.00	90	2.40	2400.00	D0	1.71	1714.29
11	12.00	6000.00	51	4.00	2000.00	91	2.40	1200.00	D1	1.71	857.14
12	12.00	4000.00	52	4.00	1333.33	92	2.40	800.00	D2	1.71	571.43
13	12.00	3000.00	53	4.00	1000.00	93	2.40	600.00	D3	1.71	428.57
14	12.00	2400.00	54	4.00	800.00	94	2.40	480.00	D4	1.71	342.86
15	12.00	2000.00	55	4.00	666.67	95	2.40	400.00	D5	1.71	285.71
16	12.00	1714.29	56	4.00	571.43	96	2.40	342.86	D6	1.71	244.90
17	12.00	1500.00	57	4.00	500.00	97	2.40	300.00	D7	1.71	214.29
18	12.00	1333.33	58	4.00	444.44	98	2.40	266.67	D8	1.71	190.48
19	12.00	1200.00	59	4.00	400.00	99	2.40	240.00	D9	1.71	171.43
1A	12.00	1090.91	5A	4.00	363.64	9A	2.40	218.18	DA	1.71	155.84
1B	12.00	1000.00	5B	4.00	333.33	9B	2.40	200.00	DB	1.71	142.86
1C	12.00	923.08	5C	4.00	307.69	9C	2.40	184.62	DC	1.71	131.87
1D	12.00	857.14	5D	4.00	285.71	9D	2.40	171.43	DD	1.71	122.45
1E	12.00	800.00	5E	4.00	266.67	9E	2.40	160.00	DE	1.71	114.29
1F	12.00	750.00	5F	4.00	250.00	9F	2.40	150.00	DF	1.71	107.14
20	8.00	8000.00	60	3.43	3428.57	A0	2.18	2181.82	E0	1.60	1600.00
21	8.00	4000.00	61	3.43	1714.29	A1	2.18	1090.91	E1	1.60	800.00
22	8.00	2666.67	62	3.43	1142.86	A2	2.18	727.27	E2	1.60	533.33
23	8.00	2000.00	63	3.43	857.14	A3	2.18	545.45	E3	1.60	400.00
24	8.00	1600.00	64	3.43	685.71	A4	2.18	436.36	E4	1.60	320.00
25	8.00	1333.33	65	3.43	571.43	A5	2.18	363.64	E5	1.60	266.67
26	8.00	1142.86	66	3.43	489.80	A6	2.18	311.69	E6	1.60	228.57
27	8.00	1000.00	67	3.43	428.57	A7	2.18	272.73	E7	1.60	200.00
28	8.00	888.89	68	3.43	380.95	A8	2.18	242.42	E8	1.60	177.78
29	8.00	800.00	69	3.43	342.86	A9	2.18	218.18	E9	1.60	160.00
2A	8.00	727.27	6A	3.43	311.69	AA	2.18	198.35	EA	1.60	145.45
2B	8.00	666.67	6B	3.43	285.71	AB	2.18	181.82	EB	1.60	133.33
2C	8.00	615.38	6C	3.43	263.74	AC	2.18	167.83	EC	1.60	123.08
2D	8.00	571.43	6D	3.43	244.90	AD	2.18	155.84	ED	1.60	114.29
2E	8.00	533.33	6E	3.43	228.57	AE	2.18	145.45	EE	1.60	106.67
2F	8.00	500.00	6F	3.43	214.29	AF	2.18	136.36	EF	1.60	100.00
30	6.00	6000.00	70	3.00	3000.00	B0	2.00	2000.00	F0	1.50	1500.00
31	6.00	3000.00	71	3.00	1500.00	B1	2.00	1000.00	F1	1.50	750.00
32	6.00	2000.00	72	3.00	1000.00	B2	2.00	666.67	F2	1.50	500.00
33	6.00	1500.00	73	3.00	750.00	B3	2.00	500.00	F3	1.50	375.00
34	6.00	1200.00	74	3.00	600.00	B4	2.00	400.00	F4	1.50	300.00
35	6.00	1000.00	75	3.00	500.00	B5	2.00	333.33	F5	1.50	250.00
36	6.00	857.14	76	3.00	428.57	B6	2.00	285.71	F6	1.50	214.29
37	6.00	750.00	77	3.00	375.00	B7	2.00	250.00	F7	1.50	187.50
38	6.00	666.67	78	3.00	333.33	B8	2.00	222.22	F8	1.50	166.67
39	6.00	600.00	79	3.00	300.00	B9	2.00	200.00	F9	1.50	150.00
3A	6.00	545.45	7A	3.00	272.73	BA	2.00	181.82	FA	1.50	136.36
3B	6.00	500.00	7B	3.00	250.00	BB	2.00	166.67	FB	1.50	125.00
3C	6.00	461.54	7C	3.00	230.77	BC	2.00	153.85	FC	1.50	115.38
3D	6.00	428.57	7D	3.00	214.29	BD	2.00	142.86	FD	1.50	107.14
3E	6.00	400.00	7E	3.00	200.00	BE	2.00	133.33	FE	1.50	100.00
3F	6.00	375.00	7F	3.00	187.5	BF	2.00	125.00	FF	1.50	93.75

7.2.3 Digital PSoC Block Clocking Options

All digital PSoC block clocks are a user-selectable choice of **48M**, **24V1**, **24V2**, or **32K**, as well as clocking signals from other digital PSoC blocks or general purpose I/O pins. There are a total of 16 possible clock options for each digital PSoC block. See the **Digital PSoC Block** section for details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.0 Interrupts

8.1 Overview

Interrupts can be generated by the General Purpose I/O lines, the Power monitor, the internal Sleep Timer, the eight Digital PSoC blocks, and the four analog columns. Every interrupt has a separate enable bit, which is contained in the General Interrupt Mask Register (INT_MSK0) and the Digital PSoC Block Interrupt Mask Register (INT_MSK1). When the user writes a "1" to a particular bit position, this enables the interrupt associated with that position. There is a single Global Interrupt Enable bit in the Flags Register (CPU_F), which can disable all interrupts, or enable those interrupts that also have their individual interrupt bit enabled. During a reset, the enable bits in the General Interrupt Mask Register (INT_MASK0), the enable bits in the Digital PSoC Block Interrupt Mask Register (INT_MSK1) and the Global Interrupt Enable bit in the Flags Register (CPU_F) are all cleared. The Interrupt Vector Register (INT_VC) holds the interrupt vector for the highest priority pending interrupt when read, and when written will clear all pending interrupts.

If there is only one interrupt pending and an instruction is executed that would mask that pending interrupt (by clearing the corresponding bit in either of the interrupt mask registers at address E0h or E1h in Bank 0), the CPU will take that interrupt. Since the pending interrupt has been cleared and there are no others, the resulting interrupt vector is 0000h and the CPU will jump to the user code at the beginning of Flash. To address this issue, use the macro defined in *m8c.inc* called "M8C_DisableIntMask" in PSoC Designer. This macro brackets the register write with a disable then an enable of global interrupts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

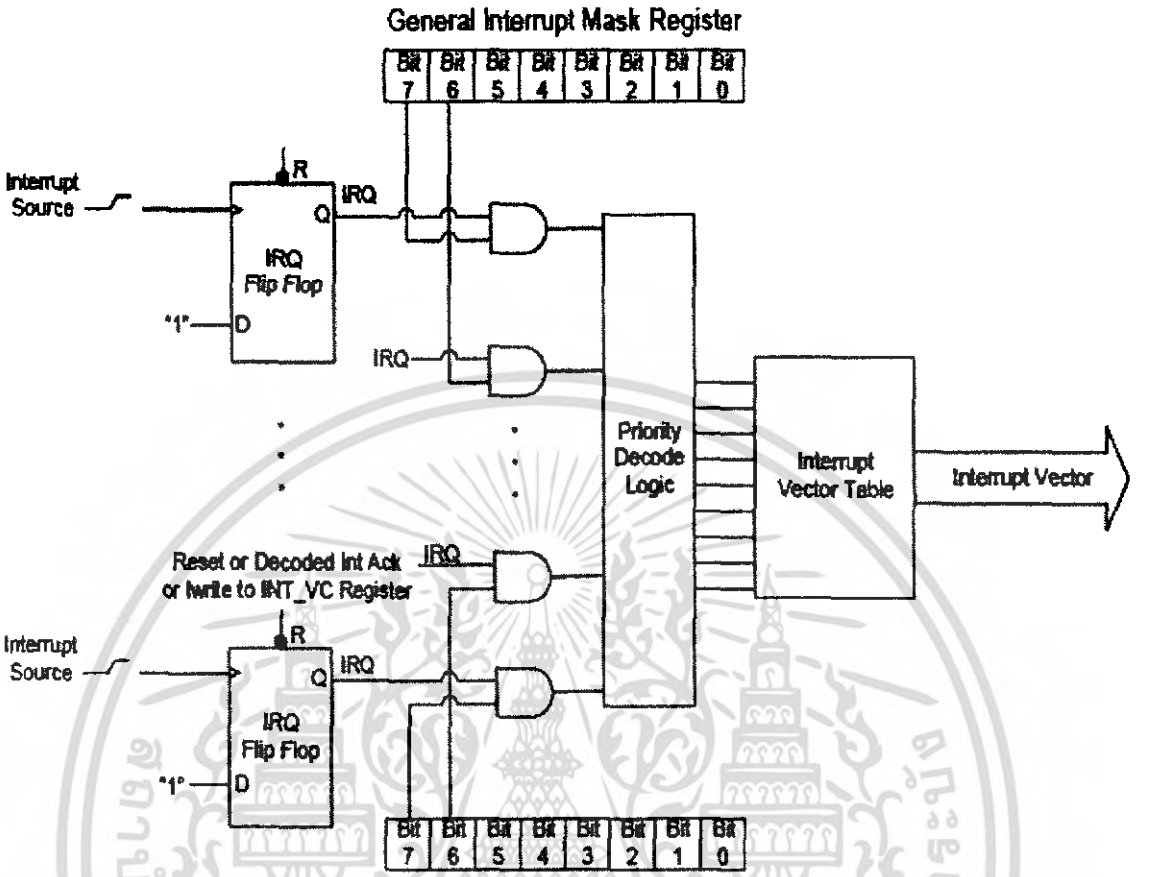


Figure 10: Interrupts Overview

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.4 Interrupt Masks

Table 44: General Interrupt Mask Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Reserved	Sleep	GPIO	Acolumn3	Acolumn2	Acolumn1	Acolumn0	Voltage Monitor

Bit 7: Reserved

Bit 6: Sleep Interrupt Enable Bit (see 11.4)
0 = Disabled
1 = Enabled

Bit 5: GPIO Interrupt Enable Bit (see 8.6)
0 = Disabled
1 = Enabled

Bit [4]: Acolumn 3 Interrupt Enable Bit (see 10.0)
0 = Disabled
1 = Enabled

Bit [3]: Acolumn 2 Interrupt Enable Bit (see 10.0)
0 = Disabled
1 = Enabled

Bit [2]: Acolumn 1 Interrupt Enable Bit (see 10.0)
0 = Disabled
1 = Enabled

Bit [1]: Acolumn 0 Interrupt Enable Bit (see 10.0)
0 = Disabled
1 = Enabled

Bit 0: Voltage Monitor Interrupt Enable Bit (see 11.5)
0 = Disabled
1 = Enabled

General Interrupt Mask Register (INT_MSK0, Address = Bank 0, E0h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 45: Digital PSoC Block Interrupt Mask Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	DCA07	DCA06	DCA05	DCA04	DBA03	DBA02	DBA01	DBA00

Bit 7: DCA07 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 6: DCA06 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 5: DCA05 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 4: DCA04 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 3: DBA03 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 2: DBA02 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 1: DBA01 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Bit 0: DBA00 Interrupt Enable Bit
0 = Disabled
1 = Enabled

Digital PSoC Block Interrupt Mask Register (INT_MSK1, Address = Bank 0, E1h)

8.5 Interrupt Vector Register

Table 46: Interrupt Vector Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Data[7]	Data[6]	Data[5]	Data[4]	Data[3]	Data[2]	Data[1]	Data[0]

Bit [7:0]: Data [7:0]
8-bit data value holds the interrupt vector for the highest priority pending interrupt. Writing to this register will clear all pending interrupts.

Interrupt Vector Register (INT_VC, Address = Bank 0, E2h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.6 GPIO Interrupt

GPIO Interrupts are polarity configurable and pin-wise maskable (within each Port's pin configuration registers). They all share the same interrupt priority and vector.

Any general purpose I/O can be used as an interrupt source. The GPIO bit in the General Interrupt Mask Register (INT_MSK0) must be set to enable pin interrupts, as well as the enable bits for each pin, which are located in the Port x Interrupt Enable Registers (PRTxIE). There are user selectable options to generate an interrupt on 1) any change from the last read state, 2) rising edge, and 3) falling edge.

When Interrupt on Change is selected, the state of the GPIO pin is stored when the port is read. Changes from this state will then assert the interrupt, if enabled.

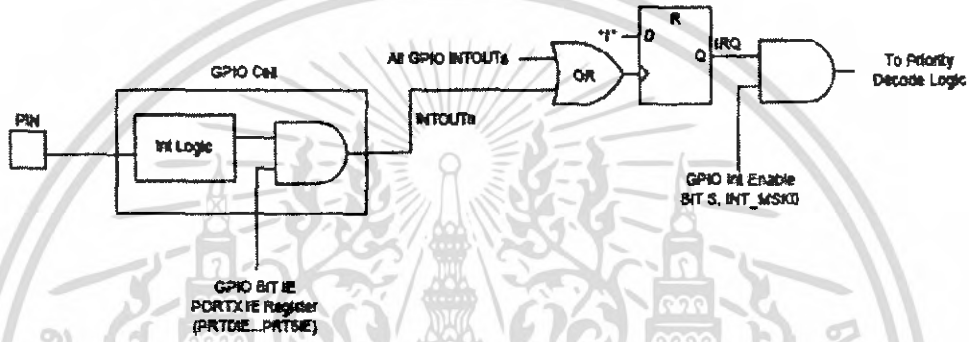


Figure 11: GPIO Interrupt Enable Diagram

For a GPIO interrupt to occur, the following steps must be taken:

1. The pin Drive Mode must be set so the pin can be an input.
2. The pin must be enabled to generate an interrupt by setting the appropriate bit in the Port Interrupt Enable Register (PRTxIE).
3. The edge type for the interrupt must be set in the Port Interrupt Control 0 and Control 1 Registers (PRTxIC0 and PRTxIC1). Edge type must be set to a value other than 00.
4. The GPIO bit must be set in the General Interrupt Mask Register (INT_MSK0).
5. The Global Interrupt Enable bit must be set.
6. Because the GPIO interrupts all share the same interrupt vector, the source for the GPIO interrupt must be cleared before any other GPIO interrupt will occur (i.e., the OR gate in Figure 11: "ors" all of the INTOUTn signals together). If any of the INTOUTn signals are high, the flip-flop in Figure 11: will not see a rising edge and no IRQ will occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.0 Digital PSoC Blocks

9.1 Introduction

PSoC blocks are user configurable system resources. On-chip digital PSoC blocks reduce the need for many MCU part types and external peripheral components. Digital PSoC blocks can be configured to provide a wide variety of peripheral functions. PSoC Designer Software Integrated Development Environment provides automated configuration of PSoC blocks by simply selecting the desired functions. PSoC Designer then generates the proper configuration information and can print a device data sheet unique to that configuration.

Digital PSoC blocks provide up to eight, 8-bit multipurpose timers/counters supporting multiple event timers, real-time clocks, Pulse Width Modulators (PWM), and CRCs. In addition to all PSoC block functions, communication PSoC blocks support full-duplex UARTs and SPI master or slave functions.

As shown in Figure 12., there are a total of eight 8-bit digital PSoC blocks in this device family configured as a linear array. Four of these are the Digital Basic Type A blocks and four are the Digital Communications Type A blocks. Each of these digital PSoC blocks can be configured independently, or used in combination.

Each digital PSoC block has a unique Interrupt Vector and Interrupt Enable bit. Functions can be stopped or started with a user-accessible Enable bit.

The Timer/Counter/CRC/PRS/Deadband functions are available on the Digital Basic Type A blocks and also the Digital Communications Type A blocks. The UART and SPI communications functions are only available on the Digital Communications Type A blocks.

There are three configuration registers: the Function Register (DBA00FN-DCA07FN) to select the block function and mode, the Input Register (DBA00IN-DCA07IN) to select data input and clock selection, and the Output Register (DBA00OU-DCA07OU) to select and enable function outputs.

The three data registers are designated Data 0 (DBA00DR0-DCA07DR0), Data 1 (DBA00DR1-DCA07DR1), and Data 2 (DBA00DR2-DCA07DR2). The function of these registers and their bit mapping is dependent on the overall block function selected by the user.

The one Control Register (DBA00CR0-DCA07CR0) is designated Control 0. The function of this register and its bit mapping is dependent on the overall block function selected by the user.

If the CPU frequency is 24 MHz and a PSoC timer/counter of 24-bits or longer is operating at 48 MHz, a write to the block Control Register to enable it (for example, a call to Timer_1_Start) may not start the block properly. In the failure case, the first count will typically be indeterminate as the upper bytes fail to make the first count correctly. However, on the first terminal count, the correct period will be loaded and counted thereafter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

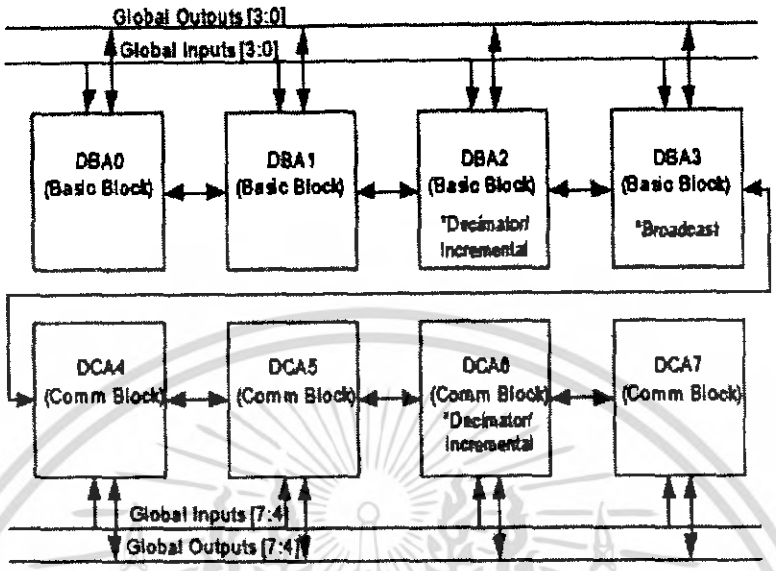


Figure 12: Digital Basic and Digital Communications PSoC Blocks

*Three of the digital blocks have special functions. DBA3 is a Broadcast block, with output directly available to all digital blocks as a clock or data input. Blocks DBA2 and DCA6 have selectable connections to support Delta Sigma and Incremental A/D converters.

9.2 Digital PSoC Block Bank 1 Registers

9.2.1 Digital Basic Type A / Communications Type A Block xx Function Register

The Digital Basic Type A/ Communications Type A Block xx Function Register (DBA00FN-DCA07FN) consists of 3 bits [2:0] to select the block function, 2 bits [4:3] to select mode of operation, and 1 bit [5] to indicate the last block in a group of chained blocks.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 47: Digital Basic Type A/ Communications Type A Block xx Function Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Reserved	Reserved	End	Mode 1	Mode 0	Function [2]	Function [1]	Function [0]

Bit 7: Reserved
Bit 6: Reserved

Bit 5: End
0 = PSoC block is not the end of a chained function (End should not be set to 0 in block DCA07)
1 = PSoC block is the end of a chained function, or is an unchained PSoC block

Bit 4: Mode 1 The definition of the Mode [1] bit depends on the block function selected
Timer: The Mode [1] bit signifies the Compare Type
0 = Less Than or Equal
1 = Less Than
Counter: The Mode [1] bit signifies the Compare Type
0 = Less Than or Equal
1 = Less Than
CRC/PRS: The Mode [1] bit is unused in this function
Deadband: The Mode [1] bit is unused in this function
UART: The Mode[1] bit signifies the Interrupt Type (Transmitter only)
0 = Transmit: Interrupt on TX_Reg Empty
1 = Transmit: Interrupt on TX Complete
SPI: The Mode[1] bit signifies the Interrupt Type
0 = Master: Interrupt on TX Reg Empty, Slave: Interrupt on RX Reg Full
1 = Master: Interrupt on SPI Complete, Slave: Interrupt on SPI Complete

Bit 3: Mode 0 The definition of the Mode [0] bit depends on the block function selected
Timer: The Mode [0] bit signifies Interrupt Type
0 = Terminal Count
1 = Compare True
Counter: The Mode [0] bit signifies Interrupt Type
0 = Terminal Count
1 = Compare True
CRC/PRS: The Mode [0] bit is unused in this function
Deadband: The Mode [0] bit is unused in this function
UART: The Mode [0] bit signifies the Direction
0 = Receive
1 = Transmit
SPI: The Mode [0] bit signifies the Type
0 = Master
1 = Slave

Bit [2:0]: Function [2:0] The Function [2:0] bits select the block function which determines the basic hardware configuration
0 0 0 = Timer (chainable)
0 0 1 = Counter (chainable)
0 1 0 = CRC/PRS (Cyclical Redundancy Checker or Pseudo Random Sequencer) (chainable)
0 1 1 = Reserved
1 0 0 = Deadband for Pulse Width Modulator
1 0 1 = UART (function only available on DCA type blocks)
1 1 0 = SPI (function only available on DCA type blocks)
1 1 1 = Reserved

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 48: Digital Basic Type A / Communications Type A Block xx Input Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Data [3]	Data [2]	Data [1]	Data [0]	Clock [3]	Clock [2]	Clock [1]	Clock [0]

Bit [7:4]: Data [3:0] Data Enable Source Select
0 0 0 0 = Data = 0
0 0 0 1 = Data = 1
0 0 1 0 = Digital Block 03
0 0 1 1 = Chain Function to Previous Block
0 1 0 0 = Analog Column Comparator 0
0 1 0 1 = Analog Column Comparator 1
0 1 1 0 = Analog Column Comparator 2
0 1 1 1 = Analog Column Comparator 3
1 0 0 0 = Global Output[0] (for Digital Blocks 00 to 03) or Global Output[4] (for Digital Blocks 04 to 07)
1 0 0 1 = Global Output[1] (for Digital Blocks 00 to 03) or Global Output[5] (for Digital Blocks 04 to 07)
1 0 1 0 = Global Output[2] (for Digital Blocks 00 to 03) or Global Output[6] (for Digital Blocks 04 to 07)
1 0 1 1 = Global Output[3] (for Digital Blocks 00 to 03) or Global Output[7] (for Digital Blocks 04 to 07)
1 1 0 0 = Global Input[0] (for Digital Blocks 00 to 03) or Global Input[4] (for Digital Blocks 04 to 07)
1 1 0 1 = Global Input[1] (for Digital Blocks 00 to 03) or Global Input[5] (for Digital Blocks 04 to 07)
1 1 1 0 = Global Input[2] (for Digital Blocks 00 to 03) or Global Input[6] (for Digital Blocks 04 to 07)
1 1 1 1 = Global Input[3] (for Digital Blocks 00 to 03) or Global Input[7] (for Digital Blocks 04 to 07)

Bit [3:0]: Clock [3:0] Clock Source Select
0 0 0 0 = Clock Disabled
0 0 0 1 = Global Output[4] (for Digital Blocks 00 to 03) or Global Output[0] (for Digital Blocks 04 to 07)
0 0 1 0 = Digital Block 03 (Primary Output)
0 0 1 1 = Previous Digital PSoC block (Primary Output)
0 1 0 0 = 48M
0 1 0 1 = 24V1
0 1 1 0 = 24V2
0 1 1 1 = 32k
1 0 0 0 = Global Output[0] (for Digital Blocks 00 to 03) or Global Output[4] (for Digital Blocks 04 to 07)
1 0 0 1 = Global Output[1] (for Digital Blocks 00 to 03) or Global Output[5] (for Digital Blocks 04 to 07)
1 0 1 0 = Global Output[2] (for Digital Blocks 00 to 03) or Global Output[6] (for Digital Blocks 04 to 07)
1 0 1 1 = Global Output[3] (for Digital Blocks 00 to 03) or Global Output[7] (for Digital Blocks 04 to 07)
1 1 0 0 = Global Input[0] (for Digital Blocks 00 to 03) or Global Input[4] (for Digital Blocks 04 to 07)
1 1 0 1 = Global Input[1] (for Digital Blocks 00 to 03) or Global Input[5] (for Digital Blocks 04 to 07)
1 1 1 0 = Global Input[2] (for Digital Blocks 00 to 03) or Global Input[6] (for Digital Blocks 04 to 07)
1 1 1 1 = Global Input[3] (for Digital Blocks 00 to 03) or Global Input[7] (for Digital Blocks 04 to 07)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.4 Global Inputs and Outputs

Global Inputs and Outputs provide additional capability to route clock and data signals to the digital PSoC blocks. Digital PSoC blocks are connected to the global input and output lines by configuring the PSoC block Input and Output registers (DBA00IN-DCA07IN, DBA00OU-DCA07OU). These global input and output lines form an 8-bit global input bus and an 8-bit global output bus. Four Digital PSoC blocks have access to the upper half of these buses, while the other four access the lower half, per the configuration register. These global input/output buses may be connected to the I/O pins on a per-pin basis using the pin configuration registers. This allows digital PSoC blocks to route their inputs and outputs to pins using the global I/O buses.

9.4.1 Input Assignments

The PSoC block Input Register defines the selection of Global Inputs to digital PSoC blocks. Only 4 of the Global Inputs bus lines are available as selections to a given digital PSoC block as shown in the table below. Once the Global Input has been selected using the PSoC block Input Register selection bits, a GPIO pin must be configured to drive the selected Global Input. This configuration may be set in the Port Global Select Register. The GPIO direction must also be set to Input mode by configuring the Port Drive Mode Registers to select High Z.

Table 59: Global Input Assignments

Global Input [7]	Global Input [6]	Global Input [5]	Global Input [4]	Global Input [3]	Global Input [2]	Global Input [1]	Global Input [0]
Port x[7]	Port x[6]	Port x[5]	Port x[4]	Port x[3]	Port x[2]	Port x[1]	Port x[0]
PSoC Block 04	PSoC Block 04	PSoC Block 04	PSoC Block 04	PSoC Block 00	PSoC Block 00	PSoC Block 00	PSoC Block 00
PSoC Block 05	PSoC Block 05	PSoC Block 05	PSoC Block 05	PSoC Block 01	PSoC Block 01	PSoC Block 01	PSoC Block 01
PSoC Block 06	PSoC Block 06	PSoC Block 06	PSoC Block 06	PSoC Block 02	PSoC Block 02	PSoC Block 02	PSoC Block 02
PSoC Block 07	PSoC Block 07	PSoC Block 07	PSoC Block 07	PSoC Block 03	PSoC Block 03	PSoC Block 03	PSoC Block 03

9.4.2 Output Assignments

The PSoC block Output Register defines the selection of the Global Output bus line to be driven by the digital PSoC blocks. Only 4 of the Global Output bus lines are available as selections to a given digital PSoC block as shown in the table below. The Global Output bus has two functions. Since Global Outputs are also selectable as inputs to digital PSoC blocks, signals can be routed between blocks using this bus. In addition, Global Outputs may drive out to GPIO pins. In this case, once the Global Output has been selected using the PSoC block Output Register selection bits, a GPIO pin must be configured to select the Global Output to drive to the pin. This configuration may be set in the Port Global Select Register. The GPIO direction must also be set to output mode (which is the default) by configuring the Port Drive Mode Registers to one of the available driving strengths.

Table 60: Global Output Assignments

Global Output [7]	Global Output [6]	Global Output [5]	Global Output [4]	Global Output [3]	Global Output [2]	Global Output [1]	Global Output [0]
Port x[7]	Port x[6]	Port x[5]	Port x[4]	Port x[3]	Port x[2]	Port x[1]	Port x[0]
PSoC Block 04	PSoC Block 04	PSoC Block 04	PSoC Block 04	PSoC Block 00	PSoC Block 00	PSoC Block 00	PSoC Block 00
PSoC Block 05	PSoC Block 05	PSoC Block 05	PSoC Block 05	PSoC Block 01	PSoC Block 01	PSoC Block 01	PSoC Block 01
PSoC Block 06	PSoC Block 06	PSoC Block 06	PSoC Block 06	PSoC Block 02	PSoC Block 02	PSoC Block 02	PSoC Block 02
PSoC Block 07	PSoC Block 07	PSoC Block 07	PSoC Block 07	PSoC Block 03	PSoC Block 03	PSoC Block 03	PSoC Block 03

9.5 Available Programmed Digital Functionality

9.5.1 Timer with Optional Capture

9.5.1.1 Summary

The timer function continuously measures the amount of time in 'ticks' between two events, and provides a rate generator. A down counter lies at the heart of the timer functions. Rate generators divide their clock source by an integer value. Hardware or software generated events

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

trigger capture operations that permit calculation of elapsed "ticks." Timer-configured PSoC blocks may be chained to arbitrary lengths in 8 bit increments.

9.5.1.2 Registers

Data Register 1 establishes the period or integer clock division value. Data Register 0 holds the current state of the down counter. If the function is disabled, writing a period into Data Register 1, will automatically load Data Register 0. It is also automatically reloaded on the clock cycle after it reaches zero, the terminal count value. When a capture event occurs, the current value of Data Register 0 is transferred to Data Register 2. The captured value in Data Register 2 may then be read by the CPU. In addition to the hardware capture input, A CPU read of Data Register 0 generates a software capture event. This read will return 0 as data. A subsequent read of Data Register 2 will return the captured value. Control Register 0 contains one bit to enable/disable the function.

9.5.1.3 Inputs

There are two inputs, the Source Clock and the Hardware Capture signal. The down counter is decremented on the rising-edge of the Source Clock. A hardware capture event is signaled by a rising edge of the Hardware Capture signal. This is synchronized to the 24 MHz system clock and the data is synchronously transferred to Data Register 2. The Hardware Capture Signal is OR'ed with a software capture signal that is generated when Data Register 0 is read directly by the CPU. In order to use the software capture mechanism, the Hardware Capture signal input selection must be low. The multiplexers selecting these input sources are controlled by the PSoC block Input Register (DBA00IN-DCA07IN).

9.5.1.4 Outputs

The Terminal Count signal is the primary output and it exhibits a duty cycle that is the reciprocal of the period value contained in Data Register 1. In other words, it is high during the source clock cycle when the value in Data Register 0 is zero and low otherwise. The Terminal Count can be routed to additional analog or digital PSoC blocks or via Global Output lines. The auxiliary output is the Compare True signal. This output is high when the current count is less than (or less than or equal to) the value in Data Register 2 (compare type controlled by Mode[1] in the PSoC block Function Register). The auxiliary output can be routed via Global Output lines. The PSoC block Output Register (DBA00OU-DCA07OU) controls output options.

9.5.1.5 Interrupts

Interrupts may be generated in either of two ways. First, the PSoC block may optionally generate an interrupt on the rising edge of Terminal Count or the rising edge of the Compare True signal. The selection of interrupt source is determined by the MODE[0] bit of the PSoC block Function Register (DBA00FN-DCA07FN). The MODE[1] bit controls whether the comparison operation is "less than" or "less than or equal to." If capture events are disabled, Data Register 2 can be used to create a periodic interrupt with a particular offset from the terminal count.

9.5.1.6 Usage Notes

1. Constraints

   Hardware/software synchronous capture is only available with a clocking rate of 24 MHz and below.

2. Software Capture

   When a capture event occurs, all bytes in a multi-byte timer transfer simultaneously from the current count (Data Register 0) to the capture register (Data Register 2). To generate a software capture event, only the least significant Data Register 0 byte needs to be read by the CPU. This causes the same simultaneous transfer as a hardware event.

3. Disabled State

   When the Control Register Enable bit is set to '0', the internal block clock is turned off. A write to Data Register 1 (Period) is loaded directly into Data Register 0 (Counter) to initialize or reset the count. All outputs are low and the block interrupt is held low. Disabling a timer does not affect the current count value and it may be read by the CPU. However, since hardware/software capture is disabled in this state, two reads are required to read each byte of a multi-byte register. One to transfer each Data Register 0 count value to the associated Data Register 2 capture register, then one to read the result in Data Register 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Capture vs. Compare

   A capture event will overwrite Data Register 2. This is also the register that holds the compare value. Therefore, using the capture function may not be compatible with using the timer compare function.

9.5.2 Counter with Optional Compare (Pulse-Width) Output

9.5.2.1 Summary

Conceptually, a counter measures the number of events between "ticks," however, this distinction between counter and timer blurs because both functions provide a complete range of clock selections. The counter trades the timer's hardware capture for a clock gate or "enable" and provides a means of adjusting the duty cycle of its output so that it can double as a pulse-width modulator. A down counter lies at the heart of the counter function. Counter-configured PSoC blocks may be chained to arbitrary lengths in 8 bit increments.

In a Counter User Module, the data input is an enable for counting. Normally, when the enable goes low, the counter will hold the current count. However, if the enable happens to go low in the same clock period as Terminal Count (count of all 0's), one additional count will occur that will reload the counter from the Period Register. Once the counter is reloaded from the Period Register, counting will stop.

9.5.2.2 Registers

Data Register 1 establishes the period of the counter. Data Register 0 holds the current state of the down counter. If the function is disabled, writing a period into Data Register 1, will automatically load Data Register 0. It is also automatically reloaded on the clock cycle after it reaches zero, the terminal count value. The value in Data Register 2 (compare value) is continually compared to Data Register 0 (count value) to establish the output pulse-width (duty cycle). Reading Data Register 0 to obtain the current value of the down counter may occur only when the function is disabled. When read, this transfers the value from Data Register 0 to Data Register 2 and returns a 0 on the data bus. The value transferred to Data Register 2 can then be directly read by the CPU. However, reading the count value in this manner will overwrite any previously written compare value in Data Register 2. Control Register 0 contains one bit to enable/disable the function.

9.5.2.3 Inputs

There are two primary inputs, the Source Clock and the Enable signal. When the Enable signal is high, the down counter is decremented on the rising-edge of the Source Clock. The multiplexers selecting these inputs are controlled by the PSoC block Input Register (DBA00IN-DCA07IN).

9.5.2.4 Outputs

The counter function drives its primary output signal, Compare True, high on the falling edge of the Source Clock when the value in Data Register 0 is less (or less than or equal to) the value in Data Register 2. The duty cycle of the pulse-width modulator formed in this way is the ratio of Data Register 2 (or Data Register 2 minus one) to Data Register 1. The choice of compare operators is determined by the MODE[1] bit. The Compare value can be routed to additional analog or digital PSoC blocks or via Global Output lines The auxiliary output signal is the Terminal Count signal which can be routed via Global Output lines. The PSoC block Output Register (DBA00OU-DCA07OU) controls output options.

9.5.2.5 Interrupts

Interrupts may be generated in either of two ways. First, the PSoC block may optionally generate an interrupt on the rising edge of Terminal Count or the rising edge of the Compare signal. The selection of interrupt source is determined by the MODE[0] bit of the PSoC block Function Register (DBA00FN-DCA07FN). The MODE[1] bit controls whether the comparison operation is "less than" or "less than or equal to."

9.5.2.6 Usage Notes

1. Enable Input

   The enable input is synchronous and when low forces the counter into a 'hold' state. Outputs are unaffected by the state of the enable input. If an external source is selected as the enable input, it is synchronized to the 24 MHz clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Disabled State

When the Control Register Enable bit is set to '0', the internal block clock is turned off. A write to Data Register 1 (Period) is loaded directly into Data Register 0 (Counter) to initialize or reset the count. All outputs are low and the block interrupt is held low. Disabling a counter does not affect the current count value and it may be read by the CPU. Two reads are required to read each byte of a multi-byte register. One to transfer each Data Register 0 count value to the associated Data Register 2 capture register, then one to read the result in Data Register 2.

3. Reading the Count Value

A CPU read of Data Register 0 (count value) will overwrite Data Register 2 (compare value). Therefore, when reading the current count, a previously written compare value will be overwritten.

4. Extra Count

In a Counter User Module, the data input is an enable for counting. Normally, when the enable goes low, the counter will hold the current count. However, if the enable happens to go low in the same clock period as Terminal Count (count of all 0's), one additional count will occur that will reload the counter from the Period Register. Once the counter is reloaded from the Period Register, counting will stop.

9.5.3 Deadband Generator

9.5.3.1 Summary

The Deadband function produces two output waveforms, F0 and F1, with the same frequency as the input, but "under-lapped" so they are never both high at the same time. An 8-bit down counter controls the length of the "dead time" during which both output signals are low. When the deadband function detects a rising edge on the input waveform, the F1 output signal goes low and the counter decrements from its initial value to its terminal count. When the down counter reaches zero, the F0 output signal goes high. The process reverses on the falling edge of the input waveform so that after the same dead time, F1 goes high until the input signal transitions again. Dead-band generator PSoC blocks cannot be chained to increase the width of the down counter beyond 8 bits or 256 dead-time "ticks."

9.5.3.2 Registers

Data Register 1 stores the count that controls the elapsed dead time. Data Register 0 holds the current state of the dead-time down counter. If the function is disabled, writing a period into Data Register 1, will automatically load Data Register 0 with the deadband period. This period is automatically re-loaded into the counter on each edge of the input signal. Data Register 2 is unused. Control Register 0 contains one bit to enable/disable the function.

9.5.3.3 Inputs

The input controls the period and duty cycle of the dead-band generator outputs. This input is fixed to be derived from the primary output of the previous block. If this signal is pulse-width modulated, i.e., if a PWM block is configured as the previous block, the dead-band outputs will be similarly modulated. The F0 output corresponds to the duty cycle of the input (less the dead time) and F1 to the duty cycle of the inverted input (again, less the dead time). The clock input to the dead-band generator controls the rate at which the down counter is decremented. The primary data input is the "Kill" Signal. When this signal is asserted high, both F0 and F1 outputs will go low. The multiplexers selecting these input are controlled by the PSoC block Input Register (DBA00IN-DCA07IN).

9.5.3.4 Outputs

Both the F0 and F1 outputs can be driven onto the Global Output bus. If the next PSoC block selects "Previous PSoC block" for its clock input, it only "sees" the F0 output of the dead-band function. The PSoC block Output Register (DBA00OU-DCA07OU) controls output options.

9.5.3.5 Interrupts

The rising edge of the F0 signal provides the interrupt for this block.

9.5.3.6 Usage Notes

1. Constraints

The dead time must not exceed the minimum of the input signal's pulse-width high and pulse-width low time, less two CPU clocks. Dead time equals the period of the input clock times one plus the value written to Data Register 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Enabling

The data input to the Dead-Band function is hardware to the primary output of the previous block, which is typically programmed to be a PWM. The proper order for enabling these blocks (writing the Control Register 0) is PWM first, then Dead-Band.

3. Disabled State

When the Control Register Enable bit is set to '0', the internal block clock is turned off. A write to Data Register 1 (Period) is loaded directly into Data Register 0 (Counter) to initialize or reset the dead-band time. All outputs are low and the block interrupt is held low.

4. Asserting the Kill Signal

When the Kill signal is asserted high, both outputs F0 and F1 are held low. When the Kill signal is selected from an external source through a Global input, it is synchronized to the 24 MHz clock and therefore has up to 42 ns of latency.

5. Negating the Kill Signal

The Kill signal may be negated at any time. However, the output may be enabled at an arbitrary time with respect to the F0 and F1 generation. If exact timing is required when re-enabling the F0 and F1 outputs, the following procedure is recommended:

1.Kill is asserted.

2.Write to Control Register 0 to disable the block.

3.Write to Data Register 1 (Deadband time) to initialize the period.

4.Kill is eventually negated.

5.Write to Control Register 0 to enable the block.

9.5.4 PRS - Pseudo-Random Sequence Generator

9.5.4.1 Summary

The PRS function generates an output waveform corresponding to a sequence of pseudo-random numbers. A linear-feedback shift register generates the sequence according to a user-specified polynomial. The width of the numbers in the sequence is variable and the initial value is determined by a user-defined "seed" value. PRS PSoC blocks can be chained to increase the width of the numbers and, hence, the length of the sequence. A chain of N PSoC blocks can generate numbers from 2- to 8N-bits wide and sequences of up to 2^{8N}-1 distinct values.

9.5.4.2 Registers

Data Register 0 implements a linear-feedback shift register. Data Register 2 holds the "seed" value and when the block is disabled, a write to Data Register 2 is loaded directly into Data Register 0 (The block must be disabled when writing this value). Data Register 1 specifies the polynomial and width of the numbers in the sequence (see 9.5.4.6).

9.5.4.3 Inputs

The clock input determines the rate at which the output sequence is produced. The data input must be set to low for the block to function as a PRS. The multiplexer for selecting these inputs is controlled by the PSoC block Input Register (DBA00IN-DCA07IN).

9.5.4.4 Outputs

The PRS function drives the output serial data stream synchronous with the input clock. The output bits change on the rising edge of the input clock. The output may be driven on the Global Output bus or to the subsequent digital PSoC block. The PSoC block Output Register (DBA00OU-DCA07OU) controls output options.

9.5.4.5 Interrupts

The PRS function provides an interrupt based on the Compare signal between Data Register 0 and Data Register 2. Data Register 2 is initially loaded with the "seed" value, and therefore a periodic interrupt will be generated when the PRS count matches the seed value.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.0 Analog PSoC Blocks

10.1 Introduction

PSoC blocks are user configurable system resources. On-chip analog PSoC blocks reduce the need for many MCU part types and external peripheral components. Analog PSoC blocks can be configured to provide a wide variety of peripheral functions. PSoC Designer Software Integrated Development Environment provides automated configuration of PSoC blocks by simply selecting the desired functions. PSoC Designer then generates the proper configuration information and can print a device data sheet unique to that configuration.

Each of the analog blocks has many potential inputs and several outputs. The inputs to these blocks include analog signals from external sources, intrinsic analog signals driven from neighboring analog blocks or various voltage reference sources.

There are three discrete outputs from each analog block (there are an additional two discrete outputs in the Continuous Time blocks), 1) the analog output bus (ABUS), which is an analog bus resource that is shared by all of the analog blocks in a column, 2) the comparator bus (CBUS), which is a digital bus resource that is shared by all of the analog blocks in a column, and 3) the output bus (OUT, (plus GOUT and LOUT in the Continuous Time blocks)), which is an analog bus resource that is shared by all of the analog blocks in a column and connects to one of the analog output buffers, to send a signal externally to the device. There are also intrinsic outputs that connect to neighboring analog blocks.

Twelve analog PSoC blocks are available separately or combined with the digital PSoC blocks. A precision internal voltage reference provides accurate analog comparisons. A temperature sensor input is provided to the analog PSoC block array supporting applications like battery chargers and data acquisition without requiring external components.

There are three analog PSoC block types: Continuous Time (CT) blocks, and Type A and Type B Switch Capacitor (SC) blocks. CT blocks provide continuous time analog functions. SC blocks provide ADC and DAC analog functions. Currently, supported analog functions are 12-bit Incremental and 11-bit Delta-Sigma ADC, successive approximation ADCs up to 6 bits, DACs up to 8 bits, programmable gain stages, sample and hold circuits, programmable filters, comparators, and a temperature sensor.

The analog functionality provided is as follows:

- A/D and D/A converters, programmable gain blocks, comparators, and switched capacitor filters.
- Single ended configuration is cost effective for reasonable speed / accuracy, and provides simple interface to most real-world analog inputs and outputs.
- Support is provided for sensor interfaces, audio codes, embedded modems, and general-purpose op amp circuits.
- Flexible, System on-a-Chip programmability, providing variations in functions.
- For a given function, easily selected trade-offs of accuracy and resolution with speed, resources (number of analog blocks), and power dissipated for that application.
- The analog section is an "Analog Computation Unit," providing programmed steering of signal flow and selecting functionality through register-based control of analog switches. It also sets coefficients in Switched Capacitor Filters and noise shaping (Delta-Sigma) modulators, as well as programs gain or attenuation settings in amplifier configurations.
- The architecture provides continuous time blocks and discrete time (Switched Capacitor) blocks. The continuous time blocks allow selection of precision amplifier or comparator circuitry using programmable resistors as passive configuration and parameter setting elements. The Switched Capacitor (SC) blocks allow configuration of DACs, Delta Sigma, incremental or Successive Approximation ADCs, or Switched Capacitor filters with programmable coefficients.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.2 Analog System Clocking Signals

Table 61: Analog System Clocking Signals

Signal	Definition
ACLK0	A system-clocking signal that is driven by the clock output of a digital PSoC block and can be selected by the user to drive the clocking signal to an analog column. Any of the 8 digital PSoC blocks can be muxed into this line using the ACLK0[2:0] bits in the Analog Clock Select Register (CLK_CR1).
ACLK1	A system-clocking signal that is driven by the clock output of a digital PSoC block and can be selected by the user to drive the clocking signal to an analog column. Any of the 8 digital PSoC blocks can be muxed into this line using the ACLK1[2:0] bits in the Analog Clock Select Register (CLK_CR1).
Acolumn0	A system-clocking signal that can drive all analog PSoC blocks in Analog Column 0. This signal is derived from the muxed input of the 24V1, 24V2, ACLK0, and ACLK1 system clock signals. The output of this mux is then passed through a 1:4 divider to reduce the frequency by a factor of 4. The Acolumn0[1:0] bits in the CLK_CR0 Register determine the selected Column Clock.
Acolumn1	A system-clocking signal that can drive all analog PSoC blocks in Analog Column 1. This signal is derived from the muxed input of the 24V1, 24V2, ACLK0, and ACLK1 system clock signals. The output of this mux is then passed through a 1:4 divider to reduce the frequency by a factor of 4.The Acolumn1[1:0] bits in the CLK_CR0 Register determine the selected Column Clock.
Acolumn2	A system-clocking signal that can drive all analog PSoC blocks in Analog Column 2. This signal is derived from the muxed input of the 24V1, 24V2, ACLK0, and ACLK1 system clock signals. The output of this mux is then passed through a 1:4 divider to reduce the frequency by a factor of 4. The Acolumn2[1:0] bits in the CLK_CR0 Register determine the selected Column Clock.
Acolumn3	A system-clocking signal that can drive all analog PSoC blocks in Analog Column 3. This signal is derived from the muxed input of the 24V1, 24V2, ACLK0, and ACLK1 system clock signals. The output of this mux is then passed through a 1:4 divider to reduce the frequency by a factor of 4. The Acolumn3[1:0] bits in the CLK_CR0 Register determine the selected Column Clock.

10.3 Array of Analog PSoC Blocks

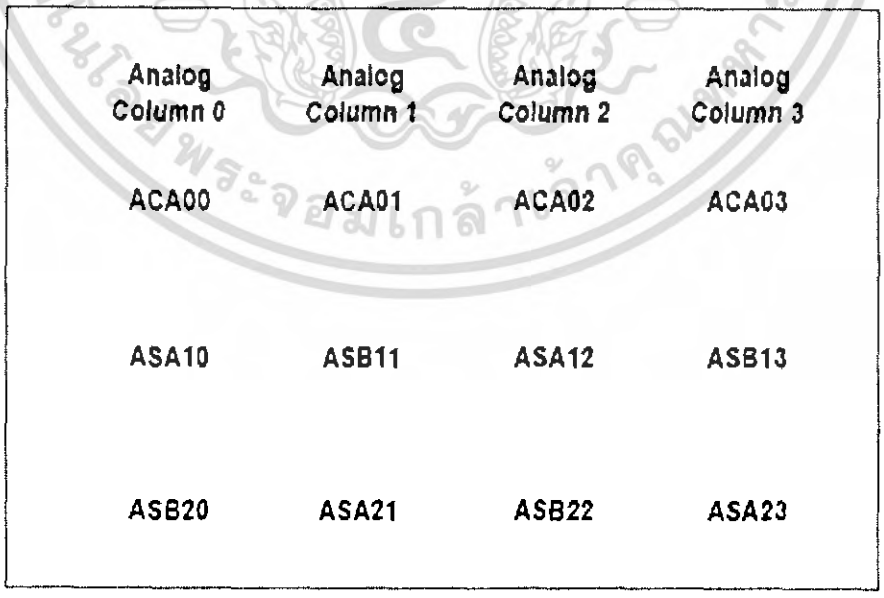


Figure 16: Array of Analog PSoC Blocks

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.4 Analog Reference Control

The reference generator establishes a set of three internally fixed reference voltages for the whole chip, AGND, RefHI and RefLo. The 8C26xxx is a single supply part, with no negative voltage available or applicable. Analog ground (AGND) is constructed near mid-supply. This ground is routed to all analog blocks and separately buffered within each block. There may be a small offset voltage between buffered analog grounds, as indicated in the AC/DC Characteristics section. RefHI and RefLo signals are generated, buffered and routed to the analog blocks. RefHI is used to set the conversion range (i.e., span) of analog to digital (ADC) and digital to analog (DAC) converters. RefHI and RefLo can be used to set thresholds in comparators.

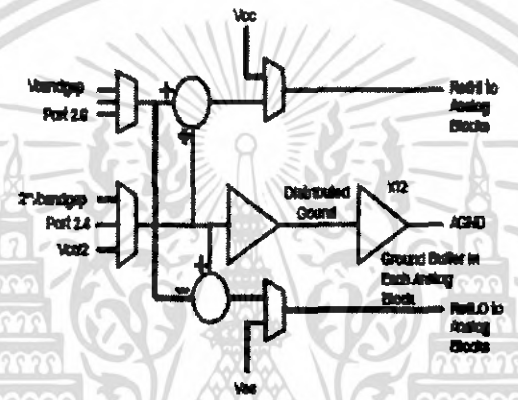


Figure 17: Analog Reference Control Schematic

10.4.1 Bandgap Test

BGT Bandgap Test is used for factory testing of the internal reference voltage testing.

10.4.2 Bias Level

HBE Controls the bias level for all analog functions. It operates with the power setting in each block to set the parameters of that block. Most applications will benefit most from the low bias level. At high bias, the analog block op-amps have faster slew rate but slightly less voltage swing and higher noise.

10.4.3 AGND, RefHI, RefLO

REF Sets Analog Array Reference Control, selecting specific combinations of voltage for analog ground and references. Many of these reference voltages are based on the precision internal reference, a Silicon band gap operating at 1.300 Volts. This reference has good thermal stability and power supply rejection.

Alternatively, the power supply can be scaled to provide analog ground and references; this is particularly useful for signals, which are ratiometric to the power supply voltage.

User supplied external precision references can be connected to Port 2 inputs (available on 28 pin and larger parts). This is useful in setting reference for specific customer applications such as a +/-1.000 V (from AGND) ADC scale. References derived from Port 2 inputs are limited to the same output voltage range as the op-amps in the analog blocks.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 62: AGND, RefHI, RefLO Operating Parameters

	AGND		RefHI		RefLO		Notes
	Source	Voltage	Source	Voltage	Source	Voltage	
000	$V_{cc}/2$	2.5 V 1.65 V	V_{cc}+Vbg	3.8 V 2.95 V	V_{cc}-Vbg	1.2 V 0.35 V	5.0 V System 3.3 V System
001	P2[4]	2.2 V[1]	P2[4]+P2[6]	3.2 V[1]	P2[4]-P2[6]	1.2 V[1]	User Adjustable
010	Vcc/2	2.5 V 1.65 V	Vcc	5.0 V 3.3 V	Vss	0.0 V 0.0 V	5.0 V System 3.3 V System
011	2*Vbg	2.6 V	2*Vbg+Vbg	3.9 V	2*Vbg-Vbg	1.3 V	Not for 3.3 V Systems
100	2*Vbg	2.6 V	2*Vbg+P2[6]	3.6 V[1]	2*Vbg-P2[6]	1.6 V[1]	Not for 3.3 V Systems
101	P2[4]	2.2 V[1]	P2[4]+Vbg	3.5 V[1]	P2[4]-Vbg	0.9 V[1]	User Adjustable
110	Reserved						
111	Reserved						

1. Example shown for AGND P2[4] = 2.2 V and Ref P2[6] = 1.0 V

10.4.4 Analog Array Power Control

PWR Sets Analog Array Power Control. Analog array power is controlled through the bias circuits in the Continuous Time blocks and separate bias circuits in the Switched Capacitor blocks. Continuous Time blocks (ACAxx) can be operated to make low power comparators independent of Switched Capacitor (ASAxx and ASBxx) blocks, without their power consumption.

The reference array supplies voltage to all blocks and current to the Switched Capacitor blocks. At higher block clock rates, there is increased reference current demand; the reference power should be set equal to the highest power level of the analog blocks used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 63: Analog Reference Control Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	BGT	HBE	REF[2]	REF[1]	REF[0]	PWR[2]	PWR[1]	PWR[0]

Bit 7: BGT Bandgap Test used for internal reference voltage testing (customer should not alter; must be written as 0)

Bit 6: HBE Bias level control for op-amps
0 = Low bias mode for analog array
1 = High bias mode for analog array

Bit [5:3]: REF [2:0] Analog Array Reference Control

AGND	High/Low
0 0 0 = Vcc/2	± Bandgap
0 0 1 = P2[4]	± P2[6]
0 1 0 = Vcc/2	± Vcc/2
0 1 1 = 2 Bandgap	± Bandgap
1 0 0 = 2 Bandgap	± P2[6]
1 0 1 = P2[4]	± Bandgap
1 1 0 = Reserved	
1 1 1 = Reserved	

Bit [2:0]: PWR [2:0] Analog Array Power Control
0 0 0 = All Analog Off
0 0 1 = SC Off, REFPWR Low
0 1 0 = SC Off, REFPWR Med
0 1 1 = SC Off, REFPWR High
1 0 0 = All Analog Off
1 0 1 = SC On, REFPWR Low
1 1 0 = SC On, REFPWR Med
1 1 1 = SC On, REFPWR High

Analog Reference Control Register (ARF_CR, Address = Bank 0, 63h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.5 Analog PSoC Block Clocking Options

All analog PSoC blocks in a particular Analog Column share the same clock signal. Choosing the clocking for an analog PSoC block is a two-step process.

1. First, if the user wants to use the **ACLK0** and **ACLK1** system-clocking signals, the digital PSoC blocks that serve as the source for these signals must be selected. This selection is made in the Analog Clock Select Register (CLK_CR1).
2. Next, the user must select the source for the **Acolumn0**, **Acolumn1**, **Acolumn2**, and **Acolumn3** system-clocking signals. The user will choose the clock for Acolumnx[1:0] bits in the Analog Column Clock Select Register (CLK_CR0). Each analog PSoC block in a particular Analog Column is clocked from the **Acolumn[x]** system-clocking signal for that column. (Note that the Acolumn[x] signals have a 1:4 divider on them.)

10.5.1 Analog Column Clock Select Register

Table 64: Analog Column Clock Select Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Acolumn3 [1]	Acolumn3 [0]	Acolumn2 [1]	Acolumn2 [0]	Acolumn1 [1]	Acolumn1 [0]	Acolumn0 [1]	Acolumn0 [0]

Bit [7:6]: Acolumn3 [1:0]
0 0 = 24V1
0 1 = 24V2
1 0 = ACLK0
1 1 = ACLK1

Bit [5:4]: Acolumn2 [1:0]
0 0 = 24V1
0 1 = 24V2
1 0 = ACLK0
1 1 = ACLK1

Bit [3:2]: Acolumn1 [1:0]
0 0 = 24V1
0 1 = 24V2
1 0 = ACLK0
1 1 = ACLK1

Bit [1:0]: Acolumn0 [1:0]
0 0 = 24V1
0 1 = 24V2
1 0 = ACLK0
1 1 = ACLK1

Analog Column Clock Select Register (CLK_CR0, Address = Bank 1, 60h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.6 Analog Clock Select Register

Table 65: Analog Clock Select Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Reserved	SHDIS	ACLK1 [2]	ACLK1 [1]	ACLK1 [0]	ACLK0 [2]	ACLK0 [1]	ACLK0 [0]

Bit 7: Reserved

Bit 6: SHDIS During normal operation of an SC block for the amplifier of a column enabled to drive the output bus, the connection is only made for the last half of PHI2 (during PHI1 and for the first half of PHI2, the output bus floats at the last voltage to which it was driven). This forms a sample and hold operation using the output bus and its associated capacitance. This design prevents the output bus from being perturbed by the intermediate states of the SC operation (often a reset state for PHI1 and settling to the valid state during PHI2)

Following are the exceptions: 1) If the ClockPhase bit in CR0 (for the SC block in question) is set to 1, then the output is enabled for the whole of PHI2. 2) If the SHDIS signal is set in bit 6 of the Analog Clock Select Register, then sample and hold operation is disabled for all columns and all enabled outputs of SC blocks are connected to their respective output busses for the entire period of their respective PHI2s

0 = Sample and hold function enabled
1 = Sample and hold function disabled

Bit [5:3]: ACLK1 [2:0]
0 0 0 = Digital Basic Type A Block 00
0 0 1 = Digital Basic Type A Block 01
0 1 0 = Digital Basic Type A Block 02
0 1 1 = Digital Basic Type A Block 03
1 0 0 = Digital Communications Type A Block 04
1 0 1 = Digital Communications Type A Block 05
1 1 0 = Digital Communications Type A Block 06
1 1 1 = Digital Communications Type A Block 07

Bit [2:0]: ACLK0 [2:0] Same configurations as ACLK1 [2:0]
0 0 0 = Digital Basic Type A Block 00
0 0 1 = Digital Basic Type A Block 01
0 1 0 = Digital Basic Type A Block 02
0 1 1 = Digital Basic Type A Block 03
1 0 0 = Digital Communications Type A Block 04
1 0 1 = Digital Communications Type A Block 05
1 1 0 = Digital Communications Type A Block 06
1 1 1 = Digital Communications Type A Block 07

Analog Clock Select Register (CLK_CR1, Address = Bank 1, 61h)

There are a total of twelve analog PSoC blocks implemented for each of the following types; Analog Continuous Time Type A (ACAxx), Analog Switch Cap Type A (ASAxx), and Analog Switch Cap Type B (ASBxx). These blocks are arranged in an array of three rows by four columns. Each column has one of each type of PSoC block, and the individual PSoC blocks are identified by the row and column in which they reside.

There are two primary types of analog PSoC blocks. Both types contain one op-amp but their principles of operation are quite different. Continuous-time PSoC blocks employ three configuration registers and use resistors to condition amplifier response. Switched capacitor blocks have one comparator and four configuration registers and operate as discrete-time sampling operators. In both types, the configuration registers are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

divided into distinct bit fields. Some bit fields set the PSoC block's resistor ratios or capacitor values. Others configure switches and multiplexers that form connections between internal block nodes. Additionally, a block may be connected via local interconnection resources to neighboring analog PSoC blocks, reference voltage sources, input multiplexers and output busses. Specific advantages and applications of each type are treated separately below.

10.6.1 Local Interconnect

Analog continuous-time PSoC blocks occupy the top row, (row 0) of the analog array. Designated ACA for analog continuous-time subtype "A," each connects to its neighbors by means of three multiplexers. (Note that unlike the switched capacitor blocks, the continuous time blocks in the current family of parts only have one subtype.) The three are the non-inverting input multiplexer, "PMux," the inverting input multiplexer, "NMux," and the "RBotMux" which controls the node at the bottom of the resistor string. The bit fields, which control these multiplexers, are named PMux, NMux, and RBotMux, respectively. The following diagrams show how each multiplexer connects its ACA block connect to its neighbors. Each arrow points from an input source, either a PSoC block, bus or reference voltage to the block where it is used. Each arrow is labeled with the value to which the bit-field must be set to select that input source.

10.6.1.1 NMux

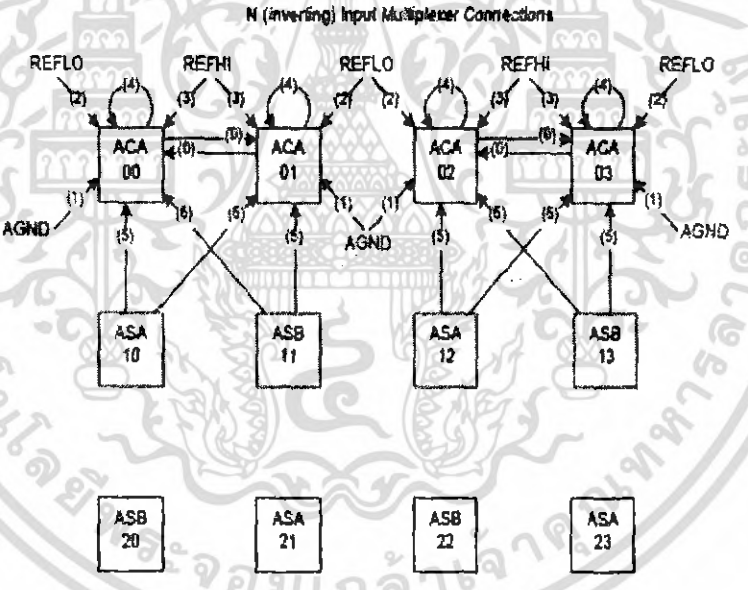


Figure 18: NMux Connections

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.6.1.2 PMux

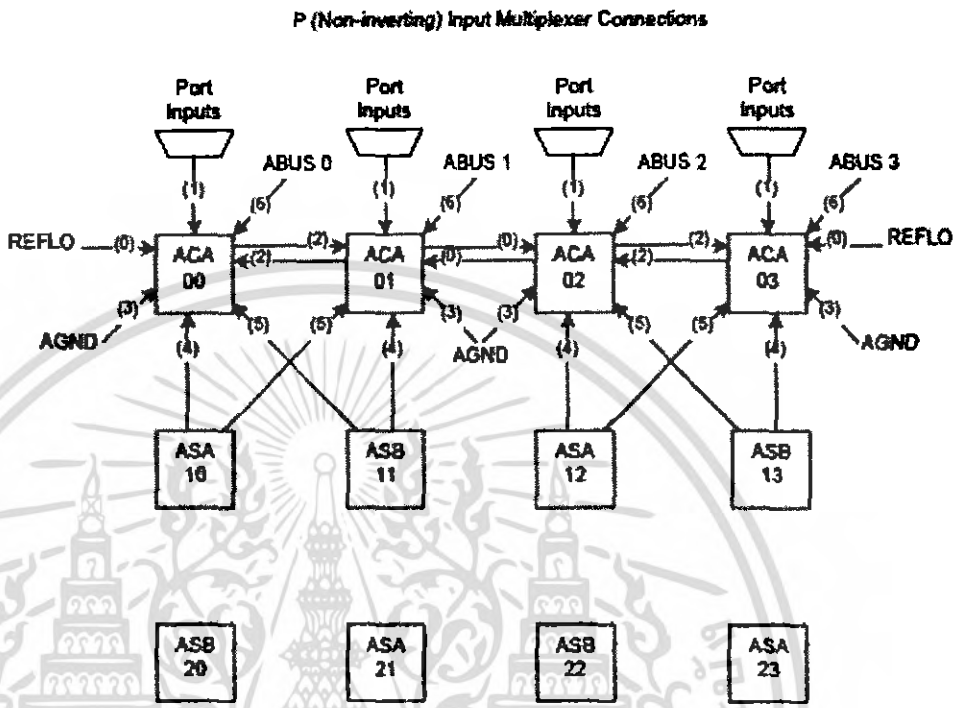


Figure 19: PMux Connections

10.6.1.3 RBotMux

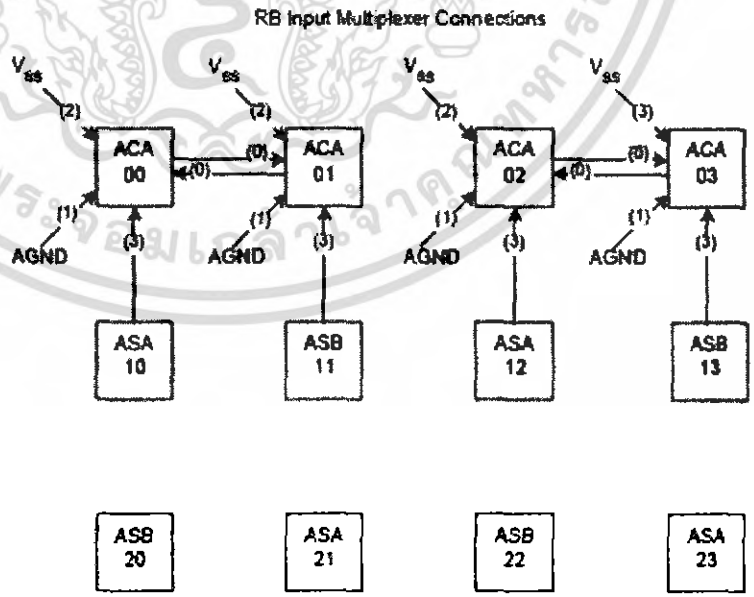


Figure 20: RBotMux Connections

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.7 Analog Continuous Time PSoC Blocks

10.7.1 Introduction

The Analog Continuous Time PSoC blocks are built around an operational amplifier. There are several analog muxes that are controlled by register-bit settings in the control registers that determine the signal topology inside the block. There is also a precision resistor matrix that is located in the feedback path for the op-amp, and is controlled by register-bit setting. There is also an analog comparator connected to the output OUT, which converts analog comparisons into digital signals.

There are five discrete outputs from this block. These outputs are:

1. The analog output bus (ABUS), which is an analog bus resource that is shared by all of the analog blocks in the analog column for that block.
2. The comparator bus (CBUS), which is a digital bus that is a resource that is shared by all of the analog blocks in a column for that block.
3. The output bus (OUT, GOUT and LOUT), which is an analog bus resource that is shared by all of the analog blocks in a column and connects to one of the analog output buffers, to send a signal externally to the device.

This block supports Programmable Gain or attenuation Op-Amp Circuits, (Differential Gain) Instrumentation Amplifiers (using two CT Blocks), Continuous time high frequency anti-aliasing filters, and modest response-time analog comparators.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

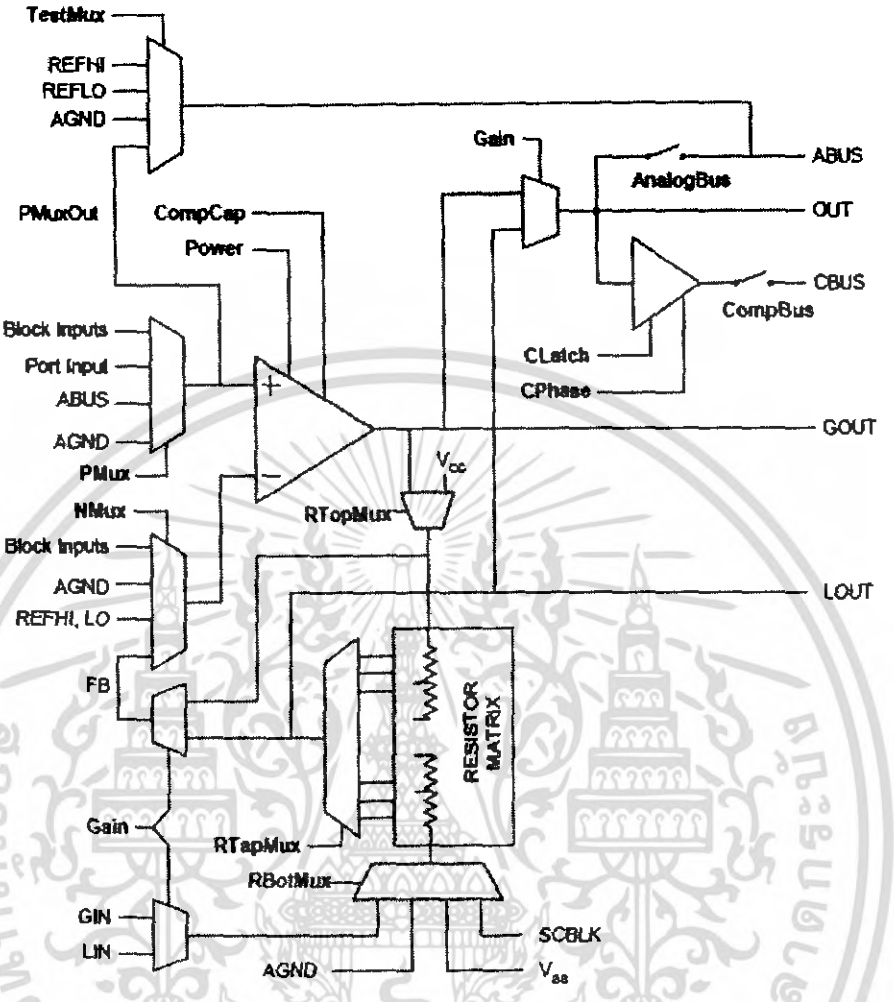


Figure 21: Analog Continuous Time PSoC Blocks

10.7.2 Registers

10.7.2.1 Analog Continuous Time Block xx Control 0 Register

The RTopMux and RBotMux bits control the connection of the two ends of the resistor string. The RTopMux bit controls the top end of the resistor string, which can either be connected to Vcc or to the op-amp output. The RBotMux bits control the connection of the bottom end of the resistor string.

The RTapMux bits control the center tap of the resistor string. Note that only relative weighting of units is given in the table.

The Gain and Loss columns correspond to the gain or loss obtained if the RTopMux and Gain bits are set so that the overall amplifier provides gain or loss.

The Gain bit controls whether the resistor string is connected around the op-amp as for gain (center tap to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 66: Analog Continuous Time Block xx Control 0 Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	RTapMux[3]	RTapMux[2]	RTapMux[1]	RTapMux[0]	Gain	RTopMux	RBotMux[1]	RBotMux[0]

Bit [7:4]: RTapMux [3:0] Encoding for selecting 1 of 16 resistor taps
0 0 0 0 = Rf 15 = Ri 01 = Loss .0625 / Gain 16.00
0 0 0 1 = Rf 14 = Ri 02 = Loss .1250 / Gain 8.000
0 0 1 0 = Rf 13 = Ri 03 = Loss .1875 / Gain 5.333
0 0 1 1 = Rf 12 = Ri 04 = Loss .2500 / Gain 4.000
0 1 0 0 = Rf 11 = Ri 05 = Loss .3125 / Gain 3.200
0 1 0 1 = Rf 10 = Ri 06 = Loss .3750 / Gain 2.667
0 1 1 0 = Rf 09 = Ri 07 = Loss .4375 / Gain 2.286
0 1 1 1 = Rf 08 = Ri 08 = Loss .5000 / Gain 2.000
1 0 0 0 = Rf 07 = Ri 09 = Loss .5625 / Gain 1.778
1 0 0 1 = Rf 06 = Ri 10 = Loss .6250 / Gain 1.600
1 0 1 0 = Rf 05 = Ri 11 = Loss .6875 / Gain 1.455
1 0 1 1 = Rf 04 = Ri 12 = Loss .7500 / Gain 1.333
1 1 0 0 = Rf 03 = Ri 13 = Loss .8125 / Gain 1.231
1 1 0 1 = Rf 02 = Ri 14 = Loss .8750 / Gain 1.143
1 1 1 0 = Rf 01 = Ri 15 = Loss .9375 / Gain 1.067
1 1 1 1 = Rf 00 = Ri 16 = Loss 1.000 / Gain 1.000

Bit 3: Gain Select gain or loss configuration for output tap
0 = Loss
1 = Gain

Bit 2: RTopMux Encoding for feedback resistor select
0 = Rtop to Vcc
1 = Rtop to op-amp's output

Bit [1:0]: RBotMux [1:0] Encoding for feedback resistor select

	ACA00	ACA01	ACA02	ACA03
0 0 =	ACA01	ACA00	ACA03	ACA02
0 1 =	AGND	AGND	AGND	AGND
1 0 =	Vss	Vss	Vss	Vss
1 1 =	ASA10	ASB11	ASA12	ASB13

Analog Continuous Time Block 00 Control 0 Register (ACA00CR0, Address = Bank 0/1, 71h)
Analog Continuous Time Block 01 Control 0 Register (ACA01CR0, Address = Bank 0/1, 75h)
Analog Continuous Time Block 02 Control 0 Register (ACA02CR0, Address = Bank 0/1, 79h)
Analog Continuous Time Block 03 Control 0 Register (ACA03CR0, Address = Bank 0/1, 7Dh)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.7.2.2 Analog Continuous Time Block xx Control 1 Register

The PMux bits control the multiplexing of inputs to the non-inverting input of the op-amp. There are physically only 7 inputs.

The 8th code (111) will leave the input floating. This is not desirable, and should be avoided.

The NMux bits control the multiplexing of inputs to the inverting input of the op-amp. There are physically only 7 inputs.

CompBus controls a tri-state buffer that drives the comparator logic. If no PSoC block in the analog column is driving the comparator bus, it will be driven low externally to the blocks.

AnalogBus controls the analog output bus. A CMOS switch connects the op-amp output to the analog bus.

Table 67: Analog Continuous Time Block xx Control 1 Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	AnalogBus	CompBus	NMux2	NMux1	NMux0	PMux2	PMux1	PMux0

Bit 7: AnalogBus Enable output to the analog bus
0 = Disable analog bus driven by this block
1 = Enable analog bus driven by this block

Bit 6: CompBus Enable output to the comparator bus
0 = Disable comparator bus driven by this block
1 = Enable comparator bus driven by this block

Bit [5:3]: NMux [2:0] Encoding for negative input select

	ACA00	ACA01	ACA02	ACA03
0 0 0 =	ACA01	ACA00	ACA03	ACA02
0 0 1 =	AGND	AGND	AGND	AGND
0 1 0 =	REFLO	REFLO	REFLO	REFLO
0 1 1 =	REFHI	REFHI	REFHI	REFHI
1 0 0 =	ACA00	ACA01	ACA02	ACA03
1 0 1 =	ASA10	ASB11	ASA12	ASB13
1 1 0 =	ASB11	ASA10	ASB13	ASA12
1 1 1 =	Reserved	Reserved	Reserved	Reserved

Bit [2:0]: PMux [2:0] Encoding for positive input select

	ACA00	ACA01	ACA02	ACA03
0 0 0 =	REFLO	ACA02	ACA01	REFLO
0 0 1 =	Port Inputs	Port Inputs	Port Inputs	Port Inputs
0 1 0 =	ACA01	ACA00	ACA03	ACA02
0 1 1 =	AGND	AGND	AGND	AGND
1 0 0 =	ASA10	ASB11	ASA12	ASB13
1 0 1 =	ASB11	ASA10	ASB13	ASA12
1 1 0 =	ABUS0	ABUS1	ABUS2	ABUS3
1 1 1 =	Reserved	Reserved	Reserved	Reserved

Analog Continuous Time Block 00 Control 1 Register (ACA00CR1, Address = Bank 0/1, 72h)
Analog Continuous Time Block 01 Control 1 Register (ACA01CR1, Address = Bank 0/1, 76h)
Analog Continuous Time Block 02 Control 1 Register (ACA02CR1, Address = Bank 0/1, 7Ah)
Analog Continuous Time Block 03 Control 1 Register (ACA03CR1, Address = Bank 0/1, 7Eh)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.12 Analog I/O

10.12.1 Analog Input Muxing

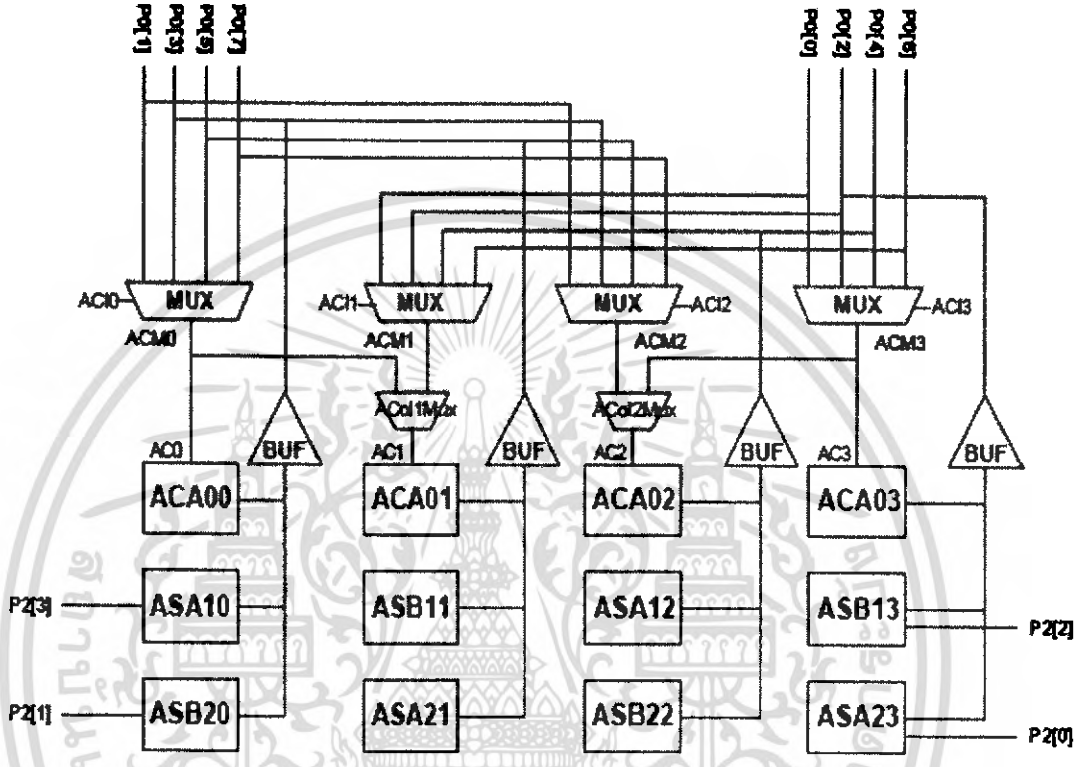


Figure 27: Analog Input Muxing

10.12.2 Analog Input Select Register

This register controls the analog muxes that feed signals in from port pins into each Analog Column. Each of the Analog Columns can have up to four port bits connected to its muxed input. Analog Columns 01 and 02 (ACI1 and ACI2) have additional muxes that allow selection between separate column multiplexers (see Analog Input Muxing diagram above). The AC1Mux and AC2Mux bit fields control the bits for those muxes and are located in the Analog Output Buffer Control Register (ABF_CR). There are four additional analog inputs that go directly into the Switch Capacitor PSoC blocks.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 80: Analog Input Select Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	ACI3 [1]	ACI3 [0]	ACI2 [1]	ACI2 [0]	ACI1 [1]	ACI1 [0]	ACI0 [1]	ACI0 [0]

Bit [7:6]: ACI3 [1:0]
0 0 = ACM3 P0[0]
0 1 = ACM3 P0[2]
1 0 = ACM3 P0[4]
1 1 = ACM3 P0[6]

Bit [5:4]: ACI2 [1:0]
0 0 = ACM2 P0[1]
0 1 = ACM2 P0[3]
1 0 = ACM2 P0[5]
1 1 = ACM2 P0[7]
ACol2Mux (ABF_CR, Address = Bank1, 62h)
0 = AC2 = ACM2
1 = AC2 = ACM3

Bit [3:2]: ACI1 [1:0]
0 0 = ACM1 P0[0]
0 1 = ACM1 P0[2]
1 0 = ACM1 P0[4]
1 1 = ACM1 P0[6]
ACol1Mux (ABF_CR, Address = Bank1, 62h)
0 = AC1 = ACM1
1 = AC1 = ACM0

Bit [1:0]: ACI0 [1:0]
0 0 = ACM0 P0[1]
0 1 = ACM0 P0[3]
1 0 = ACM0 P0[5]
1 1 = ACM0 P0[7]

Analog Input Select Register (AMX_IN, Address = Bank 0, 60h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.12.4 Analog Output Buffer Control Register

Table 81: Analog Output Buffer Control Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	W	W	W	W	W	W	–	W
Bit Name	ACol1Mux	ACol2Mux	ABUF1EN	ABUF2EN	ABUF0EN	ABUF3EN	Reserved	PWR

Bit 7: ACol1Mux
0 = Set column 1 input to column 1 input mux output
1 = Set column 1 input to column 0 input mux output

Bit 6: ACol2Mux
0 = Set column 2 input to column 2 input mux output
1 = Set column 2 input to column 3 input mux output

Bit 5: ABUF1EN Enables the analog output buffer for Analog Column 1 (Pin P0[5])
0 = Disable analog output buffer
1 = Enable analog output buffer

Bit 4: ABUF2EN Enables the analog output buffer for Analog Column 2 (Pin P0[4])
0 = Disable analog output buffer
1 = Enable analog output buffer

Bit 3: ABUF0EN Enables the analog output buffer for Analog Column 0 (Pin P0[3])
0 = Disable analog output buffer
1 = Enable analog output buffer

Bit 2: ABUF3EN Enables the analog output buffer for Analog Column 3 (Pin P0[2])
0 = Disable analog output buffer
1 = Enable analog output buffer

Bit [1]: Reserved Must be left as 0

Bit [0]: PWR Determines power level of all output buffers
0 = Low output power
1 = High output power

Analog Output Buffer Control Register (ABF_CR, Address = Bank 1, 62h)

10.13 Analog Modulator

The user has the capability to use the Analog Switch Cap Type A PSoC Blocks in Columns 0 and 2 as amplitude modulators. The Analog Modulator Control Register (AMD_CR) allows the user to select the appropriate modulating signal. When the modulating signal is low, the polarity follows the setting of the ASign bit set in the Analog Switch Cap Type A Control 0 Register (ASAxxCR0). When this signal is high, the normal gain polarity of the PSoC block is inverted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 82: Analog Modulator Control Register

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	Reserved	Reserved	Reserved	Reserved	AMOD2[1]	AMOD2[0]	AMOD0[1]	AMOD0[0]

Bit 7: Reserved
Bit 6: Reserved
Bit 5: Reserved
Bit 4: Reserved

Bit [3:2]: AMOD2[1], AMOD2[0] Selects the modulation signal for Analog Column 2
0 0 = No Modulation
0 1 = Global Output [0]
1 0 = Global Output [4]
1 1 = Digital Basic Type A Block 03

Bit [1:0]: AMOD0[1], AMOD0[0] Selects the modulation signal for Analog Column 0
0 0 = No Modulation
0 1 = Global Output [0]
1 0 = Global Output [4]
1 1 = Digital Basic Type A Block 03

Analog Modulator Control Register (AMD_CR, Address = Bank 1, 63h)

10.14 Analog PSoC Block Functionality

The analog PSoC blocks can be used to implement a wide range of functions, limited only by the designer's imagination. The following functions operate within the capability of the analog PSoC blocks using one analog PSoC block, multiple analog blocks, a combination of more than one type of analog block, or a combination of analog and digital PSoC blocks. Most of these functions are currently available as User Modules in PSoC Designer. Others will be added in the future.

- Delta-Sigma A/D Converters
- Successive Approximation A/D Converters
- Incremental A/D Converters
- Programmable Gain/Loss Stage
- Analog Comparators
- Zero-Crossing Detectors
- Low-Pass Filter
- Band-Pass Filter
- Notch Filter
- Amplitude Modulators
- Amplitude Demodulators
- Sine-Wave Generators
- Sine-Wave Detectors
- Sideband Detection
- Sideband Stripping
- Audio Output Drive
- DTMF Generator
- FSK Modulator

By modifying registers, as described in this Data Sheet, users can configure PSoC blocks to perform these functions and more.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 98: CY8C25122, CY8C26233, CY8C26443, CY8C26643 (256 Bytes of SRAM)

Operation	Function	Accumulator	Input SRAM Data								Output SRAM Data							
			F8h	F9h	FAh	FBh	FCh	FDh	FEh	FFh	F8h	F9h	FAh	FBh	FCh	FDh	FEh	FFh
Reset[1]	Calibrates then sets PC and SP values to 0	00	NA	NA	NA	NA	NA	NA	NA	NA	*	*	*	*	*	*	*	*
Read Block	Move block of 64 bytes of FLASH data to SRAM	01	3Ah	SP +3	Blk ID	Pointer	NA	0	0	0	0	0	*	*	*	*	*	*
Write Block[2]	Program block of FLASH with data from SRAM	02	3Ah	SP +3	Blk ID	Pointer	Clock	0	0	0	0	0	*	*	*	*	*	*
Erase Block	Erase block of FLASH	03	3Ah	SP +3	Blk ID	NA	Clock	0	0	0	0	0	*	*	*	*	*	*
Protect Block[3]	Set memory protection bits[4]	04	3Ah	SP +3	NA	NA	Clock	0	0	0	0	0	*	*	*	*	*	*
Erase All[3]	Erase all FLASH data	05	3Ah	SP +3	NA	NA	Clock	0	0	0	0	0	*	*	*	*	*	*
Table Read	Read device type code	06	3Ah	SP +3	Tbl ID	NA	NA	NA	NA	NA	TV (0)	TV (1)	TV (2)	TV (3)	TV (4)	TV (5)	TV (6)	TV (7)
Checksum	Calculate FLASH checksum for data range specified	07	3Ah	SP +3	Blk Count	NA	NA	0	0	0	CSH	CSL	*	*	*	*	*	*
Calibrate[5]	Sets user-writable registers to default	08	3Ah	SP +3	NA	NA	NA				0	0	*	*	*	*	*	*

1. This is a software-only reset.
2. This operation should only be invoked by calling a function in the FlashBlock library. Device specifications are no longer guaranteed if this function is directly called by the user's code.
3. This function can only be invoked by the device programmer, not by user's code.
4. The address is hard coded by algorithm.
5. User-writeable registers include Main Oscillator Trim (IMO_TR), Internal Low Speed Oscillator Trim (ILO_TR), and Bandgap Trim (BDG_TR).

Notes:

NA: Not applicable

*: Indeterminate

Blk ID: Number of 64-byte block within FLASH memory space

Clock: CPU system clocking signal value

Pointer: Address of first byte of 64-byte block within SRAM memory space

TV: Table value

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้