สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าผ่านไฟบ้าน

REMOTE CONTROL VIA AC-LINE

โดย

นายกิติกร มธุพจน์

นายนิกร สายเสมา

TK 6796
.M49
เลขหมู่.....
เลขทะเบียน.....72231
วัน,เดือน,ปี.....17 มิ.ย. 2550

b.11765392
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าผ่านไฟบ้าน

REMOTE CONTROL VIA AC-LINE

โดย

นายภิติกร มธุพจน์ รหัส 47015238

นายนิกร สายเสมา รหัส 47015250

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าผ่านไฟบ้าน

จัดทำโดย

1. นายกิติกร มธุพจน์
2. นายนิกร สายเสมา

.....

(ผศ.ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าผ่านไฟบ้าน

จัดทำโดย

1. นายกิติกร มธุพจน์
2. นายนิกร สายเสมา

.....

(ผศ.ประภาภร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่อง ปิด-เปิด เครื่องใช้ไฟฟ้าผ่านไฟบ้าน

นาย กิติกร มธุพจน์ รหัส 47015238
นาย นิกร สายเสมา รหัส 47015250
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2549

บทคัดย่อ

รายงานฉบับนี้อธิบายการออกแบบ การสร้างรวมทั้งการทำงานของเครื่องปิด-เปิดเครื่องใช้ไฟฟ้าผ่านสายไฟบ้าน โดยการทำงานของเครื่องนั้นแบ่งออกเป็น 2 ส่วนด้วยกัน คือ ตัวส่งซึ่งจะทำน้าที่ส่งรหัสคำสั่งควบคุมผ่านทางสายไฟบ้านและตัวรับก็จะต่ออยู่กับเครื่องใช้ไฟฟ้า ซึ่งเครื่องส่ง 1 ตัวสามารถควบคุมเครื่องใช้ไฟฟ้าได้ทั้งหมด 15 เครื่อง โดยเครื่องรับ 1 เครื่องจะใช้แบนด์วิทในการใช้งาน 25 KHz โดยทั้งเครื่องรับและเครื่องส่งจะใช้วงจรเฟสล็อคลูป เป็นส่วนสำคัญในการทำงาน ซึ่งความถี่ในการใช้งานเครื่องนี้จะอยู่ระหว่าง 5.075 MHz – 5.425 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REMOTE CONTROL VIA ON AC LINE

Mr. Kitikorn Mathuphot ID. 47015238

Mr.Nikorn Sayscna ID. 47015250

Assist. Prof. Prapakorn Suwanna (Advisor)

Education Year 2006

Abstract

This report is a design and study about operation of On-Off appliances device via on AC line. Its can be divided into 2 parts both Receiver and Transmitter device.Transmitter device will send a control code pass through the AC line and the Receiver device will be connected with appliances. Each Transmitter will control 15 appliances device. Each channel of a Receiver uses 25 kHz bandwidth so that, PLL is an important part for frequency synthesizers and frequency from 5.075 MHz to 5.425 MHz are used for both Receiver and Transmitter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้กว่าที่จะสำเร็จลุล่วงได้ด้วยดีนั้นต้องพบกับอุปสรรคต่างๆ มากมายในแต่ละขั้นตอนของการดำเนินงาน แต่ก็สามารถผ่านพ้นไปได้ด้วยดีทั้งนี้เพราะได้รับคำแนะนำและคำปรึกษาจากอาจารย์ ประภากร สุวรรณะ(อาจารย์ที่ปรึกษา) ตลอดจนอาจารย์ทุกท่านที่ภาควิชาอิเล็กทรอนิกส์ที่คอยอบรมสั่งสอน ช่วยชี้แนะข้อบกพร่องต่างๆ ในการทำงาน ขอขอบคุณคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่สนับสนุนเครื่องมือต่างๆในการวิจัยให้สำเร็จ

สุดท้ายนี้สำคัญที่สุดขอกราบพระคุณ บิดา มารดา ที่คอยให้กำลังที่ดีมาตลอดและสนับสนุนทางด้านการเงินเพื่อนำมาใช้ในด้านการศึกษาต่างๆจนสำเร็จอีกขั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
กิตติกรรมประกาศ	
บทที่ 1 บทนำ	
1.1 วัตถุประสงค์ของโครงงาน	1
1.2 ขอบเขตของโครงงาน	2
1.3 ประโยชน์ที่คาดว่าจะได้รับ	2
บทที่ 2 การสื่อสารเบื้องต้น	
2.1 ระบบสื่อสารอิเล็กทรอนิกส์(Electronic Communication Systems)	3
2.2 ตัวกลางการสื่อสาร(Communication Medium)	4
2.3 เครื่องส่ง (Transmiter)	4
2.4 เครื่องรับ (Reciever)	4
2.5 รูปแบบของการสื่อสาร	5
2.6 การมอดดูเลท (Modulation)	6
2.7 ดัชนีการมอดเลต	9
2.8 ไซด์แบนด์ (Sidebands)	11
2.9 แบนด์วิดท์ของFM	13
2.10 หลักการสร้าง FM Modulator	13
บทที่ 3 ทฤษฎีพื้นฐานของเฟสล็อคลูป	
3.1ใหลักการทำงานพื้นฐานของเฟสล็อคลูป	16
3.2 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค	18
3.3 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค	19
3.4 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน	21
3.5ตัวดักจับเฟส (Phase Detector)	26
3.6 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	27
3.7 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป	29
3.8 ตัวดักจับเฟสแบบเฟส-ความถี่	31
3.9 วงจรกรองความถี่ต่ำผ่าน	36
3.10 วงจรออสซิลเลเตอร์	38
3.11 หลักการพื้นฐานของวงจรออสซิลเลเตอร์	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญต่อ

เรื่อง	หน้า
3.12 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)	40
3.13 วงจรหารความถี่	41
บทที่ 4 ไมโครคอนโทรลเลอร์	
4.1 ทฤษฎีเบื้องต้นเกี่ยวกับไมโครคอนโทรเลอร์	42
4.2 ส่วนประกอบของไมโครคอนโทรลเลอร์	42
4.3 โครงสร้างและสถาปัตยกรรมของไมโครคอนโทรลเลอร์ AVR	43
4.4 สถาปัตยกรรมแบบ RISC (Reduced Instruction Set Computer)	44
4.5 คุณสมบัติของไมโครคอนโทรลเลอร์ AVR AT90S2313	45
4.6 หน่วยความจำโปรแกรม (Progrm memory)	48
4.7 ชุดคำสั่ง Instructure Mnemonic	49
บทที่ 5 การส่งสัญญาณข้อมูลดิจิตอลโดยการมอดูเลต	
5.1 หลักการส่งสัญญาณข้อมูลดิจิตอลโดยการมอดูเลต	51
5.2 การมอดูเลตสัญญาณดิจิตอลทางความถี่ (FSK Modulator)	53
5.3 ทฤษฎีในการส่งข้อมูลอนาลอกและดิจิตอล	55
บทที่ 6 การออกแบบและการทดลอง	
6.1.การออกแบบ	62
6. 1.1การออกแบบ VCO ของภาครับ	62
6.1.2.การออกแบบวงจร LPF	64
6.2 การออกแบบวงจร VCO ของภาคส่ง	68
6.2.1 การออกแบบวงจรขยายสัญญาณ	70
6.2.2 การออกแบบวงจร โลว์พาสฟิลเตอร์ร่วมกับเอาท์พุตจากเฟสล็อคลูป	72
บทที่ 7 ผลการทดลองและสรุป	
ผลการทดลอง	77
บรรณานุกรม	88
ภาคผนวก	89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงบล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์	4
รูปที่ 2.2 แสดงรูปแบบการสื่อสารตามทิศทาง	6
รูปที่ 2.3 แสดงรูปสัญญาณ (ก) สัญญาณข้อมูล (ข) คลื่นพาห์ (ค) สัญญาณเอฟเอ็ม	8
รูปที่ 2.4 แสดงค่าของ $J_n(m_f)$ ที่ Modulation Index ต่างๆ	12
รูปที่ 2.5 รูปฟังก์ชั่นของเบสเสลชนิดหนึ่ง $J_n(m_f)$	12
รูปที่ 2.6 ตัวอย่างวงจรFM Modulationที่ใช้ LCOSC. เป็น VCO	14
รูปที่ 3.1 แสดงภาพการเข้าสู่สภาวะล็อคของเฟสล็อคลูป	17
รูปที่ 3.2 แสดงองค์ประกอบของเฟสล็อคลูป	17
รูปที่ 3.3 แสดงรูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค	18
รูปที่ 3.4 แสดงผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของ เฟสที่อินพุท	20
รูปที่ 3.5 แสดงผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุท	21
รูปที่ 3.6 แสดงการเปลี่ยนแปลงของเฟสกับเวลา	22
รูปที่ 3.7 แสดงรูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (Type I PLL)	22
รูปที่ 3.8 แสดงการตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได	25
รูปที่ 3.9 แสดงการตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง	25
รูปที่ 3.10 กราฟโบดพล็อตแสดงเสถียรภาพของ type I PLL	26
รูปที่ 3.11 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ	26
รูปที่ 3.12 ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์	27
รูปที่ 3.13 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	28
รูปที่ 3.14 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์	29
รูปที่ 3.15 ตัวดักจับเฟสแบบ J-Kฟลิบฟลอป	29
รูปที่ 3.16 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป	30
รูปที่ 3.17 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 3.18 หลักการของตัวดักจับของเฟส - ความถี่	31
รูปที่ 3.19 แสดงการสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิปฟลอป	32
รูปที่ 3.20 แสดงตัวดักจับเฟสแบบเฟสความถี่กับเอาท์พุทแบบสามสถานะ	33
รูปที่ 3.21 แสดงสภาวะของตัวดักจับเฟสแบบเฟส-ความถี่	33
รูปที่ 3.22 แสดงสัญลักษ์ของตัวดักจับเฟสแบบเฟส-ความถี่	34
รูปที่ 3.23 แสดงกราฟคุณสมบัติค่าเอาท์พุท V_d ฉลี่ยของตัวดักจับเฟส-ความถี่	35
รูปที่ 3.24 แสดงวงจรกรองความถี่ต่ำผ่านที่ใช้กับเฟสล็อคลูป	37
รูปที่ 3.25 แสดงการตอบสนองของวงจรกรองความถี่ต่ำผ่าน	37
รูปที่ 3.26 แสดงระบบที่มีการป้อนกลับแบบลบ	38
รูปที่ 3.27 แสดงโบดพล็อตระหว่างระบบที่เกิดการออสซิเลทกับระบบที่มีเสถียรภาพ	39
รูปที่ 3.28 แสดงผลของตำแหน่งโพลและรูปแบบการออสซิลเลท	40
รูปที่ 3.29 แสดงคุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า	41
รูปที่ 4.1 ส่วนประกอบของไมโครคอนโทรลเลอร์	42
รูปที่4.2 Block Diagram ของ AVR เบอร์ AT90S2313	43
รูปที่ 4.3 แสดงสถาปัตยกรรมภายในของ AT90S2313	44
รูปที่ 4.4 แสดงการจัดขาของ AT90S2313	47
รูปที่ 4.5 แสดงการจัดสรรพื้นที่หน่วยความจำของAT90S2313	48
รูปที่ 4.6 รูปตารางคำสั่ง Mnemonic	49
รูปที่ 5.1 แสดงการมอดดูเลตสัญญาณดิจิตอลแบบต่างๆ	52
รูปที่ 5.2 หลักการทำงานเบื้องต้นของวงจร FSK Generator	53
รูปที่ 5.3 หลักการทำงานเบื้องต้นในการใช้วงจรไวดต์เดจคอนโทรลในการกำเนิดสัญญาณ FSK	54
รูปที่ 5.4 หลักการทำงานเบื้องต้นในการดีมอดูเลตสัญญาณ FSK	54
รูปที่ 5.5 แสดงพื้นฐานของการแปลงสัญญาณทั้ง 4	56
รูปที่ 5.6 รูปแบบของสัญญาณดิจิตอล	57
รูปที่ 5.7 แสดงรูปแบบการแปลงสัญญาณของ A/D	58
รูปที่ 5.8 แสดงการ Sampling สัญญาณ Analg	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 5.9 แสดงข้อมูลดิจิตอลจากระดับอาล็อก	59
รูปที่ 5.10 แสดงบล็อกของการแปลงสัญญาณ	60
รูปที่ 5.11 แสดงการแปลงข้อมูลจากดิจิตอลกลับเป็นอนาล็อก	61
รูปที่ 6.1 วงจร VCO ภาครับ	63
รูปที่ 6.2 LPF ภาครับ	66
รูปที่ 6.3 VCO ของภาคส่ง	68
รูปที่ 6.4 วงจร Power amp stage1	70
รูปที่ 6.5 วงจร Power amp stage2	71
รูปที่ 6.6 ภาค LPF ของเครื่องส่ง	75
รูปที่ 7.1 แสดงสัญญาณที่วัดจาก Power amp เครื่องรับภาคแรก	80
รูปที่ 7.2 แสดงสัญญาณที่วัดจาก VCO เครื่องรับ	82
รูปที่ 7.3 แสดงสัญญาณที่วัดจากเครื่องรับภาคแรก	84
รูปที่ 7.4 รูปสัญญาณที่วัดหลังจาก Demod ที่ภาครับ	86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในยุคปัจจุบันนี้เทคโนโลยีได้มีการพัฒนาขึ้นอย่างรวดเร็วแบบก้าวกระโดด ไม่ว่าที่ไหนบนโลกใบนี้ เทคโนโลยีล้วนเข้ามามีส่วนเกี่ยวข้องกับชีวิตของเรา ไม่โดยตรงก็โดยอ้อม ซึ่งการพัฒนาขึ้นของเทคโนโลยีนี้เองที่ทำให้การดำเนินชีวิตของมนุษย์มีความสะดวกสบายมากยิ่งขึ้นกว่าแต่ก่อนมาก และเทคโนโลยีหนึ่งซึ่งได้รับการพัฒนาขึ้นอย่างรวดเร็วก็คือ เทคโนโลยีทางด้านการสื่อสาร และเรายังสามารถนำเอาเทคโนโลยีทางด้านการสื่อสารนี้ไปประยุกต์ใช้และสร้างเครื่องไม้เครื่องมือเพื่ออำนวยความสะดวกได้อีกมากมาย ซึ่งโครงงานนี้ก็เป็นอีกหนึ่งตัวอย่างที่นำเอาเทคโนโลยีทางด้านการสื่อสารมาประยุกต์ทั้งในการออกแบบและการสร้าง

จากแนวคิดที่ว่า จะทำอย่างไรให้การใช้ชีวิตภายในบ้านนั้นมีความสะดวกสบายมากยิ่งขึ้น และนี่เองที่เป็นที่มาของโครงงานนี้ ซึ่งโครงงานนี้เป็นโครงงานที่ผลิตขึ้นมาเพื่ออำนวยความสะดวกสบายให้กับผู้ใช้ในเรื่องการควบคุมการ ปิด-เปิด ของอุปกรณ์หรือเครื่องใช้ไฟฟ้าภายในบ้านพักอาศัย ณ. จุดต่างๆ ได้จากการควบคุมเพียงจุดเดียว หรืออาจจะเอาโครงงานนี้ไปประยุกต์ใช้กับอาคารหรือสำนักงานที่มีขนาดไม่ใหญ่มากนักได้ ซึ่งหลักการพื้นฐานการทำงานของเครื่องนี้ก็คือ อาศัยการส่งสัญญาณควบคุมเข้าไปในสายไฟฟ้ากำลัง (AC Line) ซึ่งได้มีการติดตั้งอยู่แล้วภายในที่พักอาศัยหรืออาคารสำนักงาน ซึ่งสัญญาณควบคุมนี้จะถูกใช้ในการติดต่อกันระหว่างเครื่องรับและเครื่องส่งในแบบอนุกรม โดยเอาไมโครคอนโทรเลอร์มาเป็นตัวควบคุมทั้งทางด้านภาครับและทางภาคส่ง โดยสัญญาณควบคุมที่ใช้ติดต่อกันของทางภาครับและทางภาคส่งนั้น จะถูกทำการมอดดูเลทก่อนจะถูกส่งออกไปยังสายไฟฟ้ากำลัง เพื่อควบคุมการ ปิด-เปิด ของอุปกรณ์ไฟฟ้า โดยโครงงานนี้ได้ออกแบบให้เครื่องส่ง 1 เครื่องสามารถติดต่อกับเครื่องรับได้ 15 เครื่อง ซึ่งหมายถึงเราจะสามารถควบคุมการ ปิด-เปิด เครื่องใช้หรืออุปกรณ์ไฟฟ้าได้ 15 เครื่อง ซึ่งภาครับและภาคส่งได้ออกแบบโดยใช้หลักการเดียวกันกับเครื่องรับส่งวิทยุแบบเฮดเทอร์โรดายน์ จึงจำเป็นต้องศึกษาและสร้างวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป วงจรขยายสัญญาณวิทยุ วงจรดีมอดูเลเตอร์เครื่องรับส่งวิทยุแบบเฮดเทอร์โรดายน์และการควบคุมโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งได้แสดงรายละเอียดและการออกแบบไว้ในบทต่อๆไป

วัตถุประสงค์ของโครงงาน

- เพื่อศึกษาและเรียนรู้การมอดดูเลทและการดีมอดดูเลทสัญญาณ
- เพื่อศึกษาและเรียนรู้การใช้งานวงจรเฟสล็อกลูปเพื่อเป็นวงจรสังเคราะห์ความถี่
- เพื่อศึกษาและเรียนรู้การประยุกต์ใช้งานเครื่องรับส่งวิทยุแบบเฮดเทอร์โรดายน์
- เพื่อศึกษาและเรียนรู้การประยุกต์ใช้งานไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เพื่อฝึกฝนและสามารถตรวจสอบและหาข้อผิดพลาดเบื้องต้นที่เกิดขึ้นกับวงจรได้

ขอบเขตของโครงงาน

สามารถส่งข้อมูลผ่านสายไฟบ้านในระยะประมาณ 100 เมตร เพื่อใช้ควบคุมการ ปิด-เปิด ของอุปกรณ์เครื่องใช้ไฟฟ้าทั่วๆไปภายในบ้าน เช่น โทรทัศน์ พัดลม วิทยุ หรือประยุกต์ใช้ในอาคารหรือสำนักงานที่มีขนาดไม่ใหญ่มากนัก โดยสามารถสั่งงานได้จากจุดๆเดียว ซึ่งเครื่องแม่ที่ใช้สั่งงาน 1 เครื่อง สามารถควบคุมการ ปิด-เปิด อุปกรณ์ไฟฟ้าได้ทั้งหมด 15 เครื่อง โดยโครงงานนี้จะทำตัวแม่ 1 ตัว ตัวลูก 2 ตัว เพื่อการทดสอบเท่านั้น

ประโยชน์ที่คาดว่าจะได้รับ

- ได้รับความรู้ในเรื่องการมอดดูเลทและการดีมอดดูเลทสัญญาณ
- ได้รับความรู้ในเรื่องการใช้งานเฟสล็อกลูปเพื่อเป็นวงจรสังเคราะความถี่
- ได้รับความรู้ในเรื่องการทำงานของเครื่องรับวิทยุแบบเฮดเทอร์โรดายน์
- ได้รับความรู้ในเรื่องการใช้งานไมโครคอนโทรเลอร์
- สามารถตรวจสอบและหาข้อผิดพลาดเบื้องต้นที่เกิดขึ้นกับวงจรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การสื่อสารเบื้องต้น

การติดต่อสื่อสารพื้นฐานของมนุษย์นั้นเป็นการสื่อสารความหมายโดยเสียงพูดและการเขียน การสื่อสารโดยการเขียนพัฒนาจากการส่งข่าวสาร โดยการนำสารและกลายเป็นหนังสือพิมพ์แล้วก็เป็นระบบไปรษณีย์ เป็นการส่งโทรเลข จนถึงในปัจจุบันเป็นการส่งข่าวสารทางอิเล็กทรอนิกส์ สำหรับการสื่อสารโดยการพูดพัฒนามาจากการพูดคุยระหว่างกันธรรมดาไปเป็นโทรศัพท์และวิทยุ วิวัฒนาการต่างๆ มักจะมุ่งเน้นให้ติดต่อสื่อสารได้ไกลขึ้นและรวดเร็วขึ้นความเจริญก้าวหน้าทางการสื่อสารด้านวิทยุช่วยให้เราติดต่อกันได้ไกลมากขึ้น โดยวิธีการเปลี่ยนเสียงพูดไปเป็นสัญญาณไฟฟ้า ขยายให้เป็นคลื่นเสียง (Audio) แล้วทำการเกาะผสมกับคลื่นพาหะ(Carrier) แล้งส่งไปยังเครื่องรับที่อยู่ห่างออกไป อย่างไรก็ตามถ้าเราส่งเสียงพูดไปในรูปของคลื่นเสียง(20 Hz-20KHz) ปัญหาจะเกิดขึ้นตามมาหลายประการดังนี้

ประการที่หนึ่ง การที่จะทำให้มีการส่งประสิทธิภาพ เราจะต้องใช้สายอากาศที่มีขนาดความยาวเท่ากับ 1/4 หรือ 1/2 ของความยาวคลื่น ฉะนั้นการส่งคลื่น 3000 Hz จะต้องใช้สายอากายาวอย่างน้อย 25 กิโลเมตร

ประการที่สอง แม้ว่าจะแก้ปัญหาสายอากาศได้ แต่ก็จะเกิดปัญหาตามมาอีกว่า เราส่งได้เพียงทีละสถานี เพราะทุกสถานีก็ใช้ความถี่เสียงที่ซ้ำกัน

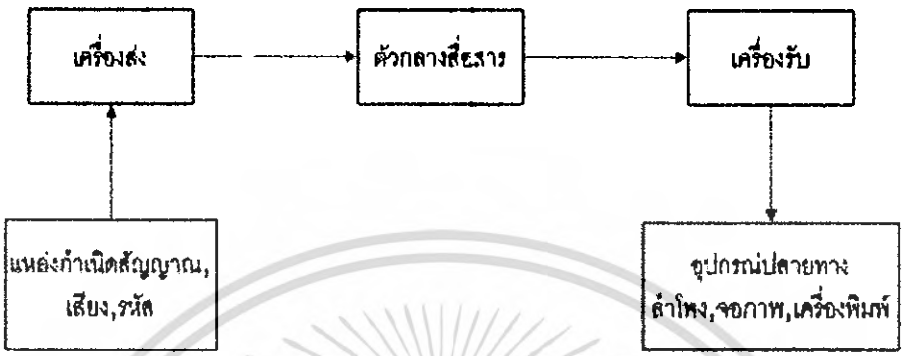
ประการที่สาม การส่งโดยใช้ความถี่ใกล้เคียงเสียงนั้นจะไม่มีประสิทธิภาพเพราะไปได้ไม่ไกล

ปัญหาเหล่านี้เราสามารถแก้ได้โดยใช้สัญญาณความถี่สูงเป็นพาหะเพื่อให้สัญญาณเสียงพูดเกาะไปเมื่อส่งไปถึงเครื่องรับ พาหะที่มีสัญญาณเสียงพูดเกาะมาด้วยก็จะถูกแยกออกไปและกลับคืนตัวเป็นสียงพูดตามเดิม

2.1 ระบบสื่อสารอิเล็กทรอนิกส์(Electronic Communication Systems)

การสื่อสารอิเล็กทรอนิกส์ หมายถึงการส่ง(Transmission),การรับ(Reception)และการประมวลผลข้อมูลหรือข่าวสาร(Information ,Data, Signal) ระหว่างจุดสองจุด หรือมากกว่า ด้วยการใช้อิเล็กทรอนิกส์ ในรูปที่ 2.1 เป็นบล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์

2.2 ตัวกลางการสื่อสาร(Communication Medium) เป็นช่องทางหรือตัวกลาง ซึ่งสัญญาณของระบบสื่อสารใช้เป็นทางผ่านจากจุดส่งไปยังจุดรับ เราสามารถแบ่งชนิดของการสื่ออิเล็กทรอ นิกส์ ตามชนิดของตัวกลางสื่อสารได้ 2 แบบคือ

1. แบบมีสาย(Wire) สายในที่นี้อาจเป็นสายตัวนำไฟฟ้า 1 คู่ หรือเส้นใยนำแสง(Optic Fiber)

2. แบบไร้สาย(Wireless) หรือวิทยุ(Radio) สัญญาณของระบบสื่อสารแบบไร้สาย จะอยู่ในรูปแบบของคลื่นแม่เหล็กไฟฟ้าซึ่งรวมถึงแสง

2.3 เครื่องส่ง(Transmiter) เป็นอุปกรณ์หรือวงจรอิเล็กทรอนิกส์ ที่ถูกออกแบบสำหรับแปลง สัญญาณจากแหล่งกำเนิดสัญญาณที่จะสื่อสารให้กลายเป็นสัญญาณที่มีรูปแบบ และระดับพลังงาน ที่เหมาะสมกับตัวกลางสื่อสารของแต่ละระบบ

เครื่องส่งอาจจะเป็นเพียงแค่คีย์สวิทช์ของระบบโทรเลขแบบใช้สายหรืออาจเป็นวงจรอิเล็กทรอนิกส์ สลับซับซ้อน ของระบบสื่อสารดาวเทียม สัญญาณที่จะสื่อสารอาจอยู่ในรูปของสัญญาณเสียง,ภาพ หรือข้อมูลในรูปของสัญญาณดิจิตอล ซึ่งสัญญาณแต่ละชนิดจะมีค่าความกว้างซึ่งสัญญาณแต่ละชนิดจะมีค่าความกว้าง ของแถบความถี่ (Bandwidth) แตกต่างกัน

2.4 เครื่องรับ (Reciever) จะเป็นวงจรและอุปกรณ์อิเล็กทรอนิกส์อีกชุดหนึ่งซึ่งจะทำหน้าที่แปลงสัญญาณที่รับมาได้จากตัวกลาง ให้กลายเป็นสัญญาณที่มีรูปแบบและระดับพลังงานที่เหมาะสมกับอุปกรณ์ปลายทาง ด้านรับ เช่น เครื่องรับของระบบโทรเลขใช้สายจะเป็นเพียงขดลวด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โซลีนอยด์หรือวงจรอิเล็กทรอนิกส์ ที่ซับซ้อนของการรับสัญญาณโทรทัศน์ผ่านดาวเทียม

สัญญาณทางอิเล็กทรอนิกส์เกือบทุกสัญญาณจะเกิดจากผลรวมของคลื่นซายน์หลายๆการเดินทางของสัญญาณในวงจร จากจุดหนึ่งไปยังอีกจุดหนึ่งหรือการเดินทางของสัญญาณ จากวงจรหนึ่งไปยังอีกวงจรหนึ่ง หรือจากระบบหนึ่งไปสู่อีกระบบหนึ่ง สามารถพิจารณาเป็นการ เดินทางของคลื่น ซายน์ทุกความถี่ที่มีอยู่ในสัญญาณนั้น จากที่หนึ่งไปยังอีกที่หนึ่ง ในรูปแบบของ คลื่นแม่เหล็กไฟฟ้า (Electromagnatic Waves) ซึ่งอาจเป็นการเคลื่อนที่ผ่านตัวนำไฟฟ้า หรือตัว อุปกรณ์ต่างๆ และการเคลื่อนที่ผ่านอากาศ หรืออวกาศในรูปแบบของการแผ่รังสี (Radiation) ความกว้างของแถบความถี่ของสัญญาณ คือค่าแถบความถี่ของคลื่นซายน์หลายความถี่ที่รวมกันเป็น สัญญาณ ซึ่งจะมีค่าเท่ากับผลต่างของความถี่สูงสุดกับความถี่ต่ำสุดที่มีอยู่ในสัญญาณ ซึ่งความกว้างของแถบความถี่ของสัญญาณ คือค่าแถบความถี่ของคลื่นซายน์หลายความถี่ที่รวมกันเป็น สัญญาณ ซึ่งจะมีค่าเท่ากับผลต่างของความถี่สูงสุดกับความถี่ต่ำสุดที่มีอยู่ในสัญญาณ และถ้ามีสัญญาณมากกว่าหนึ่งสัญญาณในอาณาบริเวณเดียวกัน และสัญญาณเหล่านั้นมีแถบ ความถี่ที่ทับ ซ้อนกัน จะทำให้เกิดการรบกวนซึ่งกันและกัน ถ้าระดับกำลังสัญญาณต่างๆที่มีแถบ ความถี่ซ้อนทับกันมีค่า ใกล้เคียงกันก็จะเกิดการรบกวนซึ่งกันและกันสัญญาณใดก็ตาม ที่มีแถบความถี่ซ้อนทับกับสัญญาณที่เราสื่อสารจะถูกเรียกว่าสัญญาณที่รบกวน(Noise) การเดินทางของสัญญาณจากเครื่องส่งไปยังเครื่องรับจะถูกลดทอนให้มีกำลังต่ำลงในขณะที่ผ่านตัว กลาง เมื่อสัญญาณมีกำลังไฟฟ้าลดลง จะมีโอกาสถูกรบกวนจากสัญญาณรบกวนที่ อยู่ระหว่างเส้นทางยิ่งไปกว่านั้นในตัวอุปกรณ์อิเล็กทรอนิกส์ ก็เป็นแหล่งกำเนิดสัญญาณรบกวนอีกด้วย ถ้าความกว้างแถบความถี่ของสัญญาณยิ่งกว้างก็จะยิ่งเพิ่มโอกาสที่จะถูกรบกวนมากยิ่งขึ้น

2.5 รูปแบบของการสื่อสาร

เราสามารถแบ่งรูปแบบของการสื่อสารได้หลายรูปแบบหรือหลายชนิดเช่นแบ่งตามลักษณะตัวกลางก็จะแบ่งได้ 2 แบบคือ แบบมีสายกับแบบไร้สายถ้าแบ่งตามรูปแบบของสัญญาณก็จะสามารถแบ่งได้ 2 แบบคือการสื่อสารแบบแถบฐานและการสื่อสารแบบมอดูเลชั่นไม่ว่าจะเป็น แบบใดในการรับส่งสัญญาณจำนวน n สัญญาณ ผ่านระบบสื่อสารในเวลาเดียวกันและผ่านตัวกลางเดียวกัน จะต้องใช้ช่องสื่อสารจำนวน n ช่องสื่อสารแถบความถี่ของช่องสื่อสารแต่ละช่องจะซ้อนทับกันไม่ได้ และความกว้างแถบความถี่ของช่องสื่อสารแต่ละช่อง ควรมีความกว้างให้น้อย ที่สุดเท่าที่จะทำได้ โดยต้องไม่เสียข้อมูลที่มีนัยสำคัญ

เราอาจแบ่งรูปแบบการสื่อสารตามทิศทางการสื่อสาร หรือจำนวนของช่องสื่อสารได้ 3 แบบคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีพื้นฐานของเฟสล็อคลูป

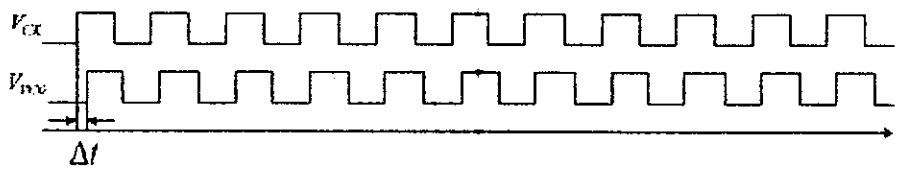
เฟสล็อคลูปเป็นอุปกรณ์หรือวงจรที่ใช้ในการรักษาอัตราการเปลี่ยนแปลงเฟสของสัญญาณระหว่างเฟสของสัญญาณเอาท์พุตกับสัญญาณอินพุตให้มีค่าเท่ากัน โดยจะมีผลทำให้มีความถี่เท่ากันด้วยจากคุณสมบัติดังกล่าว จึงมีการนำเฟสล็อคลูปไปใช้งานอย่างกว้างขวางเช่นใช้ในการดีมอดสัญญาณและใช้ในการสร้างหรือกำเนิดความถี่ โดยองค์ประกอบพื้นฐานของเฟสล็อคลูปมีอยู่สามส่วนคือ ตัวดักจับเฟส วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า และส่วนของวงจรกรองความถี่ต่ำผ่าน ซึ่งองค์ประกอบในแต่ละส่วนก็มีหลายแบบ ดังนั้นเมื่อนำองค์ประกอบดังกล่าวมาประกอบกันเป็นเฟสล็อคลูปก็จะได้เฟสล็อคลูปหลายแบบเช่นกัน ซึ่งในแต่ละแบบก็จะมีคุณสมบัติการทำงานที่แตกต่างกัน การศึกษาทำความเข้าใจจึงเป็นเรื่องจำเป็นที่จะทำให้สามารถเลือกใช้และออกแบบได้เหมาะสมกับการประยุกต์ใช้งาน

3.1หลักการทำงานพื้นฐานของเฟสล็อคลูป

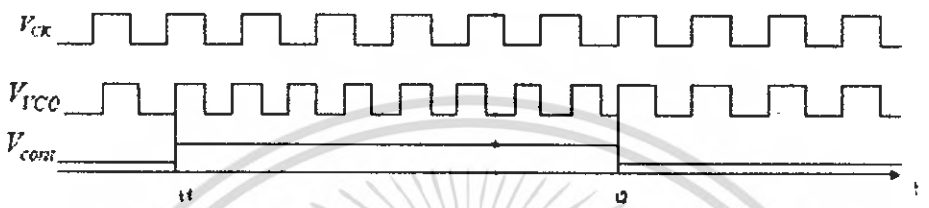
การทำงานของเฟสล็อคลูปในสภาวะล็อค คือ การที่ความถี่เอาท์พุตจากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้ามีค่าเท่ากับความถี่อ้างอิงหรืออินพุทและอัตราการเปลี่ยนแปลงของเฟสอินพุตและเอาท์พุตเทียบกับเวลาจะมีค่าเท่ากัน พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณารูปที่ 3.1(ก) แสดงการเปรียบเทียบเฟส ระหว่าง เอาท์พุตจาก VCO กับเฟสของอินพุตอ้างอิงหรือคล็อค จะเห็นว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดมี เฟสผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดย กำหนดให้ V_{cont} แรงดันอินพุทของ VCO โดยเมื่อ V_{cont} สูงขึ้นความถี่เอาท์พุตที่จะสูงขึ้นพิจารณา รูปที่ 3.1(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มของเฟสอย่างรวดเร็วจนที่เวลา $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรกโดยเฟสของเอาท์พุตจาก VCO กับเฟสของอินพุทอ้างอิงหรือคล็อคอินเฟสกัน

จากหลักการข้างต้นทำให้เราสามารถทราบได้ว่าวงจรเฟสล็อคลูปแบบง่ายนั้นประกอบด้วยตัวดักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 3.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับ V_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับและเข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



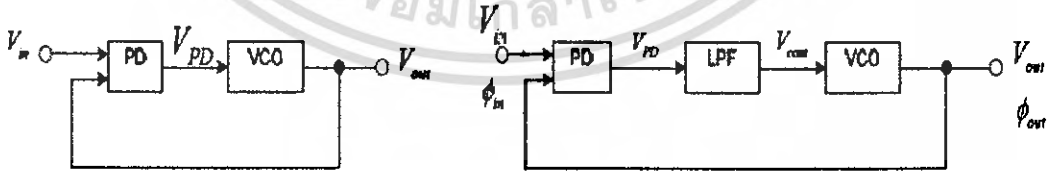
(ข)

รูปที่ 3.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป

(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุต

(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด

อย่างไรก็ตามต้องมีการปรับปรุงวงจรรูปที่ 3.2(ก) เนื่องจาก เอาท์พุตของ PD หรือ V_{PD} ประกอบด้วยส่วนของแรงดันดีซีและแรงดันเอซีที่มีความถี่สูงดังนั้นเพื่อให้แรงดันอินพุทของ VCO มีเฉพาะส่วนของดีซี เพื่อให้ความถี่เอาท์พุตออกมาคงที่ต้องมีการใส่วงจรกรองความต่ำผ่านเข้าไป ระหว่างวงจร PD กับ VCO ดังรูปที่ 3.2(ข) เพื่อกำจัดส่วนที่มีความถี่สูงออกไปโดย LPF ที่ใส่เข้าไปจะต้องมีอัตราการขยายเป็นหนึ่งที่ความถี่ต่ำ



(ก) (ข)

รูปที่ 3.2 องค์ประกอบของเฟสล็อคลูป

(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO

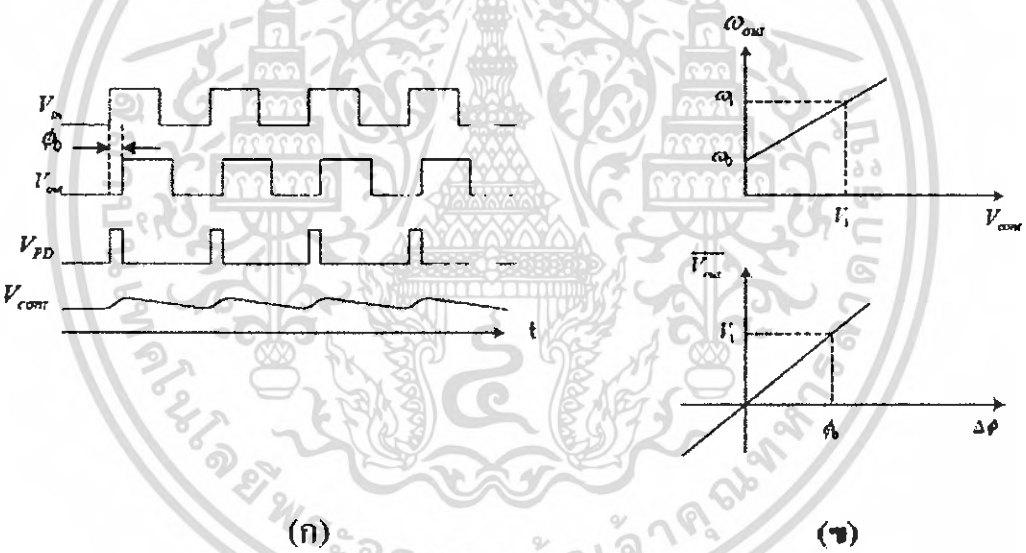
(ข) องค์ประกอบที่ประกอบด้วย PD,VCO และ LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
72231

พิจารณารูปที่ 3.2(ก) เงื่อนไขวงจรภายใต้สภาวะล็อคคือ $\varnothing_{out} - \varnothing_{in}$ จะต้องมีค่าคงที่และมีขนาดเล็กและจะต้องไม่เปลี่ยนแปลงกับเวลา โดยสรุปจะได้ว่าเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคเฟสของเอาท์พุตจาก VCO เมื่อเทียบกับอินพุทจะต้องมีค่าผิดพลาดเฟสน้อยแต่ความถี่ทั้งสองจะต้องเท่ากัน

3.2ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้นแสดงดังรูปที่ 3.3(ก) โดย Vout กับ V_{in} จะมีความต่างเฟสหรือเฟสผิดพลาดน้อยมากแต่ความถี่จะเท่ากัน โดย PD เป็นตัวสร้างพัลซ์ที่เกิดจากค่าเฟสผิดพลาดของอินพุตกับเอาท์พุต และ LPF จะกรองเอาเฉพาะแรงดันที่ เป็นดีซีคือ V_{PD} ป้อนให้กับ VCO โดยพัลซ์ขนาดเล็กใน V_{LPF} เรียกว่า ริบเปิล (Ripple) พิจารณารูปที่ 3.3(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ $\varnothing_0$ และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงในอยู่รูปที่ 3.3(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุตและเอาท์พุตจะมีค่าเท่ากัน โดย กำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูปที่ 3.3(ก)



(ก) (ข)

รูปที่ 3.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค

(ก) รูปคลื่นสัญญาณในแต่ละจุด

(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส 0 จากกราฟคุณสมบัติของ PD และ VCO จะได้ $\omega_{out} = \omega_0 + K_{VCO}V_{cont}$ และ $V_{PD} = K_{PD}\Delta\varnothing$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_0 = \frac{V_1}{K_{PD}} \quad (3.2)$$

$$= \frac{\omega_1 - \omega_0}{K_{PD}K_{VCO}} \quad (3.3)$$

จากสมการ 3.5 ทำให้ทราบคุณสมบัติที่สำคัญสองประการ คือเมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าผิดพลาดของเฟสจะมีค่าต่ำเมื่อค่า $K_{PD}K_{VCO}$ ต้องมีค่าสูง โดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คือค่าอัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

3.3การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

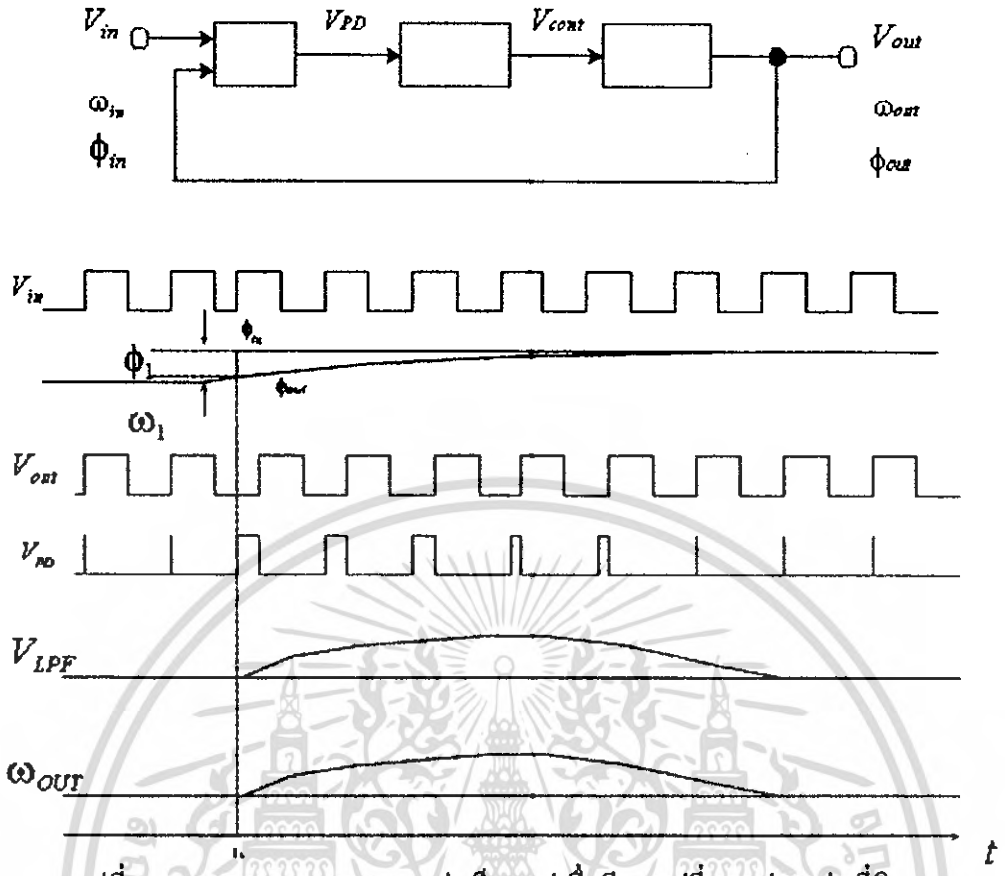
เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลงเฟสหรือความถี่ที่อินพุตจะทำการพิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร โดยจะพิจารณาเมื่อเกิดการเปลี่ยนแปลงของเฟสที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุตและเอาท์พุตเป็นดังนี้

$$V_{in}(t) = V_A \cos \omega_1 t \quad (3.4)$$

$$V_{out}(t) = V_B \cos(\omega t_1 + \phi_0) \quad (3.5)$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูงและ $\varnothing_0$ คือค่าความผิดพลาดเฟสคงที่ พิจารณารูปที่ 3.4 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ $\varnothing_1$ และเกิดขึ้นที่เวลา $t = t_1$ จะทำให้เฟสที่อินพุทมีค่าเท่ากับ $\varnothing_{in} = \omega_1 t + \varnothing_1 u(t_2 + t_1)$ ณ เวลานี้เอาท์พุตของ LPF ยังไม่เพิ่มขึ้นอย่างทันทีทันใด และ VCO ยังคงออสซิลเลทที่ความถี่เดิมคือ ω_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



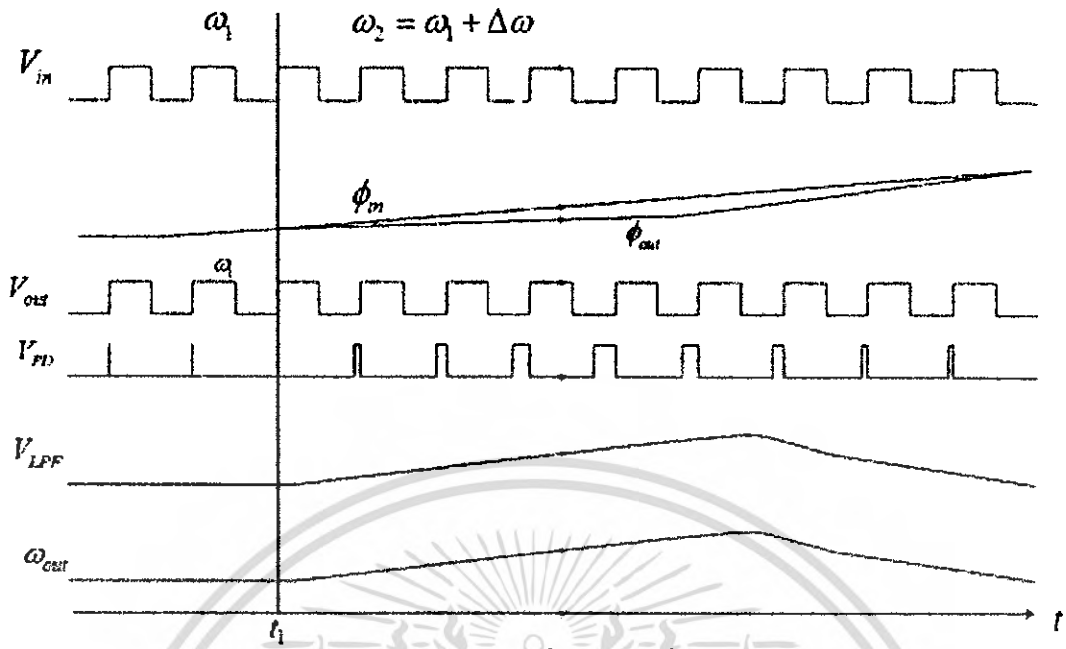
รูปที่ 3.4 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงเฟสที่อินพุต

หลังจากนั้นค่าความต่างเฟสของอินพุตกับเอาท์พุตค่อย ๆ เพิ่มขึ้นทำให้พัลซ์ขึ้นที่เอาท์พุตของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะไม่เกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟสปลี่ยนแปลงตามเวลา ภายหลังจากที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อคตามเดิม โดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ $\varnothing_{out} - \varnothing_{in}$ จะกลับสู่ค่าเริ่มต้นตามเดิม โดยเมื่อลูปอยู่ในสภาวะสงบเอาท์พุตจะมีค่าเท่ากับ

$$V_{out}(t) = V_B \cos\left[\omega_1 t + \phi_0 + \phi_1 u(t - t_1)\right] \qquad (3.6)$$

สิ่งที่สำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อคคือพารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมด คือ $\varnothing_{out} - \varnothing_{in}$, V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุตเปลี่ยนแปลงชั่วขณะ โดยอินพุตเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลการทดลองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต

โดยความถี่เริ่มต้นของVCO คือ ω_1 เมื่อความถี่อินพุตเปลี่ยน PD จะกำเนิดพัลซ์โดยความกว้างค่อย ๆ เพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุทโดยเอาท์พุทจาก PD จะมีค่าลดลง ภายใต้สภาวะสงบ ระดับแรงดันดีซีที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega - \omega_0 / K_{VCO})$ จะเห็นได้ว่าการ เปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าเฟสผิดพลาดลง

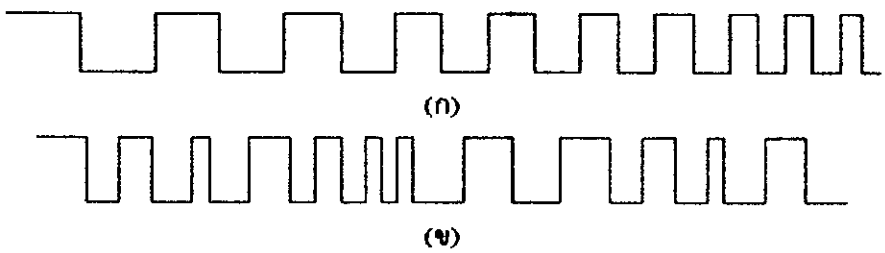
3.4เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

การพิจารณาเกี่ยวกับเสถียรภาพของเฟสล็อคลูปจะต้องทราบฟังก์ชั่นถ่ายโอนของระบบ ดังนั้น ต้องพิจารณาหา $\Phi_{out}(s)/\Phi_{in}(s)$ ทั้งแบบลูปเปิดและลูปปิด

พิจารณา $\Phi_{out}(s)/\Phi_{in}(s)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $v_{out}(s)/v_{in}(s) = 1/(1+s/\omega_0)$ จกฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า Vin เปลี่ยนแปลงอย่างรวดเร็ว Vout ไม่สามารถที่จะตามอินพุทได้ตลอดย่านที่เปลี่ยนแปลงในทำเดียวกัน $\Phi_{out}(s)/\Phi_{in}(s)$ จะแสดงให้เห็นความสัมพันธ์ว่าเฟสของเอาท์พุตมีการเปลี่ยนแปลงไปกับเฟสของอินพุตอย่างไรเมื่อเฟสอินพุตมีการเปลี่ยนแปลงอย่างช้าหรือเร็ว

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูปที่ 3.6 โดยรูปที่ 3.6(ก) เป็นการเปลี่ยนแปลงของเฟสอย่างรวดช้า ๆ และรูปที่ 3.6(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

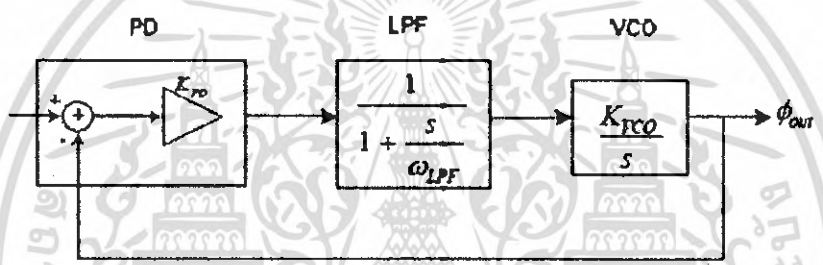


(ก)

(ข)

รูปที่ 3.6 การเปลี่ยนแปลงของเฟสกับเวลา
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว

พิจารณา $\Phi_{out}(s)/\Phi_{in}(s)$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูปที่ 3.7



รูปที่ 3.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)

โดยพิจารณาจากรูป 3.7 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\phi_{out}-\phi_{in})$ โดยความถี่สูงจะถูกกำจัดทิ้งโดยวงจรกรองความถี่ จะได้ฟังก์ชั่นถ่ายโอนของ PD ในรูปแบบวงจรขยาย ซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชั่นถ่ายโอนคือ $1/(1+s/\omega_{LPF})$ ในส่วนวงจร VCO มีฟังก์ชั่นถ่ายโอนคือ $1/(1+s/\omega_{LPF})$ ส่วน Φ_{in} และ Φ_{out} คืออินพุตและเอาท์พุตเฟส ตัวอย่างเช่น ถ้าผลรวมของอินพุตเฟสเป็นฟังก์ชั่นแบบขั้นบันได คือ $\varnothing_{1U}(t)$ นั่นคือ $\Phi_{in}=\varnothing_1/s$ จากรูปที่ 3.7 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

$$H(s)=\frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} \qquad (3.7)$$

$$=K_{PD}\frac{1}{1+\frac{s}{\omega_{LPF}}}\frac{K_{VCO}}{s} \qquad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 3.8 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ $s = -\omega_{LPF}$ และ s = 0 โดย อัตราขยายลูปจะเท่ากับ $H(s)|_{open}$ เพราะป้อนกับแบบเต็มที่เฟกเตอร์การป้อนกับเป็นหนึ่ง โดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า "ชนิดที่หนึ่ง" (type 1)

ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อกเมื่อ Φ_{out} เปลี่ยนแปลงเข้าใกล้ Φ_{in} โดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 3.11

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \qquad (3.9)$$

สิ่งที่เราต้องการคือ $H(s)|_{open}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ S มีค่าเข้าใกล้ศูนย์นั่นก็คือ อัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ 3.9 สามารถหาผลตอบสนองแบบขั้นบันได (step response) ของระบบชนิดที่หนึ่ง (type 1) ได้โดยการพิจารณาเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบของสมการอันดับสองของระบบดังสมการ 3.10 นำมาเปรียบเทียบกันกับสมากร 3.11 เพื่อหาค่าพารามิเตอร์ต่างๆ ของระบบเพื่อวิเคราะห์ผลตอบสนองแบบขั้นบันไดของระบบแบบที่หนึ่ง (type 1)

$$H(s) = \frac{\omega_n^2}{s^2 + 2\varsigma\omega_n s + \omega_n^2} \qquad (3.10)$$

เมื่อ ω_n คือความถี่ธรรมชาติ (Natural frequency) และ ς คือตัวประกอบการหน่วง (Damping factor) ซึ่งจากสมการ 3.11 ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ค่าความถี่ธรรมชาติและค่าตัวประกอบการหน่วงคือ

$$\omega_n = \sqrt{\omega_{LPF}K_{PD}K_{VCO}} \qquad (3.11)$$

$$s_{1,2} = -\varsigma\omega_n \pm \sqrt{(\varsigma^2 - 1)\omega_n^2} \qquad (3.12)$$

$$s_{1,2} = (-\varsigma \pm \sqrt{(\varsigma^2 - 1)}\omega_n \qquad (3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยถ้า $\zeta > 1$ โพลทั้งสองเป็นจำนวนจริงซึ่งจะทำให้ระบบเกิดโอเวอร์แดมและในทางตรงกันข้ามถ้า $\zeta > 1$ โพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุตต่อความถี่อินพุตแบบขั้นบันไดโดย $\omega in = \Delta\omega_{u(t)}$ ผลของเอาท์พุตคือ

$$\omega_{out}(t) = \left\{1 - e^{-\zeta\omega_n t}\left[\cos\left(\omega_n\sqrt{1-\zeta^2}t\right) + \frac{\zeta}{\sqrt{1-\zeta^2}}\sin\left(\omega_n\sqrt{1-\zeta^2}t\right)\right]\right\}\Delta\omega u(t) \quad \textbf{(3.14)}$$

$$= \left[1 - \frac{1}{\sqrt{1-\zeta^2}}e^{-\zeta\omega_n t}\sin\left(\omega_n\sqrt{1-\zeta^2}t + \theta\right)\right]\Delta\omega u(t) \quad \textbf{(3.15)}$$

โดย ω_{out} คือผลการเปลี่ยนแปลงของความถี่เอาท์พุต และ θ มีค่าเท่ากับ

$$\theta = \sin^{-1}\sqrt{1-\zeta^2} \quad \textbf{(3.16)}$$

รูปคลื่นเอาท์พุทแสดงดังรูปที่ 3.8 จะเห็นว่ามีส่วนประกอบของรูปคลื่นซายน์โดยมีความถี่เท่ากับ

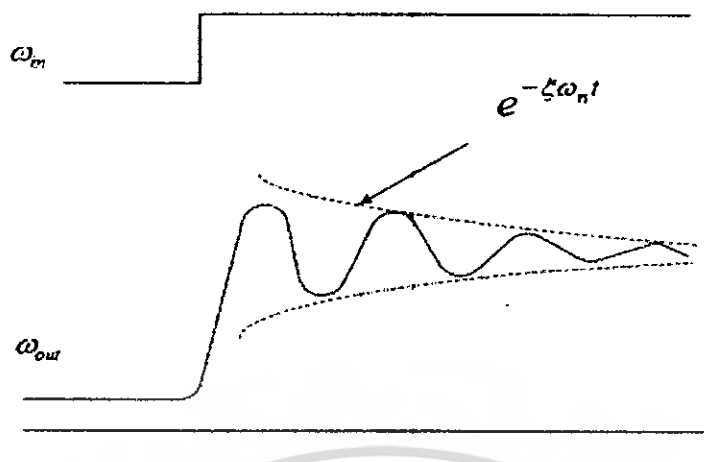
$$\omega = \omega_n\sqrt{1-\zeta^2} \quad \textbf{(3.17)}$$

และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega n)^{-1}$ การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในการนำไปใช้งาน จากสมการ 3.15 ค่าของเอ็กซ์โปแนนเชียลจะลดลงสัมพันธ์กับค่าของเทอม $\zeta\omega n$ โดยมีค่าเท่ากับ

$$\zeta\omega_n = \frac{1}{2}\omega_{LPF} \quad \textbf{(3.18)}$$

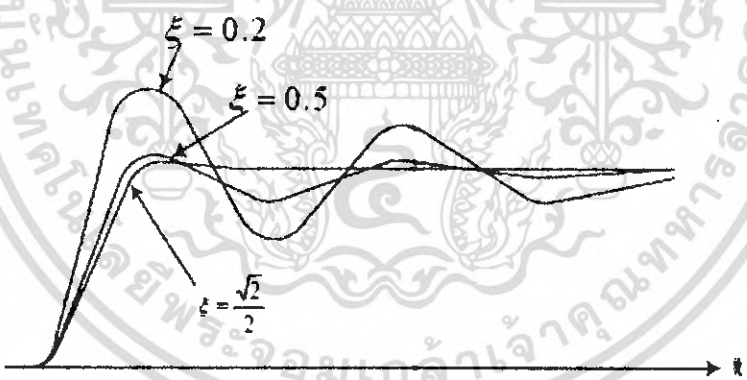
จากผลลัพธ์ที่ได้จะเห็นว่าจะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบอย่างรวดเร็วกับแรงดันริปเปิลที่จะไปควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุต PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูปที่ 3.9 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω_n มีค่าคงที่ โดยผลการตอบสนองจะไม่มีการกระเพื่อมเมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการต้องเลือกระหว่าง LPFและค่าเวลาเข้าสู่สภาวะสงบ (Settling time) และจากสมการ 3.5 ถ้าเราต้องการลดค่าความผิดพลาดเฟสให้น้อยลงจะต้องลดค่าของ $K_{PD}\,K_{VCO}$ ลงแต่จากสมการ 3.14 จะทำให้ ζ เพิ่มขึ้นทำให้ระบบมีเสถียรภาพต่ำลง

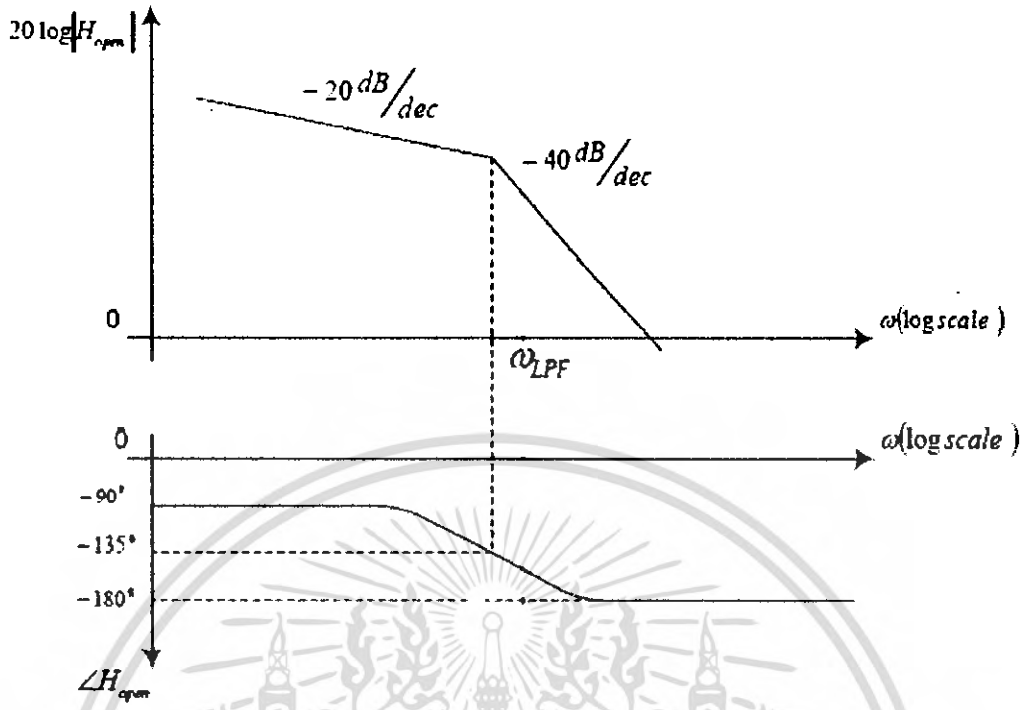


รูปที่ 3.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงได้ด้วยกราฟโบดพล็อตทั้งขนาดและความถี่ดังรูปที่ 3.10 โดยใช้สมการ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

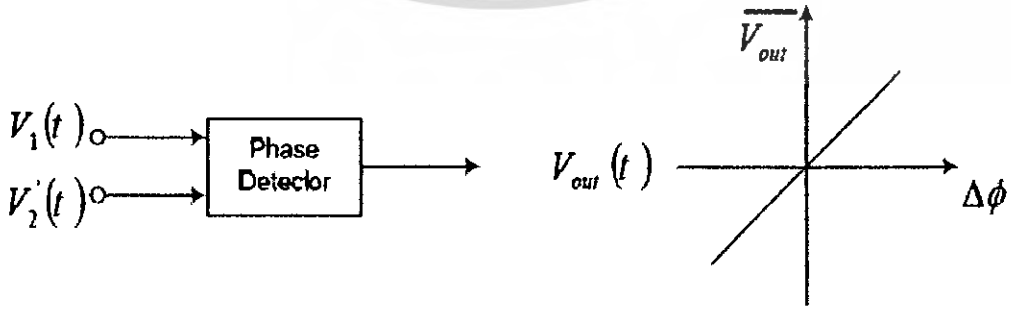


รูปที่ 3.10 กราฟโบดพล็อตแสดงเสถียรภาพของ type I PLL

3.5องค์ประกอบพื้นฐานของเฟสล็อคลูป

ตัวดักจับเฟส (Phase Detector)

ตัวดักจับเฟส (Phase Detector) หรือ PD คือวงจรที่เอาท์พุตเฉลี่ย V_{out} หรือ V_d มีขนาดสัมพันธ์กับความต่างเฟส $\Delta\varnothing$ ระหว่างสองอินพุต ในทางอุดมคติความสัมพันธ์ระหว่างเอาท์พุตเฉลี่ย V_{out}กับ $\Delta\varnothing$ จะมีลักษณะเป็นเชิงเส้นดังแสดงในรูปที่ 3.11

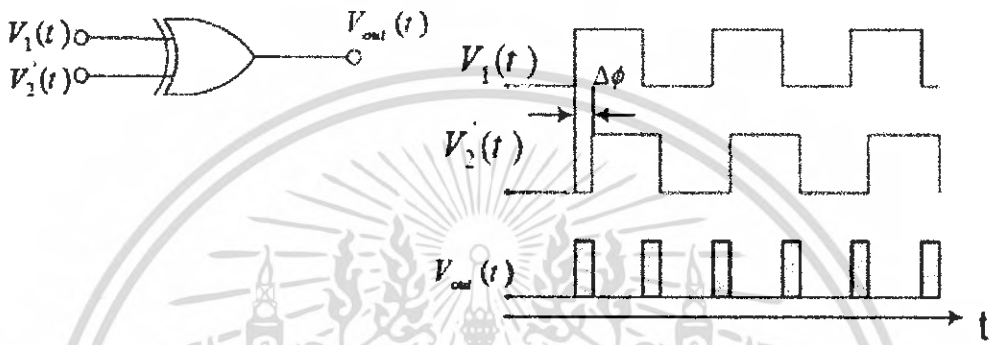


รูปที่ 3.11 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเส้นตัดผ่านจุดกำเนิดที่ $\Delta\varnothing = 0$ และอัตราขยายของ PD คือความชันของเส้นกราฟคือ K_{PD} หน่วยคือ V/rad ตัวดักจับเฟสที่นิยมนำมาใช้ในงานดิจิตอลเฟสล็อคลูป คือ แบบเอ็กซ์คูลซีพ ออ ร์ แบบ J-K ฟลิบฟลอป และแบบเฟส-ความถี่

3.6ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

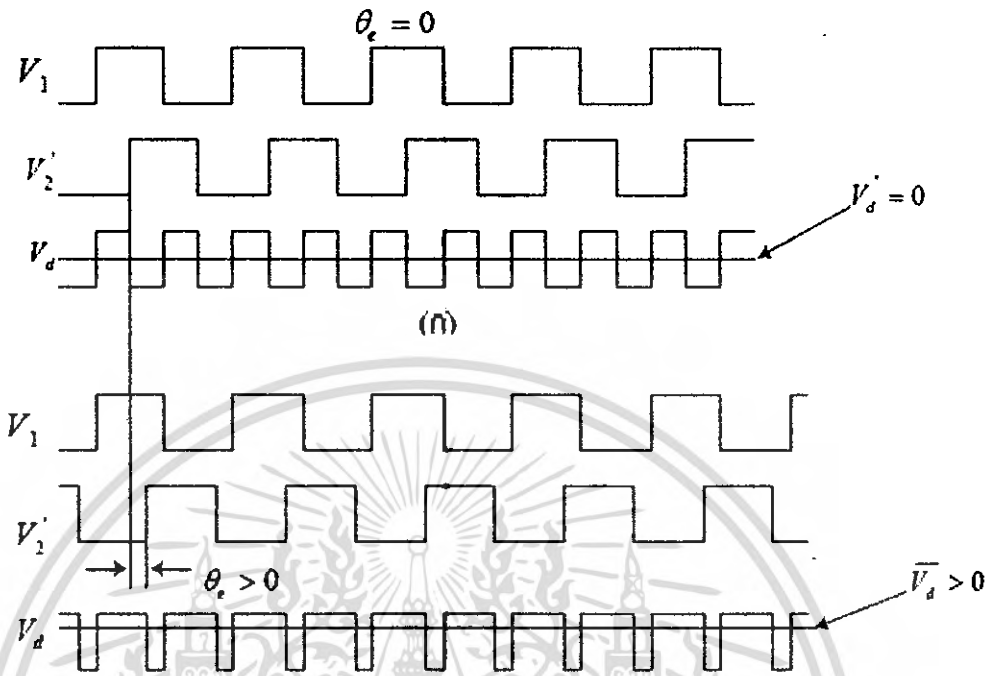


รูปที่ 3.12 ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์

ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์เป็นตัวดักจับเฟสแบบง่ายที่สุด โดยการใช้เอ็กซ์คูลซีฟอ อร์เกทซึ่งมีคุณสมบัติ คือถ้าสัญญาณอินพุตเหมือนกับเอาท์พุทจะเป็นศูนย์แต่ถ้าสัญญาณอินพุตต่าง กัน จะได้เอาท์พุตเป็นหนึ่งหรือ เมื่ออินพุทมีความต่างเฟสกันจะได้เอาท์พุทสัมพันธ์กับอินพุทดัง แสดงในรูปที่ 3.12

โดยสัญญาณในวงจรเฟสล็อคลูปแบบดิจิตอลจะเป็นสัญญาณดิจิตอล ซึ่งกำหนดให้เป็นสัญ ญาณอินพุตทั้งสองคือ V และ V เป็นสัญญาณรูปคลื่นสี่เหลี่ยมที่สมมาตรจากรูปที่ 3.13 แสดง ความแตกต่างของค่าผิดพลาดเฟส เมื่อค่าผิดพลาดเฟสเท่ากับศูนย์สัญญาณ V และ V จะต่างเฟสกัน 90 องศา ดังรูปที่ 3.13(ก) ดังนั้นสัญญาเอาท์พุต V_d ซึ่งเป็นสัญญาณคลื่นสีเหลี่ยมจะมีค่าเป็น 2 เท่า ของสัญญาณอินพุตและค่า Duty Cycle ของสัญญาณ V_d จะมีค่าเท่ากับ 50 เปอร์เซ็นต์ เมื่อถูกกรอ งด้วยวงจรกรองความถี่จะพิจารณาเพียงค่าของ V_d ซึ่งแสดงได้โดยเส้นประดังรูป ดังรูปที่ 3.13(ก) ค่าเฉลี่ย V_d คือ $\overline{V_d}$ จะคิดตามหลักของค่าระดับลอจิกทั้งสอง โดยถ้าเอ็กคลูซิฟออร์ถูกจ่ายกำลังโดย จ่ายกำลังไฟโดยแหล่งจ่ายไฟ 5 โวลท์ V_d จะมีค่าประมาณ 2.5 โวลท์ซึ่งค่าแรงดัน ณ จุดนี้ จะเป็ นจุดสงบของเอ็กซ์คูลซีฟออร์ และกำหนดให้ V = 0 V เมื่อสัญญาณเอาท์พุต V มีค่ามากกว่า สัญญาณอ้างอิง V ค่าเฟสผิดพลาด θ_c จะมีค่าไปในทางบวกซึ่งแสดงดังรูปที่ 3.13(ข) โดย ค่า duty cycle จะมีค่ามากกว่า 50 เปอร์เซ็นต์ค่าของ V_d เฉลี่ยก็จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นประใน สัญญาณ V_d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

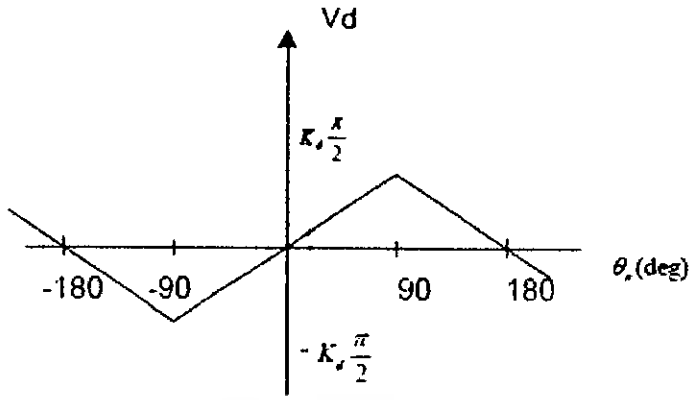


รูปที่ 3.13 สัญญาณของตัวตักจับเฟสแบบเอ็กซ์คูลซีฟออร์
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาด $\theta c = 90$ องศาและมีค่าน้อยสุดเมื่อค่าเฟสผิดพลา $\theta c = -90$ องศา ซึ่งจะได้กราฟคุณสมบัติดังรูปที่ 3.14 ค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์จะอยู่ในรูปฟังก์ชั่นสามเหลี่ยมของค่าเฟสผิดพลาดโดยช่วงค่าเฟสผิดพลาดคือ $-90 < \theta c < 90$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d เฉลี่ยได้เป็นสมการ 3.19

$$V_d = K_d \theta_e \qquad (3.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์

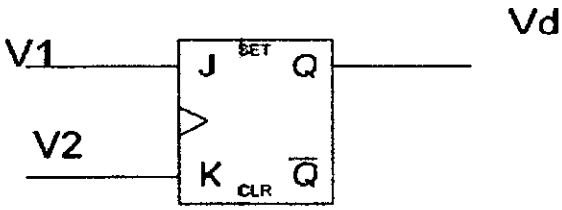
ในกรณีของชุดเปรียบเทียบแบบเอ็กซ์คูลซีฟออร์ค่าเกณฑ์ของตัวดักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กซ์คูลซีฟออ ร์ คือ V_{DD} และศูนย์โดยกำหนดระดับลอจิก คือ V_{DD} และศูนย์ ดังนั้น K_d จะมีค่าดังสมการ 3.20

$$K_d = \frac{V_{dd}}{\pi} \qquad \textbf{(3.20)}$$

คุณสมบัติโดยสรุปของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์เมื่อนำมาใช้ในเฟสล็อคลูป

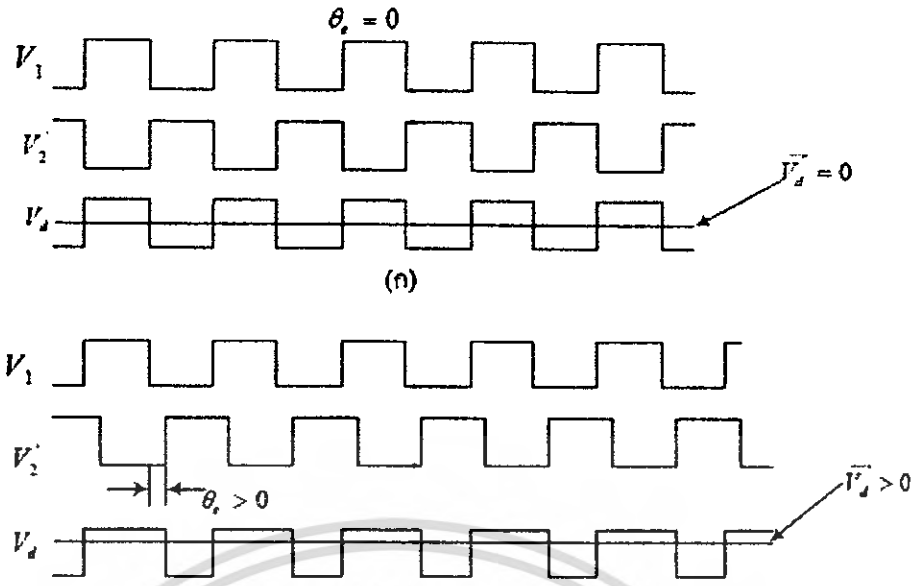
1. ขณะยังไม่มีสัญญาณอินพุตเข้ามาเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่าเท่ากับ $V_{dd}/2$ ทำให้เฟสล็ อกลูปทำงานอยู่ที่ความถี่กลาง
2. เมื่ออยู่ในสภาวะล็อคเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่า Duty Cycle 50 เปอร์เซ็นต์ดังนั้น VCO ที่ใช้งานร่วมกันจะต้องให้เอาท์พุตที่มีค่า Duty Cycle เท่ากับ 50 เปอร์เซ็นต์ด้วย
3. ดักจับเฟสแบบเอ็กซ์คูลซีฟออร์สามารถล็อคที่ความถี่ฮาร์โมนิคได้ดังนั้น พยายามอย่าใช้งานที่ ความถี่ซึ่งมีค่าความถี่ฮาร์โมนิคของสัญญาณตรงกับย่านความถี่ของ VCO

3.7ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป



รูปที่ 3.15 ตัวดักจับเฟสแบบ J-Kฟลิบฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

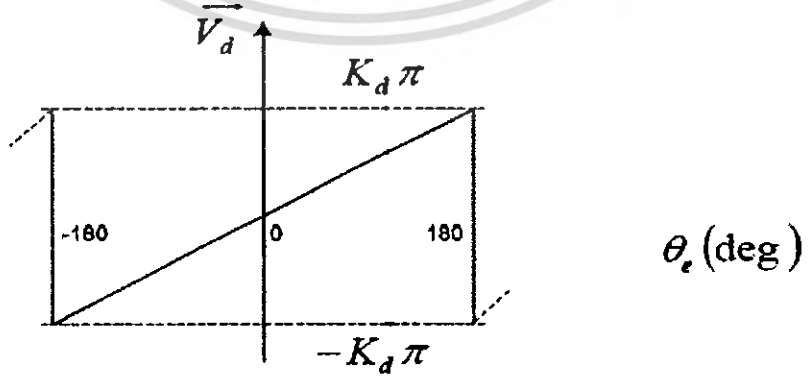


รูปที่ 3.16 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป

(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

J-K ฟลิบฟลอบ จะทำงานโดยเมื่อขา J อินพุต ถูกกระตุ้นทำให้สถานะของฟลิบฟลอปเป็นสภาวะ 1 (Q=1) และที่ขา K อินพุตถูกกระตุ้นทำให้สถานะฟลิบฟลอปเป็นสภาวะ 0 (Q=0) ดังรูป 3.16 (ก) ซึ่งแสดงรูปสัญญาณของ JK ฟลิปฟลอปในกรณี $\theta c = 0$ เมื่อไม่มีค่าเฟสผิดพลาด v_1 และ v_2 จะมีเฟสตรงข้ามกัน ค่าเอ้าท์พุท v_d จะมีค่าเป็นค่าสัญญาณสี่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ $\overline{v_d}$ เฉลี่ยจะมีค่าเท่ากับศูนย์ ถ้าค่าเฟสผิดพลาดมีค่าไปในทางบวก ดังรูป 3.16(ข) ค่า Duty Cycle การทำงานของ $\overline{v_d}$ จะมีค่ามากกว่า 50% และ $\overline{v_d}$ จะมีค่าเป็นบวก และ V จะมีค่าสูงสุดเมื่อค่าเฟสผิดพลาดมีค่าเท่ากับ 180 องศา และมีค่าต่ำสุดเมื่อเฟสผิดพลาดมีค่า -180 องศา ถ้ารูปกราฟของ V_d ต่อ θ_C ซึ่งแสดงดังรูปที่ 3.17



รูปที่ 3.17 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีคุณลักษณะเป็นฟันเลื่อย และมีช่วงผิดพลาดเฟสเท่ากับ $-180° < \theta_e < 180°$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_e สามารถกำหนดได้จาก

$$\overline{V_d} = K_d \theta_e \qquad \textbf{(3.21)}$$

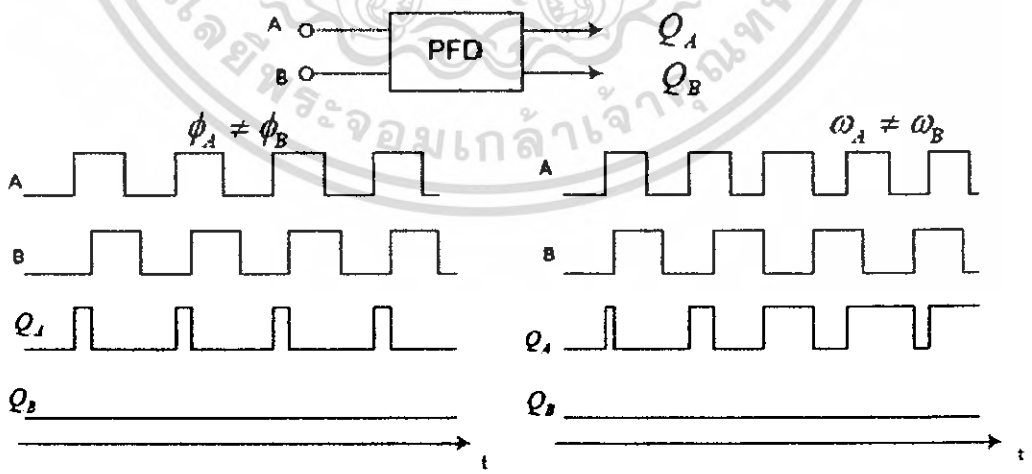
และค่าอัตราขยายของตัวดักเฟสแบบ J-K ฟลิบฟลอป K_d จะมีค่าดังสมการ 3.22

$$K_d = \frac{V_{DD}}{2\pi} \qquad \textbf{(3.22)}$$

3.8ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักเฟสจับเฟสแบบเฟส-ความถี่ เป็นตัวจับเฟสที่เปรียบความแตกต่างทั้งความถี่และเฟสของอินพุตกับเอาท์พุตจากที่ได้กล่าวมาแล้วในหัวข้อของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ เมื่อเฟสล็อคลูปทำงานที่สภาวะเริ่มต้นหรือเมื่อจ่ายไฟเลี้ยงให้วงจร ความถี่เอาท์พุตอาจอยู่ห่างจากความถี่อินพุตมากสภาวะนี้เฟสล็อคลูปไม่สามารถเข้าสู่สภาวะล็อคได้ ดังนั้นจึงมีการเพิ่มตัวดักจับความถี่เพิ่มเข้ามา โดยเมื่อเกิดสภาวะที่ความถี่เอาท์พุตห่างจากอินพุตจะเกิดแรงดันขึ้นมาควบคุมความถี่เอาท์พุตให้มีค่าเข้าใกล้อินพุต และต่อมาจากนั้นตัวดักจับเฟสความถี่จะทำงานเหมือนตัวดักจับเฟสและดำเนินกระบวนการให้เข้าสู่สภาวะล็อค

หลักการทำงานของตัวดักจับเฟสความถี่ แสดงดังรูป 3.18 โดยจากรูปอินพุตของวงจรจะมีสองอินพุต A และ B โดยตัวดักจับเฟสจะตรวจจับที่ขอบขาขึ้นหรือลงของพัลซ์เท่านั้น และจะแสดงผลออกมาที่เอาท์พุต โดยถ้ากำหนดสภาวะเริ่มต้น $Q_A = Q_B = 0$ หลังจากนั้นเฟสอินพุท A นำหน้าอินพุท B จะทำให้เอาท์พุท $Q_A = 1$, $Q_B = 0$ และจะอยู่ในสภาวะนี้ตลอดจนกระทั่งอินพุท B มีค่าระดับลอจิกสูง ที่สภาวะนี้ Q_A จะกลับสู่ค่าศูนย์ดังแสดงในรูป 3.18



รูปที่ 3.18 หลักการของตัวดักจับของเฟส - ความถี่

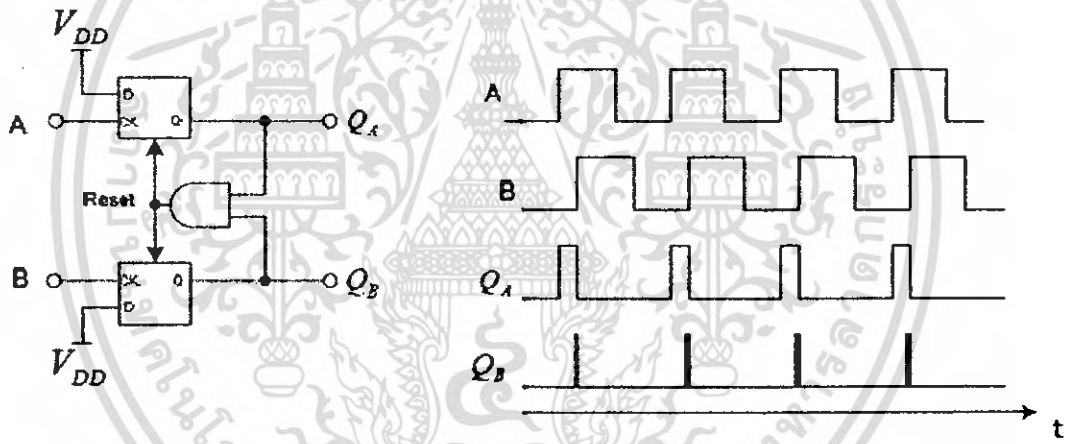
(ก)สัญญาณเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน

(ข)สัญญาณเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยรูปที่ 3.18(ก) อินพุตทั้งสองมีความถี่เท่ากันแต่เฟสของอินพุต A นำหน้า B จะทำให้ได้พัลส์เอาท์พุท Q_A ออกมาโดยมีความกว้างเท่ากับช่วงของความต่างเฟส $\varnothing_A - \varnothing_B$ โดย Q_B ยังคงเป็นศูนย์ และรูปที่ 3.18(ข) เมื่อความถี่ของอินพุต A มากกว่าอินพุท B จะทำให้ได้พัลซ์เอาพุต Q_A ออกมาและ Q_B ยังคงเป็นศูนย์ ในทางตรงกันข้ามถ้าเฟสอินพท A ล้าหลัง B หรือความถี่ของอินพุต A น้อยกว่าอินพุต B จะได้พัลซ์เอาท์พุต Q_B ออกมาโดย Q_A ยังคงเป็นศูนย์โดยระดับดีซีของอินพุต A น้อยกว่าอินพุต B จะได้พัลซ์เอาท์พุต QB ออกมาโดย QA ยังคงเป็นศูนย์โดยระดับดีซีของ Q_A และQ_B จะเป็นตัวบอกให้ทราบถึง $\varnothing_A - \varnothing_B$ หรือ $\omega_A - \omega_B$ โดยเอ้าท์พุท Q_A และ Q_B เรียกว่า "up" และ "down"

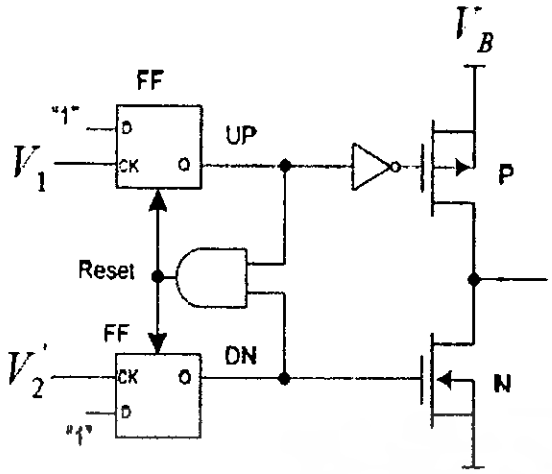
จากคุณสมบัติของตัวดักจับเฟส - ความถี่ดังกล่าวสามารถที่จะสร้างตัวดักจับเฟส – ความถี่ได้โดยการใช้ D ฟลิบฟลอบมาสร้างเป็นวงจรดังรูปที่ 3.19 โดยเอาท์พุตจะมีคุณสมบัติเหมือนตัวดักจับเฟส-ความถี่



รูปที่ 3.19 การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป

พิจารณาตัวดักจับเฟสแบบเฟส-ความถี่จะเห็นว่าเอาท์พุตจะมีสองจุดจะต้องมีการรวมเอาท์พุตเป็นจุดเดียวนำไปขับวงจรกรองความถี่ โดยการรวมมีอยู่ด้วยกันสองวิธีคือ แบบแรกใช้เป็นลักษณะแหล่งจ่ายกระแสคงที่ดังได้กล่าวถึงแล้วในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ แบบที่สองใช้เป็นเอาท์พุตแบบสามสถานะ ซึ่งแบบนี้จะมีข้อเสียคือ ถ้าแหล่งจ่ายไฟเลี้ยงไม่คงที่ มีริปเปิลจะทำให้ระบบไม่มีเสถียรภาพ โดยตัวดักเฟแบบเอาท์พุทสามสถานะแสดง ดังรูปที่ 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 ดักจับเฟสแบบเฟสความถี่ กับเอาท์พุตแบบ สามสถานะ

โดยวงจรประกอบด้วย D-ฟลิปฟลอป มีเอาท์พุทคือ UP และ DN

UP = 0, DN = 0

UP = 1, DN = 0

UP = 0, DN = 1

UP = 1, DN = 1

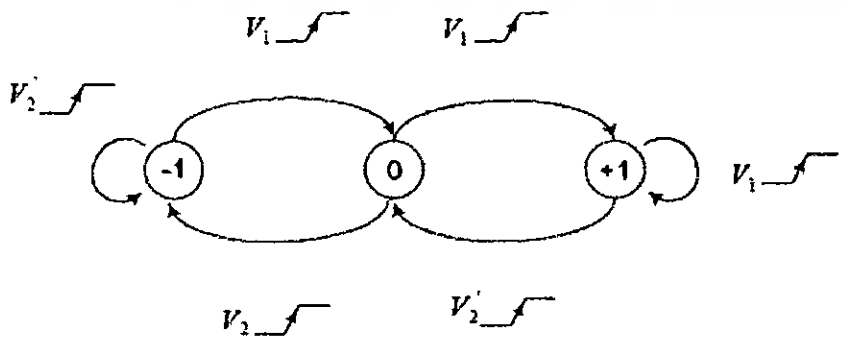
เมื่อใส่ AND เกทเข้าไปจะทำให้สภาวะ UP = 1, DN = 1 หายไปเพราะเอาท์พุตของ AND เกทจะไปรีเซตฟลิปฟลอปทั้งสอง ดังนั้นสภาวะของวงจรจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณะคือ -1,0 และ +1 คือ

DN = 1 , UP = 0 ; state = -1

UP = 0 , DN = 0 ; state = 0

UP = 1 , DN = 0 ; state = +1

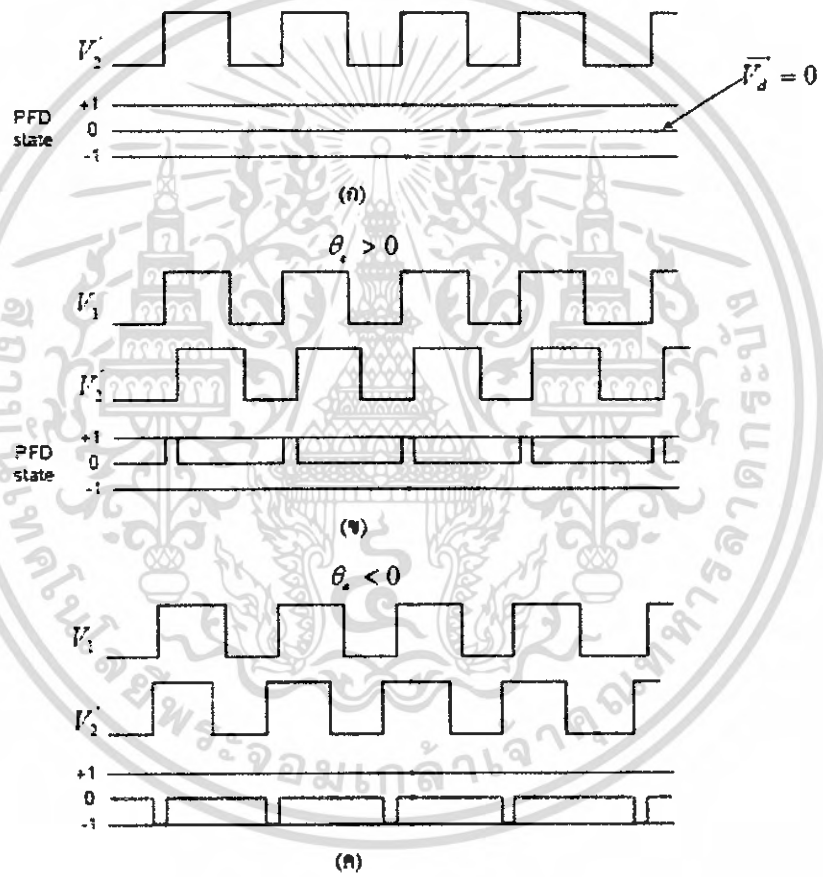
การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V ซึ่งแสดงดังรูปที่ 3.21 สภาวะบวกของ V_1 จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ +1 แล้ว ในทำนองเดียวกันสภาวะของ V_d จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ -1 แล้ว เมื่อตัวมีสภาวะ $+1V_d$ จะมีค่าเป็นบวก และเมื่อมีสภาวะเป็น $-1\ V_d$ จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะมีค่าเป็นศูนย์



รูปที่ 3.21 สภาวะของตัวดักจับเฟสแบบเฟส - ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรในเส้นประของรูปที่ 3.20 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแสดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน V_{DD} เมื่อ DN เป็นค่าสูง N แชนแนลมอสจนำกระแสดังนั้น V_d จะมีค่าเท่ากับกราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอส ทั้งสองจะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับว่าไม่มี คือเป็นค่าความต้านทานสูง โดยถ้าตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูป 3.22



รูปที่ 3.22 สัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่

(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

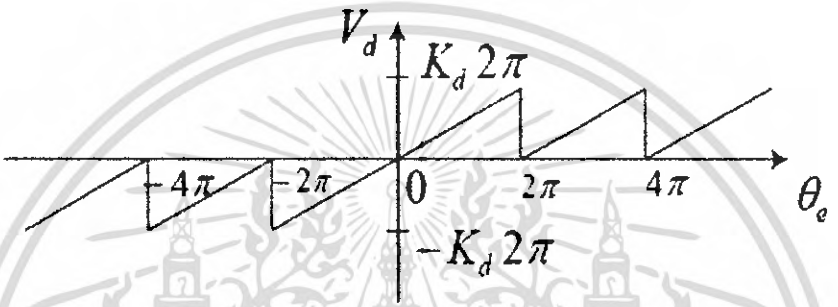
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

(ค) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

ซึ่งในรูปที่ 3.22(ก) แสดงในกรณีค่าเฟสผิดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2 จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2 มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอ้าท์พุท ในรูป 3.22(ข) เมื่อ V_1 นำหน้า V_2 ตัวดักจับเฟสแบบเฟส-ความถี่ จะเปลี่ยนสภาวะระหว่าง 0 กับ +1 โดยถ้า V_1 ล้าหลัง V_2 ดังรูปที่ 3.22(ค) ตัวดักจับเฟสแบบเฟส-ความถี่ จะเปลี่ยนสภาวะระหว่าง -1 กับ 0 ถ้าพิจารณารูปที่ 3.22(ข) และ (ค) ค่า V_d จะมีค่ามากที่สุดเมื่อเฟสผิดพลาดมีค่าบวกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุดเมื่อค่าเฟสผิดพลาดมีค่าบอกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุดเมื่อค่าลบและเข้าใกล้มุม -360 องศา ถ้าพล็อตกราฟเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_d กับค่าเฟสผิดพลาด θc จะได้ฟังก์ชั่นเลื่อย ดังรูปที่ 3.23



รูปที่ 3.23 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่

ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาท์พุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาท์พุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาท์พุตจะมีค่าน้อยสุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าเฟสผิดพลาดอยู่ใน $-2\pi < \theta c < 2\pi$ ค่าเฉลี่ยของสัญญาณเอ้าท์พุท V_d คือ

$$\overline{V_d} = K_d \theta_e \qquad \textbf{(3.23)}$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตสามสถานะมีค่าดังสมการ 3.27

$$K_d = \frac{V_{DD}}{4\pi} \qquad \textbf{(3.24)}$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส- ความถี่แบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ ดังได้ว่าในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ มีค่าสมการ 3.2

$$K_d = \frac{I_P}{2\pi} \qquad \textbf{(3.25)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9วงจรกรองความถี่ต่ำผ่าน

เฟสล็อคลูปแบบอนาลอก วงจรกรองความถี่ต่ำผ่านที่นิยมใช้กับเฟสล็อคลูปแบบดิจิตอล แสดงดังรูปที่ 3.24 โดยรูปที่ 3.24(ก) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพซึ่งมี 1 โพล และ 1 ซีโพลซึ่งมีฟังก์ชั่นถ่ายคือ

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \qquad (3.26)$$

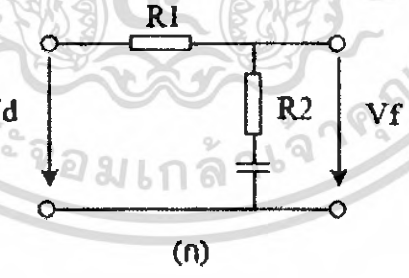
เมื่อ $\tau = R_1C_1$ และ $\tau = R_2C_2$ โดยมีค่าการตอบสนองวงจรดังรูปที่ 3.24(ก) ส่วนวงจรกรองความถี่ต่ำผ่าน ดังรูปที่ 3.24(ข) เป็นวงจรกรองความถี่ต่ำผ่านแบบแอกทีพ ซึ่งมีการตอบสนองเหมือนกับวงจรกรองความถี่ต่ำผ่านแบบพาสซีพ แต่วงจรกรองความถี่ต่ำผ่านแบบแอคทีพจะให้ค่าอัตราขยาย K_a และมีฟังก์ชันถ่ายโอนคือ

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \qquad (3.27)$$

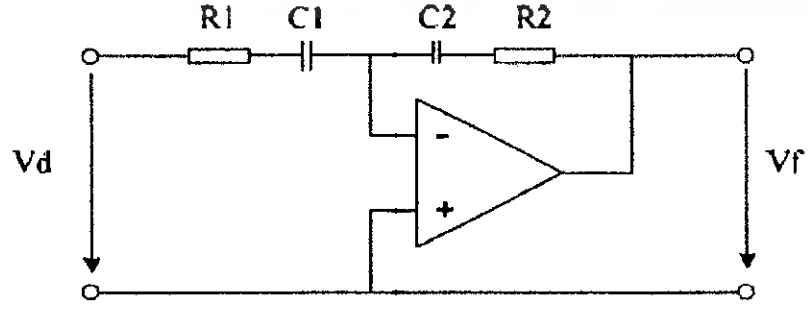
เมื่อ $\tau = R_1C_1$ และ $\tau = R_2C_2$ และ $K_a = -C_1/C_2$ โดยมีค่าการตอบสนองวงจรดังรูปที่ 3.24(ข)และวงจรดังรูปที่ 3.24(ค) เป็นวงจรกรองความถี่ต่ำผ่านอีกแบบหนึ่งคือ วงจรกรองความถี่ต่ำผ่านแบบ PI แอคทีพ ซึ่งวงจรกรองความถี่ต่ำผ่านแบบนี้จะมีฟังก์ชันถ่ายโอน คือ

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \qquad (3.28)$$

เมื่อ $\tau = R_1C_1$ และ $\tau = R_2C_2$ วงจรกรองความถี่ต่ำผ่านแบบ PI แอคทีพจะมีค่าการตอบสนองของวงจรดังรูปที่ 3.24(ค)

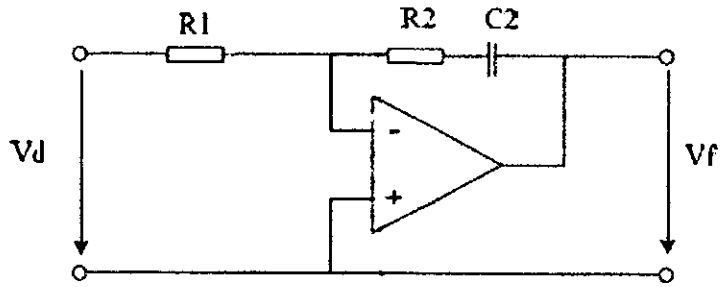


(ก)



(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



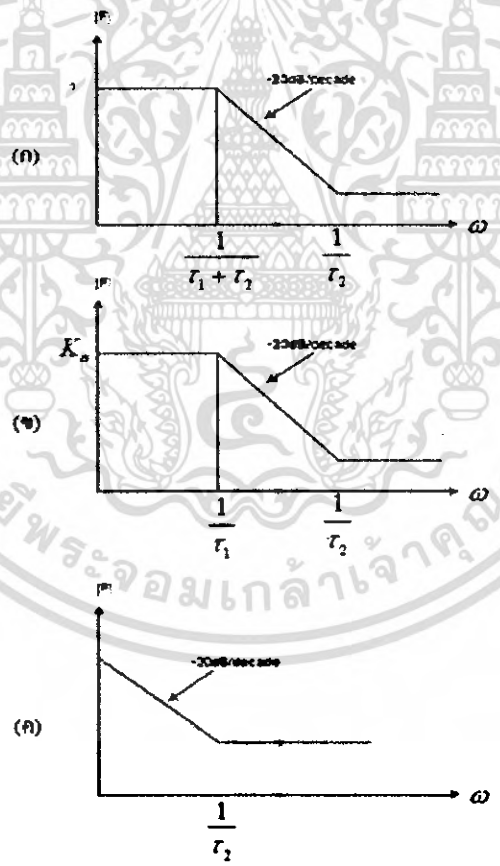
(ค)

รูปที่ 3.24 วงจรกรองความถี่ต่ำผ่านที่ใช้กับเฟสล็อคลูป

(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพ

(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีพ

(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีพ



รูปที่ 3.25 การตอบสนองของวงจรกรองความถี่ต่ำผ่าน

(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพ

(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีพ

(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีพ

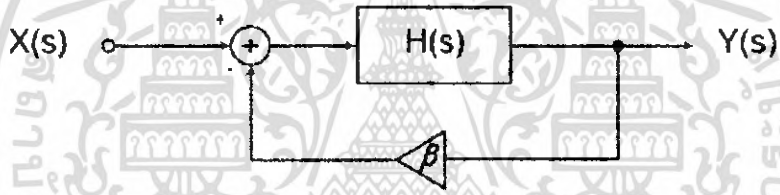
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์มักถูกรวมเป็นองค์ประกอบหนึ่งของระบบอิเล็กทรอนิกส์มีการประยุกต์ใช้งานในการกำเนิดสัญญาณนาฬิกาให้แก่ไมโครโปรเซสเซอร์ไปจนถึงการสร้างสัญญาณคลื่นพาห์ให้แก่ระบบโทรศัพท์เซลลูลาร์ และวงจรออสซิลเลเตอร์ ถูกใช้เสมอกับระบบเฟสล็อค(Phase-locked system) ในกระบวนการชั้นสูง (high-performance) วงจรออสซิลเลเตอร์จะถูกออกแบบโดยใช้เทคโนโลยีของซีมอส

3.11หลักการพื้นฐานของวงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์จะผลิตเอาท์พุตพัลส์ออกมาโดยปกติอยู่ในรูปแบบแรงดัน โดยวงจรไม่จำเป็นต้องมีการป้อนอินพุต วงจรผลิตเอาท์พุตออกมาอย่างต่อเนื่องและไม่จำกัด ระบบที่มีการป้อนกลับแบบ(negative feedback) สามารถที่จะออสซิลเลทได้โดยการการออกแบบให้วงจรขยายที่ไม่ดี(badly-designed feedback amplifier)ระบบที่มีการป้อนกลับแบบลบแสดงดังรูปที่ 3.26



รูปที่ 3.26 ระบบที่มีการป้อนกลับแบบลบ

จากรูป 3.26 สมมติค่าของ β คือค่าคงที่และจะมีค่าเท่ากับหนึ่งถ้าระบบมีการป้อนกลับแบบเต็มที่ โดยฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \qquad (3.29)$$

จากสมการ 3.32 ถ้าระบบมีค่า β H(s = jω1) = −1 จะมีผลทำให้อัตราการขยายของระบบมีค่าอนันต์วงจรจะทำการขยายสัญญาณรบกวนภายในตัวมันเอง (own noise) จนเริ่มเข้าสู่การออสซิลเลท หรืออากล่าวได้ว่า β H(jω1) = −1 จะทำให้วงจรเกิดการออสซิลเลทที่ความถี่ ω1 รูปแบบของ β H(jω1) = −1 สามารถเขียนได้อีกแบบหนึ่งคือ

$$\beta H(j\omega_1) = |\beta H(j\omega_1)| e^{\angle \beta H(j\omega_1)} \qquad (3.30)$$

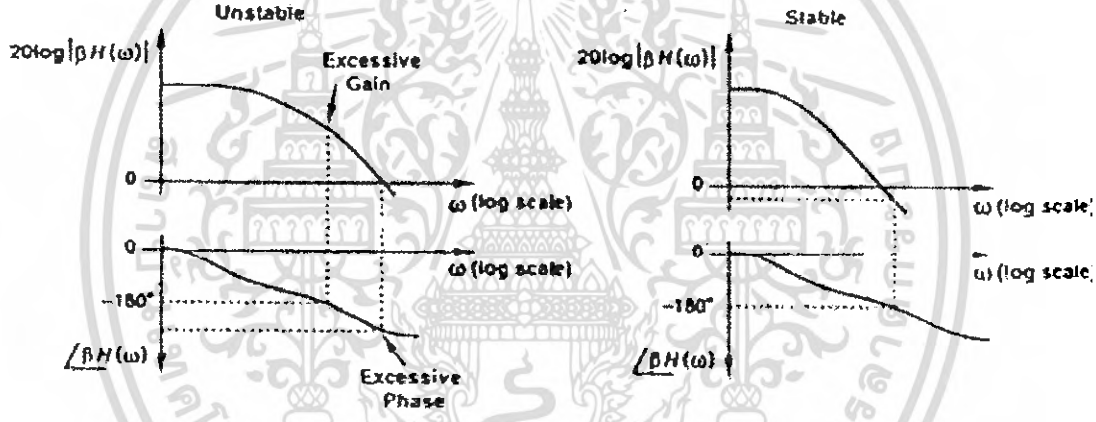
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเงื่อนที่ทำให้วงจรเกิดการออสซิลเลทหรือทำให้ $\beta H(j\omega 1) = -1$ มีสองเงื่อนไขคือ

1. $|\beta H(j\omega_1) = 1|$

2. $\angle \beta H(j\omega_1) = 180^\circ$

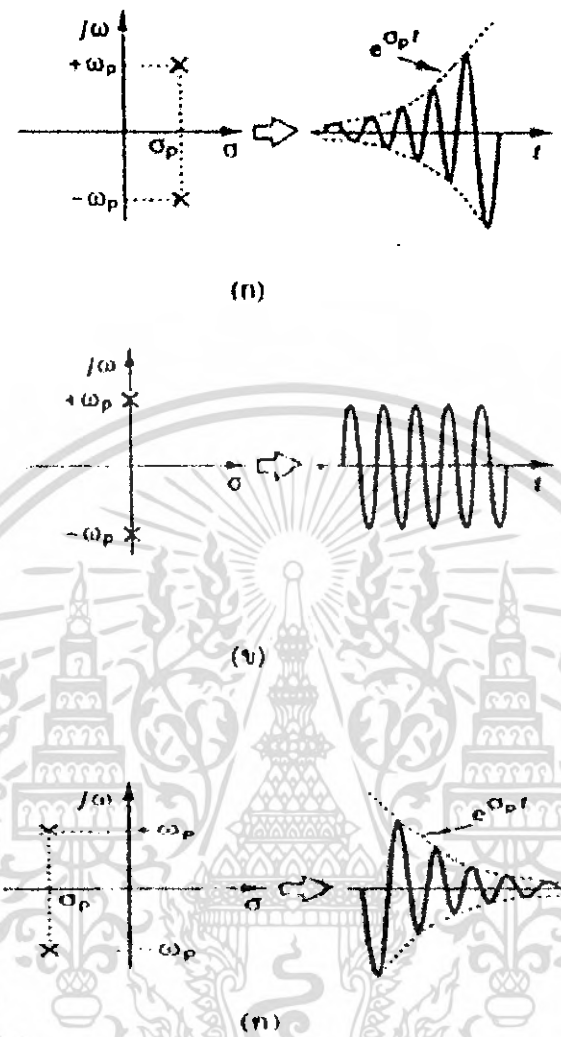
โดยถ้าทั้งสองเงื่อนไขเกิดขึ้นพร้อมกันวงจรจะเกิดการออสซิลเลท นอกจากการพิจารณาดังเงื่อนไขข้างต้นแล้วการพิจารณาว่าวงจรเกิดการออสซิเลทหรือไม่นั้นยังสามารถพิจารณาได้จากกราฟโบดพล็อตของระบบ (Bode plot) โดยจะเป็นการนำอัตราการขยายระบบในหน่วยของเดซิเบลมาพล็อตกับความถี่ ω ต่างๆ กันจะได้การอัตราการขยายที่ความถี่ต่างกันมีขนาดต่างกันโดยปกติเมื่อความถี่สูงขึ้นอัตราการขยายจะตกลงเนื่องจากโพลของระบบเราสนใจอัตราการขยายเมื่อตกมาที่ศูนย์เดซิเบลหรือก็คือที่ขนาดของ $|\beta H(j\omega_1) = 1|$ แล้วพิจารณาเฟสของระบบโดยการพล็อตเฟส ถ้าตำแหน่งดังกล่าวมีเฟสถึง 180 ^{0} วงจรจะเกิดการออสซิเลทแสดงดังรูปที่ 3.27



รูปที่ 3.27 โบดพล็อตระหว่างระบบที่เกิดการออสซิลเลทกับระบบที่มีเสถียรภาพ

การพิจารณาลักษณะการออสซิลเลทของวงจรพิจารณาจากตำแหน่งของโพลของระบบเปิด (closed-loop system) ในระบบเชิงซ้อน (complex plane) เราสามารถเขียนตำแหน่งของโพลในรูป $S_1 = j\omega_p + \sigma_p$ และผลของอิมพัลส์ของระบบอยู่ในเทอม $\exp(j\omega_p + \sigma_p)t$ ฟังก์ชั่นถ่ายโอนของระบบปิดถ้าค่าของ S_p ตกมาอยู่ทางฝั่งขวาของระนาบและค่าของ $\sigma_p > 0$ ระบบดังกล่าวจะเกิดการออสซิลเลทแสดงในคาบของเวลาจะเห็นว่าสัญญาณค่อยๆเพิ่มขึ้นอย่างเอกโปเนนเชียลและท้ายสุดจะถูกจำกัดด้วยไฟเลี้ยงของวงจรแสดงดังรูปที่ 3.28 (ก) และถ้า $\sigma_p = 0$ ระบบก็จะออสซิลเลทเช่นกันแต่ช่วงสัญญาณจะถูกจำกัดแสดงดังรูปที่ 3.28 (ข) แต่ถ้าตำแหน่งของ S_p ตกมาอยู่ทางฝั่งซ้ายของระนาบในคาบของเวลาจะเห็นว่าค่าสัญญาณจะค่อยๆ ลดลงอย่างเอกโปเนนเชียลและนิ่งเป็นศูนย์ในที่สุดก็คือระบบจะไม่เกิดออสซิเลทถ้าตำแหน่งของ S_p ถ้าตำแหน่งตกลงมายังฝั่งซ้าย แสดงดังรูปที่ 3.28(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



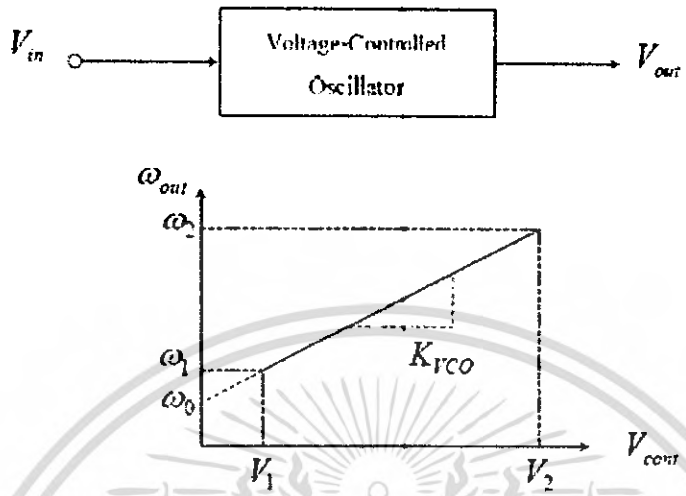
รูปที่ 3.28 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท
(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น
(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่
(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย

3.12วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)

การนำวงจรออสซิลเลทเตอร์ไปใช้งานส่วนมากมักต้องการให้สามารถปรับจูนความถี่ได้ โดยความถี่เอาท์พุตเป็นฟังก์ชั่นของการควบคุมที่อินพุตโดยมากจะเป็นการควบคุมด้วยแรงดันไฟฟ้าโดยวงจรควบคุมความถี่ด้วยแรงดันไฟฟ้า ในอุดมคติความสัมพันธ์ระหว่างแรงดัน อินพุตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุตต้องเป็นเชิงเส้นดังรูปที่ 3.29



รูปที่ 3.29 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

จากรูปจะได้ว่า

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \qquad \textbf{(3.31)}$$

โดย $\omega 0$ คือความถี่เมื่อ $V_{cont} = 0$ และ K_{VCO} คืออัตราการขยายของวงจรมีหน่วยเป็น rad/s/V และ $\omega 2 - \omega 1$ เรียกว่า "ย่านการจูน" (tuning range)

3.13วงจรหารความถี่

การประยุกต์ใช้งานเฟสล็อคลูปส่วนใหญ่จะใช้ทำเป็นวงจรกำเนิดความถี่หรือคูณความถี่จากอินพุทเพิ่มขึ้น N เท่าโดยใช้วงจรหารความถี่ร่วมกับเฟสล็อคลูป ซึ่งในโครงงานนี้ใช้ไอซี เบอร์ MC145162 ที่สามารถโปรแกรมการหารความถี่ได้ดังนี้

- มีวงจรหารความถี่ที่โปรแกรมตั้งหารได้ตั้งแต่ 16 - 4095
- มีวงจรหารความถี่ที่โปรแกรมตั้งหารได้ตั้งแต่ 16 - 16383
- มีวงจรหารความถี่ที่โปรแกรมตั้งหารได้ตั้งแต่ 16 – 65535

นำมาประยุกต์ใช้เป็นวงจร $\div R, \div N$

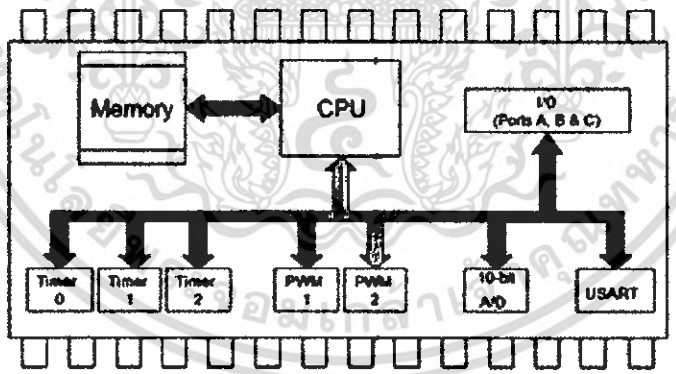
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
ไมโครคอนโทรลเลอร์

4.1 ทฤษฎีเบื้องต้นเกี่ยวกับไมโครคอนโทรเลอร์

ไมโครคอนโทรลเลอร์(microcontroller) หากพิจารณาจากคำศัพท์ก็สามารถแยกได้เป็น 2 คำ คือ ไมโคร (micro) คือ มีขนาดเล็ก และ คอนโทรลเลอร์(controller) คือ การควบคุม ดังนั้นหากแปลตามคำศัพท์ก็น่าจะหมายถึงอุปกรณ์ที่สร้างระบบควบคุมที่มีขนาดเล็ก โดยที่อุปกรณ์ขนาดเล็กนี้เป็นอุปกรณ์ประเภทสารกึ่งตัวนำที่รวบรวมเอาฟังก์ชันการทำงานต่างๆ ไว้ในตัวมันเองโดยมีโครงสร้างที่ใกล้เคียงกับคอมพิวเตอร์ คือ ภายในประกอบด้วยหน่วยประมวลผลกลาง หน่วยความจำ และพอร์ต(ขนาน/อนุกรม)ต่างๆเพื่อเชื่อมต่อกับอุปกรณ์ภายนอก

ความแตกต่างระหว่างไมโครคอนโทรลเลอร์กับไมโครโปรเซสเซอร์ คือ เราจะเห็นว่าภายในไมโครคอนโทรลเลอร์มีทั้งซีพียู หน่วยความจำและส่วนประกอบอื่นๆ โดยไม่จำเป็นต้องต่อกับอุปกรณ์ภายนอกก็สามารถทำงานพื้นฐานได้หลายอย่างดังนั้นข้อแตกต่างที่เห็นได้ชัด คือ การใช้งานไมโครโปรเซสเซอร์ต้องต่อกับอุปกรณ์ภายนอกจึงจะสามารถทำงานได้เช่น หน่วยความจำประเภทต่างๆ



รูปที่ 4.1 ส่วนประกอบของไมโครคอนโทรลเลอร์

4.2 ส่วนประกอบของไมโครคอนโทรลเลอร์

1.หน่วยประมวลผลกลาง(CPU:central Processing Unit)

2.หน่วยความจำ(Memmory Unit)

- RAM(Random Acess Memory)
- EEPROM/EPROM/PROM/ROM(Eraseable Programable Read Only Memory)

3. หน่วยรับและแสดงผลข้อมูล I/O(Input/Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Serial
- Parallel

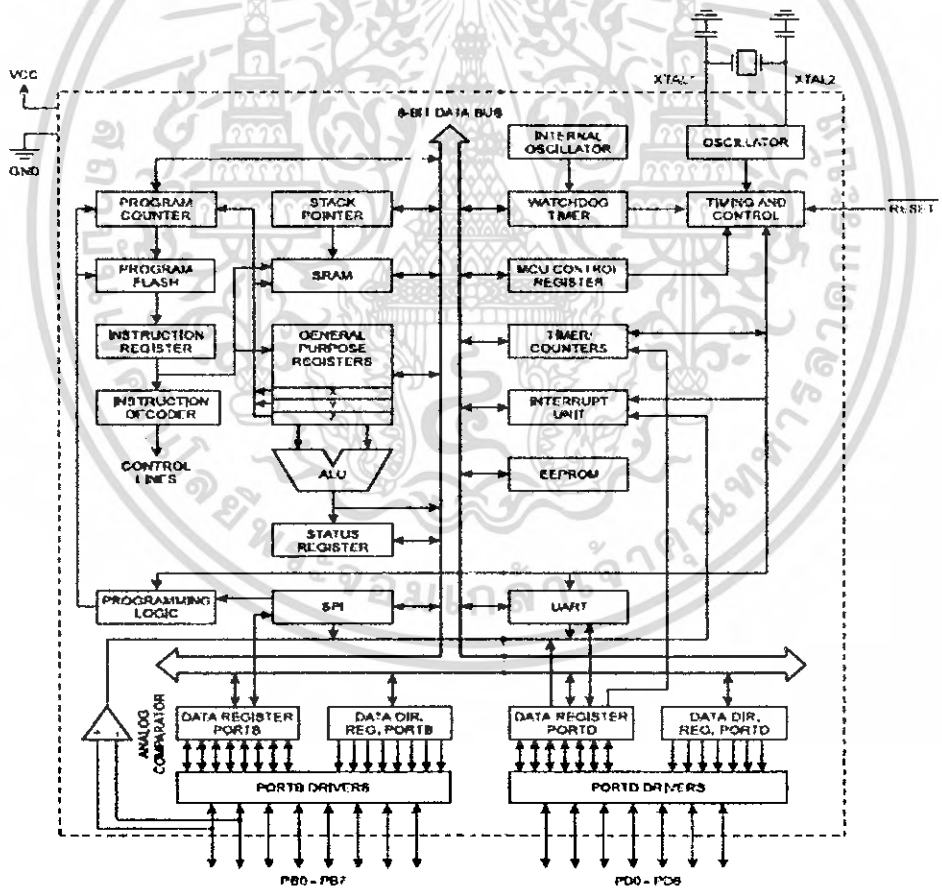
4. ไทม์เมอร์(Timer)

5. ตัวควบคุมการอินเตอร์รัป(Interupt Controller)

ที่กล่าวมานั้นเป็นองค์ประกอบพื้นฐานที่ไมโครคอนโทรลเลอร์แต่ละเบอร์ควรจะมีนอกจากนี้ยังมีความสามารถบางอย่าง ซึ่งขึ้นอยู่กับเบอร์ของไมโครคอนโทรลเลอร์เช่น A/D (Analog to Digital Convertor) PWM(Pulse Width Modolator) ฯลฯ

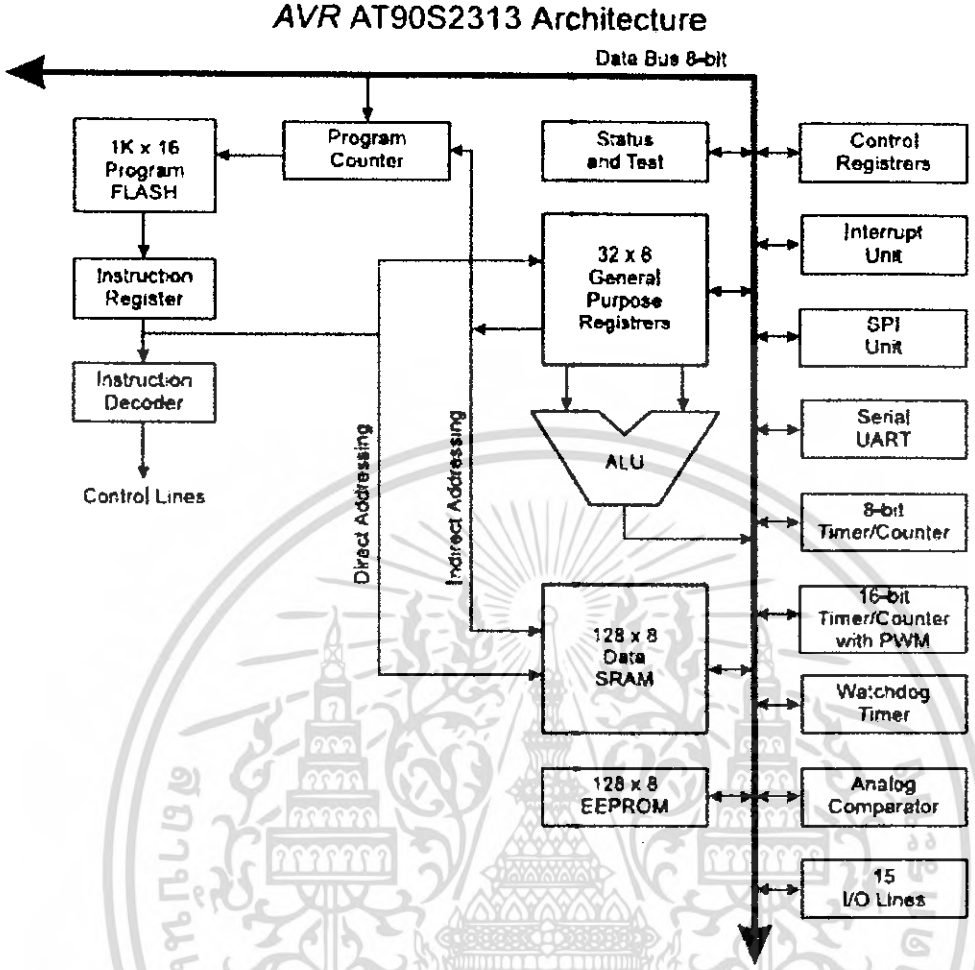
ส่วนประกอบและความสามารถของไมโครคอนโทรลเลอร์แต่ละเบอร์สามารถดูได้จาก data sheet ของแต่ละเบอร์

4.3 โครงสร้างและสถาปัตยกรรมของไมโครคอนโทรลเลอร์ AVR



รูปที่ 4.2 Block Diagram ของ AVR เบอร์ AT90S2313

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงสถาปัตยกรรมภายในของ AT90S2313

4.4 สถาปัตยกรรมแบบ RISC (Reduced Instruction Set Computer)

AVR เป็นไมโครคอนโทรลเลอร์ตระกูล 8051 ที่ผลิตและพัฒนาโดย ATMEL ใช้ การออกแบบสถาปัตยกรรมแบบ RISC (Reduced Instruction Set Computer) โดยการออกแบบสถาปัตยกรรมแบบ RISC โดยทั่วไป จะมีคุณสมบัติดังนี้

คำสั่งต่อรอบสัญญาณนาฬิกา (One Instruction per Cycle) นับเป็นสิ่งแรกเลยที่นึกถึงในการออกแบบสถาปัตยกรรมแบบ RISC โดย จะพยายามทำงานให้เสร็จสิ้นภายใน 1 รอบสัญญาณนาฬิกา (1 Clock Cycle) ซึ่งก็มีการใช้ pipeline มาช่วยในการทำงาน ดังนั้น ในการทำงานจริงๆ อาจไม่ใช่ทำงาน 1 คำสั่งเสร็จสิ้นใน 1 รอบสัญญาณนาฬิกา แต่ใช้การนับเวลาในการทำงานของโปรแกรม ซึ่งแน่นอน มีการทำงานหลายๆ คำสั่ง หลายๆ ขั้นตอน แล้วคิดเป็นเวลาเฉลี่ย ซึ่งก็จะได้ประมาณ 1 คำสั่งต่อ 1 รอบสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ใช้เพื่อทำให้ได้ 1 คำสั่งต่อรอบสัญญาณนาฬิกา จะทำโดยใช้คำสั่งง่ายๆ ธรรมดาๆ ไม่ใช่ เพิ่มรอบสัญญาณนาฬิกาให้นานขึ้น

กำหนดขนาดของ Instruction ให้มีขนาดที่แน่นอน (Fixed Instruction Length) ถ้าหากว่าจะทำให้มีการทำงานแต่ละคำสั่งให้เสร็จสิ้นภายใน 1 รอบสัญญาณนาฬิกาได้นั้น ก็แน่นอน ผู้ออกแบบ RISC ก็จะต้องจำกัดขนาดของคำสั่งด้วย ไม่ให้มีขนาดที่ยาวเกินไป ซึ่งโดยปกติแล้วจะใช้ขนาด 1 Word (จะมีขนาดไม่แน่นอน แล้วแต่เครื่อง แต่โดยทั่วๆไป CPU แบบ RISC จะมีขนาดของ Word = 32 Bit) โดยใน 1 Word นั้น ก็จะกำหนดทุกๆอย่างทั้งคำสั่ง, Operation , จะดึง Operand จากที่ไหน , จะให้เก็บผลลัพธ์ (Result) ที่ไหน และ คำสั่งถัดไปอยู่ที่ไหน

คำสั่งในการเข้าถึงหน่วยความจำหลัก จะใช้แค่ load (ดึงข้อมูล) และ store (เก็บข้อมูล) เท่านั้น สถาปัตยกรรมแบบ RISC นั้น เมื่อจะทำการจัดการกับคำสั่งต่างๆ ก็จำเป็นจะต้องนำ Operand มาเก็บไว้ใน Register ก่อน และ ในแต่ละคำสั่งนั้น ก็ถูกจำกัดไว้ที่ 1 Word ซึ่งก็ไม่เพียงพอต่อการเก็บค่าของ Operand ต่างๆ ดังนั้นจึงใช้การอ้างตำแหน่งในหน่วยความจำแทน แต่ การเข้าถึงหน่วยความจำนั้นต้องเสียเวลาอยู่พอสมควร จึงมีการกำหนดให้ใช้เพียงแค่ 2 คำสั่งเท่านั้น คือการ load และ การ store เพื่อลด traffic ระหว่าง หน่วยประมวลผล และ หน่วยความจำ ส่วนเวลาในการ load หรือ store นั้น ก็ขึ้นอยู่กับขนาดของ Operand

ใช้การอ้างตำแหน่งแบบตรงๆ ง่าย เพราะการอ้างแบบซับซ้อน ก็แน่นอน ต้องใช้ช่วงเวลานานกว่า ซึ่งการอ้างตำแหน่งแบบ RISC นั้นจะจำกัดอยู่ 2 แบบ คือ แบบอ้างผ่าน Register (Register Indirect) และ Index โดยการอ้างผ่าน Register นั้น Register จะเก็บค่าตำแหน่งไว้ แล้ว ทำการอ้างตำแหน่งนั้นๆผ่าน Register และในแบบ Index จะเป็นการอ้างตำแหน่งจากค่าคงที่ที่มาในคำสั่งนั้นๆเลย

ใช้ Operation ที่เรียบง่าย ธรรมดาๆ และ มีไม่กี่ Operation เพื่อจะได้ใช้รอบการทำงานน้อยๆ และรวมไปถึงทรัพยากรของระบบที่ใช้ ก็จะใช้น้อยด้วย

4.5 คุณสมบัติของไมโครคอนโทรลเลอร์ AVR AT90S2313

1.โครงสร้างแบบ RISC Architecture

2.ประสิทธิภาพสูง และใช้กำลังงานต่ำ

-มีคำสั่ง 118 ส่วนมากเสร็จใน 1 Cycle

- รีจิสเตอร์ 8 บิตจำนวน 32 ตัว

-ความเร็ว 10 MIPS ที่ความถี่ 10 MHz

3.หน่วยความจำมี 3 ส่วนคือ

-Flash Memory จำนวน 1 กิโลเวิร์ด (2 กิโลไบต์) เขียน/ลบได้ไม่ต่ำกว่า 1000 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ระบบรักษาความปลอดภัย สามารถล็อคไม่ให้อ่านโปรแกรมใน Flash Memory และข้อมูลใน EEPROM ได้

4.อุปกรณ์ภายใน

-มี Timer/Counter 8 บิต จำนวน 1 ตัว พร้อมวงจรหารความถี่ล็อคแยกอิสระ

-มี Timer/Counter 16 บิต จำนวน 1 ตัว พร้อมวงจรหารความถี่ล็อคแยกอิสระ, วงจรเปรียบเทียบ;Capture Mode และ PWM 8,9 หรือ 10 บิต

-Analog Comparator จำนวน 1ตัว

-Programmable Watchdog Timer พร้อม On-Chip Oscillator 1 ชุด

-SPI สำหรับทำ IN-System Programming

-พอร์ตอนุกรม Full Duplex UART 1 ชุด

5.คุณสมบัติพิเศษ

-Low power Idle and Power down mode

-External and Internal Interrupt Source

-เป็นไอซีแบบซีมอสความเร็วสูง

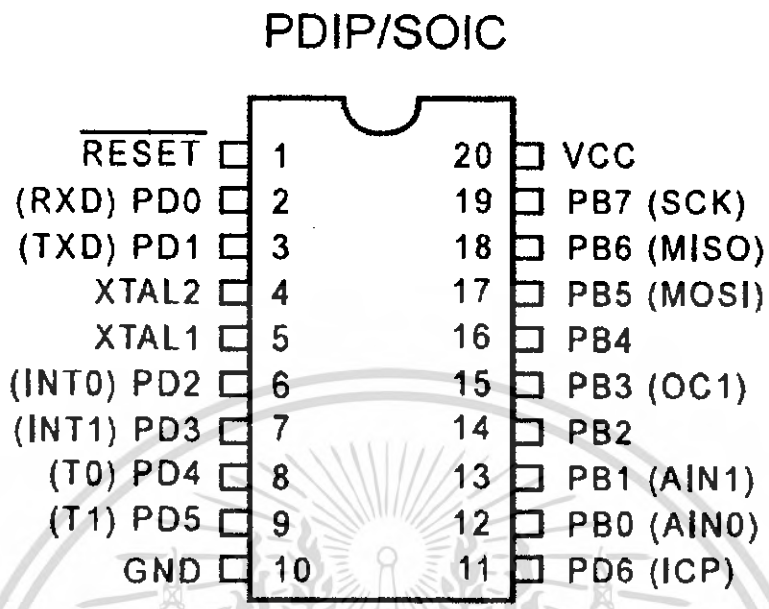
-แรงดันใช้งาน 2.7-6V สำหรับ (AT90S2313-4) และ 4-6V สำหรับ AT90S2313-10

-ความถี่สัญญาณนาฬิกา 0-4 MHz สำหรับ AT90S2313-4 cและ0-10 MHz สำหรับ AT90S2313-10

-ที่ความถี่4 MHz แรงดัน 3V. อุณหภูมิ 25 °C จะใช้กระแสไฟฟ้าในสภาวะ Active เท่ากับ 2.8mA ในสภาวะ Idle เท่ากับ0.8mA และในสภาวะ Power Down จะใช้กระแสไฟฟ้าน้อยกว่า 1μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดขาของไมโครคอนโทรลเลอร์ AVR AT90S2313



รูปที่ 4.4 แสดงการจัดขาของ AT90S2313

-PORT B (PB0 - PB7) เป็นพอร์ต 8 บิตสามารถโปรแกรมให้แต่ละบิตของพอร์ตเป็นอินพุตหรือเอาต์พุตก็ได้แยกอิสระในแต่ละบิต แต่ละขาของพอร์ตสามารถจ่ายกระแสออกไปให้กับอุปกรณ์ภายนอกเช่น LED ได้ถึง 20 mA นอกจากนี้ขา PB0 และ PB1 ยังถูกใช้เป็นอินพุตของ AIN0 และ AIN1 สำหรับ Analog Comparator อีกด้วย

-PORT D (PD0 – PD6) เป็นพอร์ต 7 บิตคุณสมบัติคล้ายกันกับ PORT B นอกจากนี้ PORT D ยังใช้สำหรับทำหน้าที่อื่นได้อีกคือ

PD0 = RXD เป็นขาอินพุตสำหรับพอร์ตอนุกรม

PD1 = TXD เป็นขาเอาต์พุตสำหรับพอร์ตอนุกรม

PD2 = INT0 เป็นขาอินพุตสำหรับอินเตอร์รัพท์จากภายนอก

PD3 = INT1 เป็นขาอินพุตสำหรับอินเตอร์รัพท์จากภายนอก

PD4 = T0 เป็นขาสำหรับรับสัญญาณ Clock จากภายนอกสำหรับ Timer/Counter 0

PD5 = T1 เป็นขาสำหรับรับสัญญาณ Clock จากภายนอกสำหรับ Timer/Counter 1

PD6 = ICP ใช้เป็นอินพุตสำหรับสั่ง Timer/Counter 1 เก็บค่าที่กำลังนับไว้ในรีจิสเตอร์

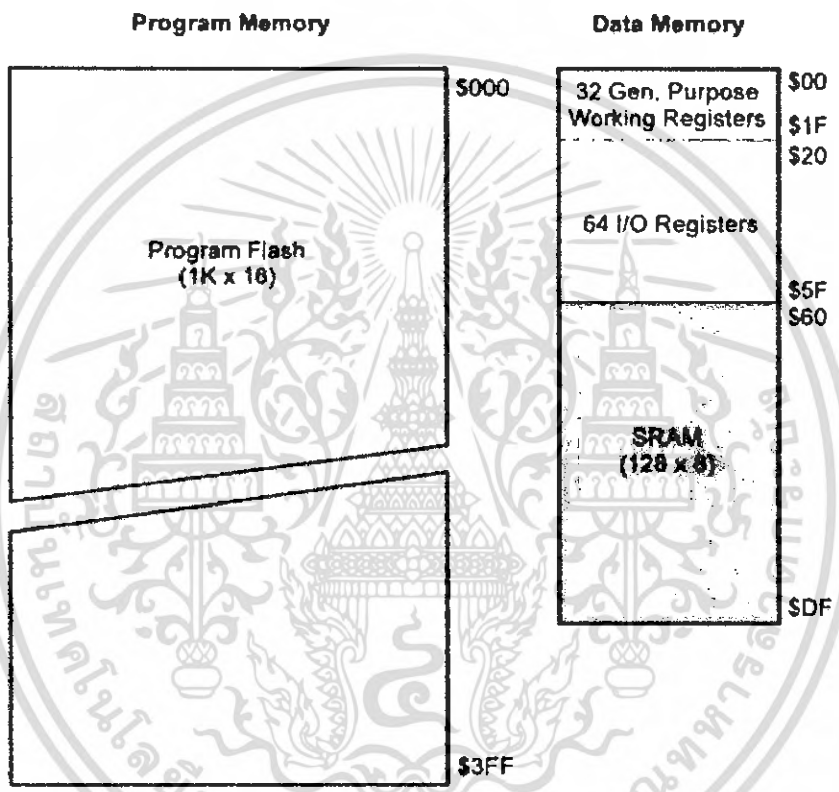
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-RESET เป็นขาสำหรับรีเซ็ท ลอจิก 0 ที่มีเวลามากกว่า 50 nS จะทำให้เกิดรีเซ็ท แม้ว่าจะไม่มีสัญญาณ Clock ก็ตาม

-XTAL1 เป็นขาอินพุตของ Inverting Oscillator Amplifier สำหรับรับสัญญาณ Clock จากภายนอก และเป็นอินพุตสำหรับการทำงานของ Clock ภายใน (กรณีที่เราต่อคริสตอลไว้)

-XTAL1 เป็นขาเอาต์พุตของ Inverting Oscillator Amplifier

หน่วยความจำ (Memory)



รูปที่ 4.5 แสดงการจัดสรรพื้นที่หน่วยความจำของ AT90S2313

สำหรับหน่วยความจำของไมโครคอนโทรลเลอร์ AVR AT90S2313 แบ่งได้ 2 ประเภทคือ

4.6 หน่วยความจำโปรแกรม (Progrm memory)

เป็นหน่วยความจำแบบ Flash memory ซึ่งเป็นหน่วยความจำสำหรับเก็บโปรแกรม มีจำนวน 1 กิโลเวิร์ด 11 เวิร์ดแรกถูกจองไว้สำหรับเป็นตารางอินเตอร์รัพท์ ตำแหน่งเริ่มต้นของโปรแกรมเท่ากับแอดเดรส $00B ไปจนถึง $3FF โดยแต่ละแอดเดรสของ Flash memory สามารถเก็บข้อมูลได้ 16 บิต การเข้าถึงข้อมูล (ข้อมูลไม่ใช่โปรแกรม) ใน Flash memory ทำได้โดยใช้รีจิสเตอร์ Z เป็นตัวชี้แอดเดรส หน่วยความจำส่วนนี้ข้อมูลจะไม่หายไปแม้ว่าจะไม่ได้รับไฟเลี้ยงก็ตาม จึงเหมาะที่จะใช้เก็บโปรแกรม และข้อมูลที่ตายตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำข้อมูล(Data memory)

โดยหน่วยความจำนี้ถูกแบ่งออกเป็น 3 ส่วนคือ

-ส่วนแรกสำหรับรีจิสเตอร์ทั่วไป จำนวน 32 ไบต์ (R0 – R31)

-ส่วนที่สองสำหรับรีจิสเตอร์อินพุตเอาต์พุต อีก 64 ไบต์

-ส่วนที่ สามคือ SRAM ขนาด 128 ไบต์ 8 บิต

4.7 ชุดคำสั่ง Instructure Mnemonic

ตัวแปรภาษา Assembler สำหรับ AVR ยอมรับคำสั่ง Mnemonic ต่อไปนี้

Mnemonics	Operands	Description	Operation	Flags	#Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rdl,K	Add Immediate to Word	Rdh Rdl ← Rdh Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd - K	Z,C,N,V,H	1
SBIW	Rdl,K	Subtract Immediate from Word	Rdh Rdl ← Rdh Rdl - K	Z,C,N,V,S	2
SBC	Rd, Rr	Subtract with Carry two Registers	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd - K - C	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF - Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 - Rd	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	Rd ← Rd • ($FF - K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect Jump to (Z)	PC ← Z	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect Call to (Z)	PC ← Z	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1 / 2
CP	Rd,Rr	Compare	Rd - Rr	Z, N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	Rd - Rr - C	Z, N,V,C,H	1
CPI	Rd,K	Compare Register with Immediate	Rd - K	Z, N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) PC ← PC + 2 or 3	None	1 / 2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b)=1) PC ← PC + 2 or 3	None	1 / 2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC←PC + k + 1	None	1 / 2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC←PC + k + 1	None	1 / 2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1 / 2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1 / 2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1 / 2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1 / 2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V= 0) then PC ← PC + k + 1	None	1 / 2
BRLT	k	Branch if Less Than Zero, Signed	if (N ⊕ V= 1) then PC ← PC + k + 1	None	1 / 2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1 / 2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1 / 2
BRTS	k	Branch if T Flag Set	if (T = 1) then PC ← PC + k + 1	None	1 / 2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1 / 2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1 / 2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1 / 2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1 / 2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1 / 2

รูปที่ 4.6 รูปตารางคำสั่ง Mnemonic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mnemonics	Operands	Description	Operation	Flags	#Clocks
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, - X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, - Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd,Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	- X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	- Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q,Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q,Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P,b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P,b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left Through Carry	Rd(0)←C,Rd(n+1)← Rd(n),C←Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right Through Carry	Rd(7)←C,Rd(n)← Rd(n+1),C←Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n=0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0)←Rd(7..4),Rd(7..4)←Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Twos Complement Overflow	V ← 1	V	1
CLV		Clear Twos Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half Carry Flag in SREG	H ← 1	H	1
CLH		Clear Half Carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	3
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

รูปที่ 4.6(ต่อ) รูปตารางคำสั่ง Mnemonic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การส่งสัญญาณข้อมูลดิจิตอลโดยการมอดูเลต

5.1 หลักการส่งสัญญาณข้อมูลดิจิตอลโดยการมอดูเลต

การสื่อสารในปัจจุบันได้นิยมนำเอาการ มอดูเลตสัญญาณแบบดิจิตอลมอดูเลชั่นมาใช้กันแบบแพร่หลาย เพราะว่าระบบดิจิตอลให้ค่าความแน่นอนน่าเชื่อถือสูงกว่าระบบแอนาลอก และมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำ ซึ่งในระบบปัจจุบันนี้ อุปกรณ์ต่าง ๆ ในด้านดิจิตอลได้มีการพัฒนาก้าวหน้าไปอย่างรวดเร็ว ทำให้ต้นทุนการผลิตอุปกรณ์ต่ำลง และนอกจากนี้แล้วระบบดิจิตอล มอดูเลชั่นยังสามารถทำการเข้ารหัส (Encode) ก่อนทำการมอดูเลต แล้วทำการถอดรหัส (Decode) หลังการดีมอดูเลต ทำให้การส่งข้อมูลมีความผิดพลาดน้อยลง ในการมอดูเลชั่นทางดิจิตอลมีด้วยกัน 3 แบบใหญ่ ๆ คือ

1. การเปลี่ยนขนาดของสัญญาณตามสัญญาณดิจิตอล (Amplitude Shift Keying, ASK)
2. การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying, FSK)
3. การเปลี่ยนเฟสตามสัญญาณดิจิตอล (Phase Shift Keying, PSK)

5.1.1 การเปลี่ยนขนาดตามสัญญาณดิจิตอล (Amplitude Shift Keying, ASK)

รูปคลื่นที่ได้จากการมอดูเลตสัญญาณแบบดิจิตอลเปลี่ยนขนาดตามสัญญาณที่ได้ ตามระดับของสัญญาณดิจิตอลที่เปลี่ยนแปลงไป ที่ระดับดิจิตอลมีสถานะเป็นลอจิก "0" สัญญาณพาหะที่ได้จะมีนาคอยู่ในระดับต่ำ และถ้าสัญญาณที่ได้มีสถานะเป็นลอจิก "1" สัญญาณพาหะที่ได้จะอยู่ในระดับที่สูง วงจรที่ใช้มอดูเลตเป็นวงจรที่ง่าย ราคาถูก แต่ข้อเสียคือวงจรทางภาคดีมอดูเลตจะเกิดความผิดพลาดได้ง่าย อันเนื่องมาจากสัญญาณรบกวนที่จะมีผลต่อขนาดของสัญญาณ และทางภาครับยังต้องมีวงจรชดเชยการลดทอนของสัญญาณในสายอัตโนมัติ และอัตราการส่งข้อมูลอยู่ในระดับที่ต่ำ

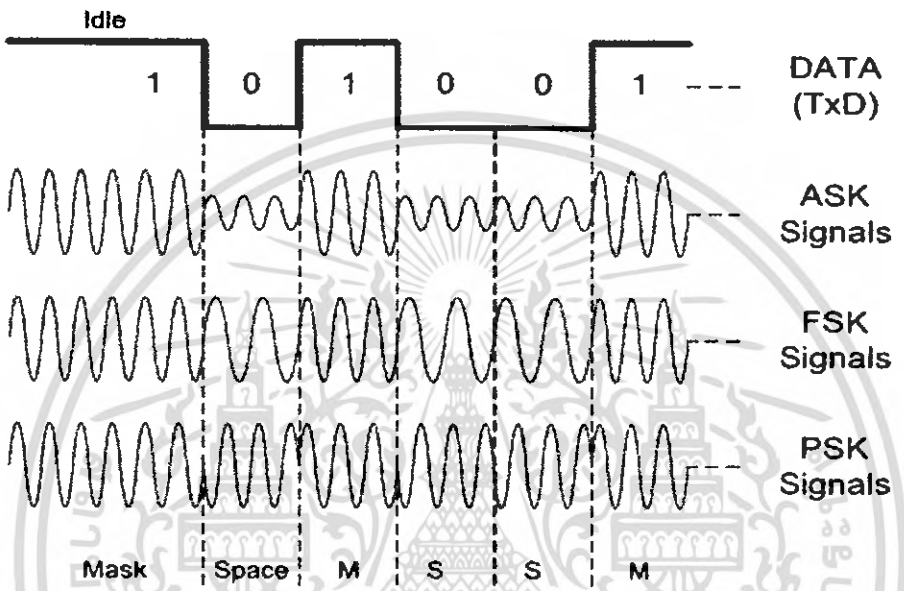
5.1.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying, FSK)

รูปคลื่นสัญญาณที่ได้จากการมอดูเลตแบบนี้ จะเป็นการเปลี่ยนความถี่ตามสัญญาณดิจิตอล ถ้าสัญญาณดิจิตอลเป็น 0 หรือเป็น 1 สัญญาณคลื่นพาหะที่ได้จะมีความถี่ที่ต่างกัน อัตราการส่งข้อมูลจะมีอัตราการส่งข้อมูลที่สูงกว่า เอ.เอส.เค เล็กน้อย สำหรับการส่งสัญญาณในสายที่ที่มีแบนด์วิดท์ (Bandwidth) ไม่เกิน 3.4 KHz จะสามารถส่งอัตราบิตเลต ได้ไม่เกิน 1200 บิตต่อวินาทีและวงจรยังมีส่วนประกอบของวงจรที่ง่าย และมีเสถียรภาพต่อสัญญาณรบกวนได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 การเปลี่ยนเฟสตามสัญญาณดิจิตอล (Phase Shift keying, PSK)

รูปคลื่นพาหะที่ได้จะมีการเปลี่ยนเฟสตามสัญญาณดิจิตอล จะส่งสัญญาณที่ความถี่เดียวกัน แต่เฟสของสัญญาณ จะต่างกันตามสัญญาณดิจิตอลที่เข้ามา 0 กับ 1 มีเฟสต่างกัน 180 องศา วงจรของภาครับและภาคส่งข้อมูลมีความยุ่งยากมาก ราคาสูง แต่สามารถส่งอัตราข้อมูลได้สูงกว่า 1200 บิตต่อวินาที แต่ไม่ค่อยมีเสถียรภาพต่อสัญญาณรบกวนนัก



รูปที่ 5.1 แสดงการมอดดูเลตสัญญาณดิจิตอลแบบต่างๆ

จากที่กล่าวมาการส่งสัญญาณแบบ เอฟ.เอส.เค จะมีเสถียรภาพต่อสัญญาณรบกวนได้ดีกว่าแบบ เอ.เอส.เค และ พี.เอส.เค ถึงแม้ว่าอัตราการส่งข้อมูลอยู่ในระดับที่น้อยกว่า พี.เอส.เค แต่การควบคุมอุปกรณ์ไฟฟ้าไม่จำเป็นจะต้องใช้อัตราการส่งข้อมูลที่สูงมากนัก แต่ต้องการความเสถียรภาพต่อสัญญาณที่สูงดังนั้นเราจึงเลือกใช้การส่งข้อมูลแบบ เอฟ.เอส.เค

การมอดูเลตแบบ เอฟ.เอส.เค ที่ใช้จะใช้ความถี่อยู่ 2 ความถี่ ที่สถานะลอจิก "1" ใช้ความถี่ 125 KHz เป็นความถี่มาร์ค (Mark Frequency) และที่สถานะลอจิก "0" ใช้ความถี่ 115 KHz เป็นความถี่สเปซ (Space Frequency) อัตราการส่งข้อมูลทางอินพุทเรียกว่าอัตราบิต (Bite Rate) โดยมีหน่วยเป็นบิตต่อวินาที (bps) และอัตราการรับข้อมูลทางด้านรับเรียกว่าอัตราบอด (Baud Rate) ดังนั้น การส่งสัญญาณในอัตราบิตและอัตราบอดต้องเท่ากันเสมอ สัญญาณที่ลอจิก 0 ให้เป็น 1 ω และที่ลอจิก 1 ให้เป็น 2 ω และเราก็จะได้สมการการมอดูเลตแบบ FSK ตามสมการนี้

$$V(t) = A.\cos(\omega_c \pm \Delta\omega)t \qquad \textbf{(5.1)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A = ขนาดของสัญญาณ FSK

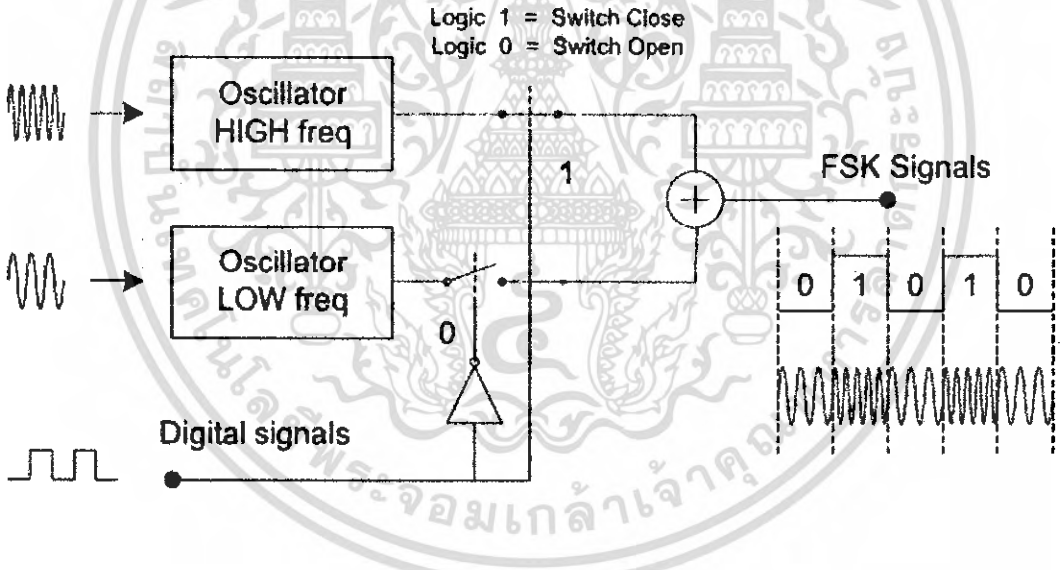
$\omega_c = 2\pi f_c$

$\Delta\omega$ = ความถี่เบี่ยงเบนของความถี่มาร์คและความถี่สเปซ

t = เวลา

5.2 การมอดูเลตสัญญาณดิจิตอลทางความถี่ (FSK Modulator)

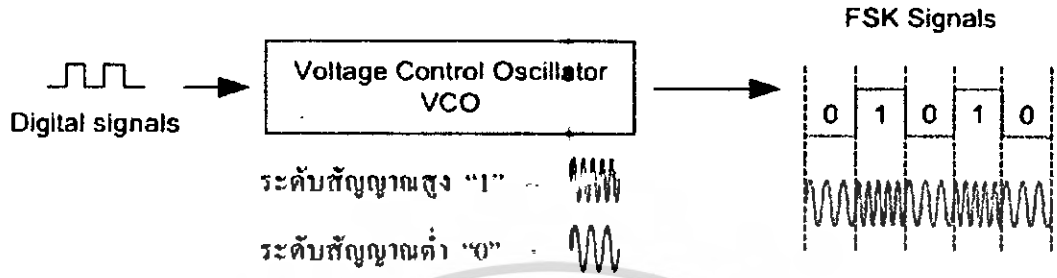
การมอดูเลตสัญญาณดิจิตอลทางความถี่ คือการมอดูเลตทางความถี่ของคลื่นพาห์ โดยความแตกต่างของความถี่ คลื่นพาห์จะบอกถึงค่าของข้อมูลดิจิตอลการมอดูเลตสัญญาณดิจิตอลทางความถี่ (FSK Modulator) จะทำการเปลี่ยนข้อมูลดิจิตอลแบบอนุกรมเป็นคลื่นไซน์อนาล็อก โดยความถี่สูงแทนลอจิก "1" หรือความถี่ "มาร์ค" และความถี่ต่ำแทนลอจิก "0" หรือความถี่ "สเปซ" โดยป้อนข้อมูลดิจิตอลเข้าสู่วงจร FSK Generator ตามรูปที่ 5.2 วงจร FSK Generator จะทำหน้าที่เปลี่ยนข้อมูลดิจิตอลเป็นความถี่คลื่นไซน์อนาล็อกตามระดับของลอจิกของสัญญาณดิจิตอล



รูปที่ 5.2 หลักการทำงานเบื้องต้นของวงจร FSK Generator

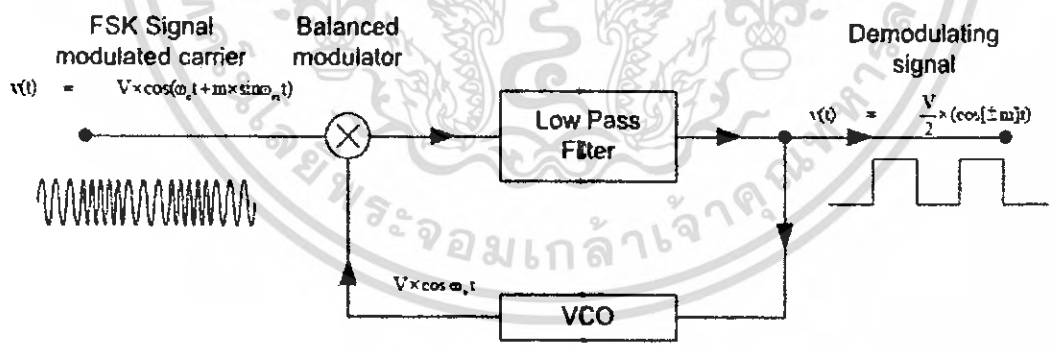
การงานตามรูปข้างบนนี้จะมีวงจรกำเนิดความถี่ 2 วงจรคือ วงจรผลิตความถี่สูง (High frequency) และวงจรผลิตความถี่ต่ำ (Low frequency) ในการกำเนิดสัญญาณ FSK เบื้องต้นนั้นเราจะใช้สวิทซ์ในการ เปิด/ ปิด ความถี่ดังรูปข้างบน โดยสัญญาณดิจิตอลลอจิก "1" จะถูกแทนด้วยความถี่สูง และสัญญาณดิจิตอลลอจิก "0" จะถูกแทนด้วยความถี่ต่ำ จากนั้นจะส่งมารวมกันให้เป็นสัญญาณ FSK ส่งออกไปยังวงจรภาคต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 หลักการทำงานเบื้องต้นในการใช้วงจรโวลต์เตจคอนโทรลในการกำเนิดสัญญาณ FSK

สัญญาณดิจิตอลจะถูกป้อนเข้าสู่ วงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ เพื่อจะทำการเปลี่ยน เป็นสัญญาณ FSK โดยวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ จะทำหน้าที่ในการแปลงระดับลอจิกของสัญญาณดิจิตอลไปเป็นความถี่ต่าง ๆ



รูปที่ 5.4 หลักการทำงานเบื้องต้นในการดีมอดูเลตสัญญาณ FSK

หลักการทำงานก็คือแรงดันกระแสตรงที่ออกมาจากวงจร Low pass filter จะถูกใช้ควบคุมความถี่ของโวลท์เตจคอนโทรล ออสซิลเลเตอร์ซึ่งถ้าความถี่อินพุทเปลี่ยนไปแรงดันที่ควบคุมโวลท์เตจคอนโทรลออสซิลเลเตอร์นี้ก็จะเปลี่ยน วงจรนี้ต้องถูกออกแบบมาเพื่อให้การเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันนี้ไป เปลี่ยนแปลงแรงดันนี้ไปเปลี่ยนแรงดันที่ควบคุมโวลท์เตจคอนโทรลออสซิลเลเตอร์ให้เคลื่อนไปตามอินพุทด้วยก็จะทำ ให้ได้ลูปซึ่งควบคุมความถี่ด้วยโวลท์เตจคอนโทรลออสซิลเลเตอร์ที่ทำงานกับความถี่อินพุท ถ้าการเปลี่ยนแปลงของความถี่อินพุทอันเนื่องมาจากอินพุทสัญญาณฟรีเควนซี่ชิพคีย์อิ้ง โวลท์เตจคอนโทรลออสซิลเลเตอร์ที่ควบคุมแรงดันก็จะเป็นแรงดันซึ่งเปลี่ยนแปลงเป็นขั้นด้วยสัญญาณฟรีเควนซี่ชิพคีย์อิ้ง ดังนั้นโวลท์เตจคอนโทรลออสซิลเลเตอร์ที่ควบคุมแรงดัน จะเป็นตัวดีมอดูเลตข้อมูลฟรีเควนซี่ชิพคีย์อิ้ง

สัญญาณฟรีเควนซี่ชิพคีย์อิ้งและเอาท์พุทของโวลต์เตจคอนโทรลออสซิลเลเตอร์จะผ่านเข้ามาสู่วงจรคูณ (Balance Modulator) ให้สัญญาณฟรีเควนซี่ชิพคีย์อิ้งมีสมการเป็น

$$V(t) = V\cos(\omega_c t + m\sin\omega_m t) \qquad \textbf{(5.2)}$$

และด้วยรูปคลื่นมอดูเลตที่เป็นไบนารี่ก็จะได้

$$V(t) = V\cos(\omega_c t \pm m) \qquad \textbf{(5.3)}$$

ให้สัญญาณโวลท์เตจคอนโทรลออสซิลเลเตอร์เป็น $V\cos\omega_v t$

เมื่อคูณเข้าด้วยกันจะได้ $V(t) = V\cos(\omega_c t \pm m)\cos(\omega_v t)$

$$= \frac{V}{2}(\cos[\omega_c + \omega_v \pm m]t + \cos[\omega_c - \omega_v \pm m]t) \qquad \textbf{(5.4)}$$

ถ้าความถี่ ω_c และ ω_v มีค่าเท่ากันก็จะได้

$$V(t) = \frac{V}{2}(\cos[2\omega \pm m]t + \cos[\pm m]t) \qquad \textbf{(5.5)}$$

ในเทอมของ 2ω จะถูกกรองออกไปด้วยวงจรกรองความถี่ต่ำผ่านเหลือแต่

$$V(t) = \frac{V}{2}(\cos[\pm m]t) \qquad \textbf{(5.6)}$$

5.3 ทฤษฎีในการส่งข้อมูลอนาลอกและดิจิตอล

เวลาส่งผ่านข้อมูลไปในสื่อที่จะเป็นรูปแบบของสัญญาณแบ่งออกเป็น 2 ชนิด คือ Analog และDigital ก่อนที่จะส่งต้องมีการแปลงสัญญาณให้อยู่ในรูปของ 0 และ 1 หรือBinaryFrom(ASCII) ข้อมูลที่เก็บในคอมพิวเตอร์จะเก็บอยู่ในรูปของ 0 และ 1 ก่อนจะส่งต้องมีการแปลงสัญญาณเป็น Digitalก่อน ถึงจะส่งได้ (เรียกว่า Digital to Digital หรือ encoding digital data into a digital signal) บางครั้งต้องการแปลงสัญญาณ Analog ให้อยู่ในรูปของสัญญาณ Digital เพื่อคุณภาพสัญญาณที่ดีขึ้น (เรียกว่า analog to digital หรือ encoding analog data into a digital signal)บางทีอาจมีการแปลงสัญญาณ digital เป็น analog เพื่อส่งข้อมูลลงสายโทรศัพท์ เช่น Modem (เรียกว่า digital to analog หรือ encoding digital data into a analog signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

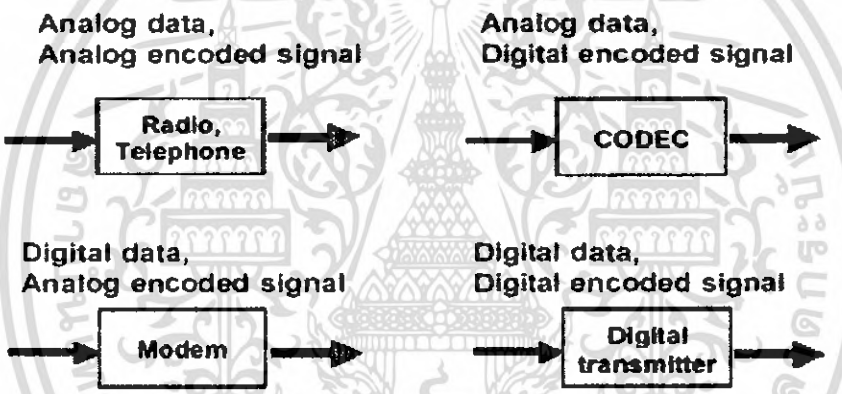
ในบางเวลาอาจมีการแปลงสัญญาณ analog ให้อยู่ในรูปของสัญญาณ analog เพราะความถี่ไม่เหมาะสม ที่จะส่งไปหรือความถี่ต่ำไปเช่น สัญญาณวิทยุ(เรียกว่า analog to analog หรือ encoding analog data into a analog data)

การแปลงสัญญาณมี 4 กระบวนการ คือ

1. digital data , digital signals
2. analog data , digital signals
3. digital data , analog signals
4. analog data, analog signals

Modulation ใช้ในการแปลงสัญญาณ analog

Encoding ใช้ในการแปลงสัญญาณ digital



รูปที่ 5.5 แสดงพื้นฐานของการแปลงสัญญาณทั้ง 4

Digital to Digital

เป็นการเปลี่ยนข้อมูลในระดับบิตไปเป็นสัญญาณดิจิตอล เช่น ในการส่งข้อมูลจาก Computer ไป Printer ทำโดยการเอา บิต 1 และ 0 มาใส่พลังงานไฟฟ้า (Voltage) แล้วกระจายลงในสายสัญญาณให้เป็น pulse

Encoding Schemes

- Nonreturn to Zero-level (NRZ-L)
- Nonreturn to Zero Inverted (NRZI)
- Bipolar - AMI
- Pseudoternary
- Manchester
- Differential Machester

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- B8ZS
- HDB3

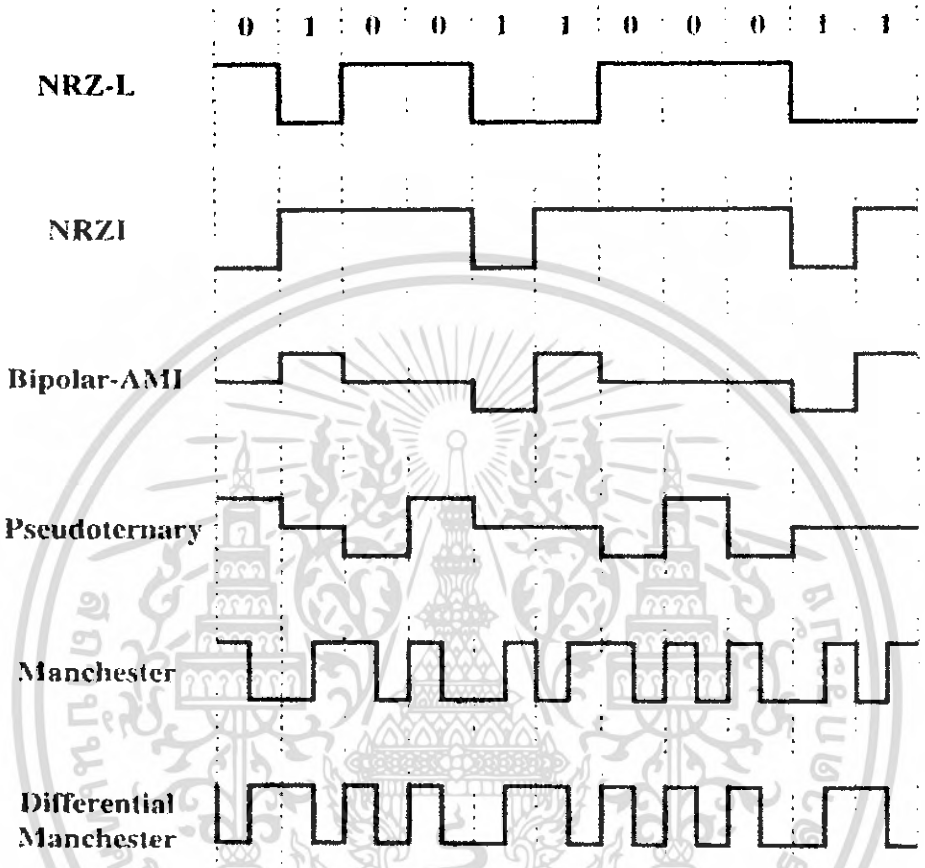


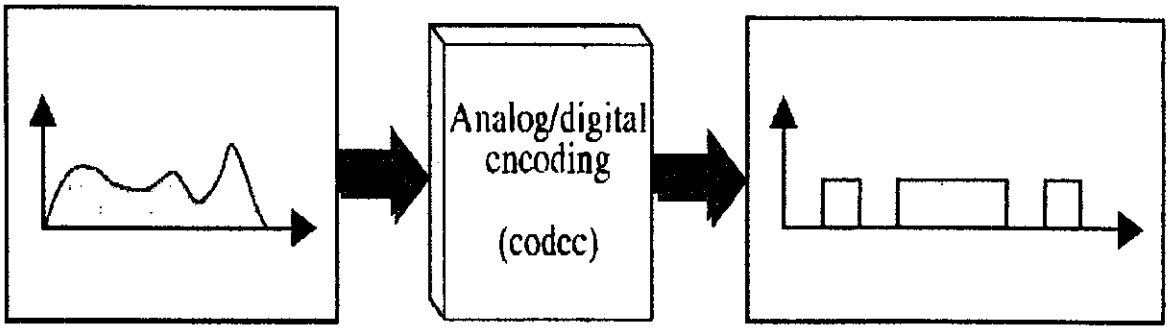
Figure 5.2 Digital Signal Encoding Formats

รูปที่ 5.6 รูปแบบของสัญญาณดิจิตอล

Analog to Digital

ในบางครั้งเราต้องแปลงสัญญาณ Analog เป็น Digital เช่น เสียงคนที่ต้องส่งในระยะทางไกล เราจะต้องแปลงเสียงเป็น Digital เสียก่อนเช่นนี้เรียกว่า analog - to - digital เป็นการแปลงสัญญาณอนาล็อกไปเป็นสัญญาณดิจิตอล โดยผ่านวิธีการ Codec (Coder -Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

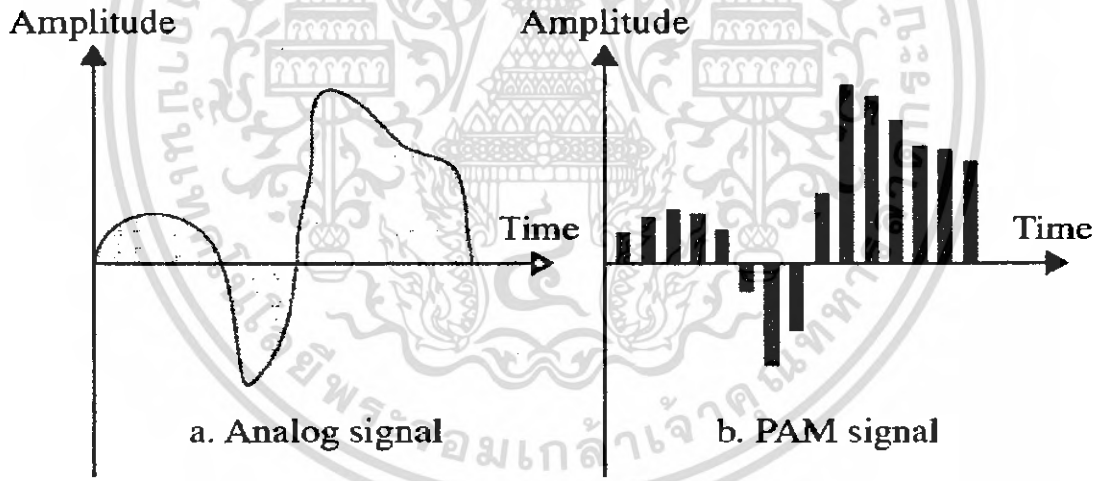


รูปที่ 5.7 แสดงรูปแบบการแปลงสัญญาณของ A/D

ส่วนใหญ่จะใช้วิธี PCM ในการแปลงสัญญาณวิธีโดยทำการสุ่มช่วงเวลาใดเวลาหนึ่งทำให้เป็นไม่ต่อเนื่องกัน โดยให้ขนาดของ Amplitudeเท่าเดิม (ถ้า sampling ถี่มากก็จะเป็นต่อเนื่องเหมือนเดิม) Quantizing ทำให้สัญญาณเป็น digital โดยสมบูรณ์คือจะต้องใส่ Voltage เข้าไปในแต่ละ levels ของ pulses

Pulse Amplitude Modulation (PAM)

ขั้นแรกของการ PCM จะต้องทำ PAM ก่อน คือการเอาข้อมูลที่เป็น analog มาทำการ Sampling



รูปที่ 5.8 แสดงการ Sampling สัญญาณ Analg

Pulse Code Modulation (PCM)

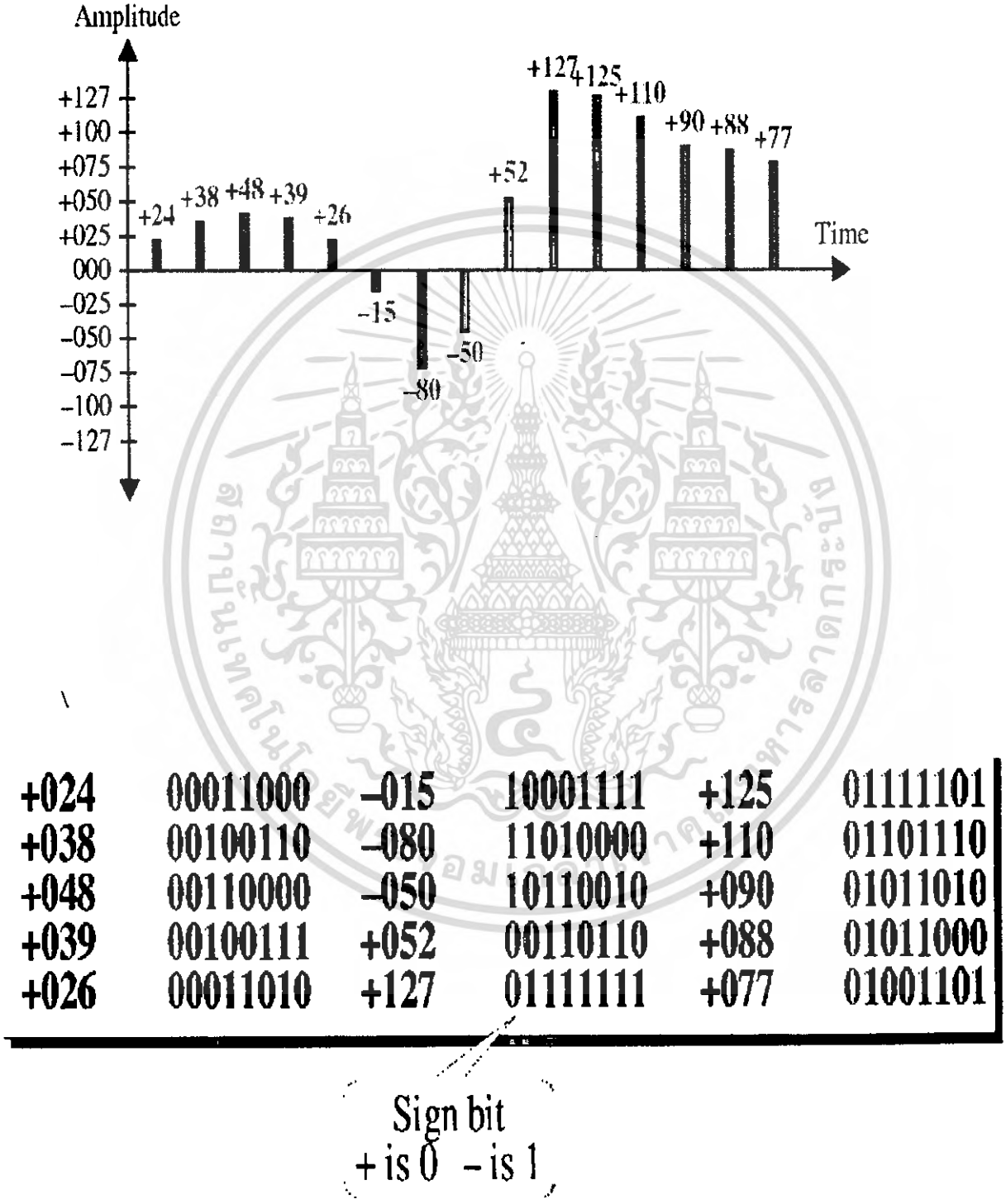
PCM จะแก้ไข pulses ที่สร้างโดย PAM ให้เป็น digital signal ที่สมบูรณ์

PCM ทำให้เป็น digital โดยสมบูรณ์มี 4 ขั้นตอนคือ

- PAM
- ใส่ Voltage (Quantization)

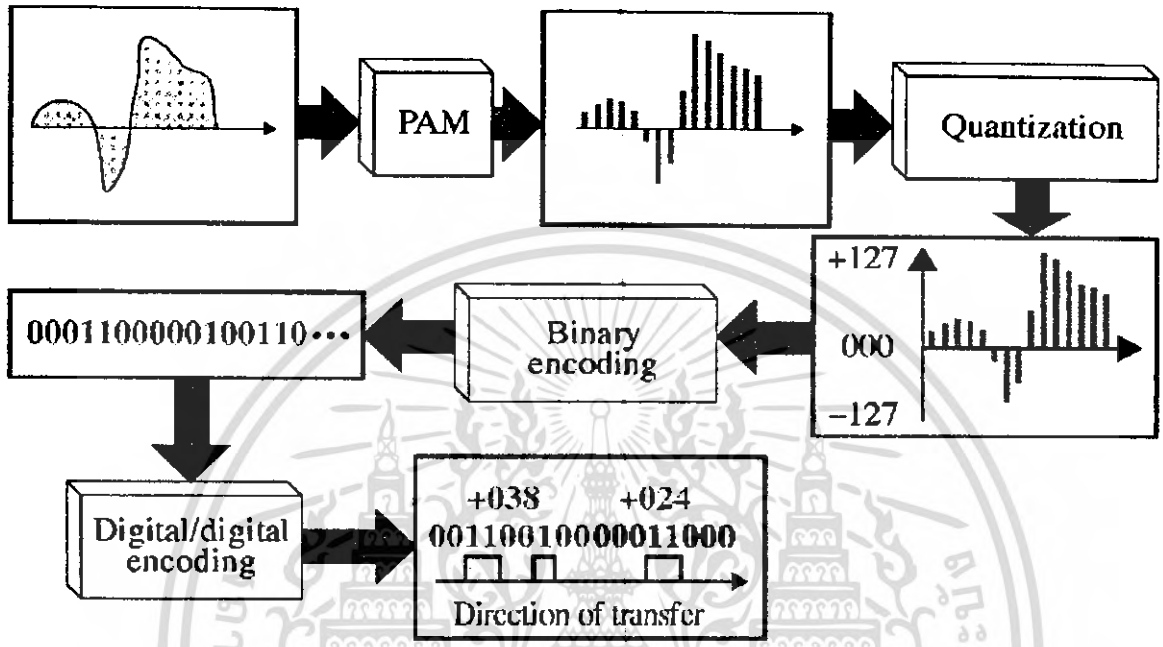
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เข้ารหัสเป็น Binary (Binary Eencoding)
- เปลี่ยน Binary เป็น digital แล้วส่งออกไป (Digital - to - digital Encoding)



รูปที่ 5.9 แสดงข้อมูลดิจิตอลจากระดับอาลีอก

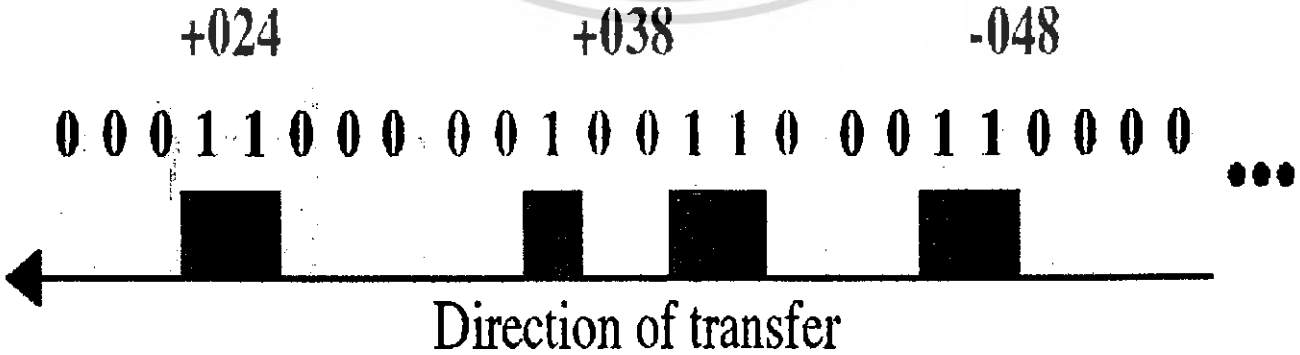
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



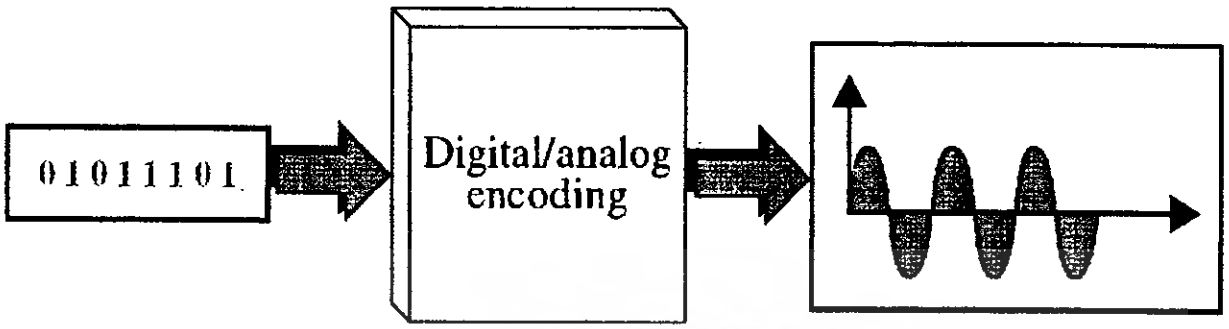
รูปที่ 5.10 แสดงบล็อกของการแปลงสัญญาณ

Digital to Analog

Digital - to - Analog เป็นการแปลงสัญญาณจากดิจิตอลไปเป็นอนาล็อก เช่น การเปลี่ยนข้อมูลจากคอมพิวเตอร์เพื่อส่งผ่านสายโทรศัพท์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงการแปลงข้อมูลจากดิจิตอลกลับเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่6

การออกแบบและการทดลอง

6.1.การออกแบบ

การออกแบบวงจรทั้งหมดจะมีส่วนของโลคอลออสซิลเลเตอร์ วงจรโลว์พาสฟิลเตอร์สำหรับภาคเฟลดีเทคเตอร์เพื่อกำหนดความถี่ที่จะผ่านเข้าไปไบอัสให้กับวาริแคปไดโอดด้วย นอกจากนี้วงจรโลว์พาสฟิลเตอร์ต้องสามารถกำจัดริปเปิลที่เกิดขึ้น ณ เอาท์พุตได้อีกด้วย

6. 1.1การออกแบบ VCO ของภาครับ

$F_{min} \approx 15.40\ [15.775]\ MHZ$

$F_{max} \approx 16.50\ [16.125]\ MHZ$

ค่าพารามิเตอร์ต่างๆของ VCO VARICAP MV 2111

$C_{min} \approx 47.00\ pF\ /\ 4.0\ V\ ,\ r_{P(F\,max)} \geq 55.32K\ \Omega$

$C_{max} \approx 65.50\ pF\ /\ 1.5\ V\ ,\ r_{P(F\,min)} \geq 24.57K\ \Omega$

$C_{FIX}\ \max \leq 78.02\ pF$

COLLECTOR LOAD

$R_{LC} \approx 0.0\ \Omega\ ,C_{LC} \approx \infty\ pF$

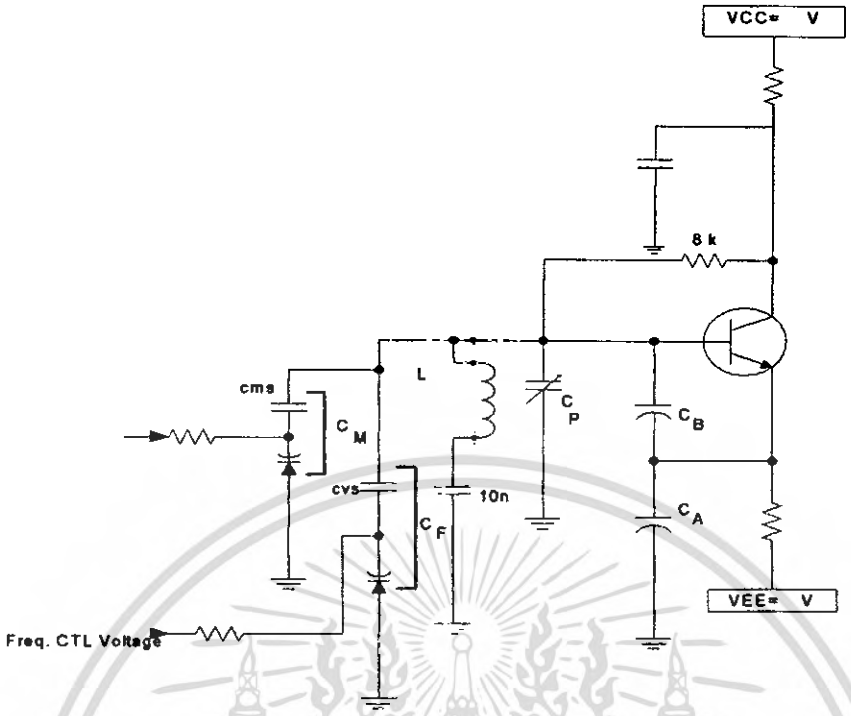
EMITTER LOAD

$R_{LE} \approx 10K\ \Omega\ ,C_{LC} \approx 20\ pF$

TRANSISTOR PARAMETERS (TA7358 OSC port BF240 is Assumed)

$I_{CQ} \approx 0.75\ mA$	$V_{CEQ} \approx 0.77\ V$
$V_{BE} \approx 0.6578\ V$	$r_{ce} \approx 155.3K\ \Omega$
$\beta_0 \approx 135.6\ A/A$	$r_{b'c} \approx 21.07M\ \Omega$
$r_{bb'} \approx 10\ \Omega$	
$r_{b'e} \approx 4.675K\ \Omega$	$C_{b'c} \approx 0.8308\ pF$
$g_m \approx 29.01\ mS$	$C_{b'e} \approx 13.02\ pF$
$\lvert\beta_{f\,max}\rvert \approx 19.98\ A/A$	$F_T \approx 333.3\ MHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 วงจร VCO ภาครับ

VCO

$C_{TOTAL}\ F_{max} \approx 62.03\ pF$

$C_{VS} \approx 150\ pF$

$C_P \approx 11.59\ pF$

$\Delta C_F \approx 9.804\ pF$

$C_{Fmin} \approx 35.79\ pF$

$C_{F\,max} \approx 45.59\ pF$

C_B

$C_{BTOTAL} = C_B + C_{b'e}$

$C_{BTOTAL} \geq 14.73\ pF$

$C_B \geq 1.713\ pF$

$C_B = 68\ pF$

C_A

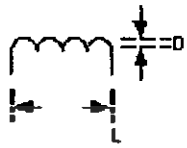
$C_{ATOTAL} = C_A + C_{LE}$

$C_{ATOTAL} \geq 29.86\ pF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_A \geq 9.856\ pF$

$C_A = 68.0\ pF$



Averange coil diameter

2.5 mm.

4.153 mm. , 35 turns

L= 1500 nH

6.1.2.การออกแบบวงจร LPF

วงจรกรองความถี่ต่ำสำหรับเอาท์พุตจากเฟสล็อคลูปเป็นวงจรสังเคราะห์ความถี่สำหรับที่ความถี่สูง จะมีการต่อค่าC_2 เพิ่มขึ้นไปด้วย

ความถี่เอาท์พุตอยู่ในช่วง : $F_{out} = 15.775 - 16.125\ MHz$

$\text{Re}f\ Freq\ at\ PD: F_{ref} : F_{ref} = 12.50\ KHz : F_{X-TAL} = 6.400\ Hz/R = 512$

$F_{out} = F_{ref}.\ N_T : N_T = NP + A$

$\text{Pr}escale\ Factor\ P = 1 \quad A = 0$

$N_{RANGE} = 1262 + 2n\ (n = 0-14)$

$N_T = 1262 - 1290$

$PD\ Type : 3\ STATES\ PFD$

$PD\ output = 4.75\ V$

$K_d = 0.378\ V/Rad$

$f_{VCO\,min} = 15.50\ MHz \quad at \quad which \quad 1.50\ V$

$f_{VCO\,max} = 16.40\ MHz \quad at \quad which \quad 4.00\ V$

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}} \approx 2.626\ \frac{Rad/Sec}{v}$$

Pull out Range : $\Delta\omega_{PO}$ (1),(2) : $\Delta\omega_{PO}$ max is the dynamic limit of stable operation of the PLL

The PLL will UNLOCK if a frequency step is larger than $\Delta\omega_{PO}$ max

EX – OR or Multiplier PD $\Delta\omega_{PO}$ max is depend on ωn and δ of the PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ALL Types PFD $\Delta\omega_{PO}$ max are as large as Δf_{VCO}

$\Delta\omega$ max at PD = $2\pi\left(\frac{f_{o\max}}{N_{T\min}} - F_{REF}\right)$ = 277.3Hz = 1743 Rad/Sec

$\Delta\omega_{\max}$ at PD $\leq$ $\Delta\omega_{PO}$ at PD $<$ $2\pi F_{REF}$

Let $\Delta\omega_{PO} \approx$ 2500 Rad/Sec

Let Damping : $\delta \approx$ 1.14

Natural Freg : ω_n

$$\omega_n \approx \begin{cases} \Delta\omega_{PO}/(2.46(\delta+0.5)) & \text{EX-OR} \\ \Delta\omega_{PO}/(5.78(\delta+0.5)) & \text{JK FF PD} \\ \Delta\omega_{PO}/(11.55(\delta+0.5)) & \text{All types PFD} \end{cases}$$

optimization of Damping

Condition	δ
Minimize Noise BW	0.5
Minimize Pull in Time	0.707
Maximize Sweep Rate	0.7-1.0
Maximize Pull out	0.81
Minimize flicker – jitter	1.14

จะได้ว่า ω_n = 132.0 Rad/Sec , δ = 1.14

Loop BW : $BW_{lp} = \omega_n\left(1+2\delta^2+\sqrt{\left(1+2\delta^2\right)^2+1}\right)^{1/2}$ = 357.4 Rad/Sec

Damping: δ	BW_{lp}	**Damping:** δ	BW_{lp}
0.5	1.817 ω_n	0.81	2.198 ω_n
0.7	2.049 ω_n	1.00	2.482 ω_n
0.707	2.058 ω_n	1.14	2.708 ω_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fast Lock Range : $\Delta\omega_L$: If the frequency changes at PD is less than $\Delta\omega_L$

The PLL will Lock within one beat- note

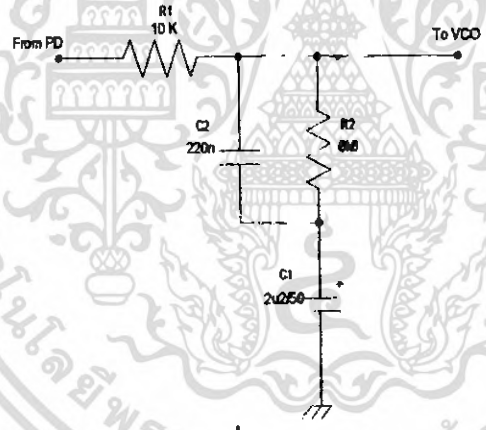
$$\Delta\omega_L \text{ at PD} = \begin{cases} \pi\delta\omega_n & \text{EX – OR or multiplier} \\ 2\pi\delta\omega_n & \text{JK F/F} \\ 4\pi\delta\omega_n & \text{All types PFD} \end{cases}$$

$\Delta\omega_L$ at PD $\approx$ 1719 Rad/Sec

$$\Delta F_L \text{ at output} \approx \frac{\Delta\omega_L \, at PD \times N_{T\min}}{2\pi} \approx 2.169 \text{ M R/s} = 345.3\text{KHz}$$

$$\text{Fast Locking time} \approx \frac{2\pi}{\omega_n} \approx 47.61\text{Sec}$$

PASSIVE Loop LPF



รูปที่ 6.2 LPF ภาครับ

For $\omega_{p2} \geq \omega_z$

$$F(S) = \frac{\omega_{P1}\omega_{P2}}{\omega_Z} \cdot \frac{S+\omega_Z}{(S+\omega_{P1})(S+\omega_{P2})}$$

$$\omega_{P1} = \frac{1}{\tau_1+\tau_2} = \frac{1}{C_1(R_1+R_2)}$$

$$\omega_Z = \frac{1}{\tau_2} = \frac{1}{R_2C_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{P2} = \frac{1}{R_{eqP2}C_2} \; ; \; R_{eqP2} = R_1 // R_2$$

$$\tau_1 + \tau_2 = \frac{K}{\omega_n^2 N_T} = 38.47 \; mSec$$

$$\tau_2 = \frac{2\varsigma}{\omega_n} - \frac{N_T}{K} = 15.78 \, mSec$$

$$\tau_1 = (\tau_1 + \tau_2) - \tau_2 = 22.69 \; mSec$$

ใช้ค่า $C_1 = 2.2 \; \mu F$

$R_1 = \frac{\tau_1}{C_1} = 10.31 \text{ K } \Omega$ ใช้ค่า $R_1 = 10k \; \Omega$

$R_2 = \frac{\tau_2}{C_1} = 7.173\text{K } \Omega$ ใช้ค่า $R_2 = 6.8k \; \Omega$

$\omega_{P1} = \frac{1}{C_1(R_1 + R_2)} = 27.06 \quad Rad/Sec$

$\tau_2 = 14.96 \quad mSec$

$R_{eqP2} = R_1 // R_2 = 4048 \quad \Omega$

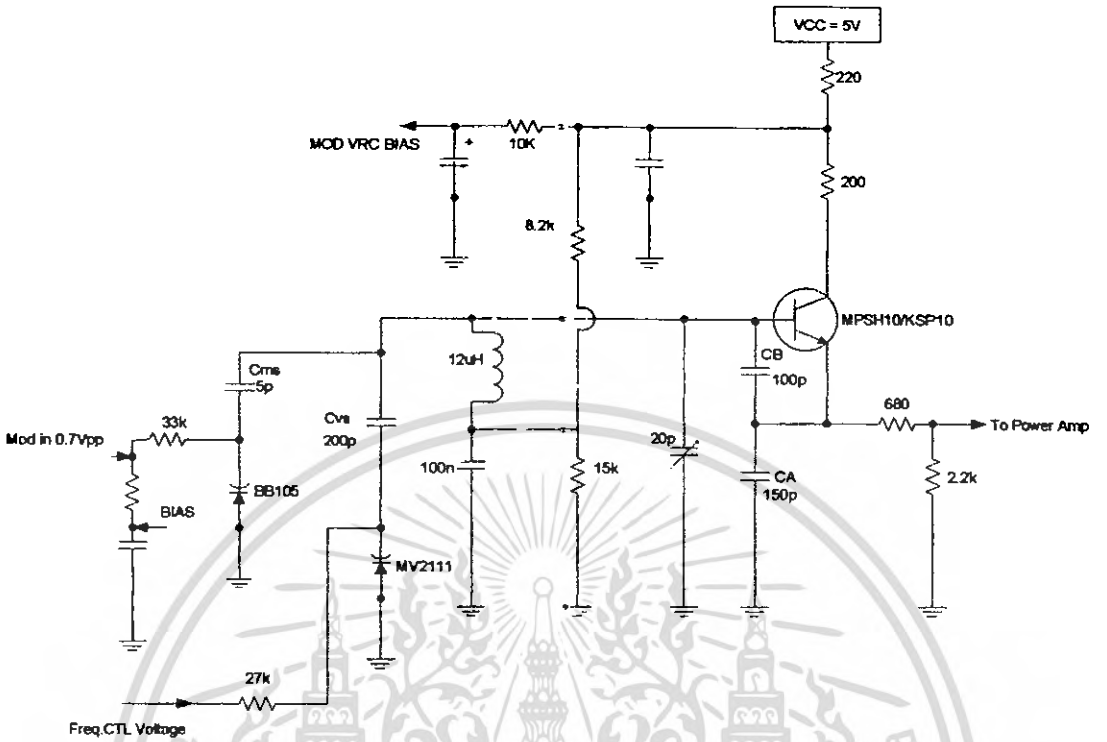
$C_2 = \frac{1}{(\omega_{P2} R_{eqP2})} = 0.247 \; \mu F$

ใช้ค่า $C_2 = 0.220 \; \mu F$

$\omega_{P2} = \frac{1}{C_2 R_{eqP2}} = 1123 \text{ Rad/Sec}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การออกแบบวงจร VCO ของภาคส่ง



รูปที่ 6.3 VCO ของภาคส่ง

$f_{min} \approx 4.900$ [5.075] MHz

$f_{max} \approx 5.600$ [5.425] MHz

MOD Deviation $\approx$ 4.0 KHz

C_{Fix} max $\leq$ 82.73 pF

VCO Varicap MV2111

$C_{min} \approx 45.51$ pF/ 4.40 V, $r_{P(f_{max})} \geq 49.73$ KΩ

$C_{max} \approx 84.77$pF/ 0.70 V, $r_{P(f_{min})} \geq 10.86$ KΩ

MOD Varicap BB105

$C_{min} \approx 5.718$ pF/ 4.0 V, $r_{P(f_{max})} \geq 626.8K\Omega$

$C_{max} \approx 58.14$pF/ 0.75 V, $r_{P(f_{min})} \geq 473.8$ KΩ

COLLECTOR LOAD

$R_{LC} \approx 200.0\ \Omega$, $C_{LC} \approx 10.0$ pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EMITTER LOAD

$R_{LE} \approx 2.5\,K_0\ \Omega$, $C_{LE} \approx 3.0$ pF

TRANSISTOR MPSH10/KSP10

$I_{CQ} \approx 0.8$ mA $\quad V_{CEQ} \approx 2.2$ V

$V_{BE} \approx 0.6665$ V $\quad r_{ce} \approx 112.5$ KΩ

$\beta_0 \approx 60.13$ A/A $\quad r_{b'c} \approx 6.764M\Omega$

$r_{bb'} \approx 10.00\ \Omega$

$r_{b'e} \approx 1.943$k Ω $\quad c_{b'c} \approx 0.7916$ pF

$g_m \approx 30.95$ mS $\quad c_{b'e} \approx 7.242$ pF

$|\beta_{f_{max}}| \approx 52.70$ A/A $\quad F_T \approx 613$ MHz

	Q_u		r_p	
f_{min}	$\approx$ 73.89	$\geq$	27.30	KΩ
f_{max}	$\approx$ 84.45	$\geq$	35.66	KΩ

VCO

$C_{TOTAL}\ f_{max} \approx 67.31$ pF

$C_{VS} = 200$ pF $\quad C_P \approx 14.97$ pF

$\Delta C_F \approx 22.46$ pF

$C_{F\,min} \approx 37.03$ pF , $C_{F\,max} \approx 59.53$ pF

MOD

$C_{M(0)} \approx 2.765$pF

$C_{MS} = 5$ pF , $\Delta C_M \approx 0.1948$ pF

C_B

$C_{BTOTAL} = C_B + C_{b'e}$

$C_{BTOTAL} \geq 66.52$ pF

$C_B \geq 59.28$ pF

$C_B = 100$ pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_A

$C_{ATOTAL} = C_A + C_{LE}$

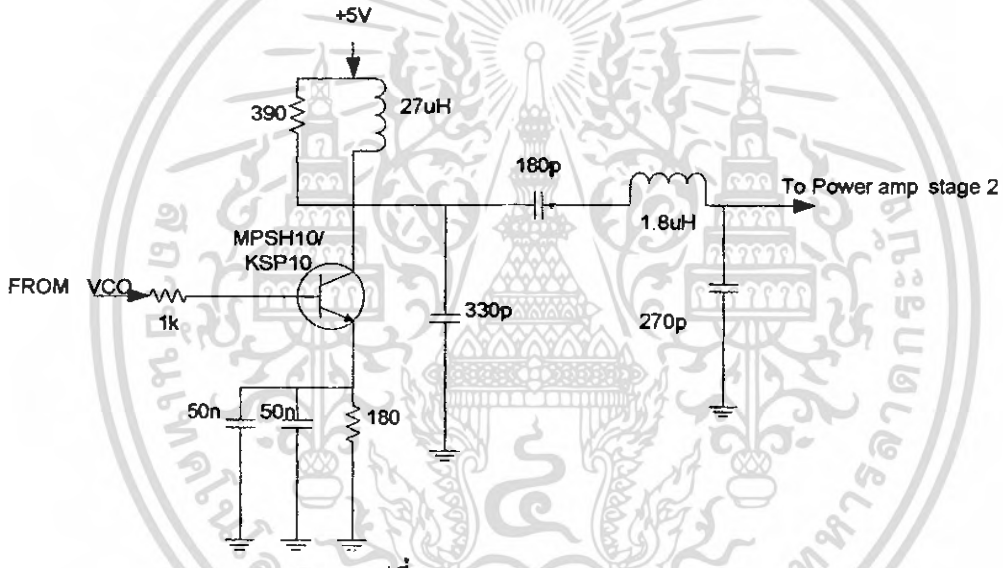
$C_{ATOTAL} \geq 121.4$ pF

$C_A \geq 118.4$ pF

$C_A = 150$ pF

6.2.1 การออกแบบวงจรขยายสัญญาณ

MPSH 10/ KSP 10 Amplifier Characteristice



รูปที่ 6.4 วงจร Power amp stage1

$I_{Q(DC)} \approx 6.0$ mA

$F_{REQ} \approx 5.250$ MHz

Y Parameters

$Y_{11e} \approx 0.6577 + j0.07619$ mS

$Y_{21e} \approx 36.57 - j7.38$mS

$Y_{12e} \approx -2.617 - j8.344$mS

$Y_{22e} \approx 2918 + j1053$ mS

LINVILL STB FCT $\approx 81.56 \times 10^{-xxx}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM GAIN

STERN STABILITY FACTOR : K ≈ 92.98

75 % CLASS A $P_{0\max} \approx 4.46$ mW

BW_{in}	BW_{out}
57.13 MHz	25.00MHz

$Z'_S = 1446 \,//+j7980\ \Omega$

$Z'_L = 330.5 \,//+j786.9\ \Omega$

$Z_{in} = CON\ \mathrm{j}\{Z'_S\}$, $Z_{out} = CON\,\mathrm{j}\{Z'_L\}$

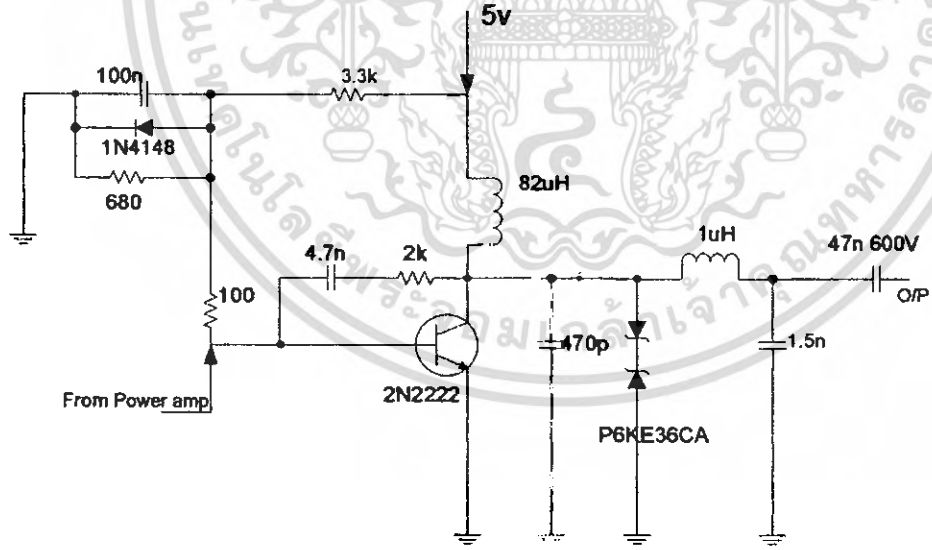
$A_V \approx 6.261 / -6.187+j0.9572$ V/V

$P_G \approx 174$ W/W , 22.41 dB

MPS/PH/PN/2N 2222 Amplifier Characteristice

$I_{Q(DC)} \approx 50$ mA

$F_{REQ} \approx 5.250$ MHz



รูปที่ 6.5 วงจร Power amp stage2

Y Parameters

$Y_{11e} \approx 16.69 + j9.441$ mS

$Y_{21e} \approx 274.1 - j29.98$mS

$Y_{12e} \approx -502.7 - j161.2$uS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$Y_{22e} \approx 1064 + j1095uS$

LINVILL STB FCT ≈ 0.8172

MAXIMUM GAIN

STERN STABILITY FACTOR : K ≈ 182.9

75 % CLASS B $P_{0\max} \approx 24.43$ dB

BW_{in}	BW_{out}
21.91 MHz	16.42MHz

$Z'_S = 20.73 // +j45.25\ \Omega$

$Z'_L = 325 // +j508.3\ \Omega$

$Z_{in} = CON\ j\{Z'_S\}$, $Z_{out} = CON j\{Z'_L\}$

$A_V \approx 32.58 / -32.42 - j3.209$ V/V

$P_G \approx 67.69$ W/W , 18.31 dB

6.2.2 การออกแบบวงจร โลว์พาสฟิลเตอร์ร่วมกับเอาท์พุตจากเฟสล็อคลูป

Output Freq. Range : F_{OUT} : F_{OUT} = 5.075-5.425 MHz

Modulation Freq. : F_{mod} : F_{mod} = 300 – 4,000 Hz (No Modulation ; $F_{mod} = 0$)

Ref Freq. at PD : F_{ref} : F_{ref} = 6.250 KHz : $F_{X\text{-}TAL}$ = 4.00 MHz , ÷R = 640

$F_{OUT} = F_{ref} \bullet N_T$: $N_T = NP + A$

Prescale Factor P = 1 A= 0

N_{RANGE} = 812-868

N_T = 812-868; N_{MEAN} : $\overline{N} := \sqrt{N_{TMAX} \bullet N_{TMIN}} = 839.5$

PD Type : 3 states PFD

PD Output : ΔV_{OutPD} = 4.75 V

$$K_d = \begin{cases} \Delta V_{OutPD/\pi} \\ \Delta V_{OutPD/2\pi} \\ \Delta V_{OutPD/4\pi} \end{cases}$$

K_d = 0.378 V/Rad

$f_{VCO\min} \approx$ 4.98 MHz at which 1.25 V

$f_{VCO\max} \approx$ 5.51 MHz at which 4.25 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}} \approx 176.7 \text{ KHz/V} = 1.100 \text{ M} \quad \frac{Rad/Sec}{V}$$

Pull out Range : $\Delta\omega_{Po}$ (1),(2) : $\Delta\omega_{Po}$ max is the dynamic limit of stable operation of the PLL .

The PLL will UNLOCK if a frequency step is larger than $\Delta\omega_{Po}$ max

EX-OR or Multiplier PD $\Delta\omega_{Po}$ max is depend on ω_n and δ of the PLL

All Types PFD $\Delta\omega_{Po}$ max are as large as Δf_{VCO}

$$\Delta\omega_{\max} \text{ at PD} = 2\pi\left(\frac{f_{O\max} or (f_{O\max} - f_{\min})}{N_{T\min}} - f_{Ref}\right) = 431 \text{ KHz} = 2708 \text{ K Rad/Sec}$$

$\Delta\omega_{Po}$ at PD $\leq \Delta\omega_{\max}$ at PD $< 2\pi f_{Ref}$

From $\omega_n = 69.61$ R/S , $\partial = 1.14$

Let $\Delta\omega_{Po} \approx 1319$ Rad/Sec

Let Damping : $\delta \approx 1.140$

Natural Freq : ω_n

$$\omega_n = \begin{cases} \Delta\omega_{Po}/(2.46(\delta+0.5)) \\ \Delta\omega_{Po}/(5.78(\delta+0.5)) \\ \Delta\omega_{Po}/(11.55(\delta+0.5)) \end{cases}$$

$\omega_n =$ Continue on page 2

Optimization of Damping

Condition	δ
Minimize Noise BW	0.5
Minimize Pull in Time	0.707
Maximize Sweep Rate	0.7-1.0
Maximize Pull out	0.81
Minimize flicker -jitter	1.14

$\omega_n = 69.61$Rad/Sec , $\delta = 1.140$

Loop BW : $BW_{lp} = \omega_n\left(1 + 2\delta^2 + \sqrt{\left(1+2\delta^2\right)^2 + 1}\right)^{1/2} = 188.5$ Rad/Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Only modulation is applion	**Damping:** δ	BW_{lp}	**Damping:** δ	BW_{lp}
$BW_{lp} < \omega_{Mod\min}$	0.5	$1.817\,\omega_n$	0.81	$2.198\,\omega_n$
$\omega_{Mod\min} = 1.885$ Rad/Sec	0.7	$2.049\,\omega_n$	1.00	$2.482\,\omega_n$
$BW_{lp} \approx 0.1\ \omega_{Mod\min}$	0.707	$2.058\,\omega_n$	1.14	$2.708\,\omega_n$

Fast Lock Rang : $\Delta\omega_L$: if the frequency changes at PD is less then $\Delta\omega_L$ the PLL will lock within one beat-note

$$\Delta\omega_L \text{ at PD} = \begin{cases} \pi\delta\omega_n \\ 2\pi\delta\omega_n \\ 4\pi\delta\omega_n \end{cases}$$

$\Delta\omega_L$ at PD $\approx$ 997.2 Rad/sec

$$\Delta F_L \text{ at output} \approx \frac{\Delta\omega_L atPD \times N_{T\min}}{2\pi} \approx 128.9 \text{ KHz}$$

$$\text{Fast Locking time} \approx \frac{2\pi}{\omega_n} \approx 90.26\text{m Sec}$$

From BW = M ω_n

ω_n = BW/M

BW << $f_{Mod\min}$

Let BW = 0.1 $\omega_{Mod\min}$

= 188.5 R/S

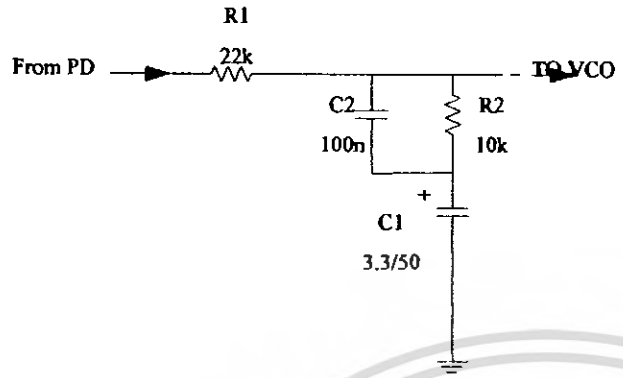
$$\omega_n = \frac{118.5}{2.708} \text{ R/S} = 69.61 \text{ R/S}$$

Passive LPF Continue on page 3

Active LPF Continue on page 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PASSIVE Loop LPF



รูปที่ 6.6 ภาค LPF ของเครื่องส่ง

Design Parameters

$K_d \approx 0.378$ V/Rad : $K_{VCO} \approx 1.110\text{M} \dfrac{Rad/Sec}{V}$

$K = K_d \cdot K_{VCO} \approx 419 \times 10^3 \ Sec^{-1}$

$F_{Ref} = 6.250KHz = 39.27$ K Rad/Sec

$N_{T\max} = 868$, $N_{T\min} = 812$

$\overline{N_T} = \sqrt{N_{T\max} \cdot N_{T\min}} \approx 839.5$

$\omega_n \approx 69.61$Rad/Sec : $\delta \approx 1.14$

For $\omega_{P2} >> \omega_Z$

$$F(s) = \frac{\omega_{P1}\omega_{P2}}{\omega_Z} \cdot \frac{S+\omega_S}{(S+\omega_{P1})(S+\omega_{P2})}$$

$$\omega_{R1} = \frac{1}{\tau_1+\tau_2} = \frac{1}{C_1(R_1+R_2)} \qquad \tau_1+\tau_2 = \frac{K}{N_T\omega_n^{\ 2}} = 0.1023 \text{ Sec}$$

$$\omega_Z = \frac{1}{\tau_2} = \frac{1}{R_2C_1} \qquad \tau_2 = \frac{2\delta}{\omega_n} = 32.75 \text{ m Sec}$$

$$\omega_{P2} = \frac{1}{R_{\omega P2}C_2};\ R_{\omega P2} = R_1 // R_2 \qquad \tau_1 = (\tau_1+\tau_2) - \tau_2 = 69.51\text{m Sec}$$

Let $C_1 = 3.3$ uF

$R_1 = \tau_1 / C_1 = 21.06\ K\Omega$ Let $R_1 = 22.0\ K\Omega$

$R_2 = \tau_2 / C_1 = 9.925\ K\Omega$ Let $R_2 = 10.0\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

ผลการทดลองและสรุป

ผลการทดลอง

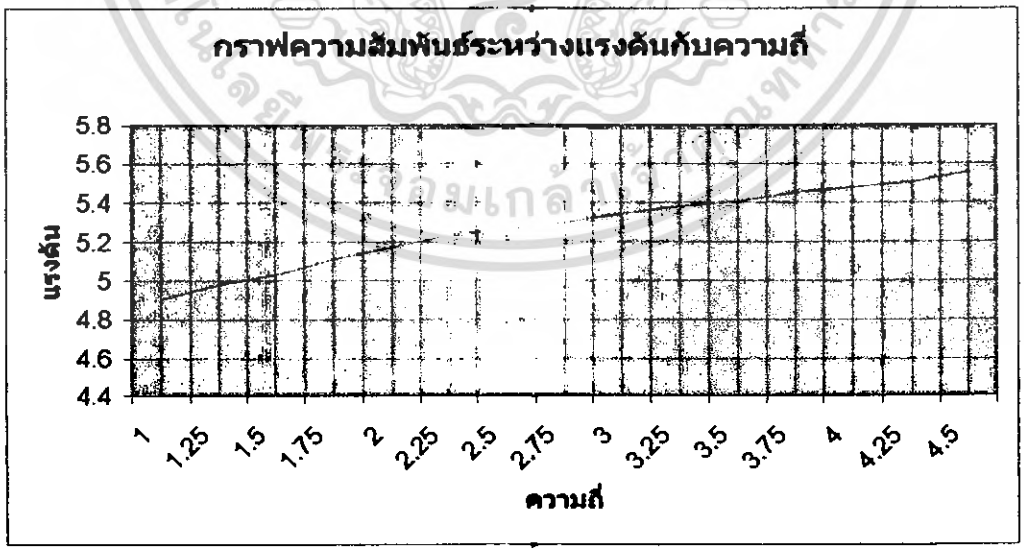
จากโปรเจคที่ได้ลงมือสร้างนี้จะเป็นส่วนของภาครับ ซึ่งประกอบไปด้วย วงจรเฟสล็อกลูป ซึ่งในการทำโปรเจคนี้ได้ใช้ไอซีที่ทำหน้าที่นี้โดยเฉพาะคือ ไอซีเบอร์ MC145162 รวมทั้งยังได้สร้างวงจรที่ทำหน้าที่ถอดรหัส และวงรจภาคแรกที่รับสัญญาณ RF ในย่านความถี่ ตั้งแต่ 5.075 MHz -5.425 MHz ซึ่งในภาคนี้ก็ใช้ไอซีที่ทำหน้าที่เฉพาะเช่นเดียวกัน คือเบอร์ TA7358 ซึ่งการควบคุมการทำงานของไอซีจะใช้ไมโครคอนโทรเลอร์ ในตระกูล AVR ในการควบคุม และจากการทดลองวงจรโลคอลออสซิลเลเตอร์ ซึ่งใช้แรงดันป้อนเข้าที่อินพุท เพื่อดูผลตอบสนองของความถี่ที่โลคอลออสซิลเลเตอร์ผลิตได้นั้น ปรากฏว่าอยู่ในเกณฑ์ที่ได้ออกแบบไว้คือ เมื่อป้อนแรงดันซึ่งมีการเปลี่ยนแปลงในช่วง 1.5V-4V ให้กับวงจร ตัววงจร โลคอลออสซิลเลเตอร์เองจะผลิตความถี่ที่มีการเปลี่ยนแปลงอยู่ในช่วง 15.5 MHz- 16.4 MHz ซึ่งความถี่ที่ทดลองได้นี้ถือได้ว่าครอบคลุมความถี่ที่ใช้งาน คือในช่วง 15.776MHz-16.125MHz และเมื่อทำการต่อวงจร VCO จริงๆ ให้กับวงจร โลคอลออสซิลเลเตอร์ ก็ปรากฏว่าผลที่ได้นั้นเป็นไปตามการออกแบบคือ โลคอลออสซิลเลเตอร์สามารถผลิตความถี่ได้ในช่วง 15.776MHz-16.125MHz ต่อจากนั้นได้ทำการต่อวงจร โลคอลออสซิลเลเตอร์กับเฟสล็อกลูป เพื่อดูการทำงาน ผลที่ได้ก็คือ วงจร โลคอลออสซิลเลเตอร์ทำงานได้สอดคล้องกับเฟสล็อกลูป คือ เราสามารถกำหนดช่องสัญญาณได้จากการโปรแกรมไอซี MC145162 โดยการควบคุมผ่านทางไมโครคอนโทรเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

ตารางแสดงความถี่ที่โลคอลออสซิลเลเตอร์ผลิตได้

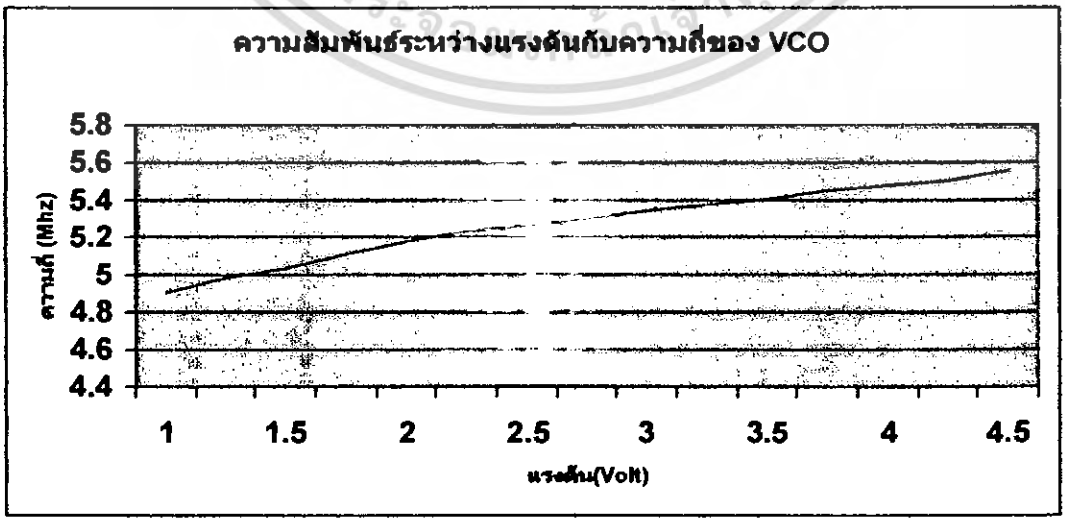
Chanal	หาร N	Fo จาก scope(MHz)	Fo จาก การคำนวณ (MHz)	% ค่าผิดพลาด
1	1262	15.776	15.775	0.006
2	1264	15.801	15.800	0.006
3	1266	15.826	15.825	0.006
4	1268	15.851	15.850	0.006
5	1270	15.876	15.875	0.006
6	1272	15.901	15.900	0.006
7	1274	15.926	15.925	0.006
8	1276	15.951	15.950	0.006
9	1278	15.976	15.975	0.006
10	1280	16.001	16.000	0.006
11	1282	16.026	16.025	0.006
12	1284	16.051	16.050	0.006
13	1286	16.076	16.075	0.006
14	1288	16.101	16.100	0.006
15	1290	16.125	16.125	0.000



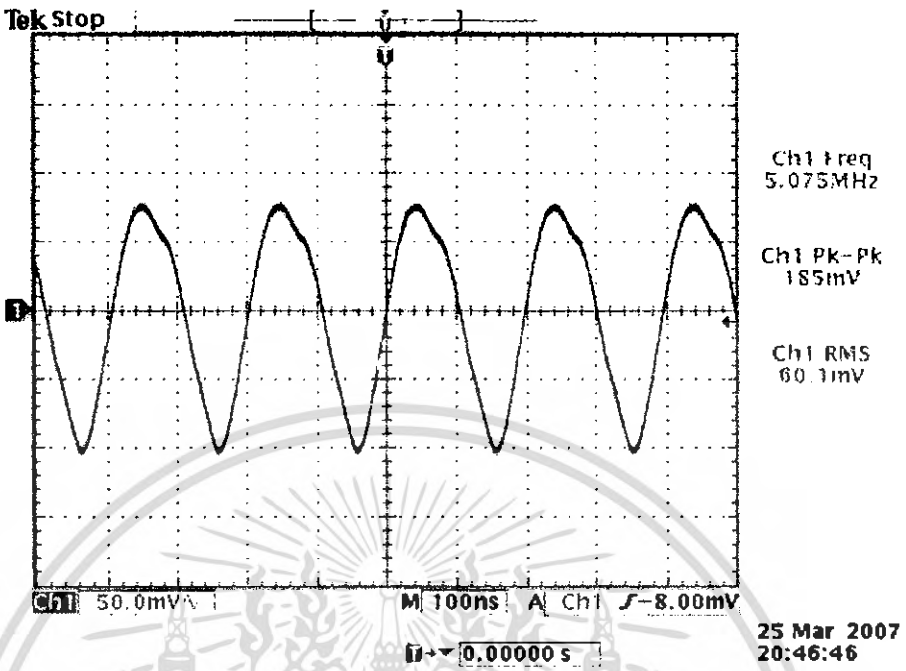
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน(โวลต์)	ความถี่ (MHz)
1.00	4.905
1.25	4.981
1.50	5.031
1.75	5.111
2.00	5.174
2.25	5.234
2.50	5.263
2.75	5.300
3.00	5.345
3.25	5.380
3.50	5.407
3.75	5.454
4.00	5.480
4.25	5.507
4.50	5.557

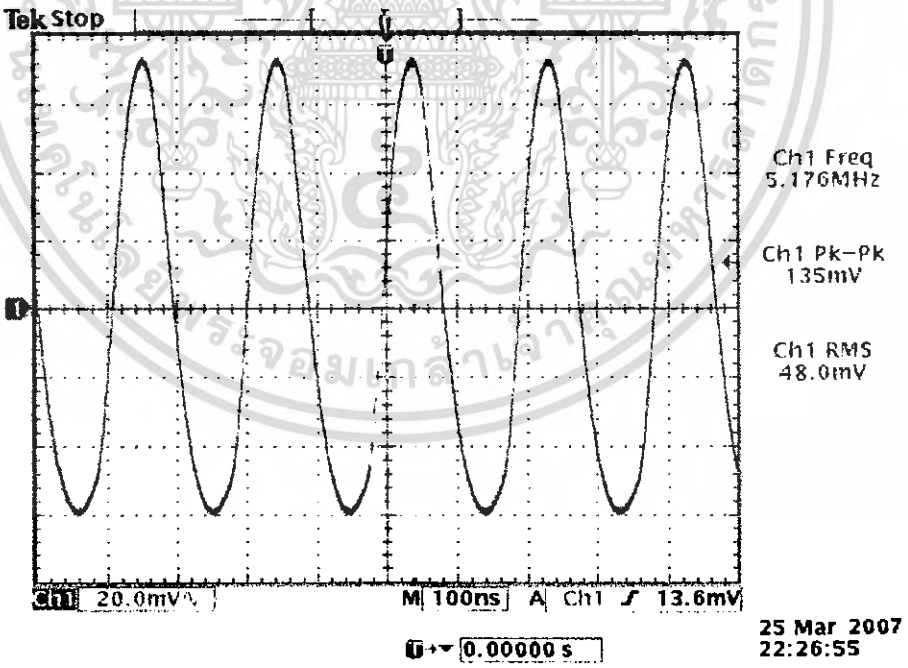
ตารางแสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของ VCO



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



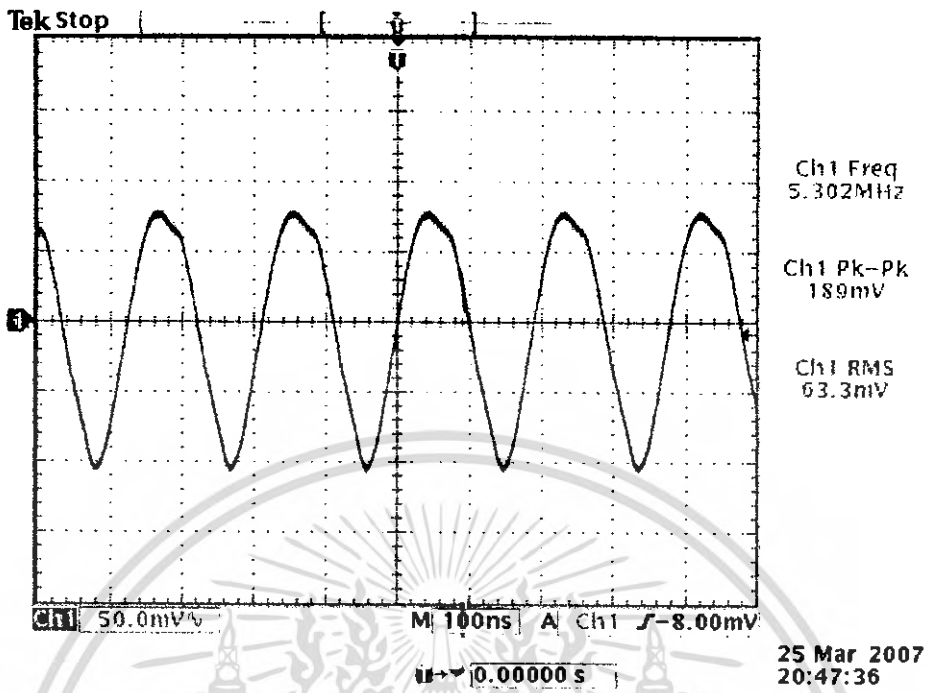
รูป (ก) วัดที่ความถี่ 5.075 MHz



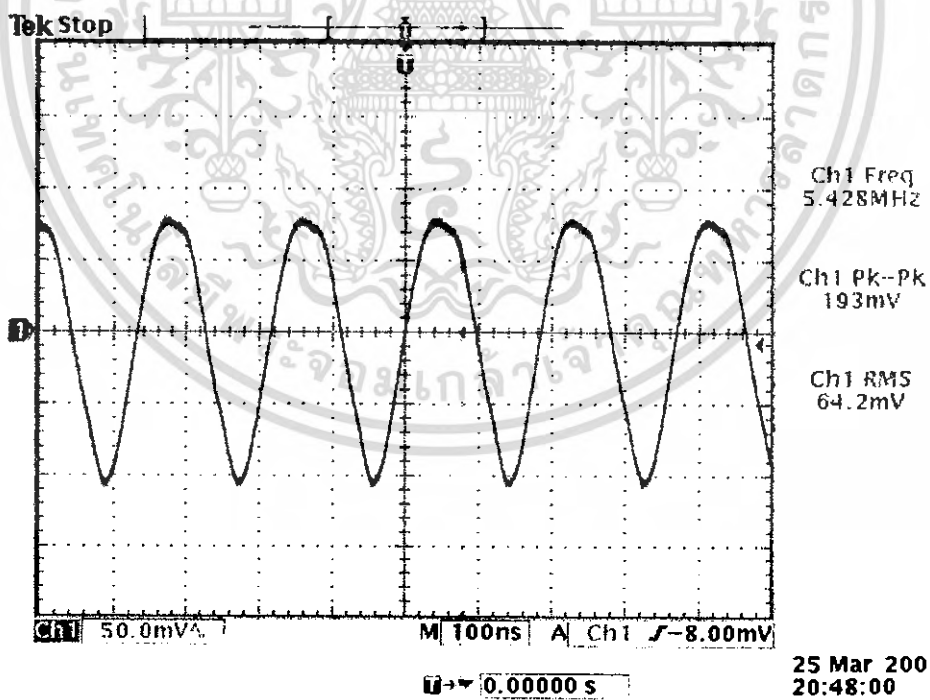
รูป (ข) วัดที่ความถี่ 5.175 MHz

รูปที่ 7.1 แสดงสัญญาณที่วัดจาก Power amp เครื่องรับภาคแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



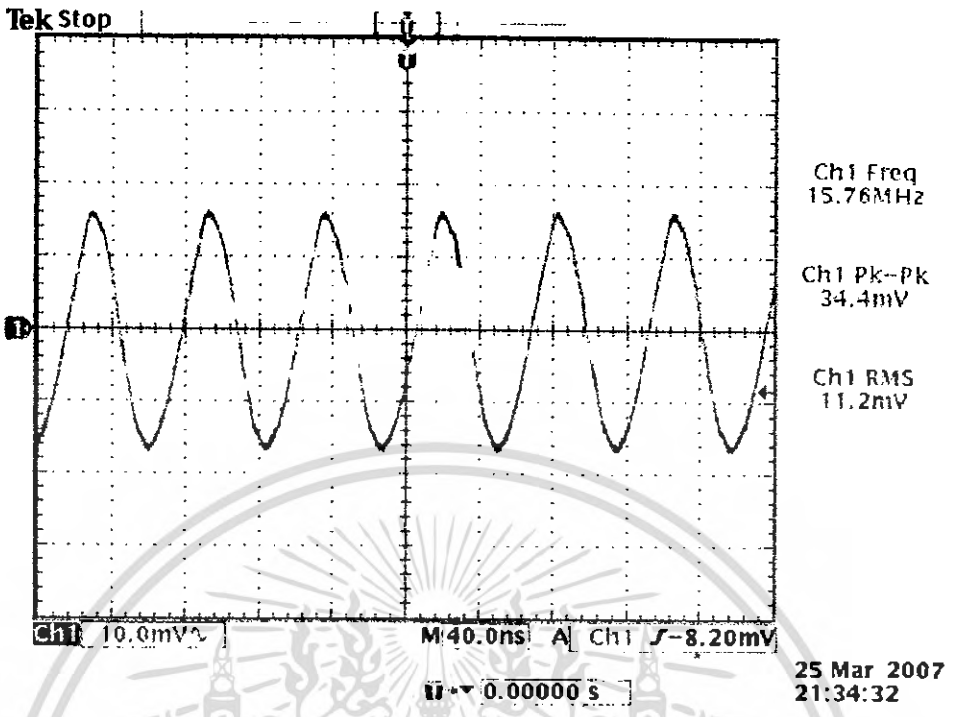
รูป (ค) วัดที่ความถี่ 5.300 MHz



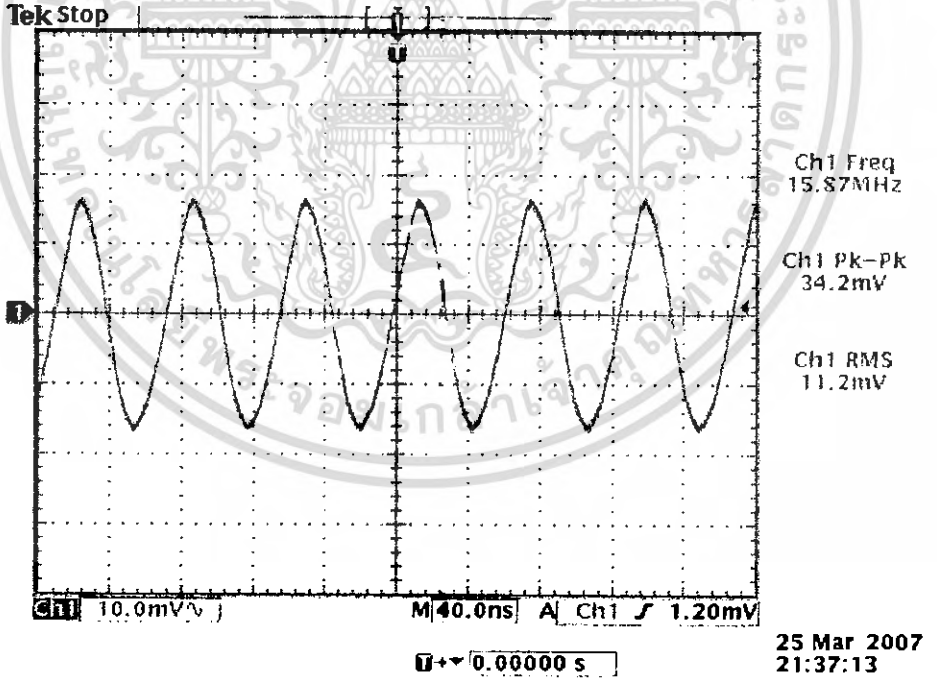
รูป (ง) วัดที่ความถี่ 5.425 MHz

รูปที่ 7.1 แสดงสัญญาณที่วัดจาก Power amp เครื่องรับภาคแรก (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



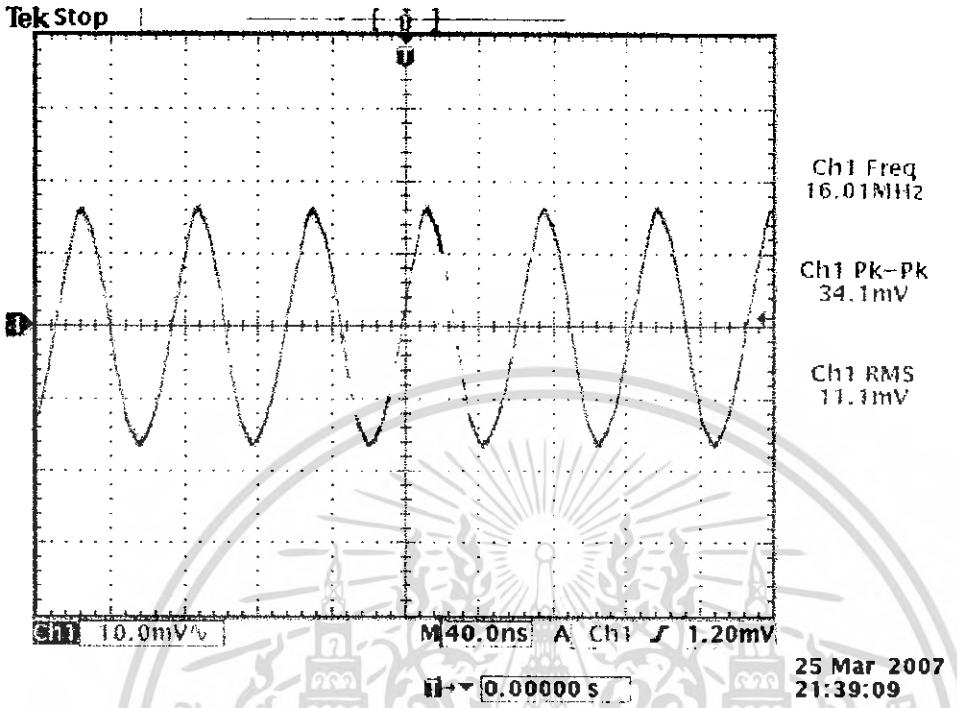
รูป (ก) วัดที่ความถี่ 15.75 MHz



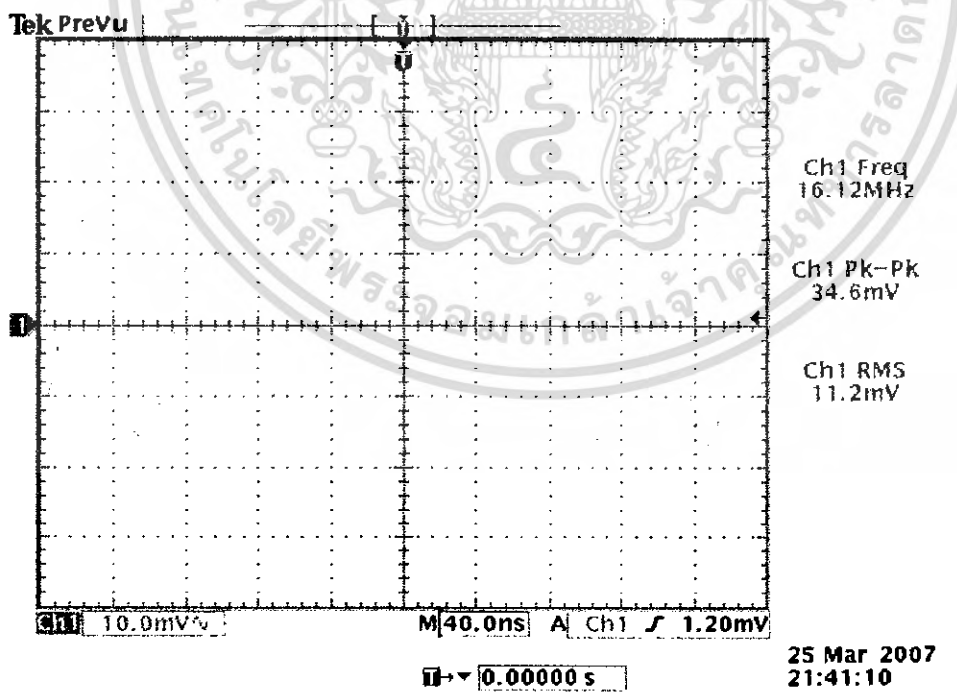
รูป (ข) วัดที่ความถี่ 15.875 MHz

รูปที่ 7.2 แสดงสัญญาณที่วัดจาก VCO เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



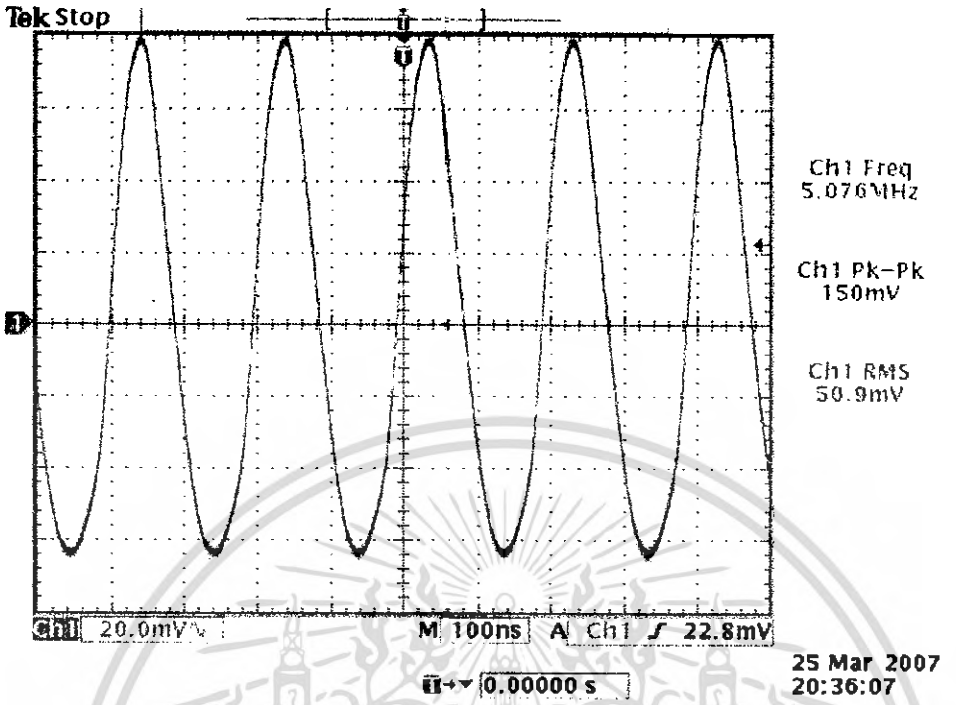
รูป (ค) วัดที่ความถี่ 16.000 MHz



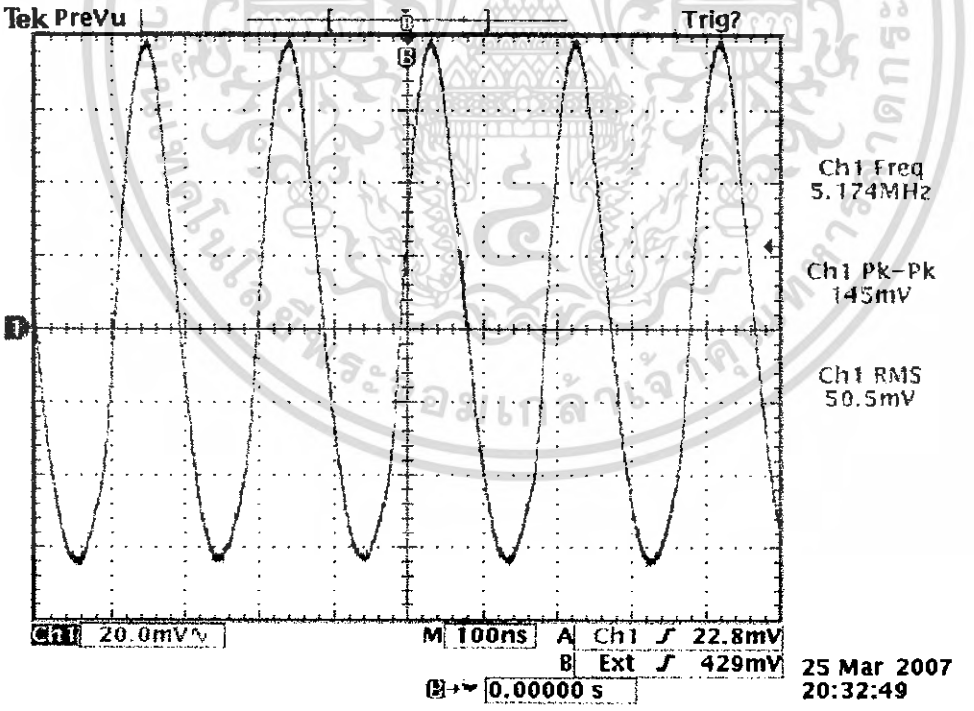
รูป (ง) วัดที่ความถี่ 16.125 MHz

รูปที่ 7.2 แสดงสัญญาณที่วัดจาก VCO เครื่องรับ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



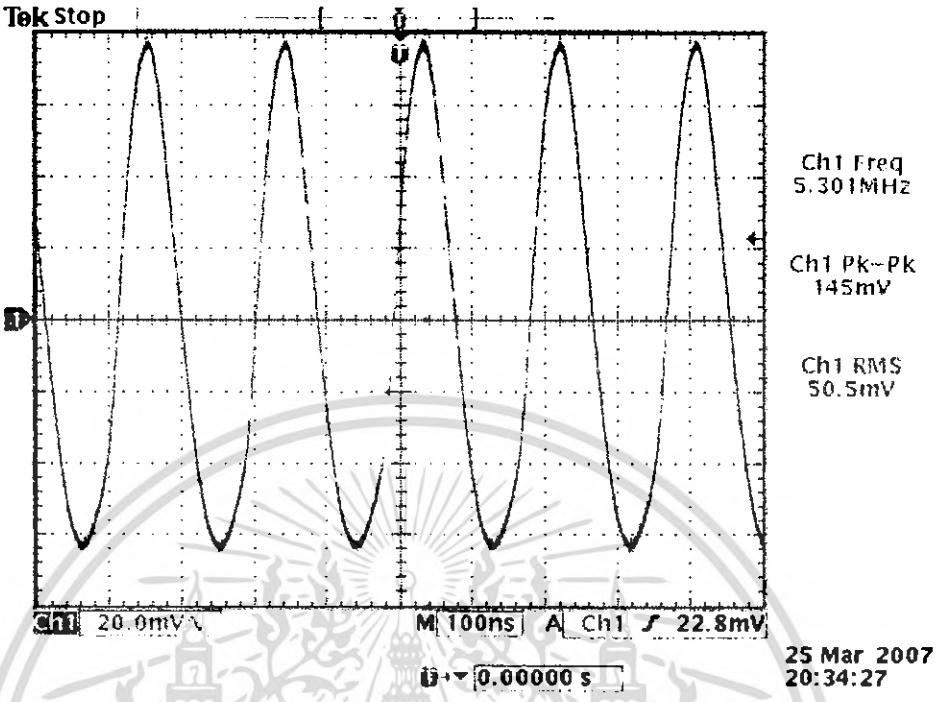
รูป (ก) วัดที่ความถี่ 5.075 MHz



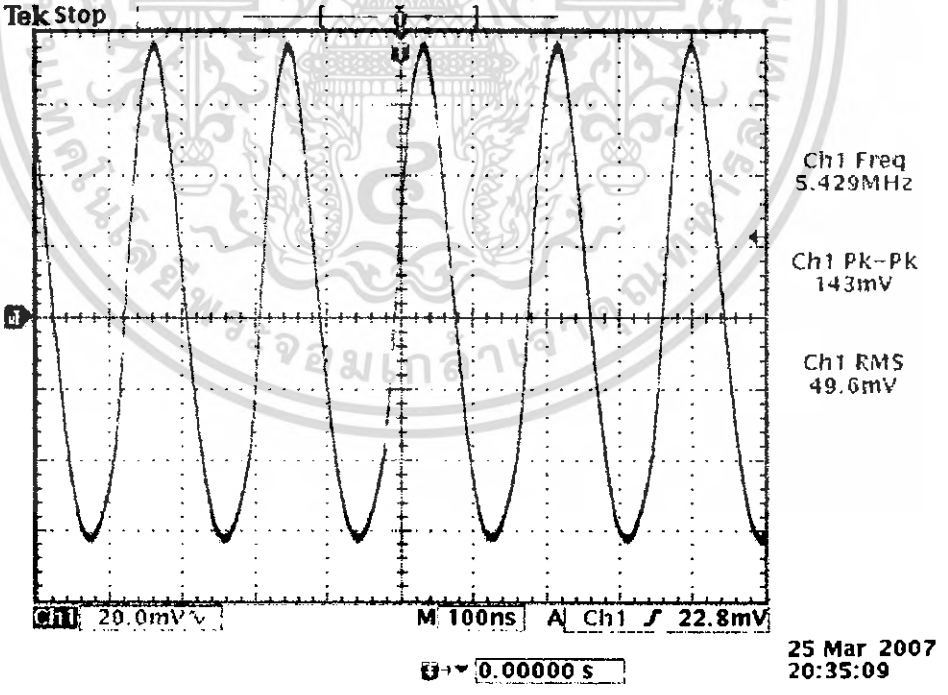
รูป (ข) วัดที่ความถี่ 5.175 MHz

รูปที่ 7.3 แสดงสัญญาณที่วัดจากเครื่องรับภาคแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



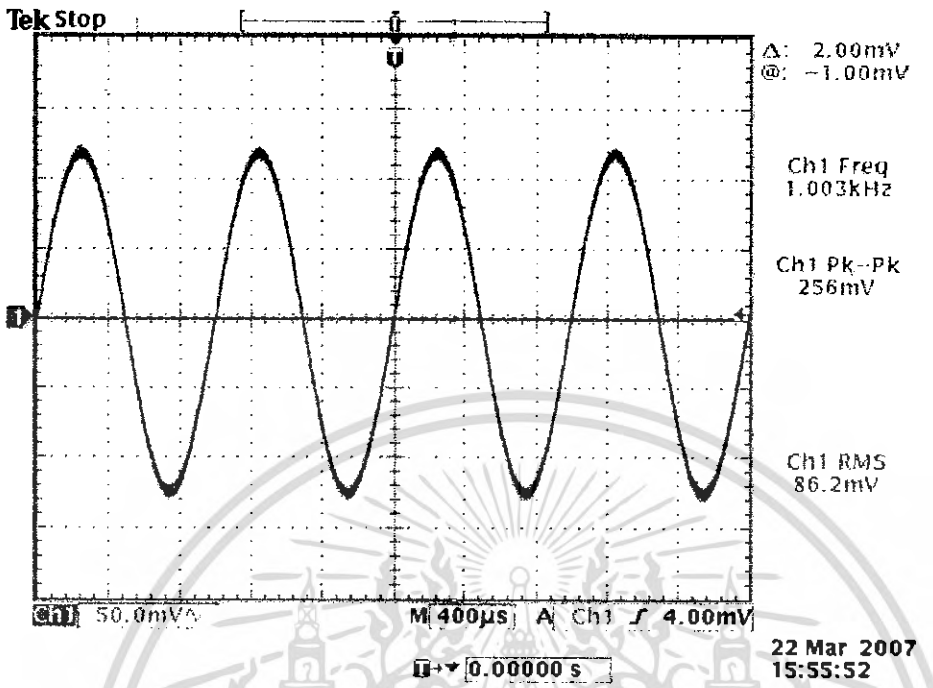
รูป (ค) วัดที่ความถี่ 5.300 MHz



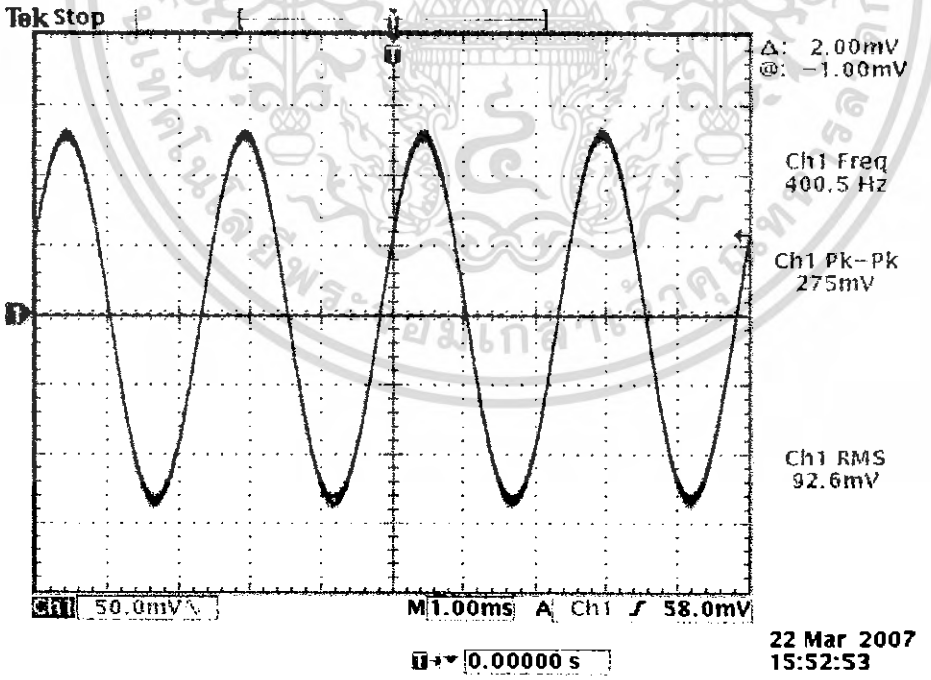
รูป (ง) วัดที่ความถี่ 5.425 MHz

รูปที่ 7.3 แสดงสัญญาณที่วัดจากเครื่องรับภาคแรก (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป (ก) วัดทีความถี 1 KHz



รูป (ข) วัดที่ความถี่ 400 Hz

รูปที่ 7.4 รูปสัญญาณที่วัดหลังจาก Demod ที่ภาครับ

เอกสารนี้เป็นเอกสาร[illegible]ใช้ประโยชน์ด้านการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและอุปสรรคในการทดลอง

1. **ในการทดลองงานทางด้าน RF นี้ จำเป็นต้องมีประสบการณ์ทั้งทางด้านก่รต่อวงจร และการ แก้ปัญหาทางด้านนี้มาพอสมควร ซึ่งทางคณะผู้จัดทำค่อนข้างใหม่ในด้าน RF จึงต้องใช้เวลในการศึกษานานพอสมควร**
2. **การคำณวณค่าของอุปกรณ์ที่ใช้งานบางตัวไม่มีขายในท้องตลาด ต้องใช้ค่าที่มีขาย และใกล้เคียง จึงทำให้ต้องมีการปรับค่าของอุปกรณ์บางตัว เพื่อให้วงจรทำงานได้อย่างถูกต้อง**
3. การศึกษาคู่มือของไอซีในแต่ละเบอร์ที่ใช้ ค่อนข้างลำบาก เพราะปัญหาทางด้านการใช้ภาษาอังกฤษของทางคณะผู้จัดทำไม่ดีเท่าที่ควร
4. เครื่องมือในใช้งานบางอย่างมีค่อนข้างจำกัด เช่น คอมพิวเตอร์ที่ต้องสลับกันใช้ภายในห้องโปรเจค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. บุญชัด เนติศักดิ์.ทฤษฎีและปฏิบัติเครื่องรับวิทยุ AM/FM .กรุงเทพมหานคร: ซีเอ็ดยูเคชั่น, 2540.
2. ประภากร สุวรรณนะ.การสื่อสารความถี่สูง.กรุงเทพมหานคร สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145162
MC145162-1

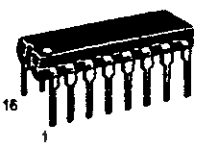
60 MHz and 85 MHz Universal Programmable Dual PLL Frequency Synthesizers
CMOS

The MC145162 is a dual phase–locked loop (PLL) frequency synthesizer especially designed for CT–1 cordless phone applications worldwide. This frequency synthesizer is also for any product with a frequency operation at 60 MHz or below.

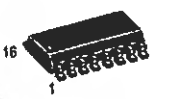
The MC145162–1 is a high frequency derivative of the MC145162, for products with operating frequencies of 85 MHz or below.

The device features fully programmable receive, transmit, reference, and auxiliary reference counters accessed through an MCU serial interface. This feature allows this device to operate in any CT–1 cordless phone application. The device consists of two independent phase detectors for transmit and receive loops. A common reference oscillator, driving two independent reference frequency counters, provides independent reference frequencies for transmit and receive loops. The auxiliary reference counter allows the user to select an additional reference frequency for receive and transmit loops if required.

- Operating Voltage Range: 2.5 to 5.5 V
- Operating Temperature Range: – 40 to + 75°C
- Operating Power Consumption: 3.0 mA @ 2.5 V
- Maximum Operating Frequency:
  MC145162 — 60 MHz @ 200 mV p–p, V_{DD} = 2.5 V
  MC145162–1 — 85 MHz @ 250 mV p–p, V_{DD} = 2.5 V
- Three or Four Pins Used for Serial MCU Interface
- Built–In MCU Clock Output with Frequency of Reference Oscillator ÷3/÷4
- Power Saving Mode Controlled by MCU
- Lock Detect Signal
- On–Chip Reference Oscillator Supports External Crystals to 16.0 MHz
- Reference Frequency Counter Division Range: 16 to 4095
- Auxiliary Reference Frequency Counter Division Range: 16 to 16,383
- Transmit Counter Division Range: 16 to 65,535
- Receive Counter Division Range: 16 to 65,535



P SUFFIX
PLASTIC DIP
CASE 648

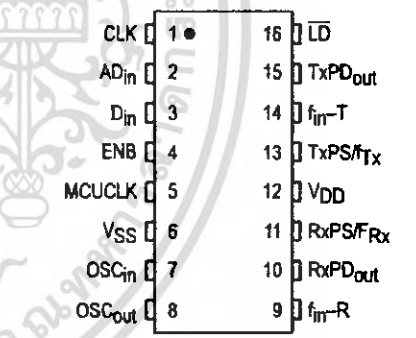


D SUFFIX
SOG PACKAGE
CASE 751B

ORDERING INFORMATION

MC145162P	Plastic DIP
MC145162D	SOG Package
MC145162P1	Plastic DIP
MC145162D1	SOG Package

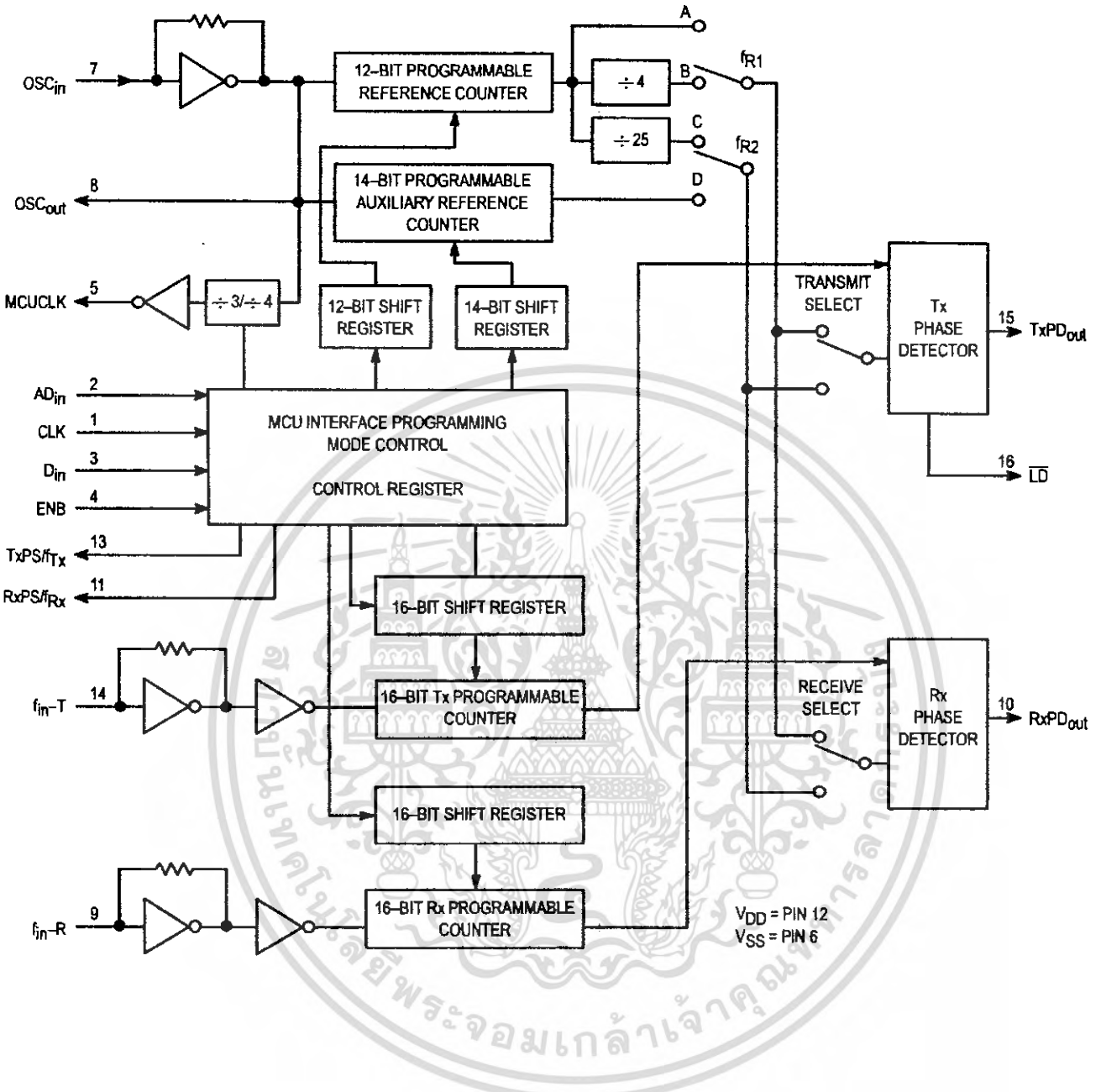
PIN ASSIGNMENT



© Motorola, Inc. 1998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 6.0	V
V_{in}	Input Voltage, All Inputs	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	– 65 to + 150	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid application of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused pins must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
V_{DD}	Power Supply Voltage Range	—	2.5	5.5	V
V_{OL}	Output Voltage (I_{out} = 0) 0 Level	2.5 5.5	— —	0.1 0.1	V
V_{OH}	(V_{in} = V_{DD} or 0) 1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage (V_{out} = 0.5 V or V_{DD} – 0.5 V) 0 Level	2.5 5.5	— —	0.75 1.65	V
V_{IH}	1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) (V_{out} = 5.0 V) Source	2.5 5.5	– 0.18 – 0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) (V_{out} = 0.5 V) Sink	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0) OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	– 30 – 66	µA
	AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	– 1.0 – 1.0	
I_{IH}	(V_{in} = V_{DD} – 0.5) OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	30 66	
	AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	5.0 5.0	
I_{OZ}	Three–State Leakage Current (V_{out} = 0 V or 5.5 V)	5.5	—	± 100	nA
C_{in}	Input Capacitance	—	—	8.0	pF
C_{out}	Output Capacitance	—	—	8.0	pF
$I_{DD(stdby)}$	Standby Current (All Counters are in Power–Down Mode with Oscillator On)	2.5 5.5	— —	0.3 1.5	mA
I_{DD}	Operating Current MC145162: 200 mV p–p input at f_{in}–T and f_{in}–R = 60 MHz MC145162–1: 250 mV p–p input at f_{in}–T and f_{in}–R = 85 MHz with OSC = 10.24 MHz	2.5 5.5	— —	3.0 10	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic		Figure No.	V_{DD}	Guaranteed Limit		Unit
					Min	Max	
t_{TLH}	Output Rise Time		1	2.5 5.5	— —	200 100	ns
t_{THL}	Output Fall Time		1	2.5 5.5	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time	OSC_{in}	2	2.5 5.5	— —	5.0 4.0	µs
t_w	Input Pulse Width	CLK and ENB	3	2.5 5.5	80 60	— —	ns
f_{max}	Input Frequency Input = Sine Wave @ ≥ 200 mV p–p for MC145162 Input = Sine Wave @ ≥ 250 mV p–p for MC145162–1	OSC_{in} f_{in}–R, f_{in}–T f_{in}–R, f_{in}–T		2.5 – 5.5 2.5 – 5.5 2.5 – 5.5	— — —	16 60 85	MHz
t_{st}	Minimum Start–Up Time					10	ms
t_{su}	Setup Time	DATA to CLK ENB to CLK	5	2.5 5.5	100 200	— —	ns
t_h	Hold Time	CLK to DATA	5	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time	ENB to CLK	5	3.0 5.0	80 40	— —	ns
t_{su1}	Setup Time	ENB to CLK	4	2.5 – 5.5	80	—	ns
t_{h1}	Hold Time	CLK to ENB	4	2.5 – 5.5	600	—	ns
f	Phase Detector Frequency				dc	12.5	kHz
f_{MCUCLK}	Output Clock Frequency (OSC_{in} ÷ 3)	MCUCLK			dc	5.33	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

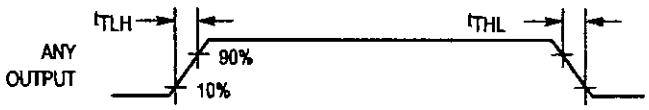


Figure 1.

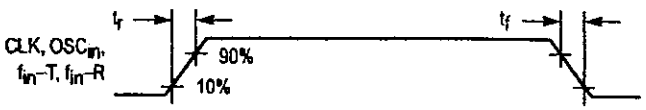


Figure 2.

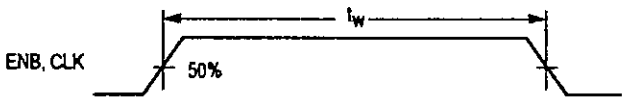


Figure 3.

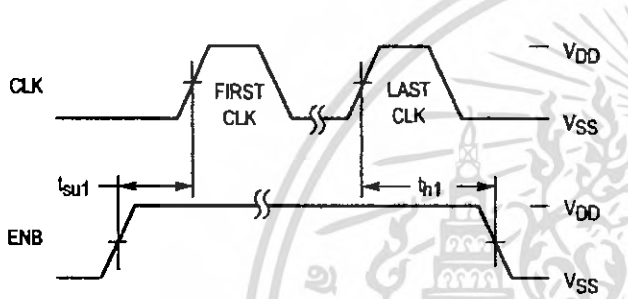


Figure 4. ENB High During Serial Transfer

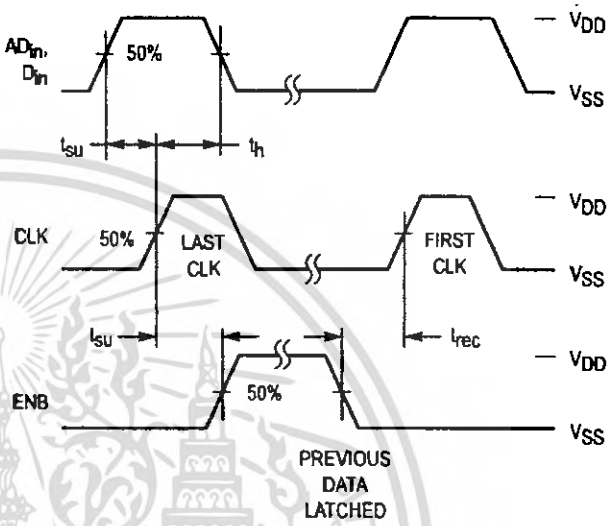


Figure 5. ENB Low During Serial Transfer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUT PINS

OSC_{in} /OSC_{out}
Reference Oscillator Input/Output (Pins 7, 8)

These pins form a reference oscillator when connected to an external parallel–resonant crystal. Figure 6 shows the relationship of different crystal frequencies and reference frequencies for cordless phone applications in various countries. OSC_{in} may also serve as input for an externally generated reference signal which is typically ac coupled.

MCUCLK
System Clock (Pin 5)

This output pin provides a signal of the crystal frequency (OSC_{out}) divided by 3 or 4 that is controlled by a bit in the control register.

This signal can be a clock source for the MCU or other system clocks.

AD_{in}, D_{in}, CLK, ENB
Auxiliary Data In, Data In, Clock, Enable (Pins 2, 3, 1, 4)

These four pins provide an MCU serial interface for programming the reference counter, the transmit–channel counter, and the receive–channel counter. They also provide various controls of the PLL including the power saving mode and the programming format.

TxPS/f_{Tx}, RxPS/f_{Rx}
Transmit Power Save, Receive Power Save (Pins 13, 11)

For a normal application, these output pins provide the status of the internal power saving mode operation. If the transmit–channels counter circuitry is in power down mode, TxPS/f_{Tx} outputs a high state. If the receive–channels counter circuitry is in power down mode, RxPS/f_{Rx} is set high. These outputs can be applied for controlling the external power switch for the transmitter and the receiver to save MCU control pins.

In the Tx/Rx channel counter test mode, the TxPS/f_{Tx} and RxPS/f_{Rx} pins output the divided value of the transmit channel counter (f_{Tx}) and the receive channel counter (f_{Rx}), respectively. This test mode operation is controlled by the control register. Details of the counter test mode are in the **Tx/Rx Channel Counter Test** section of this data sheet.

f_{in}–T/f_{in}–R
Transmit/Receive Counter Inputs (Pins 14, 9)

f_{in}–T and f_{in}–R are inputs to the transmit and the receive counters, respectively. These signals are typically driven from the loop VCO and ac coupled. The minimum input signal level is 200 mV p–p @ 60.0 MHz.

OUTPUT PINS

$TxPD_{out}$/$RxPD_{out}$
Transmit/Receive Phase Detector Outputs (Pins 15, 10)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals (see Figure 7 for phase detector output waveforms). Phase detector gain is $V_{DD}/4\ \pi$ volts per radian.

Frequency $f_V > f_R$ or f_V leading: output = negative pulse.
Frequency $f_V < f_R$ or f_V lagging: output = positive pulse.
Frequency $f_V = f_R$ and phase coincidence: output = high–impedance state.
NOTE: f_R is the divided–down reference frequency at the phase detector input and f_V is the divided–down VCO frequency at the phase detector input.

$\overline{LD}$
Lock Detect (Pin 16)

The lock detect signal is associated with the transmit loop. The output at a high level indicates an out–of–lock condition (see Figure 7 for the $\overline{LD}$ output waveform).

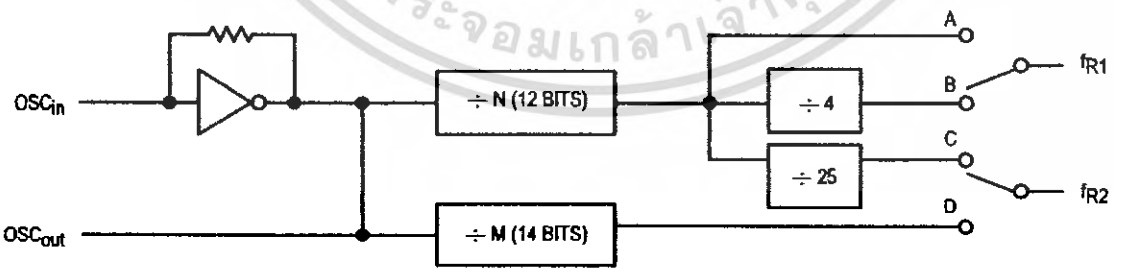
POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 12)

V_{DD} is the most positive power supply potential ranging from 2.5 to 5.5 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 6)

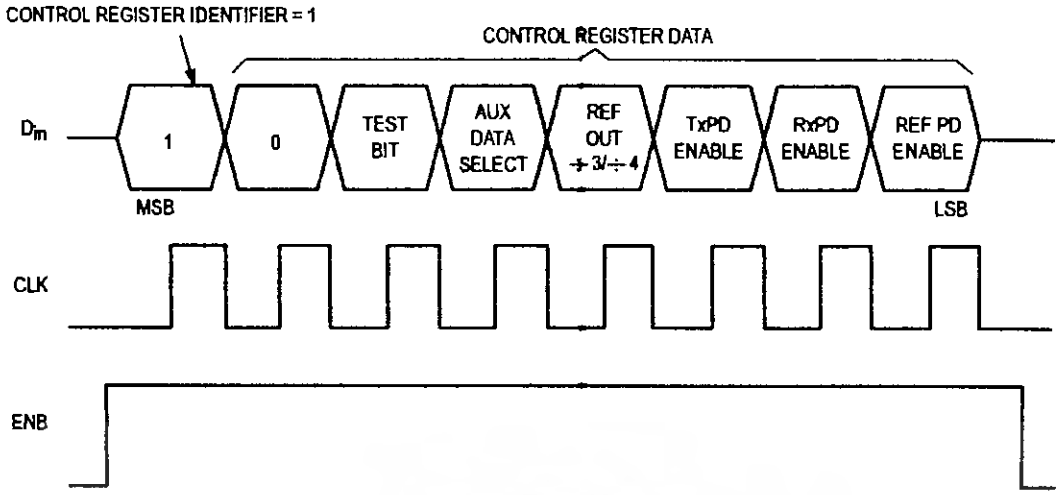
V_{SS} is the most negative supply potential and is usually connected to ground.



Crystal	÷ N Value	$f_{R1 \rightarrow B}$	$f_{R2 \rightarrow C}$
11.150 MHz	446	6.25 kHz	1.0 kHz
11.150 MHz	223	12.5 kHz	
10.240 MHz	512	5.0 kHz	
12.000 MHz	600	5.0 kHz	

Figure 6. Reference Frequencies for Cordless Phone Applications of Various Countries

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 8. Programming Format of the Control Register

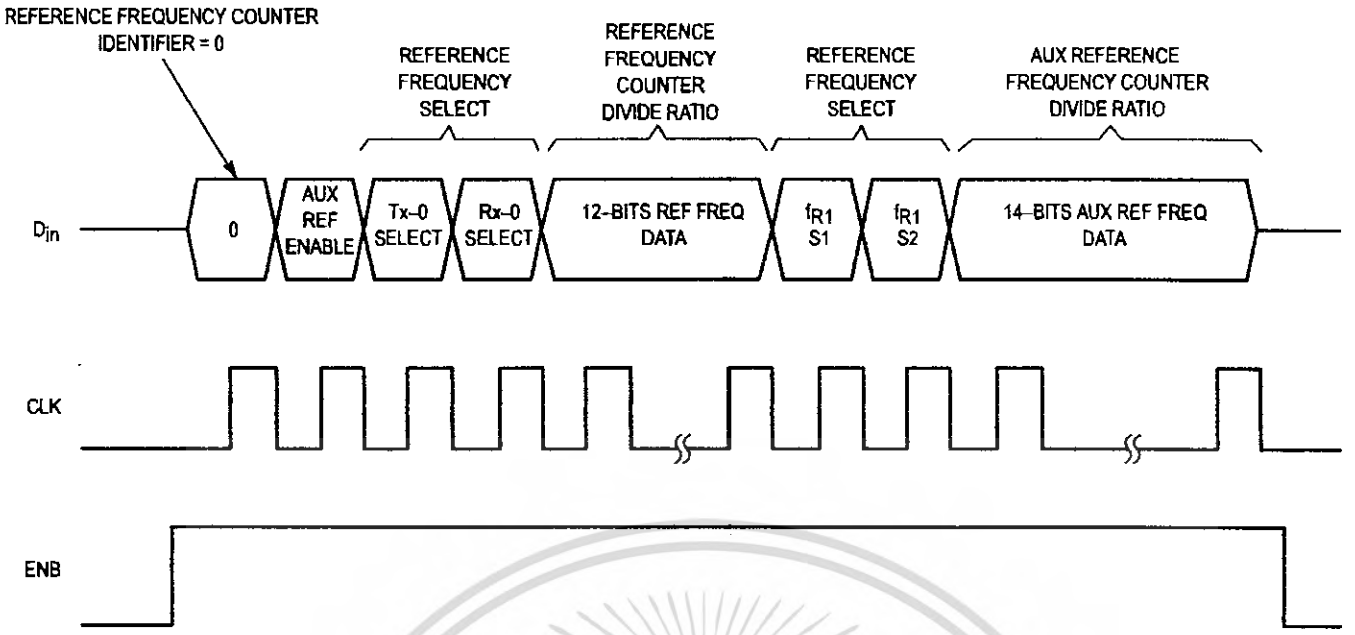
Table 1. Control Register Function Bits Description

Test Bit	Set to 1 for Tx/Rx channel counter test mode Set to 0 for normal application
Aux Data Select	Set to 1 for both AD_{in} and D_{in} pins inputting the transmit 16–bits data and receive 16–bits data respectively. Set to 0 for normal application interfacing with MCU serial peripheral interface. Does not use AD_{in} pin; tie AD_{in} to V_{SS}.
$REF_{out} \div 3/\div 4$	If set to 1, REF_{out} output frequency is equal to $OSC_{out} \div 3$. If set to 0, REF_{out} output is $OSC_{out} \div 4$.
TxPD Enable	If set to 1, the transmit counter, transmit phase detector, and the associated circuitry is in power–down mode. Tx PS/f_{Tx} is set "High".
RxPD Enable	If set to 1, the receive counter, receive phase detector, and the associated circuitry is in power–down mode. Rx PS/f_{Rx} is set "High".
Ref PD Enable	If set to 1, both 12–bit and 14–bit reference frequency counters are in power–down mode.

Table 2. Control Register Power Down Bits Function

TxPD Enable	RxPD Enable	REF PD Enable	Tx–Channel Counter	Rx–Channel Counter	Reference Frequency Counter
0	0	0	—	—	—
0	0	1	—	—	Power Down
0	1	0	—	Power Down	—
0	1	1	—	Power Down	Power Down
1	0	0	Power Down	—	—
1	0	1	Power Down	—	Power Down
1	1	0	Power Down	Power Down	—
1	1	1	Power Down	Power Down	Power Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 9. Programming Format of the Auxiliary/Reference Frequency Counters

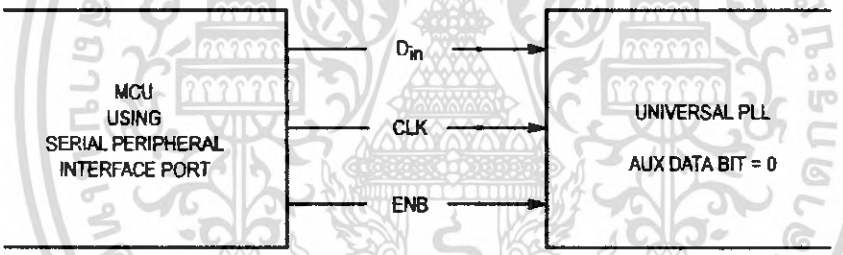


Figure 10. MCU Interface Using SPI

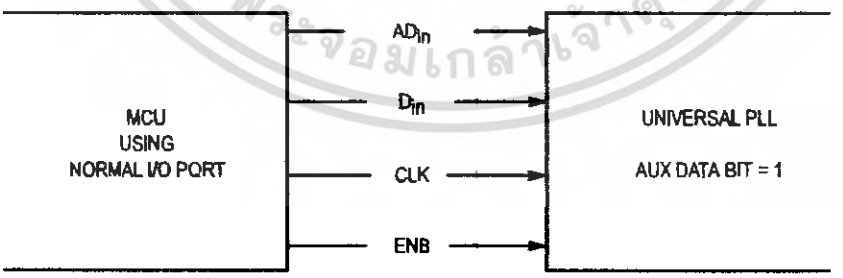
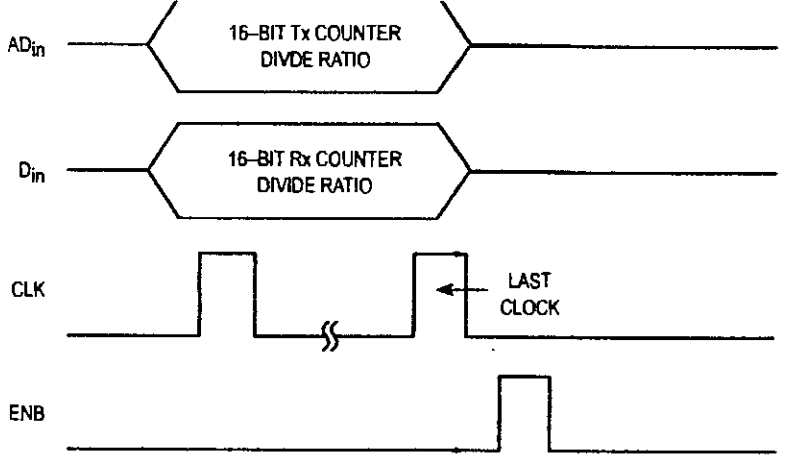


Figure 11. MCU Interface Using Normal I/O Ports with Both D_{in} and AD_{in} for Faster Programming Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be low during the serial transfer.

Figure 15. Programming Format for Transmit and Receive Counters (4–Pin Interfacing Scheme)

Table 3. Global CT–1 Reference Frequency Setting vs Channel Frequencies

Country	Channels Frequency	f_{R1}	f_{R2}
U.S.A.	46/49 MHz (10, 15, 25 Channels)	5.0 kHz	—
France	26/41 MHz	6.25 kHz/12.5 kHz	—
Spain	31/41 MHz	5.0 kHz	—
Australia	30/39 MHz	5.0 kHz	—
U.K.	1.7/47 MHz	6.25 kHz	1.0 kHz
New Zealand	1.7/34/40 MHz	6.25 kHz	1.0 kHz

REFERENCE FREQUENCY SELECTION AND PROGRAMMING

Figure 16 shows the bit function of the reference frequency programming word. The user can either select the "fixed" reference frequency for all channels accordingly or provide a specific reference frequency for a particular channel by using two reference frequency counters (e.g., for an application in France, the base set transmit channel common fixed reference frequency is 6.25 kHz or 12.5 kHz). (See Table 3 and Figure 6 for reference frequencies for various countries.) However, transmit channels 6, 8, and 14 can be set to 25 kHz, and channel 8 reference frequency can be set to 50 kHz. But this reference frequency may not be applied to the receiving side; therefore, the receiving side reference frequency must be generated by another reference frequency counter. The higher the reference frequency, the better the phase noise performance and faster the lock time, but the PLL consumes more current if both reference frequency counters are in operation.

In general, the 12–bit reference frequency counter plus the ÷ 4 and ÷ 25 module can offer all the reference frequencies for global CT–1 transmit and receive channel requirements. Users can select their own reference frequency by introducing the additional 14–bit auxiliary reference frequency counter.

Again, the 14–bit auxiliary reference frequency counter can be shut down by the auxiliary reference enable bit in the reference counter programming word by setting the bit to 0. At this state, the f_{R2} is automatically connected to point C (the ÷ 25 block output), and f_{R1} can be connected to point A or B by setting the f_{R1}–S1 and f_{R1}–S2 bits in the reference counter program word. The 14–bit auxiliary reference frequency counter data will be in "Don't Care" state.

If the 14–bit auxiliary reference frequency counter is enabled (auxiliary reference enable = 1), then f_{R2} is automatically connected to point D (14–bit counter output), and f_{R1} can be selected to connect to point A, B, or C, depending on the bit setting of f_{R1}–S1 and f_{R1}–S2.

Table 4 and Figure 16 describe the functions of the auxiliary reference enable bit and the f_{R1}–S1 and f_{R1}–S2 bits selection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 20. Korea CT–1 Handset Frequency

Channel Number	Tx Channel Frequency (MHz)	Tx Counter Value (Ref. Freq. = 5.00 kHz)	f_{in}–R Input Frequency (MHz) [1st IF = 10.7 MHz]	Rx Counter Value (Ref. Freq. = 5.00 kHz)
1	49.670	9934	35.915	7183
2	49.845	9969	35.935	7187
3	49.860	9972	35.975	7195
4	49.770	9954	36.015	7203
5	49.875	9975	36.035	7207
6	49.830	9966	36.075	7215
7	49.890	9978	36.135	7227
8	49.930	9986	36.175	7235
9	49.990	9998	36.235	7247
10	49.970	9994	36.275	7255
11	49.695	9939	35.815	7163
12	49.710	9942	35.835	7167
13	49.725	9945	35.855	7171
14	49.740	9948	35.875	7175
15	49.755	9951	35.895	7179

Table 21. China CT–1 Base Set Frequency

Channel Number	Tx Channel Frequency (MHz)	Tx Counter Value (Ref. Freq. = 5.00 kHz)	f_{in}–R Input Frequency (MHz) [1st IF = 10.7 MHz]	Rx Counter Value (Ref. Freq. = 5.00 kHz)
1	45.250	9050	37.550	7510
2	45.275	9055	37.575	7515
3	45.300	9060	37.600	7520
4	45.325	9065	37.625	7525
5	45.350	9070	37.650	7530
6	45.375	9075	37.675	7535
7	45.400	9080	37.700	7540
8	45.425	9085	37.725	7545
9	45.450	9090	37.750	7550
10	45.475	9095	37.775	7555

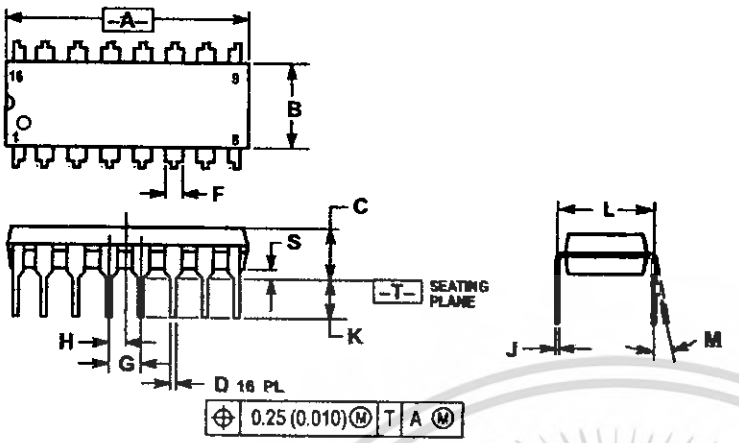
Table 22. China CT–1 Handset Frequency

Channel Number	Tx Channel Frequency (MHz)	Tx Counter Value (Ref. Freq. = 5.00 kHz)	f_{in}–R Input Frequency (MHz) [1st IF = 10.7 MHz]	Rx Counter Value (Ref. Freq. = 5.00 kHz)
1	48.250	9650	34.550	6910
2	48.275	9655	34.575	6915
3	48.300	9660	34.600	6920
4	48.325	9665	34.625	6925
5	48.350	9670	34.650	6930
6	48.375	9675	34.675	6935
7	48.400	9680	34.700	6940
8	48.425	9685	34.725	6945
9	48.450	9690	34.750	6950
10	48.475	9695	34.775	6955

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

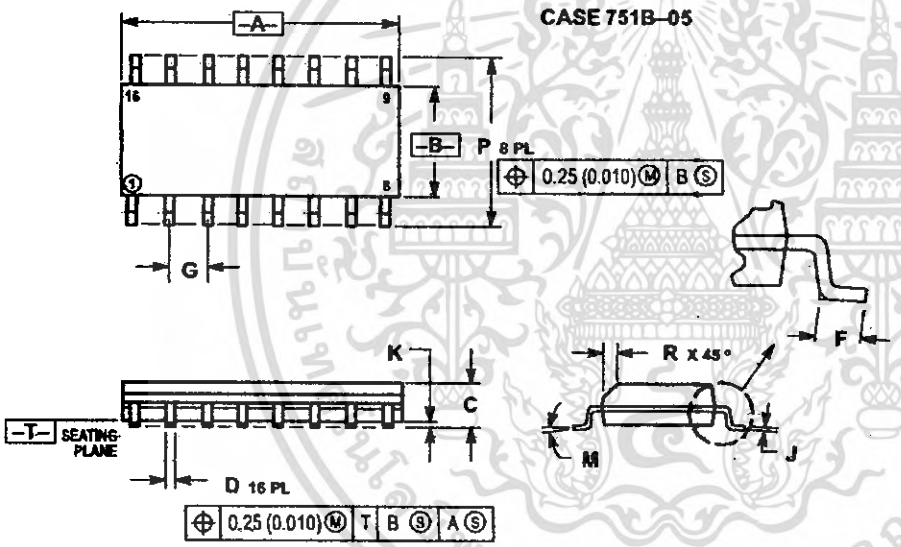
P SUFFIX
PLASTIC DIP
CASE 648–08



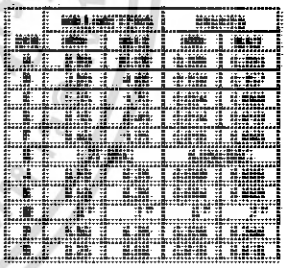
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

D SUFFIX
SOG PACKAGE
CASE 751B–05



NOTES:
1. DIMENSIONING AND TOLERANCIND PER ANSI Y14.5M, 1882.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:

USA / EUROPE / Locations Not Listed: Motorola Literature Distribution; P.O. Box 5405, Denver, Colorado, 80217. 1-303-675-2140 or 1-800-441-2447

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1-602-244-6609
Motorola Fax Back System – US & Canada ONLY 1-800-774-1848
– http://sps.motorola.com/mfax/

HOME PAGE: http://motorola.com/sps/

JAPAN: Nippon Motorola Ltd.; SPD, Strategic Planning Office; 4-32-1, Nishi-Gotanda; Shinagawa-ku, Tokyo 141, Japan. 81-3-5487-8488

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298

CUSTOMER FOCUS CENTER: 1-800-521-6274

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3361B/D

MOTOROLA

Low Power Narrowband FM IF

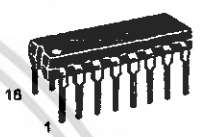
MC3361B

The MC3361B includes an Oscillator, Mixer, Limiting Amplifier, Quadrature Discriminator, Active Filter, Squelch, Scan Control and Mute Switch. This device is designed for use in FM dual conversion communications equipment.

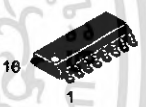
- Operates from 2.0 to 8.0 V Supply
- Low Drain Current 3.9 mA Typical @ V_{CC} = 4.0 Vdc
- Excellent Sensitivity: Input Limiting Voltage –3.0 dB = 2.6 µV Typical
- Low Number of External Parts Required
- Operating Frequency Up to 60 MHz

LOW POWER NARROWBAND FM IF

SEMICONDUCTOR TECHNICAL DATA

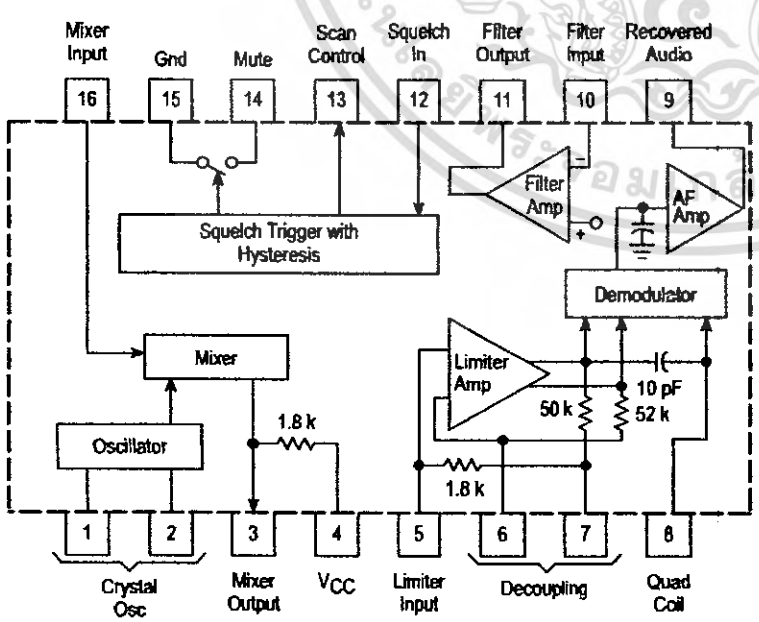


P SUFFIX
PLASTIC PACKAGE
CASE 648
Not Recommended for New Design



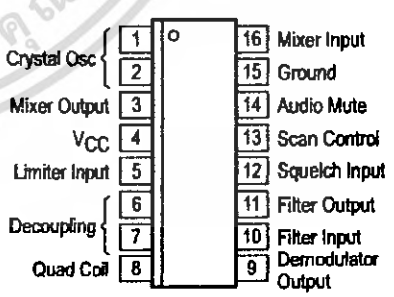
D SUFFIX
PLASTIC PACKAGE
CASE 751B
(SO–16)

Representative Block Diagram



This device contains 92 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3361BD	T_A = –30 to 70°C	SO–16
MC3361BP		Plastic DIP

© Motorola, Inc. 1999

Rev 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

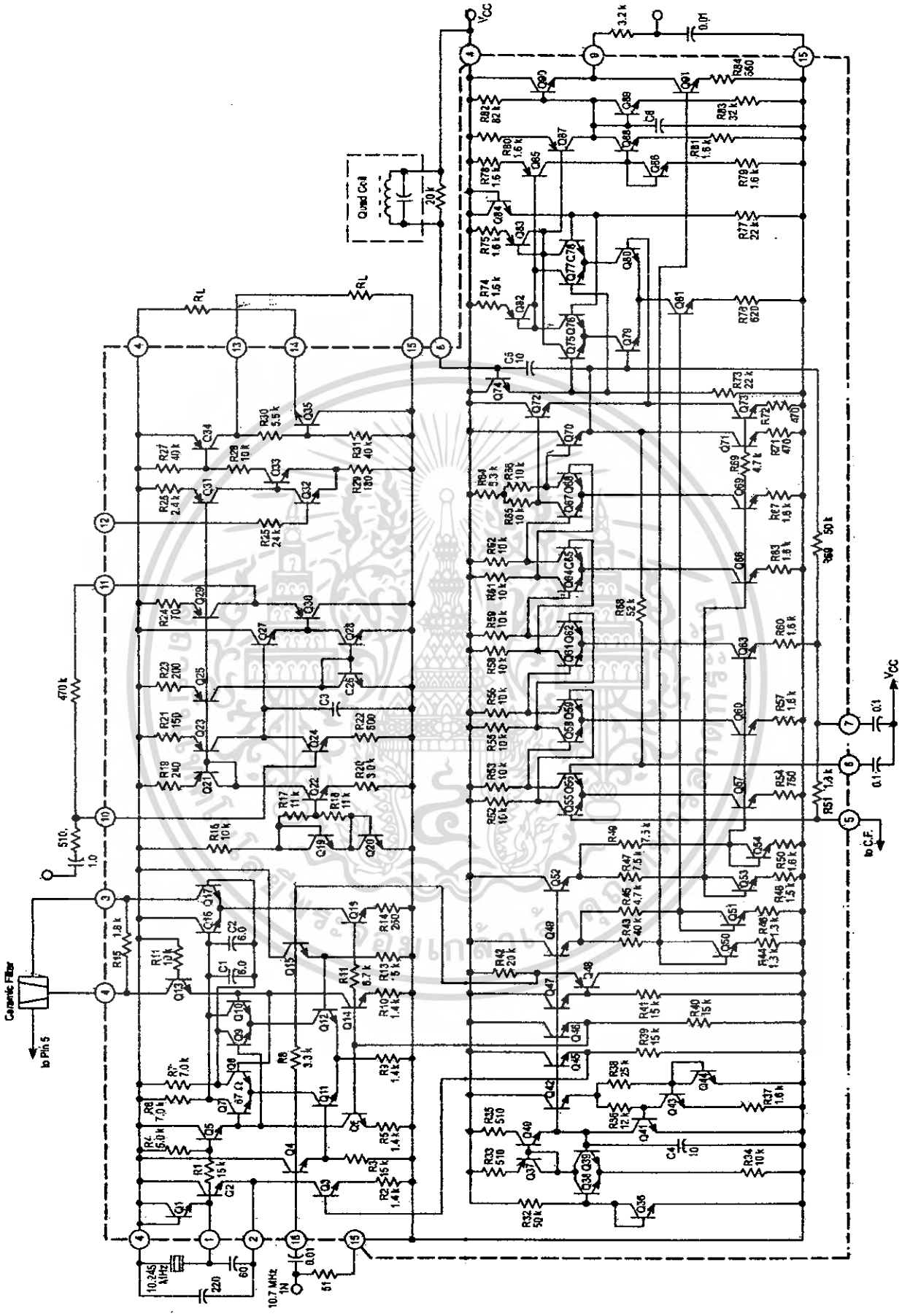
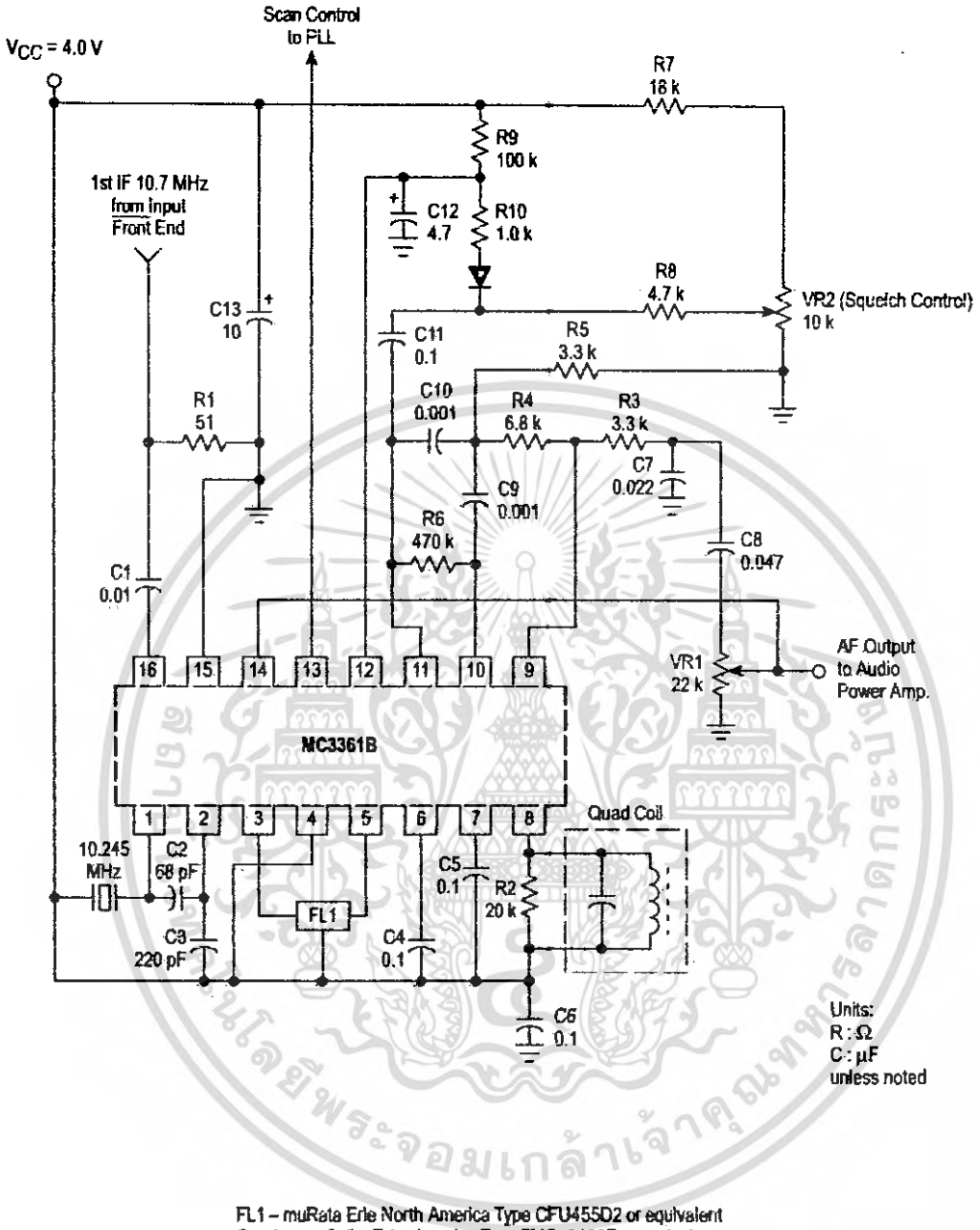


Figure 4. Low Voltage Low Power Narrowband FM IF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Simplified Application

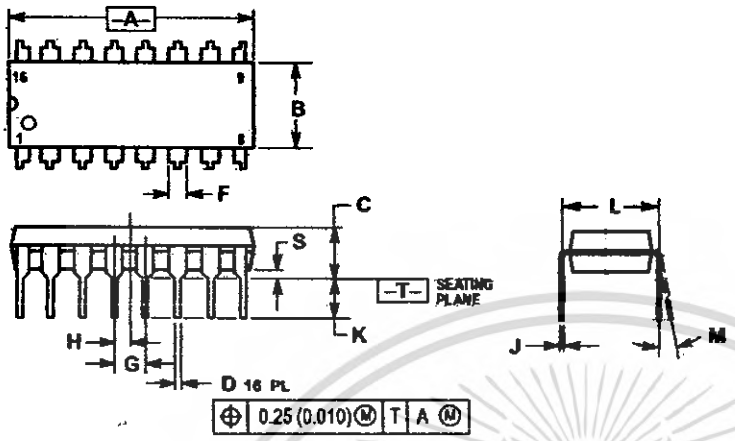


FL1 – muRata Erie North America Type CFU455D2 or equivalent
Quadrature Coil – Toko America Type 7MC–8128Z or equivalent

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การดัดแปลง
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

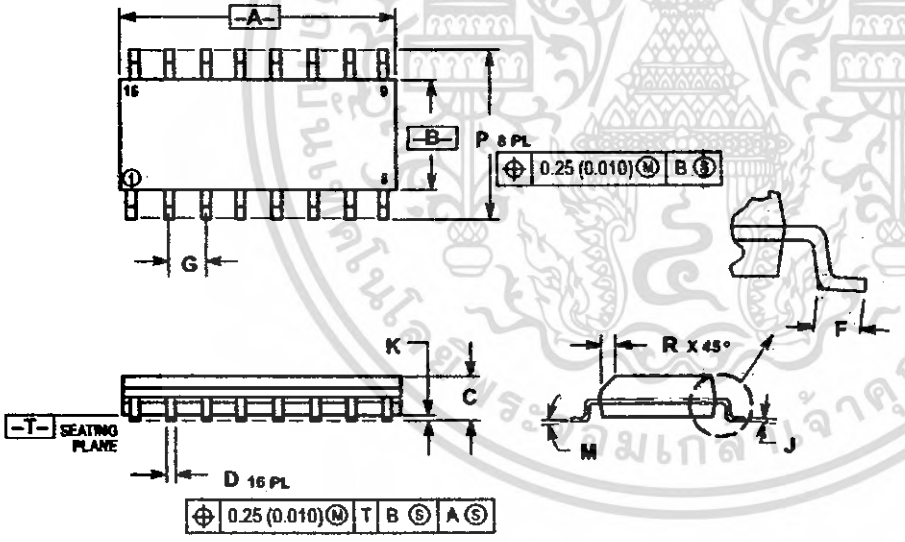
P SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

D SUFFIX
PLASTIC PACKAGE
CASE 751B–05
(SO–16)
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.18	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

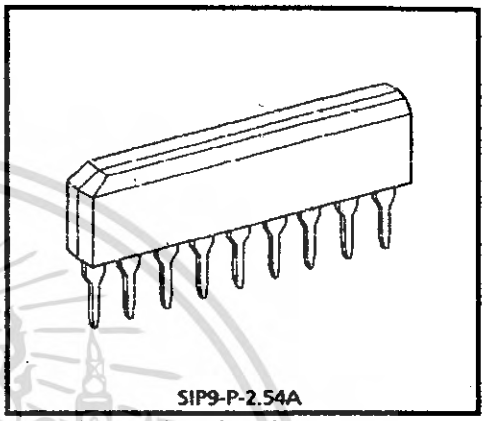
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA BIPOLAR LINEAR INTEGRATED CIRCUIT SILICON MONOLITHIC

TA7358AP

FM FRONT-END

The TA7358AP is designed for a FM front-end application, which is suitable to a portable radio or a radio cassette.
Comparing with conventional types, supply voltage dependence, overload characteristics and spurious radiation characteristics are improved.

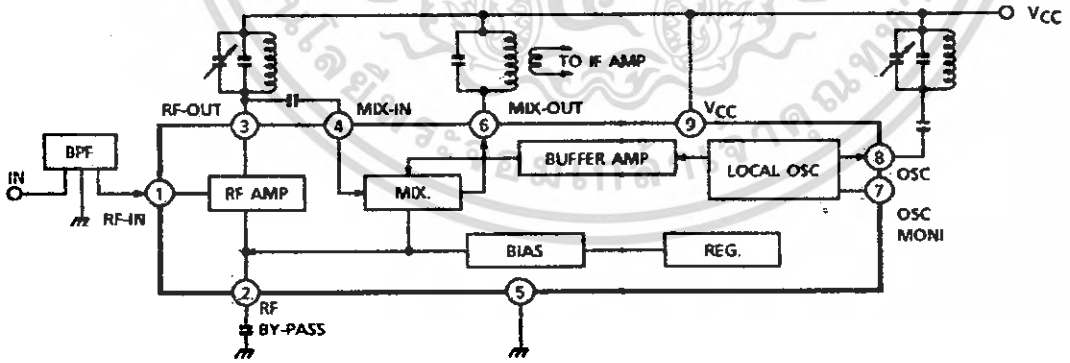


Weight : 0.92g (Typ.)

FEATURES

- Wide supply voltage range : V_{CC} = 1.6~6.0V
- Excellent supply voltage dependence of local oscillator
  : Oscillation stop
  V_{CC} = 0.9V (Typ.)
- Improved inter-modulation characteristics by double balanced type mixer circuit.
- Low spurious radiation.
- Built-in clampping diode for the local oscillator output.

BLOCK DIAGRAM

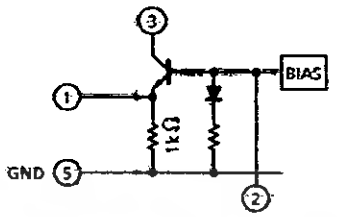
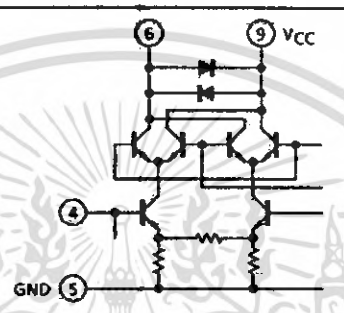
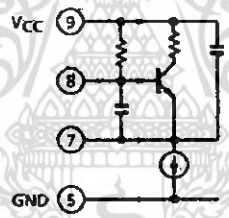


961001EBA2

- TOSHIBA is continually working to improve the quality and the reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to observe standards of safety, and to avoid situations in which a malfunction or failure of a TOSHIBA product could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent products specifications. Also, please keep in mind the precautions and conditions set forth in the TOSHIBA Semiconductor Reliability Handbook.
- The products described in this document are subject to foreign exchange and foreign trade control laws.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF TERMINALS (Terminal voltage is DC voltage at Ta = 25°C, V_{CC} = 5V, and no signal)

PIN No.	SYMBOL	INTERNAL	TERMINAL VOLTAGE (V)
1	FM-RF IN		0.8
2	BY PASS		1.5
3	FM-RF OUT		5.0
4	MIX IN		1.5
5	GND	—	0
6	MIX OUT	cf. pin ④	5.0
7	OSC MONITOR		4.3
8	OSC		5.0
9	V_{CC}	—	5.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Ta = 25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Supply Voltage	V_{CC}	8	V
Power Dissipation	P_D (Note)	500	mW
Operating Temperature	T_{opr}	−25~75	°C
Storage Temperature	T_{stg}	−55~150	°C

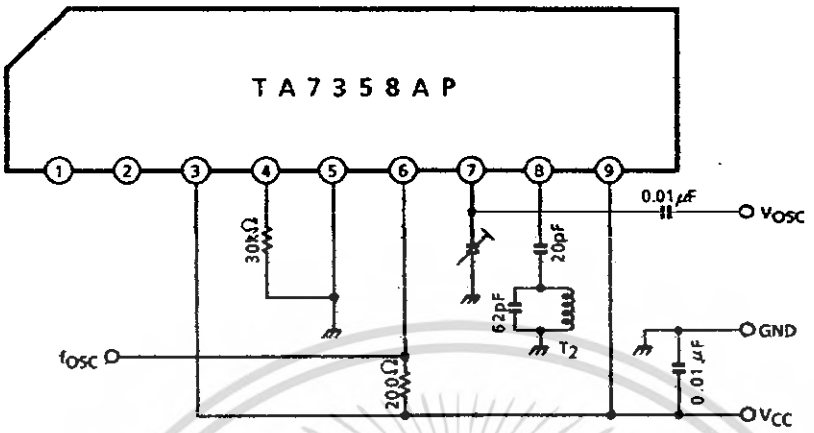
(Note) Derated above 25°C in the proportion of 4mW/°C.

ELECTRICAL CHARACTERISTICS (V_{CC} = 3V, f = 83MHz, f_m = 1kHz, Δf = ±22.5kHz, Ta = 25°C)

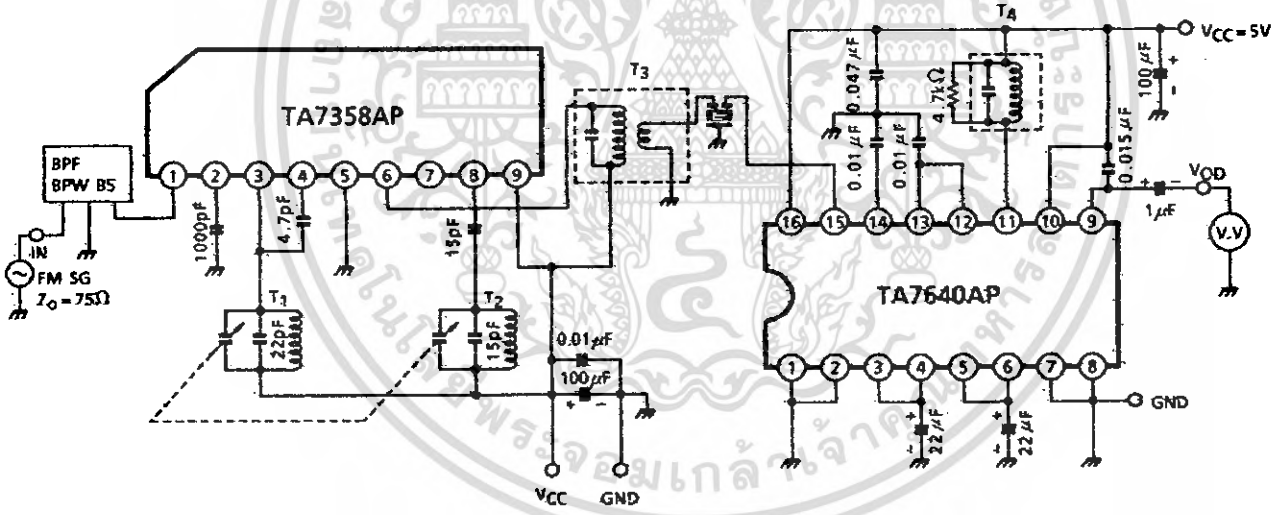
CHARACTERISTIC		SYMBOL	TEST CIR-CUIT	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Supply Current		I_{CC}	2	V_{in} = 0	—	5.2	8.0	mA
−3dB Limiting Sensitivity		V_{in} (lim)	2	—	—	3.0	7.0	dBμV EMF
Quiescent Sensitivity		Q_S	2	—	—	11.0	—	dBμV EMF
Conversion Gain		G_C	—	—	—	31	—	dB
Local OSC Voltage		V_{OSC}	1	f_{OSC} = 60MHz	90	165	220	mV_{rms}
Pin ① Impedance	Parallel Input Resistance	r_{ip1}	3	f = 83MHz	—	57	—	Ω
Pin ③ Impedance	Parallel Output Resistance	r_{op3}	3		—	25	—	kΩ
	Parallel Output Capacitance	c_{op3}			—	2.0	—	pF
Pin ④ Impedance	Parallel Input Resistance	r_{ip4}	3		—	2.7	—	kΩ
	Parallel Input Capacitance	c_{ip4}			—	3.3	—	pF
Pin ⑥ Impedance	Parallel Output Resistance	r_{op6}	3	f = 10.7MHz	—	100	—	kΩ
	Parallel Output Capacitance	c_{op6}			—	4.8	—	pF
Local OSC Stop Voltage		V_{stop}	1	—	—	0.9	1.3	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUIT 1



TEST CIRCUIT 2

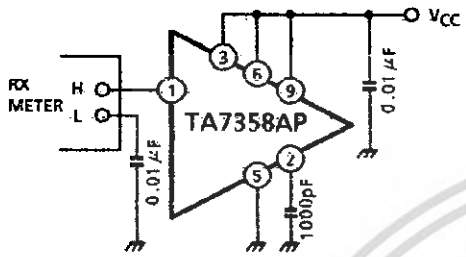


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

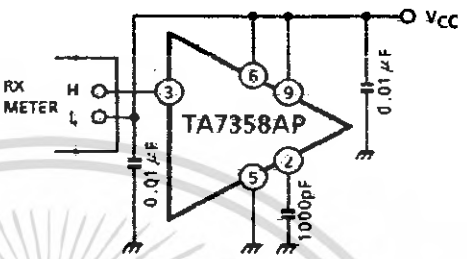
TEST CIRCUIT 3

Input output impedance

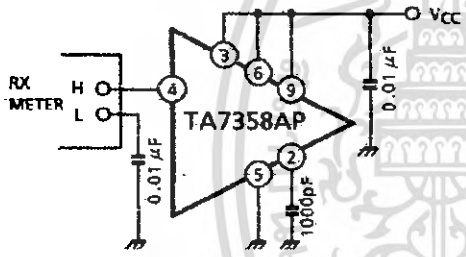
(1) r_{ip1}, c_{ip1}



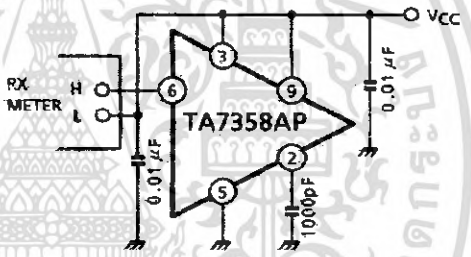
(2) r_{op3}, c_{op3}



(3) r_{ip4}, c_{ip4}

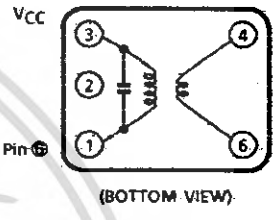
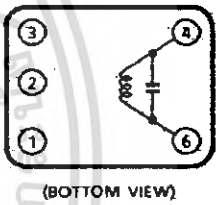


(4) r_{op6}, c_{op6}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

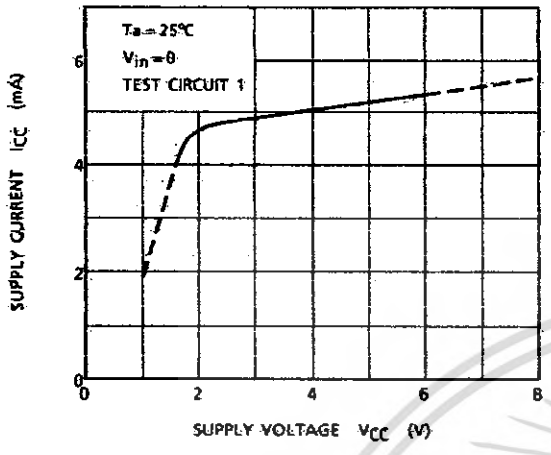
TEST CIRCUIT COIL DATA (Japan band for 76.0MHz to 108.0MHz)

COIL	f_o	Q_o	TURNS	CAPACITANCE	
T_1 RF Coil	100MHz	100	0.5mmϕ 2 $\frac{1}{4}$ T Center Tap (Japan Band)	15pF (External)	
T_2 OSC Coil	100MHz	100	0.5mmϕ 2 $\frac{1}{2}$ T (Japan Band)	15pF (External)	
T_3 IFT Coil	10.7MHz	115	①-③ 12T ④-⑥ 1T Wire 0.12mmϕ UEW SUMIDA ELECTRIC Co., LTD. 5764 or equivalent	75pF	
T_4 Quad Coil	10.7MHz	150	④-⑥ 14T Wire 0.12mmϕ UEW SUMIDA ELECTRIC Co., LTD. 44M-933A or equivalent	47pF	

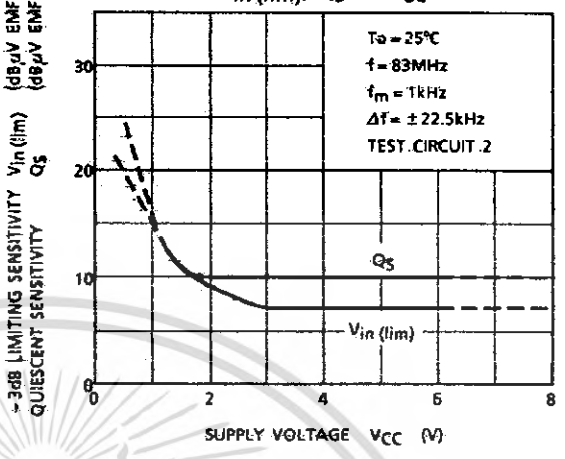
Band Pass Filter (BPF)
SOSHIN ELECTRIC Co., LTD. BPWB5
Tuning Cpacitor
ALPS ELECTRIC Co., LTD. CB41EL933

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

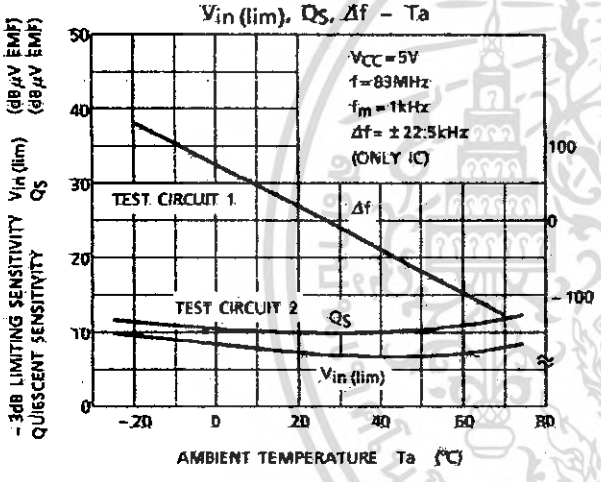
I_{CC} – V_{CC}



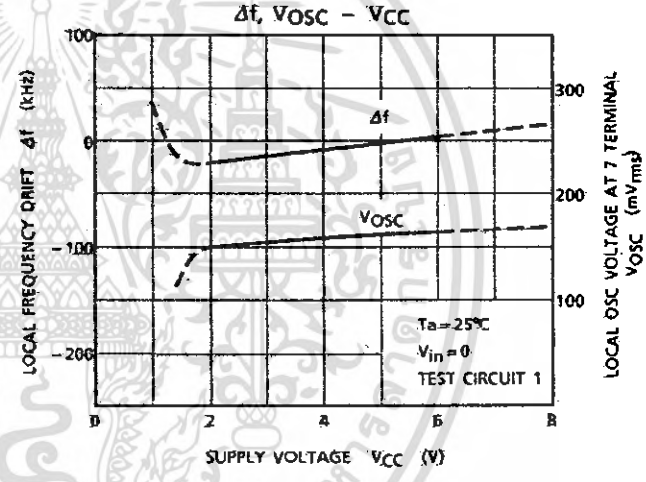
V_{in} (lim), Q_S – V_{CC}



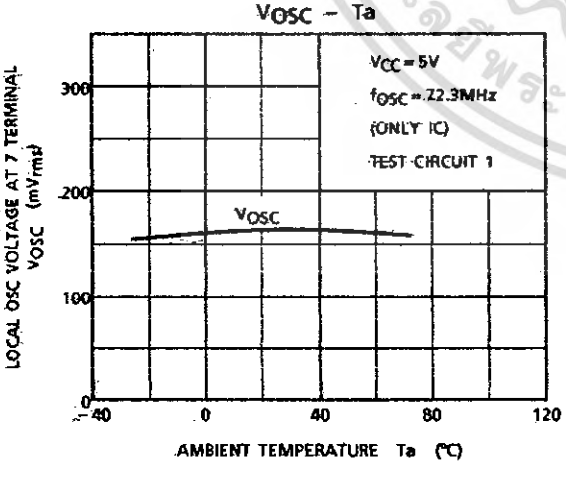
V_{in} (lim), Q_S, Δf – Ta



Δf, V_{OSC} – V_{CC}



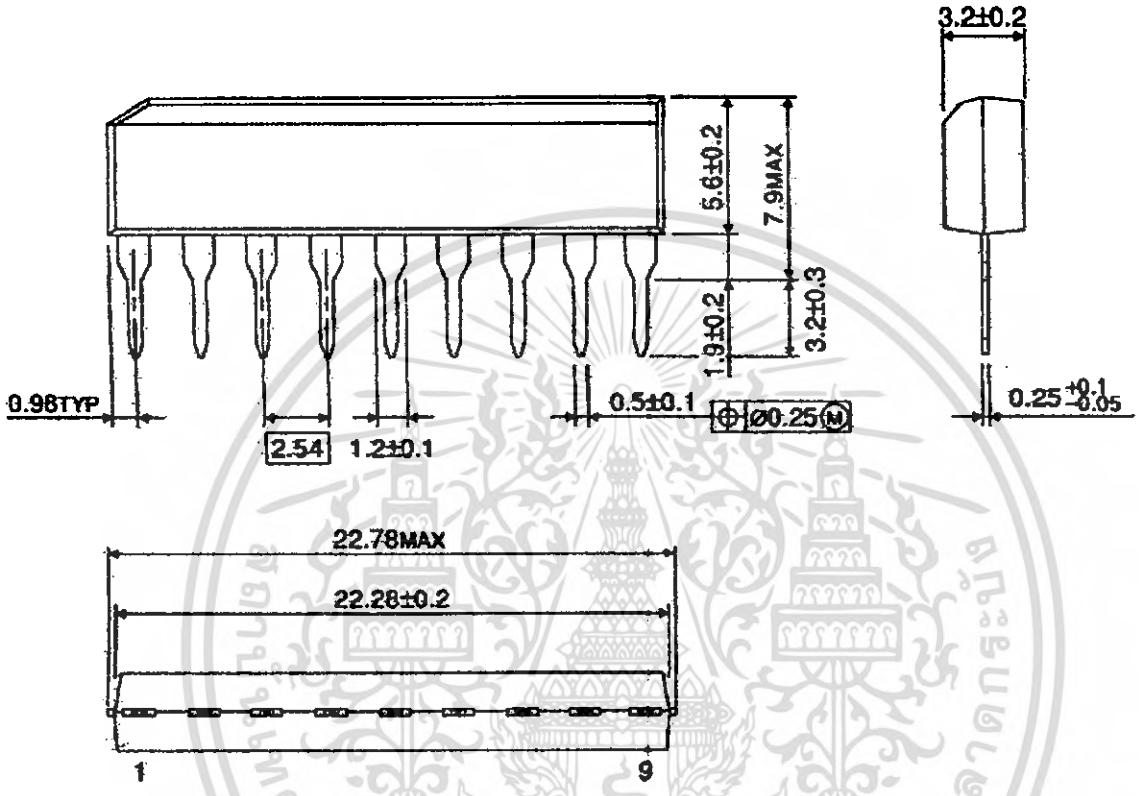
V_{OSC} – Ta



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DRAWING
SIP9-P-2.54A

Unit : mm



Weight : 0.92g (Typ.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้