

ตัวกำเนิดสัญญาณโดยใช้การเข้ารหัสแบบเดลต้าซิกม่า

SIGNAL GENERATION USING SINGLE-BIT DELTA-SIGMA TECHNIQUES



โดย
นายภาณุเทพ สุทธิบูรณ์
นายสรวิศ เอี่ยมพิทักษ์

เลขหมู่.....
เลขทะเบียน.....
วันเดือนปี 16 ส.ค. 2549

b. 41k2442
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2548

ผ่านการตรวจชิ้นงานแล้ว
(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้นผ่านการตรวจรูปเล่มแล้ว
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงถึงเจ้าที่เอกสารทุกครั้งที่มีการนำไปใช้
(ลงชื่อ).....ผู้ตรวจ

ตัวกำเนิดสัญญาณโดยใช้การเข้ารหัสแบบเดลต้าซิกม่า

SIGNAL GENERATION USING SINGLE-BIT DELTA-SIGMA TECHNIQUES



โดย

นายภาณุเทพ สุทธิบูรณ์ 45010581

นายสรวิศ เอี่ยมพิทักษ์ 45010807

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ปีการศึกษา 2548

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ตัวกำเนิดสัญญาณโดยใช้การเข้ารหัสแบบเดลต้าซิกม่า**

SIGNAL GENERATION USING SINGLE-BIT

DELTA-SIGMA TECHNIQUES

ผู้จัดทำ

1.นายภาณุเทพ สุทธิบูรณ์ 45010581

2.นายสรวิศ เอี่ยมพิทักษ์ 45010807


..... อาจารย์ที่ปรึกษา
(รศ.ดร.กอบชัย เตชะหาญ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวกำเนิดสัญญาณโดยใช้การเข้ารหัสแบบเดลต้าซิกม่า
SIGNAL GENERATION USING SINGLE-BIT
DELTA-SIGMA TECHNIQUES

โดย นายภาณุเทพ สุทธิรัตน์ 45010581
นายสรวิศ เอี่ยมพิทักษ์ 45010807

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เฉลยหาญ

บทคัดย่อ

โครงการโปรเจกต์นี้จะทำการสร้างตัวกำเนิดสัญญาณโดยนำหลักการของเดลต้าซิกม่ามาประยุกต์ใช้ในการเปลี่ยนแปลงสัญญาณ ซึ่งในโครงการนี้จะทำการจำลองการทำงานของระบบด้วยการใช้โปรแกรม MATLAB และนำข้อมูลที่ได้จากการ Simulate มาทำการสร้างวงจรจริงต่อไป

Abstract

This project studies presents the signal generator implementation based on delta-sigma technique. This project uses MATLAB program simulator to simulate all characteristics of system. All results will be used to implement the hardware.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 Digital Resonator	2
2.2 Delta-Sigma Attenuator	6
2.3 การเข้ารหัสแบบเคลตต้าซิกม่า	7
2.3.1 การสุ่มตัวอย่าง (Sampling)	7
2.3.2 สัญญาณ PCM (Pulse Coded Modulation)	8
2.3.3 Quantization noise	9
2.3.4 Oversampling	13
2.3.5 Delta-Sigma Modulator	14
2.3.6 Delta Sigma (first Order)	21
2.3.7 เคลตต้าซิกม่าอันดับสูง (Single-stage Delta Sigma modulator)	24
2.4 วงจรกำเนิดสัญญาณ (Digital Oscillator)	28
2.5 ย่านการทำงาน (Dynamic Range)	29
บทที่ 3 การคำนวณและการสร้าง	30
3.1 วงจรดิจิทัลตรีไซเคเตอร์	30
3.2 วงจรเคลตต้าซิกม่าซิงเกิลสเตจอันดับสอง	31
3.3 วงจรกรองสัญญาณ (Filter)	31
บทที่ 4 ผลการทดลอง	36
4.1 วงจร Digital Resonator	36
4.2 ผลการทดลอง Single-stage Delta Sigma modulator	38
4.3 ผลการทดลอง วงจรดิจิทัลตรีไซเคเตอร์	41
บทที่ 5 บทวิจารณ์และบทสรุป	48
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

บทที่ 2	หน้า
รูปที่ 2.1 วงจรรีโซเนเตอร์	2
รูปที่ 2.2 วงจร LC Resonant Circuit	3
รูปที่ 2.3 เปรียบเทียบค่าสัมประสิทธิ์ α_1, α_2 กับความถี่ออสซิลเลต	5
รูปที่ 2.4 (a) การคูณแบบ N-bit By N-Bit (b) การคูณแบบ N-bit By 1-Bit	6
รูปที่ 2.5 การ sampling สัญญาณและสเปกตรัม	7
รูปที่ 2.6 สเปกตรัมของสัญญาณ $X(f)$ ที่เกิด aliasing	7
รูปที่ 2.7 แสดงขบวนการ Pulse Coded Modulation; PCM ใช้ 2 บิตในการเข้ารหัส	8
รูปที่ 2.8 แสดงลักษณะของการของ quantizer	9
รูปที่ 2.9 แสดงลักษณะของการของ quantizer noise	10
รูปที่ 2.10 แสดง PDF ของ quantizer error	11
รูปที่ 2.11 แสดง PSD ของ quantizer error	12
รูปที่ 2.12 PSD ของ quantizer error ใน oversampled conversion	13
รูปที่ 2.13 แสดง Model ของ Delta Modulator	14
รูปที่ 2.14 แสดง Model ของ encoder ใน Delta Modulator	15
รูปที่ 2.15 แสดงค่า Transfer function ของ Encoder ใน Delta Modulator	15
รูปที่ 2.16 แสดง Model ของ Decoder ใน Delta modulator	16
รูปที่ 2.17 แสดงค่า Transfer function ของ Decoder ใน Delta Modulator	16
รูปที่ 2.18 แสดง Model ของ Delta Modulator ที่ได้จาก Transfer Function	17
รูปที่ 2.19 แสดง Model ของ Delta Modulator ที่ได้จาก Transfer Function ในส่วนของ encoder	17
รูปที่ 2.20 แสดง Block diagram ของ Delta Modulator เมื่อทำการแปลงส่วน Feedback	18
รูปที่ 2.21 แสดง Model ของ Delta Modulator	18
รูปที่ 2.22 แสดง Model ของ Delta Modulator จากรูปที่ 2.21 ในส่วนด้านหลัง	19
รูปที่ 2.23 แสดง Model ของ Delta Sigma Modulator ที่พัฒนาจาก Delta Modulator	19
รูปที่ 2.24 แสดงลักษณะของ Block Diagram ที่นำมาต่อกัน	20
รูปที่ 2.25 แสดง Block Diagram ของ Delta-Sigma	20
รูปที่ 2.26 White noise model	21
รูปที่ 2.27 แสดงรูปแบบของ Single-Stage Delta Sigma modulator	24
รูปที่ 2.28 แสดง Second-Order Single-Stage Delta Sigma	25
รูปที่ 2.29 วงจรดิจิทัลรีโซเนเตอร์ที่ทำการเปลี่ยนใหม่	28

บทที่ 3	หน้า
รูปที่ 3.1 วงจรรีโซเนเตอร์	30
รูปที่ 3.2 วงจรเคลตซ์กามาซึ่งเกิดสเตรจอันดับ 2	31
รูปที่ 3.3 วงจร Sallen-Key lowpass biquad	31
รูปที่ 3.4 วงจรกรองสัญญาณความถี่ต่ำอันดับ 4 โดยใช้วงจร Sallen-Key biquad	35
บทที่ 4	
รูปที่ 4.1 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ 1	36
รูปที่ 4.2 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ 1 แต่มีความถี่สูงขึ้น	36
รูปที่ 4.3 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ 0.5	37
รูปที่ 4.4 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ 2	37
รูปที่ 4.5 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด 0.5 โวลต์	38
รูปที่ 4.6 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด 1 โวลต์	38
รูปที่ 4.7 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด 0.5 โวลต์	39
รูปที่ 4.8 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด 1 โวลต์	39
รูปที่ 4.9 กราฟค่า PSD ของ Single Stage Delta Sigma Order 2	40
รูปที่ 4.10 แสดง Simulate เมื่อสัญญาณผ่านตัวกรองสัญญาณ	40
รูปที่ 4.11 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 2kHz แอมพลิจูดเท่ากับ 1Vpp	41
รูปที่ 4.12 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1Vpp	42
รูปที่ 4.13 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 5kHz แอมพลิจูดเท่ากับ 1Vpp	43
รูปที่ 4.14 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1Vpp และมีเฟสเท่ากับ 0°	44
รูปที่ 4.15 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1Vpp และมีเฟสเท่ากับ 90°	45
รูปที่ 4.16 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate กับ การทดลอง ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1Vpp และมีเฟสเท่ากับ 180°	46
รูปที่ 4.17 แสดงการวัดสเปกตรัมของวงจรออสซิลเลเตอร์	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันการออกแบบวงจรกำเนิดสัญญาณมีความต้องการให้วงจรมีความง่ายและมีเสถียรภาพเพิ่มมากขึ้น จึงได้มีการพัฒนาและออกแบบวงจรกำเนิดสัญญาณมาอย่างต่อเนื่อง และเพื่อตอบสนองความต้องการทางด้านโทรคมนาคมที่เพิ่มมากขึ้น

ในโครงการนี้ได้ทำการศึกษาและออกแบบวงจรกำเนิดสัญญาณซึ่งอยู่บนพื้นฐานของคิจิตตอริโซเนเตอร์(Digital Resonator) โดยในวงจรคิจิตตอริโซเนเตอร์นั้นได้นำเอาเทคนิคของการเข้ารหัสสัญญาณแบบเดลต้าซิกม่า (Delta-Sigma) มาใช้ ซึ่งมีข้อดีคือสามารถลดจำนวนบิตในการคูณสัญญาณลงได้ และเมื่อนำเอาเอาท์พุทที่ออกมาจากเดลต้าซิกม่ามาเข้าวงจรกรองสัญญาณความถี่ต่ำ (Lowpass Filter) จะได้สัญญาณอนาลอกออกมาซึ่งส่วนนี้จะทำหน้าที่เหมือนเป็น Digital to Analog Converter (DAC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีและหลักการ

2.1 Digital Resonator

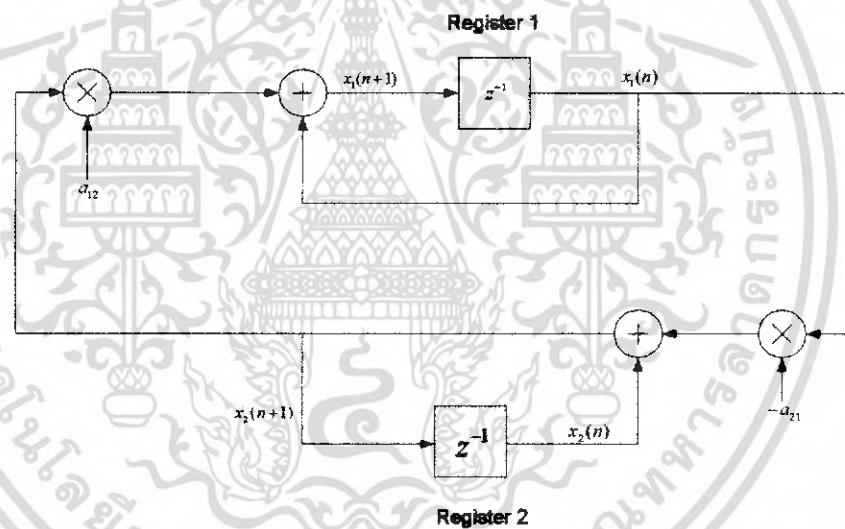
รีโซเนเตอร์ (Resonator) เป็นวงจรที่มีหน้าที่ในการสร้างสัญญาณ Sinusoidal โดยประกอบไปด้วยตัวคูณค่าคงที่ (Discrete Time Integrator) 2 ตัว ซึ่งที่ทรานสเฟอร์ฟังก์ชันต่างกันดังสมการ (2.1) และสมการ (2.2)

$$\frac{z^{-1}}{(1-z^{-1})} \quad (2.1)$$

$$\frac{1}{(1-z^{-1})} \quad (2.2)$$

วงจรจะนำเอาอินทิเกรเตอร์ทั้ง 2 ตัวนี้มาต่อแบบอนุกรมกันทำให้เกิดเป็นรูปของรีโซเนเตอร์ดัง

รูป 2.1



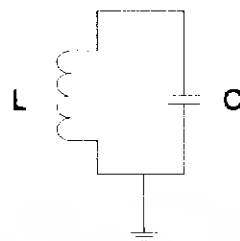
รูปที่ 2.1 วงจรรีโซเนเตอร์

โดยเรียกวงจรนี้ว่าวงจรรีโซเนเตอร์อันดับสอง (Second-Order Digital Resonator)

วงจรรีโซเนเตอร์อันดับสองจะมีพื้นฐานการทำงานมาจากการทำงานของ LC-Ladder ซึ่งเป็นอุปกรณ์แบบอนุกรมที่แสดงรูปที่ 2.2 ซึ่งจะมีคุณสมบัติเป็นแบบ “Lossless Circuit” ซึ่งหมายความว่า เป็นวงจรที่มีค่าการสูญเสียค่า โดยลักษณะการทำงานของวงจรมัน ส่วนของตัวเก็บประจุ และขดลวดเหนี่ยวนำจะทำหน้าที่สร้างสนามไฟฟ้าและสนามแม่เหล็กตามลำดับ ซึ่งผลจากการเหนี่ยวนำของสนามพลังทั้งสองจะส่งผลให้เกิดสัญญาณ Sinusoids เกิดขึ้น ในสัญญาณที่เกิดจากวงจรมีค่าความถี่ที่มีความสัมพันธ์กับค่าของตัวเก็บประจุและค่าของขดลวดเหนี่ยวนำดังสมการ (2.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (2.3)$$



รูปที่ 2.2 วงจร LC Resonant Circuit

จากความสัมพันธ์ข้างต้น ถึงแม้ว่าเราเปลี่ยนแปลงค่าของตัวเก็บประจุหรือค่าของขดลวดเหนี่ยวนำไปเท่าใดก็ตาม วงจรก็ยังสามารถเกิดการออสซิลเลตได้อยู่เสมอ แต่ค่าความถี่ออสซิลเลตของวงจรจะมีค่าที่เปลี่ยนแปลงไปดังสมการที่ (2.3) อีกทั้งหากมองลึกเข้าไปอีกนั้นยังจะพบว่าค่าของแอมพลิจูดของสัญญาณที่ได้จากการออสซิลเลตจะมีค่าที่เปลี่ยนแปลงไปตามค่าของอุปกรณ์ทั้งสองด้วย

เนื่องจากในคิรจิตอลโคเมนนั้น เราไม่มีอุปกรณ์แบบตัวเก็บประจุหรือขดลวดเหนี่ยวนำตามแบบอนาลอกโคเมน ฉะนั้นเราจึงกำหนดค่าพารามิเตอร์เพื่อที่จะนำมาแทนค่าพารามิเตอร์ของตัวเก็บประจุและขดลวดเหนี่ยวนำซึ่งจะกำหนดเป็นค่า a_{12} และค่า a_{21} ซึ่งจากรูปที่ 2.1 จะสามารถเขียนวงจรเป็นความสัมพันธ์ดังนี้

$$x_1(n+1) = x_1(n) + a_{12}x_2(n) \quad (2.4)$$

$$x_2(n+1) = -a_{21}x_1(n+1) + x_2(n) \quad (2.5)$$

จากความสัมพันธ์ของสมการ (2.4) และสมการ (2.5) เมื่อเรากำจัด $x_2(n)$ ออกไปให้เหลือแต่ $x_1(n)$ แล้วทำ z-transform จะได้สมการดังนี้

$$z^2X_1(z) + (a_{12}a_{21} - 2)zX_1(z) + X_1(z) = 0 \quad (2.6)$$

จากสมการที่ (2.6) จะได้สมการ Characteristic คือ

$$z^2 + (a_{12}a_{21} - 2)z + X_1(z) = 0 \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถคำนวณหาโพลได้จากสมการที่ (2.7) ด้วยการถอดรากที่สองของสมการซึ่งจะได้ดังนี้

$$z_{1,2} = \left(1 - \frac{a_{12}a_{21}}{2}\right) \pm \frac{1}{2} \sqrt{a_{12}a_{21}(a_{12}a_{21} - 4)} \quad (2.8)$$

ค่าของ $a_{12} \cdot a_{21}$ จะมีค่าอยู่ระหว่าง 0 ถึง 4 ซึ่งค่าของ $a_{12}a_{21}$ จะทำให้ได้คำตอบที่แตกต่างกันซึ่งคำตอบที่ได้จะเป็นค่าคิคลิบเสมอ โดยคำตอบที่ได้จะเป็นรากของจำนวนเชิงซ้อนซึ่งสามารถแยกได้ 2 กรณีดังนี้

เมื่อ $0 < a_{12} \cdot a_{21} \leq 2$ จะได้คำตอบของรากสมการอยู่ทางค้ำนครึ่งขวาของระนาบ z-plane และคำตอบจะได้เป็นดังสมการที่ (2.9)

$$z_{1,2} = e^{\pm j \cos^{-1}\left(\frac{1-a_{12}a_{21}}{2}\right)} \quad (2.9)$$

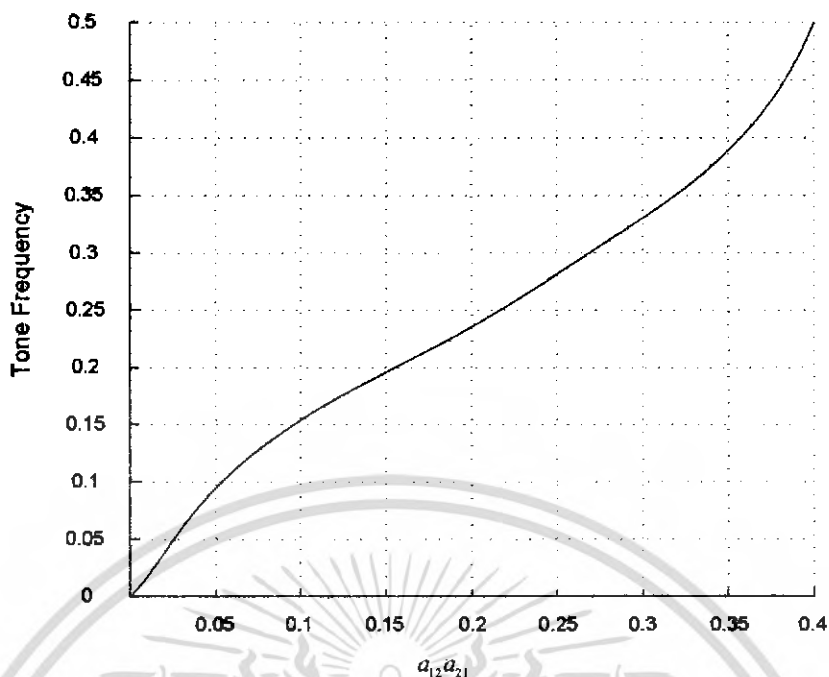
และเมื่อ $2 < a_{12} \cdot a_{21} \leq 4$ ค่าคำตอบของสมการจะอยู่ทางค้ำนครึ่งซ้ายของระนาบ z-plane และได้คำตอบของสมการดังสมการที่ (2.10)

$$z_{1,2} = e^{\pm j \left(\pi - \cos^{-1}\left(\frac{1-a_{12}a_{21}}{2}\right)\right)} \quad (2.10)$$

จากสมการ (2.9) และ (2.10) ค่าของคำตอบที่ได้จะเป็นค่าที่อยู่บน Unit Circle ซึ่งจะทำให้เกิดการออสซิลเลต และจากสมการ (2.9) และ (2.10) เราจะสามารถหาความถี่ในการออสซิลเลต (ω_0) ได้จากเทอมของเฟสโนมีความสัมพันธ์ดังสมการที่ (2.11)

$$\omega_0 = \begin{cases} f_{os} \cos^{-1}\left(1 - \frac{a_{12}a_{21}}{2}\right) & ; 0 < a_{12}a_{21} \leq 2 \\ f_{os} \left(\pi - \cos^{-1}\left(1 - \frac{a_{12}a_{21}}{2}\right)\right) & ; 2 < a_{12}a_{21} \leq 4 \end{cases} \quad (2.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 เปรียบเทียบค่าสัมประสิทธิ์ $a_{12} \cdot a_{21}$ กับความถี่ออสซิลเลต

จากรูปจะเป็นการแสดงความสัมพันธ์ระหว่างความถี่ในการออสซิลเลตกับค่าสัมประสิทธิ์ $a_{12} \cdot a_{21}$ ซึ่งเป็นค่าที่อยู่ระหว่าง 0 ถึง 4 ซึ่งจะทำให้ความถี่ในการออสซิลเลตจะมีค่าต่อเนื่องอยู่ระหว่าง 0 ถึง $\frac{f_{os}}{2}$ แต่อย่างไรก็ตามค่าของ $a_{12} \cdot a_{21}$ จะมีค่าที่จำกัด ทำให้ค่าความถี่ของการออสซิลเลต (ω_0) มีค่าที่จำกัดตามไปด้วย

จากวงจร LC-Tank สามารถหาค่าแอมพลิจูดของการออสซิลเลตของวงจรเมื่อเรามาเปรียบเทียบกับคิรคิตออสซิลเลเตอร์ เราจะคิดจากสมการ (2.4) และ (2.5) โดยจากการวิเคราะห์ใน z-plane มาแล้วจะทำให้สามารถหาค่าความถี่ของการออสซิลเลตได้

$$x_1(n) = A \sin(\omega_0 n T + \phi) \quad (2.12)$$

ซึ่ง $T = \frac{1}{f_{os}}$ และค่าของวีธีสเตอร์ 1 และ 2 จะมีค่า $n=0$ และ $n=1$ ตามลำดับดังสมการ

$$x_1(0) = A \sin(\phi) \quad (2.13)$$

$$x_1(1) = A \sin(\omega_0 T + \phi) \quad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

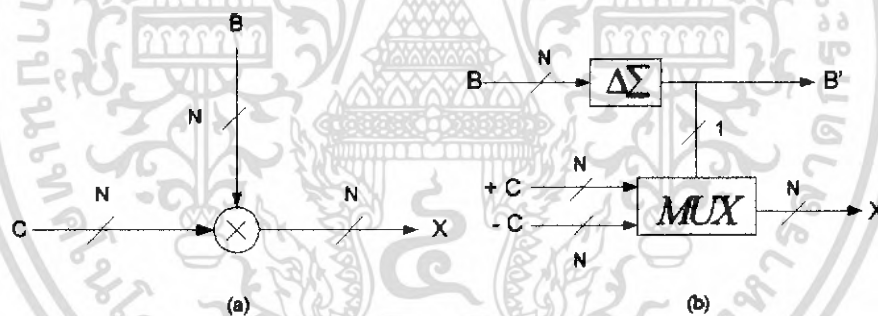
เมื่อเราสมการ (2.4) และ สมการ (2.5) โดยใช้ความสัมพันธ์ของตรีโกณมิติ ที่มีค่า $\sin = 0$ และ ตรีโกณมิติ ที่มีค่า $\cos = 1$ ซึ่งเป็น "Initial Condition" ที่เก็บอยู่ในรีจิสเตอร์ทั้งสอง ดังสมการ

$$A = \frac{(1 - a_{12}a_{21})x_1(0) + a_{12}x_2(0)}{\sin(\omega_0 T + \phi)} \quad (2.15)$$

$$\phi = \tan^{-1} \left(\frac{x_1(0)\sin(\omega_0 T)}{(1 - a_{12}a_{21} - \cos(\omega_0 T))x_1(0) + a_{12}x_2(0)} \right) \quad (2.16)$$

2.2 Delta-Sigma Attenuator

การคูณกันในโดเมนดิจิทัลนั้นมีความสำคัญมาก แต่อย่างไรก็ตามในการคูณกับแบบหลายบิตต่อ หลายบิต (N-bit by N-bit Multiplication) นั้นมีข้อจำกัดในการคำนวณและออกแบบวงจรหลายประการ เช่น คำนวณการคูณแบบที่ต้องการใช้รูปร่างของซิลิกอนที่มีลักษณะเฉพาะตัว, มีช่วงที่มีความจำกัดทางด้าน Timing Cycle ซึ่งจะมีลักษณะดังรูป... โดยจะประกอบไปด้วยตัวคูณที่มีลักษณะ C คูณกับสัญญาณที่เปลี่ยนแปลงไปตามเวลาที่เปลี่ยนไป B ซึ่งเมื่อคูณกันแล้วจะได้สัญญาณ X ออกมา ซึ่งเป็นสัญญาณหลายบิต



รูปที่ 2.4 (a) การคูณแบบ N-bit By N-Bit

(b) การคูณแบบ N-bit By 1-Bit

ดังนั้นถ้าต้องการที่จะลดข้อจำกัดที่กล่าวมานั้น วิธีหนึ่งที่จะช่วยแก้ปัญหานี้ได้นั้นคือทำการออกแบบใหม่ โดยเราใช้การเข้ารหัสแบบเดลต้า-ซิกมา เข้ามาช่วย โดยนำมาทำเป็นส่วนในการคูณสัญญาณเพื่อให้ได้สัญญาณเอาต์พุตเป็นสัญญาณ 1 บิต (N-bit by 1-Bit Multiplication) โดยกระบวนการจะเป็นแบบ 2:1 Multiplexer ดังรูป 2.4(b) โดยเมื่อนำมารวมกันระหว่างเดลต้าซิกมา กับ ส่วนของ Multiplexer จะเรียกว่า "Delta-Sigma Attenuator"

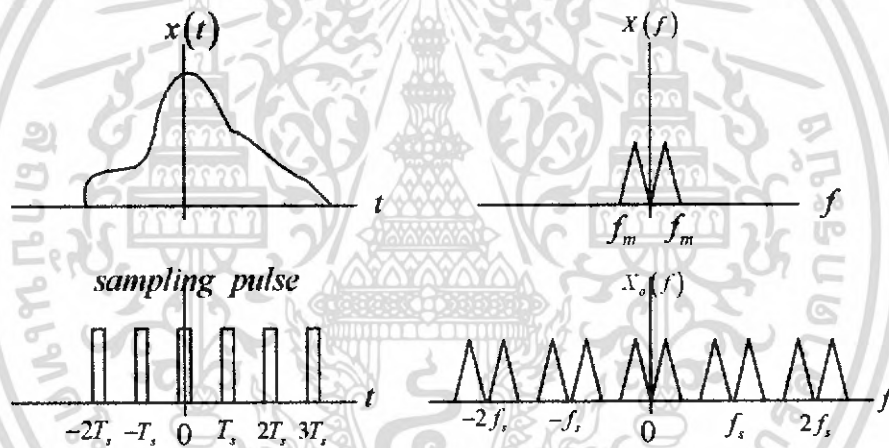
2.3 การเข้ารหัสแบบแอนะล็อก

2.3.1 การสุ่มตัวอย่าง (Sampling)

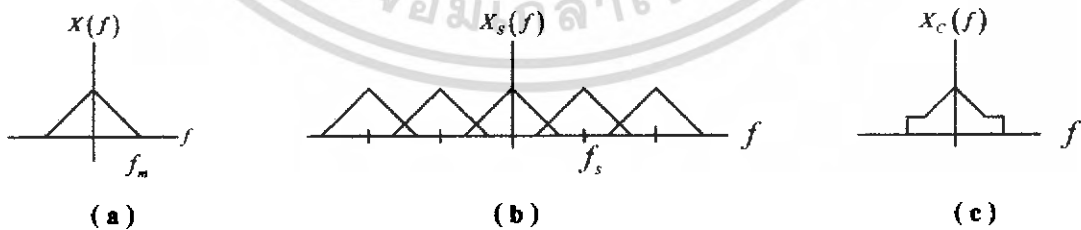
สัญญาณอนาล็อกที่มีความต่อเนื่องทางขนาดจะถูกแปลงเป็นสัญญาณดิจิทัลที่มีสัญญาณไม่ต่อเนื่องได้นั้น ทำได้โดยการสุ่มตัวอย่าง (Sampling) เป็นการตัดสุ่มสัญญาณอนาล็อกเป็นช่วงๆด้วยความถี่ของการสุ่ม (Sampling frequency, f_s) หรือเวลาการสุ่ม (Sampling time, T_s) สัญญาณเดิมจะถูกเปลี่ยนกลับคืนมาได้ อย่างครบถ้วนนั้นต้องมีข้อจำกัดที่สำคัญ ซึ่งกล่าวไว้ในทฤษฎีบทการสุ่มตัวอย่างของ Shannon คือ ความถี่ของการสุ่มตัวอย่างจะต้องสูงกว่า ความถี่สูงสุดของสัญญาณที่ต้องการสุ่มนี้สองเท่าขึ้นไป ถ้าสัญญาณที่ต้องการสุ่มตัวอย่างมีความถี่สูงสุดเป็น f_m ความถี่ของการสุ่มตัวอย่าง f_s จะต้องเป็น

$$f_s \geq 2f_m \tag{2.17}$$

สัญญาณที่เปลี่ยนกลับจึงไม่เกิดการบิดเบี้ยว เรียกอัตราการสุ่มตัวอย่างนี้ว่า Nyquist rate



รูปที่ 2.5 การ sampling สัญญาณและสเปกตรัม



รูปที่ 2.6 สเปกตรัมของสัญญาณ $X(f)$ ที่เกิด aliasing

(a) $X(f)$ (b) หลังการ sampling (c) หลังจากผ่านฟิลเตอร์

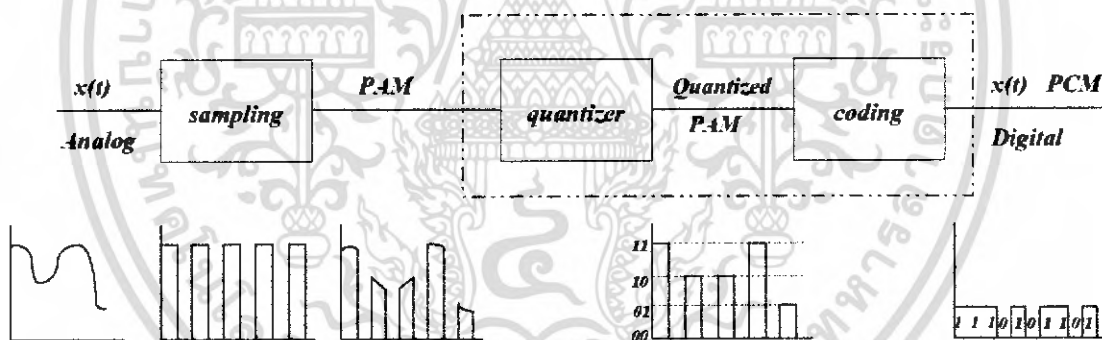
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสุ่มตัวอย่างของสัญญาณเป็นการสุ่มสัญญาณด้วยขบวนพัลส์ที่มีความถี่เท่ากับความถี่การสุ่ม จะได้สเปกตรัมของสัญญาณเป็นการย้ายความถี่ไปอยู่ที่ความถี่เป็นจำนวนเท่าของความถี่การสุ่ม ดังรูปที่ 2.5 ถ้าสุ่มตัวอย่างด้วยความถี่สูงกว่าหรือเท่ากับ Nyquist rate สัญญาณที่ถูกสุ่มแล้วนั้นเมื่อผ่านวงจรกรองความถี่ต่ำผ่านก็จะได้สัญญาณเดิมกลับคืนมา แต่ถ้าสุ่มตัวอย่างที่ความถี่ต่ำกว่า Nyquist rate ทำให้สเปกตรัมของสัญญาณทับซ้อนกันดังรูปที่ 2.6 (b) เรียกว่าเกิดเอเลียตซิง (aliasing) เมื่อผ่านวงจรกรองความถี่ต่ำผ่านจะไม่ได้สัญญาณเดิมกลับคืนมา

2.3.2 สัญญาณ PCM (Pulse Coded Modulation)

สัญญาณอนาลอกเมื่อถูกสุ่มตัวอย่างเป็นพัลส์นี้จะมีระดับขนาดเท่าใดก็ได้ตามสัญญาณอนาลอกที่สุ่มได้ จากนั้นจะทำการปรับระดับขนาดของพัลส์นี้ให้อยู่ในระดับที่กำหนดไว้ เรียกขบวนการนี้ว่า quantization จากนั้นจึงเข้ารหัสของพัลส์ที่ได้นี้ การที่พัลส์มีขนาดต่างๆ เมื่อถูกจัดเข้ากับระดับที่กำหนดไว้จะทำให้เกิดความผิดพลาด (ความแตกต่าง) จากการปรับระดับนี้ เรียกว่า quantization noise เพื่อลด noise ที่เกิดขึ้นลง ทำได้โดยการ quantize แบบ non-linear ซึ่งจะกล่าวถึงในตอนต่อไป

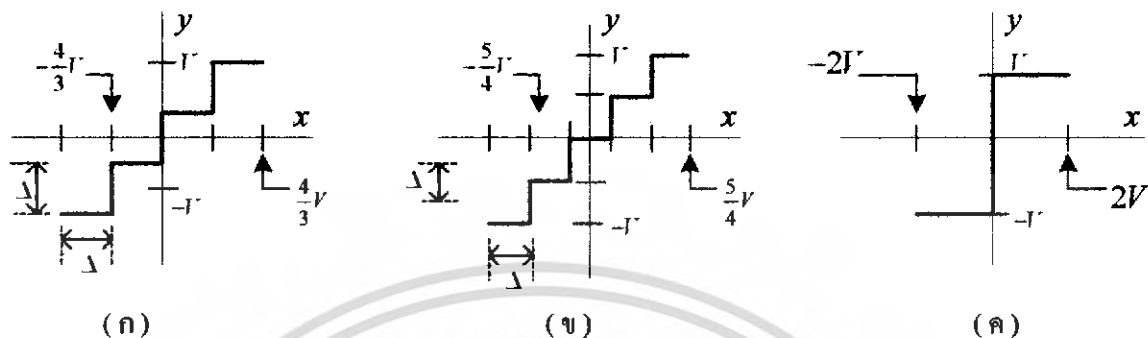
การเข้ารหัสสัญญาณ PAM ที่สุ่มได้นั้นขึ้นอยู่กับจำนวนระดับสัญญาณที่กำหนดไว้ เช่น ถ้ากำหนดระดับสัญญาณที่แตกต่างกันไว้ 4 ระดับ ก็สามารถเข้ารหัสฐานสอง 2 บิต แทนสัญญาณแต่ละระดับได้ และถ้าเป็น 8 ระดับก็จะใช้ 3 บิตในการเข้ารหัสเป็นเลขฐานสองเป็นต้น



รูปที่ 2.7 แสดงขบวนการ Pulse Coded Modulation; PCM ใช้ 2 บิตในการเข้ารหัส

การสร้างสัญญาณ PCM คือ วิธีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัลนั่นเอง วิธีการก็คือ ต้องแยกสัญญาณอนาลอกให้เป็นระดับที่แน่นอนที่กำหนดไว้ คือ การ quantize สัญญาณนั่นเอง โดยสัญญาณที่ถูกสุ่มตัวอย่างแล้วจะถูก quantize แอมพลิจูดที่ให้ออกมาเป็นเอิร์ททุคที่หาค่าได้ คือ เมื่ออินพุตที่เข้ามาจะเป็นค่าของแอมพลิจูดที่หาค่าไม่ได้มาเข้ากระบวนการ quantize แล้วจะให้เอิร์ททุคของแอมพลิจูดที่ถูกแทนค่าด้วยรหัสดิจิทัลซึ่งค่าที่สามารถหาค่าได้ ดังเช่นรูปที่ 2.8 (c) ซึ่งเป็นการแปลงสัญญาณอนาลอกเป็นดิจิทัลขนาด 1 bit ระดับของเอิร์ททุคที่ได้เป็น V และ $-V$ ซึ่งสามารถแทนค่าเป็นรหัส

ดิจิทัลคือ '1' และ '0' ซึ่งรหัสดิจิทัลนี้มักจะถูกเรียกว่า PCM (Pulse Coded Modulation) ซึ่งในระบบคณาดิจิทัลมอดูเลชันเป็นการ quantizer แบบ 2 ระดับ



รูปที่ 2.8 แสดงลักษณะของการของ quantizer

- (a) การ quantizer 4 ระดับ
- (b) การ quantizer 5 ระดับ
- (c) การ quantizer 2 ระดับ

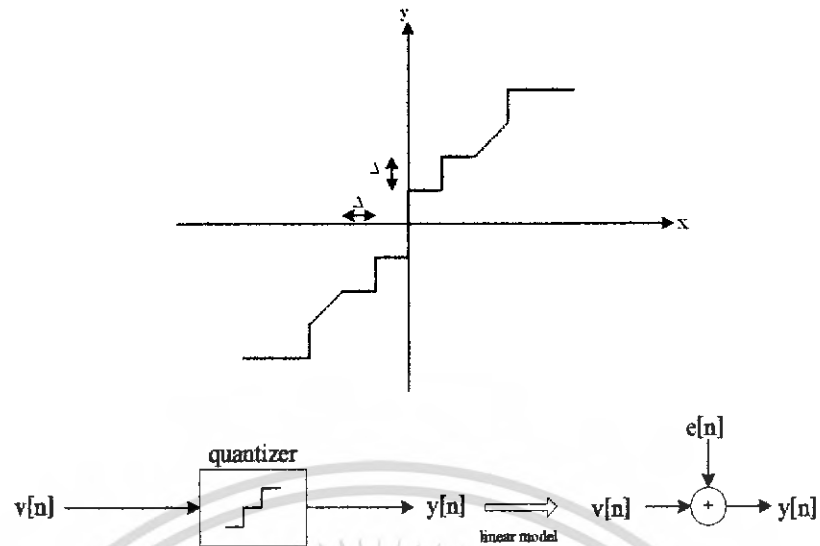
2.3.3 Quantization noise

จากการแปลงสัญญาณด้วยวิธีต่างๆดังที่กล่าวไปแล้วนั้น ความสำคัญของการแปลงสัญญาณอยู่ที่การได้สัญญาณดิจิทัลที่แทนสัญญาณอนาลอก ได้ใกล้เคียงมากที่สุด และใช้เวลาในการแปลงน้อยที่สุด ต้องแบ่งจำนวนระดับที่จะแทนสัญญาณนั้นมากที่สุด นั่นคือจำนวนบิตที่ใช้ในการแทนสัญญาณต้องมากที่สุดเท่าที่จะเป็นไปได้ ในจำนวนบิตที่จำกัดค่าหนึ่งจะได้จำนวนระดับที่จะกีดเช่นกัน ตัวอย่างเช่น จำนวนบิตเท่าที่ 3 จะมีจำนวนระดับเท่ากับ 8 ระดับในการ quantize สัญญาณอนาลอกขนาดเท่าใดก็ตามจะถูกจัดเข้าเป็นระดับแค่ 8 ระดับนี้เท่านั้น ในขั้นตอนการแปลงสัญญาณกลับเป็นสัญญาณอนาลอกอาจทำให้เกิดความแตกต่างระหว่างสัญญาณอนาลอกเดิมกับสัญญาณอนาลอกที่แปลงกลับจากสัญญาณดิจิทัลเนื่องจากสัญญาณอนาลอกมีค่าที่เป็นไปได้ทุกค่า ในขณะที่สัญญาณอนาลอก ที่แปลงจากสัญญาณดิจิทัลดังกล่าวจะมีค่าเพียง 8 ค่าดังกล่าว

ปกติแล้ว $Q(z)$ หรือ Quantizer นั้นเราจะเขียนอยู่ในรูปของ white noise ที่มี PDF (Probability Density Function) เป็นแบบ uniform โดย PDF อยู่ในรูปของ

$$f(x) = \begin{cases} \frac{1}{x_2 - x_1}; & x_1 \leq x \leq x_2 \\ 0; & \text{otherwise} \end{cases} \quad (2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงลักษณะของการของ quantizer noise

เมื่อเราให้ Step size ของ uniform quantization เท่ากับ Δ เราจะสามารถได้จาก

$$\Delta = \frac{2x_{\max}}{2^N - 1} \quad (2.19)$$

โดยที่ x_{\max} เท่ากับ ค่าสูงสุดของสัญญาณ input เมื่อสัญญาณมีขนาด N เท่ากับ จำนวนบิตที่ใช้ในการแสดงค่า

ดังนั้น error จาก quantization จะอยู่ในช่วง $-\frac{\Delta}{2}$ ถึง $+\frac{\Delta}{2}$ เท่านั้น ทำให้ค่า PDF เท่ากับ

$$f(x) = \begin{cases} \frac{1}{\Delta} & -\frac{\Delta}{2} \leq x \leq \frac{\Delta}{2} \\ 0 & \text{otherwise} \end{cases} \quad (2.20)$$

เมื่อเราหาค่าเฉลี่ย (mean) ของ $E[e]$ จะได้

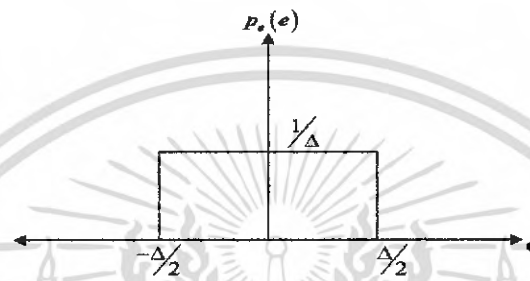
$$E[e] = \mu_e = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e \, de = 0 \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่าความแปรปรวน (Variance) จะได้

$$\sigma^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} = E[e^2] \quad (2.22)$$

โดยที่ zero-mean random process variance ของมัน คือ $E[e^2]$ นั่นเอง และ $E[e^2]$ คือ Autocorrelation ที่ $\tau = 0$ ($R(0)$) ก็คือ average power



รูปที่ 2.10 แสดง PDF ของ quantizer error

จากนั้นจะสามารถทำการหาค่า PSD (Power Spectrum Density) ได้จาก

$$\sigma(f) = \int_{-\infty}^{\infty} R(\tau) e^{-i\omega\tau} d\tau \quad (2.23)$$

$$R(\tau) = \int_{-\infty}^{\infty} \sigma(f) e^{-i\omega\tau} df \quad (2.24)$$

โดยที่ $R(0) = \int_{-\infty}^{\infty} \sigma(f) df \quad (2.25)$

เนื่องจาก $e[n]$ ในที่นี้เป็น white noise ที่กระจายตัวในช่วง $-f_s/2$ ถึง $f_s/2$ (Band limit white noise)

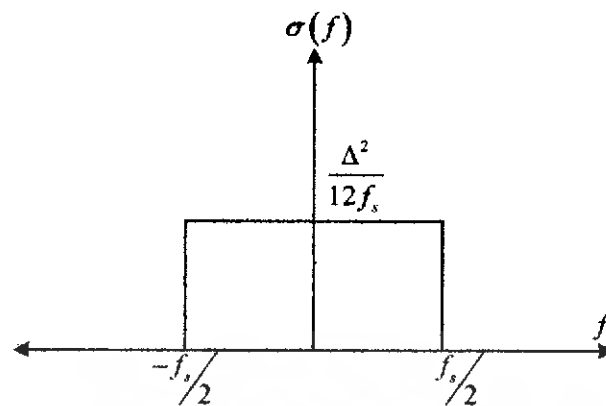
$$R(0) = \frac{\Delta^2}{12} = \int_{-f_s/2}^{f_s/2} \sigma(f) df \quad (2.26)$$

จากการสังเกตจะพบว่ามีเพียงวิธีการเดียวที่จะทำให้ $\int_{-f_s/2}^{f_s/2} \sigma(f) df$ เท่ากับ $\frac{\Delta^2}{12}$ นั่นคือ ค่า

$\sigma(f)$ จะต้องเท่ากับ $\frac{\Delta^2}{12} \cdot \frac{1}{f_s}$ เท่านั้น ดังนั้นเราจะได้ว่า

$$\text{PSD ของ } e[n] = \frac{\Delta^2}{12} \cdot \frac{1}{f_s} \quad (2.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดง PSD ของ quantizer error

พิจารณาหาค่า SNR (signal to noise ratio) หาได้จาก

$$SNR = 10 \log \left(\frac{\sigma_x^2}{\sigma_e^2} \right) \quad (2.28)$$

$$= 10 \left[\log(\sigma_x^2) - \log(\sigma_e^2) \right] \quad (2.29)$$

โดยที่ σ_x^2 เท่ากับ ค่ากำลังเฉลี่ยของสัญญาณ

σ_e^2 เท่ากับ ค่ากำลังเฉลี่ยของสัญญาณรบกวน

จาก $\sigma_e^2 = \frac{\Delta^2}{12} = \frac{\left(\frac{2(x_{\max})}{2^N - 1} \right)^2}{12} = \frac{\left(\frac{2(x_{\max})}{2^N} \right)^2}{12}$ จะได้ว่า

$$SNR = 10 \log(\sigma_x^2) - 10 \left[\log \left(\frac{2(x_{\max})}{2^N} \right)^2 - \log(12) \right] \quad (2.30)$$

$$= 10 \log(\sigma_x^2) - 10 \left[\log 4(x_{\max})^2 - \log 2^{2N} - \log(12) \right] \quad (2.31)$$

$$= 10 \log(\sigma_x^2) - 10 \left[\log 4 + \log(x_{\max})^2 - 2N \log 2 - \log(12) \right] \quad (2.32)$$

$$= 10 \log(\sigma_x^2) - 10 \log(x_{\max})^2 - 10 \log 4 + 20N \log 2 + 10 \log(12) \quad (2.33)$$

$$= 10 \log(\sigma_x^2) - 10 \log(x_{\max})^2 - 6.0206 + 10.7918 + 6.0206N \quad (2.34)$$

$$= 10 \log \left(\frac{\sigma_x^2}{(x_{\max})^2} \right) + 4.7712 + 6.0206N \quad (2.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 Oversampling

เมื่อมีการสุ่ม (sampling) ด้วยความถี่ที่เป็นสองเท่าของความถี่ Nyquist จะได้ว่า

$$f_b = \frac{f_s}{2} \tag{2.36}$$

โดยที่ f_s เท่ากับ ความถี่ที่ใช้ในการ sampling

f_b เท่ากับ ความถี่ Nyquist

ดังนั้นค่า

$$R(0) = \int_{-f_s/2}^{f_s/2} \sigma(f)df = E[e^2] = \frac{\Delta^2}{12} = \sigma_e^2 \tag{2.37}$$

และถ้าให้ $f_b < \frac{f_s}{2}$ จะได้ว่า

$$R(0) = \int_{-f_b}^{f_b} \sigma(f)df = \frac{\Delta^2}{12f_s} [f_b - (-f_b)] \tag{2.38}$$

$$= \frac{\Delta^2}{12f_s} \cdot 2f_b \tag{2.39}$$

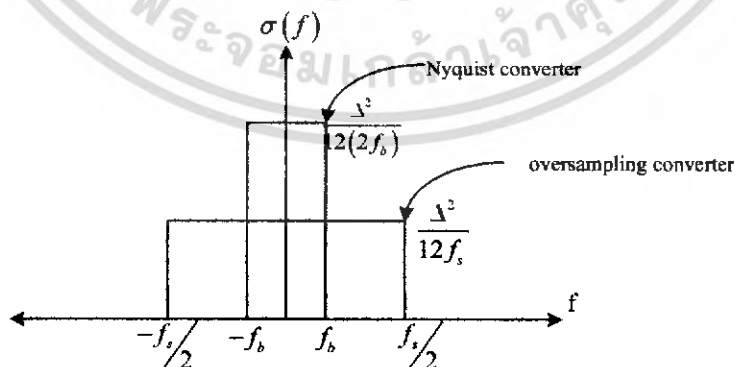
$$= \sigma_e^2 \left(\frac{2f_b}{f_s} \right) = \frac{\sigma_e^2}{\left(\frac{f_s}{2f_b} \right)} = \sigma_e^2 \tag{2.40}$$

โดยที่ $\frac{f_s}{2f_b}$ เท่ากับ oversampling ratio (OSR)

จะพบว่า ถ้า f_s มากขึ้นจะทำให้ค่า average power นั้นลดลง ในช่วงความถี่ Nyquist และ ค่า

PSD จะเขียนได้ดังนี้

จาก
$$\sigma(f) = \frac{\Delta^2}{12f_s}$$



รูปที่ 2.12 PSD ของ quantizer error ใน oversampled conversion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาหาค่า SNR

$$SNR = 10 \log \left(\frac{\sigma_x^2}{\sigma_{ey}^2} \right) \quad (2.41)$$

$$= 10 \log(\sigma_x^2) - 10 \log(\sigma_{ey}^2) \quad (2.42)$$

จาก $\sigma_{ey}^2 = \frac{\sigma_e^2}{\left(\frac{f_s}{2f_b}\right)}$ จะได้ว่า

$$SNR = 10 \log(\sigma_x^2) - 10 \log \left(\frac{\sigma_e^2}{\frac{f_s}{2f_b}} \right) \quad (2.43)$$

$$= 10 \log(\sigma_x^2) - 10 \log(\sigma_e^2) + 10 \log \left(\frac{f_s}{2f_b} \right) \quad (2.44)$$

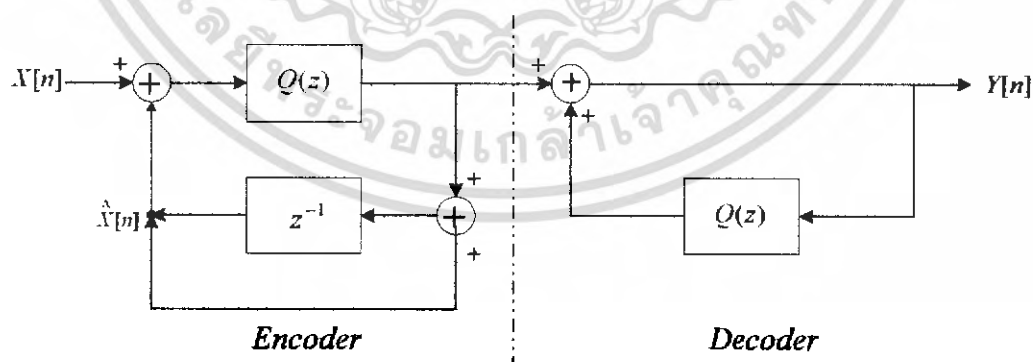
หากถ้า ค่า $OSR = \frac{f_s}{2f_b} = 2^r$ จะได้ว่า

$$SNR = 10 \log(\sigma_x^2) - 10 \log(\sigma_e^2) + 3.0103r \quad (2.45)$$

นั่นหมายความว่าทุกๆการเพิ่มของ r เราจะได้ SNR เพิ่มขึ้น 3 dB โดยประมาณ

2.3.5 Delta-Sigma Modulator

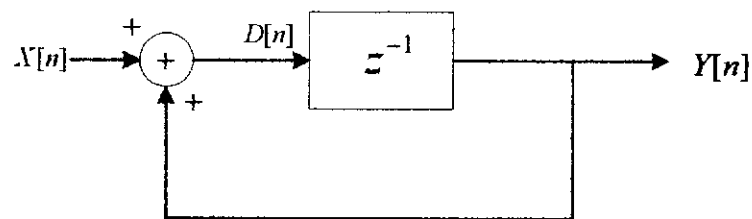
จาก Delta Modulator



รูปที่ 2.13 แสดง Model ของ Delta Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หา Transfer Function ของ Encoder



รูปที่ 2.14 แสดง Model ของ encoder ใน Delta Modulator

จากรูปที่ 2.14 จะได้ว่า

$$D(z) = X(z) + Y(z) \quad (2.46)$$

$$Y(z) = D(z) z^{-1} \quad (2.47)$$

$$\frac{Y(z)}{z^{-1}} = D(z) \quad (2.48)$$

แทนค่า สมการ (2.46) ลงในสมการ (2.48) จะได้ว่า

$$\frac{Y(z)}{z^{-1}} = X(z) + Y(z) \quad (2.49)$$

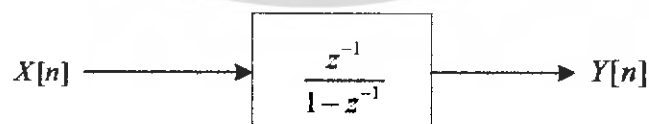
$$\frac{Y(z)}{z^{-1}} - Y(z) = X(z) \quad (2.50)$$

$$Y(z) \left[\frac{1}{z^{-1}} - 1 \right] = X(z) \quad (2.51)$$

$$\frac{Y(z)}{X(z)} = \frac{1}{z^{-1} - 1} \quad (2.52)$$

$$\frac{Y(z)}{X(z)} = \frac{1}{\frac{1 - z^{-1}}{z^{-1}}} \quad (2.53)$$

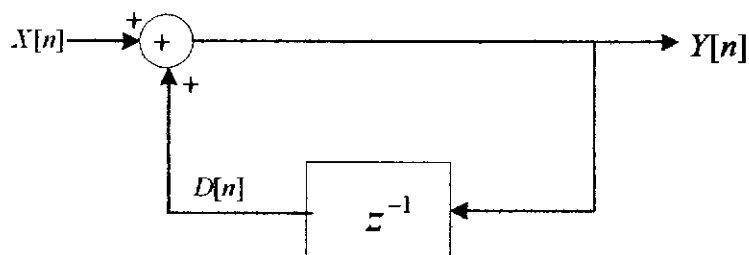
$$\frac{Y(z)}{X(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (2.54)$$



รูปที่ 2.15 แสดงค่า Transfer function ของ Encoder ใน Delta Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๓๓ Transfer Function ของ Decoder



รูปที่ 2.16 แสดง Model ของ Decoder ใน Delta modulator

จากรูปที่ 2.16 จะได้ว่า

$$X(z) + D(z) = Y(z) \quad (2.55)$$

$$D(z) = Y(z)z^{-1} \quad (2.56)$$

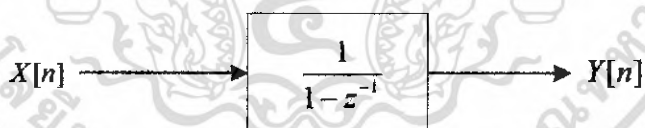
แทนค่า สมการ (2.56) ลงในสมการ (2.55) จะได้ว่า

$$X(z) + Y(z)z^{-1} = Y(z) \quad (2.57)$$

$$X(z) = Y(z) - Y(z)z^{-1} \quad (2.58)$$

$$X(z) = Y(z)(1 - z^{-1}) \quad (2.59)$$

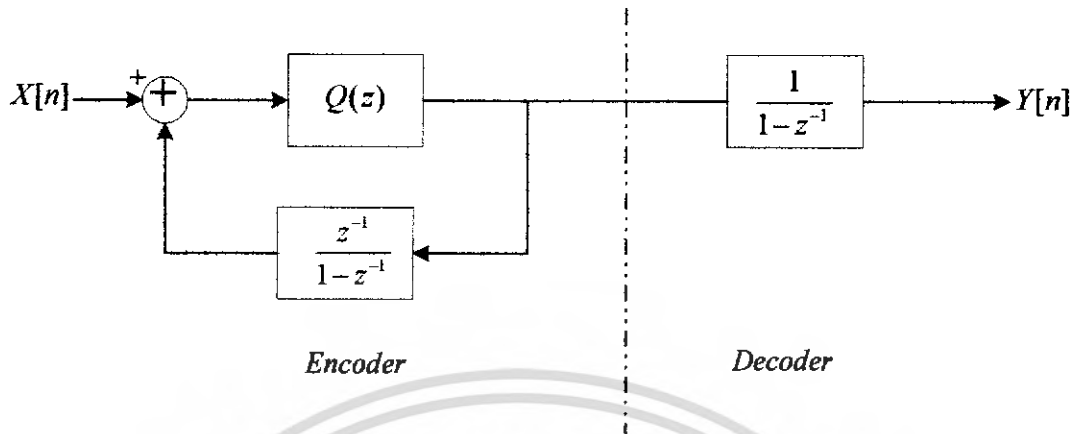
$$\frac{Y(z)}{X(z)} = \frac{1}{1 - z^{-1}} \quad (2.60)$$



รูปที่ 2.17 แสดงค่า Transfer function ของ Decoder ใน Delta Modulator

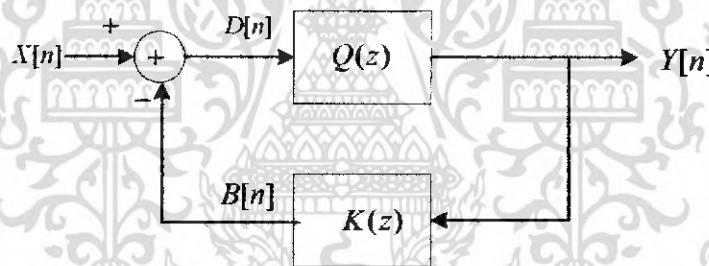
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Transfer Function จะเอามาเขียนเป็น Block Diagram



รูปที่ 2.18 แสดง Model ของ Delta Modulator ที่ได้จาก Transfer Function

ถ้าหา Transfer Function ในส่วนของ encoder โดยให้ $\frac{z^{-1}}{1-z^{-1}} = K(z)$ นำมาเขียน Model ได้เป็น



รูปที่ 2.19 แสดง Model ของ Delta Modulator ที่ได้จาก Transfer Function ในส่วนของ encoder

จากรูปที่ 2.19 จะได้

$$X(z) - B(z) = D(z) \tag{2.61}$$

$$Y(z) = D(z)Q(z) \tag{2.62}$$

$$B(z) = K(z)Y(z) \tag{2.63}$$

แทนค่า สมการ (2.62) และ สมการ (2.63) ลงในสมการ (2.61) จะได้ว่า

$$X(z) - Y(z)K(z) = \frac{Y(z)}{Q(z)} \tag{2.64}$$

$$X(z) = \frac{Y(z)}{Q(z)} + Y(z)K(z) \tag{2.65}$$

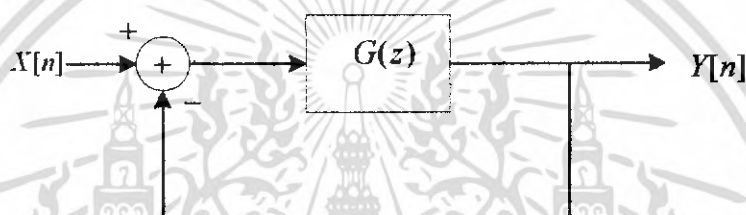
$$X(z) = Y(z) \left(\frac{1 + Q(z)K(z)}{Q(z)} \right) \tag{2.66}$$

$$\begin{aligned} \therefore \frac{Y(z)}{X(z)} &= \frac{1}{1+Q(z)K(z)} \\ &= \frac{Q(z)}{1+Q(z)K(z)} \end{aligned} \quad (2.67)$$

แทนค่า $K(z) = \frac{z^{-1}}{1-z^{-1}}$ ลงใน สมการ (2.67) จะได้ว่า

$$\frac{Y(z)}{X(z)} = \frac{Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)} \quad (2.68)$$

ต้องการจัดส่วน Feedback ดังรูป

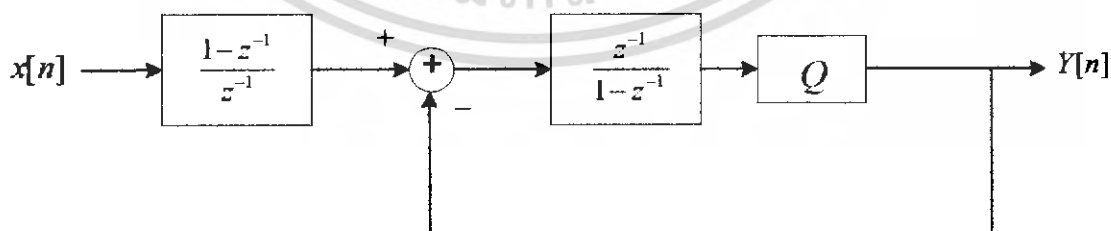


รูปที่ 2.20 แสดง Block diagram ของ Delta Modulator (เมื่อทำการแปลงส่วน Feedback

จะได้

$$\frac{Y(z)}{X(z)} = \frac{\left(\frac{Z^{-1}}{1-Z^{-1}}\right)\left(\frac{1-Z^{-1}}{Z^{-1}}\right)Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)} \quad (2.69)$$

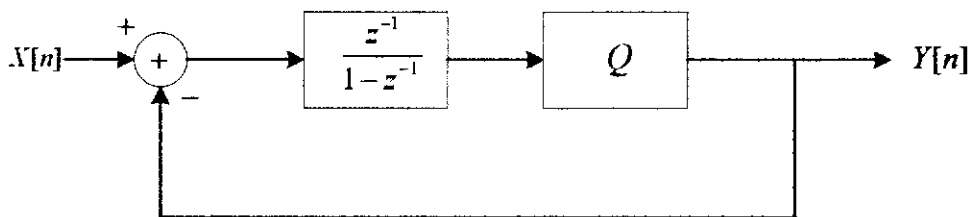
โดยที่ $\left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z) = G(z)$ จะสามารถเขียน Model ได้ใหม่ดังรูป



รูปที่ 2.21 แสดง Model ของ Delta Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

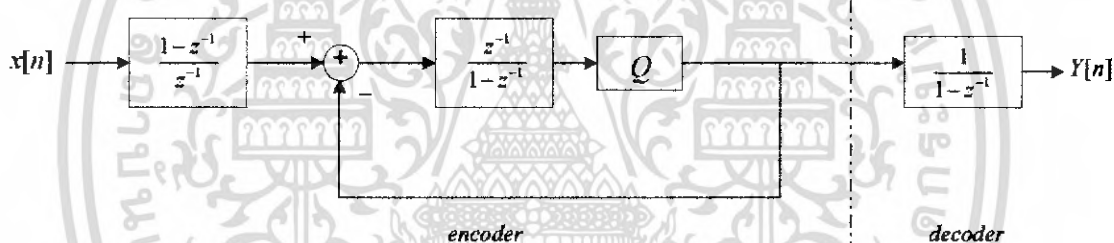
วิเคราะห์ในส่วนด้านหลังของ รูปที่ 2.21



รูปที่ 2.22 แสดง Model ของ Delta Modulator จากรูปที่ 2.23 ในส่วนด้านหลัง

ได้ Transfer Function ดังนี้

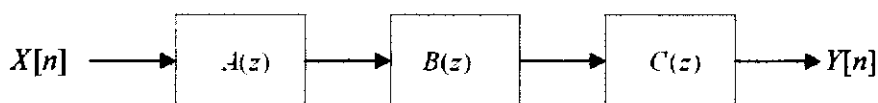
$$\frac{Y(z)}{X(z)} = \frac{\left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)} \quad (2.70)$$



รูปที่ 2.23 แสดง Model ของ Delta Sigma Modulator ที่พัฒนาจาก Delta Modulator

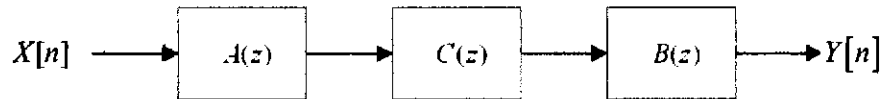
โดยทำให้ $A(z) = \frac{1-Z^{-1}}{Z^{-1}}$, $B(z) = \frac{\left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}}\right)Q(z)}$, $C(z) = \frac{1}{1-Z^{-1}}$ (2.71)

เมื่อนำไปแทนค่าใน Block Diagram จะสามารถเขียนใหม่ได้เป็นดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สอดคล้องกับ



รูปที่ 2.24 แสดงลักษณะของ Block Diagram ที่นำมาต่อกัน

จากรูปที่ 2.24 จะได้

$$X(z)A(z)B(z)C(z) = Y(z) \quad (2.72)$$

$$X(z) \left(\frac{1-Z^{-1}}{Z^{-1}} \right) \left(\frac{1}{1-Z^{-1}} \right) B(z) = Y(z) \quad (2.73)$$

$$X(z) \left(\frac{1}{Z^{-1}} \right) B(z) = Y(z) \quad (2.74)$$

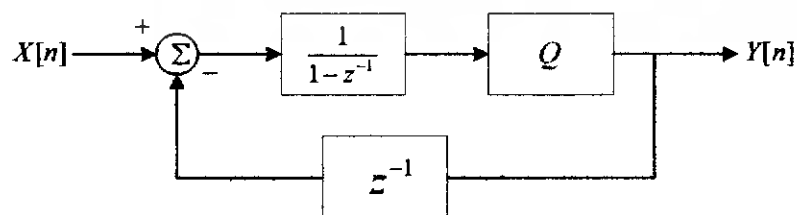
$$X(z) \left(\frac{1}{Z^{-1}} \right) \left(\frac{\left(\frac{Z^{-1}}{1-Z^{-1}} \right) Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}} \right) Q(z)} \right) = Y(z) \quad (2.75)$$

$$X(z) \left(\frac{1}{1-Z^{-1}} \right) \left(\frac{Q(z)}{1 + \left(\frac{Z^{-1}}{1-Z^{-1}} \right) Q(z)} \right) = Y(z) \quad (2.76)$$

$$X(z) \left(\frac{1}{1-Z^{-1}} \right) Q(z) = Y(z) + \frac{Z^{-1}}{1-Z^{-1}} Q(z) Y(z) \quad (2.77)$$

$$X(z) \left(\frac{1}{1-Z^{-1}} \right) Q(z) = Y(z) + Z^{-1} \left(\frac{1}{1-Z^{-1}} \right) Q(z) Y(z) \quad (2.78)$$

สุดท้ายจะสามารถเอาผลที่ได้มาเขียนเป็น Block Diagram ของ Delta-Sigma ดังรูป

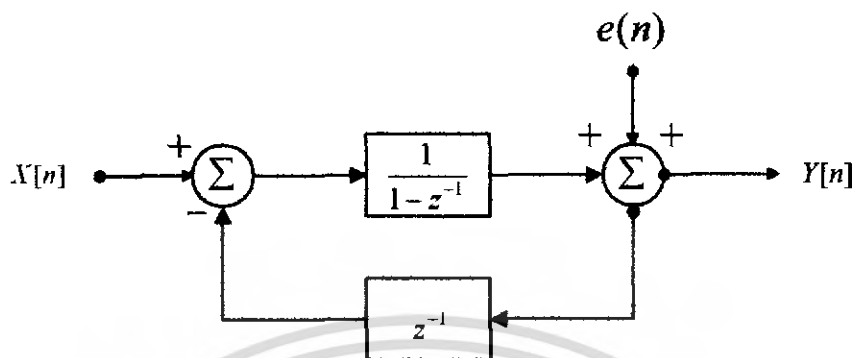


รูปที่ 2.25 แสดง Block Diagram ของ Delta-Sigma

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.6 Delta Sigma (first Order)

จากรูปที่ 2.25 ถ้าหากเราเขียนส่วนของ quantization $Q(z)$ ให้อยู่ในรูปของ white noise model เราจะได้ดังรูปที่ 2.26



รูปที่ 2.26 White noise model

จากรูปที่ 2.26 จะได้

$$H_x(z) = \frac{Y(z)}{X(z)} \Big|_{E(z)=0} \quad (2.79)$$

ดังนั้น

$$\left[X(z) - Y(z)z^{-1} \right] \left[\frac{1}{1-z^{-1}} \right] = Y(z) \quad (2.80)$$

$$X(z) \cdot \frac{1}{1-z^{-1}} - Y(z)z^{-1} \cdot \frac{1}{1-z^{-1}} = Y(z) \quad (2.81)$$

$$X(z) \cdot \frac{1}{1-z^{-1}} = Y(z) + Y(z)z^{-1} \cdot \frac{1}{1-z^{-1}} \quad (2.82)$$

$$X(z) \cdot \frac{1}{1-z^{-1}} = Y(z) \left[1 + \frac{z^{-1}}{1-z^{-1}} \right] \quad (2.83)$$

$$X(z) \cdot \frac{1}{1-z^{-1}} = Y(z) \left[\frac{1}{1-z^{-1}} \right] \quad (2.84)$$

$$\therefore \frac{Y(z)}{X(z)} = 1 \quad (2.85)$$

และ

$$H_e(z) = \frac{Y(z)}{E(z)} \Big|_{X(z)=0} \quad (2.86)$$

ดังนั้น

$$E(z) + \left[-Y(z)z^{-1} \right] \frac{1}{1-z^{-1}} = Y(z) \quad (2.87)$$

$$E(z) = Y(z) + Y(z)z^{-1} \cdot \frac{1}{1-z^{-1}} \quad (2.88)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$E(z) = Y(z) \left[1 + \frac{1}{1-z^{-1}} \right] \quad (2.89)$$

$$E(z) = Y(z) \left[\frac{1}{1-z^{-1}} \right] \quad (2.90)$$

$$\therefore \frac{Y(z)}{E(z)} = 1 - z^{-1} \quad (2.91)$$

ดังนั้นเราจะได้

$$Y(z) = X(z) + E(z)(1-z^{-1}) \quad (2.92)$$

ซึ่งในเทอม $(1-z^{-1})$ เราเรียกว่า noise transfer function (NTF)

แทน $z = e^{j2\pi f/f_s}$

$$H_E(j\omega) = 1 - e^{-j2\pi f/f_s} \quad (2.93)$$

$$= 2e^{-j\pi f/f_s} \left[\frac{e^{j\pi f/f_s} - e^{-j\pi f/f_s}}{2} \right] \quad (2.94)$$

$$= 2e^{-j\pi f/f_s} \cdot j \sin(\pi f/f_s) \quad (2.95)$$

$$= 2 \sin(\pi f/f_s) (e^{-j\pi f/f_s}) (e^{-j\pi/2}) \quad (2.96)$$

$$= 2 \sin(\pi f/f_s) (e^{-j\pi f/f_s - j\pi/2}) \quad (2.97)$$

จะได้ว่า

$$|H_E(f)| = 2 \sin(\pi f/f_s) \quad (2.98)$$

PSD ของ quantization noise ก็คือ

$$N_y(f) = |H_E(f)| N_e(f) \quad (2.99)$$

เรารู้แล้วว่า quantization error power นั้นมีค่าเท่ากับ $\frac{\Delta^2}{12}$ และ PSD นั้นมีค่า $\frac{\Delta^2}{12f_s}$ ดังนั้น

bassband quantization noise power output จะเท่ากับ

$$S_B = \int_{-f_b}^{f_b} N_y(f) df \quad (2.100)$$

$$= \int_{-f_b}^{f_b} |H_E(f)|^2 N_e(f) df \quad (2.101)$$

$$= \frac{\Delta^2}{12f_s} \cdot \int_{-f_b}^{f_b} [2 \sin(\pi f/f_s)]^2 df \quad (2.102)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อค่า $\frac{f}{f_s}$ มีค่าน้อยมากๆ จะได้ว่า $\sin\left(\pi \frac{f}{f_s}\right) = \frac{\pi f}{f_s}$ จะได้

$$= \frac{\Delta^2}{12f_s} \int_{-f_b}^{f_b} [2(\pi f/f_s)]^2 df \tag{2.103}$$

$$= \frac{4\Delta^2}{12f_s} \int_{-f_b}^{f_b} (\pi f/f_s)^2 df \tag{2.104}$$

$$= \frac{4\Delta^2}{12f_s} \cdot \frac{\pi^2}{f_s^2} \left(\frac{f^3}{3} \Big|_{-f_b}^{f_b} \right) \tag{2.105}$$

$$= \frac{4\Delta^2 \pi^2}{12f_s^3} \left(\frac{2f_b^3}{3} \right) \tag{2.106}$$

$$= \frac{\Delta^2}{12} \cdot \frac{\pi^2}{3} \left(\frac{2f_b}{f_s} \right)^3 \tag{2.107}$$

ดังนั้น

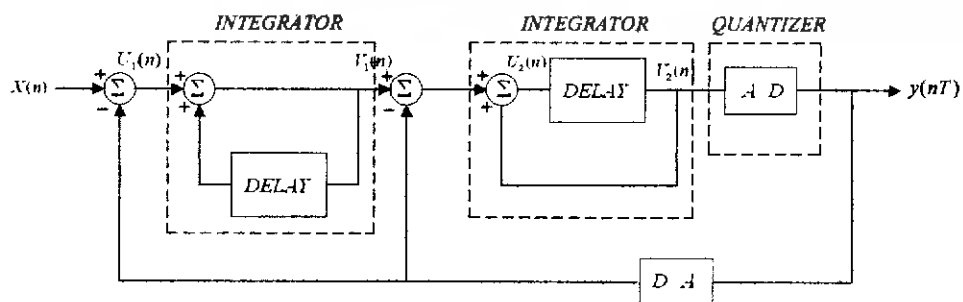
$$SNR = 10 \log_{10} \left[\frac{\sigma_x^2}{\sigma_e^2} \right] - 10 \log_{10} \left[\frac{\pi^3}{3} \right] + 30 \log_{10} (OSR) \text{ (dB)} \tag{2.108}$$

หากถ้าค่า $OSR = \frac{f_s}{2f_b} = 2^r$ จะได้ว่า

$$SNR = 10 \log_{10} \left[\frac{\sigma_x^2}{\sigma_e^2} \right] - 10 \log_{10} \left[\frac{\pi^3}{3} \right] + 9.0309r \text{ (dB)} \tag{2.109}$$

นั่นหมายความว่าทุกๆการเพิ่มของ r เราจะได้ SNR เพิ่มขึ้น 9dB โดยประมาณ

2.3.7 แคลคูลูมัยก่าอันคัฒสูง (Single-stage Delta Sigma modulator)



รูปที่ 2.27 แสดงรูปแบบของ Single-Stage Delta Sigma modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.27 จะได้

$$Y(z) = STF(z) \cdot NTF(z) E(z) \quad (2.110)$$

$$Y(z) = z^{-n} \cdot X(z) + (1 - z^{-1})^L E(z) \quad (2.111)$$

โดยที่ $STF(z) = H_X(z) = z^{-n}$

$$NTF(z) = H_X(z) = (1 - z^{-1})^L$$

เมื่อกำหนดให้ L คือ จำนวน order จะได้ว่า

$$S_B = \int_{-f_B}^{f_B} Ny(f) df \quad (2.112)$$

$$= \int_{-f_B}^{f_B} |H_E(f)|^2 Ne(f) df \quad (2.113)$$

$$= \frac{\Delta^2}{12f_s} \int_{-f_B}^{f_B} [2 \sin(\pi f/f_s)]^{2L} df \quad (2.114)$$

เมื่อกำหนด $\frac{f}{f_s}$ มีค่าน้อยมากๆ จะได้ว่า $\sin\left(\pi \frac{f}{f_s}\right) = \frac{\pi f}{f_s}$

$$= 2^{2L} \left(\frac{\Delta^2}{12f_s}\right) \int_{-f_B}^{f_B} \left[\pi \left(\frac{f}{f_s}\right)\right]^{2L} df \quad (2.115)$$

$$= 2^{2L} \pi^{2L} \left(\frac{\Delta^2}{12f_s^{2L+1}}\right) \left(\frac{2f_B^{2L+1}}{2L+1}\right) \quad (2.116)$$

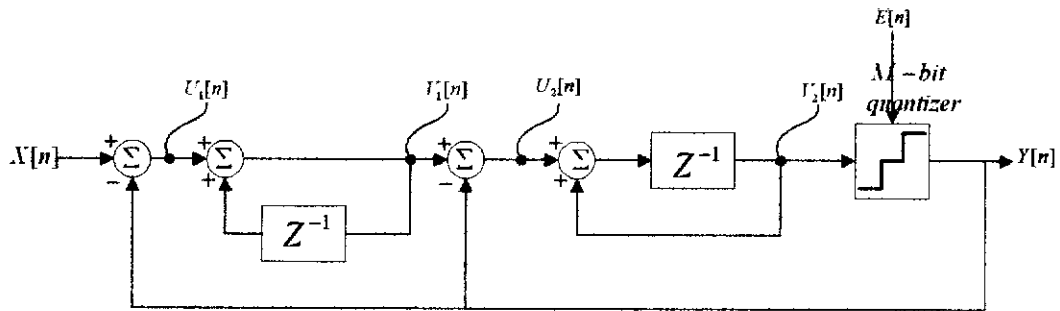
$$= \left(\frac{\Delta^2}{12}\right) \left(\frac{\pi^{2L}}{2L+1}\right) \left(\frac{2f_B}{f_s}\right)^{2L+1} \quad (2.117)$$

ดังนั้น

$$SNR = 10 \log_{10} \left[\frac{\sigma_v^2}{\sigma_e^2} \right] - 10 \log_{10} \left[\frac{\pi^{2L}}{(2L+1)} \right] + 10(2L+1) \log_{10}(OSR) \quad (dB) \quad (2.118)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น Second-Order Single-Bit Delta Sigma



รูปที่ 2.28 แสดง Second-Order Single-Stage Delta Sigma

จากรูปที่ 2.28 จะได้ว่า

$$U_1(z) = X(z) - Y(z) \quad (2.119)$$

$$V_1(z) = U_1(z) + V_1(z)Z^{-1} \quad (2.120)$$

$$U_2(z) = V_1(z) - Y(z) \quad (2.121)$$

$$V_2(z) = U_2(z)Z^{-1} + V_2(z)Z^{-1} \quad (2.122)$$

$$Y(z) = V_2(z) + E(z) \quad (2.123)$$

จากสมการที่ (2.120) เขียนใหม่ได้ว่า

$$V_1(z) - V_1(z)Z^{-1} = U_1(z) \quad (2.124)$$

$$V_1(z)(1 - Z^{-1}) = U_1(z) \quad (2.125)$$

$$V_1(z) = U_1(z) \left(\frac{1}{(1 - Z^{-1})} \right) \quad (2.126)$$

แทนค่า $U_1(z)$ โดยสมการที่ (2.119)

$$V_1(z) = (X(z) - Y(z)) \left(\frac{1}{(1 - Z^{-1})} \right) \quad (2.127)$$

จากสมการ (2.122)

$$V_2(z) = U_2(z)Z^{-1} + V_2(z)Z^{-1} \quad (2.128)$$

$$V_2(z) - V_2(z)Z^{-1} = U_2(z)Z^{-1} \quad (2.129)$$

$$V_2(z)(1 - Z^{-1}) = U_2(z)Z^{-1} \quad (2.130)$$

$$V_2(z) = U_2(z) \left(\frac{Z^{-1}}{(1 - Z^{-1})} \right) \quad (2.131)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.119))

$$Y(z) = V_2(z) + E(z) \quad (2.132)$$

แทนค่า $V_2(z)$ จากสมการที่ (2.131) ลงในสมการ

$$Y(z) = U_2(z) \left(\frac{Z^{-1}}{(1-Z^{-1})} \right) + E(z) \quad (2.133)$$

$$U_2(z) = (Y(z) - E(z)) \left(\frac{(1-Z^{-1})}{Z^{-1}} \right) \quad (2.134)$$

จากสมการ (2.23)

$$U_2(z) = V_1(z) - Y(z) \quad (2.135)$$

แทนค่า $U_2(z)$, $V_1(z)$ จากสมการที่ (2.127) และ สมการที่ (2.135)

$$(Y(z) - E(z)) \left(\frac{(1-Z^{-1})}{Z^{-1}} \right) = (X(z) - Y(z)) \left(\frac{1}{(1-Z^{-1})} \right) - Y(z) \quad (2.136)$$

$(1-Z^{-1})$ คูณสมการที่ (2.136)

$$(Y(z) - E(z)) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) = X(z) - Y(z) - Y(z) + Y(z)Z^{-1} \quad (2.137)$$

$$(Y(z) - E(z)) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) = X(z) - Y(z)(2 - Z^{-1}) \quad (2.138)$$

$$Y(z) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) + Y(z)(2 - Z^{-1}) = X(z) + E(z) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) \quad (2.139)$$

$$Y(z) \left(\frac{1 - 2Z^{-1} + Z^{-2} + 2Z^{-1} - Z^{-2}}{Z^{-1}} \right) = X(z) + E(z) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) \quad (2.140)$$

$$Y(z) \left(\frac{1}{Z^{-1}} \right) = X(z) + E(z) \left(\frac{(1-Z^{-1})^2}{Z^{-1}} \right) \quad (2.141)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z^{-1} อุณหภูมิการที่ (2.141)

$$Y(z) = X(z)Z^{-1} + E(z)(1 - Z^{-1})^2 \quad (2.142)$$

ดังนั้น baseband quantization noise power output (S_B) จะเท่ากับ

$$S_B = \int_{-f_b}^{f_b} |H_E(f)|^2 Ne(f) df \quad (2.143)$$

$$= \frac{\Delta^2}{12f_s} \int_{-f_b}^{f_b} [2 \sin(\pi f/f_s)]^4 df \quad (2.144)$$

เมื่อค่า $\frac{f}{f_s}$ มีค่าน้อยมากๆ จะได้ว่า $\sin\left(\pi \frac{f}{f_s}\right) = \frac{\pi f}{f_s}$ จะได้ว่า

$$S_B = 2^4 \left(\frac{\Delta^2}{12f_s} \right) \int_{-f_b}^{f_b} \left[\pi \left(\frac{f}{f_s} \right) \right]^4 df \quad (2.145)$$

$$= 2^4 \pi^4 \left(\frac{\Delta^2}{12f_s^5} \right) \left(\frac{2f_b^5}{5} \right) \quad (2.146)$$

$$= \left(\frac{\Delta^2}{12} \right) \left(\frac{\pi^4}{5} \right) \left(\frac{2f_b}{f_s} \right)^5 \quad (2.147)$$

$$SNR = 10 \log_{10} \left[\frac{\sigma_x^2}{\sigma_e^2} \right] - 10 \log_{10} \left[\frac{\pi^4}{5} \right] + 50 \log_{10}(OSR) \quad (2.148)$$

หากถ้า ค่า $OSR = \frac{f_s}{2f_b} = 2^r$ จะได้ว่า

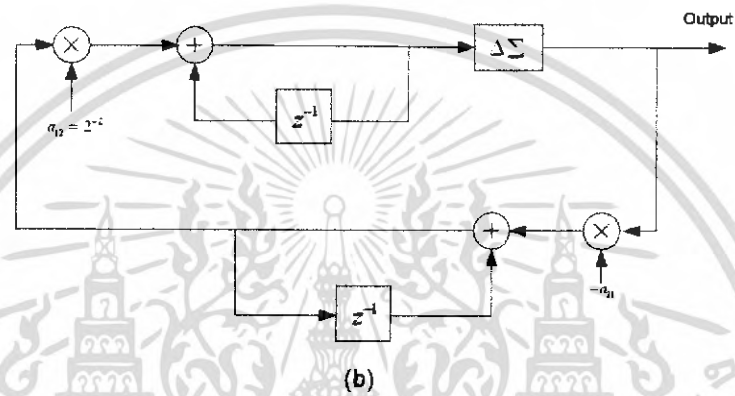
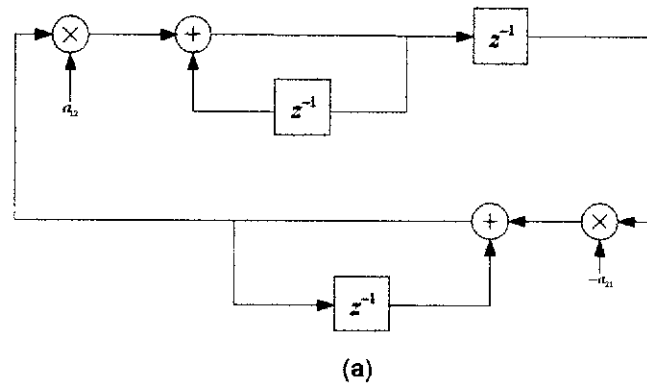
$$SNR = 10 \log_{10} \left[\frac{\sigma_x^2}{\sigma_e^2} \right] - 10 \log_{10} \left[\frac{\pi^4}{5} \right] + 15.051r \quad (dB) \quad (2.149)$$

นั่นหมายความว่าทุกๆการเพิ่มของ r เราจะได้ SNR เพิ่มขึ้น 15 dB โดยประมาณ

2.4 วงจรกำเนิดสัญญาณ (Digital Oscillator)

จากคิิตอกรีไซเนเตอร์ในรูปที่ 2.1 ระบบจะถูกนำมาจัดเรียงใหม่ ซึ่งใช้หลักการของ Signal-Flow-Graph อย่างง่าย โดยส่วนของอินทิเกรเตอร์ตัวบนซึ่งจะเป็นส่วนของคิิตอกรีไซเนเตอร์ในส่วน Feedforward จะถูกย้ายมาขงส่วน Feedback และจะมีคิิตอกรีไซเนเตอร์อีกตัวหนึ่งมาต่ออนุกรมเพิ่มในส่วนของเอาต์พุต โดยได้ลักษณะวงจรเป็นดังรูปที่ 2.29 (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 วงจรดิจิทัลรีไซเคิลที่ทำการเปลี่ยนใหม่

(a) การจัดรูปแบบโดยเปลี่ยนในส่วนของคิเล็ค

(b) แทนส่วนของคิเล็คที่เป็น N-by-N bit ด้วยเลคค้ำชิกม่าแอดเทนนูเอเตอร์

ส่วนที่มีคิเล็คมาต่อกันแบบอนุกรมนั้นจะเป็นส่วนที่สัญญาณมีการคูณกันแบบ N-by-N bit ซึ่งจะแทนส่วนนี้ด้วยเลคค้ำชิกม่าแอดเทนนูเอเตอร์ (Delta-Sigma Attenuator) ดังรูปที่ 2.29 (b) โดยเราใช้เลคค้ำชิกม่าแบบซิงเกิ้ลสเตจอันดับ 2 สัญญาณที่ออกมาจากเลคค้ำชิกม่าจะเป็นสัญญาณที่มีค่าเพียงแคบิตเดียวซึ่งจะทำให้ง่ายต่อการกรองสัญญาณออกมา โดยสามารถใช้ Lowpass Filter กรองสัญญาณออกต่อไป

2.5 ย่านการทำงาน (Dynamic Range)

การออกแบบวงจรรอซซิมิลเตอร์ในโครงการนี้ เราจะทำการกำหนดค่าความถี่ของสัญญาณนาฬิกา (Clock) ที่ความถี่ 3MHz (ซึ่งก็คือความถี่ของคริสตอลในบอร์ดเอฟทีอีเอ) และค่าสัมประสิทธิ์ a_{12} เท่ากับ 2^{-6} ดังนั้นย่านการทำงานของวงจรมีขึ้นอยู่กับการกำหนดค่าสัมประสิทธิ์ a_{21} ซึ่งค่าสัมประสิทธิ์ a_{21} นี้จะเป็นผลทำให้เกิดการเปลี่ยนแปลงทางความถี่ในการรอซซิมิลเตอร์ ดังสมการ (2.150)

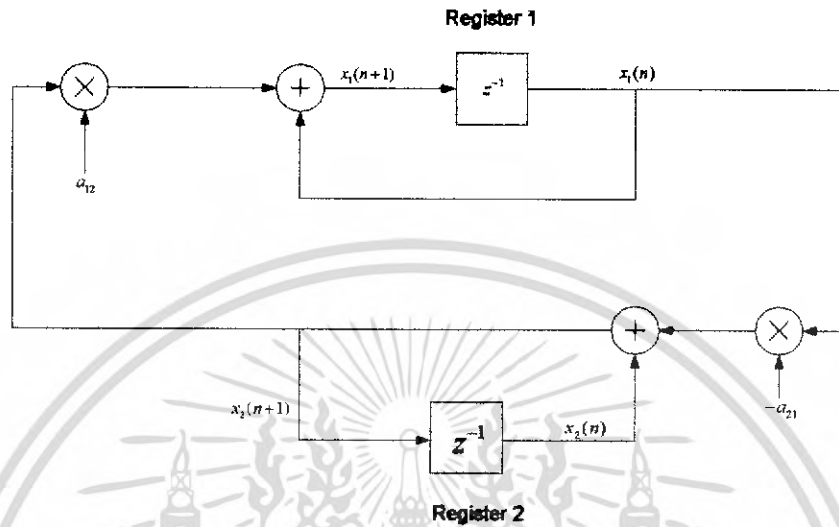
$$\omega_0 = \begin{cases} 3\text{MHz} \cdot \cos^{-1} \left(1 - \frac{2^{-6} \cdot a_{21}}{2} \right) & ; 0 < a_{12} a_{21} \leq 2 \\ 3\text{MHz} \cdot \left(\pi - \cos^{-1} \left(1 - \frac{2^{-6} \cdot a_{21}}{2} \right) \right) & ; 2 < a_{12} a_{21} \leq 4 \end{cases} \quad (2.150)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวณและการสร้าง

3.1 วงจรดิจิทัลรีไซเคิล



รูปที่ 3.1 วงจรรีไซเคิล

ทำการคิดหาค่า a_{12} และค่า a_{21} เพื่อให้ได้ค่าแอมพลิจูด (A) และความถี่ (ω_0) ที่ต้องการ โดยค่า a_{12} นั้นจะกำหนดให้เป็นค่าเท่ากับ 2^{-L} ซึ่ง L จะมีค่าเป็นจำนวนเต็มค่าหนึ่งๆซึ่งเมื่อคูณกับค่า a_{21} แล้วอยู่ในกรณีที่ $0 < a_{12}a_{21} \leq 2$ หรือ $2 < a_{12}a_{21} \leq 4$ โดยใช้สมการที่ (2.11) ช่วยในการคำนวณ

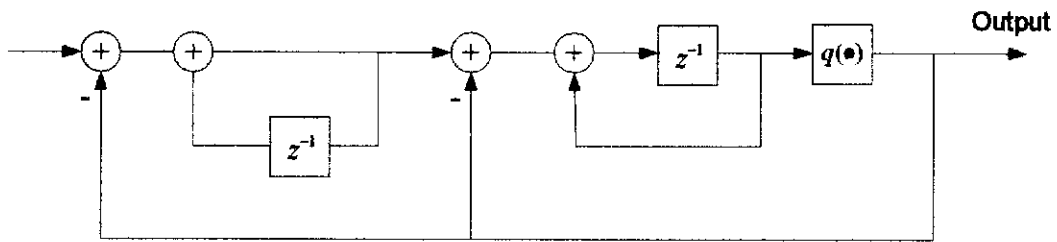
$$\omega_0 = \begin{cases} f_{os} \cos^{-1} \left(1 - \frac{a_{12}a_{21}}{2} \right) & ; 0 < a_{12}a_{21} \leq 2 \\ f_{os} \left(\pi - \cos^{-1} \left(1 - \frac{a_{12}a_{21}}{2} \right) \right) & ; 2 < a_{12}a_{21} \leq 4 \end{cases} \quad (3.1)$$

และจากค่าแอมพลิจูดที่กำหนดขึ้นมานั้นจะสามารถทำให้เราหาค่า $x_2(0)$ ได้จากสมการที่ (2.15)

$$A = \frac{(1 - a_{12}a_{21})x_1(0) + a_{12}x_2(0)}{\sin(\omega_0 T + \phi)} \quad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรเคลต์ต้าจิกมาซึ่งเกิดสองอันดับสอง



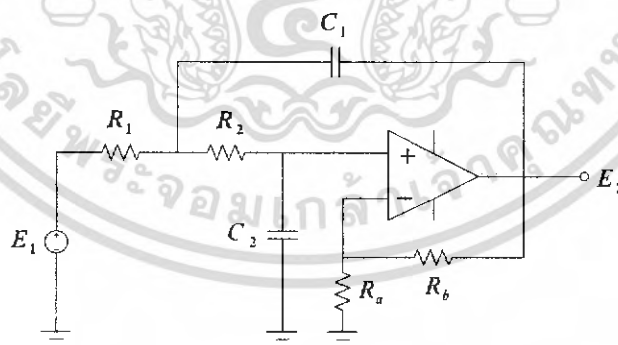
รูปที่ 3.2 วงจรเคลต์ต้าจิกมาซึ่งเกิดสองอันดับสอง

การออกแบบวงจรอันดับสองจะมีต้นแบบมาจากวงจรอันดับ 1 ซึ่งจะมีรูปของดีเลย์เพียงคู่เดียว ซึ่งเมื่อพัฒนาให้เป็นวงจรอันดับสูงๆก็จะเพิ่มรูปของดีเลย์เข้าไปตามอันดับที่สูงขึ้น แต่วงจรซึ่งเกิดเดงนั้นไม่ว่าจะเพิ่มรูปของดีเลย์เข้าไปมากเท่าใดก็ยังใช้ส่วนของการควอนไทเซชันเพียงแค่ตัวเดียวเท่านั้น ซึ่งนับเป็นจุดเด่นของวงจรซึ่งเกิดเดง

3.3 วงจรกรองสัญญาณ (Filter)

3.3.1 Sallen-Key Biquad

Sallen and Key เป็นวงจรกรองสัญญาณชนิดแอคทีฟชนิดหนึ่ง ซึ่งเป็นวงจรที่ง่ายต่อการออกแบบ และเป็นวงจรอันดับ 2 ซึ่งเรียกว่า biquad โดยในโครงงานนี้เราจะนำวงจร Sallen and Key มาออกแบบเป็นวงจรกรองสัญญาณความถี่ต่ำ (Lowpass filter) ซึ่งมีโครงสร้างดังรูปที่ 3.3



รูปที่ 3.3 วงจร Sallen-Key lowpass biquad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.3 เราสามารถหาหทรานสเฟอ์ฟังก์ชัน ได้ดังสมการที่ (3.3)

$$\frac{E_2}{E_1} = \frac{\frac{\mu}{R_1 R_2 C_1 C_2}}{S^2 + \left(\frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} + \frac{1-\mu}{R_1 R_2 C_1 C_2} \right) S + \frac{1}{R_1 R_2 C_1 C_2}} \quad (3.3)$$

เมื่อเราใช้รูปแบบมาตรฐาน ดังสมการที่ (3.4)

$$H_{LP} = \frac{G\omega_0^2}{S^2 + \left(\frac{\omega_0}{Q} \right) S + \omega_0^2} \quad (3.4)$$

เราจะได้

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (3.5)$$

$$Q = \frac{1}{\frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} + \frac{1-\mu}{R_1 R_2 C_1 C_2}} \quad (3.6)$$

$$G = \mu \quad (3.7)$$

จากวงจร Sallen-Key Biquad เราสามารถที่จะออกแบบวงจรได้เป็น 4 แบบด้วยกัน คือ

แบบที่ 1 Equal element values

ในการออกแบบแบบนี้เราจะกำหนดให้

$$C_1 = C_2 = 1F \quad \text{และ} \quad R_1 = R_2 = R \quad (3.8)$$

จะทำให้ได้

$$R = \frac{1}{\omega_0} \quad \text{และ} \quad \mu = 3 - \frac{1}{Q} \quad (3.9)$$

ข้อดีของการออกแบบแบบนี้คือ ง่ายต่อการคำนวณ และค่าของอุปกรณ์ที่คำนวณออกมาได้จะเป็นค่าที่สามารถหาได้ง่าย

แบบที่ 2 Equal capacitance and equal feedback

ในการออกแบบแบบนี้เราจะกำหนดให้

$$C_1 = C_2 = 1F \text{ และ } R_a = R_b = R \quad (3.10)$$

จะทำให้ได้

$$R_1 = \frac{Q}{\omega_0} \text{ และ } R_2 = \frac{1}{\omega_0 Q} \quad (3.11)$$

ข้อดีของการออกแบบแบบนี้คือ วงจรจะมีอัตราขยาย (gain) เท่ากับ 2

แบบที่ 3 Moderate-sensitivity design

ในการออกแบบแบบนี้เราจะกำหนดให้

$$C_1 = \sqrt{3}Q \text{ และ } C_2 = 1F \text{ และ } \mu = \frac{4}{3} \quad (3.12)$$

จะทำให้ได้

$$R_1 = \frac{1}{\omega_0 Q} \text{ และ } R_2 = \frac{1}{\sqrt{3}\omega_0} \quad (3.13)$$

ในการออกแบบแบบนี้จะมี sensitivity ที่เกิดจากอุปกรณ์ชนิดพาสซีฟและแอคทีฟเพียงบางส่วน

แบบที่ 4 Minimum sensitivity

ในการออกแบบแบบนี้เราจะกำหนดให้

$$\mu = 1 \text{ และ } R_1 = R_2 = 1\Omega \quad (3.14)$$

จะทำให้ได้

$$C_1 = \frac{2Q}{\omega_0} \text{ และ } C_2 = \frac{1}{2Q\omega_0} \quad (3.15)$$

เมื่อเปรียบเทียบจากความ sensitivity ของการออกแบบทั้งหมดแล้ว การออกแบบแบบนี้จะมี ความ sensitivity ต่ำที่สุด

ในโครงการนี้เราจะนำวงจร Sallen-Key biquad 2 วงจร มาต่อกันแบบ cascade กัน จะทำให้ได้ วงจรกรองสัญญาณความถี่ต่ำอันดับ 4 โดยเราจะใช้การออกแบบแบบที่ 1 และ แบบแบบที่ 2 ที่ต้องการ ให้มี $\omega_0 = 2\pi \times 5000 \text{ rad/sec}$ และใช้ตัวเก็บประจุมีค่า $0.1 \mu F$

เราใช้การออกแบบแบบที่ 1 สำหรับวงจรแรก

จะได้

$$C_1 = C_2 = 1F \quad R_1 = R_2 = 1\Omega \quad (3.16)$$

$$\mu = 3 - \frac{1}{Q} = 2.23463 = 1 + \frac{R_a}{R_b} \quad (3.17)$$

และจาก

$$R_1 + R_2 = \frac{R_a R_b}{R_a + R_b} \quad (3.18)$$

จะทำให้ได้

$$R_a = 3.61991\Omega \quad \text{และ} \quad R_b = 4.46926\Omega \quad (3.19)$$

เราใช้การออกแบบแบบที่ 2 สำหรับวงจรถัดมา

จะได้

$$C_1 = C_2 = 1F \quad (3.20)$$

$$R_1 = \frac{Q}{\omega_0} = 0.541199\Omega \quad (3.21)$$

$$R_2 = \frac{1}{Q\omega_0} = 1.84775\Omega \quad (3.22)$$

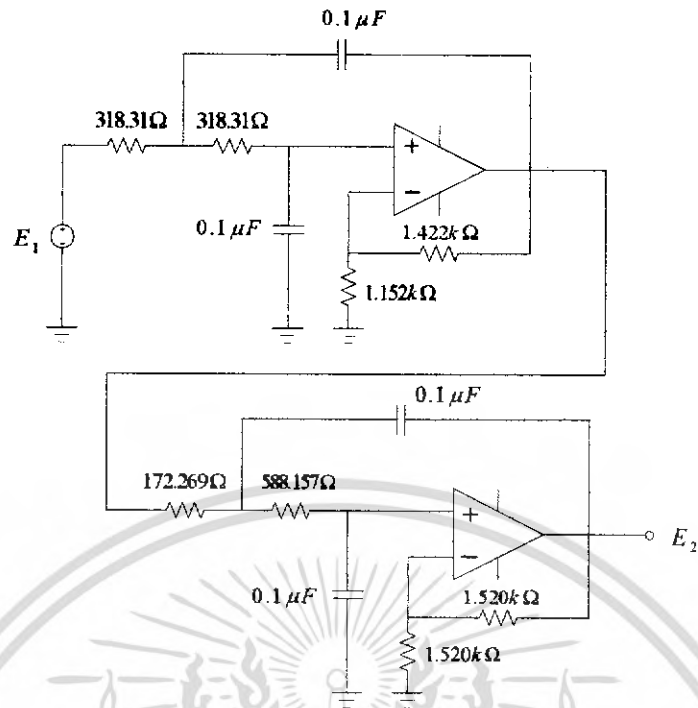
และจากสมการที่ (3.18) คือ

$$R_1 + R_2 = \frac{R_a R_b}{R_a + R_b}$$

จะทำให้ได้

$$R_a = R_b = 4.77787\Omega \quad (3.23)$$

ค่าที่คำนวณได้มาทั้งหมดนี้จะเป็นค่าที่ยังไม่ได้นอโมไรซ์ ซึ่งเรามีสเกลเท่ากับ $2\pi \times 5000$ จะทำให้ค่าของตัวเก็บประจุทั้งหมดมีค่า $31.831\mu F$ แต่ในที่นี้เราต้องการใช้ตัวเก็บประจุที่มีค่า $0.1\mu F$ ดังนั้นเราต้องทำการนอโมไรซ์ โดยจะทำการสเกลใหม่ ด้วยการใช้ $31.831/0.1 = 318.31$ ซึ่งรูปของวงจรกรองสัญญาณจะเป็นดังรูปที่ 3.4 และจะมีค่าอัตราขยาย $G = G_1 G_2 = 2.2346 \times 2 = 4.4692$



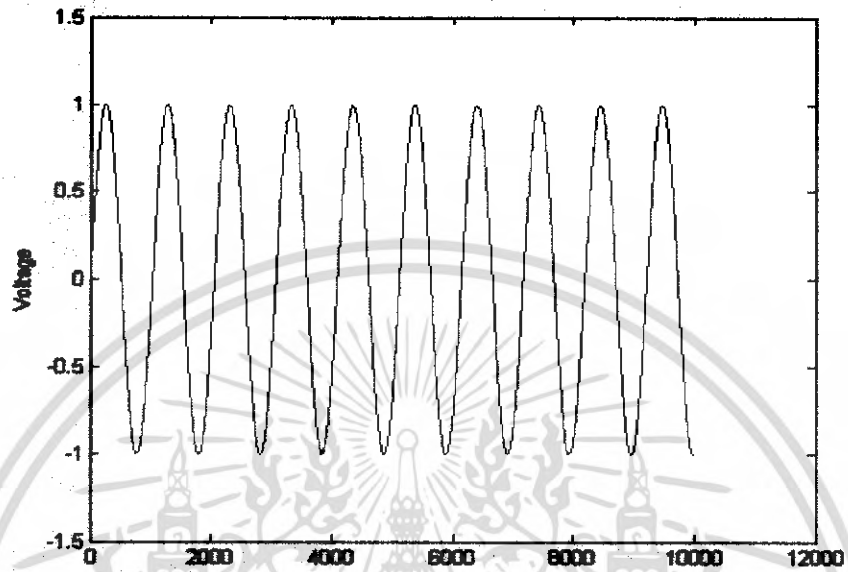
รูปที่ 3.4 วงจรกรองสัญญาณความถี่ค่าอันดับ 4 โดยใช้วงจร Sallen-Key biquad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

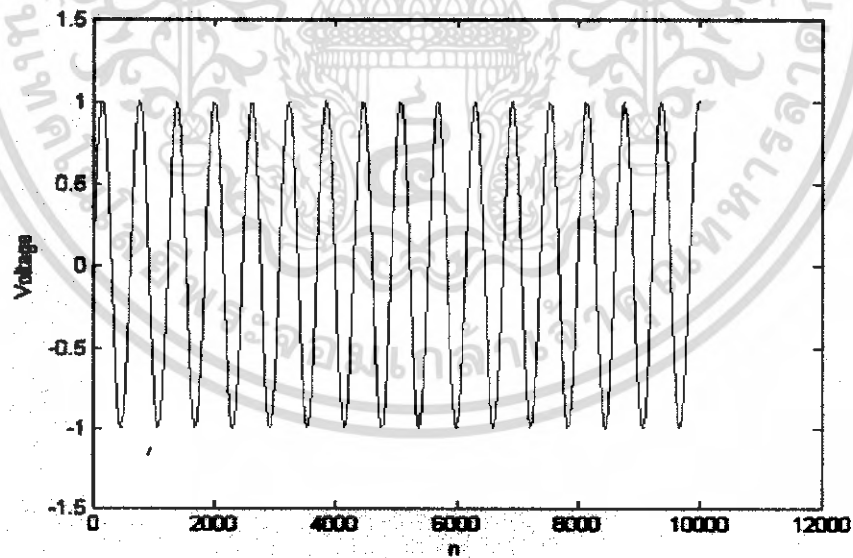
บทที่ 4

ผลกรรทคลอจ

4.1 3495 Digital Resonator

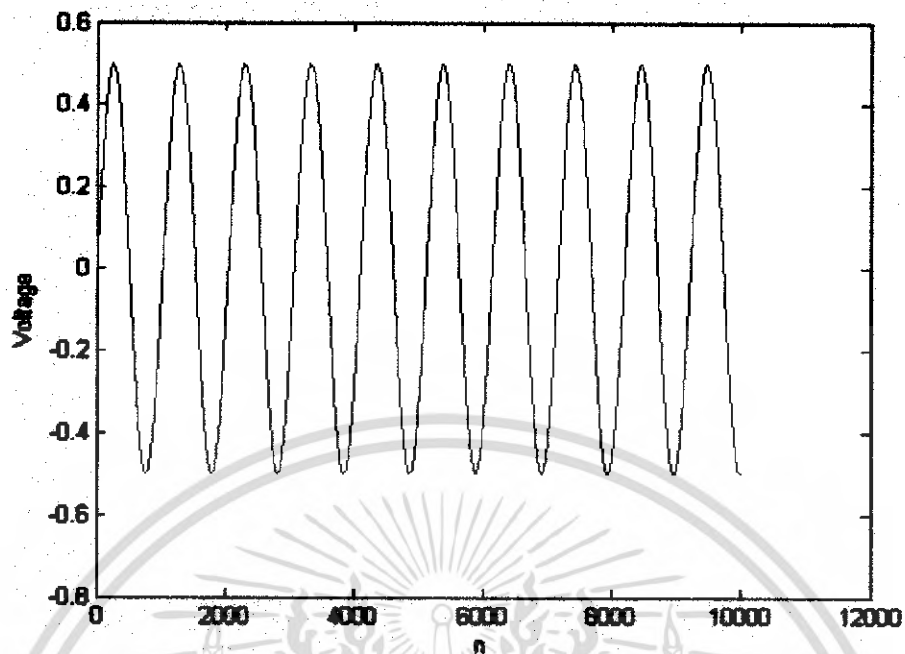


รูปที่ 4.1 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ $1V_p$

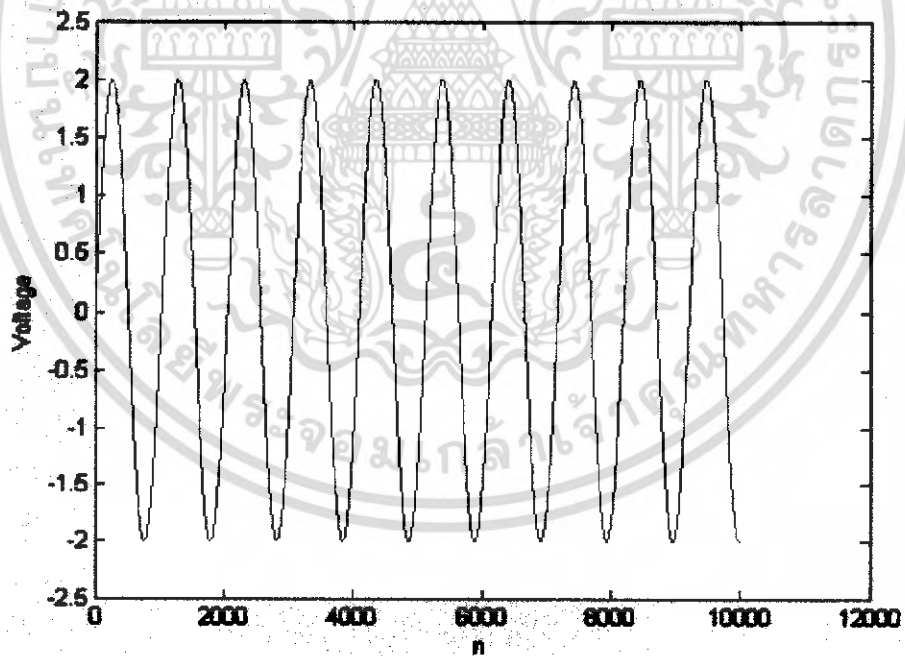


รูปที่ 4.2 ผลจากการสร้างสัญญาณ โดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ $1V_p$ แต่มีความถี่สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ผลจากการสร้างสัญญาณโดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ $0.5 V_p$

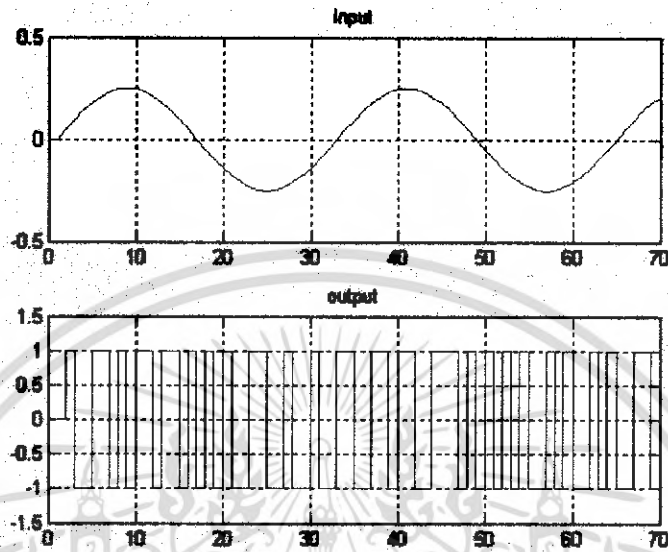


รูปที่ 4.4 ผลจากการสร้างสัญญาณโดยกำหนดค่าพารามิเตอร์ให้สัญญาณมีแอมพลิจูดเท่ากับ $2 V_p$

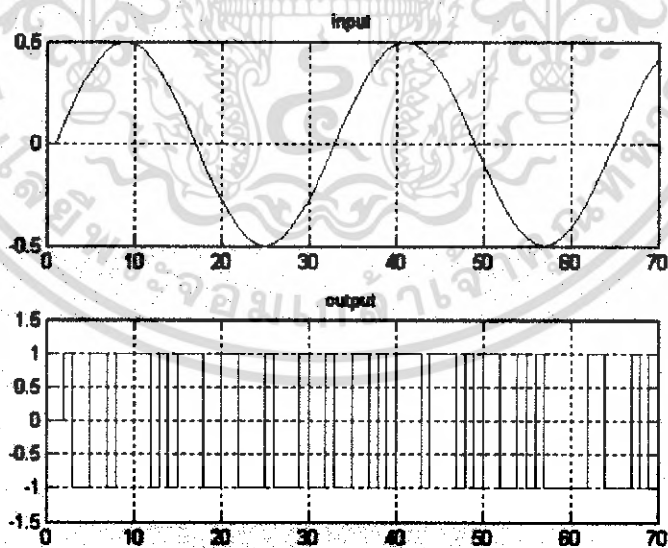
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลอง Single-stage Delta Sigma modulator

เมื่อสัญญาณอินพุตเป็นสัญญาณ sine wave 100 Hz และ ค่า Oversampling เท่ากับ 16



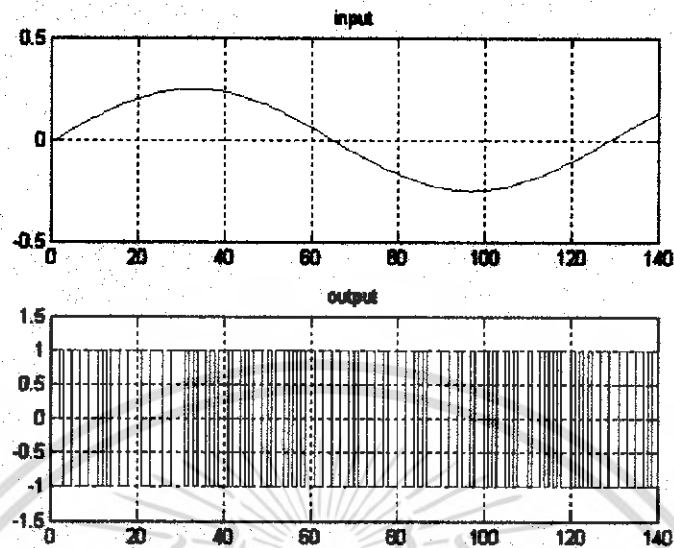
รูปที่ 4.5 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด $0.5 V_p$



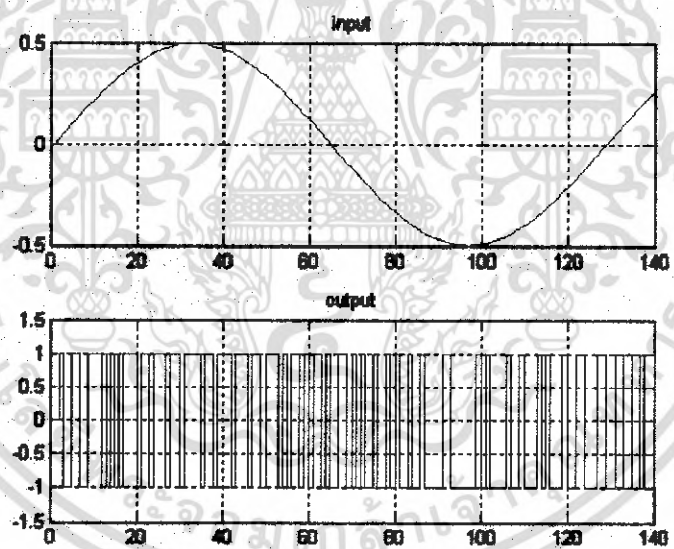
รูปที่ 4.6 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด $1 V_p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณอินพุตเป็นสัญญาณ sine wave 100 Hz และ ค่า Oversampling เท่ากับ 64

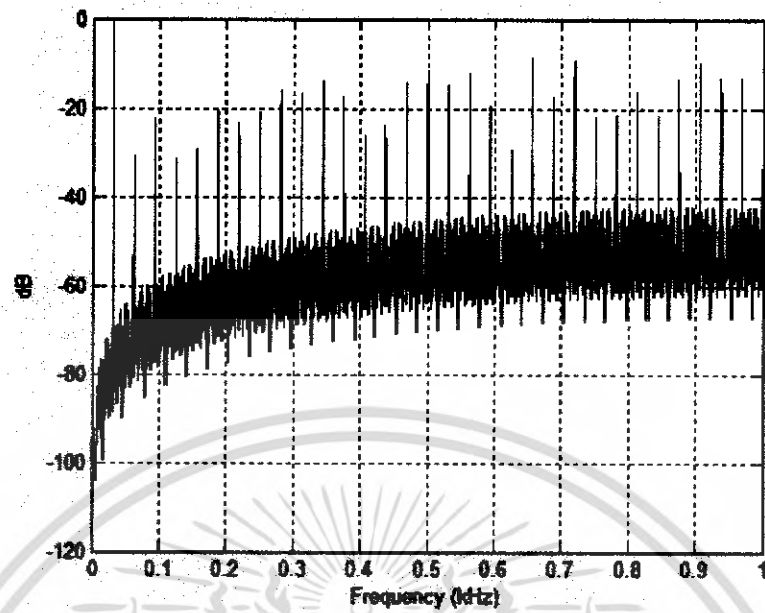


รูปที่ 4.7 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด $0.5 V_p$

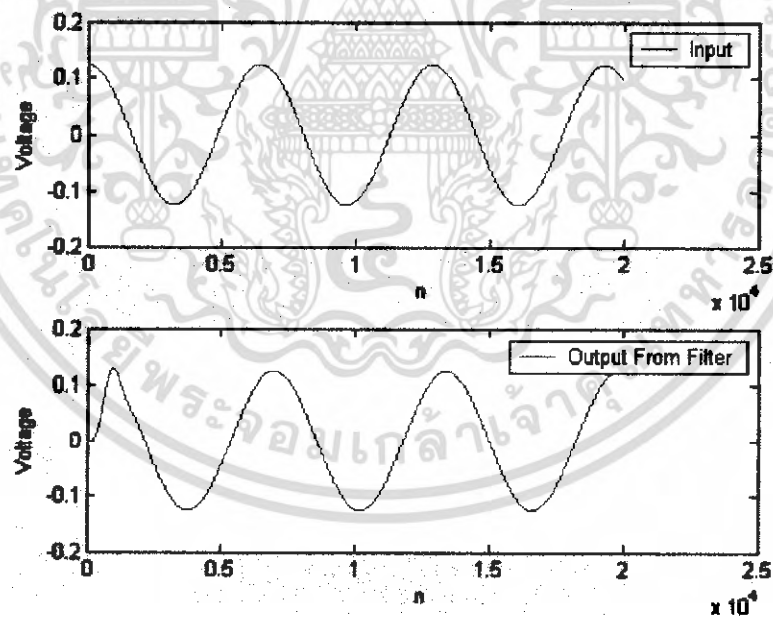


รูปที่ 4.8 แสดงผลการ Simulate โดยใส่สัญญาณอินพุตมีขนาดแอมพลิจูด $1 V_p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 กราฟค่า PSD ของ Single Stage Delta Sigma Order 2

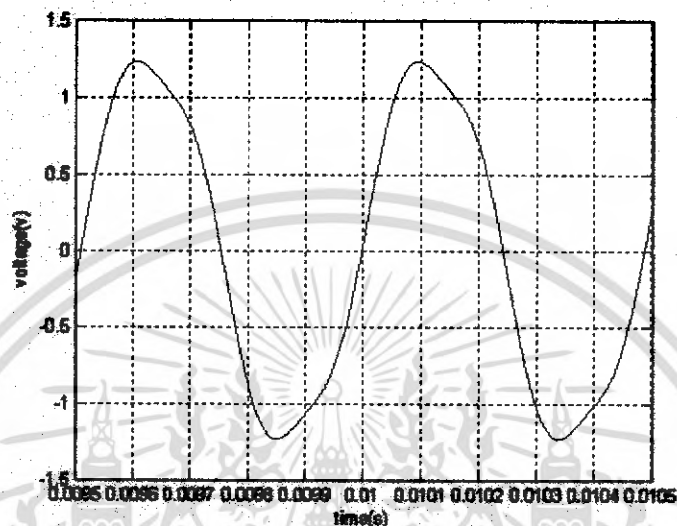


รูปที่ 4.10 แสดง Simulate เมื่อสัญญาณผ่านตัวกรองสัญญาณ

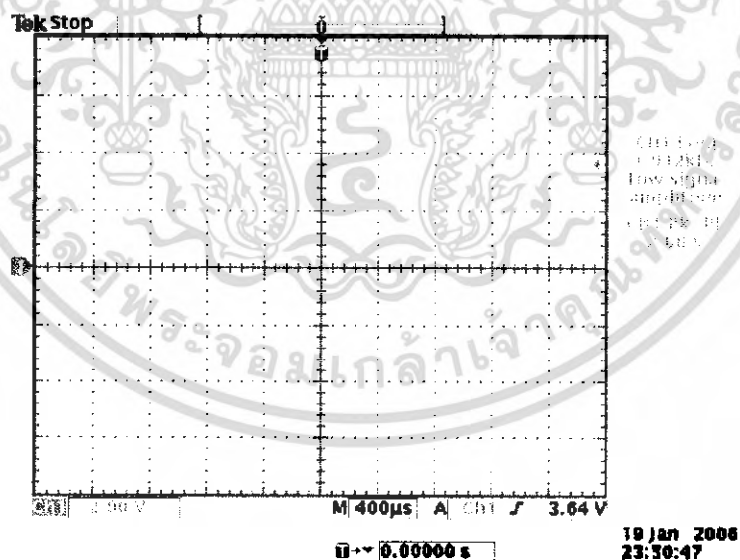
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลอง วงจรคิซคอลลอสซิเตอร์

เราสามารถที่จะกำหนดความถี่ในการออสซิลเลตได้ โดยทำการเปลี่ยนค่าสัมประสิทธิ์ α_1 (จากสมการที่ 2.150) ซึ่งจะทำให้ได้ผลการทดลองดังนี้



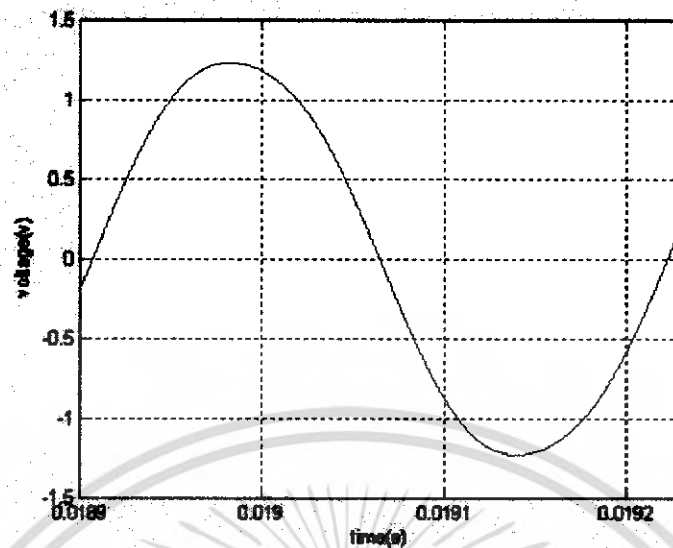
(a)



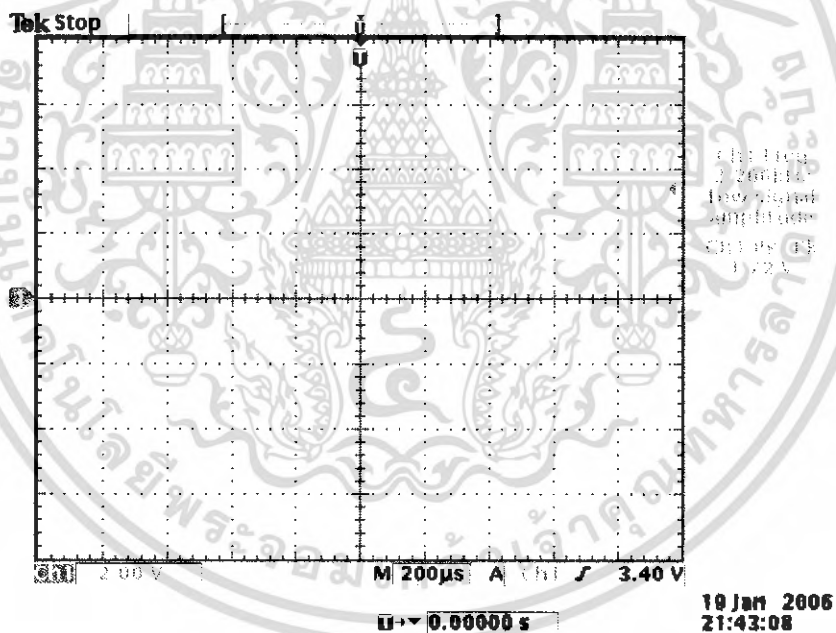
(b)

รูปที่ 4.11 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับผลการทดลอง (b) ที่มีค่า ความถี่เท่ากับ 2kHz แอมพลิจูดเท่ากับ 1V_{pp}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



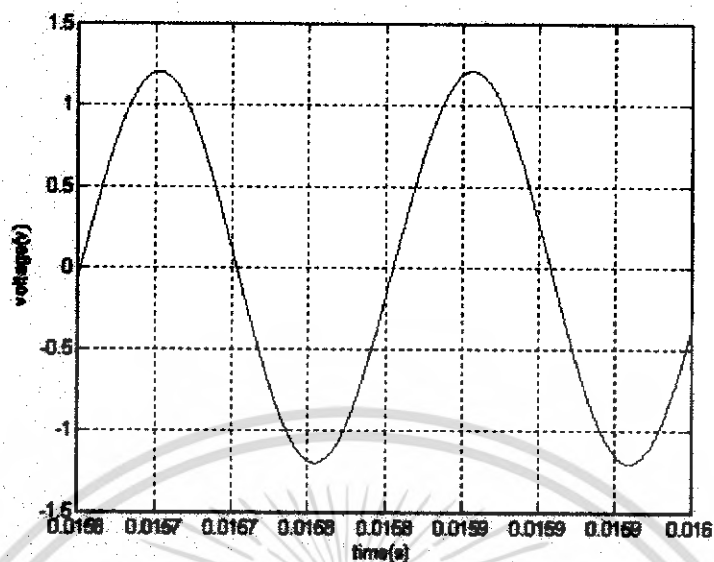
(a)



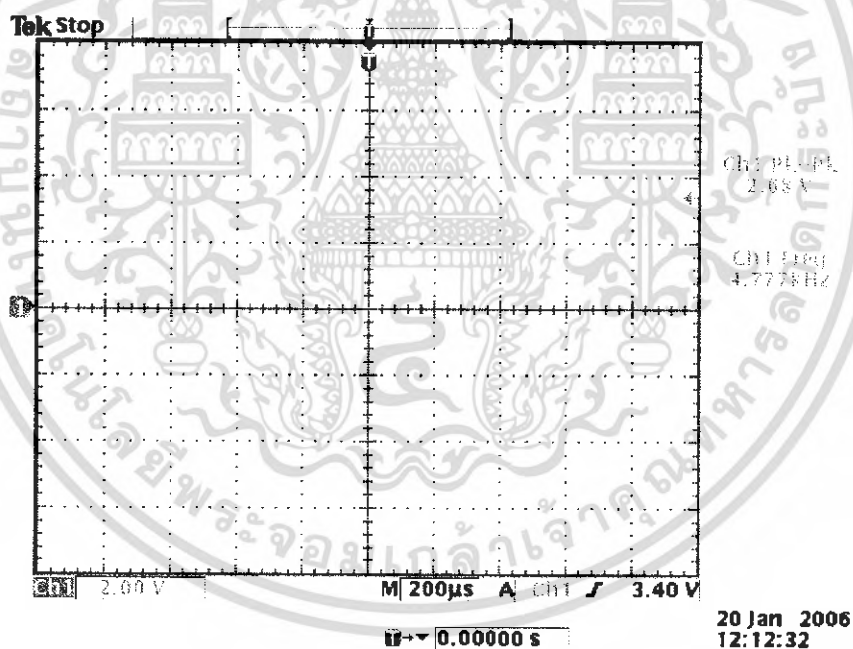
(b)

รูปที่ 4.12 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับการทดลอง (b) ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1V_{pp}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

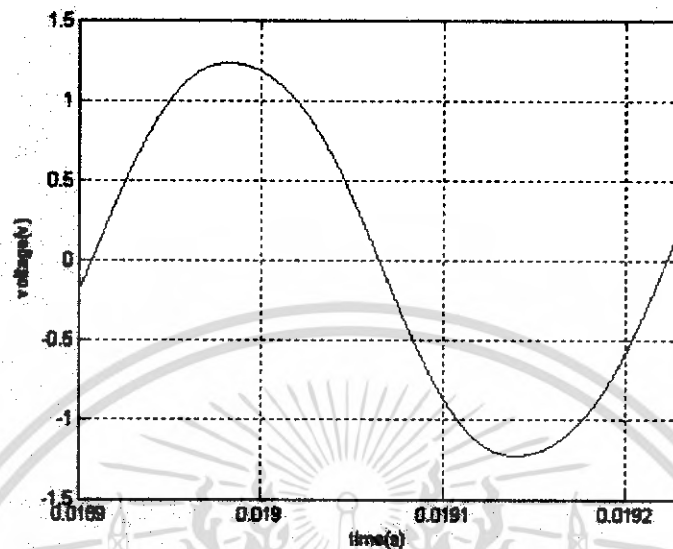


(b)

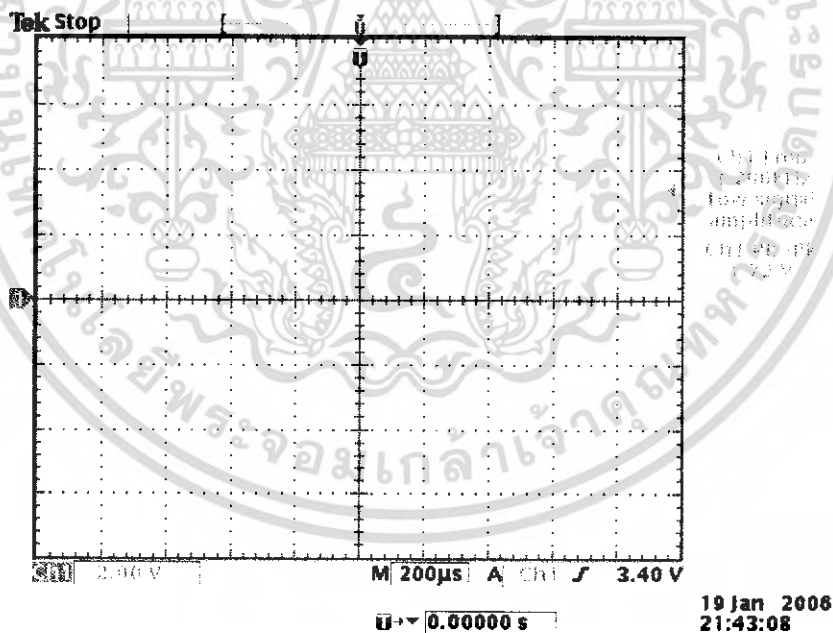
รูปที่ 4.13 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับการทดลอง (b) ที่มีค่า ความถี่เท่ากับ 5kHz แอมพลิจูดเท่ากับ 1V_{pp}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากเราจะสามารถกำหนดความถี่ในการออสซิลเลทแล้ว เรายังสามารถที่จะกำหนดเฟสได้จากสมการที่ 2.16 ซึ่งจะทำได้ผลการทดลองดังนี้



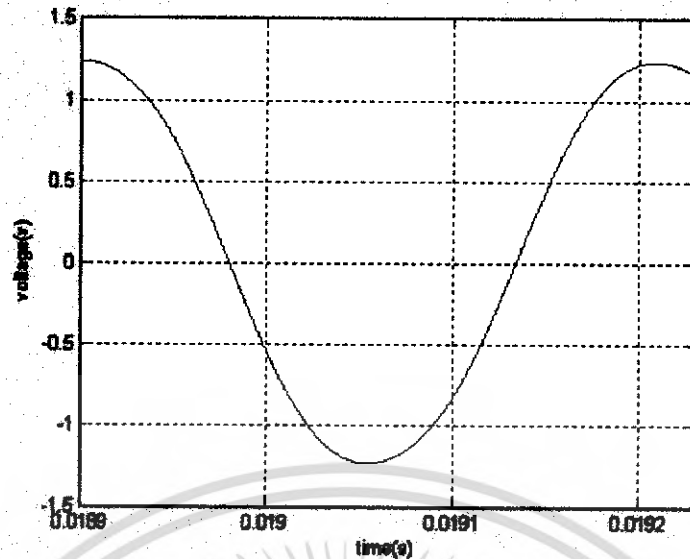
(a)



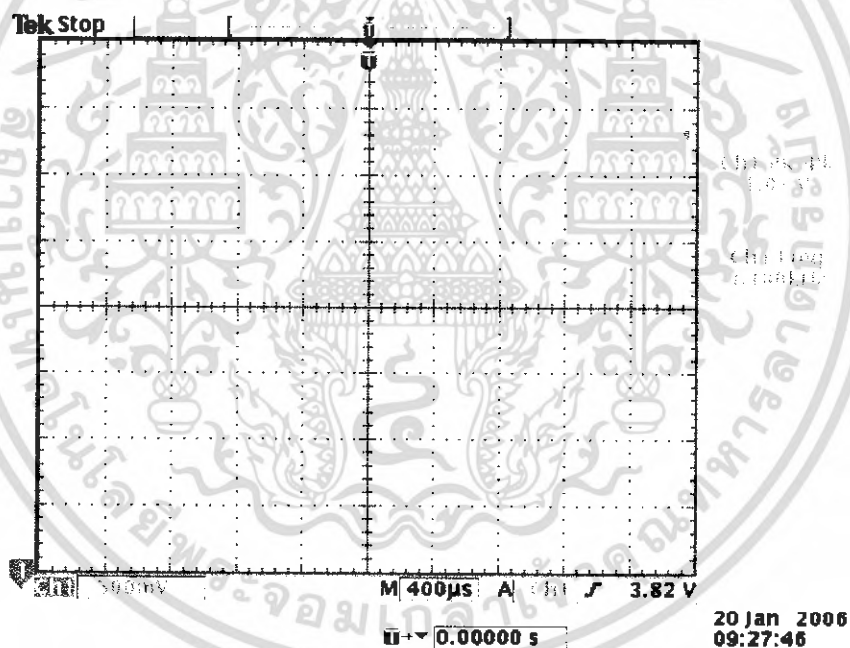
(b)

รูปที่ 4.14 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับการทดลอง (b) ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ $1V_{pp}$ และมีเฟสเท่ากับ 0°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



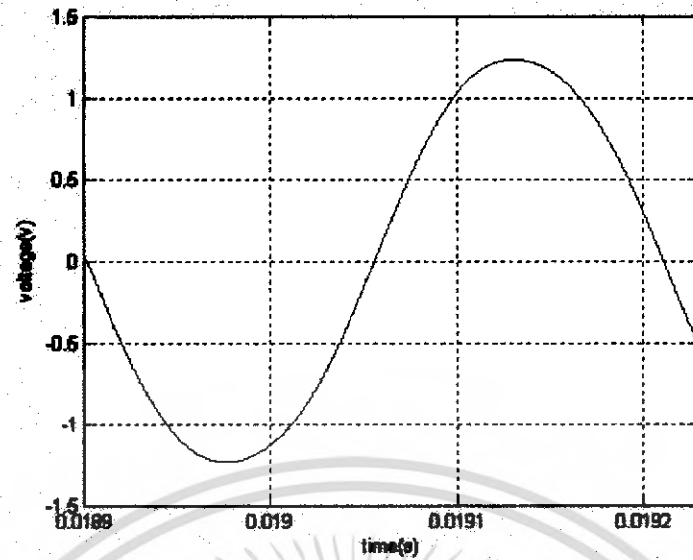
(a)



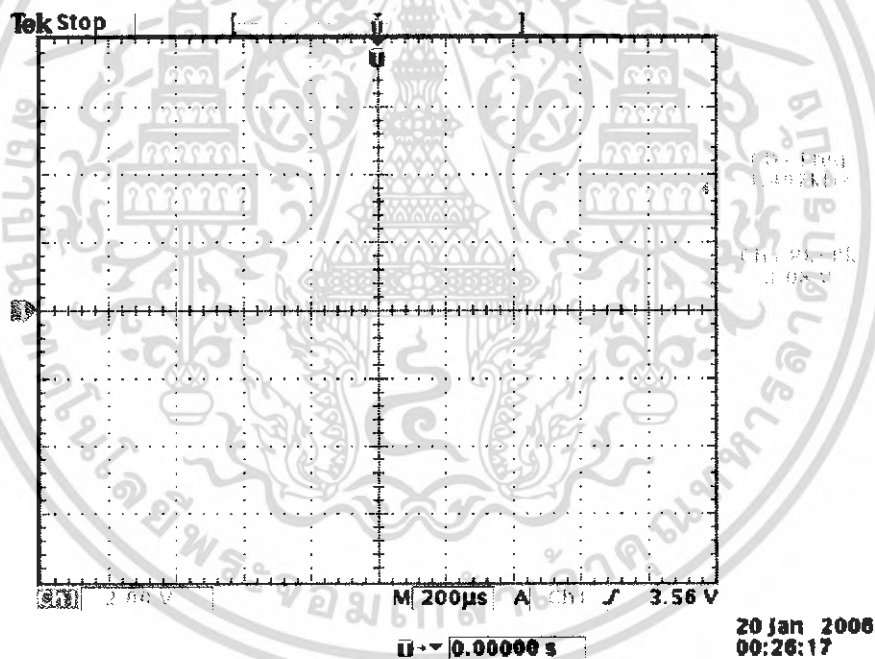
(b)

รูปที่ 4.15 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับ การทดลอง (b) ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1V_{pp} และมีเฟสเท่ากับ 90°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

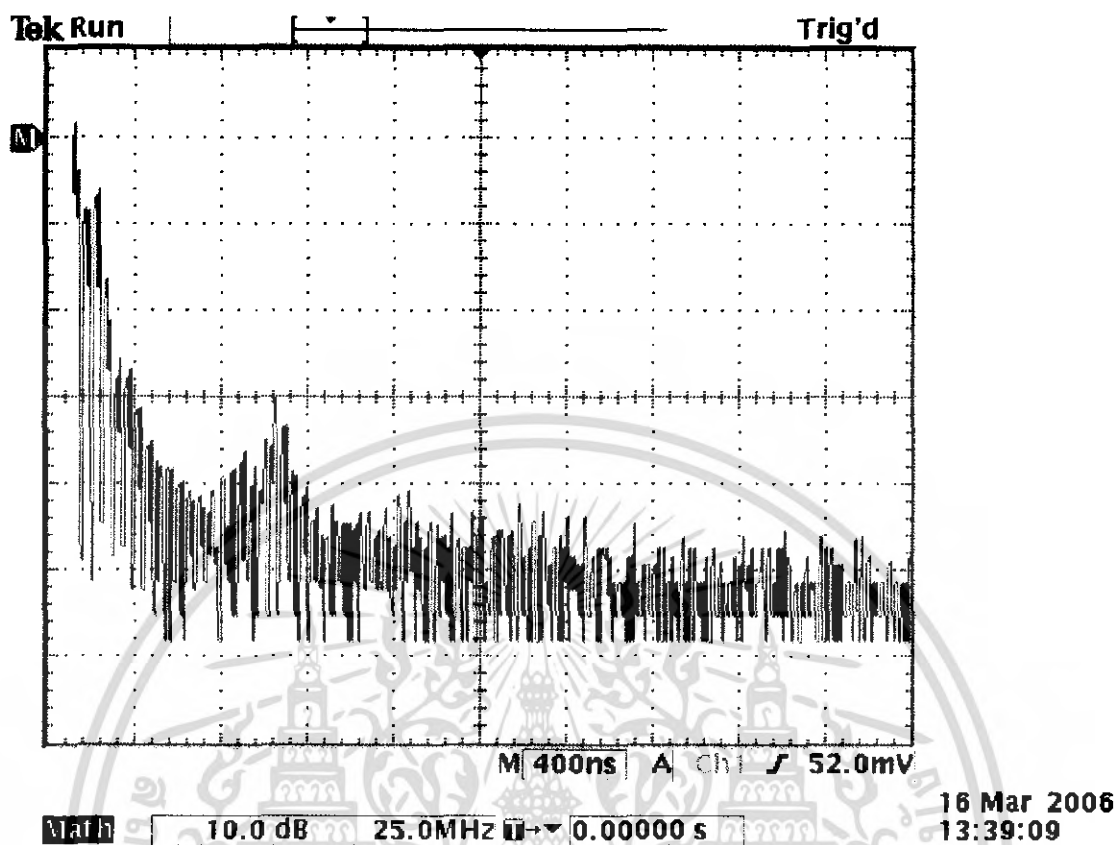


(b)

รูปที่ 4.16 แสดงการเปรียบเทียบสัญญาณจากวงจรออสซิลเลเตอร์ระหว่างการ Simulate (a) กับ การทดลอง (b) ที่มีค่า ความถี่เท่ากับ 3kHz แอมพลิจูดเท่ากับ 1V_{pp} และมีเฟสเท่ากับ 180°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำการวัดสเปกตรัมของวงจรดิจิตอลออสซิลเลเตอร์แล้วจะได้ดังผลการทดลอง



รูปที่ 4.17 แสดงการวัดสเปกตรัมของวงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

วงจรรีไซเคิลเตอร์

จากการออกแบบและวิเคราะห์วงจรดิจิทัลออสซิลเลเตอร์ โดยใช้การ Simulation จากโปรแกรม MATLAB จะพบว่าที่วงจรดิจิทัลออสซิลเลเตอร์นั้น ค่าของแอมพลิจูดของเอาต์พุตที่เป็นสัญญาณ Sinusoidal จะขึ้นอยู่กับค่าของ Initial condition ที่ถูกเก็บอยู่ในรีจิสเตอร์ทั้งสองตัว ส่วนค่าความถี่ของการออสซิลเลชัน (ω_0) จะขึ้นอยู่กับค่าของสัมประสิทธิ์ a_{12} และ a_{21}

วงจรถอดค่าซิกม่า

ทางด้านของวงจรถอดค่าซิกมามอดูลเรชั่นนั้น เอาต์พุตที่ออกมาจะเป็นสัญญาณ 1 บิต (Single Bit) ซึ่งเมื่อนำมาเข้าส่วนของ Lowpass Filter จะได้สัญญาณที่เป็น Sinusoidal ซึ่งส่วนของการทำงานของวงจรถอดค่าซิกม่าในลักษณะนี้จะเป็นส่วนหนึ่งของวงจรสร้างสัญญาณซึ่งจะนำมารวมเป็นวงจรรวมต่อไป

วงจรรออสซิลเลเตอร์

เมื่อนำเอาส่วนของวงจรถอดค่าซิกมามาผสมผสานกันกับวงจรรีไซเคิลเตอร์ จะทำให้เราสามารถสร้างวงจรรออสซิลเลเตอร์ที่มีข้อดีของวงจรถอดค่าซิกม่าซึ่งเกิดสเตรจ ซึ่งจะสามารถให้สัญญาณดิจิทัลที่มีค่าเพียง 1 บิตเท่านั้น และจากส่วนของสัญญาณ 1 บิตที่ได้นี้ เราสามารถแปลงสัญญาณนั้นๆ ให้กลายเป็นสัญญาณไซน์ตามการคำนวณในส่วนของรีไซเคิลเตอร์ โดยนำเอาตัวกรองสัญญาณต่ำผ่านมาทำการกรองสัญญาณไซน์ออกมา ซึ่งทำได้โดยง่ายต่อไป

เอกสารอ้างอิง

- [1] Sangil Park , Ph.D. Strategic Applications Digital Signal Processor Operation , “Priciples of Sigma-Delta Modulation for Analog-to-Digital Converter”, Motorola.
- [2] P. M.Aziz, Henrik V. Sorensen, and J. V. D. Spiegel, “An Overview of Sigma-Delta Converter”, IEEE Signal Processing Magazine , pp.61-84, 1996.
- [3] A. Rusu, “LowPower Analog and Mixed Signal”, ICs, 2004.
- [4] C. Rebai, D. Dallet, and Philippe Marchegay, “Signal Generation Using Single-Bit Sigma-Delta Techniques”, IEEE Transection On Instrumentation And Mesurement Vol. 53, No.4, August 2004.
- [5] B. R.Veillette and G. W.Roberts, “Delta-Sigma Oscillators: Versatile Building Blocks”, International Journal Of Circuit Theory And Applications, Vol. 25, 407-418 (1997).
- [6] A. K. Lu, Gordon W.Roberts, and D. A.Johns, “A High-Quality Analog Oscillatior Using Oversampling D/A Conversion Techniques”, IEEE Transection On Circuits And Systems-II: Analog and Digital Signal Processing, Vol. 41, No.7, July 1994.
- [7] Kendall Su, "Analog Filters second edition" Kluwer Academic Publishers, 2002

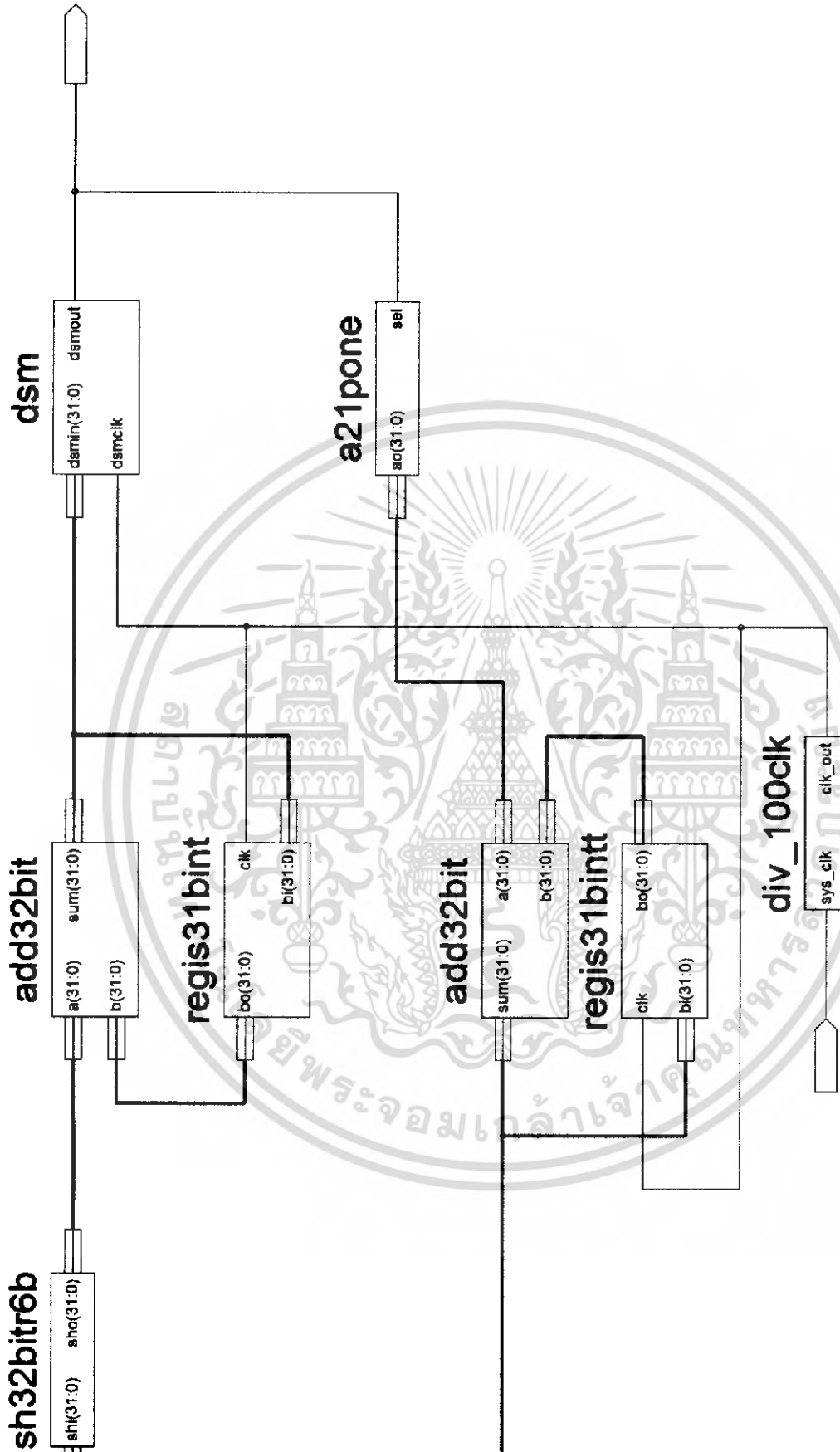
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

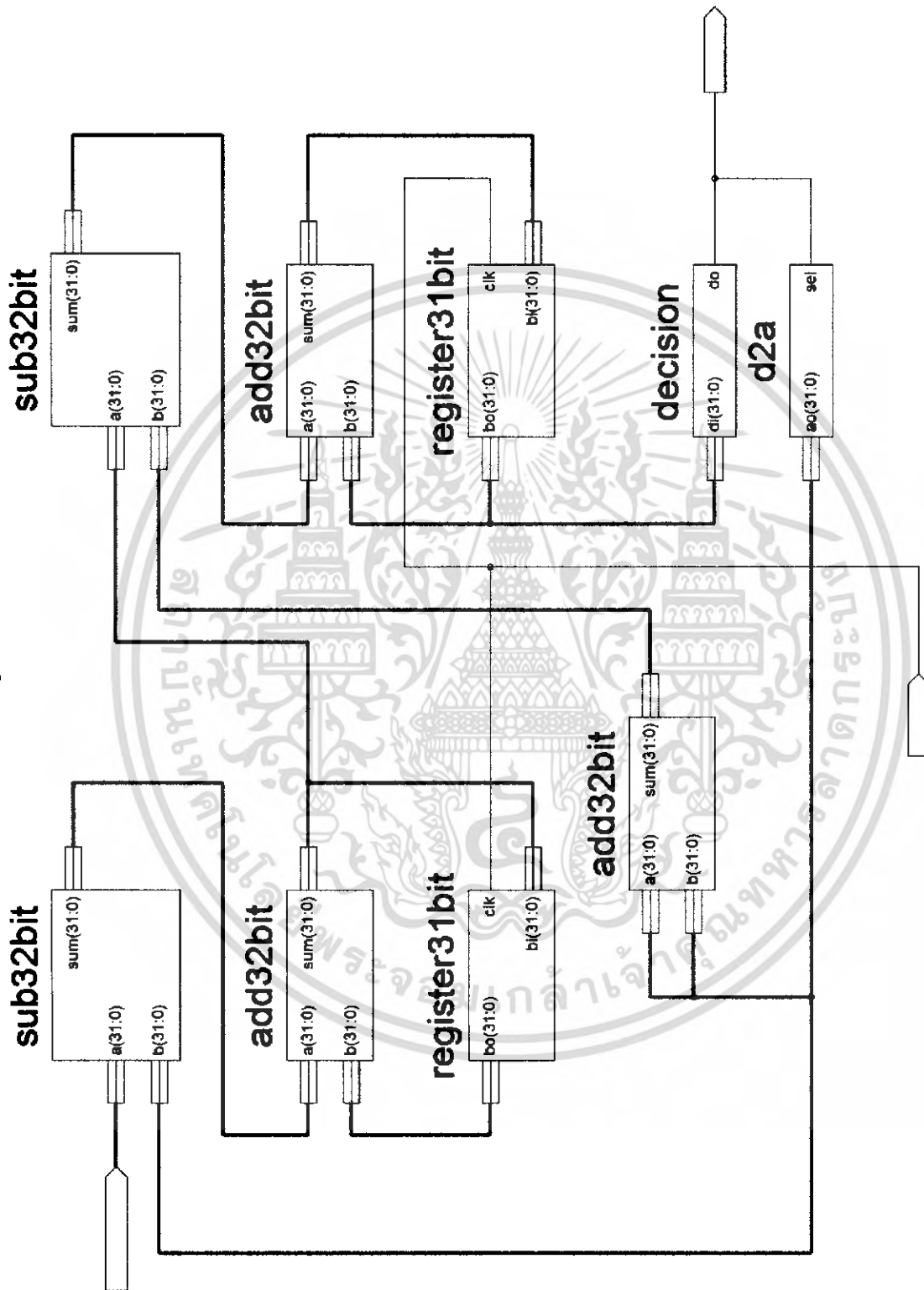
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscillator Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในวงการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Delta-Sigma Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"sub32bit"

```
Library ieee;  
Use ieee.std_logic_1164.ALL;  
Use ieee.std_logic_Unsigned.ALL;  
Entity sub32bit is  
Port (a,b : in std_logic_vector(31 downto 0);  
      sum : out std_logic_vector(31 downto 0));  
End ;
```

```
Architecture rtl of sub32bit is  
  constant as : std_logic := '1';  
  Begin  
    sum<=(not('0'&b&b&b &b&b&b&b &b&b&b&b &b&b&b&b &b&b&b&b  
&b&b&b&b &b&b&b&b &b&b&b&b))+a+'1';  
  End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"add32bit"

```
Library ieee;
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_Unsigned.ALL;
Entity add32bit is
Port (a,b : in std_logic_vector(31 downto 0);
      sum : out std_logic_vector(31 downto 0));
End ;

Architecture rtl of add32bit is
  constant as : std_logic :='0';
  Begin
    sum<=((as&as&as&as &as&as&as&as &as&as&as&as &as&as&as&as
&as&as&as&as
&as&as&as&as &as&as&as&as &as&as&as&as) xör b)+a+'1';
  End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"d2a"

```
Library ieee;
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_Unsigned.ALL;
Entity d2a is
Port (sel : in std_logic;
      ao : out std_logic_vector(31 downto 0));
End ;

Architecture rtl of d2a is
Begin
ao<= "10000000000000000000000000000000" when sel='0' else
     "01111111111111111111111111111111" ;
End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
"register31bit"
```

```
Library ieee;
```

```
Use ieee.std_logic_1164.ALL;
```

```
Use ieee.std_logic_Unsigned.ALL;
```

```
Entity register31bit is
```

```
Port (bi      : in  std_logic_vector(31 downto 0);
```

```
      clk      : in  std_logic;
```

```
      bo      : out std_logic_vector(31 downto 0));
```

```
End;
```

```
Architecture rtl  of register31bit is
```

```
Begin
```

```
  Process(bi,clk)
```

```
  Begin
```

```
    if clk'event and clk='1' then
```

```
      bo<=bi;
```

```
    end if;
```

```
  end process;
```

```
End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"Decision"

```
Library ieee;
```

```
Use ieee.std_logic_1164.ALL;
```

```
Use ieee.std_logic_Unsigned.ALL;
```

```
Entity decision is
```

```
Port (di      : in  std_logic_vector(31 downto 0);
```

```
      do      : out std_logic);
```

```
End;
```

```
Architecture rtl of decision is
```

```
Begin
```

```
do<=not(di(31));
```

```
End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

"div_100clk"

Library ieee;
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_unsigned.ALL;
Entity div_100clk is
Port ( sys_clk : in std_logic;
      clk_out  : out std_logic);
End ;
Architecture rtl of div_100clk is
  SIGNAL count : integer range 0 to 7;
Begin
  PROCESS (sys_clk)
  BEGIN
    if sys_clk'event and sys_clk='1' then
      count<=count+1;
      if count<3 then
        clk_out<='0';
      else
        clk_out<='1';
      end if;
    end if;
  END PROCESS ;
End;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"a21pone"

```
Library ieee;
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_Unsigned.ALL;
Entity a21pone is
Port (sel : in std_logic;
      ao : out std_logic_vector(31 downto 0));
End ;

Architecture rtl of a21pone is
Begin
ao<= "0000000000011100101111100001010" when sel='0' else
     "11111111111000110100000011110101" ;
End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

"regis31bintt"

Library ieee;
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_Unsigned.ALL;

Entity regis31bintt is
Port (bi      : in  std_logic_vector(31 downto 0);
      clk      : in  std_logic;
      bo      : out std_logic_vector(31 downto 0));
End;

Architecture rtl  of regis31bintt is
  SIGNAL state : integer range 0 to 1;
  Begin
    Process (bi, clk)
      Begin
        if clk'event and clk='1' then
          CASE state IS
            WHEN 0 =>   bo<="11111111111101001000000001100010";
                       state<=1;
            WHEN OTHERS=>
                       bo<=bi;
          END CASE;
        end if;
      end process;
    End;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"sh32bitr6b"

```
Use ieee.std_logic_1164.ALL;
Use ieee.std_logic_Unsigned.ALL;
Entity sh32bitr6b is
Port (shi : in std_logic_vector(31 downto 0);
      sho : out std_logic_vector(31 downto 0));
End ;

Architecture rtl of sh32bitr6b is
Begin
    sho(25 downto 0) <= shi(31 downto 6);
    sho(31 downto 26) <= (shi(31) & shi(31) & shi(31) & shi(31)
& shi(31) & shi(31));
End;
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Spartan-II 2.5V FPGA Family: Introduction and Ordering Information

DS001-1 (v2.4) September 3, 2003

Product Specification

Introduction

The Spartan™-II 2.5V Field-Programmable Gate Array family gives users high performance, abundant logic resources, and a rich feature set, all at an exceptionally low price. The six-member family offers densities ranging from 15,000 to 200,000 system gates, as shown in Table 1. System performance is supported up to 200 MHz.

Spartan-II devices deliver more gates, I/Os, and features per dollar than other FPGAs by combining advanced process technology with a streamlined Virtex-based architecture. Features include block RAM (to 56K bits), distributed RAM (to 75,264 bits), 16 selectable I/O standards, and four DLLs. Fast, predictable interconnect means that successive design iterations continue to meet timing requirements.

The Spartan-II family is a superior alternative to mask-programmed ASICs. The FPGA avoids the initial cost, lengthy development cycles, and inherent risk of conventional ASICs. Also, FPGA programmability permits design upgrades in the field with no hardware replacement necessary (impossible with ASICs).

Features

- Second generation ASIC replacement technology
 - Densities as high as 5,292 logic cells with up to 200,000 system gates
 - Streamlined features based on Virtex architecture
 - Unlimited reprogrammability
 - Very low cost

- System level features
 - SelectRAM+™ hierarchical memory:
 - 16 bits/LUT distributed RAM
 - Configurable 4K bit block RAM
 - Fast interfaces to external RAM
 - Fully PCI compliant
 - Low-power segmented routing architecture
 - Full readback ability for verification/observability
 - Dedicated carry logic for high-speed arithmetic
 - Dedicated multiplier support
 - Cascade chain for wide-input functions
 - Abundant registers/latches with enable, set, reset
 - Four dedicated DLLs for advanced clock control
 - Four primary low-skew global clock distribution nets
 - IEEE 1149.1 compatible boundary scan logic
- Versatile I/O and packaging
 - Low cost packages available in all densities
 - Family footprint compatibility in common packages
 - 16 high-performance interface standards
 - Hot swap Compact PCI friendly
 - Zero hold time simplifies system timing
- Fully supported by powerful Xilinx development system
 - Foundation ISE Series: Fully integrated software
 - Alliance Series: For use with third-party tools
 - Fully automatic mapping, placement, and routing

Table 1: Spartan-II FPGA Family Members

Device	Logic Cells	System Gates (Logic and RAM)	CLB Array (R x C)	Total CLBa	Maximum Available User I/O ⁽¹⁾	Total Distributed RAM Bits	Total Block RAM Bits
XC2S15	432	15,000	8 x 12	96	86	6,144	16K
XC2S30	972	30,000	12 x 18	216	132	13,824	24K
XC2S50	1,728	50,000	16 x 24	384	176	24,576	32K
XC2S100	2,700	100,000	20 x 30	600	196	38,400	40K
XC2S150	3,888	150,000	24 x 36	864	260	55,296	48K
XC2S200	5,292	200,000	28 x 42	1,176	284	75,264	56K

Notes:

1. All user I/O counts do not include the four global clock/user input pins. See details in Table 3, page 3.

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

General Overview

The Spartan-II family of FPGAs have a regular, flexible, programmable architecture of Configurable Logic Blocks (CLBs), surrounded by a perimeter of programmable Input/Output Blocks (IOBs). There are four Delay-Locked Loops (DLLs), one at each corner of the die. Two columns of block RAM lie on opposite sides of the die, between the CLBs and the IOB columns. These functional elements are interconnected by a powerful hierarchy of versatile routing channels (see Figure 1).

Spartan-II FPGAs are customized by loading configuration data into internal static memory cells. Unlimited reprogramming cycles are possible with this approach. Stored values in these cells determine logic functions and interconnections implemented in the FPGA. Configuration data can be read from an external serial PROM (master serial mode), or written into the FPGA in slave serial, slave parallel, or Boundary Scan modes.

Spartan-II FPGAs are typically used in high-volume applications where the versatility of a fast programmable solution adds benefits. Spartan-II FPGAs are ideal for shortening product development cycles while offering a cost-effective solution for high volume production.

Spartan-II FPGAs achieve high-performance, low-cost operation through advanced architecture and semiconductor technology. Spartan-II devices provide system clock rates up to 200 MHz. Spartan-II FPGAs offer the most cost-effective solution while maintaining leading edge performance. In addition to the conventional benefits of high-volume programmable logic solutions, Spartan-II FPGAs also offer on-chip synchronous single-port and dual-port RAM (block and distributed form), DLL clock drivers, programmable set and reset on all flip-flops, fast carry logic, and many other features.

The Xilinx XC17S00A PROM family is recommended for serial configuration of Spartan-II FPGAs. The In-System Programmable (ISP) XC18V00 PROM family is recommended for parallel or serial configuration.

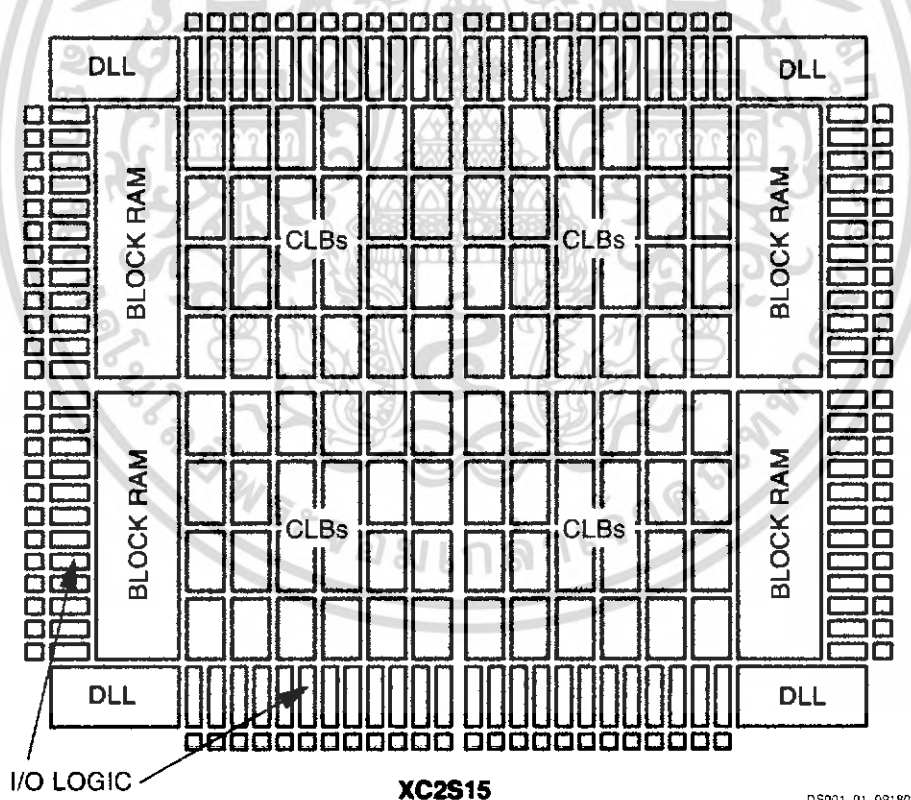


Figure 1: Basic Spartan-II Family FPGA Block Diagram

Spartan-II Product Availability

Table 2 shows the package and speed grades available for Spartan-II family devices. Table 3 shows the maximum user I/Os available on the device and the number of user I/Os available for each device/package combination. The four

global clock pins are usable as additional user I/Os when not used as a global clock pin. These pins are not included in user I/O counts.

Table 2: Spartan-II Package and Speed Grade Availability

Device	Pins	100	144	144	208	256	456
	Type	Plastic VQFP	Plastic TQFP	Chip Scale BGA	Plastic PQFP	Fine Pitch BGA	Fine Pitch BGA
	Code	VQ100	TQ144	CS144	PQ208	FG256	FG456
XC2S15	-5	C, I	C, I	C, I	-	-	-
	-6	C	C	C	-	-	-
XC2S30	-5	C, I	C, I	C, I	C, I	-	-
	-6	C	C	C	C	-	-
XC2S50	-5	-	C, I	-	C, I	C, I	-
	-6	-	C	-	C	C	-
XC2S100	-5	-	C, I	-	C, I	C, I	C, I
	-6	-	C	-	C	C	C
XC2S150	-5	-	-	-	C, I	C, I	C, I
	-6	-	-	-	C	C	C
XC2S200	-5	-	-	-	C, I	C, I	C, I
	-6	-	-	-	C	C	C

Notes:

1. C = Commercial, $T_J = 0^\circ$ to $+85^\circ$ C; I = Industrial, $T_J = -40^\circ$ C to $+100^\circ$ C.

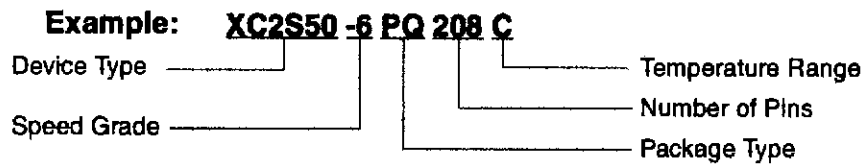
Table 3: Spartan-II User I/O Chart⁽¹⁾

Device	Maximum User I/O	Available User I/O According to Package Type					
		VQ100	TQ144	CS144	PQ208	FG256	FG456
XC2S15	86	60	86	86	-	-	-
XC2S30	132	60	92	92	132	-	-
XC2S50	176	-	92	-	140	176	-
XC2S100	196	-	92	-	140	176	196
XC2S150	260	-	-	-	140	176	260
XC2S200	284	-	-	-	140	176	284

Notes:

1. All user I/O counts do not include the four global clock/user input pins.

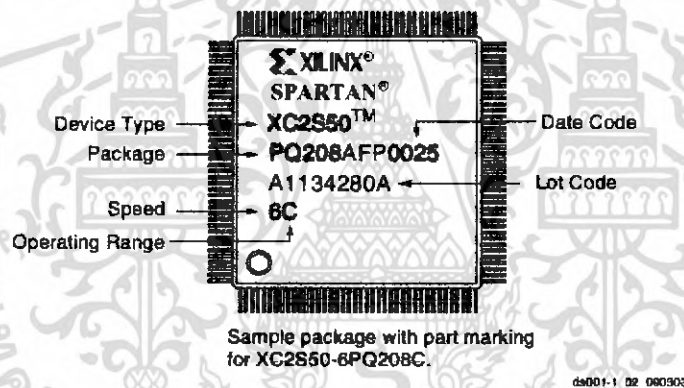
Ordering Information



Device Ordering Options

Device	Speed Grade		Number of Pins / Package Type		Temperature Range (T _J)	
	XC2S15	-5	Standard Performance	VQ100	100-pin Plastic Very Thin QFP	C = Commercial
XC2S30	-6	Higher Performance	CS144	144-ball Chip-Scale BGA	I = Industrial	-40°C to +100°C
XC2S50			TQ144	144-pin Plastic Thin QFP		
XC2S100			PQ208	208-pin Plastic QFP		
XC2S150			FG256	256-ball Fine Pitch BGA		
XC2S200			FG456	456-ball Fine Pitch BGA		

Device Part Marking



Revision History

Date	Version No.	Description
09/18/00	2.0	Sectioned the Spartan-II Family data sheet into four modules. Added industrial temperature range information.
10/31/00	2.1	Removed Power down feature.
03/05/01	2.2	Added statement on PROMs.
11/01/01	2.3	Updated Product Availability chart. Minor text edits.
09/03/03	2.4	Added device part marking.



Spartan-II 2.5V FPGA Family: Pinout Tables

DS001-4 (v2.5) September 3, 2003

Product Specification

Pin Definitions

Pin Name	Dedicated Pin	Direction	Description
GCK0, GCK1, GCK2, GCK3	No	Input	Clock input pins that connect to Global Clock Buffers. These pins become user inputs when not needed for clocks.
MO, M1, M2	Yes	Input	Mode pins are used to specify the configuration mode.
CCLK	Yes	Input or Output	The configuration Clock I/O pin. It is an input for slave-parallel and slave-serial modes, and output in master-serial mode.
PROGRAM	Yes	Input	Initiates a configuration sequence when asserted Low.
DONE	Yes	Bidirectional	Indicates that configuration loading is complete, and that the start-up sequence is in progress. The output may be open drain.
INIT	No	Bidirectional (Open-drain)	When Low, indicates that the configuration memory is being cleared. This pin becomes a user I/O after configuration.
BUSY/DOUT	No	Output	In Slave Parallel mode, BUSY controls the rate at which configuration data is loaded. This pin becomes a user I/O after configuration unless the Slave Parallel port is retained. In serial modes, DOUT provides configuration data to downstream devices in a daisy-chain. This pin becomes a user I/O after configuration.
D0/DIN, D1, D2, D3, D4, D5, D6, D7	No	Input or Output	In Slave Parallel mode, D0-D7 are configuration data input pins. During readback, D0-D7 are output pins. These pins become user I/Os after configuration unless the Slave Parallel port is retained. In serial modes, DIN is the single data input. This pin becomes a user I/O after configuration.
WRITE	No	Input	In Slave Parallel mode, the active-low Write Enable signal. This pin becomes a user I/O after configuration unless the Slave Parallel port is retained.
CS	No	Input	In Slave Parallel mode, the active-low Chip Select signal. This pin becomes a user I/O after configuration unless the Slave Parallel port is retained.
TDI, TDO, TMS, TCK	Yes	Mixed	Boundary Scan Test Access Port pins (IEEE 1149.1).
V _{CCINT}	Yes	Input	Power supply pins for the internal core logic.
V _{CCO}	Yes	Input	Power supply pins for output drivers (subject to banking rules)
V _{REF}	No	Input	Input threshold voltage pins. Become user I/Os when an external threshold voltage is not needed (subject to banking rules).
GND	Yes	Input	Ground.
IRDY, TRDY	No	See PCI core documentation	These signals can only be accessed when using Xilinx PCI cores. If the cores are not used, these pins are available as user I/Os.

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

DS001-4 (v2.5) September 3, 2003
Product Specification

www.xilinx.com
1-800-255-7778

Module 4 of 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1

Pinout Tables

The following device-specific pinout tables include all packages available for each Spartan-II device. They follow the pad locations around the die, and include Boundary Scan register locations.

XC2S15 Device Pinouts

XC2S15 Pad Name		VQ100	TQ144	CS144	Bndry Scan
Function	Bank				
GND	-	P1	P143	A1	-
TMS	-	P2	P142	B1	-
I/O	7	P3	P141	C2	77
I/O	7	-	P140	C1	80
I/O, V _{REF}	7	P4	P139	D4	83
I/O	7	P5	P137	D2	86
I/O	7	P6	P136	D1	89
GND	-	-	P135	E4	-
I/O	7	P7	P134	E3	92
I/O	7	-	P133	E2	95
I/O, V _{REF}	7	P8	P132	E1	98
I/O	7	P9	P131	F4	101
I/O	7	-	P130	F3	104
I/O, IRDY ⁽¹⁾	7	P10	P129	F2	107
GND	-	P11	P128	F1	-
V _{CCO}	7	P12	P127	G2	-
V _{CCO}	6	P12	P127	G2	-
I/O, TRDY ⁽¹⁾	6	P13	P126	G1	110
V _{CCINT}	-	P14	P125	G3	-
I/O	6	-	P124	G4	113
I/O	6	P15	P123	H1	116
I/O, V _{REF}	6	P16	P122	H2	119
I/O	6	-	P121	H3	122
I/O	6	P17	P120	H4	125
GND	-	-	P119	J1	-
I/O	6	P18	P118	J2	128
I/O	6	P19	P117	J3	131
I/O, V _{REF}	6	P20	P115	K1	134
I/O	6	-	P114	K2	137
I/O	6	P21	P113	K3	140
I/O	6	P22	P112	L1	143
M1	-	P23	P111	L2	146
GND	-	P24	P110	L3	-
M0	-	P25	P109	M1	147
V _{CCO}	6	P26	P108	M2	-
V _{CCO}	5	P26	P107	N1	-
M2	-	P27	P106	N2	148
I/O	5	-	P103	K4	155

XC2S15 Device Pinouts (Continued)

XC2S15 Pad Name		VQ100	TQ144	CS144	Bndry Scan
Function	Bank				
I/O, V _{REF}	5	P30	P102	L4	158
I/O	5	P31	P100	N4	161
I/O	5	P32	P99	K5	164
GND	-	-	P98	L5	-
V _{CCINT}	-	P33	P97	M5	-
I/O	5	-	P96	N5	167
I/O	5	-	P95	K6	170
I/O, V _{REF}	5	P34	P94	L6	173
I/O	5	-	P93	M6	176
V _{CCINT}	-	P35	P92	N6	-
I, GCK1	5	P36	P91	M7	185
V _{CCO}	5	P37	P90	N7	-
V _{CCO}	4	P37	P90	N7	-
GND	-	P38	P89	L7	-
I, GCK0	4	P39	P88	K7	186
I/O	4	P40	P87	N8	190
I/O	4	-	P86	M8	193
I/O, V _{REF}	4	P41	P85	L8	196
I/O	4	-	P84	K8	199
I/O	4	-	P83	N9	202
V _{CCINT}	-	P42	P82	M9	-
GND	-	-	P81	L9	-
I/O	4	P43	P80	K9	205
I/O	4	P44	P79	N10	208
I/O, V _{REF}	4	P45	P77	L10	211
I/O	4	-	P76	N11	214
I/O	4	P46	P75	M11	217
I/O	4	P47	P74	L11	220
GND	-	P48	P73	N12	-
DONE	3	P49	P72	M12	223
V _{CCO}	4	P50	P71	N13	-
V _{CCO}	3	P50	P70	M13	-
PROGRAM	-	P51	P69	L12	226
I/O (INIT)	3	P52	P68	L13	227
I/O (D7)	3	P53	P67	K10	230
I/O	3	-	P66	K11	233
I/O, V _{REF}	3	P54	P65	K12	236
I/O	3	P55	P63	J10	239

XC2S15 Device Pinouts (Continued)

XC2S15 Pad Name		VQ100	TQ144	CS144	Bndry Scan
Function	Bank				
I/O (D6)	3	P56	P62	J11	242
GND	-	-	P61	J12	-
I/O (D5)	3	P57	P60	J13	245
I/O	3	P58	P59	H10	248
I/O, V _{REF}	3	P59	P58	H11	251
I/O (D4)	3	P60	P57	H12	254
I/O	3	-	P56	H13	257
V _{CCINT}	-	P61	P55	G12	-
I/O, TRDY ⁽¹⁾	3	P62	P54	G13	260
V _{CCO}	3	P63	P53	G11	-
V _{CCO}	2	P63	P53	G11	-
GND	-	P64	P52	G10	-
I/O, IRDY ⁽¹⁾	2	P65	P51	F13	263
I/O	2	-	P50	F12	266
I/O (D3)	2	P66	P49	F11	269
I/O, V _{REF}	2	P67	P48	F10	272
I/O	2	P68	P47	E13	275
I/O (D2)	2	P69	P46	E12	278
GND	-	-	P45	E11	-
I/O (D1)	2	P70	P44	E10	281
I/O	2	P71	P43	D13	284
I/O, V _{REF}	2	P72	P41	D11	287
I/O	2	-	P40	C13	290
I/O (DIN, D0)	2	P73	P39	C12	293
I/O (DOUT, BUSY)	2	P74	P38	C11	296
CCLK	2	P75	P37	B13	299
V _{CCO}	2	P76	P36	B12	-
V _{CCO}	1	P76	P35	A13	-
TDO	2	P77	P34	A12	-
GND	-	P78	P33	B11	-
TDI	-	P79	P32	A11	-
I/O (CS)	1	P80	P31	D10	0
I/O (WRITE)	1	P81	P30	C10	3
I/O	1	-	P29	B10	6
I/O, V _{REF}	1	P82	P28	A10	9
I/O	1	P83	P27	D9	12
I/O	1	P84	P26	C9	15
GND	-	-	P25	B9	-
V _{CCINT}	-	P85	P24	A9	-
I/O	1	-	P23	D8	18

XC2S15 Device Pinouts (Continued)

XC2S15 Pad Name		VQ100	TQ144	CS144	Bndry Scan
Function	Bank				
I/O	1	-	P22	C8	21
I/O, V _{REF}	1	P86	P21	B8	24
I/O	1	-	P20	A8	27
I/O	1	P87	P19	B7	30
I, GCK2	1	P88	P18	A7	36
GND	-	P89	P17	C7	-
V _{CCO}	1	P90	P16	D7	-
V _{CCO}	0	P90	P16	D7	-
I, GCK3	0	P91	P15	A6	37
V _{CCINT}	-	P92	P14	B6	-
I/O	0	-	P13	C6	44
I/O, V _{REF}	0	P93	P12	D6	47
I/O	0	-	P11	A5	50
I/O	0	-	P10	B5	53
V _{CCINT}	-	P94	P9	C5	-
GND	-	-	P8	D5	-
I/O	0	P95	P7	A4	56
I/O	0	P96	P6	B4	59
I/O, V _{REF}	0	P97	P5	C4	62
I/O	0	-	P4	A3	65
I/O	0	P98	P3	B3	68
TCK	-	P99	P2	C3	-
V _{CCO}	0	P100	P1	A2	-
V _{CCO}	7	P100	P144	B2	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.

Additional XC2S15 Package Pins

VQ100

Not Connected Pins					
P28	P29	-	-	-	-

11/02/00

TQ144

Not Connected Pins					
P42	P64	P78	P101	P104	P105
P116	P138	-	-	-	-

11/02/00

CS144

Not Connected Pins					
D3	D12	J4	K13	M3	M4
M10	N3	-	-	-	-

11/02/00

XC2S30 Device Pinouts

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
GND	-	P1	P143	A1	P1	-
TMS	-	P2	P142	B1	P2	-
I/O	7	P3	P141	C2	P3	113
I/O	7	-	P140	C1	P4	116
I/O	7	-	-	-	P5	119
I/O, V _{REF}	7	P4	P139	D4	P6	122
I/O	7	-	P138	D3	P8	125
I/O	7	P5	P137	D2	P9	128
I/O	7	P6	P136	D1	P10	131
GND	-	-	P135	E4	P11	-
V _{CCO}	7	-	-	-	P12	-
I/O	7	P7	P134	E3	P14	134
I/O	7	-	P133	E2	P15	137
I/O	7	-	-	-	P16	140
I/O	7	-	-	-	P17	143
I/O	7	-	-	-	P18	146
GND	-	-	-	-	P19	-
I/O, V _{REF}	7	P8	P132	E1	P20	149
I/O	7	P9	P131	F4	P21	152
I/O	7	-	P130	F3	P22	155
I/O	7	-	-	-	P23	158
I/O, IRDY ⁽¹⁾	7	P10	P129	F2	P24	161
GND	-	P11	P128	F1	P25	-
V _{CCO}	7	P12	P127	G2	P26	-
V _{CCO}	6	P12	P127	G2	P26	-
I/O, TRDY ⁽¹⁾	6	P13	P126	G1	P27	164
V _{CCINT}	-	P14	P125	G3	P28	-
I/O	6	-	P124	G4	P29	170
I/O	6	P15	P123	H1	P30	173
I/O, V _{REF}	6	P16	P122	H2	P31	176
GND	-	-	-	-	P32	-
I/O	6	-	-	-	P33	179
I/O	6	-	-	-	P34	182
I/O	6	-	-	-	P35	185
I/O	6	-	P121	H3	P36	188
I/O	6	P17	P120	H4	P37	191
V _{CCO}	6	-	-	-	P39	-
GND	-	-	P119	J1	P40	-
I/O	6	P18	P118	J2	P41	194
I/O	6	P19	P117	J3	P42	197
I/O	6	-	P116	J4	P43	200

XC2S30 Device Pinouts (Continued)

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
I/O, V _{REF}	6	P20	P115	K1	P45	203
I/O	6	-	-	-	P46	206
I/O	6	-	P114	K2	P47	209
I/O	6	P21	P113	K3	P48	212
I/O	6	P22	P112	L1	P49	215
M1	-	P23	P111	L2	P50	218
GND	-	P24	P110	L3	P51	-
M0	-	P25	P109	M1	P52	219
V _{CCO}	6	P26	P108	M2	P53	-
V _{CCO}	5	P26	P107	N1	P53	-
M2	-	P27	P106	N2	P54	220
I/O	5	-	P103	K4	P57	227
I/O	5	-	-	-	P58	230
I/O, V _{REF}	5	P30	P102	L4	P59	233
I/O	5	-	P101	M4	P61	236
I/O	5	P31	P100	N4	P62	239
I/O	5	P32	P99	K5	P63	242
GND	-	-	P98	L5	P64	-
V _{CCO}	5	-	-	-	P65	-
V _{CCINT}	-	P33	P97	M5	P66	-
I/O	5	-	P96	N5	P67	245
I/O	5	-	P95	K6	P68	248
I/O	5	-	-	-	P69	251
I/O	5	-	-	-	P70	254
I/O	5	-	-	-	P71	257
GND	-	-	-	-	P72	-
I/O, V _{REF}	5	P34	P94	L6	P73	260
I/O	5	-	-	-	P74	263
I/O	5	-	P93	M6	P75	266
V _{CCINT}	-	P35	P92	N6	P76	-
I, GCK1	5	P36	P91	M7	P77	275
V _{CCO}	5	P37	P90	N7	P78	-
V _{CCO}	4	P37	P90	N7	P78	-
GND	-	P38	P89	L7	P79	-
I, GCK0	4	P39	P88	K7	P80	276
I/O	4	P40	P87	N8	P81	280
I/O	4	-	P86	M8	P82	283
I/O	4	-	-	-	P83	286
I/O, V _{REF}	4	P41	P85	L8	P84	289
GND	-	-	-	-	P85	-
I/O	4	-	-	-	P86	292

XC2S30 Device Pinouts (Continued)

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
I/O	4	-	-	-	P87	295
I/O	4	-	-	-	P88	298
I/O	4	-	P84	K8	P89	301
I/O	4	-	P83	N9	P90	304
V _{CCINT}	-	P42	P82	M9	P91	-
V _{CCO}	4	-	-	-	P92	-
GND	-	-	P81	L9	P93	-
I/O	4	P43	P80	K9	P94	307
I/O	4	P44	P79	N10	P95	310
I/O	4	-	P78	M10	P96	313
I/O, V _{REF}	4	P45	P77	L10	P98	316
I/O	4	-	-	-	P99	319
I/O	4	-	P76	N11	P100	322
I/O	4	P46	P75	M11	P101	325
I/O	4	P47	P74	L11	P102	328
GND	-	P48	P73	N12	P103	-
DONE	3	P49	P72	M12	P104	331
V _{CCO}	4	P50	P71	N13	P105	-
V _{CCO}	3	P50	P70	M13	P105	-
PROGRAM	-	P51	P69	L12	P106	334
I/O (INIT)	3	P52	P68	L13	P107	335
I/O (D7)	3	P53	P67	K10	P108	338
I/O	3	-	P66	K11	P109	341
I/O	3	-	-	-	P110	344
I/O, V _{REF}	3	P54	P65	K12	P111	347
I/O	3	-	P64	K13	P113	350
I/O	3	P55	P63	J10	P114	353
I/O (D6)	3	P56	P62	J11	P115	356
GND	-	-	P61	J12	P116	-
V _{CCO}	3	-	-	-	P117	-
I/O (D5)	3	P57	P60	J13	P119	359
I/O	3	P58	P59	H10	P120	362
I/O	3	-	-	-	P121	365
I/O	3	-	-	-	P122	368
I/O	3	-	-	-	P123	371
GND	-	-	-	-	P124	-
I/O, V _{REF}	3	P59	P58	H11	P125	374
I/O (D4)	3	P60	P57	H12	P126	377
I/O	3	-	P56	H13	P127	380
V _{CCINT}	-	P61	P55	G12	P128	-
I/O, TRDY ⁽¹⁾	3	P62	P54	G13	P129	386

XC2S30 Device Pinouts (Continued)

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
V _{CCO}	3	P63	P53	G11	P130	-
V _{CCO}	2	P63	P53	G11	P130	-
GND	-	P64	P52	G10	P131	-
I/O, IRDY ⁽¹⁾	2	P65	P51	F13	P132	389
I/O	2	-	-	-	P133	392
I/O	2	-	P50	F12	P134	395
I/O (D3)	2	P66	P49	F11	P135	398
I/O, V _{REF}	2	P67	P48	F10	P136	401
GND	-	-	-	-	P137	-
I/O	2	-	-	-	P138	404
I/O	2	-	-	-	P139	407
I/O	2	-	-	-	P140	410
I/O	2	P68	P47	E13	P141	413
I/O (D2)	2	P69	P46	E12	P142	416
V _{CCO}	2	-	-	-	P144	-
GND	-	-	P45	E11	P145	-
I/O (D1)	2	P70	P44	E10	P146	419
I/O	2	P71	P43	D13	P147	422
I/O	2	-	P42	D12	P148	425
I/O, V _{REF}	2	P72	P41	D11	P150	428
I/O	2	-	-	-	P151	431
I/O	2	-	P40	C13	P152	434
I/O (DIN, D0)	2	P73	P39	C12	P153	437
I/O (DOUT, BUSY)	2	P74	P38	C11	P154	440
CCLK	2	P75	P37	B13	P155	443
V _{CCO}	2	P76	P36	B12	P156	-
V _{CCO}	1	P76	P35	A13	P156	-
TDO	2	P77	P34	A12	P157	-
GND	-	P78	P33	B11	P158	-
TDI	-	P79	P32	A11	P159	-
I/O (CS)	1	P80	P31	D10	P160	0
I/O (WRITE)	1	P81	P30	C10	P161	3
I/O	1	-	P29	B10	P162	6
I/O	1	-	-	-	P163	9
I/O, V _{REF}	1	P82	P28	A10	P164	12
I/O	1	-	-	-	P166	15
I/O	1	P83	P27	D9	P167	18
I/O	1	P84	P26	C9	P168	21
GND	-	-	P25	B9	P169	-
V _{CCO}	1	-	-	-	P170	-

XC2S30 Device Pinouts (Continued)

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
V _{CCINT}	-	P85	P24	A9	P171	-
I/O	1	-	P23	D8	P172	24
I/O	1	-	P22	C8	P173	27
I/O	1	-	-	-	P174	30
I/O	1	-	-	-	P175	33
I/O	1	-	-	-	P176	36
GND	-	-	-	-	P177	-
I/O, V _{REF}	1	P86	P21	B8	P178	39
I/O	1	-	-	-	P179	42
I/O	1	-	P20	A8	P180	45
I/O	1	P87	P19	B7	P181	48
I, GCK2	1	P88	P18	A7	P182	54
GND	-	P89	P17	C7	P183	-
V _{CCO}	1	P90	P16	D7	P184	-
V _{CCO}	0	P90	P16	D7	P184	-
I, GCK3	0	P91	P15	A6	P185	55
V _{CCINT}	-	P92	P14	B6	P186	-
I/O	0	-	P13	C6	P187	62
I/O	0	-	-	-	P188	65
I/O, V _{REF}	0	P93	P12	D6	P189	68
GND	-	-	-	-	P190	-
I/O	0	-	-	-	P191	71
I/O	0	-	-	-	P192	74
I/O	0	-	-	-	P193	77
I/O	0	-	P11	A5	P194	80
I/O	0	-	P10	B5	P195	83
V _{CCINT}	-	P94	P9	C5	P196	-
V _{CCO}	0	-	-	-	P197	-
GND	-	-	P8	D5	P198	-
I/O	0	P95	P7	A4	P199	86
I/O	0	P96	P6	B4	P200	89

XC2S30 Device Pinouts (Continued)

XC2S30 Pad Name		VQ100	TQ144	CS144	PQ208	Bndry Scan
Function	Bank					
I/O	0	-	-	-	P201	92
I/O, V _{REF}	0	P97	P5	C4	P203	95
I/O	0	-	-	-	P204	98
I/O	0	-	P4	A3	P205	101
I/O	0	P98	P3	B3	P206	104
TCK	-	P99	P2	C3	P207	-
V _{CCO}	0	P100	P1	A2	P208	-
V _{CCO}	7	P100	P144	B2	P208	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.

Additional XC2S30 Package Pins

VQ100

Not Connected Pins

P28	P29	-	-	-	-
-----	-----	---	---	---	---

11/02/00

TQ144

Not Connected Pins

P104	P105	-	-	-	-
------	------	---	---	---	---

11/02/00

CS144

Not Connected Pins

M3	N3	-	-	-	-
----	----	---	---	---	---

11/02/00

PQ208

Not Connected Pins

P7	P13	P38	P44	P55	P56
P60	P97	P112	P118	P143	P149
P165	P202	-	-	-	-

11/02/00

Notes:

1. For the PQ208 package, P13, P38, P118, and P143, which are Not Connected Pins on the XC2S30, are assigned to V_{CCINT} on larger devices.

XC2S50 Device Pinouts

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
GND	-	P143	P1	GND*	-
TMS	-	P142	P2	D3	-
I/O	7	P141	P3	C2	149

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O	7	-	-	A2	152
I/O	7	P140	P4	B1	155
I/O	7	-	-	E3	158

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O	7	-	P5	D2	161
GND	-	-	-	GND*	-
I/O, V _{REF}	7	P139	P6	C1	164
I/O	7	-	P7	F3	167
I/O	7	-	-	E2	170
I/O	7	P138	P8	E4	173
I/O	7	P137	P9	D1	176
I/O	7	P136	P10	E1	179
GND	-	P135	P11	GND*	-
V _{CCO}	7	-	P12	V _{CCO} Bank 7*	-
V _{CCINT}	-	-	P13	V _{CCINT} *	-
I/O	7	P134	P14	F2	182
I/O	7	P133	P15	G3	185
I/O	7	-	-	F1	188
I/O	7	-	P16	F4	191
I/O	7	-	P17	F5	194
I/O	7	-	P18	G2	197
GND	-	-	P19	GND*	-
I/O, V _{REF}	7	P132	P20	H3	200
I/O	7	P131	P21	G4	203
I/O	7	-	-	H2	206
I/O	7	P130	P22	G5	209
I/O	7	-	P23	H4	212
I/O, IRDY ⁽¹⁾	7	P129	P24	G1	215
GND	-	P128	P25	GND*	-
V _{CCO}	7	P127	P26	V _{CCO} Bank 7*	-
V _{CCO}	6	P127	P26	V _{CCO} Bank 6*	-
I/O, TRDY ⁽¹⁾	6	P126	P27	J2	218
V _{CCINT}	-	P125	P28	V _{CCINT} *	-
I/O	6	P124	P29	H1	224
I/O	6	-	-	J4	227
I/O	6	P123	P30	J1	230
I/O, V _{REF}	6	P122	P31	J3	233
GND	-	-	P32	GND*	-
I/O	6	-	P33	K5	236
I/O	6	-	P34	K2	239
I/O	6	-	P35	K1	242
I/O	6	-	-	K3	245
I/O	6	P121	P36	L1	248

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O	6	P120	P37	L2	251
V _{CCINT}	-	-	P38	V _{CCINT} *	-
V _{CCO}	6	-	P39	V _{CCO} Bank 6*	-
GND	-	P119	P40	GND*	-
I/O	6	P118	P41	K4	254
I/O	6	P117	P42	M1	257
I/O	6	P116	P43	L4	260
I/O	6	-	-	M2	263
I/O	6	-	P44	L3	266
I/O, V _{REF}	6	P115	P45	N1	269
GND	-	-	-	GND*	-
I/O	6	-	P46	P1	272
I/O	6	-	-	L5	275
I/O	6	P114	P47	N2	278
I/O	6	-	-	M4	281
I/O	6	P113	P48	R1	284
I/O	6	P112	P49	M3	287
M1	-	P111	P50	P2	290
GND	-	P110	P51	GND*	-
M0	-	P109	P52	N3	291
V _{CCO}	6	P108	P53	V _{CCO} Bank 6*	-
V _{CCO}	5	P107	P53	V _{CCO} Bank 5*	-
M2	-	P106	P54	R3	292
I/O	5	-	-	N5	299
I/O	5	P103	P57	T2	302
I/O	5	-	-	P5	305
I/O	5	-	P58	T3	308
GND	-	-	-	GND*	-
I/O, V _{REF}	5	P102	P59	T4	311
I/O	5	-	P60	M6	314
I/O	5	-	-	T5	317
I/O	5	P101	P61	N6	320
I/O	5	P100	P62	R5	323
I/O	5	P99	P63	P6	326
GND	-	P98	P64	GND*	-
V _{CCO}	5	-	P65	V _{CCO} Bank 5*	-
V _{CCINT}	-	P97	P66	V _{CCINT} *	-
I/O	5	P96	P67	R6	329

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O	5	P95	P68	M7	332
I/O	5	-	P69	N7	338
I/O	5	-	P70	T6	341
I/O	5	-	P71	P7	344
GND	-	-	P72	GND*	-
I/O, V _{REF}	5	P94	P73	P8	347
I/O	5	-	P74	R7	350
I/O	5	-	-	T7	353
I/O	5	P93	P75	T8	356
V _{CCINT}	-	P92	P76	V _{CCINT} *	-
I, GCK1	5	P91	P77	R8	365
V _{CCO}	5	P90	P78	V _{CCO} Bank 5*	-
V _{CCO}	4	P90	P78	V _{CCO} Bank 4*	-
GND	-	P89	P79	GND*	-
I, GCK0	4	P88	P80	N8	366
I/O	4	P87	P81	N9	370
I/O	4	P86	P82	R9	373
I/O	4	-	-	N10	376
I/O	4	-	P83	T9	379
I/O, V _{REF}	4	P85	P84	P9	382
GND	-	-	P85	GND*	-
I/O	4	-	P86	M10	385
I/O	4	-	P87	R10	388
I/O	4	-	P88	P10	391
I/O	4	P84	P89	T10	397
I/O	4	P83	P90	R11	400
V _{CCINT}	-	P82	P91	V _{CCINT} *	-
V _{CCO}	4	-	P92	V _{CCO} Bank 4*	-
GND	-	P81	P93	GND*	-
I/O	4	P80	P94	M11	403
I/O	4	P79	P95	T11	406
I/O	4	P78	P96	N11	409
I/O	4	-	-	R12	412
I/O	4	-	P97	P11	415
I/O, V _{REF}	4	P77	P98	T12	418
GND	-	-	-	GND*	-
I/O	4	-	P99	T13	421
I/O	4	-	-	N12	424
I/O	4	P76	P100	R13	427

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O	4	-	-	P12	430
I/O	4	P75	P101	P13	433
I/O	4	P74	P102	T14	436
GND	-	P73	P103	GND*	-
DONE	3	P72	P104	R14	439
V _{CCO}	4	P71	P105	V _{CCO} Bank 4*	-
V _{CCO}	3	P70	P105	V _{CCO} Bank 3*	-
PROGRAM	-	P69	P106	P15	442
I/O (INIT)	3	P68	P107	N15	443
I/O (D7)	3	P67	P108	N14	446
I/O	3	-	-	T15	449
I/O	3	P66	P109	M13	452
I/O	3	-	-	R16	455
I/O	3	-	P110	M14	458
GND	-	-	-	GND*	-
I/O, V _{REF}	3	P65	P111	L14	461
I/O	3	-	P112	M15	464
I/O	3	-	-	L12	467
I/O	3	P64	P113	P16	470
I/O	3	P63	P114	L13	473
I/O (D6)	3	P62	P115	N16	476
GND	-	P61	P116	GND*	-
V _{CCO}	3	-	P117	V _{CCO} Bank 3*	-
V _{CCINT}	-	-	P118	V _{CCINT} *	-
I/O (D5)	3	P60	P119	M16	479
I/O	3	P59	P120	K14	482
I/O	3	-	-	L16	485
I/O	3	-	P121	K13	488
I/O	3	-	P122	L15	491
I/O	3	-	P123	K12	494
GND	-	-	P124	GND*	-
I/O, V _{REF}	3	P58	P125	K16	497
I/O (D4)	3	P57	P126	J16	500
I/O	3	-	-	J14	503
I/O	3	P56	P127	K15	506
V _{CCINT}	-	P55	P128	V _{CCINT} *	-
I/O, TRDY ⁽¹⁾	3	P54	P129	J15	512
V _{CCO}	3	P53	P130	V _{CCO} Bank 3*	-

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
V _{CCO}	2	P53	P130	V _{CCO} Bank 2*	-
GND	-	P52	P131	GND*	-
I/O, IRDY(1)	2	P51	P132	H16	515
I/O	2	-	P133	H14	518
I/O	2	P50	P134	H15	521
I/O	2	-	-	J13	524
I/O (D3)	2	P49	P135	G16	527
I/O, V _{REF}	2	P48	P136	H13	530
GND	-	-	P137	GND*	-
I/O	2	-	P138	G14	533
I/O	2	-	P139	G15	536
I/O	2	-	P140	G12	539
I/O	2	-	-	F16	542
I/O	2	P47	P141	G13	545
I/O (D2)	2	P46	P142	F15	548
V _{CCINT}	-	-	P143	V _{CCINT} *	-
V _{CCO}	2	-	P144	V _{CCO} Bank 2*	-
GND	-	P45	P145	GND*	-
I/O (D1)	2	P44	P146	E16	551
I/O	2	P43	P147	F14	554
I/O	2	P42	P148	D16	557
I/O	2	-	-	F12	560
I/O	2	-	P149	E15	563
I/O, V _{REF}	2	P41	P150	F13	566
GND	-	-	-	GND*	-
I/O	2	-	P151	E14	569
I/O	2	-	-	C16	572
I/O	2	P40	P152	E13	575
I/O	2	-	-	B16	578
I/O (DIN, D0)	2	P39	P153	D14	581
I/O (DOUT, BUSY)	2	P38	P154	C15	584
CCLK	2	P37	P155	D15	587
V _{CCO}	2	P36	P156	V _{CCO} Bank 2*	-
V _{CCO}	1	P35	P156	V _{CCO} Bank 1*	-
TDO	2	P34	P157	B14	-
GND	-	P33	P158	GND*	-
TDI	-	P32	P159	A15	-
I/O (CS)	1	P31	P160	B13	0

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name		TQ144	PQ208	FG256	Bndry Scan
Function	Bank				
I/O (WRITE)	1	P30	P161	C13	3
I/O	1	-	-	C12	6
I/O	1	P29	P162	A14	9
I/O	1	-	-	D12	12
I/O	1	-	P163	B12	15
GND	-	-	-	GND*	-
I/O, V _{REF}	1	P28	P164	C11	18
I/O	1	-	P165	A13	21
I/O	1	-	-	D11	24
I/O	1	-	P166	A12	27
I/O	1	P27	P167	E11	30
I/O	1	P26	P168	B11	33
GND	-	P25	P169	GND*	-
V _{CCO}	1	-	P170	V _{CCO} Bank 1*	-
V _{CCINT}	-	P24	P171	V _{CCINT} *	-
I/O	1	P23	P172	A11	36
I/O	1	P22	P173	C10	39
I/O	1	-	P174	B10	45
I/O	1	-	P175	D10	48
I/O	1	-	P176	A10	51
GND	-	-	P177	GND*	-
I/O, V _{REF}	1	P21	P178	B9	54
I/O	1	-	P179	E10	57
I/O	1	-	-	A9	60
I/O	1	P20	P180	D9	63
I/O	1	P19	P181	A8	66
I, GCK2	1	P18	P182	C9	72
GND	-	P17	P183	GND*	-
V _{CCO}	1	P16	P184	V _{CCO} Bank 1*	-
V _{CCO}	0	P16	P184	V _{CCO} Bank 0*	-
I, GCK3	0	P15	P185	B8	73
V _{CCINT}	-	P14	P186	V _{CCINT} *	-
I/O	0	P13	P187	A7	80
I/O	0	-	-	D8	83
I/O	0	-	P188	A6	86
I/O, V _{REF}	0	P12	P189	B7	89
GND	-	-	P190	GND*	-
I/O	0	-	P191	C8	92
I/O	0	-	P192	D7	95

XC2S50 Device Pinouts (Continued)

XC2S50 Pad Name					
Function	Bank	TQ144	PQ208	FG256	Bndry Scan
I/O	0	-	P193	E7	98
I/O	0	P11	P194	C7	104
I/O	0	P10	P195	B6	107
V _{CCINT}	-	P9	P196	V _{CCINT} *	-
V _{CCO}	0	-	P197	V _{CCO} Bank 0*	-
GND	-	P8	P198	GND*	-
I/O	0	P7	P199	A5	110
I/O	0	P6	P200	C6	113
I/O	0	-	P201	B5	116
I/O	0	-	-	D6	119
I/O	0	-	P202	A4	122
I/O, V _{REF}	0	P5	P203	B4	125
GND	-	-	-	GND*	-
I/O	0	-	P204	E6	128
I/O	0	-	-	D5	131
I/O	0	P4	P205	A3	134
I/O	0	-	-	C5	137
I/O	0	P3	P206	B3	140
TCK	-	P2	P207	C4	-
V _{CCO}	0	P1	P208	V _{CCO} Bank 0*	-
V _{CCO}	7	P144	P208	V _{CCO} Bank 7*	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.
2. Pads labelled GND*, V_{CCINT}*, V_{CCO} Bank 0*, V_{CCO} Bank 1*, V_{CCO} Bank 2*, V_{CCO} Bank 3*, V_{CCO} Bank 4*, V_{CCO} Bank 5*, V_{CCO} Bank 6*, V_{CCO} Bank 7* are internally bonded to independent ground or power planes within the package.

Additional XC2S50 Package Pins

TQ144

Not Connected Pins					
P104	P105	-	-	-	-

11/02/00

PQ208

Not Connected Pins					
P55	P56	-	-	-	-

11/02/00

FG256

V _{CCINT} Pins					
C3	C14	D4	D13	E5	E12
M5	M12	N4	N13	P3	P14
V _{CCO} Bank 0 Pins					
E8	F8	-	-	-	-
V _{CCO} Bank 1 Pins					
E9	F9	-	-	-	-
V _{CCO} Bank 2 Pins					
H11	H12	-	-	-	-
V _{CCO} Bank 3 Pins					
J11	J12	-	-	-	-
V _{CCO} Bank 4 Pins					
L9	M9	-	-	-	-
V _{CCO} Bank 5 Pins					
L8	M8	-	-	-	-
V _{CCO} Bank 6 Pins					
J5	J6	-	-	-	-
V _{CCO} Bank 7 Pins					
H5	H6	-	-	-	-
GND Pins					
A1	A16	B2	B15	F6	F7
F10	F11	G6	G7	G8	G9
G10	G11	H7	H8	H9	H10
J7	J8	J9	J10	K6	K7
K8	K9	K10	K11	L6	L7
L10	L11	R2	R15	T1	T16
Not Connected Pins					
P4	R4	-	-	-	-

11/02/00

XC2S100 Device Pinouts

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
GND	-	P143	P1	GND*	GND*	-
TMS	-	P142	P2	D3	D3	-
I/O	7	P141	P3	C2	B1	185
I/O	7	-	-	A2	F5	191
I/O	7	P140	P4	B1	D2	194
I/O	7	-	-	-	E3	197
I/O	7	-	-	E3	G5	200
I/O	7	-	P5	D2	F3	203
GND	-	-	-	GND*	GND*	-
V _{CCO}	7	-	-	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
I/O, V _{REF}	7	P139	P6	C1	E2	206
I/O	7	-	P7	F3	E1	209
I/O	7	-	-	E2	H5	215
I/O	7	P138	P8	E4	F2	218
I/O	7	-	-	-	F1	221
I/O, V _{REF}	7	P137	P9	D1	H4	224
I/O	7	P136	P10	E1	G1	227
GND	-	P135	P11	GND*	GND*	-
V _{CCO}	7	-	P12	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCINT}	-	-	P13	V _{CCINT} *	V _{CCINT} *	-
I/O	7	P134	P14	F2	H3	230
I/O	7	P133	P15	G3	H2	233
I/O	7	-	-	F1	J5	236
I/O	7	-	P16	F4	J2	239
I/O	7	-	P17	F5	K5	245
I/O	7	-	P18	G2	K1	248
GND	-	-	P19	GND*	GND*	-
I/O, V _{REF}	7	P132	P20	H3	K3	251
I/O	7	P131	P21	G4	K4	254
I/O	7	-	-	H2	L6	257
I/O	7	P130	P22	G5	L1	260
I/O	7	-	P23	H4	L4	266
I/O, IRDY ⁽¹⁾	7	P129	P24	G1	L3	269
GND	-	P128	P25	GND*	GND*	-
V _{CCO}	7	P127	P26	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCO}	6	P127	P26	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
I/O, TRDY ⁽¹⁾	6	P126	P27	J2	M1	272

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
V _{CCINT}	-	P125	P28	V _{CCINT} *	V _{CCINT} *	-
I/O	6	P124	P29	H1	M3	281
I/O	6	-	-	J4	M4	284
I/O	6	P123	P30	J1	M5	287
I/O, V _{REF}	6	P122	P31	J3	N2	290
GND	-	-	P32	GND*	GND*	-
I/O	6	-	P33	K5	N3	293
I/O	6	-	P34	K2	N4	296
I/O	6	-	P35	K1	P2	302
I/O	6	-	-	K3	P4	305
I/O	6	P121	P36	L1	P3	308
I/O	6	P120	P37	L2	R2	311
V _{CCINT}	-	-	P38	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	6	-	P39	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	P119	P40	GND*	GND*	-
I/O	6	P118	P41	K4	T1	314
I/O, V _{REF}	6	P117	P42	M1	R4	317
I/O	6	-	-	-	T2	320
I/O	6	P116	P43	L4	U1	323
I/O	6	-	-	M2	R5	326
I/O	6	-	P44	L3	U2	332
I/O, V _{REF}	6	P115	P45	N1	T3	335
V _{CCO}	6	-	-	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	-	-	GND*	GND*	-
I/O	6	-	P46	P1	T4	338
I/O	6	-	-	L5	W1	341
I/O	6	-	-	-	U4	344
I/O	6	P114	P47	N2	Y1	347
I/O	6	-	-	M4	W2	350
I/O	6	P113	P48	R1	Y2	356
I/O	6	P112	P49	M3	W3	359
M1	-	P111	P50	P2	U5	362
GND	-	P110	P51	GND*	GND*	-
M0	-	P109	P52	N3	AB2	363
V _{CCO}	6	P108	P53	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
V _{CCO}	5	P107	P53	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
M2	-	P106	P54	R3	Y4	364
I/O	5	-	-	N5	V7	374

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
I/O	5	P103	P57	T2	Y6	377
I/O	5	-	-	-	AA4	380
I/O	5	-	-	P5	W6	383
I/O	5	-	P58	T3	Y7	386
GND	-	-	-	GND*	GND*	-
V _{CC0}	5	-	-	V _{CC0} Bank 5*	V _{CC0} Bank 5*	-
I/O, V _{REF}	5	P102	P59	T4	AA5	389
I/O	5	-	P60	M6	AB5	392
I/O	5	-	-	T5	AB6	398
I/O	5	P101	P61	N6	AA7	401
I/O	5	-	-	-	W7	404
I/O, V _{REF}	5	P100	P62	R5	W8	407
I/O	5	P99	P63	P6	Y8	410
GND	-	P98	P64	GND*	GND*	-
V _{CC0}	5	-	P65	V _{CC0} Bank 5*	V _{CC0} Bank 5*	-
V _{CCINT}	-	P97	P66	V _{CCINT} *	V _{CCINT} *	-
I/O	5	P96	P67	R6	AA8	413
I/O	5	P95	P88	M7	V9	416
I/O	5	-	-	-	AB9	419
I/O	5	-	P69	N7	Y9	422
I/O	5	-	P70	T6	W10	428
I/O	5	-	P71	P7	AB10	431
GND	-	-	P72	GND*	GND*	-
I/O, V _{REF}	5	P94	P73	P8	Y10	434
I/O	5	-	P74	R7	V11	437
I/O	5	-	-	T7	W11	440
I/O	5	P93	P75	T8	AB11	443
V _{CCINT}	-	P92	P76	V _{CCINT} *	V _{CCINT} *	-
I, GCK1	5	P91	P77	R8	Y11	455
V _{CC0}	5	P90	P78	V _{CC0} Bank 5*	V _{CC0} Bank 5*	-
V _{CC0}	4	P90	P78	V _{CC0} Bank 4*	V _{CC0} Bank 4*	-
GND	-	P89	P79	GND*	GND*	-
I, GCK0	4	P88	P80	N8	W12	456
I/O	4	P87	P81	N9	U12	460
I/O	4	P86	P82	R9	Y12	486
I/O	4	-	-	N10	AA12	469
I/O	4	-	P83	T9	AB13	472
I/O, V _{REF}	4	P85	P84	P9	AA13	475

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
GND	-	-	P85	GND*	GND*	-
I/O	4	-	P86	M10	Y13	478
I/O	4	-	P87	R10	V13	481
I/O	4	-	P88	P10	AA14	487
I/O	4	-	-	-	V14	490
I/O	4	P84	P89	T10	AB15	493
I/O	4	P83	P90	R11	AA15	496
V _{CCINT}	-	P82	P91	V _{CCINT} *	V _{CCINT} *	-
V _{CC0}	4	-	P92	V _{CC0} Bank 4*	V _{CC0} Bank 4*	-
GND	-	P81	P93	GND*	GND*	-
I/O	4	P80	P94	M11	Y15	499
I/O, V _{REF}	4	P79	P95	T11	AB16	502
I/O	4	-	-	-	AB17	505
I/O	4	P78	P96	N11	V15	508
I/O	4	-	-	R12	Y16	511
I/O	4	-	P97	P11	AB18	517
I/O, V _{REF}	4	P77	P98	T12	AB19	520
V _{CC0}	4	-	-	V _{CC0} Bank 4*	V _{CC0} Bank 4*	-
GND	-	-	-	GND*	GND*	-
I/O	4	-	P99	T13	Y17	523
I/O	4	-	-	N12	V16	526
I/O	4	-	-	-	W17	529
I/O	4	P76	P100	R13	AB20	532
I/O	4	-	-	P12	AA19	535
I/O	4	P75	P101	P13	AA20	541
I/O	4	P74	P102	T14	W18	544
GND	-	P73	P103	GND*	GND*	-
DONE	3	P72	P104	R14	Y19	547
V _{CC0}	4	P71	P105	V _{CC0} Bank 4*	V _{CC0} Bank 4*	-
V _{CC0}	3	P70	P105	V _{CC0} Bank 3*	V _{CC0} Bank 3*	-
PROGRAM	-	P69	P106	P15	W20	550
I/O (INIT)	3	P68	P107	N15	V19	551
I/O (D7)	3	P67	P108	N14	Y21	554
I/O	3	-	-	T15	W21	560
I/O	3	P66	P109	M13	U20	563
I/O	3	-	-	-	U19	566
I/O	3	-	-	R16	T18	569
I/O	3	-	P110	M14	W22	572

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
GND	-	-	-	GND*	GND*	-
V _{CCO}	3	-	-	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
I/O, V _{REF}	3	P65	P111	L14	U21	575
I/O	3	-	P112	M15	T20	578
I/O	3	-	-	L12	T21	584
I/O	3	P64	P113	P16	R18	587
I/O	3	-	-	-	U22	590
I/O, V _{REF}	3	P63	P114	L13	R19	593
I/O (D6)	3	P62	P115	N16	T22	596
GND	-	P61	P116	GND*	GND*	-
V _{CCO}	3	-	P117	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
V _{CCINT}	-	-	P118	V _{CCINT} *	V _{CCINT} *	-
I/O (D5)	3	P60	P119	M16	R21	599
I/O	3	P59	P120	K14	P18	602
I/O	3	-	-	L16	P20	605
I/O	3	-	P121	K13	P21	608
I/O	3	-	P122	L15	N18	614
I/O	3	-	P123	K12	N20	617
GND	-	-	P124	GND*	GND*	-
I/O, V _{REF}	3	P58	P125	K16	N21	620
I/O (D4)	3	P57	P126	J16	N22	623
I/O	3	-	-	J14	M19	626
I/O	3	P56	P127	K15	M20	629
V _{CCINT}	-	P55	P128	E5	V _{CCINT} *	-
I/O, TRDY ⁽¹⁾	3	P54	P129	J15	M22	638
V _{CCO}	3	P53	P130	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
V _{CCO}	2	P53	P130	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	P52	P131	GND*	GND*	-
I/O, IRDY ⁽¹⁾	2	P51	P132	H16	L20	641
I/O	2	-	P133	H14	L17	644
I/O	2	P50	P134	H15	L21	650
I/O	2	-	-	J13	L22	653
I/O (D3)	2	P49	P135	G16	K20	656
I/O, V _{REF}	2	P48	P136	H13	K21	659
GND	-	-	P137	GND*	GND*	-
I/O	2	-	P138	G14	K22	662
I/O	2	-	P139	G15	J21	665
I/O	2	-	P140	G12	J18	671

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
I/O	2	-	-	F16	J22	674
I/O	2	P47	P141	G13	H19	677
I/O (D2)	2	P46	P142	F15	H20	680
V _{CCINT}	-	-	P143	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	2	-	P144	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	P45	P145	GND*	GND*	-
I/O (D1)	2	P44	P146	E16	H22	683
I/O, V _{REF}	2	P43	P147	F14	H18	686
I/O	2	-	-	-	G21	689
I/O	2	P42	P148	D16	G18	692
I/O	2	-	-	F12	G20	695
I/O	2	-	P149	E15	F19	701
I/O, V _{REF}	2	P41	P150	F13	F21	704
V _{CCO}	2	-	-	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	-	-	GND*	GND*	-
I/O	2	-	P151	E14	F20	707
I/O	2	-	-	C16	F18	710
I/O	2	-	-	-	E21	713
I/O	2	P40	P152	E13	D22	716
I/O	2	-	-	B16	E20	719
I/O (DIN, D0)	2	P39	P153	D14	D20	725
I/O (DOUT, BUSY)	2	P38	P154	C15	C21	728
CCLK	2	P37	P155	D15	B22	731
V _{CCO}	2	P36	P156	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
V _{CCO}	1	P35	P156	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
TDO	2	P34	P157	B14	A21	-
GND	-	P33	P158	GND*	GND*	-
TDI	-	P32	P159	A15	B20	-
I/O (CS)	1	P31	P160	B13	C19	0
I/O (WRITE)	1	P30	P161	C13	A20	3
I/O	1	-	-	C12	D17	9
I/O	1	P29	P162	A14	A19	12
I/O	1	-	-	-	B18	15
I/O	1	-	-	D12	C17	18
I/O	1	-	P163	B12	D16	21
GND	-	-	-	GND*	GND*	-

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
V _{CCO}	1	-	-	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
I/O, V _{REF}	1	P28	P164	C11	A18	24
I/O	1	-	P165	A13	B17	27
I/O	1	-	-	D11	D15	33
I/O	1	-	P166	A12	C16	36
I/O	1	-	-	-	D14	39
I/O, V _{REF}	1	P27	P167	E11	E14	42
I/O	1	P26	P168	B11	A16	45
GND	-	P25	P169	GND*	GND*	-
V _{CCO}	1	-	P170	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
V _{CCINT}	-	P24	P171	V _{CCINT} *	V _{CCINT} *	-
I/O	1	P23	P172	A11	C15	48
I/O	1	P22	P173	C10	B15	51
I/O	1	-	-	-	F12	54
I/O	1	-	P174	B10	C14	57
I/O	1	-	P175	D10	D13	63
I/O	1	-	P176	A10	C13	66
GND	-	-	P177	GND*	GND*	-
I/O, V _{REF}	1	P21	P178	B9	B13	69
I/O	1	-	P179	E10	E12	72
I/O	1	-	-	A9	B12	75
I/O	1	P20	P180	D9	D12	78
I/O	1	P19	P181	A8	D11	84
I, GCK2	1	P18	P182	C9	A11	90
GND	-	P17	P183	GND*	GND*	-
V _{CCO}	1	P16	P184	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
V _{CCO}	0	P16	P184	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
I, GCK3	0	P15	P185	B8	C11	91
V _{CCINT}	-	P14	P186	V _{CCINT} *	V _{CCINT} *	-
I/O	0	P13	P187	A7	A10	101
I/O	0	-	-	D8	B10	104

XC2S100 Device Pinouts (Continued)

XC2S100 Pad Name						
Function	Bank	TQ144	PQ208	FG256	FG456	Bndry Scan
I/O	0	-	P188	A6	C10	107
I/O, V _{REF}	0	P12	P189	B7	A9	110
GND	-	-	P190	GND*	GND*	-
I/O	0	-	P191	C8	B9	113
I/O	0	-	P192	D7	E10	116
I/O	0	-	P193	E7	A8	122
I/O	0	-	-	-	D9	125
I/O	0	P11	P194	C7	E9	128
I/O	0	P10	P195	B6	A7	131
V _{CCINT}	-	P9	P196	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	0	-	P197	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	P8	P198	GND*	GND*	-
I/O	0	P7	P199	A5	B7	134
I/O, V _{REF}	0	P6	P200	C6	E8	137
I/O	0	-	-	-	D8	140
I/O	0	-	P201	B5	C7	143
I/O	0	-	-	D6	D7	146
I/O	0	-	P202	A4	D6	152
I/O, V _{REF}	0	P5	P203	B4	C6	155
V _{CCO}	0	-	-	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	-	-	GND*	GND*	-
I/O	0	-	P204	E6	B5	158
I/O	0	-	-	D5	E7	161
I/O	0	-	-	-	E6	164
I/O	0	P4	P205	A3	B4	167
I/O	0	-	-	C5	A3	170
I/O	0	P3	P206	B3	C5	176
TCK	-	P2	P207	C4	C4	-
V _{CCO}	0	P1	P208	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
V _{CCO}	7	P144	P208	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.
2. Pads labelled GND*, V_{CCINT}*, V_{CCO} Bank 0*, V_{CCO} Bank 1*, V_{CCO} Bank 2*, V_{CCO} Bank 3*, V_{CCO} Bank 4*, V_{CCO} Bank 5*, V_{CCO} Bank 6*, V_{CCO} Bank 7* are internally bonded to independent ground or power planes within the package.

Additional XC2S100 Package Pins

TQ144

Not Connected Pins					
P104	P105	-	-	-	-

11/02/00

PQ208

Not Connected Pins					
P55	P56	-	-	-	-

11/02/00

FG256

V _{CCINT} Pins					
C3	C14	D4	D13	E5	E12
M5	M12	N4	N13	P3	P14
V _{CCO} Bank 0 Pins					
E8	F8	-	-	-	-
V _{CCO} Bank 1 Pins					
E9	F9	-	-	-	-
V _{CCO} Bank 2 Pins					
H11	H12	-	-	-	-
V _{CCO} Bank 3 Pins					
J11	J12	-	-	-	-
V _{CCO} Bank 4 Pins					
L9	M9	-	-	-	-
V _{CCO} Bank 5 Pins					
L8	M8	-	-	-	-
V _{CCO} Bank 6 Pins					
J5	J6	-	-	-	-
V _{CCO} Bank 7 Pins					
H5	H6	-	-	-	-
GND Pins					
A1	A16	B2	B15	F6	F7
F10	F11	G6	G7	G8	G9
G10	G11	H7	H8	H9	H10
J7	J8	J9	J10	K6	K7
K8	K9	K10	K11	L6	L7
L10	L11	R2	R15	T1	T16
Not Connected Pins					
P4	R4	-	-	-	-

11/02/00

FG456

V _{CCINT} Pins					
E5	E18	F6	F17	G7	G8
G9	G14	G15	G16	H7	H16
J7	J16	P7	P16	R7	R16
T7	T8	T9	T14	T15	T16
U6	U17	V5	V18	-	-
V _{CCO} Bank 0 Pins					
F10	F7	F8	F9	G10	G11

Additional XC2S100 Package Pins (Continued)

V _{CCO} Bank 1 Pins					
F13	F14	F15	F16	G12	G13
V _{CCO} Bank 2 Pins					
G17	H17	J17	K16	K17	L16
V _{CCO} Bank 3 Pins					
M16	N16	N17	P17	R17	T17
V _{CCO} Bank 4 Pins					
T12	T13	U13	U14	U15	U16
V _{CCO} Bank 5 Pins					
T10	T11	U10	U7	U8	U9
V _{CCO} Bank 6 Pins					
M7	N6	N7	P6	R6	T6
V _{CCO} Bank 7 Pins					
G6	H6	J6	K6	K7	L7
GND Pins					
A1	A22	B2	B21	C3	C20
J9	J10	J11	J12	J13	J14
K9	K10	K11	K12	K13	K14
L9	L10	L11	L12	L13	L14
M9	M10	M11	M12	M13	M14
N9	N10	N11	N12	N13	N14
P9	P10	P11	P12	P13	P14
Y3	Y20	AA2	AA21	AB1	AB22
Not Connected Pins					
A2	A4	A5	A6	A12	A13
A14	A15	A17	B3	B6	B8
B11	B14	B16	B19	C1	C2
C8	C9	C12	C18	C22	D1
D4	D5	D10	D18	D19	D21
E4	E11	E13	E15	E16	E17
E19	E22	F4	F11	F22	G2
G3	G4	G19	G22	H1	H21
J1	J3	J4	J19	J20	K2
K18	K19	L2	L5	L18	L19
M2	M6	M17	M18	M21	N1
N5	N19	P1	P5	P19	P22
R1	R3	R20	R22	T5	T19
U3	U11	U18	V1	V2	V10
V12	V17	V3	V4	V6	V8
V20	V21	V22	W4	W5	W9
W13	W14	W15	W16	W19	Y5
Y14	Y18	Y22	AA1	AA3	AA6
AA9	AA10	AA11	AA16	AA17	AA18
AA22	AB3	AB4	AB7	AB8	AB12
AB14	AB21	-	-	-	-

11/02/00

XC2S150 Device Pinouts

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
GND	-	P1	GND*	GND*	-
TMS	-	P2	D3	D3	-
I/O	7	P3	C2	B1	221
I/O	7	-	-	E4	224
I/O	7	-	-	C1	227
I/O	7	-	A2	F5	230
GND	-	-	GND*	GND*	-
I/O	7	P4	B1	D2	233
I/O	7	-	-	E3	236
I/O	7	-	-	F4	239
I/O	7	-	E3	G5	242
I/O	7	P5	D2	F3	245
GND	-	-	GND*	GND*	-
V _{CCO}	7	-	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
I/O, V _{REF}	7	P6	C1	E2	248
I/O	7	P7	F3	E1	251
I/O	7	-	-	G4	254
I/O	7	-	-	G3	257
I/O	7	-	E2	H5	260
I/O	7	P8	E4	F2	263
I/O	7	-	-	F1	266
I/O, V _{REF}	7	P9	D1	H4	269
I/O	7	P10	E1	G1	272
GND	-	P11	GND*	GND*	-
V _{CCO}	7	P12	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCINT}	-	P13	V _{CCINT} *	V _{CCINT} *	-
I/O	7	P14	F2	H3	275
I/O	7	P15	G3	H2	278
I/O	7	-	-	H1	284
I/O	7	-	F1	J5	287
I/O	7	P16	F4	J2	290
I/O	7	-	-	J3	293
I/O	7	P17	F5	K5	299
I/O	7	P18	G2	K1	302
GND	-	P19	GND*	GND*	-
V _{CCO}	7	-	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
I/O, V _{REF}	7	P20	H3	K3	305
I/O	7	P21	G4	K4	308
I/O	7	-	H2	L6	311

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	7	P22	G5	L1	314
I/O	7	-	-	L5	317
I/O	7	P23	H4	L4	320
I/O, IRDY ⁽¹⁾	7	P24	G1	L3	323
GND	-	P25	GND*	GND*	-
V _{CCO}	7	P26	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCO}	6	P26	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
I/O, TRDY ⁽¹⁾	6	P27	J2	M1	326
V _{CCINT}	-	P28	V _{CCINT} *	V _{CCINT} *	-
I/O	6	-	-	M6	332
I/O	6	P29	H1	M3	335
I/O	6	-	J4	M4	338
I/O	6	P30	J1	M5	341
I/O, V _{REF}	6	P31	J3	N2	344
V _{CCO}	6	-	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	P32	GND*	GND*	-
I/O	6	P33	K5	N3	347
I/O	6	P34	K2	N4	350
I/O	6	-	-	N5	356
I/O	6	P35	K1	P2	359
I/O	6	-	K3	P4	362
I/O	6	-	-	R1	365
I/O	6	P36	L1	P3	371
I/O	6	P37	L2	R2	374
V _{CCINT}	-	P38	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	6	P39	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	P40	GND*	GND*	-
I/O	6	P41	K4	T1	377
I/O, V _{REF}	6	P42	M1	R4	380
I/O	6	-	-	T2	383
I/O	6	P43	L4	U1	386
I/O	6	-	M2	R5	389
I/O	6	-	-	V1	392
I/O	6	-	-	T5	395
I/O	6	P44	L3	U2	398
I/O, V _{REF}	6	P45	N1	T3	401
V _{CCO}	6	-	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	-	GND*	GND*	-

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	6	P46	P1	T4	404
I/O	6	-	L5	W1	407
I/O	6	-	-	V2	410
I/O	6	-	-	U4	413
I/O	6	P47	N2	Y1	416
GND	-	-	GND*	GND*	-
I/O	6	-	M4	W2	419
I/O	6	-	-	V3	422
I/O	6	-	-	V4	425
I/O	6	P48	R1	Y2	428
I/O	6	P49	M3	W3	431
M1	-	P50	P2	U5	434
GND	-	P51	GND*	GND*	-
M0	-	P52	N3	AB2	435
V _{CCO}	6	P53	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
V _{CCO}	5	P53	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
M2	-	P54	R3	Y4	436
I/O	5	-	-	W5	443
I/O	5	-	-	AB3	446
I/O	5	-	N5	V7	449
GND	-	-	GND*	GND*	-
I/O	5	P57	T2	Y6	452
I/O	5	-	-	AA4	455
I/O	5	-	-	AB4	458
I/O	5	-	P5	W6	461
I/O	5	P58	T3	Y7	464
GND	-	-	GND*	GND*	-
V _{CCO}	5	-	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
I/O, V _{REF}	5	P59	T4	AA5	467
I/O	5	P60	M6	AB5	470
I/O	5	-	-	V8	473
I/O	5	-	-	AA6	476
I/O	5	-	T5	AB6	479
I/O	5	P61	N6	AA7	482
I/O	5	-	-	W7	485
I/O, V _{REF}	5	P62	R5	W8	488
I/O	5	P63	P6	Y8	491
GND	-	P64	GND*	GND*	-

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
V _{CCO}	5	P65	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
V _{CCINT}	-	P66	V _{CCINT} *	V _{CCINT} *	-
I/O	5	P67	R6	AA8	494
I/O	5	P68	M7	V9	497
I/O	5	-	-	W9	503
I/O	5	-	-	AB9	506
I/O	5	P69	N7	Y9	509
I/O	5	-	-	V10	512
I/O	5	P70	T6	W10	518
I/O	5	P71	P7	AB10	521
GND	-	P72	GND*	GND*	-
V _{CCO}	5	-	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
I/O, V _{REF}	5	P73	P8	Y10	524
I/O	5	P74	R7	V11	527
I/O	5	-	T7	W11	530
I/O	5	P75	T8	AB11	533
I/O	5	-	-	U11	536
V _{CCINT}	-	P76	V _{CCINT} *	V _{CCINT} *	-
I, GCK1	5	P77	R8	Y11	545
V _{CCO}	5	P78	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
V _{CCO}	4	P78	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P79	GND*	GND*	-
I, GCK0	4	P80	N8	W12	548
I/O	4	P81	N9	U12	550
I/O	4	-	-	V12	553
I/O	4	P82	R9	Y12	556
I/O	4	-	N10	AA12	559
I/O	4	P83	T9	AB13	562
I/O, V _{REF}	4	P84	P9	AA13	565
V _{CCO}	4	-	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P85	GND*	GND*	-
I/O	4	P86	M10	Y13	568
I/O	4	P87	R10	V13	571
I/O	4	-	-	W14	577
I/O	4	P88	P10	AA14	580
I/O	4	-	-	V14	583
I/O	4	-	-	Y14	586
I/O	4	P89	T10	AB15	592

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	4	P90	R11	AA15	595
V _{CCINT}	-	P91	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	4	P92	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P93	GND*	GND*	-
I/O	4	P94	M11	Y15	598
I/O, V _{REF}	4	P95	T11	AB16	601
I/O	4	-	-	AB17	604
I/O	4	P96	N11	V15	607
I/O	4	-	R12	Y16	610
I/O	4	-	-	AA17	613
I/O	4	-	-	W16	616
I/O	4	P97	P11	AB18	619
I/O, V _{REF}	4	P98	T12	AB19	622
V _{CCO}	4	-	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	-	GND*	GND*	-
I/O	4	P99	T13	Y17	625
I/O	4	-	N12	V16	628
I/O	4	-	-	AA18	631
I/O	4	-	-	W17	634
I/O	4	P100	R13	AB20	637
GND	-	-	GND*	GND*	-
I/O	4	-	P12	AA19	640
I/O	4	-	-	V17	643
I/O	4	-	-	Y18	646
I/O	4	P101	P13	AA20	649
I/O	4	P102	T14	W18	652
GND	-	P103	GND*	GND*	-
DONE	3	P104	R14	Y19	655
V _{CCO}	4	P105	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
V _{CCO}	3	P105	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
PROGRAM	-	P106	P15	W20	658
I/O (INIT)	3	P107	N15	V19	659
I/O (D7)	3	P108	N14	Y21	662
I/O	3	-	-	V20	665
I/O	3	-	-	AA22	668
I/O	3	-	T15	W21	671
GND	-	-	GND*	GND*	-
I/O	3	P109	M13	U20	674

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	3	-	-	U19	677
I/O	3	-	-	V21	680
I/O	3	-	R16	T18	683
I/O	3	P110	M14	W22	686
GND	-	-	GND*	GND*	-
V _{CCO}	3	-	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
I/O, V _{REF}	3	P111	L14	U21	689
I/O	3	P112	M15	T20	692
I/O	3	-	-	T19	695
I/O	3	-	-	V22	698
I/O	3	-	L12	T21	701
I/O	3	P113	P16	R18	704
I/O	3	-	-	U22	707
I/O, V _{REF}	3	P114	L13	R19	710
I/O (D6)	3	P115	N16	T22	713
GND	-	P116	GND*	GND*	-
V _{CCO}	3	P117	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
V _{CCINT}	-	P118	V _{CCINT} *	V _{CCINT} *	-
I/O (D5)	3	P119	M16	R21	716
I/O	3	P120	K14	P18	719
I/O	3	-	-	P19	725
I/O	3	-	L16	P20	728
I/O	3	P121	K13	P21	731
I/O	3	-	-	N19	734
I/O	3	P122	L15	N18	740
I/O	3	P123	K12	N20	743
GND	-	P124	GND*	GND*	-
V _{CCO}	3	-	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
I/O, V _{REF}	3	P125	K16	N21	746
I/O (D4)	3	P126	J16	N22	749
I/O	3	-	J14	M19	752
I/O	3	P127	K15	M20	755
I/O	3	-	-	M18	758
V _{CCINT}	-	P128	V _{CCINT} *	V _{CCINT} *	-
I/O, TRDY ⁽¹⁾	3	P129	J15	M22	764
V _{CCO}	3	P130	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
V _{CCO}	2	P130	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	P131	GND*	GND*	-

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O, IRDY ⁽¹⁾	2	P132	H16	L20	767
I/O	2	P133	H14	L17	770
I/O	2	-	-	L18	773
I/O	2	P134	H15	L21	776
I/O	2	-	J13	L22	779
I/O (D3)	2	P135	G16	K20	782
I/O, V _{REF}	2	P136	H13	K21	785
V _{CCO}	2	-	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	P137	GND*	GND*	-
I/O	2	P138	G14	K22	788
I/O	2	P139	G15	J21	791
I/O	2	-	-	J20	797
I/O	2	P140	G12	J18	800
I/O	2	-	F16	J22	803
I/O	2	-	-	J19	806
I/O	2	P141	G13	H19	812
I/O (D2)	2	P142	F15	H20	815
V _{CCINT}	-	P143	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	2	P144	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	P145	GND*	GND*	-
I/O (D1)	2	P146	E16	H22	818
I/O, V _{REF}	2	P147	F14	H18	821
I/O	2	-	-	G21	824
I/O	2	P148	D16	G18	827
I/O	2	-	F12	G20	830
I/O	2	-	-	G19	833
I/O	2	-	-	F22	836
I/O	2	P149	E15	F19	839
I/O, V _{REF}	2	P150	F13	F21	842
V _{CCO}	2	-	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
GND	-	-	GND*	GND*	-
I/O	2	P151	E14	F20	845
I/O	2	-	C16	F18	848
I/O	2	-	-	E22	851
I/O	2	-	-	E21	854
I/O	2	P152	E13	D22	857
GND	-	-	GND*	GND*	-
I/O	2	-	B16	E20	860
I/O	2	-	-	D21	863

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	2	-	-	C22	866
I/O (DIN, D0)	2	P153	D14	D20	869
I/O (DOUT, BUSY)	2	P154	C15	C21	872
CCLK	2	P155	D15	B22	875
V _{CCO}	2	P156	V _{CCO} Bank 2*	V _{CCO} Bank 2*	-
V _{CCO}	1	P156	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
TDO	2	P157	B14	A21	-
GND	-	P158	GND*	GND*	-
TDI	-	P159	A15	B20	-
I/O (CS)	1	P160	B13	C19	0
I/O (WRITE)	1	P161	C13	A20	3
I/O	1	-	-	B19	6
I/O	1	-	-	C18	9
I/O	1	-	C12	D17	12
GND	-	-	GND*	GND*	-
I/O	1	P162	A14	A19	15
I/O	1	-	-	B18	18
I/O	1	-	-	E16	21
I/O	1	-	D12	C17	24
I/O	1	P163	B12	D16	27
GND	-	-	GND*	GND*	-
V _{CCO}	1	-	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
I/O, V _{REF}	1	P164	C11	A18	30
I/O	1	P165	A13	B17	33
I/O	1	-	-	E15	36
I/O	1	-	-	A17	39
I/O	1	-	D11	D15	42
I/O	1	P166	A12	C16	45
I/O	1	-	-	D14	48
I/O, V _{REF}	1	P167	E11	E14	51
I/O	1	P168	B11	A16	54
GND	-	P169	GND*	GND*	-
V _{CCO}	1	P170	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
V _{CCINT}	-	P171	V _{CCINT} *	V _{CCINT} *	-
I/O	1	P172	A11	C15	57
I/O	1	P173	C10	B15	60
I/O	1	-	-	A15	66
I/O	1	-	-	F12	69

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bdry Scan
Function	Bank				
I/O	1	P174	B10	C14	72
I/O	1	-	-	B14	75
I/O	1	P175	D10	D13	81
I/O	1	P176	A10	C13	84
GND	-	P177	GND*	GND*	-
V _{CCO}	1	-	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
I/O, V _{REF}	1	P178	B9	B13	87
I/O	1	P179	E10	E12	90
I/O	1	-	A9	B12	93
I/O	1	P180	D9	D12	96
I/O	1	-	-	C12	99
I/O	1	P181	A8	D11	102
I, GCK2	1	P182	C9	A11	108
GND	-	P183	GND*	GND*	-
V _{CCO}	1	P184	V _{CCO} Bank 1*	V _{CCO} Bank 1*	-
V _{CCO}	0	P184	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
I, GCK3	0	P185	B8	C11	109
V _{CCINT}	-	P186	V _{CCINT} *	V _{CCINT} *	-
I/O	0	-	-	E11	116
I/O	0	P187	A7	A10	119
I/O	0	-	D8	B10	122
I/O	0	P188	A6	C10	125
I/O, V _{REF}	0	P189	B7	A9	128
V _{CCO}	0	-	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	P190	GND*	GND*	-
I/O	0	P191	C8	B9	131
I/O	0	P192	D7	E10	134
I/O	0	-	-	D10	140
I/O	0	P193	E7	A8	143
I/O	0	-	-	D9	146
I/O	0	-	-	B8	149
I/O	0	P194	C7	E9	155
I/O	0	P195	B6	A7	158

XC2S150 Device Pinouts (Continued)

XC2S150 Pad Name		PQ208	FG256	FG456	Bdry Scan
Function	Bank				
V _{CCINT}	-	P196	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	0	P197	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	P198	GND*	GND*	-
I/O	0	P199	A5	B7	161
I/O, V _{REF}	0	P200	C6	E8	164
I/O	0	-	-	D8	167
I/O	0	P201	B5	C7	170
I/O	0	-	D6	D7	173
I/O	0	-	-	B6	176
I/O	0	-	-	A5	179
I/O	0	P202	A4	D6	182
I/O, V _{REF}	0	P203	B4	C6	185
V _{CCO}	0	-	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	-	GND*	GND*	-
I/O	0	P204	E6	B5	188
I/O	0	-	D5	E7	191
I/O	0	-	-	A4	194
I/O	0	-	-	E6	197
I/O	0	P205	A3	B4	200
GND	-	-	GND*	GND*	-
I/O	0	-	C5	A3	203
I/O	0	-	-	B3	206
I/O	0	-	-	D5	209
I/O	0	P206	B3	C5	212
TCK	-	P207	C4	C4	-
V _{CCO}	0	P208	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
V _{CCO}	7	P208	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.
2. Pads labelled GND*, V_{CCINT}*, V_{CCO} Bank 0*, V_{CCO} Bank 1*, V_{CCO} Bank 2*, V_{CCO} Bank 3*, V_{CCO} Bank 4*, V_{CCO} Bank 5*, V_{CCO} Bank 6*, V_{CCO} Bank 7* are internally bonded to independent ground or power planes within the package.

Additional XC2S150 Package Pins

PQ208

Not Connected Pins					
P55	P56	-	-	-	-

11/02/00

FG256

V _{CCINT} Pins					
C3	C14	D4	D13	E5	E12
M5	M12	N4	N13	P3	P14
V _{CCO} Bank 0 Pins					
E8	F8	-	-	-	-
V _{CCO} Bank 1 Pins					
E9	F9	-	-	-	-
V _{CCO} Bank 2 Pins					
H11	H12	-	-	-	-
V _{CCO} Bank 3 Pins					
J11	J12	-	-	-	-
V _{CCO} Bank 4 Pins					
L9	M9	-	-	-	-
V _{CCO} Bank 5 Pins					
L8	M8	-	-	-	-
V _{CCO} Bank 6 Pins					
J5	J6	-	-	-	-
V _{CCO} Bank 7 Pins					
H5	H6	-	-	-	-
GND Pins					
A1	A16	B2	B15	F6	F7
F10	F11	G6	G7	G8	G9
G10	G11	H7	H8	H9	H10
J7	J8	J9	J10	K6	K7
K8	K9	K10	K11	L6	L7
L10	L11	R2	R15	T1	T16
Not Connected Pins					
P4	R4	-	-	-	-

11/02/00

Additional XC2S150 Package Pins (Continued)

FG456

V _{CCINT} Pins					
E5	E18	F6	F17	G7	G8
G9	G14	G15	G16	H7	H16
J7	J16	P7	P16	R7	R16
T7	T8	T9	T14	T15	T16
U6	U17	V5	V18	-	-
V _{CCO} BANK 0 Pins					
F7	F8	F9	F10	G10	G11
V _{CCO} Bank 1 Pins					
F13	F14	F15	F16	G12	G13
V _{CCO} Bank 2 Pins					
G17	H17	J17	K16	K17	L16
V _{CCO} Bank 3 Pins					
M16	N16	N17	P17	R17	T17
V _{CCO} Bank 4 Pins					
T12	T13	U13	U14	U15	U16
V _{CCO} Bank 5 Pins					
T10	T11	U7	U8	U9	U10
V _{CCO} Bank 6 Pins					
M7	N6	N7	P8	R6	T6
V _{CCO} Bank 7 Pins					
G6	H6	J6	K6	K7	L7
GND Pins					
A1	A22	B2	B21	C3	C20
J9	J10	J11	J12	J13	J14
K9	K10	K11	K12	K13	K14
L9	L10	L11	L12	L13	L14
M9	M10	M11	M12	M13	M14
N9	N10	N11	N12	N13	N14
P9	P10	P11	P12	P13	P14
Y3	Y20	AA2	AA21	AB1	AB22
Not Connected Pins					
A2	A6	A12	A13	A14	B11
B16	C2	C8	C9	D1	D4
D18	D19	E13	E17	E19	F11
G2	G22	H21	J1	J4	K2
K18	K19	L2	L19	M2	M17
M21	N1	P1	P5	P22	R3
R20	R22	U3	U18	V6	W4
W13	W15	W19	Y5	Y22	AA1
AA3	AA9	AA10	AA11	AA16	AB7
AB8	AB12	AB14	AB21	-	-

11/02/00

XC2S200 Device Pinouts

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
GND	-	P1	GND*	GND*	-
TMS	-	P2	D3	D3	-
I/O	7	P3	C2	B1	257
I/O	7	-	-	E4	263
I/O	7	-	-	C1	266
I/O	7	-	A2	F5	269
GND	-	-	GND*	GND*	-
I/O, V _{REF}	7	P4	B1	D2	272
I/O	7	-	-	E3	275
I/O	7	-	-	F4	281
GND	-	-	GND*	GND*	-
I/O	7	-	E3	G5	284
I/O	7	P5	D2	F3	287
GND	-	-	GND*	GND*	-
V _{CCO}	7	-	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
I/O, V _{REF}	7	P6	C1	E2	290
I/O	7	P7	F3	E1	293
I/O	7	-	-	G4	296
I/O	7	-	-	G3	299
I/O	7	-	E2	H5	302
GND	-	-	GND*	GND*	-
I/O	7	P8	E4	F2	305
I/O	7	-	-	F1	308
I/O, V _{REF}	7	P9	D1	H4	314
I/O	7	P10	E1	G1	317
GND	-	P11	GND*	GND*	-
V _{CCO}	7	P12	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCINT}	-	P13	V _{CCINT} *	V _{CCINT} *	-
I/O	7	P14	F2	H3	320
I/O	7	P15	G3	H2	323
I/O	7	-	-	J4	326
I/O	7	-	-	H1	329
I/O	7	-	F1	J5	332
GND	-	-	GND*	GND*	-
I/O	7	P16	F4	J2	335
I/O	7	-	-	J3	338
I/O	7	-	-	J1	341
I/O	7	P17	F5	K5	344
I/O	7	P18	G2	K1	347
GND	-	P19	GND*	GND*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
V _{CCO}	7	-	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
I/O, V _{REF}	7	P20	H3	K3	350
I/O	7	P21	G4	K4	353
I/O	7	-	-	K2	359
I/O	7	-	H2	L6	362
I/O	7	P22	G5	L1	365
I/O	7	-	-	L5	368
I/O	7	P23	H4	L4	374
I/O, IRDY ⁽¹⁾	7	P24	G1	L3	377
GND	-	P25	GND*	GND*	-
V _{CCO}	7	P26	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-
V _{CCO}	6	P26	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
I/O, TRDY ⁽¹⁾	6	P27	J2	M1	380
V _{CCINT}	-	P28	V _{CCINT} *	V _{CCINT} *	-
I/O	6	-	-	M6	389
I/O	6	P29	H1	M3	392
I/O	6	-	J4	M4	395
I/O	6	-	-	N1	398
I/O	6	P30	J1	M5	404
I/O, V _{REF}	6	P31	J3	N2	407
V _{CCO}	6	-	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	P32	GND*	GND*	-
I/O	6	P33	K5	N3	410
I/O	6	P34	K2	N4	413
I/O	6	-	-	P1	416
I/O	6	-	-	N5	419
I/O	6	P35	K1	P2	422
GND	-	-	GND*	GND*	-
I/O	6	-	K3	P4	425
I/O	6	-	-	R1	428
I/O	6	-	-	P5	431
I/O	6	P36	L1	P3	434
I/O	6	P37	L2	R2	437
V _{CCINT}	-	P38	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	6	P39	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	P40	GND*	GND*	-
I/O	6	P41	K4	T1	440
I/O, V _{REF}	6	P42	M1	R4	443

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	6	-	-	T2	449
I/O	6	P43	L4	U1	452
GND	-	-	GND*	GND*	-
I/O	6	-	M2	R5	455
I/O	6	-	-	V1	458
I/O	6	-	-	T5	461
I/O	6	P44	L3	U2	464
I/O, V _{REF}	6	P45	N1	T3	467
V _{CCO}	6	-	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
GND	-	-	GND*	GND*	-
I/O	6	P46	P1	T4	470
I/O	6	-	L5	W1	473
GND	-	-	GND*	GND*	-
I/O	6	-	-	V2	476
I/O	6	-	-	U4	482
I/O, V _{REF}	6	P47	N2	Y1	485
GND	-	-	GND*	GND*	-
I/O	6	-	M4	W2	488
I/O	6	-	-	V3	491
I/O	6	-	-	V4	494
I/O	6	P48	R1	Y2	500
I/O	6	P49	M3	W3	503
M1	-	P50	P2	U5	506
GND	-	P51	GND*	GND*	-
M0	-	P52	N3	AB2	507
V _{CCO}	6	P53	V _{CCO} Bank 6*	V _{CCO} Bank 6*	-
V _{CCO}	5	P53	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
M2	-	P54	R3	Y4	508
I/O	5	-	-	W5	518
I/O	5	-	-	AB3	521
I/O	5	-	N5	V7	524
GND	-	-	GND*	GND*	-
I/O, V _{REF}	5	P57	T2	Y6	527
I/O	5	-	-	AA4	530
I/O	5	-	-	AB4	536
I/O	5	-	P5	W6	539
I/O	5	P58	T3	Y7	542
GND	-	-	GND*	GND*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
V _{CCO}	5	-	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
I/O, V _{REF}	5	P59	T4	AA5	545
I/O	5	P60	M6	AB5	548
I/O	5	-	-	V8	551
I/O	5	-	-	AA6	554
I/O	5	-	T5	AB6	557
GND	-	-	GND*	GND*	-
I/O	5	P61	N6	AA7	560
I/O	5	-	-	W7	563
I/O, V _{REF}	5	P62	R5	W8	569
I/O	5	P63	P6	Y8	572
GND	-	P64	GND*	GND*	-
V _{CCO}	5	P65	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
V _{CCINT}	-	P66	V _{CCINT} *	V _{CCINT} *	-
I/O	5	P67	R6	AA8	575
I/O	5	P68	M7	V9	578
I/O	5	-	-	AB8	581
I/O	5	-	-	W9	584
I/O	5	-	-	AB9	587
GND	-	-	GND*	GND*	-
I/O	5	P69	N7	Y9	590
I/O	5	-	-	V10	593
I/O	5	-	-	AA9	596
I/O	5	P70	T6	W10	599
I/O	5	P71	P7	AB10	602
GND	-	P72	GND*	GND*	-
V _{CCO}	5	-	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
I/O, V _{REF}	5	P73	P8	Y10	605
I/O	5	P74	R7	V11	608
I/O	5	-	-	AA10	614
I/O	5	-	T7	W11	617
I/O	5	P75	T8	AB11	620
I/O	5	-	-	U11	623
V _{CCINT}	-	P76	V _{CCINT} *	V _{CCINT} *	-
I, GCK1	5	P77	R8	Y11	635
V _{CCO}	5	P78	V _{CCO} Bank 5*	V _{CCO} Bank 5*	-
V _{CCO}	4	P78	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P79	GND*	GND*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I, GCK0	4	P80	N8	W12	636
I/O	4	P81	N9	U12	640
I/O	4	-	-	V12	646
I/O	4	P82	R9	Y12	649
I/O	4	-	N10	AA12	652
I/O	4	-	-	W13	655
I/O	4	P83	T9	AB13	661
I/O, V _{REF}	4	P84	P9	AA13	664
V _{CCO}	4	-	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P85	GND*	GND*	-
I/O	4	P86	M10	Y13	667
I/O	4	P87	R10	V13	670
I/O	4	-	-	AB14	673
I/O	4	-	-	W14	676
I/O	4	P88	P10	AA14	679
GND	-	-	GND*	GND*	-
I/O	4	-	-	V14	682
I/O	4	-	-	Y14	685
I/O	4	-	-	W15	688
I/O	4	P89	T10	AB15	691
I/O	4	P90	R11	AA15	694
V _{CCINT}	-	P91	V _{CCINT} *	V _{CCINT} *	-
V _{CCO}	4	P92	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	P93	GND*	GND*	-
I/O	4	P94	M11	Y15	697
I/O, V _{REF}	4	P95	T11	AB16	700
I/O	4	-	-	AB17	706
I/O	4	P96	N11	V15	709
GND	-	-	GND*	GND*	-
I/O	4	-	R12	Y16	712
I/O	4	-	-	AA17	715
I/O	4	-	-	W16	718
I/O	4	P97	P11	AB18	721
I/O, V _{REF}	4	P98	T12	AB19	724
V _{CCO}	4	-	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
GND	-	-	GND*	GND*	-
I/O	4	P99	T13	Y17	727
I/O	4	-	N12	V16	730
I/O	4	-	-	AA16	733

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	4	-	-	W17	739
I/O, V _{REF}	4	P100	R13	AB20	742
GND	-	-	GND*	GND*	-
I/O	4	-	P12	AA19	745
I/O	4	-	-	V17	748
I/O	4	-	-	Y18	751
I/O	4	P101	P13	AA20	757
I/O	4	P102	T14	W18	760
GND	-	P103	GND*	GND*	-
DONE	3	P104	R14	Y19	763
V _{CCO}	4	P105	V _{CCO} Bank 4*	V _{CCO} Bank 4*	-
V _{CCO}	3	P105	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
PROGRAM	-	P106	P15	W20	766
I/O (INIT)	3	P107	N15	V19	767
I/O (D7)	3	P108	N14	Y21	770
I/O	3	-	-	V20	776
I/O	3	-	-	AA22	779
I/O	3	-	T15	W21	782
GND	-	-	GND*	GND*	-
I/O, V _{REF}	3	P109	M13	U20	785
I/O	3	-	-	U19	788
I/O	3	-	-	V21	794
GND	-	-	GND*	GND*	-
I/O	3	-	R16	T18	797
I/O	3	P110	M14	W22	800
GND	-	-	GND*	GND*	-
V _{CCO}	3	-	V _{CCO} Bank 3*	V _{CCO} Bank 3*	-
I/O, V _{REF}	3	P111	L14	U21	803
I/O	3	P112	M15	T20	806
I/O	3	-	-	T19	809
I/O	3	-	-	V22	812
I/O	3	-	L12	T21	815
GND	-	-	GND*	GND*	-
I/O	3	P113	P16	R18	818
I/O	3	-	-	U22	821
I/O, V _{REF}	3	P114	L13	R19	827
I/O (D6)	3	P115	N16	T22	830
GND	-	P116	GND*	GND*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
V _{CC0}	3	P117	V _{CC0} Bank 3*	V _{CC0} Bank 3*	-
V _{CCINT}	-	P118	V _{CCINT} *	V _{CCINT} *	-
I/O (D5)	3	P119	M16	R21	833
I/O	3	P120	K14	P18	836
I/O	3	-	-	R22	839
I/O	3	-	-	P19	842
I/O	3	-	L16	P20	845
GND	-	-	GND*	GND*	-
I/O	3	P121	K13	P21	848
I/O	3	-	-	N19	851
I/O	3	-	-	P22	854
I/O	3	P122	L15	N18	857
I/O	3	P123	K12	N20	860
GND	-	P124	GND*	GND*	-
V _{CC0}	3	-	V _{CC0} Bank 3*	V _{CC0} Bank 3*	-
I/O, V _{REF}	3	P125	K16	N21	863
I/O (D4)	3	P126	J16	N22	866
I/O	3	-	-	M17	872
I/O	3	-	J14	M19	875
I/O	3	P127	K15	M20	878
I/O	3	-	-	M18	881
V _{CCINT}	-	P128	V _{CCINT} *	V _{CCINT} *	-
I/O, TRDY(1)	3	P129	J15	M22	890
V _{CC0}	3	P130	V _{CC0} Bank 3*	V _{CC0} Bank 3*	-
V _{CC0}	2	P130	V _{CC0} Bank 2*	V _{CC0} Bank 2*	-
GND	-	P131	GND*	GND*	-
I/O, IRDY(1)	2	P132	H16	L20	893
I/O	2	P133	H14	L17	896
I/O	2	-	-	L18	902
I/O	2	P134	H15	L21	905
I/O	2	-	J13	L22	908
I/O	2	-	-	K19	911
I/O (D3)	2	P135	G16	K20	917
I/O, V _{REF}	2	P136	H13	K21	920
V _{CC0}	2	-	V _{CC0} Bank 2*	V _{CC0} Bank 2*	-
GND	-	P137	GND*	GND*	-
I/O	2	P138	G14	K22	923
I/O	2	P139	G15	J21	926

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	2	-	-	K18	929
I/O	2	-	-	J20	932
I/O	2	P140	G12	J18	935
GND	-	-	GND*	GND*	-
I/O	2	-	F16	J22	938
I/O	2	-	-	J19	941
I/O	2	-	-	H21	944
I/O	2	P141	G13	H19	947
I/O (D2)	2	P142	F15	H20	950
V _{CCINT}	-	P143	V _{CCINT} *	V _{CCINT} *	-
V _{CC0}	2	P144	V _{CC0} Bank 2*	V _{CC0} Bank 2*	-
GND	-	P145	GND*	GND*	-
I/O (D1)	2	P146	E16	H22	953
I/O, V _{REF}	2	P147	F14	H18	956
I/O	2	-	-	G21	962
I/O	2	P148	D16	G18	965
GND	-	-	GND*	GND*	-
I/O	2	-	F12	G20	968
I/O	2	-	-	G19	971
I/O	2	-	-	F22	974
I/O	2	P149	E15	F19	977
I/O, V _{REF}	2	P150	F13	F21	980
V _{CC0}	2	-	V _{CC0} Bank 2*	V _{CC0} Bank 2*	-
GND	-	-	GND*	GND*	-
I/O	2	P151	E14	F20	983
I/O	2	-	C16	F18	986
GND	-	-	GND*	GND*	-
I/O	2	-	-	E22	989
I/O	2	-	-	E21	995
I/O, V _{REF}	2	P152	E13	D22	998
GND	-	-	GND*	GND*	-
I/O	2	-	B16	E20	1001
I/O	2	-	-	D21	1004
I/O	2	-	-	C22	1007
I/O (DIN, D0)	2	P153	D14	D20	1013
I/O (DOUT, BUSY)	2	P154	C15	C21	1016
CCLK	2	P155	D15	B22	1019
V _{CC0}	2	P156	V _{CC0} Bank 2*	V _{CC0} Bank 2*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
V _{CC0}	1	P156	V _{CC0} Bank 1*	V _{CC0} Bank 1*	-
TDO	2	P157	B14	A21	-
GND	-	P158	GND*	GND*	-
TDI	-	P159	A15	B20	-
I/O (CS)	1	P160	B13	C19	0
I/O (WRITE)	1	P161	C13	A20	3
I/O	1	-	-	B19	9
I/O	1	-	-	C18	12
I/O	1	-	C12	D17	15
GND	-	-	GND*	GND*	-
I/O, V _{REF}	1	P162	A14	A19	18
I/O	1	-	-	B18	21
I/O	1	-	-	E16	27
I/O	1	-	D12	C17	30
I/O	1	P163	B12	D16	33
GND	-	-	GND*	GND*	-
V _{CC0}	1	-	V _{CC0} Bank 1*	V _{CC0} Bank 1*	-
I/O, V _{REF}	1	P164	C11	A18	36
I/O	1	P165	A13	B17	39
I/O	1	-	-	E15	42
I/O	1	-	-	A17	45
I/O	1	-	D11	D15	48
GND	-	-	GND*	GND*	-
I/O	1	P166	A12	C16	51
I/O	1	-	-	D14	54
I/O, V _{REF}	1	P167	E11	E14	60
I/O	1	P168	B11	A16	63
GND	-	P169	GND*	GND*	-
V _{CC0}	1	P170	V _{CC0} Bank 1*	V _{CC0} Bank 1*	-
V _{CCINT}	-	P171	V _{CCINT} *	V _{CCINT} *	-
I/O	1	P172	A11	C15	66
I/O	1	P173	C10	B15	69
I/O	1	-	-	E13	72
I/O	1	-	-	A15	75
I/O	1	-	-	F12	78
GND	-	-	GND*	GND*	-
I/O	1	P174	B10	C14	81
I/O	1	-	-	B14	84
I/O	1	-	-	A14	87

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
I/O	1	P175	D10	D13	90
I/O	1	P176	A10	C13	93
GND	-	P177	GND*	GND*	-
V _{CC0}	1	-	V _{CC0} Bank 1*	V _{CC0} Bank 1*	-
I/O, V _{REF}	1	P178	B9	B13	96
I/O	1	P179	E10	E12	99
I/O	1	-	-	A13	105
I/O	1	-	A9	B12	108
I/O	1	P180	D9	D12	111
I/O	1	-	-	C12	114
I/O	1	P181	A8	D11	120
I, GCK2	1	P182	C9	A11	126
GND	-	P183	GND*	GND*	-
V _{CC0}	1	P184	V _{CC0} Bank 1*	V _{CC0} Bank 1*	-
V _{CC0}	0	P184	V _{CC0} Bank 0*	V _{CC0} Bank 0*	-
I, GCK3	0	P185	B8	C11	127
V _{CCINT}	-	P186	V _{CCINT} *	V _{CCINT} *	-
I/O	0	-	-	E11	137
I/O	0	P187	A7	A10	140
I/O	0	-	D8	B10	143
I/O	0	-	-	F11	146
I/O	0	P188	A6	C10	152
I/O, V _{REF}	0	P189	B7	A9	155
V _{CC0}	0	-	V _{CC0} Bank 0*	V _{CC0} Bank 0*	-
GND	-	P190	GND*	GND*	-
I/O	0	P191	C8	B9	158
I/O	0	P192	D7	E10	161
I/O	0	-	-	C9	164
I/O	0	-	-	D10	167
I/O	0	P193	E7	A8	170
GND	-	-	GND*	GND*	-
I/O	0	-	-	D9	173
I/O	0	-	-	B8	176
I/O	0	-	-	C8	179
I/O	0	P194	C7	E9	182
I/O	0	P195	B6	A7	185
V _{CCINT}	-	P196	V _{CCINT} *	V _{CCINT} *	-
V _{CC0}	0	P197	V _{CC0} Bank 0*	V _{CC0} Bank 0*	-

XC2S200 Device Pinouts (Continued)

XC2S200 Pad Name		PQ208	FG256	FG456	Bndry Scan
Function	Bank				
GND	-	P198	GND*	GND*	-
I/O	0	P199	A5	B7	188
I/O, V _{REF}	0	P200	C6	E8	191
I/O	0	-	-	D8	197
I/O	0	P201	B5	C7	200
GND	-	-	GND*	GND*	-
I/O	0	-	D6	D7	203
I/O	0	-	-	B6	206
I/O	0	-	-	A5	209
I/O	0	P202	A4	D6	212
I/O, V _{REF}	0	P203	B4	C6	215
V _{CCO}	0	-	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
GND	-	-	GND*	GND*	-
I/O	0	P204	E6	B5	218
I/O	0	-	D5	E7	221
I/O	0	-	-	A4	224
I/O	0	-	-	E6	230
I/O, V _{REF}	0	P205	A3	B4	233
GND	-	-	GND*	GND*	-
I/O	0	-	C5	A3	236
I/O	0	-	-	B3	239
I/O	0	-	-	D5	242
I/O	0	P206	B3	C5	248
TCK	-	P207	C4	C4	-
V _{CCO}	0	P208	V _{CCO} Bank 0*	V _{CCO} Bank 0*	-
V _{CCO}	7	P208	V _{CCO} Bank 7*	V _{CCO} Bank 7*	-

04/18/01

Notes:

1. IRDY and TRDY can only be accessed when using Xilinx PCI cores.
2. Pads labelled GND*, V_{CCINT}*, V_{CCO} Bank 0*, V_{CCO} Bank 1*, V_{CCO} Bank 2*, V_{CCO} Bank 3*, V_{CCO} Bank 4*, V_{CCO} Bank 5*, V_{CCO} Bank 6*, V_{CCO} Bank 7* are internally bonded to independent ground or power planes within the package.

Additional XC2S200 Package Pins

PQ208

Not Connected Pins					
P55	P56	-	-	-	-

11/02/00

FG256

V _{CCINT} Pins					
C3	C14	D4	D13	E5	E12
M5	M12	N4	N13	P3	P14
V _{CCO} Bank 0 Pins					
E8	F8	-	-	-	-
V _{CCO} Bank 1 Pins					
E9	F9	-	-	-	-
V _{CCO} Bank 2 Pins					
H11	H12	-	-	-	-
V _{CCO} Bank 3 Pins					
J11	J12	-	-	-	-
V _{CCO} Bank 4 Pins					
L9	M9	-	-	-	-
V _{CCO} Bank 5 Pins					
L8	M8	-	-	-	-
V _{CCO} Bank 6 Pins					
J5	J6	-	-	-	-
V _{CCO} Bank 7 Pins					
H5	H6	-	-	-	-
GND Pins					
A1	A16	B2	B15	F6	F7
F10	F11	G6	G7	G8	G9
G10	G11	H7	H8	H9	H10
J7	J8	J9	J10	K6	K7
K8	K9	K10	K11	L6	L7
L10	L11	R2	R15	T1	T16
Not Connected Pins					
P4	R4	-	-	-	-

11/02/00

Additional XC2S200 Package Pins (Continued)

FG456

V _{CCINT} Pins					
E5	E18	F6	F17	G7	G8
G9	G14	G15	G16	H7	H16
J7	J16	P7	P16	R7	R16
T7	T8	T9	T14	T15	T16
U6	U17	V5	V18	-	-
V _{CCO} BANK 0 Pins					
F7	F8	F9	F10	G10	G11
V _{CCO} Bank 1 Pins					
F13	F14	F15	F16	G12	G13
V _{CCO} Bank 2 Pins					
G17	H17	J17	K16	K17	L16
V _{CCO} Bank 3 Pins					
M16	N16	N17	P17	R17	T17
V _{CCO} Bank 4 Pins					
T12	T13	U13	U14	U15	U16
V _{CCO} Bank 5 Pins					
T10	T11	U7	U8	U9	U10
V _{CCO} Bank 6 Pins					
M7	N6	N7	P6	R6	T6
V _{CCO} Bank 7 Pins					

Additional XC2S200 Package Pins (Continued)

G6	H6	J6	K6	K7	L7
GND Pins					
A1	A22	B2	B21	C3	C20
J9	J10	J11	J12	J13	J14
K9	K10	K11	K12	K13	K14
L9	L10	L11	L12	L13	L14
M9	M10	M11	M12	M13	M14
N9	N10	N11	N12	N13	N14
P9	P10	P11	P12	P13	P14
Y3	Y20	AA2	AA21	AB1	AB22
Not Connected Pins					
A2	A6	A12	B11	B16	C2
D1	D4	D16	D19	E17	E19
G2	G22	L2	L19	M2	M21
R3	R20	U3	U18	V6	W4
W19	Y5	Y22	AA1	AA3	AA11
AA16	AB7	AB12	AB21	-	-

11/02/00

Revision History

Version No.	Date	Description
2.0	09/18/00	Sectioned the Spartan-II Family data sheet into four modules. Corrected all known errors in the pinout tables.
2.1	10/04/00	Added notes requiring PWDN to be tied to V _{CCINT} when unused.
2.2	11/02/00	Removed the Power Down feature.
2.3	03/05/01	Added notes on pinout tables for IRDY and TRDY.
2.4	04/30/01	Reinstated XC2S50 V _{CCO} Bank 7, GND, and "not connected" pins missing in version 2.3.
2.5	09/03/03	Added caution about Not Connected Pins to XC2S30 pinout tables on page 6.

The Spartan-II Family Data Sheet

DS001-1, *Spartan-II 2.5V FPGA Family: Introduction and Ordering Information* (Module 1)DS001-2, *Spartan-II 2.5V FPGA Family: Functional Description* (Module 2)DS001-3, *Spartan-II 2.5V FPGA Family: DC and Switching Characteristics* (Module 3)DS001-4, *Spartan-II 2.5V FPGA Family: Pinout Tables* (Module 4)