สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบแสดงผลระดับน้ำโดยใช้เซนเซอร์ แบบไร้สาย

WATER LEVEL MONITORING SYSTEM USING WIRELESS SENSOR

โดย

นายคิรินทร์ ศรีพรหม

นายศักดา แก้วคำไร

นายธีรวุฒิ บุญสม

เลขหมู่.....

เลขทะเบียน 62756

วัน,เดือน,ปี 21 ส.ค. 2549

.b.....

.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

ผ่านการตรวจชิ้นงานแล้ว

(ลงชื่อ).....ผู้ตรวจ

ผ่านการตรวจรูปเล่มแล้ว

(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบแสดงผลระดับน้ำโดยใช้เซนเซอร์ แบบไร้สาย

WATER LEVEL MONITORING SYSTEM USING WIRELESS SENSOR

โดย

นายคิรินทร์ ศรีพรหม 46015003

นายศักดา แก้วกำไร 46015030

นายธีรวุฒิ บุญสม 46015054

อาจารย์ที่ปรึกษา

ผศ.ดร.พิเชฐ ม่วงนวล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2548

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบแสดงผลระดับน้ำโดยใช้เซนเซอร์ แบบไร้สาย

WATER LEVEL MONITORING SYSTEM

USING WIRELESS SENSOR

ผู้จัดทำ

1. นายกิรินทร์ ศรีพรหม 46015003
2. นายศักดา แก้วกำไร 46015030
3. นายธีรวุฒิ บุญชม 46015054

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. พิชชู ม่วงนวล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบแสดงผลระดับน้ำโดยใช้เซนเซอร์ แบบไร้สาย

WATER LEVEL MONITORING SYSTEM USING WIRELESS SENSOR

โดย นายคิรินทร์ ศรีพรหม 46015003

นายศักดา แก้วกำไร 46015030

นายธีรวุฒิ บุญสม 46015054

อาจารย์ที่ปรึกษา ผศ.ดร. พิเชฐ ม่วงนวล

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอการออกแบบการสื่อสารข้อมูลผ่านคลื่นวิทยุ โดยออกแบบให้สามารถส่งข้อมูลที่อัตราเร็ว 9600 บิตต่อวินาที ในระยะทางการเชื่อมต่อที่มากกว่า 1 กิโลเมตร เพื่อใช้ในการส่งข้อมูลแสดงผลการเปลี่ยนแปลงของระดับน้ำในพื้นที่ที่ไม่สามารถติดตั้งสายได้ รวมทั้งเป็นการประหยัดค่าติดตั้งและค่าบำรุงรักษาสายที่ใช้เชื่อมโยง

ABSTRACT

This thesis is presents the design of data link via radiowave.It can send water level data as 9600 bps and the distance of link more than 1 kilometers.This project is reduce cost of wire installation and maintenance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	
บทที่ 2 ทฤษฎีและหลักการ	
2.1 ความรู้เบื้องต้นเกี่ยวกับ การสื่อสารข้อมูล	2
2.2 สเปกตรัมความถี่วิทยุ	2
2.3 การสื่อสารระยะทางไกล	3
2.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	3
2.5 เทคนิคการมอดูเลทสัญญาณดิจิตอล	5
2.5.1 การเปลี่ยนขนาดสัญญาณดิจิตอล (Amplitude Shift Keying : ASK)	5
2.5.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying : FSK)	6
2.5.3 การเปลี่ยนเฟสตามสัญญาณเชิงเลข (Phase Shift Keying :PSK)	6
2.6 การมอดดูเลทแบบ FSK	7
2.6.1 ตัวกำเนิดสัญญาณ FSK	7
2.6.2 FSK Bandwidth	7
2.7 การมอดูเลทสัญญาณ FM	11
2.7.1 การมอดูเลทเชิงความถี่	11
2.7.2 แบนด์วิดท์ของสัญญาณเอฟเอ็ม	13
2.8 การดีมอดูเลทสัญญาณ FM	14
2.9 การดีมอดูเลทแบบ FSK	17
2.10 การแปลงสัญญาณดิจิตอลเป็นอนาลอก	18
2.11 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)	21
2.12 การแบ่งคลาส และ จัดไบอัสให้กับวงจรขยายกำลัง	24
2.12.1 วงจรขยายกำลังคลาส เอ	24
2.12.2 วงจรขยายกำลังคลาส บี	26
2.12.3 วงจรขยายกำลังคลาส ซี	27
2.12.3.1 การออกแบบวงจรขยายกำลังคลาส ซี	30
2.12.3.2 การนำความถี่ไปใช้งานที่หลากหลาย	32
2.12.4 วงจรขยายกำลังคลาส ดี	33
2.13 การเปลี่ยนแปลงความถี่ของสัญญาณ	36
2.14 ลักษณะของตัวกรองสัญญาณที่ต้องการ	37
2.15 การจำกัดสัญญาณสะท้อน	37
2.16 การบิดเบือนของสัญญาณ	37
2.17 สัญญาณรบกวน	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
2.18 ไมโครคอนโทรลเลอร์ PIC16F628	40
2.18.1 การทำงานของต่างๆ ของไมโครคอนโครลเลอร์ PIC16F26	42
2.18.2 คุณสมบัติทางเทคนิคของ PIC16F62X	44
บทที่ 3 การคำนวณและการสร้าง	
3.1 การต่อใช้งานเซนเซอร์	48
3.2 วงจรเพาเวอร์ซัพพลาย	49
3.3 วงจรขยายแรงดัน	49
3.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	50
3.5 วงจร FSK มอดูเลเตอร์ และ ดีมอดูเลเตอร์	51
3.6 โครงสร้างเครื่องรับ - ส่งทั่วไป	55
3.6.1 การทำงานของวงจรภาคฟรอนต์เอนด์	57
3.6.2 การทำงานของ MC3361BP	57
3.6.3 การทำงานของวงจรภาคส่ง	57
3.7 วงจรแสดงผล	60
บทที่ 4 การทดลองและผลการทดลอง	
4.1 การทดลองการทำงานของเซนเซอร์	61
4.2 การทดลองการแปลงสัญญาณเอาท์พุตของเซนเซอร์	62
4.3 ผลการทดลองการทำงานของวงจรแปลงอนาลอกเป็นดิจิตอล	62
4.4 ผลการทดลองวงจรมอดูเลเตอร์	65
4.5 ผลการทดลองวงจรเครื่องรับเมื่อเปรียบเทียบกับสัญญาณข้อมูล	67
4.6 ผลการทดลองของเครื่องรับเมื่อเปรียบเทียบกับสัญญาณที่เข้าเครื่องส่ง	69
4.7 ผลการทดลองวงจรดีมอดูเลเตอร์	69
บทที่ 5 บทสรุปและวิจารณ์	72
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 ส่วนประกอบพื้นฐานของตัวแปลง A/D คือ ตัวสุ่ม (sampler) ตัวควันไทซ์ (quantizer) และ ตัวทำเป็นรหัส (code) 2

รูปที่ 2.2 การสุ่มสัญญาณอนาลอกในลักษณะซ้ำคาบ 5

รูปที่ 2.3 รูปคลื่นของการมอดูเลทแบบ ASK 5

รูปที่ 2.4 รูปคลื่นของการมอดูเลทแบบ FSK 6

รูปที่ 2.5 รูปคลื่นของการมอดูเลทสัญญาณแบบ PSK 6

รูปที่ 2.6 FSK Modulation 8

รูปที่ 2.7 การเบี่ยงเบนความถี่ 9

รูปที่ 2.8 สเปคตรัมความถี่ของตัวอย่างที่ 1 10

รูปที่ 2.9 บล็อกไดอะแกรมการสร้างสัญญาณ V_o 15

รูปที่ 2.10 บล็อกไดอะแกรมของคาอดดราเจอร์ดีมอดูเลท 16

รูปที่ 2.11 PLL-FSK Demodulator 17

รูปที่ 2.12 ตัวเติมค่าเชิงเส้น 19

รูปที่ 2.13 ตัวเติมค่าแบบคงที่อันดับศูนย์ 20

รูปที่ 2.14 วงจรพื้นฐานของเฟสล็อกลูป 21

รูปที่ 2.15 แบบจำลองเฟสล็อกลูป 23

รูปที่ 2.16 วงจรขยายแบบเอซีคับเปิ้ล (AC COUPLED) 25

รูปที่ 2.17 คุณลักษณะของทรานซิสเตอร์ระหว่างคอลเลคเตอร์ กับอิมิตเตอร์ ประกอบกับเส้น เอซี และดีซีโหลดลายน์ 25

รูปที่ 2.18 เวฟฟอร์มของกระแสคอลเลคเตอร์สำหรับวงจรขยายแบบคลาส บี 26

รูปที่ 2.19 การไบอัสจุดคิวพอยท์สำหรับวงจรขยายแบบคลาส บี 26

รูปที่ 2.20 วงจรขยายคลาส บี แบบพุชพูล 27

รูปที่ 2.21 (ก) วงจรขยายคลาส ซี แบบใช้มอสเฟส
(ข) วงจรขยายคลาส ซี ด้วยไบจังชั่นทรานซิสเตอร์ (BJT) 29

รูปที่ 2.22 รูปคลื่นที่ขาคอลเลคเตอร์ของวงจรขยายคลาส ซี 29

รูปที่ 2.23 ประสิทธิภาพของฟังก์ชั่นของมุมนำกระแส (2θ) 30

รูปที่ 2.24 นอร์มอลไลซ์กระแสคอลเลคเตอร์สูงสุดที่มุมนำกระแส (2θ) 31

รูปที่ 2.25 นอร์มอลไลซ์ค่ากำลังงานสูญเสียฟังก์ชั่นมุม 2θ 32

รูปที่ 2.26 แอมปลิจูดของฮาร์โมนิกส์ของกระแสเอาท์พุทที่มุมนำกระแส 2θ 33

รูปที่ 2.27 วงจรขยายคลาส ดี 34

รูปที่ 2.28 วงจรสมมูลของวงจรขยายคลาส ดี 34

รูปที่ 2.29 รูปคลื่นเอาท์พุทของวงจรจูนของวงจรคลาส ดี 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 2.30 วงจรต้นแบบวงจรขยายด้วย เฟท ของคลาส ดี 36
รูปที่ 2.31 ระบบแปลงความถี่ของสัญญาณที่ใช้วงจรคูณ 36
รูปที่ 2.32 แสดงการบิดเบือนของสัญญาณในแถบความถี่ 38
รูปที่ 2.33 แสดงการหน่วงเวลาของสัญญาณ 39
รูปที่ 2.34 บล็อกไดอะแกรมแสดงรูปแบบสถาปัตยกรรมของไมโครคอนโทรลเลอร์แบบฮาร์วาร์ด 40
รูปที่ 2.35 แสดงบล็อกไดอะแกรมของกระบวนการไปป์ไลน์ที่ใช้ในไมโครคอนโครลเลอร์ PIC 41
รูปที่ 2.36 แสดงบล็อกไดอะแกรมของกระบวนการไปป์ไลน์เมื่อกระทำคำสั่งการกระโดด 41
รูปที่ 2.37 แสดงการทำงานขาต่างๆ ของ PIC16F628 42
รูปที่ 3.1 (a) บล็อกไดอะแกรมของเครื่องส่ง
(b) บล็อกไดอะแกรมของเครื่องรับ 47
รูปที่ 3.2 (a) วงจรสมมูลย์ของ MPX10GP
(b) รูปการต่อใช้งานเซนเซอร์ 48
รูปที่ 3.3 วงจรภาคเพาเวอร์ซัพพลาย 49
รูปที่ 3.4 แสดงวงจรขยายแรงดัน 49
รูปที่ 3.5 แสดงวงจร์แปลงอนาลอกเป็นดิจิตอล 50
รูปที่ 3.6 แสดงวงจรมอดูเลเตอร์และดีมอดูเลเตอร์ 52
รูปที่ 3.7 บล็อกไดอะแกรมการทำงานของ TCM 3105 55
รูปที่ 3.8 บล็อกไดอะแกรมของวิทยุรับ-ส่ง 55
รูปที่ 3.9 วงจรภาคส่ง 58
รูปที่ 3.10 วงจรภาครับ 59
รูปที่ 3.11 วงจร Display แสดงผล 60
รูปที่ 4.1 แสดงแสดงการต่อทดลองการทำงานเซนเซอร์ระดับน้ำเบอร์ MPX10GP 61
รูปที่ 4.2 ตัวอย่างสัญญาณจากเซนเซอร์ที่แปลงสัญญาณแล้ว 62
รูปที่ 4.3 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 0 โวลท์ 62
รูปที่ 4.4 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 1 โวลท์ 63
รูปที่ 4.5 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 2 โวลท์ 63
รูปที่ 4.6 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 3 โวลท์ 64
รูปที่ 4.7 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 4 โวลท์ 64
รูปที่ 4.8 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 5 โวลท์ 65
รูปที่ 4.9 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 300 Hz 65
รูปที่ 4.10 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 500 Hz 66
รูปที่ 4.11 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 900 Hz 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่		หน้า
รูปที่ 4.12	แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทเป็นข้อมูลที่ได้จากเซ็นเซอร์วัดระดับน้ำ	67
รูปที่ 4.13	แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 60 Hz	67
รูปที่ 4.14	แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 300 Hz	68
รูปที่ 4.15	แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 500 Hz	68
รูปที่ 4.16	แสดงผลการทดลองของเครื่องรับเมื่อเปรียบเทียบกับสัญญาณที่เข้าเครื่องส่ง	69
รูปที่ 4.17	แสดงผลการดีมอดูเลทสัญญาณข้อมูลจากเครื่องรับ	70
รูปที่ 4.18	แสดงผลการดีมอดูเลทที่รับได้เปรียบเทียบกับสัญญาณข้อมูลอินพุทความถี่ 500 Hz	70
รูปที่ 4.19	แสดงผลการดีมอดูเลทที่รับได้เปรียบเทียบกับสัญญาณข้อมูลอินพุทความถี่ 700 Hz	71
รูปที่ 4.20	แสดงผลการดีมอดูเลทเปรียบเทียบกับสัญญาณอินพุต 10100011	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 สเปกตรัมความถี่วิทยุ	2
ตารางที่ 2.2 Bassel Function Table	10
ตารางที่ 2.3 การทำงานของขาต่างๆ ใน PIC16F2X	44
ตารางที่ 2.4 แสดงการเปรียบเทียบหน่วยความจำต่างๆ ระหว่าง PIC16F627 กับ PIC16F628	45
ตารางที่ 3.1 การทำงานของขาต่างๆ ของ TCM310	53
ตารางที่ 3.2 โหมดการทำงานของ TCM3105	54
ตารางที่ 4.1 แสดงผลการทดลองเซนเซอร์ระดับน้ำ	61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารถือว่าเป็นสิ่งจำเป็นอย่างมาก มีการพัฒนารูปแบบในการติดต่อสื่อสารอยู่ตลอดเวลาเพื่อช่วยให้เกิดความสะดวกรวดเร็วในการสื่อสารยิ่งขึ้น โดยเฉพาะเทคโนโลยีการติดต่อสื่อสารแบบไร้สาย ที่พัฒนาจากระบบอนาลอก(Analog) มาเป็นระบบดิจิตอล(Digital) ซึ่งระบบดิจิตอลจะมีประสิทธิภาพในการป้องกันสัญญาณรบกวนได้มากกว่า ราคาของเครื่องมือถูกกว่า ความจุในการใช้งานมีมากกว่า มีความปลอดภัยและความเป็นส่วนตัวดีกว่า มีความประหยัดและสะดวกในการรวมสัญญาณหลายๆสัญญาณเข้าไว้ด้วยกันในการส่งครั้งเดียวดีกว่าแบบอนาลอก และการส่งผ่านข้อมูลแบบดิจิตอลยังสามารถแก้ไขปัญหาการลดทอนของสัญญาณเมื่อมีการส่งระยะทางไกลๆได้อีกด้วย โดยจะใช้ตัวทวนสัญญาณ (Repeater) ในการกู้สัญญาณดั้งเดิมกลับคืนมา เมื่อตัวทวนสัญญาณได้รับสัญญาณดิจิตอลมาแล้ว ก็จะทำการกู้รูปแบบของ “1” และ “0” กลับขึ้นมาอีกครั้ง และส่งต่อออกไปใหม่ ดังนั้นรูปแบบการสื่อสารในปัจจุบันส่วนมากจะเป็นแบบดิจิตอล

โลกเราในปัจจุบันนี้กำลังเผชิญกับภัยธรรมชาติต่างๆมากมาย เช่น แผ่นดินไหว สึนามิ น้ำป่าไหลหลาก หรือ น้ำท่วมฉับพลัน ภัยธรรมชาติเหล่านี้สร้างความเสียหายมากมาย และ ความเสียหายมากมายเหล่านี้ส่วนหนึ่งมาจากการที่ไม่มีการแจ้งเตือนภัยที่ดี และ ไม่รวดเร็วพอ ซึ่งถ้าเราสามารถทราบก่อนล่วงหน้าก็จะสามารถเตรียมการรับมือได้ทันและลดความเสียหายลงได้มาก

โครงงานนี้จึงได้นำเสนอการแก้ไขปัญหาดังกล่าว แต่ในเบื้องต้นนี้จะสนใจการเตือนภัยจากปัญหาน้ำท่วมฉับพลัน ซึ่งอาจจะเกิดจากพายุที่เข้ามาอย่างต่อเนื่อง โดยการใช้เทคนิคของการสื่อสารข้อมูลดิจิตอลแบบไร้สาย เพื่อที่จะสามารถสื่อสารระยะทางไกลๆได้

โดยการนำไปใช้งานคือ เราจะนำเซนเซอร์ระดับน้ำไปติดตั้งไว้ตามแม่น้ำสายหลักต่างๆ เซนเซอร์นี้จะวัดระดับความดันของน้ำ เมื่อน้ำมากขึ้นความดันก็มากขึ้น แล้วก็ส่งข้อมูลของระดับน้ำขึ้นมาที่เครื่องส่ง ส่วนเครื่องรับก็จะนำไปติดตั้งไว้ที่สถานที่ที่สำคัญ เช่น ศูนย์ควบคุมการปิดเปิดประตูเขื่อน เมื่อระดับน้ำเพิ่มขึ้นอย่างรวดเร็วก็จะสามารถระบายน้ำได้ทัน หรือ ศูนย์เตือนภัยในเขตชุมชนที่อยู่ติดแม่น้ำ เมื่อระดับน้ำผิดปกติก็รีบประกาศให้ชุมชนเตรียมตัวรับมือได้ทัน ความเสียหายต่างๆก็จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการที่เกี่ยวข้อง

2.1 ความรู้เบื้องต้นเกี่ยวกับ การสื่อสารข้อมูล

การสื่อสารข้อมูล (Data Communication) หมายถึง การแลกเปลี่ยนข้อมูลระหว่างอุปกรณ์ 2 ชนิด ข้อมูลในที่นี้มักได้แก่ข้อมูลดิจิตอลที่มีค่า "0" และ "1" องค์ประกอบหลักที่สำคัญในการสื่อสารข้อมูลคือ ผู้ส่งข่าวสาร (Sender) ผู้รับข่าวสาร (Receiver) และตัวกลางในการส่งผ่านข้อมูล (Medium) โดยช่องทางการสื่อสารข้อมูลระหว่างอุปกรณ์ 2 ตัว แบ่งออกได้เป็น 3 ประเภท

1. การสื่อสารทางเดียว (Simplex) เป็นการส่งแบบที่อุปกรณ์ปลายทางในแต่ละด้านจะทำหน้าที่เป็นเฉพาะตัวส่งหรือตัวรับอย่างใดอย่างหนึ่งเท่านั้น เมื่ออุปกรณ์ชุดหนึ่งส่งข้อมูล อุปกรณ์อีกชุดจะต้องเป็นผ่านรับข้อมูลเสมอ จะไม่มีการเปลี่ยนแปลงทิศทางของข้อมูล

2. การสื่อสารกึ่งสองทาง (Half Duplex) จะมีการใช้อุปกรณ์ปลายทางที่พัฒนาขึ้นมาให้มีความสามารถทั้งรับและส่งได้ แต่ไม่สามารถรับและส่งพร้อมกันได้ ต้องผลัดกันเป็นตัวรับและตัวส่ง กล่าวคือ มีการเปลี่ยนเส้นทางในการส่งข้อมูลได้คนละเวลา หรือข้อมูลจะไหลไปในทิศทางเดียว ณ เวลาใด ๆ

3. การสื่อสารสองทาง (Full Duplex) ทั้งสองด้านสามารถส่งและรับข้อมูลได้ในเวลาเดียวกัน กล่าวคืออุปกรณ์ปลายทางเป็นผู้รับและผู้ส่งในเวลาเดียวกันได้

2.2 สเปกตรัมความถี่วิทยุ

พลังงานคลื่นแม่เหล็กไฟฟ้าซึ่งเหมาะที่จะนำมาใช้สำหรับการติดต่อสื่อสาร เราเรียกว่าคลื่นวิทยุ คลื่นวิทยุนี้ครอบคลุมความถี่กว้างขวางรวมเรียกว่า สเปกตรัมความถี่วิทยุ (Frequency spectrum) ซึ่งมีขอบเขตโดยประมาณจาก 10 กิโลเฮิรตซ์ ถึง 300,000 เมกะเฮิรตซ์ และได้แบ่งตามความถี่ต่างๆพร้อมทั้งกำหนดชื่อเรียกขานดังตารางที่ 2.1

ชื่อเรียกขาน	ชื่อย่อ	แถบความถี่
ความถี่ต่ำมาก (Very Low Frequency)	VLF	10 kHz - 30 kHz
ความถี่ต่ำ (Low Frequency)	LF	30 kHz - 300 kHz
ความถี่กลาง (Medium Frequency)	MF	300 kHz - 3,000 kHz
ความถี่สูง (High Frequency)	HF	3 MHz - 30 MHz
ความถี่สูงมาก (Very High Frequency)	VHF	30 MHz - 300 MHz
ความถี่สูงยิ่ง (Ultra High Frequency)	UHF	300 MHz - 3,000 MHz
ความถี่สูงยอด (Super High Frequency)	SHF	3 GHz - 30 GHz
ความถี่สูงขีบ (Extremely High Frequency)	EHF	30 GHz - 300 GHz

ตารางที่ 2.1 สเปกตรัมความถี่วิทยุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเครื่องส่งวิทยุกระจายเสียงระบบ AM จะส่งออกอากาศในช่วงความถี่ตั้งแต่ 550 กิโลเฮิรตซ์ ถึง 1,600 กิโลเฮิรตซ์นั้นจัดอยู่ในย่านความถี่กลาง (MF) แต่เครื่องส่งวิทยุสื่อสารระบบ SSB จะอยู่ในช่วงความถี่ตั้งแต่ 3 - 30 เมกะเฮิรตซ์ ซึ่งจัดอยู่ในย่านความถี่สูง (HF) และเครื่องส่งวิทยุกระจายเสียงระบบ FM จะอยู่ในช่วงความถี่ตั้งแต่ 88 - 188 เมกะเฮิรตซ์ ซึ่งจัดอยู่ในย่านความถี่สูงมาก (VHF)

ส่วนความถี่ที่อยู่สูงเหนือสเปกตรัมความถี่วิทยุขึ้นไปได้แก่ สเปกตรัมของคลื่นความร้อนซึ่งอยู่ระหว่าง 10^6 เมกะเฮิรตซ์ ถึง 3.9×10^8 เมกะเฮิรตซ์ และสเปกตรัมของคลื่นแสงซึ่งอยู่ระหว่าง 3.9×10^8 เมกะเฮิรตซ์ ถึง 7.9×10^8 เมกะเฮิรตซ์ สำหรับความถี่ย่าน ไมโครเวฟนั้นอยู่ในช่วง 1 กิกะเฮิรตซ์ ขึ้นไป

2.3 การสื่อสารระยะทางไกล

การติดต่อสื่สารระยะทางไกลมากๆ นั้นจะนิยมใช้คลื่นในย่านความถี่ HF หรือ คลื่นฟ้า (Sky wave) คลื่นในย่านความถี่นี้สามารถหักเหกลับลงมาจากชั้นบรรยากาศไอโอโนสเฟียร์ (Ionosphere) ได้ การสื่อสารโดยอาศัยคลื่นฟ้า เช่นนี้อาจจะเป็นแบบ "ฮอปเดี่ยว" หรือ "หลายฮอป" ก็ได้ ส่วนมากต้องใช้กำลังส่งสูงพอสมควรประมาณ 100 วัตต์ขึ้นไป

การสื่อสารระยะทางไกลนี้ เหมาะมากกับกรณีที่การสื่อสารอื่นๆไปไม่ถึง เช่นข่ายสารโทรศัพท์ยังไปไม่ถึง เนื่องจากการสื่อสารแบบนี้ประหยัด ใช้งานสะดวกและมีความแน่นอนพอสมควร จึงแทบจะกล่าวได้ว่าการติดต่อสื่อสารในระบบนี้จะมีบทบาทสำคัญเมื่อพ้นระยะการสื่อสารด้วยคลื่น VHF

การที่จะบังคับให้คลื่นเดินทางขึ้นไปแล้วหักเหกลับลงมาเพื่อให้สามารถติดต่อสื่อสารกันระหว่างสถานีทั้งสองนั้นจะขึ้นอยู่กับองค์ประกอบที่สำคัญก็คือ

1. ต้องส่งสัญญาณในช่วงเวลาที่ชั้นบรรยายกาศไอโอโนสเฟียร์ อยู่ในสภาวะที่สามารถหักเหสัญญาณกลับลงมาได้
2. ต้องเลือกความถี่ใช้งานให้เหมาะสมกับช่วงเวลาขณะนั้น และ สัมพันธ์กับมุมยิง
3. คลื่นจากสายอากาศของเครื่องส่งมีมุมยิงที่ถูกต้อง

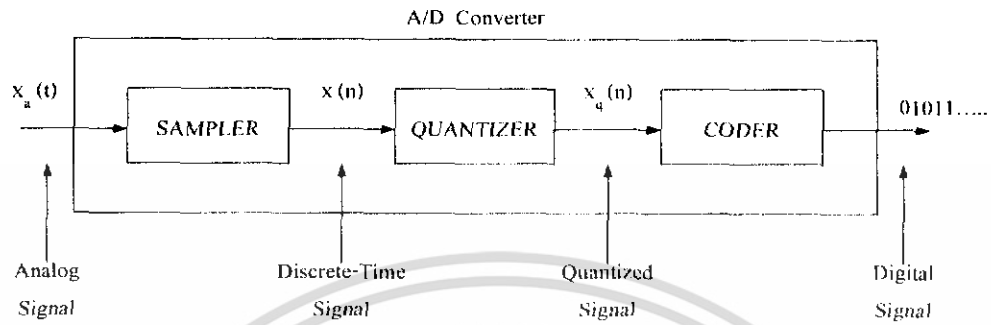
สภาวะบรรยากาศไอโอโนสเฟียร์นั้นเปลี่ยนแปลงอยู่ตลอดเวลา ในช่วงเวลากลางคืนจะส่งได้ไกลกว่าช่วงเวลางตอนกลางวัน เนื่องจากอิตรอนอิสระที่เป็นตัวทำให้คลื่นสะท้อนมีความหนาแน่นน้อยกว่าตอนกลางวัน ทำให้จุดการสะท้อนของคลื่นสูงส่งผลให้สามารถส่งสัญญาณได้ไกลขึ้น และการเปลี่ยนแปลงของสภาวะบรรยายกาศนี้ก็จะมีผลให้บางช่วงสามารถช่วยให้สื่อสารได้ แต่บางช่วงก็ปิดกั้นทำให้สื่อสารไม่ได้ ซึ่งเป็นปัญหาสำคัญของการสื่อสารทางคลื่นฟ้า

2.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog-to-Digital Conversion)

การวิเคราะห์และออกแบบระบบเพื่อนำไปประยุกต์ใช้ในการประมวลสัญญาณ แต่เนื่องจากสัญญาณเกือบทั้งหมดที่เราสนใจ เป็นสัญญาณอนาลอก ในกรณีที่นำเอาระบบเวลาเป็นช่วงมาใช้แทนระบบต่อเนื่อง หรือต้องการเพียงเลียนแบบระบบให้สามารถทำงานประมวลสัญญาณได้เหมือนกัน ก่อนอื่นเราจำเป็นต้องเปลี่ยนสัญญาณเหล่านี้ให้อยู่ในรูปดิจิตอล คือ แปลงมันให้อยู่ในรูปซีเควนซ์ของตัวเลขที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีความละเอียดที่จำกัดขั้นตอนดำเนินการนี้เรียกว่า การแปลงอนาลอกเป็นดิจิตอล (analog-to-digital (A/D) conversion) โดยใช้อุปกาณ์ที่เรียกว่า ตัวแปลง A/D (A/D converter (ADC))



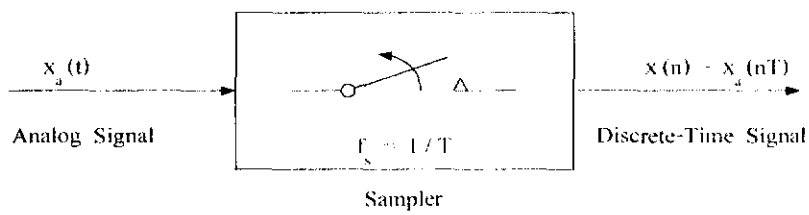
รูปที่ 2.1 ส่วนประกอบพื้นฐานของตัวแปลง A/D คือ ตัวสุ่ม (sampler) ตัวควันไทซ์ (quantizer) และ ตัวทำเป็นรหัส (code)

ในทางปฏิบัติ การแปลง A/D จะประกอบด้วยกระบวนการ 3 ขั้น ดังรูปที่ 2.1

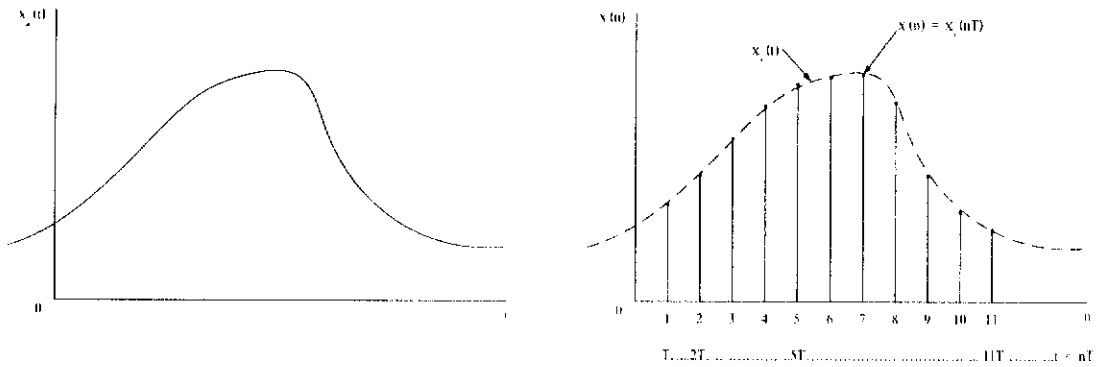
ก) การสุ่มตัวอย่าง (sampling) เป็นการแปลงสัญญาณเวลาต่อเนื่องเป็นสัญญาณเวลาเป็นช่วงโดยดึงตัวอย่าง (sample) ของสัญญาณเวลาเป็นช่วงที่ช่วงเวลาที่เท่ากัน ถ้า $x_a(t)$ เป็นอินพุทสู่ sample เอาท์พุทของมันจะเป็น $x_a(nT) \equiv x(n)$ เมื่อ T คือ คาบการสุ่มตัวอย่าง (sampling period) ดังรูปที่ 2.1

ข) การควันไทซ์ (quantizion) เป็นการเปลี่ยนแปลงจากสัญญาณเวลาต่อเนื่องขนาดต่อเนื่องซึ่งเรียกว่าสัญญาณสุ่ม (sample signal) เป็นสัญญาณเวลาช่วงขนาดเป็นช่วง (ดิจิตอล) ค่าของแต่ละตัวอย่างของสัญญาณจะถูกแทนโดย ค่าที่เลือกจากเซทของค่าที่เป็นไปได้ที่จำกัดความแตกต่างระหว่างที่ยังไม่ถูกควันไซท์ x(n) กับเอาท์พุทที่ถูกควันไซท์แล้ว $x_q(n)$ จะเรียกว่าความผิดผลาดจากควันไทซ์ (quantizasion error)

ค) การเข้ารหัส (coding) แต่ละค่าของ $x_q(n)$ จะถูกแทนโดยซีเควนซ์ขอเลขฐานสองจำนวน n บิท (bit)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



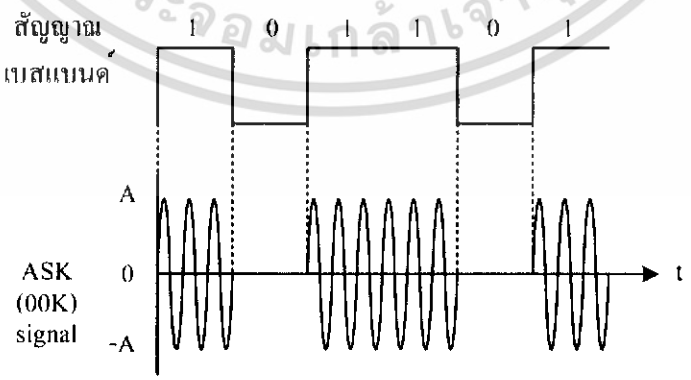
รูปที่ 2.2 การสุ่มสัญญาณอนาลอกในลักษณะซ้ำคาบ

2.5 เทคนิคการมอดูเลทสัญญาณดิจิตอล

การสื่อสารในปัจจุบันได้นิยมนำเอาการมอดูเลทสัญญาณแบบ ดิจิตอลมอดูเลชั่น มาใช้อย่างแพร่หลาย เนื่องจากระบบดิจิตอลให้ค่าความแน่นอนน่าเชื่อถือสูงกว่าระบบอนาล็อก (Analog System) และมีการรบกวนจากสัญญาณรบกวน (Noise) ต่ำ ซึ่งในปัจจุบันอุปกรณ์ด้านระบบดิจิตอลได้มีการพัฒนาก้าวหน้าไปมากทำให้ต้นทุนในการผลิตลดต่ำลง นอกจากนี้การมอดูเลทแบบดิจิตอลยังสามารถทำการเข้ารหัส (Encode) ก่อนทำการมอดูเลทสัญญาณดิจิตอลมี 3 วิธีใหญ่ ๆ คือ ASK , FSK และ PSK

2.5.1 การเปลี่ยนขนาดสัญญาณดิจิตอล (Amplitude Shift Keying : ASK)

รูปคลื่นสัญญาณที่ได้จากการมอดูเลทวิธีนี้จะเปลี่ยนแปลงขนาดสัญญาณ (Amplitude) ตามระดับสัญญาณดิจิตอลที่เปลี่ยนไป ดังรูปที่2.1 ที่ระดับสัญญาณดิจิตอลมีสถานะลอจิก "0" สัญญาณที่ได้จะมีขนาดเป็น "0" และจะมีขนาดเปลี่ยนแปลงไปตามคลื่นพาห์ (Carrier) เมื่อระดับลอจิกมีสถานะเป็น "1" ข้อดีของวิธีการนี้ คือมีส่วนประกอบวงจรง่าย ราคาถูก แต่ข้อเสียคือข้อมูลที่รับเข้ามาภาคปลายทางผิดพลาดได้ง่าย เนื่องจากสัญญาณรบกวนที่มีผลต่อขนาดของสัญญาณ อีกทั้งอัตราการส่งข้อมูลได้ไม่สูงมาก

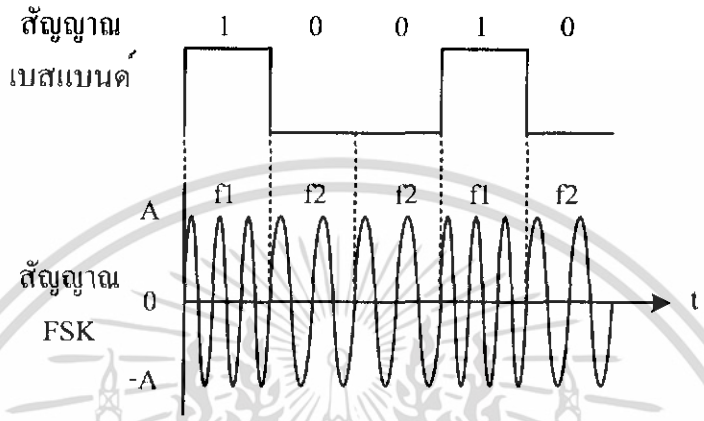


รูปที่ 2.3 รูปคลื่นของการมอดูเลทแบบ ASK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying : FSK)

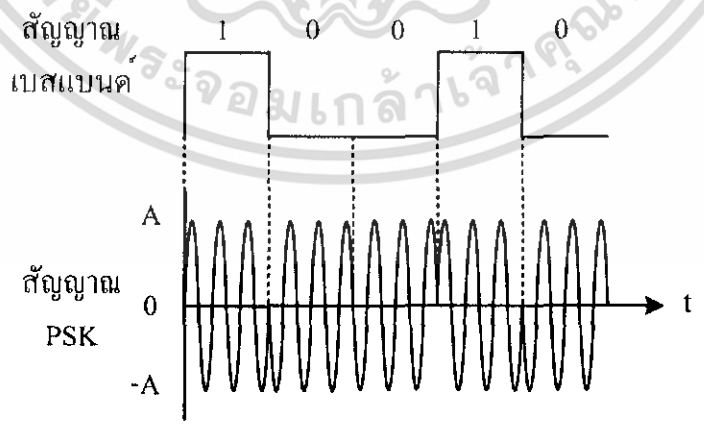
รูปคลื่นสัญญาณที่ได้จากวิธีการนี้ สัญญาณดิจิตอลจะควบคุมความถี่ของสัญญาณที่ได้จากวงจรมอดูเลชั่น โดยรูปคลื่นจะมีความถี่สูงเมื่อระดับสัญญาณดิจิตอลเป็น "1" และมีความถี่ต่ำเมื่อระดับสัญญาณเป็น "0" ซึ่งมีอัตราการส่งข้อมูลต่ำพอ ๆ กับวิธีการ ASK มีข้อดีเหมือนกัน แต่ทนทานต่อสัญญาณรบกวนได้สูงกว่า



รูปที่ 2.4 รูปคลื่นของการมอดูเลทแบบ FSK

2.5.3 การเปลี่ยนเฟสตามสัญญาณเชิงเลข (Phase Shift Keying :PSK)

รูปคลื่นของสัญญาณที่ได้จากวิธีการนี้ สัญญาณดิจิตอลจะควบคุมการเปลี่ยนเฟสของสัญญาณโดยเมื่อมีการเปลี่ยนแปลงระดับของสัญญาณดิจิตอล ก็จะมีการเปลี่ยนแปลงเฟสของสัญญาณคลื่นพาห์เป็นตรงกันข้าม (180 องศา) วงจรภาครับและส่งมีความยุ่งยากมาก ราคาสูง



รูปที่ 2.5 รูปคลื่นของการมอดูเลทสัญญาณแบบ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การมอดดูเลทแบบ FSK

2.6.1 ตัวกำเนิดสัญญาณ FSK (FSK Generator)

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะเป็นข้อมูลไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีทางด้านอินพุทเปลี่ยนแปลงจากสถานะโลจิก "1" เป็นโลจิก "0" (หรือในทางกลับกันคือโลจิก "0" เป็นโลจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกัน คือความถี่โลจิก "1" หรือ Mark Frequency (fm)และความถี่ที่โลจิก "0" หรือ Space Frequency (fs) การเปลี่ยนแปลง (หรือการเลื่อน) ของแต่ละครั้งจะเกิดขึ้นเมื่อสถานะของโลจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอลนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า "อัตราบิท" Bit Rate มีหน่วยเป็นบิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาท์พุทของ FSK Generator เรียกว่า "อัตราบอด" หรือ Baud Rate ดังนั้นการส่งขอมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอดเสมอ

2.6.2 FSK Bandwidth

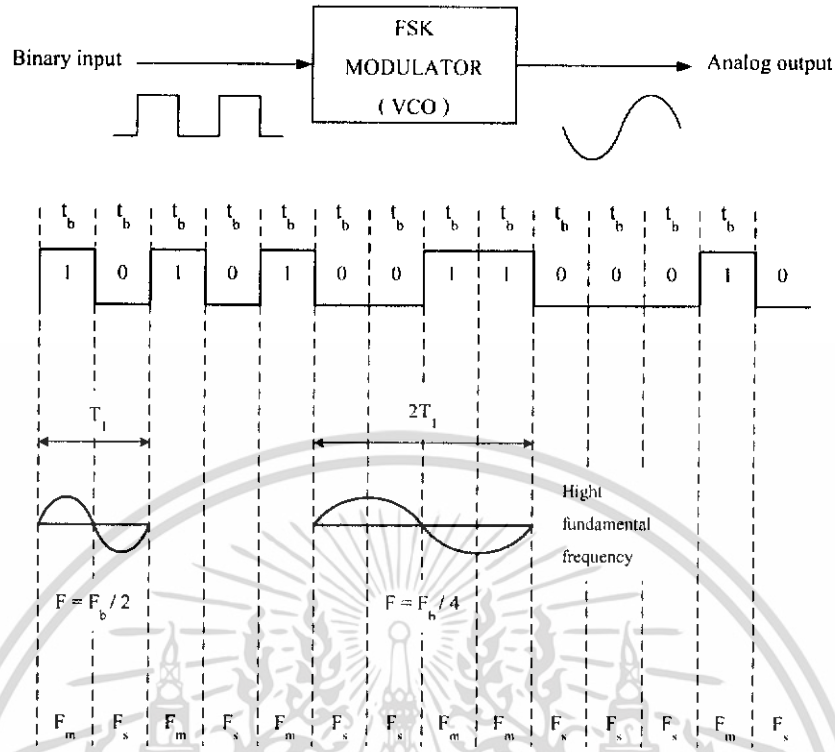
ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อก หรือสัญญาณความถี่นั้นแบนด์วิทเป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับ FM ดังนั้นการอธิบายถึงสูตรต่างๆ ก็ใช้หลักการของ FM ทุกอย่าง

จากรูปที่ 2.6 แสดงถึงตัว FSK มอดูเลเอร์ ซึ่งใช้หลักการเดียวกันกับเอฟเอ็มมอดูเลเตอร์คือใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงเร็วที่สุดของสัญญาณอินพุทจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น "1" และ "0" สลับกันซึ่งก็คือสัญญาณสี่เหลี่ยมนั้นเอง (Square Wave) เป็นสัญญาณในช่วง T ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียว ความถี่สูงสุดของสัญญาณดิจิตอลที่องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ

$$F_{o\,max} = \text{Bit Rate} / 2$$

เมื่อ $F_{o\,max}$ = ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 FSK Modulation

ความถี่กลาง (Center Frequency = fo) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (fm) กับ Space Frequency (fs) ดังรูป

โลจิก "1" ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก fo ไป fs จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนไปมา ระหว่าง fm กับ fs เนื่องจากที่กล่าวมาแล้วว่า FSK นั่นคือการมอดูเลทแบบ FM ดังนั้น ดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

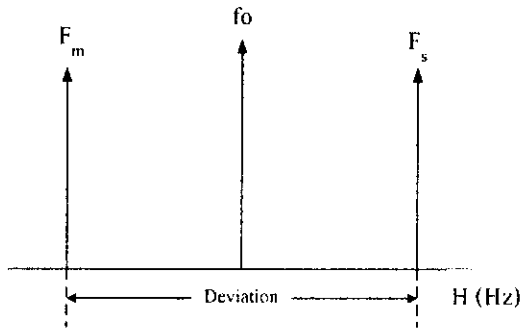
$$MI = \Delta F / Fa$$

เมื่อ MI = ดัชนีการมอดูเลท

ΔF = การเบี่ยงเบนของความถี่ใดๆ จากความถี่กลาง (Hz)

Fa = ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิทกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถกมอดูเลทแล้ว และความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลทค่า ΔF เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง fo และ fm หรือ fo และ fs ซึ่งก็คือครึ่งหนึ่งของความแตกต่างระหว่าง fm และ fs นั่นคือ

$$\Delta F = (fs-fm) / 2$$

การเบี่ยงเบนของความถี่สูงสุด ขึ้นอยู่กับขนาด หรือ แอมพลิจูดของสัญญาณที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางโลจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5V) หรือถ้าโลจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับโลจิก "0" เช่นกัน (เช่น 0V) ดังนั้นความถี่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนคงที่ และ อยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ Fa เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุทซึ่งจะทำให้แบนด์วิทกว้างที่สุดเมื่อ Fa = Bit Rate / 2 เท่านั้นเพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = [(fs - fm) / 2] * [fb / 2]$$

$$MI = (fs - fm) / Fb$$

เมื่อ fs – fm = ความถี่เบี่ยงเบนสูงสุด

Fb = อัตราบิทของไบนารีอินพุท

ในการส่งสัญญาณ FM โดยทั่ว ๆ ไปความกว้างของแบนด์วิท จะแปรผันตรงกับค่า MI โดยทั่ว ๆ ไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็นเอฟเอ็มแบบแคบ (Narrow FM) ค่าแบนด์วิทที่แคบที่สุดเรียกว่า Minimum Nyquist Bandwidth (Fn) ตัวอย่างเช่นการสร้างข้อมูลแบบ FSK มีความถี่กลาง (fo) = 7KHz ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่สเปช (fs) = 6 KHz และความถี่มาร์ค (fm) = 8 KHz ข้อมูลไบนารีมีอินพุทมี Bit Rate = KHz สามารถหา Fn ได้ดังนี้

$$MI = (fs - fm) / Fb$$

$$MI = (6\ KHz - 8\ KHz) / 2\ Khz$$

$$MI = (2\ KHz) / 2\ KHz$$

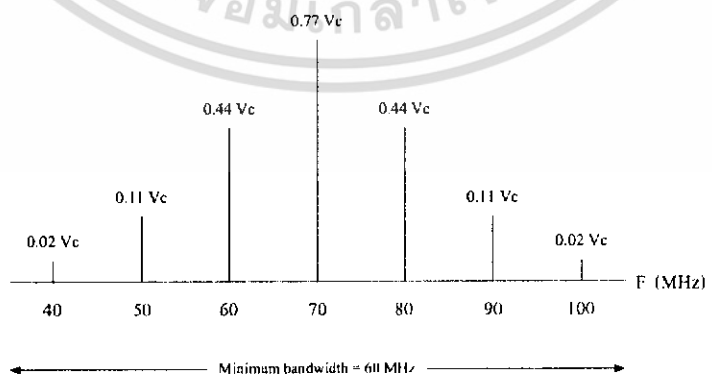
$$MI = 1.0$$

จากตาราง Bassel Function Table ในตารางที่ 1 เมื่อ MI = 1.0 จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง (fo) ช่วงละ 1 Khz (ซึ่งก็คือ Fb/2 เมื่อ Fb คือ Bit Rate = 2 KHz) สามารถเขียนเป็นสเปคตรัมความถี่ได้ดังรูปที่ 2.8

MI	J0	J1	J2	J3	J4
0.0	1.00				
0.25	0.98	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.56	0.23	0.06	0.01
2.0	0.22	0.58	0.35	0.13	0.03

ตารางที่ 2.2 Bassel Function Table

มีข้อน่าสังเกต คือ MI ที่มีค่าอยู่ระหว่าง 0.5 ถึง 1.0 จะทำให้แบนด์วิทมีค่าประมาณ 2-3 เท่าของ Bit Rate เสมอ



รูปที่ 2.8 สเปคตรัมความถี่ของตัวอย่างที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การมอดูเลทสัญญาณ FM

2.7.1 การมอดูเลทเชิงความถี่ (Frequency Modulation : FM)

สมการของความถี่ชั่งขณะที่ถูกการมอดูเลททำให้ขนาดความถี่เปลี่ยนไปสามารถแสดงได้คือ

$$W_t(t) = W_c + K_f m(t) \quad (1)$$

W_c = ความถี่ศูนย์กลาง

W_t = ความถี่เปลี่ยนไปจากการมอดูเลท

K_f = ค่าคงที่ของการมอดูเลท

$m(t)$ = ความถี่ที่มอดูเลท

จากเฟสซึ่งมีความสัมพันธ์กับความถี่คือ

$$\theta(t) = \int W\,dt \quad (2)$$

W = ความถี่เชิงมุม = $2\pi f$

$\theta(t)$ = เฟสเวลาใดๆ

θ_0 = เฟสเวลาท่ากับ 0

ดังนั้นสมการที่ (1) แสดงในรูปเฟสเวลาใดๆ

$$\phi(t) = \int W_t(t)\,dt \quad (3)$$

$$= W_c t + \int K_f m(t)\,dt + \theta_0 \quad (4)$$

จากสมการที่ (1) ถ้าหากไม่สนใจเฟสที่เวลาเท่ากับ 0 แสดงคลื่นเอฟเอ็มเวลาใดๆ

$$V_{FM}(t) = V_0 \cos\left[W_c t + \int K_f m(t)\,dt \right] \quad (5)$$

สำหรับความถี่ที่มอดูเลท $f(t) = a \cos W_m t$ สมการที่ (1) เขียนใหม่ได้คือ

$$W_t = W_c + a K_f \cos W_m t \quad (6)$$

$$W_t = W_c + \Delta W \cos W_m t \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่าคงที่ของการมอดูเลทคูณกับแอมปลิจูดของ m(t) ได้เท่ากับ ΔW หรือความถี่การเบี่ยงเบน จากการมอดูเลท (Frequency deviation) เฟสของสมการ (7) แสดงได้คือ

$$\theta(t) = \int (W_c + \Delta W \cos W_m t)\, dt \qquad (8)$$

$$= W_c t + (\Delta W / W_m) \sin W_m t \qquad (9)$$

กำหนดให้ $\beta = \Delta W / W_m$ หรือเรียกว่า ค่ามอดูเลทอินเด็กซ์ (modulation index)
ดังนั้นคลื่นสมการเอฟเอ็มเวลาใด ๆ สำหรับสัญญาณในมอดูเลทแสดงได้

$$V_{FM}(t) = V_0 \cos [W_c t + \beta \sin W_m t] \qquad (10)$$

จากสมการที่ (10) สามารถกระจายได้

$$V_{FM}(t) = V_0 \cos W_c t \cos(\beta \sin W_c t) - V_0 \sin W_c t \sin(\beta \sin W_c t) \qquad (11)$$

แทน $\cos(\beta \sin x)$ และ $\sin(\beta \sin x)$ สามารถกระจายให้อยู่ในรูปของฟังชั่นเบสเซล (Bessel function) ได้ดังนี้

$$\cos(\beta \sin x) = Jo(\beta) + 2\sum J_{2n}(\beta) \cos 2nx \qquad (12)$$

$$\sin(\beta \sin x) = 2\sum J_{2n}(\beta) \sin(2n+1)x \qquad (13)$$

โดย
$$J_n(\beta) = \sum (-t)^m (\beta / 2)^{2m+n} \qquad (14)$$

แทนค่าอนุกรมดังกล่าวในสมการที่ (5) จะได้

$$V_{FM}(t) = V_0 J_0(\beta) \cos W_c t + V_0 \sum J_{2n+1}(\beta) [\cos(W_c + (2n+1) W_m) t - \cos(W_c - (2n+1) W_m) t] + V_0 \sum J_{2n}(\beta) [\cos(W_c + 2n W_m) t + \cos(W_c - 2n W_m) t] \qquad (15)$$

จากคุณสมบัติสมมาตร (symmetry) ของเบสเซลฟังก์ชั่น $J_{-n}(\beta) = (-1)^2 J_n(\beta)$ สามารถเขียนสมการที่ (15) ได้ดังนี้

$$V_{FM}(t) = V_0 \sum J_n(\beta) + n W_m \cos(W_c) t \qquad (16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของแต่ละเทอมในสมการที่ (11) จะขึ้นอยู่กับดัชนีการมอดูเลชั่น และ ฟังก์ชั่นของเบสเซลโดยรูปที่ 2.8 ได้แสดงขนาดของฟังก์ชั่นที่มีลำดับ (order) ต่างๆ ซึ่งเป็นฟังก์ชั่นของ β ถ้าค่าของ J ที่เป็นลบ หมายถึงขนาดที่มีเฟส 180° ดังนั้นแสดงว่าสเปคตรัมของสัญญาณ FM จะประกอบด้วยเทอมที่ความถี่ ของคลื่นพาห์ และ จำนวนของไซด์แบนด์ (side band) จำนวนนับไม่ถ้วนอยู่ห่างจากคลื่นพาห์เท่ากับ W_c (+/-) n W_m โดยไซด์แบนด์ที่ลำดับเท่ากันจะอยู่ห่างจากตัวพาห์ 2 ข้างสมมาตรกัน

2.7.2 แบนด์วิดท์ของสัญญาณเอฟเอ็ม

ในกรณีสัญญาณเอฟเอ็มที่มี $\beta << 1$หรือสัญญาณเอฟเอ็มแบนด์วิดท์แคบ (narrowband) สามารถหาแบนด์วิดท์ไซด์แบบนี้ ได้จากสมการ (11) ในกรณี $\beta << 1$ แล้วแต่ละเทอมประมาณได้ว่า

$$\cos (\beta \sin x\, W_m t) = \cos \beta = 1 \qquad (17)$$

$$\sin (\beta \sin x\, W_c t) = \beta \sin x\, W_m t \qquad (18)$$

ทำให้สมการของเอฟเอ็มที่มีแถบความถี่แคบเขียนได้ใหม่เป็น

$$V_{FM} (t) = V_0 \cos W_c t - V_0 \sin W_c t\, \beta \sin W_c t \qquad (19)$$

หรือ

$$V_{FM} (t) = V_0 \cos W_c t + \tfrac{1}{2} [\cos (W_c + W_m) t - \cos (W_c - W_m) t] \qquad (20)$$

จากสมการที่ (20) แสดงได้ว่าในกรณีสัญญาณเอฟเอ็มที่มีแถบความถี่แคบจะประกอบด้วยคลื่นพาห์และไซด์แบนด์ 1 คู่ห่างจากคลื่นพาห์เท่ากับ (+/-)W_m หรือ (+/-)f_m (Hz) ดังนั้นแบนด์วิดท์ของสัญญาณเอฟเอ็มกรณี $\beta << 1$ เขียนได้ดังนี้

$$BW = 2 f_m \qquad (21)$$

ในกรณี $\beta > 1$ หรือสัญญาณเอฟเอ็มแบนด์วิดท์กว้าง ถึงแม่สมการที่ (16) จำนวนไซด์แบนด์ของเอฟเอ็มจะเนจำนวนนับไม่ถ้วนก็ตามแต่ในทางปฏิบัติ เราจะคิดแบนด์วิดท์ที่ใช้เฉพาะจำนวนกำลังงานส่วนใหญ่บรรจุอยู่ จากสมการที่ (16) ถ้าเราใช้จำนวนไซด์แบนด์เท่ากับ β+1 ออกไปจากคลื่นพาห์ทั้ง 2 ข้างแล้วจำนวนกำลังงานของสัญญาณเอฟเอ็มจะมีอยู่เท่ากับ 98% ของกำลังงานทั้งหมด หรือเขียนได้ว่าแบนด์วิดท์ของสัญญาณเอฟเอ็มจะเกิดขึ้นจากการมอดูเลทของสัญญาณไซด์เท่ากับ BW

$$BW = 2 (\beta + 1) f_m \qquad (22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือจากการกำหนด $\beta = f_d / f_m$

$$BW = 2 (f_d + f_m) \quad (23)$$

โดยกล่าวได้ว่าแบนด์วิดท์ของเอฟเอ็มเท่ากับ 2 เท่าของผลรวมของความถี่เบี่ยงเบนกับความถี่ที่มอดูเลทซึ่งผลของสมการ (23) เรียกว่ากฎของคาร์สัน (Carson' rule) ในกรณีสัญญาณที่เข้ามามอดูเลทมีหลายความถี่สเปคตรัมของสัญญาณเอฟเอ็มที่เกิดขึ้นจะมีความซับซ้อนมากแต่อย่างไรก็ตามความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลทยังคงมีผลทำให้แบนด์วิดท์กระจายมากที่สุดดังนั้น เราสามารถใช้กฎของคาร์สันในการหาแบนด์วิดท์โดยเขียนได้จาก

$$BW = 2 (f_{d\,max} + f_{m\,max}) \quad (24)$$

$f_{d\,max}$ = ความถี่เบี่ยงเบนสูงสุด

$f_{m\,max}$ = ความถี่มอดูเลทสูงสุด

2.8 การดีมอดูเลทสัญญาณ FM

การดีมอดูเลทสัญญาณ FM มีหลายวิธี ในที่นี้จะกล่าวถึงการดีมอดูเลทแบบการแปลงสัญญาณ FM เป็น AM แบบควอดดราเจอร์ซึ่งพบมากในการดีมอดูเลทสัญญาณ FM บรอดคาส จากสมการของ FM ดังแสดงที่สมการที่ (5) คือ

$$V_{FM} (t) = V_0 \cos [W_c t + \int K_f \, m(t) \, dt] \quad (25)$$

จากการอนุพันธ์สมการข้างบนแล้วจะได้

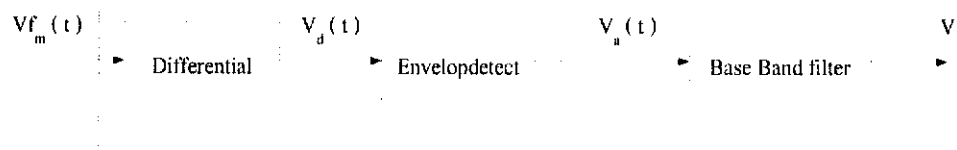
$$V_d(t) (d V_{FM} / dt) (t) = -Vo \cos [W_o + K_f(t)] \sin (W_o t + \int K_f(t) dt] \quad (26)$$

ถ้า $K_f(t) << W_o$ แล้วในสมการข้างบนจะเป็นสัญญาณ AM ที่มีเอ็นวิโลบเท่านั้น

$$V_a(t) = V_o [W_o + K_f(t)] \quad (27)$$

ซึ่งแสดง Block diagram การสร้างสัญญาณ V_o ได้ดังรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 บล็อกไดอะแกรมการสร้างสัญญาณ V_a

ดังนั้นถ้าสัญญาณ V_a (t) ผ่านวงจรกรองสัญญาณความถี่ต่ำผ่าน ก็จะได้สัญญาณเฉพาะเบสแบนด์ คือ V_o(t) เขียนใหม่ได้เป็น

$$V_o(t) = V_o K_f(t) \qquad (28)$$

ซึ่งการประกอบกันระหว่างการหาอนุพันธ์ทำการเอ็นวิโลปดีเทคนี้เราเรียกว่าวงจรดีสคริมิเนเตอร์ สำหรับวงจรดิสคริมิเนเตอร์ที่ใช้ในทางปฏิบัติสามารถใช้เทคนิคต่างๆ สำหรับการอนุพันธ์ สำหรับวงจรที่อธิบายใช้การอนุพันธ์โดยการหน่วงเวลา (time delay differentiation) และ การดีเทคทางเอ็นวิโลปนั้นใช้แบบซิงโครนัสดีมอดูเลเตอร์ ซึ่งเราเรียกการทำงานร่วมกันดังกล่าวว่าเป็น การดีมอดูเลทสัญญาณ FM แบบควอดคราเจอร์ดีมอดูเลเตอร์ (Quadrature demodulator) สามารถแสดงได้โดยการประมาณค่าอนุพันธ์ของเฟสโดย

$$\frac{d\phi}{dt} = \lim(\tau \to 0)\left[\phi(t) - \phi(t-\tau)\right] \qquad (29)$$

$$\frac{d\phi}{dt} = \frac{1}{\tau}\left[\phi(t) - \phi(t-\tau)\right] \qquad (30)$$

เนื่องจากเราทราบว่าสัญญาณ FM เฟสเปลี่ยนแปลงไปตามสัญญาณเบสแบนดีมอดูเลท คือ

$$\phi(t) = K \int m(t)\, dt \qquad (31)$$

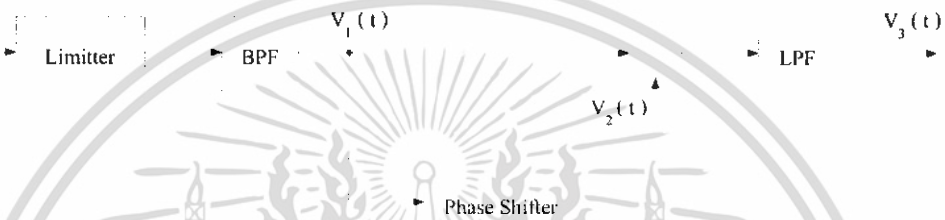
ดังนั้นสามารถเขียนได้ว่า

$$\phi(t) - \phi(t-\tau) = \tau K m(t) \qquad (32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของค่าความต่างเฟส โดยการหน่วงเวลาไปจะทำให้สัญญาณเบสแบนด์ที่มอดูเลทได้เช่นเดียวกับการอนุพันธ์โดยตรง สำหรับการหน่วงเวลา $\phi(t)-\phi(t-\tau)$ ได้จากการคูณสัญญาณ $\phi(t)$ เข้ากับ $\phi(t-\tau)$ แล้วกรองด้วยวงจรกรองความถี่ต่ำ (Low pass filter : LPF) ซึ่งเป็นการมอดูเลทแบบ AM แบบซิงโครนัสมอดูเลเตอร์

ซึ่งบล็อกไดอะแกรมสำหรับควอดดราเจอร์ดีมอดูเลทได้ดังรูป โดยวงจรลิมิตเตอร์ (limiter) และวงจรกรองความถี่กลาง (Band pass filter : BPF) เพื่อกำจัดระดับสัญญาณที่อาจจะเปลี่ยนตามเวลา และให้ความถี่อินพุตดิสคริมิเนเตอร์ที่เฉพาะความถี่คลื่นพาห์ FM ที่ต้องการ



รูปที่ 2.10 บล็อกไดอะแกรมของควอดดราเจอร์ดีมอดูเลท

ให้ $V_1(t)$ คือคลื่น FM ผ่านวงจรลิมิตเตอร์และ BPF ซึ่งทำให้แอมปลิจูดคงที่และแสดงได้

$$V_1(t) = \cos[W_c t + \phi(t)] \qquad (33)$$

สำหรับ $V_2(t)$ คือสัญญาณที่ถูกหน่วงเวลาออกไปเท่ากับ τ แสดงได้ดังนี้

$$V_2(t) = \cos[W_c(t-\tau) + \phi(t-\tau)] \qquad (34)$$

กำหนดให้การหน่วงเวลามีผลให้ $W_c \tau = \pi/2$ ดังนั้นจะได้

$$V_2(t) = \sin[W_c t + \phi(t-\tau)] \qquad (35)$$

ซึ่งเอาท์พุทออกจากวงจรคูณและผ่ายวงจรความถี่ต่ำและจะได้

$$V_3(t) = \sin[W_c t + \phi(t-\tau)] \qquad (36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

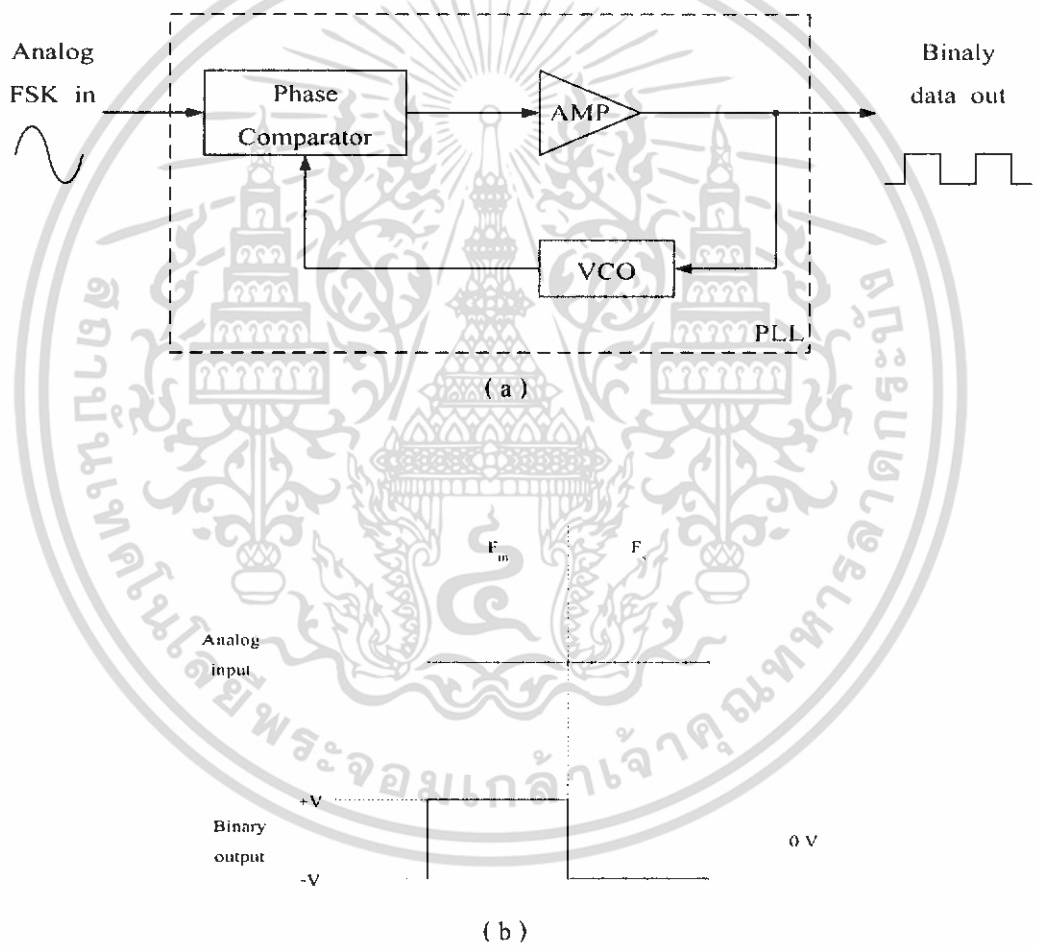
เนื่องจาก τ มีขนาดเล็กมากหรือ $\phi(t) - \phi(t-\tau)$ เราจึงสามารถประมาณสมการข้างบนได้ว่า

$$V_3(t) = \phi(t) - \phi(t-\tau) = \tau Km(t) \qquad (37)$$

ซึ่งเป็นเอาท์พุทของสัญญาณ FM

2.9 การดีมอดูเลทแบบ FSK

FSK Demodulator คือ ตัวรับสัญญาณ FSK (FSK Receive) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK พบส่วนมากจะใช้วงจร PLL (Phase lock loops) ดังรูปที่ 2.11



รูปที่ 2.11 PLL-FSK Demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่างคือจะมีความถี่ฟรีรันนิ่งเท่ากับ Center Frequency (fo) และในขณะที่มีความถี่อินพุทของ PLL เลื่อนไป-มาระหว่าง fm กับ fs จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62756

เปรียบเทียบเฟส (Phase Comparator) ของสัญญาณอินพุท เนื่องจากความถี่ของอินพุทที่เข้ามาทาง PLL มีเพียง 2 ความถี่คือ fm และ fs ดังนั้นค่าแรงดังกล่าว จึงมีเพียง fm และ fs ตามลำดับ เราจึงได้ สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

2.10 การแปลงสัญญาณดิจิตอลเป็นอนาลอก

การแปลง D/A จะใช้ในการเปลี่ยนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก งานของตัวแปลง D/A ก็คือการเติมค่า (interpolate) ระหว่างตัวอย่าง

วงจรกรองความถี่ต่ำผ่านในอุดมคติ จะมีการตอบสนองอิมพัลส์ที่เริ่มที่ $t = -\infty$ ถึง $t = \infty$ จึงไม่คอเซล และไม่สามารถสร้างได้จริงในทางปฏิบัติ ในทางปฏิบัติเราจะทำวงจรกรองอนาลอกความถี่ต่ำผ่านแบบอื่นมาแทนวงจรกรองดังกล่าว โดยกำหนดให้ การตอบสนองอิมพัลส์ของวงจรกรองที่นำมาแทนเป็น h (t) และ h (t) จะต้องมีคุณสมบัติ 3 ประการ

(ก) $h(0) = 1$

(ข) $h(nT) = 0$ สำหรับ $n \neq 0$

(ค) $\int_{-\infty}^{\infty} |h(t)| dt < \infty$

คุณสมบัติข้อ (ก) และ (ข) ทำให้ฟังชันมีค่าเท่ากับ $x_a(nT)$ ที่เวลา $t = nT$ คุณสมบัติข้อ (ค) จะเป็นตัวประกันว่าค่าของมันจะจำกัด จะมีวงจร 2 แบบที่นิยมใช้และมีคุณสมบัติตรงตามที่กำหนด

1) ตัวเติมค่าเชิงเส้น (Linear interpolator) ซึ่งหน่วงไป T วินาที จะมีการตอบสนองอิมพัลส์

$$h(t) = \begin{cases} \dfrac{t}{T} & ; 0 \le t < T \\ 2 - \dfrac{t}{T} & ; 0 \le t < T \\ 0 & ; \text{ect.} \end{cases} \qquad (38)$$

โดยมันจะมีการตอบสนองความถี่

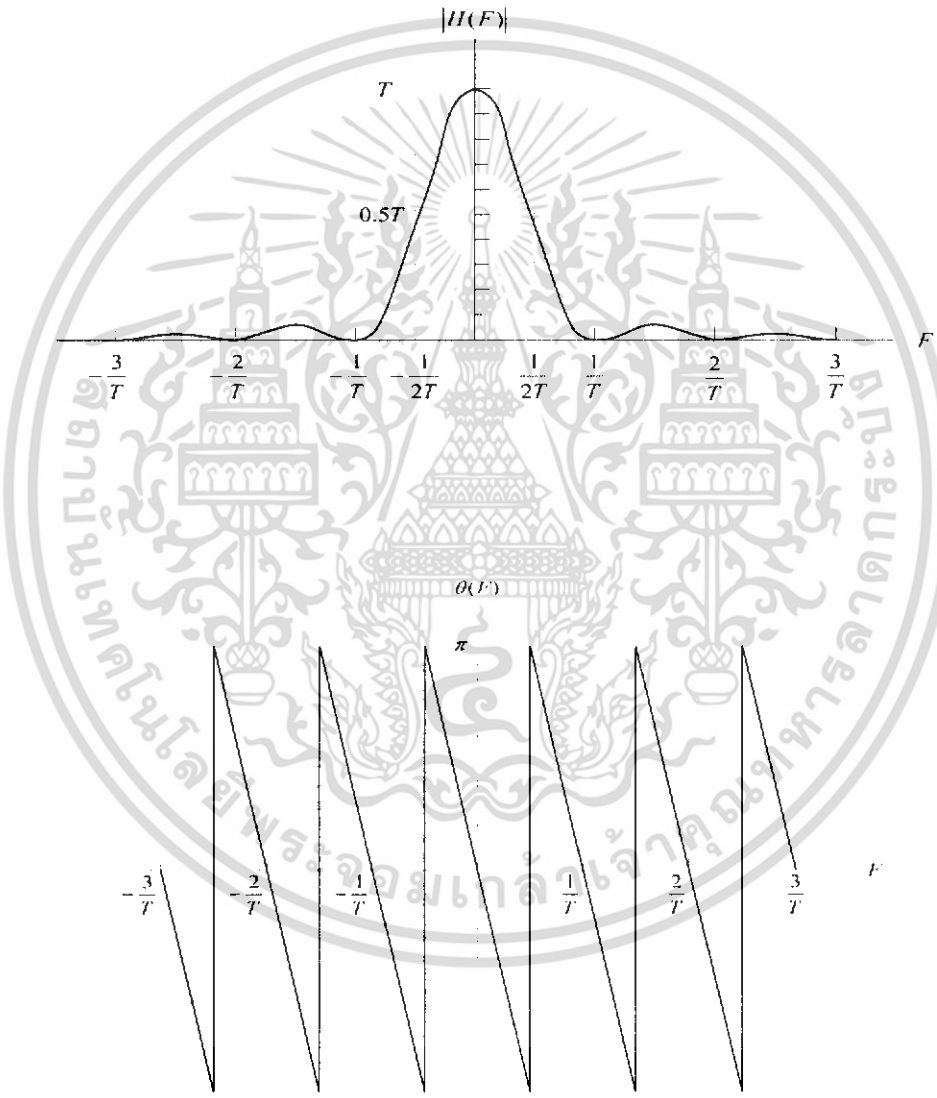
$$H(\omega) = T\left[\frac{\sin\frac{\omega T}{2}}{\frac{\omega T}{2}}\right]^2 e^{-j\omega T}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$H(f) = T\left[\frac{\sin \pi fT}{\pi fT}\right]^2 e^{-j2\pi fT} \qquad (39)$$

รูปที่ 2.12 แสดงการรตบสนองอิมพัลส์ตามสมการ (38) และการตอบสนองความถี่ของมันรวมถึงลักษณะเอาท์พุทที่จะได้



รูปที่ 2.12 ตัวเติมค่าเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ตัวเติมค่าแบบคงค่าอันดับศูนย์ (zero – order hold interpolator) จะมีการตอบสนองอิมพัลส์

$$h(t) = \begin{cases} 1 & ; \ 0 \le t < T \\ 0 & ; \ \text{ect.} \end{cases}$$

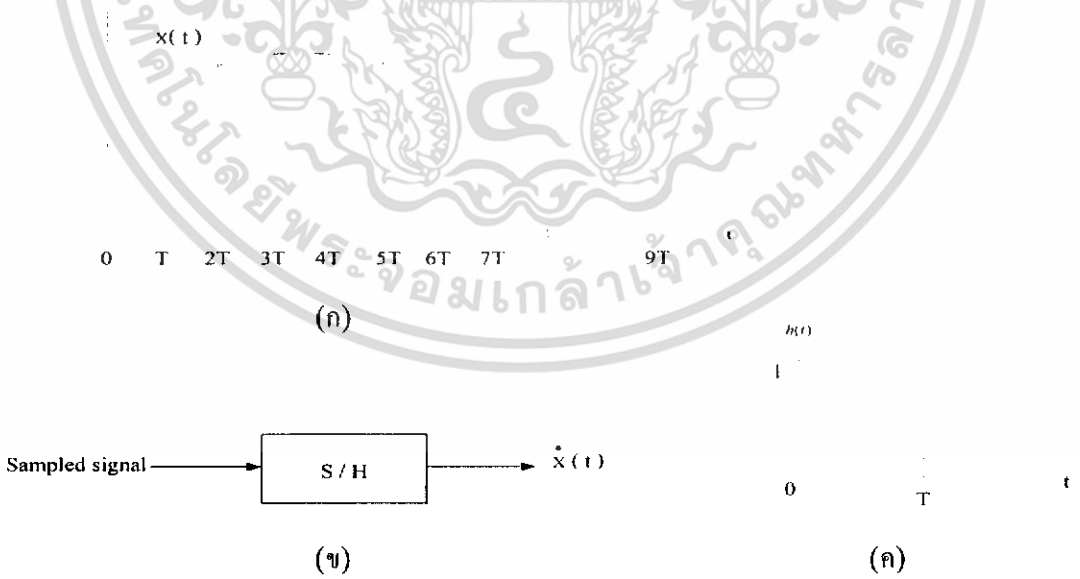
อาจเรียกอีกอย่างว่า วงจรสุ่มและคงค่า (sample and hold) การตอบสนองความถี่ของมันจะมีค่า

$$H(\omega) = T\left[\frac{\sin\frac{\omega T}{2}}{\frac{\omega T}{2}}\right]^2 e^{-j\frac{\omega T}{2}}$$

หรือ

$$H(f) = T\left[\frac{\sin \pi f T}{\pi f T}\right]^2 e^{-j\pi f T}$$

รูปที่ 2.13 แสดงลักษณะของรูปเคลื่อนที่ได้การตอบสนองความถี่รวมถึงการตอบสนองความถี่ของตัวเติมค่า แบบนี้



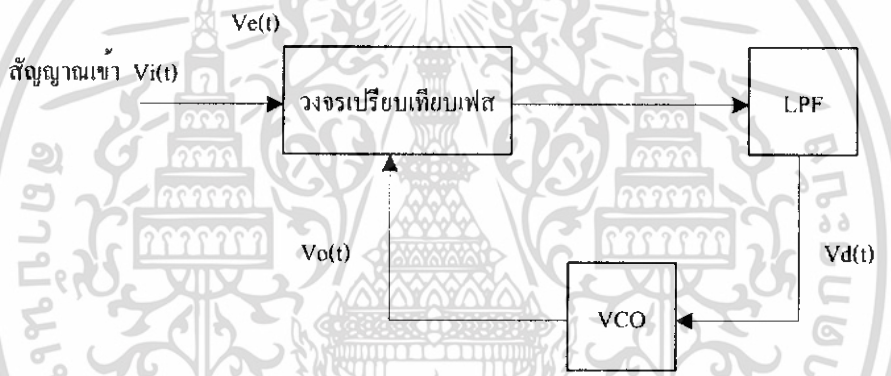
รูปที่ 2.13 ตัวเติมค่าแบบคงที่อันดับศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทจากตัวเติมค่าทั้งสองแบบจะมีลักษณะแตกต่างไปจากที่ต้องการ เนื่องจากมันจะมีค่าเท่ากับการคูณกันของการแปลงฟูเรียร์ของอินพุทสู่ตัวเติมค่า การเติมค่าที่ต่ำกว่าสองแบบที่กล่าวนี้จะได้จากการใช้เทคนิคเติมค่าที่มีอันดับสูงและยุ่งยากซับซ้อนขึ้น

โดยทั่วไปการใช้เทคนิคการเติมค่าทั้งสองแบบ ซึ่งไม่ใช้แบบออพติมั่ม (หรือวงจรกรองความถี่ต่ำจากอุดมคติ) จะเป็นผลทำให้ความถี่สูงเกินความถี่พับ π / T ผ่านไป เนื่องจากความถี่สูงเหล่านี้ไม่เป็นที่ต้องการ ทำให้ปกติจะกำจัดโดยผ่านเอาท์พุทจากตัวเติมค่าเข้าสู่วงจรกรองอนาลอกที่เหมาะสมซึ่งเรียกว่า วงจรกรองภายหลัง (postfilter) วงจรกรองให้เรียบ (smoothing filter) ดังนั้น ตัวแปลง D/A ซึ่งปกติ จะใช้การเติมค่าสองแบบดังกล่าว จึงจะมีวงจรกรองภายหลังร่วมอยู่เสมอ

2.11 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)



รูปที่ 2.14 วงจรพื้นฐานของเฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มี ความถี่ หรือ เฟส เปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก วงจรเฟสล็อกลูป ประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และ วงจรผลิต ความถี่ควบคุมโดยแรงดัน (Voltage Control Oscillator : VCO) ต่อเป็นวงรอบ (Loop) เช่นวงจรป้อนกลับทั่ว ๆ ไป

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า Vi(t) มีความที่ ω_i และเฟส θ_i

$$Vi(t) = Vi \sin(\omega_i t + \theta_i)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสัญญาณออกจาก VCO มีความถี่ ω_t และเฟส θ_i

$$Vo = Vo \cos (\omega_i t + \theta_o)$$

ถ้าไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกกำจัดโดยวงจร low-pass filter จะได้

$$Ve(t) = KmViVo$$

ถ้าไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกกำจัดโดยวงจร low-pass filter จะได้

$$Ve(t) = KmViVo / 2 \sin (\theta_i - \theta_o)$$

หากให้ผลต่าง $\theta_i - \theta_o$ มีค่าน้อย ๆ จะได้

$$Ve = Kd (\theta_i - \theta_o)$$

โดย Kd เป็นค่าแกนของเฟสดีเทคเตอร์ มีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นเชิงเส้น จะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลาง คือ

$$\Delta(t) = KoVe$$

โดย Vc เป็นแรงดันด้านเข้าของวงจร

Kd เป็นแกนของ VCO มีขนาดเป็น Rad/v

ดังนั้น ความถี่ด้านออกของ VCO คือ

$$fo = \omega c + \Delta(t) = \omega c + KoVc$$

โดยที่ c เป็นความถี่อิสระของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลา หรือเขียนได้เป็น

$$\Delta\omega = d\theta o/dt = KoVc$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

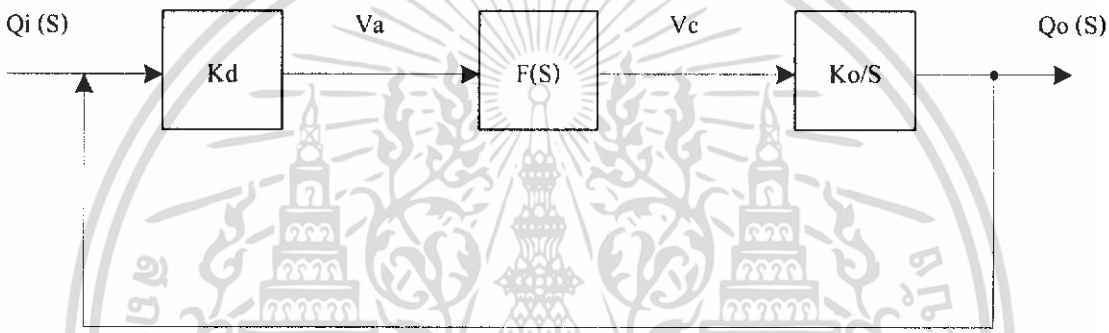
หรือเขียนเฟสด้านออกของลูปได้ว่า

$$\theta_{o(S)} = \int \Delta\omega \, dt$$

กรณีในระบบเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยลาปาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_{o(S)} = KoVc/S$$

ดังนั้น ระบบเฟสล็อกลูปสามารถแสดงแบบจำลองได้ดังรูปที่ 2.15



รูปที่ 2.15 แบบจำลองเฟสล็อกลูป

จากรูปสามารถเขียนทรานส์เฟอร์ฟังก์ชั่นได้คือ

$$\theta_{o\,(S)} / \theta_{i\,(S)} = \{ KdKo(F(S)/S \} / \{ 1+KoKd(F(S)/S \}$$

แรงดัน vc นี้ จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติการควบคุมนี้จะมีผลให้สัญญาณ Vo จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า vi และถ้าอัตราขยายของลูปมีค่าสูง vc จะมีค่าต่ำ และเฟส ω_o กับ ω_i จะมีค่าใกล้เคียงกัน

การทำงานของวงจร PLL สามารถอธิบายได้คร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า (vi) แรงดัน vc และ vd ที่ใช้ควบคุม VCO จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ f00 เมื่อมีสัญญาณเข้า vi ที่ความถี่ fi ถ้า fi ต่างจาก f00 มาก สัญญาณ vc ซึ่งมีความถี่เท่ากับ f00 – fi จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน vd ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานโดยกำเนิดสัญญาณความถี่ f00 เช่นเดิม และหาก fi มีค่าไม่ต่างจาก f00 มากนัก นั่นคือ $| fi - f00 | < \Delta fp$ ($2\Delta fp$) มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อว่า ช่วงดึงเข้า (pull – in range) สัญญาณ vc จะมีลักษณะไม่สมมาตร คือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ vd จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า (pull – in time) ความถี่ fo ซึ่งค่อย ๆ แปรค่าไปยังค่า fi จะต่างจาก fi เพียง $|fi - fo| < \Delta fc$ ($2\Delta fc$) มีชื่อว่าช่วงเวลาจับ (capture range) ถึงตอนนี้ fo จะแปรเข้าสู่ fi อย่างรวดเร็วฉับพลัน เรียกว่าการเกิดการล็อก (lock) vd ก็จะเปลี่ยนแปลงอย่างฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไป ความถี่ fo จะเป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระเมื่อเกิดการล็อกแล้ว ถ้าความถี่ของสัญญาณแปรเปลี่ยนไป ความถี่ของ VCO ก็จะแปรเปลี่ยนตามไปด้วย เรียกว่า เกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ fi ได้ ตราบใดที่ $|fi - f00| < \Delta fH$ ($2\Delta fH$) มีชื่อว่าช่วงคงที่ไว้ (hold – in range)

สรุปแล้วถ้าเพิ่มหรือลดความถี่ fi จะได้การเปลี่ยนแปลงของ vd (ซึ่งควบคุม VCO) และเป็นปฏิภาคกับ (fo – f00)

2.12 การแบ่งคลาส และ จัดไบอัสให้กับวงจรขยายกำลัง

2.12.1 วงจรขยายกำลังคลาส เอ

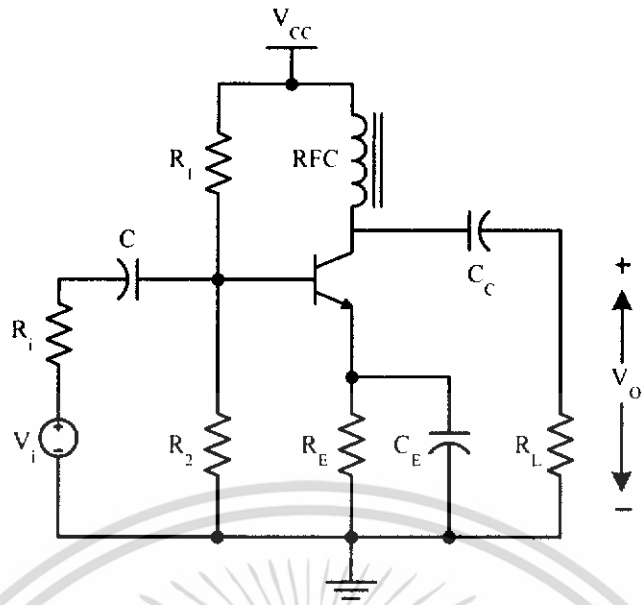
วงขยายกำลังคลาส เอ (CLASS A POWER AMPLIFER) ไม่ได้มีคุณสมบัติที่แตกต่างไปจากวงจรขยายแบบเชิงเส้น เพียงแต่ค่ากำลังงานและระดับของความผิดเพี้ยนเป็นความสำคัญพื้นฐานสำหรับวงจรชนิดคลาส เอ จะมีเอาท์พุทเป็นรูปคลื่นซายน์ ตอบสนองต่อสัญญาณอินพุทที่เป็นรูปคลื่นซายน์เช่นกัน การจัดคลาสจะตัดสินโดยระดับสัญญาณอินพุท และระดับแรงดันที่ไบอัสให้กับทรานซิสเตอร์ ดังรูป 2.16 ที่แสดงให้เห็นถึงวงจรที่สามารถไบอัสให้เป็นคลาส เอ , บี หรือ ซี สำหรับรูปแสดงแรงดันภายในทรานซิสเตอร์จะมีค่า

$$V_{ce} = V_Q = V_{cc} - I_E R_E$$

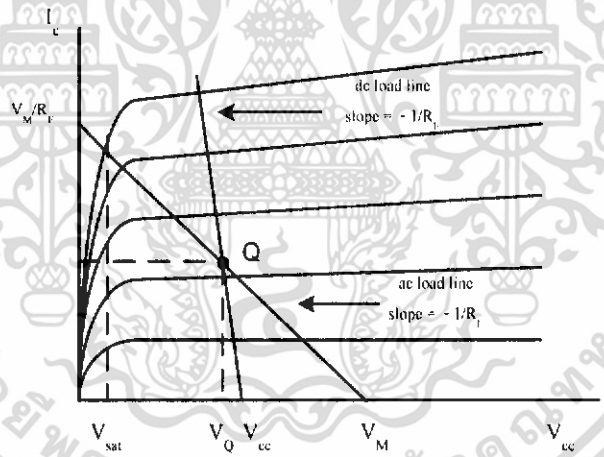
ความลาดชันของเส้นดีซีโหลดลายน์ dI_c/dV_{ce} มีค่าเท่ากับ $-1 / R_E$ ดังที่แสดงให้เห็นในรูปที่ 2.17 สำหรับวงจรขยายคลาส เอ ค่าความต้านทางทางไฟตรง R_E จะประกอบสำหรับความมีเสถียรภาพสำหรับวงจรขยายที่ใช้ทรานซิสเตอร์ชนิดไบโพล่า และวงจรขยายที่ใช้เฟส และจัดไบอัสแบบ เซ็ลฟ์ไบอัซซิ่ง (SELF BIASING) ถ้าหาก R_E มีค่าน้อย ค่าแรงดัน ณ จุดคิวพอยท์จะมีค่า

$$V_Q \approx V_{CC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 วงจรขยายแบบเอซีคับเปิ้ล (AC COUPLED)



รูปที่ 2.17 คุณลักษณะของทรานซิสเตอร์ระหว่างคอลเลคเตอร์ กับอิมิตเตอร์ ประกอบกับเส้น เอซี และดีซีโหลดลายน์

สำหรับการทำงานในเอซีคัปปลิ้ง ตัวเก็บประจุที่ขาอิมิตเตอร์จะเปรียบเสมือนลัดวงจร และกระแสสลับที่ขาคอลเลคเตอร์ i_c สามารถหาได้จาก

$$- i_c R_L = V_o$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

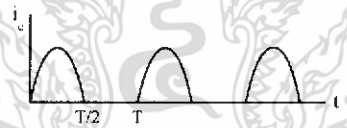
ค่าแรงดันทางด้านเอาท์พุทจะมีค่าเท่ากันกับแรงดันไฟสลับที่ตกคร่อมระหว่างเอาท์พุทของทรานซิสเตอร์

$$V_{cc} - I_c R_E + V_{cc} \approx V_Q - I_c R_L$$

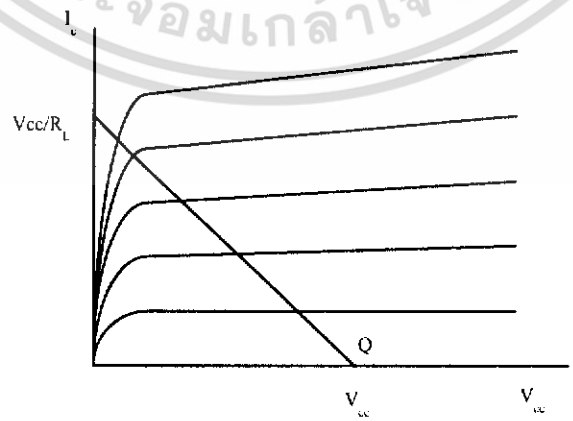
จากรูปแสดงคุณลักษณะของทรานซิสเตอร์จะแสดงให้เห็นแรงดันระหว่าง คอลเลคเตอร์ และอิมิตเตอร์ซึ่งจะมีค่าสูงสุดเมื่อ กระแสคอลเลคเตอร์มีค่าเป็น ศูนย์ ซึ่งมันจะเกิดขึ้นเมื่อองค์ประกอบของกระแสคอลเลคเตอร์ที่เป็นไฟสลับจะมีขนาดเท่ากัน และ มีทิศทางตรงกันข้ามกับกระแสคอลเลคเตอร์ที่เป็นไฟตรง ($i_c = -I_C$) เช่นเดียวกันกับกรณีที่ แรงดันระหว่างขาคอลเลคเตอร์กับอิมิตเตอร์มีค่าเป็นศูนย์ เมื่อกระแสคอลเลคเตอร์มีค่าสูงสุด (องค์ประกอบของกระแสไฟสลับ มีขนาดและทิศทางเดียวกันกับกระแสไฟตรง $i_c = I_C$) ด้วยเหตุที่กระแสคอลเลคเตอร์เพิ่มขึ้นจากการกำหนดจุด คิวพอยท์ แรงดันตกคร่อมระหว่างคอลเลคเตอร์และอิมิตเตอร์จะเพิ่มจาก V_Q ไปยัง V_M และเมื่อกระแสคอลเลคเตอร์เพิ่มขึ้น V_Q จะมีค่าลดลงเป็นศูนย์

2.12.2 วงจรขยายกำลังคลาส บี

ข้อเสียหลักของวงจรขยายคลาส เอ คือกำลังงานทั้งหมดที่ป้อนเข้าจะถูกใช้ไปแม้จะไม่มีอินพุทป้อนเข้ามา โดยปกติแล้วจะเป็นการดีถ้าไม่ต้องจ่ายกำลัง เมื่อไม่มีสัญญาณอินพุท สำหรับกรณีที่เป็นวงจรขยายคลาส บี วงจรขยายคลาส เอ และ คลาส บี สามารถจัดการไบอัสได้ตามรูปที่ 2.18 เมื่อกระแสคอลเลคเตอร์ ณ จุด คิวพอยท์มีค่าเป็นศูนย์ และแรงดัน ณ จุด คิวพอยท์ ระหว่างคอลเลคเตอร์กับอิมิเตอร์มีค่าเท่ากับ V_{CC} การจัดไบอัสจะเป็นการกำหนดช่วงการทำงานของทรานซิสเตอร์ ให้ทำงานในช่วงเฟสที่เป็นบวกของอินพุท ดังที่แสดงไว้ในรูปที่ 2.19

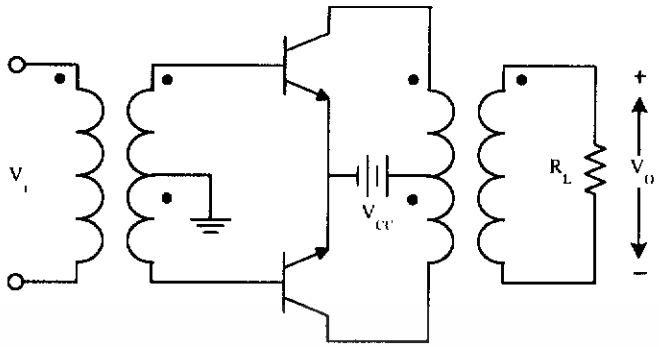


รูปที่ 2.18 เวฟฟอร์มของกระแสคอลเลคเตอร์สำหรับวงจรขยายแบบคลาส บี



รูปที่ 2.19 การไบอัสจุดคิวพอยท์สำหรับวงจรขยายแบบคลาส บี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 วงจรขยายคลาส บีแบบพุชพูล

กระแสเอาท์พุทจะมีค่าสูญเสียสูง แต่การสูญเสียสามารถที่จะขจัดไปได้โดยการใช้วงจรจูนแบบแนโรแบนด์ (NARROW BAND) ดังที่แสดงไว้ดังรูปที่ 2.20 โดยอุดมคติแล้ว ทรานซิสเตอร์ทั้งสองตัวจะสลับกันทำงานตัวละครึ่งไซเกิ้ล และ อินพุททั้งสองจะรวมกันเป็นสัญญาณซายน์เวฟท์ไม่มีการผิดเพี้ยน

2.12.3 วงจรขยายกำลังคลาส ซี

กระแส เอาท์พุท มีมุมน้อยกว่า 180° ส่วนขยายจะเกี่ยวข้องกับคลาส ซี ณ โหมดนี้จะมีประสิทธิภาพที่ดีกว่า คลาส บี แต่มันจะทำให้เกิดการเพี้ยนมากกว่าวงจรขยาย คลาส เอ และคลาส บี การผิดเพี้ยนที่ว่านี้ในบางครั้งก็สามารถยอมรับได้ หรือในกรณีของ การใช้งานที่ความถี่หลากหลายกว่า ซึ่งคลาสซี มีการใช้งานที่บ่อยครั้งกว่า ในกรณีที่สัญญาณมีแอมปลิจูดที่คงที่ และวงจรเอาท์พุทประกอบด้วยวงจรจูนเพื่อที่จะกรองเอาฮาร์โมนิกส์ของกระแสเอาท์พุททิ้งไปในการนำไปประยุกต์ใช้ ส่วนใหญ่จะใช้ขยายสัญญาณ FM ความถี่ของสัญญาณ และไม่มีแอมปริจูด ซึ่งสำคัญมาก มีการนำเอาวงจรขยาย คลาส ซี ไปประยุกต์ใช้อยู่บ่อยครั้ง รูปที่ 2.21 เป็นตัวอย่างของ เฟท และ ไบโพลา ทรานซิสเตอร์ ของวงจรขยาย คลาส ซี รูปที่ 2.22 แสดงถึงกระแสเตรน(collector) ของวงจรขยาย คลาส ซี มีมุม (2θ) ต่ำกว่า 180° และระดับของการขับนั้นมีค่าน้อยเพียงพอที่จะไม่ทำให้กระแส เอาท์พุท เกิดการอิ่มตัว หลายแบบที่ต่างกันซึ่งสามารถสมมุติขึ้นสำหรับปัจจุบันแบบที่ค่อนข้างง่ายที่สมมุติพัลซ์ แสดงให้เห็นที่ปลายทางของสัญญาณซายน์ จะได้ว่า

$$I_D = I_p \sin\theta_t \qquad \theta_1 \le \omega_t \le \theta_1$$
$$= 0$$

โดยที่ $I_P > I_D$ และ $I_D = I_p \sin\theta_1$

$$\therefore I_c = T^{-1}\theta_{1/\omega} \int 2^{/\omega} (I_p \sin\omega_t - I_D)\, dt$$
$$= [2\, Ip \cos\theta_2 - I_p (\theta_2 - \theta_1)] / 2\pi$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในแบบที่ทำให้เข้าใจได้ง่าย เราจะกำหนด มุมการนำกระแสได้ว่า $2\theta = \theta_2 - \theta_1$ หรือ

$$\theta_c = (\pi/2) - \theta_1$$
$$\therefore I_c = (I_p/\pi)(\sin\theta - \theta \cos\theta)$$

ไฟฟ้ากระแสตรงจะถูกกำหนดโดย แหล่งจ่าย ตั้งแต่ขา เบส (หรือ เกท) จะมีไฟกระแสตรงซึ่งเล็กกว่ากระแสเอาท์พุทจะได้

$$P_{cc} = V_{cc}I_c = (V_{cc}/\pi) I_p(\sin\theta - \theta \cos\theta)$$

ถ้าเอาท์พุทของวงจรจูนแบบแนโรแบนด์ (NARROW BAND) จูนให้ได้ความถี่มูลฐาน ดังนั้น จะได้กำลังทางเอาท์พุท

$$P_o = (I_1^2 R_L) /2$$

โดยที่ I_1 เป็นแอมปลิจูดของส่วนประกอบมูลฐานของกระแส

$$I_1 = (4/T)\theta_{1/\omega} \int^{\theta/\omega} (I_p \cos\omega_1 - I_D) \cos\omega_1 \, dt$$

ที่เวลาเริ่มต้นจะมีการเคลื่อนไปยังจุดกึ่งกลางของกระแสพัลซ์ เพื่อให้ง่ายต่อการอินทิเกรด เวลาที่เคลื่อนจะไม่ทำให้แอมปลิจูดของความถี่ที่เป็นส่วนประกอบเปลี่ยนแปลง ซึ่งจะมีแต่เฟสที่เปลี่ยน แอมปลิจูดของส่วนประกอบมูลฐานของความถี่คือ

$$I_1 = (I_p/2\pi)(2\theta - \sin 2\theta)$$

เมื่อมุมการนำกระแส ขึ้นอยู่กับแอมปลิจูดของอินพุท แอมปลิจูดของกระแสที่สำคัญ และด้วยเหตุนี้แรงดันเอาท์พุทจึงเป็นฟังก์ชั่นที่ไม่เป็นเชิงเส้นของแอมปลิจูดของสัญญาณอินพุท

สำหรับ เฟท แอมปลิฟายชนิด คลาส ซี แสดงในรูปที่ 2.21-ก มีค่าแรงดันระหว่างขาเดรนและขาซอร์ทสูงสุดคือ

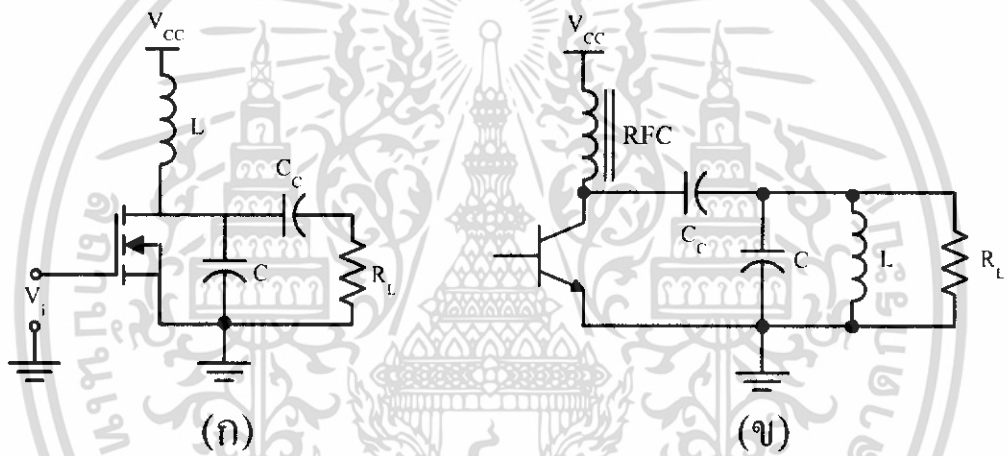
$$(Vds)_{max} = Vcc + I_1 max\, R_L \leq 2Vcc$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

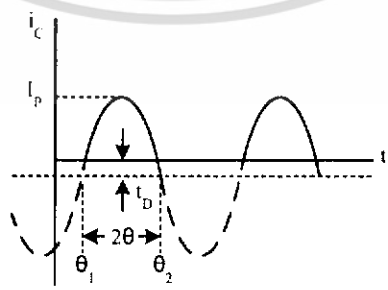
ค่าประสิทธิภาพสูงสุดของ กำลังงานทางเอาท์พุทคือ

$$\eta = Po/Pcc = (I_1^2 R_L) / (V_{cc} I_c) = (V_{cc} I_1) / (V_{cc} I_c)$$
$$= (2\theta - \sin 2\theta) / 4(\sin\theta - \theta \cos\theta)$$

โดยที่ I_C เป็นค่าของกระแสตรง คลาส ซี จะมีประสิทธิภาพที่สามารถเพิ่มขึ้นได้ถึง 100% (ในทางอุดมคติ) โดยจะลดมุมการนำกระแส ลงถึงศูนย์ เมื่อ มุมการนำกระแส ของ คลาส บี มี $\theta = 90°$ และมีประสิทธิภาพ 78.5% ประสิทธิภาพสามารถเพิ่มขึ้นในสภาวะที่ไม่มีการเปลี่ยนแปลง ขณะที่ มุมการนำกระแส ลดลง เพื่อให้ได้ประสิทธิภาพสูง ๆ อย่างนั้นจึงมีการใช้การขยาย คลาส ซี อยู่บ่อยครั้ง สำหรับวงจรขยายกำลัง

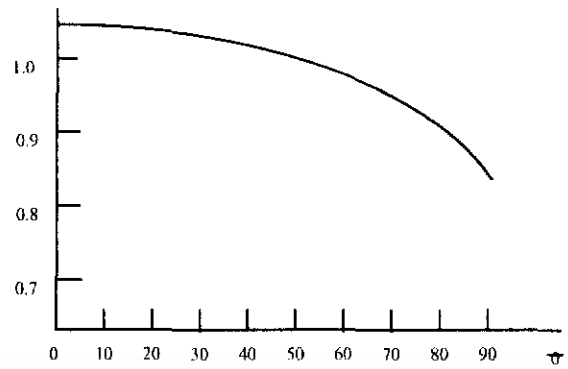


รูปที่ 2.21 (ก) วงจรขยายคลาส ซี แบบใช้มอสเฟส
(ข) วงจรขยายคลาส ซี ด้วยไบจังชั่นทรานซิสเตอร์ (BJT)



รูปที่ 2.22 รูปคลื่นที่ขาคอลเลคเตอร์ของวงจรขยายคลาส ซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 ประสิทธิภาพของฟังก์ชั่นของมุมนำกระแส (2θ)

2.12.3.1 การออกแบบวงจรขยายกำลังคลาส ซี

สำหรับวงจรขยายกำลังคลาส ซี เช่นเดียวกับวงจรขยายอื่นๆ การออกแบบค่าพารามิเตอร์จะสำคัญมากที่สุด ได้แก่ กำลังงานเอาท์พุท , ค่ากำลังงานสูญเสียในทรานซิสเตอร์ , แรงดัน Vce_{max} และ กระแสเอาท์พุทสูงสุดของทรานซิสเตอร์ (I_p) สำหรับ วงจรขยายคลาส ซี ด้วยไบจังชั่นดังรูป 2.21-ข มีค่า

Vce_{max} คือ $(Vce)_{max} = 2Vcc$

กระแสคอลเลคเตอร์สูงสุด คือ

$$I_M = (i_c)_{max} = I_p\sin(\pi / 2) - I_D = I_p - I_p\sin\theta_1$$

และให้ $\theta = (\pi / 2) - \theta_1$

จะได้ $I_M = I_p(1 - \cos\theta)$

ค่ากระแสสูงสุด เกี่ยวข้องกับแอมปลิจูด (I_1) ของส่วนประกอบของความถี่มูลฐานโดย

$$I_M = [\,(2\pi I_1(1 - \cos\theta))\,/\,(2\theta - \sin 2\theta)\,]$$

ค่ากำลังงานเอาท์พุทไฟสลับ ของวงจรขยายโดยประมาณ

$$P_o = I_1^2 R_L / 2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดค่าคิวของวงจรจูนให้มีค่าสูงพอค่ากระแสเอาท์พุทสูงสุด เป็นฟังก์ชั่นของทั้งกระแสคอลเลคเตอร์ และ กำลังงานเอาท์พุท ค่ากำลังงานเอาท์พุทสูงสุดเกิดจาก Ip_{max} และค่าเฉลี่ยสูงสุดของ กำลังงานเอาท์พุท จะได้

$$P_{o\,max} = I_t^2 R_L / 2 = V^2cc / 2 R_L$$

โดยที่ $I_t R_l = Vcc$

ค่ากำลังงานที่สูญเสียในทรานซิสเตอร์ คือ

$$P_T = Pcc - Po = Vcc\, I_p / \pi(\sin\theta - \theta \cos\theta) - V^2cc / 2R_L$$
$$= Vcc\, I_p / \pi [(\sin\theta - \theta \cos\theta) / (1 - \cos\theta)] - V^2cc / 2R_L$$

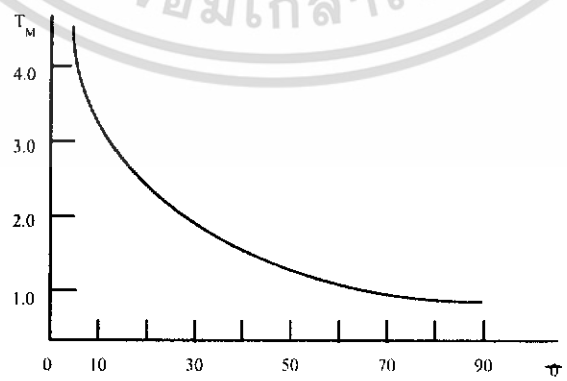
สำหรับรายละเอียดความต้านทานโหลด สมการ $P_{o\ max}$ กำหนดข้อกำหนดของแรงดันที่จ่ายให้เป็นรายละเอียดของ กำลังงานเอาท์พุท จะได้ค่า I_M สูงสุดจะได้

$$I_M = [(2\pi Vcc(1 - \cos\theta)) / (R_l (2\theta - \sin2\theta))]$$

นอร์มอลไลซ์กระแสสูงสุดของ คอลแลคเตอร์กำหนดดังนี้

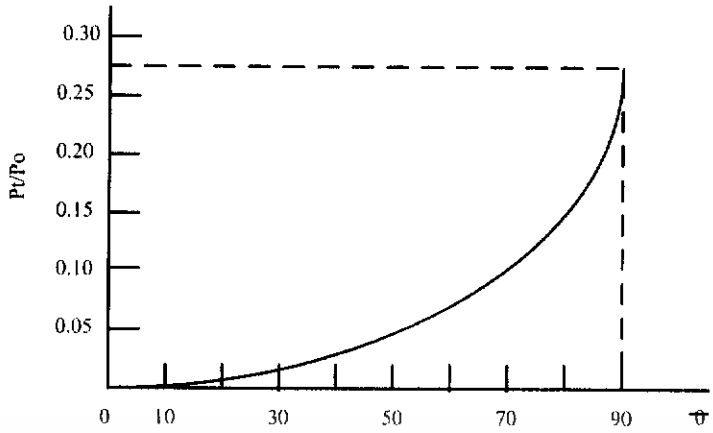
$$I'_M = I_M R_L / 2\pi Vcc = (1 - \cos\theta) / (2\theta - \sin2\theta)$$

การนอร์มอลไลซ์กระแสสูงสุดของคอลเลคเตอร์ I'_M เป็นฟังก์ชั่นของมุมนำกระแสซึ่งพล็อตออกมาได้ดังรูปที่ 2.19 สำหรับระดับค่าของ กำลังงานเอาท์พุทจะคงที่ ค่าสูงสุดของกระแส คอลเลคเตอร์จะเพิ่มขึ้น ขณะที่ มุมนำกระแสจะลดลง



รูปที่ 2.24 นอร์มอลไลซ์กระแสคอลเลคเตอร์สูงสุดที่มุมนำกระแส (2θ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 นอร์มอลไลซ์ค่ากำลังงานสูญเสียฟังก์ชั่นมุม 20

ค่าสูญเสียในทรานซิสเตอร์ของค่ากำลังงานเอาท์พุทสูงสุด สามารถแสดงได้เช่นเดียวกับฟังก์ชั่นของและมุมนำกระแส

$$P_T = P_o [(4 (\sin\theta - \theta \cos\theta) / (2\theta - \sin 2\theta)) - 1]$$

ค่าสูญเสียในทรานซิสเตอร์นำมานอร์มอลไลซ์ พล็อตได้เป็นฟังก์ชั่นของมุมนำกระแสดังรูปที่ 2.25 ขณะที่คาดหวังว่าค่าสูญเสียในตัวทรานซิสเตอร์จะเพิ่มขึ้นพร้อมกับค่ามุมนำกระแส

สำหรับค่า P_{Tmax} กำหนดมุมนำกระแส จะถูกจำกัดค่าสูงสุดสำหรับรายละเอียดของกำลังงานเอาท์พุทค่าสูงสุดของกระแสเอาท์พุทของทรานซิสเตอร์ถูกกำหนดดังรูปที่ 2.24 ขณะที่มุมนำกระแสจะลดลง ค่าสูญเสียในทรานซิสเตอร์จะลดลง แต่ค่ากระแส เอาท์พุทสูงสุดจะเพิ่มขึ้น

2.12.3.2 การนำความถี่ไปใช้งานที่หลากหลาย

ปัจจุบันการใช้งานวงจรขยายคลาสซี มีมากในฮาร์โมนิกส์ของรูปสัญญาณทางอินพุท วงจรขยายคลาสซี สามารถนำความถี่ไปใช้งานที่หลากหลาย โดยการจูนที่วงจรเอาท์พุทให้ได้ฮาร์โมนิกส์ที่ต้องการแอมปลิจูดของอันดับที่ n ของกระแสเอาท์พุท สามารถกำหนดจากการกระจายฟูเรียร์ของรูปคลื่นของกระแสคอลเลคเตอร์ สามารถเขียนได้ดังนี้

$$I_c = I_p \cos\omega\theta t - I_p \cos\theta$$

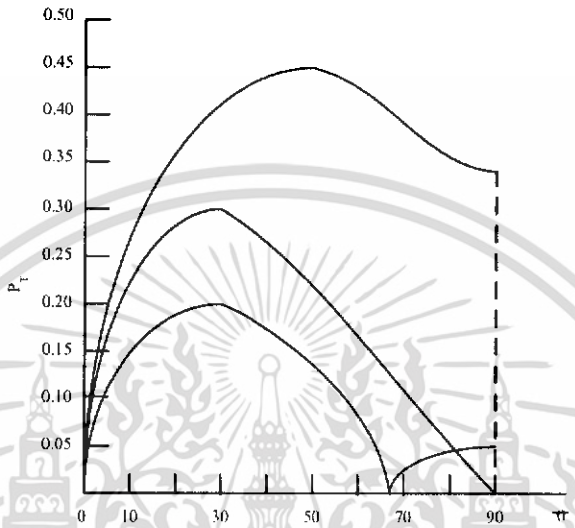
$$I_n = 4 / T \int_0^{\theta/\omega} (I_p \cos\omega t - I_p \cos\theta) \cos n\omega t$$

$$= I_p / \pi [(\sin (n+1)\theta / n+1) - (\sin (n-1)\theta / n-1) - (2\cos\theta \sin n\theta / n)] \quad n \geq 2$$

$$= I_p / \pi [((\cos\theta \sin n\theta) - (n\sin\theta \cos\theta)) / n(n^2 - 1)]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอมปลิจูดของฮาร์โมนิกของฟังก์ชั่นของ มุมการนำกระแส พล็อตได้ดังรูป 2.26 ในการวิเคราะห์คลาส ซี สมมุติให้กระแสพัลส์ควรจะมีตัวอย่างที่ดีเหมือนกับสัญญาณไซน์ที่ต่อออกไป ในการประยุกต์ใช้คลาส ซี ทรานซิสเตอร์จะอิ่มตัว ระหว่างส่วน ไซเกิ้ลเอาท์พุทอย่างไรก็ตาม มีรายละเอียดอีกมากของการวิเคราะห์คุณสมบัติที่เป็นไปได้แต่ไม่จำเป็นนัก ประสิทธิภาพจะลดลงขณะที่การอิ่มตัวจะเพิ่มขึ้นเนื่องจากมีการปฏิบัติที่คงที่กับค่าประสิทธิภาพสูงสุด



รูปที่ 2.26 แอมปลิจูดของฮาร์โมนิกส์ของกระแสเอาท์พุทที่มุมนำกระแส 2θ

2.12.4 วงจรขยายกำลังคลาส ดี

สำหรับคลาสต่างๆที่กล่าวมาในข้างต้นนั้น แหล่งจ่ายหลักของวงจรขยายกำลังไม่มีประสิทธิภาพเพราะมีการสูญเสียภายในตัวทรานซิสเตอร์ ถ้าหากมีการส่งผ่านกระแส โดยที่แรงดันตกคร่อมระหว่างคอลเลคเตอร์ และอิมิตเตอร์มีค่าเป็นศูนย์จะไม่ทำให้เกิดการสูญเสียกำลังงานภายในตัวอุปกรณ์ และจะทำให้ประสิทธิภาพมีค่าเป็น 100% ซึ่งก็คือความคิดพื้นฐานสำหรับวงจรขยายคลาส ดี, อี และเอส

สำหรับวงจรขยายคลาส ดี แสดงไว้ดังรูปที่ 2.26 ทรานซิสเตอร์คิว 1 และ คิว 2 ทำงานเปรียบเสมือนสวิทช์ เมื่อคิว 1 ทำงาน คิว 2 จะไม่ทำงาน และเมื่อคิว 2 ทำงาน คิว 1 จะไม่ทำงานและจะเป็นอย่างนี้สลับไปเรื่อย ๆ

สำหรับทรานซิสเตอร์ในอุดมคติจะมีค่าแรงดันอิ่มตัวเป็นศูนย์ และไม่มีแรงดันตกคร่อมบนตัวทรานซิสเตอร์ สามารถเขียนวงจรเสมือนได้ดังรูปที่ 2.28 ถ้าอินพุท V_1 เป็นสแควร์เวฟ (SQUARE WAVE) แรงดัน V_a ที่อินพุทกับวงจรจูนสามารถแสดงได้ดังรูปที่ 2.26 แรงดัน V_a สามารถที่จะกระจายในรูปของอนุกรมฟูเรียร์ และองค์ประกอบของแอมปลิจูด คือ

$$V1 = 4\,Vcc / \pi$$

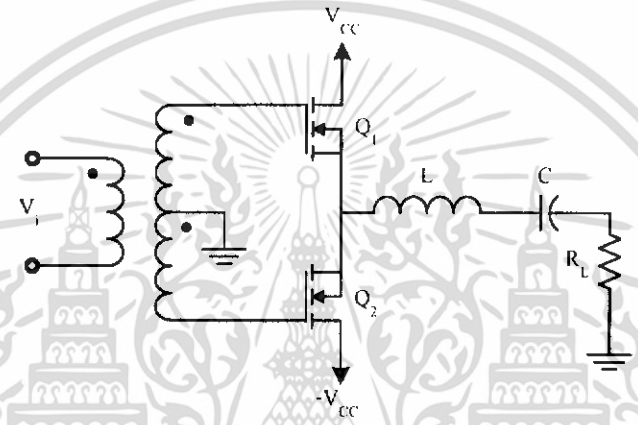
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าวงจรจูนมีค่าคิวสูงกระแสเดรนของทรานซิสเตอร์จะเป็นสัญญาณไซน์ครึ่งซีกที่มีความถี่เดียวกันกับ V_g ด้วยเหตุนี้กระแสไฟตรงในทรานซิสเตอร์ คือ

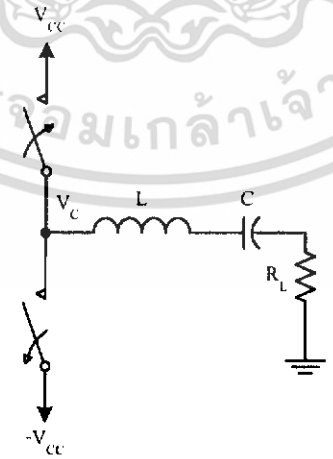
$$I_D = (R_t T) - 1 \int_0^{T/2} (4\,Vcc / \pi \sin\omega t)\, dt$$

$$= 4\,Vcc / \pi^2 R_L$$

ซึ่งจะเป็นไปตามทฤษฎีที่ทำให้ค่าประสิทธิภาพของวงจรขยายคลาส ดี ในอุดมคติมีค่าเป็น 100%

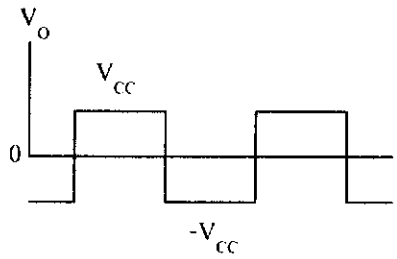


รูปที่ 2.27 วงจรขยายคลาส ดี



รูปที่ 2.28 วงจรสมมูลของวงจรขยายคลาส ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 รูปคลื่นเอาท์พุทของวงจรจูนของวงจรคลาส ดี

ในความเป็นจริงแล้วทรานซิสเตอร์ไม่สามารถที่จะมีแรงดันตกคร่อมเป็นศูนย์ เมื่ออยู่ในสภาวะอิ่มตัวดังวงจรเสมือนที่แสดงไว้ในรูปที่ 2.30 หากเราป้อนสัญญาณอินพุทเหมือนเดิมจะมีแอมปลิจูดอย่างเดียวที่ลดลงสามารถหาได้จาก

$$V_o = [(4 V_{cc} R_L) / \pi(R_L + R_{on})] \sin\omega t$$

และกระแส Id สามารถคำนวณได้จาก

$$I_d = 4 V_{cc} / \pi^2(R_L + R_{on})$$

กำลังงานที่จ่ายให้วงจรทั้งหมด หาได้โดย

$$P_{cc} = 8 V^2_{cc} / \pi^2(R_L + R_{on})$$

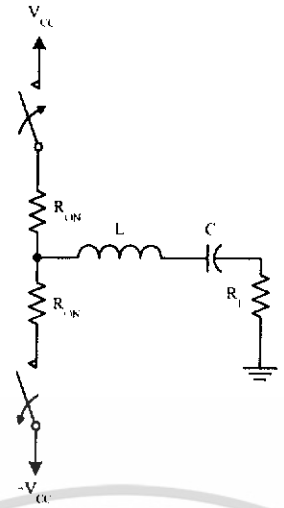
และกำลังงานทางด้านเอาท์พุทหาได้โดย

$$P_o = (8 V^2_{cc} R_L) / \pi^2(R_L + R_{on})^2$$
$$= P_{o\,ideal} R_L^{\,2} / (R_L + R_{on})^2$$

สามารถหาค่าประสิทธิภาพของวงจรขยายคลาส ดี โดยใช้ เฟส ได้โดย

$$\eta = R_L / R_L + R_{on}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 วงจรต้นแบบวงจรขยายด้วย เฟท ของคลาส ดี

2.13 การเปลี่ยนแปลงความถี่ของสัญญาณ

จะเป็นการใช้วิธีของวงจรคูณ เพราะวงจรคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์นำให้เกิดการเลื่อนความถี่สูงขึ้นได้ ดังรูปที่ 2.31 แสดงบล็อกไดอะแกรมของระบบแปลงความถี่สัญญาณ โดยที่เราสมมติให้สัญญาณขาเข้าเป็นสัญญาณเบสแบนด์ที่ได้เป็น $V(t)= Ac[1+vm(t)]\cos \omega ct$ เมื่อเราคูณสัญญาณจากออสซิเลเตอร์ที่มีความถี่เป็น ω_c และ มีขนาดเป็น Ao เราจะได้สัญญาณผลคูณที่เขียนได้ในรูปต่อไปนี้

รูปที่ 2.31 ระบบแปลงความถี่ของสัญญาณที่ใช้วงจรคูณ

ซึ่งเห็นได้ว่าจะเป็นรูปร่างของสัญญาณเบสแบนด์อยู่ แต่ขนาดจะขึ้นอยู่กับ Ao และความถี่ของสัญญาณคลื่นพาห์จะถูกเปลี่ยนแปลงไปอยู่ที่ $\omega_c + \omega_o$ และ $\omega_c - \omega_o$ ถ้าค่าของ ω_o ใหญ่กว่า แบนด์วิดท์ของสัญญาณเบสแบนด์เราก็จะใช้วงจรกรองเอาเฉพาะความถี่สูงหรือเความถี่ด้านต่ำใดด้านหนึ่งออกมาได้ ถ้ากรองเอาสัญญาณด้านความถี่สูงขึ้นออกมาก็เป็นการแปลงความถี่ให้สูงขึ้น และเรียกวงจร ที่แปลงความถี่นี้ว่า อัพ-คอนเวอร์เตอร์ (up-converter) ในทำนองเดียวกันถ้ากรองเอาสัญญาณด้านความถี่ต่ำลงออกมา เราก็จะเรียกวงจรนั้นว่า ดาว์น-คอนเวอร์เตอร์ (down-converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 ลักษณะของตัวกรองสัญญาณที่ต้องการ (Filter Requirement)

ตัวกรองสัญญาณมีหน้าที่สองอย่างคือ

1. ทำการกรองความถี่ของเฮ้าท์พุตที่โมดูเลตแล้วให้อยู่ในย่านความถี่ที่ต้องการ
2. ทำการกรองความถี่ของคลื่นพาหะที่เข้ามาก่อนที่จะทำการแยกสัญญาณ

ตัวกรองทางด้านส่งจะใช้กำจัดความถี่ในการโมดูเลตลำดับต่ำๆ ฉะนั้นตัวกรองทางด้านส่งจะเป็นแบบ low pass หรือ band pass

ส่วนตัวกรองทางด้านรับจะมีหน้าที่สองอย่างคือ กำจัด noise จากสัญญาณที่รับเข้ามาและ อีกหน้าที่หนึ่ง คือ การจำกัดการผสมสัญญาณระยะใกล้ซึ่งเข้ามาผสมกับสัญญาณพาหะด้านรับ

2.15 การจำกัดสัญญาณสะท้อน (Echo Suppresser)

ในการส่งข้อมูลเป็นสัญญาณอนาล็อกไปตามสายโทรศัพท์ย่อมเป็นการแน่นอนว่าจะต้องเกิดสัญญาณสะท้อนขึ้นอย่างแน่นอน แต่จะเกิดมากหรือน้อยนั้นขึ้นอยู่กับประสิทธิภาพของระบบว่าดีเพียงใด ดังนั้นเมื่อเกิดสัญญาณชนิดนี้ขึ้นมา ประสิทธิภาพการรับฟัง ความถูกต้องของข้อมูลย่อมสดสงแน่นอน ฉะนั้นจึงต้องเพิ่มระบบที่สามารถกำจัดสัญญาณสะท้อนนี้ให้หมดไป

หลักการของอุปกรณ์กำจัดสัญญาณสะท้อนนี้ให้หมดไป หลักการนี้ก็คือ "เป็นอุปกรณ์ที่ยอมให้สัญญาณผ่านไปในทิศทางใดทิศทางหนึ่งเพียงทิศทางเดียวเท่านั้น" เช่น A ส่งสัญญาณรียกไปยัง B วงจรกำจัดสัญญาณจาก A ส่งผ่านไปยัง B จนกระทั่ง A หยุดพูดแล้วหลังจากนั้น B ก็เริ่มพูดตอบ ในขณะนี้วงจรกำจัดสัญญาณสะท้อนก็จะเปลี่ยนทิศทางการทำงานโดยอัตโนมัติ โดยยอมให้สัญญาณ B ผ่านไปได้ แต่สัญญาณ A ผ่านไม่ได้ เป็นต้น ซึ่งเวลาที่วงจรกำจัดสัญญาณสะท้อนนี้เปลี่ยนทิศทาง จะใช้เวลาประมาณ 300 มิลลิวินาที ซึ่งช่วงเวลานี้จะมีความสำคัญมากในระบบฮาล์ฟดูเฟล็กซ์

สำหรับระบบฟูลดูเฟล็กซ์นั้นการใช้งานอุปกรณ์กำจัดสัญญาณสะท้อนจะใช้ช่วงเวลาสั้นๆ เพราะการสื่อสารเป็นการสื่อสารแบบสองทาง ดังนั้นสัญญาณจากทางด้านเรียกและด้านตอบรับ จะต้อง ผ่านได้ตลอดเวลานั้นคือ ถ้าไม่ต้องการใช้งานอุปกรณ์กำจัดสัญญาณเสียงสะท้อน ก็ทำได้โดยการ ป้อน สัญญาณความถี่ 2,100 Hz เป็นเวลา 400 มิลลิวินาที เข้าไปในวงจร ในขณะที่มีการติดต่อกันอยู่ จน กระทั่งสัญญาณข่าวสารที่ส่งมาสิ้นสุดลง อุปกรณ์กำจัดสัญญาณ เสียงสะท้อนก็จะเริ่มทำงานทันที ดังนั้น วิธีการอย่างหนึ่งที่จะเลี่ยงเพื่อไม่ใช้อุปกรณ์ดังกล่าวนี้ ก็สามารถทำได้โดยออกแบบระบบ ให้เป็นการ สื่อสารแบบ ฟูลดูเฟล็กซ์ 4 สาย

2.16 การบิดเบือนของสัญญาณ

ในการสื่อสารไม่สามารถที่จะส่งพลังงานอีกจุดหนึ่งไปยังอีกจุดหนึ่งได้ 100% เนื่องจากพลังงานของสัญญาณจะต้องถูกลดทอน ถูกบิดเบือนไป และ ถูกรบกวนจากสัญญาณ ถูกรบกวนจากสภาพแวดล้อมนานาชนิด ดังนั้นสัญญาณที่จะรับได้ทางด้านรับจึงอาจผิดเพี้ยนไป หรือรับได้ไม่ชัดเจน เป็นต้น ยิ่งถ้าเป็นการสื่อสารระยะทางไกลๆ การสูญเสียก็จะยิ่งเกิดขึ้นมากตามลำดับ

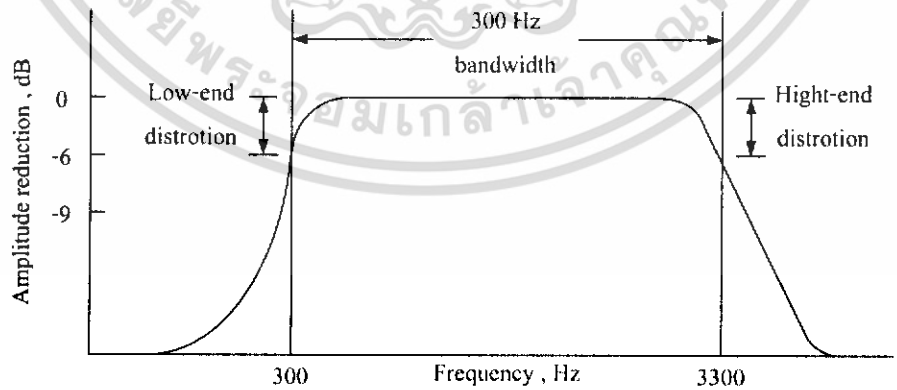
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ส่งผ่านไปในสายนั้นจะถูกลดทอนอย่างแน่นอนและเป็นผลทำให้เกิดการบิดเบือนของสัญญาณตามมานั่นคือ รูปร่างของสัญญาณที่ส่งมาจะผิดเพี้ยนไปจากสัญญาณต้นทาง ซึ่งเป็นผลทำให้ข่าวสารที่รับได้นั้นขาดความถูกต้องไป การบิดเบือนของสัญญาณจะเกิดได้ 2 ลักษณะคือ

1. การบิดเบือนของแอมปลิจูด (Amplitude Distortion) หรือ การลดทอน (Attennuation)
2. การบิดเบือนเนื่องจากการถูกหน่วงเวลา (Envelope Delay Distortion)

ในกรณีแรก แอมปลิจูดของสัญญาณจะต่ำกว่าสัญญาณจากต้นทาง ซึ่งแสดงว่าสัญญาณถูกลดทอนลงไป กรณีที่สอง การบิดเบือนของสัญญาณเกิดขึ้นเนื่องจากเกิดการหน่วงเวลาของการเดินทางของคลื่นจากจุดส่งไปยังจุดรับ นั่นคือในช่วงความถี่หนึ่งๆ ความเร็วของการเดินทางของสัญญานจะมีค่าไม่คงที่ เร็วบ้าง ช้าบ้าง ซึ่งก็มีผลทำให้ข้อมูลที่ได้รับผิดพลาดไปได้

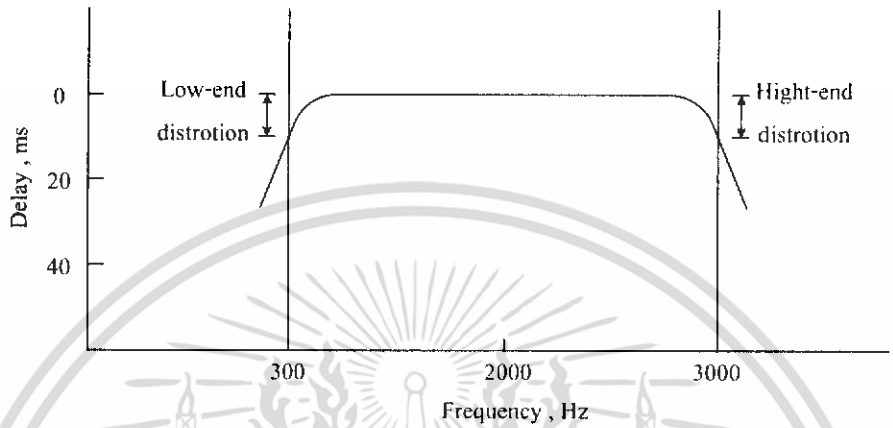
ในการสื่อสารที่มีการใช้โครงข่ายโทรศัพท์ร่วมกับระบบสื่อสารไมโครเวฟ เพื่อการส่งสัญญาณในระยะไกลๆ การผิดพลาดในทั้งสองกรณี ข้างต้นจะเกิดขึ้นอย่างแน่นอน สำหรับการส่งสัญญาณ ในระบบไมโครเวฟจะส่งสัญญาณในระดับ แนวสายตา หรือ แนวเส้นตรง เพราะมิฉะนั้นจะเกิดการสูญเสียเนื่องจากถูกส่วนโค้งของผิวโลกบดบัง ดังนั้นการจัดตั้งสถานีรับ และ ส่งจึงต้องหาตำแหน่งของจุดส่งและจุดรับให้อยู่ในแนวเส้นตรงให้ได้ และจะต้องอาศัยสถานีทวนสัญญาณ (Repeater) เป็นตัวขยาย ระดับของสัญญาณเพื่อไม่ให้พลังงานของ สัญญาณอ่อนลงมากเกินไป แต่ข้อเสียของระบบดังกล่าวคือ ทำให้แถบความถี่แต่ละช่องของสัญญาณเล็กลงไปเล็กน้อย เนื่องจากการทำงานของอุปกรณ์ต่างๆ บางครั้งแถบความถี่ที่ใช้จะอยู่ระหว่าง 500 ถึง 2,900 Hz เท่านั้น เหตุผลที่ต้องลดแถบความถี่ลงก็เพื่อเป็นการจำกัด การเกิดการบิดเบือนของแอมปลิจูดให้น้อยลง ซึ่งแสดงดังรูป 2.32



รูปที่ 2.32 แสดงการบิดเบือนของสัญญาณในแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกเหนือจากการบิดเบือนของแอมปลิจูดแล้ว การบิดเบือนด้านความถี่ต่ำและความสูงก็ยังเกิดขึ้นได้เช่นกัน ดังรูปที่ 2.33 แสดงการบิดเบือนของสัญญาณในแถบความถี่ 300 ถึง 3,300 Hz ซึ่งเป็นความถี่ในระบบโทรศัพท์



รูปที่ 2.33 แสดงการหน่วงเวลาของสัญญาณ

ผลเสียที่เกิดจากการบิดเบือนของสัญญาณทั้งสองกรณีต่างก็มีผลให้แถบความถี่ที่ใช้งานลดลง ซึ่งทำให้จำนวนช่องสัญญาณที่ใช้งานลดลงตามไปด้วย แต่ข้อบกพร่องดังกล่าวก็สามารถแก้ไขได้โดยใช้เทคนิคของ อีควอไลเซชั่น (Equalization) โดยวิธีการดังกล่าวนี้ก็คือการทำการขยายแอมปลิจูดของสัญญาณให้มีขนาดสูงขึ้นมากกว่าปกติก่อนที่จะส่งผ่านสายออกไป ดังนั้นขนาดของแอมปลิจูดที่จะขยายถ้าเลือกให้เหมาะสมแล้ว แอมปลิจูดของสัญญาณทางด้านรับหลังจากถูกบิดเบือน แล้วก็จะมีขนาดเท่ากับทางด้านส่งพอดีทำให้คุณภาพของข่าวสารยังใช้ได้ นอกจากนี้ศูนย์กลางของแถบความถี่ที่ใช้งานลงก่อนที่จะส่งผ่านสายออกไป นอกจากนี้ยังสามารถช่วยปรับให้สัญญาณที่ถูกหน่วงเวลามีค่าหน่วงเวลาที่คงที่ตลอด

ตามคุณสมบัติของ Bell สายโทรศัพท์สื่อกลางจะมีอยู่ 5 ชนิด โดยแต่ละชนิดจะยอมให้มีการบิดเบือนของสัญญาณอยู่ในช่วงที่แตกต่างกัน

2.17 สัญญาณรบกวน (Noise)

ปัญหาใหญ่ที่เกิดขึ้นในการสื่อสารก็คือ สัญญาณข้อมูลถูกรบกวนจากสัญญาณรบกวนต่างๆ ซึ่งอาจแบ่งได้สองพวกคือ Random noise และ Impulse noise โดย Ramdom noise จะค่าสูงขึ้นถ้าระยะทางของสายเพิ่มขึ้นแต่ Impulse noise เกิดขึ้นจากอุปกรณ์ควบคุม Line Switching ที่ใช้ในระบบโทรศัพท์ ซึ่งในทางปฏิบัติ การที่กำจัดสัญญาณรบกวนให้หมดไปเลยนั้นไม่สามารถทำได้ เพียงแต่อาจลดให้มีขนาดน้อยลงเท่านั้นเอง นอกจากนี้ปัจจัยอื่นๆ ที่มีผลต่อการทำงานของโมเด็มคือ Phase Shifter , Harmonic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

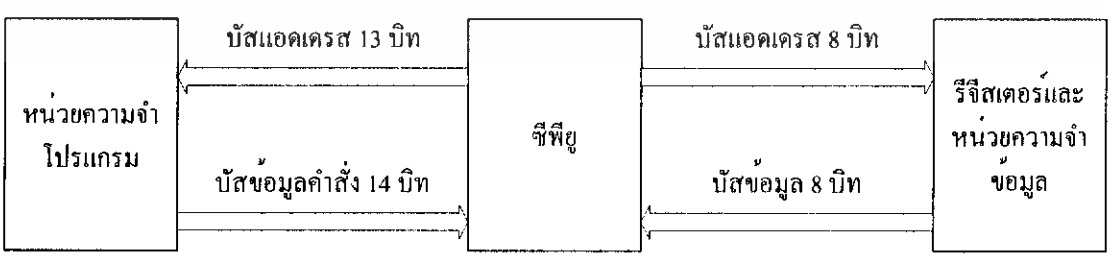
distortion และ Crosstalk Phase Shifter คือ การที่เฟสของสัญญาณเกิดการเปลี่ยนแปลงไปเรื่อยๆ อย่างต่อเนื่อง โดยจะเกิดการเลื่อนของเฟสไปเป็นค่าอื่นๆ อย่างต่อเนื่อง

Harmonic distortion หรือการบิดเบือนฮาร์โมนิค จะเกิดขึ้นหลังจากที่สัญญาณผ่านส่วนของวงจรขยายออกมาแล้วโดยฮาร์โมนิคอื่นที่เป็นจำนวนเท่าของความถี่พื้นฐาน (Fundamental Frequency) เช่น ฮาร์โมนิคที่ 2 ที่ 3 และอื่นๆ มีรูปร่างของสัญญาณเปลี่ยนไปทำให้สัญญาณข้อมูลที่รับผิดพลาดไป Crosstalk เป็นปรากฏการณ์ที่เกิดขึ้นเนื่องจากเกิดการเหนี่ยวนำของสนามแม่เหล็กไฟฟ้า เข้าไปรบกวน สัญญาณข้อมูลที่ส่งเข้าไปในสาย เช่น จะสังเกตได้จากการพูดโทรศัพท์สาธารณะผู้พูดมักจะได้ยินเสียง เพลงมาจากสถานีวิทยุหรืออาจจะได้ยินเสียงของวิทยุตำรวจ เป็นต้น ซึ่งสนามแม่เหล็กไฟฟ้าที่เหนี่ยวนำ เข้ามานี้จะส่งผลทำให้ประสิทธิภาพการรับฟังเสียงด้อยลงไป สำหรับวิธีการแก้ปัญหาข้อบกพร่องนี้ สามารถทำได้โดยใช้อุปกรณ์ switching ที่เป็นอิเล็กทรอนิกส์ หรือใช่เส้นใยนำแสง (Fiber Optics) ซึ่ง สามารถจะลดผลของการรบกวนเหล่านี้ลงได้อย่างมาก

2.18 ไมโครคอนโทรลเลอร์ PIC16F628

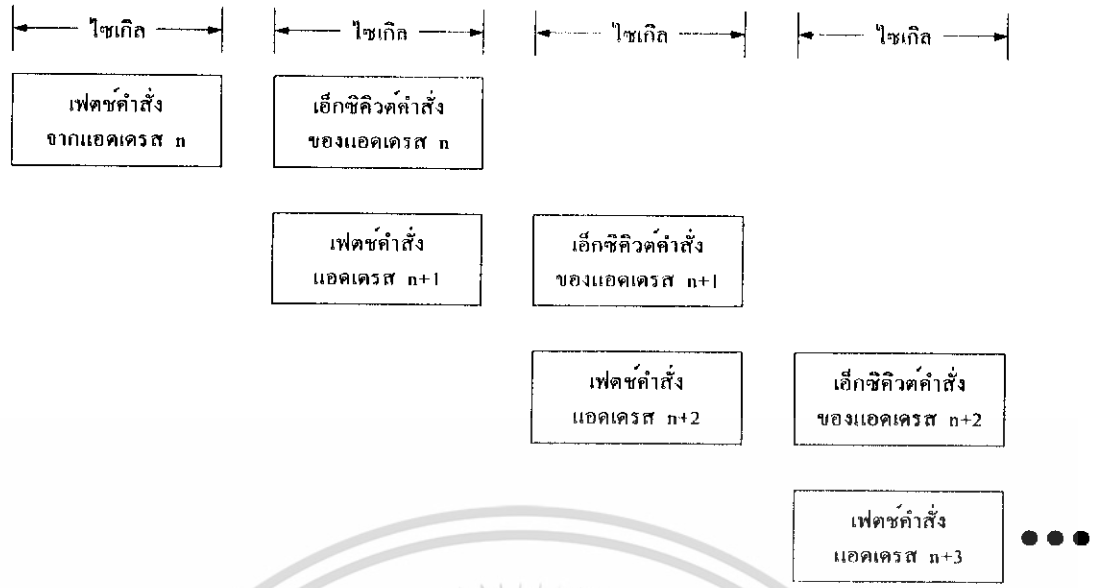
ไมโครคอนโทรลเลอร์ PIC มีสถาปัตยกรรมแบบฮาร์วาร์ด (Harvard architecture) กล่าวคือ มีการแยกหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลออกจากกัน โดยมีบัสสำหรับติดต่อแยกกันด้วย ดังแสดงในรูปที่ 2.34 จะเห็นว่าซีพียูที่อยู่ภายในไมโครคอนโทรลเลอร์จะติดต่อกับหน่วยความจำโปรแกรมด้วยบัสแอดเดรส 13 บิท และบัสข้อมูลหน่วยความจำโปรแกรม 14 บิท ในขณะที่บัสสำหรับติดต่อกับหน่วยความจำข้อมูลและรีจิสเตอร์ภายในเป็นแบบ 8 บิททั้งบัสแอดเดรส และบัสข้อมูล

นอกจากการจัดการสถาปัตยกรรมนี้แล้ว การกระทำคำสั่งของไมโครคอนโทรลเลอร์ PIC ยังใช้กระบวนการที่เรียกว่า ไปป์ไลน์ (pipeline) ทำให้สามารถเฟตช์คำสั่งถัดไป ในขณะที่กำลังเอ็กซิคิวต์คำสั่งในปัจจุบัน ส่งผลให้ความเร็วในการทำงานของไมโครคอนโทรลเลอร์เพิ่มมากขึ้น นั่นจึงเป็นที่มาของความสามารถในการกระทำคำสั่ง 1 คำสั่งภายในสัญญาณนาฬิกา 1 ลูก (กระบวนการเฟตช์ (fetch) เป็นกระบวนการเรียกคำสั่งออกจากหน่วยความจำโปรแกรม แล้วทำการแปลคำสั่งนั้นให้เป็นรหัสเลขฐานสิบหกเพื่อให้ซีพียูเข้าใจ ส่วนกระบวนการเอ็กซิคิวต์ (execute) เป็นการกระทำคำสั่งให้เกิดผลลัพธ์ตามที่คำสั่งนั้นๆ กำหนด) สำหรับการไปป์ไลน์แสดงดังในรูปที่ 2.35

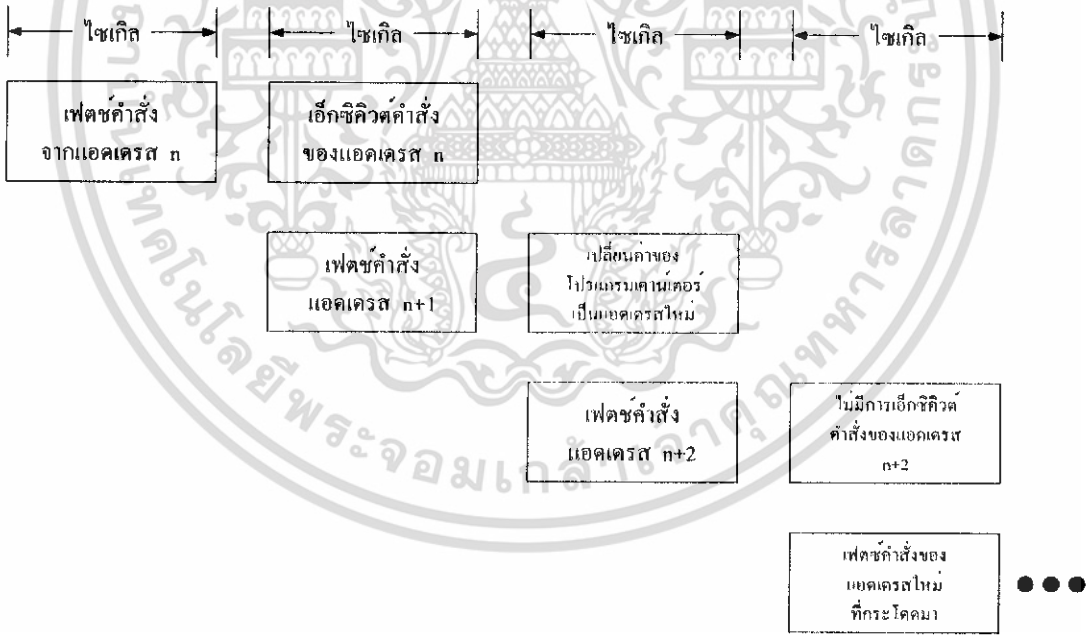


รูปที่ 2.34 บล็อกไดอะแกรมแสดงรูปแบบสถาปัตยกรรมของไมโครคอนโทรลเลอร์แบบฮาร์วาร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 แสดงบล็อกไดอะแกรมของกระบวนการไปป์ไลน์ที่ใช้ในไมโครคอนโครลเลอร์ PIC



รูปที่ 2.36 แสดงบล็อกไดอะแกรมของกระบวนการไปป์ไลน์เมื่อกระทำคำสั่งการกระโดด

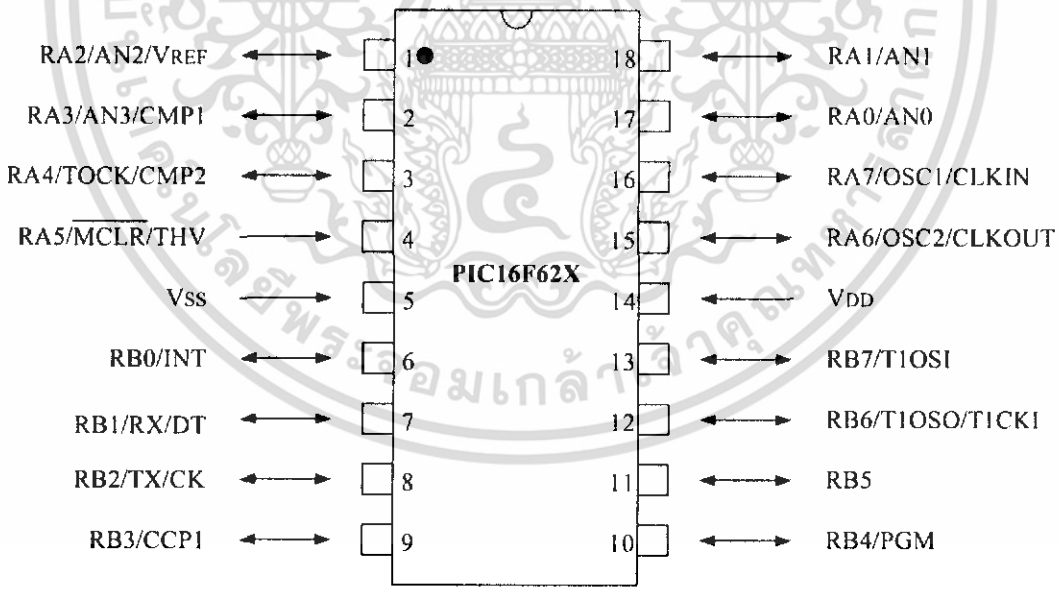
เมื่อเริ่มต้นกระทำคำสั่งที่ 1 ซีพียูจะเฟตช์คำสั่งจากหน่วยความจำโปรแกรมที่แอดเดรส n จากนั้นทำการเอ็กซิคิวต์ในไซเกิลต่อมา และที่ไซเกิลของการเอ็กซิคิวต์คำสั่งที่แอดเดรส n นั้น ซีพียูก็จะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟตช์คำสั่งจากแอดเดรส n+1 ทันที เมื่อเอ็กซิคิวต์คำสั่งที่แอดเดรส n เรียบร้อย ซีพียูก็จะสามารถเอ็กซิคิวต์คำสั่งจากแอดเดรส n+1 ต่อเนื่องกันไปได้ในทันที และในทำนองเดียวกัน ขณะที่กำลังเอ็กซิคิวต์คำสั่งแอดเดรส n+1 ซีพียูก็จะดำเนินการเฟตช์คำสั่งที่แอดเดรส n+2 ต่อไป

แต่ถ้าคำสั่งที่กระทำนั้นเป็นคำสั่งการกระโดด จะมีขั้นตอนที่เพิ่มเข้ามา ดังแสดงในรูปที่ 2.36 เมื่อทำการเอ็ดซิคิวต์คำสั่งที่แอดเดรส n ซีพียูก็จะทำการเฟตช์คำสั่งที่แอดเดรส n+1 ปรากฏว่าคำสั่งที่แอดเดรส n+1 นั้นเป็นคำสั่งการกระโดด ดังนั้นในไซเกิลต่อไปยังไม่เกิดการเอ็กซิคิวต์ทันที แต่จะเป็นการเปลี่ยนค่าของโปรแกรมเคาน์เตอร์ (PC : Program Counter) ซึ่งเป็นรีจิสเตอร์ที่ใช้ในการระบุแอดเดรสถัดไปที่ซีพียูจะไปทำงาน ทำให้เกิดการกระโดดไปยังแอดเดรสใหม่ ในระหว่างที่เกิดการกระโดดไปยังแอดเดรสใหม่นั้น ซีพียูจะทำการเฟตช์คำสั่งที่แอดเดรส n+2 ต่อไปตามขั้นตอนปกติ แต่ทว่าเมื่อการกระโดดสิ้นสุดลง แอดเดรสของการทำงานเปลี่ยนไป จึงไม่เกิดการเอ็ดซิคิวต์คำสั่งที่แอดเดรส n+2 แต่จะเกิดการเฟตช์คำสั่งที่แอดเดรสใหม่ที่กระโดดมาแทน จากนั้นจึงเข้าสู่กระบวนการทำงานตามปกติต่อไป ดังนั้นคำสั่งการกระโดด จึงต้องใช้ขนาดของหน่วยความจำมากกว่า 1 ไบต์ ส่งผลให้ต้องใช้สัญญาณนาฬิกาในการกระทำคำสั่งในกลุ่มนี้ 2 ลูก ซึ่งแตกต่างจากคำสั่งอื่นๆ ของไมโครคอนโทรลเลอร์ PIC ที่ใช้สัญญาณนาฬิกาเพียง 1 ลูก

2.18.1 การทำงานของต่างๆ ของไมโครคอนโทรลเลอร์ PIC16F26



รูปที่ 2.37 แสดงการทำงานขาต่างๆ ของ PIC16F628

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Name	DIP Pin #	I/O/P Type	Buffer Type	Discription
RA1/AN0	17	I/O	ST	- ขาพอร์ต RA1 - อินพุตวงจรแปลงสัญญาณ A/D ช่อง 0
RA0/AN1	18	I/O	ST	- ขาพอร์ต RA0 - อินพุตวงจรแปลงสัญญาณ A/D ช่อง 1
RA2/AN2/VREF	1	I/O	ST	- ขาพอร์ต RA2 - อินพุตวงจรแปลงสัญญาณ A/D ช่อง 2 - อินพุตแรงดันอ้างอิงของวงจรแปลง A/D
RA3/AN3/CMP1	2	I/O	ST	- ขาพอร์ต RA3 - อินพุตวงจรแปลงสัญญาณ A/D ช่อง 3 - เอาท์พุตของคอมพาราเตอร์ 1
RA4/T0CKI/CMP2	3	I/O	ST	- ขาพอร์ต RA4 - อินพุตสัญญาณนาฬิกาของไทม์เมอร์ 0 - เอาท์พุตของคอมพาราเตอร์ 2
RA5/MCLR/THV	4	I	ST	- ขาพอร์ต RA5 - ขารับสัญญาณรีเซตหลัก (Master Clear Input) ทำงานที่ลอจิก "0" - THV ต้องมีค่าไม่เกิน VDD ในสภาวะปกติ
RA6/OSC2/CLKOUT	15	I/O	ST	- ขาพอร์ต RA6 - ขาต่อคริสตอล 2 - ในโหมด RC เป็นขาเอาท์พุตสัญญาณนาฬิกาความถี่ 1/4 ของสัญญาณที่ขา OSC1
RA7/OSC1/CLKIN	16	I/O	ST	- ขาพอร์ต RA7 - ขาต่อคริสตอล 1 - รับสัญญาณนาฬิกาจากภายนอก
RB0/INT	6	I/O	TTL/ST	- ขาพอร์ต RB7 - อินพุตรับสัญญาณอินเตอร์รัปต์จากภายนอก
RB1/RX/DT	7	I/O	TTL/ST	- ขาพอร์ต RB1 - ขาอินพุตของวงจร USART สำหรับเชื่อมต่อพอร์ตอนุกรม - ขาอินพุต/เอาท์พุต ข้อมูลที่ซิงโครนัส
RB2/TX/CK	8	I/O	TTL/ST	- ขาพอร์ต RB2 - ขาเอาท์พุตของวงจร USART สำหรับเชื่อมต่อพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

				อนุกรม - ขาอินพุต/เอาท์พุต สัญญาณนาฬิกาที่ซิงโครนัส
RB3/CCP1	9	I/O	TTL/ST	- ขาพอร์ต RB3 - อินพุตวงจรแคปเจอร์/เอาท์พุตวงจรเปรียบเทียบ/ เอาท์พุต PWM สำหรับโมดูล CCP1
RB4/PGM	10	I/O	TTL/ST	- ขาพอร์ต RB4 - ขาอินพุตรับการโปรแกรมด้วยโวลท์ต่ำๆ
RB5	11	I/O	TTL	- ขาพอร์ต RB4
RB6/T1OSO/T1CKI	12	I/O	TTL/ST	- ขาพอร์ต RB6 - เอาท์พุตวงจรออสซิเลเตอร์ของไทม์เมอร์ 1 - อินพุตสัญญาณนาฬิกาของไทม์เมอร์ 0
RB7/T1OSI	13	I/O	TTL/ST	- ขาพอร์ต RB7 - อินพุตวงจรออสซิเลเตอร์ของไทม์เมอร์ 1
VSS	5	P	-	- ขาต่อกราวด์
VDD	14	P	-	- ขาต่อไฟเลี้ยง ใช้ได้ตั้งแต่ +2 ถึง +5.5V

Note : O = Output I/O = Input/Output P = power - = Not used
I = Input ST = Schmitt Trigger Input TTL = TTL Input

ตารางที่ 2.3 การทำงานของขาต่างๆ ใน PIC16F2X

2.18.2 คุณสมบัติทางเทคนิคของ PIC16F62X

คุณสมบัติหลัก

- ซีพียูเป็นแบบ RISC (Reduced Instruction-Set Computer) มีคำสั่งใช้งานเพียง 35 คำสั่ง
- สามารถกระทำคำสั่งโดยใช้สัญญาณเพียงหนึ่งลูก ยกเว้นคำสั่งการกระโดด
- ความถี่สัญญาณนาฬิกา ตั้งแต่ไฟตรงถึง 20 MHz
- ความเร็วในการทำคำสั่งหนึ่งรอบ ตั้งแต่ไฟตรงถึง 200 ns
- ตอบสนองแหล่งกำเนิดอินเตอร์รัปต์สูงสุดถึง 16 แหล่งขึ้นกับเบอร์ไมโครคอนโทรลเลอร์
- มีสแต็ก 8 ระดับ
- มีวงจรเพาเวอร์ออนรีเซต (POR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	Memory		
	FLASH program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8

ตารางที่ 2.4 แสดงการเปรียบเทียบหน่วยความจำต่างๆ ระหว่าง PIC16F627 กับ PIC16F628

- มีเพาเวอร์อัปไทม์เมอร์ (PWRT) และออสซิเลเตอร์สตาร์ตอัปไทม์เมอร์ (OST)
- มีวงจรวอร์ดอกไทม์เมอร์ (WDT) ที่มีวงจรออสซิเลเตอร์ในตัว ทำให้มีความน่าเชื่อถือในการทำงานสูง
- เลือกป้องกันข้อมูลทั้งในหน่วยความจำโปรแกรม และหน่วยความจำข้อมูลสามารถเลือกระดับการป้องกันได้
- มีโหมดประหยัดพลังงาน
- สามารถโปรแกรมโดยใช้แรงดัน +5V ได้
- แก้ไขข้อมูลในหน่วยความจำโปรแกรมด้วยกระบวนการ ICD (In-circuit Debugger) ผ่านพอร์ตเพียง 2 ขา
- ซีพียูสามารถอ่านและเขียนหน่วยความจำโปรแกรมได้
- ไฟเลี้ยง +2 ถึง +5.5V
- กระแสซิงก์และซอร์สของพอร์ต 25mA
- การใช้พลังงานไฟฟ้ากรณีไม่ขับโหลด

  น้อยกว่า 2mA ที่ไฟเลี้ยง +5V และสัญญาณนาฬิกา 4MHz

  20μA ที่ไฟเลี้ยง +3V และสัญญาณนาฬิกา 32kHz

  น้อยกว่า 1μA ในโหมดประหยัดพลังงานหรือสแตนด์บาย

คุณสมบัติพิเศษเพิ่มเติม

- ไทม์เมอร์ 3 ตัวคือ 0 ขนาด 8 บิต มีปรีสเกลเลอร์ขนาด 8 บิตในตัว, ไทม์เมอร์ 1 ขนาด 16 บิต พร้อมปรีสเกลเลอร์ และไทม์เมอร์ 2 ขนาด 8 บิต มีปรีสเกลเลอร์, โพสต์สเกลเลอร์ และรีจีสเตอร์คาบเวลา (period register) ขนาด 8 บิตในตัว
- มีโมดูล CCP 2 ชุด โดย
  - ส่วนตรวจจับสัญญาณหรือแคปเจอร์ (Capture) มีขนาด 16 บิต ความละเอียดสูงสุด 12.5 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนเปรียบเทียบสัญญาณ (Compare) มีขนาด 16 บิต ความละเอียดสูงสุด 200 ns
- วงจร PWM มีความละเอียดสูงสุด 10 บิต

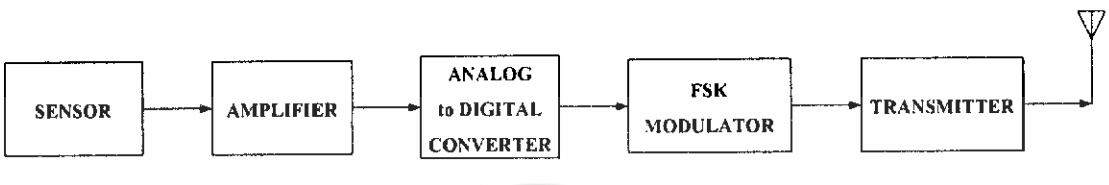
- มีวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 10 บิต (5 ช่องสำหรับรุ่น 28 ขาและ 8 ช่องสำหรับรุ่น 40 ขา)
- วงจรเชื่อมต่ออุปกรณ์อนุกรมทั้ง SPI และบัส I^2C
- วงจรสื่อสารข้อมูลอนุกรม (USART) พร้อมการตรวจจับแอดเดรส 9 บิต
- มีวงจรตรวจจับระดับแรงดันไฟเลี้ยง (บราวเอาต์ดีเทคชั่น : Brown-out detection) เพื่อการรีเซตซีพียู หรือเรียกว่า บราวเอาต์รีเซต (Brown-out reset : BOR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณแ ละการสร้าง

ในบทนี้จะเป็นเรื่องของการคำนวณและการสร้างวงจรขึ้นมาโดยอาศัยบล็อกไดอะแกรมดัง รูปที่ 3.1 มาสร้างเป็นวงจร โดยการสร้างวงจรจะทำให้ ได้ใกล้เคียงกับทฤษฎีและผลการทำงานที่ต้องการมากที่สุด



(a)

(b)

รูปที่ 3.1 (a) บล็อกไดอะแกรมของเครื่องส่ง
(b) บล็อกไดอะแกรมของเครื่องรับ

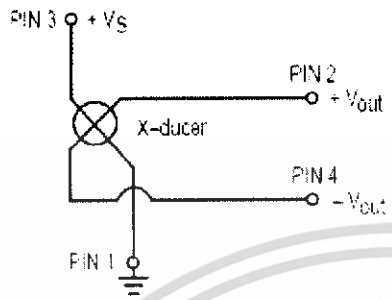
จากบล็อกไดอะแกรมภาคส่งด้านบนสามารถอธิบายการทำงานได้คือ SENSER ทำการแปลงความดันไปเป็นแรงดันไฟฟ้าโดยมีช่วงการแปลงอยู่ในช่วง 0-38 mV ใช้เซ็นเซอร์เบอร์ MPX10GP แล้วนำมาผ่านวงจรขยายแรงดันเพื่อให้ขนาดแรงดันอยู่ในช่วง 0-5 V โดยใช้ไอซีเบอร์ MPC602 ทำหน้าที่ขยายแรงดัน เมื่อได้ขนาดแรงดันที่เหมาะสมแล้วจะนำมาผ่านวงจรแปลงอนาลอกเป็นดิจิตอล เพื่อทำการแปลงเป็นสัญญาณข้อมูล เมื่อได้สัญญาณข้อมูลซึ่งเป็นสัญญาณดิจิตอลแล้วจะนำมามอดูเลทแบบ FSK เมื่อทำการมอดูเลทแล้วจะได้สัญญาณ FSK ออกมาแล้วนำสัญญาณดังกล่าวมาทำการส่งออกอากาศโดยใช้เครื่องส่ง 27 MHz

บล็อกไดอะแกรมทางด้านรับสามารถอธิบายได้ดังนี้ เครื่องรับทำหน้าที่รับสัญญาณที่ส่งมาจากทางด้านส่ง โดยสัญญาณที่รับได้จะเป็นสัญญาณ FSK แล้วนำมาทำการดีมอดูเลทเพื่อเอาข้อมูลที่เป็นสัญญาณดิจิตอลออกมาแล้วนำมาเข้าวงจรคอมพาราเตอร์ เพื่อเปรียบเทียบสัญญาณข้อมูลที่รับเข้ามา แล้วทำการแสดงผลโดยใช้ 7-SEGMENT ควบคุมการทำงานโดยใช้ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

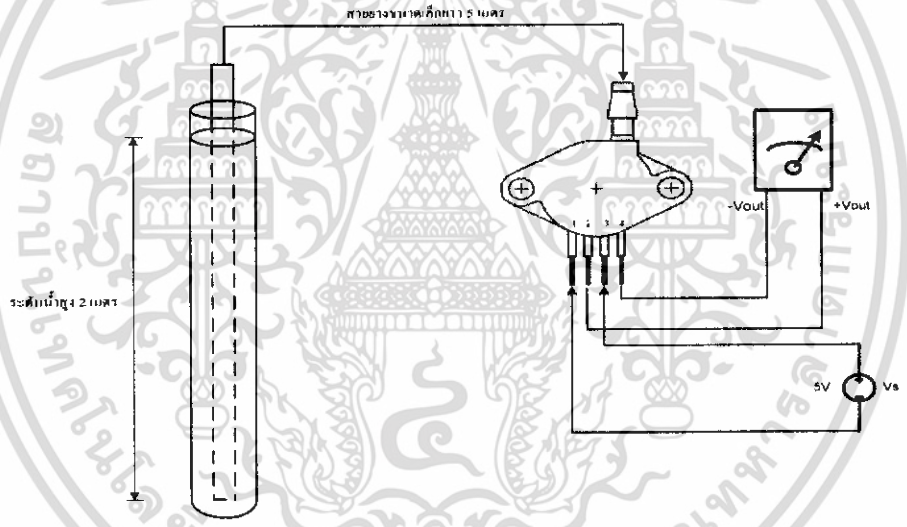
3.1 การต่อใช้งานเซนเซอร์

ในโปรเจคนี้จะจำลองการทำงานการวัดระดับน้ำ เพื่อให้สะดวกในการทดลอง ดังนั้นจึงเลือกใช้เซนเซอร์ระดับน้ำที่ใช้งานในระดับน้ำที่ไม่ลึกมาก ใช้เบอร์ MPX10GP



PIN NUMBER			
1	Gnd	3	Vs
2	+Vout	4	-Vout

(a)



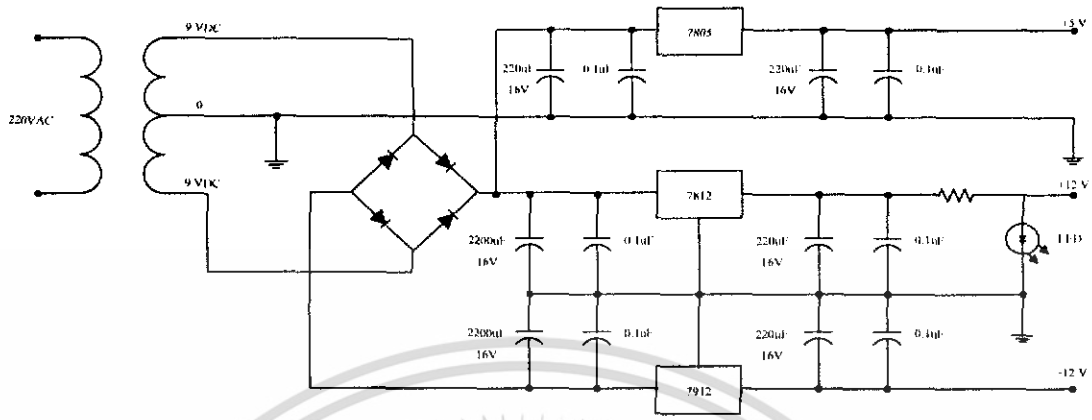
(b)

รูปที่ 3.2 (a) วงจรสมมูลย์ของ MPX10GP
(b) รูปการต่อใช้งานเซนเซอร์

ในการสร้างนั้นใช้ท่อพีวีซีขนาดเส้นผ่านศูนย์กลาง 2.5 นิ้ว สูงประมาณ 2.05 เมตร ใส่น้ำเข้าไปจนได้ระดับ 2 เมตร จากนั้นนำสายยางขนาดเล็กที่มีความยาวประมาณ 5 เมตร ให้ปลายข้างหนึ่งใส่เข้าไปในท่อระดับน้ำ ส่วนอีกข้างให้สวมที่ตัวเซนเซอร์ดังรูปที่ 3.2 (b) เซนเซอร์นี้จะแปลงความดันที่ได้รับมาจากสายยางเป็นแรงดัน น้ำยิ่งลึก ความดันก็สูง และ จะได้แรงดันที่สูงตามด้วย แต่ค่าแรงดันสูงสุดที่ได้ทางเอาท์พุตนั้น แต่ละเบอร์ก็มีค่าไม่เท่ากัน ในการทดลองจะใช้วิธีการเลื่อนตำแหน่งของสายยาง เป็นการจำลองระดับน้ำขึ้น และ ลงตามธรรมชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

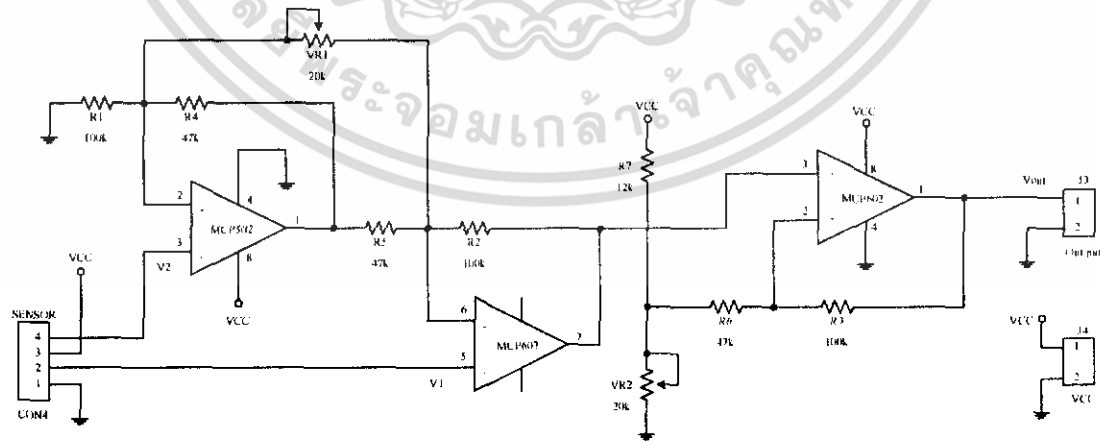
3.2 วงจรเพาเวอร์ซัพพลาย (Power Supply)



รูปที่ 3.3 วงจรภาคเพาเวอร์ซัพพลาย

จากรูปที่ 3.3 เป็นวงจรในส่วนเพาเวอร์ซัพพลาย ที่จ่ายกระแสไฟฟ้าให้กับส่วนต่างๆของวงจร หม้อแปลงจะแปลงแรงดันจาก 220 โวลต์เป็นแรงดันขนาด 12 โวลต์ผ่านไดโอดบริดจ์ได้แรงดันไฟฟ้ากระแสตรงประมาณ +16 โวลต์และ -16 โวลต์ จากนั้นแรงดันทางด้านบวกจะใช้ไอซีเรกกูเลตเบอร์ 7812 และเบอร์ 7805 ได้เอาท์พุทเป็นแรงดัน +12 โวลต์และ +5 โวลต์ตามลำดับ ทางด้านแรงดันลบใช้ไอซีเรกกูเลตเบอร์ 7912 ได้เอาท์พุทเป็นแรงดัน -12 โวลต์

3.3 วงจรขยายแรงดัน



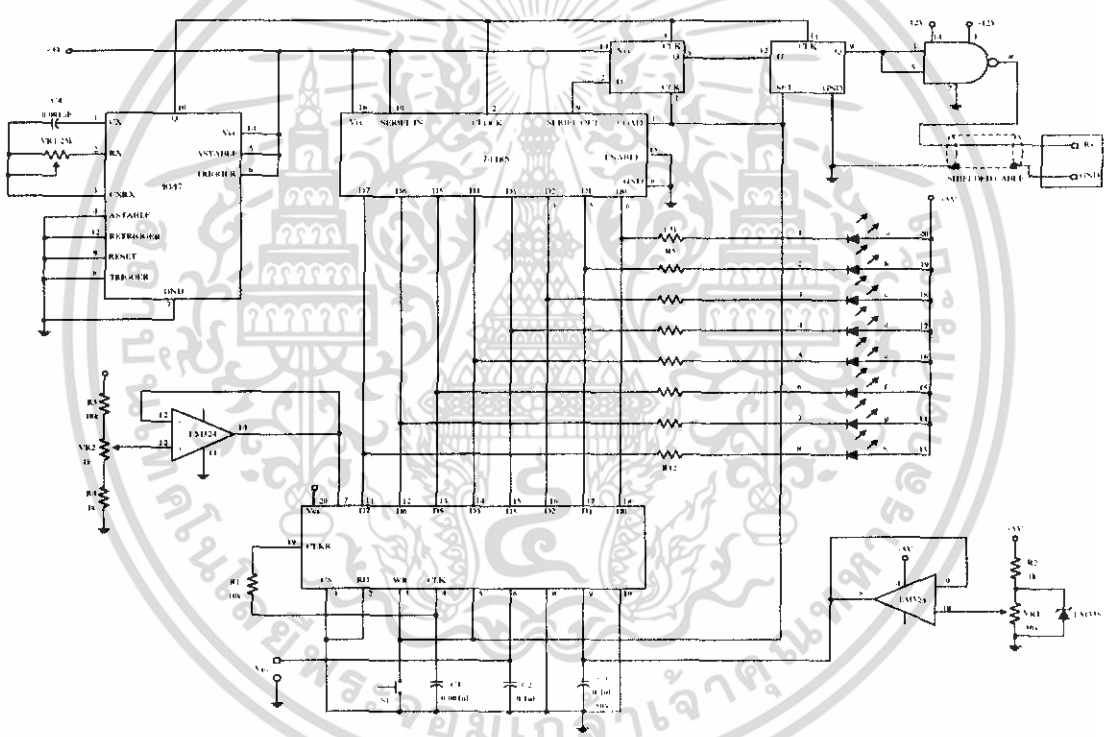
รูปที่ 3.4 แสดงวงจรขยายแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายแรงดันจะประกอบด้วยออปแอมป์ 3 ตัว โดย 2 ตัวแรกจะเป็นวงจรขยายแรงดันผลต่าง แล้วออปแอมป์ตัวที่ 3 จะต่อเป็นแบบ Non-Inverting Amplifier เป็นตัวขยายแรงดันตัวสุดท้าย และมี R7 กับ VR2 ต่อแบบแบ่งแรงดันเพื่อปรับให้เอาท์พุทมีแรงดันเริ่มต้นที่ 0V กำหนดการต่อตัวต้านทานในวงจรดังนี้ R1 = R2 และ R4 = R5 จะได้สมการดังนี้

$$Vout = (V_1 - V_2)\left(1 + \frac{R_1}{R_4} + \frac{2R_1}{VR_1}\right) - \left(\frac{VccVR_2}{R7 + VR_2}\right)$$

3.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล



รูปที่ 3.5 แสดงวงจรแปลงอนาลอกเป็นดิจิตอล

การทำงานของวงจรแปลงอนาลอกเป็นดิจิตอลเริ่มจากไอซี ADC0804 เป็นไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ CMOS ขนาด 8 บิท ซึ่งทำงานแบบ Successive Approximation สามารถทำงานทั้งหมดได้ภายในตัวมันเอง *ภายในตัวไอซีจะประกอบไปด้วยวงจรสร้างสัญญาณนาฬิกา* และกำหนดค่าความถี่ได้จาก R1 และ C1

สัญญาณนาฬิกาสูงสุดที่ใช้กับไอซีคือ 64 KHz ซึ่งจะทำให้ใช้เวลาการแปลง 100 ไมโครวินาที โดยมีอัตราการแซมปลิ้งที่ 10 KHz แต่การใช้งานจริงจะไม่ใช้ค่าสูงสุด เพราะจะทำให้การส่งข้อมูลมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิน 960 แซมปลิ้งต่อวินาที ในโหมดการทำงานด้วยตนเองโดยไม่ต้องมีสัญญาณควบคุมจากภายนอก ขา Read (ขา2) กับขา Chip-select (ขา) ของไอซีจะถูกต่อลงกราวด์ ส่วนขา Interrupt Output (ขา5) จะถูกต่อไปยังขา Write Data Input (ขา3) เพื่อให้การแปลงและการส่งข้อมูลเป็นไปอย่างอัตโนมัติ สวิตช์ S1 เป็นสวิตช์กดติดปล่อยดับ ต่อเอาไว้เพื่อทำหน้าที่รีเซ็ตเมื่อให้วงจรเริ่มทำงานครั้งแรก แรงดันอ้างอิงที่ใช้กับไอซี จะถูกสร้างขึ้นจากไอซีเบอร์ LM 336 ซึ่งจะสร้างแรงดันอ้างอิงขึ้นมา 2.5 V ผ่าน $IC_{6/1}$ เบอร์ LM324 ซึ่งจะทำหน้าที่เป็นบัฟเฟอร์โดยมี VR_1 คอยปรับย่านแรงดันอีกที สำหรับขา –Vin จะใช้ปรับแรงดันศูนย์ ซึ่งจะกำหนดจาก R_3 , R_4 และ VR_2 ซึ่งจะต่ออยู่ในลักษณะของวงจรแบ่งแรงดันผ่านมายัง $IC_{6/2}$ เป็นออปแอมป์ทำหน้าที่เป็นบัฟเฟอร์ก่อนจะส่งเข้าขา –Vin สัญญาณอินพุทที่ป้อนเข้าขา +Vin จะถูกแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิต ออกทางขา 11 ถึงขา 18 ค่าแรงดันของการตรวจวัดอยู่ที่ย่าน 0-5 โวลท์ สามารถแปลงเป็นข้อมูลดิจิตอลได้ 256 ระดับ จากค่า 00000000 จนถึง 11111111 ค่าความแตกต่างระหว่างระดับสัญญาณจะอยู่ที่ 19.53 มิลลิโวลท์ หรือ 5 โวลท์/256ระดับ

ข้อมูลดิจิตอลที่ถูกแปลงออกมาจะป้อนให้กับ IC_2 เบอร์ 74165 เป็นชิพรีจิสเตอร์ทำการเลื่อนข้อมูลแบบขนาน 8 บิต ส่งออกเอาต์พุตเป็นแบบอนุกรมตามจังหวะของสัญญาณนาฬิกา โดยการส่งข้อมูลเพื่อให้เป็นไปตามมาตรฐานการส่งข้อมูลแบบอะซิงโครนัส จะต้องส่งบิตเริ่มต้นและบิตปิดท้ายออกไปกับข้อมูลด้วย โดยเริ่มต้นจะกำหนดจาก $IC_{4/1}$ เบอร์ 7474 ส่วนบิตปิดท้ายก็จะถูกกำหนดด้วย $IC_{4/2}$ ขา Serial Input ของ IC_2 จะถูกต่อไว้ให้เป็นลอจิก "1" เสมอ ดังนั้นถ้าไม่มีการส่งข้อมูลจาก IC_1 แล้วข้อมูลจากขา Serial Input จะถูกส่งไปยังเอาท์พุตเปรียบเสมือนว่าเป็นการส่งบิตปิดท้ายไปนั่นเอง เมื่อ IC_1 ทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเรียบร้อยแล้วก็จะส่งสัญญาณ INTR ออกไปให้กับขา WR IC_1 ก็จะส่งสัญญาณเอาต์พุตขนาด 8 บิต ออกไปยัง IC_2 โดยอัตโนมัติ และสัญญาณ INTR นี้จะส่งไปยังขา LOAD ของ IC_2 เพื่อให้ IC_2 รับข้อมูลได้ที่ชิพรีจิสเตอร์ และสัญญาณ INTR ก็ยังส่งไปเป็นสัญญาณ CLR และ SET ให้กับ $IC_{4/1}$ และ $IC_{4/2}$ ตามลำดับ เพื่อกำหนดบิตเริ่มต้นและบิตปิดท้ายให้กับการส่งข้อมูล

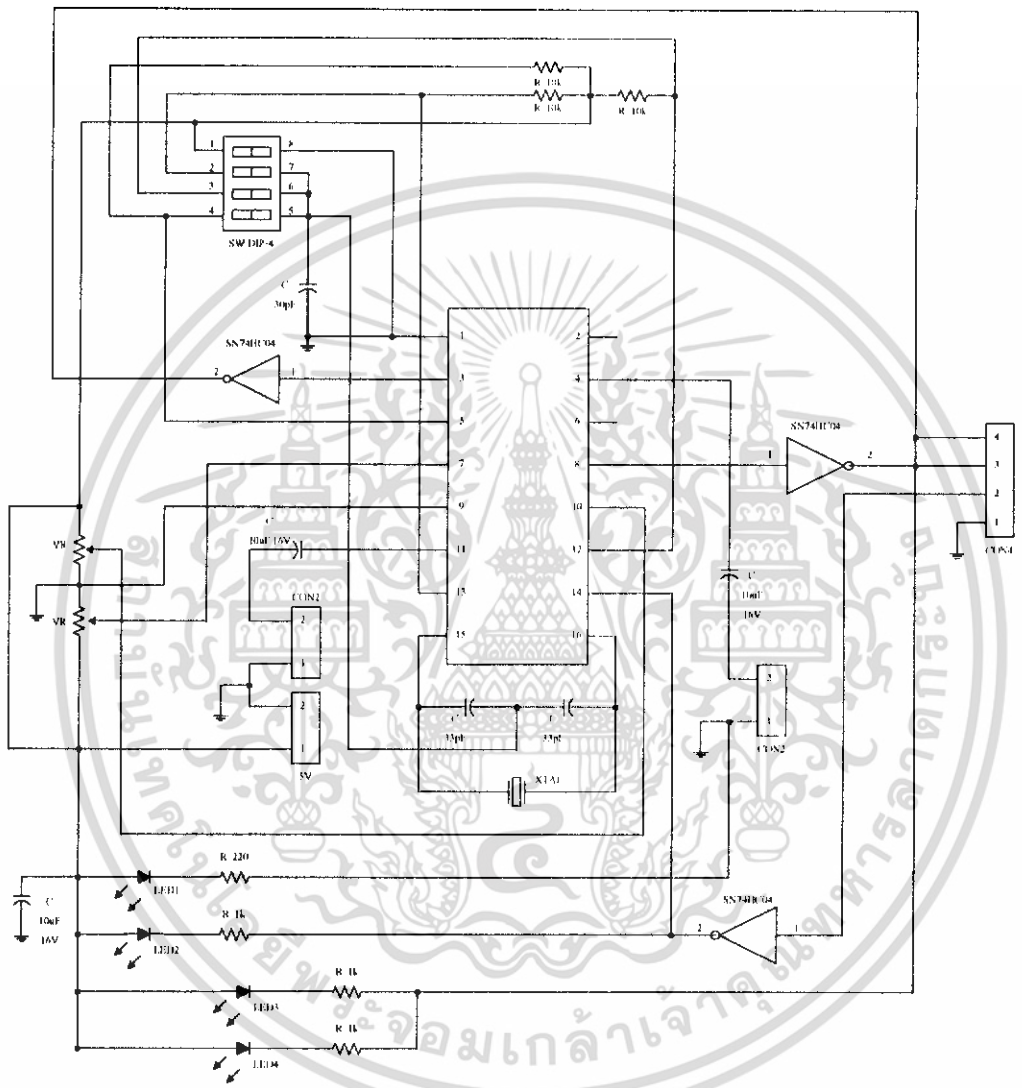
สำหรับการกำหนดค่าอัตราบอดหรืออัตราการส่งข้อมูลจะใช้ IC_3 เบอร์ 4047 มาทำงานในลักษณะของวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ ออกแบบเพื่อให้ใช้ได้กับชิพรีจิสเตอร์ขนาน 10 ช่อง ตัวเก็บประจุ C_4 และ VR_3 ทำหน้าที่เป็นตัวปรับสัญญาณนาฬิกา $IC_{5/1}$ เบอร์ 7404 ทำหน้าที่เป็น NOT GATE กลับค่าสัญญาณข้อมูลที่ได้ สำหรับ LED ทั้ง 8 ตัว จะใช้เป็นตัวแสดงผลการทำงานของข้อมูลที่แปลงได้จาก ADC0804 เพื่อตรวจสอบการทำงานของวงจร

3.5 วงจร FSK มอดูเลเตอร์ และ ดีมอดูเลเตอร์

วงจรมอดูเลเตอร์และดีมอดูเลเตอร์ใช้ไอซีเบอร์ TCM 3105 เป็นตัวมอดูเลเตอร์และดีมอดูเลเตอร์ โดย TCM 3105 เป็นไอซี FSK โมเดมทำหน้าที่มอดูเลชั่นและดีมอดูเลชั่นได้ในตัวเดียวกัน แต่ในโครงงานนี้จะกำหนดให้รับอย่างเดียวในภาครับและส่งอย่างเดียวในภาคส่ง วงจรที่ใช้แสดงดังรูปที่ 3.5 สามารถกำหนดการรับ-ส่งและอัตราการส่งข้อมูลโดยเลือกที่ DIP-SW ตามตารางที่ 3.2 โดยใช้ขา TRS , TXR1 และ TXR2 โดยป้อนข้อมูลที่เป็นดิจิตอลเข้าที่ขา RXD และสัญญาณ FSK จะออกมาที่ขา TXA แล้วนำสัญญาณนี้ไปเข้าวงจรเครื่องส่ง 27 MHz เพื่อส่งออกอากาศต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานส่วนของดีมอดูเลเตอร์จะนำสัญญาณ FSK ที่รับได้จากทางเครื่องรับมาเข้าที่ขา RXA เพื่อทำการดีมอดูเลต ข้อมูลที่ได้จะเป็นสัญญาณดิจิตอลออกมาทางขา TXD ซึ่งเป็นข้อมูลที่เราต้องการ การทำงานของวงจรควบคุมโดย Clock ซึ่งต่อที่ขา OSC1 และ OCS2 โดยใช้ Crystal 4.4336 MHz ต่อร่วมกับ C ค่า 33 pF



รูปที่ 3.6 แสดงวงจรมอดูเลเตอร์และดีมอดูเลเตอร์

คุณสมบัติของ TCM3105 มีดังนี้

- เป็นโมเด็มชิพเดี่ยวแบบ FSK
- สามารถใช้ได้ทั้งมาตรฐาน Bell 202 และ CCITT V23
- ส่งสัญญาณมอดูเลท ในอัตรา 75 , 150 , 600 และ 1,200 บอด (Baud)
- รับสัญญาณดีมอดูเลท ในอัตรา 5 , 75 , 150 , 600 และ 1,200 บอด (Baud)
- สามารถ รับ-ส่ง ข้อมูลด้วยอัตรา 1,200 บอด แบบ Half – Duplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สามารถส่งข้อมูลด้วยอัตรา 1,200 บอด และ รับข้อมูลด้วยอัตรา 150 บอด แบบ Full- Duplex
- มีวงจรหน่วงเวลา และ ฟิวเตอร์ ทั้งทางด้านส่งและด้านรับ ในชิพเดียวกัน
- ปรับระดับการดีเทคสัญญาณคลื่นพาหะ (Carrier) และ ตัดสัญญาณคลื่นพาหะ ทางด้านเอาท์พุท
- ใช้ไฟเลี้ยง 5V และกำลังต่ำ
- การสร้างอาศัยเทคโนโลยี CMOS Silicon เกต

การทำงานของขาต่างๆของ TCM3105

PIN		หน้าที่การทำงาน
NO.	ชื่อ	
1	VDD	เป็นไฟเลี้ยงป้อนให้กับ TCM3105
2	CLK	เอาท์พุทสำหรับสัญญาณคล็อคต่อเนื่องที่ 16 เท่าของอัตราบิทที่เลือกไว้
3	CDT	ขาดีเทคสัญญาณคลื่นพาหะ ที่สัญญาณเอาท์พุทระดับต่ำบอกถึงคลื่นพาหะที่หายไป
4	RXA	รับสัญญาณอินพุทที่เป็นอนาล็อคซึ่งใช้รับสัญญาณจากสายที่เป็น AC
5	TRS	เลือกอินพุท รับ-ส่ง ขานี้เลือกตาม TXR1 และ TXR2 ตามมาตรฐานและโหมดที่ใช้ดังตารางที่.....
6	NC	ไม่ได้เชื่อมต่อ
7	RXB	เป็นตัวรับการปรับไบอัสสำหรับการปรับค่าระดับจากภายนอกของตัวเปรียบเทียบตัวสุดท้ายเพื่อลดค่าบั่นทอนให้มีค่าน้อยที่สุด
8	RXD	รับสัญญาณเอาท์พุทดิจิตอลที่ถูกมอดูเลท มาร์คถูกแทนด้วยระดับสูง และสเปซถูกแทนด้วยระดับต่ำ ขา RXD ยังคงอยู่ระดับสูงถ้าไม่มีสัญญาณอนาล็อคเข้ามาที่ RXA
9	VSS	ขาไฟลบปกติจะต่อเข้ากับกราวน์
10	CDL	ขาปรับระดับการจับคลื่นพาหะ สำหรับการปรับภายนอกของทางเข้าของคลื่นพาหะ
11	TXA	ส่งสัญญาณเอาท์พุทซึ่งเป็นสัญญาณอนาล็อคสำหรับจะต้องมอดูเลทซึ่งต้องเป็น AC คัปปลิ้ง
12	TXR2	เป็นขาเลือกบิทเรท 2 ตามค่าของ TXR1 และ TRS และตามมาตรฐานกับโหมดที่ใช้ดังตาราง 3.2
13	TXR1	เป็นขาเลือกบิทเรท 1 ตามค่าของ TXR2 และ TRS และตามมาตรฐานกับโหมดที่ใช้ดังตาราง 3.2
14	TXD	ส่งสัญญาณดิจิตอล สำหรับป้อนข้อมูลเข้าเครื่องส่ง
15 16	OSC1 OSC2	ใช้เชื่อมต่อออสซิลเลเตอร์ที่เป็นคริสตอลชนิด 4.4336 MHz ถ้า clock ภายนอกถูกใช้ OSC2 จะเปิดไว้ และ จะใช้ clock ที่เชื่อมต่อกับ OSC1

ตารางที่ 3.1 การทำงานของขาต่างๆ ของ TCM310

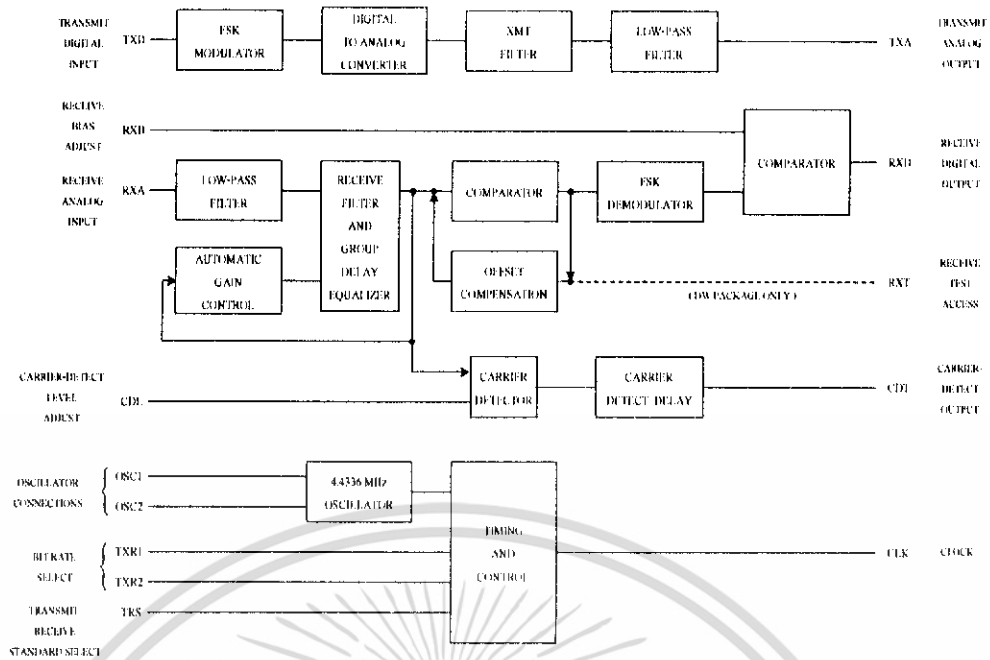
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Standard	TRS	TXR1	TXR2	TRANSMIT Bit Rate (Bit / s)	RECEIVE Bit Rate (Bit / s)	Transmit Freq (Hz)	Receive Freq (Hz)	Clock (kHz)
CCITT V.23	0	0	0	1200	1200	M 1300 S 2100	M 1300 S 2100	19.11
	1	0	0	1200	75	M 1300 S 2100	M 390 S 450	19.11
	0	0	1	600	75	M 1300 S 2100	M 390 S 450	9.56
	1	0	1	600	600	M 1300 S 1700	M 1300 S 1700	9.56
	0	1	0	75	1200	M 390 S 450	M 1300 S 2100	19.11
	1	1	0	75	600	M 390 S 450	M 1300 S 1700	9.56
	0	1	1	75	75	M 390 S 450	M 390 S 450	1.19
BELL 202	CLK	0	0	1200	1200	M 1200 S 2200	M 1200 S 2200	19.11
	CLK/8	0	1	1200	150	M 1200 S 2200	M 387 S 487	19.11
	CLK/8	0	1	1200	5	M 1200 S 2200	M 387 S 0	19.11
	CLK	1	0	150	1200	M 387 S 487	M 1200 S 2200	19.11
	CLK	1	1	150	150	M 387 S 487	M 387 S 487	2.39
		1		5	1200	M 387 S 0	M 1200 S 2200	19.11
	1	1	1	TRANSMIT Disabled	1200	TRANSMIT Disabled	M 1200 S 2200	19.11

In this mode, the modulation is controlled by the TRS and TXR2 inputs. TXD is set to 1.If TRS = CLK & TXR2 = 0 , then TXR = 387 Hz. If TRS = 1 & TXR2 = 1 , then TXR = 0 Hz

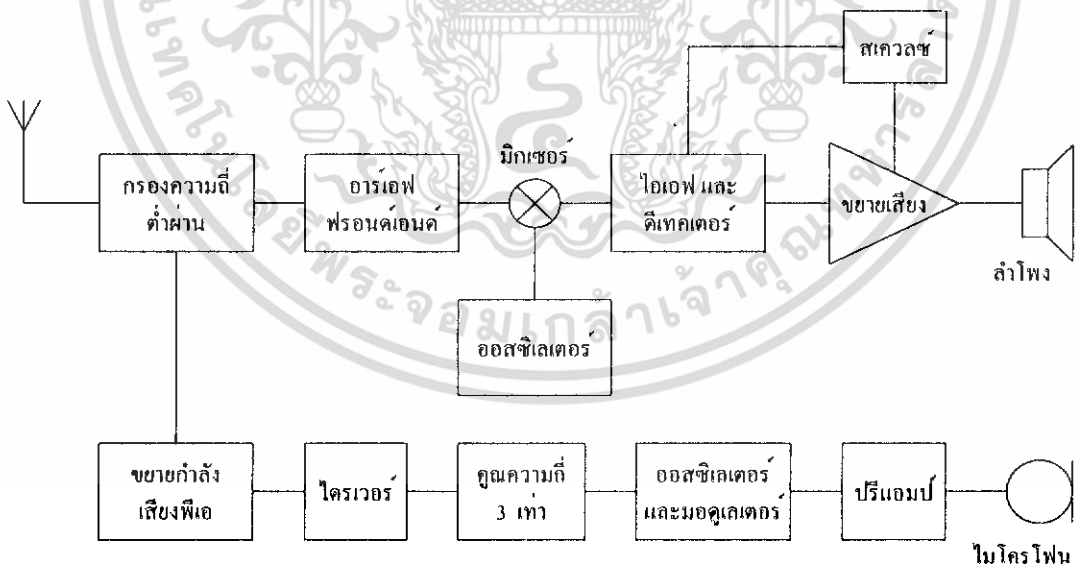
ตารางที่ 3.2 โหมดการทำงานของ TCM3105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 บล็อกไดอะแกรมการทำงานของ TCM 3105

3.6 โครงสร้างเครื่องรับ – ส่งทั่วไป



รูปที่ 3.8 บล็อกไดอะแกรมของวิทยุรับ-ส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 เป็นบล็อกไดอะแกรมพื้นฐานของวิทยุรับ-ส่งโดยทั่วไป ซึ่งการทำงานของแต่ละบล็อกจะอธิบายการทำงานได้ดังนี้

- ภาคกรองความถี่ต่ำผ่าน (Low Pass Filter) จะทำหน้าที่เป็นตัวกรองสัญญาณวิทยุ และเป็นตัวป้องกันความถี่ที่ไม่ต้องการเข้าสู่วงจร และไม่ให้สัญญาณที่ไม่ถูกต้องออกไปรบกวนเครื่องอื่นๆ ภายนอก
- ภาคอาร์เอฟฟรอนด์เอนด์ (RF front end) จะขยายสัญญาณวิทยุที่ได้รับมาจากสายอากาศ ซึ่งมีความแรงน้อยมาก ตัวทรานซีสเตอร์ที่ใช้ในภาคนี้จะขยายสัญญาณวิทยุเป็นช่วงกว้างๆ หรือหลายความถี่ ดังนั้นจึงต้องมีการกำหนดย่านความถี่ให้ทรานซีสเตอร์ทำงาน
- ภาคมิกเซอร์และโลคัลออสซิลเลเตอร์ ภาคออสซิลเลเตอร์จะเป็นตัวกำหนดความถี่ขึ้นมา และไปผสมกับความถี่ที่เข้ามาที่ภาคมิกเซอร์ ให้มีการหักล้างกันจนเหลือความถี่ค่ากลางเรียกว่า "ความถี่ไอเอฟ" เพื่อนำไปขยายต่อไป
- ภาคไอเอฟและดีเทคเตอร์ ความถี่ที่ได้มาจากการผสมกันระหว่างโลคัลออสซิลเลเตอร์และสัญญาณวิทยุที่ต้องการจะเหลือเป็นความถี่ไอเอฟ และจะทำการขยายให้มีความแรงขึ้นตามลำดับ ภาคดีเทคเตอร์จะทำหน้าที่ในการแปลงสัญญาณวิทยุให้เป็นความถี่เสียงที่สามารถรับฟังได้
- ภาคขยายเสียง จะทำการขยายเสียงให้แรงขึ้น และขับออกลำโพงเพื่อให้ความดังที่เพียงพอในการใช้งาน
- สเควลช์ จะทำหน้าที่คอยปิดและเปิดภาคขยายเสียง ซึ่งตามปกติแล้ววิทยุรับส่งนั้น เมื่อไม่ได้มีการส่งสัญญาณเข้ามา เครื่องรับจะทำการรับสัญญาณรบกวนในอากาศเข้ามา และทำการขยายออกลำโพงด้วย เราจะได้ยินเป็นเสียงซ่าที่แรงมาก ซึ่งไม่เป็นที่ต้องการ ดังนั้นภาคนี้จึงจำเป็นมาก ภาคสเควลช์จะเปิดเมื่อมีคลื่นวิทยุที่ต้องการเข้ามาเท่านั้น และจะปิดภาคขยายเสียงเมื่อไม่มีคลื่นวิทยุที่ต้องการเข้ามา แต่ในขณะเดียวกันภาครับของวิทยุส่วนอื่นๆ ยังคงทำงานตามปกติ
- ภาคปรีแอมป์ จะทำหน้าที่ขยายสัญญาณความถี่เสียง ที่ได้จากไมโครโฟนให้แรงขึ้นจนกระทั่งเหมาะสมที่จะนำไปใช้งานได้
- ภาคออสซิลเลเตอร์และมอดูเลเตอร์ จะทำหน้าที่สร้างความถี่ที่วิทยุต้องการส่ง และในขณะเดียวกันก็จะนำเอาสัญญาณความถี่เสียงมาผสมกัน หรือมอดูเลตกันแบบ FM
- ภาคทวิคูณความถี่วิทยุ โดยปกติถ้าหากเป็นความถี่วิทยุที่สูงแล้ว การที่เราจะผสมสัญญาณพูเข้าไปนั้น เปอร์เซนต์การเปลี่ยนแปลง (ในระบบ FM) ของคลื่นวิทยุจะน้อย ซึ่งอาจมีผลทำให้เสียงเบา จึงนิยมที่ผสมหรือมอดูเลตที่ความถี่ต่ำและทวีคูณความถี่ให้สูงขึ้น ซึ่งก็จะมีผลทำให้สัญญาณที่มอดูเลตเข้าไปนั้นมีความดังเพิ่มขึ้นตามไปด้วย ซึ่งในที่นี้จะกำเนิดความถี่ที่ประมาณ 9 MHz และทำการทวีคูณขึ้น 3 เท่า เป็น 27 MHz
- ภาคไดรเวอร์และขยายกำลัง จะทำหน้าที่ขยายสัญญาณวิทยุให้แรงมากขึ้นก่อนส่งออกทางสายอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1 การทำงานของวงจรภาคฟรอนต์เอนด์

สัญญาณคลื่นวิทยุที่เข้ามาทางสายอากาศจะถูกกรองสัญญาณข้างต้นโดยวงจรกรองกรองความถี่ต่ำผ่าน ซึ่งประกอบด้วย L_{11} , L_{12} , L_{13} และ C_{56} , C_{57} , C_{58} โดยผ่านมาทาง C_1 โดยมี D_1 , D_2 ทำหน้าที่ป้องกันสัญญาณที่แรงมากเกินไป ขดลวด L_1 และ L_2 ต่อเป็นลักษณะดับเบิ้ลจูนเพื่อให้ได้สัญญาณที่ต้องการเท่านั้น ทรานซิสเตอร์ Q_1 เป็นภาคขยายความถี่วิทยุ ทำการขยายสัญญาณให้แรงขึ้น (เป็นทรานซิสเตอร์ชนิดสัญญาณรบกวนต่ำหรือ Low noise เท่านั้น) โดยมีขดลวด L_3 ต่อเป็นดับเบิ้ลจูนเช่นกัน ทำการคับปลิ้งสัญญาณแล้วส่งผ่าน C_{11} เข้าไปยัง IC_1 ที่ขา 16 เพื่อเข้าวงจรมิกเซอร์ในตัว IC_1 ต่อไป

3.6.2 การทำงานของ MC3361BP

สัญญาณที่เข้ามาที่ขา 16 ของไอซีเบอร์ MC3361BP มีความถี่เท่ากับ 27.125MHz ในตัว IC_1 มีวงจรมิกเซอร์อยู่ในตัว ซึ่งปกติมักจะใช้โดยต่อคริสตอลความถี่ 10.240 เข้าโดยตรงแต่ในวงจรจะใช้วงจรออสซิลเลเตอร์จากภายนอก ซึ่งในวงจรประกอบด้วย X'TAL1, Q_2 และจะสามารถผลิตความถี่ 26.670 MHz เข้าทางขา 2 ของ IC_1 ซึ่งเป็นขา OSC IN ความถี่ที่ถูกมิกซ์แล้วคือ 27.125 MHz – 26.670 MHz = 455 kHz ได้เป็นเอท์พุตออกทางขา 3 ของ IC_1 ผ่านไปเป็นเซรามิกฟิลเตอร์ CFU_1 ซึ่งเป็นตัวกรองความถี่โดยยอมให้ความถี่ 455 kHz ผ่านได้เท่านั้น

สัญญาณความถี่ 455 kHz หรือความถี่ไอเอฟนี้ส่งเข้ามาทางขา 5 ของ IC_1 โดยมี C_{18} และ C_{19} เป็นวงจรดีคัปปลิ้ง และ L_6 เป็นควอคราเจอร์และทำการดีเทคออกมาเป็นสัญญาณความถี่เสียงแล้วส่งเข้าทางขา 9 เพื่อส่งผ่านไปทางภาคขยายต่อไป

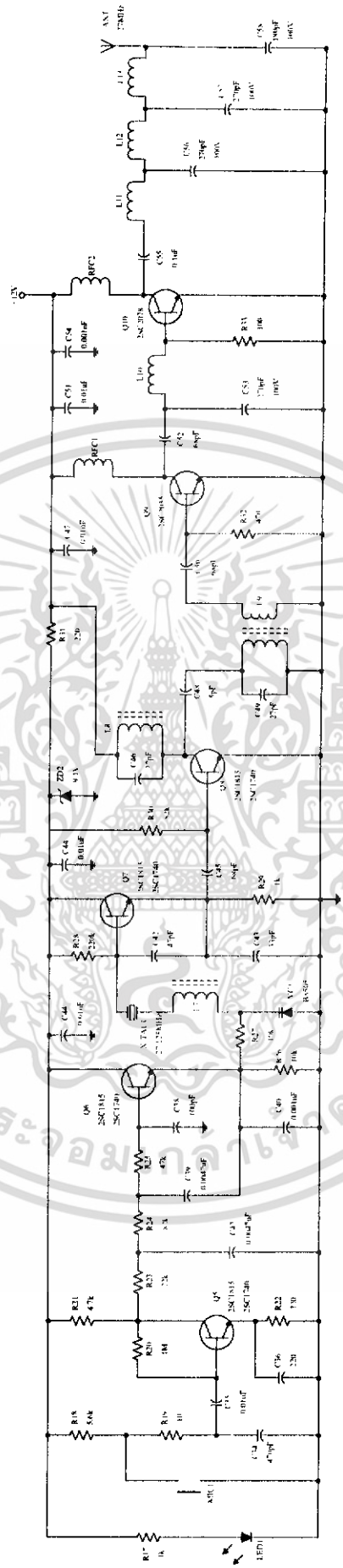
สัญญาณเสียงที่ออกมาจากขา 9 มีทั้งความถี่เสียงและสัญญาณรบกวนออกมาด้วยกัน กล่าวคือ ถ้าสัญญาณความถี่วิทยุมาแรงนอยส์ก็จะลดลง ดังนั้น R_7 , C_{22} , C_{23} จะกรองให้ความถี่เสียงลงกราวด์ไปเหลือแต่สัญญาณรบกวนที่ขา 10 และ 11 ของ IC_1 ซึ่งเป็นวงจรออปแอมป์มี R_8 เป็นตัวกำหนดอัตราการขยาย

ไดโอด D_3 , D_4 และตัวเก็บประจุ C_{25} เป็นวงจรควบคุมระดับแรงดันให้คงที่ ผ่านทาง R_9 เข้าทางขา 12 ซึ่งเป็นวงจรเปรียบเทียบ โดยจุดนี้จะเปรียบเทียบกับแรงดัน 0.6 V ในตัวไอซีถ้าขา 13 จะเป็น "ไฮ" เพื่อขับให้ Q_3 และ Q_4 ไปเปิดปิดวงจรขยายเสียงคือ IC_2 ต่อไป

3.6.3 การทำงานของวงจรภาคส่ง

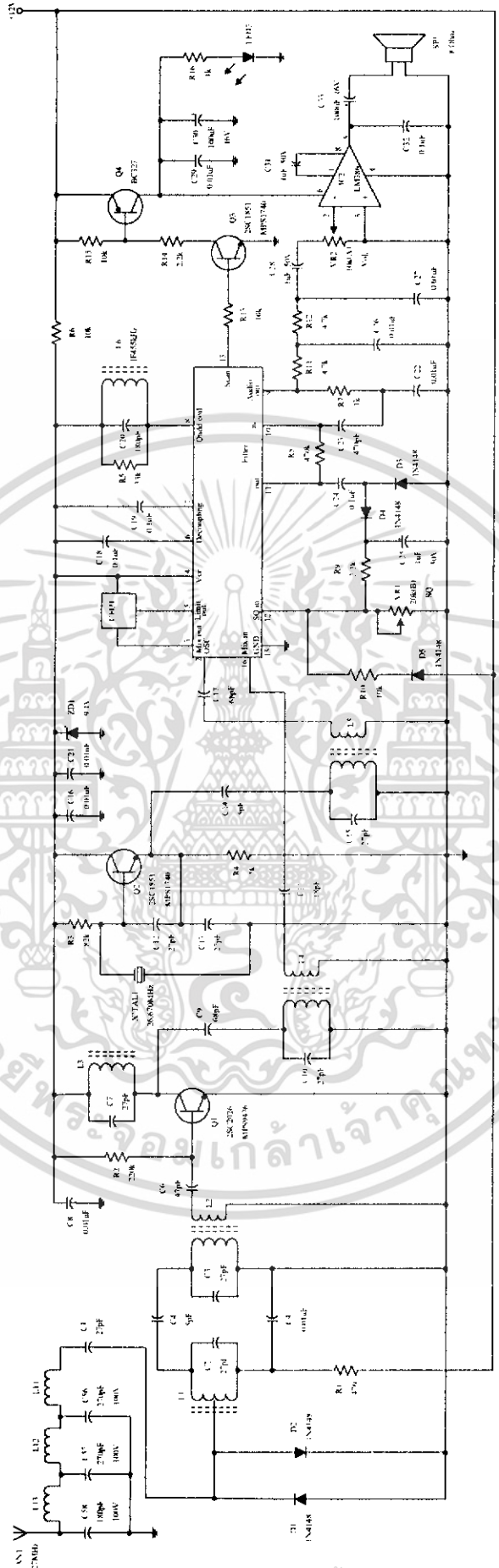
ทรานซิสเตอร์ Q_5 และ Q_6 เป็นภาคขยายสัญญาณจากไมโครโฟน Q_7 เป็นวงจรออสซิเลเตอร์ และมอดูเลเตอร์แบบ FM โดยจะกำเนิดความถี่ 27.0125/3 คือ 9.0416 MHz ทำการมอดูเลตกับสัญญาณความถี่เสียงจาก Q_6 โดยใช้วาริแคปไดโอด VC_1 ซึ่งจะเปลี่ยนค่าความจุตามค่าความแรงของสัญญาณเสียง ทำให้ความถี่ที่ผลิตได้ที่ Q_7 เปลี่ยนแปลงไปตามสัญญาณเสียง จากนั้นจึงส่งต่อไปให้ Q_8 และ L_8 เป็นวงจรขยายและทวีความถี่ขึ้น 3 เท่า ซึ่งจากการคูณความถี่ออกมาอย่างน้อย 3 ความถี่คือ F_1 , F_2 และ F_3 (9 , 18 , 27 MHz) ออกมา จึงต้องมีขดลวด L_9 ช่วยกันความถี่ที่ไม่ต้องการ คงให้เหลือ F_3 อย่างเดียว คือ 27.125 MHz และจะผ่านไปให้ Q_9 และ Q_{10} ทำการขยายกำลังต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

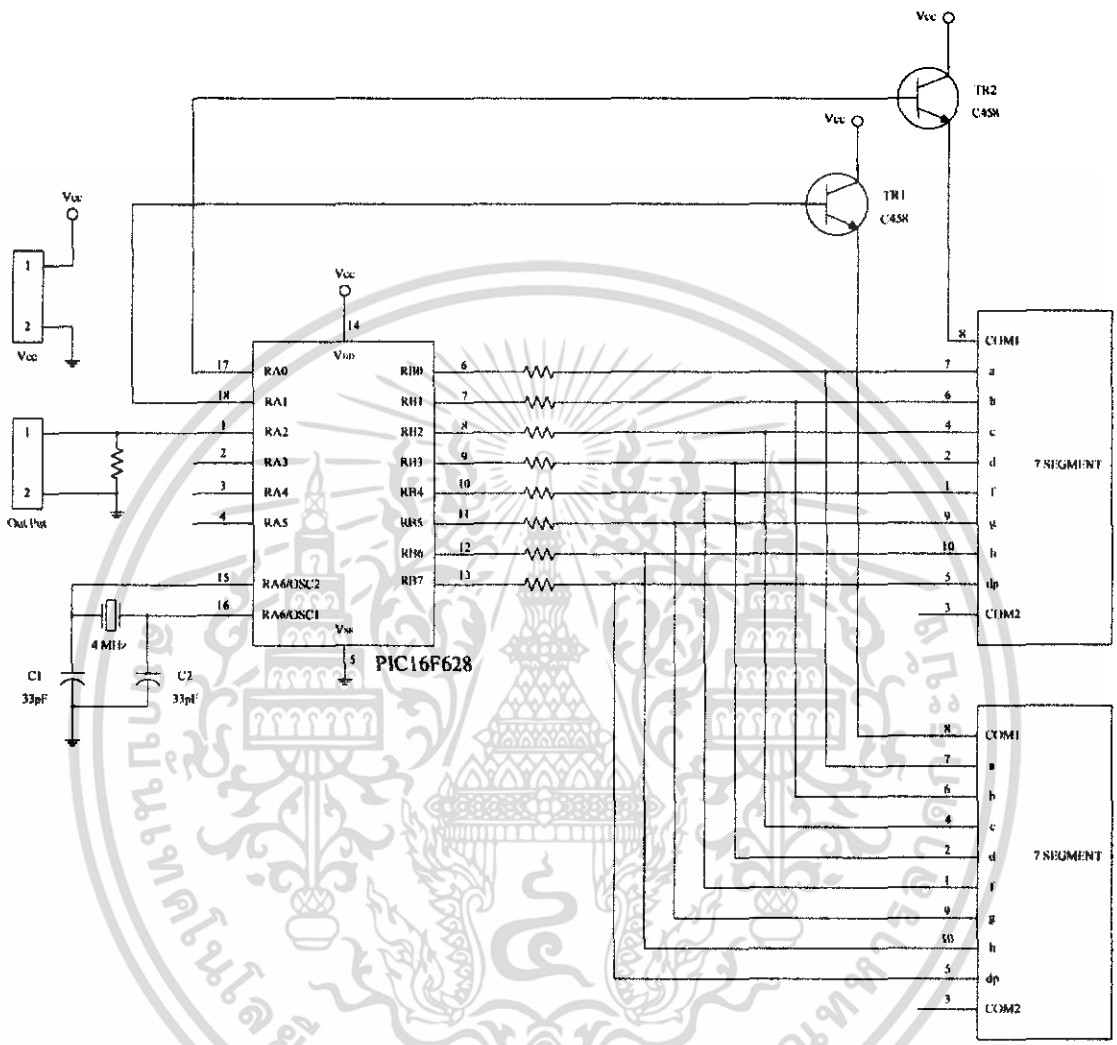


รูปที่ 3.10 วงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรภาคแสดงผล

วงจรภาคแสดงผลใช้ไมโครคอนโทรลเลอร์เบอร์ PIC 16F628 ต่อใช้งานร่วมกับ 7-segment โดยเขียนโปรแกรมควบคุม สามารถแสดงผลได้ตั้งแต่ 0-99 ระดับ



รูปที่ 3.11 วงจร Display แสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

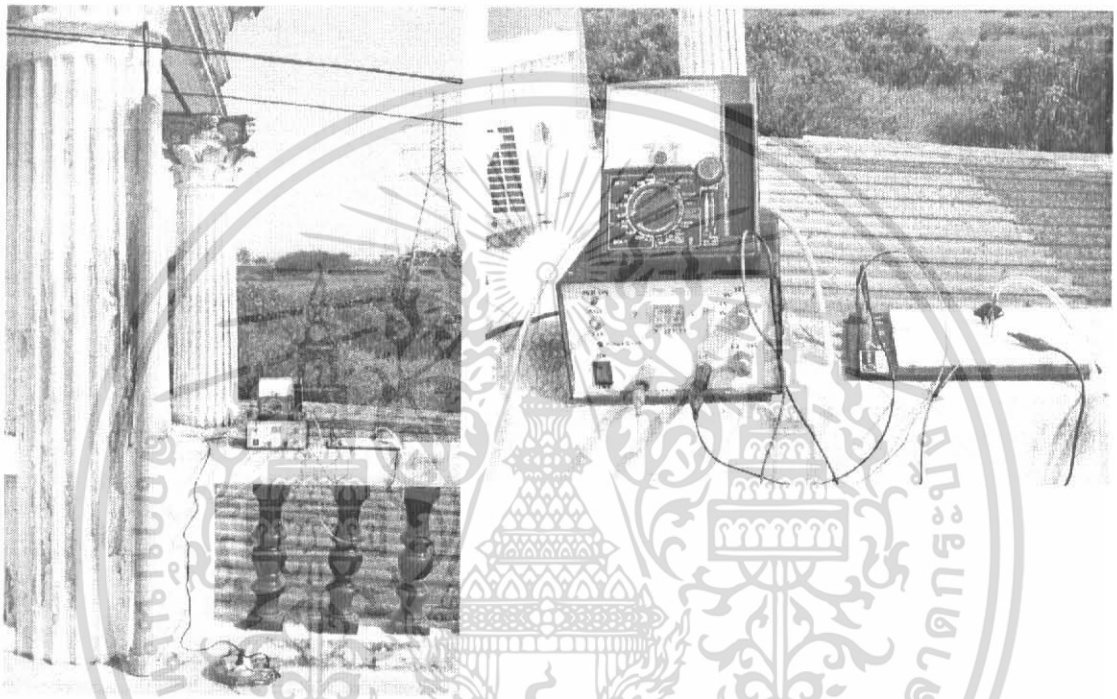
บทที่ 4

การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 เป็นการออกแบบวงจรในส่วนต่างๆ ตามบล็อกไดอะแกรม ในบทนี้จะเป็นผลการทดลองของวงจรในส่วนต่างๆ

4.1 การทดลองการทำงานของเซนเซอร์

เนื่องจากท่อระดับน้ำที่เราใช้นั้นมีความสูงประมาณ 2.05 เมตร ดังนั้นทำการทดลองการแจ้งจะสะดวกกว่า จากการออกแบบในบทที่ 3 จะแสดงการติดตั้งดังรูป 4.1



รูปที่ 4.1 แสดงการต่อทดลองการทำงานเซนเซอร์ระดับน้ำเบอร์ MPX10GP

ในการทดลองจะต่อไฟ +5V เข้าที่ขา 3 ต่อกราวด์เข้าที่ขา 1 ใช้มิเตอร์วัดแรงดัน +Vout และ -Vout ที่ขา 2 และ 4 ตามลำดับ จากการทดลองการทำงานของเซนเซอร์จะได้ผลการทดลองดังนี้

ความลึกของระดับน้ำ (m)	แรงดันเอาท์พุต (mV)
2.0	38
1.9	36
1.8	35
1.7	34
1.6	32
1.5	30

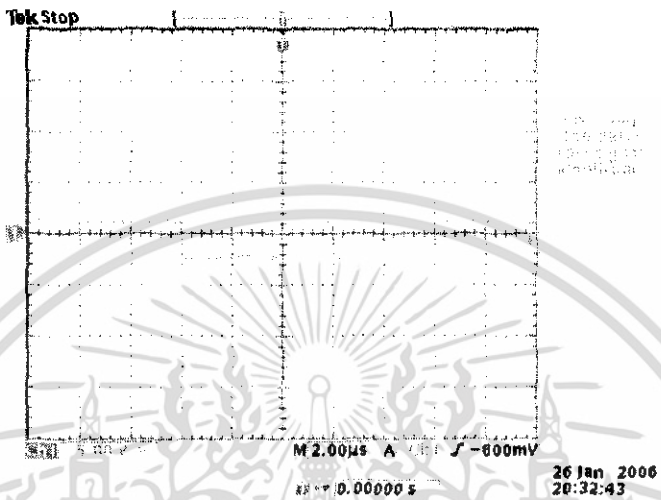
ตารางที่ 4.1 ผลการทดลองเซนเซอร์ระดับน้ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองการแปลงสัญญาณเอาท์พุตของเซนเซอร์

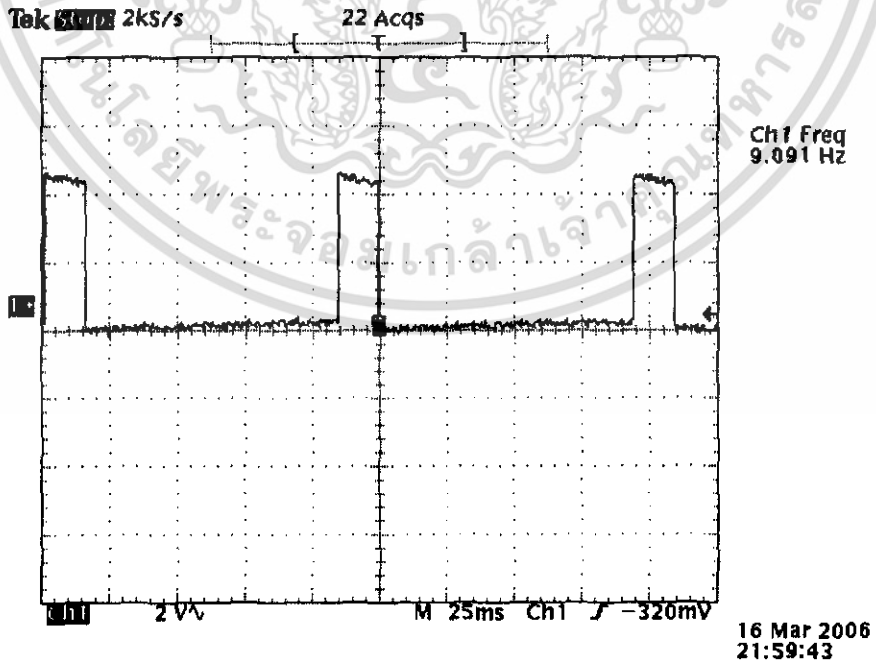
สัญญาณที่ได้จากเซนเซอร์เป็นแรงดัน 0 – 38 mV ดังนั้นจึงต้องแปลงให้เป็นสัญญาณข้อมูลก่อนถึงจะสามารถส่งข้อมูลแบบไร้สายได้

การแปลงสัญญาณนั้นได้ออกแบบให้ใช้วงจร 2 วงจร คือ วงจรขยายแรงดัน และ วงจรแปลงข้อมูลจากขนานเป็นอนุกรม ตามลำดับ ผลการทดลองที่ได้แสดงดังรูปที่ 4.2



รูปที่ 4.2 ตัวอย่างสัญญาณจากเซนเซอร์ที่แปลงสัญญาณแล้ว

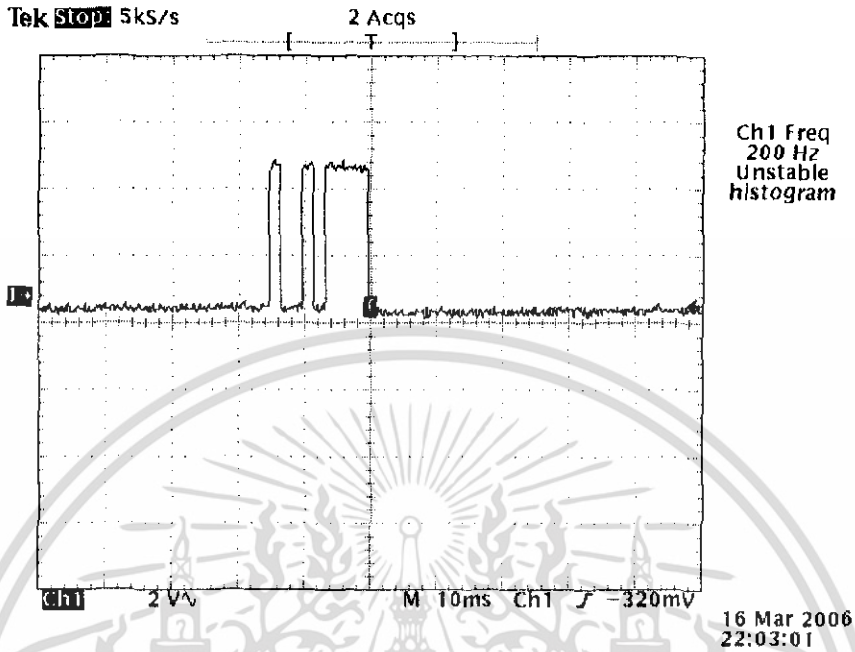
4.3 ผลการทดลองการทำงานของวงจรแปลงอนาลอกเป็นดิจิตอล



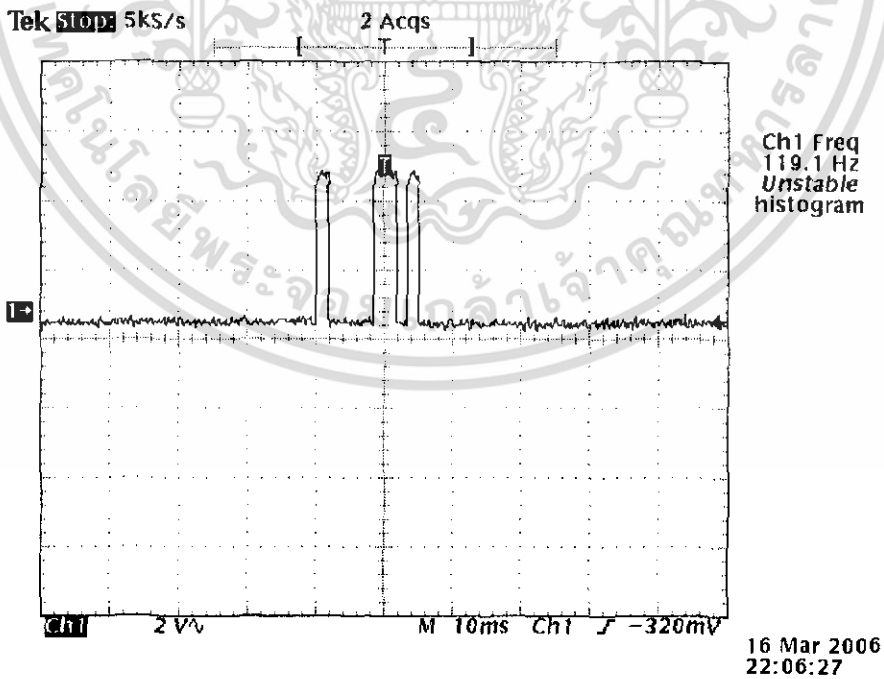
รูปที่ 4.3 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 0 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนแรงดันอินพุทให้กับวงจรแปลงอนาลอกเป็นดิจิตอล โดยทำการป้อนตั้งแต่ 0 โวลท์และเพิ่มแรงดันขึ้นครั้งละ 1 โวลท์ได้ผลการทดลองดังรูปที่ 4.3

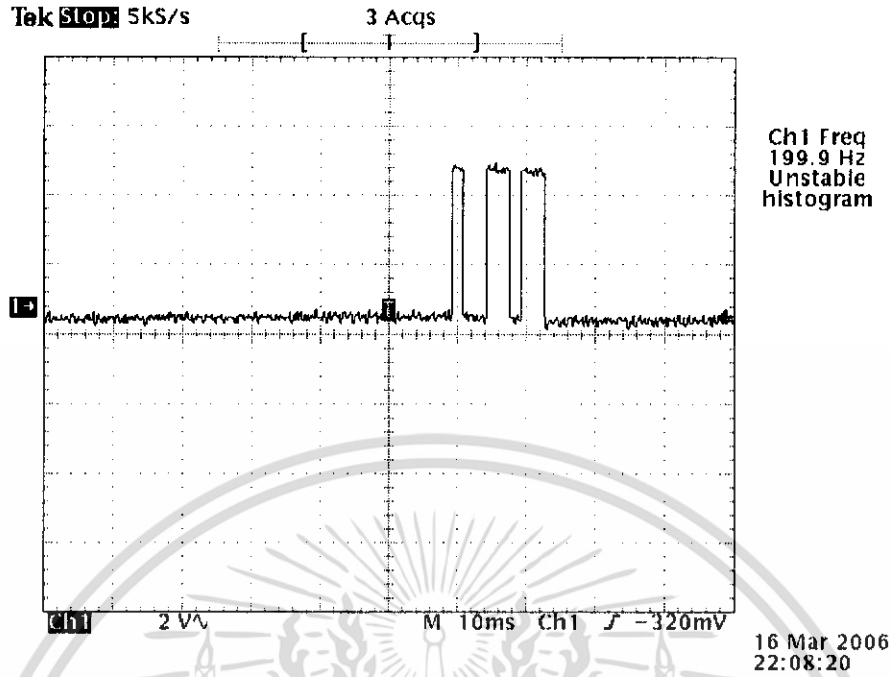


รูปที่ 4.4 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 1 โวลท์

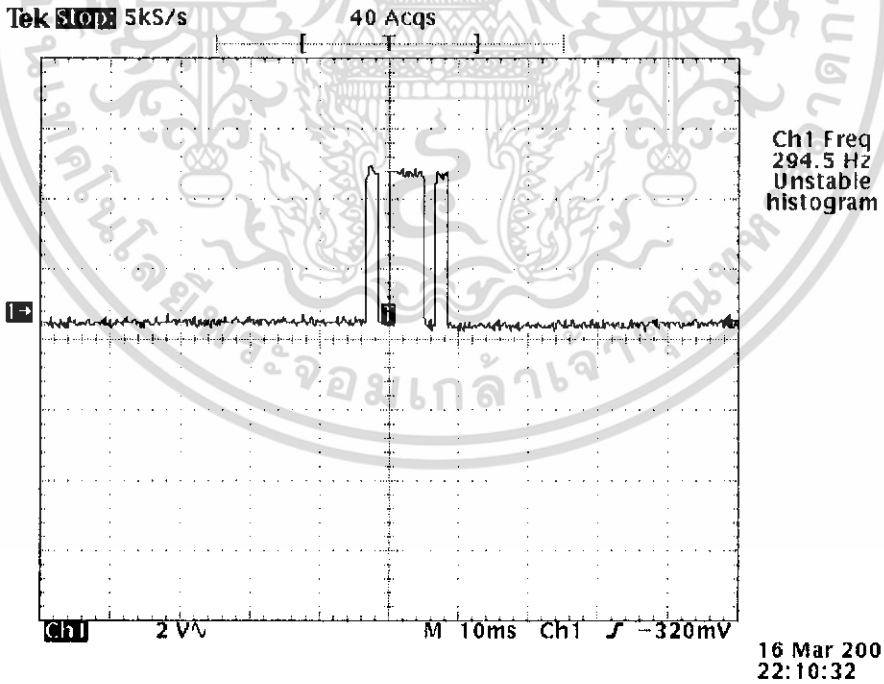


รูปที่ 4.5 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 2 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

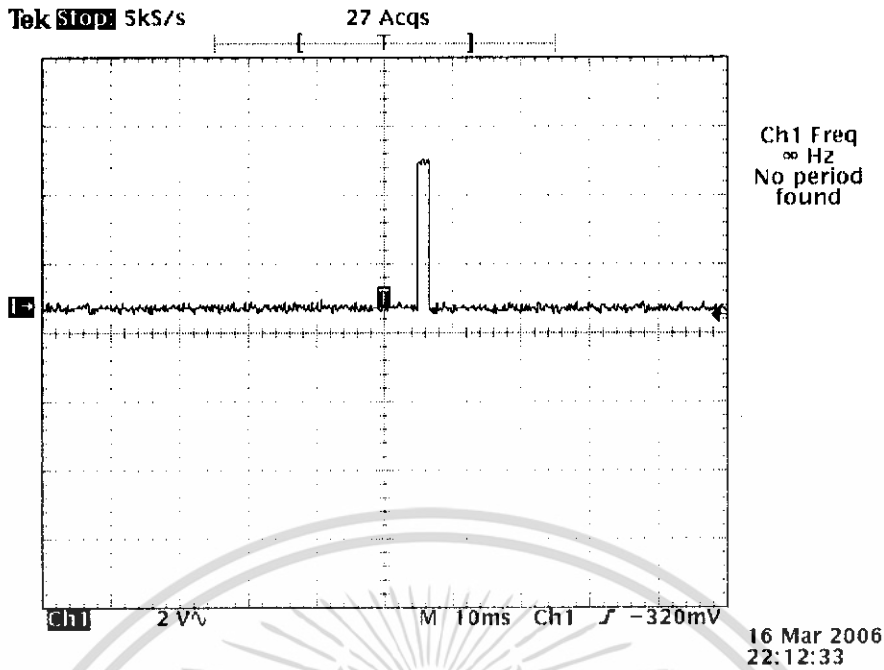


รูปที่ 4.6 แสดงผลการแปลงอนาลอกเป็นดิจิตอลเมื่อป้อนอินพุทเป็น 3 โวลท์



รูปที่ 4.7 แสดงผลการแปลงอนาลอกป็นดิจิตอลเมื่อป้อนแรงดันอินพุทเป็น 4 โวลท์

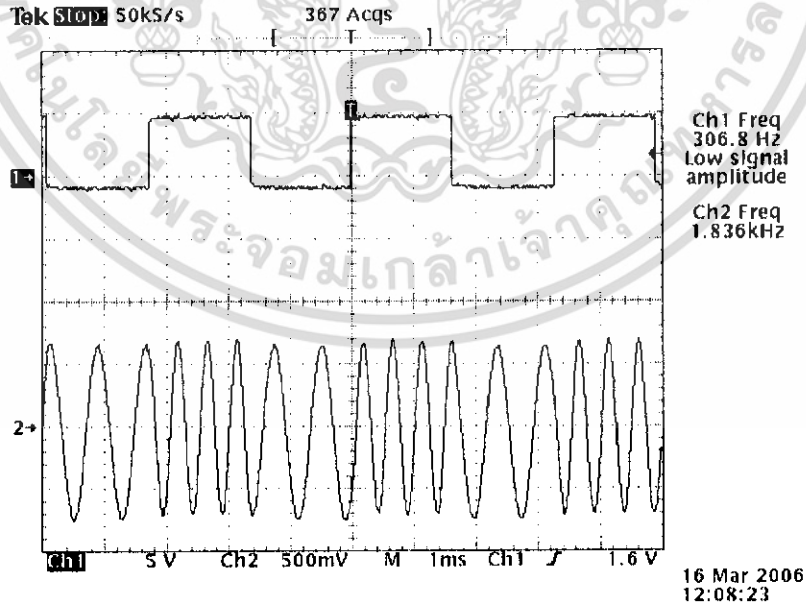
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงผลการแปลงอนาลอกปืนดิจิตอลเมื่อป้อนแรงดันอินพุทเป็น 5 โวลท์

4.4 ผลการทดลองวงจรมอดูเลเตอร์

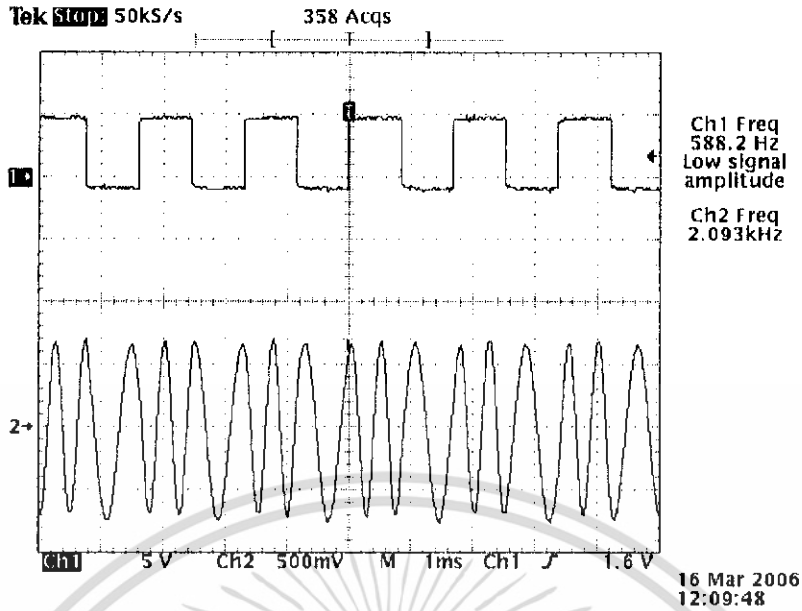
ทำการป้อนสัญญาณอินพุทเข้าที่วงจรมอดูเลเตอร์ และ วัดรูปคลื่นทางด้านเอาท์พุทของวงจรมอดูเลเตอร์ โดยทำการทดลองเพิ่มความถี่อินพุทเป็นค่าต่างๆกันเพื่อดูผลการทำงานของวงจรมอดูเลเตอร์ ได้ผลการทดลองดังรูป



รูปที่ 4.9 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 300 Hz

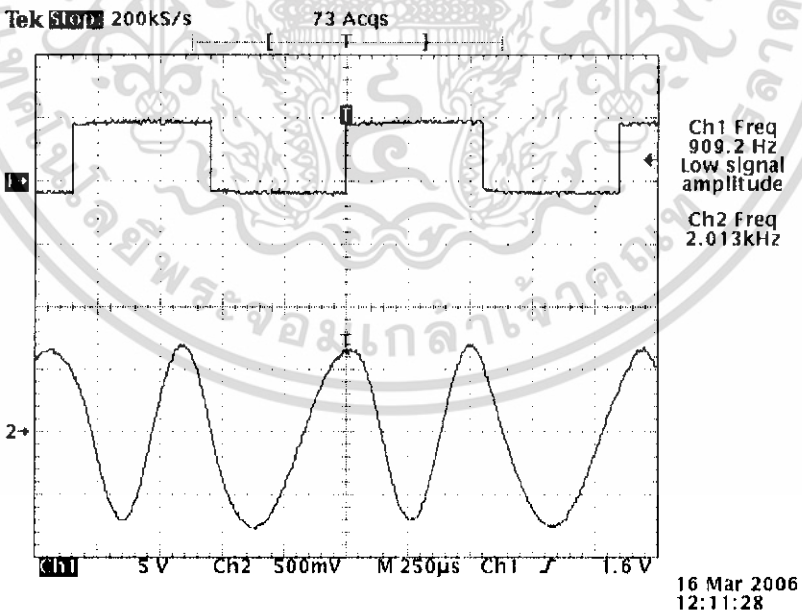
- Ch 1 สัญญาณอินพุทความถี่ 300 Hz
- Ch 2 สัญญาณเอาท์พุทของวงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 500 Hz

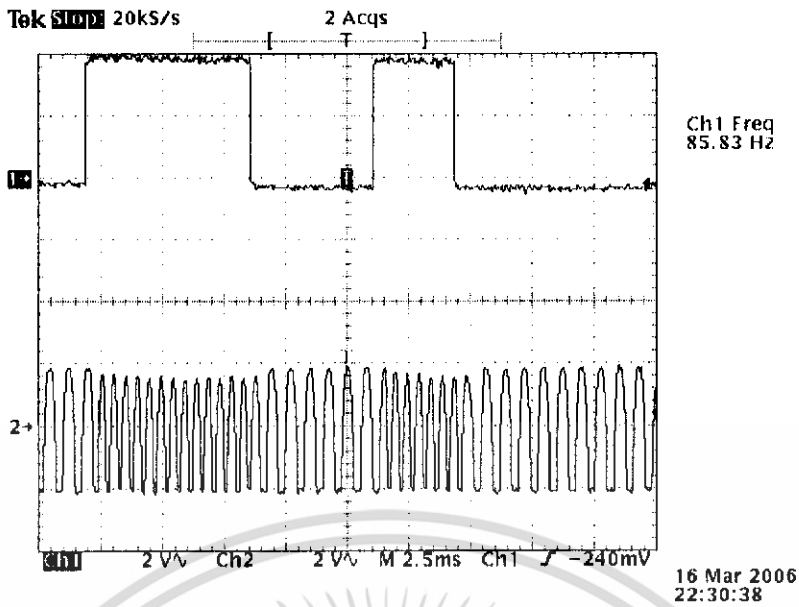
- Ch 1 สัญญาณอินพุทความถี่ 500 Hz
- Ch 2 สัญญาณเอาท์พุทของวงจรมอดูเลเตอร์



รูปที่ 4.11 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทความถี่ 900 Hz

- Ch 1 สัญญาณอินพุทความถี่ 900 Hz
- Ch 2 สัญญาณเอาท์พุทของวงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

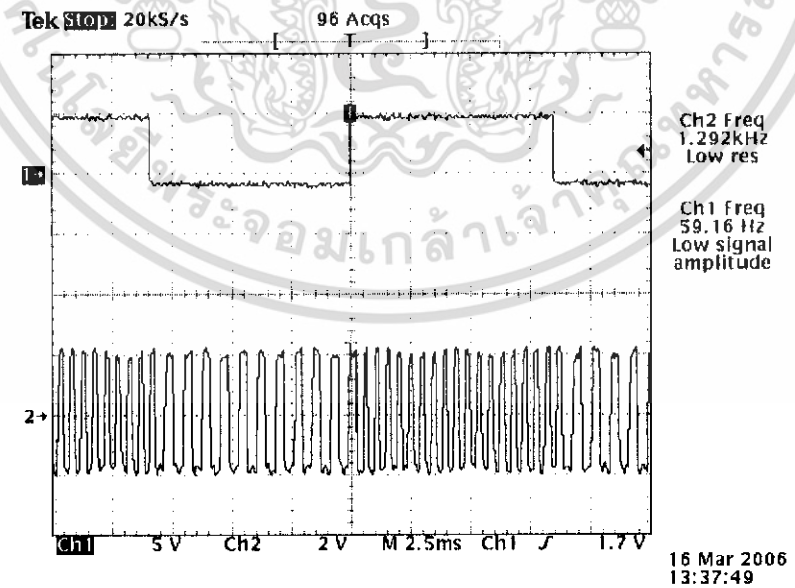


รูปที่ 4.12 แสดงผลการทดลองวงจรมอดูเลเตอร์เมื่อป้อนอินพุทเป็นข้อมูลที่ได้จากเซ็นเซอร์วัดระดับน้ำ

- Ch 1 สัญญาณอินพุทจากเซ็นเซอร์ซึ่งผ่านวงจรแปลงอนาลอกเป็นดิจิตอล มาแล้ว
- Ch 2 สัญญาณเอาท์พุทของวงจรมอดูเลเตอร์

4.5 ผลการทดลองวงจรเครื่องรับเมื่อเปรียบเทียบกับสัญญาณข้อมูล

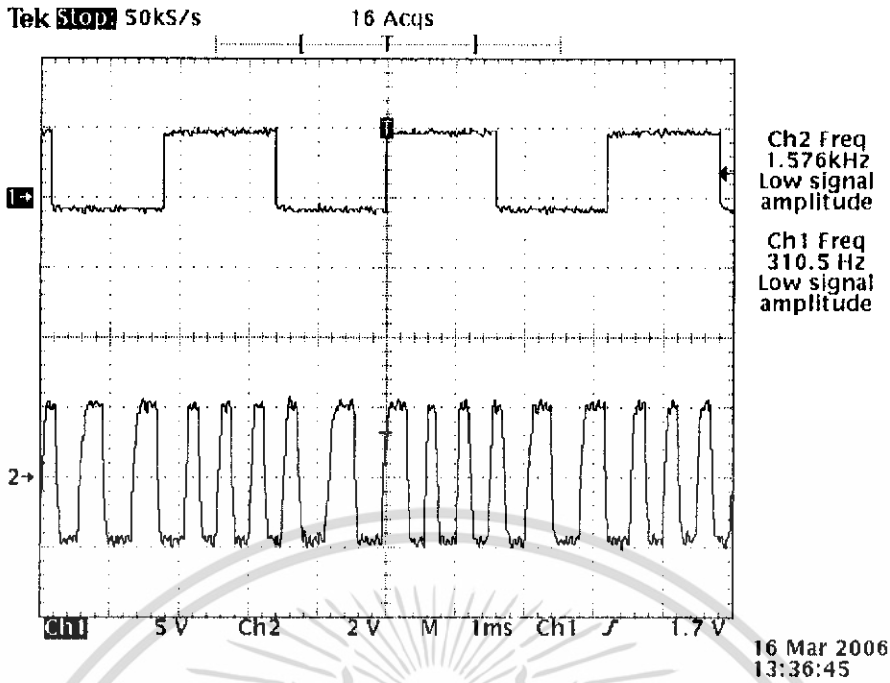
ทำการส่งข้อมูลผ่านทางเครื่องส่ง โดยการป้อนสัญญาณที่มอดูเลทแล้ว เข้าที่อินพุทของเครื่องส่ง แล้วทำการส่งออกอากาศ ทำการรับสัญญาณที่ส่งมาจากเครื่องส่งโดยใช้เครื่องรับสัญญาณแล้ววัดสัญญาณที่รับได้จากเอาท์พุทของเครื่องรับเปรียบเทียบกับสัญญาณข้อมูล



รูปที่ 4.13 แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 60 Hz

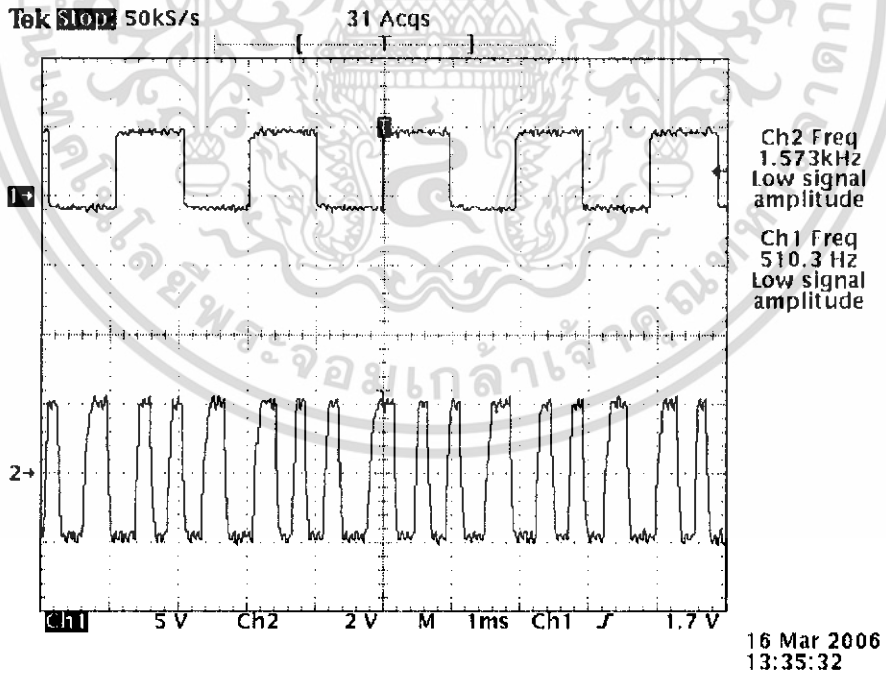
- Ch 1 สัญญาณข้อมูลความถี่ 60 Hz
- Ch 2 สัญญาณ FSK ที่รับได้ที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 300 Hz

- Ch 1 สัญญาณข้อมูลความถี่ 300 Hz
- Ch 2 สัญญาณ FSK ที่รับได้ที่เครื่องรับ



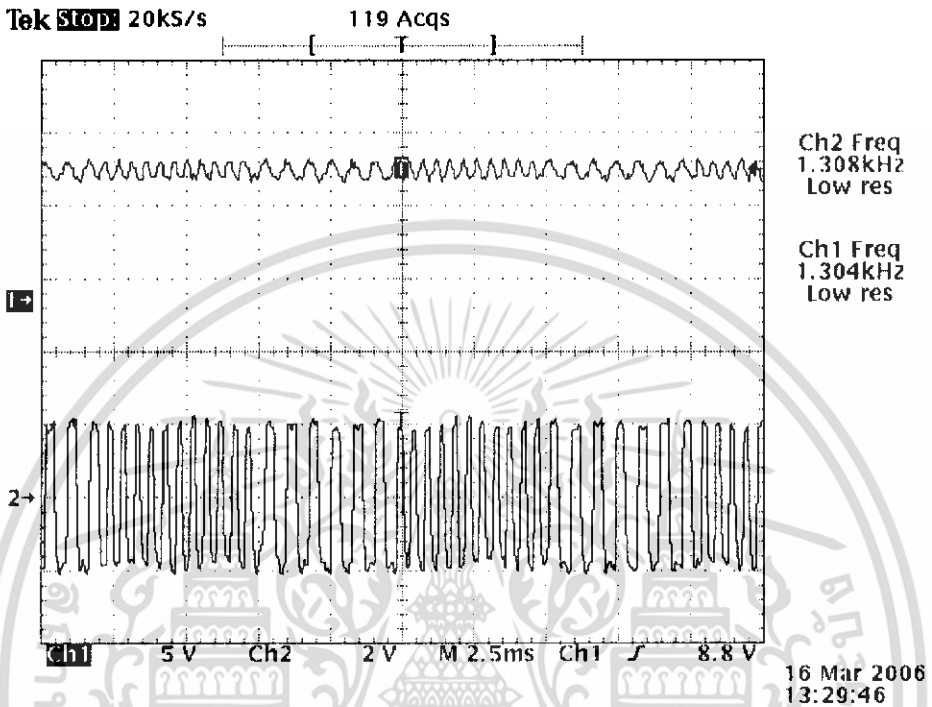
รูปที่ 4.15 แสดงผลการทดลองของเครื่องรับเมื่อป้อนข้อมูลความถี่ 500 Hz

- Ch 1 สัญญาณข้อมูลความถี่ 500 Hz
- Ch 2 สัญญาณ FSK ที่รับได้ที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ผลการทดลองของเครื่องรับเมื่อเปรียบเทียบกับสัญญาณที่เข้าเครื่องส่ง

ทำการวัดสัญญาณ FSK ทางด้านส่งและทางด้านรับเปรียบเทียบกัน โดยวัดสัญญาณที่ขาอินพุทของเครื่องส่ง และวัดสัญญาณที่รับได้จากเอาท์พุทของเครื่องรับเปรียบเทียบกัน



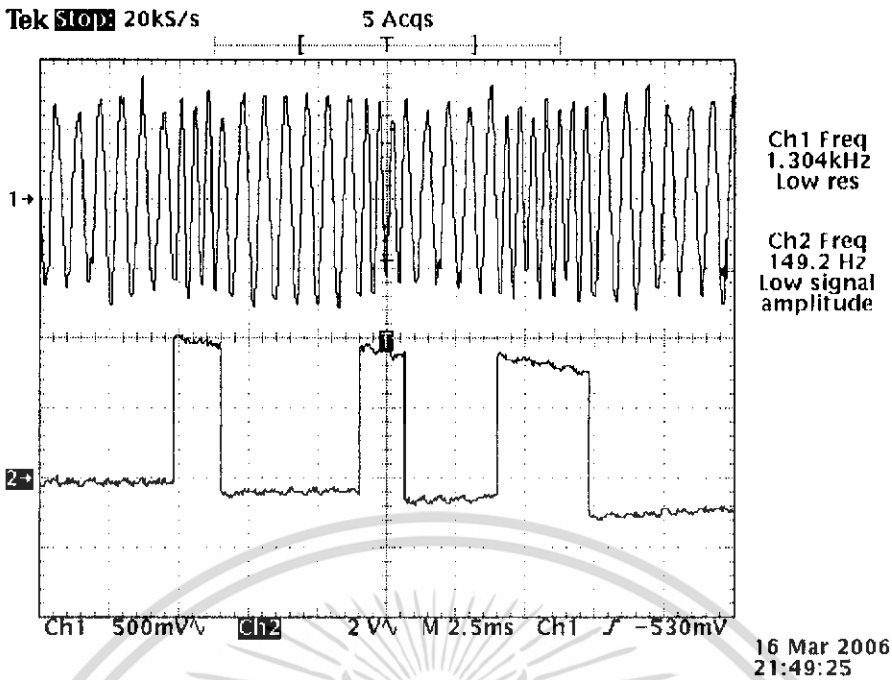
รูปที่ 4.16 แสดงผลการทดลองของเครื่องรับเมื่อเปรียบเทียบกับสัญญาณที่เข้าเครื่องส่ง

- Ch 1 สัญญาณ FSK ก่อนเข้าเครื่องส่ง
- Ch 2 สัญญาณ FSK ที่รับได้ที่เครื่องรับ

4.7 ผลการทดลองวงจรดีมอดูเลเตอร์

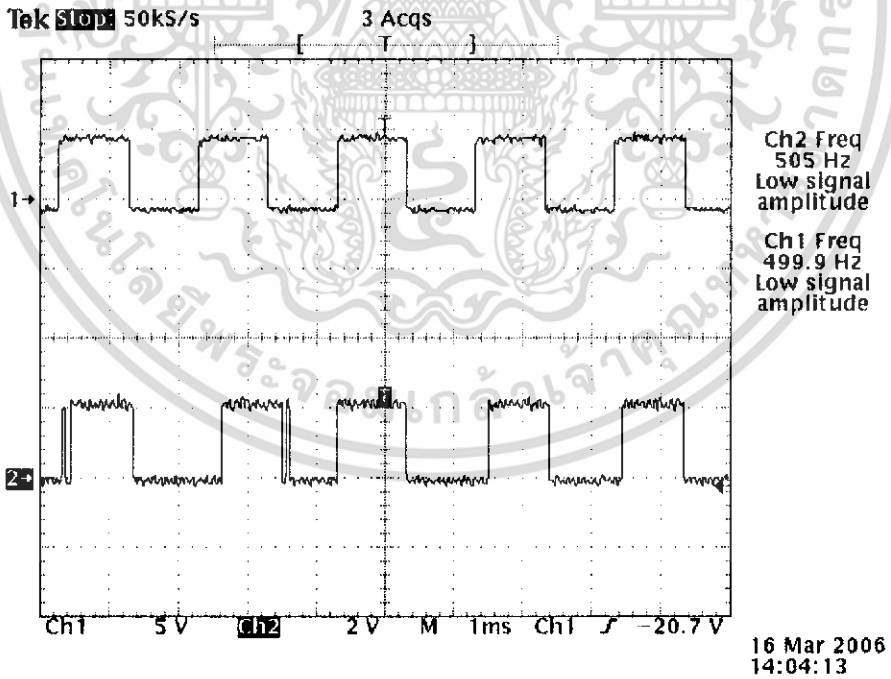
นำสัญญาณที่รับได้จากเครื่องรับมาเข้าที่อินพุทของวงจรดีมอดูเลเตอร์ ทำการดีมอดูเลทสัญญาณที่รับเข้ามาเพื่อให้ได้ข้อมูลเดิมเหมือนที่เครื่องส่งทำการส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงผลการดีมอดูเลทสัญญาณข้อมูลจากเครื่องรับ

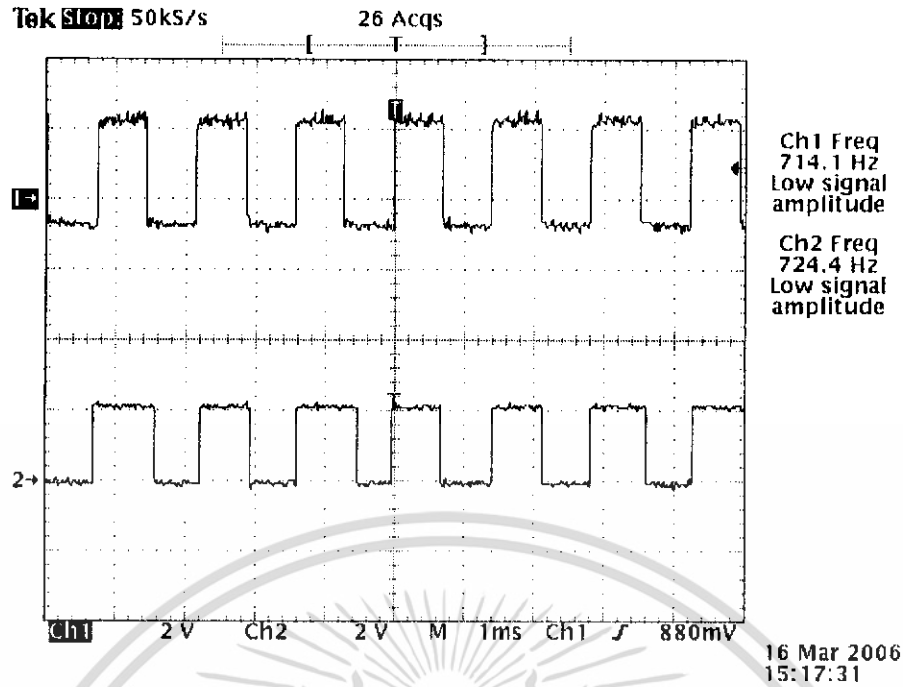
- Ch 1 สัญญาณที่รับได้ที่เครื่องรับ
- Ch 2 สัญญาณที่ดีมอดูเลทได้ที่วงจรดีมอดูเลเตอร์



รูปที่ 4.18 แสดงผลการดีมอดูเลทที่รับได้เปรียบเทียบกับสัญญาณข้อมูลอินพุทความถี่ 500 Hz

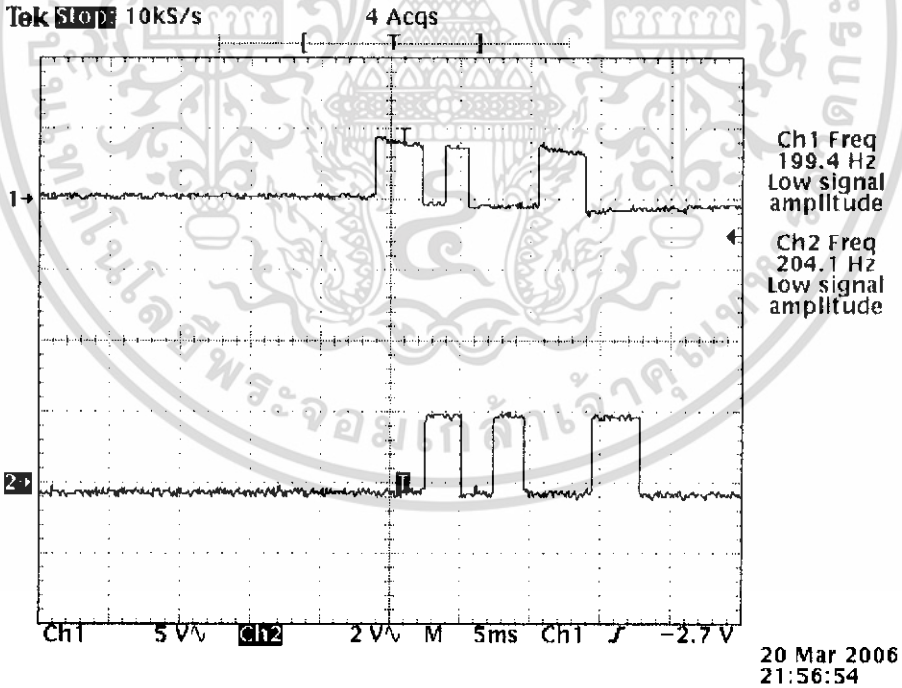
- Ch 1 สัญญาณข้อมูลทางด้านอินพุทของภาคส่งเมื่อข้อมูลมีความถี่ 500 Hz
- Ch 2 สัญญาณที่ดีมอดูเลทได้ทางด้านเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงผลการดีมอดูเลทที่รับได้เปรียบเทียบกับสัญญาณข้อมูลอินพุทความถี่ 700 Hz

- Ch 1 สัญญาณข้อมูลทางด้านอินพุทของภาคส่งเมื่อข้อมูลมีความถี่ 700 Hz
- Ch 2 สัญญาณที่ดีมอดูเลทได้ทางด้านเครื่องรับ



รูปที่ 4.20 แสดงผลการดีมอดูเลทเปรียบเทียบกับสัญญาณข้อมูลอินพุต 1010 0011

- Ch 1 สัญญาณข้อมูล 1010 0011 ก่อนทำการมอดูเลท
- Ch 2 สัญญาณข้อมูลที่ดีมอดูเลทได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

การทำโครงงานเรื่องระบบแสดงผลระดับน้ำโดยใช้เซ็นเซอร์แบบไร้สายนี้ มุ่งเน้นถึงหลักการในการมอดูเลทและดีมอดูเลทแบบ FSK ซึ่งการทำงานของภาคส่งและภาครับนั้นอาศัยหลักการของวงจรพื้นฐานต่างๆ มาประกอบกันเป็นวงจร โดยในการประกอบวงจรในแต่ละภาคนั้น มีปัญหาเกิดขึ้นแตกต่างกันออกไป ซึ่งสรุปได้ดังต่อไปนี้

ส่วนวงจรทางด้านภาคส่ง

การกำเนิดสัญญาณของตัวเซ็นเซอร์

ตัวกำเนิดสัญญาณข้อมูลใช้เซ็นเซอร์แบบแปลงความดันไปเป็นแรงดันไฟฟ้าเบอร์ MPX10GP โดยมีช่วงการทำงานอยู่ในช่วง 0-38 mV แรงดันที่ได้ออกมามีขนาดน้อยมาก ต้องนำไปผ่านวงจรขยายแรงดันก่อนเพื่อให้แรงดันมีค่าเป็นโวลท์จึงจะสามารถนำไปเข้าวงจรแปลงอนาลอกเป็นดิจิตอลได้

วงจรขยายแรงดัน

วงจรขยายแรงดันออกแบบโดยการใช้ไอซีเบอร์ MPC 602 ทำหน้าที่ขยายแรงดันให้มีขนาดใหญ่ขึ้น โดยการแปลงแรงดันที่มีค่าเป็นมิลลิโวลท์จากตัวเซ็นเซอร์ให้มีแรงดันเป็น 0-5 โวลท์เพื่อนำไปเข้าวงจรแปลงอนาลอกเป็นดิจิตอลต่อไป วงจรขยายแรงดันสามารถทำงานได้ดี

วงจรแปลงอนาลอกเป็นดิจิตอล

วงจรแปลงอนาลอกเป็นดิจิตอลใช้ไอซีเบอร์ ADC0804 ทำน้าที่แปลงสัญญาณแรงดัน0-5โวลท์เป็นสัญญาณดิจิตอลขนาด 8 บิทในวงจรนี้ได้มีการเพิ่ม start bit และ stop bit เข้าไปกับสัญญาณข้อมูลแล้วทำการแปลงข้อมูลจากขนานเป็นอนุกรมโดยใช้ไอซีเบอร์ 74LS185 ปัญหาที่พบคือแรงดันจากวงจรเซ็นเซอร์มีความไม่แน่นอน ทำให้ข้อมูลที่แปลงออกมามีความไม่แน่นอนไปด้วย

วงจรมอดูเลเตอร์

วงจรมอดูเลเตอร์ใช้ไอซีเบอร์ TCM 3105 ทำงานเป็นวงจรมอดูเลเตอร์ โดยการมอดูเลทแบบ FSK จากผลการทดลองแสดงให้เห็นว่าวงจรมอดูเลเตอร์สามารถทำงานได้ดี

วงจรเครื่องส่ง

วงจรเครื่องส่งใช้วงจรเครื่องส่ง 27 MHz โดยมอดูเลทแบบ FM ปัญหาที่พบในการทำงานของเครื่องส่งคือการจูนเครื่องส่งให้มีประสิทธิภาพสูงสุดนั้นทำได้ยาก และระยะทางในการส่งนั้นส่งได้ไม่ไกลตามต้องการเนื่องจากการจูนที่ไม่ถูกต้อง และมีสัญญาณรบกวนมากต้องทำการติดตั้งให้ดี เครื่องส่งสามารถส่งสัญญาณได้แต่ระยะทางในการส่งยังไม่เป็นที่พอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนวงจรทางด้านภาครับ

วงจรเครื่องรับ

การทำงานของวงจรเครื่องรับจะมีปัญหาเช่นเดียวกับทางเครื่องส่งคือ การจูนเครื่องรับให้มีประสิทธิภาพทำได้ยาก และมีปัญหาจากการรบกวนของสัญญาณรบกวนทำให้สัญญาณที่รับได้มีรูปที่ไม่ค่อยชัดเจนเท่าไร แต่ก็สามารถรับสัญญาณที่ส่งมาจากภาคส่งได้

วงจรดีมอดูเลเตอร์

วงจรดีมอดูเลเตอร์ใช้ไอซีเบอร์ TCM3105 เช่นเดียวกับวงจรมอดูเลเตอร์ โดยรับสัญญาณ FSK จากเครื่องรับมาทำการดีมอดูเลท จากผลการทดลองปรากฏว่าสามารถทำการดีมอดูเลทเอาสัญญาณข้อมูลคืนมาได้ แต่ว่าในการดีมอดูเลทจะมีการผิดพลาดของข้อมูลเป็นบางบิท อันเป็นผลเนื่องมาจากสัญญาณรบกวนและประสิทธิภาพของเครื่องส่งไม่ดีเท่าที่ควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ทฤษฎีเครื่องส่งวิทยุและสายอากาศ, น.อ.วิโรจน์ แก้วจันทร์, สกายบุ๊กส์, ปทุมธานี, 2548.
2. ปราโมทย์ วาดเขียน, ดร.วิวัฒน์ กิรานนท์, "พื้นฐานการสื่อสารข้อมูล", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 1, 2536.
3. หลักการทำงาน เครื่องรับวิทยุและระบบวิทยุสื่อสาร, สุชาติ กังวารจิตต์, ซีเอ็ดยูเคชั่น, กรุงเทพ, 2521.
4. เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ PIC16F877, ณัฏฐพล วงศ์สุนทรชัย, ชัยวัฒน์ ลิ้มพรจิตรวิไล, อินโนเวตีฟ เอ็กเพอริเมนต์, กรุงเทพ, 2521.
5. John Markus, "Communications Circuits Ready-Reference", New York : McGraw-Hill, 1982.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MPX10/D

senseon

10 kPa Uncompensated Silicon Pressure Sensors

MPX10 SERIES

0 to 10 kPa (0–1.45 psi)
35 mV FULL SCALE SPAN
(TYPICAL)

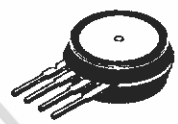
The MPX10 series device is a silicon piezoresistive pressure sensor providing a very accurate and linear voltage output — directly proportional to the applied pressure. This standard, low cost, uncompensated sensor permits manufacturers to design and add their own external temperature compensating and signal conditioning networks. Compensation techniques are simplified because of the predictability of Motorola's single element strain gauge design.

Features

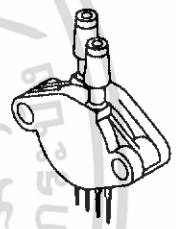
- Low Cost
- Patented Silicon Shear Stress Strain Gauge Design
- Ratiometric to Supply Voltage
- Easy to Use Chip Carrier Package Options
- Differential and Gauge Options

Application Examples

- Air Movement Control
- Environmental Control Systems
- Level Indicators
- Leak Detection
- Medical Instrumentation
- Industrial Controls
- Pneumatic Control Systems
- Robotics



BASIC CHIP CARRIER ELEMENT CASE 344–15, STYLE 1



DIFFERENTIAL PORT OPTION CASE 344C–01, STYLE 1

NOTE: Pin 1 is the notched pin.

PIN NUMBER			
1	Gnd	3	V_S
2	$+V_{out}$	4	$-V_{out}$

Figure 1 shows a schematic of the internal circuitry on the stand–alone pressure sensor chip.

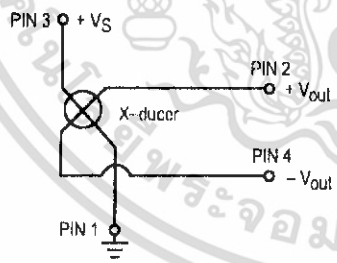


Figure 1. Uncompensated Pressure Sensor Schematic

VOLTAGE OUTPUT versus APPLIED DIFFERENTIAL PRESSURE

The differential voltage output of the X–ducer is directly proportional to the differential pressure applied.

The output voltage of the differential or gauge sensor increases with increasing pressure applied to the pressure side (P1) relative to the vacuum side (P2). Similarly, output voltage increases as increasing vacuum is applied to the vacuum side (P2) relative to the pressure side (P1).

Senseon and X–ducer are trademarks of Motorola, Inc.

REV 5

MOTOROLA

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Overpressure(8) (P1 > P2)	P_{max}	75	kPa
Burst Pressure(8) (P1 > P2)	P_{burst}	100	kPa
Storage Temperature	T_{stg}	−40 to +125	°C
Operating Temperature	T_A	−40 to +125	°C

OPERATING CHARACTERISTICS (V_S = 3.0 Vdc, T_A = 25°C unless otherwise noted, P1 > P2)

Characteristic	Symbol	Min	Typ	Max	Unit
Differential Pressure Range(1)	P_{OP}	0	—	10	kPa
Supply Voltage(2)	V_S	—	3.0	6.0	Vdc
Supply Current	I_o	—	6.0	—	mAdc
Full Scale Span(3)	V_{FSS}	20	35	50	mV
Offset(4)	V_{off}	0	20	35	mV
Sensitivity	$\Delta V/\Delta P$	—	3.5	—	mV/kPa
Linearity(5)	—	−1.0	—	1.0	$\%V_{FSS}$
Pressure Hysteresis(5) (0 to 10 kPa)	—	—	± 0.1	—	$\%V_{FSS}$
Temperature Hysteresis(5) (−40°C to +125°C)	—	—	± 0.5	—	$\%V_{FSS}$
Temperature Coefficient of Full Scale Span(5)	TCV_{FSS}	−0.22	—	−0.16	$\%V_{FSS}$/°C
Temperature Coefficient of Offset(5)	TCV_{off}	—	±15	—	µV/°C
Temperature Coefficient of Resistance(5)	TCR	0.21	—	0.27	$\%Z_{in}$/°C
Input Impedance	Z_{in}	400	—	550	Ω
Output Impedance	Z_{out}	750	—	1250	Ω
Response Time(6) (10% to 90%)	t_R	—	1.0	—	ms
Warm–Up	—	—	20	—	ms
Offset Stability(9)	—	—	±0.5	—	$\%V_{FSS}$

MECHANICAL CHARACTERISTICS

Characteristic	Symbol	Min	Typ	Max	Unit
Weight (Basic Element, Case 344–15)	—	—	2.0	—	Grams
Common Mode Line Pressure(7)	—	—	—	690	kPa

NOTES:

1. 1.0 kPa (kiloPascal) equals 0.145 psi.
2. Device is ratiometric within this specified excitation range. Operating the device above the specified excitation range may induce additional error due to device self–heating.
3. Full Scale Span (V_{FSS}) is defined as the algebraic difference between the output voltage at full rated pressure and the output voltage at the minimum rated pressure.
4. Offset (V_{off}) is defined as the output voltage at the minimum rated pressure.
5. Accuracy (error budget) consists of the following:
   - Linearity: Output deviation from a straight line relationship with pressure, using end point method, over the specified pressure range.
   - Temperature Hysteresis: Output deviation at any temperature within the operating temperature range, after the temperature is cycled to and from the minimum or maximum operating temperature points, with zero differential pressure applied.
   - Pressure Hysteresis: Output deviation at any pressure within the specified range, when this pressure is cycled to and from the minimum or maximum rated pressure, at 25°C.
   - TcSpan: Output deviation at full rated pressure over the temperature range of 0 to 85°C, relative to 25°C.
   - TcOffset: Output deviation with minimum rated pressure applied, over the temperature range of 0 to 85°C, relative to 25°C.
   - TCR: Z_{in} deviation with minimum rated pressure applied, over the temperature range of −40°C to +125°C, relative to 25°C.
6. Response Time is defined as the time for the incremental change in the output to go from 10% to 90% of its final value when subjected to a specified step change in pressure.
7. Common mode pressures beyond specified may result in leakage at the case–to–lead interface.
8. Exposure beyond these limits may cause permanent damage or degradation to the device.
9. Offset stability is the product's output deviation when subjected to 1000 hours of Pulsed Pressure, Temperature Cycling with Bias Test.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEMPERATURE COMPENSATION

Figure 2 shows the typical output characteristics of the MPX10 series over temperature.

The X–ducer piezoresistive pressure sensor element is a semiconductor device which gives an electrical output signal proportional to the pressure applied to the device. This device uses a unique transverse voltage diffused semiconductor strain gauge which is sensitive to stresses produced in a thin silicon diaphragm by the applied pressure.

Because this strain gauge is an integral part of the silicon diaphragm, there are no temperature effects due to differences in the thermal expansion of the strain gauge and the diaphragm, as are often encountered in bonded strain gauge pressure sensors. However, the properties of the strain gauge itself are temperature dependent, requiring that the device be temperature compensated if it is to be used over an extensive temperature range.

Temperature compensation and offset calibration can be achieved rather simply with additional resistive components, or by designing your system using the MPX2010D series sensor.

Several approaches to external temperature compensation over both −40 to +125°C and 0 to +80°C ranges are presented in Motorola Applications Note AN840.

LINEARITY

Linearity refers to how well a transducer's output follows the equation: $V_{out} = V_{off}$ + sensitivity x P over the operating pressure range (Figure 3). There are two basic methods for calculating nonlinearity: (1) end point straight line fit or (2) a least squares best line fit. While a least squares fit gives the "best case" linearity error (lower numerical value), the calculations required are burdensome.

Conversely, an end point fit will give the "worst case" error (often more desirable in error budget calculations) and the calculations are more straightforward for the user. Motorola's specified pressure sensor linearities are based on the end point straight line method measured at the midrange pressure.

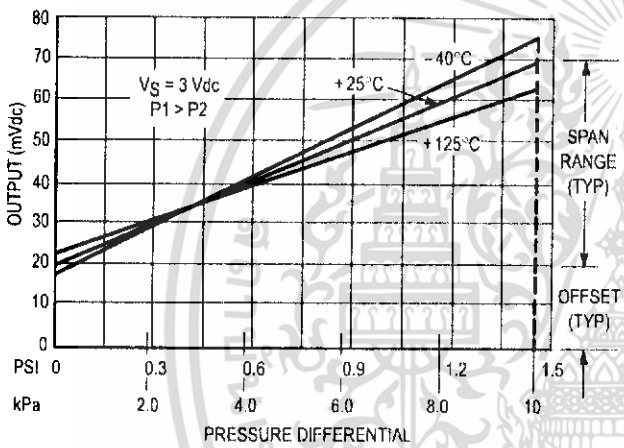


Figure 2. Output versus Pressure Differential

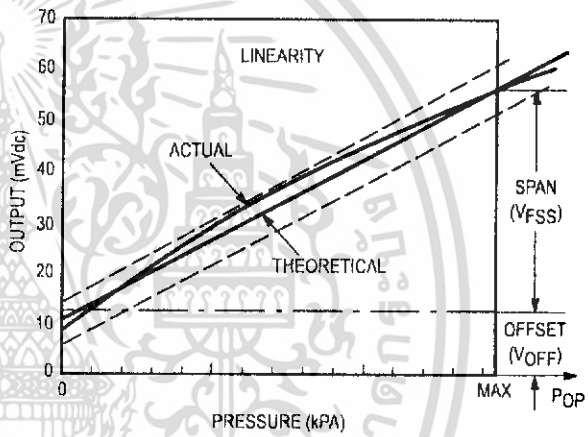


Figure 3. Linearity Specification Comparison

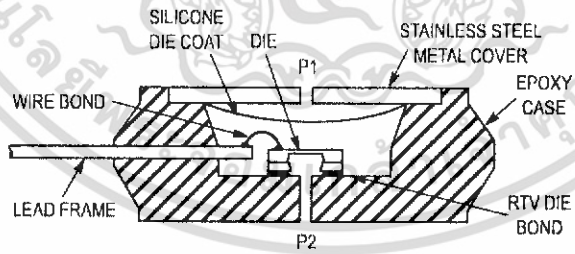


Figure 4. Cross–Sectional Diagram (not to scale)

Figure 4 illustrates the differential or gauge configuration in the basic chip carrier (Case 344–15). A silicone gel isolates the die surface and wire bonds from the environment, while allowing the pressure signal to be transmitted to the silicon diaphragm.

The MPX10 series pressure sensor operating characteristics and internal reliability and qualification tests are based on use of dry air as the pressure media. Media other than dry air may have adverse effects on sensor performance and long term reliability. Contact the factory for information regarding media compatibility in your application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRESSURE (P1)/VACUUM (P2) SIDE IDENTIFICATION TABLE

Motorola designates the two sides of the pressure sensor as the Pressure (P1) side and the Vacuum (P2) side. The Pressure (P1) side is the side containing silicone gel which isolates the die from the environment. The Motorola MPX pressure sensor is designed to operate with positive differential pressure applied, P1 > P2.

The Pressure (P1) side may be identified by using the table below:

Part Number	Case Type	Pressure (P1) Side Identifier
MPX10D	344–15	Stainless Steel Cap
MPX10DP	344C–01	Side with Part Marking
MPX10GP	344B–01	Side with Port Attached
MPX10GVP	344D–01	Stainless Steel Cap
MPX10GS	344E–01	Side with Port Attached
MPX10GSX	344F–01	Side with Port Attached

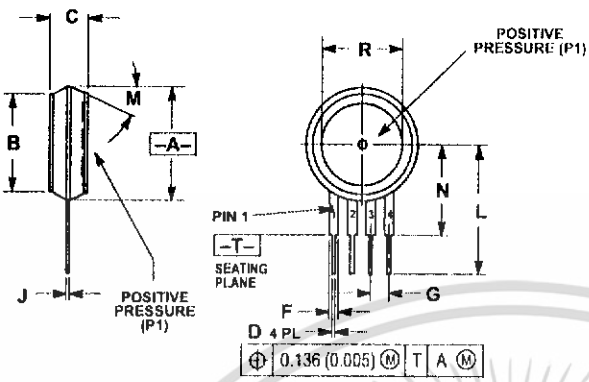
ORDERING INFORMATION

MPX10 series pressure sensors are available in differential and gauge configurations. Devices are available in the basic element package or with pressure port fittings which provide printed circuit board mounting ease and barbed hose pressure connections.

Device Type	Options	Case Type	MPX Series	
			Order Number	Device Marking
Basic Element	Differential	Case 344–15	MPX10D	MPX10D
Ported Elements	Differential	Case 344C–01	MPX10DP	MPX10DP
	Gauge	Case 344B–01	MPX10GP	MPX10GP
	Gauge Vacuum	Case 344D–01	MPX10GVP	MPX10GVP
	Gauge Stove Pipe	Case 344E–01	MPX10GS	MPX10D
	Gauge Axial	Case 344F–01	MPX10GSX	MPX10D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

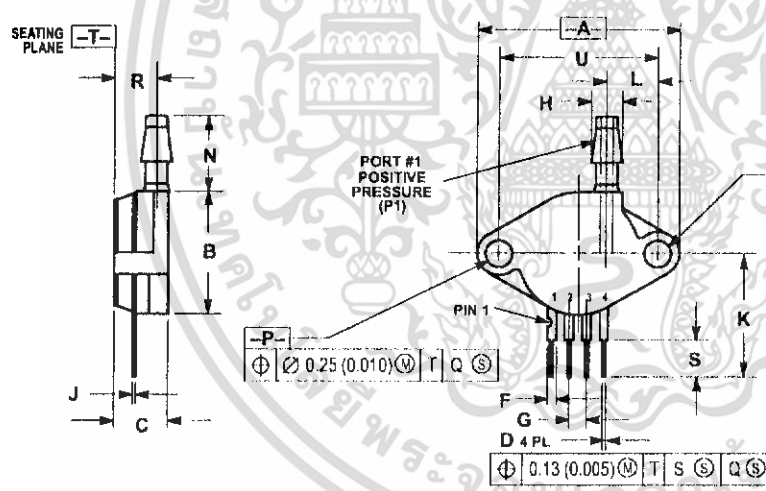


NOTES
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION -A- IS INCLUSIVE OF THE MOLD STOP RING. MOLD STOP RING NOT TO EXCEED 16.00 (0.630).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.595	0.630	15.11	16.00
B	0.514	0.534	13.06	13.56
C	0.200	0.220	5.08	5.59
D	0.016	0.020	0.41	0.51
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
J	0.014	0.016	0.36	0.40
L	0.695	0.725	17.65	18.42
M	30° NOM		30° NOM	
N	0.475	0.495	12.07	12.57
R	0.430	0.450	10.92	11.43

STYLE 1:
PIN 1. GROUND
2. + OUTPUT
3. + SUPPLY
4. - OUTPUT

CASE 344–15
ISSUE W



NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5, 1982.
2. CONTROLLING DIMENSION: INCH.

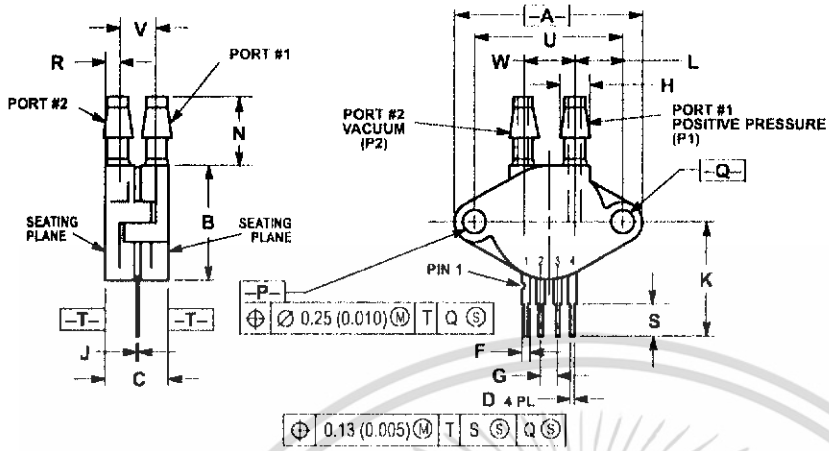
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.145	1.175	29.08	29.85
B	0.685	0.715	17.40	18.16
C	0.305	0.325	7.75	8.26
D	0.016	0.020	0.41	0.51
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
H	0.182	0.194	4.62	4.93
J	0.014	0.016	0.36	0.41
K	0.695	0.725	17.65	18.42
L	0.290	0.300	7.37	7.62
N	0.420	0.440	10.67	11.18
P	0.153	0.159	3.89	4.04
Q	0.153	0.159	3.89	4.04
R	0.230	0.250	5.84	6.35
S	0.220	0.240	5.59	6.10
U	0.919 BSC		21.11 BSC	

STYLE 1:
PIN 1. GROUND
2. + OUTPUT
3. + SUPPLY
4. - OUTPUT

CASE 344B–01
ISSUE B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS — CONTINUED

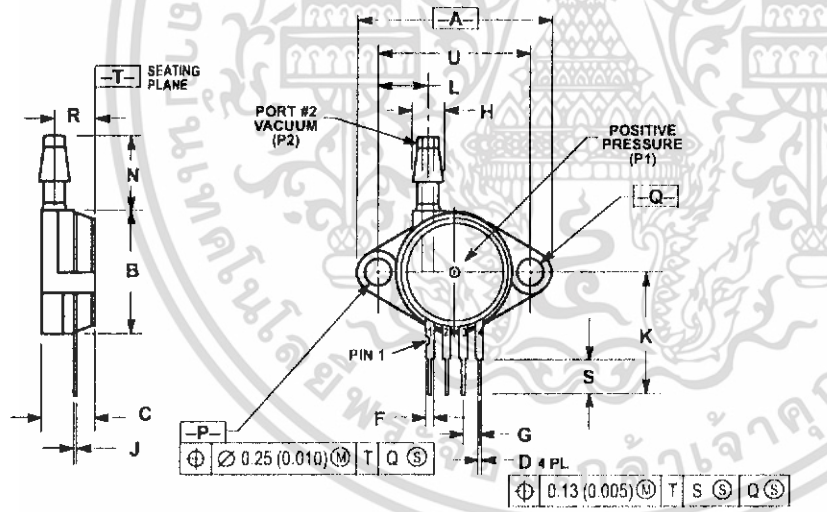


NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.145	1.175	29.08	29.85
B	0.685	0.715	17.40	18.16
C	0.405	0.435	10.29	11.05
D	0.016	0.020	0.41	0.51
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
H	0.182	0.194	4.62	4.93
J	0.014	0.016	0.36	0.41
K	0.695	0.725	17.65	18.42
L	0.290	0.300	7.37	7.62
N	0.420	0.440	10.67	11.18
P	0.153	0.159	3.89	4.04
Q	0.153	0.159	3.89	4.04
R	0.063	0.083	1.60	2.11
S	0.220	0.240	5.59	6.10
U	0.910 BSC		23.11 BSC	
V	0.248	0.278	6.30	7.06
W	0.310	0.330	7.87	8.38

STYLE 1:
PIN 1. GROUND
2. + OUTPUT
3. + SUPPLY
4. – OUTPUT

CASE 344C–01
ISSUE B



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5, 1982.
2. CONTROLLING DIMENSION: INCH.

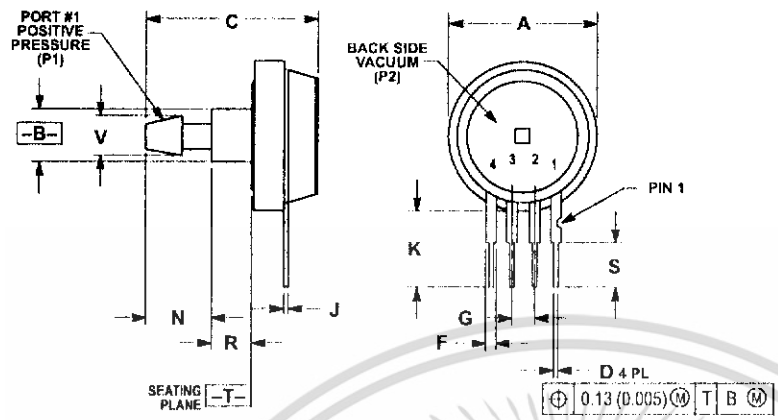
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.145	1.175	29.08	29.85
B	0.685	0.715	17.40	18.16
C	0.305	0.325	7.75	8.26
D	0.016	0.020	0.41	0.51
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
H	0.182	0.194	4.62	4.93
J	0.014	0.016	0.36	0.41
K	0.695	0.725	17.65	18.42
L	0.290	0.300	7.37	7.62
N	0.420	0.440	10.67	11.18
P	0.153	0.159	3.89	4.04
Q	0.153	0.158	3.89	4.04
R	0.230	0.250	5.84	6.35
S	0.220	0.240	5.59	6.10
U	0.910 BSC		23.11 BSC	

STYLE 1
PIN 1. GROUND
2. + OUTPUT
3. + SUPPLY
4. – OUTPUT

CASE 344D–01
ISSUE B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS — CONTINUED

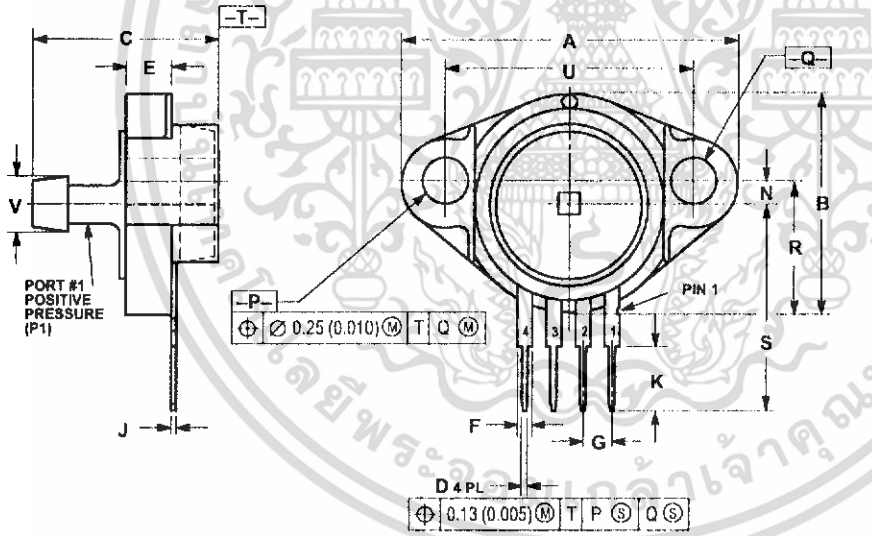


NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.690	0.720	17.53	18.28
B	0.245	0.255	6.22	6.48
C	0.780	0.820	19.81	20.82
D	0.016	0.020	0.41	0.51
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
J	0.014	0.016	0.36	0.41
K	0.345	0.375	8.76	9.53
N	0.300	0.310	7.62	7.87
R	0.178	0.186	4.52	4.72
S	0.220	0.240	5.59	6.10
V	0.182	0.194	4.62	4.93

STYLE 1.
PIN 1. GROUND
2. + OUTPUT
3. + SUPPLY
4. – OUTPUT

CASE 344E–01
ISSUE B



NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.080	1.120	27.43	28.45
B	0.740	0.760	18.80	19.30
C	0.630	0.650	16.00	16.51
D	0.016	0.020	0.41	0.51
E	0.160	0.180	4.06	4.57
F	0.048	0.064	1.22	1.63
G	0.100 BSC		2.54 BSC	
J	0.014	0.016	0.36	0.41
K	0.220	0.240	5.59	6.10
N	0.070	0.080	1.78	2.03
P	0.150	0.160	3.81	4.06
Q	0.150	0.160	3.81	4.06
R	0.440	0.460	11.18	11.68
S	0.695	0.725	17.65	18.42
U	0.840	0.860	21.34	21.84
V	0.182	0.194	4.62	4.92

STYLE 1.
PIN 1. GROUND
2. V (+) OUT
3. V SUPPLY
4. V (–) OUT

CASE 344F–01
ISSUE B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESCRIPTION

The ADC0803 family is a series of three CMOS 8-bit successive approximation A/D converters using a resistive ladder and capacitive array together with an auto-zero comparator. These converters are designed to operate with microprocessor-controlled buses using a minimum of external circuitry. The 3-State output data lines can be connected directly to the data bus.

The differential analog voltage input allows for increased common-mode rejection and provides a means to adjust the zero-scale offset. Additionally, the voltage reference input provides a means of encoding small analog voltages to the full 8 bits of resolution.

FEATURES

- Compatible with most microprocessors
- Differential inputs
- 3-State outputs
- Logic levels TTL and MOS compatible
- Can be used with internal or external clock
- Analog input range 0 V to V_{CC}
- Single 5 V supply
- Guaranteed specification with 1 MHz clock

PIN CONFIGURATION

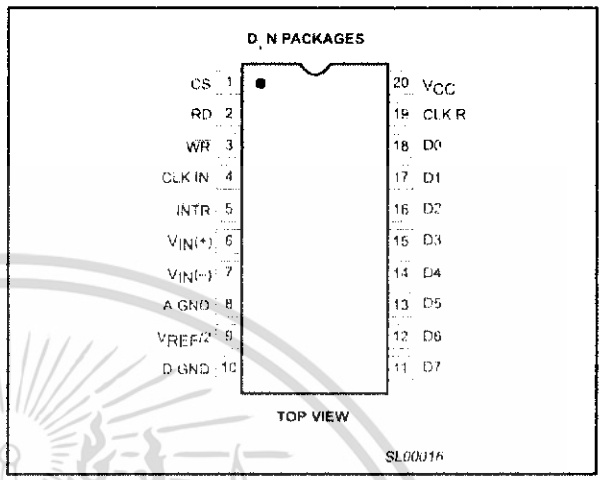


Figure 1. Pin configuration

APPLICATIONS

- Transducer-to-microprocessor interface
- Digital thermometer
- Digitally-controlled thermostat
- Microprocessor-based monitoring and control systems

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	TOPSIDE MARKING	DWG #
20-pin plastic small outline (SO) package	0 to 70 °C	ADC0803CD, ADC0804CD	ADC0803-1CD, ADC0804-1CD	SOT163-1
20-pin plastic small outline (SO) package	−40 to 85 °C	ADC0803LCD, ADC0804LCD	ADC0803-1LCD, ADC0804-1LCD	SOT163-1
20-pin plastic dual in-line package (DIP)	0 to 70 °C	ADC0803CN, ADC0804CN	ADC0803-1CN, ADC0804-1CN	SOT146-1
20-pin plastic dual in-line package (DIP)	−40 to +85 °C	ADC0803LCN, ADC0804LCN	ADC0803-1LCN, ADC0804-1LCN	SOT146-1

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	CONDITIONS	RATING	UNIT
V_{CC}	Supply voltage		6.5	V
	Logic control input voltages		−0.3 to +16	V
	All other input voltages		−0.3 to (V_{CC} +0.3)	V
T_{amb}	Operating temperature range			
	ADC0803LCD/ADC0804LCD		−40 to +85	°C
	ADC0803LCN/ADC0804LCN		−40 to +85	°C
	ADC0803CD/ADC0804CD		0 to +70	°C
	ADC0803CN/ADC0804CN		0 to +70	°C
T_{stg}	Storage temperature		−65 to +150	°C
T_{sld}	Lead soldering temperature (10 seconds)		230	°C
P_D	Maximum power dissipation[1]	T_{amb} = 25 °C (still air)		
	N package		1690	mW
	D package		1390	mW

NOTE:
1. Derate above 25 °C, at the following rates: N package at 13.5 mW/°C; D package at 11.1 mW/°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

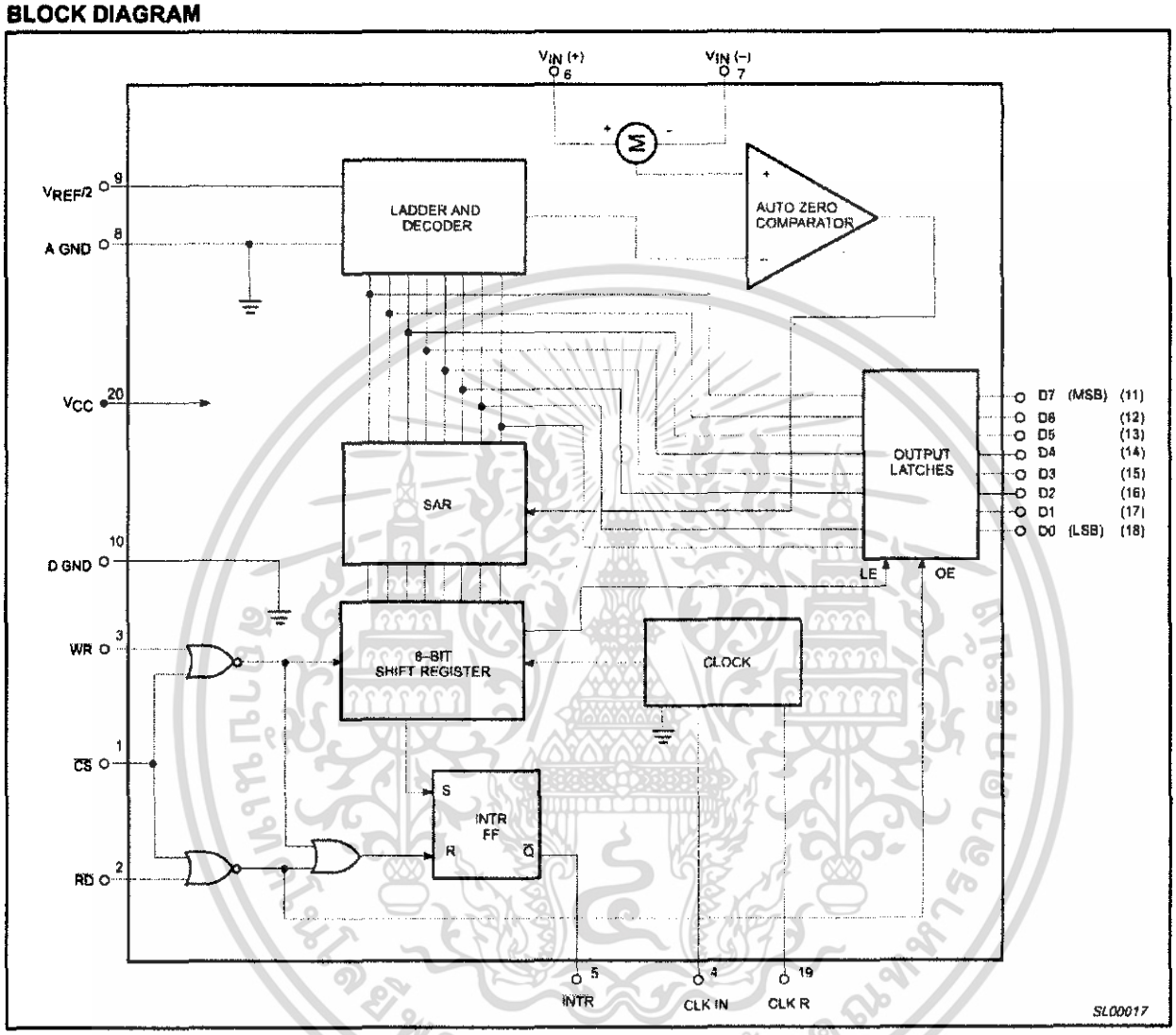


Figure 2. Block diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

V_{CC} = 5.0 V, f_{CLK} = 1 MHz, $T_{min} \leq T_{amb} \leq T_{max}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			Min	Typ	Max	
	ADC0803 relative accuracy error (adjusted)	Full-Scale adjusted			0.50	LSB
	ADC0804 relative accuracy error (unadjusted)	$V_{REF}/2$ = 2.500 V_{DC}			1	LSB
R_{IN}	$V_{REF}/2$ input resistance[3]	V_{CC} = 0 V[2]	400	680		Ω
	Analog input voltage range[3]		−0.05		V_{CC}+0.05	V
	DC common-mode error	Over analog input voltage range		1/16	1/8	LSB
	Power supply sensitivity	V_{CC} = 5V ±10%[1]		1/16		LSB
Control inputs						
V_{IH}	Logical "1" input voltage	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}
V_{IL}	Logical "0" input voltage	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
I_{IH}	Logical "1" input current	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IL}	Logical "0" input current	V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
Clock in and clock R						
V_T+	Clock in positive-going threshold voltage		2.7	3.1	3.5	V_{DC}
V_T-	Clock in negative-going threshold voltage		1.5	1.8	2.1	V_{DC}
V_H	Clock in hysteresis (V_T+)−(V_T-)		0.6	1.3	2.0	V_{DC}
V_{OL}	Logical "0" clock R output voltage	I_{OL} = 360 µA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OH}	Logical "1" clock R output voltage	I_{OH} = −360 µA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
Data output and INTR						
V_{OL}	Logical "0" output voltage					
	Data outputs	I_{OL} = 1.6 mA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
	INTR outputs	I_{OL} = 1.0 mA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OH}	Logical "1" output voltage	I_{OH} = −360 µA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
		I_{OH} = −10 µA, V_{CC} = 4.75 V_{DC}	4.5			
I_{OZL}	3-State output leakage	V_{OUT} = 0 V_{DC}, $\overline{CS}$ = logical "1"	−3			μA_{DC}
I_{OZH}	3-State output leakage	V_{OUT} = 5 V_{DC}, $\overline{CS}$ = logical "1"			3	μA_{DC}
I_{SC}	+Output short-circuit current	V_{OUT} = 0 V, T_{amb} = 25 °C	4.5	12		mA_{DC}
I_{SC}	−Output short-circuit current	V_{OUT} = V_{CC}, T_{amb} = 25 °C	9.0	30		mA_{DC}
I_{CC}	Power supply current	f_{CLK} = 1 MHz, $V_{REF}/2$ = OPEN, $\overline{CS}$ = Logical "1", T_{amb} = 25 °C		3.0	3.5	mA

NOTES:
1. Analog inputs must remain within the range: $-0.05 \leq V_{IN} \leq V_{CC} + 0.05$ V.
2. See typical performance characteristics for input resistance at V_{CC} = 5 V.
3. $V_{REF}/2$ and V_{IN} must be applied after the V_{CC} has been turned on to prevent the possibility of latching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	TO	FROM	TEST CONDITIONS	LIMITS			UNIT
					Min	Typ	Max	
	Conversion time			f_{CLK} = 1 MHz[1]	66		73	µs
f_{CLK}	Clock frequency[1]				0.1	1.0	3.0	MHz
	Clock duty cycle[1]				40		60	%
CR	Free-running conversion rate			$\overline{CS}$ = 0, f_{CLK} = 1 MHz $\overline{INTR}$ tied to $\overline{WR}$			13690	conv/s
$t_{W(\overline{WR})L}$	Start pulse width			$\overline{CS}$ = 0	30			ns
t_{ACC}	Access time	Output	$\overline{RD}$	$\overline{CS}$ = 0, C_L = 100 pF		75	100	ns
t_{1H}, t_{0H}	3-State control	Output	$\overline{RD}$	C_L = 10 pF, R_L = 10 kΩ See 3-State test circuit		70	100	ns
t_{W1}, t_{R1}	$\overline{INTR}$ delay	$\overline{INTR}$	$\overline{WD}$ or $\overline{RD}$			100	150	ns
C_{IN}	Logic input=capacitance					5	7.5	pF
C_{OUT}	3-State output capacitance					5	7.5	pF

NOTE:
1. Accuracy is guaranteed at f_{CLK} = 1 MHz. Accuracy may degrade at higher clock frequencies.

FUNCTIONAL DESCRIPTION

These devices operate on the Successive Approximation principle. Analog switches are closed sequentially by successive approximation logic until the input to the auto-zero comparator [$V_{IN}(+)-V_{IN}(-)$] matches the voltage from the decoder. After all bits are tested and determined, the 8-bit binary code corresponding to the input voltage is transferred to an output latch. Conversion begins with the arrival of a pulse at the $\overline{WR}$ input if the $\overline{CS}$ input is low. On the High-to-Low transition of the signal at the $\overline{WR}$ or the $\overline{CS}$ input, the SAR is initialized, the shift register is reset, and the $\overline{INTR}$ output is set high. The A/D will remain in the reset state as long as the $\overline{CS}$ and $\overline{WR}$ inputs remain low. Conversion will start from one to eight clock periods after one or both of these inputs makes a Low-to-High transition. After the conversion is complete, the $\overline{INTR}$ pin will make a High-to-Low transition. This can be used to interrupt a processor, or otherwise signal the availability of a new conversion result. A read ($\overline{RD}$) operation (with $\overline{CS}$ low) will clear the $\overline{INTR}$ line and enable the output latches. The device may be run in the free-running mode as described later. A conversion in progress can be interrupted by issuing another start command.

Digital Control Inputs

The digital control inputs ($\overline{CS}$, $\overline{WR}$, $\overline{RD}$) are compatible with standard TTL logic voltage levels. The required signals at these inputs correspond to Chip Select, START Conversion, and Output Enable control signals, respectively. They are active-Low for easy interface to microprocessor and microcontroller control buses. For applications not using microprocessors, the $\overline{CS}$ input (Pin 1) can be grounded and the A/D START function is achieved by a negative-going pulse to the $\overline{WR}$ input (Pin 3). The Output Enable function is achieved by a logic low signal at the $\overline{RD}$ input (Pin 2), which may be grounded to constantly have the latest conversion present at the output.

ANALOG OPERATION

Analog Input Current

The analog comparisons are performed by a capacitive charge summing circuit. The input capacitor is switched between $V_{IN(+)}$[4] and $V_{IN(-)}$, while reference capacitors are switched between taps on the reference voltage divider string. The net charge corresponds to the weighted difference between the input and the most recent total value set by the successive approximation register.

The internal switching action causes displacement currents to flow at the analog inputs. The voltage on the on-chip capacitance is switched through the analog differential input voltage, resulting in proportional currents entering the $V_{IN(+)}$ input and leaving the $V_{IN(-)}$ input. These transient currents occur at the leading edge of the internal clock pulses. They decay rapidly so do not inherently cause errors as the on-chip comparator is strobed at the end of the clock period.

Input Bypass Capacitors and Source Resistance

Bypass capacitors at the input will average the charges mentioned above, causing a DC and an AC current to flow through the output resistance of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN(+)}$ input at full scale. This current can be a few microamps, so bypass capacitors should NOT be used at the analog inputs of the $V_{REF}/2$ input for high resistance sources (> 1 kΩ). If input bypass capacitors are desired for noise filtering and a high source resistance is desired to minimize capacitor size, detrimental effects of the voltage drop across the input resistance can be eliminated by adjusting the full scale with both the input resistance and the input bypass capacitor in place. This is possible because the magnitude of the input current is a precise linear function of the differential voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Large values of source resistance where an input bypass capacitor is not used will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (< 1 kΩ) for a passive RC section or add an op amp active filter (low pass). For applications with source resistances at or below 1 kΩ, a 0.1 µF bypass capacitor at the inputs will prevent pickup due to series lead inductance or a long wire. A 100 Ω series resistor can be used to isolate this capacitor (both the resistor and capacitor should be placed out of the feedback loop) from the output of the op amp, if used.

Analog Differential Voltage Inputs and Common-Mode Rejection

These A/D converters have additional flexibility due to the analog differential voltage input. The $V_{IN(-)}$ input (Pin 7) can be used to subtract a fixed voltage from the input reading (tare correction). This is also useful in a 4/20 mA current loop conversion. Common-mode noise can also be reduced by the use of the differential input.

The time interval between sampling $V_{IN(+)}$ and $V_{IN(-)}$ is 4.5 clock periods. The maximum error due to this time difference is given by:

$$V(max) = (V_P)\,(2f_{CM})\,(4.5/f_{CLK}),$$

where:

V = error voltage due to sampling delay

V_P = peak value of common-mode voltage

f_{CM} = common mode frequency

For example, with a 60 Hz common-mode frequency, f_{cm}, and a 1 MHz A/D clock, f_{CLK}, keeping this error to 1/4 LSB (about 5 mV) would allow a common-mode voltage, V_P, which is given by:

$$V_P = \frac{[V(max)\ (f_{CLK})}{(2f_{CM})(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3})\ (10^4)}{(6.28)\ (60)\ (4.5)} = 2.95V$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode voltage levels than this, however.

An analog input span less than the full 5 V capability of the device, together with a relatively large zero offset, can be easily handled by use of the differential input. (See Reference Voltage Span Adjust).

Noise and Stray Pickup

The leads of the analog inputs (Pins 6 and 7) should be kept as short as possible to minimize input noise coupling and stray signal pick-up. Both EMI and undesired digital signal coupling to these inputs can cause system errors. The source resistance for these inputs should generally be below 5 kΩ to help avoid undesired noise pickup. Input bypass capacitors at the analog inputs can create errors as described previously. Full scale adjustment with any input bypass capacitors in place will eliminate these errors.

Reference Voltage

For application flexibility, these A/D converters have been designed to accommodate fixed reference voltages of 5V to Pin 20 or 2.5 V to Pin 9, or an adjusted reference voltage at Pin 9. The reference can be set by forcing it at $V_{REF}/2$ input, or can be determined by the supply voltage (Pin 20). Figure 6 indicates how this is accomplished.

Reference Voltage Span Adjust

Note that the Pin 9 ($V_{REF}/2$) voltage is either 1/2 the voltage applied to the V_{CC} supply pin, or is equal to the voltage which is externally forced at the $V_{REF}/2$ pin. In addition to allowing for flexible references and full span voltages, this also allows for a ratiometric voltage reference. The internal gain of the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at Pin 9.

For example, a dynamic voltage range of the analog input voltage that extends from 0 to 4 V gives a span of 4 V (4–0), so the $V_{REF}/2$ voltage can be made equal to 2 V (half of the 4 V span) and full scale output would correspond to 4 V at the input.

On the other hand, if the dynamic input voltage had a range of 0.5 to 3.5 V, the span or dynamic input range is 3 V (3.5–0.5). To encode this 3 V span with 0.5 V yielding a code of zero, the minimum expected input (0.5 V, in this case) is applied to the $V_{IN}(-)$ pin to account for the offset, and the $V_{REF}/2$ pin is set to 1/2 the 3 V span, or 1.5 V. The A/D converter will now encode the $V_{IN}(+)$ signal between 0.5 and 3.5 V with 0.5 V at the input corresponding to a code of zero and 3.5 V at the input producing a full scale output code. The full 8 bits of resolution are thus applied over this reduced input voltage range. The required connections are shown in Figure 7.

Operating Mode

These converters can be operated in two modes:

1) absolute mode
2) ratiometric mode

In absolute mode applications, both the initial accuracy and the temperature stability of the reference voltage are important factors in the accuracy of the conversion. For $V_{REF}/2$ voltages of 2.5 V, initial errors of ±10 mV will cause conversion errors of ±1 LSB due to the gain of 2 at the $V_{REF}/2$ input. In reduced span applications, the initial value and stability of the $V_{REF}/2$ input voltage become even more important as the same error is a larger percentage of the $V_{REF}/2$ nominal value. See Figure 8.

In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter, and, therefore, cancels out in the final digital code. See Figure 9.

Generally, the reference voltage will require an initial adjustment. Errors due to an improper reference voltage value appear as full-scale errors in the A/D transfer function.

ERRORS AND INPUT SPAN ADJUSTMENTS

There are many sources of error in any data converter, some of which can be adjusted out. Inherent errors, such as relative accuracy, cannot be eliminated, but such errors as full-scale and zero scale offset errors can be eliminated quite easily. See Figure 7.

Zero Scale Error

Zero scale error of an A/D is the difference of potential between the ideal 1/2 LSB value (9.8 mV for $V_{REF}/2$=2.500 V) and that input voltage which just causes an output transition from code 0000 0000 to a code of 0000 0001.

If the minimum input value is not ground potential, a zero offset can be made. The converter can be made to output a digital code of 0000 0000 for the minimum expected input voltage by biasing the $V_{IN}(-)$ input to that minimum value expected at the $V_{IN}(+)$ input. This uses the differential mode of the converter. Any offset adjustment should be done prior to full scale adjustment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Full Scale Adjustment

Full scale gain is adjusted by applying any desired offset voltage to $V_{IN}(-)$, then applying the $V_{IN}(+)$ a voltage that is $1\text{-}^1/_2$ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of $V_{REF}/2$ input voltage (or the V_{CC} supply if there is no $V_{REF}/2$ input connection) for a digital output code which just changes from 1111 1110 to 1111 1111. The ideal $V_{IN}(+)$ voltage for this full-scale adjustment is given by:

$$V_{IN}(+) = V_{IN}(-) - 1.5 \times \frac{V_{MAX} - V_{MIN}}{255}$$

where:

V_{MAX} = high end of analog input range (ground referenced)

V_{MIN} = low end (zero offset) of analog input (ground referenced)

CLOCKING OPTION

The clock signal for these A/Ds can be derived from external sources, such as a system clock, or self-clocking can be accomplished by adding an external resistor and capacitor, as shown in Figure 11.

Heavy capacitive or DC loading of the CLK R pin should be avoided as this will disturb normal converter operation. Loads less than 50pF are allowed. This permits driving up to seven A/D converter CLK IN pins of this family from a single CLK R pin of one converter. For larger loading of the clock line, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the CLK R pin.

Restart During a Conversion

A conversion in process can be halted and a new conversion began by bringing the $\overline{CS}$ and $\overline{WR}$ inputs low and allowing at least one of them to go high again. The output data latch is not updated if the conversion in progress is not completed; the data from the previously completed conversion will remain in the output data latches until a subsequent conversion is completed.

Continuous Conversion

To provide continuous conversion of input data, the $\overline{CS}$ and $\overline{RD}$ inputs are grounded and $\overline{INTR}$ output is tied to the $\overline{WR}$ input. This $\overline{INTR}/\overline{WR}$ connection should be momentarily forced to a logic low upon power-up to insure circuit operation. See Figure 10 for one way to accomplish this.

DRIVING THE DATA BUS

This CMOS A/D converter, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry tied to the data bus will add to the total capacitive loading, even in the high impedance mode.

There are alternatives in handling this problem. The capacitive loading of the data bus slows down the response time, although DC specifications are still met. For systems with a relatively low CPU clock frequency, more time is available in which to establish proper logic levels on the bus, allowing higher capacitive loads to be driven (see Typical Performance Characteristics).

At higher CPU clock frequencies, time can be extended for I/O reads (and/or writes) by inserting wait states (8880) or using clock-extending circuits (6800, 8035).

Finally, if time is critical and capacitive loading is high, external bus drivers must be used. These can be 3-State buffers (low power Schottky is recommended, such as the N74LS240 series) or special higher current drive products designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended as the PNP input offers low loading of the A/D output, allowing better response time.

POWER SUPPLIES

Noise spikes on the V_{CC} line can cause conversion errors as the internal comparator will respond to them. A low inductance filter capacitor should be used close to the converter V_{CC} pin and values of 1 µF or greater are recommended. A separate 5 V regulator for the converter (and other 5 V linear circuitry) will greatly reduce digital noise on the V_{CC} supply and the attendant problems.

WIRING AND LAYOUT PRECAUTIONS

Digital wire-wrap sockets and connections are not satisfactory for breadboarding this (or any) A/D converter. Sockets on PC boards can be used. All logic signal wires and leads should be grouped or kept as far as possible from the analog signal leads. Single wire analog input leads may pick up undesired hum and noise, requiring the use of shielded leads to the analog inputs in many applications.

A single-point analog ground separate from the logic or digital ground points should be used. The power supply bypass capacitor and the self-clocking capacitor, if used, should be returned to digital ground. Any $V_{REF}/2$ bypass capacitor, analog input filter capacitors, and any input shielding should be returned to the analog ground point. Proper grounding will minimize zero-scale errors which are present in every code. Zero-scale errors can usually be traced to improper board layout and wiring.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS

Microprocessor Interfacing

This family of A/D converters was designed for easy microprocessor interfacing. These converters can be memory mapped with appropriate memory address decoding for $\overline{CS}$ (read) input. The active-Low write pulse from the processor is then connected to the $\overline{WR}$ input of the A/D converter, while the processor active-Low read pulse is fed to the converter $\overline{RD}$ input to read the converted data. If the clock signal is derived from the microprocessor system clock, the designer/programmer should be sure that there is no attempt to read the converter until 74 converter clock pulses after the start pulse goes high. Alternatively, the $\overline{INTR}$ pin may be used to interrupt the processor to cause reading of the converted data. Of course, the converter can be connected and addressed as a peripheral (in I/O space), as shown in Figure 12. A bus driver should be used as a buffer to the A/D output in large microprocessor systems where the data leaves the PC board and/or must drive capacitive loads in excess of 100 pF. See Figure 14.

Interfacing the SCN8048 microcomputer family is pretty simple, as shown in Figure 13. Since the SCN8048 family has 24 I/O lines, one of these (shown here as bit 0 or port 1) can be used as the chip select signal to the converter, eliminating the need for an address decoder. The $\overline{RD}$ and $\overline{WR}$ signals are generated by reading from and writing to a dummy address.

Digitizing a Transducer Interface Output

Circuit Description

Figure 15 shows an example of digitizing transducer interface output voltage. In this case, the transducer interface is the NE5521, an LVDT (Linear Variable Differential Transformer) Signal Conditioner. The diode at the A/D input is used to insure that the input to the A/D does not go excessively beyond the supply voltage of the A/D. See the NE5521 data sheet for a complete description of the operation of that part.

Circuit Adjustment

To adjust the full scale and zero scale of the A/D, determine the range of voltages that the transducer interface output will take on. Set the LVDT core for null and set the Zero Scale Scale Adjust Potentiometer for a digital output from the A/D of 1000 000. Set the LVDT core for maximum voltage from the interface and set the Full Scale Adjust potentiometer so the A/D output is just barely 1111 1111.

A Digital Thermostat

Circuit Description

The schematic of a Digital Thermostat is shown in Figure 16. The A/D digitizes the output of the LM35, a temperature transducer IC with an output of 10 mV per °C. With $V_{REF}/2$ set for 2.56 V, this 10 mV corresponds to 1/2 LSB and the circuit resolution is 2 °C. Reducing $V_{REF}/2$ to 1.28 yields a resolution of 1 °C. Of course, the lower $V_{REF}/2$ is, the more sensitive the A/D will be to noise.

The desired temperature is set by holding either of the set buttons closed. The SCC80C451 programming could cause the desired (set) temperature to be displayed while either button is depressed and for a short time after it is released. At other times the ambient temperature could be displayed.

The set temperature is stored in an SCN8051 internal register. The A/D conversion is started by writing anything at all to the A/D with port pin P10 set high. The desired temperature is compared with the digitized actual temperature, and the heater is turned on or off by clearing setting port pin P12. If desired, another port pin could be used to turn on or off an air conditioner.

The display drivers are NE587s if common anode LED displays are used. Of course, it is possible to interface to LCD displays as well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

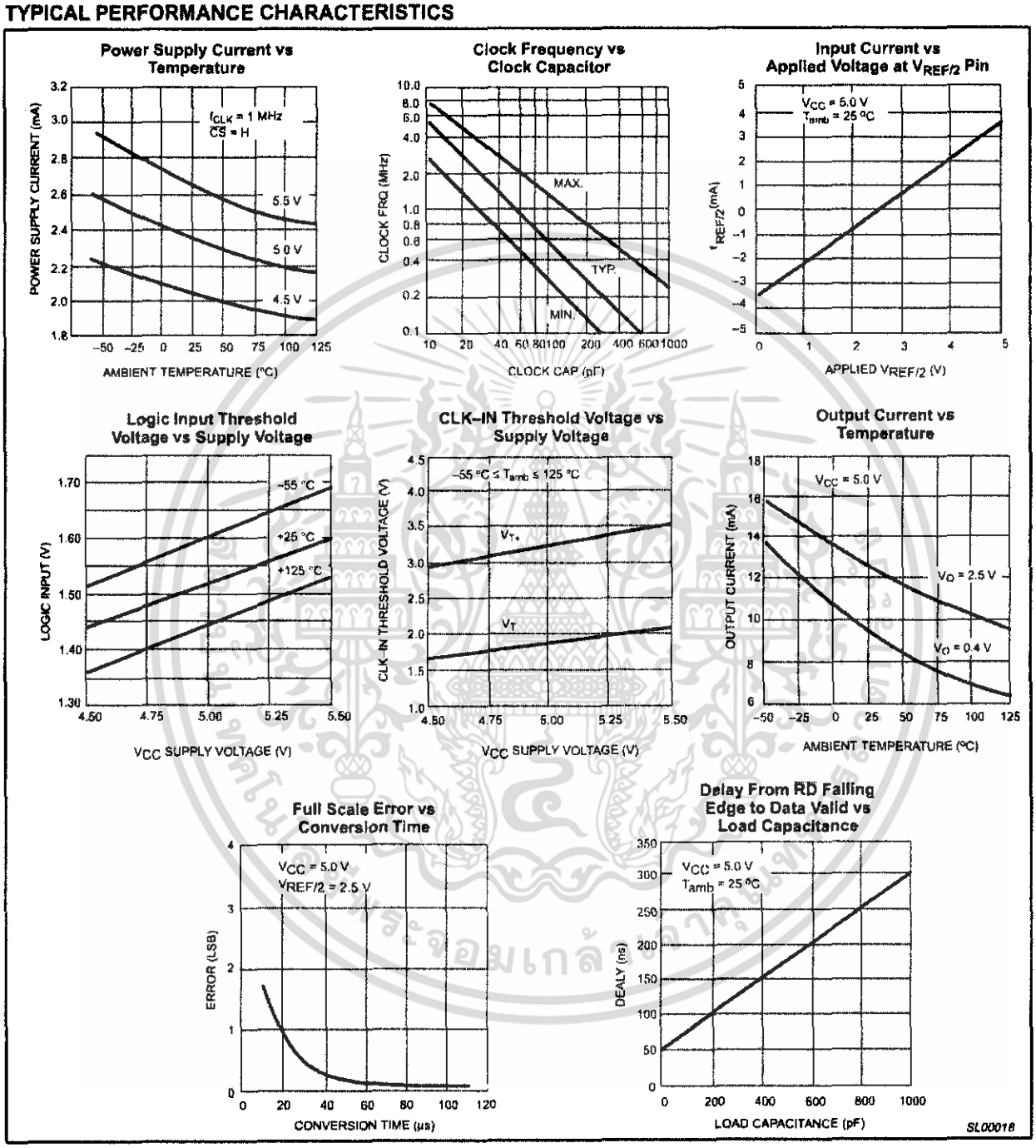


Figure 3. Typical Performance Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3-STATE TEST CIRCUITS AND WAVEFORMS (ADC0801-1)

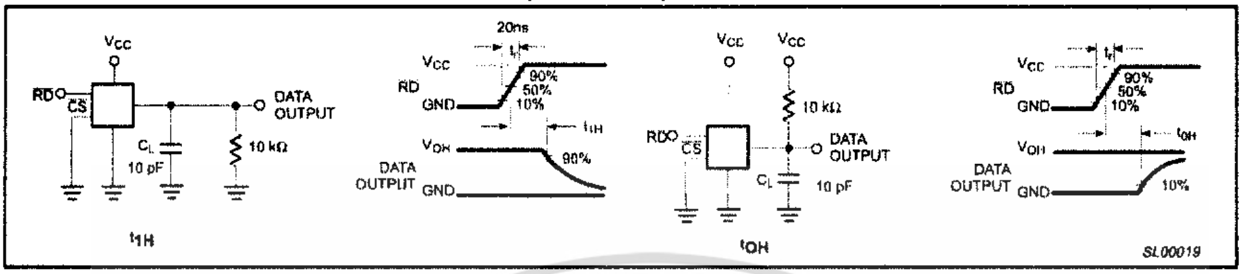


Figure 4. 3-State Test Circuits and Waveforms (ADC0801-1)

TIMING DIAGRAMS (All timing is measured from the 50% voltage points)

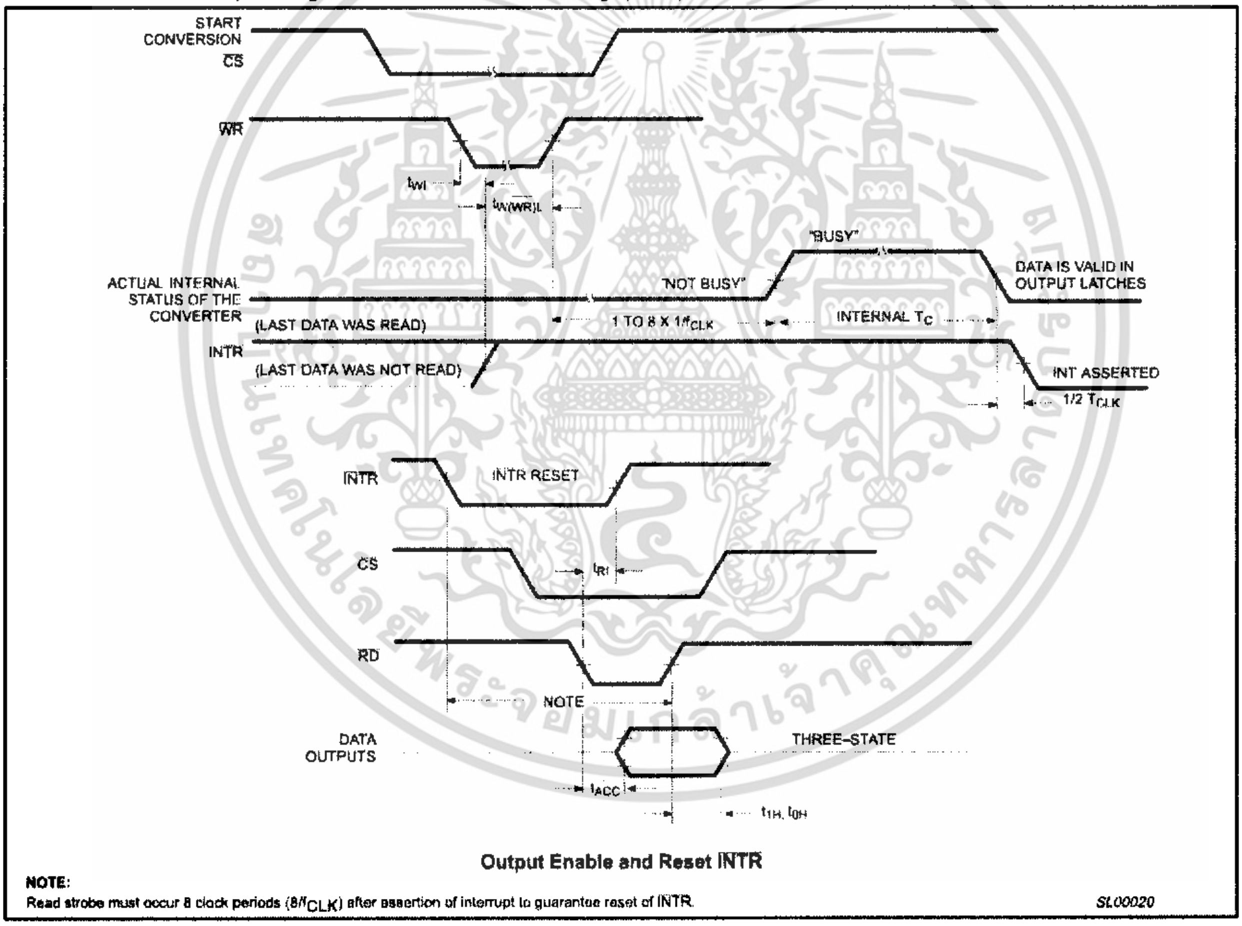


Figure 5. Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

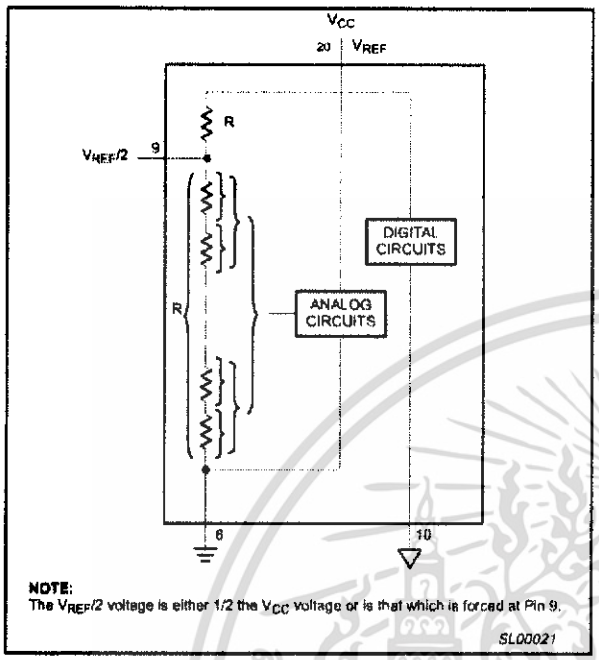


Figure 6. Internal Reference Design

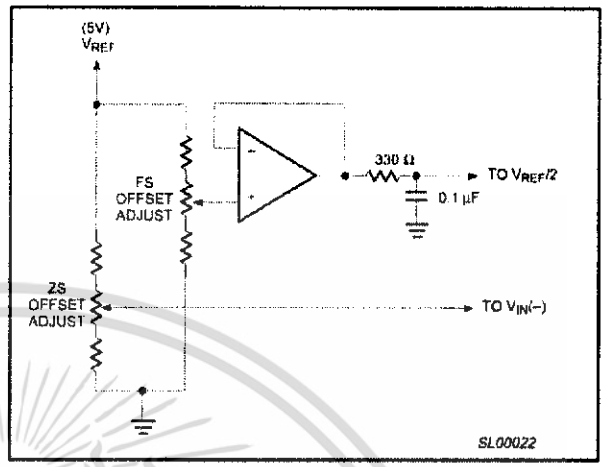


Figure 7. Offsetting the Zero Scale and Adjusting the Input Range (Span)

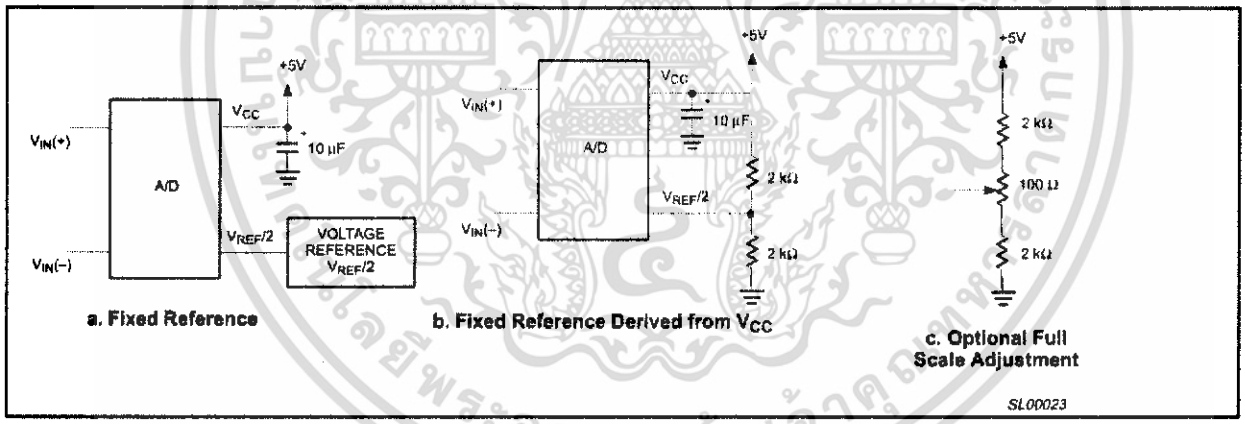


Figure 8. Absolute Mode of Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

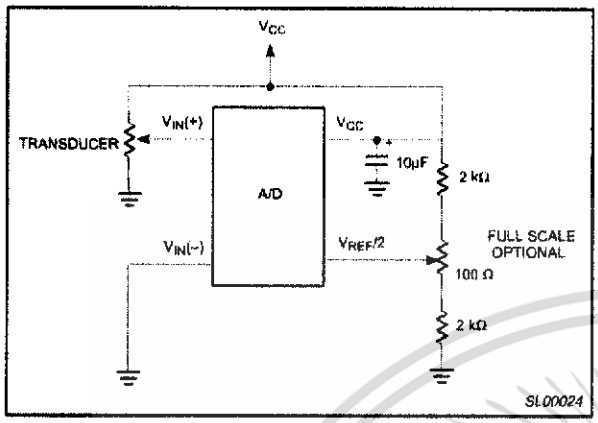


Figure 9. Ratiometric Mode of Operation with Optional Full Scale Adjustment

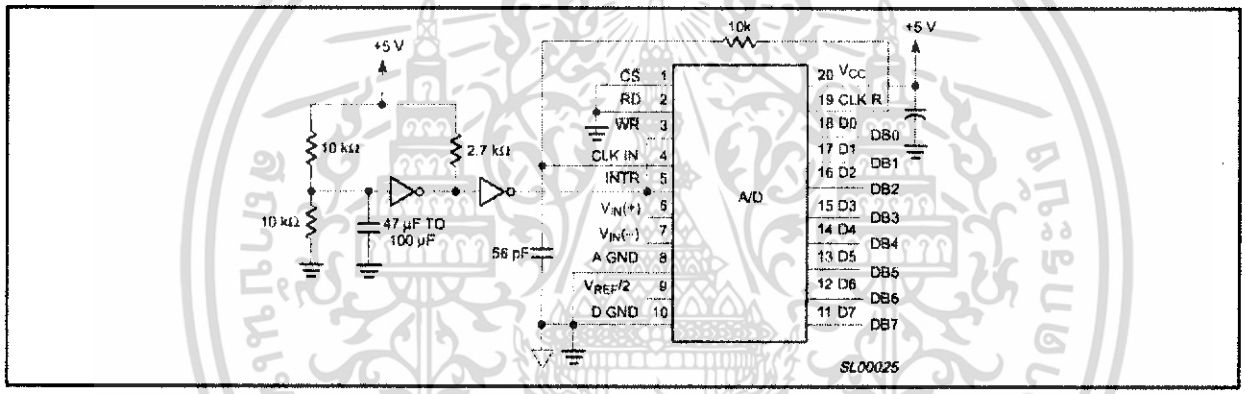


Figure 10. Connection for Continuous Conversion

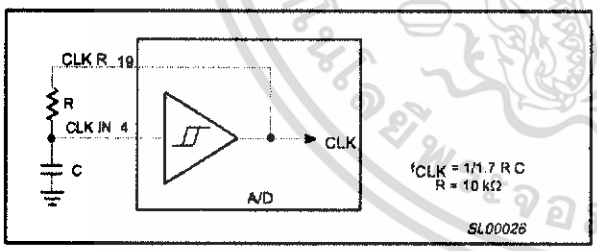


Figure 11. Self-Clocking the Converter

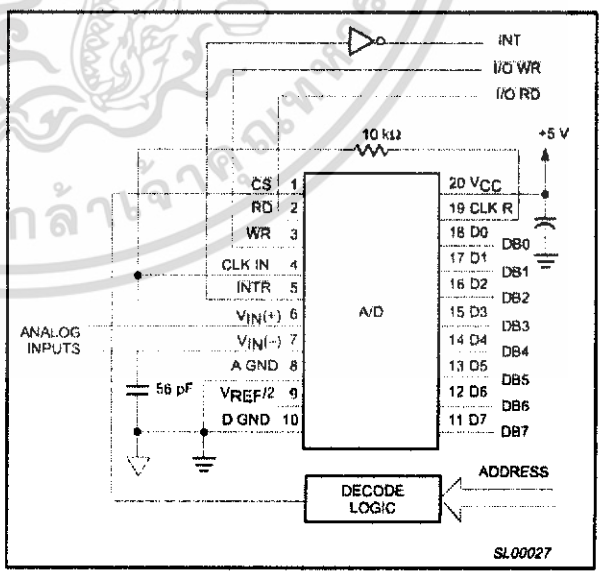


Figure 12. Interfacing to 8080A Microprocessor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

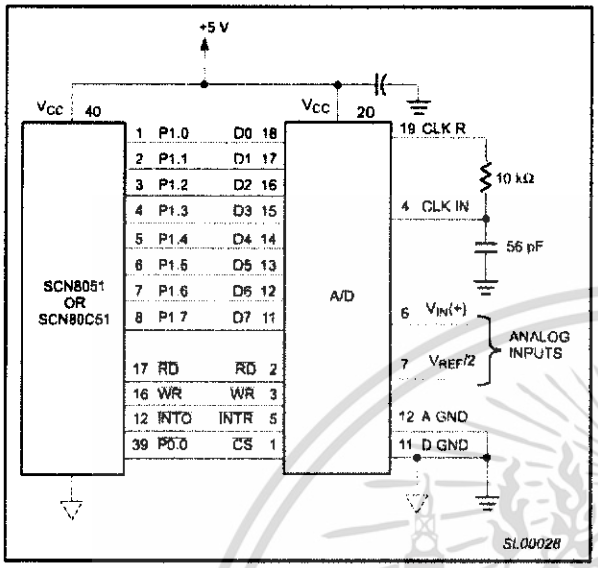


Figure 13. SCN8051 Interfacing

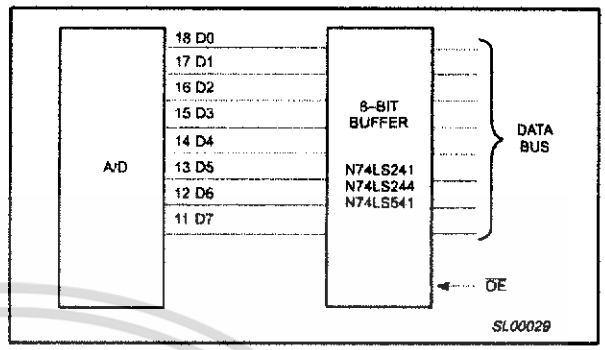


Figure 14. Buffering the A/D Output to Drive High Capacitance Loads and for Driving Off-Board Loads

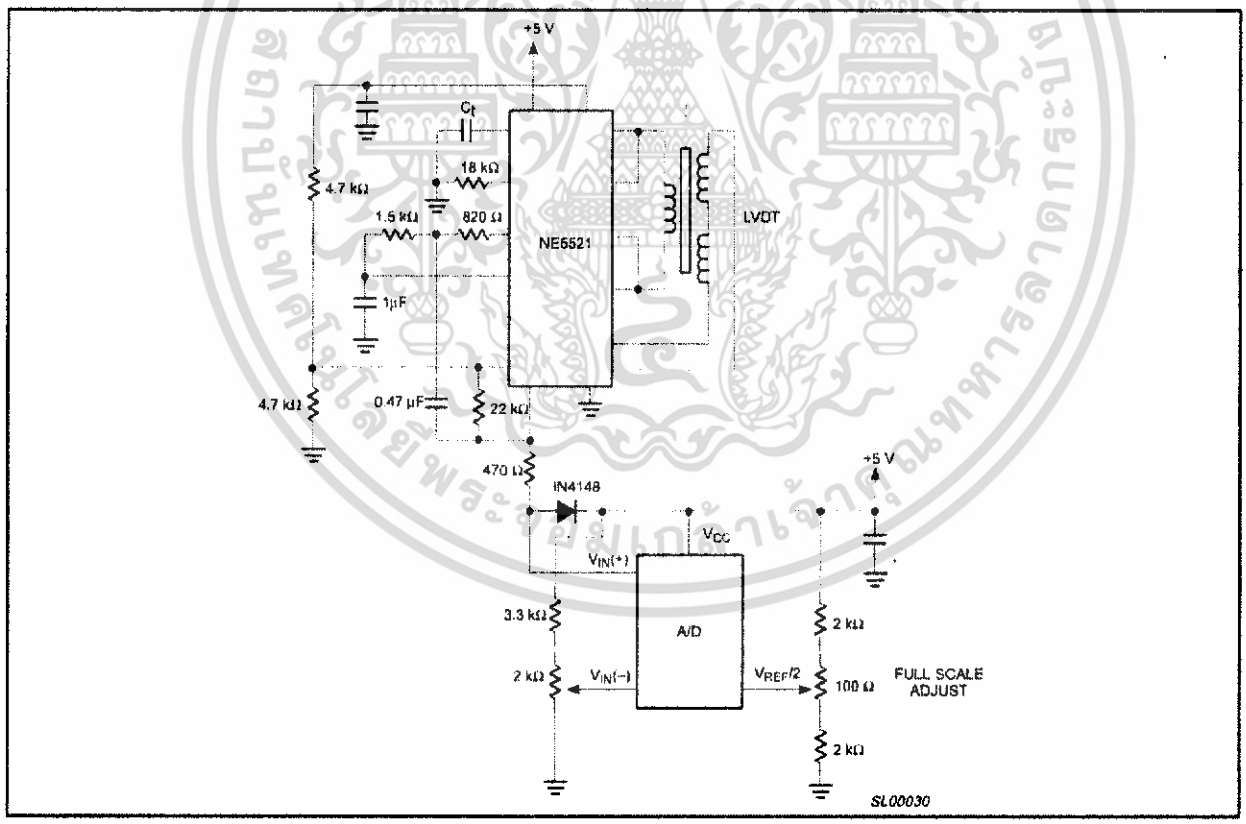


Figure 15. Digitizing a Transducer Interface Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

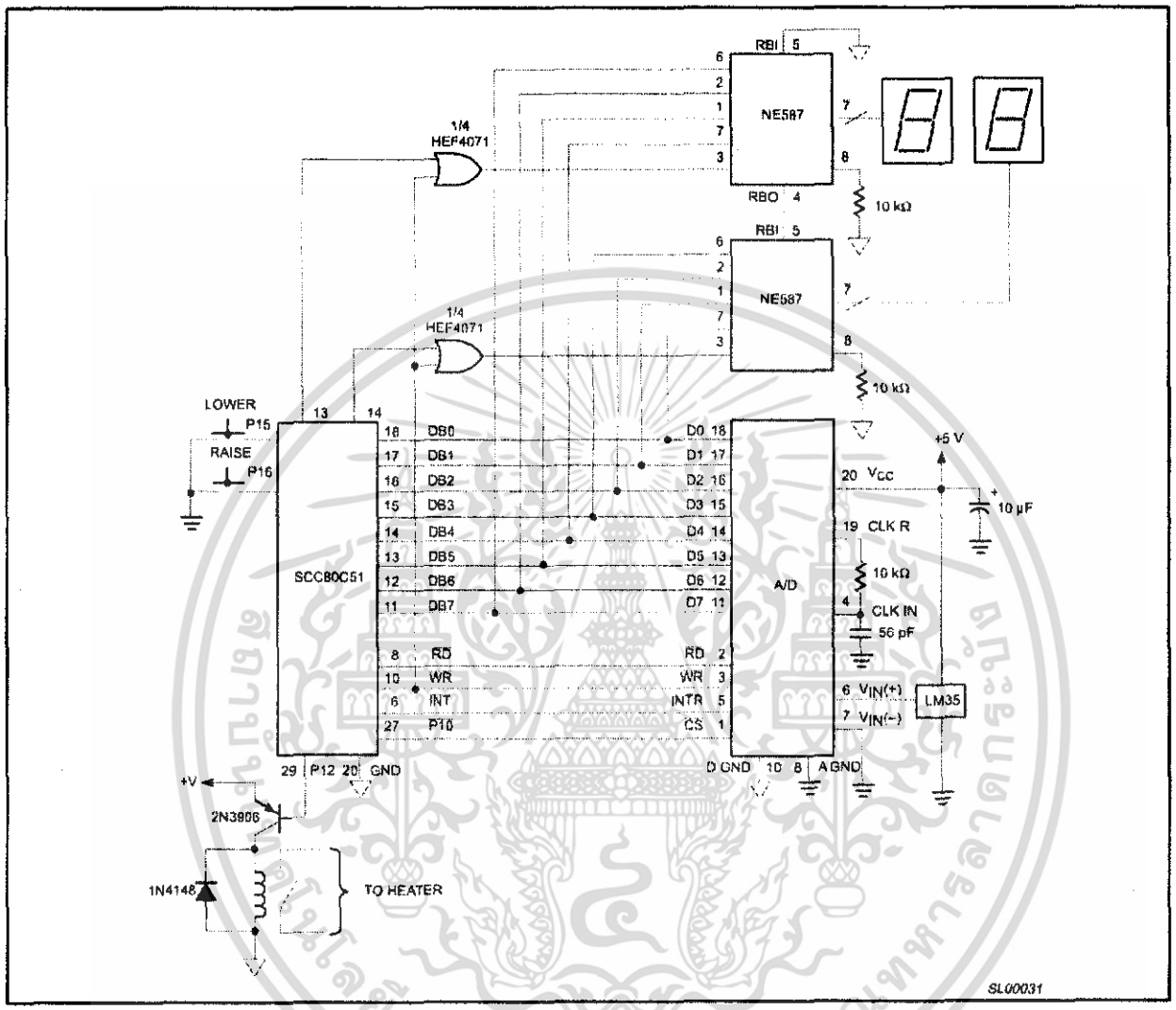
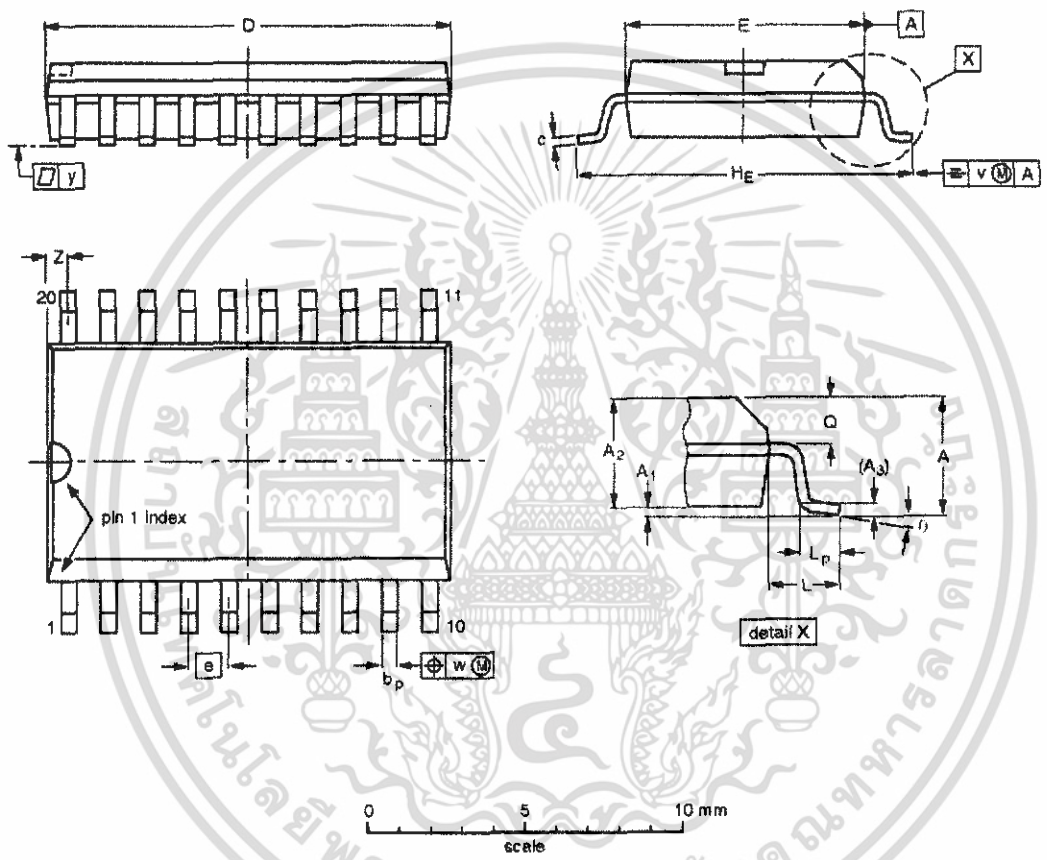


Figure 16. Digital Thermostat

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SO20: plastic small outline package; 20 leads; body width 7.5 mm **SOT163-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_E	L	L_p	Q	v	w	y	$Z^{(1)}$	θ
mm	2.65	0.30 0.10	2.45 2.25	0.25	0.49 0.36	0.32 0.23	13.0 12.6	7.6 7.4	1.27	10.65 10.00	1.4	1.1 0.4	1.1 1.0	0.25	0.25	0.1	0.9 0.4	8° 0°
inches	0.10	0.012 0.004	0.096 0.089	0.01	0.019 0.014	0.013 0.009	0.51 0.49	0.30 0.29	0.050	0.419 0.394	0.055	0.043 0.016	0.043 0.039	0.01	0.01	0.004	0.035 0.016	

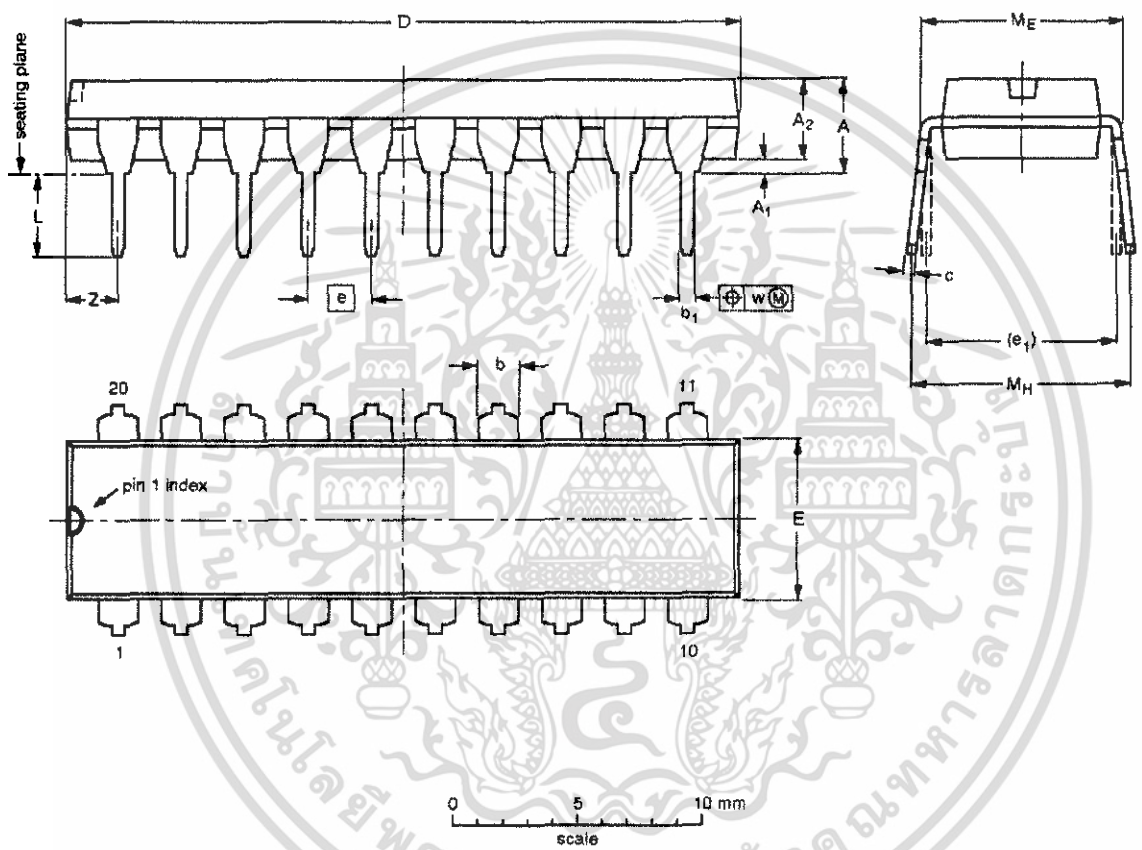
Note

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT163-1	076E04	MS-013				~~97-05-22~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP20: plastic dual in-line package; 20 leads (300 mil) **SOT146-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	$D^{(1)}$	$E^{(1)}$	e	e_1	L	M_E	M_H	w	$Z^{(1)}$ max.
mm	4.2	0.51	3.2	1.73 1.30	0.53 0.38	0.36 0.23	26.92 26.54	6.40 6.22	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	2.0
inches	0.17	0.020	0.13	0.068 0.051	0.021 0.015	0.014 0.009	1.060 1.045	0.25 0.24	0.10	0.30	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.078

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT146-1		MS-001	SC-603			~~95-05-24~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3361C

Low Power Narrowband FM IF

LOW POWER
NARROWBAND FM IF

SEMICONDUCTOR
TECHNICAL DATA

The MC3361C includes an Oscillator, Mixer, Limiting Amplifier, Quadrature Discriminator, Active Filter, Squelch, Scan Control and Mute Switch. This device is designed for use in FM dual conversion communications equipment.

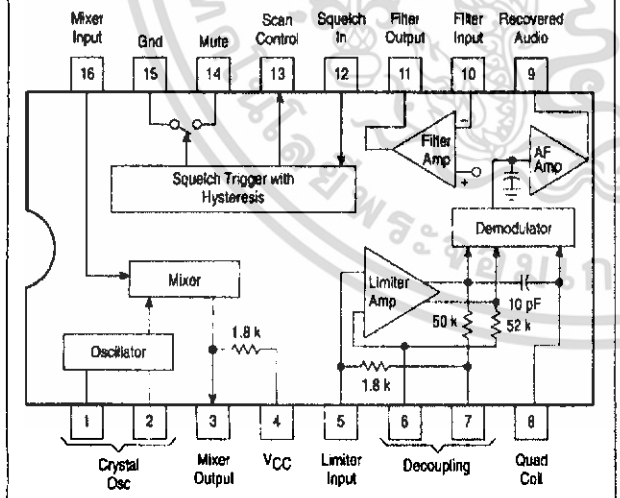
- Operates from 2.0 to 8.0 V Supply
- Low Drain Current 2.8 mA Typical @ V_{CC} = 4.0 Vdc
- Excellent Sensitivity: Input Limiting Voltage – – 3.0 dB = 2.6 µV Typical
- Low Number of External Parts Required
- Operating Frequency Up to 60 MHz
- Full ESD Protection

P SUFFIX
PLASTIC PACKAGE
CASE 648

D SUFFIX
PLASTIC PACKAGE
CASE 751B
(SO–16)

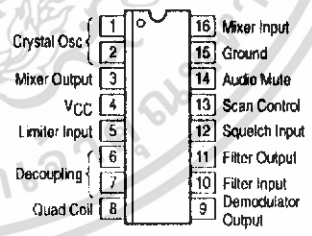
8

Representative Block Diagram



This device contains 92 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3361CD	T_A = – 30 to +70°C	SO–16
MC3361CP		Plastic DIP

6367253 0098007 T84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4	V_{CC}(max)	10	Vdc
Operating Supply Voltage Range	4	V_{CC}	2.0 to 6.0	Vdc
Detector Input Voltage	8	–	1.0	Vp–p
Input Voltage (V_{CC} ≥ 4.0 V)	16	V_{16}	1.0	V_{RMS}
Mute Function	14	V_{14}	–0.5 to +5.0	V_{pk}
Junction Temperature	–	T_J	150	°C
Operating Ambient Temperature Range	–	T_A	–30 to +70	°C
Storage Temperature Range	–	T_{stg}	–65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 4.0 Vdc, f_o = 10.7 MHz, Δf = ± 3.0 kHz, f_{mod} = 1.0 kHz, T_A = 25°C, unless otherwise noted.)

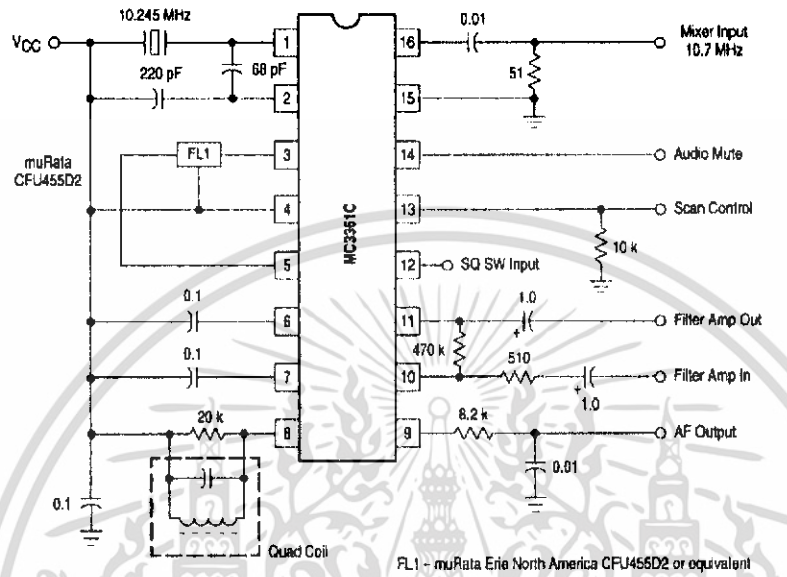
Characteristic	Pin	Min	Typ	Max	Unit
Drain Current (No Signal)	4				mA
Squelch "Off"		2.0	2.8	3.5	
Squelch "On"		3.7	5.2	6.3	
Recovered Audio Output Voltage (V_{in} = 10 mVrms)	9	130	170	210	mVrms
Input Limiting Voltage (–3.0 dB Limiting)	16	–	2.6	6.0	µV
Total Harmonic Distortion	9	–	0.86	–	%
Recovered Output Voltage (No Input Signal)	9	60	190	350	mVrms
Drop Voltage AF Gain Loss	9	– 3.0	– 0.6	–	dB
Detector Output Impedance	–	–	450	–	Ω
Filter Gain (10 kHz) (V_{in} = 0.3 mVrms)	–	40	50	–	dB
Filter Output Voltage	11	0.5	0.7	0.9	Vdc
Mute Function Low	14	–	30	50	Ω
Mute Function High	14	1.0	11	–	MΩ
Scan Function Low (Mute "Off") (V_{12} = 1.0 Vdc)	13	–	0	0.4	Vdc
Scan Function High (Mute "On") (V_{12} = Gnd)	13	3.0	3.9	–	Vdc
Trigger Hysteresis	–	–	45	100	mV
Mixer Conversion Gain	3	–	28	–	dB
Mixer Input Resistance	16	–	3.3	–	kΩ
Mixer Input Capacitance	16	–	9.0	–	pF

8

6367253 0098008 910

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Test Circuit



8

Figure 2. Audio Output, Distortion versus Supply Voltage

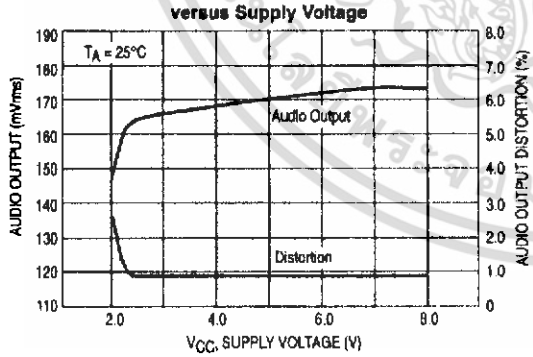
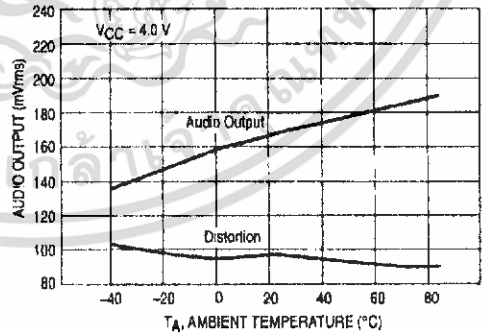


Figure 3. Audio Output, Distortion versus Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

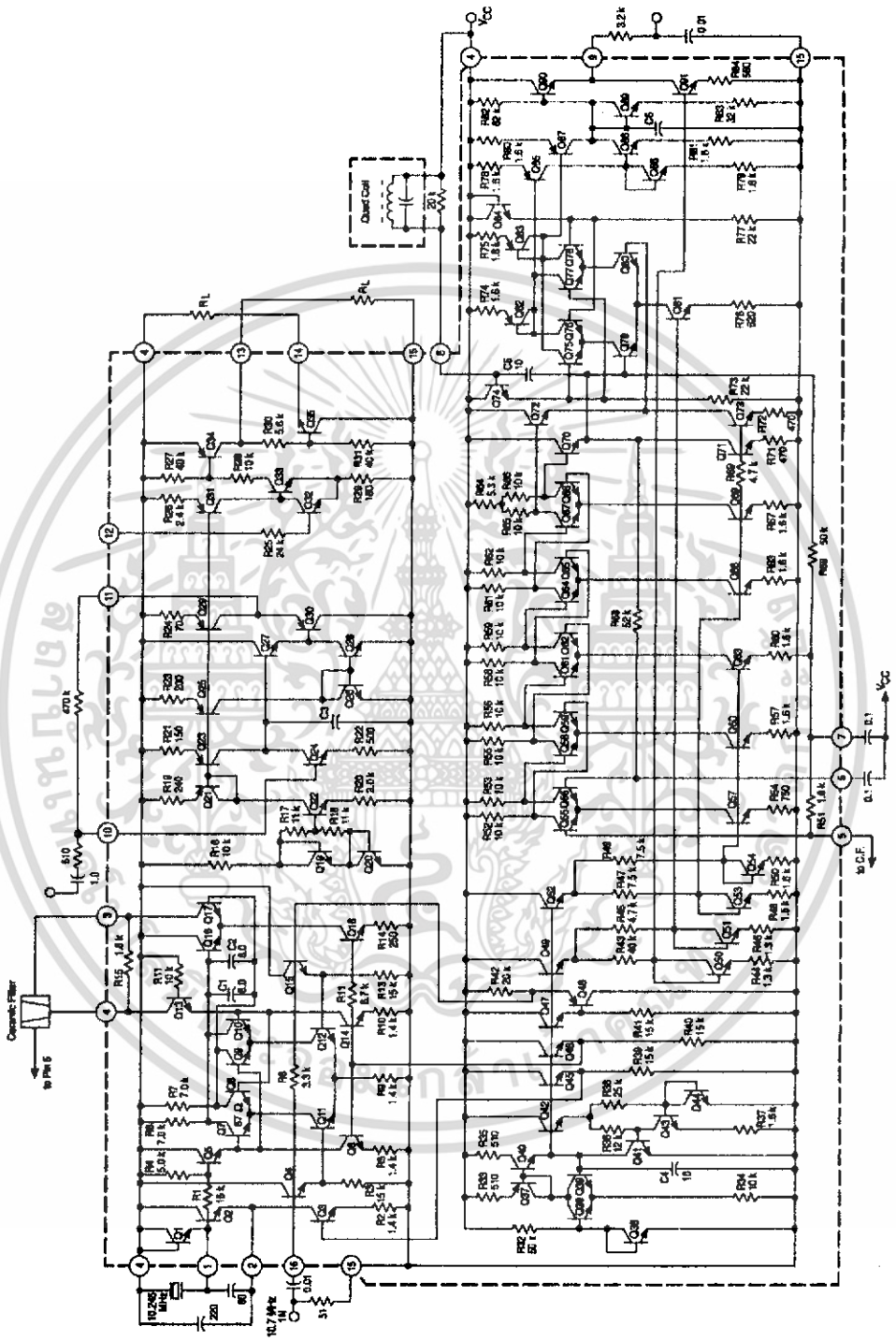


Figure 4. Low Voltage Low Power Narrowband FM IF

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Input Limiting Voltage

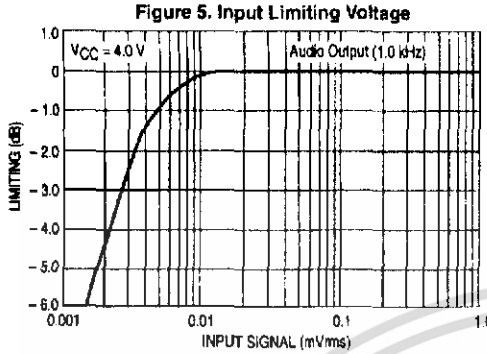


Figure 6. Overall Gain, Noise and AM Rejection

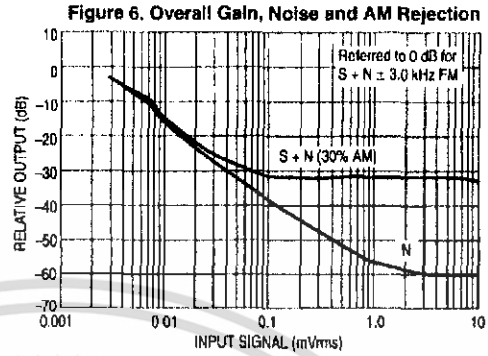


Figure 7. Filter Amp Response

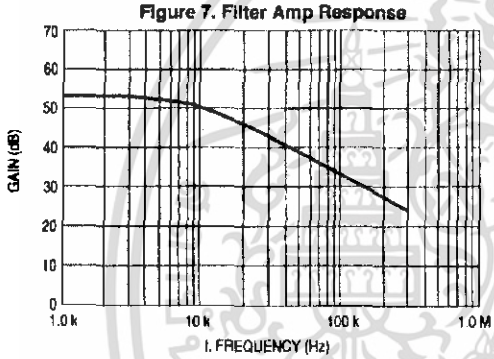


Figure 8. Filter Amp Gain

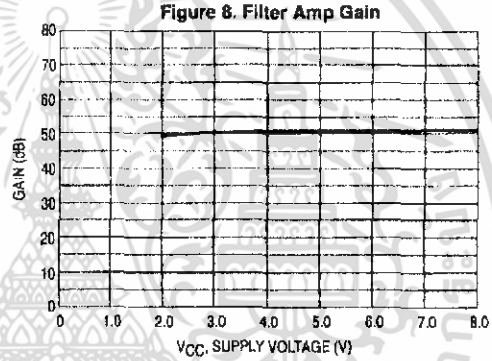
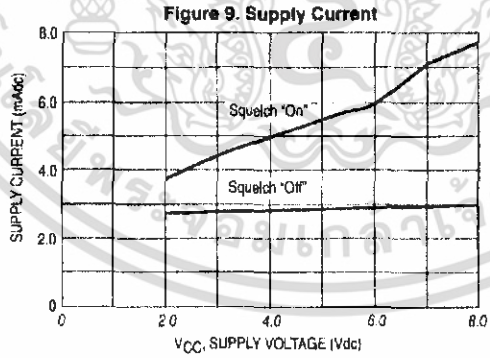


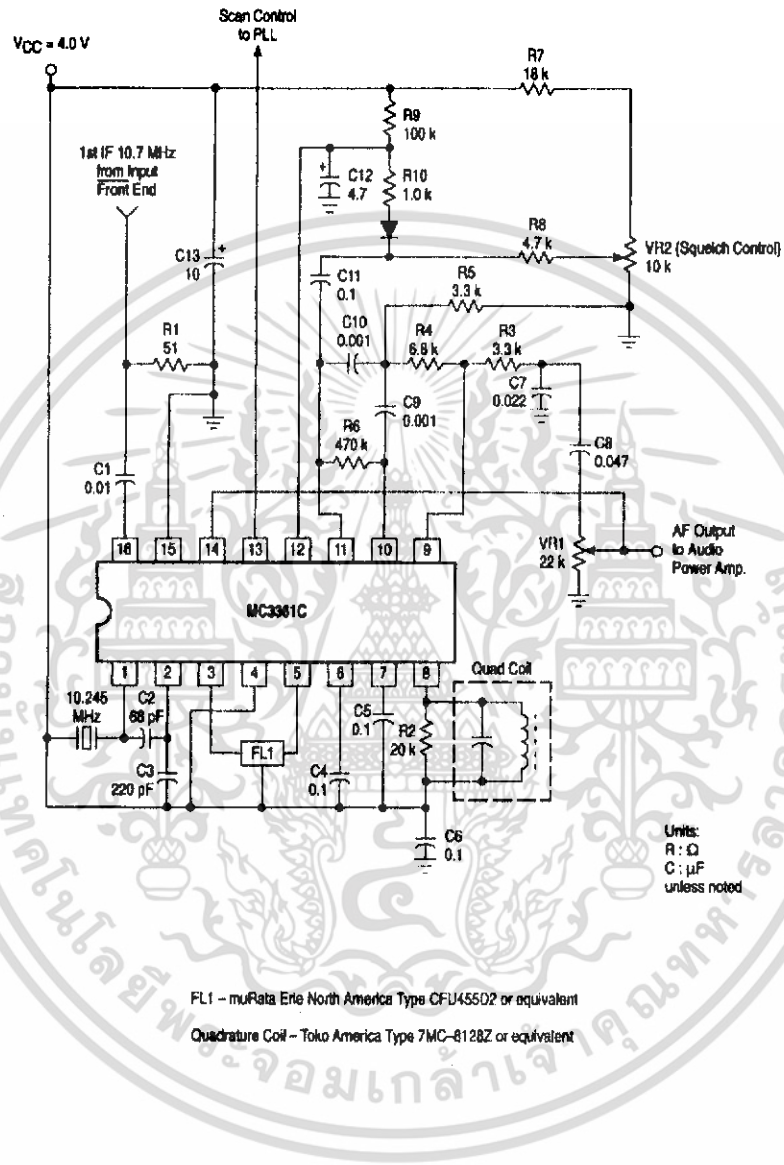
Figure 9. Supply Current



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Simplified Application



FL1 – muRata Erie North America Type CFU455D2 or equivalent

Quadrature Coil – Toko America Type 7MC–8128Z or equivalent

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROCHIP

PIC16F62X

FLASH-Based 8-Bit CMOS Microcontrollers

Devices included in this data sheet:

- PIC16F627
- PIC16F628

Referred to collectively as PIC16F62X .

High Performance RISC CPU:

- Only 35 instructions to learn
- All single-cycle instructions (200 ns), except for program branches which are two-cycle
- Operating speed:
  - DC - 20 MHz clock input
  - DC - 200 ns instruction cycle

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8

- Interrupt capability
- 16 special function hardware registers
- 8-level deep hardware stack
- Direct, Indirect and Relative addressing modes

Peripheral Features:

- 15 I/O pins with individual direction control
- High current sink/source for direct LED drive
- Analog comparator module with:
  - Two analog comparators
  - Programmable on-chip voltage reference (V_{REF}) module
  - Programmable input multiplexing from device inputs and internal voltage reference
  - Comparator outputs are externally accessible
- Timer0: 8-bit timer/counter with 8-bit programmable prescaler
- Timer1: 16-bit timer/counter with external crystal/clock capability
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Capture, Compare, PWM (CCP) module
  - Capture is 16-bit, max. resolution is 12.5 ns
  - Compare is 16-bit, max. resolution is 200 ns
  - PWM max. resolution is 10-bit
- Universal Synchronous/Asynchronous Receiver/Transmitter USART/SCI
- 16 Bytes of common RAM

Special Microcontroller Features:

- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Brown-out Detect (BOD)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Multiplexed $\overline{MCLR}$-pin
- Programmable weak pull-ups on PORTB
- Programmable code protection
- Low voltage programming
- Power saving SLEEP mode
- Selectable oscillator options
  - FLASH configuration bits for oscillator options
  - ER (External Resistor) oscillator
    - Reduced part count
  - Dual speed INTRC
    - Lower current consumption
  - EC External Clock input
  - XT oscillator mode
  - HS oscillator mode
  - LP oscillator mode
- Serial in-circuit programming (via two pins)
- Four user programmable ID locations

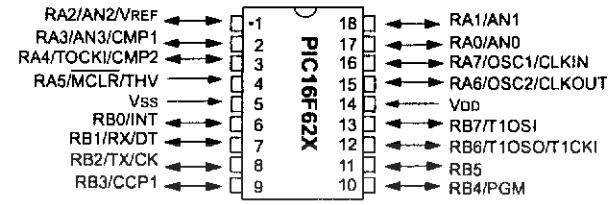
CMOS Technology:

- Low-power, high-speed CMOS FLASH technology
- Fully static design
- Wide operating voltage range
  - PIC16F627 - 3.0V to 5.5V
  - PIC16F628 - 3.0V to 5.5V
  - PIC16LF627 - 2.0V to 5.5V
  - PIC16LF628 - 2.0V to 5.5V
- Commercial, industrial and extended temperature range
- Low power consumption
  - < 2.0 mA @ 5.0V, 4.0 MHz
  - 15 µA typical @ 3.0V, 32 kHz
  - < 1.0 µA typical standby current @ 3.0V

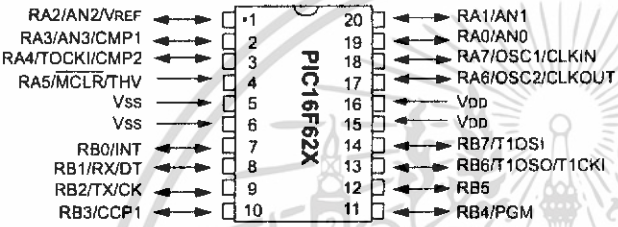
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Diagrams

PDIP, SOIC



SSOP



Device Differences

Device	Voltage Range	Oscillator	Process Technology (Microns)
PIC16F627	3.0 - 5.5	See Note 1	0.7
PIC16F628	3.0 - 5.5	See Note 1	0.7
PIC16LF627	2.0 - 5.5	See Note 1	0.7
PIC16LF628	2.0 - 5.5	See Note 1	0.7

Note 1: If you change from this device to another device, please verify oscillator characteristics in your application.

Preliminary
© 1999 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 GENERAL DESCRIPTION

The PIC16F62X are 18-Pin FLASH-based members of the versatile PIC16CXX family of low-cost, high-performance, CMOS, fully-static, 8-bit microcontrollers.

All PICmicro® microcontrollers employ an advanced RISC architecture. The PIC16F62X have enhanced core features, eight-level deep stack, and multiple internal and external interrupt sources. The separate instruction and data buses of the Harvard architecture allow a 14-bit wide instruction word with the separate 8-bit wide data. The two-stage instruction pipeline allows all instructions to execute in a single-cycle, except for program branches (which require two cycles). A total of 35 instructions (reduced instruction set) are available. Additionally, a large register set gives some of the architectural innovations used to achieve a very high performance.

PIC16F62X microcontrollers typically achieve a 2:1 code compression and a 4:1 speed improvement over other 8-bit microcontrollers in their class.

PIC16F62X devices have special features to reduce external components, thus reducing system cost, enhancing system reliability and reducing power consumption. There are eight oscillator configurations, of which the single pin ER oscillator provides a low-cost solution. The LP oscillator minimizes power consumption, XT is a standard crystal, INTRC is a self-contained internal oscillator and the HS is for High Speed crystals. The SLEEP (power-down) mode offers power savings. The user can wake up the chip from SLEEP through several external and internal interrupts and reset.

A highly reliable Watchdog Timer with its own on-chip RC oscillator provides protection against software lock- up.

Table 1-1 shows the features of the PIC16F62X mid-range microcontroller families.

A simplified block diagram of the PIC16F62X is shown in Figure 3-1.

The PIC16F62X series fits in applications ranging from battery chargers to low-power remote sensors. The FLASH technology makes customization of application programs (detection levels, pulse generation, timers, etc.) extremely fast and convenient. The small footprint packages make this microcontroller series ideal for all applications with space limitations. Low-cost, low-power, high-performance, ease of use and I/O flexibility make the PIC16F62X very versatile.

1.1 Development Support

The PIC16F62X family is supported by a full-featured macro assembler, a software simulator, an in-circuit emulator, a low-cost development programmer and a full-featured programmer. A Third Party "C" compiler support tool is also available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-1: PIC16F62X FAMILY OF DEVICES

		PIC16F627	PIC16F628	PIC16LF627	PIC16LF628
Clock	Maximum Frequency of Operation (MHz)	20	20	20	20
Memory	FLASH Program Memory (words)	1024	2048	1024	2048
	RAM Data Memory (bytes)	224	224	224	224
	EEPROM Data Memory (bytes)	128	128	128	128
Peripherals	Timer Module(s)	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2
	Comparators(s)	2	2	2	2
	Capture/Compare/PWM modules	1	1	1	1
	Serial Communications	USART	USART	USART	USART
	Internal Voltage Reference	Yes	Yes	Yes	Yes
Features	Interrupt Sources	10	10	10	10
	I/O Pins	16	16	16	16
	Voltage Range (Volts)	3.0-5.5	3.0-5.5	2.0-5.5	2.0-5.5
	Brown-out Detect	Yes	Yes	Yes	Yes
	Packages	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP

All PICmicro® Family devices have Power-on Reset, selectable Watchdog Timer, selectable code protect and high I/O current capability. All PIC16F62X Family devices use serial programming with clock pin RB6 and data pin RB7.

 © 1999 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 PIC16F62X DEVICE VARIETIES

A variety of frequency ranges and packaging options are available. Depending on application and production requirements the proper device option can be selected using the information in the PIC16F62X Product Identification System section at the end of this data sheet. When placing orders, please use this page of the data sheet to specify the correct part number.

2.1 Flash Devices

These devices are offered in the lower cost plastic package, even though the device can be erased and reprogrammed. This allows the same device to be used for prototype development and pilot programs as well as production.

A further advantage of the electrically-erasable Flash version is that it can be erased and reprogrammed in-circuit, or by device programmers, such as Microchip's PICSTART® Plus or PRO MATE® II programmers.

2.2 Quick-Turnaround-Production (QTP) Devices

Microchip offers a QTP Programming Service for factory production orders. This service is made available for users who chose not to program a medium to high quantity of units and whose code patterns have stabilized. The devices are standard FLASH devices but with all program locations and configuration options already programmed by the factory. Certain code and prototype verification procedures apply before production shipments are available. Please contact your Microchip Technology sales office for more details.

2.3 Serialized Quick-Turnaround-Production (SQTP℠) Devices

Microchip offers a unique programming service where a few user-defined locations in each device are programmed with different serial numbers. The serial numbers may be random, pseudo-random or sequential.

Serial programming allows each device to have a unique number which can serve as an entry-code, password or ID number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 ARCHITECTURAL OVERVIEW

The high performance of the PIC16F62X family can be attributed to a number of architectural features commonly found in RISC microprocessors. To begin with, the PIC16F62X uses a Harvard architecture, in which, program and data are accessed from separate memories using separate busses. This improves bandwidth over traditional von Neumann architecture where program and data are fetched from the same memory. Separating program and data memory further allows instructions to be sized differently than 8-bit wide data word. Instruction opcodes are 14-bits wide making it possible to have all single word instructions. A 14-bit wide program memory access bus fetches a 14-bit instruction in a single cycle. A two-stage pipeline overlaps fetch and execution of instructions. Consequently, all instructions (35) execute in a single-cycle (200 ns @ 20 MHz) except for program branches.

The Table below lists program memory (Flash, Data and EEPROM).

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8
PIC16LF627	1024 x 14	224 x 8	128 x 8
PIC16LF628	2048 x 14	224 x 8	128 x 8

The PIC16F62X can directly or indirectly address its register files or data memory. All special function registers including the program counter are mapped in the data memory. The PIC16F62X have an orthogonal (symmetrical) instruction set that makes it possible to carry out any operation on any register using any addressing mode. This symmetrical nature and lack of 'special optimal situations' make programming with the PIC16F62X simple yet efficient. In addition, the learning curve is reduced significantly.

The PIC16F62X devices contain an 8-bit ALU and working register. The ALU is a general purpose arithmetic unit. It performs arithmetic and Boolean functions between data in the working register and any register file.

The ALU is 8-bit wide and capable of addition, subtraction, shift and logical operations. Unless otherwise mentioned, arithmetic operations are two's complement in nature. In two-operand instructions, typically one operand is the working register (W register). The other operand is a file register or an immediate constant. In single operand instructions, the operand is either the W register or a file register.

The W register is an 8-bit working register used for ALU operations. It is not an addressable register.

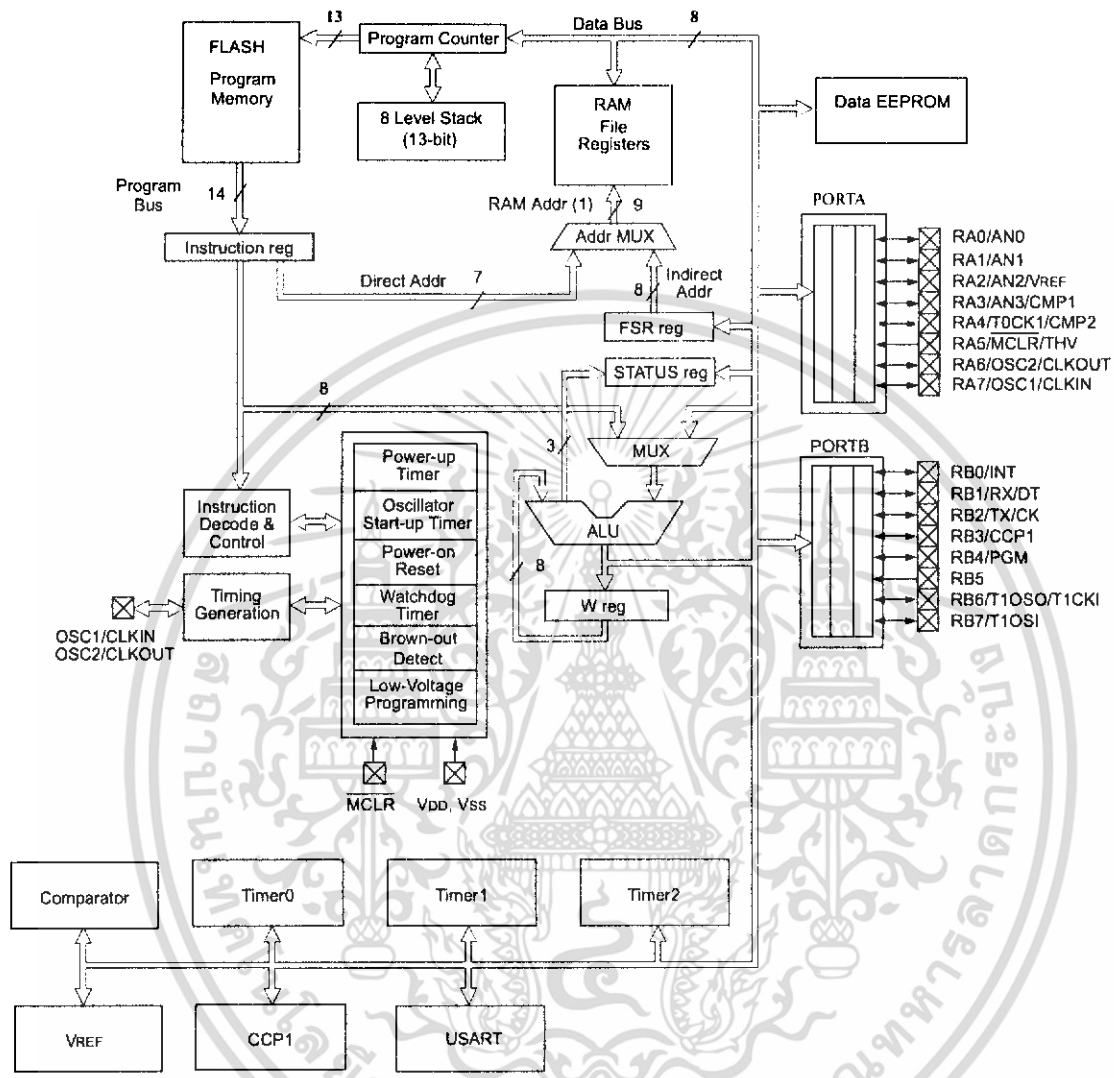
Depending on the instruction executed, the ALU may affect the values of the Carry (C), Digit Carry (DC), and Zero (Z) bits in the STATUS register. The C and DC bits operate as a Borrow and Digit Borrow out bit, respectively, bit in subtraction. See the SUBLW and SUBWF instructions for examples.

A simplified block diagram is shown in Figure 3-1, with a description of the device pins in Table 3-1.

Two types of data memory are provided on the PIC16F62X devices. Non-volatile EEPROM data memory is provided for long term storage of data such as calibration values, look up table data, and any other data which may require periodic updating in the field. This data is not lost when power is removed. The other data memory provided is regular RAM data memory. Regular RAM data memory is provided for temporary storage of data during normal operation. It is lost when power is removed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3-1: BLOCK DIAGRAM



Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8
PIC16LF627	1024 x 14	224 x 8	128 x 8
PIC16LF628	2048 x 14	224 x 8	128 x 8

Note 1: Higher order bits are from the STATUS register.

 © 1999 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3-1: PIC16F62X PINOUT DESCRIPTION

Name	DIP/ SOIC Pin #	SSOP Pin #	I/O/P Type	Buffer Type	Description
RA0/AN0	17	19	I/O	ST	Bi-directional I/O port/Analog comparator input
RA1/AN1	18	20	I/O	ST	Bi-directional I/O port/Analog comparator input
RA2/AN2/VREF	1	1	I/O	ST	Bi-directional I/O port/Analog comparator input/VREF output
RA3/AN3/CMP1	2	2	I/O	ST	Bi-directional I/O port/Analog comparator input/comparator output
RA4/T0CKI/CMP2	3	3	I/O	ST	Bi-directional I/O port/Can be configured as T0CKI/comparator output
RA5/$\overline{MCLR}$/THV	4	4	I	ST	Input port/master clear (reset input/programming voltage input. When configured as $\overline{MCLR}$, this pin is an active low reset to the device. Voltage on $\overline{MCLR}$/THV must not exceed VDD during normal device operation.
RA6/OSC2/CLKOUT	15	17	I/O	ST	Bi-directional I/O port/Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In ER mode, OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
RA7/OSC1/CLKIN	16	18	I/O	ST	Bi-directional I/O port/Oscillator crystal input/external clock source input. ER biasing pin.
RB0/INT	6	7	I/O	TTL/ST(1)	Bi-directional I/O port/external interrupt. Can be software programmed for internal weak pull-up.
RB1/RX/DT	7	8	I/O	TTL/ST(3)	Bi-directional I/O port/ USART receive pin/synchronous data I/O. Can be software programmed for internal weak pull-up.
RB2/TX/CK	8	9	I/O	TTL/ST(3)	Bi-directional I/O port/ USART transmit pin/synchronous clock I/O. Can be software programmed for internal weak pull-up.
RB3/CCP1	9	10	I/O	TTL/ST(4)	Bi-directional I/O port/Capture/Compare/PWM I/O. Can be software programmed for internal weak pull-up.
RB4/PGM	10	11	I/O	TTL/ST(5)	Bi-directional I/O port/Low voltage programming input pin. Wake-up from SLEEP on pin change. Can be software programmed for internal weak pull-up. When low voltage programming is enabled, the interrupt on pin change and weak pull-up resistor are disabled.
RB5	11	12	I/O	TTL	Bi-directional I/O port/Wake-up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
RB6/T1OSO/T1CKI	12	13	I/O	TTL/ST(2)	Bi-directional I/O port/Timer1 oscillator output/Timer1 clock input. Wake up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
RB7/T1OSI	13	14	I/O	TTL/ST(2)	Bi-directional I/O port/Timer1 oscillator input. Wake up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
VSS	5	5,6	P	—	Ground reference for logic and I/O pins.
VDD	14	15,16	P	—	Positive supply for logic and I/O pins.

Legend: O = output I/O = input/output P = power
— = Not used I = Input ST = Schmitt Trigger input
TTL = TTL input I/OD =input/open drain output

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.
Note 2: This buffer is a Schmitt Trigger input when used in serial programming mode.
Note 3: This buffer is a Schmitt Trigger I/O when used in USART/Synchronous mode.
Note 4: This buffer is a Schmitt Trigger I/O when used in CCP mode.
Note 5: This buffer is a Schmitt Trigger input when used in low voltage program mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Clocking Scheme/Instruction Cycle

The clock input (OSC1/CLKIN/RA7 pin) is internally divided by four to generate four non-overlapping quadrature clocks namely Q1, Q2, Q3 and Q4. Internally, the program counter (PC) is incremented every Q1, the instruction is fetched from the program memory and latched into the instruction register in Q4. The instruction is decoded and executed during the following Q1 through Q4. The clocks and instruction execution flow is shown in Figure 3-2.

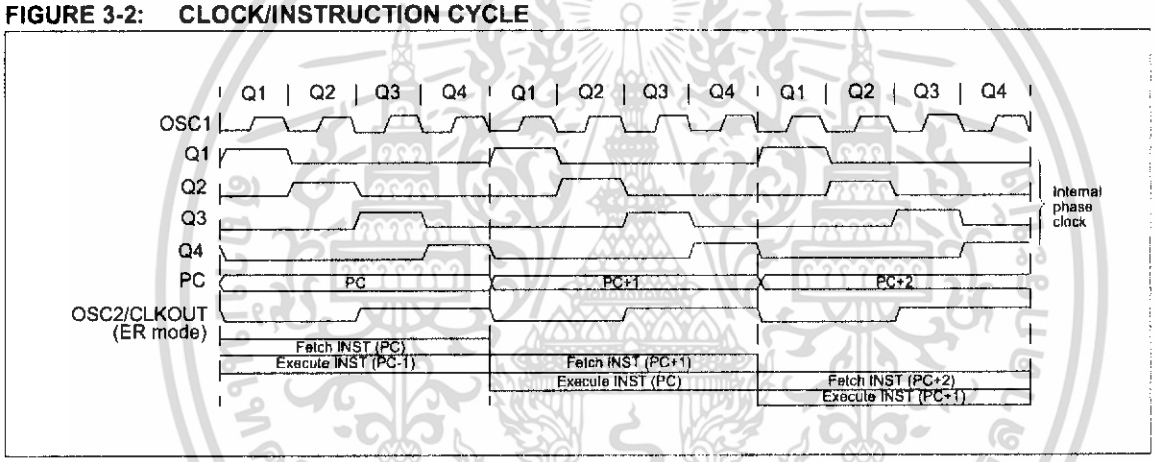
3.2 Instruction Flow/Pipelining

An "Instruction Cycle" consists of four Q cycles (Q1, Q2, Q3 and Q4). The instruction fetch and execute are pipelined such that fetch takes one instruction cycle while decode and execute takes another instruction cycle. However, due to the pipelining, each instruction effectively executes in one cycle. If an instruction causes the program counter to change (e.g., GOTO) then two cycles are required to complete the instruction (Example 3-1).

A fetch cycle begins with the program counter (PC) incrementing in Q1.

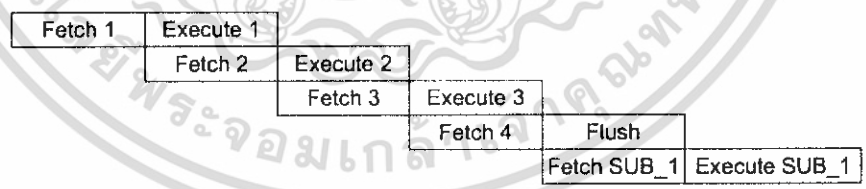
In the execution cycle, the fetched instruction is latched into the "Instruction Register (IR)" in cycle Q1. This instruction is then decoded and executed during the Q2, Q3, and Q4 cycles. Data memory is read during Q2 (operand read) and written during Q4 (destination write).

FIGURE 3-2: CLOCK/INSTRUCTION CYCLE



EXAMPLE 3-1: INSTRUCTION PIPELINE FLOW

```
1. MOVLW 55h
2. MOVWF PORTB
3. CALL  SUB_1
4. BSF   PORTA, BIT3
```



All instructions are single cycle, except for any program branches. These take two cycles since the fetch instruction is "flushed" from the pipeline while the new instruction is being fetched and then executed.

Preliminary © 1999 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.0 MEMORY ORGANIZATION

4.1 Program Memory Organization

The PIC16F62X has a 13-bit program counter capable of addressing an 8K x 14 program memory space. Only the first 1K x 14 (0000h - 03FFh) for the PIC16F627 and 2K x 14 (0000h - 07FFh) for the PIC16F628 are physically implemented. Accessing a location above these boundaries will cause a wrap-around within the first 1K x 14 space (PIC16F627) or 2K x 14 space (PIC16F628). The reset vector is at 0000h and the interrupt vector is at 0004h (Figure 4-1 and Figure 4-2).

FIGURE 4-1: PROGRAM MEMORY MAP AND STACK FOR THE PIC16F627

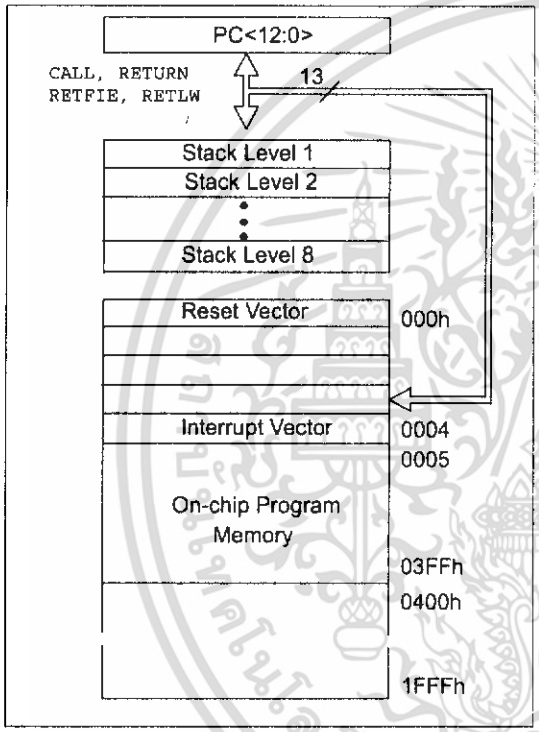
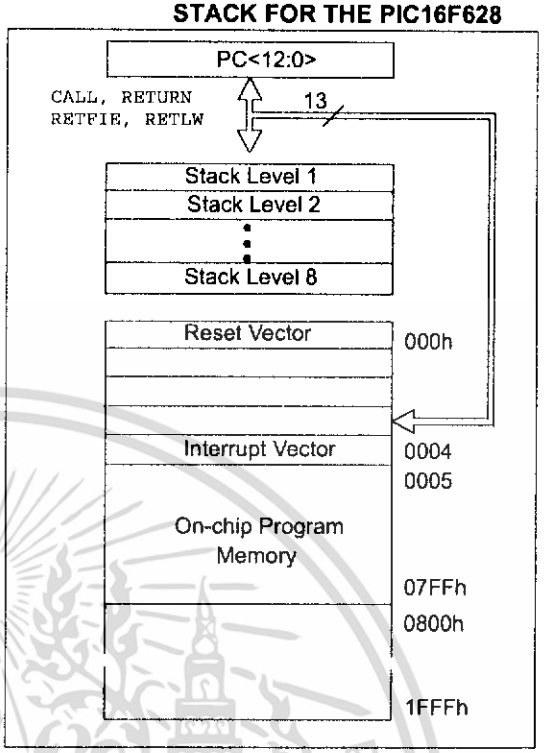


FIGURE 4-2: PROGRAM MEMORY MAP AND STACK FOR THE PIC16F628



4.2 Data Memory Organization

The data memory (Figure 4-3) is partitioned into four Banks which contain the general purpose registers and the special function registers. The Special Function Registers are located in the first 32 locations of each Bank. Register locations 20-7Fh, A0h-FFh, 120h-14Fh, 170h-17Fh and 1F0h-1FFh are general purpose registers implemented as static RAM.

The Table below lists how to access the four banks of registers:

	RP1	RP0
Bank0	0	0
Bank1	0	1
Bank2	1	0
Bank3	1	1

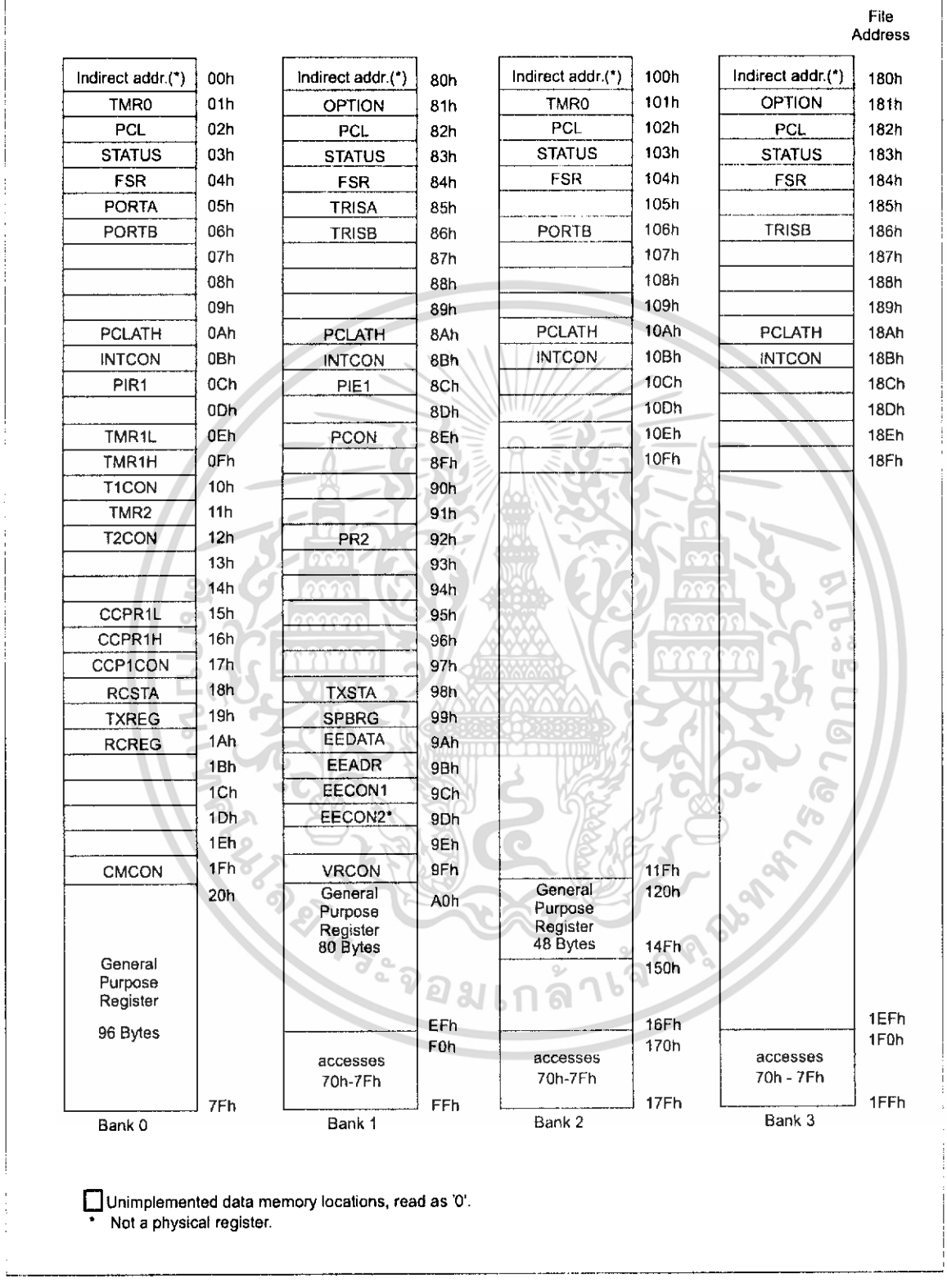
Addresses F0h-FFh, 170h-17Fh and 1F0h-1FFh are implemented as common RAM and mapped back to addresses 70h-7Fh.

4.2.1 GENERAL PURPOSE REGISTER FILE

The register file is organized as 224 x 8 in the PIC16F62X. Each is accessed either directly or indirectly through the File Select Register FSR (Section 4.4).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4-3: DATA MEMORY MAP OF THE PIC16F627 AND PIC16F628



Unimplemented data memory locations, read as '0'.
* Not a physical register.

Preliminary
© 1999 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 SPECIAL FUNCTION REGISTERS

The special function registers are registers used by the CPU and Peripheral functions for controlling the desired operation of the device (Table 4-1). These registers are static RAM.

The special registers can be classified into two sets (core and peripheral). The special function registers associated with the "core" functions are described in this section. Those related to the operation of the peripheral features are described in the section of that peripheral feature.

TABLE 4-1: SPECIAL REGISTERS SUMMARY BANK0

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other Resets(1)
Bank 0											
00h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
01h	TMR0	Timer0 Module's Register								xxxx xxxx	uuuu uuuu
02h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
04h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
05h	PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx 0000	xxxx 0000
06h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
07h	Unimplemented									—	—
08h	Unimplemented									—	—
09h	Unimplemented									—	—
0Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
0Dh	Unimplemented									—	—
0Eh	TMR1L	Holding register for the least significant byte of the 16-bit TMR1								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Holding register for the most significant byte of the 16-bit TMR1								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
11h	TMR2	TMR2 module's register								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-uuu uuuu
13h	Unimplemented									—	—
14h	Unimplemented									—	—
15h	CCPR1L	Capture/Compare/PWM register (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Capture/Compare/PWM register (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART Transmit data register								0000 0000	0000 0000
1Ah	RCREG	USART Receive data register								0000 0000	0000 0000
1Bh	Unimplemented									—	—
1Ch	Unimplemented									—	—
1Dh	Unimplemented									—	—
1Eh	Unimplemented									—	—
1Fh	CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 4-2: SPECIAL FUNCTION REGISTERS SUMMARY BANK1

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
80h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
81h	OPTION	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
83h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
84h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
85h	TRISA	TRISA7	TRISA6	—	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	11-1 1111	11-1 1111
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
87h	Unimplemented									—	—
88h	Unimplemented									—	—
89h	Unimplemented									—	—
8Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
8Dh	Unimplemented									—	—
8Eh	PCON	—	—	—	—	OSCF	—	$\overline{POR}$	$\overline{BOD}$	---- 1-0x	---- 1-uq
8Fh	Unimplemented										
90h	Unimplemented									—	—
91h	Unimplemented									—	—
92h	PR2	Timer2 Period Register								11111111	11111111
93h	Unimplemented									—	—
94h	Unimplemented									—	—
95h	Unimplemented									—	—
96h	Unimplemented									—	—
97h	Unimplemented									—	—
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000
9Ah	EEDATA	EEPROM data register								xxxx xxxx	uuuu uuuu
9Bh	EEADR	—	EEPROM address register							xxxx xxxx	uuuu uuuu
9Ch	EECON1	—	—	—	—	WRERR	WREN	WR	RD	---- x000	---- q000
9Dh	EECON2	EEPROM control register 2 (not a physical register)								--------	--------
9Eh	Unimplemented									—	—
9Fh	VRCON	VREN	VROE	VRR	—	VR3	VR2	VR1	VR0	000- 0000	000- 0000

Legend: : — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

© 1999 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 4-3: SPECIAL FUNCTION REGISTERS SUMMARY BANK2

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
100h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
101h	TMR0	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
102h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
104h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
105h	Unimplemented									—	—
106h	PORTB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
107h	Unimplemented									—	—
108h	Unimplemented									—	—
109h	Unimplemented									—	—
10Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
10Ch										—	—
10Dh	Unimplemented									—	—
10Eh										—	—
10Fh	Unimplemented										
110h	Unimplemented									—	—
111h	Unimplemented									—	—
112h											
113h	Unimplemented									—	—
114h	Unimplemented									—	—
115h	Unimplemented									—	—
116h	Unimplemented									—	—
117h	Unimplemented									—	—
118h										—	—
119h										—	—
11Ah										—	—
11Bh										—	—
11Ch										—	—
11Dh										—	—
11Eh	Unimplemented									—	—
11Fh										—	—

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 4-4: SPECIAL FUNCTION REGISTERS SUMMARY BANK3

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
180h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
181h	OPTION	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
182h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
183h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
184h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
185h	Unimplemented									—	—
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
187h	Unimplemented									—	—
188h	Unimplemented									—	—
189h	Unimplemented									—	—
18Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
18Ch											
18Dh											
18Eh											
18Fh											
190h											
191h											
192h											
193h											
194h											
195h											
196h											
197h											
198h											
199h											
19Ah											
19Bh											
19Ch											
19Dh											
19Eh											
19Fh											

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

 © 1999 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้