สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องขยายเสียงประสิทธิภาพสูง

HIGH EFFICIENCY AUDIO POWER AMPLIFIER

โดย

นายฐิติ วังสโรจน์

นายณัฐพล จันดี

นายนริศ อิ่มพงษ์

เลขหมู่.....
เลขทะเบียน.....73131
วัน,เดือน,ปี...4...ก.ค....2550
b.....
i.....

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิตสาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องขยายเสียงประสิทธิภาพสูง

HIGH EFFICIENCY AUDIO POWER AMPLIFIER

โดย

นายฐิติ	วังสโรจน์	45010211
นายณัฐพล	จันดี	45010234
นายนริศ	อิ่มพงษ์	45010380

อาจารย์ที่ปรึกษา

รศ.พิชัย คูศิริวานิชกร

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2548

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องขยายเสียงประสิทธิภาพสูง

ผู้จัดทำ

1.นายฐิติ	วังสโรจน์	45010211
2.นายณัฐพล	จันดี	45010234
3.นายนริศ	อิ่มพงษ์	45010380

.....อาจารย์ที่ปรึกษา

(รศ. พิชัย คูศิริวานิชกร)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงานภาษาไทย เครื่องขยายเสียงประสิทธิภาพสูง

ชื่อโครงงานภาษาอังกฤษ HIGH EFFICIENCY AUDIO POWER AMPLIFIER

ผู้จัดทำ

1.นายฐิติ	วังสโรจน์	45010211
2.นายณัฐพล	จันดี	45010234
3.นายนริศ	อิ่มพงษ์	45010380

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(รศ.พิชัย ดูศิริวานิชกร)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องขยายเสียงประสิทธิภาพสูง

นายฐิติ วังสโรจน์
นายณัฐพล จันดี
นายนริศ อิ่มพงษ์
ร.ศ.พิชัย คูศิริวานิชกร อาจารย์ที่ปรึกษา
ภาคการศึกษาที่ 2 ปีการศึกษา 2548

บทคัดย่อ

โครงงานนี้ศึกษาและออกแบบเครื่องขยายเสียงคลาส เอช ซึ่งหลักการของเครื่องขยายเสียงคลาส เอช ถูกดัดแปลงมาจากวงจรขยายเสียงแบบเชิงส้น และมีการดัดแปลงแหล่งจ่ายไฟให้เป็นแหล่งจ่ายแบบสวิตช์ชิ่ง ที่สามารถเปลี่ยนแปลงค่าแรงดันได้ตามสัญญาณเสียงขาเข้า โดยในโครงงานนี้เราใช้วงจรคลาส เอบี เป็นวงจรขยายพื้นฐาน ที่ผ่านมาวงจรคลาส เอบี เป็นที่ยอมรับทางด้านคุณภาพเสียง แต่มีประสิทธิภาพต่ำ

ผลที่คาดว่าจะได้จากโครงงานนี้ จะได้วงจรขยายเสียงคลาส เอช ที่มีคุณภาพเสียงที่ดีเทียบเท่าวงจรขยายเสียงคลาส เอบี แต่มีประสิทธิภาพสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Efficiency Audio Power Amplifier

Mr.Thiti Wangsaroj

Mr.Nutthapon Jundee

Mr.Naris Impong

Assoc.Prof.Pichai Koosirivanischakorn Advisor

2nd Semester, Educational Year 2005

Abstract

The objective of this project is to study and design the class H audio power amplifier . Principles of class H audio power amplifier is modified from linear amplifier , and modified linear power supply to switching power supply which could be vary the voltage according to input audio signal . Class AB circuit is used as an amplify base circuit in this project . Class AB circuit is widely accepted in producing quality of sound , but low efficiency .

We believe this project will bring about the quality of sound as well as class AB circuit , but higher efficient .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ก่อนที่โครงงานเครื่องขยายเสียงประสิทธิภาพสูงสำเร็จด้วยดี ได้มีผู้เกี่ยวข้องที่สนับสนุนและให้ความช่วยเหลือในด้านต่างๆ ได้แก่ รศ.พิชัย คูศิริวานิชกร อาจารย์ที่ปรึกษา และนายอมรจีรเสรีอมรกุล ที่ให้คำแนะนำที่เป็นประโยชน์ต่อผู้จัดทำและอาจารย์หลายท่านในภาควิชาอิเล็กทรอนิกส์ที่ได้ให้คำปรึกษาและแนะนำแนวทางในการแก้ไขปัญหาข้อผิดพลาดต่างๆของวงจร รวมถึงการอำนวยความสะดวกในด้านอุปกรณ์สำหรับทำการทดลองจนทำให้เกิดเป็นชิ้นงานที่สมบูรณ์มีคุณสมบัติตามที่ต้องการ สำหรับการจัดทำรายงาน ในส่วนของเนื้อหาได้รับความอนุเคราะห์จากท่านอาจารย์และนักศึกษารุ่นพี่ ในส่วนของการพิมพ์ได้รับความช่วยเหลือจากเพื่อนภาควิชาอิเล็กทรอนิกส์ รายงานฉบับนี้จึงเสร็จสมบูรณ์ด้วยดี

ขอขอบพระคุณอาจารย์ทุกท่านและเพื่อนทุกคนที่ได้ให้ความช่วยเหลือด้วยดีตลอดมาไว้ ณ โอกาสนี้

.....

(นายฐิติ วังสโรจน์)

.....

(นายณัฐพล จันดี)

.....

(นายนริศ อิ่มพงษ์)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีวงจรขยายกำลังแบบเชิงเส้น	2
2.1 ทรานซิสเตอร์ (Transistor)	2
2.1.1 การจัดโครงสร้างของทรานซิสเตอร์พื้นฐาน (Basic Transistor Configuration)	2
2.1.2 วงจรเบสร่วม (Common Base)	2
2.1.3 อัตราขยายกระแสของวงจรเบสร่วม (α)	3
2.1.4 อัตราขยายกำลังงานและอัตราขยายแรงดันของวงจรเบสร่วม	3
2.1.5 วงจรอิมิตเตอร์ร่วม (Common Emitter)	4
2.1.6 อัตราขยายกระแส (อัลฟ่า α)	5
2.1.7 อัตราขยายแรงดันและกำลังงาน	5
2.1.8 วงจรคอลเลคเตอร์ร่วม (Common Collector or Emitter Follower)	7
2.2 วงจรสะท้อนกระแส (Current Mirror)	8
2.3 คุณลักษณะของการส่งผ่านไฟฟ้ากระแสตรง (Dc Transfer Characteristics)	8
2.4 อัตราขยายแรงดัน(Differential Voltage Gain)	10
2.5 อัตราขยายคอมมอนโหมด(Common-mode Gain)	11
2.6 การตอบสนองความถี่ (Frequency Response)	12
2.7 วงจรพุช-พูล (Push-Pull Circuit)	13
บทที่3 ทฤษฎีวงจรจ่ายกำลังแบบสวิตช์	16
3.1 วงจรพัลส์วิดท์มอดดูเลเตอร์	16
3.1.1 Sinusoidal PWM with Bipolar Voltage Switching Scheme	16
3.1.2 วงจรเปรียบเทียบแรงดัน(voltage comparator)	18
3.1.3 การนำวงจรเปรียบเทียบแรงดันไปใช้เป็นวงจรพัลส์วิดท์มอดดูเลเตอร์	19
3.2 The Direct Converter	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
3.2.1 The Down Converter	21
3.2.2 A Down Converter with Common Positive	22
3.2.3 The Up Converter	23
3.2.4 The Duty Ratio	23
3.3 กราฟแสดงแรงดัน(Voltage Transfer Curve)	24
3.4 การสูญเสียพลังงาน(Power Dissipation)	27
3.5วงจรกรอง(Filter)	29
3.5.1วงจรความถี่ต่ำผ่าน (Low-Pass Filters)	29
3.5.2วงจรกรองความถี่สูงผ่าน (High-Pass Filters)	30
3.5.3 วงจรกรองแถบความถี่ผ่าน(Band-Pass Filters)	31
บทที่ 4 การออกแบบ	32
4.1 วงจรขยายคลาส เอบี	32
4.1.1 Input Stage	32
4.1.1.1วงจรจ่ายกระแสคงที่ (Constant Current Source)	33
4.1.1.2 วงจรสะท้อนกระแส (Current Mirror)	33
4.1.1.3 วงจรขยายความแตกต่าง (Differential Amplifier)	34
4.1.2 Second stage ภาคขยายสัญญาณแรงดัน (Voltage Amplifier)	35
4.1.2.1 วงจรขยายอิมิเตอร์รวมที่นำมาต่อกันแบบดาลิงตัน	36
4.1.2.2 การออกแบบการตอบสนองถวามถี่ของระบบ	37
4.1.2.3 หาค่ากระแสชาร์จตัวเก็บประจุให้พอเพียงจากสมการ	37
4.1.3 ภาคขยายกระแส (Output Stage)	38
4.1.3.1วงจรทวีไบอัส	38
4.1.3.2วงจรทรานซิสเตอร์ไดเวอร์ (Driver Transistor)	38
4.1.3.3ทรานซิสเตอร์เอาท์พุท	39
4.1.3.4 การออกแบบหาค่าไฟเลี้ยงให้กับเครื่องขยายเสียง	40
4.2 วงจรสวิตช์ชิ่งที่สามารถเปลี่ยนแปลงแรงดัน (Tracking Switching Supply)	42
4.2.1 แอคทีพ เรคติไฟเออร์(Active Rectifier)	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.2.2 วงจรสร้างสัญญาณพาหะรูปสามเหลี่ยม 43

4.2.3 วงจรภาคพัลส์วิดธิ์มอดูเลเตอร์(PWM) และวงจรขับ (Inverter Driver) 45

4.2.4 วงจรขยายกำลังแบบสวิทช์ Power MOS Amplifier 46

บทที่ 5 ผลการทดลอง 47

5.1 ประสิทธิภาพของวงจรขยายกำลัง 47

4.1.1 ผลการทดลองจริงจากวงจรคลาส เอบี 47

4.1.2 ผลการทดลองจริงจากวงจรคลาสดี 48

5.2 ผลการตอบสนองความถี่ 49

5.3 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออก 51

5.3.1 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออก ของวงจรคลาส เอ– บี 53

5.3.2 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออก ของวงจรswitch ที่สามารถเปลี่ยนแปลงได้ 54

5.3.3 ผลการตอบสนองจากการจำลองการทำงานของ วงจรรวมคลาสเอบีและคลาสดี 56

บทที่ 6 บทสรุปและวิจารณ์

6.1 บทสรุป 57

6.2 แนวทางการแก้ไข 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 รูปวงจรขยายพื้นฐานเบสร่วม 2-3

รูปที่ 2.2 รูปวงจรพื้นฐานอิมิตเตอร์ร่วม 4

รูปที่ 2.3 รูปแสดงรูปวงจรของอิมิตเตอร์ร่วมที่มีเฟสตรงข้ามกับอินพุท 5

รูปที่ 2.4 รูปวงจรอิมิตเตอร์ร่วม 6

รูปที่ 2.5 รูปวงจรพื้นฐานคอลเลคเตอร์ร่วม 7

รูปที่ 2.6 วงจรCurrent Mirror 8

รูปที่ 2.7 กราฟคุณสมบัติการส่งผ่านไฟฟ้ากระแสตรงของวงจรขยายความแตกต่างโดยใช้ทรานซิสเตอร์แบบไบโพลาร์ 9

รูปที่ 2.8 วงจรขยายความแตกต่างที่มีความต้านทานที่ขาอิมิตเตอร์ 10

รูปที่ 2.9 วงจรแสดงการหาค่า CMRR 11

รูปที่ 2.10 เป็นรูปที่ใช้ในการวิเคราะห์เสถียรภาพรวมของระบบ 12

รูปที่ 2.11 เป็นรูปวงจรสมมูลที่ใช้ในการวิเคราะห์เสถียรภาพรวมของระบบ 12

รูปที่ 2.12 รูปเปรียบเทียบระหว่างทางซ้ายวิเคราะห์โดยไม่ใส่ค่าตัวเก็บประจุชดเชย และขวาวิเคราะห์โดยใส่ค่าตัวเก็บประจุชดเชย 13

รูปที่ 2.13 แสดงวงจรพุช-พูล 14

รูปที่ 2.14 การทำงานของวงจรพุช-พูล 14

รูปที่ 3.1 รูปแบบของ SPWM แบบ Bipolar 16

รูปที่ 3.2 รูปHarmonic Spectrum ของ Bipolar SPWM ที่ M ค่าต่างๆ 17

รูปที่ 3.3 รูปกราฟแสดงการเปลี่ยนขนาดของความถี่ Fundamental จากการเปลี่ยน M 18

รูปที่ 3.4 รูปวงจรเปรียบเทียบแรงดัน 18-19

รูปที่ 3.5 รูปแบบวงจรเปรียบเทียบแรงดันที่ทำการเปรียบเทียบอินพุทกับสัญญาณสามเหลี่ยม 19

รูปที่ 3.6 รูปวงจร Direct Converter 20

รูปที่ 3.7 รูปแสดงการสวิตซ์ของ V_{XZ}และ I_y ใน Direct Converter 20

รูปที่ 3.8 รูปแสดงสัญญาณแรงดันและกระแสของ Down Converter 21

รูปที่ 3.8A เมื่อต่อสวิตซ์แบบอนุกรม 21-22

รูปที่ 3.8B เมื่อต่อสวิตซ์แบบขนาน 21-22

รูปที่ 3.9 รูปวงจรพื้นฐานของ Down Converter 22

รูปที่ 3.10 รูปวงจร Down Converter แบบขั้วบวกเป็นขาร่วม 22

รูปที่ 3.11 รูปวงจร Down Converter แบบขั้วบวกเป็นขาร่วม 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.12 รูปวงจรพื้นฐานของ Up Converter 23
รูปที่ 3.13 (ซ้าย)แสดงคุณสมบัติของกระแส-แรงดันของNMOSทรานซิสเตอร์ 24
รูปที่ 3.14 (ขวา)แสดงคุณสมบัติของกระแส-แรงดันของPMOSทรานซิสเตอร์ 24
รูปที่ 3.15 แสดงการพล็อตกราฟคุณลักษณะของCMOS 26
รูปที่ 3.16 รูปแสดงกราฟการเปลี่ยนสถานะที่สมบูรณ์ของCMOS inverter 27
รูปที่ 3.17 (ซ้าย) CMOS inverterเมื่อเอาท์พุตสวิทซ์จากลอจิกต่ำไปสูง 28
รูปที่ 3.18 (ขวา) CMOS inverterเมื่อเอาท์พุตสวิทซ์จากลอจิกสูงไปต่ำ 28
รูปที่ 3.19 รูปแบบวงจร Low-Pass Filters 29
รูปที่ 3.20 รูปผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน 29
รูปที่ 3.21 รูปแบบวงจร High-Pass Filters 30
รูปที่ 3.22 รูปผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน 30
รูปที่ 3.23 รูปแบบวงจร Band-Pass Filters 31
รูปที่ 3.24 รูปผลตอบสนองทางขนาดของวงจรแถบความถี่ผ่าน 31
รูปที่ 4.1 รูปบล็อกไดอะแกรมวงจรคลาสเอบี 32
รูปที่ 4.2 วงจรแหล่งจ่ายกระแสคงที่โดยใช้ทรานซิสเตอร์ 2 ตัว 33
รูปที่ 4.3 วงจรสะท้อนกระแส Current Mirror 34
รูปที่ 4.4 รูปวงจร Differential Amplifier 34
รูปที่ 4.5 รูปวงจรดาลิงตันที่ใช้สำหรับการวิเคราะห์ 36
รูปที่ 4.6 รูปที่ใช้ในการออกแบบกระแสชาร์จตัวเก็บประจุ และผลต่อบสนองความถี่ 37
รูปที่ 4.7 รูปวงจรไบอัสกระแสคงที่ 38
รูปที่ 4.8 รูปวงจรไบอัสกระแสคงที่และวงจรทรานซิสเตอร์ไดเวอร์ 38
รูปที่ 4.9 รูปเอาท์พุตทรานซิสเตอร์Bufferที่ต่อกันแบบขนาน 39
รูปที่ 4.10 รูปโดยค่าแรงดันนี้จะเป็นแรงดันที่มาจากแหล่งจ่ายไฟให้กับเพาเวอร์แอมป์ 41
รูปที่ 4.11 รูปบล็อคไดอะแกรมของวงจรสวิตช์ชิ่งที่สามารถเปลี่ยนแปลงแรงดันพื้นฐาน 42
รูปที่ 4.12 รูปวงจร Active rectifier และ วงจรอินเวอร์ติ้ง(inverting amp) 42
รูปที่ 4.13 รูปวงจร CMOS Oscillator แบบ two date oscillator 43
รูปที่ 4. 14 รูปวงจร OP-AMP อินทิเกรเตอร์ 44
รูปที่ 4.15 รูปวงจรพัลส์วิดธ์มอดูเลเตอร์ (pulse width modulator) 45
รูปที่ 4.16 รูปวงจรขยายกำลังแบบสวิตช์ 46
รูปที่ 5.1 รูปผลการตอบสนองความถี่ 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.2 แสดงสัญญาณ input และ output ที่ความถี่ 20 kHz
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input 51
รูปที่ 5.3แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input 52
รูปที่ 5.4 แสดงสัญญาณ input และ output ที่ความถี่ 1 kHz
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input 52
รูปที่ 5.5 แสดงสัญญาณFFT input และ output ที่ความถี่ 20 kHz
โดย กราฟบน คือ สัญญาณ input และ กราฟล่าง คือ สัญญาณ output 53
รูปที่ 5.6 แสดงสัญญาณFFT input และ output ที่ความถี่ 1 kHz
โดย กราฟบน คือ สัญญาณ input และ กราฟล่าง คือ สัญญาณ output 53
รูปที่ 5.7 แสดงสัญญาณ input และ output ที่ความถี่ 0 kHz
โดย CH1 คือ สัญญาณ output ซึกบวก(+) และ CH2 คือ สัญญาณ input เป็น ศูนย์ 54
รูปที่ 5.8 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz
โดย CH1 คือ สัญญาณ output ซึกบวก(+) และ CH2 คือ สัญญาณ input 54
รูปที่ 5.9 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz
โดย CH1 คือ สัญญาณ output ซึกบวก(-) และ CH2 คือ สัญญาณ input 55
รูปที่ 5.10 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHzโดย CH1 คือ สัญญาณ output
ซึกบวก(+) CH2 คือ สัญญาณ output ซึกบวก(-) และ Ref1 คือ สัญญาณ input 55
รูปที่ 5.11 กราฟแสดงสัญญาณเอาท์พุทของวงจรรวมที่ใส่อินพุทขนาด 1 Vp-p 1KHz 56
รูปที่ 5.12 กราฟแสดงสัญญาณเอาท์พุทของวงจรรวมที่ใส่อินพุทขนาด 1 Vp-p 20KHz 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วัตถุประสงค์ในการออกแบบวงจรขยายกำลังประสิทธิภาพสูงอันนี้ เกิดมาจากความต้องการวงจรที่ใช้ขยายกำลังสัญญาณให้มีการสูญเสียกำลังไฟฟ้า (Power loss) ต่ำที่สุด (High Efficiency) โดยที่ยังคงสามารถตอบสนองย่านความถี่ ความถี่เสียง 20-20.000 เฮิร์ซ (Hi-Fi)การลดการบิดเบือนทางความถี่ (Frequency Distortion) ที่เกิดจากความไม่เป็นเชิงเส้นของอุปกรณ์อิเลกทรอนิกส์

วงจรขยายกำลังในย่านความถี่เสียง (Audio Power Amplifier) โดยปกติวงจรขยายกำลังมีอยู่ 2 แบบ คือ

1) วงจรขยายกำลังแบบเชิงแบบเชิงเส้น (Linear power Amplifier) เช่น วงจรขยายคลาส เอ , คลาส เอ-บี เป็นต้น ซึ่งมีข้อดีคือ ให้คุณภาพเสียงที่ดี มีความเพี้ยนของสัญญาณต่ำ (Hi-Fi) แต่ประสิทธิภาพต่ำ

2) วงจรขยายกำลังที่ไม่เป็นเชิงเส้น (Non-Linear Power Amplifier) เช่น วงจรขยายคลาส ดี วงจรขยายแบบนี้สามารถเรียกอีกอย่างว่า วงจรขยายแบบสวิตช์ ซึ่งมีข้อดี คือ ให้ประสิทธิภาพที่สูง (High-Efficiency) แต่มีการรบกวนของสัญญาณที่มาก เพราะฉะนั้นคุณภาพเสียงจึงไม่ดีเท่าที่ควร

จากสองลักษณะของวงจรขยายกำลังเราเห็นถึงทั้งข้อดีและข้อเสียของวงจรทั้งสองแบบ ซึ่งในโครงงานนี้เราจึงนำลักษณะที่ดีของวงจรทั้งสองแบบมารวมเข้าด้วยกัน เรียกว่า วงจรขยายคลาส เอช คือ เราใช้วงจรคลาส เอ-บี เป็นพื้นฐาน และเรานำวงจรขยายคลาสดีมาดัดแปลงเป็นพาวเวอร์ซัพพลายที่สามารถเปลี่ยนแปลงระดับแรงดันได้ ให้ที่ตรงเอาท์พุทของวงจรคลาส เอ-บี เนื่องจากวงจรคลาส เอ-บี มีการสูญเสียกำลังที่ทางพาวเวอร์ทรานซิสเตอร์เอาท์พุทมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีวงจรขยายกำลังแบบเชิงเส้น

2.1 ทรานซิสเตอร์ (Transistor)

ทรานซิสเตอร์แบ่งตามโครงสร้างได้ 2 ประเภท คือ ทรานซิสเตอร์แบบ npn และ *ทรานซิสเตอร์แบบ pnp ทรานซิสเตอร์เป็นอุปกรณ์ที่มีขั้ว 3 ขั้ว คือ ขั้วคอลเลคเตอร์* (Collector:C) ขั้วเบส (Base:B) และ ขั้วอิมิตเตอร์ (Emitter:E)

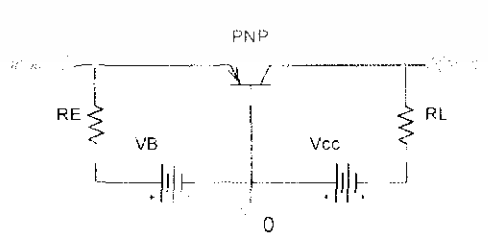
2.1.1 การจัดโครงสร้างของทรานซิสเตอร์พื้นฐาน (Basic Transistor Configuration)

เราทราบว่าโครงสร้างของทรานซิสเตอร์มีจำนวนทั้งหมด 3 ขั้ว จึงจัดโครงสร้างให้อยู่ในรูปวงจรได้ 3 แบบ คือ

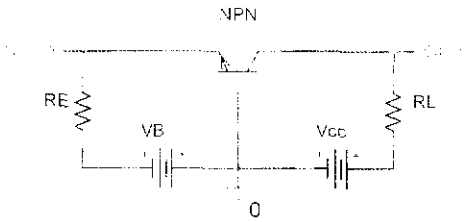
- วงจรเบสร่วม
- วงจรอิมิตเตอร์ร่วม
- วงจรคอลเลคเตอร์ร่วม

2.1.2 วงจรเบสร่วม (Common Base)

ในวงจรขยายเบสร่วม สัญญาณอินพุทจะถูกป้อนเข้ามาทางด้านอิมิตเตอร์ และสัญญาณเอาท์พุทจะปรากฏคร่อมตัวต้านทาน ที่คอลเลคเตอร์ เมื่อป้อนสัญญาณอินพุท จะทำให้กระแสอิมิตเตอร์ (I_E) เกิดการเปลี่ยนแปลงไปกับสัญญาณ และเป็นผลทำให้กระแสคอลเลคเตอร์ (I_C) เกิดการเปลี่ยนแปลงด้วยสัญญาณเอาท์พุทที่ตกคร่อมตัวต้านทาน R_L มีค่ามาก แต่เนื่องจากการเปลี่ยนแปลงของกระแสอิมิตเตอร์มีค่าใกล้เคียงกับกระแสคอลเลคเตอร์ เพื่อที่จะขยายสัญญาณที่เอาท์พุท ตัวต้านทาน R_L จะต้องมีค่ามากกว่าตัวต้านทานอินพุท โดยสัญญาณเอาท์พุทจะมีรูปร่าง *ลักษณะเหมือนกับสัญญาณอินพุท และมีเฟสเดียวกันด้วย*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1รูปวงจรขยายพื้นฐานเบสร่วม

2.1.3 อัตราขยายกระแสของวงจรเบสร่วม (α)

ตามที่ทราบแล้วว่าอัตราขยายกระแสคือค่าอัตราส่วนระหว่างกระแสเอาท์พุทกับกระแสอินพุท สำหรับวงจรเบสร่วมอัตราขยายกระแสหมายถึงค่าอัตราส่วนระหว่างกระแสคอลเลคเตอร์และกระแสอิมิตเตอร์ โดยเรียกว่า อัลฟา (α) โดยกำหนดเป็นสมการได้

$$\alpha = \frac{I_C}{I_E} \qquad (2.1.1)$$

สำหรับวงจรเบสร่วม อัตราขยายกระแสของวงจรย่อมมีค่าน้อยกว่าหนึ่ง ทั้งนี้เพราะกระแสอิมิตเตอร์จะมีค่ามากกว่ากระแสคอลเลคเตอร์เสมอ

2.1.4 อัตราขยายกำลังงานและอัตราขยายแรงดันของวงจรเบสร่วม

ถึงแม้ว่าวงจรเบสร่วมจะไม่ให้ผลในเรื่องอัตราขยายกระแสอย่างแท้จริงทั้งนี้เพราะค่าอัลฟาของตัวทรานซิสเตอร์มีค่าน้อยกว่าหนึ่ง แต่เนื่องจากการไบอัสแรงดันทางด้านอิมิตเตอร์กับเบส ทำให้ความต้านทานอินพุทมีค่าต่ำมาก และที่คอลเลคเตอร์ถูกไบอัสกลับทำให้มีค่าความต้านทานเอาท์พุทมีค่าสูงมาก

ในการใช้ทรานซิสเตอร์ขยายสัญญาณสามารถเขียนความสัมพันธ์ของแรงดันเอาท์พุทกับแรงดันอินพุท ในเทอมของอัตราขยายแรงดันซึ่งเขียนเป็นสมการได้ดังนี้

$$A_V = \frac{\Delta V_o}{\Delta V_i} \qquad (2.1.2)$$

เมื่อ A_V คือ *อัตราขยายทางด้านแรงดัน*

ΔV_o คือ อัตราการเปลี่ยนแปลงของแรงดันที่เอาท์พุท

ΔV_i คือ อัตราการเปลี่ยนแปลงของแรงดันที่อินพุท

จากกฎของโอห์มเขียนสมการได้เป็น $\Delta V_o = \Delta I_c R_L$ และอัตราการเปลี่ยนแปลงของแรงดันทางด้านอินพุท นั่นคืออัตราขยายแรงดันสามารถหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_v = \frac{\Delta I_C R_L}{\Delta I_E R_i}$$

$$= \alpha \frac{R_L}{R_i}$$

ส่วนอัตราขยายกำลังงานของเบสร่วมจะมีค่าเท่ากับผลคูณของผลคูณของอัตราของกระแสกับอัตราขยายทางด้านแรงดันสมการ

$$A_V = \frac{\Delta I_C{}^2 R_L}{\Delta I_E{}^2 R_L} \qquad (2.1.3)$$

2.1.5 วงจรอิมิตเตอร์ร่วม (Common Emitter)

ในวงจรอิมิตเตอร์ร่วมขาอิมิตเตอร์ของทรานซิสเตอร์จะต่อร่วมอยู่ระหว่างอินพุทและเอาท์พุท ซึ่งเมื่อเปรียบเทียบกับหลอดแล้ว ขาอิมิตเตอร์ของทรานซิสเตอร์ก็เหมือนกับคาโทด ดังนั้นวงจรอิมิตเตอร์ร่วมจึงให้คุณสมบัติในการขยายสัญญาณเหมือนกับวงจรหลอดสูญญากาศ วงจรที่แสดงสองรูปนี้เป็นวงจรพื้นฐานของวงจรอิมิตเตอร์ร่วม

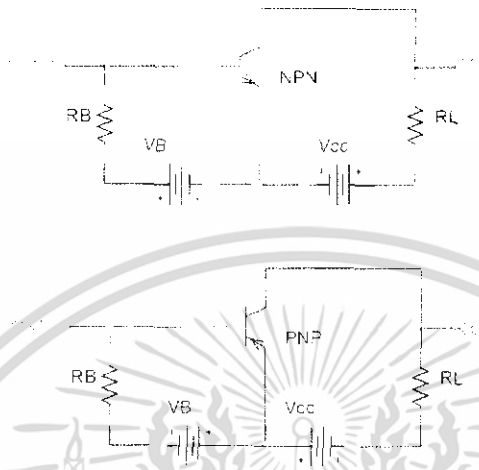
รูปที่ 2.2 รูปวงจรพื้นฐานอิมิตเตอร์ร่วม

สัญญาณจะถูกป้อนเข้าทางด้านเบสและสัญญาณทางด้านเอาท์พุทจะตกคร่อมตัวต้านทานที่ขั้วคอลเลคเตอร์ เมื่อกระแสเบส สูงขึ้นจะเป็นผลทำให้กระแสอิมิตเตอร์สูงขึ้นตามด้วย นั่นคือกระแสคอลเลคเตอร์ก็จะเพิ่มขึ้น และในกรณีที่กระแสเบสลดลงกระแสคอลเลคเตอร์ก็จะลดลงด้วย หรือกล่าวได้ว่ากระแสคอลเลคเตอร์จะเป็นสัดส่วนกับกระแสเบส แรงดันที่เกิดขึ้นที่เอาท์พุทจะมีช่วงการเปลี่ยนแปลงมากกว่าการเปลี่ยนแปลงของสัญญาณอินพุทเป็นผลทำให้เกิดอัตราขยายสัญญาณได้

จากวงจรรูปบนที่เป็นทรานซิสเตอร์ชนิด PNP ในขณะที่กระแสเบสไหลออกมาจากขั้วเบสผ่านตัวต้านทาน แต่กระแสคอลเลคเตอร์จะไหลผ่านจากขั้วคอลเลคเตอร์มายังตัวต้านทาน เมื่อสัญญาณอินพุททางครึ่งบวกผ่านเข้ามา มันจะทำให้แรงดันของการไบอัสตรงระหว่างขั้วอิมิตเตอร์ลดลง หรือส่วนของกระแสเบสที่ไหลเข้าจะมีค่าลดลง เป็นผลทำให้กระแสคอลเลคเตอร์ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่าแรงดันที่ตกคร่อมตัวต้านทานโหลดจึงมีค่าลดลง และในทำนองเดียวกัน เมื่อสัญญาณอินพุทลดลงมาทางครึ่งลบ มันจะทำให้กระแสเบสมีค่าสูงขึ้นเป็นผลทำให้กระแสคอลเลคเตอร์และแรงดันคร่อมโหลดมีค่าสูงขึ้น นั่นคือสัญญาณเอาท์พุทที่เกิดขึ้นจะมีเฟสตรงข้ามกับสัญญาณอินพุทข้างล่าง



รูปที่ 2.3 รูปแสดงรูปวงจรของอิมิตเตอร์ร่วมที่มีเฟสตรงข้ามกับอินพุท

2.1.6 อัตราขยายกระแส (อัลฟ่า α)

อัตราขยายกระแสของวงจรคือ อัตราส่วนของกระแสเอาท์พุทต่อกระแสอินพุท กระแสเอาท์พุทของวงจรอิมิตเตอร์ร่วมคือกระแสคอลเลคเตอร์ ส่วนกระแสอินพุทของวงจรอิมิตเตอร์ร่วมคือกระแสเบส ความสัมพันธ์ระหว่างกระแสเบสและกระแสคอลเลคเตอร์เรียกว่า เบตาเขียนเป็นสมการ

$$\beta = \frac{I_c}{I_b} \qquad (2.1.4)$$

ยังคงจำได้ว่าอัตราขยายกระแสของวงจรเบสร่วมมีค่าไม่เกินหนึ่ง เนื่องจากกระแสอินพุทมีค่ามากกว่ากระแสเอาท์พุท

2.1.7 อัตราขยายแรงดันและกำลังงาน

*ในวงจรอิมิตเตอร์ร่วม ความต้านทานที่เกิดจากการไบอัสกลับทางด้านเอาท์พุทระหว่างขั้ว*คอลเลคเตอร์และอิมิตเตอร์มีค่าประมาณ 30 kΩ ถึง 300 kΩ ซึ่งมีค่าความต้านทานต่ำกว่าความต้านทานระหว่างคอลเลคเตอร์กับเบส 30 kΩ ถึง 5 MΩ ของวงจรเบสร่วม ทั้งนี้เพราะการไบอัสกลับของวงจรเบสร่วมจะเป็นการไบอัสกลับโดยตรงระหว่างขั้วคอลเลคเตอร์กับเบสเหมือนกับการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบอัสกลับตัวไดโอดซึ่งแตกต่างกับการไบอัสระหว่างคอลเลคเตอร์กับอิมิตเตอร์ เพราะมีชั้นของโลหะกึ่งตัวนำถึงสามชั้นต่อเชื่อมติดกัน

ทางด้านอินพุทจะเป็นการไบอัสตรงระหว่างเบสกับอิมิตเตอร์ จะมีค่าความต้านทานทางด้านอินพุทราวๆ 300 โอห์ม ถึง 2000 โอห์ม ซึ่งต่างจากวงจรเบสร่วมซึ่งจะมีค่าความต้านทานเพียง 30 ถึง 150 โอห์ม เท่านั้น

โดยที่ความต้านทานทางอินพุทระหว่างเบสกับอิมิตเตอร์มีค่าต่ำ และทางเอาท์พุทคอลเลคเตอร์กับอิมิตเตอร์มีค่าสูง และทั้งอัตราการเปลี่ยนแปลงของกระแสที่เบสมีค่าเล็กน้อย จึงทำให้เกิดการเปลี่ยนแปลงกระแสทางด้านเอาท์พุท (I_C) ได้มากมาย ดังนั้นวงจรอิมิตเตอร์ร่วมจึงเหมาะที่จะนำมาใช้ขยายสัญญาณและกำลังงานซึ่งอัตราขยายได้สูงมาก

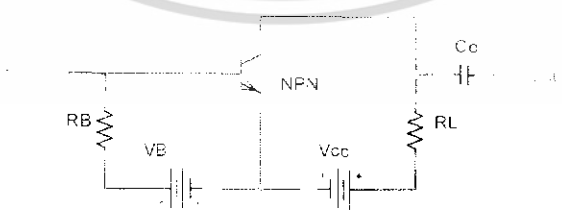
อัตราขยายทางแรงดันเป็น A_V ซึ่งเขียนได้ว่าเป็นอัตราการเปลี่ยนแปลงของแรงดันทางคอลเลคเตอร์เมื่อเทียบอัตราการเปลี่ยนแปลงแรงดันที่ขาเบส นั่นคือ

$$A_I = \frac{\Delta V_C}{\Delta V_B}$$
$$= \frac{\Delta V_C}{\Delta V_B} * \frac{R_L}{R_B}$$
$$= \beta \frac{R_L}{R_B}$$

เมื่อ R_B คือค่าความต้านทานทางด้านอินพุทที่ขาเบส

เป็นที่ทราบกันแล้วว่ากำลังงานก็คือผลของกระแสที่เคลื่อนที่ผ่านวงจรที่มีความต่างศักย์ ทำให้เกิดกำลังงานหรือพลังงานดังสมการ

$$P = E * I$$
$$= \frac{\Delta V_C}{\Delta V_B} * \frac{I_C}{I_B}$$
$$= A_I * \beta$$



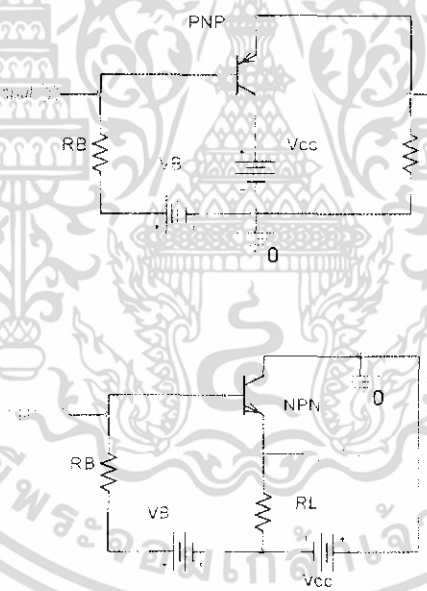
รูปที่ 2.4 รูปวงจรอิมิตเตอร์ร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.8วงจรคอลเลคเตอร์ร่วม (Common Collector or Emitter Follower)

ในวงจรขยายแบบขั้วคอลเลคเตอร์นั้นหมายความว่าต่อขั้วคอลเลคเตอร์ร่วมกับอินพุท และเอาท์พุท โดยปกติแล้วขั้วคอลเลคเตอร์จะไม่ต่อลงกราวด์โดยตรงเลย แต่จะต่อกับแหล่งจ่ายไฟเลี้ยงวงจร ดังนั้นวงจรคอลเลคเตอร์ร่วมก็คือวงจรอิมิตเตอร์ร่วมที่ใช้แรงดันคร่อมตัวต้านทานอิมิตเตอร์นั่นเอง ขอให้สังเกตรูป2.5

วงจรขยายแบบนี้โดยทั่วไปเรียกว่า วงจรขยายอิมิตเตอร์ฟอลโลเออร์(Emitter Follower) โดยให้สัญญาณอินพุทป้อนเข้ากระแสเบส และสัญญาณเอาท์พุทจะตกคร่อมตัวต้านทาน ที่ขั้วอิมิตเตอร์ เช่นเดียวกับวงจรทั่วๆไปแรงดันของสัญญาณอินพุทที่ป้อนเข้าจะมีผลในทางช่วยเสริมหรือหักล้างแรงดันไฟตรงที่ให้ไบอัสตัวทรานซิสเตอร์อยู่ เมื่อสัญญาณอินพุททางครึ่งบวกป้อนเข้ามายังวงจร มันจะช่วยเสริมกระแสเบสจากการไบอัสให้มีค่าสูงขึ้นเป็นผลทำให้เกิดกระแสอิมิตเตอร์สูงขึ้นเช่นกัน ดังนั้นสัญญาณเอาท์พุทตกคร่อมตัวอิมิตเตอร์ก็จะมีค่าสูงขึ้น และในทำนองเดียวกันถ้าสัญญาณทางครึ่งลบป้อนเข้ามา มันจะมีทิศทางลดกระแสเบสจากการไบอัสลง ทำให้กระแสอิมิตเตอร์ลดลงด้วย สัญญาณเอาท์พุทจึงมีค่าลดลง



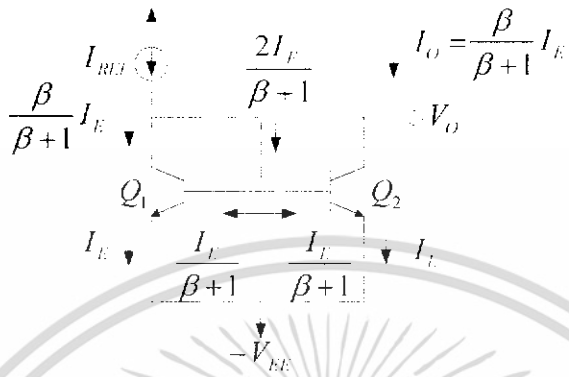
รูปที่ 2.5 รูปวงจรพื้นฐานคอลเลคเตอร์ร่วม

วงจรคอลเลคเตอร์ร่วมมีข้อแตกต่างจากวงจรอิมิตเตอร์และเบสคือมีค่าความต้านทานอินพุทสูงและทางเอาท์พุทต่ำ ดังนั้นอัตราขยายทางแรงดันจึงมีค่าต่ำกว่าโดยทั่วไปน้อยกว่าหนึ่ง ส่วนอัตราขยายกระแสของวงจรเช่นนี้จะมีค่าสูงที่สุดเพราะเป็นอัตราส่วนระหว่างกระแสอิมิเตอร์กับกระแสเบส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรสะท้อนกระแส (Current Mirror)

ทำหน้าที่รักษากระแสที่ไหลผ่านกิ่งทั้งสองข้างให้มีค่าเท่ากันเพื่อทำการจ่ายกระแสให้กับวงจรในส่วน differential amplifier



รูปที่ 2.6 วงจรCurrent Mirror

วงจร current mirror ประกอบด้วยทรานซิสเตอร์ 2 ตัวที่มีคุณลักษณะเหมือนกันทำการเชื่อมต่อขาเบสและขาอิมิเตอร์เข้าด้วยกัน จึงทำให้ Q_1 ทำตัวเหมือนไดโอด วงจร current mirror มีกระแสคงที่ไหลผ่าน I_{REF} และกระแสเอาท์พุทมาจาก คอลเลคเตอร์ของ Q_2 ที่มีค่าเท่ากันทั้งสองข้าง

2.3 คุณลักษณะของการส่งผ่านไฟฟ้ากระแสตรง (Dc Transfer Characteristics)

เราสามารถวิเคราะห์การต่อวงจรรูปแบบนี้ได้โดยใช้สมการเอกโพเนนท์เชียลระหว่างกระแสคอลเลคเตอร์และแรงดันเบส-อิมิตเตอร์ ดังแสดงในสมการที่ 2.3.1และ สมการที่ 2.3.2

$$i_{C1} = I_S e^{\frac{v_{BE1}}{V_T}} \quad (2.3.1)$$

$$i_{C2} = I_S e^{\frac{v_{BE2}}{V_T}} \quad (2.3.2)$$

และเนื่องจาก I_Q เป็นกระแสที่มาจากแหล่งกำเนิดในอุดมคติแล้วทำให้

$$I_Q = I_{C1} + I_{C2} \quad (2.3.3)$$

จากการรวมสมการที่ 2.3.1 , 2.3.2 และ 2.3.3 ได้สมการที่ 2.3.4

$$i_Q = I_S (e^{\frac{v_{BE1}}{V_T}} + e^{\frac{v_{BE2}}{V_T}}) \quad (2.3.4)$$

สมการพื้นฐานของวงจรขยายความแตกต่าง

$$Vo = Ad(v1 - v2) \quad (2.3.5)$$

เรานำสมการที่ 2.3.5 หารด้วย 2.3.4ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{C1}}{i_Q} = \frac{1}{1 + e^{\frac{-v_D}{V_T}}} \qquad (2.3.6)$$

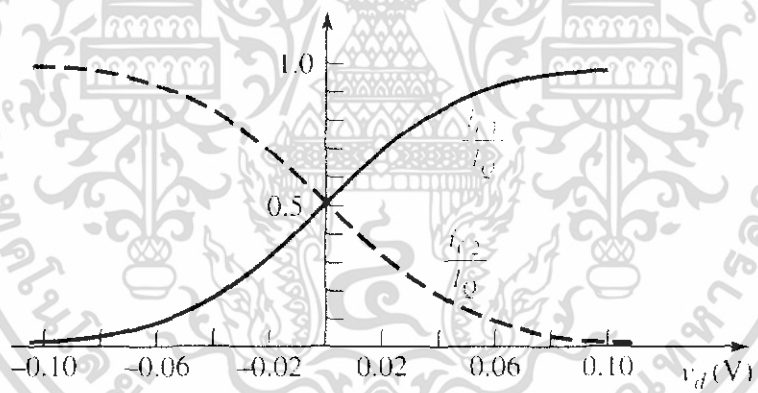
และในทางเดียวกัน

$$\frac{i_{C2}}{i_Q} = \frac{1}{1 + e^{\frac{+v_D}{V_T}}} \qquad (2.3.7)$$

สมการที่ 2.3.6 และ 2.3.5 แสดงให้เห็นว่าถ้าแรงดันดิฟเฟอเรนเชียลโหมด (V_D) มีค่าเป็น 0 โวลต์ กระแส I_Q จะถูกแบ่งครึ่งที่ขาคอลเลคเตอร์ทั้งสองขา

อีกนัยหนึ่ง ถ้ามีการป้อนแรงดันดิฟเฟอเรนเชียล (V_D) แล้วก็จะเกิดผลกระทบต่อความเท่ากันของกระแสคอลเลคเตอร์ของ Q_1 และ Q_2 ซึ่งส่งผลต่อแรงดันที่ขาคอลเลคเตอร์ด้วยตามลำดับ นี้คือการทำงานพื้นฐานของวงจรขยายความแตกต่าง

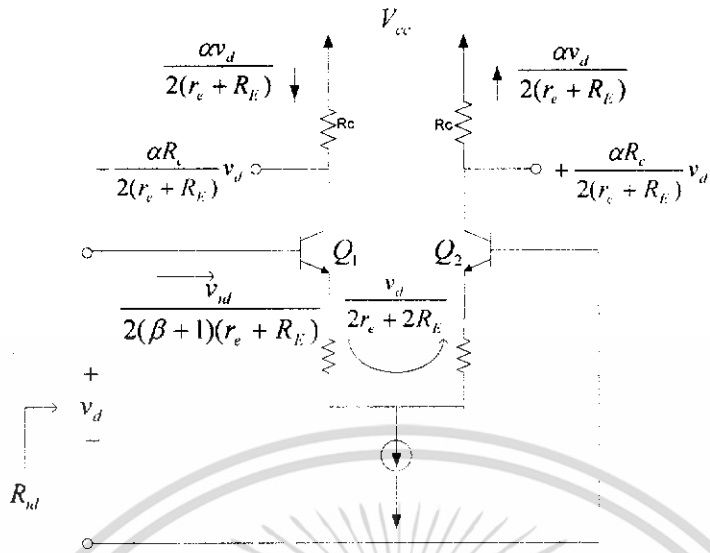
ดังรูปที่ 2.7 เป็นการแสดงคุณสมบัติของการส่งผ่านไฟฟ้ากระแสตรงของวงจรขยายความแตกต่าง จากรูป เราสามารถสังเกตได้ว่า ค่าอัตราขยายความแตกต่างของวงจรนั้นเป็นสัดส่วนเดียวกันกับความชันของกราฟ ซึ่งจุดที่กราฟเกิดความเป็นเชิงเส้นที่สุดคือจุดที่ $V_d = 0$ โวลต์



รูปที่ 2.7 กราฟคุณสมบัติการส่งผ่านไฟฟ้ากระแสตรงของวงจรขยายความแตกต่างโดยใช้ทรานซิสเตอร์แบบไบโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 อัตราขยายแรงดัน(Differential Voltage Gain)



รูปที่ 2.8 วงจรขยายความแตกต่างที่มีความต้านทานที่ขาอิมิตเตอร์

$$i_{C1} = I_C + g_m \frac{v_d}{2} \tag{2.4.1}$$

$$i_{C2} = I_C - g_m \frac{v_d}{2} \tag{2.4.2}$$

$$I_C = \frac{\alpha I}{2} \tag{2.4.3}$$

แรงดันที่ขาคอลเลคเตอร์มีค่าเป็น

$$v_{C1} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_d}{2} \tag{2.4.4}$$

$$v_{C2} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_d}{2} \tag{2.4.5}$$

อัตราขยายแรงดันเอาท์พุทของวงจรขยายความแตกต่างเป็นไปตามสมการ

$$A_d = \frac{v_{c1} - v_{c2}}{v_d} = -g_m R_C \tag{2.4.6}$$

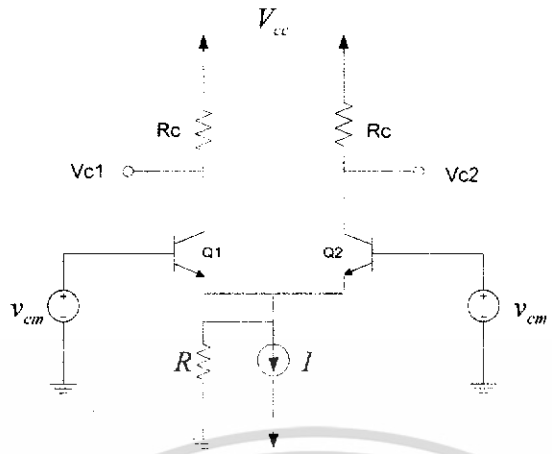
$$A_d = \frac{v_{c1}}{v_d} = -\frac{1}{2} g_m R_C \tag{2.4.7}$$

เมื่อมีความต้านทานต่อที่ขาอิมิตเตอร์อัตราขยายความแตกต่างเป็นไปตามสมการ

$$A_d = -\frac{\alpha(2R_C)}{2r_e + 2R_E} \approx -\frac{R_C}{r_e + R_E} \tag{2.4.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5อัตราขยายคอมมอนโหมด(Common-mode Gain)



รูปที่ 2.9 วงจรแสดงการหาค่า CMRR

วงจรขยายความแตกต่างที่มีสัญญาณอินพุทมีค่า v_{cm} ค่าความต้านทาน R เป็นความต้านทานเอาท์พุทของวงจรจ่ายกระแสคงที่ จากความสมดุลของระบบทำให้มีกระแสไหลผ่านทรานซิสเตอร์เท่ากับ $\frac{I}{2}$ และมีความต้านทานที่ขาอิมิตเตอร์เป็น 2R ดังนั้นแรงดัน v_{c1} มีค่า

$$v_{C1} = -v_{CM}\frac{\alpha R_C}{2R + r_e} \approx -v_{CM}\frac{\alpha R_C}{2R} \qquad (2.5.1)$$

ซึ่งจะทำให้ค่า $v_{c1} = v_{c2}$

ค่าอัตราขยาย common mode gain A_{CM} เป็นไปตามสมการ

$$A_{CM} = -\frac{\alpha R_C}{2R} \qquad (2.5.2)$$

ถ้าเป็นกรณีของ differential gain เป็น

$$A_d = \frac{1}{2} g_m R_C \qquad (2.5.3)$$

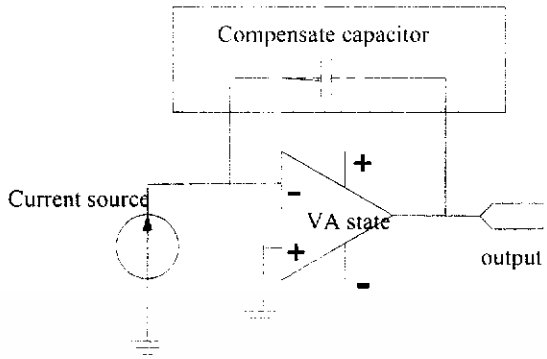
ค่า common mode rejection ratio (CMRR) มีค่าเป็น

$$\text{CMRR} = \left|\frac{A_d}{A_{CM}}\right| = g_m R \quad ,\alpha = 1 \qquad (2.5.4)$$

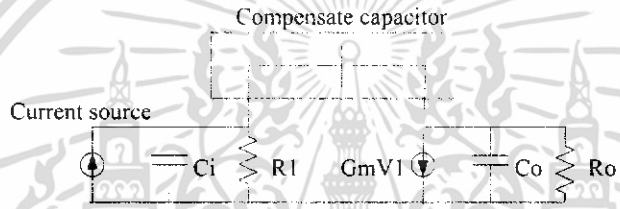
$$\text{CMRR} = 20 \log \left|\frac{A_d}{A_{CM}}\right| \qquad (2.5.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การตอบสนองความถี่ (Frequency Response)



รูปที่ 2.10 เป็นรูปที่ใช้ในการวิเคราะห์เสถียรภาพรวมของระบบ



รูปที่ 2.11 เป็นรูปวงจรสมมูลที่ใช้ในการวิเคราะห์เสถียรภาพรวมของระบบ

จากรูปที่ 2.11 เป็นการวิเคราะห์ผลของความถี่รวมของระบบใช้ทฤษฎีที่เรียกว่าการเลื่อนโพล (sprite pole) จะได้ความสำคัญตามสมการ

ฟังก์ชันการโอนย้าย

$$Av = \frac{Vo}{Iin} \tag{2.6.1}$$

สมการมาตรฐาน

$$\frac{Vo}{Iin} = \frac{a_o}{(1-\frac{s}{p_1})(1-\frac{s}{p_2})} \tag{2.6.2}$$

ถ้า $P_2 > P_1$ จะได้

$$\frac{Vo}{Iin} \cong \frac{a_o}{1-\frac{s}{p_1}+\frac{s^2}{p_1 p_2}} \tag{2.6.3}$$

จากรูปที่ 2.25 ได้ฟังก์ชันการโอนย้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{Vo}{Iin} = \frac{a_o}{1 + sG_m RiRo + s^2 RiRo[CiCo + Cc(Ci + Co)]} \quad (2.6.4)$$

เปรียบเทียบสมการที่ (2.2.4) กับ (2.2.5) จะได้

$$P_1 = -\frac{1}{G_m RiRoCc} \quad (2.6.5)$$

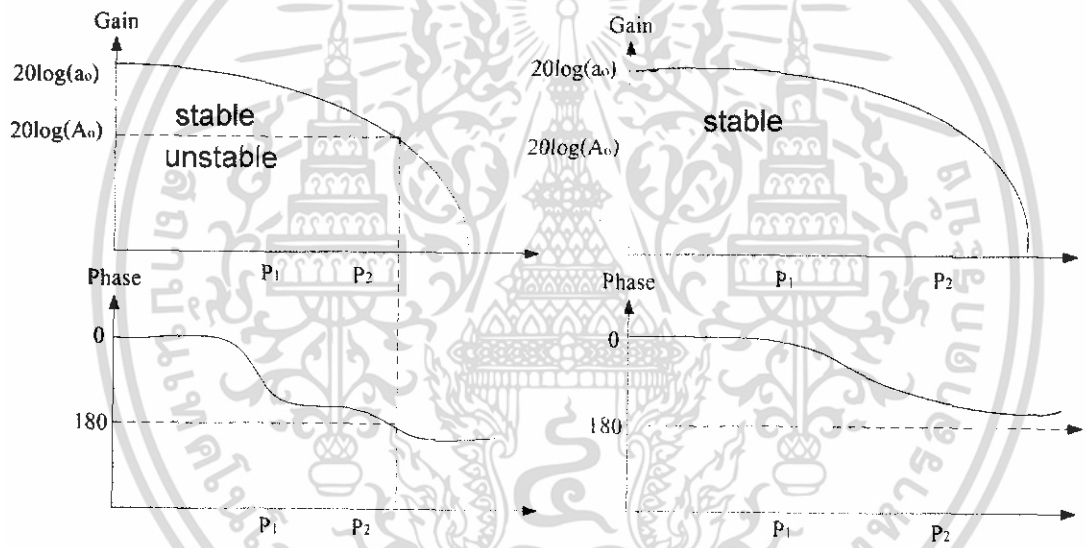
เนื่องจาก Cc > Co จะได้

$$P_2 = -\frac{G_m Cc}{CiCo + Cc(Ci + Co)} \cong -\frac{G_m}{(Ci + Co)} \quad (2.6.6)$$

พิจารณาวงจรตอนที่ยังไม่ใส่ ค่าตัวเก็บประจุชดเชย(compensation capacitor)

$$P_1 = -\frac{1}{RiCi} \quad (2.6.7)$$

$$P_2 = -\frac{1}{RoCo} \quad (2.6.8)$$

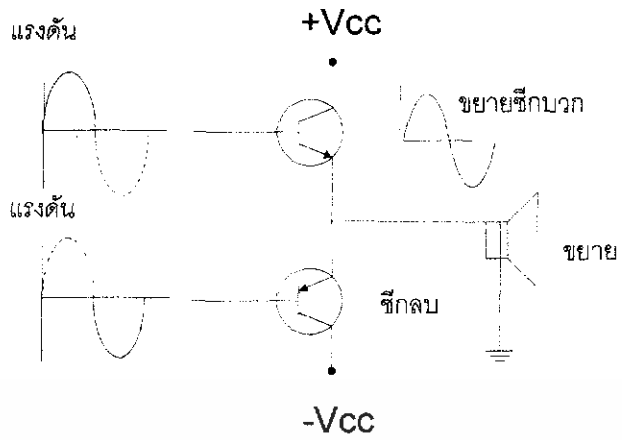


รูปที่ 2.12รูปเปรียบเทียบระหว่างทางซ้ายวิเคราะห์โดยไม่ใส่ค่าตัวเก็บประจุชดเชย และขวาวิเคราะห์โดยใส่ค่าตัวเก็บประจุชดเชย

2.7 วงจรพุช-พูล (Push-Pull Circuit)

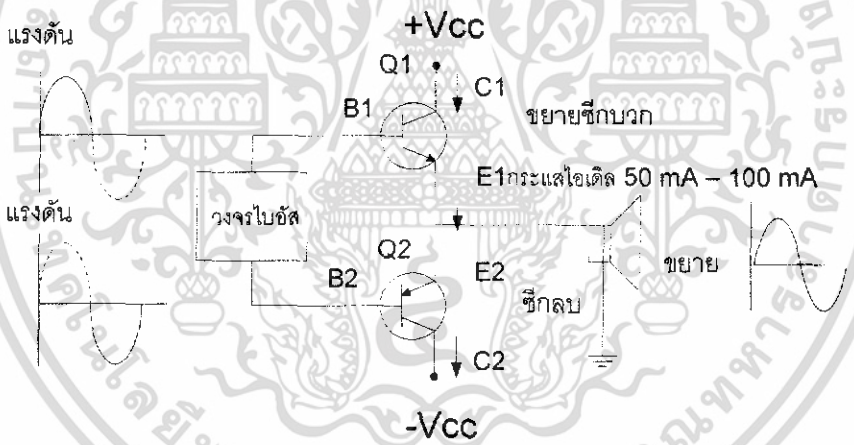
ภาคเอาท์พุทแบบพุช-พูลจึงต้องใช้ทรานซิสเตอร์สองตัวช่วยกันทำงานคนละครึ่งคลื่นแล้วเอาสัญญาณมารวมกันจะได้สัญญาณเต็มคลื่นออกลำโพงตามรูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงวงจรพุช-พูล

การทำงานของวงจรพุช-พูลนั้นโดยปกติจะจัดวงจรในคลาส B หรือสูงกว่าคลาส B นิดหน่อยที่เรียกว่าคลาสAB ซึ่งจะมีกระแสไหลในภาวะสงบหรือกระแสไอเดิลประมาณ 50 mA ถึง 100 mA (เรียกว่าคลาสAB ถ้าคลาส B แท้จริงกระแสไอเดิลจะน้อยเป็นศูนย์) ทรานซิสเตอร์ทั้งสองจะเปลี่ยนกันทำงานคนละครึ่งคลื่น



รูปที่ 2.14 การทำงานของวงจรพุช-พูล

การปรับให้กระแสไอเดิล(I_{CQ})ไหลมาก-น้อยนั้นปรับที่วงจรไบอัส ปกติจะปรับไบอัสให้แรงดันระหว่างขา B กับขา E (V_{BE}) เป็น 0.6 V พอดี (เวลาปรับจะไม่วัดแรงดันนี้ แต่จะวัดกระแสไอเดิลแทน)

เมื่อสัญญาณไฟสลับเข้ามาทางอินพุท สัญญาณจะถูกป้อนเข้าที่ขา B ของ Q_1 และ Q_2 พร้อมกันสัญญาณซีกบวกจะทำให้แรงดันที่ขา B ของ Q_1 และ Q_2 สูงขึ้น (เทียบกับค่าเดิม) ซึ่งจะทำให้ V_{BE1} ของ Q_1 เพิ่มขึ้นทำให้ Q_1นำกระแสแต่ V_{BE2} ของ Q_2 จะลดลง (ดูรูปประกอบปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่ E_2 จะสูงกว่า B_2 อยู่ 0.6 V ถ้าแรงดันที่ B_2 เพิ่มขึ้นจะทำให้ความต่างศักย์ระหว่าง B_2 และ E_2 ลดลงหรือแคบเข้ากว่าเดิม) ทำให้ Q_2 คัทออฟหรือหยุดทำงาน ตรงกันข้ามถ้าสัญญาณซีกลบเข้ามาจะทำให้ V_{BE1} ลดลง Q_1 หยุดทำงาน และ V_{BE2} เพิ่มขึ้น Q_2

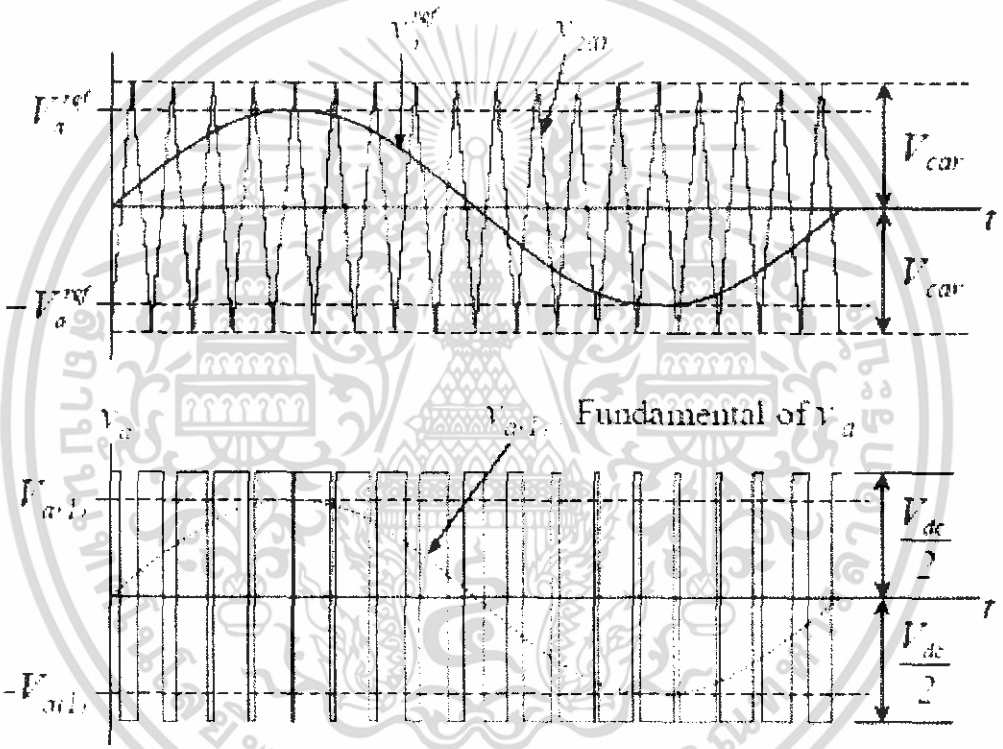
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
ทฤษฎีวงจรจ่ายกำลังแบบสวิทช์

3.1วงจรพัลส์วิดท์มอดดูเลเตอร์

3.1.1 Sinusoidal PWM with Bipolar Voltage Switching Scheme

เป็นการนำสัญญาณที่เป็นรูป sine ที่มีความถี่ f_1 มาควบคุมการทำงาน (ในที่นี้เรียกสัญญาณนี้ว่า $V_{control}$) มาเปรียบเทียบกับสัญญาณพาหะรูปสามเหลี่ยม เพื่อที่จะได้สัญญาณแบบสวิทช์ดังรูปที่ 3.1 จะพบว่าความถี่พาหะของการสวิทช์ด้วย



รูปที่ 3.1 รูปแบบของ SPWM แบบ Bipolar

โดย $$\text{Amplitude modulation ratio } (M) = \frac{V_{control}}{V_{tri}} \qquad (3.1)$$

จากสมการข้างต้น $V_{control}$ คือขนาดสูงสุดของสัญญาณที่ต้องการเปรียบเทียบและ V_{tri}คือขนาดสูงสุดของพาหะคลื่นสามเหลี่ยมและจะได้ว่า

$$\text{Frequency modulation } (m_f) = \frac{f_s}{f_{control}} \qquad (3.2)$$

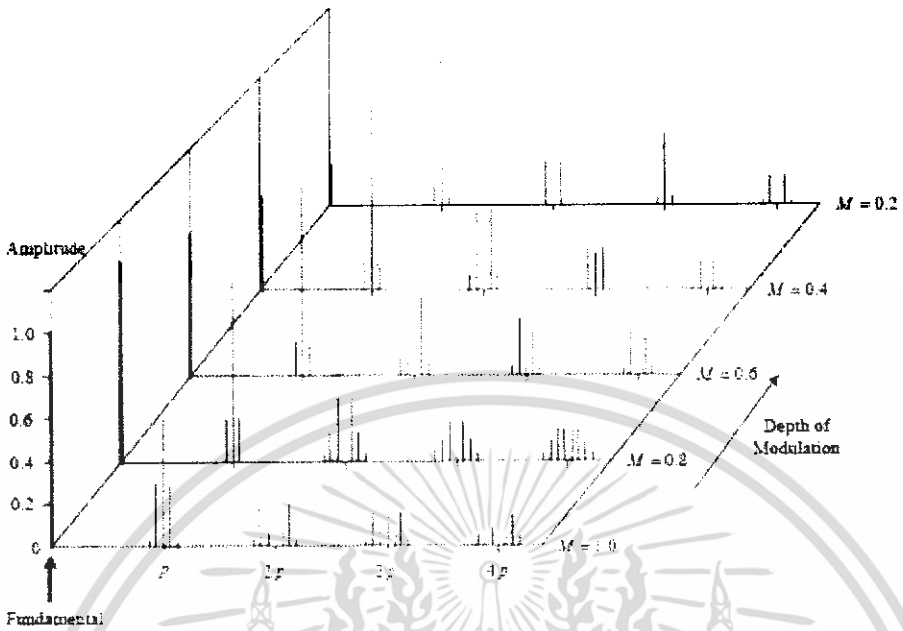
โดยที่ f_s คือ ความถี่ของคลื่นพาหะรูปสามเหลี่ยม

$f_{control}$ คือ ความถี่ของสัญญาณที่ใช้ควบคุมการสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ลักษณะสัญญาณที่ได้จะมีแถบความถี่ (Spectrum) ดังแสดงดังรูปด้านล่าง



รูปที่ 3.2 รูปHarmonic Spectrum ของ Bipolar SPWM ที่ M ค่าต่างๆ

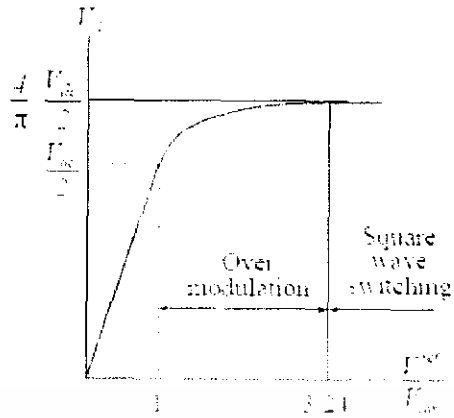
ขนาดสูงสุดของสัญญาณความถี่ fundamental ที่เป็นองค์ประกอบของสัญญาณสวิทช์เป็นไปตามสมการด้านล่างคือ

$$\hat{V}_{01} = M \bullet V_d \qquad (3.3)$$

จากสมการด้านบน พบว่าขนาดของสัญญาณความถี่ fundamental แปรผันตรงกับ M ในช่วงที่ $M \leq 1$ เป็นย่านเชิงเส้น (linear range) Harmonics ที่สัญญาณสวิทช์จะเป็นลักษณะ sideband ของความถี่พาหะ และผลคูณของความถี่พาหะ เช่น $m_f, 2m_f, 3m_f, \ldots m_f$ ควรจะเป็นจำนวนเลขคี่ (odd-integer) เพื่อที่ว่า Harmonics จะได้เป็น Harmonics คี่จะเป็นการง่ายกว่าที่จะทำการกรองความถี่ที่เป็น Harmonics ออกที่ความถี่สูงๆ ซึ่งก็จะมีผลเสียตามมาก็คือ ความร้อนสูญเสียในการสวิทช์ (Switching loss) ก็จะเพิ่มตามความถี่อีกด้วย

สำหรับ SPWM ที่ $M<1$ จะอยู่ในช่วงเชิงเส้น ขนาดของสัญญาณความถี่พื้นฐานจะแปรผันตรงกับ M แต่เมื่อ M เพิ่มขึ้นเกิน 1.0 ขนาดของสัญญาณความถี่พื้นฐานจะไม่แปรผันตรงกับ M เรียกช่วงนี้ว่า Over modulation ที่สัญญาณสวิทช์จะมี harmonic ที่ไม่ใช้เป็น sideband ของสัญญาณพาหะ เพิ่มขึ้นขนาดของสัญญาณความถี่พื้นฐานที่ทำการ normalized $\frac{\hat{V}_{A01}}{V_d}$ จะเป็นฟังก์ชันของอัตราส่วน modulation M แสดงดังรูปที่

73131
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 รูปกราฟแสดงการเปลี่ยนขนาดของความถี่ Fundamental จากการเปลี่ยน M

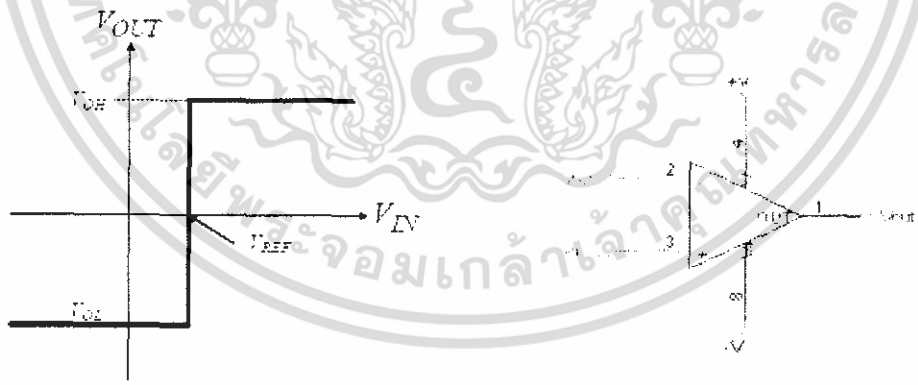
3.1.2 วงจรเปรียบเทียบแรงดัน(voltage comparator)

หลักการ ของวงจรเปรียบเทียบแรงดันคือ ทำการเปรียบเทียบแรงดันอินพุทที่ป้อนให้กับวงจรกับแรงดันอ้างอิงที่ตั้งไว้แล้วทำให้เกิดแรงดันเอาท์พุทของวงจรที่เปลี่ยนอยู่ 2 สภาวะ คือ สภาวะสูง(High) กับ สภาวะต่ำ(Low) เท่านั้น วงจรเปรียบเทียบแรงดันและกราฟคุณสมบัติของวงจรแสดงได้ดังรูป 3.4 ซึ่งการทำงานของวงจรมีความสัมพันธ์สรุปได้ดังนี้

รูป3.4 a $V_{OUT} = V_{OH}$ เมื่อ $V_{IN} > V_{REF}$

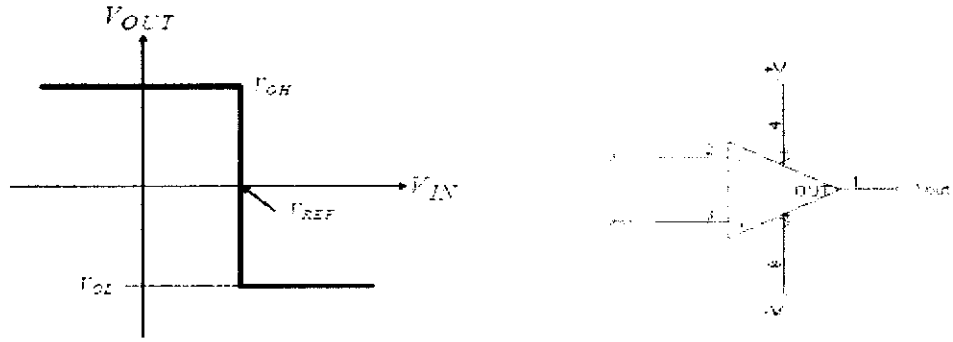
รูป3.4 b $V_{OUT} = V_{OL}$ เมื่อ $V_{IN} < V_{REF}$

เมื่อ V_{OH} และ V_{OL} คือแรงดันเอาท์พุทอิ่มตัวของออปแอมป์ในสภาวะสูงและต่ำตามลำดับ



a.

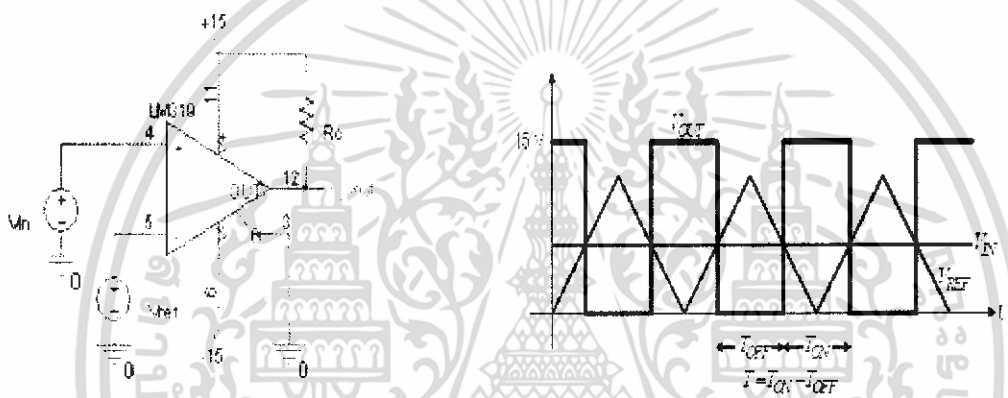
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



b.

รูปที่ 3.4 รูปวงจรเปรียบเทียบแรงดัน

3.1.3 การนำวงจรเปรียบเทียบแรงดันไปใช้เป็นวงจรพัลส์วิดท์มอดดูเลเตอร์

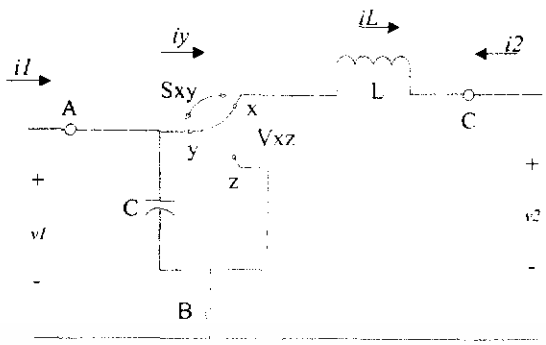


รูปที่ 3.5 รูปแบบวงจรเปรียบเทียบแรงดันที่ทำการเปรียบเทียบอินพุทกับสัญญาณสามเหลี่ยม

โดยการทำงานนั้น วงจรสร้างสัญญาณสามเหลี่ยม (triangular generator) และวงจรเปรียบเทียบแรงดัน(comparator) โดยความเป็นเชิงเส้นของพัลส์สิดมอดดูเลเตอร์จะขึ้นอยู่กับความเป็นเชิงเส้นของสัญญาณสามเหลี่ยม สัญญาณอินพุทและสัญญาณสามเหลี่ยมจะถูกนำไปเปรียบเทียบกัน โดยใช้วงจร เปรียบเทียบ โดยสัญญาณอินพุทป้อนเข้าที่ non inverting input สัญญาณสามเหลี่ยมป้อนเข้าที่ inverting input เมื่อสัญญาณสามเหลี่ยมมีขนาดสูงกว่าสัญญาณอินพุท เอาท์พุทของวงจรเปรียบเทียบแรงดันจะเป็น 0 (low) เมื่อสัญญาณสามเหลี่ยมมีขนาดมีขนาดต่ำกว่าสัญญาณอินพุท เอาท์พุทของวงจรเปรียบเทียบแรงดันจะเป็น 1 (high) **โดยทั้งนี้แรงดันของสัญญาณสามเหลี่ยม ต้องมีขนาดใหญ่กว่าแรงดันของสัญญาณอินพุท โดยความถี่ของสัญญาณสามเหลี่ยม ควรจะมีความถี่มากกว่าสัญญาณอินพุทอย่างน้อย 7 เท่า โดยจากหลักการนี้ จะได้พัลส์ที่มีความกว้างของพัลส์เปลี่ยนแปลงไปตามขนาดของสัญญาณอินพุท**

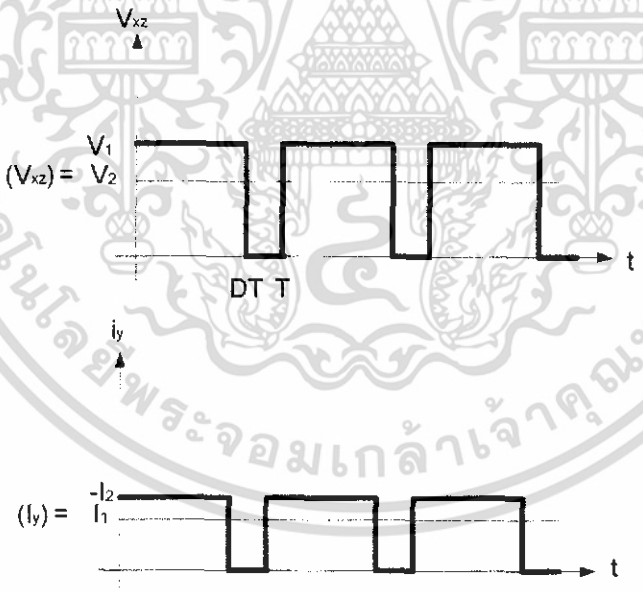
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 The Direct Converter



รูปที่ 3.6 รูปวงจร Direct Converter

จากรูปต้องสมมติให้ค่า L และ C มีขนาดใหญ่มาก เพื่อลดค่าองค์ประกอบที่เกิดจากสวิทช์ เมื่อทำการออนสวิทช์ S_{xy} ช่วงเวลาหนึ่งจะทำให้ $V_1 = V_2$ และ $I_1 = -I_2$ และเมื่อทำการสับสวิทช์ เราจะสรุปได้ว่า $\frac{V_2}{V_1}$ และ $-\frac{I_1}{I_2}$ มีค่าเท่ากับ 1 ในกรณีแรก และ เท่ากับ 0 ในกรณีที่ 2 อัตราส่วนเฉลี่ยที่ได้จะมีค่าอยู่ระหว่าง 0 กับ 1 โดยอัตรานี้จะขึ้นอยู่ที่ค่า Duty Ratio ซึ่งจะได้รูปคลื่น V_{xz} และ I_y ตามรูป



รูปที่ 3.7 รูปแสดงการสวิทช์ของ V_{XZ}และ i_y ใน Direct Converter

วงจร The Direct Converter แบ่งออกได้ตามทิศทางการไหลของกำลังงานซึ่งสามารถแบ่งออกได้เป็น 2 แบบ คือ

1. เมื่อกำลังงานไหลไปสู่ระบบที่มีแรงดันต่ำกว่า (The Down Converter)

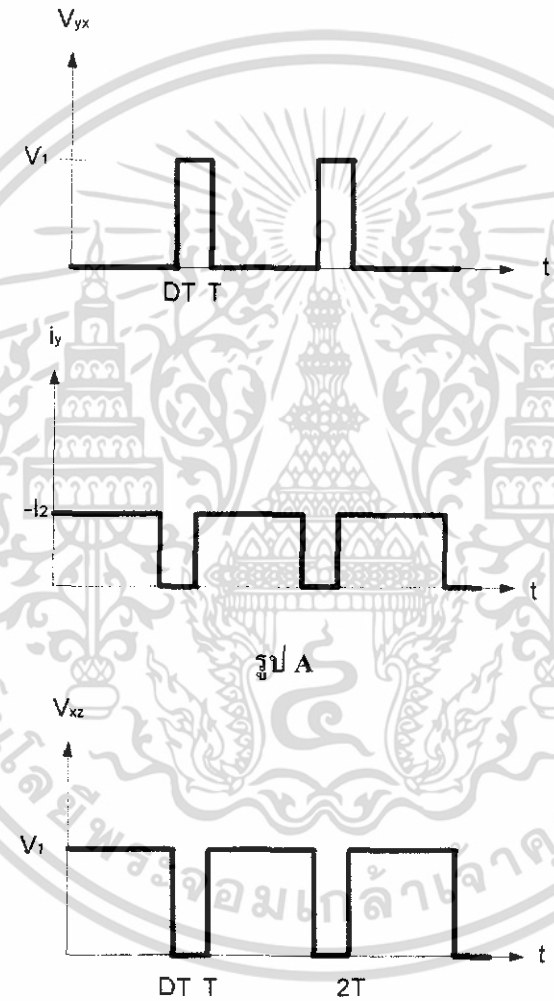
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เมื่อกำลังงานไหลไปสู่ระบบที่มีแรงดันสูงกว่า (The Up Converter)

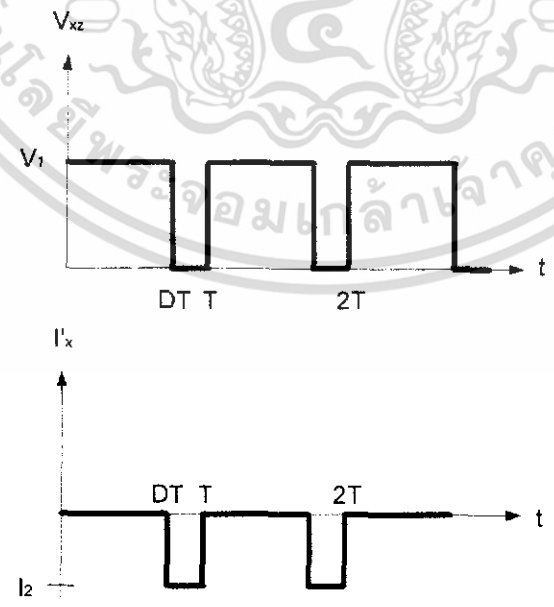
จากรูปแบบวงจรที่กล่าวไปข้างต้นแล้ว เราสามารถกำหนดทิศทางของกำลังงานได้โดยนำอุปกรณ์สารกึ่งตัวนำมาใช้แทนที่สวิทช์ เช่น ทรานซิสเตอร์, ไดโอด,SCR

3.2.1 The Down Converter

ในการทำงานนั้นคือ กำลังงานจะไหลจากศักดาสูงไปศักดาต่ำกว่า (V1 ไปหาV2) ในกรณีนี้ V1 > 0 , I1 > 0 , I2 < 0 ค่าแรงดันและกระแสที่สวิทช์ได้แสดงไว้ในรูปด้านล่าง โดย Ix = -Iz ในรูปของวงจร Direct Converter



รูป A



รูป B

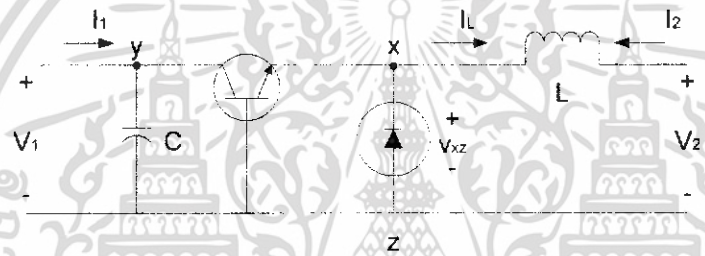
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 รูปแสดงสัญญาณแรงดันและกระแสของ Down Converter

รูป 3.8A เมื่อต่อสวิทซ์แบบอนุกรม

รูป 3.8B เมื่อต่อสวิทซ์แบบขนาน

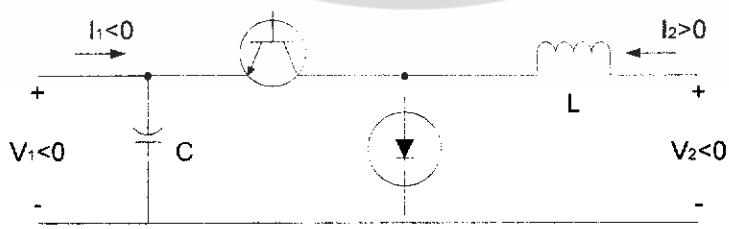
ค่ากระแสและแรงดันในสวิทช์ชุดอนุกรม Iy และ Qyx มีค่าเป็นคู่บวกทั้งคู่ ดังนั้นอุปกรณ์ที่เหมาะสมในการใช้เป็นสวิทซ์ก็คือ ทรานซิสเตอร์ ส่วนค่าของกระแสและแรงดันในสวิทซ์ชุดขนาน Ix และ Vxz นั้นจะมีขั้วที่ต่างกัน ดังนั้นเราจะใช้ไดโอดมาทำเป็นสวิทซ์ การควบคุมการออน และ ออฟ ของไดโอดนี้จะเป็นไปตามสวิทซ์ชุดอนุกรมนั่นคือเมื่อสวิทซ์อนุกรมออน แรงดัน V1 จะทำการรีเวิร์สไบอัสไดโอด ทำให้ไดโอดออฟและเมื่อสวิทช์อนุกรมออฟความต่อเนื่องในกระแสของ L จะทำให้ไดโอดออนขึ้นได้ ซึ่งลักษณะการทำงานของสวิทช์ชุดขนานนี้จะมีลักษณะเหมือนกับ Free wheeling Diode ในวงจร เรียงกระแสครึ่งคลื่น ดังนั้นวงจร Down Converter สามารถแสดงได้ดังรูป



รูปที่ 3.9 รูปวงจรพื้นฐานของ Down Converter

3.2.2 A Down Converter with Common Positive

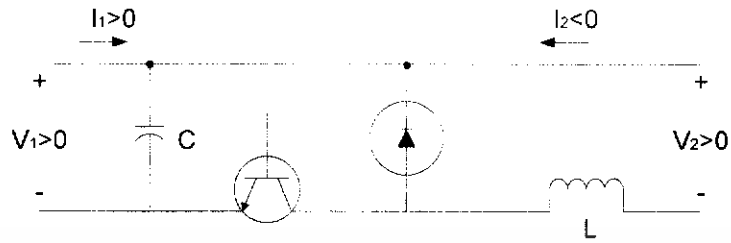
ในการออกแบบการเชื่อมต่อระบบที่มีขั้วบวกเป็นขาร่วมนี้เราจะพิจารณาจาก directive converter โดยจะต้องทำให้ $V_1I_1 > 0$ และ $V_2I_2 < 0$ จะได้ว่า $V_1 < 0$, $V_2 < 0$, $I_1 < 0$และ $I_2 > 0$ เนื่องจากเอาขั้วบวกเป็นขาร่วม ดังนั้นทิศทางขั้วไฟฟ้าจะกลับทิศดังรูป6.11 เราจึงจำเป็นต้องกลับขั้วสวิทซ์ทั้งสองตัวดังรูป



รูปที่ 3.10 รูปวงจร Down Converter แบบขั้วบวกเป็นขาร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้เรายังสามารถเปลี่ยนตำแหน่งของสวิทซ์อนุกรมและ Lมายังกึ่งล่างของวงจรได้ โดยการเปลี่ยนขั้วและทิศทางของแรงดันและกระแสได้ พร้อมทั้งกลับขั้วของสวิทซ์ขนาน ก็จะไป ดังรูป

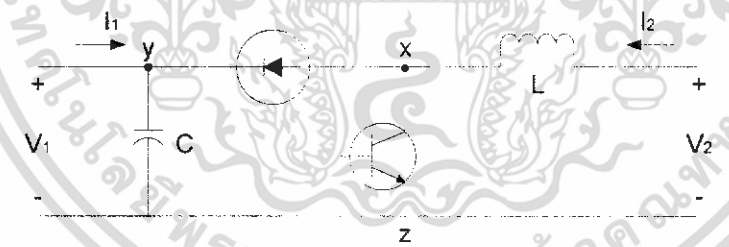


รูปที่ 3.11 รูปวงจร Down Converter แบบขั้วบวกเป็นขาร่วม

3.2.3 The Up Converter

ในหัวข้อนี้เราจำเป็นจะต้องเลือกสวิทซ์เพื่อให้มีการส่งกำลังงานจากด้านแรงดันต่ำ(V_2) ไปยังด้านแรงดันสูง(V_1) ดังนั้นเราจึงต้องทำการกลับขั้วแรงดันและทิศทางของกระแสจากวงจรที่เป็น Down Converter

ถ้าเราทำการกลับทิศของกระแสดังนั้น กระแสสวิทซ์ในกรณี Down Converter จะต้องกลับกันในกรณีนี้สวิทซ์ขนานจะกลายเป็นอุปกรณ์ทรานซิสเตอร์ ในขณะที่สวิทซ์อนุกรมจะใช้ไดโอดแทน ซึ่งผลของ direct up converter แสดงไว้ในรูปด้านล่าง โดยการควบคุมการสวิทซ์จะทำได้ที่สวิทซ์ชุดขนานแทนที่จะเป็นชุดอนุกรมเหมือนใน direct down converter



รูปที่ 3.12 รูปวงจรพื้นฐานของ Up Converter

3.2.4The Duty Ratio

จากการที่เรานิยามว่า Duty Ratio(D) จะเป็นอัตราส่วนของช่วงเวลาในการออนต่อคาบเวลาทั้งหมดของสวิทซ์ ถ้าต่ออนุกรมใน Down Converter และ Up Converter จะได้สมการดังนี้

$$\frac{V_2}{V_1} = D \qquad (3.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_2}{I_1} = \frac{-1}{D} \tag{3.5}$$

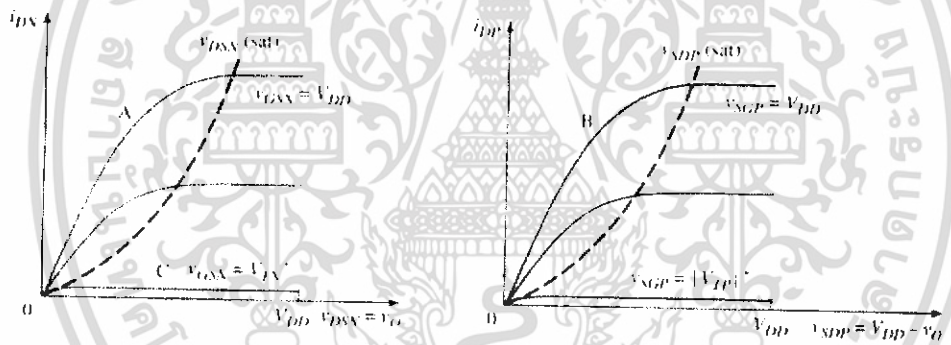
แต่ถ้าเรากำหนดให้ Duty Ratio เป็นอัตราส่วนของคาบเวลาของสวิทซ์ชุดขนานก็สามารถทำได้เช่นกัน แต่สมการจะเปลี่ยนไปดังนี้

$$\frac{V_2}{V_1} = 1 - D \tag{3.6}$$

$$\frac{I_2}{I_1} = \frac{-1}{1-D} \tag{3.7}$$

3.3กราฟแสดงแรงดัน(Voltage Transfer Curve)

ในรูปที่ 3.13 และ 3.14 แสดงให้เห็นถึงคุณสมบัติการทำงานของทั้งอุปกรณ์ n และ p เราสามารถวิเคราะห์กราฟคุณสมบัติทางแรงดันโดยการคำนวณจากTransistor bias regions สำหรับ v_I=0, ทรานซิสเตอร์NMOS จะ Cut off , i_{DN}=0 และ i_{DP}=0 เป็นผลทำให้แรงดันV_{SG}=V_{DD} ทำให้เสมือนเป็นการไบอัสไปที่บริเวณ B ของรูปที่ 3.14 เนื่องจากมีตำแหน่งไบอัสเพียงจุดเดียวที่ $i_{DP} = 0$ เกิดขึ้นที่ $v_{SDP} = 0 = v_{DD} - V_o$ เป็นผลทำให้ได้แรงดันเอาท์พุท V_oเท่ากับ V_{DD}



รูปที่ 3.13(ซ้าย)แสดงคุณสมบัติของกระแส-แรงดันของNMOSทรานซิสเตอร์

รูปที่ 3.14(ขวา)แสดงคุณสมบัติของกระแส-แรงดันของPMOSทรานซิสเตอร์

สำหรับ $v_I = V_{DD}$, ตัว PMOS จะ cut off ทำให้ $i_{DP} = 0, i_{DN} = 0$ แล้วแรงดัน Vgs ของNMOS มีค่าเท่ากับ V_{DD}และ NMOS ถูกไบอัสให้อยู่ในบริเวณ A ของกราฟในรูปที่ 3.13โดยบริเวณที่ไบอัส A เป็นเพียงบริเวณเดียวที่เป็นไปได้ที่ค่ากระแส $i_{DP} = 0, v_{DSN} = V_O = 0$ ทำให้แรงดันเอาท์พุท Vo เป็น 0 ตราบเท่าที่ PMOS ยัง Cut off หรือ $v_{SGP} = V_{DD} - v_I \le |V_{TP}|$ ซึ่งสรุปได้ว่าค่าแรงดันอินพุทนั้นอยู่ในช่วงของ $V_{DD} - |V_{TP}| \le v_I \le V_{DD}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังรูปที่ 3.13 และ 3.14 นั้นแสดงให้เป็นถึงกราฟคุณสมบัติทางแรงดัน (Voltage transfer characteristics) ที่เกิดขึ้นบน CMOS Inverter

ในทางอุดมคติ กระแสของ CMOS inverterในทั้งสองสถานะนั้นจะเป็น 0 ซึ่งนี่ถือเป็นเสน่ห์อย่างหนึ่งของวงจร CMOS ที่จะไม่สูญเสียพลังงานเลย แต่ในความเป็นจริงนั้น CMOS จะประพฤติตัวโดยที่มีการรั่วไหลของกระแส (leakage current) ในทั้ง 2 สภาวะทางโลจิกเนื่องจากการรีเวิร์สไบอัสที่รอยต่อพีเอ็น อย่างไรก็ตามการสูญเสียพลังงานอาจอยู่ในช่วงนาโนวัตต์

เมื่อแรงดันอินพุตเริ่มมากกว่าV_{TN} แล้ว

$$v_I = v_{GSN} = V_{TN}^{+} \tag{3.8}$$

เมื่อNMOSเริ่มนำกระแสอยู่ในบริเวณ C ดังรูปที่ 3.14โดยที่ค่ากระแสจะน้อยและ $v_{DSN} \cong V_{DD}$ ซึ่งแสดงให้เห็นว่า NMOS ถูกไบอัสให้อยู่ในโหมดอิ่มตัว (Saturation region) ในขณะเดียวกันแรงดันซอส-เดรนของPMOSมีค่าน้อยจนอยู่ในสภาวะไม่อิ่มตัว ให้ $i_{DN} = i_{DP}$ ทำให้ได้สมการ

$$K_N\left[v_{GSN} - V_T\right]^2 = KP\left[2(v_{SGP} + V_{TP})v_{SDP} - v_{SDP}^2\right] \tag{3.9}$$

ความสัมพันธ์ของแรงดันเกท-ซอสและแรงดันเดรน-ซอส(V_{GS}-V_{DS}) ทำให้ได้ สมการนี้

$$K_N\left[v_{GSN} - V_{TN}\right]^2 = K_P\left[2(V_{DD} - v_I + V_{TP})(V_{DD} - v_o) - (V_{DD} - v_o)^2\right] \tag{3.10}$$

สมการที่ 3.10 เกี่ยวข้องกับแรงดัน V_I และ V_O ในช่วงที่ NMOS ยังถูกไบอัสให้อิ่มตัวและ PMOS ถูกไบอัสให้อยู่ในช่วง Non-saturation

จุดเปลี่ยนสถานะ(Transition point)ของ PMOS คือ

$$v_{SDP}(sat) = v_{SGP} + V_{TP} \tag{3.11}$$

ทำให้ได้สมการที่ 3.12 จากการใช้สมการที่ 3.11

$$V_{DD} - V_{OPt} = V_{DD} - V_{IPt} - V_{TP} \tag{3.12}$$

หรือ

$$V_{OPt} = V_{IPt} - V_{TP} \tag{3.13}$$

ซึ่งV_{OPt}กับV_{IPt}คือแรงดันเอาท์พุทกับแรงดันอินพุทของPMOSตามลำดับ

ช่วงของการเปลี่ยนสถานะของNMOSหาได้จากสมการ3.14

$$v_{DSN}(sat) = v_{GSN} - V_{TN} \tag{3.14}$$

หรือ

$$V_{ONt} = V_{INt} - V_{TN} \tag{3.15}$$

ซึ่ง V_{ONt} กับ V_{INt} คือแรงดันเอาท์พุทกับแรงดันอินพุทของNMOSตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการที่V_{TP}เป็นค่าลบในPMOSดังนั้นสมการ (3.13)และ (3.14)จึงถูกพล็อตลงในรูปที่ 3.15 เราคิดค่าแรงดันอินพุทที่จุดเปลี่ยนสถานะ(Transition point) โดยเซ็ทค่ากระแสเดรนของทรานซิสเตอร์ทั้งสองให้เท่ากัน โดยให้ทรานซิสเตอร์ทั้งสองทำงานอยู่ในสถานะอิ่มตัว

$$K_N(v_{GSN}-V_{TN})^2 = K_P(v_{SGP}+V_{TP})^2 \tag{3.16}$$

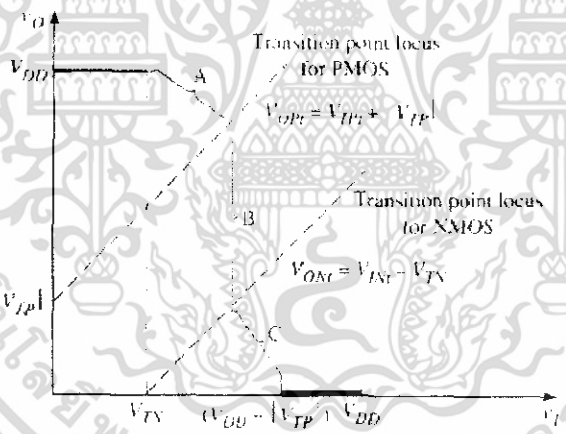
โดยแรงดันVgsที่สัมพันธ์กับแรงดันอินพุทตามสมการที่ 3.16 จึงได้

$$K_N(v_I-V_{TN})^2 = K_P(V_{DD}-v_I+V_{TP})^2 \tag{3.17}$$

สำหรับในอุดมคติ แรงดันเอาท์พุทไม่ได้เป็นดังสมการที่ 2.4.23 และแรงดันอินพุทที่คงที่ตราบเท่าที่ทรานซิสเตอร์ทั้งสองตัวยังคงไบอัสอยู่ในสภาวะอิ่มตัว

แรงดันV_Iจากสมการที่ 3.17 นั้นเป็นแรงดันอินพุทที่จุดเปลี่ยนสถานะของ PMOS และNMOS (PMOS and NMOS transition points) โดยแก้สมการV_I ดังนี้

$$v_I = v_{II} = \frac{V_{DD}+V_{TP}+\sqrt{\frac{K_N}{K_P}}V_{TN}}{1+\sqrt{\frac{K_N}{K_P}}} \tag{3.18}$$



รูปที่ 3.15 แสดงการพล็อตกราฟคุณลักษณะของCMOS

สำหรับ$v_I > V_{II}$ NMOS จะถูกไบอัสให้อยู่ในย่านไม่อิ่มตัวและPMOSจะถูกไบอัสให้อยู่ในย่านอิ่มตัว จึงได้สมการนี้

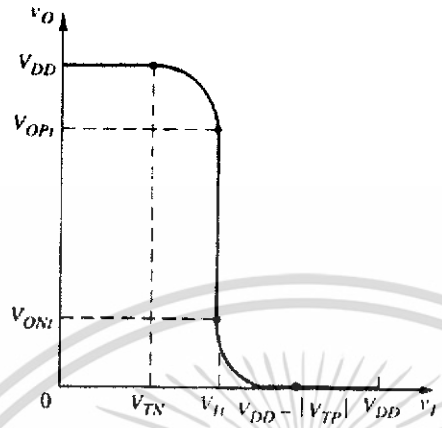
$$K_N\left[2(v_{GSN}-V_{TN})v_{DSN}-v_{DSN}^2\right] = K_P(v_{SGP}+V_{TP})^2 \tag{3.19}$$

ความสัมพันธ์ระหว่าง VGS กับ VDS กับแรงดันอินพุทและเอาท์พุทตามลำดับถูกแสดงในสมการที่ 3.20 ดังนี้

$$K_N\left[2(v_I-V_{TN})v_O-v_O^2\right] = K_P(V_{DD}-v_I+V_{TP})^2 \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 3.20 มีความสัมพันธ์กับแรงดันอินพุทและแรงดันเอาท์พุทตราบเท่าที่ NMOSยังคงถูกไบอัสให้อยู่ในย่านไม่อิ่มตัวและ PMOS ถูกไบอัสให้อยู่ในย่านอิ่มตัว โดยรูปที่ 3.16 แสดงกราฟการเปลี่ยนสถานะที่สมบูรณ์ของวงจร CMOS Inverter



รูปที่ 3.16 รูปแสดงกราฟการเปลี่ยนสถานะที่สมบูรณ์ของCMOS inverter

3.4 การสูญเสียพลังงาน(Power Dissipation)

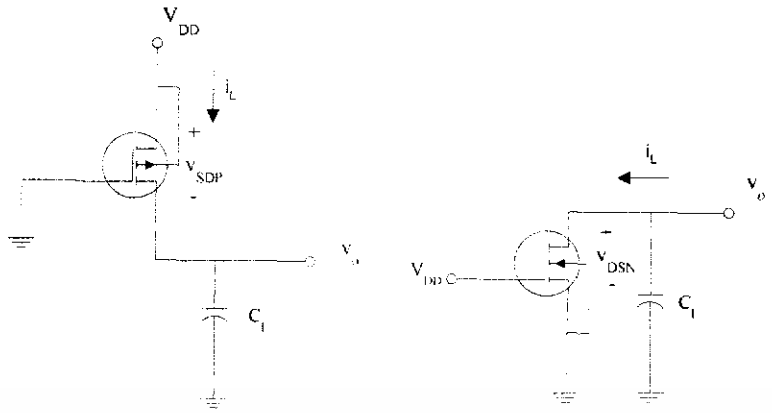
ในสถานะจุดทำงานที่แรงดันอินพุทที่ logic 0 หรือ 1 ค่า Power dissipationใกล้เคียง 0 วัตต์ อย่างไรก็ตาม เนื่องจากในช่วงเวลาที่มีการสวิทซ์จากสถานะหนึ่งไปยังอีกสถานะหนึ่งนั้นจะมีกระแสไหลขึ้นมาและมีการสูญเสียพลังงานลงบนตัวทรานซิสเตอร์ ซึ่งวงจรCMOS inverter ประเภทนี้จะคำนวณโดยมีตัวเก็บประจุของวงจร MOS ในภาคต่อไป โดยการทำการประจุและคายประจุของตัวโหลดคาปาซิเตอร์ของภาคถัดไปนั่นเอง ดังรูปที่ 3.17 เอาท์พุทสวิทซ์จากต่ำไปสูง ที่อินพุทสวิทซ์ไปที่ลอจิกต่ำ,แรงดันขาเกท PMOS อยู่ที่ 0 โวลต์ และNMOSจะคัทออฟ โหลดที่เป็นตัวเก็บประจุC_Lจะถูกชาร์จผ่าน PMOS เกิดการสูญเสียพลังงานของPMOSนั้นจะเป็นไปดังสมการ 3.21

$$P_p = i_L v_{SD} = i_L (V_{DD} - v_O) \tag{3.21}$$

ความสัมพันธ์ระหว่างกระแสและแรงดันเอาท์พุทเป็นดังสมการที่ 3.22

$$i_L = C_L \frac{dv_O}{dt} \tag{3.22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 (ซ้าย) CMOS inverterเมื่อเอาท์พุทสวิทซ์จากลอจิกต่ำไปสูง

รูปที่ 3.18 (ขวา) CMOS inverterเมื่อเอาท์พุทสวิทซ์จากลอจิกสูงไปต่ำ

พลังงานที่สูญเสียไปบนตัวPMOSขณะที่เอาท์พุทจากลอจิกต่ำไปสูง

$$E_P = \int_0^{\infty} P_P dt = \int_0^{\infty} C_L (V_{DD} - v_O) \frac{dv_O}{dt} dt \tag{3.23}$$

$$= C_L V_{DD} \int_0^{V_{DD}} dv_O - C_L \int_0^{V_{DD}} v_O dv_O \tag{3.24}$$

ซึ่งทำให้ได้

$$E_P = C_L V_{DD} v_O \Big|_0^{V_{DD}} - C_L \frac{v_O^2}{2} \Big|_0^{V_{DD}} = \frac{1}{2} C_L V_{DD}^2 \tag{3.25}$$

หลังจากที่เอาท์พุทได้สวิทซ์ไปที่ลอจิกสูงแล้ว จะเกิดประจุแรงดันลงบนตัวเก็บประจุ ($=\frac{1}{2}C_L V_{DD}^2$) แล้วเมื่ออินพุทกลับไปที่ลอจิกสูง จึงทำให้เอาท์พุทกลับสูงสถานะลอจิกต่ำ ดังรูปที่ 3.18 PMOS อยู่ทำงานในย่านคัทออฟและ NMOS นำกระแส พลังงานทั้งหมดเก็บอยู่ในตัวเก็บประจุนั้นก็จะถ่ายเข้าที่ NMOS จึงมีพลังงานสูญเสียลงบนตัว NMOS

โดยขณะที่เอาท์พุทสวิทซ์เปลี่ยนจากสถานะลอจิกสูงไปต่ำนั้น พลังงานที่สูญเสียลงบน NMOS คือ

$$E_N = \frac{1}{2} C_L V_{DD}^2 \tag{3.26}$$

พลังงานทั้งหมดที่สูญเสียลงบนตัววงจรInverterในรอบของการสวิทซ์คือ

$$E_T = E_P + E_N = \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} C_L V_{DD}^2 = C_L V_{DD}^2 \tag{3.27}$$

ถ้าวงจร Inverter นั้นถูกสวิทซ์ด้วยความถี่ (f) ดังนั้นพลังงานที่สูญเสียลงบนตัวทรานซิสเตอร์ทั้งสองคือ

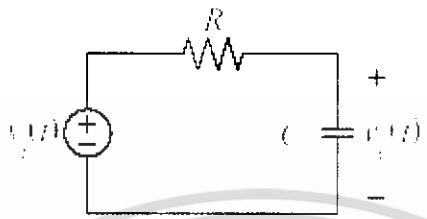
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P = fE_T = fC_L V_{DD}^2 \qquad (3.28)$$

ซึ่งสมการที่ 3.28 นั้นแสดงถึงพลังงานที่สูญเสียลงบนCMOS inverter ซึ่งเป็นอัตราส่วนโดยตรงระหว่างความถี่ของการสวิทซ์และค่า V_{DD}^2

3.5วงจรกรอง(Filter)

3.5.1วงจรความถี่ต่ำผ่าน (Low-Pass Filters)



รูปที่ 3.19 รูปแบบวงจร Low-Pass Filters

รูปที่ 3.20 รูปผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน

วงจรความถี่ต่ำผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่ต่ำผ่านแต่จะกั้นสัญญาณความถี่สูงไว้ รูปที่ 3.20(a) แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านในอุดมคติ โดยนิยามเราจะเรียกว่าย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (pass band) หรือ แบนด์วิดธ์ (bandwidth : BW) ของวงจร ส่วนย่านความถี่ที่วงจรไม่ยอมให้ผ่านไปจะเรียกว่าย่านความหยุด(stop band) จากรูป 3.20(a) จะเห็นได้ว่าย่านความถี่ผ่านจะอยู่ระหว่าง 0 และ ω_c โดยเราจะเรียก ω_c ว่าความถี่คัทออฟ(cut-off frequency)

ในทางปฏิบัติเราไม่สามารถสร้างวงจรกรองที่มีผลตอบสนองเป็นรูป 3.20(a) ได้ รูปที่ 3.20(b) แสดงผลตอบสนองของวงจรกรองที่ได้มาจากการประมาณผลตอบสนองในอุดมคติ ทฤษฎีที่เกี่ยวกับการประมาณผลตอบสนองทางความถี่ซึ่งเรานิยามเรียกกันสั้นๆว่า ทฤษฎีการประมาณ (approximation theory) เป็นทฤษฎีที่มีความสำคัญมากซึ่งเราจะได้ศึกษาอย่างละเอียดในภายหลัง

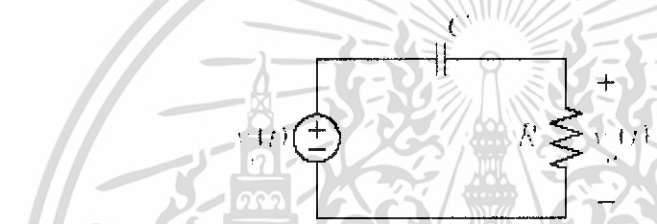
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของผลตอบสนองในรูปที่ 3.20(b) ทำให้เราต้องนิยามคำว่าแบนด์วิดธ์ใหม่ว่าย่านความถี่อัตราขยายของวงจรยังตกลงมาจากค่าอัตราขยายสูงสุดไม่เกินค่าที่กำหนด

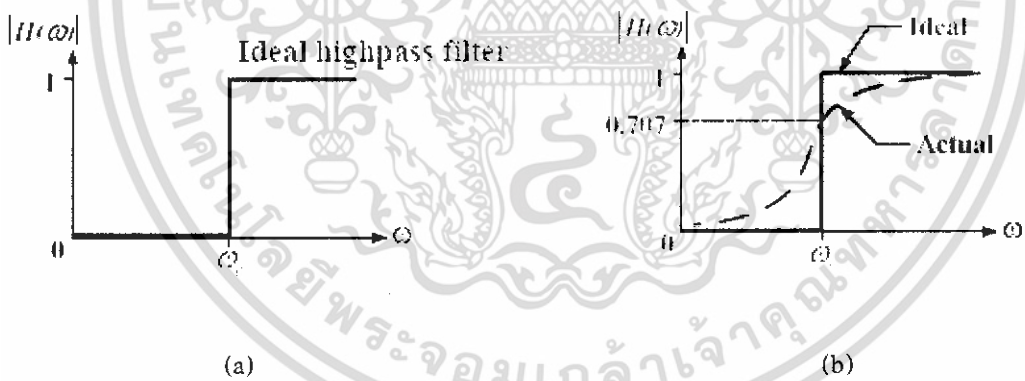
ในทำนองกลับกันย่านความถี่หยุดก็จะคือย่านความถี่อัตราขยายของวงจรตกลงมา จากค่าอัตราขยายสูงสุดเกินกว่าค่าที่กำหนด (เช่นมากกว่า 60 dB) จากรูปที่ 3.20(b) จะเห็นว่าย่านความถี่ของวงจรจะอยู่ระหว่าง 0 และ ω_p

ในทางคณิตศาสตร์คำว่าฟังก์ชันแบบโมโนโทนิก(monotonic function) คือฟังชันก์ที่มีอนุพันธ์(derivative) ที่มีเครื่องหมาย (+ , -) คงเดิมเสมอ เมื่อพิจารณาผลตอบสนองทางความถี่ในรูปที่ 3.20(b)

3.5.2วงจรกรองความถี่สูงผ่าน (High-Pass Filters)



รูปที่ 3.21 รูปแบบวงจร High-Pass Filters

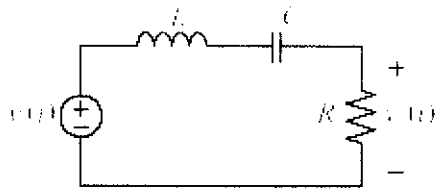


รูปที่ 3.22 รูปผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน

วงจรกรองความถี่สูงผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่สูงผ่าน แต่จะกั้นสัญญาณความถี่ต่ำไว้ รูป3.22(a) แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านในอุดมคติ รูป 3.22(b) แสดงผลตอบสนองของวงจรกรองความถี่สูงผ่านที่มีลักษณะเป็นโมโนโทนิกอย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.3 วงจรกรองแถบความถี่ผ่าน(Band-Pass Filters)



รูปที่ 3.23 รูปแบบวงจร Band-Pass Filters

(a) (b)

รูปที่ 3.24 รูปผลตอบสนองทางขนาดของวงจรแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมให้สัญญาณในช่วงความถี่ใดๆ ผ่านได้ แต่จะไม่ยอมให้สัญญาณที่มีความถี่ต่ำหรือสูงกว่าช่วงความถี่นั้นผ่านไปได้ รูปที่ 3.24 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านแบบต่างๆ โดยทั้งนี้ถ้าให้ ω_1 และ ω_2 เป็นจุดปลายของย่านความถี่ผ่านของวงจรโดย W1 < W2 เราจะพบว่าแบนด์วิดธ์ของวงจรคือ

$$BW = \omega_2 - \omega_1 \qquad (3.29)$$

และจะนิยามความถี่กลาง ว่าคือ

$$\omega_0 = \sqrt{\omega_1 \omega_2} \qquad (3.30)$$

ซึ่งโดยทั่วไปเราก็จะกำหนดให้ BW ของวงจรกรองความถี่ผ่านคือแถบความถี่ที่สัญญาณสามารถผ่านไปได้โดยมีการลดทอนไม่เกิน 3 dB นั่นคือ $BW = BW_{-3dB}$

รูปที่ 3.24(a) แสดงผลตอบสนองของวงจรกรองแถบความถี่ผ่านในอุดมคติ รูปที่ 3.24(b) แสดงผลตอบสนองของวงจรกรองแถบความถี่ผ่านที่มีอัตราขยายลดลงไปเรื่อยๆ จากจุดสูงสุดมีความถี่ ω_0 นอกจาก BW และ ω_0 แล้วค่าองค์ประกอบที่สำคัญของผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านคือค่าองค์ประกอบคุณภาพ (Quality Factor : Q)
และค่าองค์ประกอบรูปทรง (shape factor : SF)

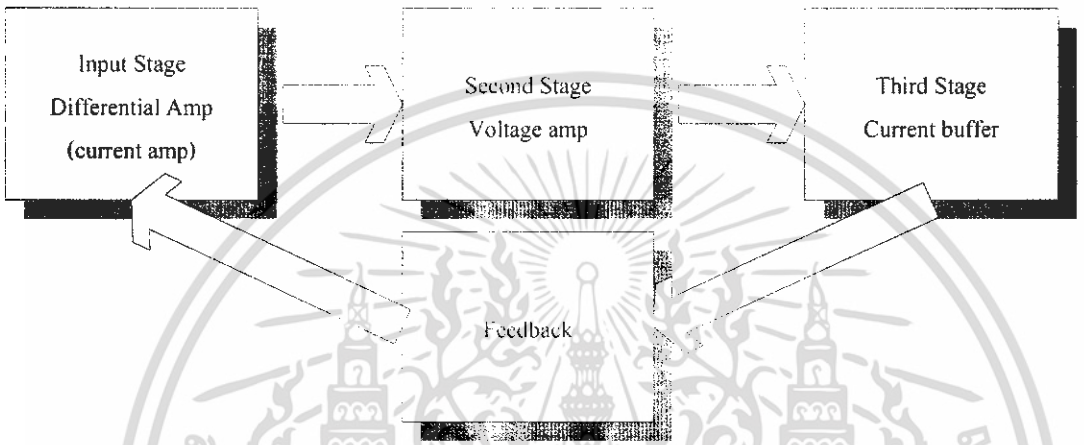
$$SF = \frac{BW_{-60dB}}{BW_{-3dB}} \qquad (3.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบ

4.1 วงจรขยายคลาส เอบี

โครงสร้างพื้นฐานวงจรขยาย



รูปที่ 4.1 รูปบล็อกไดอะแกรมวงจรคลาสเอบี

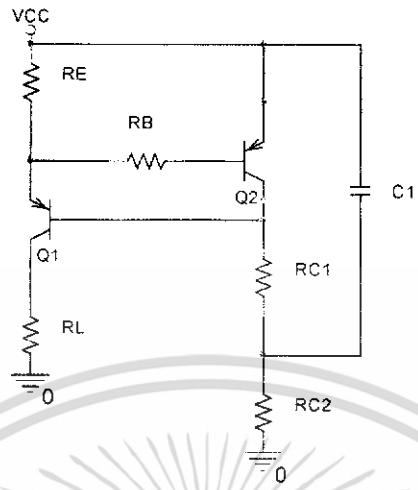
4.1.1 Input Stage

เป็นภาคแรกของวงจรขยายเสียงที่รับสัญญาณอินพุทเข้ามาซึ่งเป็นแรงขนาดเล็กจากสายสัญญาณแล้วทำการขยายสัญญาณกระแสออกไปสู่ภาคขยายแรงดันจึงมีลักษณะการทำงานที่เรียกว่า transconductance amplifier (gm) ในภาคแรกควรมีความเป็นเชิงเส้นสูงและมีสัญญาณรบกวนต่ำ ซึ่งในส่วนนี้จะมีวงจรประกอบด้วย 3 ส่วนหลักๆคือ

- วงจรจ่ายกระแสคงที่ (Constant Current Source)
- วงจรสะท้อนกระแส (Current mirror)
- วงจรขยายความแตกต่าง (Differential Amplifier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1.1วงจรจ่ายกระแสคงที่ (Constant Current Source)



รูปที่ 4.2 วงจรแหล่งจ่ายกระแสคงที่โดยใช้ทรานซิสเตอร์ 2 ตัว

จากรูปเป็นการนำทรานซิสเตอร์ Q1 และ Q2 มาสร้างเป็นวงจรจ่ายกระแสคงที่ เมื่อเริ่มทำงานกระแสจะไหลผ่าน R_E ทำให้เกิดแรงดันตกคร่อมที่รอยต่อเบส-อิมิตเตอร์ของ Q2 ทำให้ทรานซิสเตอร์ทำงานและทำให้กระแสไหลผ่าน R_{C1},R_{C2} เมื่อมีการดึงกระแสคอลเลคเตอร์ของ Q2 จะมีกระแสไหลจากเบสของ Q1 ถ้าหากว่าแรงดันตกคร่อม R_E เพิ่มขึ้น การเพิ่มขึ้นของกระแสเบสที่ขับ Q2 จะมีการดึงกระแสจากเบสของ Q1 ทำให้ค่าแรงดันที่ R_E คงที่ ถ้ากระแสเบสของ Q2 ลดลงทำให้มีการขับกระแสเบสของ Q1 มากขึ้น จึงประมาณได้ว่าแรงดันที่ตกคร่อม R_E เท่ากับแรงดัน v_{be} ของ Q2

คำนวณค่ากระแสคงที่ที่จ่ายให้กับวงจรส่วนแรก

$$I_C = \frac{0.6}{R_E} \qquad (4.1)$$

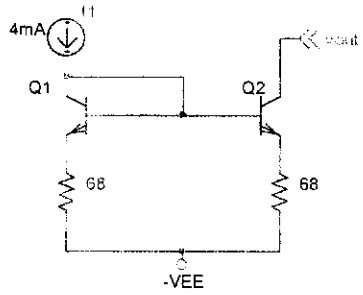
$$I_C = \frac{0.6}{150}$$

$$I_C = 4 \quad \text{mA}$$

4.1.1.2 วงจรสะท้อนกระแส (Current Mirror)

ทำหน้าที่รักษากระแสที่ไหลผ่านกิ่งทั้งสองข้างให้มีค่าเท่ากันเพื่อทำการจ่ายกระแสให้กับวงจรในส่วน differential amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

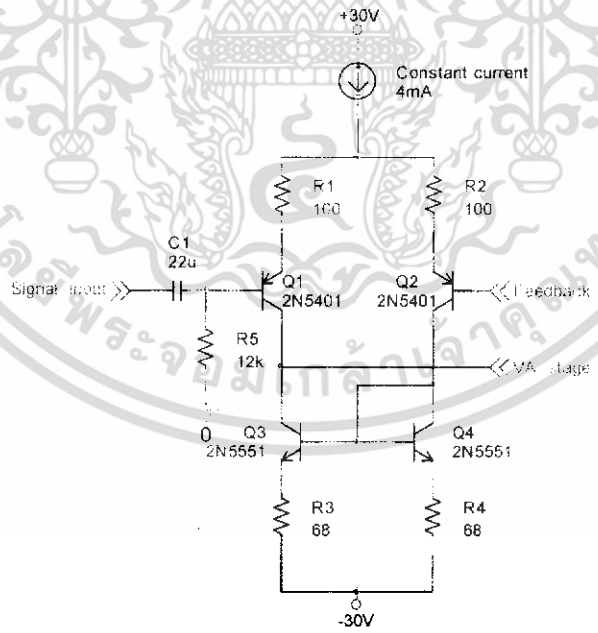


รูปที่ 4.3 วงจรสะท้อนกระแส Current Mirror

วงจร current mirror ประกอบด้วยทรานซิสเตอร์ 2 ตัวที่มีคุณลักษณะเหมือนกันทำการเชื่อมต่อขาเบสและขาอิมิเตอร์เข้าด้วยกัน จึงทำให้ Q1ทำตัวเหมือนไดโอด วงจร current mirror มีกระแสคงที่ไหลผ่าน I_{ref} และกระแสเอาท์พุทมาจาก คอลเลคเตอร์ของ Q2 ที่มีค่าเท่ากันทั้งสองข้าง

4.1.1.3 วงจรขยายความแตกต่าง (Differential Amplifier)

วงจรขยายความแตกต่างทำหน้าที่ในการเปรียบเทียบแรงดันสัญญาณที่เข้ามาด้านอินพุทกับสัญญาณที่มีการป้อนกลับมาจากภาคเอาท์พุท ให้เป็นค่ากระแสส่งไปที่ภาคขยายแรงดัน โดยมีหลักการทำงานดังนี้



รูปที่ 4.4 รูปวงจร Differential Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเมื่อสัญญาณอินพุทซีกบวกเข้ามาที่ทรานซิสเตอร์ Q1 ไม่ทำงานจึงทำให้กระแสไหลผ่านทรานซิสเตอร์ Q2 แทน เมื่อกระแสที่ไหลผ่าน Q2 จะผ่านวงจร Current Mirror ที่ทำหน้าที่รักษากระแสทั้งสองข้างให้เท่ากัน ทำให้ทรานซิสเตอร์ Q3 ดึงกระแสมาจากภาคขยายแรงดันเพื่อทำให้กระแสไหลผ่านทรานซิสเตอร์ Q3 มีค่าเท่ากับที่ไหลผ่าน Q4 เมื่อสัญญาณซีกลบเข้ามาทำให้ทรานซิสตอร์ Q1 ทำงานจึงทำให้มีกระแสไหลผ่าน Q2 น้อยลง และเมื่อกระแสที่ผ่าน Q2 ไหลเข้าสู่วงจร Current Mirror ซึ่งเป็นการบังคับให้กระแสที่ไหลผ่าน Q3 และ Q4 มีค่าเท่ากัน ค่ากระแสที่มากเกินจากที่วงจร Current Mirror ต้องการจึงมีการส่งออกไปสู่ที่ภาคขยายแรงดัน

Q1,Q2 เป็นทรานซิสเตอร์ของวงจร Differential Amplifier

Q3,Q4 เป็นทรานซิสเตอร์ที่ใช้สร้าง Current Mirror ของวงจร Differential Amplifier

R1,R2 ทำหน้าที่ลดผลความไม่เท่ากันของแรงดัน *Vbe* ของทรานซิสเตอร์ในส่วน Differential Amplifier

R3,R4 ทำหน้าที่ลดผลความไม่เท่ากันของแรงดัน *Vbe* ของทรานซิสเตอร์ในส่วน Current Mirror

R5 ความต้านทานอินพุทของวงจร

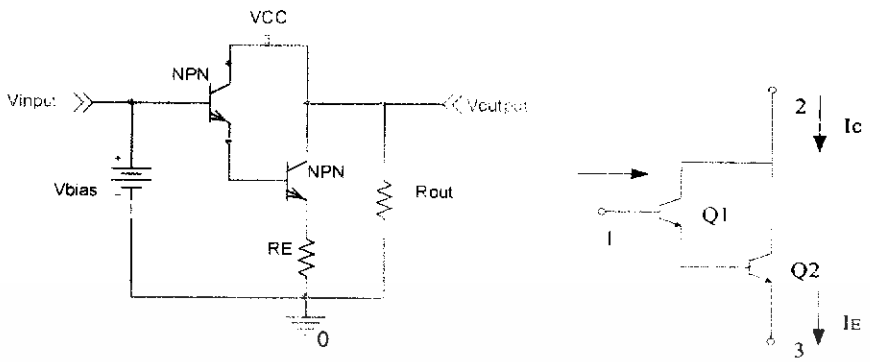
4.1.2 Second stage ภาคขยายสัญญาณแรงดัน (Voltage Amplifier)

ภาคขยายแรงดันเป็นภาคที่รับกระแสเอาท์พุทจากภาคแรก(differential amplifier stage) แล้วเปลี่ยนเป็นแรงดันที่ถูกขยาย (transimpedance amplifier) เพื่อส่งต่อไปยังภาคต่อไป โดยการออกแบบวงจรภาคนี้มีสองพารามิเตอร์ที่สำคัญที่มีผลต่อการทำงานของระบบโดยรวม คือ อัตราการขยาย และความถี่

ในทางทฤษฎี ค่าของอัตราการขยายต้องเป็นค่าที่เข้าใกล้ค่าอนันต์ หรือมากที่สุดเท่าที่จะเป็นไปได้ ในขณะเดียวกันระบบก็ต้องตอบสนองความถี่ได้ตลอดย่าน แต่ในทางปฏิบัติไม่เป็นเช่นนั้น เนื่องจากมีค่าตัวเก็บประจุแฝงในระบบ เป็นผลทำให้ระบบไม่สามารถที่จะตอบสนองความถี่สูงได้ และยิ่งในระบบแรกก็มีผลของตัวเก็บประจุแฝง ทำให้ระบบเห็นตัวเก็บประจุหลายตัว ซึ่งส่งผลโดยตรงกับความเสถียรในระบบ เราจึงต้องทำให้ระบบเห็นค่าตัวเก็บประจุตัวเดียว (capacitor compensate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2.1 วงจรขยายอิมิตเตอร์รวมที่นำมาต่อกันแบบดาร์ลิงตัน



รูปที่ 4.5 รูปวงจรดาร์ลิงตันที่ใช้สำหรับการวิเคราะห์

วิเคราะห์ที่ทรานซิสเตอร์ Q1 กับ Q2

$$I(TOT) = I_{c1} + I_{c2}$$

$$I(TOT) = \beta_1 I_{B1} + \beta_2 I_{B2}$$

ซึ่ง $I_{B2} = I_{E1} = (\beta_1 + 1) I_{B1}$

และ $I_{B(TOT)} = I_{B1}$

จะได้ $I_{C(TOT)} / I_{B(TOT)} = \beta_{TOT} = \beta_1 + \beta_1\beta_2 + \beta_2$

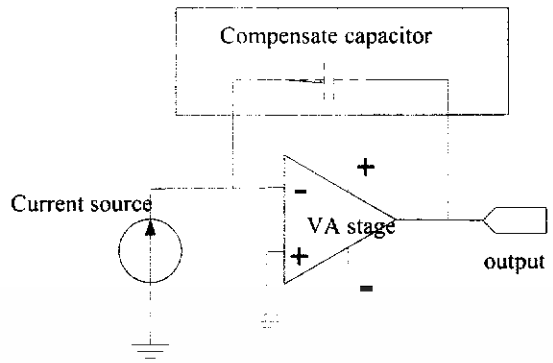
เพราะฉะนั้น $\beta_{TOT} = \beta_1\beta_2$ (4.2)

ในขณะเดียวกัน $V_{BE(TOT)} = V_{BE1} + V_{BE2}$ (4.3)

จากรูปในส่วนนี้จะมีอัตราขยายเป็นสองเท่าของวงจรที่ใช้ทรานซิสเตอร์เพียงตัวเดียว โดยอัตราขยายของวงจรจะขึ้นอยู่กับค่าความต้านทานที่ขาคอลเลคเตอร์ และในขณะที่วงจรที่ใช้จริงที่ขาคอลเลคเตอร์ (Rout) เป็นแหล่งจ่ายกระแสคงที่ซึ่งมีเอาท์พุทอิมพิแดนซ์สูงมาก เป็นผลทำให้อัตราขยายเปิดลูป(Open loop)มีค่าสูงมากเข้าใกล้ค่าอนันต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2.2 การออกแบบการตอบสนองถวามถี่ของระบบ



รูปที่ 4.6 รูปที่ใช้ในการออกแบบกระแสชาร์จตัวเก็บประจุ และผลตอบสนองความถี่

$$P_1 = -\frac{1}{G_m RiRoCc} \tag{4.4}$$

$$P_2 = -\frac{G_m Cc}{CiCo + Cc(Ci + Co)} \cong -\frac{G_m}{(Ci + Co)} \tag{4.5}$$

เราเลือกค่าตัวเก็บประจุที่ทำให้ โพล1 (P1) กับ 2 (P2) ให้อยู่ไกลกันโดยให้ค่าอัตราการขยายแรงดันไม่ตกลงมากเราจึงเลือกค่า Cc = 150 pF สามารถตอบสนองความถี่ที่ 100 kHz เอาท์พุทที่ออกจากส่วนขยายแรงดันประมาณ 50โวลต์

4.1.2.3 หาค่ากระแสชาร์จตัวเก็บประจุให้พอเพียงจากสมการ

CCipk คือ กระแสชาร์จตัวเก็บประจุ

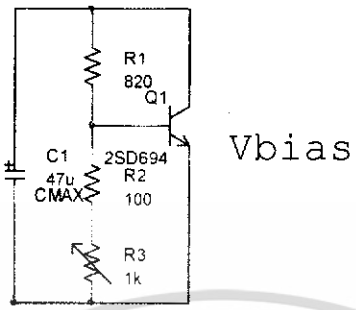
$$CC_{ipk} = 4 * 6.28 * frequency * CC_{farads} * E_{pK(VA)} \tag{4.6}$$

$$CC_{ipk} = 4 * 6.28 * 100 * 10^{3} * 150 * 10^{-12} * \approx 4\,\text{mA}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3ภาคขยายกระแส (Output Stage)

4.1.3.1วงจรทวีไบอัส



รูปที่ 4.7 รูปวงจรไบอัสกระแสคงที่

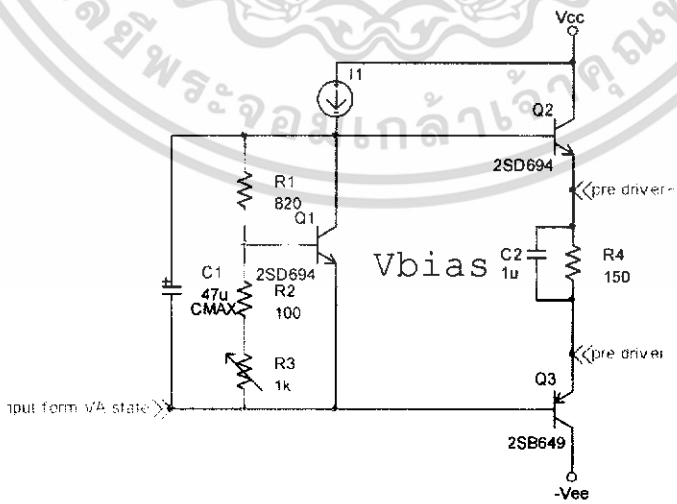
ทรานซิสเตอร์ในรูป เป็นทรานซิสเตอร์ที่ไบอัสโดยเราใช้ทรานซิสเตอร์เบอร์ 2 SD 669 เพื่อที่จะทำหน้าที่จ่ายกระแสไอเดิลให้ถูกต้อง โดยขนาดของกระแสไอเดิลจะขึ้นอยู่กับการไบอัสนี้ ถ้าไบอัสไม่ถูกต้องจะทำให้กระแสไอเดิลมากเกินไป ทำให้ทรานซิสเตอร์และแผงระบายความร้อนเกิดความร้อนขึ้นได้ โดยจากรูป 3.6 สามารถหาแรงดันไบอัสคำนวณได้จากสมการ

$$V_{bias} = \frac{(R_1 + R_2 + R_3)}{R_2 + R_3} * 0.6 \qquad (4.7)$$

$$= \frac{(820 + 100 + 173)}{100 + 173} * 0.6$$

$$\approx 2.4 \text{ V}$$

4.1.3.2วงจรทรานซิสเตอร์ไดเวอร์ (Driver Transistor)



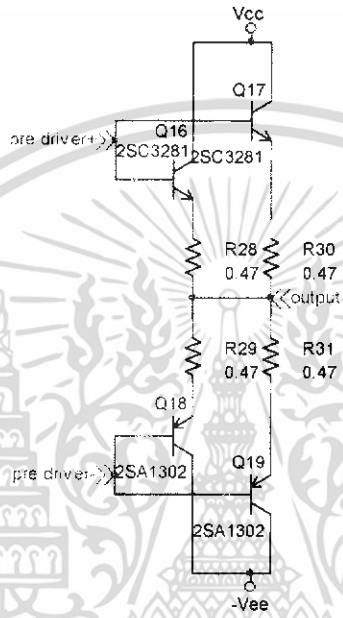
รูปที่ 4.8 รูปวงจรไบอัสกระแสคงที่และวงจรทรานซิสเตอร์ไดเวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากที่มีแรงดันไบอัสมาที่ทรานซิสเตอร์ไดเวอร์แล้ว ทรานซิสเตอร์ไดเวอร์นี้จะทำการขยายกระแสขึ้นมา แล้วส่งต่อไปที่ทรานซิสเตอร์เอาท์พุทโดยกระแสที่ส่งต่อไปที่ทรานซิสเตอร์เอาท์พุทนั้นจะขึ้นอยู่กับค่า β ของทรานซิสเตอร์ไดเวอร์ ซึ่งสามารถหาค่ากระแสได้จากสมการ

$$I_{drive} = \beta I_{bias} \qquad (4.8)$$

4.1.3.3ทรานซิสเตอร์เอาท์พุท



รูปที่ 4.9 รูปเอาท์พุททรานซิสเตอร์ Buffer ที่ต่อกันแบบขนาน

กระแสที่ถูกส่งมาจากทรานซิสเตอร์ไดเวอร์จะเข้ามาที่ขั้วเบสของเอาท์พุททรานซิสเตอร์ โดยทรานซิสเตอร์เอาท์พุทจะมีการต่อกันแบบคอมพลีเมนทารี่ ซึ่งทรานซิสเตอร์ตัวบนนั้นจะเป็นตัวขยายแรงดันในซีกบวกและทรานซิสเตอร์ตัวล่างทำการขยายแรงดันในซีกลบ การต่อของทรานซิสเตอร์เอาท์พุทนั้นจะเป็นแบบอิมิตเตอร์โฟลโลเวอร์หรือคอมมอนคอลเลคเตอร์ซึ่งมีจุดเด่นคือสามารถขยายกระแสให้มีค่ามากได้โดยค่าอัตราขยายแรงดันจะเท่ากับ 1 ทรานซิสเตอร์เอาพุทนี้จะเป็นตัวขยายกระแสภาคสุดท้ายเพื่อเพียงพอต่อการขับโหลด 8 โอห์ม ซึ่งการต่อทรานซิสเตอร์เอาพุทแบบขนานกันตามรูปจะทำให้ทรานซิสเตอร์เอาท์พุทนั้นช่วยกับขับโหลดซึ่งเป็นลำโพงที่มีความต้านทาน 8 โอห์มได้ ซึ่งค่ากระแสที่ได้จากภาคเอาท์พุทในส่วนของทรานซิสเตอร์เอาท์พุทนั้นจะเป็นรูปแบบของทรานซิสเตอร์ไดเวอร์และทรานซิสเตอร์เอาท์พุทนั้นต่อแบบดาร์ลิงตันกัน โดยเราสมมติให้ค่าอัตราขยายกระแสของทรานซิสเตอร์ไดเวอร์นั้นเท่ากับ β_1 และ ค่าอัตราขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสของทรานซิสเตอร์เอาท์พุทเท่ากับ β_2 ดังนั้นสมการของกระแสที่ได้จากทรานซิสเตอร์เอาท์พุทนั้นจะมีสมการ

$$I_{out} = \beta_1\beta_2 I_{bias} \qquad (4.9)$$

ซึ่งในการคำนวณเราต้องหากระแสที่ป้อนเข้าภาคขับเพื่อที่จะสามารถขับทรานซิสเตอร์เตอร์ทั้ง 2 ภาคได้ จากการที่เรากำหนดให้เพาเวอร์แอมป์นั้นมีกำลังขยาย 40 วัตต์โดยวิธีคำนวณมีดังนี้

$$I_{rms} = \sqrt{\frac{p}{R}} = \sqrt{\frac{40}{8}} = 2.24 \text{ A}$$

$$I_m = \sqrt{2} I_{rms} = \sqrt{2} * 2.24 = 3.17 \text{ A}$$

ซึ่งเราสามารถหาค่ากระแสที่ป้อนเข้าภาคขับในซีกบวก(ซีกลบก็คิดแบบเดียวกัน)ได้โดยเราให้ทรานซิสเตอร์ไดเวอร์เบอร์ 2SD 669 ซึ่งมีค่า β เท่ากับ 60 และใช้ทรานซิสเตอร์เอาท์พุทเบอร์ 2 SC 3281 ซึ่งมีค่า β เท่ากับ 55 ดังนั้นกระแสที่ป้อนเข้าที่ทรานซิสเตอร์ไดเวอร์จะสามารถหาได้ดังนี้

จากสมการที่ 4.9 จะได้ $I_{bias} = \dfrac{I_m}{\beta_1\beta_2}$

$$I_{bias} = \frac{3.17}{60 * 55} = 0.96 \text{ mA}$$

4.1.3.4 การออกแบบหาค่าไฟเลี้ยงให้กับเครื่องขยายเสียง

เราต้องการออกแบบเครื่องขยายเสียงที่มีกำลังเอาท์พุทขนาด 40 วัตต์ สิ่งที่ต้องคำนึงถึงก่อนเป็นลำดับแรกคือการคำนวณหาขนาดของแหล่งจ่ายไฟ

1.การหาขนาดของกระแสสูงสุด ซึ่งถ้าเลือกใช้ลำโพงขนาด 8 โอห์ม กระแสที่ไหลในทรานซิสเตอร์หาได้จาก $P = I^2R$ จะได้ $I = \sqrt{P/R} = \sqrt{40/8} = 2.24$ A แต่กระแสที่คำนวณได้เป็นแค่ rms ดังนั้นกระแสสูงสุด $I_m = \sqrt{2} * I = \sqrt{2} * 2.24 = 3.17$ A

2.คำนวณแรงดันที่ตกคร่อมตัวต้านทาน 0.47 โอห์ม เมื่อมีกระแสขนาด 3.17 A ไหลผ่านตัวต้านทาน 0.47 โอห์ม จะทำให้เกิดแรงดันตกคร่อมเท่ากับ 3.17*0.47= 1.49 V

3.คำนวณแรงดันจ่ายไฟโดยประมาณ เพื่อให้ได้กำลังเอาท์พุทสูงสุดขนาด 40 วัตต์ จะต้องใช้แรงดันแหล่งจ่ายไฟอย่างน้อยเท่ากับ $\sqrt{16} * P_O = \sqrt{16 * 40} = 25.3$ V

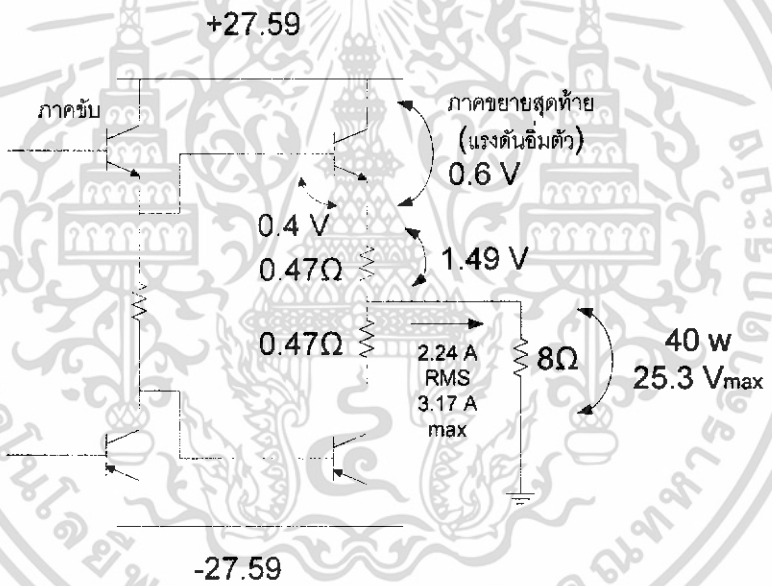
4.การเลือกทรานซิสเตอร์ในภาคเอาท์พุท ทรานซิสเตอร์ในภาคขยายสุดท้ายต้องมีคุณสมบัติ ยอมให้กระแสไฟฟ้าไหลได้มากกว่า 3.17 A และสามารถทนแรงดันได้มากกว่า 2 เท่าของแรงดันจ่ายไฟ (เพราะว่าเมื่อมีทรานซิสเตอร์ตัวหนึ่งนำกระแส ทรานซิสเตอร์อีกตัวหนึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานในย่านคัทออฟ ดังนั้นแรงดันที่คร่อมทรานซิสเตอร์ตัวที่คัทออฟจะเป็น $-V_C$ ข้างหนึ่งและ $+V_C$ ข้างหนึ่ง ดังนั้นจึงคร่อมทรานซิสเตอร์ตัวที่คัทออฟจะเป็น $-2V_C$) นั่นคือต้องทนแรงดันได้มากกว่า 25.3*2 = 50.6 V นอกจากนั้นยังต้องมีค่าอัตราขยายกระแส h_{fe} สูง ค่าความถี่ทรานซิสชัน F_T สูง และมีค่าคอลเลคเตอร์คาปาซิแตนซ์ C_{ob} น้อยและแรงดันคอลเลคเตอร์กับอิมิตเตอร์เมื่อทรานซิสเตอร์นำกระแสจนอิ่มตัว(V_{CEsat}) เท่ากับ 0.4 V

5.การคำนวณในแรงดันภาคขับ การคำนวณในภาคขับใช้วิธีเดียวกับที่คำนวณในภาคขยายสุดท้ายของการคำนวณ ให้แรงดันอิ่มตัวคอลเลคเตอร์กับอิมิตเตอร์เท่ากับ 0.4 V ดังนั้นแหล่งจ่ายไฟ

6.คำนวณแรงดันจ่ายไฟที่ใช้จริง แรงดัน 25.3 V ที่คำนวณได้นั้นเป็นแรงดันค่าประมาณแหล่งจ่ายไฟที่ใช้จริงจะต้องมีค่าจากองค์ประกอบอื่นๆ ด้วย ดังนั้นแรงดันที่ใช้จริงทั้งหมดเท่ากับ 25.3+1.49+0.4 +0.4= 27.59 V ต้องใช้อย่างน้อยเท่ากับ 27.59 V

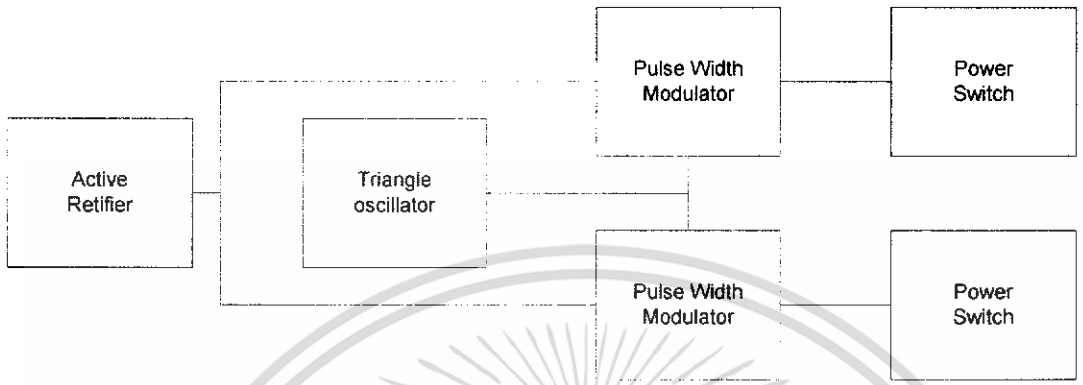


รูปที่ 4.10 รูปโดยค่าแรงดันนี้จะเป็นแรงดันที่มาจากแหล่งจ่ายไฟให้กับเพาเวอร์แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

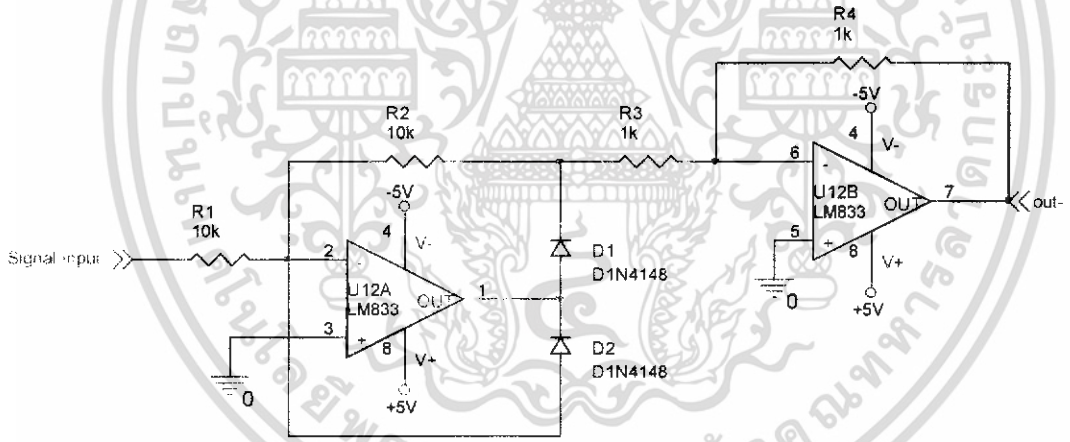
4.2วงจรสวิทซ์ชิ่งที่สามารถเปลี่ยนแปลงแรงดัน (Tracking Switching Supply)

โครงสร้างวงจรสวิทซ์ชิ่งที่สามารถเปลี่ยนแปลงแรงดันพื้นฐาน



รูปที่ 4.11 รูปบล็อคไดอะแกรมของวงจรสวิทซ์ชิ่งที่สามารถเปลี่ยนแปลงแรงดันพื้นฐาน

4.2.1 แอคทีฟ เรคติไฟเออร์(Active Rectifier)



รูปที่4.12 รูปวงจร Active rectifier และ วงจรอินเวอร์ติง(inverting amp)

วงจรแอคทีฟ เรคติไฟเออร์ใช้หลักการของออปแอมป์ คือ อัตราขยายลูปเปิด ในจังหวะแรกจากนั้นกระแสจะถูกบังคับด้วยไดโอด

จากวงจรเมื่อแรงดันขาเข้า(V_{in}) เข้ามาเป็นลบ จะทำให้ไดโอด(D_1) ทำการเทรินออน และไดโอด(D_2) ทำการเทรินออฟ จากเงื่อนไขนี้จะทำให้วงจรทำงานแบบ closed loop gain โดยมีค่าอัตราการขยายเท่ากับ 1 (unity gain) ดังนั้นค่าแรงดันขาออก(V_{off}) ที่ได้จะมีค่าเปลี่ยนแปลงแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับเฟสตาม แรงดันขาเข้า และเมื่อแรงดันขาเข้ามีค่าเป็นบวกไดโอด(D_2) ทำการเทรินออน และไดโอด(D_1) ทำการเทรินออฟ จะทำให้วงจรไม่มีการทำงานแบบ closed loop gainโดยจากรูปแบบวงจรนี้ไดโอด(D_2) จะทำหน้าที่ยกระดับแรงดันเพื่อที่จะทำให้วงจรพร้อมที่จะตอบสนองเมื่อไดโอด(D_1) ทำการเทรินออน และ ไดโอด (D_2) ทำการเทรินออฟ อีกครั้ง

จาก $$Av = -\frac{R_2}{R_1} \qquad (4.10)$$

ดังนั้น อัตราขยายของวงจร(A_v) $$Av = \left(-\frac{R2}{R1}\right) \times \left(-\frac{R4}{R3}\right)$$

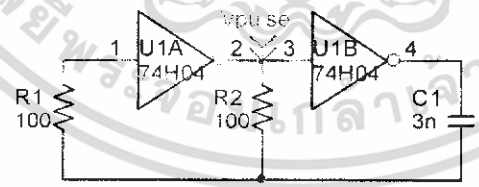
โดย $R_1=R_2=10k\Omega$,$R_3=R_4=1k\Omega$ จะได้

$$Av = 1$$

4.2.2 วงจรสร้างสัญญาณพาหะรูปสามเหลี่ยม

เพื่อที่จะสร้างสัญญาณพัลส์ที่เปลี่ยนแปลงความกว้างตามความถี่ มีการใช้คลื่นสามเหลี่ยมเป็นคลื่นความถี่พาหะ จึงนำไปเปรียบเทียบกับสัญญาณขาเข้า ในทางทฤษฎีความถี่พาหะต้องมีค่าเป็นสองเท่าของความถี่ที่นำมาอดดูเลท ซึ่งในการเลือกให้ความถี่ของคลื่นพาหะมีความถี่สูง จะทำให้ค่าความถี่ของสัญญาณพาหะถูกเลื่อนออกจากความถี่เสียง แต่ค่าความถี่พาหะเพิ่มมากขึ้นความถี่ในการสวิทช์ก็เพิ่มมากขึ้นเป็นผลทำให้เกิดการสูญเสียจากการสวิทช์มากขึ้น และเกิดผลของสัญญาณรบกวนมากขึ้น

สัญญาณพาหะรูปสามเหลี่ยมในโครงงานนี้ จะนำสัญญาณสี่เหลี่ยมจาก CMOS Oscillator มาทำการอินทิเกรตให้เป็นสัญญาณสามเหลี่ยม สัญญาณความถี่ 225 Khz นำไปผ่านวงจรอินทิเกรเตอร์จะได้สัญญาณสามเหลี่ยม



รูปที่ 4.13 รูปวงจร CMOS Oscillator แบบ two date oscillator

เราสามารถคำนวณหาความถี่พาหะได้จาก สูตร โดย $R_1 = R_2 = R$

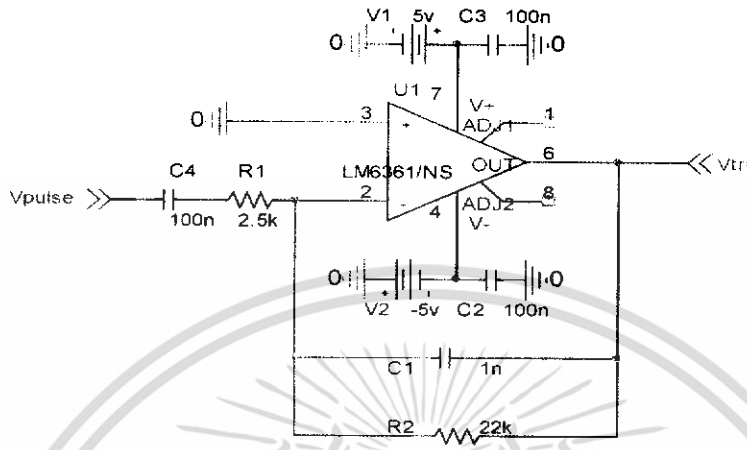
$$f \cong \frac{0.559}{RC} \qquad (4.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ค่า $R_1 = R_2 = R = 1K$ และ $C = 2.5$ nF

จะได้ ค่าความถี่พาหะ (f)

$$f \cong 223kHz$$



รูปที่ 4. 14 รูปวงจร OP-AMP อินทิเกรเตอร์

จากรูปที่ จะได้ความสัมพันธ์ระหว่าง Vout(Vtri) กับ Vin (Vpulse)

$$V_{out} = \frac{-1}{R_1 C_1} \int_0^t V_{in}\, dt \qquad (4.12)$$

จากสมการ ถ้าประมาณค่าทางคณิตศาสตร์ใหม่จะได้

$$\frac{V_o(S)}{V_i(S)} = -\frac{R_2 / R_1}{1 + sCR_2} \qquad (4.13)$$

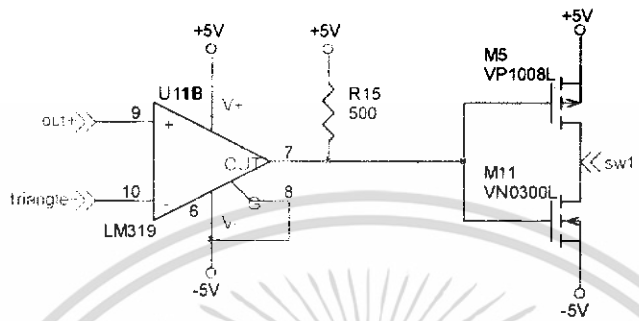
กำหนดสัญญาณสามเหลี่ยมมีขนาด 2 Vpp , R_1 = 2.5k , C_1 = 1nF และ R_2 = 22k

การที่เรากำหนดค่า R_1และ R_2 เพื่อให้เกิดความมั่นใจว่าค่า DC Gain มีค่าจำกัด ดังนั้นค่า R_2 จึงนำมาต่อขนานกับ C_1 การที่ R กับ C ต่อขนานเปรียบเสมือนวงจรกรองความถี่ลำดับที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรภาคพัลส์วิดมอดดูเลเตอร์(PWM) และวงจรขับ (Inverter Driver)

เป็นการนำสัญญาณสามเหลี่ยม โดยสัญญาณสามเหลี่ยมเรียกว่าสัญญาณพาหะจะนำมาเปรียบเทียบกับสัญญาณเสียงขาเข้า ซึ่งจะได้เอาท์พุทที่มีลักษณะเป็นพัลส์ที่เปลี่ยนแปลงความกว้างตามความถี่



รูปที่ 4.15 รูปวงจรพัลส์วิดมอดดูเลเตอร์ (pulse width modulator)

จากรูปใช้วงจรเปรียบเทียบสัญญาณ(comparator) มาเปรียบเทียบสัญญาณพาหะ กับสัญญาณเสียงขาเข้า โดยใช้ไอซี LM319 เป็นตัวเปรียบเทียบสัญญาณ

ทำหน้าที่ในการขับกระแส และ แรงดันจากภาคพัลส์วิดมอดดูเลเตอร์ (PWM) ให้เพิ่มขึ้นเพียงพอที่จะขับวงจรทรานซิสเตอร์สนามไฟฟ้าในภาคขยายกำลังแบบสวิทช์(Power Switch)

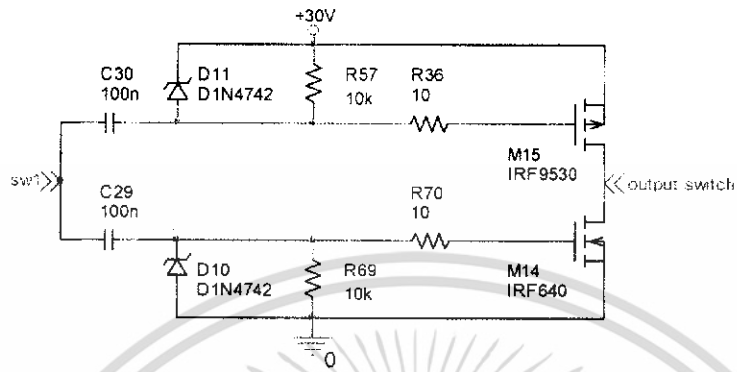
จากรูปเราใช้ทรานซิสเตอร์สนามไฟฟ้าต่อกันแบบอินเวอร์เตอร์ ซึ่งเป็นรูปแบบเดียวกับวงจร CMOS Inverter และมีวงจรมีรูปแบบการทำงานแบบสลับการทำงานกัน คือ Pmos กับ Nmos จะสลับการทำงานกัน โดยวงจรยังมีข้อดีอีกอย่าง คือวงจรนี้มีค่าอินพุทอิมพิแดนซ์ที่สูงมาก และเอาท์พุทอิมพิแดนซ์ที่ต่ำมาก

วงจรในภาคขับนี้ ควรจะเลือกทรานซิสเตอร์แบบสนามไฟฟ้าที่มีความสามารถรองรับกระแสได้สูงพอที่จะป้อนให้กับตัวเก็บประจุ ในขาเกต Power MOSFET ภาคเพาเวอร์สวิทช์นั่น โดยเราใช้ทรานซิสเตอร์เบอร์ VP1008L และ VN0300L ซึ่งมีคุณสมบัติที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรขยายกำลังแบบสวิทซ์ Power MOS Amplifier

จากรูปเป็นรูปแบบการต่อแบบ Push-Pull โดยการต่อลักษณะนี้จะมีลักษณะการทำงานคล้ายกับส่วน Inverter Driver คือมี ทรานซิสเตอร์ PMOS กับ NMOS ซึ่ง PMOS กับ NMOS จะทำงานสลับหน้าที่กัน



รูปที่ 4.16 รูปวงจรขยายกำลังแบบสวิทช์

อ้างอิงจากวงจร Buck converter พื้นฐาน เราสามารถหาความสัมพันธ์ระหว่างอินพุทและเอาท์พุทได้จาก

$$\frac{V_{OUT}}{V_{IN}} = D \qquad (4.14)$$

ขณะที่วงจรทำงานสภาวะปกติ คือ ไม่มีสัญญาณจาก input เราทำการออกแบบค่า Duty Ratio เท่ากับ $\frac{1}{3}$ ซึ่งค่านี้เป็นแรงดันพื้นฐานที่ใช้จ่ายให้กับวงจรคลาส เอ-บี โดยค่า Duty Ratioนี้สามารถเปลี่ยนแปลงได้ตามอินพุท

จากสมการที่ (4.14) ค่าDuty Ratio $\geq$ 1/3 , Vin = 30 V เราจะได้

$$30V \geq V_{OUT} \geq 10V \qquad (4.15)$$

การออกแบบที่ทำให้ได้ค่า V_{OUT} ให้ได้อยู่ในเงื่อนไขสมการที่ (4.15) เราต้องทำการออกแบบวงจรกรองสัญญาณความถี่ต่ำ โดยการออกแบบต้องคำนึงถึงเรื่องเฟสด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

5.1 ประสิทธิภาพของวงจรขยายกำลัง

ในการทดลองจะทำการป้อนสัญญาณรูปไซน์ ที่ความถี่ 1kHz, 10 kHz, 20 kHz และมีขนาดเท่ากับ 1Vpp, 500Vpp, 100Vpp และทำการวัดค่าของสัญญาณขาออกโดยใช้ โหลดเป็นตัวต้านทานเท่ากับ 8 โอห์ม

เราสามารถคำนวนหาค่ากำลังที่เข้าและ กำลังที่ออกได้ตามสมการ

$$Pin(DC) = VccIcc + VeeIee \qquad (5.1)$$

$$Pout = \frac{(Vrms)^2}{R_l} \qquad (5.2)$$

4.1.1 ผลการทดลองจริงจากวงจรคลาส เอบี

ตารางที่ 5.1ประสิทธิภาพของวงจรที่สัญญาณไซน์ความถี่ 20 kHz Vcc = 30 V , Vee = -30 V

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms))	P_{out} (W.)	η(%)
1	0.885	0.882	53.01	14.93	27.86	52.56
0.5	0.486	0.486	29.16	7.67	7.35	25.20
0.1	0.209	0.209	12.54	1.60	0.32	2.55

ตารางที่ 5.2 ประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 10 kHz Vcc = 30 V , Vee = -30 V

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms)	P_{out} (W.)	η(%)
1	0.893	0.890	53.49	14.93	27.86	52.08
0.5	0.486	0.486	29.16	7.70	7.41	25.03
0.1	0.205	0.205	12.30	1.61	0.32	2.60

ตารางที่ 5.3 ประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 1 kHz Vcc = 30 V , Vee = -30 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms)	P_{out} (W.)	η(%)
1	0.866	0.866	51.96	15.06	28.35	54.56
0.5	0.491	0.490	29.43	7.61	7.24	24.60
0.1	0.208	0.208	12.48	1.56	0.30	1.94

4.1.2 ผลการทดลองจริงจากวงจรคลาสดี

ตารางที่ 5.4 ประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 20 kHz Vcc = 30 V , Vee = -30 V

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms)	P_{out} (W.)	η(%)
1	0.952	0.882	55.02	17.03	36.25	65.88
0.5	0.538	0.420	28.74	10.00	12.5	43.49
0.1	0.424	0.222	19.38	4.09	2.19	11.30

ตารางที่ 5.5ประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 10 kHz Vcc = 30 V , Vee = -30 V

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms))	P_{out} (W.)	η(%)
1	1.013	0.773	53.58	18.16	41.22	76.93
0.5	0.538	0.345	26.49	9.07	10.28	38.80
0.1	0.472	0.216	20.64	3.89	1.89	9.15

ตารางที่ 5.6 ประสิทธิภาพของวงจรที่สัญญาณไซน์ความถี่ 1 kHz Vcc = 30 V , Vee = -30 V

V_{in} (V_{pp})	I_{cc} (A.)	I_{ee} (A.)	P_{in} (W.)	V_{out} (Vrms)	P_{out} (W.)	η(%)
1	0.722	0.711	42.99	15.06	28.35	65.94
0.5	0.519	0.324	25.29	9.25	10.70	42.31
0.1	0.413	0.221	19.02	4.31	2.32	12.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

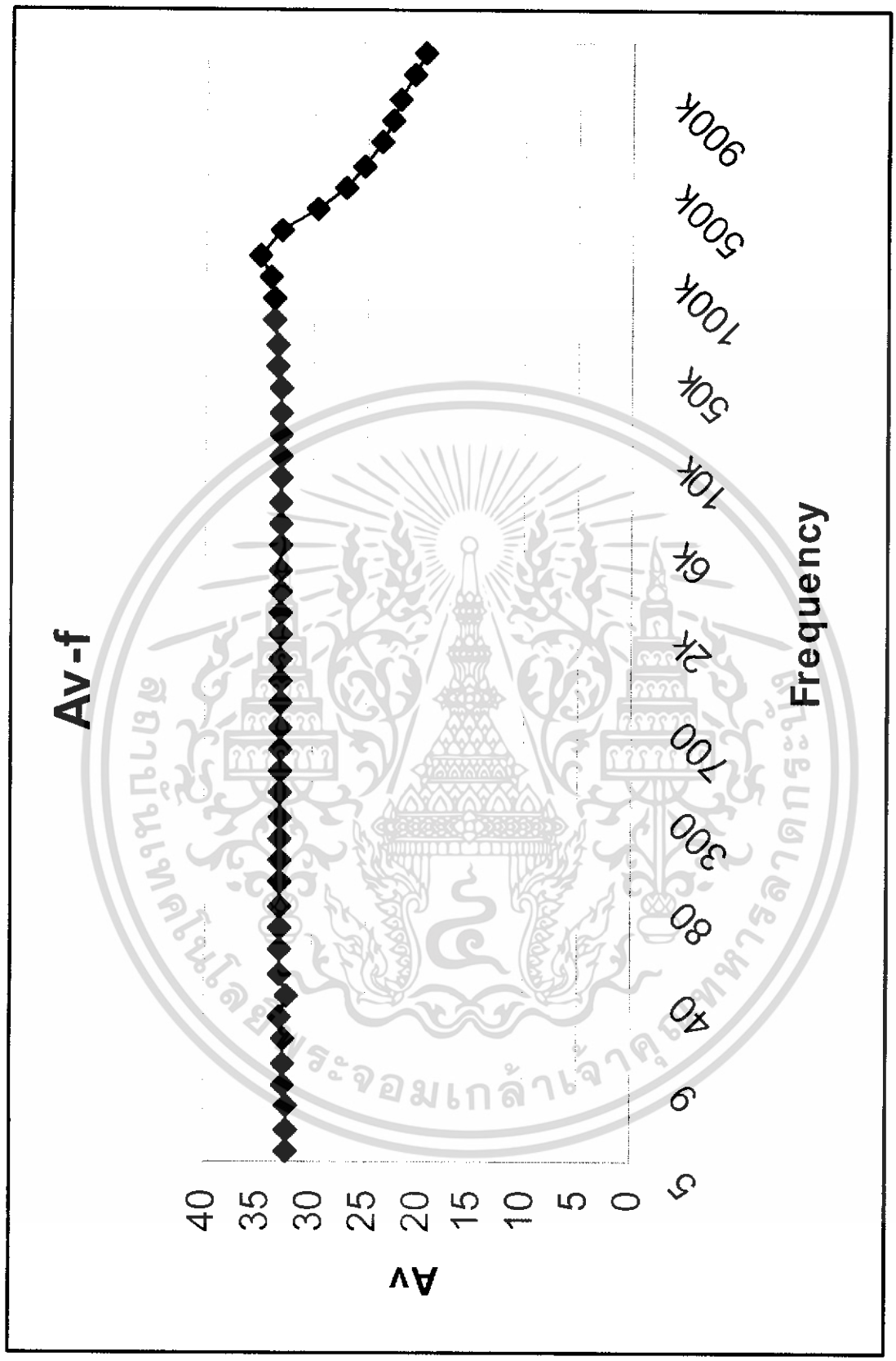
5.2 ผลการตอบสนองความถี่

ผลตอบสนองความถี่เป็นตัวแปรที่สำคัญที่สามารถบอกค่าอัตราขยายเทียบกับความถี่ โดยในการทดลองนี้เราทำการทดลองโดยป้อนสัญญาณอินพุทรูปไซน์ที่มีขนาดคงที่ 1Vpp และวัดสัญญาณที่ทางขาออก ที่ความถี่ต่างๆ เราใช้ความถี่ตั้งแต่ 5Hz ถึง 1MHz

5.2.1 ผลการตอบสนองความถี่โดย Vin = 1Vpp

f (Hz)	$V_{out}(V_{pp})$	A_v(dB)	f (Hz)	$V_{out}(V_{pp})$	A_v(dB)	f (Hz)	$V_{out}(V_{pp})$	A_v(dB)
5	41.2	32.30	400	44.4	32.95	30k	44.4	32.95
6	41.6	32.38	500	44.4	32.95	40k	45.6	33.18
7	41.6	32.38	600	44.4	32.95	50k	46.0	33.26
8	42.4	32.55	700	44.4	32.95	60k	47.4	33.52
9	42.8	32.63	800	44.4	32.95	80k	48.4	33.70
10	42.8	32.63	900	44.4	32.95	90k	50.0	34.00
20	43.6	32.79	1k	44.4	32.95	100k	55.2	34.84
30	44.0	32.37	2k	44.4	32.95	200k	43.6	32.79
40	44.2	32.91	3k	44.4	32.95	300k	30.0	29.54
50	44.4	32.95	4k	44.4	32.95	400k	22.4	27.00
60	44.4	32.95	5k	44.4	32.95	500k	18.4	25.30
70	44.4	32.95	6k	44.4	32.95	600k	14.8	23.40
80	44.4	32.95	7k	44.4	32.95	700k	13.6	22.67
90	44.4	32.95	8k	44.4	32.95	800k	12.4	21.87
100	44.4	32.95	9k	44.4	32.95	900k	10.8	20.67
200	44.4	32.95	10k	44.4	32.95	1M	9.2	19.35
300	44.4	32.95	20k	44.4	32.95			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



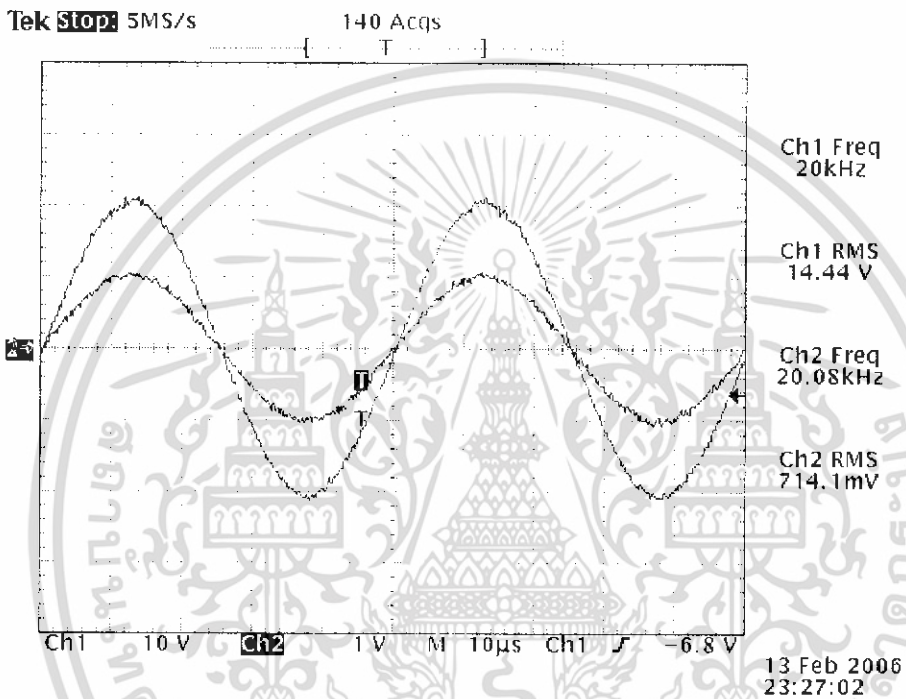
รูปที่ 5.1 รูปผลการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออก

ในการทดลองในส่วนนี้ทำการป้อนสัญญาณที่ input ขนาด 1Vpp ที่ความถี่ 1kHz 10 kHz 20kHz ซึ่งเราจะแสดงผลกราฟโดยเปรียบเทียบระหว่างสัญญาณ input และสัญญาณ output ดังรูปการทดลอง และ Fast Fourier Transform (FFT)

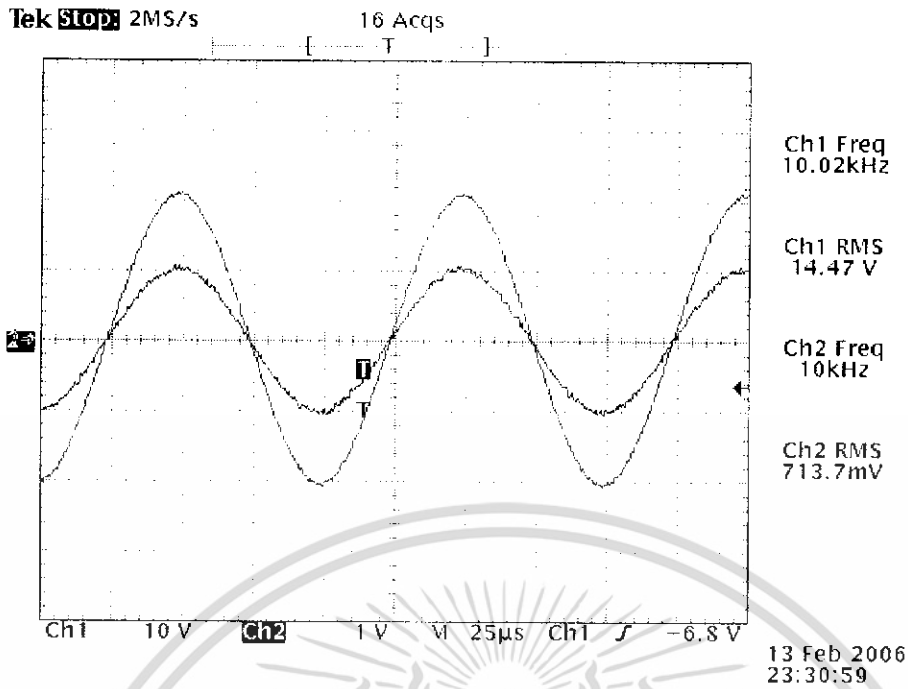
5.3.1 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออกของวงจรคลาส เอ – บี



รูปที่ 5.2 แสดงสัญญาณ input และ output ที่ความถี่ 20 kHz

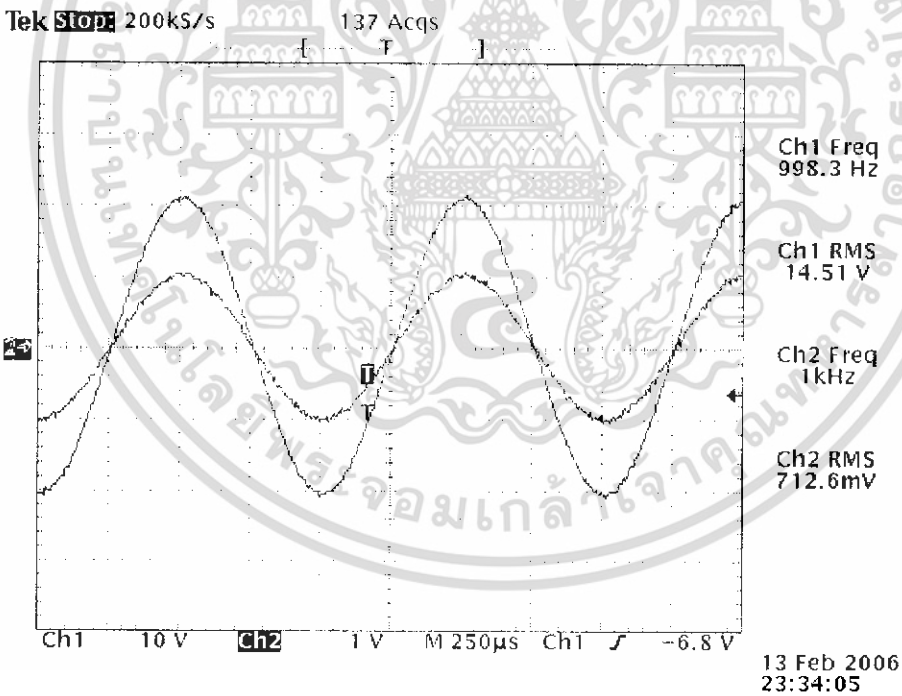
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz

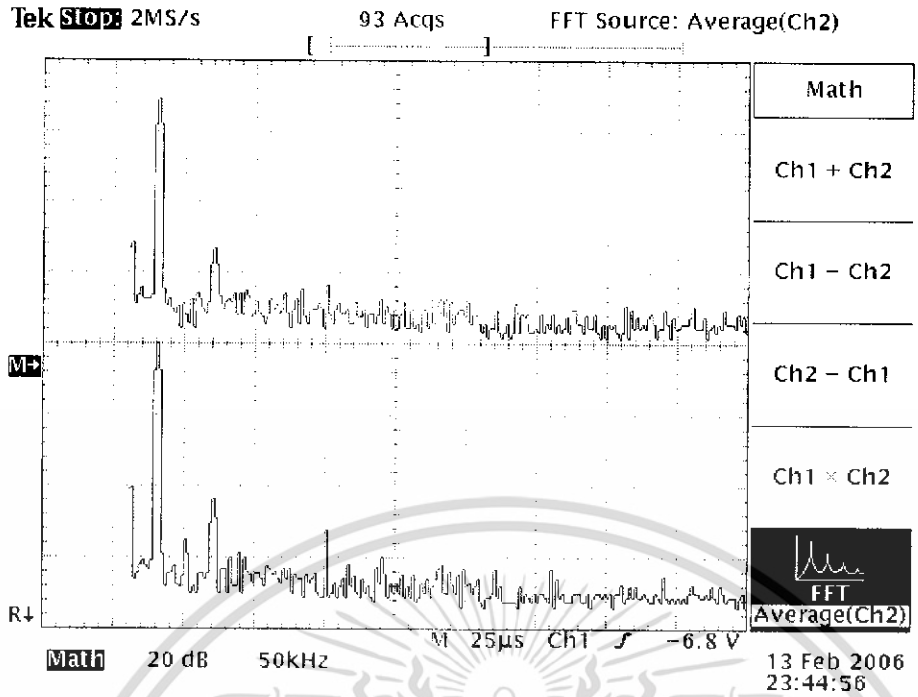
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input



รูปที่ 5.4 แสดงสัญญาณ input และ output ที่ความถี่ 1 kHz

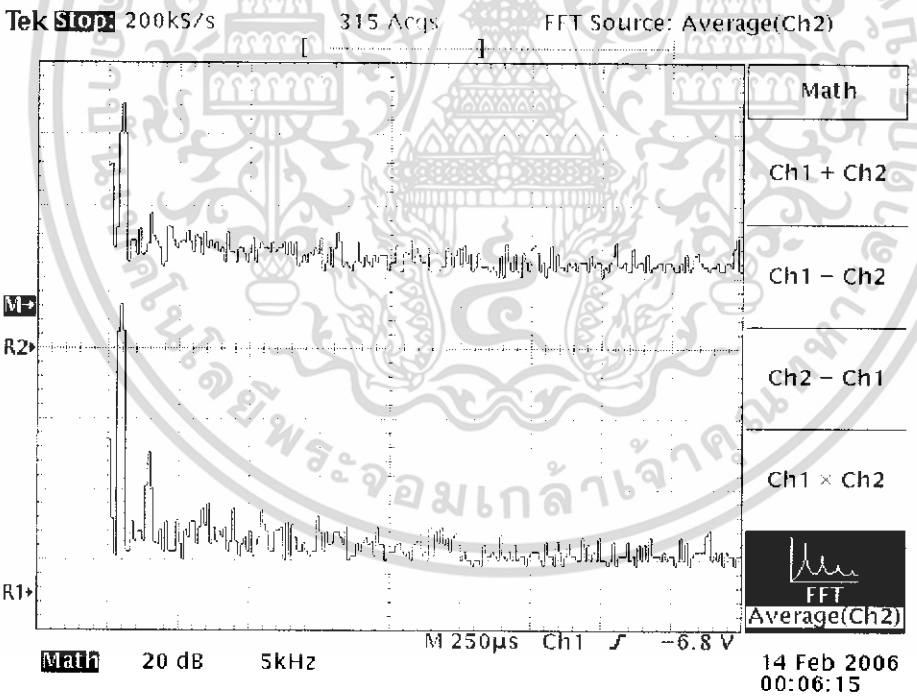
โดย CH1 คือ สัญญาณ output และ CH2 คือ สัญญาณ input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงสัญญาณFFT input และ output ที่ความถี่ 20 kHz

โดย กราฟบน คือ สัญญาณ input และ กราฟล่าง คือ สัญญาณ output

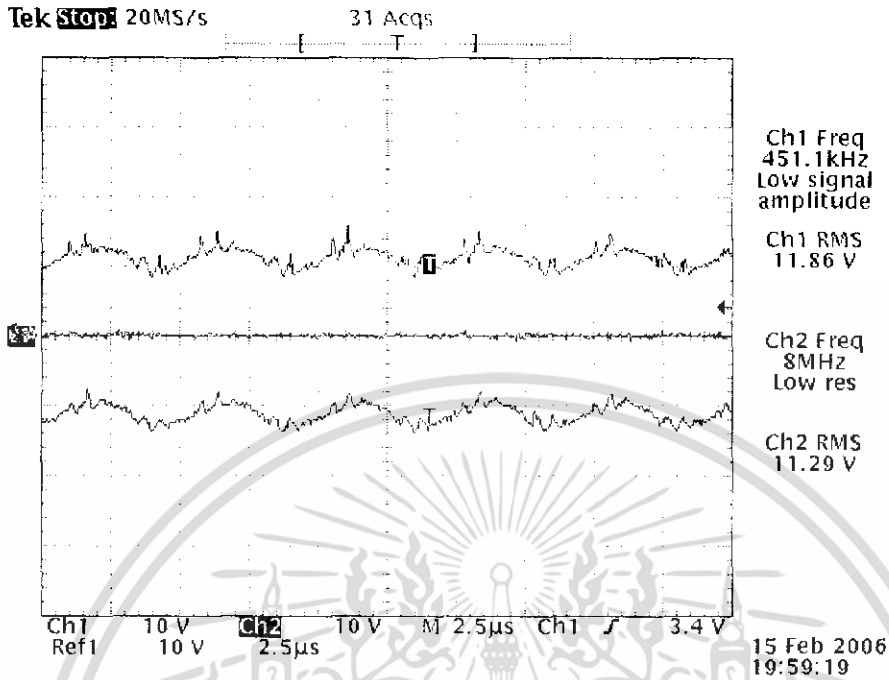


รูปที่ 5.6 แสดงสัญญาณFFT input และ output ที่ความถี่ 1 kHz

โดย กราฟบน คือ สัญญาณ input และ กราฟล่าง คือ สัญญาณ output

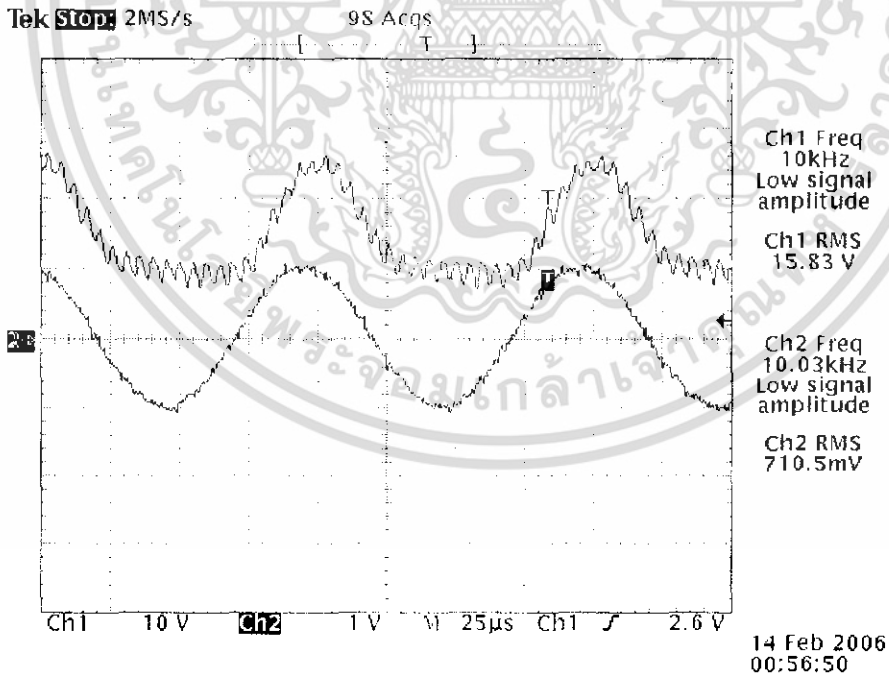
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 ผลตอบสนองทางเวลาของสัญญาณขาเข้าและสัญญาณขาออกของวงจรswitch ที่สามารถเปลี่ยนแปลงได้



รูปที่ 5.7 แสดงสัญญาณ input และ output ที่ความถี่ 0 kHz

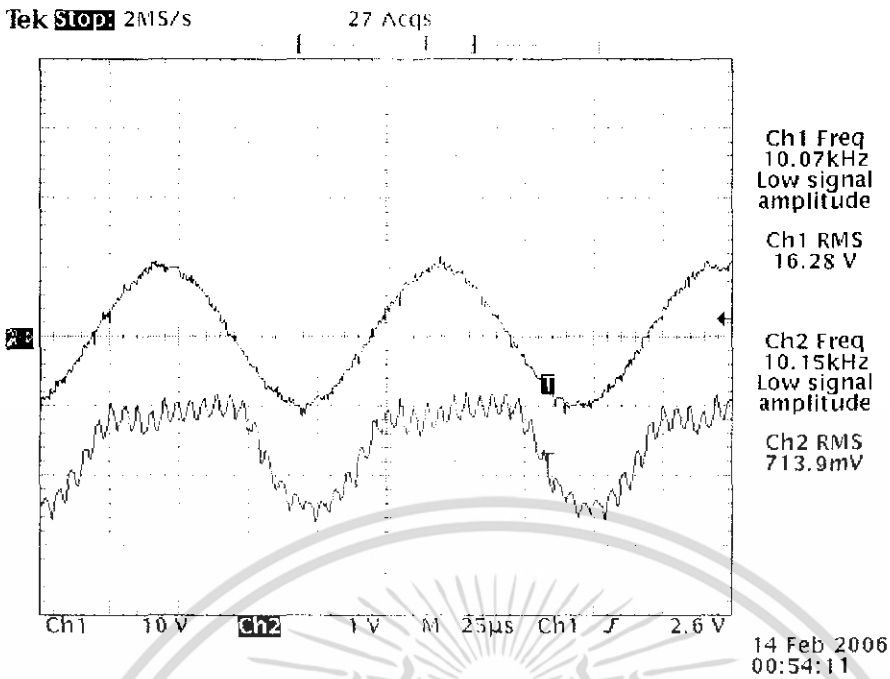
โดย CH1 คือ สัญญาณ output ซีกบวก(+) และ CH2 คือ สัญญาณ input เป็น ศูนย์



รูปที่ 5.8 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz

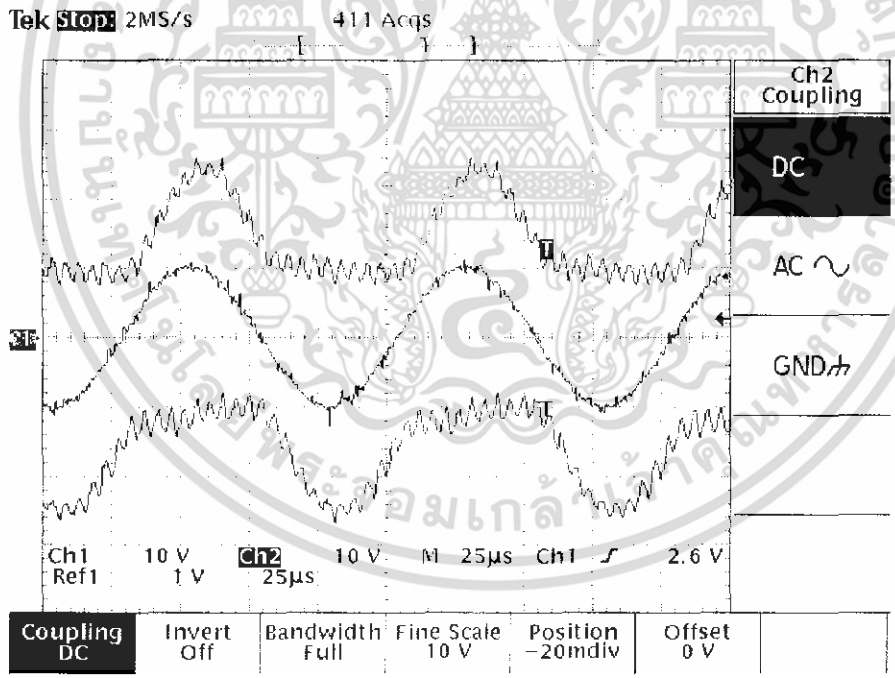
โดย CH1 คือ สัญญาณ output ซีกบวก(+) และ CH2 คือ สัญญาณ input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz

โดย CH1 คือ สัญญาณ output ซีกบวก(-) และ CH2 คือ สัญญาณ input



รูปที่ 5.10 แสดงสัญญาณ input และ output ที่ความถี่ 10 kHz

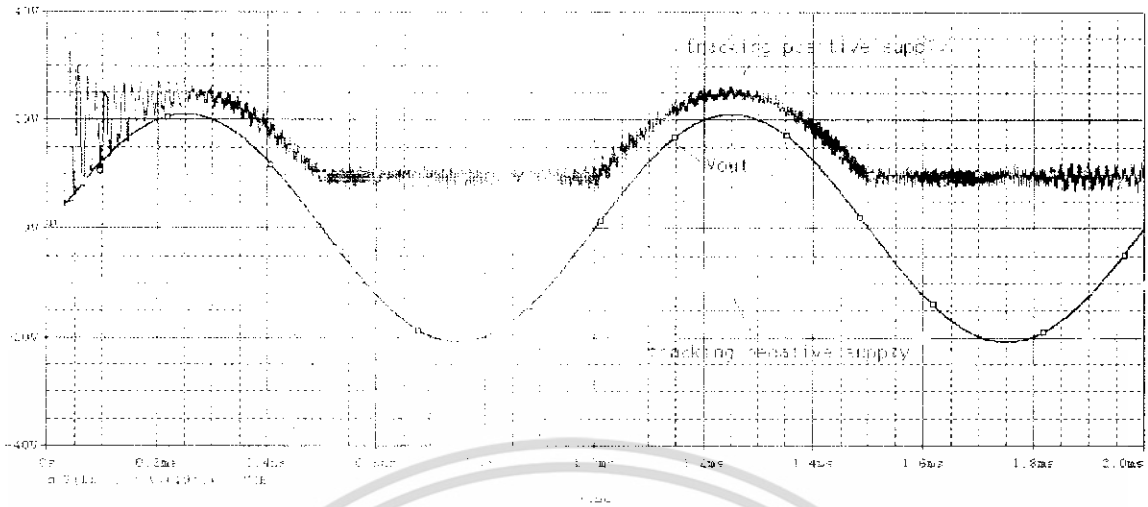
โดย CH1 คือ สัญญาณ output ซีกบวก(+)

CH2 คือ สัญญาณ output ซีกบวก(-)

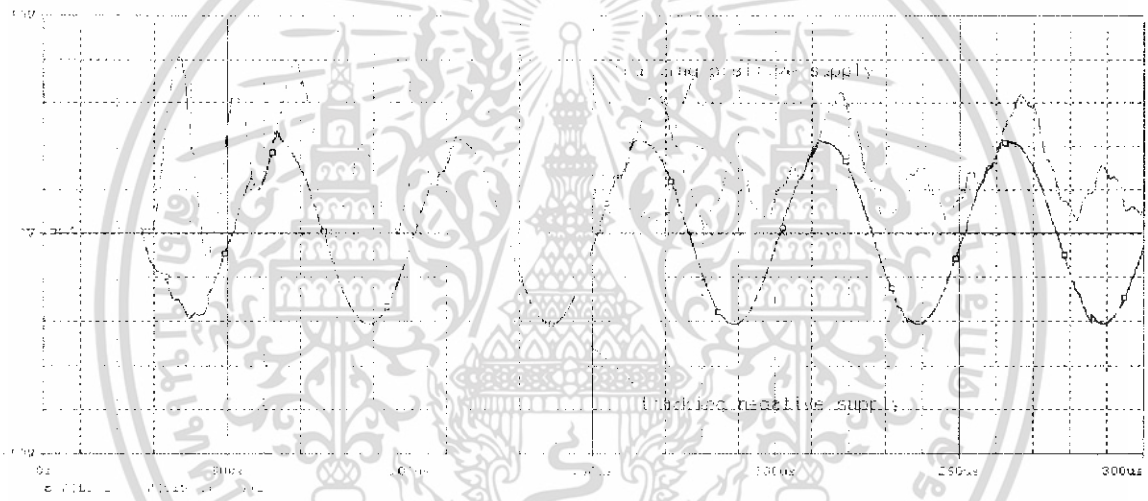
และ Ref1 คือ สัญญาณ input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3 ผลการตอบสนองจากการจำลองการทำงานของวงจรรวมคลาสเอบีและคลาสดี



รูปที่ 5.11 กราฟแสดงสัญญาณเอาท์พุทของวงจรรวมที่ใส่อินพุทขนาด 1 Vp-p 1KHz



รูปที่ 5.12 กราฟแสดงสัญญาณเอาท์พุทของวงจรรวมที่ใส่อินพุทขนาด 1 Vp-p 20KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลและวิจารณ์

6.1 บทสรุป

- จากการทดลองวัดประสิทธิภาพของของการทำงานในแต่ละคลาส พบว่าวงจรขยายกำลังของคลาสเอบีวัดได้สูงสุดคือ 54.56% ส่วนวงจรขยายกำลังคลาสดีวัดประสิทธิภาพ ได้สูงสุดคือ 76.96%
- ผลจากการรวมสัญญาณพบว่าสัญญาณเอาท์พุทมีลักษณะไม่เรียบมีริปเปิลออกมาตามรูปสัญญาณเป็นผลมาจากการรวมสัญญาณที่อินพุทจากการทำงานของวงจรสวิทช์ (Switching noise)
- ที่ความถี่สูง supply ที่จ่ายโดยวงจรสวิทช์ มีการแกว่งมากและเกิดการเลื่อนเฟสเป็นผลทำให้สัญญาณเอาท์พุทเกิดความเพี้ยน จากการที่แหล่งไฟคลอบคลุมสัญญาณเอาท์พุทไม่หมด
- อัตราขยายแรงดันของวงจรมีค่าคงที่ 20 เท่า ในย่านความถี่เสียง (20Hz-20000 Hz)

6.2 แนวทางแก้ไขปัญหา

- ปัญหาหลักของวงจรคือ สัญญาณรบกวนจากการทำงานของสวิทช์ที่เข้ามาในระบบรวม สามารถแก้ไขโดยการออกแบบกราวด์ ให้เป็นแบบกราวด์จุดเดียว(single point ground)
- ที่ความถี่สูง supply ที่จ่ายโดยวงจรสวิทช์ มีการแกว่งมากและเกิดการเลื่อนเฟส เป็นผลจากการออกแบบวงจรกรองความถี่ต่ำที่เอาท์พุท สามารถแก้ไขด้วยการเพิ่มความถี่ในการสวิทช์ แต่ต้องคำนึงถึงการสูญเสียจากการสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. G.Randy Slone, "High-Power Audio Amplifier Construction Manual", McGrow-Hill Publishing Company
2. Adel S. Sedra, Kenneth C. Smith, "Microelectronic Circuit", OXFORD UNIVERSITY
3. Donald A. Neamen, "Electronic Circuit Analysis and Design", McGrow-Hill Publishing Company
4. รศ.กฤษดา วิศวธีรานนท์ , "เทคนิคการต่อวงจรเครื่องขยายเสียง" , สำนักพิมพ์ซีเอ็ด
5. อาจารย์เจน สงสมพันธุ์ , "Popular Amplifier", สถาบันอิเลกทรอนิกส์กรุงเทพ-รังสิต
6. Ronan van der Zee, "High Efficiency Audio Power Amplifiers Design and practical use"
7. นายอักษร วิไสนำโชค , รศ. พิชัย คูศิริวานิชกร ,"เครื่องขยายกำลังประสิทธิภาพสูง" , รายงานวิชา Project I ปีการศึกษาที่ 2/2547 , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

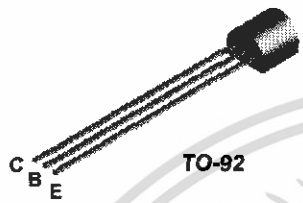
ภาคผนวก

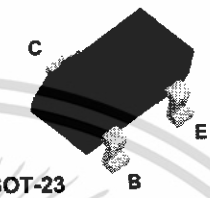
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor™

Discrete POWER & Signal Technologies

2N5551 MMBT5551





SOT-23
Mark: 3S

NPN General Purpose Amplifier

This device is designed for general purpose high voltage amplifiers and gas discharge display driving. Sourced from Process 16.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V_{CEO}	Collector-Emitter Voltage	160	V
V_{CBO}	Collector-Base Voltage	180	V
V_{EBO}	Emitter-Base Voltage	6.0	V
I_C	Collector Current - Continuous	200	mA
T_J, T_{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:
1) These ratings are based on a maximum junction temperature of 150 degrees C.
2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N5551	*MMBT5551	
P_D	Total Device Dissipation Derate above 25°C	625 5.0	350 2.8	mW mW/°C
$R_{\theta JC}$	Thermal Resistance, Junction to Case	83.3		°C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	200	357	°C/W

*Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN General Purpose Amplifier
(continued)

Electrical Characteristics
TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
OFF CHARACTERISTICS					
$V_{(BR)CEO}$	Collector-Emitter Sustaining Voltage*	I_C = 1.0 mA, I_B = 0	160		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 100 µA, I_E = 0	180		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 µA, I_C = 0	6.0		V
I_{CBO}	Collector Cutoff Current	V_{CB} = 120 V, I_E = 0, V_{CB} = 120 V, I_E = 0, T_A = 100°C		50 50	nA µA
I_{EBO}	Emitter Cutoff Current	V_{EB} = 4.0 V, I_C = 0		50	nA
ON CHARACTERISTICS					
h_{FE}	DC Current Gain	I_C = 1.0 mA, V_{CE} = 5.0 V I_C = 10 mA, V_{CE} = 5.0 V I_C = 50 mA, V_{CE} = 5.0 V	80 80 30	 250	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA		0.15 0.20	V V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA		1.0 1.0	V V
SMALL SIGNAL CHARACTERISTICS					
f_T	Current Gain - Bandwidth Product	I_C = 10 mA, V_{CE} = 10 V, f = 100 MHz	100	300	MHz
C_{obo}	Output Capacitance	V_{CB} = 10 V, I_E = 0, f = 1.0 MHz		6.0	pF
C_{ibo}	Input Capacitance	V_{BE} = 0.5 V, I_C = 0, f = 1.0 MHz		20	pF
h_{fe}	Small-Signal Current Gain	I_C = 1.0 mA, V_{CE} = 10 V, f = 1.0 kHz	50	250	
NF	Noise Figure	I_C = 250 µA, V_{CE} = 5.0 V, R_S=1.0 kΩ, f=10 Hz to 15.7 kHz		8.0	dB

*Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 2.0%

Spice Model

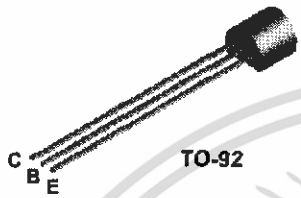
NPN (Is=2.511f Xti=3 Eg=1.11 Vaf=100 Bf=242.6 Ne=1.249 Ise=2.511f Ikf=.3458 Xtb=1.5 Br=3.197 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=4.883p Mjc=.3047 Vjc=.75 Fc=.5 Cje=18.79p Mje=.3416 Vje=.75 Tr=1.202n Tf=560p Itf=50m Vtf=5 Xtf=8 Rb=10)

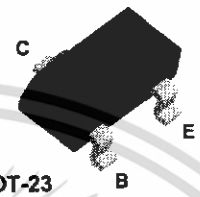
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor™

Discrete POWER & Signal Technologies

2N5401 MMBT5401





SOT-23
Mark: 2L

PNP General Purpose Amplifier

This device is designed as a general purpose amplifier and switch for applications requiring high voltages. Sourced from Process 74.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V_{CEO}	Collector-Emitter Voltage	150	V
V_{CBO}	Collector-Base Voltage	160	V
V_{EBO}	Emitter-Base Voltage	5.0	V
I_C	Collector Current - Continuous	200	mA
T_J, T_{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:
1) These ratings are based on a maximum junction temperature of 150 degrees C.
2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N5401	*MMBT5401	
P_D	Total Device Dissipation Derate above 25°C	625 5.0	350 2.8	mW mW/°C
$R_{\theta JC}$	Thermal Resistance, Junction to Case	83.3		°C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	200	357	°C/W

*Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PNP General Purpose Amplifier
(continued)

Electrical Characteristics
TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
OFF CHARACTERISTICS					
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage*	I_C = 1.0 mA, I_B = 0	150		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 100 µA, I_E = 0	160		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 µA, I_C = 0	5.0		V
I_{CBO}	Collector Cutoff Current	V_{CB} = 120 V, I_E = 0 V_{CB} = 120 V, I_E = 0, T_A = 100°C		50 50	nA µA
I_{EBO}	Emitter Cutoff Current	V_{EB} = 3.0 V, I_C = 0		50	nA
ON CHARACTERISTICS*					
h_{FE}	DC Current Gain	I_C = 1.0 mA, V_{CE} = 5.0 V I_C = 10 mA, V_{CE} = 5.0 V I_C = 50 mA, V_{CE} = 5.0 V	50 60 50	 240 	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA		0.2 0.5	V V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA		1.0 1.0	V V
SMALL SIGNAL CHARACTERISTICS					
f_T	Current Gain - Bandwidth Product	I_C = 10 mA, V_{CE} = 10 V, f = 100 MHz	100	300	MHz
C_{obo}	Output Capacitance	V_{CB} = 10 V, I_E = 0, f = 1.0 MHz		6.0	pF
NF	Noise Figure	I_C = 250 µA, V_{CE} = 5.0 V, R_S = 1.0 kΩ, f = 10 Hz to 15.7 kHz		8.0	dB

*Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 2.0%

Spice Model

PNP (Is=21.48f Xti=3 Eg=1.11 Vaf=100 Bf=132.1 Ne=1.375 Ise=21.48f Ikf=.1848 Xtb=1.5 Br=3.661 Nc=2 Isc=0 Ikr=0 Rc=1.6 Cjc=17.63p Mjc=.5312 Vjc=.75 Fc=.5 Cje=73.39p Mje=.3777 Vje=.75 Tr=1.476n Tf=641.9p Itf=0 Vtf=0 Xtf=0 Rb=10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SD669, 2SD669A

Silicon NPN Epitaxial

HITACHI

Application

Low frequency power amplifier complementary pair with 2SB649/A

Outline

TO-126 MOD

1. Emitter
2. Collector
3. Base

Hitachi semiconductor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings		Unit
		2SD669	2SD669A	
Collector to base voltage	V_{CBO}	180	180	V
Collector to emitter voltage	V_{CEO}	120	160	V
Emitter to base voltage	V_{EBO}	5	5	V
Collector current	I_C	1.5	1.5	A
Collector peak current	$I_{C(peak)}$	3	3	A
Collector power dissipation	P_C	1	1	W
	P_C*[1]	20	20	W
Junction temperature	Tj	150	150	°C
Storage temperature	Tstg	–55 to +150	–55 to +150	°C

Note: 1. Value at T_C = 25°C.

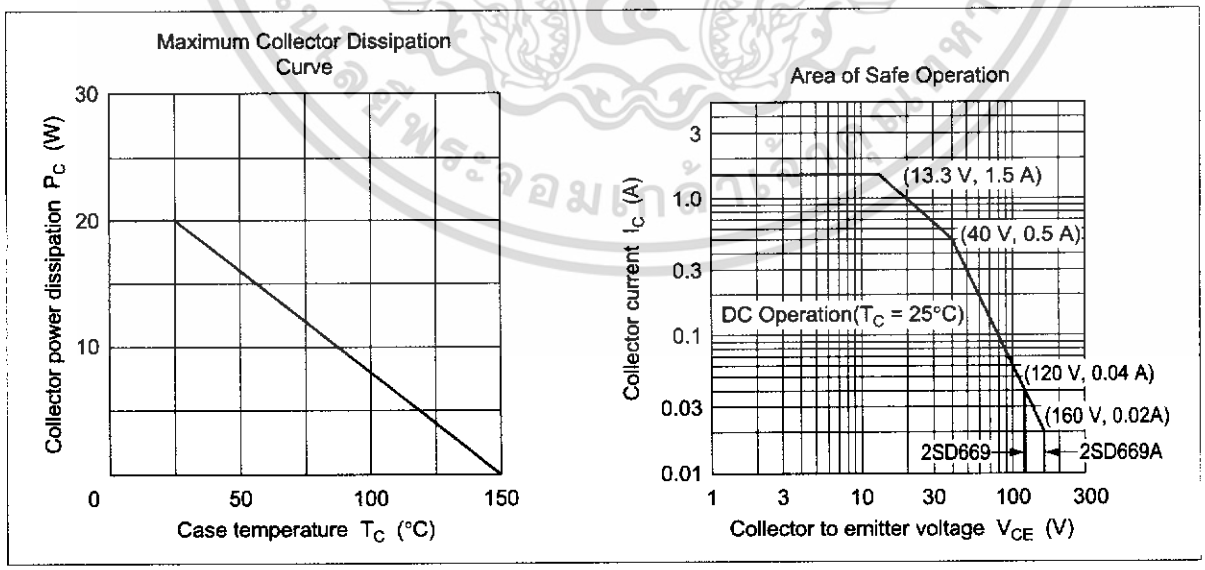
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Ta = 25°C)

Item	Symbol	2SD669 Min	2SD669 Typ	2SD669 Max	2SD669A Min	2SD669A Typ	2SD669A Max	Unit	Test conditions
Collector to base breakdown voltage	$V_{(BR)CBO}$	180	—	—	180	—	—	V	I_C = 1 mA, I_E = 0
Collector to emitter breakdown voltage	$V_{(BR)CEO}$	120	—	—	160	—	—	V	I_C = 10 mA, R_{BE} = ∞
Emitter to base breakdown voltage	$V_{(BR)EBO}$	5	—	—	5	—	—	V	I_E = 1 mA, I_C = 0
Collector cutoff current	I_{CBO}	—	—	10	—	—	10	μA	V_{CB} = 160 V, I_E = 0
DC current transfer ratio	h_{FE1}*1	60	—	320	60	—	200		V_{CE} = 5 V, I_C = 150 mA*2
	h_{FE2}	30	—	—	30	—	—		V_{CE} = 5 V, I_C = 500 mA*2
Collector to emitter saturation voltage	$V_{CE(sat)}$	—	—	1	—	—	1	V	I_C = 500 mA, I_B = 50 mA*2
Base to emitter voltage	V_{BE}	—	—	1.5	—	—	1.5	V	V_{CE} = 5 V, I_C = 150 mA*2
Gain bandwidth product	f_T	—	140	—	—	140	—	MHz	V_{CE} = 5 V, I_C = 150 mA*2
Collector output capacitance	Cob	—	14	—	—	14	—	pF	V_{CB} = 10 V, I_E = 0, f = 1 MHz

Notes: 1. The 2SD669 and 2SD669A are grouped by h_{FE1} as follows.
2. Pulse test.

	B	C	D
2SD669	60 to 120	100 to 200	160 to 320
2SD669A	60 to 120	100 to 200	—



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SB649, 2SB649A

Silicon PNP Epitaxial

HITACHI

Application

Low frequency power amplifier complementary pair with 2SD669/A

Outline

TO-126 MOD

1. Emitter
2. Collector
3. Base

Hitachi semiconductor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings 2SB649	Ratings 2SB649A	Unit
Collector to base voltage	V_{CBO}	–180	–180	V
Collector to emitter voltage	V_{CEO}	–120	–160	V
Emitter to base voltage	V_{EBO}	–5	–5	V
Collector current	I_C	–1.5	–1.5	A
Collector peak current	$I_{C(peak)}$	–3	–3	A
Collector power dissipation	P_C	1	1	W
	P_C*1	20	20	W
Junction temperature	Tj	150	150	°C
Storage temperature	Tstg	–55 to +150	–55 to +150	°C

Note: 1. Value at T_C = 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Ta = 25°C)

Item	Symbol	2SB649 Min	2SB649 Typ	2SB649 Max	2SB649A Min	2SB649A Typ	2SB649A Max	Unit	Test conditions
Collector to base breakdown voltage	$V_{(BR)CBO}$	–180	—	—	–180	—	—	V	I_C = –1 mA, I_E = 0
Collector to emitter breakdown voltage	$V_{(BR)CEO}$	–120	—	—	–160	—	—	V	I_C = –10 mA, R_{BE} = ∞
Emitter to base breakdown voltage	$V_{(BR)EBO}$	–5	—	—	–5	—	—	V	I_E = –1 mA, I_C = 0
Collector cutoff current	I_{CBO}	—	—	–10	—	—	–10	µA	V_{CB} = –160 V, I_E = 0
DC current transfer ratio	h_{FE1}*1	60	—	320	60	—	200		V_{CE} = –5 V, I_C = –150 mA
	h_{FE2}	30	—	—	30	—	—		V_{CE} = –5 V, I_C = –500 mA*2
Collector to emitter saturation voltage	$V_{CE(sat)}$	—	—	–1	—	—	–1	V	I_C = –500 mA, I_B = –50 mA
Base to emitter voltage	V_{BE}	—	—	–1.5	—	—	–1.5	V	V_{CE} = –5 V, I_C = –150 mA
Gain bandwidth product	f_T	—	140	—	—	140	—	MHz	V_{CE} = –5 V, I_C = –150 mA
Collector output capacitance	Cob	—	27	—	—	27	—	pF	V_{CB} = –10 V, I_E = 0, f = 1 MHz

Notes: 1. The 2SB649 and 2SB649A are grouped by h_{FE1} as follows.
2. Pulse test

	B	C	D
2SB649	60 to 120	100 to 200	160 to 320
2SB649A	60 to 120	100 to 200	—

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSPEC

HIGH-POWER NPN SILICON POWER TRANSISTORS

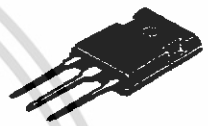
...designed for use in general-purpose amplifier and switching application .

FEATURES:
* Recommend for 125W High Fidelity Audio Frequency Amplifier Output stage
* Complementary to 2SA1302

NPN
2SC3281

15 AMPERE
POWER
TRANASISTOR

200 VOLTS
150 WATTS



TO-247(3P)

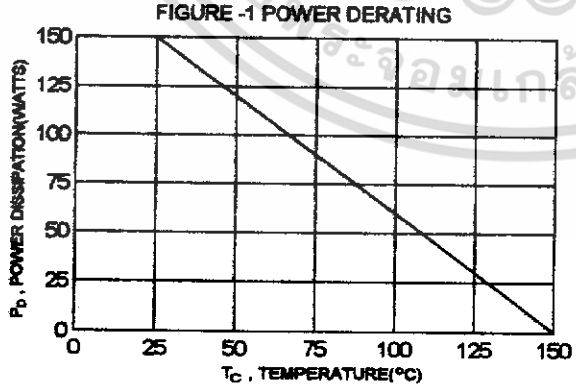
MAXIMUM RATINGS

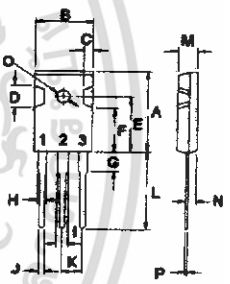
Characteristic	Symbol	2SC3281	Unit
Collector-Emitter Voltage	V_{CEO}	200	V
Collector-Base Voltage	V_{CBO}	200	V
Emitter-Base Voltage	V_{EBO}	5.0	V
Collector Current - Continuous - Peak	I_C I_{CM}	15 20	A
Base current	I_B	2.0	A
Total Power Dissipation @T_C = 25°C Derate above 25°C	P_D	150 1.2	W W/°C
Operating and Storage Junction Temperature Range	T_J, T_{STG}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance Junction to Case	Rθjc	0.83	°C/W

FIGURE -1 POWER DERATING





PIN 1.BASE
2.COLLECTOR
3.EMITTER

DIM	MILLIMETERS	
	MIN	MAX
A	20.63	22.38
B	15.38	16.20
C	1.90	2.70
D	5.10	6.10
E	14.81	15.22
F	11.72	12.84
G	4.20	4.50
H	1.82	2.46
I	2.92	3.23
J	0.89	1.53
K	5.26	5.66
L	18.50	21.50
M	4.68	5.36
N	2.40	2.80
O	3.25	3.65
P	0.55	0.70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Breakdown Voltage (I_C= 50 mA, I_B= 0)	$V_{(BR)CEO}$	200		V
Collector Cutoff Current (V_{CB}= 200 V, I_E= 0)	I_{CBO}		50	uA
Emitter Cutoff Current (V_{EB}= 5.0 V, I_C= 0)	I_{EBO}		10	uA
ON CHARACTERISTICS (1)				
DC Current Gain (I_C= 1.0 A, V_{CE}= 5.0 V) * (I_C= 8.0 A, V_{CE}= 5.0 V)	hFE(2) hFE	55 35	160	
Collector-Emitter Saturation Voltage (I_C= 10 A, I_B= 1.0 A)	$V_{CE(sat)}$		3.0	V
Base-Emitter On Voltage (I_C= 8.0 A, V_{CE}=5.0 V)	$V_{BE(on)}$		1.5	V
DYNAMIC CHARACTERISTICS				
Current-Gain-Bandwidth Product (I_C = 1.0 A, V_{CE} = 5.0 V, f = 1.0 MHz)	f_T	10		MHz

(1) Pulse Test: Pulse Width =300 us, Duty Cycle ≤ 2.0%

* hFE(2) Classification :

55	R	110	80	O	160

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSPEC

HIGH-POWER PNP SILICON POWER TRANSISTORS

...designed for use in general-purpose amplifier and switching application .

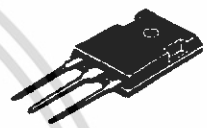
FEATURES:
* Recommend for 125W High Fiderity Audio Frequency Amplifier Output stage
* Complementary to 2SC3281

PNP

2SA1302

15 AMPERE
POWER
TRANASISTOR

200 VOLTS
150 WATTS



TO-247(3P)

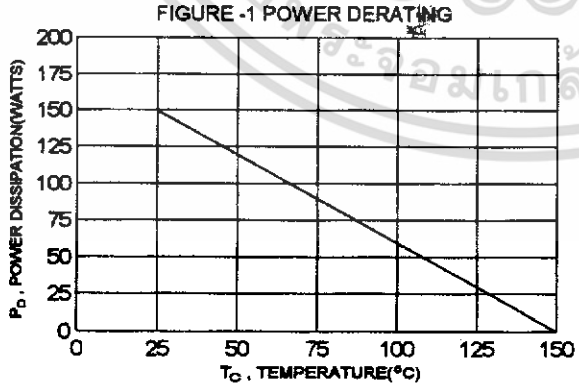
MAXIMUM RATINGS

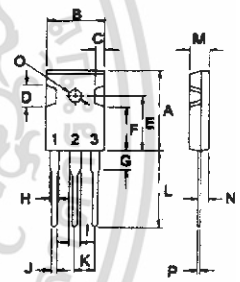
Characteristic	Symbol	2SA1302	Unit
Collector-Emitter Voltage	V_{CEO}	200	V
Collector-Base Voltage	V_{CBO}	200	V
Emitter-Base Voltage	V_{EBO}	5.0	V
Collector Current - Continuous - Peak	I_C I_{CM}	15 20	A
Base current	I_B	2.0	A
Total Power Dissipation @T_C = 25°C Derate above 25°C	P_D	150 1.2	W W/°C
Operating and Storage Junction Temperature Range	T_J , T_{STG}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance Junction to Case	Rθjc	0.83	°C/W

FIGURE -1 POWER DERATING





PIN 1.BASE
2.COLLECTOR
3.EMITTER

DIM	MILLIMETERS	
	MIN	MAX
A	20.63	22.38
B	15.38	16.20
C	1.90	2.70
D	5.10	6.10
E	14.81	15.22
F	11.72	12.84
G	4.20	4.50
H	1.82	2.46
I	2.92	3.23
J	0.89	1.53
K	5.26	5.66
L	18.50	21.50
M	4.68	5.36
N	2.40	2.80
O	3.25	3.65
P	0.55	0.70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Breakdown Voltage (I_C= 50 mA, I_B= 0)	$V_{(BR)CEO}$	200		V
Collector Cutoff Current (V_{CB}= 200 V, I_E= 0)	I_{CBO}		10	uA
Emitter Cutoff Current (V_{EB}= 5.0 V, I_C= 0)	I_{EBO}		10	uA
ON CHARACTERISTICS (1)				
DC Current Gain (I_C= 1.0 A, V_{CE}= 5.0 V) * (I_C= 8.0 A, V_{CE}= 5.0 V)	hFE(2) hFE	55 35	160	
Collector-Emitter Saturation Voltage (I_C= 10 A, I_B= 1.0 A)	$V_{CE(sat)}$		3.0	V
Base-Emitter On Voltage (I_C= 8.0 A, V_{CE}=5.0 V)	$V_{BE(on)}$		1.5	V
DYNAMIC CHARACTERISTICS				
Current-Gain-Bandwidth Product (I_C = 1.0 A, V_{CE} = 5.0 V, f = 1.0 MHz)	f_T	10		MHz

(1) Pulse Test: Pulse Width =300 us,Duty Cycle ≦ 2.0%

* hFE(2) Classification :

55	R	110	80	O	160

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM833

LOW NOISE DUAL OPERATIONAL AMPLIFIER

- LOW VOLTAGE NOISE: **4.5nV/√Hz**
- HIGH GAIN BANDWIDTH PRODUCT: **15MHz**
- HIGH SLEW RATE: **7V/µs**
- LOW DISTORTION: 0.002%
- EXCELLENT FREQUENCY STABILITY
- ESD PROTECTION 2kV

N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

DESCRIPTION

The LM833 is a monolithic dual operational amplifier particularly well suited for audio applications. It offers low voltage noise (4.5nV/√Hz) and high frequency performances (15MHz Gain Bandwidth product, 7V/µs slew rate).

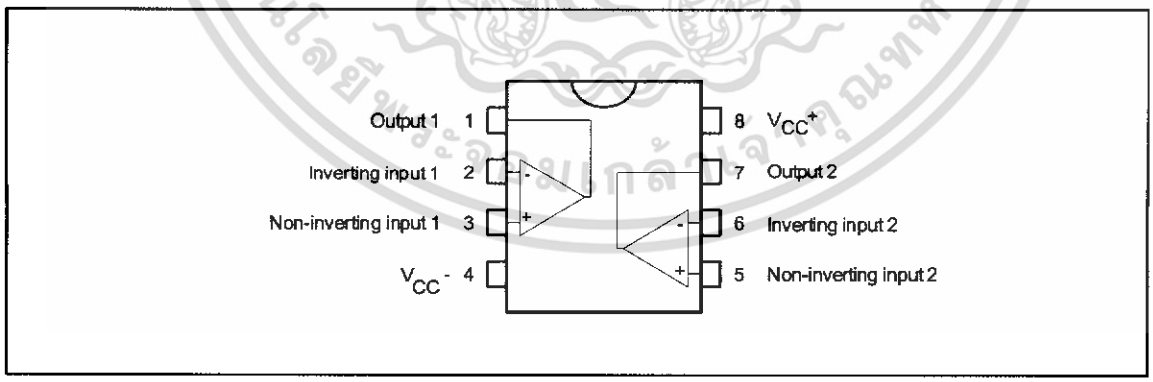
In addition the LM833 has also a very low distortion (0.002%) and excellent phase/gain margins.

ORDER CODE

Part Number	Temperature Range	Package	
		N	D
LM833	-40°C, +105°C	•	•

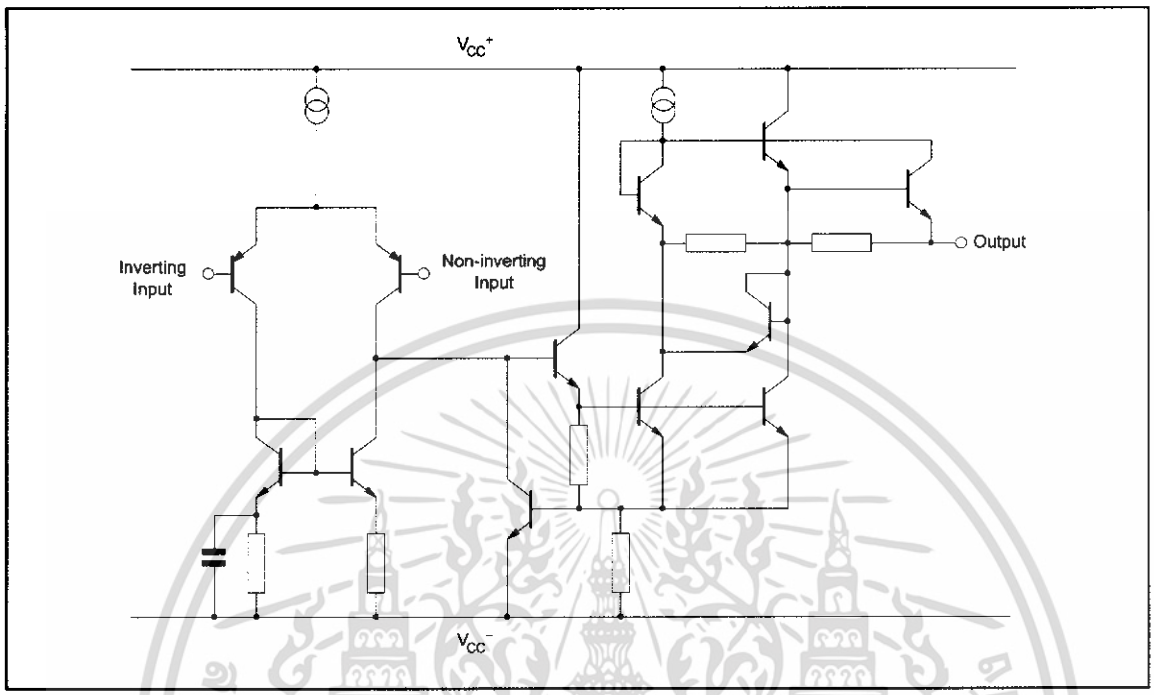
N = Dual in Line Package (DIP)
D = Small Outline Package (SO) - also available in Tape & Reel (DT)

PIN CONNECTIONS (top view)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM (1/2 LM833)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_{CC}	Supply Voltage	±18 or +36	V
V_{id}	Differential Input Voltage - note 1)	±30	V
V_i	Input Voltage - see note 1	±15	V
	Output Short Circuit Duration	Infinite	s
T_{oper}	Operating Free-Air Temperature Range	-40 to 105	°C
T_j	Junction Temperature	+150	°C
T_{stg}	Storage Temperature	-65 to +150	°C
Ptot	Maximum Power Dissipation - note 2)	500	mW

1. Either or both input voltages must not exceed the magnitude of V_{CC}^+ or V_{CC}^-.
2. Power dissipation must be considered to ensure maximum junction temperature (Tj) is not exceeded.

OPERATING CONDITIONS

Symbol	Parameter	Value	Unit
V_{CC}	Supply Voltage	±2.5 to ±15	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

V_{CC}^+ = +15V, V_{CC}^- = -15V, T_{amb} = 25°C (unless otherwise specified)

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{io}	Input Offset Voltage (R_s = 10Ω, V_o = 0V, V_{ic} = 0V)		0.3	5	mV
DV_{io}	Input Offset Voltage Drift R_s = 10Ω, V_o = 0V, $T_{min.} \le T_{amb} \le T_{max.}$		2		µV/°C
I_{io}	Input Offset Current (V_o = 0V, V_{ic} = 0V)		25	200	nA
I_{ib}	Input Bias Current (V_o = 0V, V_{ic} = 0V)		300	1000	nA
V_{icm}	Input Common Mode Voltage Range	±12	±14		V
A_{vd}	Large Signal Voltage Gain (R_L = 2kΩ, V_o = ±10V)	90	100		dB
$\pm V_{opp}$	Output Voltage Swing (V_{id} = ±1V) R_L = 2.0kΩ R_L = 2.0kΩ R_L = 10kΩ R_L = 10kΩ	 10 12	 13.7 -14 13.9 -14.4	 -10 -12	V
CMR	Common-mode Rejection Ratio (V_{ic} = ±13V)	80	100		dB
SVR	Supply Voltage Rejection Ratio (V_{CC}^+ / V_{CC}^- = +15V / -15V to +5V / -5V)	80	105		dB
I_{CC}	Supply Current (V_o = 0V, All amplifiers)		4	8	mA
SR	Slew Rate (V_i = -10V to +10V, R_L = 2kΩ, A_V = +1)	5	7		V/µs
GBP	Gain Bandwidth Product (R_L = 2kΩ, C_L = 100pF, f = 100kHz)	10	15		MHz
B	Unity Gain Bandwidth (Open loop)		9		MHz
ϕm	Phase Margin (R_L = 2kΩ)		60		Degrees
e_n	Equivalent Input Noise Voltage (R_S = 100Ω, f = 1kHz)		4.5		$\frac{nV}{\sqrt{Hz}}$
i_n	Equivalent Input Noise Current (f = 1kHz)		0.5		$\frac{pA}{\sqrt{Hz}}$
THD	Total Harmonic Distortion (R_L = 2kΩ, f = 20Hz to 20kHz, V_o = $3V_{rms}$, A_V = +1)		0.002		%
V_{O1}/V_{O2}	Channel Separation (f = 20Hz to 20kHz)		120		dB
FPB	Full Power Bandwidth (V_o = $27V_{pp}$, R_L = 2kΩ, THD ≤ 1%)		120		kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

September 1995

LM6161/LM6261/LM6361
High Speed Operational Amplifier

General Description

The LM6161 family of high-speed amplifiers exhibits an excellent speed-power product in delivering 300 V/μs and 50 MHz unity gain stability with only 5 mA of supply current. Further power savings and application convenience are possible by taking advantage of the wide dynamic range in operating supply voltage which extends all the way down to +5V.

These amplifiers are built with National's VIP™ (Vertically Integrated PNP) process which provides fast PNP transistors that are true complements to the already fast NPN devices. This advanced junction-isolated process delivers high speed performance without the need for complex and expensive dielectric isolation.

Features

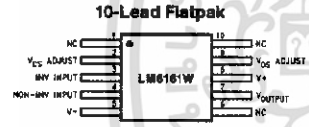
■ High slew rate	300 V/μs
■ High unity gain freq	50 MHz
■ Low supply current	5 mA
■ Fast settling	120 ns to 0.1%
■ Low differential gain	<0.1%
■ Low differential phase	0.1°
■ Wide supply range	4.75V to 32V
■ Stable with unlimited capacitive load	
■ Well behaved; easy to apply	

Applications

- Video amplifier
- High-frequency filter
- Wide-bandwidth signal conditioning
- Radar
- Sonar

Connection Diagrams

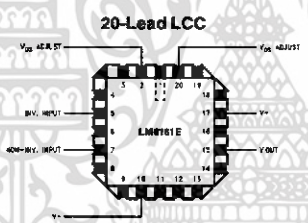
10-Lead Flatpak



TL/H/9057–13

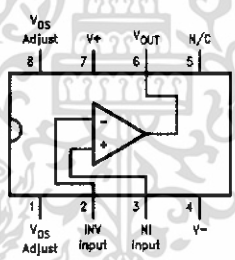
See NS Package Number W10A

20-Lead LCC



TL/H/9057–14

See NS Package Number E20A



TL/H/9057–5

See NS Package Number J08A, N08E or M08A

Temperature Range			Package	NSC Drawing
Military $-55°C \le T_A \le +125°C$	Industrial $-25°C \le T_A \le +85°C$	Commercial $0°C \le T_A \le +70°C$		
	LM6261N	LM6361N	8-Pin Molded DIP	N08E
LM6161J/883 5962-8962101PA		LM6361J	8-Pin Ceramic DIP	J08A
	LM6261M	LM6361M	8-Pin Molded Surface Mt.	M08A
LM6161E/883 5962-89621012A			20-Lead LCC	E20A
LM6161W/883 5962-8962101HA			10-Pin Ceramic Flatpak	W10A

VIP™ is a trademark of National Semiconductor Corporation.

©1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 12)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	36V
Differential Input Voltage (Note 8)	±8V
Common-Mode Voltage Range (Note 10)	$(V^+ - 0.7V)$ to $(V^- + 0.7V)$
Output Short Circuit to GND (Note 1)	Continuous
Soldering Information	
Dual-In-Line Package (N, J)	
Soldering (10 sec.)	260°C
Small Outline Package (M)	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Storage Temp Range	−65°C to +150°C
Max Junction Temperature	150°C
ESD Tolerance (Notes 6 and 7)	±700V

Operating Ratings (Note 12)

Temperature Range (Note 2)	
LM6161	$-55°C \le T_J \le +125°C$
LM6261	$-25°C \le T_J \le +85°C$
LM6361	$0°C \le T_J \le +70°C$
Supply Voltage Range	4.75V to 32V

DC Electrical Characteristics

The following specifications apply for Supply Voltage = ±15V, $V_{CM} = 0$, $R_L \ge 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. **Boldface** limits apply for $T_J = T_{MIN}$ to T_{MAX}; all other limits $T_J = 25°C$.

Symbol	Parameter	Conditions	Typ	LM6161 Limit (Notes 3, 11)	LM6261 Limit (Note 3)	LM6361 Limit (Note 3)	Units
V_{OS}	Input Offset Voltage		5	7 **10**	7 **9**	20 **22**	mV Max
V_{OS} Drift	Input Offset Voltage Average Drift		10				µV/°C
I_b	Input Bias Current		2	3 **6**	3 **5**	5 **6**	µA Max
I_{OS}	Input Offset Current		150	350 **800**	350 **600**	1500 **1900**	nA Max
I_{OS} Drift	Input Offset Current Average Drift		0.4				nA/°C
R_{IN}	Input Resistance	Differential	325				kΩ
C_{IN}	Input Capacitance	$A_V = +1$ @ 10 MHz	1.5				pF
A_{VOL}	Large Signal Voltage Gain	$V_{OUT} = \pm 10V$, $R_L = 2\ k\Omega$ (Note 9)	750	550 **300**	550 **400**	400 **350**	V/V Min
		$R_L = 10\ k\Omega$ (Note 9)	2900				V/V
V_{CM}	Input Common-Mode Voltage Range	Supply = ±15V	+14.0	+13.9 **+13.8**	+13.9 **+13.8**	+13.8 **+13.7**	Volts Min
			−13.2	−12.9 **−12.7**	−12.9 **−12.7**	−12.8 **−12.7**	Volts Min
		Supply = +5V (Note 4)	4.0	3.9 **3.8**	3.9 **3.8**	3.8 **3.7**	Volts Min
			1.8	2.0 **2.2**	2.0 **2.2**	2.1 **2.2**	Volts Max
CMRR	Common-Mode Rejection Ratio	$-10V \le V_{CM} \le +10V$	94	80 **74**	80 **76**	72 **70**	dB Min
PSRR	Power Supply Rejection Ratio	$\pm 10V \le V^{\pm} \le \pm 16V$	90	80 **74**	80 **76**	72 **70**	dB Min
V_O	Output Voltage Swing	Supply = ±15V and $R_L = 2\ k\Omega$	+14.2	+13.5 **+13.3**	+13.5 **+13.3**	+13.4 **+13.3**	Volts Min
			−13.4	−13.0 **−12.7**	−13.0 **−12.8**	−12.9 **−12.8**	Volts Min

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Continued)

The following specifications apply for Supply Voltage = ±15V, V_{CM} = 0, $R_L \geq 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. **Boldface** limits apply for $T_J = T_{MIN}$ to T_{MAX}; all other limits T_J = 25°C.

Symbol	Parameter	Conditions	Typ	LM6161 Limit (Notes 3, 11)	LM6261 Limit (Note 3)	LM6361 Limit (Note 3)	Units
V_O (Continued)	Output Voltage Swing (Continued)	Supply = +5V and R_L = 2 kΩ (Note 4)	4.2	3.5 **3.3**	3.5 **3.3**	3.4 **3.3**	Volts Min
			1.3	1.7 **2.0**	1.7 **1.9**	1.8 **1.9**	Volts Max
	Output Short Circuit Current	Source	65	30 **20**	30 **25**	30 **25**	mA Min
		Sink	65	30 **20**	30 **25**	30 **25**	mA Min
I_S	Supply Current		5.0	6.5 **6.8**	6.5 **6.7**	6.8 **6.9**	mA Max

AC Electrical Characteristics

The following specifications apply for Supply Voltage = ±15V, V_{CM} = 0, $R_L \geq 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. **Boldface** limits apply for $T_J = T_{MIN}$ to T_{MAX}; all other limits T_J = 25°C.

Symbol	Parameter	Conditions	Typ	LM6161 Limit (Notes 3, 11)	LM6261 Limit (Note 3)	LM6361 Limit (Note 3)	Units
GBW	Gain-Bandwidth Product	@ f = 20 MHz	50	40 **30**	40 **35**	35 **32**	MHz Min
		Supply = ±5V	35				MHz
SR	Slew Rate	A_V = +1 (Note 8)	300	200 **180**	200 **180**	200 **180**	V/μs Min
		Supply = ±5V (Note 8)	200				V/μs
PBW	Power Bandwidth	V_{OUT} = 20 V_{PP}	4.5				MHz
t_S	Settling Time	10V Step to 0.1 % A_V = −1, R_L = 2 kΩ	120				ns
ϕm	Phase Margin		45				Deg
A_D	Differential Gain	NTSC, A_V = +4	<0.1				%
ϕD	Differential Phase	NTSC, A_V = +4	0.1				Deg
e_{np-p}	Input Noise Voltage	f = 10 kHz	15				$nV/\sqrt{Hz}$
i_{np-p}	Input Noise Current	f = 10 kHz	1.5				$pA/\sqrt{Hz}$

Note 1: Continuous short-circuit operation at elevated ambient temperature can result in exceeding the maximum allowed junction temperature of 150°C.

Note 2: The typical junction-to-ambient thermal resistance of the molded plastic DIP (N) is 105°C/W, the molded plastic SO (M) package is 155°C/W, and the cerdip (J) package is 125°C/W. All numbers apply for packages soldered directly into a printed circuit board.

Note 3: Limits are guaranteed by testing or correlation.

Note 4: For single supply operation, the following conditions apply: V^+ = 5V, V^- = 0V, V_{CM} = 2.5V, V_{OUT} = 2.5V. Pin 1 & Pin 8 (Vos Adjust) are each connected to Pin 4 (V^-) to realize maximum output swing. This connection will degrade V_{OS}, V_{OS} Drift, and Input Voltage Noise.

Note 5: $C_L \leq 5$ pF.

Note 6: In order to achieve optimum AC performance, the input stage was designed without protective clamps. Exceeding the maximum differential input voltage results in reverse breakdown of the base-emitter junction of one of the input transistors and probable degradation of the input parameters (especially Vos, Ios, and Noise).

Note 7: The average voltage that the weakest pin combinations (those involving Pin 2 or Pin 3) can withstand and still conform to the datasheet limits. The test circuit used consists of the human body model of 100 pF in series with 1500Ω.

Note 8: V_{IN} = 8V step. For supply = ±5V, V_{IN} = 5V step.

Note 9: Voltage Gain is the total output swing (20V) divided by the input signal required to produce that swing.

Note 10: The voltage between V^+ and either input pin must not exceed 36V.

Note 11: A military RETS electrical test specification is available on request. At the time of printing, the RETS6161X specs complied with all **Boldface** limits in this column.

Note 12: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1995

LM119/LM219/LM319
High Speed Dual Comparator

General Description

The LM119 series are precision high speed dual comparators fabricated on a single monolithic chip. They are designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground. Further, they have higher gain and lower input currents than devices like the LM710. The uncommitted collector of the output stage makes the LM119 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25 mA.

The LM319A offers improved precision over the standard LM319, with tighter tolerances on offset voltage, offset current, and voltage gain.

Features

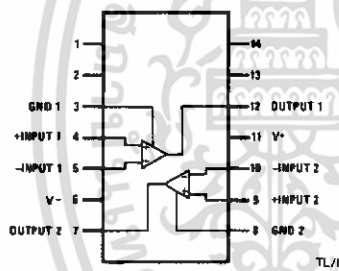
- Two independent comparators
- Operates from a single 5V supply
- Typically 80 ns response time at ±15V
- Minimum fan-out of 2 each side
- Maximum input current of 1 μA over temperature
- Inputs and outputs can be isolated from system ground
- High common mode slew rate

Although designed primarily for applications requiring operation from digital logic supplies, the LM119 series are fully specified for power supplies up to ±15V. It features faster response than the LM111 at the expense of higher power dissipation. However, the high speed, wide operating voltage range and low package count make the LM119 much more versatile than older devices like the LM711.

The LM119 is specified from −55°C to +125°C, the LM219 is specified from −25°C to +85°C, and the LM319A and LM319 are specified from 0°C to +70°C.

Connection Diagrams

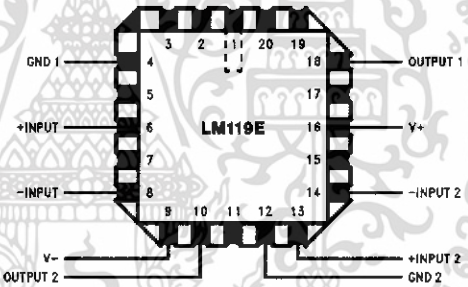
Dual-In-Line-Package



TL/H/5705–4

Top View

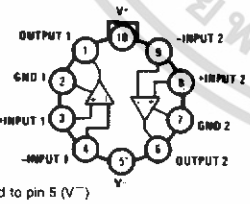
Order Number LM119J, LM119J/883*, LM219J, LM319J, LM319AM, LM319M, LM319AN or LM319N
See NS Package Number J14A, M14A or N14A



TL/H/5705–8

Order Number LM119E/883
See NS Package Number E20A

Metal Can Package

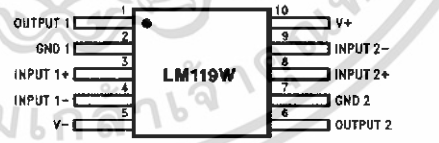


Case is connected to pin 5 (V⁻)

TL/H/5705–7

Top View

Order Number LM119H, LM119H/883*, or LM319H
See NS Package Number H10C



TL/H/5705–9

Order Number LM119W/883
See NS Package Number W10A

*Also available per SMD# 8501401 or JM38510/10306

©1995 National Semiconductor Corporation RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 7)

Total Supply Voltage	36V
Output to Negative Supply Voltage	36V
Ground to Negative Supply Voltage	25V
Ground to Positive Supply Voltage	18V
Differential Input Voltage	±5V
Input Voltage (Note 1)	±15V
ESD rating (1.5 kΩ in series with 100 pF)	800V
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Storage Temperature Range	−65°C to 150°C
Lead Temperature (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Operating Temperature Range

LM119	−55°C to 125°C
LM219	−25°C to 85°C

Electrical Characteristics (Note 3)

Parameter	Conditions	LM119/LM219			Units
		Min	Typ	Max	
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		0.7	4.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		30	75	nA
Input Bias Current	$T_A = 25°C$		150	500	nA
Voltage Gain	$T_A = 25°C$ (Note 6)	10	40		V/mV
Response Time (Note 5)	$T_A = 25°C$, $V_S = \pm 15V$		80		ns
Saturation Voltage	$V_{IN} \leq -5$ mV, $I_{OUT} = 25$ mA $T_A = 25°C$		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$ $T_A = 25°C$		0.2	2	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			7	mV
Input Offset Current (Note 4)				100	nA
Input Bias Current				1000	nA
Input Voltage Range	$V_S = \pm 15V$ $V^+ = 5V$, $V^- = 0$	−12 1	±13	+12 3	V V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -6$ mV, $I_{SINK} \leq 3.2$ mA $T_A \geq 0°C$ $T_A \leq 0°C$		0.23	0.4 0.6	V V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$, $V^- = V_{GND} = 0V$		1	10	μA
Differential Input Voltage				±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3		mA
Positive Supply Current	$T_A = 25°C$, $V_S = \pm 15V$		8	11.5	mA
Negative Supply Current	$T_A = 25°C$, $V_S = \pm 15V$		3	4.5	mA

Note 1: For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM119 is 150°C, while that of the LM219 is 110°C. For operating at elevated temperatures, devices in the H10 package must be derated based on a thermal resistance of 160°C/W, junction to ambient, or 19°C/W, junction to case. The thermal resistance of the J14 and N14 packages is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$, and the Ground pin at ground, and $-55°C \leq T_A \leq +125°C$, unless otherwise stated. With the LM219, however, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies. Do not operate the device with more than 16V from ground to V_S.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 6: Output is pulled up to 15V through a 1.4 kΩ resistor.

Note 7: Refer to RETS119X for LM119H/883 and LM119J/883 specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings LM319A/319

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Total Supply Voltage	36V
Output to Negative Supply Voltage	36V
Ground to Negative Supply Voltage	25V
Ground to Positive Supply Voltage	18V
Differential Input Voltage	±5V
Input Voltage (Note 1)	±15V
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
ESD rating (1.5 kΩ in series with 100 pF)	800V
Storage Temperature Range	−65°C to 150°C
Lead Temperature (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Operating Temperature Range

LM319A, LM319	0°C to 70°C

Electrical Characteristics (Note 3)

Parameter	Conditions	LM319A			LM319			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		0.5	1.0		2.0	8.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		20	40		80	200	nA
Input Bias Current	$T_A = 25°C$		150	500		250	1000	nA
Voltage Gain	$T_A = 25°C$ (Note 6)	20	40		8	40		V/mV
Response Time (Note 5)	$T_A = 25°C$, $V_S = \pm 15V$		80			80		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 25$ mA $T_A = 25°C$		0.75	1.5		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$, $V^- = V_{GND} = 0V$, $T_A = 25°C$		0.2	10		0.2	10	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			10			10	mV
Input Offset Current (Note 4)				300			300	nA
Input Bias Current				1000			1200	nA
Input Voltage Range	$V_S = \pm 15V$ $V^+ = 5V$, $V^- = 0$	1	±13	3	1	±13	3	V V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -10$ mV, $I_{SINK} \leq 3.2$ mA		0.3	0.4		0.3	0.4	V
Differential Input Voltage				±5			±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3			4.3		mA
Positive Supply Current	$T_A = 25°C$, $V_S = \pm 15V$		8	12.5		8	12.5	mA
Negative Supply Current	$T_A = 25°C$, $V_S = \pm 15V$		3	5		3	5	mA

Note 1: For supply voltages less than ±15 the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM319A and LM319 is 85°C. For operating at elevated temperatures, devices in the H10 package must be derated based on a thermal resistance of 160°C/W, junction to ambient, or 19°C/W, junction to case. The thermal resistance of the N14 and J14 package is 100°C/W, junction to ambient. The thermal resistance of the M14 package is 115°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$, and $0°C \leq T_A \leq 70°C$, unless otherwise stated. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies. Do not operate the device with more than 16V from ground to V_S.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified is for a 100 mV input step with 5 mV overdrive.

Note 6: Output is pulled up to 15V through a 1.4 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P-Channel 80- and 100-V (D-S) MOSFETs

PRODUCT SUMMARY				
Part Number	$V_{(BR)DSS}$ Min (V)	$r_{DS(on)}$ Max (Ω)	$V_{GS(th)}$ (V)	I_D (A)
VP0808L	–80	5 @ V_{GS} = –10 V	–2 to –4.5	–0.28
VP1008L	–100	5 @ V_{GS} = –10 V	–2 to –4.5	–0.28

FEATURES

- High-Side Switching
- Low On-Resistance: 2.5 Ω
- Moderate Threshold: –3.4 V
- Fast Switching Speed: 40 ns
- Low Input Capacitance: 75 pF

BENEFITS

- Ease in Driving Switches
- Low Offset (Error) Voltage
- Low-Voltage Operation
- High-Speed Switching
- Easily Driven Without Buffer

APPLICATIONS

- Drivers: Relays, Solenoids, Lamps, Hammers, Displays, Memories, Transistors, etc.
- Battery Operated Systems
- Power Supply, Converter Circuits
- Motor Control

ABSOLUTE MAXIMUM RATINGS (T_A = 25°C UNLESS OTHERWISE NOTED)					
Parameter		Symbol	VP0808L	VP1008L	Unit
Drain-Source Voltage		V_{DS}	–80	–100	V
Gate-Source Voltage		V_{GS}	±30	±30	
Continuous Drain Current (T_J = 150°C)	T_A= 25°C	I_D	–0.28	–0.28	A
	T_A= 100°C		–0.17	–0.17	
Pulsed Drain Current[a]		I_{DM}	–3	–3	
Power Dissipation	T_A= 25°C	P_D	0.8	0.8	W
	T_A= 100°C		0.32	0.32	
Thermal Resistance, Junction-to-Ambient		R_{thJA}	156	156	°C/W
Operating Junction and Storage Temperature Range		T_J, T_{stg}	–55 to 150		°C

Notes
a. Pulse width limited by maximum junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS (T_A = 25°C UNLESS OTHERWISE NOTED)

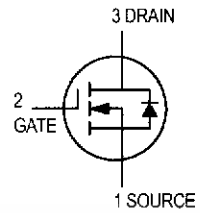
Parameter	Symbol	Test Conditions	Typ[a]	Limits VP0808L Min	Limits VP0808L Max	Limits VP1008L Min	Limits VP1008L Max	Unit
Static								
Drain-Source Breakdown Voltage	$V_{(BR)DSS}$	V_{GS} = 0 V, I_D = −10 µA	−110	−80		−100		V
Gate-Threshold Voltage	$V_{GS(th)}$	V_{DS} = V_{GS}, I_D = −1 mA	−3.4	−2	−4.5	−2	−4.5	V
Gate-Body Leakage	I_{GSS}	V_{DS} = 0 V, V_{GS} = ±20 V			±100		±100	nA
		T_J = 125°C			±500		±500	
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS} = −80 V, V_{GS} = 0 V			−10			µA
		T_J = 125°C			−500			
		V_{DS} = −100 V, V_{GS} = 0 V					−10	
		T_J = 125°C					−500	
On-State Drain Current[b]	$I_{D(on)}$	V_{DS} = −15 V, V_{GS} = −10 V	−2	−1.1		−1.1		A
Drain-Source On-Resistance[b]	$r_{DS(on)}$	V_{GS} = −10 V, I_D = −1 A	2.5		5		5	Ω
		T_J = 125°C	4.4		8		8	
Forward Transconductance[b]	g_{fs}	V_{DS} = −10 V, I_D = −0.5 A	325	200		200		mS
Common Source Output Conductance[b]	g_{os}	V_{DS} = −7.5 V, I_D = −0.1 A	0.45					
Dynamic								
Input Capacitance	C_{iss}	V_{DS} = −25 V, V_{GS} = 0 V f = 1 MHz	75		150		150	pF
Output Capacitance	C_{oss}		40		60		60	
Reverse Transfer Capacitance	C_{rss}		18		25		25	
Switching[c]								
Turn-On Time	$t_{d(on)}$	V_{DD} = −25 V, R_L = 47 Ω I_D ≅ −0.5 A, V_{GEN} = −10 V R_G = 25 Ω	11		15		15	ns
	t_r		30		40		40	
Turn-Off Time	$t_{d(off)}$		20		30		30	
	t_f		20		30		30	

Notes
a. For DESIGN AID ONLY, not subject to production testing..
b. Pulse test: PW ≤ 300 µs duty cycle ≤ 2%.
c. Switching time is essentially independent of operating temperature.

VPDV10

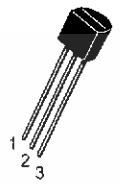
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMOS FET Transistor
N–Channel — Enhancement



VN0300L

Motorola Preferred Device



CASE 29–04, STYLE 22
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain–Source Voltage	V_{DSS}	60	V
Drain–Gate Voltage	V_{DGR}	60	V
Gate–Source Voltage – Continuous – Non–repetitive ($t_p \leq 50$ µs)	 V_{GS} V_{GSM}	 ± 20 ± 40	 Vdc Vpk
Continuous Drain Current	I_D	200	mA
Pulsed Drain Current	I_{DM}	500	mA
Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	350 2.8	mW mW/°C
Operating and Storage Temperature	T_J, T_{stg}	—	°C

THERMAL CHARACTERISTICS

Characteristics	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	312.5	°C/W
Maximum Lead Temperature for Soldering Purposes, 1/16" from case for 10 seconds	T_L	300	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
STATIC CHARACTERISTICS				
Drain–Source Breakdown Voltage (V_{DS} = 0, I_D = 10 µA)	$V_{(BR)DSS}$	30	—	V
Zero Gate Voltage Drain Current (V_{DS} = 48 Vdc, V_{GS} = 0) (V_{DS} = 48 Vdc, V_{GS} = 0, T_A = 125°C)	I_{DSS}	 — —	 10 500	µA
Gate–Body Leakage (V_{DS} = 0, V_{GS} = ±30 V)	I_{GSS}	—	±100	nA
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 1.0 mA)	$V_{GS(th)}$	0.8	2.5	V
On–State Drain Current(1) (V_{DS} = V_{GS}, I_D = 1.0 mA)	$I_{D(on)}$	1.0	—	A
Drain–Source On Resistance(1) (V_{GS} = 5.0 V, I_D = 0.3 A) (V_{GS} = 10 V, I_D = 1.0 A)	$r_{DS(on)}$	 — —	 3.3 1.2	Ω
Forward Transconductance(1) (V_{DS} = 10 V, I_D = 0.5 A)	g_{fs}	200	—	mS

1. Pulse Test; Pulse Width < 300 µs, Duty Cycle ≤ 2.0%.

TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 1

© Motorola, Inc. 1997

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic		Symbol	Min	Max	Unit
DYNAMIC CHARACTERISTICS					
Input Capacitance	(V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 MHz)	C_{iss}	—	100	pF
Output Capacitance		C_{oss}	—	95	pF
Reverse Transfer Capacitance		C_{rss}	—	25	pF
SWITCHING CHARACTERISTICS					
Turn–On Time	(V_{DD} = 25 Vdc, I_D = 1.0 A, R_L = 24 Ω, RG = 25 Ω)	t_{on}	—	30	ns
Turn–Off Time		t_{off}	—	30	ns

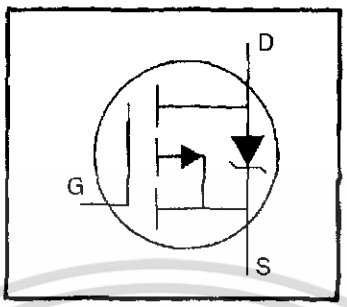
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

nternational
IOR Rectifier

IRF9530

EXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- P-Channel
- 175°C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



V_{DSS} = -100V

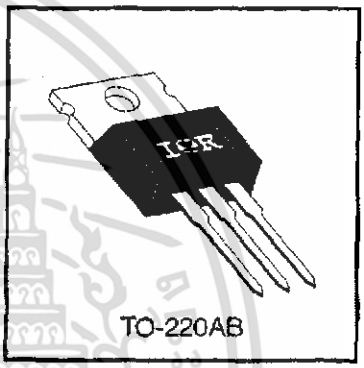
$R_{DS(on)}$ = 0.30Ω

I_D = -12A

escription

ird Generation HEXFETs from International Rectifier provide the designer th the best combination of fast switching, ruggedized device design, low -resistance and cost-effectiveness.

e TO-220 package is universally preferred for all commercial-industrial plications at power dissipation levels to approximately 50 watts. The low ermal resistance and low package cost of the TO-220 contribute to its wide ceptance throughout the industry.



TO-220AB

DATA SHEETS

bsolute Maximum Ratings

	Parameter	Max.	Units
@ T_C = 25°C	Continuous Drain Current, V_{GS} @ -10 V	-12	A
@ T_C = 100°C	Continuous Drain Current, V_{GS} @ -10 V	-8.2	
M	Pulsed Drain Current ①	-48	
D @ T_C = 25°C	Power Dissipation	88	W
	Linear Derating Factor	0.59	W/°C
GS	Gate-to-Source Voltage	±20	V
AS	Single Pulse Avalanche Energy ②	400	mJ
AR	Avalanche Current ①	-12	A
AR	Repetitive Avalanche Energy ①	8.8	mJ
v/dt	Peak Diode Recovery dv/dt ③	-5.5	V/ns
J STG	Operating Junction and Storage Temperature Range	-55 to +175	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

hermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	1.7	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	62	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	-100	—	—	V	V_{GS}=0V, I_D=-250μA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	-0.10	—	V/°C	Reference to 25°C, I_D=-1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.30	Ω	V_{GS}=-10V, I_D=-7.2A ④
$V_{GS(th)}$	Gate Threshold Voltage	-2.0	—	-4.0	V	V_{DS}=V_{GS}, I_D=-250μA
g_{fs}	Forward Transconductance	3.7	—	—	S	V_{DS}=-50V, I_D=-7.2A ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	-100	μA	V_{DS}=-100V, V_{GS}=0V
		—	—	-500		V_{DS}=-80V, V_{GS}=0V, T_J=150°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	-100	nA	V_{GS}=-20V
	Gate-to-Source Reverse Leakage	—	—	100		V_{GS}=20V
Q_g	Total Gate Charge	—	—	38	nC	I_D=-12A
Q_{gs}	Gate-to-Source Charge	—	—	6.8		V_{DS}=-80V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	21		V_{GS}=-10V See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	V_{DD}=-50V
t_r	Rise Time	—	52	—		I_D=-12A
$t_{d(off)}$	Turn-Off Delay Time	—	31	—		R_G=12Ω
t_f	Fall Time	—	39	—		R_D=3.9Ω See Figure 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	860	—	pF	V_{GS}=0V
C_{oss}	Output Capacitance	—	340	—		V_{DS}=-25V
C_{rss}	Reverse Transfer Capacitance	—	93	—		f=1.0MHz See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	-12	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	-48		
V_{SD}	Diode Forward Voltage	—	—	-6.3	V	T_J=25°C, I_S=-12A, V_{GS}=0V ④
t_{rr}	Reverse Recovery Time	—	120	240	ns	T_J=25°C, I_F=-12A
Q_{rr}	Reverse Recovery Charge	—	0.46	0.92	μC	di/dt=100A/μs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)

② V_{DD}=-25V, starting T_J=25°C, L=4.2mH R_G=25Ω, I_{AS}=-12A (See Figure 12)

③ I_{SD}≤-12A, di/dt≤140A/μs, V_{DD}≤$V_{(BR)DSS}$, T_J≤175°C

④ Pulse width ≤ 300 μs; duty cycle ≤2%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

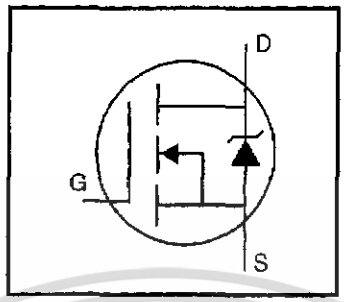
nternational
IOR Rectifier

PD-9.374G

IRF640

EXFET® Power MOSFET

Dynamic dv/dt Rating
Repetitive Avalanche Rated
Fast Switching
Ease of Paralleling
Simple Drive Requirements



V_{DSS} = 200V

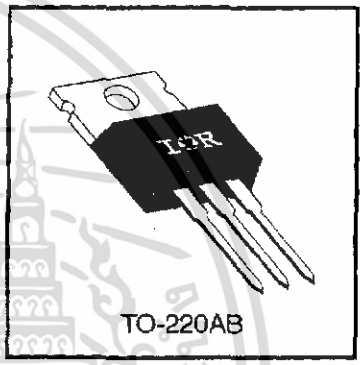
$R_{DS(on)}$ = 0.18Ω

I_D = 18A

escription

ird Generation HEXFETs from International Rectifier provide the designer th the best combination of fast switching, ruggedized device design, low -resistance and cost-effectiveness.

e TO-220 package is universally preferred for all commercial-industrial plications at power dissipation levels to approximately 50 watts. The low ermal resistance and low package cost of the TO-220 contribute to its wide ceptance throughout the industry.



TO-220AB

DATA SHEETS

bsolute Maximum Ratings

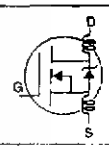
	Parameter	Max.	Units
@ T_C = 25°C	Continuous Drain Current, V_{GS} @ 10 V	18	A
@ T_C = 100°C	Continuous Drain Current, V_{GS} @ 10 V	11	
M	Pulsed Drain Current ①	72	
D @ T_C = 25°C	Power Dissipation	125	W
	Linear Derating Factor	1.0	W/°C
GS	Gate-to-Source Voltage	±20	V
AS	Single Pulse Avalanche Energy ②	580	mJ
R	Avalanche Current ①	18	A
AR	Repetitive Avalanche Energy ①	13	mJ
v/dt	Peak Diode Recovery dv/dt ③	5.0	V/ns
J STG	Operating Junction and Storage Temperature Range	-55 to +150	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

ermal Resistance

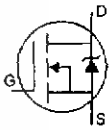
	Parameter	Min.	Typ.	Max.	Units
θJC	Junction-to-Case	—	—	1.0	°C/W
θCS	Case-to-Sink, Flat, Greased Surface	—	0.50	—	
θJA	Junction-to-Ambient	—	—	62	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	200	—	—	V	V_{GS}=0V, I_D= 250μA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.29	—	V/°C	Reference to 25°C, I_D= 1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.18	Ω	V_{GS}=10V, I_D=11A ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	V_{DS}=V_{GS}, I_D= 250μA
g_{fs}	Forward Transconductance	6.7	—	—	S	V_{DS}=50V, I_D=11A ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	V_{DS}=200V, V_{GS}=0V
		—	—	250		V_{DS}=160V, V_{GS}=0V, T_J=125°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	V_{GS}=20V
	Gate-to-Source Reverse Leakage	—	—	-100		V_{GS}=-20V
Q_g	Total Gate Charge	—	—	70	nC	I_D=18A
Q_{gs}	Gate-to-Source Charge	—	—	13		V_{DS}=160V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	39		V_{GS}=10V See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	14	—	ns	V_{DD}=100V
t_r	Rise Time	—	51	—		I_D=18A
$t_{d(off)}$	Turn-Off Delay Time	—	45	—		R_G=9.1Ω
t_f	Fall Time	—	36	—		R_D=5.4Ω See Figure 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact 
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	1300	—	pF	V_{GS}=0V
C_{oss}	Output Capacitance	—	430	—		V_{DS}=25V
C_{rss}	Reverse Transfer Capacitance	—	130	—		f=1.0MHz See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	18	A	MOSFET symbol showing the 
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	72		integral reverse p-n junction diode.
V_{SD}	Diode Forward Voltage	—	—	2.0	V	T_J=25°C, I_S=18A, V_{GS}=0V ④
t_{rr}	Reverse Recovery Time	—	300	610	ns	T_J=25°C, I_F=18A
Q_{rr}	Reverse Recovery Charge	—	3.4	7.1	μC	di/dt=100A/μs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is neglegible (turn-on is dominated by L_S+L_D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)

② V_{DD}=50V, starting T_J=25°C, L=2.7mH R_G=25Ω, I_{AS}=18A (See Figure 12)

③ I_{SD}≤18A, di/dt≤150A/μs, V_{DD}≤$V_{(BR)DSS}$, T_J≤150°C

④ Pulse width ≤ 300 μs; duty cycle ≤2%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้