สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การส่งสัญญาณเสียงโดยส่งผ่านสายไฟบ้าน

# VOICE TRANSMISSION VIA AC LINE

โดย

นางสาวศรยา อินทรธิราช

นายศวพล เวชชประสิทธิ์

เลขหมู่.....
เลขทะเบียน 62790
วัน,เดือน,ปี 22 ส.ค. 2549

b.....
ส.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การส่งสัญญาณเสียงโดยส่งผ่านสายไฟบ้าน

# VOICE TRANSMISSION VIA AC LINE


โดย

นางสาวศรยา อินทรธิราช 46015070

นายศวพล เวชชประสิทธิ์ 46015071

อาจารย์ที่ปรึกษา

ผศ. เกรียงไกร วงศ์โรจนภรณ์

รศ.ดร. สุวิพล สิทธิชีวภาค


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

ผ่านการตรวจชิ้นงานแล้ว

(ลงชื่อ).....ผู้ตรวจ

ผ่านการตรวจรูปเล่มแล้ว

(ลงชื่อ).....ผู้ตรวจ


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2548

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งสัญญาณเสียงโดยส่งผ่านสายไฟบ้าน

VOICE TRANSMISSION VIA AC LINE


ผู้จัดทำ

1. นางสาวศรยา อินทรชิราช 46015070

2. นายศวพล เวชชประสิทธิ์ 46015071


อาจารย์ที่ปรึกษา

(ผศ. เกรียงไกร วงศ์โรจนกรณ์)

อาจารย์ที่ปรึกษา

(รศ.ดร. สุวิพล สิทธิชีวกาค)


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การส่งสัญญาณเสียงโดยส่งผ่านสายไฟบ้าน**

**VOICE TRANSMISSION VIA AC LINE**

**โดย** นางสาวศรยา อินทรธิราช 46015070

นายสวพล เวชชประสิทธิ์ 46015071

**อาจารย์ที่ปรึกษา** ผศ. เกรียงไกร วงศ์โรจนภรณ์

รศ.ดร. สุวิพล สิทธิชีวภาค

**บทคัดย่อ**

โครงงานนี้เป็นการสร้างอุปกรณ์ เพื่อส่งสัญญาณเสียงผ่านไปยังตัวกลางที่เป็นสายไฟบ้าน โดยอุปกรณ์ตัวส่งจะแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล จากนั้นแปลงเป็นคลื่นความถี่ส่งผ่านไปในสายไฟบ้าน และอุปกรณ์ตัวรับจะรับสัญญาณคลื่นความถี่จากสายไฟบ้าน แล้วแปลงกลับเป็นสัญญาณเสียง เพื่อใช้ประโยชน์ในการติดต่อสื่อสาร

**ABSTRACT**

This project presents a design and implementation of voice transmission via AC line. The transmitting unit will convert voice signal to digital signal, then the digital signal will be modulated by FSK modulation and transmit it via AC line. The receiving unit will demodulate FSK signal from AC line to voice signal. For using in communications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำ และคำปรึกษาจาก ผศ.เกรียงไกร วงศ์โรจนภรณ์ และรศ.ดร. สุวิพล สิทธิชีวภาค ซึ่งเป็นอาจารย์ที่ปรึกษา ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ และขอขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกๆท่านที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้า

ขอขอบคุณห้องสมุดคณะวิศวกรรมศาสตร์ และสำนักหอสมุดกลางที่อำนวยความสะดวกเอื้อเฟื้อสถานที่ในการค้นคว้าหาข้อมูล

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ในภาควิชาวิศวกรรมโทรคมนาคม และสาขาอื่นๆ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกคนที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา

สุดท้ายนี้ที่สำคัญที่สุดข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ และให้การสนับสนุนในทุกเรื่อง ทำให้ข้าพเจ้าสามารถทำปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากปริญญานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

นางสาวศรยา อินทรธิราช

นายศวพล เวชชประสิทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สารบัญ**


| | หน้า |
|---|---|
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 2 |
| 2.1 ทฤษฎีการส่งข้อมูลผ่านสายส่งกำลังไฟฟ้า | 2 |
| 2.2 สายส่งกำลังไฟฟ้า | 4 |
| 2.2.1 ลักษณะทั่วไปของสายส่งไฟฟ้า | 4 |
| 2.2.2 ชนิดของสายไฟหุ้มฉนวน | 5 |
| 2.2.3 แรงดันไฟฟ้าลดในสายไฟ (Voltage Drop) | 6 |
| 2.3 พื้นฐานการสื่อสารข้อมูล | 6 |
| 2.3.1 สัญญาณ | 7 |
| 2.3.2 การสื่อสารแบบดิจิตอล | 8 |
| 2.3.2.1 หน่วยของข้อมูลและหน่วยของสัญญาณ | 8 |
| 2.3.2.2 อัตราบอด | 10 |
| 2.3.2.3 คุณสมบัติพิเศษของสัญญาณดิจิตอล | 10 |
| 2.3.2.4 การส่งผ่านข้อมูลดิจิตอล (Digital Transmission) | 12 |
| 2.3.2.5 การส่งข้อมูลแบบขนาน (Parallel Transmission) | 13 |
| 2.3.2.6 การสื่อสารข้อมูลแบบอนุกรม (Serial Transmission) | 14 |
| - การส่งข้อมูลแบบเอะซิงโครนัส (Asynchronous Transmission) | 15 |
| - การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission) | 15 |
| - แบบวิธีของการส่งและเทคนิค (Transmission Mode and Techniques) | 16 |
| 2.4 ดิจิตอลมอดูเลชัน | 17 |
| 2.5 FREQUENCY SHIFT KEYING (FSK) | 19 |
| 2.5.1 FSK Transmitter | 19 |
| 2.5.2 FSK Bandwidth | 20 |
| 2.5.3 FSK Demodulator | 23 |
| 2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) | 25 |
| 2.6.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 25 |
| 2.6.2 วงจรแซมเปิ้ลแอนด์โฮล (Sample and Hold) | 26 |
| 2.6.3 ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampling Theory) | 27 |
| 2.6.4 การควอนไทเซชัน(Quantization) | 29 |
| 2.6.5 การเข้ารหัส (Coding) | 31 |
| 2.7 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converters) | 32 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สารบัญ (ต่อ)**


| | หน้า |
|---|---|
| บทที่ 3 การออกแบบและการสร้าง | 33 |
| 3.1 โครงสร้าง | 33 |
| 3.2 ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) | 33 |
| 3.3 ส่วนของวงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม (Parallel to Serial Converter) | 34 |
| 3.4 ส่วนของวงจร FSK Modulator | 35 |
| 3.5 ส่วนของวงจร FSK Demodulator | 36 |
| 3.6 ส่วนของวงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน (Serial to Parallel Converter) | 39 |
| - วงจรสร้างสัญญาณนาฬิกากลับคืน | 40 |
| 3.7 ส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter) | 41 |
| 3.8 ส่วนของวงจร Power Line Interface | 41 |
| 3.8.1 วงจร Power Amplifier | 42 |
| 3.8.2 วงจร Transformer | 42 |
| บทที่ 4 การทดลองและผลการทดลอง | 45 |
| 4.1 ผลการทดลองของวงจรกำเนิดสัญญาณนาฬิกาที่ความถี่ 64 กิโลเฮิรตซ์ | 45 |
| 4.2 ผลการทดลองของวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 46 |
| 4.3 ผลการทดลองของวงจรการแปลงข้อมูลแบบอนุกรม 8 บิต เป็นข้อมูลอนุกรม 10 บิต | 46 |
| 4.4 ผลการทดลองวงจร FSK Modulator | 52 |
| 4.5 ผลการทดลองวงจร FSK Demodulator | 53 |
| 4.6 ผลการทดลองวงจรสร้างสัญญาณนาฬิกากลับคืน | 53 |
| 4.7 ผลการทดลองวงจรคับปลิ้งลงในสายไฟเอซี | 54 |
| บทที่ 5 บทวิจารณ์และบทสรุป | 56 |
| ภาคผนวก | |
| หนังสืออ้างอิง | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


หน้า

รูปที่ 2.1 การลดทอนสัญญาณข้อมูลในสายส่งกำลังไฟฟ้า 2

รูปที่ 2.2 วงจรคุณลักษณะของสายไฟเอซี 3

รูปที่ 2.3 ตัวอย่างวงจรลักษณะเฉพาะของสายไฟเอซีแบบ 12-2G Romex 3

รูปที่ 2.4 การลดทอนเนื่องจากการแบ่งแรงดันภายในสายเอซี 4

รูปที่ 2.5 บล็อกไดอะแกรมของการสื่อสาร 6

รูปที่ 2.6 แสดงสัญญาณข้อมูลพร้อม Start-Stop 9

รูปที่ 2.7 แสดงสัญญาณรบกวนที่มีผลต่อสัญญาณดิจิตอลเทียบกับสัญญาณอนาลอก 11

รูปที่ 2.8 การสื่อสารข้อมูลแบบขนาน 13

รูปที่ 2.9 การส่งข้อมูลแบบอนุกรม 14

รูปที่ 2.10 8-bit asynchronous bit stream 15

รูปที่ 2.11 แบบวิธี (Mode) ของการส่ง 16

รูปที่ 2.12 สัญญาณเบสแบนด์ดิจิตอล 17

รูปที่ 2.13 เปรียบเทียบรูปคลื่นของดิจิตอลมอดูเลชันทั้ง 3 วิธี 18

รูปที่ 2.14 หลักการสัญญาณอินพุต เอาต์พุตของ FSK 19

รูปที่ 2.15 FSK Modulator 20

รูปที่ 2.16 การเบี่ยงเบนความถี่ 21

รูปที่ 2.17 PLL FSK Demodulator 23

รูปที่ 2.18 แสดงการทำงานและรูปร่างของสัญญาณตามจะต่างๆ เฟสล็อคลูป 24

รูปที่ 2.19 แสดงวงจรแซมเปิ้ลแอนด์โฮล (Sample and Hold) 26

รูปที่ 2.20 ตัวอย่างการใช้วงจรสุ่มและคงไว้ 27

รูปที่ 2.21 สเปคตรัมของสัญญาณเบสแบนด์และสเปคตรัมของสัญญาณสุ่มตัวอย่างต่างๆ กัน 28

รูปที่ 2.22 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์ 29

รูปที่ 2.23 การเกิดสัญญาณรบกวนเนื่องจากการควอนไทซ์ 30

รูปที่ 2.24 ความสัมพันธ์ระหว่างระยะห่างของระดับที่ถูกแบ่งต่างๆ กับสัญญาณรบกวนเนื่องจากควอนไทซ์ 30

รูปที่ 2.25 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing) 31

รูปที่ 2.26 การเข้ารหัส (Coding) 31

รูปที่ 3.1 โครงสร้างของระบบการส่งสัญญาณผ่านสายส่งกำลังไฟฟ้า 33

รูปที่ 3.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 34

รูปที่ 3.3 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม 34

รูปที่ 3.4 วงจร FSK Modulator 35

รูปที่ 3.5 วงจร FSK Demodulator 36



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


หน้า

รูปที่ 3.6 วงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน 39

รูปที่ 3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน 40

รูปที่ 3.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 41

รูปที่ 3.9 โครงสร้างของวงจร Power Line Interface 41

รูปที่ 3.10 วงจร Push-Pull Amplifier 42

รูปที่ 3.11 วงจร Transformer 42

รูปที่ 3.12 วงจร Power Line Interface ด้านภาคส่ง 44

รูปที่ 3.13 วงจร Power Line Interface ด้านภาครับ 44

รูปที่ 4.1 แสดงผลการทำงานของวงจรสร้างสัญญาณนาฬิกาของเครื่องส่งเทียบกับเครื่องกำเนิดสัญญาณสี่เหลี่ยม 45

รูปที่ 4.2 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0000 47

รูปที่ 4.3 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0001 47

รูปที่ 4.4 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0101 48

รูปที่ 4.5 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 1000 48

รูปที่ 4.6 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 1111 49

รูปที่ 4.7 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0001 0000 49

รูปที่ 4.8 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0101 0000 50

รูปที่ 4.9 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1000 0000 50

รูปที่ 4.10 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1111 0000 51

รูปที่ 4.11 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1111 1111 51

รูปที่ 4.12 แสดงผลการทดลองเมื่อป้อนสัญญาณรูปสี่เหลี่ยมเข้าทางอินพุต 52

รูปที่ 4.13 แสดงผลการทำงานของวงจร FSK Modulator จากไอซี XR 2206 52

รูปที่ 4.14 แสดงผลการทำงานของวงจร FSK Demodulator จากไอซี XR 2211 53

รูปที่ 4.15 แสดงผลการทำงานของวงจร สร้างสัญญาณนาฬิกาของเครื่องรับเทียบกับเครื่องส่ง 54

รูปที่ 4.16 แสดงผลการทำงานของสัญญาณที่ผ่านการคับปลิ้งลงในสายไฟเอซี 54

รูปที่ 4.17 แสดงผลการทำงานของสัญญาณที่ผ่านการคับปลิ้งลงในสายไฟเอซี 55

รูปที่ 4.18 แสดงผลการทำงานของสัญญาณที่ยังไม่ผ่านการคับปลิ้งลงในสายไฟเอซี 55



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สารบัญตาราง**


| | หน้า |
|---|---|
| ตารางที่ 2.1 ค่าลักษณะพารามิเตอร์ของสายไฟเอชีประเภทต่างๆ | 3 |
| ตารางที่ 2.2 แสดงประสิทธิภาพการส่งผ่านข้อมูล | 7 |
| ตารางที่ 2.3 เปรียบเทียบการมอดูเลตแบบดิจิตอลและแบบอนาลอก | 17 |
| ตารางที่ 2.4 Bassel Function Table | 22 |
| ตารางที่ 4.1 แสดงผลการทดลองวงจรสัญญาณอนาลอกเปลี่ยนเป็นสัญญาณดิจิตอล | 47 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

การติดต่อสื่อสารระหว่างกันเป็นสิ่งที่ขาดไม่ได้ เกือบทุกแห่งมีกระแสไฟฟ้า ซึ่งทำให้เกิดโครงข่ายของสายส่งกำลังไฟฟ้า (AC Line Network) จึงได้เห็นถึงประโยชน์ของสายไฟฟ้านอกจากจะเป็นทางเดินของกระแสไฟฟ้าที่ใช้ภายในบ้านเรือนแล้ว ยังสามารถเป็นทางเดินของข้อมูลได้ด้วย จึงเกิดแนวคิดที่จะส่งสัญญาณเสียงผ่านสายส่งกำลังไฟฟ้า โดยใช้เทคนิคการส่งรับสัญญาณเสียงแบบ (frequency shift keying: FSK) จึงจำเป็นต้องออกแบบส่วนส่งรับสัญญาณที่มีคุณสมบัติป้องกันต่างๆให้เหมาะสม เช่น ส่วนป้องกันแรงดัน และสัญญาณความถี่ 50 Hz จากสายส่งกำลังไฟฟ้า ในโครงงานนี้จะมีชุดส่งละรับของ FSK โดยชุดส่งจะประกอบด้วยภาค A/D converter กรณีที่ข้อมูลทางด้าน Input เป็น Analog ภาค Modulate แบบ FSK จะสร้างความถี่เปลี่ยนแปลงตามสัญญาณเสียงแบบ Digital และภาค AC Coupling ส่งสัญญาณเสียงเข้าไปในสายส่งกำลังไฟฟ้า ส่วนชุดรับ จะทำการรับสัญญาณจากสายส่งกำลังไฟฟ้าในเฟสเดียวกัน โดยต้องมีความถี่ตรงกับที่กำหนดไว้แล้วมาทำการ Demodulate เปลี่ยนกลับเป็นสัญญาณเสียงตามเดิมเหมือนทางภาคส่ง

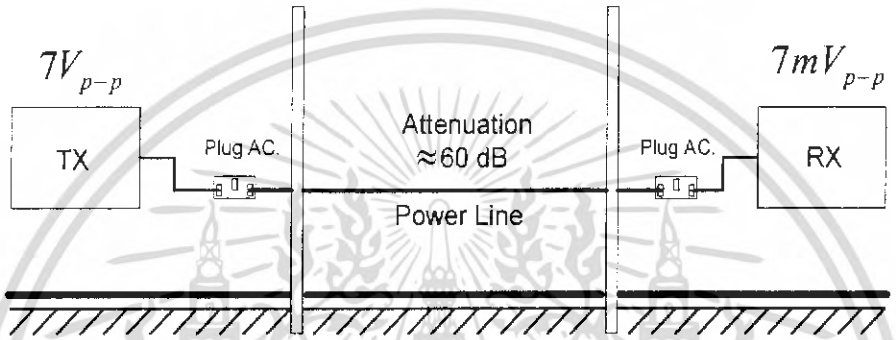
ซึ่งเราจะเห็นข้อดีของการส่งสัญญาณเสียง โดยผ่านสายส่งกำลังไฟฟ้า โดยที่เรานั้นไม่ต้องเดินสายเคเบิลอีกให้ยุ่งยากและสิ้นเปลือง เป็นผลทำให้ประหยัดสายนำสัญญาณที่จะใช้ทำโครงข่ายสื่อสาร ค่าใช้จ่ายในการติดตั้งน้อย ใช้ทรัพยากรที่มีอยู่แล้วให้เกิดประโยชน์สูงสุด และมีความสะดวกในการใช้งาน เพราะเราเพียงแต่นำตัวส่งและตัวรับไปเสียบปลั๊กไฟฟ้าที่ใช้กันอยู่ทั่วไป ก็สามารถที่จะส่งสัญญาณเสียงถึงกันได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีและหลักการ

## 2.1 ทฤษฎีการส่งข้อมูลผ่านสายส่งกำลังไฟฟ้า

เนื่องจากสายไฟเอซีถูกออกแบบมาเพื่อใช้ในการส่งกำลังไฟฟ้าอย่างเดียวเท่านั้น เมื่อเราต้องการที่จะส่งข้อมูลเข้าไปในสายไฟเอซี เราจึงต้องพบกับปัญหาในการส่งข้อมูลที่เกิดขึ้นเช่นสัญญาณรบกวนที่ความถี่สูง (High Noise) การลดทอนสูง (High Attenuation) และการผิดเพี้ยนของสัญญาณ (Signal Distortion)




รูปที่ 2.1 การลดทอนสัญญาณข้อมูลในสายส่งกำลังไฟฟ้า

ในการเกิดการลดทอนในสายสัญญาณนั้นหากพิจารณาจากรูปที่ 2.1 จะพบว่าค่าของการลดทอนจะเป็นดังสมการ

$$\text{Attenuation } n(dB) = 20\log\left(\frac{V_{TX}}{V_{RX}}\right) \tag{2.1}$$

จากรูปสมมติให้ $V_{TX} = 7V_{p-p}$ และ $V_{RX}$ รับได้ $7mV_{p-p}$ ดังนั้นจะเกิดการลดทอนขึ้นในสาย

$$20\log\left(\frac{7}{7\times10^{-3}}\right) = 60dB$$

สำหรับค่าการลดทอนในสายไฟเอซีนั้นจะขึ้นอยู่กับสภาพแวดล้อมของสายว่ามีอุปกรณ์อะไรต่อเป็นโหลดอยู่บ้าง และระยะทาง ซึ่งระดับของค่าการลดทอนในสายจะแบ่งได้เป็นดังนี้

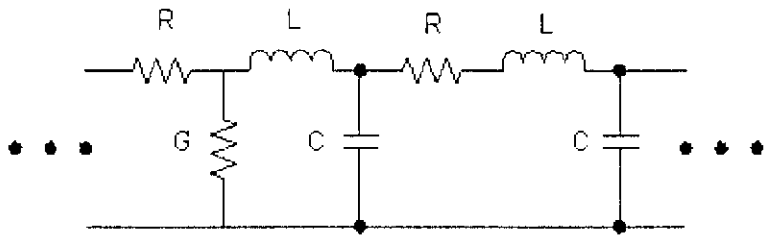
0-20 dB (Low Attenuation)

20-60 dB (Moderate Attenuation)

60-80 dB (High Attenuation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งหากพิจารณาลักษณะของการลดทอนในสายไฟเอซีโดยใช้วงจรคุณลักษณะของสายส่งแล้วจะได้




รูปที่ 2.2 วงจรคุณลักษณะของสายไฟเอซี

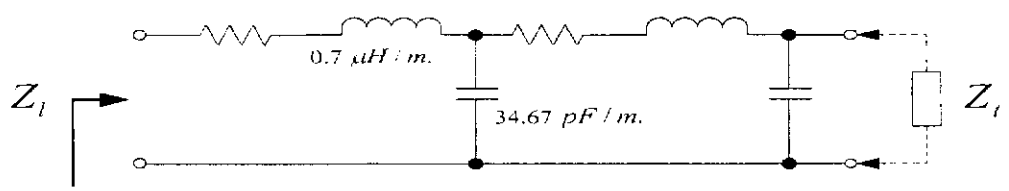
จากรูปที่ 2.2 จะเห็นว่าวงจรคุณลักษณะของสายไฟเอซีจะประกอบไปด้วยค่าของตัวต้านทานต่ออนุกรมอยู่กับสาย ค่าของตัวเหนี่ยวนำต่ออนุกรมอยู่กับสายและค่าของตัวเก็บประจุต่อขนานอยู่กับสายซึ่งค่าของแต่ละตัวจะขึ้นอยู่กับความยาวของสายด้วย

ตารางที่ 2.1 ค่าลักษณะพารามิเตอร์ของสายไฟเอซีประเภทต่างๆ

| **Wire Type** | $C$ / *metre* $(pF)$ | $L$ / *metre* $(\mu H)$ | $R$ / *metre* $(\Omega)$ | $Z_0\,(\Omega)$ |
|---|---|---|---|---|
| 12-2 BX Metal Clad | 75.67 | 0.417 | 0.044 | 74.23 |
| 12-2G Romex NM-B | 34.67 | 0.713 | 0.045 | 143.40 |
| 18-2 Lamp Cord | 44.00 | 0.677 | 0.078 | 124.04 |
| 18-3 LEC Power Cord | 102.67 | 0.650 | 0.105 | 79.56 |

โดยที่ $Z_0 = \sqrt{\left(\frac{L}{C}\right)}$ (2.2)

<u>ตัวอย่าง</u> ของสายไฟเอซีชนิด 12-2G Romex ยาว 20 เมตร




รูปที่ 2.3 ตัวอย่างวงจรลักษณะเฉพาะของสายไฟเอซีแบบ 12-2G Romex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเห็นว่าเราต้องทำการ Matching ค่า Impedance ของสายดังนั้นเราต้องทำค่าของ $Zl$ ให้เหมาะสมเพื่อลดผลของการสะท้อนและลดทอนในสายซึ่งค่าของ $Zl$ สามารถหาได้จาก

$$Zl = Zo\left[\frac{Zt + jZo\tan \mathrm{B}l}{Zo + jZt\tan \mathrm{B}l}\right] \tag{2.3}$$

เมื่อเราแบ่งคิดเป็น 2 กรณีคือ

1) เมื่อโหลดเป็น Low impedance $(Zt\langle\langle Zo)$

จะได้ $Zt = 1\mu F$ EMC capacitor

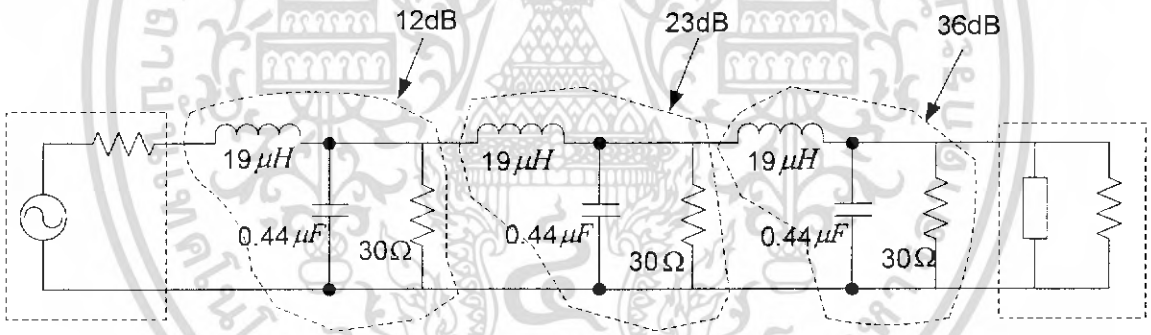
$Zl = j0.6\Omega \quad (130KHz)$

2) เมื่อโหลดเป็น High impedance $(Zt\rangle\rangle Zo)$

จะได้ $Zt = 500\Omega$ Resistive load

$Zl = 471 - j1.1\Omega\,(130KHz)$

หากพิจารณาค่าคุณลักษณะของสายไฟได้แล้วเมื่อต่ออุปกรณ์เข้ากับสายไฟเอซี ก็จะเกิดการลดทอนเนื่องจากแรงดันด้วย (Voltage Divider Attenuation) ดังรูปที่ 2.4




รูปที่ 2.4 การลดทอนเนื่องจากการแบ่งแรงดันภายในสายเอซี

## 2.2 สายส่งกำลังไฟฟ้า

### 2.2.1 ลักษณะทั่วไปของสายส่งไฟฟ้า

สายไฟฟ้ามี 2 แบบด้วยกันคือ สายแข็ง (Solid Wire) และสายตีเกลียว (Stranded Wire) วัตถุที่นำมาทำเป็นสายไฟฟ้า มีทั้งอะลูมิเนียมและทองแดง สายไฟฟ้าที่ทำด้วยอะลูมิเนียมมักจะเป็นสายไฟแรงสูงในระบบสายส่งและเป็นสายแปลือยมากกว่าที่จะใช้ทำเป็นสายไฟแรงต่ำ สายไฟฟ้าที่ทำด้วยทองแดงที่มีใช้ในงานไฟฟ้าทั่วไป สามารถแบ่งออกได้ 2 ชนิดด้วยกันคือ สายเปลือย (Bare Wire) และ สายหุ้มฉนวน (Insulated Wire) สายไฟที่ทำด้วยทองแดงจะต้องมีทองแดงไม่น้อยกว่า 98% และสายไฟที่ทำด้วยอะลูมิเนียมจะต้องมีอะลูมิเนียมจะต้องมีอะลูมิเนียมไม่ต่ำกว่า 99.3%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.2.2 ชนิดของสายไฟหุ้มฉนวน**

ฉนวนที่ใช้หุ้มสายแต่ละชนิดไม่เหมือนกัน ดังนั้นสายไฟฟ้าแต่ละชนิดจึงแบ่งตามชนิดของฉนวนที่นำมาหุ้มเพื่อให้เหมาะสมในแต่ละสภาพที่นำมาใช้งาน

**ชนิด IV**

สายไฟชนิดนี้ตัวนำทำด้วยทองแดงหุ้มด้วยฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไป สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์ และใช้เป็นสายเมนจากวัดต์โอห์มมิเตอร์เข้าบ้านได้

**ชนิด VCT**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งเครื่องจักรกลต่างๆ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

**ชนิด VAF**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไป สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

**ชนิด TW**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัย สำนักงาน และงานอุตสาหกรรมทั่วไป ทนอุณหภูมิได้ถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

**ชนิด THW**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้งานเดียวกับกรณี TW แต่ทนอุณหภูมิได้ถึง 75 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

**ชนิด NYY**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งใต้พื้นดิน สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

**ชนิด VFF**

ตัวนำไฟฟ้าทำด้วยทองแดง ชนิดงอได้ (Flexible copper wire) ใช้กับเครื่องใช้ไฟฟ้าที่เคลื่อนที่ได้ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

**ชนิด AV**

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งกับงานไฟฟ้ารถยนต์ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.2.3 แรงดันไฟฟ้าลดในสายไฟ (Voltage Drop)**

สายไฟฟ้าทุกเส้นจะมีความต้านทานภายใน ความต้านทานของสายไฟนี้จะมากหรือน้อยขึ้นอยู่กับความยาว ถ้าสายไฟมีความยาวมาก ความต้านทานก็มากตาม ดังนั้นเมื่อมีกระแสไหลผ่านสายไฟก็จะเกิดแรงดันไฟลดที่สายนั้นเมื่อแรงดันไฟฟ้าที่ป้อนให้กับเครื่องใช้ไฟฟ้าลดลงต่ำกว่าขนาดที่เครื่องใช้ไฟฟ้ากำหนด ก็จะทำให้การทำงานที่ไม่ดีเท่าที่ควร

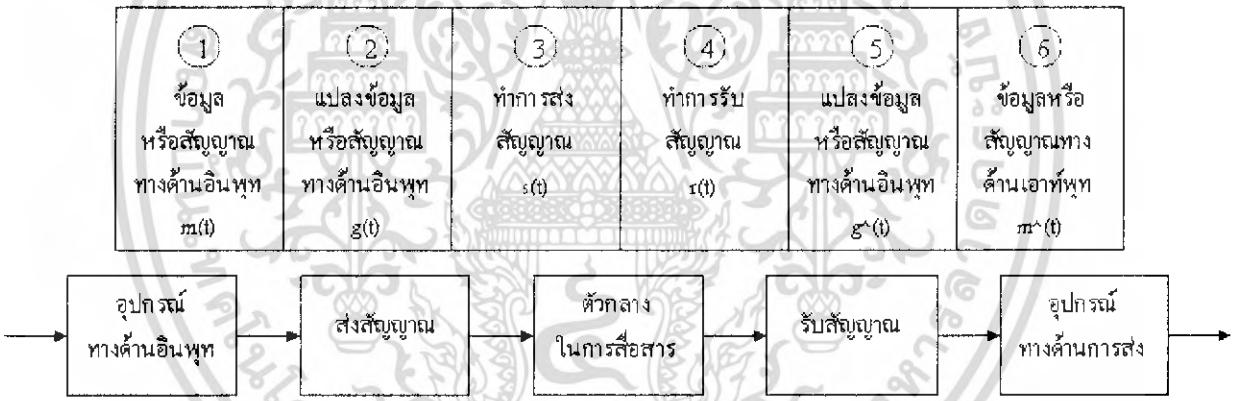
แรงดันไฟฟ้าที่สายป้อน Feeder ไม่ควรเกิน 2% และแรงดันไฟฟ้าลดที่วงจรย่อย branch circuit ไม่ควรเกิน 3% หรือทั้งสายป้อนและวงจรย่อยรวมกันแล้ว แรงดันไฟฟ้าลดจะต้องไม่เกิน 5% ข้อแนะนำนี้เป็นค่าสูงสุด แต่ถ้าจะให้ดีไม่ควรเกิน 2%

## 2.3 พื้นฐานการสื่อสารข้อมูล

ดังนั้นปัจจุบันสัญญาณหลักที่ใช้เพื่อการโทรคมนาคมจึงได้แก่ สัญญาณไฟฟ้า เพราะฉะนั้นถ้าจะกล่าวถึงการสื่อสารเบื้องต้นแล้วก็จะมีประเด็นพื้นฐานอยู่บนสัญญาณไฟฟ้าเป็นหลักนั้นเอง

ระบบการสื่อสาร

รูปแบบการสื่อสารอย่างง่ายๆ ดังบล็อกไดอะแกรมของรูปแบบการสื่อสารดังรูปที่ 2.5




รูปที่ 2.5 บล็อกไดอะแกรมของการสื่อสาร

จุดประสงค์หลักสำคัญของพื้นฐานของการสื่อสารก็คือการแลกเปลี่ยนข่าวสาร (Information) ระหว่างตัวกระทำการในการสื่อสารสองแห่งดังรูป ข่าวสารที่แลกเปลี่ยนก็คือสิ่งที่แทนโดยตัวอักษร m (message labeled) ข่าวสารนี้จะถูกเปลี่ยนให้อยู่ในรูปของข้อมูล g ซึ่งในการส่งผ่านข้อมูลจะอยู่ในรูปของสัญญาณที่เปลี่ยนแปลงตามเวลา g(t) ในเทอมของข้อมูล (data) และข่าวสารได้รับการนิยามไว้ดังตารางที่ 2.2 นิยามเหล่านี้ดูค่อนข้างจะเป็นทางการ อาจจะให้ความหมายได้ดังนี้คือ ข้อมูลคือสิ่งที่สามารถพิสูจน์ได้ ข้อมูลเป็นสิ่งที่อธิบายได้ ข้อมูลไม่จำเป็นที่จะต้องแสดงด้วยคุณสมบัติทางกายภาพที่สามารถวัดได้ ที่กล่าวมานี้คือคุณสมบัติของข้อมูล ที่จะเป็นประโยชน์ในขบวนการผลิตข่าวสาร ด้วยการแปลงข่าวสารให้เป็นข้อมูล ดังนั้นข่าวสารของคนคนหนึ่ง จึงสามารถไปปรากฏเป็นข่าวสารของอีกคน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งได้ ข่าวสารจะเกิดขึ้นก็ต่อเมื่อข้อมูลถูกแปลงความหมายออกมาเพื่อประโยชน์ในการแลกเปลี่ยนข่าวสารการเข้าถึงองค์ประกอบของข้อมูลและประสิทธิภาพในการส่งผ่านจึงเป็นสิ่งที่จำเป็น

ตารางที่ 2.2 แสดงประสิทธิภาพการส่งผ่านข้อมูล

| | |
|---|---|
| ข้อมูล | การแสดงออกหนึ่งการแสดงของข้อเท็จจริง, ความคิด, หรือคำแนะนำในลักษณะท่าทางที่การทำให้เป็นระเบียบแบบแผนที่เหมาะสมสำหรับการสื่อสาร, การอธิบาย, หรือกระบวนการโดยการเป็นอยู่เกี่ยวกับมนุษย์หรือโดยความหมายอัตโนมัติ |
| ข้อมูลการสื่อสาร | ความหมายซึ่งมนุษย์เป็นผู้กำหนดถึงข้อมูลโดยการตกลงกัน สำหรับความหมายของข้อความ |

เราย้อนกลับมาพิจารณารูปที่ 2.5 สัญญาณ g(t) ซึ่งเป็นสัญญาณที่จะถูกส่งผ่านไปมักจะไม่อยู่ในรูปแบบที่เหมาะสมในการส่งผ่าน ดังนั้นจึงต้องมีการเปลี่ยนสัญญาณให้อยู่ในรูปของสัญญาณ s(t) ที่มีความเหมาะสมในการส่งผ่านเข้าไปในตัวกลางมากกว่า สัญญาณนี้จะถูกส่งผ่านไปถึงอีกฝ่ายหนึ่งซึ่งเป็นฝ่ายรับ เมื่อถึงตัวรับสัญญาณ s(t) ก็อาจมีการเปลี่ยนแปลงกลายเป็นสัญญาณ r(t) เมื่อถูกรบกวนด้วยสัญญาณรบกวนขึ้นภายในตัวกลาง ซึ่งสัญญาณ r(t) จะเหมือนหรือไม่เหมือนกับ s(t) ก็ได้สัญญาณ r(t) นี้จะถูกแปลงกลับไปเป็นสัญญาณที่เหมาะสมสำหรับผู้รับกลายเป็นสัญญาณ $\hat{g}(t)$ หรือข้อมูล $\hat{g}(t)$ ซึ่งถือว่าเป็นค่าประมาณของสัญญาณอินพุตและเมื่อถือที่สุดอุปกรณ์เอาต์พุตก็จะทำการประมาณค่าข่าวสาร $\hat{m}(t)$ ส่งให้กับผู้รับปลายทาง

ซึ่งกระบวนการสื่อสารอย่างง่ายๆ ดังที่ได้กล่าวมาแล้ว ได้ซ่อนเอาเทคนิคและวิทยาการซับซ้อนเอาไว้อย่างมากมาย

**2.3.1 สัญญาณ**

สัญญาณ (Signal) มีหลักการแบ่งเป็นประเภทต่างๆ หลายวิธี แต่โดยทั่วไปจะแบ่งได้เป็น

- **สัญญาณพลังงานและสัญญาณกำลัง**

สัญญาณพลังงาน (Energy Signal) คือสัญญาณ f(t) ใดๆ ที่มีค่าพลังงานทั้งหมดจากตัวมันมีค่าจำกัด ตัวอย่างสัญญาณประเภทนี้ได้แก่สัญญาณพัลส์ต่างๆ เป็นต้น

สัญญาณกำลัง (Power Signal) คือสัญญาณใดๆที่ค่าเฉลี่ยของงานที่ทำได้ต่อเวลาของสัญญาณประเภทนี้นั้นมีค่าจำกัด

- **สัญญาณมีคาบและสัญญาณไร้คาบ**

สัญญาณมีคาบ (Periodic Signal) คือสัญญาณที่เกิดขึ้นแล้ว มีรูปแบบของสัญญาณซ้ำรูปเดิมทุกๆ ช่วงเวลาที่มีค่าจำกัดค่าหนึ่งสัญญาณไร้คาบ (A periodic Signal) คือสัญญาณใดๆ ที่ไม่สามารถหาค่าเวลาที่แน่นอนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **สัญญาณกำหนดได้และสัญญาณสุ่ม**

สัญญาณกำหนดได้ (Deterministic Signal) คือสัญญาณที่เมื่อเรารู้ข้อมูลบางอย่างเกี่ยวกับสัญญาณนั้นเพียงพอแล้ว จะสามารถบอกถึงรูปลักษณะที่แน่นอนของสัญญาณนั้นทั้งในอดีตและอนาคตได้อย่างถูกต้อง

สัญญาณสุ่ม (Random Signal) คือสัญญาณใดๆ ถึงแม้เราจะรู้ข้อมูลต่างๆของมันที่ผ่านมาแล้ว มากเพียงใดก็ตามเราก็ไม่สามารถที่จะกำหนดค่าที่แน่นอนของมันได้ ตัวอย่างของสัญญาณชนิดนี้ได้แก่ เสียงจากเครื่องรับวิทยุซึ่งหยุดออกอากาศไปแล้วเป็นต้น

### 2.3.2 การสื่อสารแบบดิจิตอล

#### 2.3.2.1 หน่วยของข้อมูลและหน่วยของสัญญาณ

ในทางทฤษฎีของข้อมูล (Information Theory) นั้น วิธีธรรมดาที่สุดที่ใช้กำหนดปริมาณของข้อมูลที่บรรจุอยู่ในสถานะของข่าวสาร (Message State) หรือในสัญลักษณ์ (Symbol) หรือในรหัส (Code) ต่างๆ นั้น ได้ใช้วิธีการกำหนดโดยการติดต่อค่าลอการิทึม (Logarithm) ของความเป็นไปได้ (Probability) ของการเกิดสถานะของข่าวสารหรือสัญลักษณ์นั้นๆ กล่าวคือ ถ้าสัญลักษณ์ $S_i$ มีโอกาสที่จะเกิดขึ้นเท่ากับ $P_i$ แล้ว ปริมาณของข้อมูล (Information) $I_i$ ที่มีอยู่ในสัญลักษณ์ $S_i$ นั้นจะกำหนดได้โดย

$$I_i = -\log_a(P_i) \tag{2.4}$$

ค่าหน่วย (Unit) ของ $I_i$ ขึ้นอยู่กับค่าฐานของลอการิทึมที่ใช้ในสมการ (2.4) ถ้า $a = e \quad (e = 2.71828...)$ $I_i$ ก็จะมีหน่วยเป็น Nit (Nature information unit) แต่ถ้า $a = 2$, $I_i$ ก็จะมีหน่วยเป็น Bit (Binary information unit)

ถ้าสัญลักษณ์ที่ใช้อยู่ทั้งหมดมี $n$ ตัว ปริมาณของข้อมูลที่มีเฉลี่ย อยู่ในสัญลักษณ์แต่ละตัว

$$I_{AV} = -\sum_{i=n}^{n} p_i i_i \tag{2.5}$$

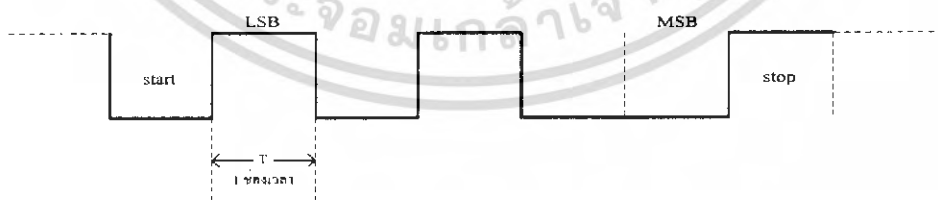
$$I_{AV} = -\sum_{i=1}^{n} p_i \log_a p_i \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการสื่อสารข้อมูลระบบดิจิตอล สถานะของสัญญาณที่ใช้มีเพียงสองสถานะเท่านั้นที่เกิดขึ้นในช่วงเวลาที่กำหนด ซึ่งช่วงเวลาที่กำหนดนี้นิยมเรียกกันว่า ช่องสองเวลา (Time slot) สถานะทั้งสองของสัญญาณดิจิตอลนั้น นิยมกล่าวกันง่ายๆว่า คือ สถานะ "1" และ สถานะ "0" หรือมักที่จะเรียกกันให้ง่ายขึ้นไปอีกว่า คือ 1 และ 0 จะเห็นว่า ถ้าเราตั้งสมมุติฐานว่าสถานะ 0 หรือ 1 นั้น มีโอกาสที่เกิดขึ้นได้เท่าๆกันในแต่ละช่องเวลานั้น ซึ่งใช้สำหรับส่งสัญญาณนั้นแล้วค่าปริมาณข้อมูลของสัญญาณดิจิตอลที่เกิดขึ้นโดยเฉลี่ยในแต่ละช่องเวลานั้น สามารถคำนวณจากสมการที่ (2.6) ได้ว่า มีค่าเท่ากับ 1 บิต เพราะฉะนั้นสำหรับสัญญาณดิจิตอลแล้วจึงเป็นการสะดวกที่จะบอกว่า สัญญาณดิจิตอลนั้นจะมีข้อมูลบรรจุอยู่มากน้อยเท่าใด โดยเพียงสังเกตจากจำนวนช่องเวลาที่ใช้ส่งสัญญาณดิจิตอลดังกล่าวนั้นทั้งนี้เพราะว่า 1 ช่องเวลานั้น มีข้อมูลเฉลี่ยอยู่เท่ากับ 1 บิต ดังนั้นถ้าสัญญาณดิจิตอลที่เราสนใจอยู่นั้นใช้ช่องเวลาทั้งหมดอยู่เท่าใด ก็เท่ากับว่าข้อมูลทั้งหมดในสัญญาณดิจิตอลนั้นมีอยู่เท่านั้น ด้วยสาเหตุดังกล่าวนี้เอง หน่วย บิต จึงได้ถูกขยายมาใช้เป็นหน่วยร่วมของปริมาณต่างๆ 3 อย่าง คือ หน่วยของสัญญาณข้อมูล ( bit : information unit) หน่วยของสัญญาณดิจิตอล ( bit : bit binary unit) และหลักของเลขฐานสอง ( bit : binary digit) กล่าวคือถ้ามีการกล่าวว่า อุปกรณ์เครื่องหนึ่งมีอัตราการส่งข้อมูล (bit rate) เท่ากับ m, bit/s เราอาจตีความหมายได้ 3 อย่างพร้อมๆกัน คือ

1. มีข้อมูลที่ถูกส่งออกไปจากอุปกรณ์ดังกล่าว เป็นปริมาณข้อมูล m บิต ใน 1 วินาที
2. มีสัญญาณดิจิตอลถูกส่งออกไปในช่องเวลาจำนวน m ช่อง ใน 1 วินาที
3. มีเลขฐานสอง ถูกส่งออกไปจำนวน m หลัก หรือ m ตัวในหนึ่งวินาที

หน่วยของข้อมูลดิจิตอลที่พบกันอยู่เสมอไปอีกอย่างหนึ่ง คือ ไบต์ (Byte) ไบต์เป็นหน่วยของข้อมูลที่มีค่าเท่ากับ 8 บิต (1 ไบต์ = 8 บิต)




รูปที่ 2.6 แสดงสัญญาณข้อมูลพร้อม Start-Stop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.3.2.2 อัตราบอด**

อัตราบอด (Baud rate) เป็นหน่วยสำหรับบอกอัตราการส่งสัญญาณต่อวินาที หรือเป็นหน่วยที่บอกถึงอัตราการเกิดของอนุภาคสัญญาณ (Signaling element) ต่อวินาที แสดงจำนวนของสัญญาณแต่ละหน่วยในหนึ่งหน่วยวินาที มันถูกตั้งชื่อตาม Baudot ซึ่งเป็นผู้บุกเบิกการสื่อสารชาวฝรั่งเศส ในการส่งแบบไบนารีมันเป็นสิ่งเดียวกับบิตต่อวินาที (bps) แต่ทั้งสองคำนี้มีความแตกต่างกัน

มีจุดที่น่าสังเกตคือ ทั้งอัตราบอด และ bps อ้างถึงอัตราที่บิตภายในหนึ่งเฟรมถูกส่ง ช่องว่างระหว่างเฟรมอาจมีความยาวแปรเปลี่ยนได้

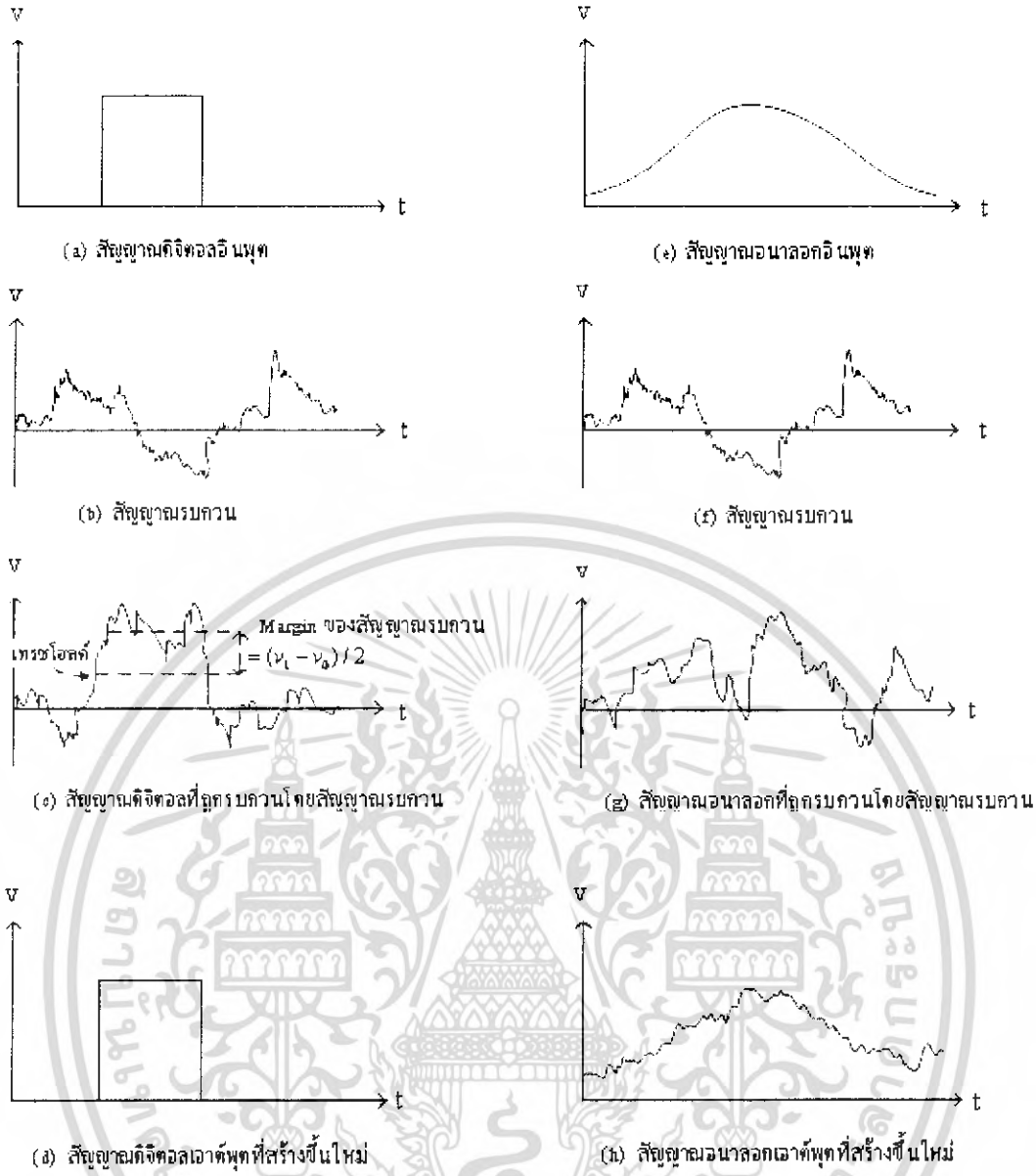
**2.3.2.3 คุณสมบัติพิเศษของสัญญาณดิจิตอล**

สัญญาณระบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอก โดยการแปลงสัญญาณจากอนาลอกให้เป็นสัญญาณดิจิตอลแล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวอย่าง ซึ่งข้อดีของการสื่อสารด้วยสัญญาณดิจิตอลที่สำคัญคือ

สัญญาณรบกวนต่ำ

ในระบบอนาลอกนั้น สัญญาณรบกวน (Noise) และสัญญาณสอดแทรก (Interference) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูลก็จะทำการขยายสัญญาณเหล่านั้นไปด้วย แต่ในระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 (Low) และ 1 (High) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ และสัญญาณดิจิตอลจะทนต่อสัญญาณรบกวนมากกว่าสัญญาณอนาลอก ดังจะเห็นได้จากสัญญาณดิจิตอลตามรูปที่2.7 (a) นั้น เมื่อถูกรบกวนโดยสัญญาณตามรูปที่2.7 (b) แล้วจะมีลักษณะกลายเป็นสัญญาณตามรูปที่2.7 (c) แม้สัญญาณดิจิตอลจะถูกสัญญาณอื่นรบกวนเป็นอย่างมากในลักษณะเช่นนี้ก็ตาม แต่ถ้าสัญญาณรบกวนนั้นมีค่าความแรงสูงสุดไม่เกินระดับเทรชโฮลด์แล้ว (ระดับเทรชโฮลด์ที่ใช้ตามรูปที่2.7 (c) คือระดับที่พอดีเท่ากับครึ่งหนึ่งของความแรงสัญญาณระหว่างสถานะบิต 0 และบิต 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.7 แสดงสัญญาณรบกวนที่มีผลต่อสัญญาณดิจิตอลเทียบกับสัญญาณอนาลอก

ในการรับสัญญาณนี้ เครื่องรับสามารถที่จะสร้างสัญญาณดิจิตอลขึ้นมาใหม่ (Regeneration) ดังแสดงในรูปที่2.7(d)ได้ ทั้งนี้เพราะว่าเครื่องรับสัญญาณดิจิตอลจะใช้การตัดสินใจเพียงแต่ว่า ระดับของสัญญาณที่เข้ามานั้นมีค่ามากหรือน้อยกว่าระดับเทรชโฮลด์เท่านั้น โดยถ้าสัญญาณที่เข้ามามีระดับสูงกว่าระดับเทรชโฮลด์แล้ว เครื่องรับจะบันทึกค่าของสัญญาณนั้นว่าเป็น 1 บิต เช่นนั้นแล้วเครื่องรับจะบันทึกสัญญาณนั้นว่าเป็น 0 ดังนั้น โดยวิธีการนี้เราจะเห็นได้ว่าตราบใดที่สัญญาณรบกวนนั้นมีความแรงสูงสุด ไม่เกินระดับเทรชโฮลด์แล้ว เครื่องรับก็จะสามารถสร้างสัญญาณดิจิตอลขึ้นใหม่ให้เหมือนกับสัญญาณต้นกำเนิดเดิมที่ส่งมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม สำหรับสัญญาณอนาลอกตามรูปที่2.7 (e) นั้นถ้าถูกรบกวนโดยสัญญาณตามรูปที่2.7 (f) ซึ่งมีลักษณะเหมือนกับสัญญาณรบกวนในรูปที่2.7 (b) แล้ว สัญญาณรบกวนจะมีอิทธิพลเป็นอย่างมาก พอที่จะกลมกลืนส่วนของสัญญาณอนาลอกที่มีการเปลี่ยนแปลงน้อยๆได้ ดังแสดงในรูปที่2.7 (g) จะเห็นได้ว่า สำหรับกรณีเช่นนี้ การที่จะสร้างสัญญาณอนาลอกทางเครื่องรับขึ้นมาใหม่เพื่อที่จะให้เหมือนกับสัญญาณอนาลอกต้นกำเนิดเดิมจากเครื่องส่งนั้น ตามธรรมดาแล้วนั้นย่อมเป็นไปไม่ได้เลย ซึ่งสัญญาณของอนาลอกที่เครื่องรับพอจะนำกลับคืนมาได้นั้น จะมีตัวอย่างในรูปที่2.7(h) ซึ่งจะเห็นว่าผิดเพี้ยนไปจากสัญญาณเดิมจากรูปที่2.7 (e) พอสมควร

ง่ายต่อการเข้ารหัส

ในกรณีที่ให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูลได้

สะดวกต่อการมัลติเพล็กซ์

ซึ่งส่วนมากใช้การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex)

แต่ถึงอย่างไรก็ตามการสื่อสารระบบดิจิตอลก็มีข้อเสียอยู่ คือ เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้มีแบนด์วิดธ์ไม่เกิน 3.4 KHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

### 2.3.2.4 การส่งผ่านข้อมูลดิจิตอล (Digital Transmission)

การส่งผ่านข้อมูล ด้วยวิธีการนี้สัญญาณดิจิตอลจะถูกส่งไปได้ในระยะทางที่จำกัดก่อนที่การลดทอนจะทำอันตรายต่อองค์ประกอบของข้อมูล ดังนั้นเพื่อให้การส่งสามารถทำได้เป็นระยะทางไกลๆ เราจึงใช้ตัวทวนสัญญาณ(Repeater) เพื่อกู้สัญญาณดั้งเดิมกลับคืนมา โดยที่ตัวทวนสัญญาณเมื่อได้รับสัญญาณดิจิตอลแล้ว ก็จะทำการกู้รูปแบบของ บิต 1 และ บิต 0 กลับคืนมาอีกครั้ง และส่งต่อออกไปใหม่ ซึ่งทำให้สามารถเอาชนะการลดทอนลงไปได้

ในปัจจุบันมีแนวโน้มที่จะหันมาใช้ในการสื่อสารระบบดิจิตอลที่ได้แทนระบบอนาลอกมากขึ้น แม้ว่าจะได้มีการลงทุนใช้ระบบอนาลอกมาก่อนอย่างมากก็ตาม เหตุผลที่สำคัญก็คือ

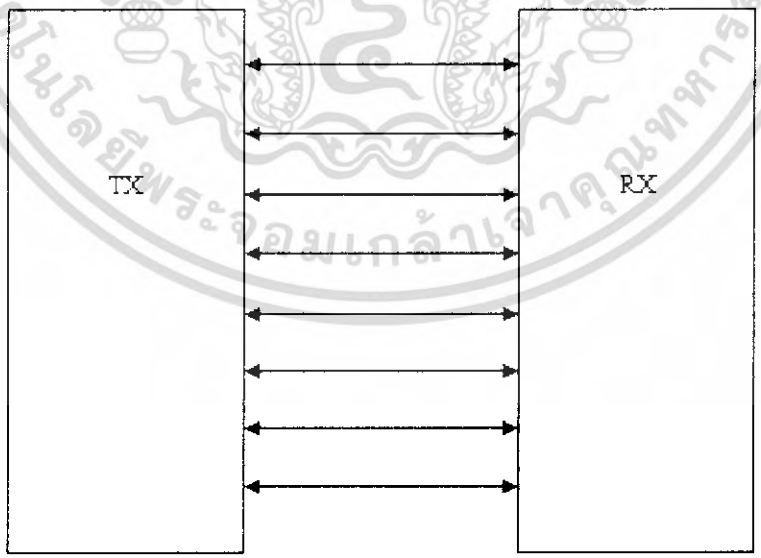
- ดิจิตอลเทคโนโลยี การพัฒนาเทคโนโลยีของวงจรดิจิตอล LSI และ VLSI ทำให้ราคาและขนาดของวงจรลดลงในขณะที่เครื่องมือทางอนาลอกไม่ได้ลดลง
- คุณภาพของข้อมูล สำหรับขบวนการทางดิจิตอล การใช้ตัวทวนสัญญาณแทนที่จะใช้ตัวขยายสัญญาณทำให้อิทธิพลของสัญญาณรบกวนไม่ถูกสะสม ทำให้เราสามารถส่งข้อมูลไปได้ระยะทางไกลๆ แม้ว่าคุณภาพของสายจะไม่ดีก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความจุของการใช้งานมีมาก มันเป็นเรื่องที่สิ้นเปลืองมากในการที่เราจะต้องสร้างทางเดินการส่งผ่านข้อมูลที่มีแบนวิดธ์กว้างมากๆ เช่น ช่องสัญญาณดาวเทียมและเส้นใยนำแก้ว ดังนั้นการนำขบวนการในการมัลติเพล็กซ์เข้ามาใช้งาน
- ความปลอดภัยและความเป็นส่วนตัว เทคนิคการย่อข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิตอล และพร้อมที่จะนำมาใช้กับข้อมูลอนาลอกที่ถูกดิจิไตซ์แล้ว

#### 2.3.2.5 การส่งข้อมูลแบบขนาน (Parallel Transmission)

ลักษณะการส่งข้อมูลแบบขนานในกรณี ADC converter ทำได้โดยการส่งข้อมูลออกมาทีละ 8 bit อุปกรณ์ส่งไปยังอุปกรณ์รับ ตัวกลางระหว่าง 2 เครื่อง จะต้องมีช่องทางให้ข้อมูลเดินทาง 8 ช่องทางโดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางอื่น เนื่องจากสัญญาณสูญหายไปกับความต้านทานของสายระยะทางระหว่าง 2 เครื่องไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางสายมากกว่านี้ก็คือ ระดับของกราวด์ทางไฟฟ้าที่จุดรับผิดไปจากจุดส่งทำให้เกิดการผิดพลาด ในการรับสัญญาณลอจิกทางฝ่ายรับ นอกจากสายที่เป็นทางเดินข้อมูลแล้ว อาจจะมีทางเดินของสัญญาณควบคุมอื่นๆ อีกเป็นต้นว่าบิตที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทาง หรือสายที่ควบคุมการโต้ตอบ ( Hand – Shake ) จะเห็นว่าการส่งแบบขนานส่วนมากจะทำในระยะใกล้ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 เส้นทาง ดังนั้นในกรณีต้องการสื่อสารระยะไกล จึงต้องส่งข้อมูลแบบอนุกรม

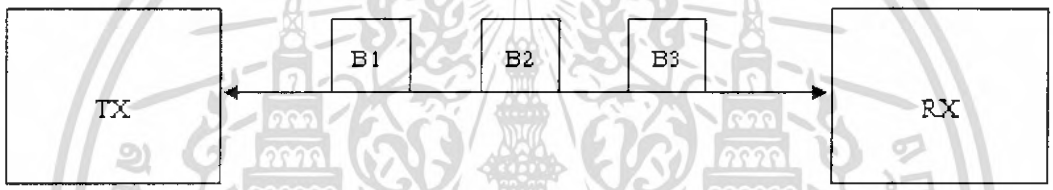



รูปที่ 2.8 การสื่อสารข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.3.2.6 การสื่อสารข้อมูลแบบอนุกรม (Serial Transmission)**

ในการสื่อสารข้อมูลแบบอนุกรม ซึ่งข้อมูลจะถูกเคลื่อนไปทางเดินของการสื่อสารเพียงสายเดียว แทนที่จะเป็นกลุ่มของสายที่ขนานกันที่เรียกว่า ข้อมูลถูกส่งออกมาที่ละบิต ระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวมาข้างต้น แต่จุดเด่นของการส่งข้อมูลแบบอนุกรมก็คือ ตัวกลางการสื่อสารต้องการเพียงช่องทางเดียว หรือสายเพียงคู่เดียว ค่าใช้จ่ายในการสื่อสารจะต้องถูกกว่าแบบขนานแน่นอน สำหรับการส่งระยะทางไกล ๆ โดยเฉพาะเมื่อเรามีระบบสื่อสารทางโทรศัพท์ๆ ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่จะทำการติดต่อสื่อสารทีละ 8 ช่องทางเพื่อการถ่ายโอนข้อมูลแบบขนานอย่างแน่นอน รูปที่ 2.9 แสดงให้เห็นการส่งข้อมูลแบบอนุกรมข้อมูลจากจุดส่งจะถูกเปลี่ยนข้อมูลให้เป็นแบบอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกทีละบิตไปยังจุดรับ ณ ที่จุดรับจะต้องมีกลไกในการเปลี่ยนข้อมูลนาทีละบิตให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือ บิต 1 ลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิต ให้ลงตัวพอดีจำเป็นจะต้องมีกลไกที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับ




รูปที่ 2.9 การส่งข้อมูลแบบอนุกรม

การซิงโครไนซ์ เป็นหัวใจสำคัญในงานทางด้านการสื่อสารข้อมูล โดยที่ตัวส่งจะส่งข่าวสาร 1 บิต ที่เวลาหนึ่งผ่านตัวกลางไปยังผู้รับ ผู้รับจะต้องแยกให้ได้ว่าที่ตำแหน่งเริ่มต้นหรือตำแหน่งสิ้นสุดของบล็อกของบิต และจะต้องรู้ถึงค่าระยะเวลาของสัญญาณ 1 บิต เพื่อที่จะได้สามารถสุ่มสัญญาณในสายได้ถูกต้องและอ่านค่าของแต่ละบิต

ตัวอย่างหนึ่งคือ ผู้รับควรจะพยายามสุ่มเอาค่าสัญญาณจากตัวกลางที่ตำแหน่งเวลากึ่งกลางของแต่ละบิต แต่ถ้ามีความแตกต่างของเวลาเกิดขึ้นระหว่างตัวรับและส่ง 5% ของแต่ละบิต ดังนั้นที่การสุ่มค่าตัวอย่างของสัญญาณครั้งที่ 10 จะทำให้ตัวรับเกิดการเก็บข้อมูลผิดพลาด แต่สำหรับความแตกต่างของเวลาบิตที่น้อยมากๆ ความผิดพลาดก็จะเกิดขึ้นที่ตำแหน่งบิตที่ไกลออกไปอีก ถึงกระนั้นก็ดี ก็ยังทำให้ตัวรับกับตัวส่ง ทำงานซิงค์โครไนซ์กันไม่ได้

มีวิธีการง่ายๆอยู่สองวิธี ที่ใช้ในการแก้ปัญหาซิงค์ วิธีแรกเรียกว่า Asynchronous transmission ซึ่งเป็นวิธีที่บิตทั้งหลายถูกส่งไปเป็นบล็อกๆ ละหนึ่งตัวอักษร โดยปรกติแต่ละอักขระ จะมีความยาวจำนวนบิตข้อมูล 5 ถึง 8 บิต เวลาหรือการซิงค์จะถูกรักษาให้อยู่แต่เพียงในแต่ละอักขระ ตัวรับจะถือโอกาสเริ่มทำการซิงค์โครไนซ์สัญญาณใหม่ที่จุดเริ่มต้นของอักขระใหม่แต่ละตัว สำหรับอีกวิธีหนึ่งก็คือ การทำการซิงค์โครไนซ์สำหรับการส่งผ่านสัญญาณข้อมูล ที่มีบล็อกที่ยาวมาก

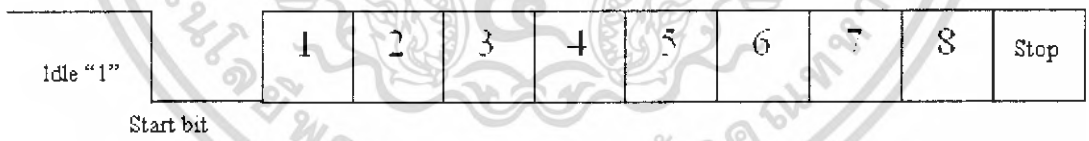
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะว่าบล็อกของบิตที่ส่งจะยาวมากใน 1 ครั้ง ซึ่งตัวรับจะต้องรักษาการซิงโครนัส กับตัวส่งเป็นระยะเวลาที่ยาวนาน วิธีการแบบหลังนี้เรียกว่า การส่งสัญญาณแบบ ซิงค์โครนัส

**การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)**

เป็นการแก้ปัญหาการซิงโครไนเซชันวิธีหนึ่งก็คือ การส่งบล็อกที่ประกอบด้วยบิตจำนวนน้อยๆ ในแต่ละบล็อก และทำการซิงโครนัสใหม่ทุกครั้ง ที่ตำแหน่งเริ่มต้นของแต่ละบล็อกและเทคนิคเก่าอันหนึ่งที่เป็นรู้จักกันได้แก่ Start – Stop หรือการส่งแบบอะซิงโครนัสการส่งผ่าน แบบอะซิงโคนัส นับว่าเป็นการส่งแบบที่เรียกว่า Character – Oriented โดยจำนวนบิตใน 1 อักขระ จะถูกกำหนดให้มีได้ตั้งแต่ 5 ถึง 8 บิต

เทคนิคอันนี้สามารถที่จะอธิบายได้ง่ายๆ ดังรูปที่ 2.10 คือเมื่อไม่มีการส่งอักขระสายระหว่างผู้รับและผู้ส่งจะอยู่ในสถานะ "idle" ซึ่งตามมาตรฐานจะถูกกำหนด ให้มีสถานะให้เป็นสถานะเป็นมาร์ค (1) ดังนั้นสำหรับสัญญาณ NRZ-L idle ก็จะถูกแทนด้วยการมีค่าศักย์ไฟฟ้า (หรือกระแส) ในสาย ที่ตำแหน่งเริ่มต้นของอักขระที่เรียกว่าบิตเริ่มต้นค่าของไบนารีจะมีค่าเป็น 0 ก็ต่อไปก็จะตามกลุ่มบิตของอักขระตั้งแต่ 5 – 8 บิต ในบางกรณีก็จะมีบิตพาริตี้ด้วย สำหรับบิตพาริตี้ด้วย สำหรับบิตพาริตี้จะถูกกำหนดขึ้นโดยผู้ส่ง เพื่อให้ผู้รับใช้สำหรับตรวจจับความผิดพลาด บิตสุดท้ายของอักขระจะถูกตามด้วยบิต stop ซึ่งมีค่าไบนารีเป็น "1" ความยาวต่ำสุดของบิตสิ้นสุดถูกกำหนดให้เป็น 1 บิต โดยทั่วไปแล้วละกำหนดให้เป็น 1, 1.5, 2 เท่าของบิต สำหรับค่านานที่สุดจะไม่ถูกกำหนดเพราะว่าบิตสิ้นสุดจะไปเหมือนกับสถานะ idle ตัวส่งจะส่งบิตสิ้นสุดต่อเนื่องจนกระทั่งมันพร้อมที่จะส่งอักขระถัดไป ถ้าขบวนอักขระถูกส่งอย่างต่อเนื่องคงที่สม่ำเสมอ ช่องว่างอักขระที่จะมีค่าเท่ากันตลอดซึ่งจะเท่ากับบิตสิ้นสุด




รูปที่ 2.10 8-bit asynchronouse bit stream

**การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)**

แม้ว่าชนิดของเฟรมจะเป็นตัวกำหนดความแตกต่างระหว่างการส่งข้อมูลแบบซิงโครนัสและอะซิงโครนัสก็ตาม แต่ความแตกต่างของหลักพื้นฐานระหว่างวิธีทั้งสองก็คือว่า สัญญาณนาฬิกาที่ควบคุมการส่งผ่านแบบอะซิงโครนัส ของตัวส่งและตัวรับจะไม่ซิงค์กันพอดีก็ได้ ในขณะการส่งผ่านของซิงโครนัส สัญญาณนาฬิกาของตัวส่งและรับจะต้องซิงค์กันพอดี ซึ่งอาจจะทำได้โดยการเพิ่มสายต่อระหว่างส่วนของอุปกรณ์ทั้งสองเพื่อ นำเพาสัญญาณนาฬิกาให้ไปด้วย เพื่อให้อุปกรณ์ทางด้านรับสามารถที่จะตรวจหาได้อย่างแน่นอนว่า เมื่อไดบิตใหม่แต่บิตกำลังส่งมา แต่อย่างไรก็ตามในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการที่ทำกันปกติคือใช้สายข้อมูลเพียงเส้นเดียว แต่ฝากข้อมูลของสัญญาณนาฬิกามาร่วมกับรูปคลื่นที่ใช้ส่ง โดยวิธีการนี้สัญญาณนาฬิกาในการสุ่มของตัวรับจะต้องถูกแยกออกมาจากขบวนของสัญญาณข้อมูลที่เข้ามาด้วยวงจรแยกสัญญาณที่เหมาะสม

**แบบวิธีของการส่งและเทคนิค (Transmission Mode and Techniques)**

1. แบบซิมเพลกซ์ (Simplex) เป็นแบบวิธีของการส่งซึ่งสัญญาณเดินทางในทิศทางเดียวจากผู้ส่งไปยังผู้รับ บางครั้งก็เรียกว่า Undirect Data Bus
2. แบบครึ่งดูเพลกซ์ (Half-Duplex) เป็นแบบวิธีของการส่งซึ่งสัญญาณเดินทางผ่านตัวกลางในการส่งได้ทั้งสองทางแต่คนละเวลากัน จะผลัดกันส่งและผลัดกันรับ จะพร้อมกันไม่ได้
3. แบบเต็มดูเพลกซ์ (Full- Duplex) เป็นแบบวิธีของการส่งซึ่งสัญญาณเดินทางผ่าน ตัวกลางในการส่งได้ทั้งสองเวลาเดียวกัน เช่น โทรศัพท์เป็นต้น

รูปที่ 2.11 แบบวิธี (Mode) ของการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.4 ดิจิตอลมอดูเลชัน**

เนื่องจากจากสัญญาณดิจิตอลในแบนด์มูลฐาน มีองค์ประกอบของสัญญาณที่มีความถี่ต่ำอยู่เป็นส่วนใหญ่จึงเหมาะสมที่จะใช้กับระบบสื่อสารที่ใช้สายโดยตรง แต่ไม่เหมาะที่จะใช้ส่งผ่านระบบที่ไม่ยอมให้ความถี่ต่ำผ่านไปได้ เช่น ระบบโทรศัพท์ที่จะต้องผ่านชุมสาย และไม่เหมาะกับการส่งสัญญาณนั้นโดยตรงด้วยคลื่นในย่านความถี่วิทยุเป็นต้นจึงจำเป็นต้องใช้การมอดูเลตมาช่วยเพื่อย้ายสเปกตรัมของสัญญาณดิจิตอลที่ใช้คลื่นพาห์ไว้เป็นสังเขปการส่งสัญญาณดิจิตอล เช่นสัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุเทคนิคในการมอดูเลตสัญญาณดิจิตอลนี้มี 3 แบบด้วยกันคือ

1. การมอดูเลตทางแอมพลิจูด (Amplitude Shift Keying: ASK)
2. การมอดูเลตทางความถี่ (Frequency Shift Keying: FSK)
3. การมอดูเลตทางเฟส (Phase Shift Keying: PSK)

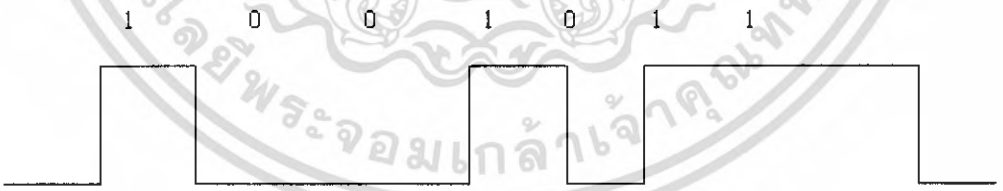
โดยคลื่นพาห์ $= A\cos(2\pi f_c t + \phi)$

ในที่นี้ A คือ แอมพลิจูดของคลื่นพาหะ

$f_c$ คือ ความถี่คลื่นพาหะ

$\phi$ คือ Initial Phase

สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสามเหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการมอดูเลตสัญญาณดิจิตอลนี้ หนึ่งในสามพารามิเตอร์คือ แอมพลิจูด ความถี่ หรือเฟส ของคลื่นพาห์ จะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์

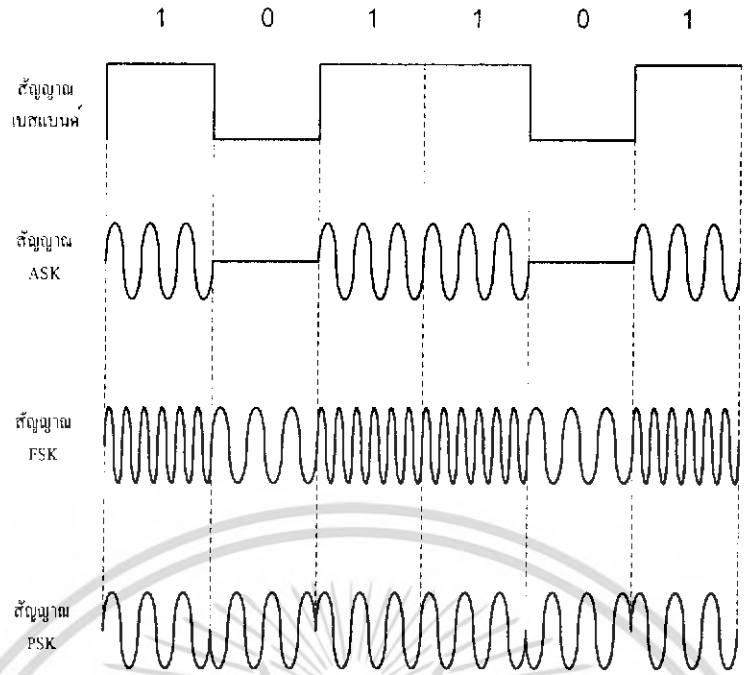



รูปที่ 2.12 สัญญาณเบสแบนด์ดิจิตอล

ตารางที่ 2.3 เปรียบเทียบการมอดูเลตแบบดิจิตอลและแบบอนาลอก

| การมอดูเลตแบบดิจิตอล | การมอดูเลตแบบอนาลอก |
|---|---|
| ASK (Amplitude Shift Keying) | AM |
| FSK (Frequency Shift Keying) | FM |
| PSK (Phase Shift Keying) | PM |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62790




รูปที่ 2.13 เปรียบเทียบรูปคลื่นของดิจิตอลมอดูเลชันทั้ง 3 วิธี

สัญญาณดิจิตอลเบสแบนด์ เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการมอดูเลตสัญญาณดิจิตอลนี้ หนึ่งในสามพารามิเตอร์คือ แอมพลิจูด ความถี่ หรือ เฟส ของคลื่นพาห์ จะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์

โดยในโครงงานนี้เป็นลักษณะการติดต่อระหว่างเครื่องส่งกับเครื่องรับผ่านทางสายไฟ 220 V ซึ่งเป็นสายทองแดงสองเส้นอยู่ภายใน ซึ่งสายทองแดงนี้มิได้ออกแบบมาใช้ส่งสัญญาณในรูปแบบดิจิตอลที่ออกมาจากวงจรเข้ารหัสอนุกรมได้ เป็นผลทำให้เกิดการสูญเสียของสัญญาณในสาย และมีโอกาสถูกรบกวนจากสัญญาณอื่นจนทำให้ข้อมูลผิดพลาดได้ ดังนั้นเพื่อให้การส่งมีประสิทธิภาพมากขึ้น จำเป็นต้องมีการแปลงสัญญาณรูปแบบดิจิตอลให้เป็นรูปแบบที่เหมาะสมในการส่งผ่านสายทองแดง

วิธีที่นิยมกันของรูปแบบที่ใช้ในการส่งผ่านสายทองแดงทั่วไป ก็คือการส่งแบบ FSK (Frequency Shift Keying) เป็นวิธีที่นิยมใช้ในการส่งผ่านสายต่างๆ ของระบบคอมพิวเตอร์ เช่น ในระบบ LAN หรือการติดต่อผ่านโมเด็ม เนื่องจาก FSK เป็นการแปลงรูปแบบดิจิตอลให้มาอยู่ในรูปของความถี่ ซึ่งจะทำให้ข้อมูลที่ส่งในสายซึ่งเป็นแบบต่อเนื่อง (Analog) จะไม่ทำให้เกิดสัญญาณรบกวนและเกิดความผิดพลาดจากสัญญาณรบกวนต่างๆ

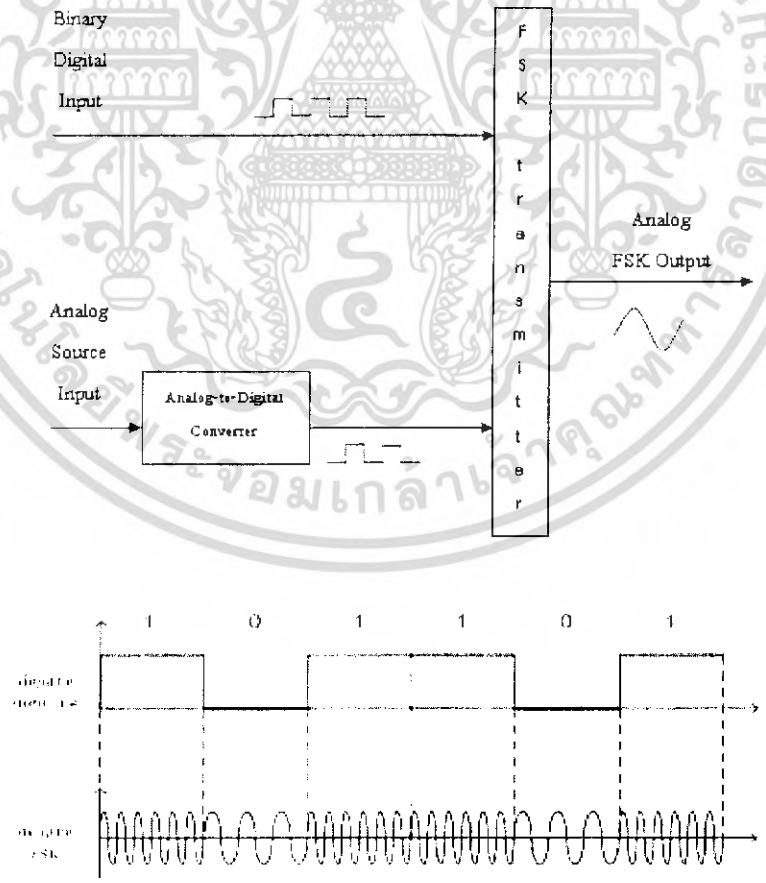
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 FREQUENCY SHIFT KEYING (FSK)

### 2.5.1 FSK Transmitter

ภาคส่งสัญญาณ FSK มีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอล ที่มีลักษณะเป็นข้อมูลไบนารีจะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางด้านเอาต์พุตของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลง อย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลด้านอินพุตเปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกัน ลอจิก "0" เป็นลอจิก "1" ) สัญญาณเอาต์พุตจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกัน คือ ความถี่ที่ลอจิก "1" หรือ Mark Frequency $(f_m)$ และความถี่ที่ลอจิก "0" หรือ Space Frequency $(f_s)$

การเปลี่ยนแปลงหรือการเลื่อน ของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะของลอจิกด้านสัญญาเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอลมอดูเลชัน อัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุตของ FSK Generator จะเรียกว่า อัตราบิต หรือ Bit rate มีหน่วยเป็น บิตต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาต์พุต ของ FSK Generator เรียกว่า อัตราบอด หรือ Baud rate ดังนั้นในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิตจะเท่ากับอัตราบอด เสมอซึ่ง FSK Transmitter แสดงดังรูปที่ 2.14

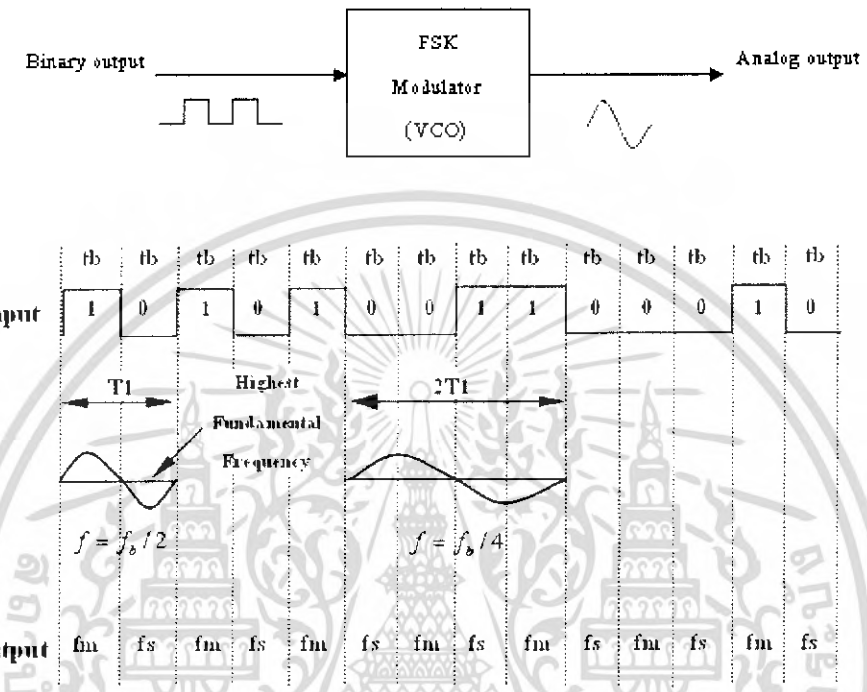



รูปที่ 2..14 หลักการสัญญาณอินพุต เอาต์พุตของ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.5.2 FSK Bandwidth**

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาลอก หรือสัญญาณความถี่นั้นแบนด์วิดธ์ เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรกเนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธีการของ FM ดังนั้นการอธิบายถึงสูตรต่าง ๆ ก็ใช้หลักการของ FM ทุกอย่าง




รูปที่ 2.15 FSK Modulator

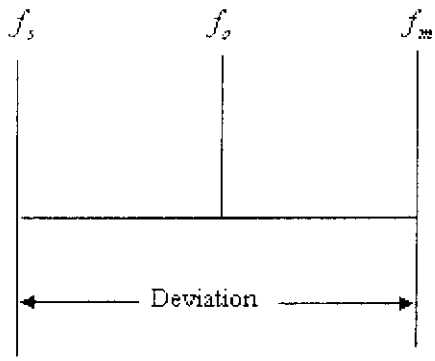
ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมา Modulate แบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit rate คือ

$$fa_{max} = \text{bit rate}/2 \qquad (2.7)$$

เมื่อ $fa_{max}$ ความถี่สูงสุดของสัญญาณดิจิตอลที่นำมามอดูเลต

ความถี่กลาง (Center Frequency: $f_o$) ของ VCO จะอยู่ตำแหน่งกลางระหว่าง (Frequency : $f_m$) กับ (Space Frequency : $f_s$) ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.16 การเบี่ยงเบนความถี่

ลอจิก "1" ด้านอินพุตจะเลื่อนความถี่ของ VCO จาก $f_o$ ไปเป็น $f_s$ จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุตจาก 1 ไปเป็น 0 หรือ 0 ไปเป็น 1 จะทำให้ความถี่เอาต์พุตของ VCO เลื่อนหรือเบี่ยงเบนไปมาระหว่าง $f_m$ กับ $f_s$ เนื่องจากได้กล่าวมาแล้วว่า FSD นั้นคือการ Modulate แบบ FM ดังนั้นดัชนีการ Modulate (Modulation index = $MI$) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \frac{\Delta f}{f_a} \tag{2.8}$$

เมื่อ $MI$ คือ ดัชนีการมอดูเลต

$\Delta_f$ คือ การเบี่ยงบนของความถี่ใด ๆ จากความถี่กลาง(Hz)

$f_a$ คือ ความถี่ของสัญญาณที่นำมามอดูเลต

ค่า $MI$ ที่ยอมให้มีได้สูงสุดคือ 1 $MI$ ที่ทำให้แบนด์วิด กว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อการเบี่ยงเบนของความถี่ถูกมอดูเลตแล้วและความถี่ของสัญญาณที่นำมามอดูเลตมีค่าสูงสุด

ใน FSK Modulate ค่า $\hat{}F$ เป็นการเบี่ยงเบนความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลตแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง $f_o$ กับ $f_s$ นั้นคือ

$$\Delta_f = \frac{f_m - f_s}{2} \tag{2.9}$$

การเบี่ยงเบนของความถี่สูงสุด ขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณ ที่นำมามอดูเลต (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" จะได้แรงดันค่าหนึ่งตามสถานะเช่น 5 โวลต์หรือถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับลอจิก "0" เช่น 0 โวลต์ ดังนั้นความถี่ที่เบี่ยงเบนของ FSK จะเบี่ยงเบนความถี่คงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$f_a$ เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุต ซึ่งจะทำให้แบนด์วิดธ์ กว้างที่สุดเมื่อ $f_a$ = bit rate/2 เท่านั้น เพราะฉะนั้นเราสามารถหาค่า $MI$ ได้จาก

$$MI = \frac{f_m - f_s}{2} \tag{2.10}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้น อยู่กับขนาดหรือแอมพลิจูดของสัญญาณ ที่นำมามอดูเลต (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" จะให้แรงดันค่าหนึ่งตามสถานะเช่น 5 โวลต์ หรือถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับลอจิก "0" เช่น 0 โวลต์ ดังนั้นความถี่ที่เบี่ยงเบนของ FSK จะเบี่ยงเบนความถี่คงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

$f_a$ เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุต ซึ่งจะทำให้แบนด์วิดธ์ กว้างที่สุดเมื่อ $fa$ = Bit rate/2 เท่านั้น เพราะฉะนั้นเราสามารถหาค่า $MI$ ได้จาก

$$MI = \frac{(f_m - f_s)/2}{f_b/2} \tag{2.11}$$

$$= \frac{f_m - f_s}{f_b} \tag{2.12}$$

เมื่อ $f_m - f_s$ : ความถี่เบี่ยงเบนสูงสุด

$f_b$ : อัตราบิตของไบนารีสูงสุด

ในการส่งสัญญาณ FM ทั่วไป ความกว้างของแบนด์วิดท์ จะแปรผันโดยตรงกับค่า $MI$ ซึ่งเช่นเดียวกันกับ FSK ที่ค่า $MI$ โดยทั่วๆ ไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็น FM แบนด์แคบ ค่าแบนด์วิดท์ที่แคบที่เรียกว่า Minimum Nyquist Bandwidth ($Fn$)

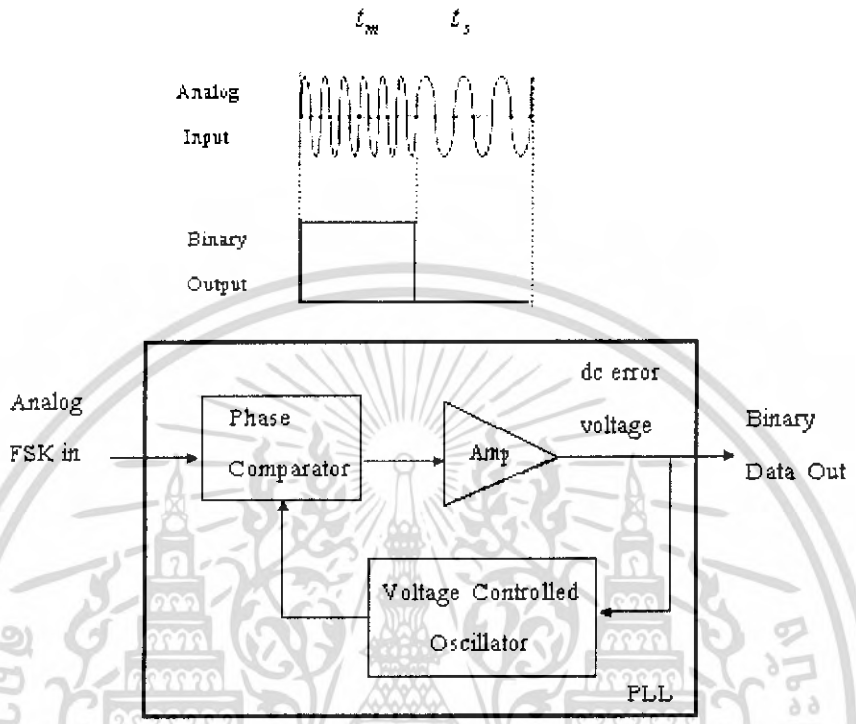
ตารางที่ 2.4 Bassel Function Table

| M | J0 | J1 | J2 | J3 | J4 |
|---|---|---|---|---|---|
| 0.0 | 1.0 | | | | |
| 0.25 | 0.95 | 0.12 | | | |
| 0.5 | 0.94 | 0.24 | 0.03 | | |
| 1.0 | 0.77 | 0.44 | 0.11 | 0.02 | |
| 1.5 | 0.51 | 0.55 | 0.23 | 0.56 | 0.01 |
| 2.0 | 0.22 | 0.56 | 0.35 | 0.13 | 0.03 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.5.3 FSK Demodulator**

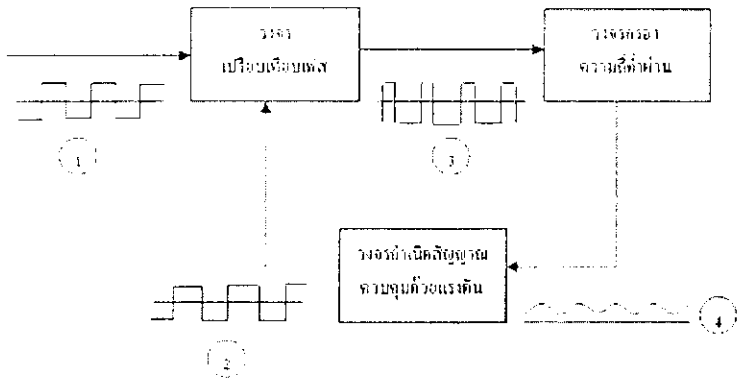
FSK Demodulator เป็นตัวรับสัญญาณ FSK จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phase Lock Loop) ดังรูปที่ 2.17

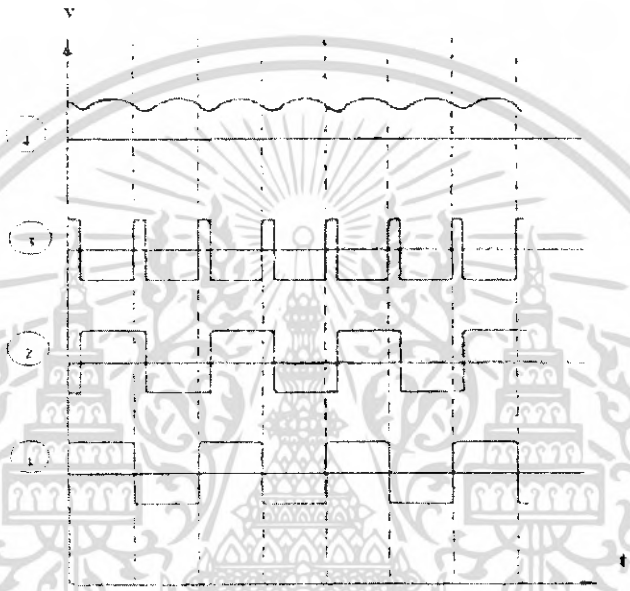



รูปที่ 2.17 PLL FSK Demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่าง คือ จะมีความถี่ฟรีรันนิง เท่ากับ ความถี่กลาง (Center Frequency) และในขณะที่ความถี่อินพุตของเฟสล็อคลูป เลื่อนไปมา ระหว่าง *fm* กับ *fs* จะทำให้เกิดแรงดันคลาดเคลื่อนไปตรงกับ DC Error Voltage ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส (Phase Comparator) ของสัญญาณอินพุต เนื่องจากความถี่อินพุตที่เข้ามายังเฟสล็อคลูปดิดกันมีเพียง 2 ความถี่ $f_m$ และ $f_s$ ดังนั้น ค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับเท่านั้นซึ่งสามารถแทนด้วย ลอจิก "1" และ ลอจิก "0" เมื่อความถี่อินพุตเป็น $f_m$ และ $f_s$ ตามลำดับ เราจึงได้สัญญาณเอาต์พุตจาก เฟสล็อคลูป กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.18 แสดงการทำงานและรูปร่างของสัญญาณตามจะต่างๆ เฟสล็อคลูป

จากรูปแสดงการทำงานของ PLL ซึ่งมีส่วนสำคัญอยู่ 3 ส่วน คือ ส่วนเปรียบเทียบความแตกต่างเฟส (Phase Comparator) ส่วนสร้างความถี่โดยใช้แรงดันควบคุม (Voltage Control Oscillator VCO) และส่วนกรองความถี่ต่ำผ่าน (Low Pass Filter - LPF)

ส่วนสร้างความถี่ จะผลิตความถี่ออกมาก็ต่อเมื่อมีแรงดันไฟฟ้าป้อนให้ (สัญญาณหมายเลข 4) ซึ่งแรงดันนี้ถูกสร้างขึ้นจากชุดกรองความถี่ต่ำผ่าน โดยกรองความถี่ต่ำผ่านจะเปลี่ยนความถี่ที่ป้อนเข้ามา (สัญญาณ หมายเลข 3) ให้เป็นแรงดันไปกระแสตรง (สัญญาณหมายเลข 4) เพื่อไปควบคุมให้ส่วนสร้างความถี่ผลิตความถี่

เอาต์พุตของส่วนสร้างความถี่ (สัญญาณหมายเลข 2) จะถูกส่งไปยังอินพุตหนึ่งของส่วนเปรียบเทียบความต่างเฟส ซึ่งอีกอินพุตหนึ่งของส่วนเปรียบเทียบความต่างเฟส จะต่างอยู่กับสัญญาณความถี่อ้างอิง (สัญญาณหมายเลข 1) ที่ส่งมาจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุตของส่วนเปรียบเทียบความต่างเฟส (สัญญาณหมายเลข 3) จะเป็นสัญญาณความแตกต่างเฟสระหว่างสัญญาณอินพุตทั้งสอง ซึ่งเป็นสัญญาณสี่เหลี่ยมมีขนาดที่คงที่และมีความห่างของพัลส์ (Mark space ratio) ขึ้นอยู่กับความแตกต่างระหว่างเฟสของสัญญาณอินพุต ทั้งสอง

วงจรกรองความถี่ต่ำผ่าน ที่ต่ออยู่ตรงเอาต์พุตของตัวเปรียบเทียบความต่างเฟส จะทำหน้าที่เปลี่ยนความถี่พัลส์จากส่วนเปรียบเทียบความต่างเฟสให้เป็นแรงดันไฟตรง ซึ่งระดับแรงดันจะเป็นสัดส่วนตามความต่างเฟสของสัญญาณอินพุตทั้งสอง แรงดันเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน จะเริ่มคงที่ทันที เมื่อเฟสของสัญญาณอินพุตทั้งสองต่างกัน 90 องศา

## 2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)

### 2.6.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

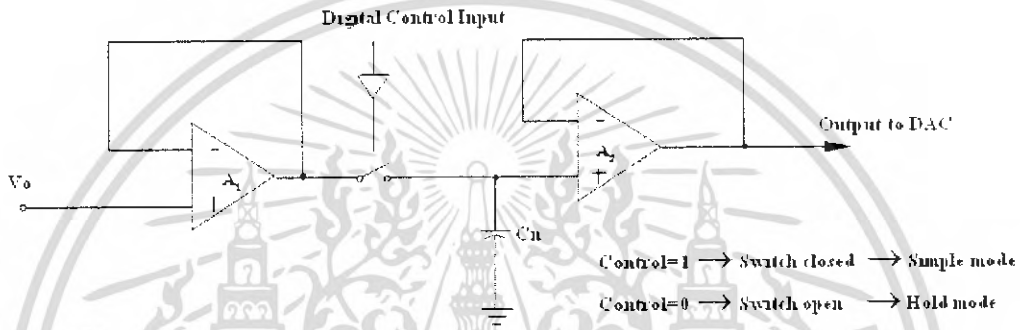
จากที่กล่าวมาแล้วว่า ในการส่งสัญญาณอนาลอกผ่านไปในช่องสัญญาณสื่อสารจะทำให้เกิดปัญหาต่างๆ แต่เราสามารถที่จะเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลได้โดยการสุ่มตัวอย่างสัญญาณอนาลอกที่มี แบนด์วิดที่จำกัดนั้นด้วยความถี่ที่เหมาะสม คือทำการสุ่มค่าสัญญาณอนาลอกที่ต้องการส่งด้วยช่วงเวลาที่ใช้สุ่มสัญญาณที่เหมาะสมแล้ว ซึ่งจะได้สัญญาณพีเอเอ็ม (Pulse Amplitude Modulation: PAM)ขึ้นมา เราก็สามารถที่จะส่งสัญญาณที่ถูกสุ่มนั้น ซึ่งเป็นสัญญาณดิสครีตผ่านช่องสัญญาณสื่อสารแทนการส่งสัญญาณอนาลอกโดยตรงได้

แต่การส่งข้อมูลในลักษณะดังกล่าวผ่านช่องการสื่อสารก็ยังต้องประสบปัญหาการลดทอนของสัญญาณในช่องสื่อสาร พอๆกับสัญญาณอนาลอกอยู่ดี ดังนั้นจึงได้มีการคิดค้นสัญญาณดิสครีตดังกล่าว มากำหนดรหัสที่เป็นดิจิตอลให้มีความเหมาะสมกับสัญญาณดิสครีตที่ได้จากการสุ่มตัวอย่างสัญญาณอนาลอก แล้วค่อยส่งสัญญาณที่เป็นดิจิตอลนี้ ผ่านช่องสัญญาณต่อไปแทนที่จะส่งสัญญาณอนาลอกโดยตรง ซึ่งจากคุณสมบัติของสัญญาณดิจิตอลก็เหมือนกับว่าเป็นการสร้างภูมิคุ้มกันต่อสัญญาณรบกวนให้ กับข้อมูลที่จะส่งผ่านช่องการสื่อสารอย่างมากด้วยวิธีดังกล่าวก็เหมือนกับการฝากข้อมูลของสัญญาณไปกับคลื่นพาห์ที่เป็นรหัสพัลส์( Pulse Code Modulation: PCM)นั่นเอง แต่เนื่องจากสัญญาณที่สุ่มออกมานั้น จะมีค่าขนาดที่แตกต่างกันมากมาย ดังนั้นเราจึงจำเป็นต้องจัดกลุ่มให้สัญญาณค่าต่างๆเหล่านั้น โดยที่มีค่าใกล้เคียงกันจะจัดให้อยู่กลุ่มเดียวกัน และในกลุ่มเดียวกันจะมีรหัสเหมือนกันดังนั้นเราก็จะสามารถจัดค่าของสัญญาณต่างๆ ที่เกิดขึ้นมากมายนั้นให้อยู่ในกลุ่มที่ทราบค่าแน่นอนได้อย่างครบถ้วน การที่จะแบ่งสัญญาณทั้งหมดออกเป็นกี่กลุ่มนั้นขึ้นอยู่กับความเหมาะสมว่าเรายินยอมให้เกิดความผิดพลาดของค่าตัวอย่างของสัญญาณที่สุ่มออกมานั้น ว่ามากหรือน้อยเท่าไร เช่นถ้าเรามีสัญญาณอนาลอกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์และเราต้องการจะกำหนดรหัสให้แก่ค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้ โดยยินยอมให้เกิดค่าผิดพลาดจากค่าของตัวอย่างที่สุ่มออกมาได้อยู่ไม่เกิน 0.5 โวลต์ ดังนั้นเราสามารถแบ่งกลุ่มออกเป็น 5 กลุ่มด้วยกันคือ กลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลต์ กลุ่มที่ 2 มีค่าระหว่าง 1 ถึง 2 โวลต์ ไปเรื่อยๆ จนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.6.2 วงจรแซมเปิ้ลแอนด์โฮลด์ (Sample and Hold: S/H)

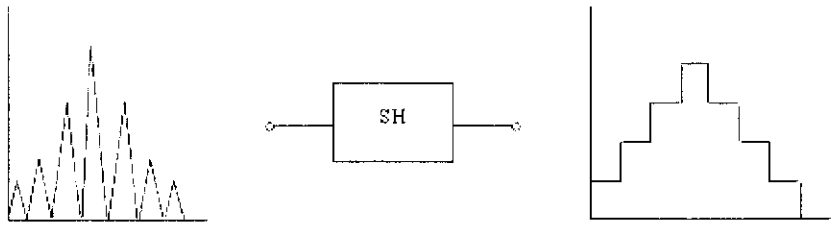
วงจรสุ่มและคงไว้ (Sample and Hold : S/H) เป็นวงจรที่ทำงานในสองหน้าที่ ในช่วงเวลาสั้น ๆ วงจรจะทำหน้าที่ "สุ่ม" คือแรงดันขาออกจะเท่ากับแรงดันเชิงอุปมานขาเข้า หลังจากนั้นวงจรจะทำหน้าที่ "คงไว้" คือแรงดันขาออกจะ คงตัวกับแรงที่สุ่ม การต่อสัญญาณที่ระดับแรงดันเปลี่ยนแปลงแบบนาลอกเข้าของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) โดยตรงอาจจะมีผลต่อช่วงเวลาควอนเวอร์ชัน (conversion) ทำให้ระดับสัญญาณเอาต์พุทมีค่าผิดพลาดได้ วงจรแซมเปิ้ลแอนด์โฮลด์จะช่วยทำให้ระดับแรงดัน ก่อนผ่านการกระบวนการควอนเวอร์ชันของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลมีความเสถียรโดยรูปแบบของวงจรแซมเปิ้ลแอนด์โฮลด์แสดงได้ดังรูปที่ 2.19




รูปที่ 2.19 แสดงวงจรแซมเปิ้ลแอนด์โฮล (Sample and Hold: S/H)

วงจรแซมเปิ้ลแอนด์โฮลด์ประกอบด้วย วงจรขยายบัฟเฟอร์ $A_1$ ที่มีอัตราขยายเป็น 1 ซึ่งจะเป็นอิมพีแดนซ์สูง (High Impedance) ของสัญญาณอนาลอก และมีอิมพีแดนซ์เอาต์พุตต่ำ (Low Output Impedance) ซึ่งมีผลทำให้เกิดการชาร์จประจุที่ Cn อย่างรวดเร็ว ตัวเก็บประจุ Cn จะต่อกับเอาต์พุตของ $A_1$ ในขณะปิดสวิตช์ เรียกกระบวนการนี้ว่า แซมเปิ้ล (Sample) ซึ่งช่วงที่ปิดสวิตช์จะต้องนานพอที่ Cn จะเก็บประจุได้เท่ากับค่ากระแสที่ได้จากสัญญาณอนาลอกอินพุต เช่น ถ้าสวิตช์เปิดที่เวลา $t_0$ เอาต์พุตที่ได้จาก $A_1$ จะชาร์จประจุให้ Cn อย่างรวดเร็วจน Cn มีศักดาไฟฟ้าเท่ากับ $V_0$ ในขณะที่เปิดสวิตช์ ตัวเก็บประจุ Cn จะรักษาค่าศักดาไฟฟ้าที่ได้จากเอาต์พุตของ $A_1$ และปล่อยศักดาไฟฟ้านี้ให้แก่ $A_2$ กระบวนการนี้เรียกว่าโฮล (Hold ) ค่าศักดาที่ได้จากเอาต์พุตของ $A_2$ จะเป็นค่าที่ป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลวงจรขยายบัฟเฟอร์เป็น $A_2$ มีอัตราขยายเป็น 1 จะมีสมบัติเป็นอินพุตอิมพีแดนซ์อินพุตสูง (High Input Impedance) ซึ่งจะไม่คายประจุในช่วงเวลาคอนเวอร์ชันของวงจรสัญญาณอนาลอกเป็นดิจิตอล ทำให้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลได้รับค่าดีซีโวลเตจอินพุต (DC Voltage Input : $V_0$) เราจะใช้วงจรสุ่มและคงไว้ในหลายกรณี เช่นในกรณีระบบวัดค่าสัญญาณเชิงอุปมานมีลักษณะเป็นการสุ่มค่ามาแล้ว คือเป็นพัลส์ซึ่งมีช่วงสูงเท่ากับค่าสัญญาณเชิงอุปมานที่ขณะต่างๆ เราจะใช้วงจรสุ่มและคงไว้ เพื่อสุ่มค่าตรงกลางพัลส์มาคงไว้ ทำให้ได้สัญญาณเชิงอุปมานที่ไม่ขาดช่วง ดังรูปที่ 2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.20 ตัวอย่างการใช้วงจรสุ่มและคงไว้

**2.6.3 ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampling Theory)**

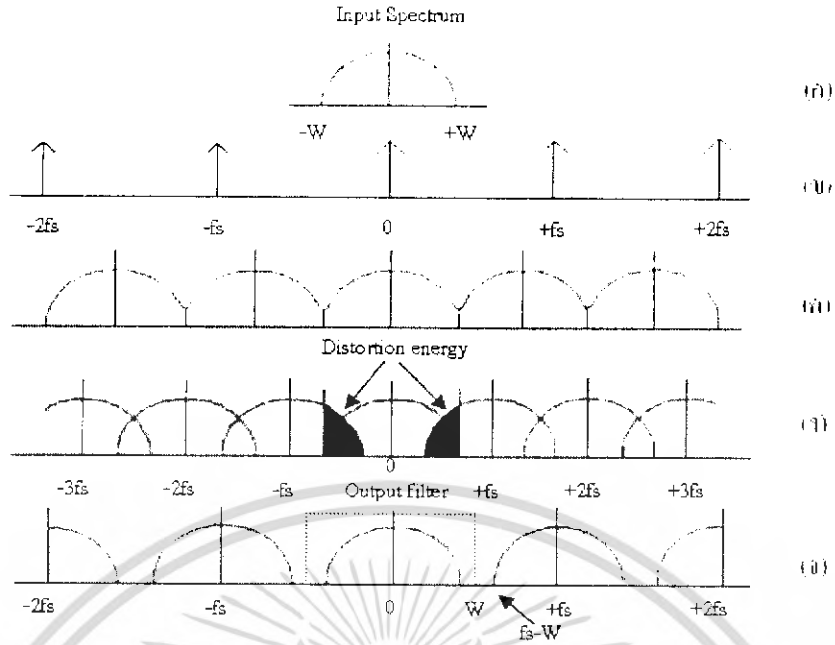
ทฤษฎีหนึ่งที่นิยมใช้ในการสุ่มสัญญาณ คือ ทฤษฎีของไนควิสต์ ซึ่งไนควิสต์ได้เสนอทฤษฎีบทเกี่ยวกับการสุ่มตัวอย่างไว้ว่า " สำหรับสัญญาณอนาลอกที่มีสเปกตรัมอยู่ในย่านความถี่จำกัด โดยที่มีความถี่สูงสุดของสัญญาณคือ $f_m$ ในการนำค่าที่ได้จากการเลือกสุ่มที่ขณะเวลาต่างๆ ที่ห่างกันทุกๆ T วินาที มาสร้างสัญญาณใหม่และมีค่าเท่ากับหรือน้อยกว่า $1/2f_m$ วินาที " ตามทฤษฎีการสุ่มตัวอย่างสัญญาณอนาลอกของไนควิสต์ อาจกล่าวเป็นใจความสำคัญที่สามารถเข้าใจง่าย โดยการสุ่มตัวอย่างอนาลอกที่มีคุณสมบัติตามเงื่อนไขของทฤษฎีของไนควิสต์ เมื่อเราใช้ความถี่ในการสุ่มสัญญาณนั้นเท่ากับ $f_s$ ความถี่นี้จะต้องมากกว่าหรืออย่างน้อยที่สุดต้องเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณอนาลอก นั่นคือจะได้ว่า

$$f_s \geq \text{หรือ } = 2f_m$$

ซึ่งสัญญาณที่ได้จากการสุ่มตัวอย่างจะเป็นสัญญาณดิสครีต (discrete) เพราะสัญญาณที่เกิดจากการสุ่มตัวอย่างจะเกิดเฉพาะเวลาที่ทำการสุ่มตัวอย่างสัญญาณอนาลอก ด้วยสัญญาณพัลส์ (Pulse Train) ณ เวลา $nTs$ เท่านั้น เมื่อ $n = 1, 2, 3, \ldots$ และ $Ts = 1/f_s$ แสดงได้ดังรูป 2.21 ซึ่งก็คือการผสมทางขนาดด้วยขบวนพัลส์ หรือ พีเอเอ็ม (Pulse Modulation) นั่นเอง

ในทางปฏิบัติ ถ้าเรามีสัญญาณอนาลอกที่มีสเปกตรัมสูงสุดเท่ากับ W เราควรที่จะใช้อัตราการสุ่มตัวอย่าง $f_s \geq$ หรือ = 2W เสมอ เนื่องจากในความเป็นจริงเมื่อพิจารณาที่อัตราสุ่มตัวอย่าง $f_s$ = 2Wและเราไม่สามารถสร้างสัญญาณอิมพัลส์(Impulse)ได้ ดังนั้นจึงต้องใช้พัลส์ที่มีความกว้างของพัลส์แคบๆ แทน และในการที่จะกู้สัญญาณเบสแบนด์(R(t))กลับคืนมาได้ จะต้องใช้วงจรกรองความถี่ต่ำผ่าน(LPF) ซึ่งเราไม่สามารถสร้างวงจรกรองที่มีประสิทธิภาพได้สูงพอ ที่มีความคมในการตัดความถี่ที่ต้องการได้ ดังนั้นจึงเป็นความยุ่งยากที่จะกู้สัญญาณข้อมูลกลับมาได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.21 สเปคตรัมของสัญญาณเบสแบนด์และสเปคตรัมของสัญญาณสุ่มตัวอย่างต่างๆ กัน

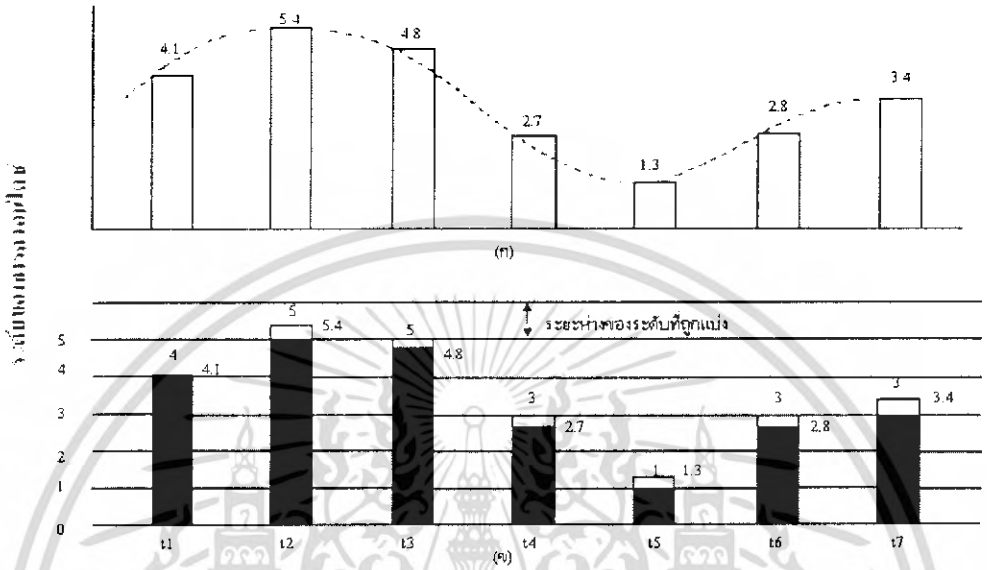
พิจารณารูปที่ 2.21(ก) และแสดงสเปกตรัมสัญญาณเบสแบนด์ ส่วนรูปที่ 2.21(ข) จะแสดงสเปกตรัมของขบวนอิมพัลส์ที่มีความถี่เป็น $nf_s$ รูปที่ 2.21(ค) จะแสดงการกระจายของสเปกตรัมกรณีที่ทำการสุ่มตัวอย่างด้วย $f_s = 2W$ ในกรณีนี้ที่จะทำให้การดีมอดูเลชัน จะต้องใช้ฟิลเตอร์แบบอุดมคติ จึงจะสามารถกรองเอาสเปกตรัมของเบสแบนด์ได้อย่างเด็ดขาด รูปที่ 2.21(ง)

ในกรณีที่ $f_s > 2W$ ซึ่งเป็นกรณีที่เราใช้ความถี่ของคลื่นพาห์ไม่สูงพอในการมอดูเลต ซึ่งทำให้เกิดการซ้อนทับกันของไซด์แบนด์ของสเปกตรัมข้อมูล (Base band) ในกรณีนี้ถึงแม้จะใช้วงจรกรองที่เป็นอุดมคติก็ไม่สามารถที่จะกรองเอาข้อมูลกลับมาได้ ซึ่งเมื่อเราใช้วงจรกรองความถี่ที่ผ่านมีแบนด์วิดท์เป็น $f_s/2$ มาใช้ในการดีมอดูเลตสัญญาณจะพบว่าเกิดการผิดเพี้ยนของสัญญาณที่ผ่าน การดีมอดูเลต เนื่องจากช่วงความถี่ $f_s/2$ ถึง W จะไม่สามารถผ่านฟิลเตอร์ได้ และสเปกตรัมที่เกิดในช่วง $f_s - W$ ถึง $f_s/2$ ซึ่งเกิดจากการซ้อนทับกัน ซึ่งเรียกว่าสเปกตรัมปลอม (Aliasing) จึงทำให้เกิดการลดทอนกำลังงานของสัญญาณ (Distortion Energy) เกิดขึ้น ส่วนรูปที่ 2.21 (จ) เป็นกรณีที่ $f_s > 2W$ ซึ่งในกรณีนี้จะช่วยลดความยุ่งยากในการออกแบบวงจรฟิลเตอร์ลงได้อย่างมาก คือจะมีช่วงของการ์ดแบนด์ (Guard band ) $f_s - W$ กว้างขึ้นจึงลดผลของสเปคตรัมปลอมลงไปซึ่งในกรณีนี้จะนิยมนำมาออกแบบเพื่อใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.6.4 การควอนไทเซชัน (Quantization)**

จากที่ได้ทราบวิธีการสุ่มสัญญาณที่ได้กล่าวมาแล้ว เราจะทราบว่าสัญญาณที่ได้จากการสุ่มตัวอย่างก็จะได้สัญญาณ พีเอเอ็ม (Pulse Amplitude Modulation) ซึ่งมีขนาดของสัญญาณที่เป็นสัญญาณดิสครีตและมีขนาดเปลี่ยนแปลงตามขนาดของสัญญาณเบสแบนด์ (Baseband) ดังแสดงในรูปที่ 2.22 (ก)

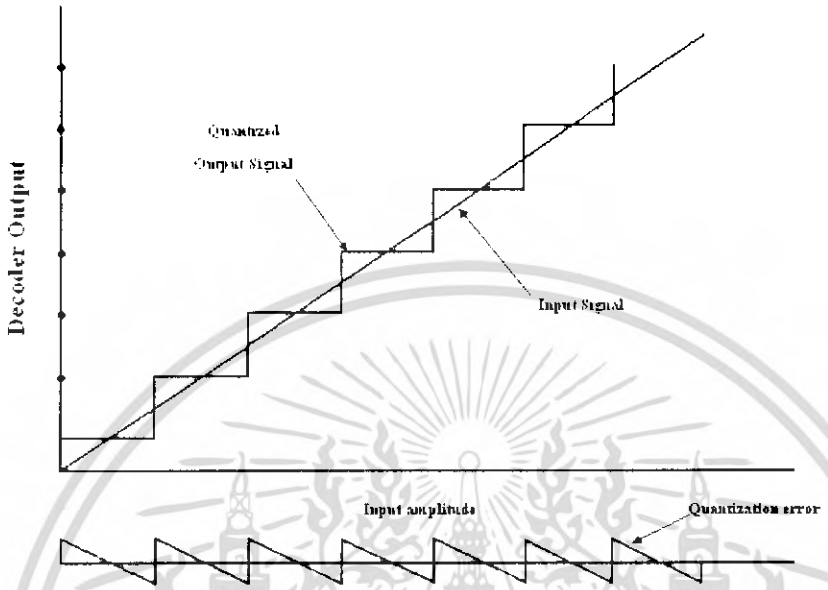



รูปที่ 2.22 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์
(ก) รูปสัญญาณพัลส์ แอมพลิจูดมอดูเลชัน (PAM)
(ข) รูปการจัดระดับสัญญาณพีเอเอ็มให้เข้าระดับของการควอนไทซ์

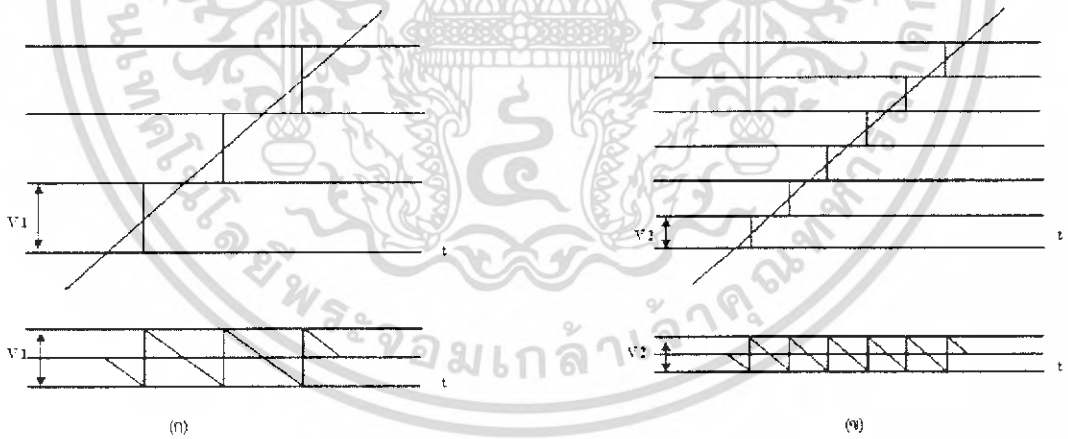
เมื่อได้สัญญาณพีเอเอ็มแล้ว จะทำการส่งสัญญาณนี้ผ่านส่วนของการจัดระดับขนาดของสัญญาณให้เป็นระดับที่ใกล้เคียงที่สุดกับระดับที่ได้กำหนดหรือแบ่งกลุ่มไว้ล่วงหน้าแล้ว เราเรียกขั้นตอนดังกล่าวว่าการควอนไทเซชัน(Quantization Level) และระยะห่างของระดับที่ถูกแบ่งเรียกว่า Quantization Interval พิจารณารูป 2.22 (ข) ซึ่งเป็นรูปแสดงการจัดระดับของสัญญาณ พีเอเอ็ม ให้มีระดับใกล้เคียงกับระดับของการควอนไทซ์จะเห็นว่าสัญญาณที่สุ่มที่สัญญาณ $t_1$ มีขนาด 4.1 จะถูกแทนระดับของสัญญาณในระดับที่ 4 โดยอัตโนมัติหรือที่เวลา $t_7$ สัญญาณที่ถูกสุ่มมีขนาด 3.4 ดังนั้นจะถูกแทนด้วยระดับที่เท่ากับ 3 ทันที ซึ่งระดับที่ได้จะถูกนำมาเข้ารหัสเป็นเลขฐานสองที่มีค่าใกล้เคียงกับขนาดของสัญญาณ พีเอเอ็มที่ได้ให้มากที่สุด แต่ระดับของสัญญาณที่ได้จะเป็นขนาดของสัญญาณอนาลอกที่ถูกประมาณขึ้น ดังนั้นจึงทำให้เกิดค่าความผิดพลาดของสัญญาณทางด้านขนาดของแอมพลิจูด ซึ่งค่าผิดพลาดที่ได้นี้จะเรียกสัญญาณรบกวนเนื่องจากการควอนไทซ์ (Quantization Noise) สัญญาณรบกวนชนิดนี้จะกระจายสม่ำเสมอในช่วงของระยะห่างของระดับสัญญาณที่ถูกแบ่งและไม่ขึ้นกับ แอมพลิจูดของสัญญาณในช่องของระยะห่างของระดับสัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลขชนิดหนึ่งจะเห็นว่าเราไม่สามารถหลีกเลี่ยงผลของสัญญาณจากการแปลงเป็นตัวเลขนี้ได้เลย แต่สามารถลดผลของสัญญาณรบกวนเนื่องจากการควอนไทซ์ได้ โดยการกำหนดให้ช่วงระดับความห่างของระดับที่ถูกแบ่งมีช่วงเล็กลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้ แสดงดังรูปที่ 2.23 และรูปที่ 2.24




รูปที่ 2.23 การเกิดสัญญาณรบกวนเนื่องจากการควอนไทซ์



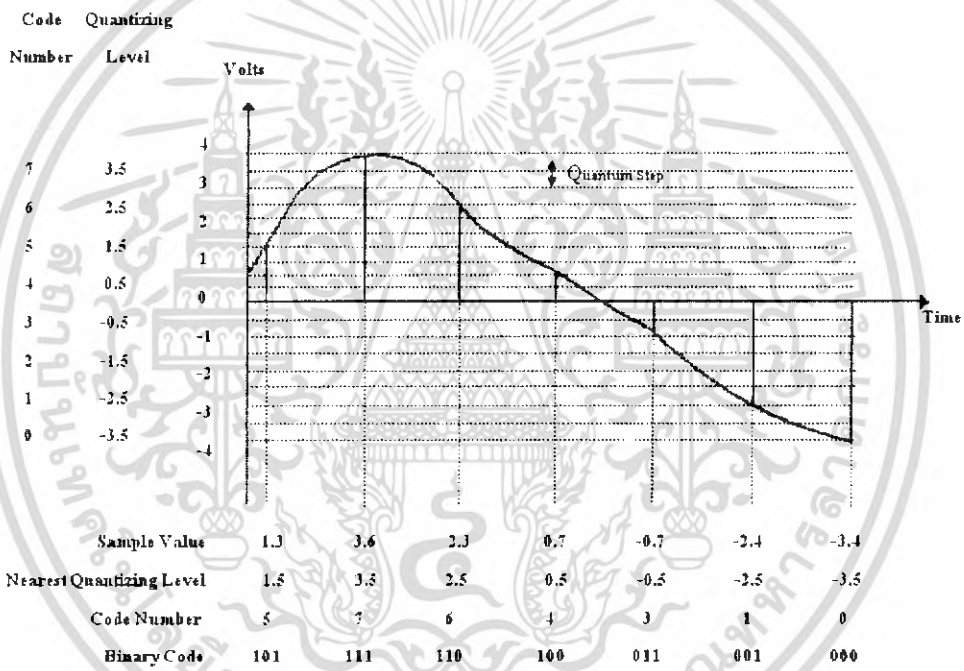

รูปที่ 2.24 ความสัมพันธ์ระหว่างระยะห่างของระดับที่ถูกแบ่งต่างๆ กับสัญญาณรบกวนเนื่องจากควอนไทซ์

เมื่อได้ค่าจากการแปลงตัวเลขแล้วนำไปเข้ารหัสเป็นเลขฐานสอง โดยที่ค่าของตัวเลขจะถูกกำหนดด้วยจำนวนบิตในการเข้ารหัส 8 บิตต่อ 1 ข้อมูลตัวเลข ซึ่งบิตจะมีการเปลี่ยนแปลงค่าได้ 2 ค่า คือ 0 กับ 1 ดังนั้นจึงสามารถแบ่งระดับการควอนไทซ์ได้ทั้งหมดเท่ากับ $2^8 = 256$ ระดับนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.6.5 การเข้ารหัส (Coding)

เมื่อได้ทำการสุ่มสัญญาณอนาลอกเรียบร้อยแล้ว เราก็จะได้สัญญาณ PAM ที่มีขนาดของแอมพลิจูดต่าง ๆ กัน ส่งเข้าไปยังตัวควอนไทซ์ โดยกำหนดได้ระดับการควอนไทซ์ อันใดซึ่งตรงกันหรือใกล้เคียงที่สุดกับระบบของแอมพลิจูดที่สุ่มมาได้ ตัวเข้ารหัส ( Coding ) ก็จะผลิตสัญญาณรหัสไบนารี ( Binary Code Signal ) ตรงตามระดับการควอนไทซ์นั้นๆ แล้วจึงส่งออกไปในสายส่ง สมมุติว่าเราได้กำหนดค่าของรหัส (Code Number) ที่ใช้กับระดับการควอนไทซ์ที่ระดับต่างๆ คือ -3.5, -2.5, -1.5,..., 3.5 โวลต์ เป็น 0, 1, 2, ..., 7 ตามลำดับแล้ว ตัวอย่างที่สุ่มมาได้ อันแรกคือ 1.3 โวลต์ ระดับการควอนไทซ์ที่ใกล้เคียงที่สุดของมันคือ 1.5 โวลต์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้นรหัสที่ส่งออกไปเป็นค่ารหัส (Code Word) ขนาด 3 บิต คือ 101 ตัวอย่างที่สุ่มมาได้อันที่สองคือ 3.6 โวลต์ ระดับการควอนไทซ์ที่ใกล้เคียงที่สุด คือ 3.5 โวลต์ซึ่งตรงกับค่ารหัส 7 ดังนั้นรหัสที่ส่งออกไปเป็นค่ารหัส (Code Word)ขนาด 3 บิต คือ 111 เช่นนี้เป็นต้น ดังแสดงตามรูปที่ 2.25




รูปที่ 2.25 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)

รูปที่ 2.26 การเข้ารหัส (Coding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.7 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog converters)

D/A converters หรือเรียกง่ายๆ ว่า DAC เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์ หรือจากวงจรดิจิตอลใดๆ ให้กลายเป็นระดับแรงดันอนาลอกที่มีความสัมพันธ์กับระบบเลขฐานสอง ตัว DAC สามารถนำไปใช้ขับอุปกรณ์เป็นอนาลอกก็ได้ เช่น มิเตอร์, มอเตอร์, อุปกรณ์ควบคุม หรือวงจรที่เกี่ยวกับสัญญาณเสียงนั้น เช่น เครื่องเล่นคอมแพ็คดิสก์ ตัว DAC ในเครื่องเล่มคอมแพ็คดิสก์ นั้นถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่น CD ให้กลายเป็นสัญญาณเสียงที่มีคุณภาพออกมาต่อไปนี้เราจะพิจารณาแนวความคิดที่สำคัญของ DAC เริ่มจากความละเอียดของ DAC เรานิยามไว้เป็นระดับแรงดัน ในแต่ละขั้นที่เอาต์พุตสามารถจะผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรง คือ จำนวนบิตทางด้านอินพุตที่มีอยู่ในรูปของรหัสไบนารี DAC ขนาด 4 บิตจะมีอินพุตบิตอยู่ 4 อินพุต ซึ่งจะมีความละเอียดเท่ากับ 4 จำนวนของระยะและความแตกต่างของระดับสัญญาณอนาลอกทางด้านเอาต์พุต ที่ DAC ขนาด 4 บิตสามารถผลิตได้จะมีค่าเท่ากับ $2^n = 2^4 = 16$ ระดับ นั้นย่อมหมายถึงสัญญาณอนาลอกทางเอาต์พุตสามารถถูกแทนได้ด้วยระดับแรงดัน 16 ระดับทีนี้มาดู DAC ขนาด 8 บิต สามารถให้สัญญาณอนาลอกทางด้านเอาต์พุตที่เป็นระดับแรงดันได้ $2^8$ หรือ 256 ระดับ อย่างที่เราได้เห็นแล้วว่า ADC มีขนาดอินพุตบิตมาเท่าไรความละเอียดและความถูกต้องของระดับอนาลอกทางเอาต์พุตที่ DAC สามารถผลิตได้จะมากขึ้น

ถัดมาจากความละเอียดของ DAC เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะของตัว Scatting Time เวลาเข้าสู่สภาวะคงตัว เป็นค่าของเวลาที่ระดับแรงดันเอาต์พุตเข้าสู่สภาวะคงที่เมื่อรหัสไบนารีทางอินพุตเปลี่ยนแปลงไป โดยปกติจะคิดที่สัญญาณทางเอาต์พุตคงที่ในช่วง +/- ½ ของ LSB ( Least Significant Bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารีทางอินพุตเปลี่ยนไปนั้นหมายความว่าในเงื่อนไข ของการปฏิบัติงานจริงๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของตัวมันเอง ถ้า DAC ขนาด 8 บิตมีช่วงแรงดันทางเอาต์พุตอยู่ในช่วง 0 – 10 ค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10 โวลต์

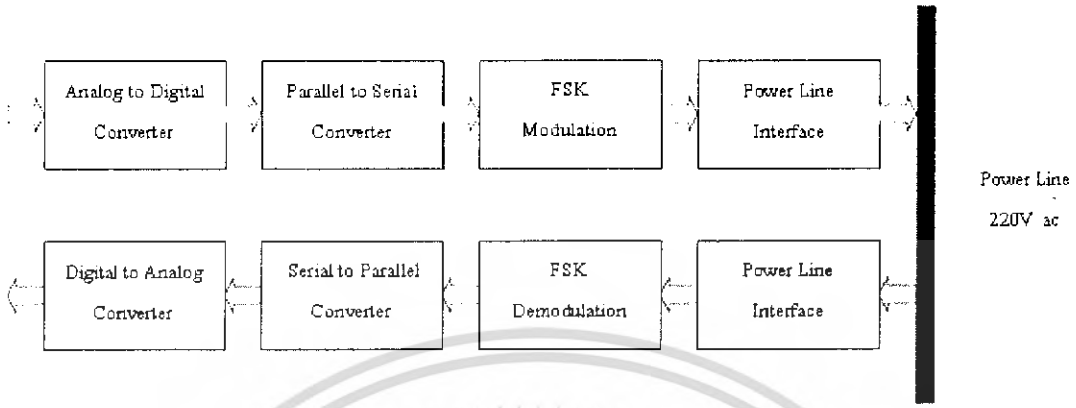
ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC คือ +/- ทุกๆ ตำแหน่งจาก ½ ถึง 2 ค่าของ LSB สำหรับ DAC ซึ่งมีความแม่นยำ +/- 1 ค่า LSB แรงดันเอาต์พุตสามารถเปลี่ยนแปลงไปในทาง + หรือ - ค่าของ 1 บิต ถ้า DAC มีแรงดันเอาต์พุต อยู่ในช่วง 0 ถึง 5 โวลต์ มีความละเอียดเท่ากับ 8 บิต LSB ควรจะเป็น $5/(2^8)$ หรือ 0.01953 โวลต์ สำหรับทุกๆ ค่าของรหัสไบนารีทางด้านเอาต์พุตแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.01953 โวลต์ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ ½ ค่าความถูกต้อง LSB ค่าเอาต์พุตจะสามารถผิดพลาดไปได้ +/- 0.01953 = 0.009765 โวลต์ ยิ่งค่าความแม่นยำน้อยเท่าไรค่าความละเอียดจะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาต์พุตที่คาดไว้หลายปีที่ผ่านมาได้มีการคิดค้นพัฒนาวิธีการของการเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอกในโครงงานนี้เราจะกล่าว 2 วิธีการด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบและการสร้าง

### 3.1 โครงสร้าง




รูปที่ 3.1 โครงสร้างของระบบการส่งสัญญาณผ่านสายส่งกำลังไฟฟ้า

### 3.2 ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)

ในส่วนของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้ ไอซีเบอร์ ADC 0804 ซึ่งเป็นไอซีแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบ CMOS ขนาด 8 บิต ใช้เวลาในการแปลงประมาณ $100\mu s$ ซึ่งมีการทำงานแบบ Successive Approximation มีความสามารถในการทำงานทั้งหมดได้ภายในตัวมันเอง โดยมีขาที่ใช้ในการทำงานดังนี้

ขาที่ 1 ขา $\overline{CS}$ (Chip Select) จะถูกต่อลงกราวด์ เพื่อให้เป็นโหมดการทำงานด้วยตนเอง

ขาที่ 2 ขา $\overline{RD}$ (Read) จะถูกต่อลงกราวด์ เพื่อให้เป็นโหมดการทำงานด้วยตนเอง

ขาที่ 3 ขา $\overline{WR}$ (Write) จะถูกต่อไปยังสัญญาณนาฬิกา ที่สร้างโดยไอซีเบอร์ CD 4047

ขาที่ 4 ขา $CLK\ \ IN$ (Clock In) เป็นขากำหนดค่าความถี่ของสัญญาณนาฬิกาภายใน ไอซีเบอร์ ADC 0804 ถ้าต้องการการทำงานเปลี่ยนแปลงต่อเนื่องอัตโนมัติเราสามารถกำหนดค่าความถี่สูงสุดได้ 640 KHz

ขาที่ 5 ขา $\overline{INTR}$ (Interrupt) จะถูกต่อไปยังขา $\overline{WR}$ เพื่อให้เป็นการเปลี่ยนแปลงและการส่งข้อมูลภายนอกเป็นไปอย่างอัตโนมัติ และยังต่อผ่านสวิตช์ลงกราวด์ เพื่อใช้ในการรีเซท

ขาที่ 6 ขา $Vin(+)$ เป็นขาป้อนสัญญาณอินพุตด้านบวก เป็นสัญญาณปรับค่าได้ตั้งแต่ 0-5V

ขาที่ 7 ขา $Vin(-)$ เป็นขาป้อนสัญญาณอินพุตด้านลบ

ขาที่ 8 ขา $AGND$ เป็นขากราวด์ของสัญญาณ AC จะต่อลงกราวด์วงจร

ขาที่ 9 ขา $V_{ref}/2$ เป็นขาแรงดันอ้างอิง ซึ่งจะถูกสร้างโดย ไอซีเบอร์ LM 336

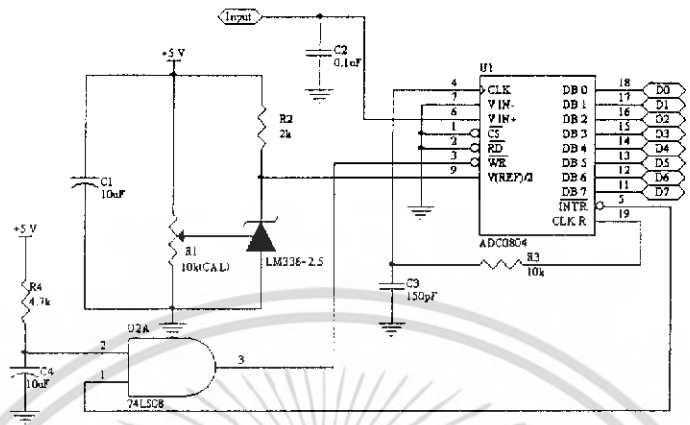
ขาที่ 10 ขา $DGND$ เป็นขากราวด์ของสัญญาณดิจิตอล จะต่อลงกราวด์วงจร

ขาที่ 11- ขาที่18 ขา $DB0 - DB7$ เป็นขาส่งข้อมูลออกจาก ไอซีโดยส่งเป็นข้อมูลขนาน 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่ 19 ขา $CLK\ R$ (Clock Receive) เป็นขากำหนดความถี่ของสัญญาณนาฬิกาใช้ร่วมกับขา $CLR\ IN$

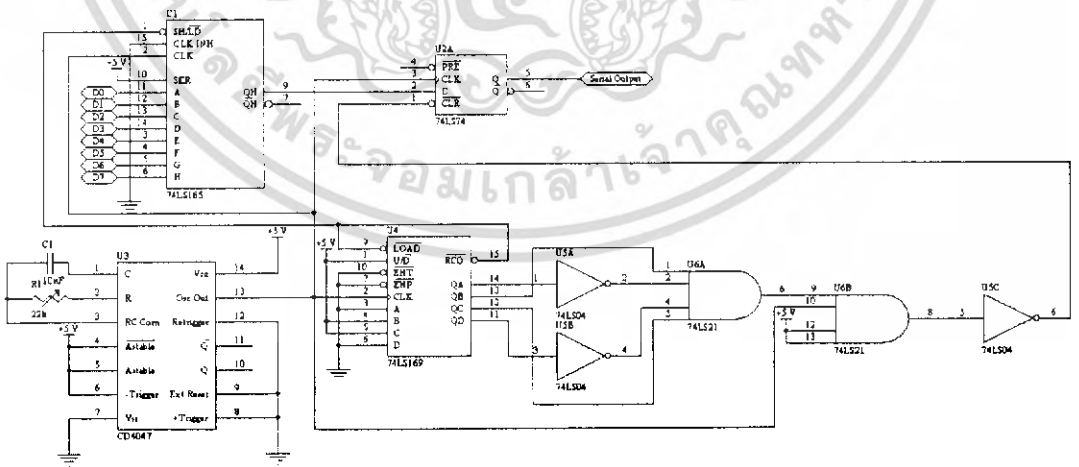
ขาที่ 20 ขา $Vcc$ จะต้องจ่ายแรงดัน $5Vdc$




รูปที่ 3.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

**3.3 ส่วนของวงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม (Parallel to Serial Converter)**

ในส่วนของการแปลงข้อมูลแบบขนานเป็นส่งข้อมูลแบบอนุกรม จะใช้ไอซีเบอร์ 74LS165 ซึ่งเป็นการเลื่อนข้อมูล และใช้ ไอซี เบอร์ 74LS169 มาเป็นตัวควบคุมการเลื่อนค่าและโหลดค่าของข้อมูล โดยเราจะออกแบบให้ชุดข้อมูลแต่ละชุดมีบิตเริ่ม (Start Bit) และบิตจบ (Stop Bit) ทำให้ชุดข้อมูล 1 ชุด จะมีจำนวนบิตเท่ากับ 10 บิต ซึ่งจะใช้ ไอซีเบอร์ 74LS169 ในการนับสัญญาณนาฬิกา เมื่อครบ 10 ลูก ที่ขา $\overline{RCO}$ (Ripple Carry Output) ของ ไอซี ก็จะมีสภาวะ "0" ออกมา แล้วเราจึงนำเอาสภาวะนี้มาต่อเข้ากับขา $SH/\overline{LD}$ ของไอซีเบอร์ 74LS165 เพื่อทำการโหลดค่าข้อมูลใหม่




รูปที่ 3.3 วงแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

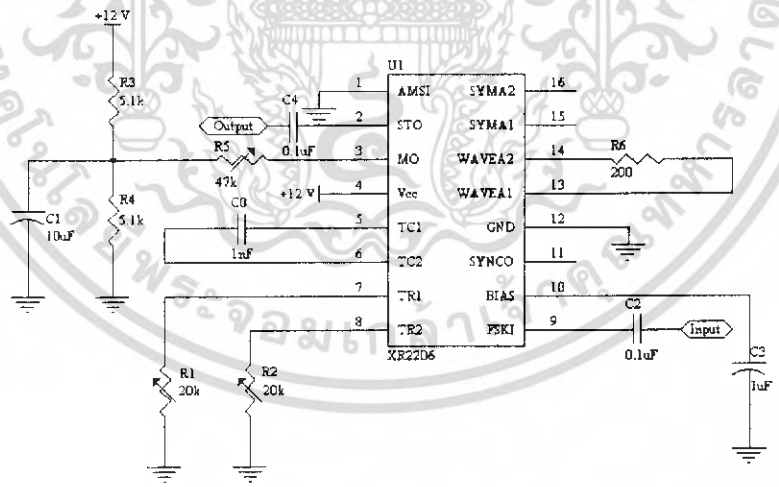
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในการเพิ่มบิตเริ่มและบิตจบ เราจะกำหนดบิตเริ่มต้นให้มีสภาวะเป็น "0" และบิตจบให้มีสภาวะเป็น "1" โดยการสร้างบิตเริ่มต้น เราจะใช้ไอซีเบอร์ 74LS74 ซึ่งเป็น D Flip-Flop โดยนำสภาวะ "0" มาป้อนเข้ากับขา $\overline{CLR}$ (Clear) ของไอซีเบอร์ 74LS74 จะทำให้เกิดสภาวะเคลียร์ ทำให้ขา $Q$ (Output) มีสภาวะ "0" นั่นก็คือบิตเริ่มต้นนั่นเอง โดยสภาวะ "0" ที่มาป้อนให้กับขา $\overline{CLR}$ นั้นได้มาจากการที่ไอซี 74LS165 ทำการนับสัญญาณนาฬิกาครบ 10 ลูก จะทำให้ขา $Q_D - Q_A$ ของไอซีจะมีสภาวะ "0110" ซึ่งเป็นค่าเริ่มต้นในการนับ เราจึงนำค่านี้มาทำการต่อ Logic Gate เพื่อทำให้เป็นสภาวะ "0" ต่อเข้าขา $\overline{CLR}$ ของไอซีเบอร์ 74LS74 เพื่อสร้างบิตเริ่มต้นนั่นเอง และเมื่อเปลี่ยนเป็นสภาวะ "1" ไอซีเบอร์ 74LS74 ก็จะทำงานในสภาวะปกติ

ส่วนในการสร้างบิตจบของชุดข้อมูล จะสามารถสร้างได้จากภายในไอซีเบอร์ 74LS165 โดยทำการป้อนสภาวะ "1" ให้กับขา *SER* (Serial Input) เมื่อเราทำการเลื่อนข้อมูลออกทีละบิต จนครบ 8 บิต สัญญาณนาฬิกาลูกถัดไป จะทำการเลื่อนข้อมูลจากขา *SER* ซึ่งมีสภาวะ "1" ออกทางเอาต์พุต ซึ่งเป็นบิตจบนั่นเอง

### 3.4 ส่วนของวงจร FSK Modulator

ในส่วนของวงจร FSK Modulator จะใช้ไอซีเบอร์ XR2206 ซึ่งเป็น Monolithic Function Generator ซึ่งสามารถกำเนิดสัญญาณรูปซายน์ รูปสามเหลี่ยม และรูปสี่เหลี่ยม AM FM และ FSK ในช่วงความถี่ 0.01Hz - 1MHz




รูปที่ 3.4 วงจร FSK Modulator

ในกรณีนี้เราจะใช้ไอซี XR 2206 เป็นตัวกำเนิดสัญญาณไซน์ในลักษณะ FSK โดยสามารถกำหนดความถี่ของสัญญาณอินพุตสภาวะ "1" หรือ $f_m$ (Mark Frequency) และความถี่ของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตสภาวะ "0" หรือ $f_s$ (Space Frequency) ซึ่งเป็นอิสระต่อกัน โดยสามารถกำหนดได้ตามสมการข้างล่างนี้

$$f_m = \frac{1}{R_1 C_o} \tag{3.1}$$

$$f_s = \frac{1}{R_2 C_o} \tag{3.2}$$

โดยตัวเก็บประจุที่ต่อระหว่างขา $TC1$ และ $TC2$ จะอยู่ในช่วงระหว่าง $1000pF - 100\mu F$ และตัวต้านทาน $R_1$ และ $R_2$ ที่ต่อที่ขา $TR1$ และ $TR2$ ตามลำดับ จะอยู่ในช่วง $4k\Omega - 200k\Omega$

ในการออกแบบเรากำหนดความถี่ $f_m = 255kHz$ และ $f_s = 205kHz$ โดยเรากำหนดตัวเก็บประจุ $C_o = 1nF$

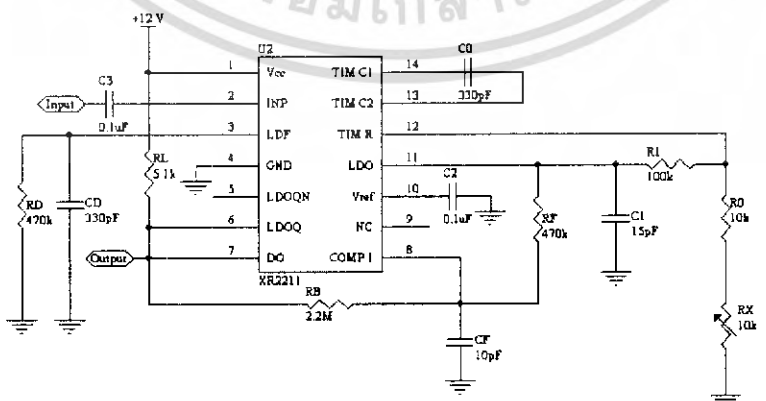
$$R_1 = \frac{1}{f_m C_o} = \frac{1}{(255\times10^3)(1\times10^{-9})} = 3.92k\Omega$$

$$R_2 = \frac{1}{f_s C_o} = \frac{1}{(205\times10^3)(1\times10^{-9})} = 4.88k\Omega$$

โดยสามารถปรับระดับสัญญาณเอาต์พุต โดยปรับจากตัวต้านทานที่ต่อเข้ากับขา $MO$ (Multiplier Output)

### 3.5 ส่วนของวงจร FSK Demodulator

ในส่วนของวงจร FSK Demodulator จะใช้ไอซีเบอร์ XR2211 ซึ่งเป็น FSK Demodulator/Tone Decoder ในช่วงความถี่ $0.01Hz - 300kHz$




รูปที่ 3.5 วงจร FSK Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การออกแบบตามการคำนวณใน Data Sheet**

1.) คำนวณค่าความถี่ศูนย์กลาง ( $f_o$ ) ของ PLL จาก

$$f_o = \sqrt{f_m f_s} \tag{3.3}$$

$$\therefore f_o = \sqrt{(255\times10^3)(205\times10^3)} = 228.64kHz$$

2.) เลือกค่า $R_O = 10k\Omega$ และ $R_X = 10k\Omega$

$$R_T = R_O + \frac{R_X}{2} \tag{3.4}$$

$$\therefore R_T = (10\times10^3) + \left(\frac{10\times10^3}{2}\right) = 15k\Omega$$

3.) คำนวณค่า $C_O$ จาก

$$C_O = \frac{1}{f_o R_T} \tag{3.5}$$

$$\therefore C_O = \frac{1}{(228.64\times10^3)(15\times10^3)} = 291.58pF$$

4.) คำนวณค่า $R_1$ จาก

$$R_1 = \frac{2R_o f_o}{\Delta f} \tag{3.6}$$

$$\therefore R_1 = \frac{2\times(10\times10^3)(228.64\times10^3)}{(255-205)\times10^3} = 91.45k\Omega$$

5.) กำหนดค่า Damping Factor $\varsigma = 0.5$

6.) คำนวณค่า $C_1$ จาก

$$C_1 = \frac{1250C_1}{R_1\varsigma^2} \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\therefore C_1 = \frac{1250\left(291.58\times10^{-12}\right)}{\left(91.45\times10^{3}\right)(0.5)^2} = 15.94pF$$

7.) คำนวณค่า $R_F$ จาก

$$R_F = 5R_1 \tag{3.8}$$

$$\therefore R_F = 5\left(91.45\times10^{3}\right) = 457.27k\Omega$$

8.) คำนวณค่า $R_B$ จาก

$$R_B = 5R_F \tag{3.9}$$

$$\therefore R_B = 5\left(437.27\times10^{3}\right) = 2.29M\Omega$$

9.) คำนวณค่า $R_{SUM}$ จาก

$$R_{SUM} = \frac{(R_F + R_1)R_B}{(R_1 + R_F + R_B)} \tag{3.10}$$

$$\therefore R_{SUM} = \frac{\left[\left(457.27\times10^{3}\right)+\left(91.45\times10^{3}\right)\right]\left(2.29\times10^{6}\right)}{\left[\left(91.45\times10^{3}\right)+\left(457.27\times10^{3}\right)+\left(2.29\times10^{6}\right)\right]} = 442.52k\Omega$$

10.) คำนวณค่า $C_F$ จาก

$$C_F = \frac{0.25}{R_{SUM}\times BaudRate} \tag{3.11}$$

$$\therefore C_F = \frac{0.25}{\left(442.52\times10^{3}\right)\left(32\times10^{3}\right)} = 8.83pF$$

11.) เลือกค่า $R_D = 470k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

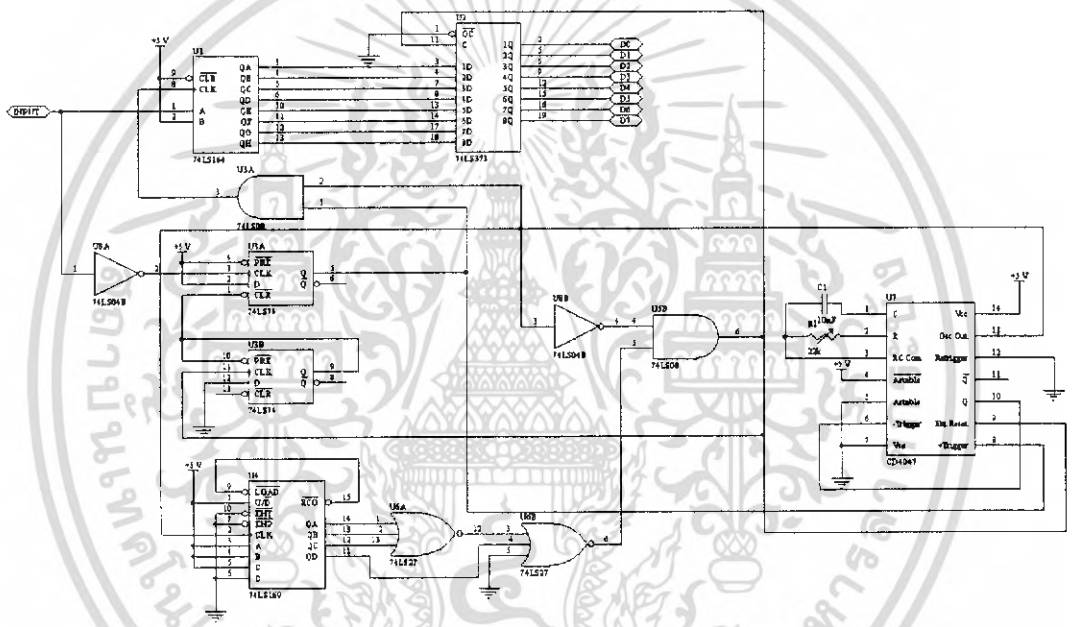
12.) คำนวณค่า $C_D$ จาก

$$C_D \geq \frac{16}{\Delta f} \times 10^{-6} \tag{3.12}$$

$$\therefore C_D \geq \frac{16 \times 10^{-6}}{(255-205) \times 10^3} = 320\,pF$$

**3.6 ส่วนของวงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน (Serial to Parallel Converter)**

ในส่วนของวงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน จะต้องคำนึงถึงข้อมูล ในการส่งข้อมูล 1 ชุด ซึ่งข้อมูลจะประกอบด้วยบิตข้อมูล 8 บิต บิตเริ่ม 1 บิต และบิตจบ 1บิต ดังนั้นเราจึงกำจัดบิตเริ่มและบิตจบ ซึ่งไม่ใช่บิตข้อมูลทิ้งไป



รูปที่ 3.6 วงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน

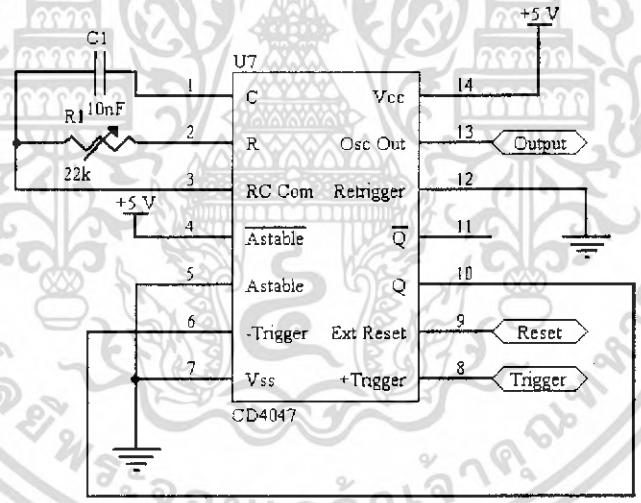
ในการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนานจะใช้ไอซีเบอร์ 74LS164 มาใช้ในการเลื่อนข้อมูล โดยจะอาศัยรอยต่อระหว่างบิตเริ่มและบิตจบ มาใช้กำหนดตำแหน่งเริ่มต้นของข้อมูล ซึ่งจะมีการเปลี่ยนสภาวะ “1” ของบิตจบมาเป็นสภาวะ “0” ของบิตเริ่ม หรือก็คือขอบขาลงนั่นเอง โดยจะนำมาต่อผ่าน Not Gate เพื่อกลับสภาวะเป็นขอบขาขึ้นป้อนให้กลับขา $CLK$ ของ D Flip-Flop ตัวแรก ซึ่งมีการต่อขา $D$ ให้มีสภาวะ “1” ตลอดเวลา เมื่อมีสัญญาณเข้ามาที่ขา $CLK$ ก็จะทำการเลื่อนข้อมูล “1” จากขา $D$ ไปขา $Q$ ให้มีสภาวะ “1” เพื่อใช้ในการสร้างสัญญาณนาฬิกากลับคืนและมาต่อเข้ากับ And Gate จะต้องเข้ากับสัญญาณนาฬิกา แล้วเอาท์พุตของ And Gate จะเป็นสัญญาณนาฬิกาป้อนให้กับไอซีเบอร์ 74LS164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ ไอซี เบอร์74LS164 เลื่อนข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนานต่อไป และไอซีเบอร์ 74LS169 จะทำการนับสัญญาณนาฬิกา เมื่อนับครบ 9 ลูก จะทำให้ขา $Q_D - Q_A$ ของไอซีจะมีสภาวะ "0111" ซึ่งเป็นค่าเริ่มต้นในการนับ เรานำค่านี้มาทำการต่อ Logic Gate เพื่อทำให้เป็นสภาวะ "1" ไปป้อนให้ขา $CLK$ ของไอซีเบอร์ 74LS373 เพื่อส่งข้อมูล 8 บิต แบบขนานให้กับไอซีเบอร์ DAC0800 ต่อไป และสภาวะ "1" นี้ จะไปต่อขา $CLK$ ของ D Flip-Flop ตัวที่สอง จะต่อไปขา $CLK$ ของ D Flip-Flop ตัวที่สอง ซึ่งใช้ในการให้ D Flip-Flop ตัวแรกเกิดสภาวะเคลียร์ ทำให้เอาท์พุตออกเป็นสภาวะ "0" โดยอัตโนมัติซึ่งต่ออยู่กับ And Gate ทำให้เอาท์พุตของ And Gate มีสภาวะ "0" ถึงแม้ว่าอีกข้างหนึ่งจะมีสภาวะใด เพื่อเป็นการหยุดสัญญาณนาฬิกาที่ป้อนให้กับ ไอซีเบอร์ 74LS164 และ เบอร์ 74LS169 ทำให้ไอซีทั้งสองตัวหยุดทำงานแต่สภาวะนี้จะเกิดเพียงช่วงเวลาสั้นๆ เพื่อรอรอยต่อของบิตเริ่มและบิตจบของข้อมูลชุดต่อไป เพื่อใช้ในการสร้างสัญญาณนาฬิกากลับคืนอีกครั้ง

**วงจรสร้างสัญญาณนาฬิกากลับคืน**

ในการถอดรหัสสัญญาณนั้น สิ่งสำคัญที่มีผลต่อระบบการทำงานมากที่สุดคือ สัญญาณนาฬิกาด้านภาครับจะต้องสอดคล้อง หรือมีความถี่ใกล้เคียงกับสัญญาณนาฬิกาด้านภาคส่งมากที่สุด โดยจะใช้ไอซีเบอร์ CD4047 ซึ่งเป็น Monostable/Astable Multivibrator



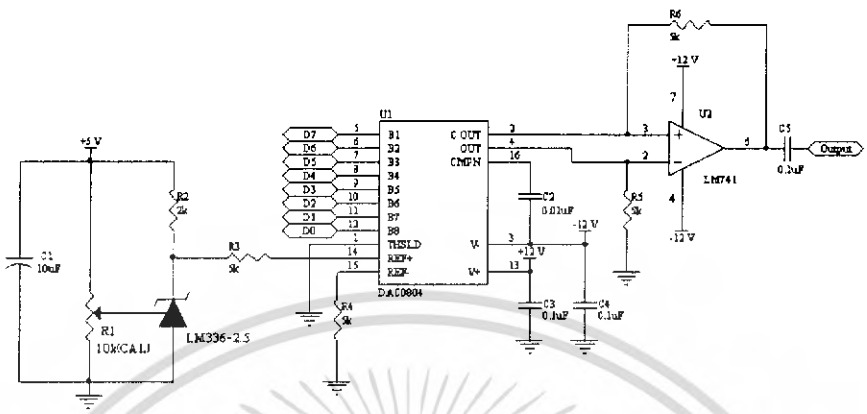

รูปที่ 3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน

แต่การสร้างสัญญาณนาฬิกาต่อเนื่องตลอดเวลา อาจทำให้การผิดพลาด เนื่องจากสัญญาณนาฬิกาภาครับ ต่างเฟสกับสัญญาณนาฬิกาด้านส่งมากกว่า 180° ดังนั้นเรารีเซตวงจรสร้างสัญญาณนาฬิกา เมื่อเลื่อนข้อมูลครบ 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7 ส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter)

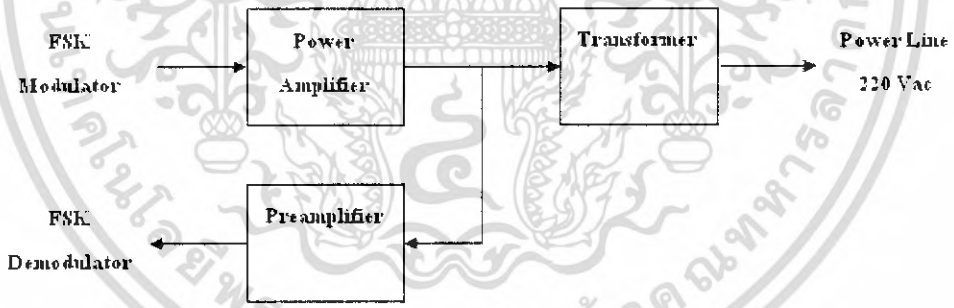
ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก จะใช้ ไอซีเบอร์ DAC 0800 ซึ่งเป็น ไอซี แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาด 8บิต




รูปที่ 3.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

### 3.8 ส่วนของวงจร Power Line Interface

ในส่วนของวงจร Power Line Interface จะประกอบด้วย Buffer, Low Pass Filter, Power Amplifier และ Transformer

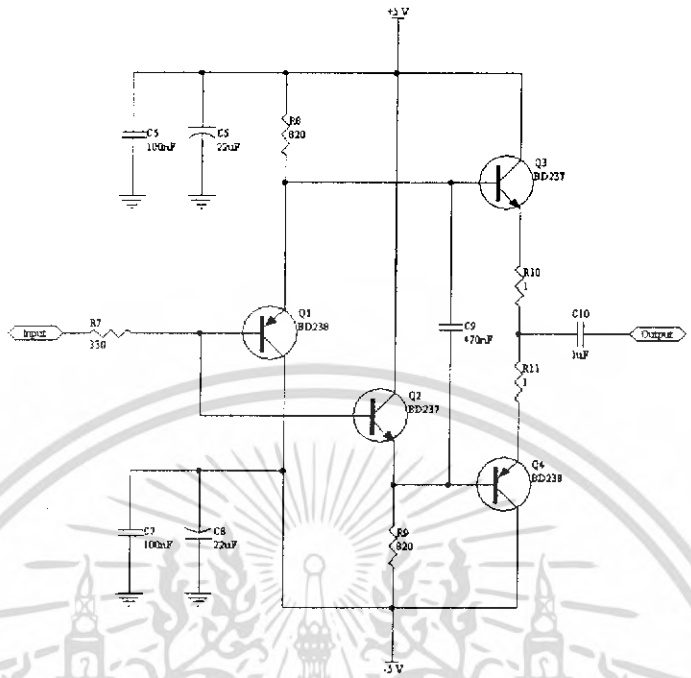



รูปที่ 3.9 โครงสร้างของวงจร Power Line Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.8.1 วงจร Power Amplifier

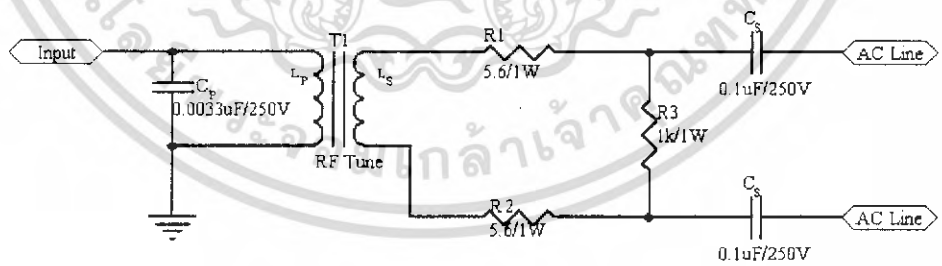
ในส่วนของวงจร Power Amplifier จะใช้แบบ Push-Pull Amplifier




รูปที่ 3.10 วงจร Push-Pull Amplifier

### 3.8.2 วงจร Transformer

ในส่วนของวงจร Transformer ประกอบด้วย 2 ส่วน คือ ส่วน Primary และส่วน Secondary




รูปที่ 3.11 วงจร Transformer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในส่วน Primary เราจะออกแบบให้เป็น Band Pass Filter โดยจากการวัดขดลวดด้าน Primary ( $L_p$ ) = $140\mu F$

$$f_{res} = \frac{1}{2\pi\sqrt{L_p C_p}} \tag{3.13}$$

$$C_p = \frac{\left(\frac{1}{2\pi f_{res}}\right)^2}{L_p} \tag{3.14}$$

$$\therefore C_p = \frac{\left(\frac{1}{2\pi\left(230\times10^3\right)}\right)^2}{\left(140\times10^{-6}\right)}$$

$$= 3.42nF$$

และวงจรในส่วน Secondary เราจะออกแบบให้เป็น High Pass Filter โดยจากการวัดขดลวดด้าน Secondary ( $L_s$ ) = $200\mu H$

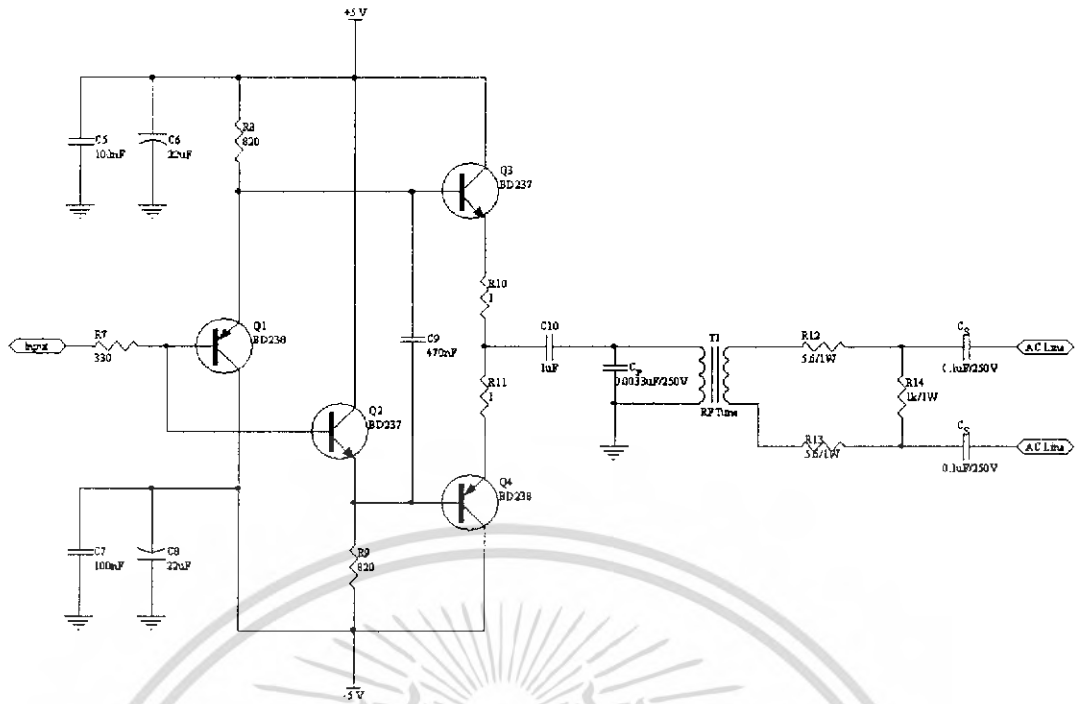
$$C_s = \frac{\left(\frac{1}{2\pi f_{res}}\right)^2}{L_s} \tag{3.15}$$

$$\therefore C_s = \frac{\left(\frac{1}{2\pi\left(50\times10^3\right)}\right)^2}{\left(200\times10^{-6}\right)}$$

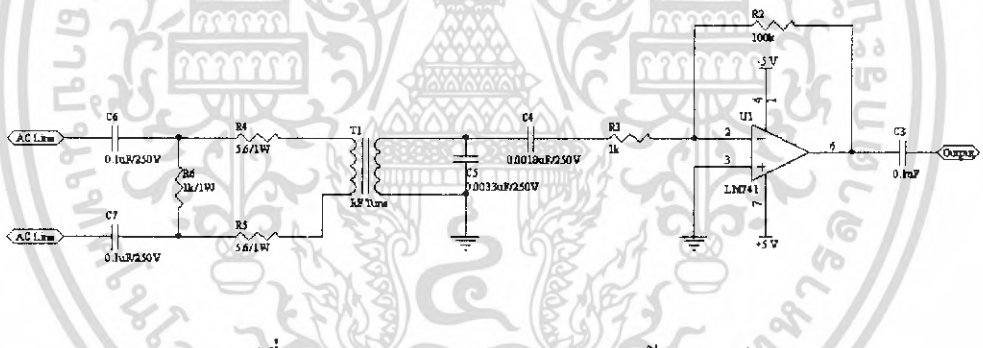
$$= 50nF$$

โดยตัวเก็บประจุ $C_s$ นั้นต้องทนต่อแรงดันมากกว่า 220 V ถึงจะสามารถกันสัญญาณไฟ 220 V 50 Hz ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.12 วงจร Power Line Interface ด้านภาคส่ง




รูปที่ 3.13 วงจร Power Line Interface ด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

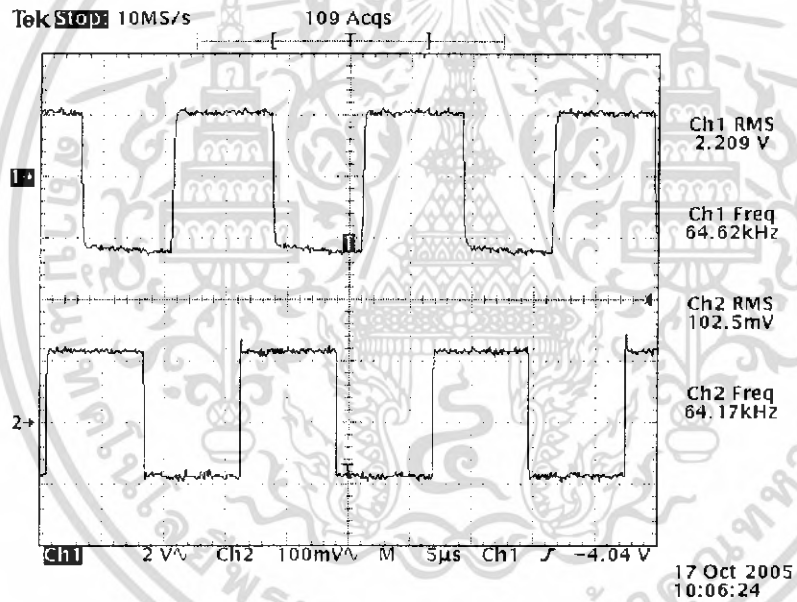
# บทที่ 4

## การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 ได้ทำการออกแบบวงจรและทำการสร้าง เนื้อหาในบทนี้จะเป็นการนำเอาวงจรต่างๆที่ทำการออกแบบแล้ว มาทำการทดลองเพื่อให้ได้ผลตามที่เราต้องการหรือเพื่อเป็นการทดสอบว่าวงจรต่างๆที่ได้ทำการออกแบบมานั้นสามารถทำงานได้จริง

### 4.1 ผลการทดลองของวงจรกำเนิดสัญญาณนาฬิกาที่ความถี่ 64 กิโลเฮิรตซ์

วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์ ที่สร้างจากไอซีเบอร์ CD4047 ทำการต่อ วงจรแล้วทำการวัดสัญญาณที่ออกมาที่ขา 10 ของไอซีเบอร์ CD4047 ทำการปรับค่าความต้านทานปรับค่าได้ 22 กิโลโอห์ม ปรับให้สัญญาณที่ออกมาจากขา 10 มีสัญญาณนาฬิการูปคลื่นสี่เหลี่ยม ที่ความถี่ 64 กิโลเฮิรตซ์ ซึ่งได้ทำการทดลองแล้วมีผลการทดลองดังนี้




รูปที่ 4.1 แสดงผลการทำงานของวงจร สร้างสัญญาณนาฬิกาของเครื่องส่งเทียบกับเครื่องกำเนิดสัญญาณสี่เหลี่ยม

สัญญาณที่ 1 คือสัญญาณนาฬิกาที่ความถี่ 64 กิโลเฮิรตซ์ ที่ได้จากวงจร

สัญญาณที่ 2 คือสัญญาณที่ได้จากเครื่องกำเนิดสัญญาณสี่เหลี่ยม ความถี่ 64กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2 ผลการทดลองของวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล**

ในการทดลองวงจรเมื่อเราทำการป้อนสัญญาณรูปคลื่นไซน์ ที่ความถี่ 1 เฮิรตซ์ เข้าทางด้านอินพุตจะเกิดการเปลี่ยนที่ดวงไฟติดดับสลับกันไปซึ่งเกิดจากการเปลี่ยนแปลงระดับแรงดันของสัญญาณรูปคลื่นไซน์ ที่ป้อนให้ทางอินพุต

ดังนั้นเพื่อที่จะได้เห็นการเปลี่ยนแปลงในการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ในการทดลองนี้จะทำการป้อนแรงดันไฟกระแสตรงตั้งแต่ 0 ถึง 5 โวลต์ เข้าทางด้านอินพุต แล้วทำการวัดค่าแรงดันไฟฟ้ากระแสตรงที่ป้อนให้ทางอินพุต และทำการบันทึกค่าที่ระดับแรงดันนั้นว่า วงจรทำการแปลงออกมาเป็นรหัส ไบนารี่ 8 บิต มีค่าเป็นเท่าใด ซึ่งผลการทดลองดังนี้

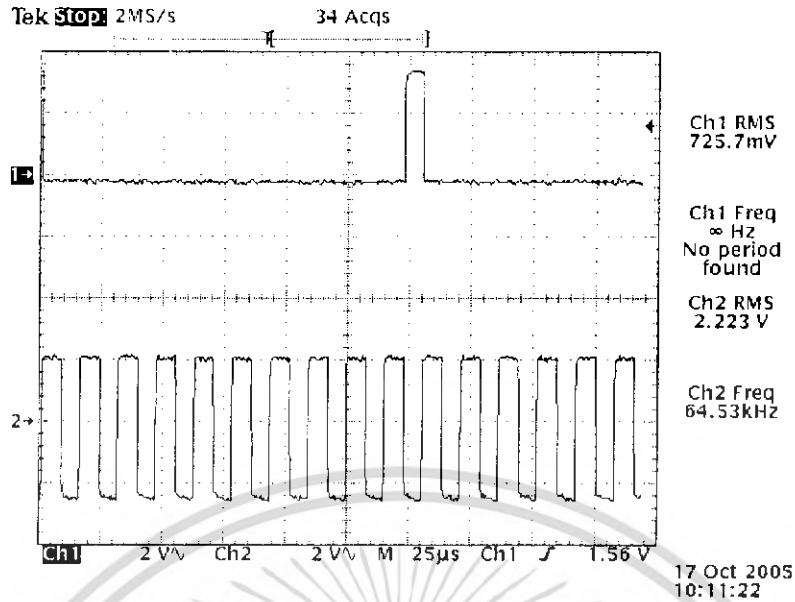
ตารางที่ 4.1 แสดงผลการทดลองวงจรสัญญาณอนาลอกเปลี่ยนเป็นสัญญาณดิจิตอล

| INPUT | OUTPUT |
|---|---|
| 0 โวลต์ | 0000 0000 |
| 0.438โวลต์ | 0000 0001 |
| 0.502 โวลต์ | 0000 0100 |
| 0.753 โวลต์ | 0000 1111 |
| 2.390 โวลต์ | 1010 1010 |
| 3.000 โวลต์ | 0110 1110 |
| 4.000 โวลต์ | 1001 1010 |
| 5.000 โวลต์ | 1100 0100 |
| 5.770 โวลต์ | 1111 1111 |

**4.3 ผลการทดลองของวงจรการแปลงข้อมูลแบบอนุกรม 8 บิต เป็นข้อมูลอนุกรม 10 บิต**

ในการทดลองวงจรเมื่อทำการป้อนอินพุต ลอจิก "0" หรือ ลอจิก "1" เข้าที่บิตที่ 0 ถึงบิตที่ 7 ของไอซีเบอร์ 74LS165 ซึ่งเป็นแบบอนุกรม 8 บิต แล้วทำการป้อนข้อมูลอนุกรมนี้ให้กับไอซีเบอร์ 74LS74 โดยที่ ไอซีเบอร์ 74LS74 จะทำการสร้างบิตเริ่มและบิตจบ ไอซีเบอร์ 74LS169 จะทำการนับจนครบ 10 บิต ซึ่งได้ผลการทดลองดังนี้

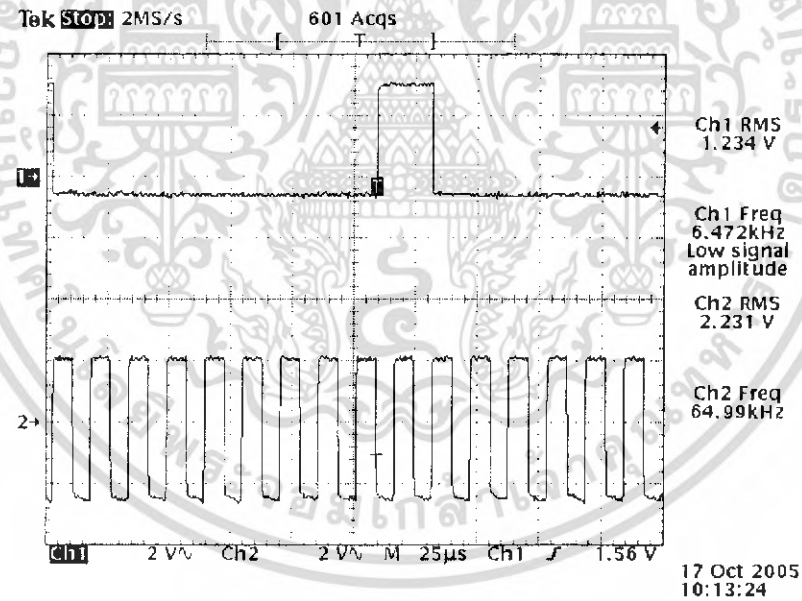
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0000 0000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

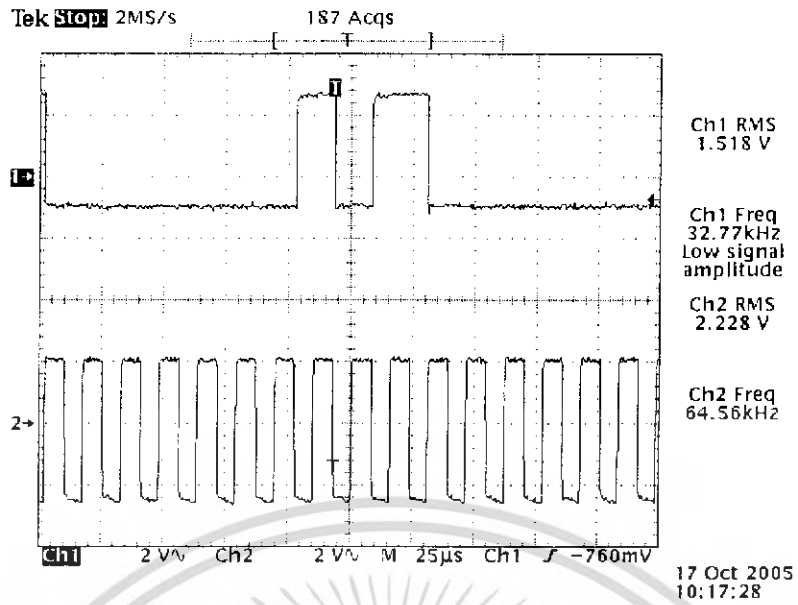



รูปที่ 4.3 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0001

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0000 0001

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

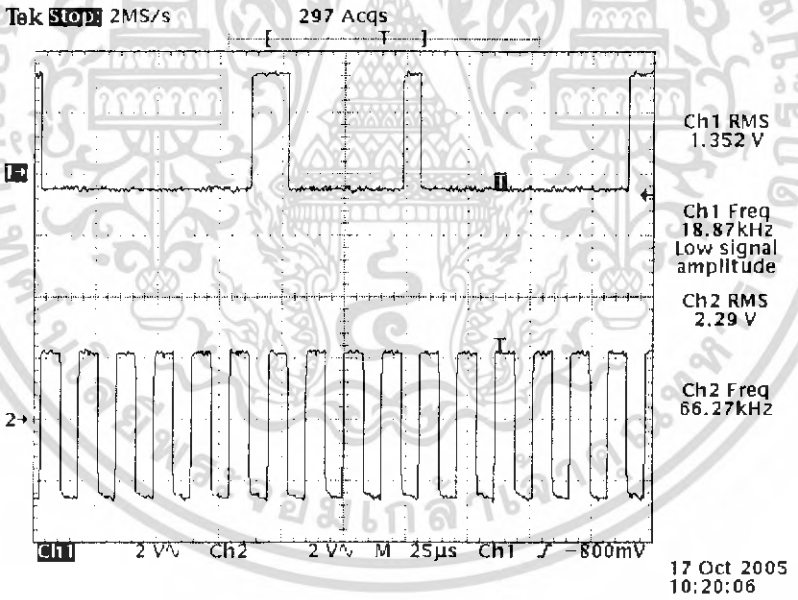
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.4 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 0101

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0000 0101

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

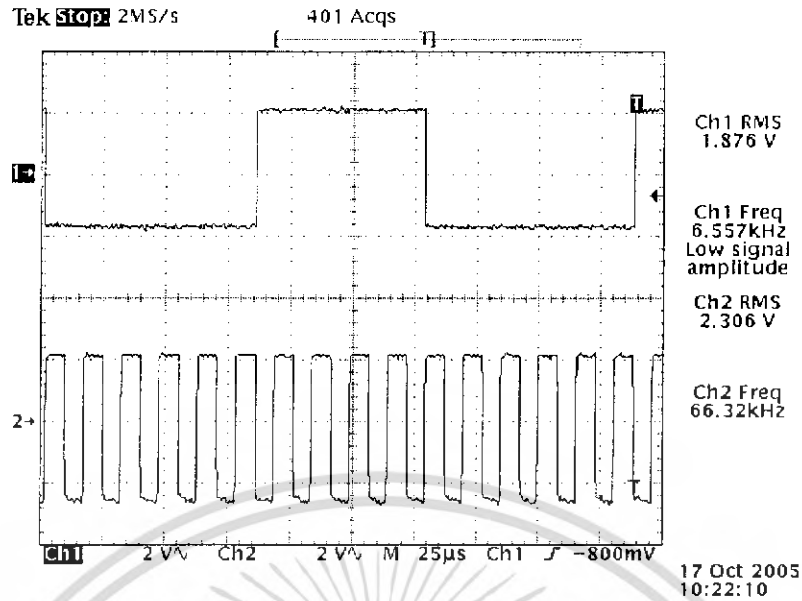



รูปที่ 4.5 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 1000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0000 1000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

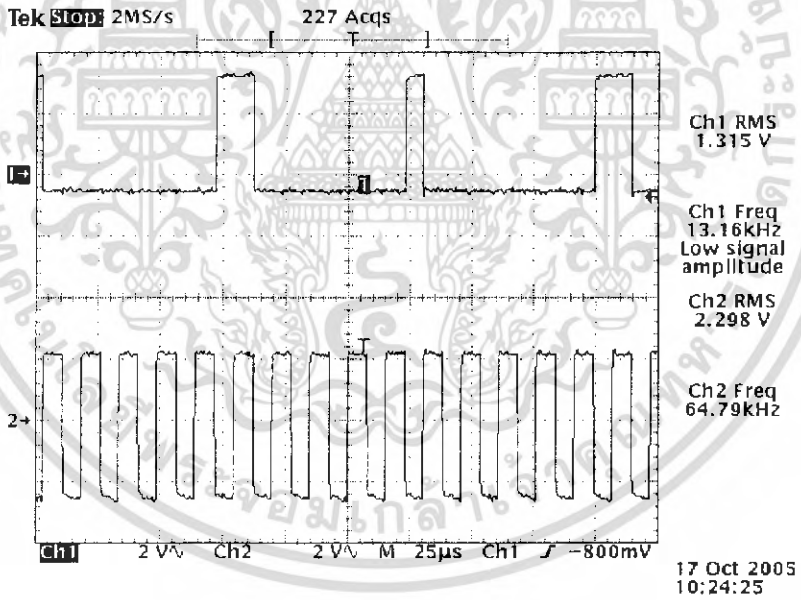
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.6 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0000 1111

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0000 1111

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

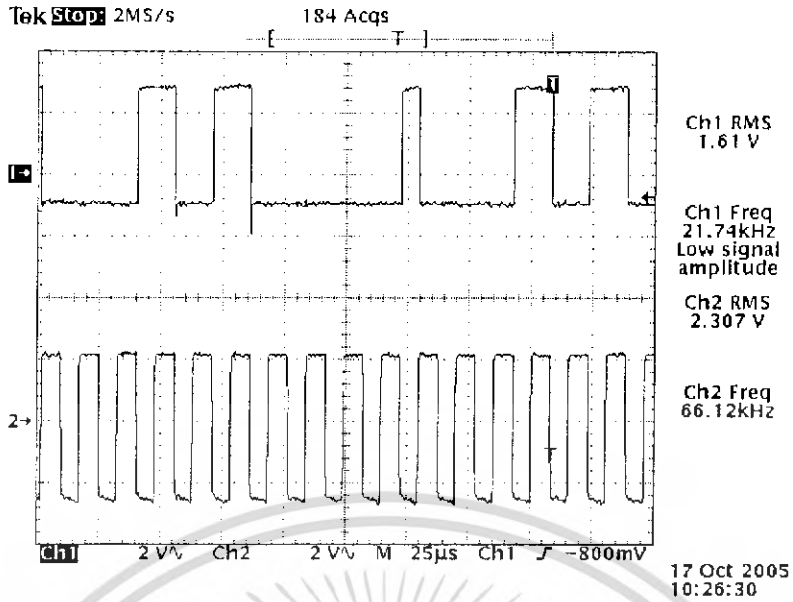



รูปที่ 4.7 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0001 0000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0001 0000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

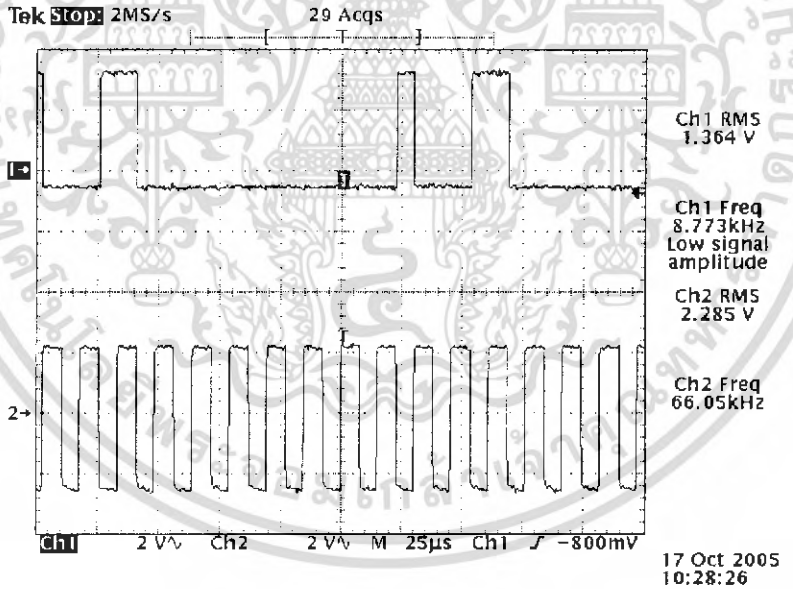
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.8 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 0101 0000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 0101 0000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

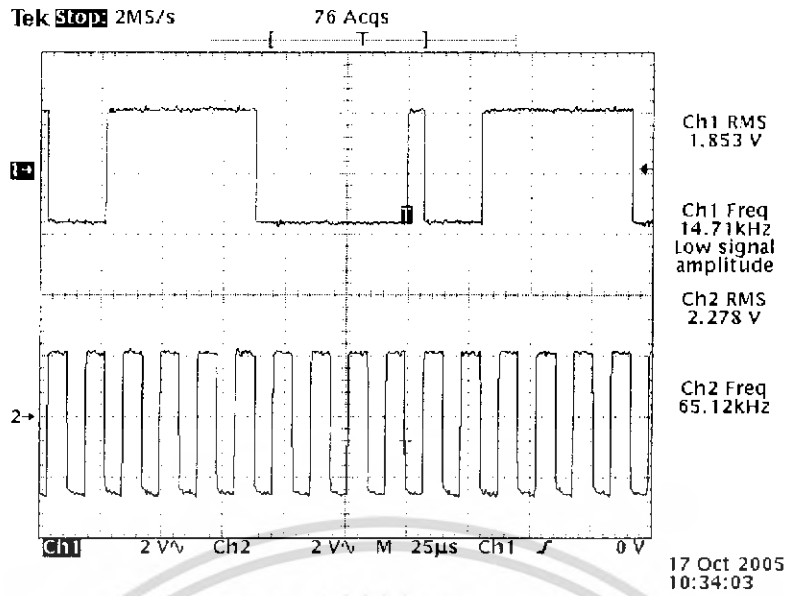



รูปที่ 4.9 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1000 0000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 1000 0000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

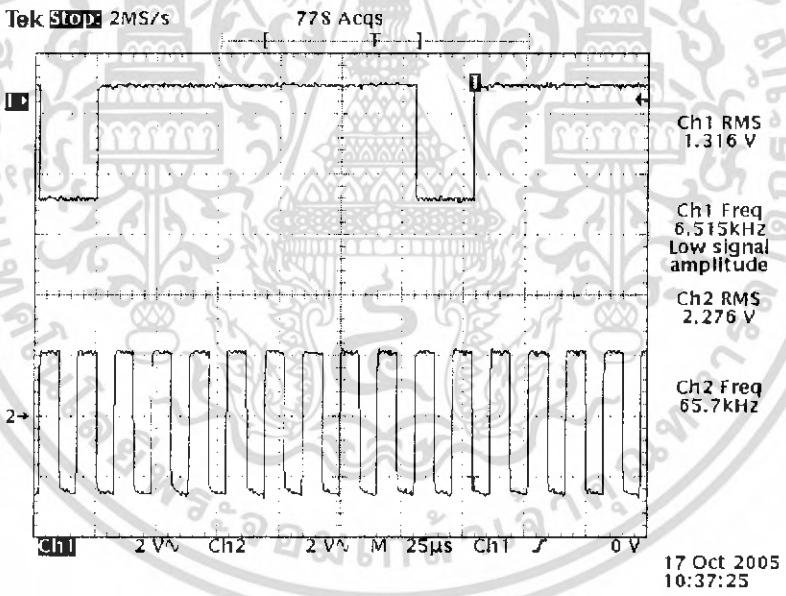
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.10 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1111 0000

สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 1111 0000

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร




รูปที่ 4.11 แสดงผลการทดลองเมื่อป้อนอินพุตเป็น 1111 1111

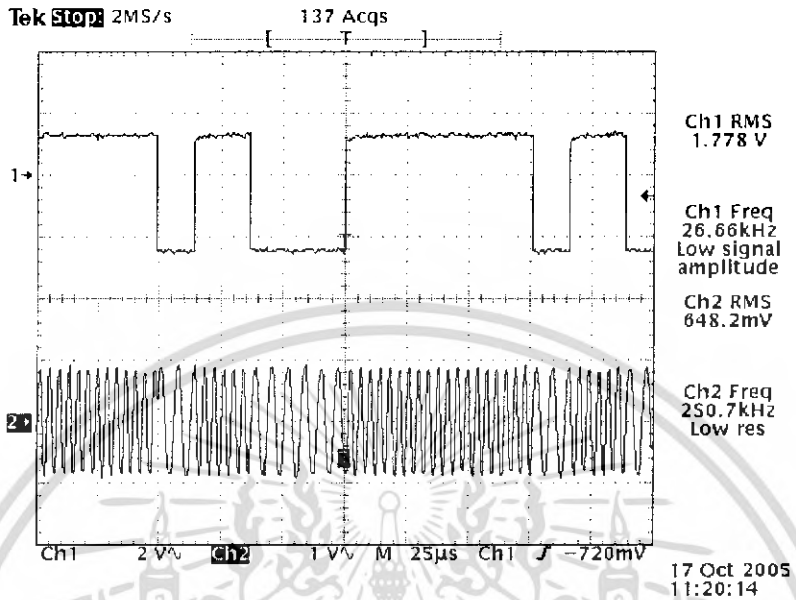
สัญญาณที่ 1 คือสัญญาณที่วัดได้เมื่อป้อนอินพุตเป็น 1111 1111

สัญญาณที่ 2 คือสัญญาณนาฬิกาที่ป้อนให้กับวงจร

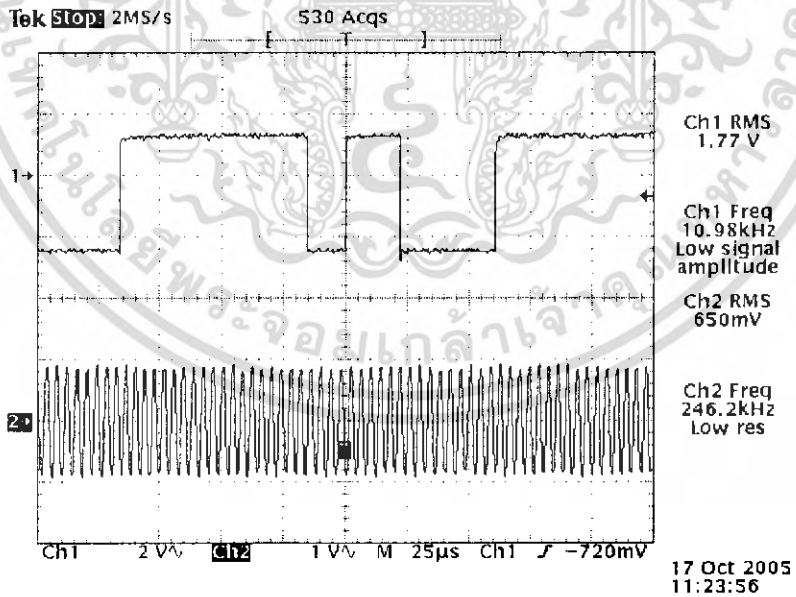
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.4 ผลการทดลองวงจร FSK Modulator**

ทำการป้อนสัญญาณรูปสี่เหลี่ยมที่มีการเปลี่ยนระดับของแรงดันเท่ากับ 0 โวลต์ และ 5 โวลต์ ทางด้านอินพุตแล้วทำการวัดสัญญาณทางด้านเอาท์พุต ได้ผลการทดลองดังนี้




รูปที่ 4.12 แสดงผลการทดลองเมื่อป้อนสัญญาณรูปสี่เหลี่ยมเข้าทางอินพุต
สัญญาณที่ 1 คือสัญญาณรูปสี่เหลี่ยมที่ป้อนให้กับทางด้างอินพุต
สัญญาณที่ 2 คือสัญญาณที่วัดได้ทางด้านเอาท์พุตของวงจร FSK



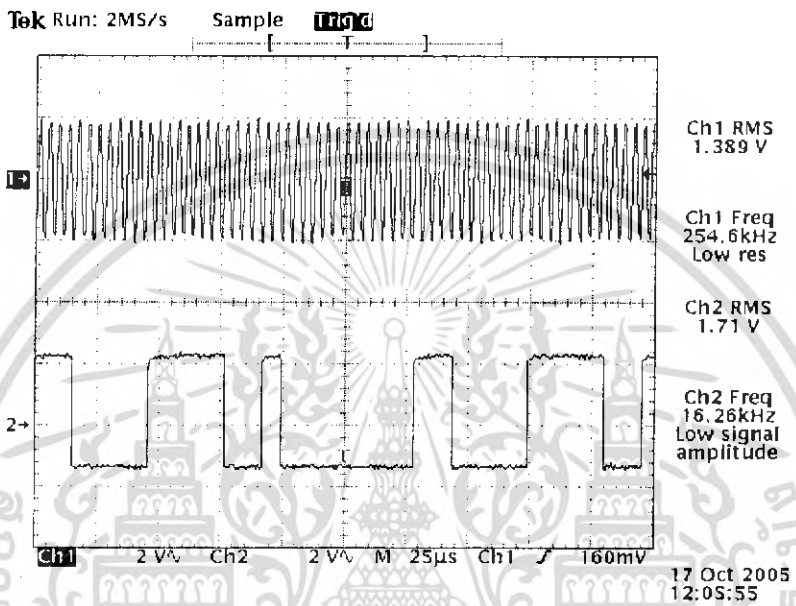

รูปที่ 4.13 แสดงผลการทำงานของวงจร FSK Modulator จากไอซี XR 2206
สัญญาณที่ 1 คือข้อมูลอนุกรม 10 ที่ออกมาจากวงจร ADC 0804
สัญญาณที่ 2 คือสัญญาณเอาท์พุตของวงจร FSK Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.12 และ รูปที่ 4.13 จะเห็นว่าเมื่อระดับแรงดันที่ป้อนให้ทางอินพุตเท่ากับ 0 โวลต์ จะมีความถี่ค่าหนึ่ง และเมื่อระดับแรงดันที่ป้อนให้ทางอินพุตเท่ากับ 1 โวลต์จะมีความถี่เป็นอีกค่า

**4.5 ผลการทดลองวงจร FSK Demodulator**

ทำการป้อนสัญญาณ FSK จากด้านเอาท์พุตของไอซี XR 2206 เข้าทางด้านอินพุตของไอซี XR 2211 แล้วทำการวัดสัญญาณทางด้านเอาท์พุต ได้ผลการทดลองดังนี้

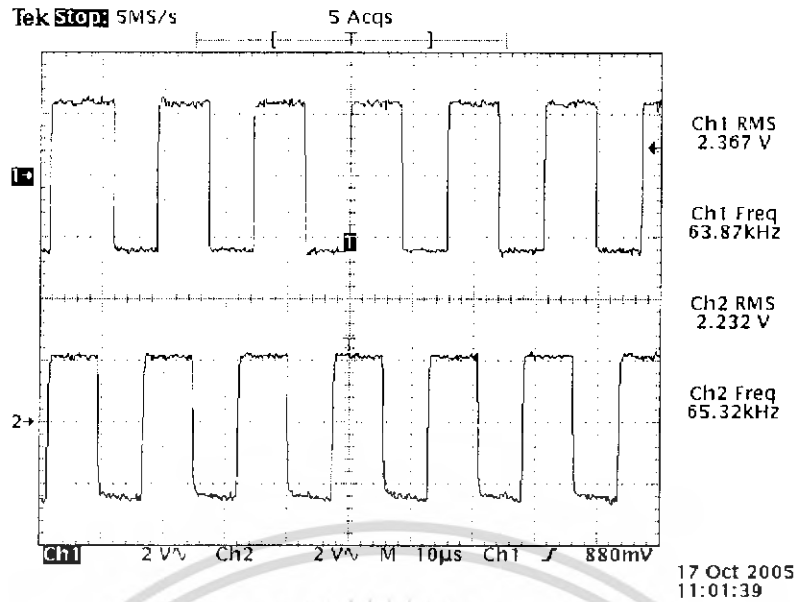



รูปที่ 4.14 แสดงผลการทำงานของวงจร FSK Demodulator จากไอซี XR 2211
สัญญาณที่ 1 คือ สัญญาณเอาท์พุตของไอซี XR 2206
สัญญาณที่ 2 คือ ข้อมูลอนุกรม 10 ที่ออกมาจากวงจร FSK Demodulator

**4.6 ผลการทดลองวงจรสร้างสัญญาณนาฬิกากลับคืน**

วงจรกำเนิดสัญญาณนาฬิกากลับคืนที่ความถี่ 64 กิโลเฮิรตซ์ ที่สร้างจากไอซีเบอร์ CD4047 ทำการต่อ วงจรแล้วทำการวัดสัญญาณที่ออกมาที่ขา 10 ของไอซีเบอร์ CD4047 แล้วปรับค่าความต้านทานปรับค่าได้ 22 กิโลโอห์ม ปรับให้สัญญาณที่ออกมาจากขา 10 มีสัญญาณนาฬิการูปคลื่นสี่เหลี่ยม ที่ความถี่ 64 กิโลเฮิรตซ์ ซึ่งได้ทำการทดลองแล้วมีผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



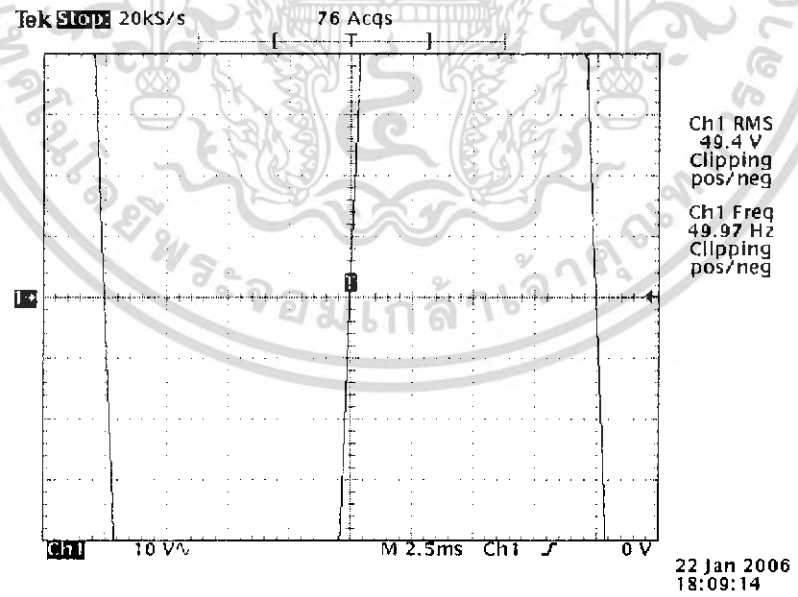

รูปที่ 4.15 แสดงผลการทำงานของวงจร สร้างสัญญาณนาฬิกาของเครื่องรับเทียบกับเครื่องส่ง

สัญญาณที่ 1 คือ สัญญาณนาฬิกาของเครื่องส่ง

สัญญาณที่ 2 คือ สัญญาณนาฬิกาของเครื่องรับ

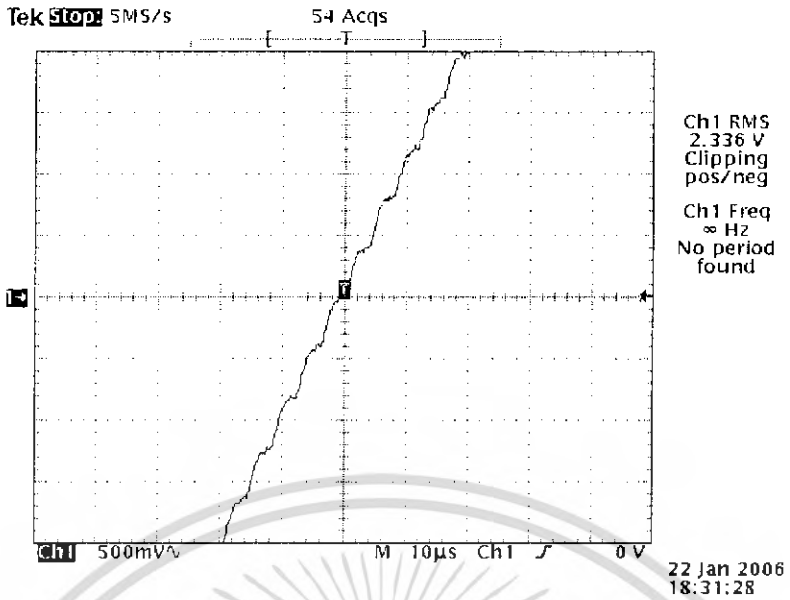
**4.7 ผลการทดลองวงจรกับปลิ้งลงในสายไฟเอซี**

การคับปลิ้งสัญญาณที่ผ่านการมอดูเลทแล้วเข้าไปในสายไฟเอซี เพื่อจะส่งสัญญาณไปในส่วนของดีมอดูเลท ซึ่งสัญญาณที่ผ่านการคับปลิ้งจะเป็นดังรูปที่ 4.16

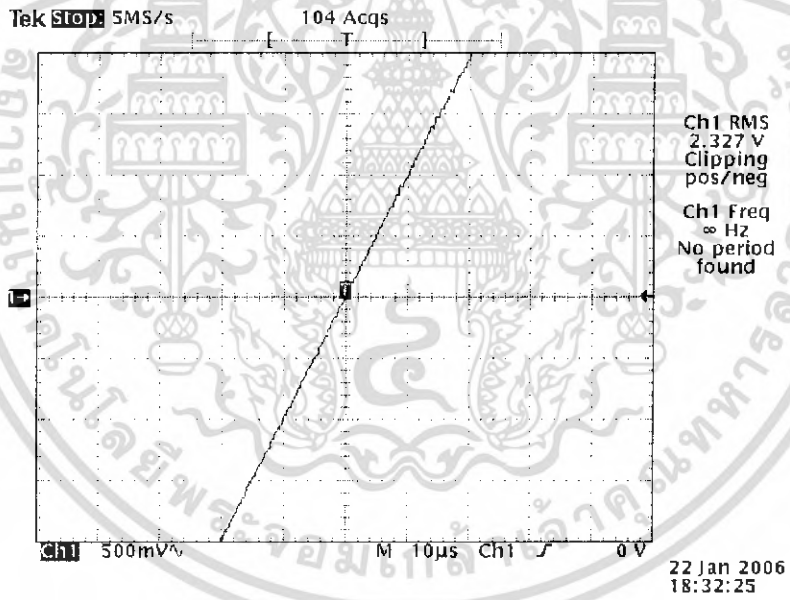



รูปที่ 4.16 แสดงผลการทำงานของสัญญาณที่ผ่านการคับปลิ้งลงในสายไฟเอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.17 แสดงผลการทำงานของสัญญาณที่ผ่านการคับปลิ้งลงในสายไฟเอซี




รูปที่ 4.18 แสดงผลการทำงานของสัญญาณที่ยังไม่ผ่านการคับปลิ้งลงในสายไฟเอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทวิจารณ์และบทสรุป

โครงงานนี้เป็นระบบเกี่ยวกับการส่งสัญญาณเสียงโดยผ่านสายไฟบ้าน อาศัยหลักการมอดูเลตสัญญาณดิจิตอล โดยเทคนิคของ Frequency Shift Keying (FSK) เป็นการส่งข้อมูลการสื่อสารในลักษณะแบบอะซิงโครนัส (Asynchronous) ทำการแปลงสัญญาณอินพุตที่เข้ามาให้เป็นสัญญาณดิจิตอล โดยใช้ไอซีเบอร์ ADC0804 มีอัตราการแซมปลิ้งเท่ากับ 6400 Hz ใน 1 แซมปลิ้งมี 8 บิตจัดระดับ 256 ระดับข้อมูลที่ทำการแปลงจะเป็นสัญญาณในรูปแบบขนาน ทำการเปลี่ยนสัญญาณในรูปแบบขนานให้เป็นแบบอนุกรม ซึ่งจะได้ข้อมูล 8 บิต แล้วทำการเพิ่มบิตเริ่ม(Start Bit) และบิตจบ(Stop Bit) จะทำให้ 1 บล็อกข้อมูลมี 10 บิต สัญญาณที่ได้จะเป็นสัญญาณ PCM ทำการมอดูเลตทางดิจิตอล ใช้เทคนิค FSK โดยมี Mark Frequency บิต 1 เท่ากับ 255 kHz และ Space Frequency บิต 0 เท่ากับ 205 kHz มี Baud rate เท่ากับ 64 kbps จะได้สัญญาณ FSK ออกมา

ส่วนทางด้านดีมอดูเลต จะได้สัญญาณ PCM กลับมา นำมาตัดบิตเริ่มและบิตจบออก ได้ข้อมูลออกมา 8 บิต ในส่วนนี้จะทำให้เกิดความผิดพลาดเนื่องจากมีสัญญาณเข้ามารบกวนมาก ทำให้ข้อมูลที่ได้รับเกิดการผิดพลาดขึ้น

โดยรวมแล้วทำการทดลอง ปัญหาพบได้ว่า การออกแบบวงจรนั้นค่าที่คำนวณต่างๆ เช่น ค่าความต้านทาน ค่าตัวเก็บประจุ จะมีค่าผิดพลาดทำให้ผลการทดลองไม่เป็นไปตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


[1] Wanye Tomasi, "Advance Electronic Communication System", Prentice Hall Internation Edition, 1984.

[2] William Kleitz, "Digital and Microprocessor Fundamental Theory and Application Second Edition", Prentice Hall Internation Edition, 1997.

[3] กฤษดา ใจเย็น, "เครื่องแปลงสัญญาณอนาลอกเป็นดิจิตอลสำหรับคอมพิวเตอร์", อิเล็กทรอนิกเซมิคอนดักเตอร์ ฉบับที่ 156 กุมภาพันธ์, บริษัทซีเอ็ดยูเคชั่น, 2539.

[4] วิวัฒน์ กิรานนท์, "วิศวกรรมการสื่อสาร", อักษรสยามการพิมพ์, พ.ศ. 2544.

[5] ชวลิต สวรรค์ดร, "ส่งเสียงตามสาย (เอซี) AM/FM", อิเล็กทรอนิกเซมิคอนดักเตอร์ ฉบับที่ 108 กรกฎาคม, บริษัทซีเอ็ดยูเคชั่น, 2534.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LM336-2.5/LM336B-2.5

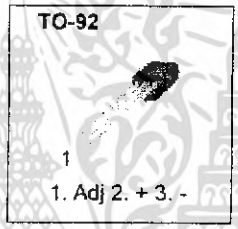
## Programmable Shunt Regulator

### Features

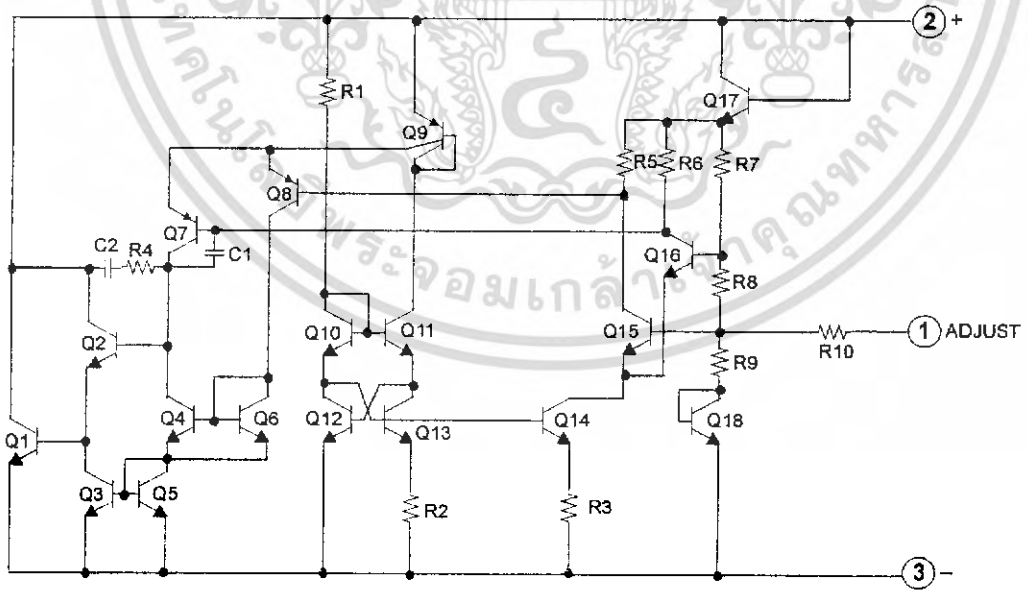
- Low Temperature Coefficient
- Guaranteed Temperature Stability 4mV Typical
- 0.2Ω Dynamic Impedance
- ±1.0% Initial Tolerance Available
- Easily Trimmed for Minimum Temperature Drift

### Description

The LM336-2.5/LM336B-2.5 integrated circuits are precision 2.5V shunt regulators. The monolithic IC voltage reference operates as a low temperature coefficient 2.5V zener with 0.2W dynamic impedance. A third terminal on the LM336-2.5/LM336B-2.5 allows the reference voltage and temperature coefficient to be trimmed easily. LM336-2.5/LM336B-2.5 are useful as a precision 2.5V low voltage reference for digital voltmeters, power supplies or OP-AMP circuitry. The 2.5V makes it convenient to obtain a stable reference from low voltage supplies. Further, since the LM336-2.5/LM336B-2.5 operate as shunt regulators, they can be used as either a positive or negative voltage reference.




### Internal Block Diagram




Rev. 1.0.1

©2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised May 1999

# CD4047BC
# Low Power Monostable/Astable Multivibrator

## General Description

The CD4047B is capable of operating in either the monostable or astable mode. It requires an external capacitor (between pins 1 and 3) and an external resistor (between pins 2 and 3) to determine the output pulse width in the monostable mode, and the output frequency in the astable mode.

Astable operation is enabled by a high level on the astable input or low level on the astable input. The output frequency (at 50% duty cycle) at Q and $\overline{Q}$ outputs is determined by the timing components. A frequency twice that of Q is available at the Oscillator Output; a 50% duty cycle is not guaranteed.

Monostable operation is obtained when the device is triggered by LOW-to-HIGH transition at + trigger input or HIGH-to-LOW transition at – trigger input. The device can be retriggered by applying a simultaneous LOW-to-HIGH transition to both the + trigger and retrigger inputs.

A high level on Reset input resets the outputs Q to LOW, $\overline{Q}$ to HIGH.

## Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 $V_{DD}$ (typ.)
- Low power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS

**SPECIAL FEATURES**

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required

**MONOSTABLE MULTIVIBRATOR FEATURES**

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

**ASTABLE MULTIVIBRATOR FEATURES**

- Free-running or gatable operating modes
- 50% duty cycle
- Oscillator output available
- Good astable frequency stability
  typical= ±2% + 0.03%/°C @ 100 kHz
  frequency= ±0.5% + 0.015%/°C @ 10 kHz
  deviation (circuits trimmed to frequency $V_{DD}$ = 10V ±10%)

## Applications

- Frequency discriminators
- Timing circuits
- Time-delay applications
- Envelope detection
- Frequency multiplication
- Frequency division

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| CD4047BCM | M14A | 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow |
| CD4047BCN | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide |

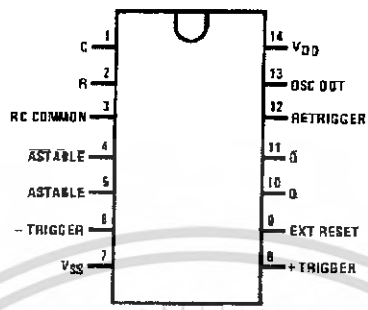
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 1999 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Connection Diagram

Pin Assignments for SOIC and DIP



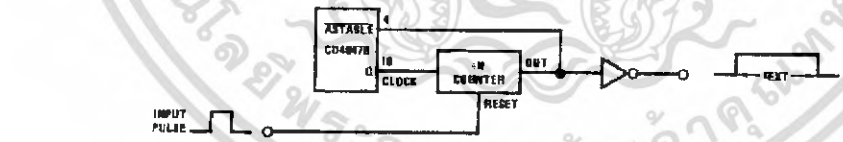

Top View

## Function Table

| Function | Terminal Connections | | | Output Pulse | Typical Output |
|---|---|---|---|---|---|
| | To $V_{DD}$ | To $V_{SS}$ | Input Pulse To | From | Period or Pulse Width |
| Astable Multivibrator | | | | | |
| Free-Running | 4, 5, 6, 14 | 7, 8, 9, 12 | | 10, 11, 13 | $t_A(10, 11) = 4.40$ RC |
| True Gating | 4, 6, 14 | 7, 8, 9, 12 | 5 | 10, 11, 13 | $t_A(13) = 2.20$ RC |
| Complement Gating | 6, 14 | 5, 7, 8, 9, 12 | 4 | 10, 11, 13 | |
| Monostable Multivibrator | | | | | |
| Positive-Edge Trigger | 4, 14 | 5, 6, 7, 9, 12 | 8 | 10, 11 | |
| Negative-Edge Trigger | 4, 8, 14 | 5, 7, 9, 12 | 6 | 10, 11 | $t_M(10, 11) = 2.48$ RC |
| Retriggerable | 4, 14 | 5, 6, 7, 9 | 8, 12 | 10, 11 | |
| External Countdown (Note 1) | 14 | 5, 6, 7, 8, 9, 12 | Figure 1 | Figure 1 | Figure 1 |

Note 1: External resistor between terminals 2 and 3. External capacitor between terminals 1 and 3.

## Typical Implementation of External Countdown Option



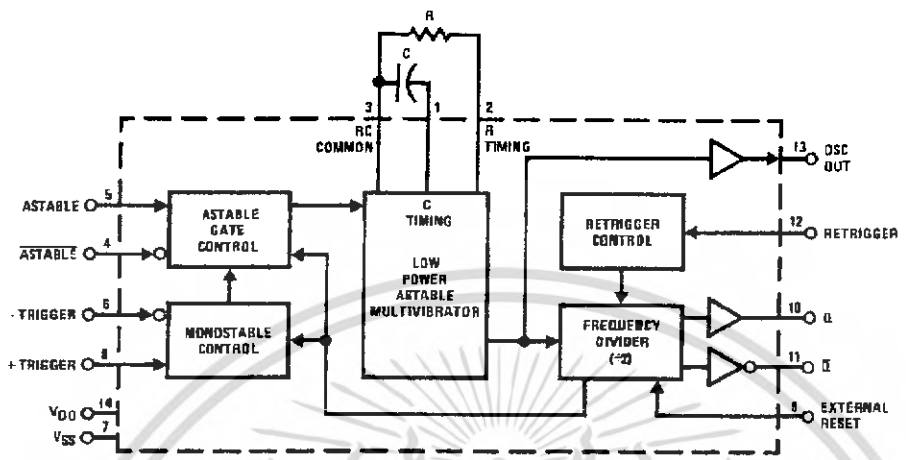

$t_{EXT} = (N - 1)\, t_A + (t_M + t_A/2)$

FIGURE 1.

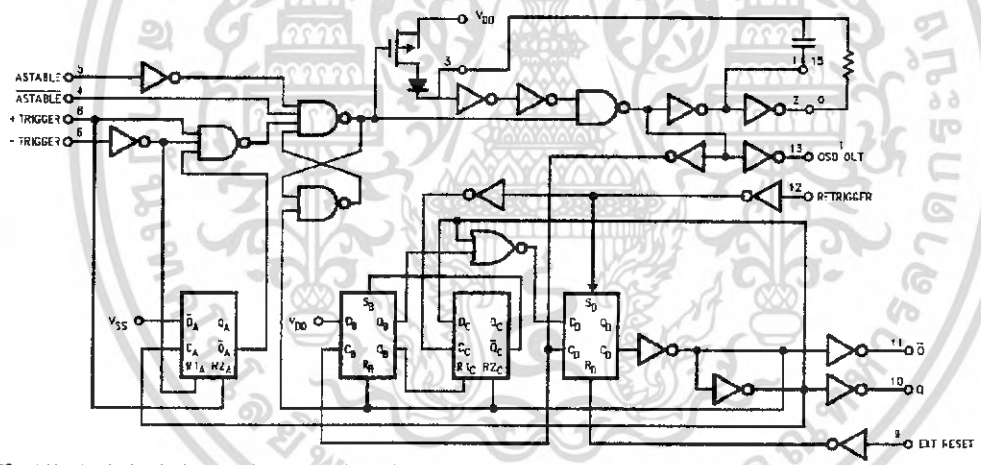


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Block Diagram




## Logic Diagram




*Special input protection circuit to permit larger input-voltage swings.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1999

# ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit µP Compatible A/D Converters

## General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder — similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

## Features

- Compatible with 8080 µP derivatives — no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 $V_{DC}$, 2.5 $V_{DC}$, or analog span adjusted voltage reference

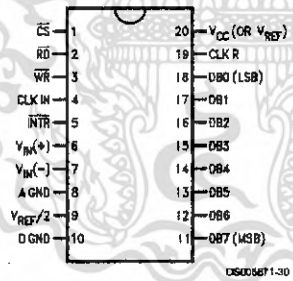
## Key Specifications

- Resolution — 8 bits
- Total error — ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time — 100 µs

## Connection Diagram

**ADC080X**

**Dual-In-Line and Small Outline (SO) Packages**




**See Ordering Information**

## Ordering Information

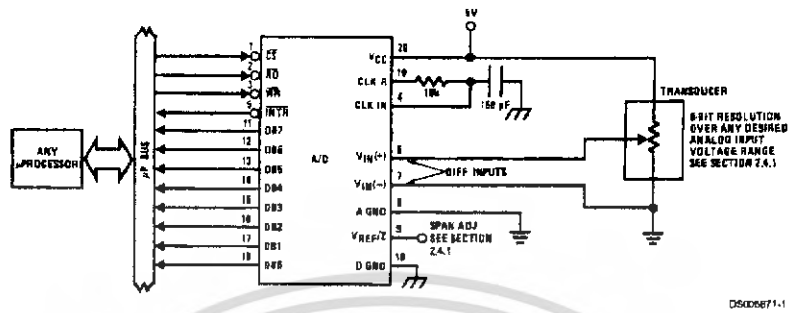
| TEMP RANGE | | 0°C TO 70°C | 0°C TO 70°C | −40°C TO +85°C |
|---|---|---|---|---|
| ERROR | ±¼ Bit Adjusted | | | ADC0801LCN |
| | ±½ Bit Unadjusted | ADC0802LCWM | | ADC0802LCN |
| | ±½ Bit Adjusted | | | ADC0803LCN |
| | ±1Bit Unadjusted | ADC0804LCWM | ADC0804LCN | ADC0805LCN/ADC0804LCJ |
| PACKAGE OUTLINE | | M20B — Small Outline | N20A — Molded DIP | |

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

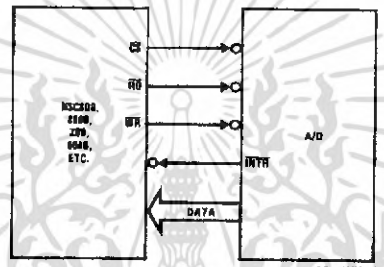
© 1999 National Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications




8080 Interface




| Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity) | | | |
|---|---|---|---|
| Part Number | Full-Scale Adjusted | $V_{REF}/2$=2.500 $V_{DC}$ (No Adjustments) | $V_{REF}/2$=No Connection (No Adjustments) |
| ADC0801 | ±¼ LSB | | |
| ADC0802 | | ±½ LSB | |
| ADC0803 | ±½ LSB | | |
| ADC0804 | | ±1 LSB | |
| ADC0805 | | | ±1 LSB |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

# DAC0800/DAC0802
# 8-Bit Digital-to-Analog Converters

## General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, $V_{LC}$, grounded. Changing the $V_{LC}$ potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

## Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

## Typical Applications

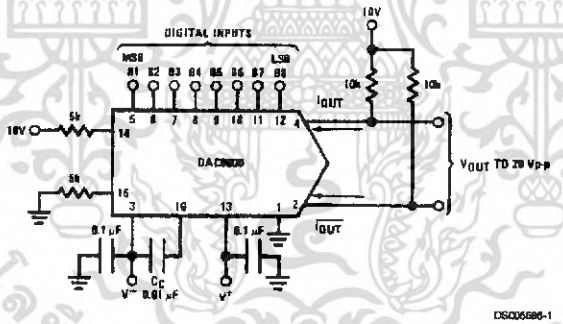



**FIGURE 1. ±20 $V_{p-p}$ Output Digital-to-Analog Converter** (Note 5)

## Ordering Information

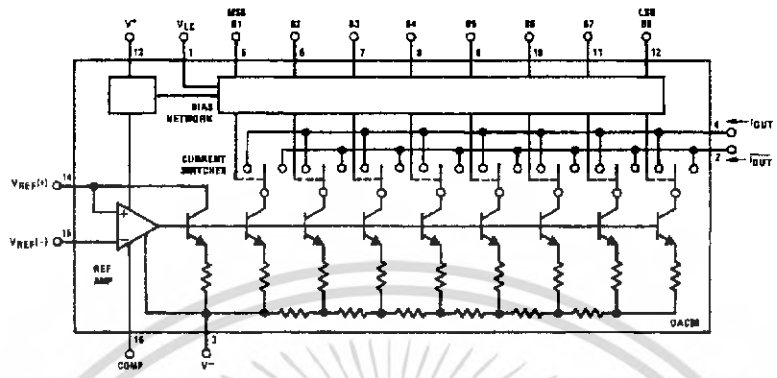
| Non-Linearity | Temperature Range | Order Numbers | | | | |
|---|---|---|---|---|---|---|
| | | J Package (J16A) (Note 1) | | N Package (N16E) (Note 1) | | SO Package (M16A) |
| ±0.1% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0802LCJ | DAC-08HQ | DAC0802LCN | DAC-08HP | DAC0802LCM |
| ±0.19% FS | −55°C ≤ $T_A$ ≤ +125°C | DAC0800LJ | DAC-08Q | | | |
| ±0.19% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0800LCJ | DAC-08EQ | DAC0800LCN | DAC-08EP | DAC0800LCM |

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

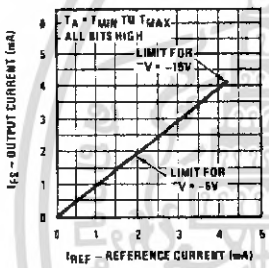
## Block Diagram (Note 5)




DS005686-2

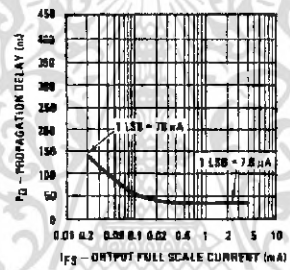
## Typical Performance Characteristics

**Full Scale Current vs Reference Current**



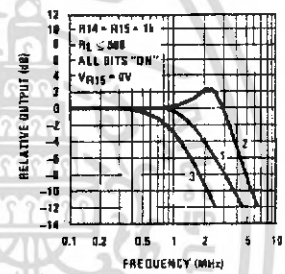

DS005686-22

**LSB Propagation Delay vs $I_{FS}$**




DS005686-23

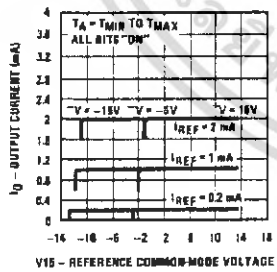
**Reference Input Frequency Response**




DS005686-24

**Curve 1:** $C_C$=15 pF, $V_{IN}$=2 Vp-p centered at 1V.
**Curve 2:** $C_C$=15 pF, $V_{IN}$=50 mVp-p centered at 200 mV.
**Curve 3:** $C_C$=0 pF, $V_{IN}$=100 mVp-p centered at 0V and applied through 500 connected to pin 14.2V applied to R14.

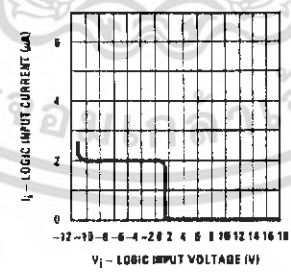
**Reference Amp Common-Mode Range**




DS005686-25

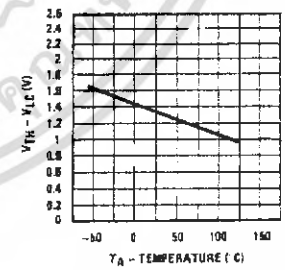
Note. Positive common-mode range is always (V+) – 1.5V.

**Logic Input Current vs Input Voltage**




DS005686-26

**$V_{TH}$ — $V_{LC}$ vs Temperature**



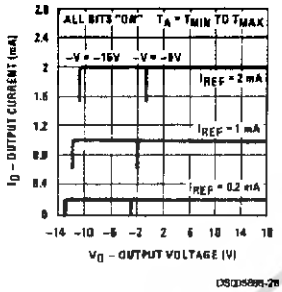

DS005686-27



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

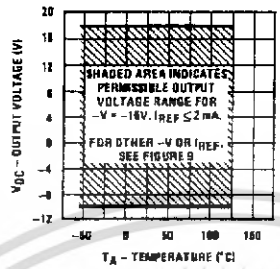
## Typical Performance Characteristics (Continued)

**Output Current vs Output Voltage (Output Voltage Compliance)**



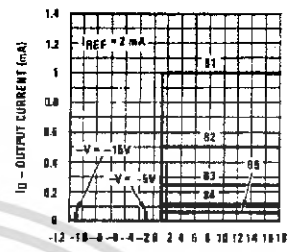

DS005686-28

**Output Voltage Compliance vs Temperature**




DS005686-29

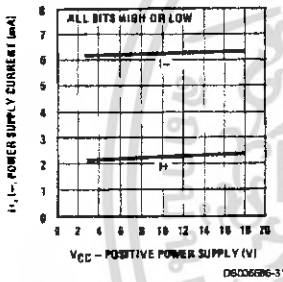
**Bit Transfer Characteristics**




DS005686-30

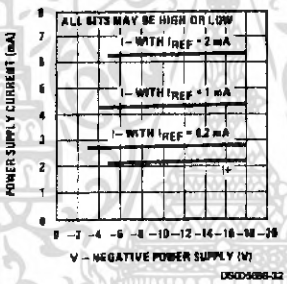
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ($V_{LC}$ = 0V).

**Power Supply Current vs +V**



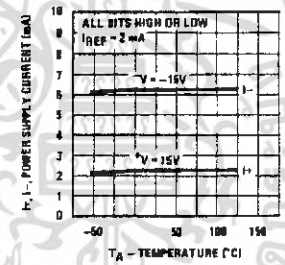

DS005686-31

**Power Supply Current vs −V**



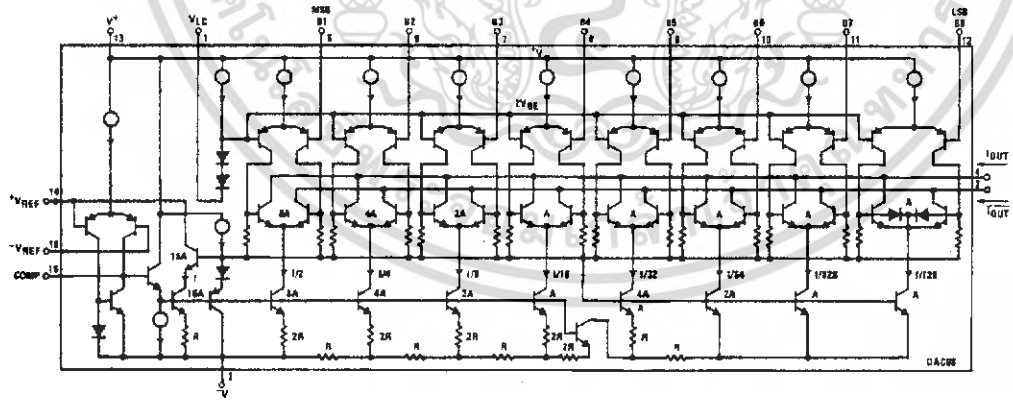

DS005686-32

**Power Supply Current vs Temperature**




DS005686-33

## Equivalent Circuit




DS005686-15

**FIGURE 2.**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

## FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

## APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

## ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2206M | 16 Lead 300 Mil CDIP | -55°C to +125°C |
| XR-2206P | 16 Lead 300 Mil PDIP | –40°C to +85°C |
| XR-2206CP | 16 Lead 300 Mil PDIP | 0°C to +70°C |
| XR-2206D | 16 Lead 300 Mil JEDEC SOIC | 0°C to +70°C |


©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

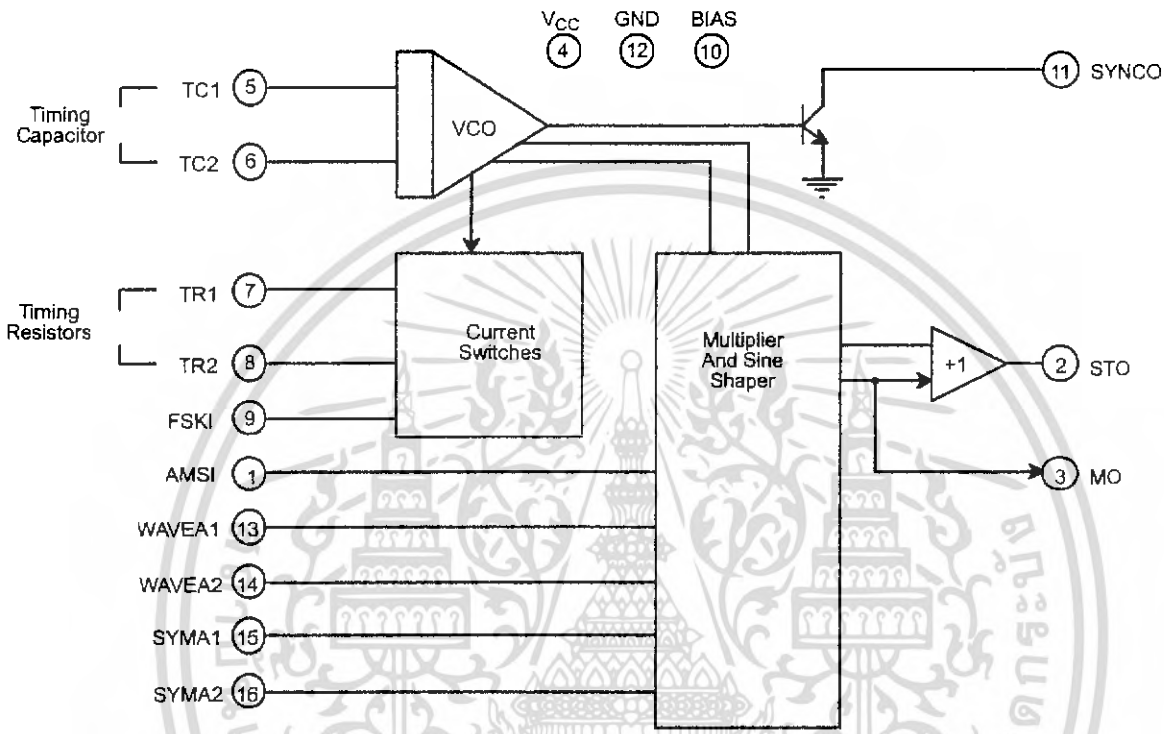
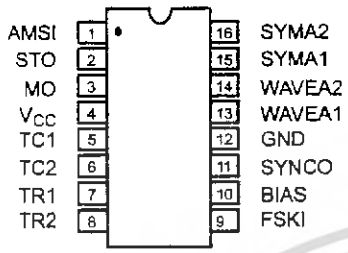


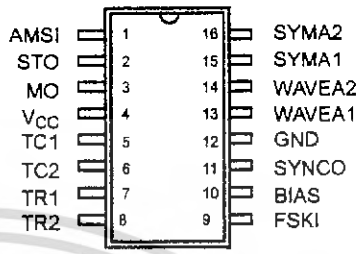

**Figure 1. XR-2206 Block Diagram**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




16 Lead PDIP, CDIP (0.300")




16 Lead SOIC (Jedec, 0.300")

## PIN DESCRIPTION

| Pin # | Symbol | Type | Description |
|---|---|---|---|
| 1 | AMSI | I | **Amplitude Modulating Signal Input.** |
| 2 | STO | O | **Sine or Triangle Wave Output.** |
| 3 | MO | O | **Multiplier Output.** |
| 4 | $V_{CC}$ | | **Positive Power Supply.** |
| 5 | TC1 | I | **Timing Capacitor Input.** |
| 6 | TC2 | I | **Timing Capacitor Input.** |
| 7 | TR1 | O | **Timing Resistor 1 Output.** |
| 8 | TR2 | O | **Timing Resistor 2 Output.** |
| 9 | FSKI | I | **Frequency Shift Keying Input.** |
| 10 | BIAS | O | **Internal Voltage Reference.** |
| 11 | SYNCO | O | **Sync Output.** This output is a open collector and needs a pull up resistor to $V_{CC}$. |
| 12 | GND | | **Ground pin.** |
| 13 | WAVEA1 | I | **Wave Form Adjust Input 1.** |
| 14 | WAVEA2 | I | **Wave Form Adjust Input 2.** |
| 15 | SYMA1 | I | **Wave Symetry Adjust 1.** |
| 16 | SYMA2 | I | **Wave Symetry Adjust 2.** |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2211

FSK Demodulator/
Tone Decoder

...the analog plus company™

June 1997-3

## FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

## APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

## GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

## ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2211M | 14 Pin CDIP (0.300") | -55°C to +125°C |
| XR-2211N | 14 Pin CDIP (0.300") | -40°C to +85°C |
| XR-2211P | 14 Pin PDIP (0.300") | -40°C to +85°C |
| XR-2211ID | 14 Lead SOIC (Jedec, 0.150") | -40°C to +85°C |



©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

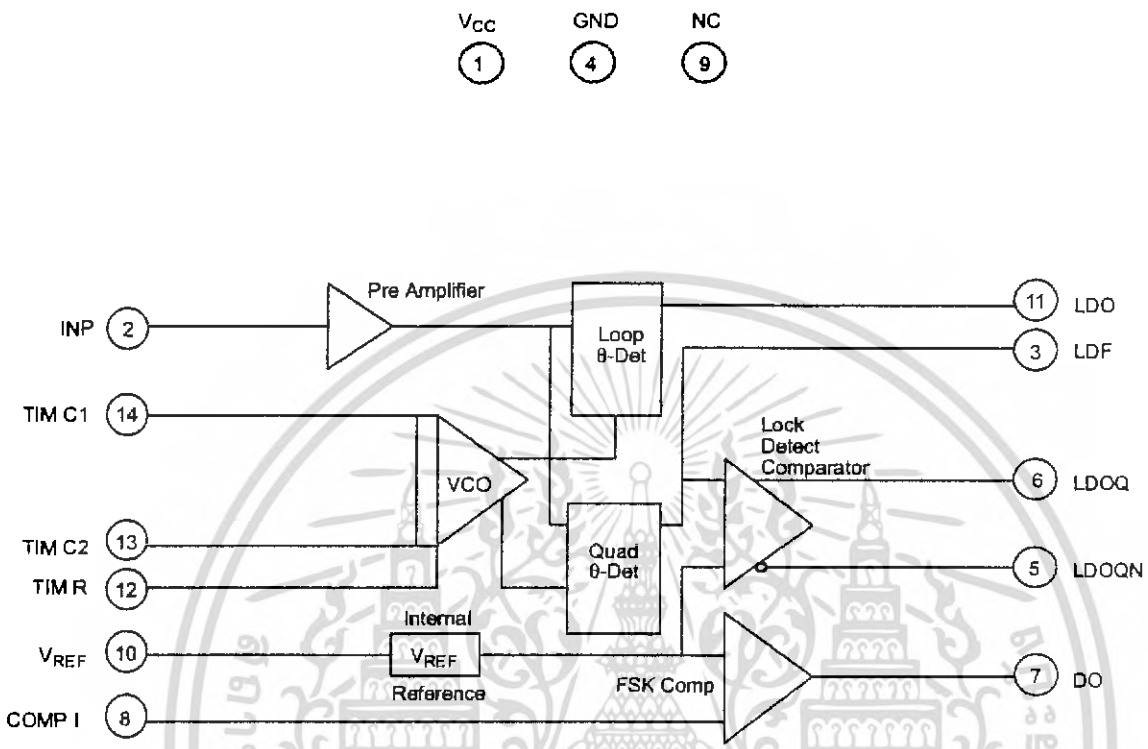
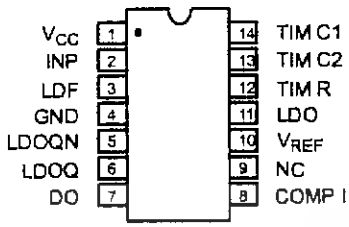



**Figure 1. XR-2211 Block Diagram**

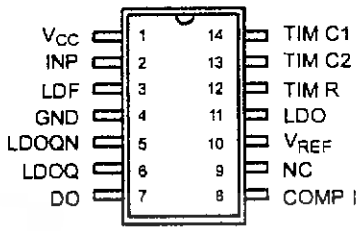


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN CONFIGURATION




**14 Lead CDIP, PDIP (0.300")**




**14 Lead SOIC (Jedec, 0.150")**

## PIN DESCRIPTION

| Pin # | Symbol | Type | Description |
|---|---|---|---|
| 1 | $V_{CC}$ | | **Positive Power Supply.** |
| 2 | INP | I | **Receive Analog Input.** |
| 3 | LDF | O | **Lock Detect Filter.** |
| 4 | GND | | **Ground Pin.** |
| 5 | LDOQN | O | **Lock Detect Output Not.** This output will be low if the VCO is in the capture range. |
| 6 | LDOQ | O | **Lock Detect Output.** This output will be high if the VCO is in the capture range. |
| 7 | DO | O | **Data Output.** Decoded FSK output. |
| 8 | COMP I | I | **FSK Comparator Input.** |
| 9 | NC | | **Not Connected.** |
| 10 | $V_{REF}$ | O | **Internal Voltage Reference.** The value of $V_{REF}$ is $V_{CC}/2 - 650mV$. |
| 11 | LDO | O | **Loop Detect Output.** This output provides the result of the quadrature phase detection. |
| 12 | TIM R | I | **Timing Resistor Input.** This pin connects to the timing resistor of the VCO. |
| 13 | TIM C2 | I | **Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14. |
| 14 | TIM C1 | I | **Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13. |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

# 54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

## General Description

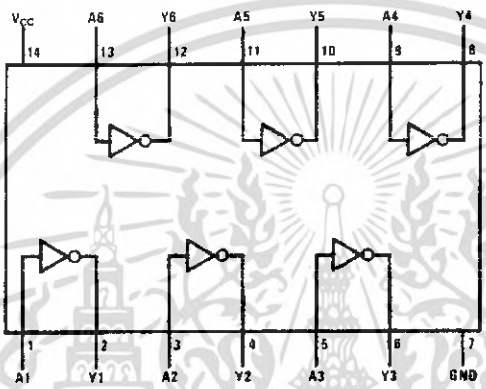
This device contains six independent gates each of which performs the logic INVERT function.

## Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

## Connection Diagram

**Dual-In-Line Package**




TL/F/6345–1

**Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N**
**See NS Package Number E20A, J14A, M14A, N14A or W14B**

## Function Table

$Y = \overline{A}$

| Input | Output |
|---|---|
| A | Y |
| L | H |
| H | L |

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation TL/F/6345 RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised March 2000

# DM74LS08
# Quad 2-Input AND Gates

## General Description

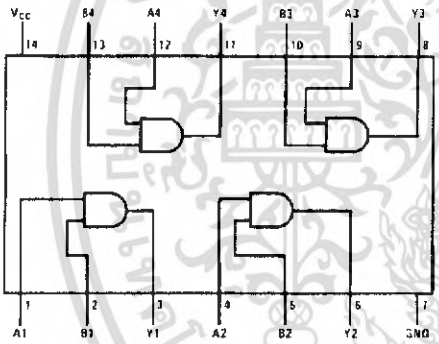
This device contains four independent gates each of which performs the logic AND function.

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| DM74LS08M | M14A | 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow |
| DM74LS08SJ | M14D | 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide |
| DM74LS08N | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

## Connection Diagram




## Function Table

Y = AB

| Inputs | | Output |
|---|---|---|
| A | B | Y |
| L | L | L |
| L | H | L |
| H | L | L |
| H | H | H |

H = HIGH Logic Level
L = LOW Logic Level

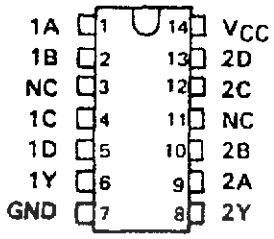
© 2000 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

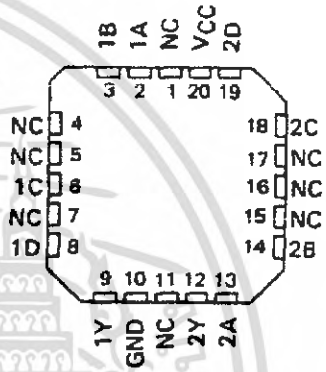
SDLS139 – APRIL 1985 – REVISED MARCH 1988

- **Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs**
- **Dependable Texas Instruments Quality and Reliability**

**SN54LS21 . . . J OR W PACKAGE**
**SN74LS21 . . . D OR N PACKAGE**
**(TOP VIEW)**




**SN54LS21 . . . FK PACKAGE**
**(TOP VIEW)**




NC—No internal connection

## description

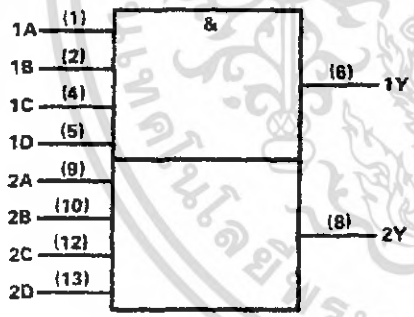
These devices contain two independent 4-input AND gates.

The SN54LS21 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74LS21 is characterized for operation from 0°C to 70°C.

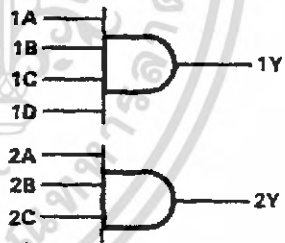
**FUNCTION TABLE (each gate)**

| INPUTS | | | | OUTPUT |
|---|---|---|---|---|
| A | B | C | D | Y |
| H | H | H | H | H |
| L | X | X | X | L |
| X | L | X | X | L |
| X | X | L | X | L |
| X | X | X | L | L |

## logic symbol†




## logic diagram




(positive logic) $Y = A \cdot B \cdot C \cdot D$ or $Y = \overline{\overline{A} + \overline{B} + \overline{C} + \overline{D}}$

† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

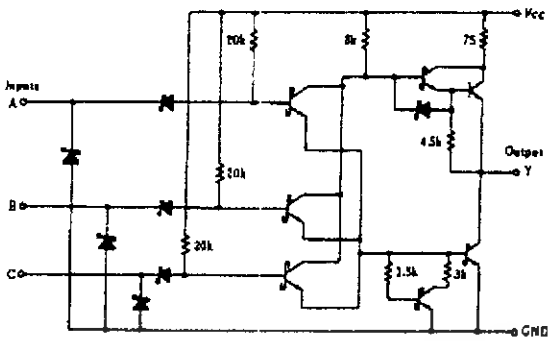
Copyright © 1988, Texas Instruments Incorporated



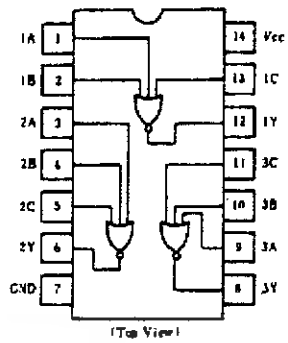
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HD74LS27 ●Triple 3-input Positive NOR Gates

## ■CIRCUIT SCHEMATIC(¼)




## ■PIN ARRANGEMENT




## ■ELECTRICAL CHARACTERISTICS ( $Ta=-20\sim+75°C$ )

| Item | Symbol | Test Conditions | | min | typ* | max | Unit |
|---|---|---|---|---|---|---|---|
| Input voltage | $V_{IH}$ | | | 2.0 | – | – | V |
| | $V_{IL}$ | | | – | – | 0.8 | |
| Output voltage | $V_{OH}$ | $V_{CC}=4.75V$, $V_{IL}=0.8V$, $I_{OH}=-400\mu A$ | | 2.7 | – | – | V |
| | $V_{OL}$ | $V_{CC}=4.75V$, $V_{IH}=2V$ | $I_{OL}=4mA$ | – | – | 0.4 | |
| | | | $I_{OL}=8mA$ | – | – | 0.5 | |
| Input current | $I_{IH}$ | $V_{CC}=5.25V$, $V_I=2.7V$ | | – | – | 20 | $\mu A$ |
| | $I_{IL}$ | $V_{CC}=5.25V$, $V_I=0.4V$ | | – | – | −0.4 | mA |
| | $I_I$ | $V_{CC}=5.25V$, $V_I=7V$ | | – | – | 0.1 | mA |
| Short-circuit output current | $I_{OS}$ | $V_{CC}=5.25V$ | | −20 | – | −100 | mA |
| Supply current | $I_{CCH}$ | $V_{CC}=5.25V$ | | – | 2.0 | 4.0 | mA |
| | $I_{CCL}$ | $V_{CC}=5.25V$ | | – | 3.4 | 6.8 | mA |
| Input clamp voltage | $V_{IK}$ | $V_{CC}=4.75V$, $I_{IN}=-18mA$ | | – | – | −1.5 | V |

* $V_{CC}=5V$, $Ta=25°C$

## ■SWITCHING CHARACTERISTICS ( $V_{CC}=5V$, $Ta=25°C$ )

| Item | Symbol | Test Conditions | min | typ | max | Unit |
|---|---|---|---|---|---|---|
| Propagation delay time | $t_{PLH}$ | $C_L=15pF$, $R_L=2k\Omega$ | – | 10 | 15 | ns |
| | $t_{PHL}$ | | – | 10 | 15 | |

Note) Refer to Test Circuit and Waveform of the Common Item



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SN74LS74A

# Dual D-Type Positive Edge-Triggered Flip-Flop

The SN74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and $\overline{Q}$ outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

**ON Semiconductor**
*Formerly a Division of Motorola*
**http://onsemi.com**

**LOW POWER SCHOTTKY**

**MODE SELECT – TRUTH TABLE**

| OPERATING MODE | INPUTS | | | OUTPUTS | |
|---|---|---|---|---|---|
| | $\overline{S_D}$ | $\overline{S_D}$ | D | Q | $\overline{Q}$ |
| Set | L | H | X | H | L |
| Reset (Clear) | H | L | X | L | H |
| *Undetermined | L | L | X | H | H |
| Load "1" (Set) | H | H | h | H | L |
| Load "0" (Reset) | H | H | l | L | H |

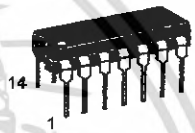
* Both outputs will be HIGH while both $\overline{S_D}$ and $\overline{C_D}$ are LOW, but the output states are unpredictable if $\overline{S_D}$ and $\overline{C_D}$ go HIGH simultaneously. If the levels at the set and clear are near $V_{IL}$ maximum then we cannot guarantee to meet the minimum level for $V_{OH}$.

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Don't Care

l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.




**PLASTIC**
**N SUFFIX**
**CASE 646**

**SOIC**
**D SUFFIX**
**CASE 751A**

**GUARANTEED OPERATING RANGES**

| Symbol | Parameter | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| $V_{CC}$ | Supply Voltage | 4.75 | 5.0 | 5.25 | V |
| $T_A$ | Operating Ambient Temperature Range | 0 | 25 | 70 | °C |
| $I_{OH}$ | Output Current – High | | | –0.4 | mA |
| $I_{OL}$ | Output Current – Low | | | 8.0 | mA |

**ORDERING INFORMATION**

| Device | Package | Shipping |
|---|---|---|
| SN74LS74AN | 14 Pin DIP | 2000 Units/Box |
| SN74LS74AD | 14 Pin | 2500/Tape & Reel |

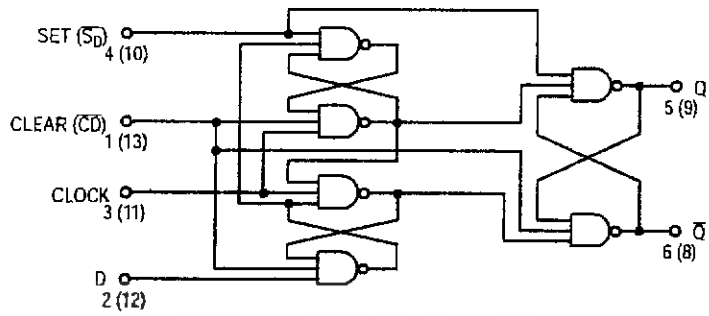
© Semiconductor Components Industries, LLC, 1999

December, 1999 – Rev. 6

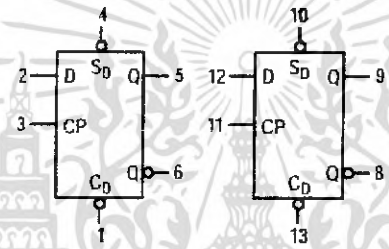
Publication Order Number:
SN74LS74A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**LOGIC DIAGRAM** (Each Flip-Flop)




**LOGIC SYMBOL**




$V_{CC}$ = PIN 14
GND = PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised April 2000

# DM74LS164
# 8-Bit Serial In/Parallel Out Shift Register

## General Description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. A low logic level at either input inhibits entry of the new data, and resets the first flip-flop to the low level at the next clock pulse, thus providing complete control over incoming data. A high logic level on either input enables the other input, which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is HIGH or LOW, but only information meeting the setup and hold time requirements will be entered. Clocking occurs on the LOW-to-HIGH level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

## Features

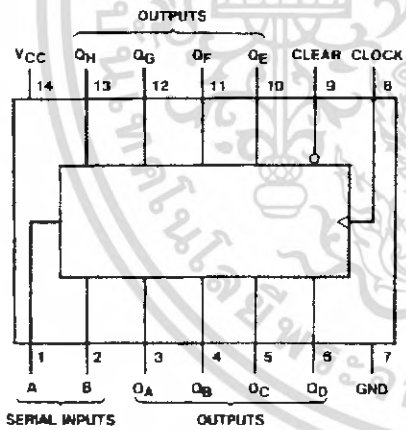
- Gated (enable/disable) serial inputs
- Fully buffered clock and serial inputs
- Asynchronous clear
- Typical clock frequency 36 MHz
- Typical power dissipation 80 mW

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| DM74LS164M | M14A | 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow |
| DM74LS164N | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

## Connection Diagram




## Function Table

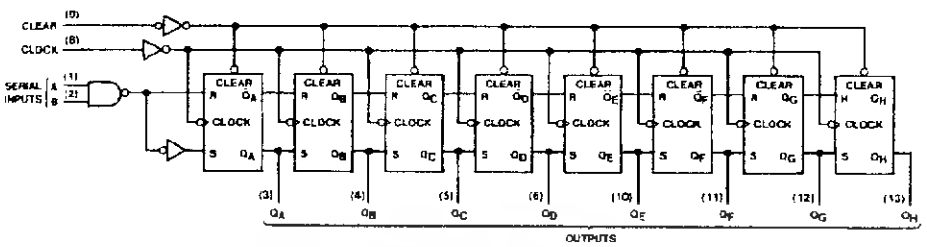
| Inputs | | | | Outputs | | | |
|---|---|---|---|---|---|---|---|
| Clear | Clock | A | B | $Q_A$ | $Q_B$ | ... | $Q_H$ |
| L | X | X | X | L | L | ... | L |
| H | L | X | X | $Q_{A0}$ | $Q_{B0}$ | ... | $Q_{H0}$ |
| H | ⊓ | H | H | H | $Q_{An}$ | ... | $Q_{Gn}$ |
| H | ⊓ | L | X | L | $Q_{An}$ | ... | $Q_{Gn}$ |
| H | ⊓ | X | L | L | $Q_{An}$ | ... | $Q_{Gn}$ |

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
⊓ = Transition from LOW-to-HIGH level
$Q_{A0}$, $Q_{B0}$, $Q_{H0}$ = The level of $Q_A$, $Q_B$, or $Q_H$, respectively, before the indicated steady-state input conditions were established.
$Q_{An}$, $Q_{Gn}$ = The level of $Q_A$ or $Q_G$ before the most recent ⊓ transition of the clock; indicates a one-bit shift.

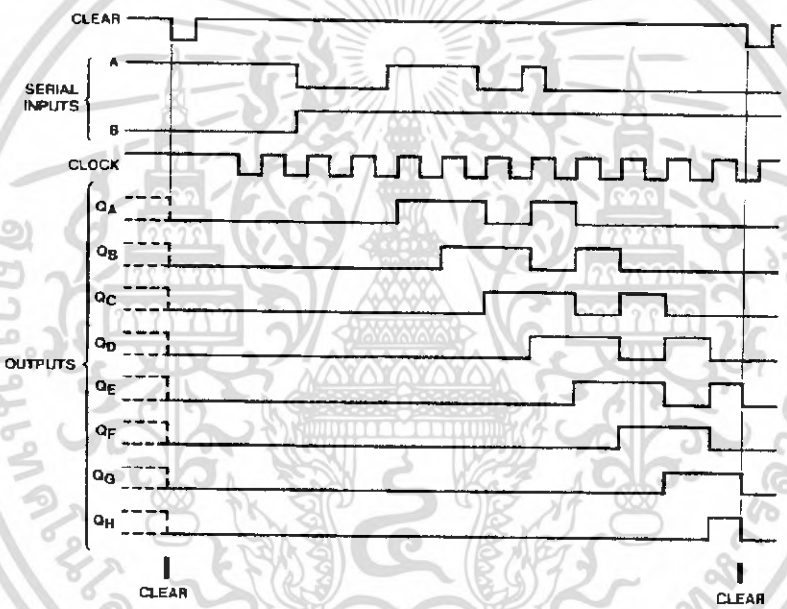
© 2000 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Logic Diagram




## Timing Diagram






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

# DM74LS165
# 8-Bit Parallel In/Serial Output Shift Registers

## General Description

This device is an 8-bit serial shift register which shifts data in the direction of $Q_A$ toward $Q_H$ when clocked. Parallel-in access is made available by eight individual direct data inputs, which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

Clocking is accomplished through a 2-input NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs HIGH inhibits clocking, and holding either clock input LOW with the load input HIGH enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is HIGH. Parallel loading is inhibited as long as the load input is HIGH. Data at the parallel inputs are loaded directly into the register on a HIGH-to-LOW transition of the shift/load input, regardless of the logic levels on the clock, clock inhibit, or serial inputs.

## Features

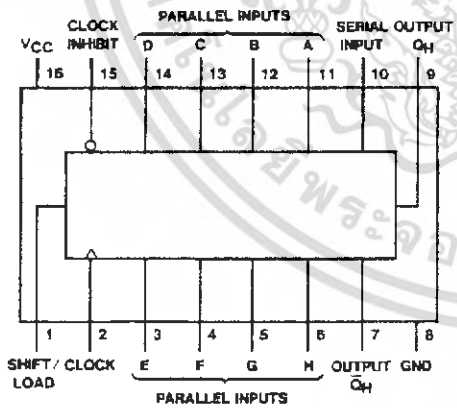
- Complementary outputs
- Direct overriding (data) inputs
- Gated clock inputs
- Parallel-to-serial data conversion
- Typical frequency 35 MHz
- Typical power dissipation 105 mW

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| DM74LS165M | M16A | 16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow |
| DM74LS165WM | M16B | 16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide |
| DM74LS165N | N16E | 16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

## Connection Diagram




## Function Table

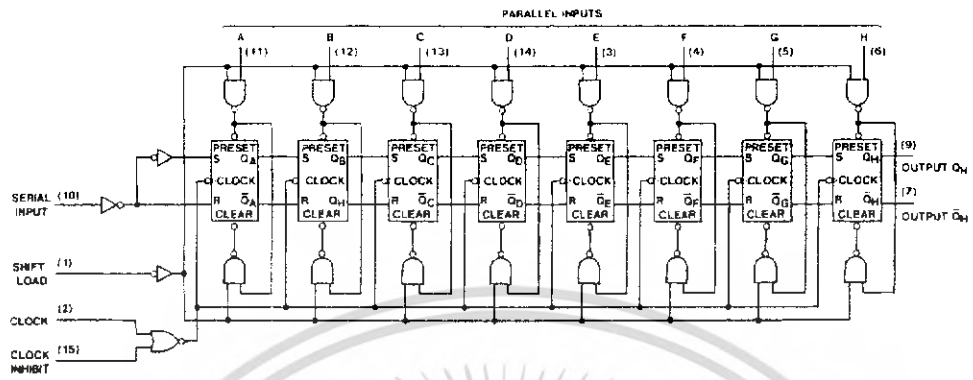
| Inputs | | | | | Internal Outputs | | Output |
|---|---|---|---|---|---|---|---|
| Shift/ Load | Clock Inhibit | Clock | Serial | Parallel A...H | $Q_A$ | $Q_B$ | $Q_H$ |
| L | X | X | X | a...h | a | b | h |
| H | L | L | X | X | $Q_{A0}$ | $Q_{B0}$ | $Q_{H0}$ |
| H | L | ↑ | H | X | H | $Q_{An}$ | $Q_{Gn}$ |
| H | L | ↑ | L | X | L | $Q_{An}$ | $Q_{Gn}$ |
| H | H | X | X | X | $Q_{A0}$ | $Q_{B0}$ | $Q_{H0}$ |

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
a...h = The level of steady-state input at inputs A through H, respectively.
$Q_{A0}$, $Q_{B0}$, $Q_{H0}$ = The level of $Q_A$, $Q_B$, or $Q_H$, respectively, before the indicated steady-state input conditions were established.
$Q_{An}$, $Q_{Gn}$ = The level of $Q_A$ or $Q_G$, respectively, before the most recent ↑ transition of the clock.

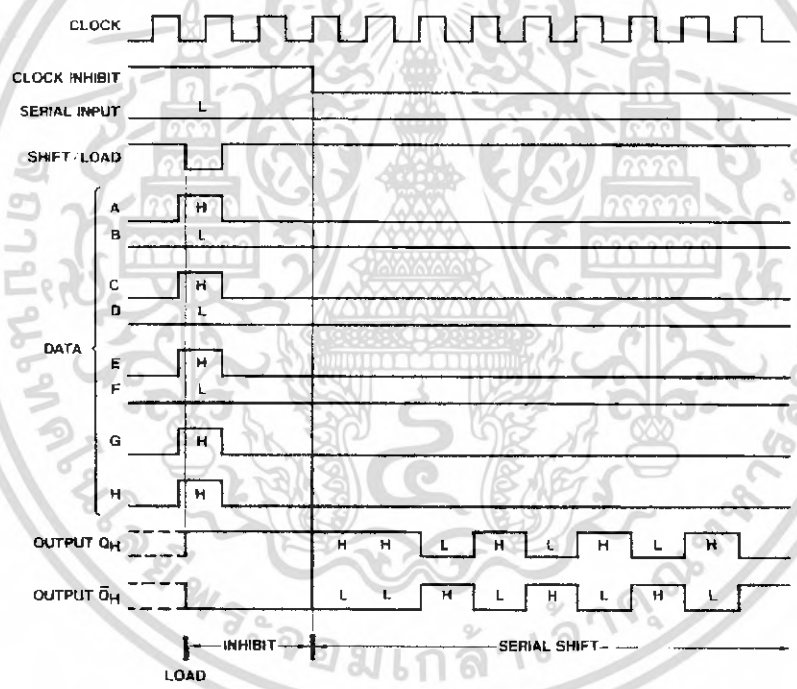
© 2000 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Logic Diagram




## Timing Diagram




**Typical Shift, Load, and Inhibit Sequences**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

April 1998

# DM74LS169A
# Synchronous 4-Bit Up/Down Binary Counter

## General Description

This synchronous presettable counter features an internal carry look-ahead for cascading in high-speed counting applications. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs all change at the same time when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising edge of the clock waveform.

This counter is fully programmable; that is, the outputs may each be preset either high or low. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

The carry look-ahead circuitry permits cascading counters for n-bit synchronous applications without additional gating. Both count-enable inputs ($\overline{P}$ and $\overline{T}$) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input $\overline{T}$ is fed forward to enable the carry outputs. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the $Q_A$ output when counting up, and approximately equal to the low portion of the $Q_A$ output when counting down. This low-level overflow carry pulse can be used to enable successively cascaded stages. Transitions at the enable $\overline{P}$ or $\overline{T}$ inputs are allowed regardless of the level of the clock input. All inputs are diode clamped to minimize transmission-line effects, thereby simplifying system design.

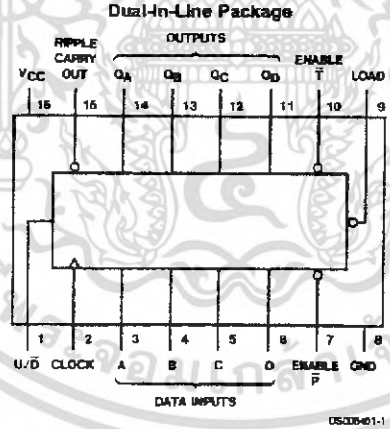
This counter features a fully independent clock circuit. Changes at control inputs (enable $\overline{P}$, enable $\overline{T}$, load, up/down), which modify the operating mode, have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

## Features

- Fully synchronous operation for counting and programming.
- Internal look-ahead for fast counting.
- Carry output for n-bit cascading.
- Fully independent clock circuit

## Connection Diagram

Dual-In-Line Package



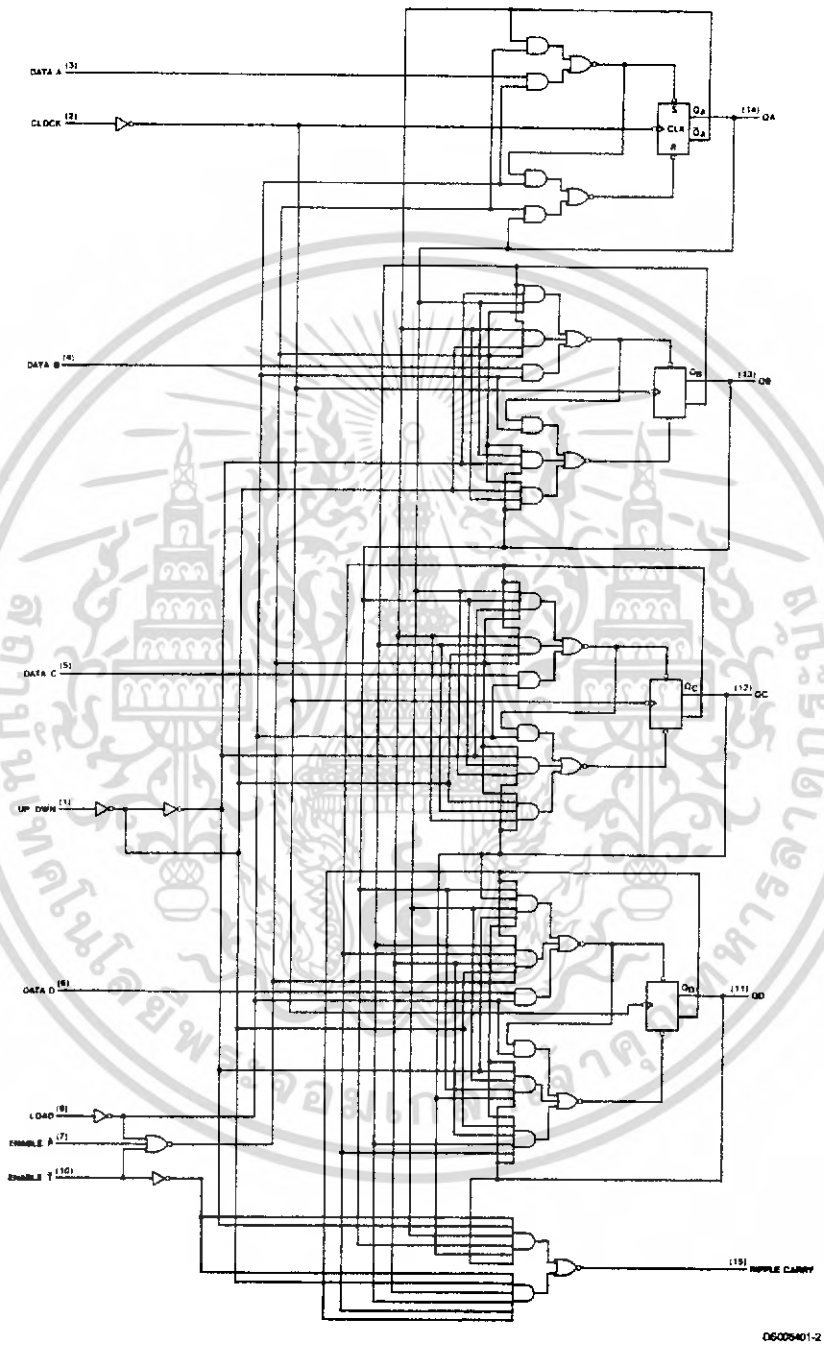

**Order Number 54LS169DMQB, 54LS169FMQB, 54LS169LMQB, DM54LS169AJ, DM54LS169AW, DM74LS169AM or DM74LS169AN**
**See Package Number E20A, J16A, M16A, N16E or W16A**

© 1998 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Logic Diagram

**LS169A Binary Counter**

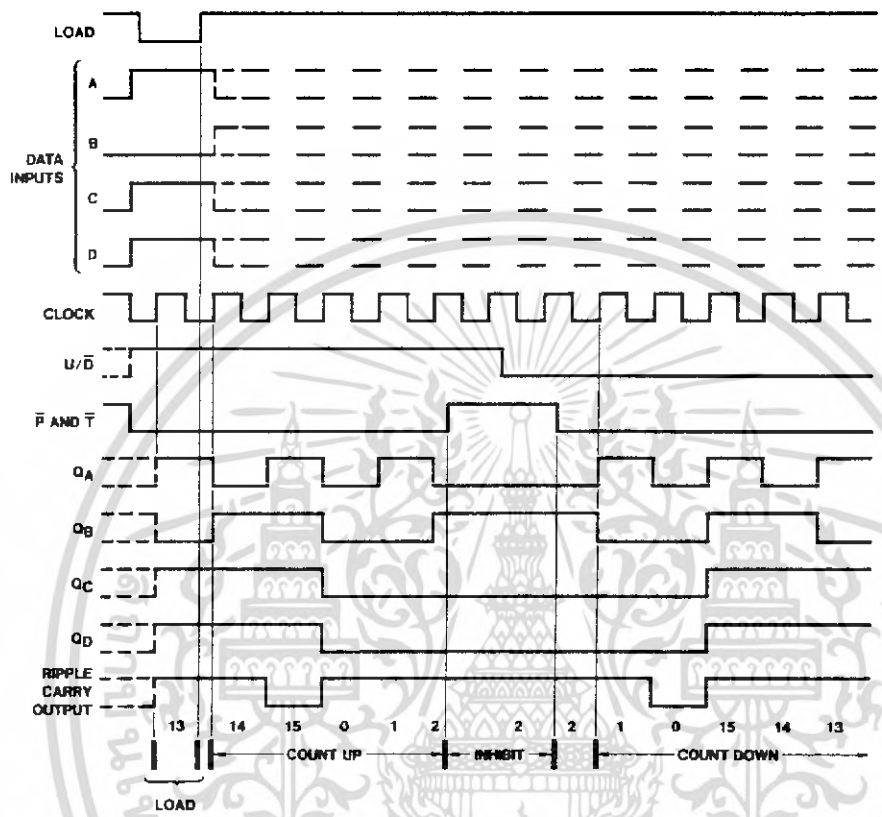





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Timing Diagram

**LS169A Binary Counters**
**Typical Load, Count, and Inhibit Sequences**






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

April 1986
Revised March 2000

# DM74LS373 • DM74LS374
# 3-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

## General Description

These 8-bit registers feature totem-pole 3-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the DM74LS373 are transparent D-type latches meaning that while the enable (G) is HIGH the Q outputs will follow the data (D) inputs. When the enable is taken LOW the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (HIGH or LOW logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are OFF.

## Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- 3-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| DM74LS373WM | M20B | 20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide |
| DM74LS373SJ | M20D | 20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide |
| DM74LS373N | N20A | 20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |
| DM74LS374WM | M20B | 20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide |
| DM74LS374SJ | M20D | 20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide |
| IDM29901NC | N20A | 20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

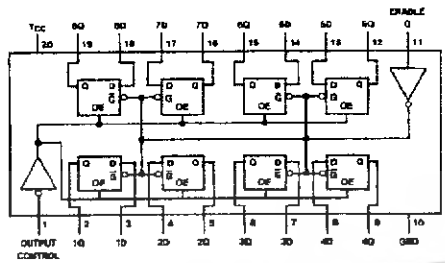


© 2000 Fairchild Semiconductor Corporation 

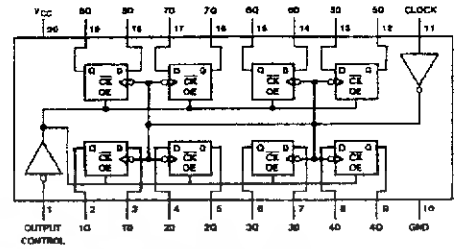
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Connection Diagrams

DM74LS373



DM74LS374



## Function Tables

DM74LS373

| Output Control | Enable G | D | Output |
|---|---|---|---|
| L | H | H | H |
| L | H | L | L |
| L | L | X | $Q_0$ |
| H | X | X | Z |

DM74LS374

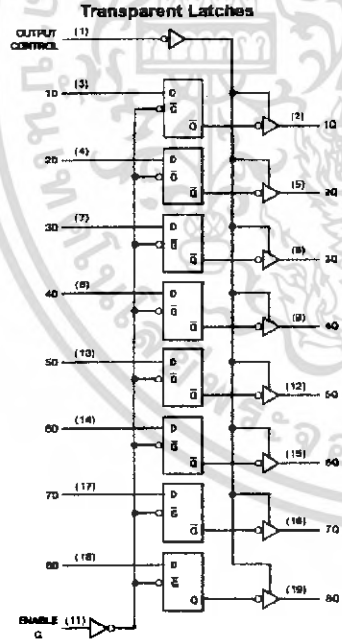
| Output Control | Clock | D | Output |
|---|---|---|---|
| L | ↑ | H | H |
| L | ↑ | L | L |
| L | L | X | $Q_0$ |
| H | X | X | Z |

H = HIGH Level (Steady State) L = LOW Level (Steady State) X = Don't Care Z = High Impedance State

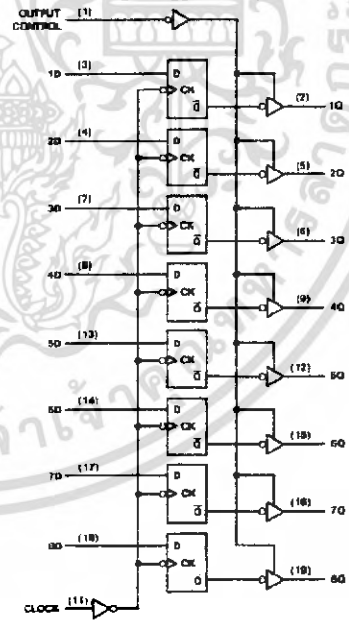
↑ = Transition from LOW-to-HIGH level $Q_0$ = The level of the output before steady-state input conditions were established.

## Logic Diagrams

DM74LS373
Transparent Latches



DM74LS374
Positive-Edge-Triggered Flip-Flops

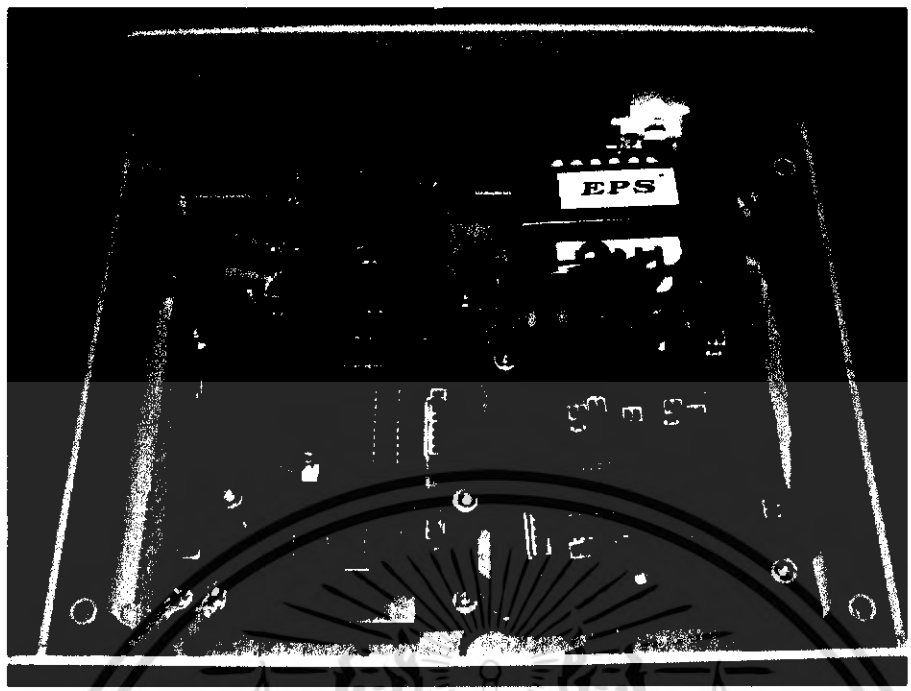




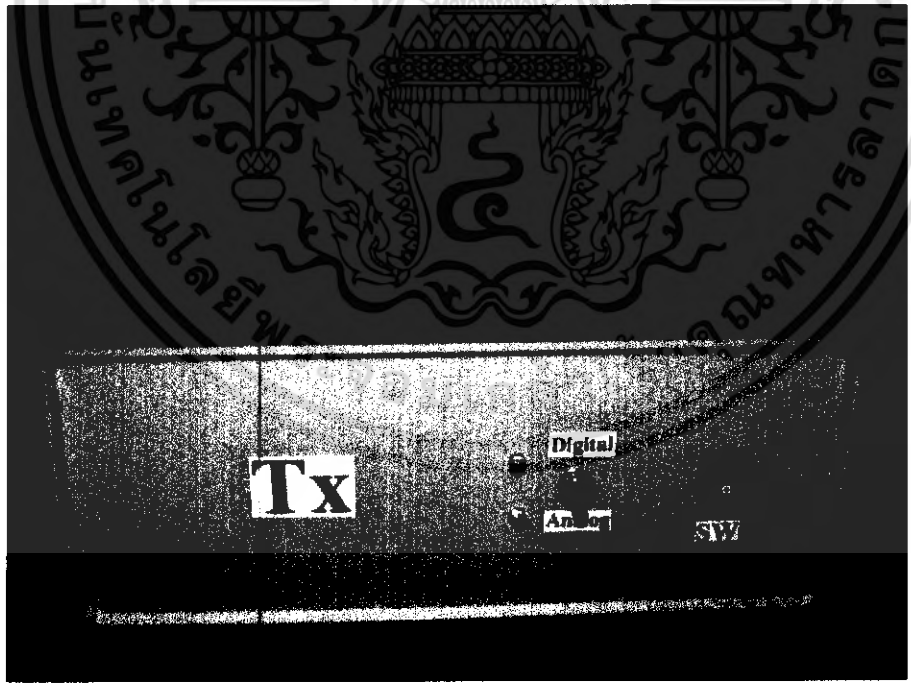
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

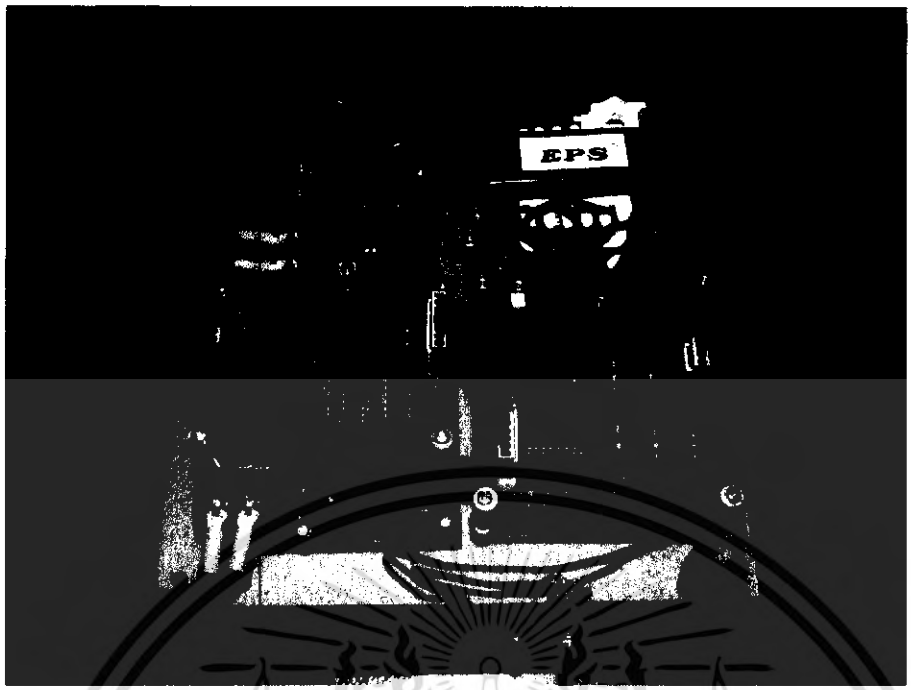



แสดงการวางอุปกรณ์ภายใน เครื่องส่ง




แสดงกล่องชิ้นงานทางด้าน เครื่องส่ง

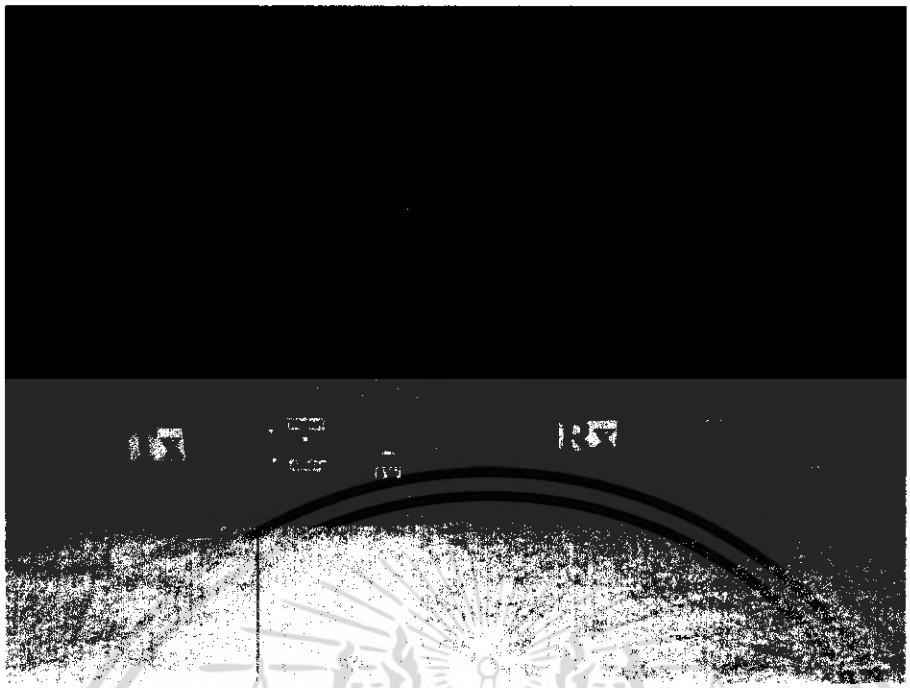
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




แสดงการวางอุปกรณ์ภายใน เครื่องรับ

แสดงกล่องชิ้นงานทางด้าน เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงกล่องชิ้นงานทางด้านเครื่องส่ง และเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้