สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# เครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง
# POWER SUPPLY TESTER

โดย
นางสาวพรธิป ภัทรกุลวิวัฒน์
นางสาวสิริพร จันทอินทร์

เลขหมู่.....
เลขทะเบียน 73179
วัน,เดือน,ปี 10 ก.ค. 2550
.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมอิเล็กทรอนิคส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง

# POWER SUPPLY TESTER


โดย

นางสาวพรธิป ภัทรกุลวิวัฒน์ 45010499

นางสาวสิริพร จันทอินทร์ 45010834

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิคส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2548

ภาควิชา อิเล็กทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY TESTER )

ผู้จัดทำ

1. นางสาวพรธิป ภัทรกุลวิวัฒน์ 45010499
2. นางสาวสิริพร จันทอินทร์ 45010834

ประธานอาจารย์ที่ปรึกษา

( ผศ. ประภากร สุวรรณะ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องตรวจสอบแหล่งจ่ายไฟ

# POWER SUPPLY TESTER

โดย นางสาวพรชิป ภัทรกุลวิวัฒน์ 45010499
นางสาวสิริพร จันทอินทร์ 45010834
อาจารย์ที่ปรึกษา ผศ.ประภากร สุวรรณะ

## บทคัดย่อ

โครงงานเรื่องนี้ได้เสนอเครื่องตรวจสอบแหล่งจ่ายไฟ ซึ่งเป็นเครื่องมือที่ใช้ในการตรวจสอบแหล่งจ่ายไฟทั้งแบบไฟตรงและสวิตชิ่ง โดยคุณสมบัติของเครื่องตรวจสอบนี้จะสามารถดึงกระแส ไฟฟ้าได้สูงสุด 2 แอมป์ และทำงานที่ระดับแรงดันไฟฟ้าอินพุท 0 ถึง 40 โวลท์ ในเครื่องจ่ายไฟตรง รวมทั้งสามารถตรวจสอบแหล่งจ่ายไฟแบบสวิตชิ่ง โดยจะแสดงผลออกมาเป็นตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# POWER SUPPLY TESTER

By Miss Pornthip Pattarakunwiwat 45010499
Miss Siriporn Junta-in 45010834
Advisor Assist. Prof. Prapakorn Suwanna

## ABSTRACT

In this project , the power supply tester is an instrument used to test the linear power supply and switching power supply. Characteristic of testing is the system has maximum of 2 Amp and 40 Volt and can test switching power supply , too.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ในการทำโครงงานเรื่องเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY TESTER ) ผู้จัดทำโครงงานต้องขอกราบพระคุณ ผศ. ประภากร สุวรรณะ เป็นอย่างสูงที่กรุณาให้คำปรึกษาและคำแนะนำในการทำโครงงานเรื่องนี้ด้วยดีตลอดมา รวมไปถึงอุปกรณ์การทำต่างๆ ที่ใช้ทำล้วนแต่ได้รับความกรุณาจากอาจารย์เป็นอย่างดี ผู้จัดทำจึงขอแสดงความเคารพและนับถือมา ณ โอกาสนี้

นางสาวพรธิป ภัทรกุลวิวัฒน์

นางสาวสิริพร จันทอินทร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อภาษาไทย | ก |
| บทคัดย่อภาษาอังกฤษ | ข |
| กิตติกรรมประกาศ | ค |
| สารบัญ | ง |
| สารบัญรูปภาพ | จ |
| สารบัญตาราง | ฉ |
| บทที่ 1 บทนำ | 1 |
| 1.1 POWER SUPPLY | 1 |
| 1.2 POWER SUPPLY TESTER | 2 |
| 1.3 ชนิดของ ADC | 2 |
| 1.4 Sample and Hold และ Aperture error | 6 |
| บทที่ 2 หลักการทำงาน POWER SUPPLY TESTER | 8 |
| 2.1 หลักการทำงานของ CURRENT SINK | 8 |
| 2.2 หลักการทำงานภาคควบคุม RELAY | 9 |
| 2.3 หลักการทำงานในการดึงกระแสเป็นพัลส์ | 10 |
| บทที่ 3 หลักการออกแบบเครื่อง POWER SUPPLY TESTER | 11 |
| 3.1 ภาค CURRENT SINK | 11 |
| 3.2 ภาคควบคุม RELAY | 13 |
| 3.3 ภาคการสร้างแรงดันไฟอินพุทแบบสวิตชิ่ง | 15 |
| 3.4 ภาค ADC | 16 |
| บทที่ 4 ผลการทดลองและสรุปผลการทดลอง | 19 |
| 4.1 วิธีการทดลอง | 19 |
| 4.2 ผลการทดลอง | 20 |
| 4.3 วิจารณ์ผลการทดลอง | 26 |
| 4.4 สรุปผลการทดลอง | 26 |
| หนังสืออ้างอิง | 27 |
| ภาคผนวก | 28 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูปภาพ


| | หน้า |
|---|---|
| รูปที่ 1.1 บล็อกไดอะแกรมของ Dual Slope ADC | 3 |
| รูปที่ 1.2 บล็อกไดอะแกรมของ Successive Approximation ADC | 4 |
| รูปที่ 1.3 บล็อกไดอะแกรมของ Flash ADC | 5 |
| รูปที่ 1.4 ก. สัญญาณอนาลอกอินพุท | 6 |
| รูปที่ 1.4 ข. พัลส์ที่มาสุ่มสัญญาณ | 7 |
| รูปที่ 1.4 ค. สัญญาณอนาลอกหลังการสุ่ม | 7 |
| รูปที่ 1.4 ง. สัญญาณอนาลอกหลังการสุ่มและ hold ไว้ | 7 |
| รูปที่ 2.1 CURRENT SINK BY OP-AMP | 8 |
| รูปที่ 2.2 CURRENT SINK BY MOSFET | 9 |
| รูปที่ 3.1 ภาค CURRENT SINK | 12 |
| รูปที่ 3.2 ภาคควบคุมรีเลย์ ( RELAY CONTROL ) | 14 |
| รูปที่ 3.3 วงจร TL 494 | 16 |
| รูปที่ 3.4 วงจร ADC ใช้ ICL7107 | 17 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

หน้า

ตารางที่ 3.1 แสดงเงื่อนไขการทำงานของ Relay 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

# บทนำ

รายงานฉบับนี้ได้อธิบายถึงขั้นตอนและวิธีการในการออกแบบเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY TESTER ) โดยประกอบด้วยทั้งข้อมูลทางทฤษฎีและทางปฏิบัติซึ่งเนื้อหาได้แบ่งออกเป็นบทต่าง ๆ ดังนี้

บทที่ 2 กล่าวถึงทฤษฎีและหลักการพื้นฐานของเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยงแบบเชิงเส้น ( POWER SUPPLY ) ตลอดจนทฤษฎีที่เกี่ยวข้องและเป็นประโยชน์ต่อการออกแบบ โดยอธิบายถึงส่วนประกอบพื้นฐานและความสัมพันธ์ที่เชื่อมโยงกัน เพื่อนำไปสู่การออกแบบเครื่องตรวจสอบแหล่งจ่ายไฟตรงแบบเชิงเส้น

บทที่ 3 กล่าวถึงขั้นตอนในการออกแบบส่วนต่าง ๆ ของเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยงแบบเชิงเส้นโดยแยกออกแบบเป็น 2 ส่วนคือ ภาคดึงกระแส ( CURRENT SINK ) และ ภาค RELAY CONTROL

บทที่ 4 เป็นการสรุปและวิจารณ์ผลการออกแบบเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยงที่สร้างขึ้น

## 1.1 แหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY )

แหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY ) เป็นสิ่งสำคัญมากสำหรับวงจรอิเล็คทรอนิคส์ทุกวงจร ซึ่งจำเป็นต้องมีไฟเลี้ยง ใช้เป็นพลังงานไฟฟ้าที่ป้อนให้พลังงานไฟฟ้าให้สามารถทำงานได้ สำหรับวงจรอิเล็คทรอนิคส์ที่แตกต่างกัน จะต้องการแรงดันไฟเลี้ยงวงจรแตกต่างกัน และต้องการความละเอียดของแรงดันไฟเลี้ยงแตกต่างกัน บางวงจรไม่เข้มงวดเรื่องระดับแรงดันไฟเลี้ยงมากนัก เช่น กำหนดแรงดันไฟฟ้าเลี้ยง 12 โวลท์ อาจใช้ได้ตั้งแต่ 10 – 15 โวลท์ และขณะที่ทำงานแรงดันไฟเลี้ยงอาจเปลี่ยนแปลงได้ 10 % โดยวงจรยังคงทำงานเป็นปกติ แต่บางวงจรอาจต้องการไฟเลี้ยงที่ละเอียดมาก และต้องมีแรงดันคงที่ตามที่กำหนดเท่านั้น ถ้าแรงดันไฟเลี้ยงมีการเปลี่ยนแปลงไปในขณะวงจรทำงาน จะทำให้วงจรนั้นทำงานผิดพลาดได้ เช่น คอมพิวเตอร์

วงจรไฟเลี้ยงมักกล่าวถึงเรื่องแรงดันไฟฟ้า ( VOLTAGE ) จะไม่ค่อยกล่าวถึงกระแสของวงจรที่จะจ่ายให้ แต่มิได้หมายความว่ากระแสที่จ่ายให้นั้นไม่สำคัญ เนื่องจากกระแสที่จ่ายให้วงจรอิเล็คทรอนิคส์นั้นไม่คงที่ มีค่าขึ้นกับความต้านทานของโหลด ดังนั้นการออกแบบวงจรไฟเลี้ยงซึ่งต้องออกแบบให้สามารถจ่ายกระแสได้มากกว่ากระแสสูงสุดที่โหลดต้องการ 10 % ซึ่งถ้าโหลดดึงกระแสมากกว่านี้ จะทำให้แรงดันไฟฟ้าของแหล่งจ่ายไฟเลี้ยงตกลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**1.2 เครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง ( POWER SUPPLY TESTER )**

POWER SUPPLY TESTER เป็นเครื่องมือที่ใช้ในการตรวจสอบ POWER SUPPLY ว่าสามารถจ่ายกระแสไฟฟ้าได้ตามที่กำหนดไว้ในการออกแบบหรือไม่ การตรวจสอบของเครื่องนี้เป็นการตรวจสอบในลักษณะกระแสไฟฟ้าคงที่

POWER SUPPLY TESTER นี้ใช้หลักการของวงจรแปลงค่าศักดาไฟฟ้าเป็นกระแสไฟฟ้า ซึ่งส่วนเอาท์พุทจะเป็น CURRENT SINK คือจะเป็นการดึงกระแสไฟฟ้าจาก POWER SUPPLY ที่ทำการตรวจสอบ โดยจะมีตัวช่วยในการกระแสเป็น POWER TRANSISTER ในการดึงกระแสไฟฟ้าคงที่

ในการตรวจสอบกระแสไฟฟ้าที่ POWER SUPPLY สามารถจ่ายได้นั้น อาจใช้โหลดความต้านทานที่มีค่าความต้านทานน้อย ๆ หลายวัตต์มาเป็นโหลด แล้ววัดกระแสไฟฟ้าที่จ่ายออกมาว่าได้ตามข้อกำหนดหรือไม่ แต่มีข้อจำกัด คือ เมื่อเปลี่ยนค่าศักดาไฟฟ้าที่ POWER SUPPLY หรือเปลี่ยนค่ากระแสไฟฟ้าที่ต้องการจะตรวจสอบ ก็จะต้องทำการเปลี่ยนค่าความต้านทานของโหลดความต้านทานด้วยซึ่งเป็นการไม่สะดวก

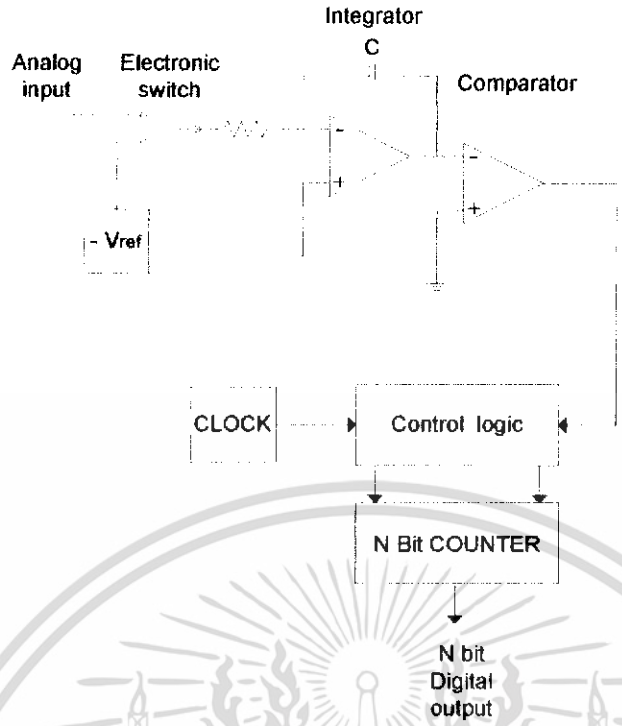
และในการทำงานของ POWER SUPPLY TESTER จะสามารถแสดงผลออกมาทางจอแสดงผลโดยการใช้ ADC มาช่วยในการแปลงค่าอนาลอกให้เป็นดิจิตอล ซึ่งชนิดของ ADC ที่สำคัญและเป็นที่นิยมใช้กันมากมีอยู่ 3 ชนิดซึ่งจะอธิบายในหัวข้อต่อไป

**1.3 ชนิดของ ADC**

**1. 3.1 Dual Slope Converter**

ADC แบบ dual slope การจัดวงจรแสดงดังรูปที่ 1.1 จะมีสองช่วงคือ T1 และ T2 ในเวลา T1 จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ ในช่วงเวลานี้สัญญาณอินพุทจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิทช์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรต $V_{int}$ เป็นรูปสัญญาณ ramp ที่ขนาดเพิ่ม ขึ้นทางบวกและสโลปขึ้นอยู่กับขนาดของ $V_{in}$ จนกระทั่ง $V_{int}$ ถึงค่าค่าหนึ่งเมื่อสิ้นสุด T1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.1 บล็อกไดอะแกรมของ Dual Slope ADC

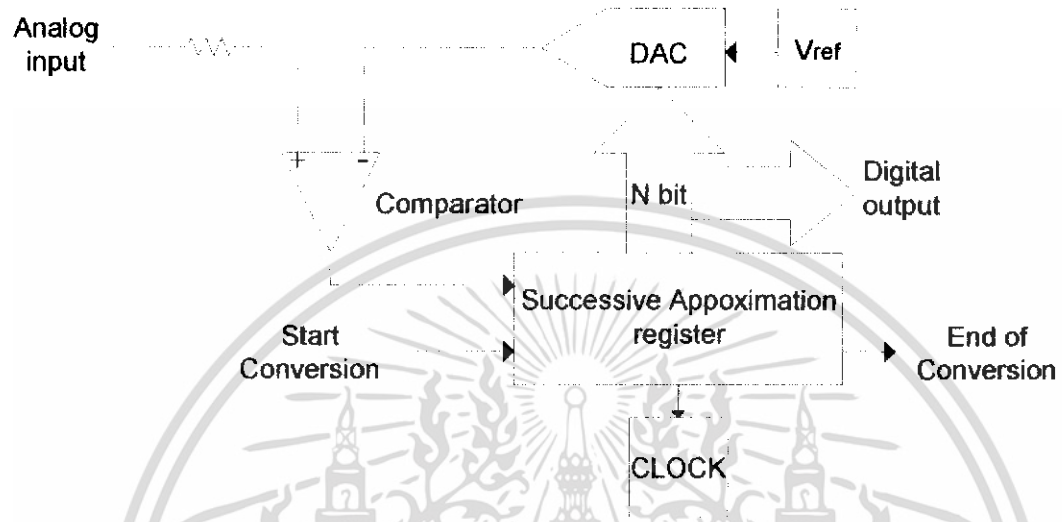
ในช่วงเวลา T2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าเป็นลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิค ในลักษณะเช่นนี้จะทำให้ $V_{int}$ ลดลงสโลปคงที่จากการคายประจุผ่าน $-V_{ref}$ เมื่อเริ่มต้นเวลา T2 เคาท์เตอร์ก็จะรีเซ็ทและเริ่มนับ จนเมื่อ $V_{int}$ มีค่าลดลงถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนไปบอกส่วนควบคุมลอจิคให้หยุดนับ และเอาท์พุทของเคาท์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ดังนั้นรหัสดิจิตอลที่แสดงค่า T2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิงด้วย คุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ และประการที่สองการกำจัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถกระทำได้ ถ้าเซ็ทให้ T1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในกวนกำจัดสัญญาณ 50 เฮิร์ท T1 จะทำให้มีค่า 20ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือที่ไม่ต้องการความเร็วเช่น ดิจิตอลมิเตอร์เป็นต้น

### 1.3.2 Successive Approximation ADC

วงจรADCชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบเคาท์เตอร์ที่ทำงานในลักษณะการป้อนกลับซึ่งบล็อกไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 1.2 แสดงฟังก์ชันต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท $V_{in}$ เอาท์พุทจะไปควบคุม Successive Approximation register (SAR) ซึ่งไอซี MSI ( Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ




รูปที่ 1.2 บล็อกไดอะแกรมของ Successive Approximation ADC

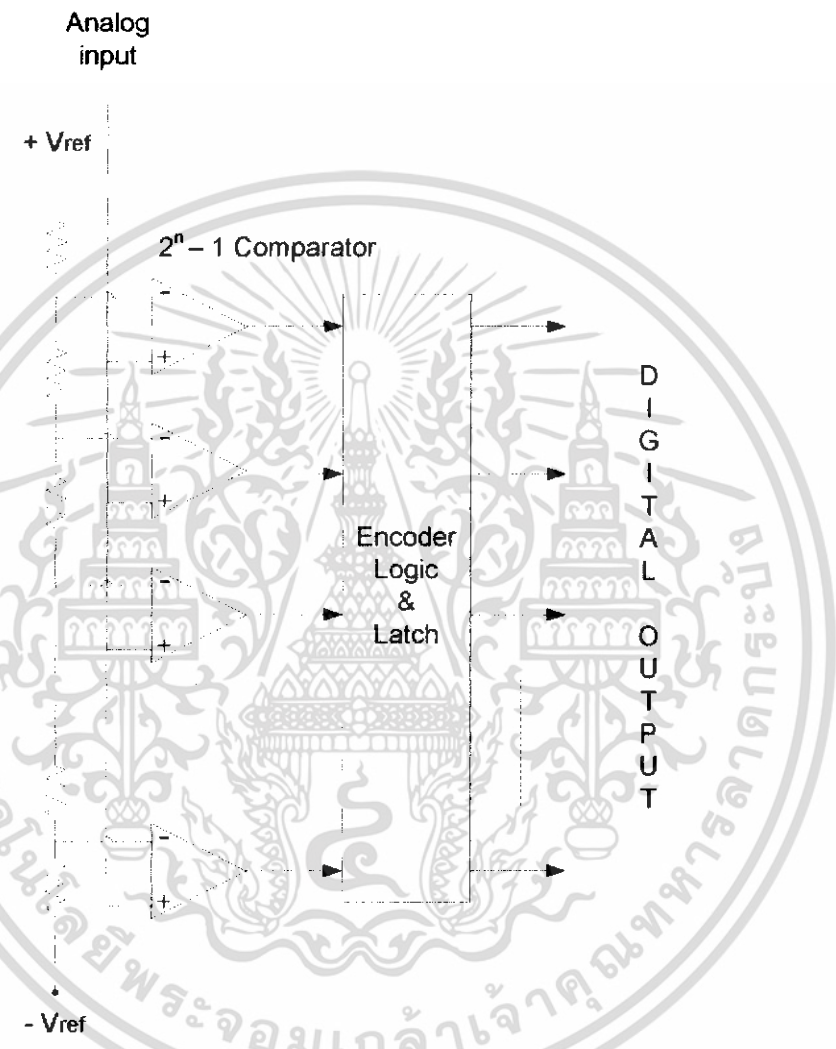
การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และ เอาท์พุทเป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งยังไม่สมดุล จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะกว่าจะเกิดสมดุล คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลดังกล่าว และ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท ( ตุ้มน้ำหนักมาตรฐาน )

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน ½ LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ ( Free run ) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ ( n+1 ) ลูกของพัลส์ clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**1.3.3 Parallel ( Flash ) ADC**

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก ๆ เช่น การแปลงสัญญาณภาพโทรทัศน์ เรดาห์ จำเป็นต้องต้องใช้ ADC แบบพิเศษ ที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมดังรูป




รูปที่ 1.3 บล็อกไดอะแกรมของ Flash ADC

หลักการทำงานคือ จะใช้คอมพาราเตอร์ ทำการเปรียบเทียบสัญญาณอนาลอก อินพุทกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาท์พุทจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propation time ของคอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดหนึ่งนี้บน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

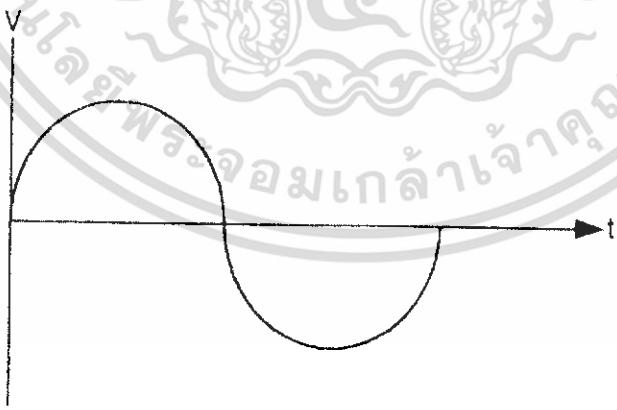
ชิปไอซี คือวงจรนี้ต้องการคอมพาราเตอร์ถึง $2^n - 1$ ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานได้รวดเร็วที่สุดเช่นกัน

### 1.4 Sample and Hold และ Aperture error

วงจร Sample and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณนั้นมาเก็บ( Hold )ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sample and Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม

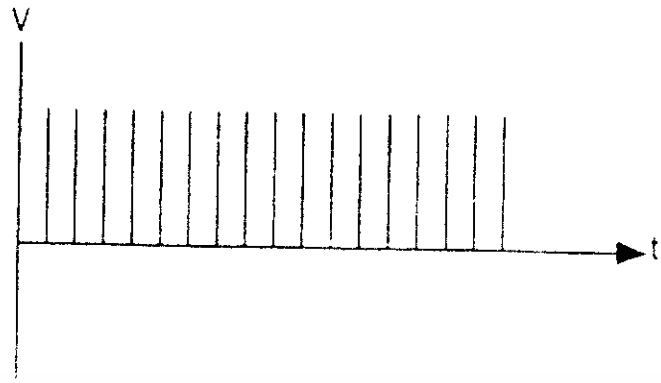
ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะ ๆ คงที่ตามรูปที่ 1.4 ค. การสุ่มเป็นการต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณสัญญาณพัลส์แคบๆ กับสัญญาณอนาลอกซึ่งจะได้เป็นสัญญาณที่มอดดูเลทระหว่างขบวนพัลส์กับสัญญาณอนาลอก เสมือนว่าสัญญาณอนาลอกขึ้นมาบวนพัลส์ดังแสดงในรูปที่ 1.4 ค. ถ้าหากสัญญาณอนาลอกที่ถูกสุ่มถูก hold จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาซึ่งจะได้ลักษณะของเอาท์พุทที่แสดงในรูปที่ 1.4 ง.

มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีค่าขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญหายไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม ( reconstruction ) คำตอบคือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคไม่เกิน $f_c$ ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเหมือนเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป

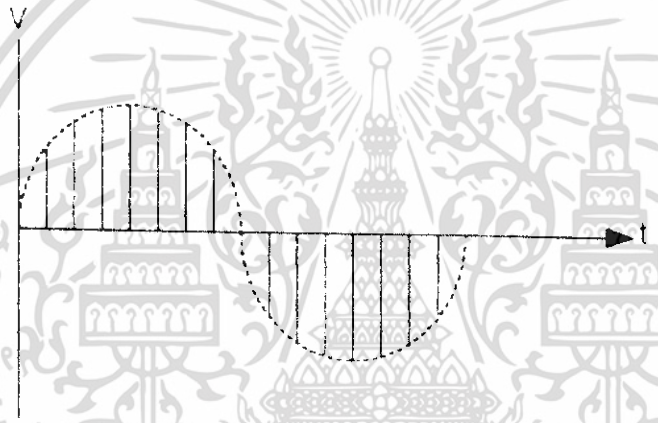



รูปที่ 1.4 ค. สัญญาณอนาลอกอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.4 ข. พัลส์ที่มาสุ่มสัญญาณ




รูปที่ 1.4 ค. สัญญาณอนาลอกหลังการสุ่ม

รูปที่ 1.4 ง. สัญญาณอนาลอกหลังการสุ่มและ hold ไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2

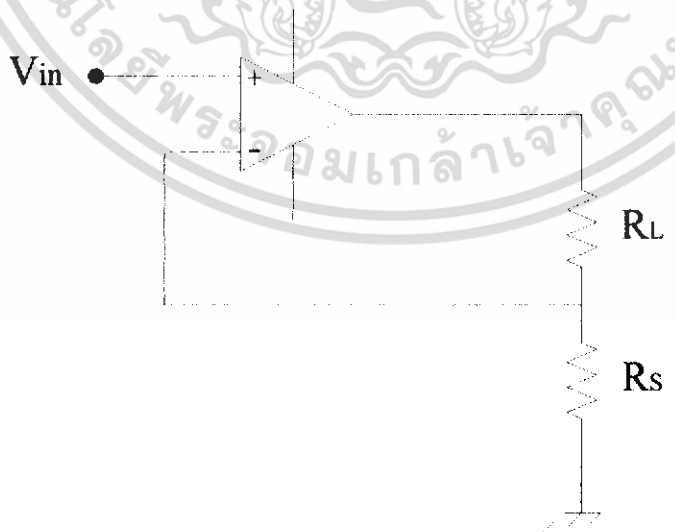
## หลักการทำงานของ POWER SUPPLY TESTER

จากคุณสมบัติของ POWER SUPPLY ที่ได้กล่าวมาแล้วในบทที่ 1 จะเห็นได้ว่า POWER SUPPLY จะมีการกำหนดค่ากระแสสูงสุดที่สามารถจ่ายให้กับโหลดไว้ ดังนั้นในการตรวจสอบ POWER SUPPLY โดยทั่วไป จะทำการตรวจสอบโดยดึงกระแสไฟฟ้าตามค่ากระแสสูงสุดที่กำหนดไว้ แล้วทำการวัดค่าแรงดันไฟฟ้าเอาท์พุทของ POWER SUPPLY ว่ายังมีค่าตามที่กำหนดไว้หรือไม่ หรือมีค่าตกไปหรือไม่

จะเห็นได้ว่าการตรวจสอบ POWER SUPPLY ในโครงงานนี้มีข้อได้เปรียบจากการตรวจสอบโดยทั่วไป คือ เราจะสามารถหาค่ากระแสสูงสุดจริง ๆ ที่ POWER SUPPLY จะจ่ายให้แก่โหลดได้ใกล้เคียงกว่าการตรวจสอบทั่วไป เพราะในการตรวจสอบทั่วไปนั้น จะปรับกระแสโหลดตามค่าสูงสุดเลย แต่การตรวจสอบของโครงงานนี้จะมีการปรับค่ากระแสโหลดขึ้นทีละน้อยจนได้ค่ากระแสสูงสุด

### 2.1 หลักการทำงานของ CURRENT SINK

POWER SUPPLY TESTER นี้ใช้หลักการของวงจรแปลงค่าศักดาไฟฟ้าเป็นกระแสไฟฟ้าโดยส่วนเอาท์พุทจะเป็น CURRENT SINK คือจะเป็นตัวดึงกระแสจาก POWER SUPPLY ที่ทำการตรวจสอบนั้น จะมีรูปแบบของวงจรแปลงค่าศักดาไฟฟ้าคงที่ดังแสดงในรูปที่ 2.1




รูปที่ 2.1 CURRENT SINK BY OP-AMP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะเห็นว่า เมื่อต้องการกระแสเอาท์พุทสูงๆ กว่านั้น ลำพังออปแอมป์เพียงอย่างเดียวไม่สามารถจ่ายกระแสเอาท์พุทได้มากพอ ดังนั้นจึงต้องมีตัวมอสเฟตมาช่วยขับกระแสเอาท์พุท เมื่อเราใช้ไฟเลี้ยงจาก POWER SUPPLY ก็เท่ากับเป็นการดึงกระแสจาก POWER SUPPLY ที่จะทำการทดสอบนั่นเอง

รูปที่ 2.2 CURRENT SINK BY MOSFET

**2.2 หลักการทำงานภาคควบคุม RELAY**

เนื่องจากเครื่องตรวจสอบแหล่งจ่ายไฟเลี้ยง( POWER SUPPLY TESTER ) นี้สามารถดึงกระแสไฟฟ้าได้ถึง 2 แอมป์ และใช้งานที่ระดับศักดาไฟฟ้าอินพุทมีค่า 0 ถึง 40 โวลท์ ในกรณีไม่มีตัวต้านทาน R1,R2,R3 และ R4 จะเกิดพลังงานสูญเสียที่ตัวมอสเฟตมาก ดังนั้นจึงต้องมีตัวต้านทานมาช่วยแบ่งค่าศักดาไฟฟ้าที่คร่อมมอสเฟตเมื่อศักดาจาก POWER SUPPLY ที่จะทำการทดสอบมีค่าสูงขึ้น โดยในที่นี้จะใช้ความต้านทาน R1,R2,R3 และ R4 ต่อคร่อมกับ CONTACT ของ RELAY โดยใช้แบบ NORMAL OPEN โดยเมื่อถึงค่าระดับแรงดันไฟฟ้าถึงค่าระดับแรงดันไฟฟ้าที่กำหนด ก็ให้ CONTACT ของ RELAY เปิดออก ( ให้กระแสไฟฟ้าไหลผ่านความต้านทาน ) ในที่นี้ให้ RELAY จะ ON หรือ OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.3 หลักการทำงานในการดึงกระแสเป็นพัลส์**

เนื่องจากต้องการถึงกระแสที่เป็นพัลส์ ดังนั้นเราจำเป็นต้องสร้างแรงดันไฟฟ้าที่เป็นพัลส์ให้กับ POWER SUPPLY TESTER ซึ่งคุณสมบัติของตัวอุปกรณ์ที่ต้องการคือ สามารถที่จะควบคุมความถี่ได้อย่างอิสระโดยไม่ทำให้พัลส์วิดท์เปลี่ยน และถ้าต้องการเปลี่ยนพัลส์วิดท์ความถี่ก็ต้องไม่เปลี่ยน ซึ่งตัวอุปกรณ์ TL 494 สามารถทำงานได้อย่างที่ต้องการรวมทั้งความถี่และพัลส์วิดท์จะมีความสอดคล้องกัน เนื่องจากเป็นตัวอุปกรณ์เดียวกัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบเครื่อง POWER SUPPLY TESTER

การออกแบบเครื่อง POWER SUPPLY TESTER อาจแบ่งออกเป็นภาคต่างๆ ดังนี้

3.1 ภาค CURRENT SINK

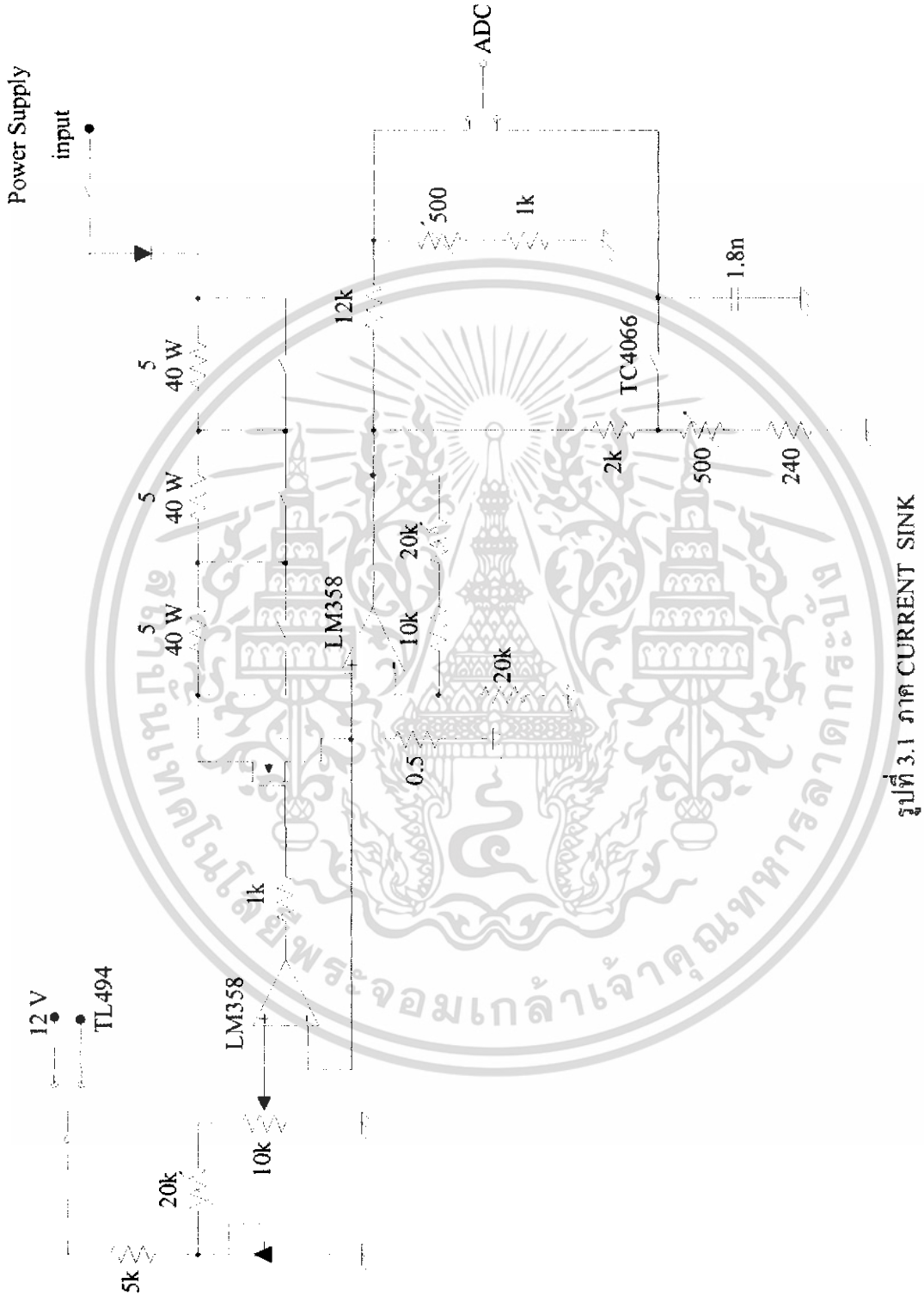
3.2 ภาคควบคุมรีเลย์ (RELAY CONTROL )

### 3.1 ภาค CURRENT SINK

ภาคนี้เป็นส่วนดึงกระแสไฟฟ้า ซึ่งจะใช้ลักษณะวงจรแปลงค่าศักดาไฟฟ้าเป็นกระแสไฟฟ้า ดังแสดงในรูปที่ 3.1

ซึ่งจากรูป ระดับศักดาไฟฟ้าอินพุท จะถูกกำหนดให้ค่ากระแสเอาท์พุทที่ได้มีค่า 0 ถึง 2 แอมป์ โดยค่าระดับไฟฟ้าอินพุทที่ใช้จะพยายามให้มีค่าต่ำๆ ทั้งนี้เพื่อให้ค่าระดับศักดาไฟฟ้าจาก POWER SUPPLY ที่จะทำการทดสอบมีค่าต่ำที่สุดแล้วสามารถทดสอบได้ถึง 2 แอมป์ และเนื่องจากเครื่อง POWER SUPPLY TESTER นี้สามารถดึงกระแสไฟฟ้าได้ถึง 2 แอมป์ และใช้งานที่ระดับอินพุท 0 ถึง 40 โวลท์ จะเห็นได้ว่าเกิดการสูญเสียพลังงานที่มอสเฟตซึ่งเป็นค่าที่สูงมาก ถ้าไม่มีตัวต้านทานมาช่วยแบ่งค่าศักดาไฟฟ้าที่คร่อมตัวมอสเฟตเมื่อศักดาไฟฟ้าจาก POWER SUPPLY ที่จะทำการทดสอบมีค่าสูงขึ้น โดยในที่นี้ใช้ความต้านทาน R1,R2,R3 และ R4 ต่อคร่อมกับ CONTACT ของ RELAY โดยเมื่อถึงระดับแรงดันไฟฟ้าที่กำหนด ก็ให้ CONTACT ของ RELAY เปิดออก ( ให้กระแสไฟฟ้าไหลผ่านตัวความต้านทาน ) ในที่นี้ได้ออกแบบให้ RELAY จะ ON หรือ OFF ในช่วงศักดาไฟฟ้าอินพุทต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.1 ภาค CURRENT SINK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงเงื่อนไขการทำงานของ Relay

| ศักดาไฟฟ้าอินพุท (โวลต์) | Relay 4 | Relay 3 | Relay 2 | Relay 1 |
|---|---|---|---|---|
| 0 – 10 | ON | ON | ON | ON |
| 10 – 20 | ON | ON | ON | OFF |
| 20 – 30 | ON | ON | OFF | OFF |
| 30 – 40 | ON | OFF | OFF | OFF |
| มากกว่า 40 | OFF | OFF | OFF | OFF |

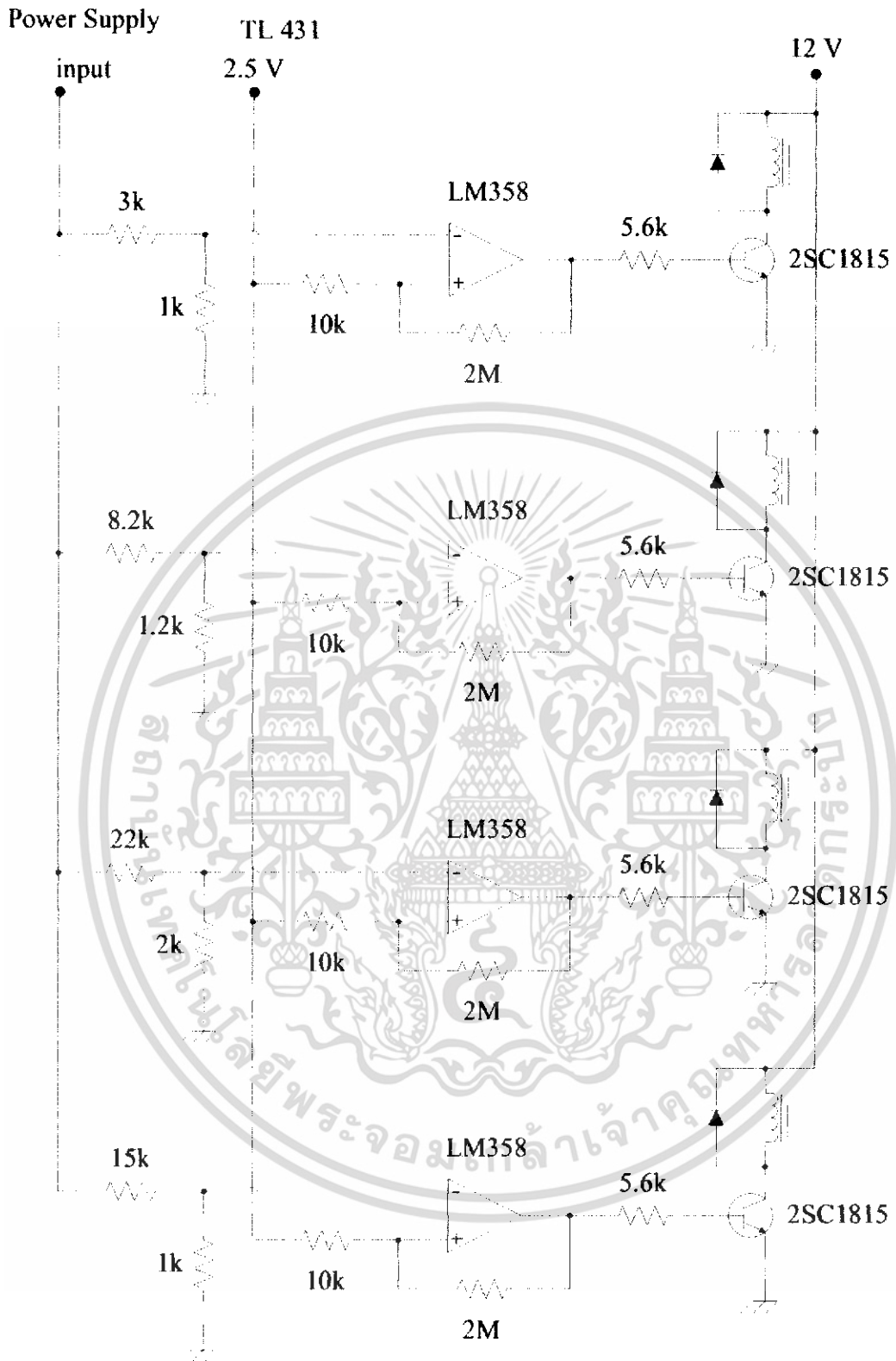
* หมายเหตุ ON ในที่นี้หมายถึง CONTACT ปิด และ OFF หมายถึง CONTACT เปิด

จากช่วงการ ON และ OFF ของ RELAY ที่แสดงไว้ข้างบนนี้จะเห็นได้ว่า RELAY จะ OFF เพิ่มขึ้นทีละตัว เมื่อศักดาไฟฟ้าอินพุท ( จาก POWER SUPPLY ที่จะทำการทดสอบ ) เพิ่มขึ้นทุกๆ 10 โวลท์ ดังนั้นจะเห็นว่าค่าความต้านทาน R1,R2,R3 และ R4 เป็นความต้านทานที่มาแบ่งศักดาไฟฟ้าช่วยตัวมอสเฟต เพื่อที่มอสเฟตจะไม่ต้องทนกับพลังงานที่เพิ่มมากขึ้นเรื่อย ๆ มากจนเกินไป

**3.2 ภาคควบคุมรีเลย์ ( RELAY CONTROL )**

ภาคควบคุมรีเลย์ ( RELAY CONTROL ) คือส่วนที่กำหนดระดับศักดาไฟฟ้าที่รีเลย์ ON หรือ OFF โดยกำหนดค่าศักดาไฟฟ้าเป็นช่วงๆ ดังหัวข้อที่ผ่านมา ซึ่งวงจรของภาคนี้แสดงดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 ภาคควบคุมรีเลย์ ( RELAY CONTROL )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นได้ว่า จะใช้ COMPARATOR ( LM 358 ) เป็นตัวควบคุมการทำงานของรีเลย์ และใช้ TL 431 เป็นตัวสร้าง $V_{ref}$ ในการใช้งานวงจร COMPARATOR นั้นค่า $V_{ref}$ จะมีค่ามากกว่าไฟเลี้ยง COMPARATOR ไม่ได้ ซึ่งถ้า $V_{ref}$ มีค่ามากกว่าไฟเลี้ยงที่จ่ายแก่ COMPARATOR จะทำให้ COMPARATOR ตัวนั้นไม่ทำงานหรือทำงานผิดพลาด ซึ่งในวงจรจะมีค่าความต้านทานมาเป็นตัว DIVIDER ศักดาไฟฟ้าอินพุท แล้วป้อนเข้าที่ขา NONINVERTING ของ COMPARATOR โดยเมื่อใดก็ตามที่ค่าศักดาไฟฟ้าอินพุทที่ขา NONINVERTING มีค่ามากกว่าระดับศักดาไฟฟ้าที่ขา INVERTING ของ COMPARATOR ซึ่งเท่ากับ $V_{ref}$ ก็จะทำให้รีเลย์ตัวนั้นๆ ทำงาน

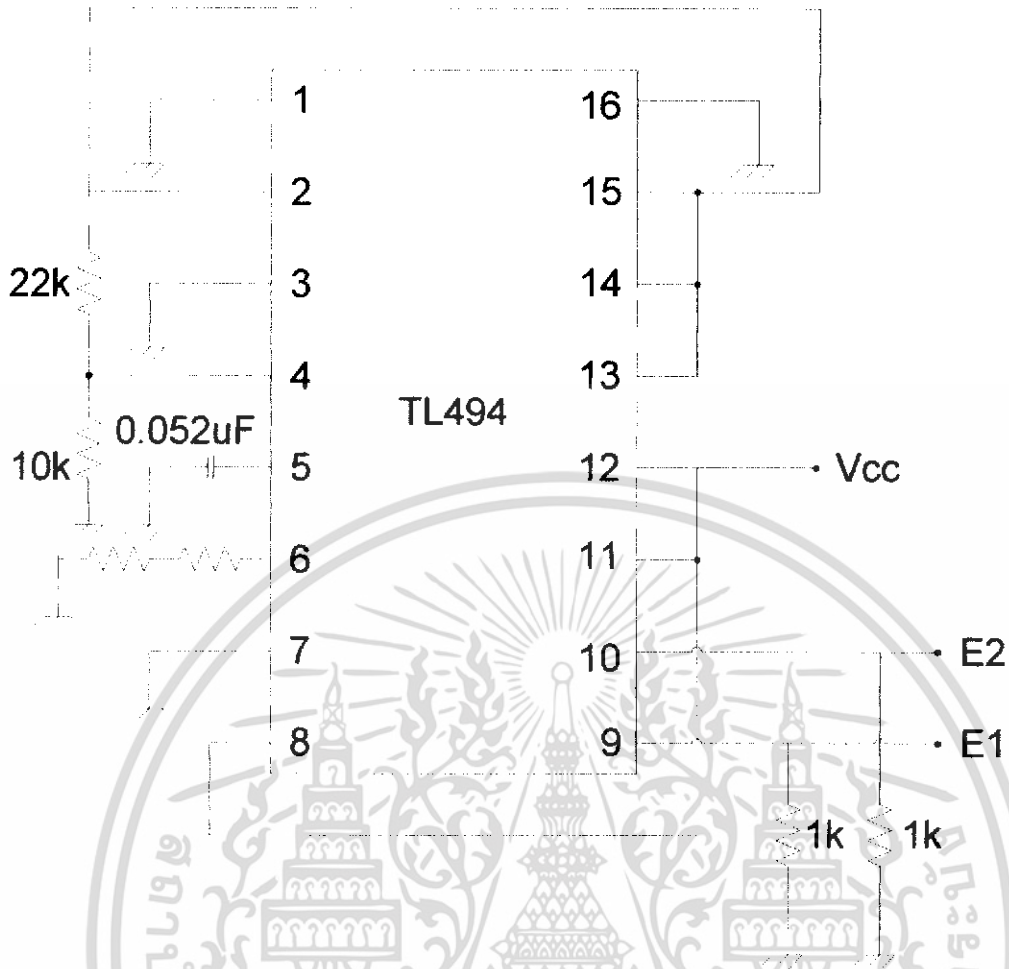
สำหรับส่วนขับรีเลย์ก็จะมีลักษณะเหมือนทั่ว ๆ ไป คือมีทรานซิสเตอร์เป็นตัวขับกระแสไฟฟ้าให้แก่ขดลวดรีเลย์ โดยมีไดโอดต่อคร่อมขดลวดรีเลย์เพื่อป้องกันกระแสไฟฟ้าไหลกลับ เป็นการป้องกันตัวรีเลย์ไม่ให้เกิดความเสียหาย และมีตัวความต้านทาน R17,R18,R19 และ R20 เป็นตัวจำกัดกระแสไฟฟ้าที่ไหลผ่านขดลวดรีเลย์

**3.3 ภาคการสร้างแรงดันไฟอินพุทแบบสวิตชิ่ง**

ในการสร้างแรงดันไฟอินพุทแบบสวิตชิ่งใช้ TL 494 เป็นตัวสร้างพัลส์วิดท์ จากคุณสมบัติของ TL 494 ที่สามารถเป็นตัวออสซิเลเตอร์ ควบคุมความถี่ออสซิเลเตอร์โดยตัว RT และ CT ความถี่ออสซิเลเตอร์สามารถประมาณได้โดย

$$Fosc = \frac{1.1}{RT*CT}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.3 วงจร TL 494

ใน POWER SUPPLY TESTER ใช้พัลส์วิดท์ที่มี Duty cycle จากสูตร

$$\text{Max on time, each output} = 45 - \frac{(80)}{(1+(R1/R2))}$$

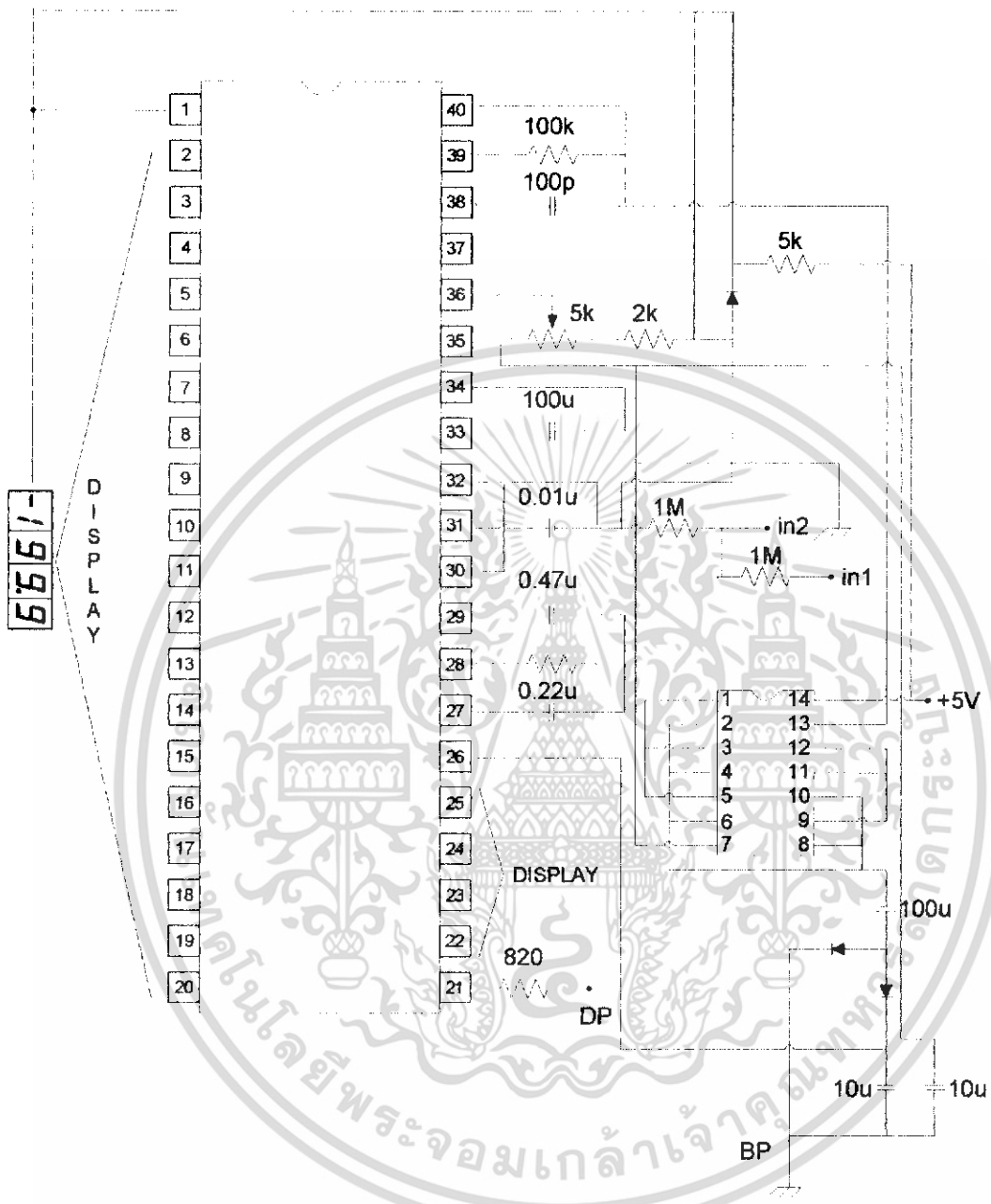
ซึ่งใน POWER SUPPLY TESTERใช้ Duty cycle สูงสุด 20%

**3.4 ภาค ADC**

จะเป็นส่วนที่แปลงจากสัญญาณอนาลอกให้เป็นดิจิตอลและแสดงผลออกมาทาง7-segment โดยในส่วนนี้เราได้ใช้ ICL7107 เป็น ADC ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง




รูปที่ 3.4 วงจร ADC ใช้ ICL7107

73179
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจรเปรียบเทียบแรงดันกับฮีสเตอร์รีซีส (COMPARATOR WITH HYSTERESIS)**

ถ้าหากนำเอาวงจรเปรียบเทียบแรงดัน (COMPARATOR) มาใช้งานในบริเวณที่มีสัญญาณรบกวนมากๆ ซึ่งจะพบเสมอว่าเอาท์พุทที่ออกมานั้นจะได้ค่าไม่สมบูรณ์ และจะเป็นเรื่องยากมากที่จะนำเอาสัญญาณรบกวนนี้ออกได้ นอกจากจะต้องเลือกหาออปแอมป์ที่มีผลต่อการรบกวนสัญญาณนี้น้อย หรืออีกวิธีหนึ่งก็คือเพิ่มวงจร HYSTERESIS

**การป้อนกลับแบบบวก ( POSITIVE FEEDBACK )**

วิธีการที่ง่ายที่สุดในการป้อนให้แรงดันอินพุทเป็นแบบฮีสเทอร์รีซีสกับ วงจรเปรียบเทียบแรงดัน ก็คือ การแบ่งแรงดันส่วนหนึ่งออกจากเอาท์พุทแล้วป้อนกลับทางอินพุท โดยจะต่อแบบโดยตรง หรือจะผ่านค่าความต้านทานหรือตัวเก็บประจุก่อนก็ได้ ซึ่งถ้าหากนำเอาแรงดันที่ป้อนกลับนั้นไปป้อนกลับเข้ากับขาอินพุทบวกของออปแอมป์ก็จะเรียกว่าการป้อนกลับแบบบวก (POSITIVE FEEDBACK) ตามรูปที่ A แต่ถ้าหากนำเอาไปป้อนกลับทางลบก็จะเรียกว่าการป้อนกลับทางลบ (NEGATIVE FEEDBACK) ตามรูป B แต่สำหรับการนำไปใช้งาน

**การระบายความร้อน ( HEATSINKING )**

ตัวอุปกรณ์อิเล็กทรอนิกส์ทุกชนิดในขณะทำงานจะเกิดกำลังไฟฟูนย์เสีย ( POWER DISSIPATION ) ในรูปของความร้อน ถ้าความร้อนที่เกิดขึ้นได้รับการถ่ายเทไม่เพียงพอ อุณหภูมิของตัวอุปกรณ์ก็จะเพิ่มขึ้นจนอาจทำให้อุปกรณ์เสียหายได้อย่างถาวร หรือถึงแม้ว่าตัวอุปกรณจะไม่เสียหาย แต่ความร้อนที่เกิดขึ้นจะมีผลต่อคุณสมบัติทางไฟฟ้าของตัวอุปกรณ์ซึ่งส่งผลต่อการทำงานของระบบ การพิจารณาการระบายความร้อน ให้กับตัวอุปกรณ์เป็นขั้วตอนที่จำเป็นในการออกแบบที่ไม่สามารถจะถูกละเลยได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

# ผลการทดลองและสรุปผลการทดลอง

## 4.1 วิธีการทดลอง

### 4.1.1 ส่วนแรงดันที่ POWER SUPPLY

1. ป้อนแรงดันเข้าไปในวงจรโดยที่ทำการเพิ่มแรงดันทีละ 5 โวลต์

2. ทำการบันทึกค่าแรงดันที่วัดได้โดยบันทึกค่าแรงดันที่ได้จาก POWER SUPPLY และค่าแรงดันแสดงผลทาง ADC

### 4.1.2 ส่วนของภาคดึงกระแสตรง

1. ทำการดึงกระแสโดยปรับค่าแรงดันที่ค่าความต้านทาน 10k เพิ่มขึ้นทีละ 0.1 โวลต์

2. ทำการคำนวณค่ากระแสตามทฤษฎีแล้วบันทึกผล

3. ทำการวัดค่าแรงดันที่คร่อมตัวความต้านทาน 0.5 Ω และ ค่าแรงดันที่แสดงออกมาทาง ADC แล้วบันทึกผล

### 4.1.3 ส่วนของภาคดึงกระแสแบบพัลส์

1. ทำการสร้างโวลต์ที่เป็นพัลส์โดยการป้อนพัลส์ที่ได้จาก TL494

2. ปรับค่ากระแสเพิ่มขึ้นทีละ 0.2 แอมป์

3. ทำการคำนวณค่ากระแสตามทฤษฎีแล้วบันทึกผล

4. ทำการวัดค่าแรงดันที่คร่อมตัวความต้านทาน 0.5 Ω และ ค่าแรงดันที่แสดงออกมาทาง ADC แล้วบันทึกผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 ผลการทดลอง

### 4.2.1 ส่วนแรงดันที่ POWER SUPPLY

| ค่าแรงดันจาก POWER SUPPLY (V) | ค่าแรงดันที่อ่านได้จาก ADC (V) | ค่าผิดพลาด (%) |
|---|---|---|
| 0 | 0.0 | 0 |
| 5 | 4.8 | 4 |
| 10 | 10.0 | 0 |
| 15 | 15.0 | 0 |
| 20 | 20.1 | 0.5 |
| 25 | 25.2 | 0.8 |
| 30 | 30.2 | 0.67 |
| 35 | 33.1 | 5.4 |
| 40 | 34.4 | 14 |

### 4.2.2 ส่วนของภาคดึงกระแสตรง

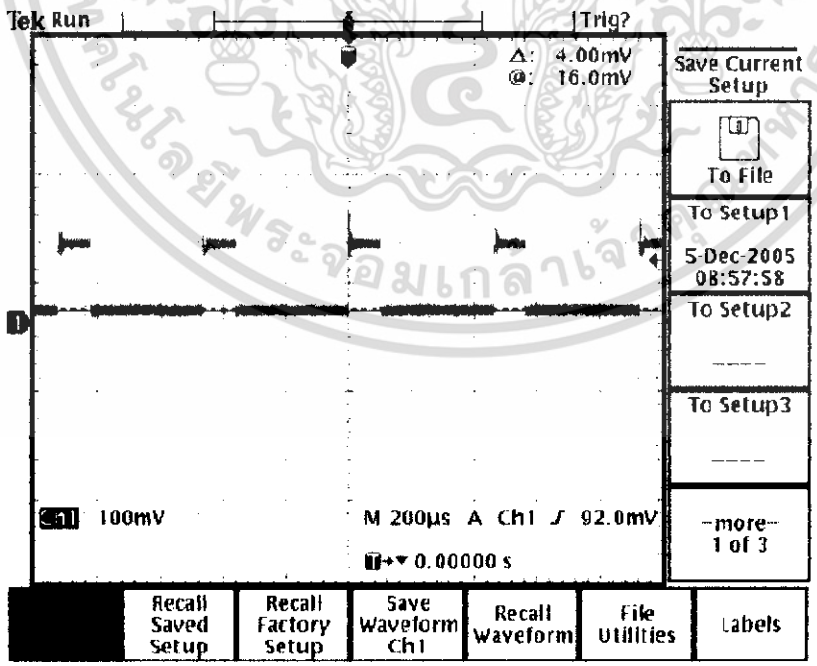
| แรงดันที่คร่อมความต้านทาน 0.5 Ω (V) | กระแสที่ได้จากการคำนวณ (A) | ค่ากระแสที่แสดงผลทาง ADC (A) | ค่าผิดพลาด (%) |
|---|---|---|---|
| 0 | 0 | 0.00 | 0 |
| 0.1 | 0.2 | 0.20 | 0 |
| 0.2 | 0.4 | 0.42 | 5 |
| 0.3 | 0.6 | 0.63 | 5 |
| 0.4 | 0.8 | 0.87 | 8.75 |
| 0.5 | 1 | 1.07 | 7 |
| 0.6 | 1.2 | 1.3 | 8.33 |
| 0.7 | 1.4 | 1.51 | 7.86 |
| 0.8 | 1.6 | 1.74 | 8.75 |
| 0.9 | 1.8 | 1.95 | 8.33 |
| 1 | 2 | 2.17 | 8.5 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.3 ส่วนของภาคดึงกระแสแบบพัลส์

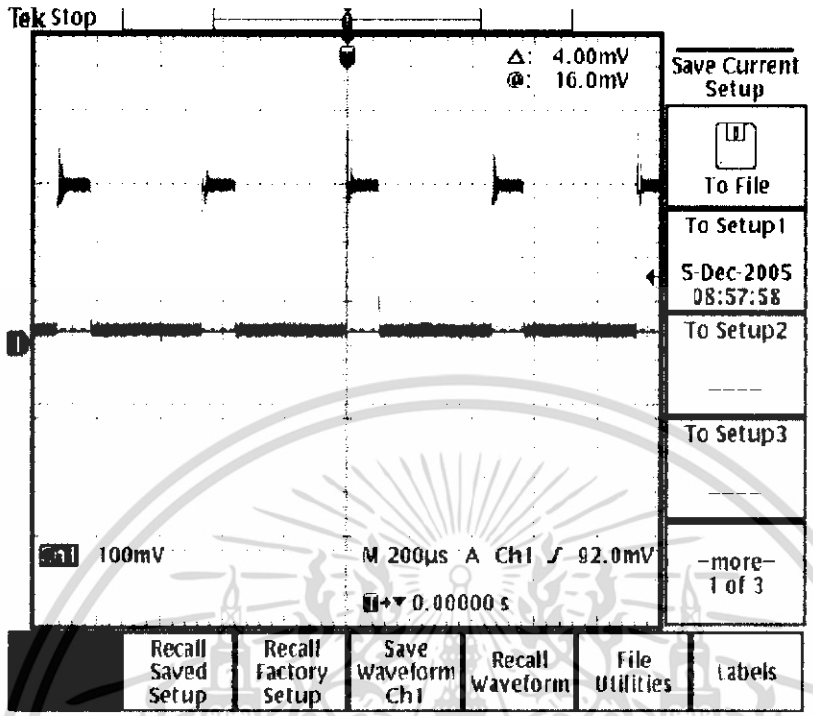
| แรงดันที่คร่อมความต้านทาน 0.5 Ω (V) | กระแสที่ได้จากการคำนวณ (A) | ค่ากระแสที่แสดงผลทาง ADC (A) | ค่าผิดพลาด (%) |
|---|---|---|---|
| 0 | 0 | 0.00 | 0 |
| 0.1 | 0.2 | 0.22 | 10 |
| 0.2 | 0.4 | 0.42 | 5 |
| 0.3 | 0.6 | 0.62 | 3.33 |
| 0.4 | 0.8 | 0.84 | 5 |
| 0.5 | 1 | 1.09 | 9 |
| 0.6 | 1.2 | 1.32 | 10 |
| 0.7 | 1.4 | 1.61 | 15 |
| 0.8 | 1.6 | 1.72 | 7.5 |
| 0.9 | 1.8 | 2.00 | 11.11 |
| 1 | 2 | 2.15 | 7.5 |

### 4.2.4 กราฟของแรงดันแบบพัลส์ที่คร่อมความต้านทาน 0.5 Ω

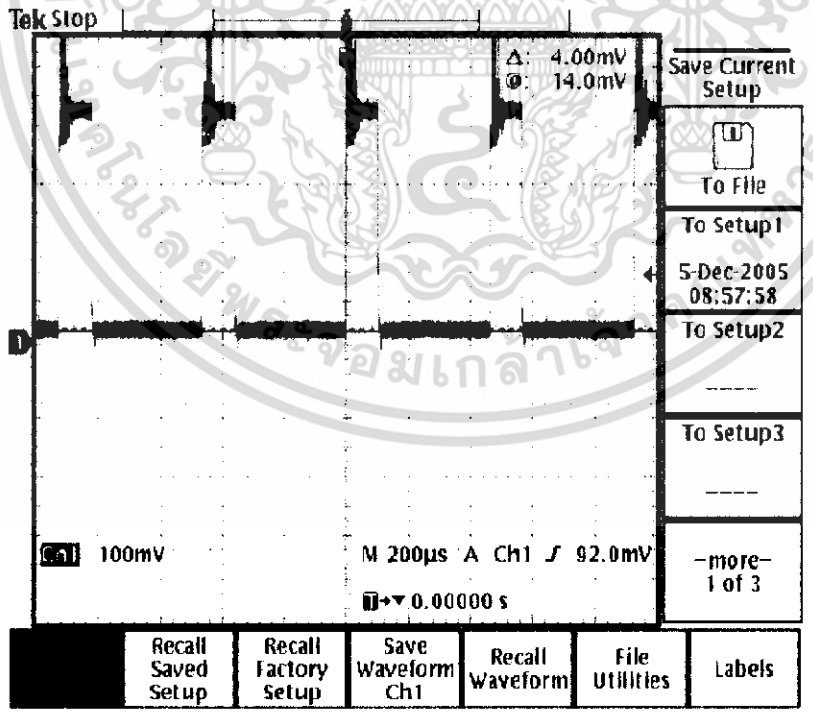



รูปที่ 1 กราฟของค่าแรงดันแบบพัลส์ที่ 0.1 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

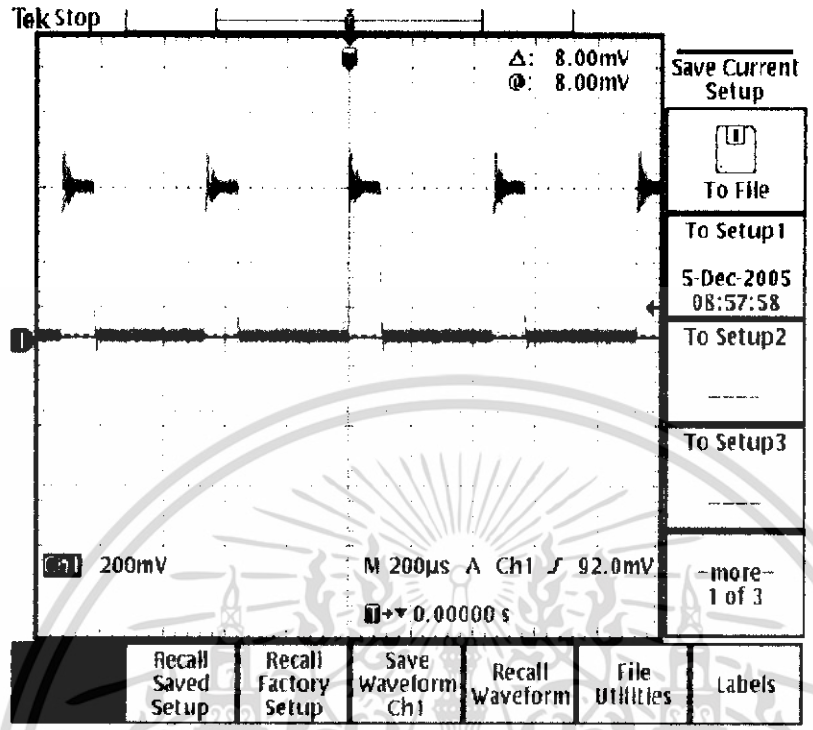



รูปที่ 2 กราฟของค่าแรงดันแบบพัลส์ที่ 0.2 โวลต์

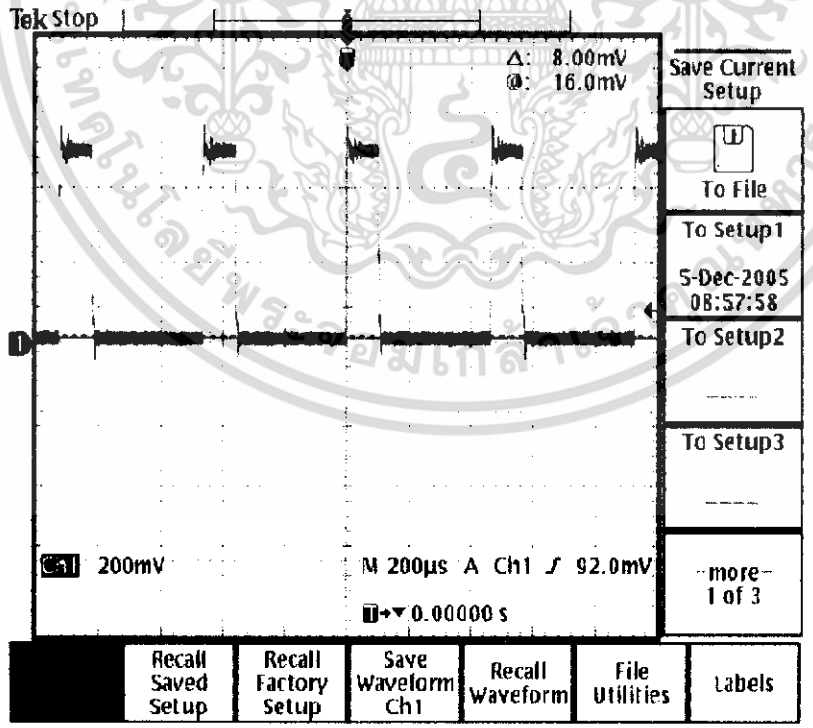



รูปที่ 3 กราฟของค่าแรงดันแบบพัลส์ที่ 0.3 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

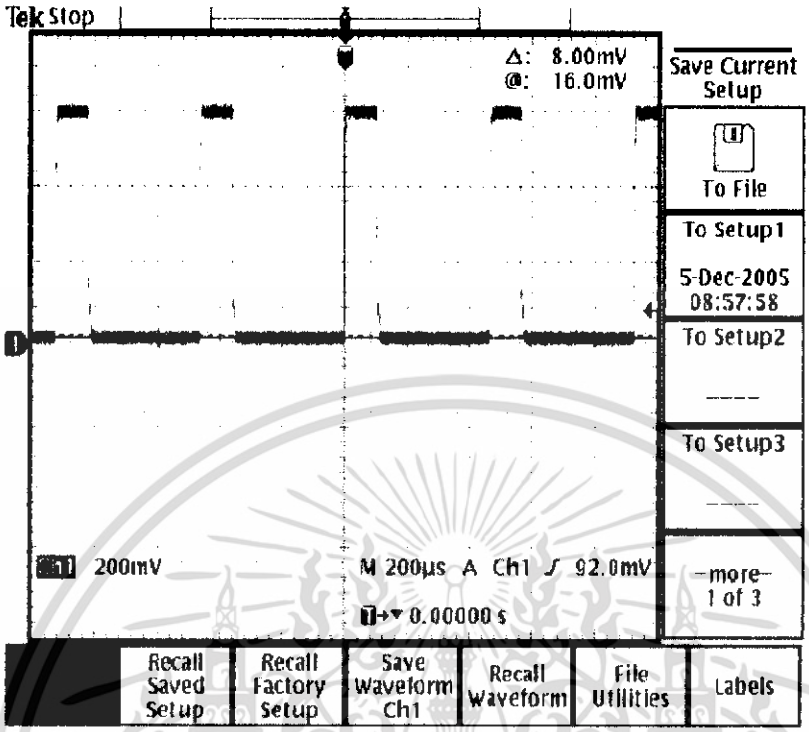



รูปที่ 4 กราฟของค่าแรงดันแบบพัลส์ที่ 0.4 โวลต์

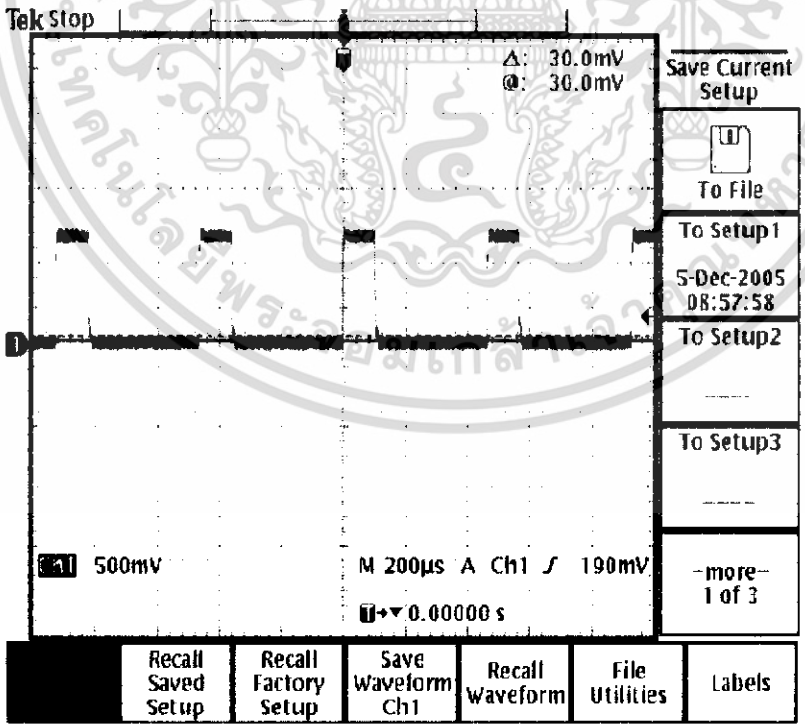



รูปที่ 5 กราฟของค่าแรงดันแบบพัลส์ที่ 0.5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

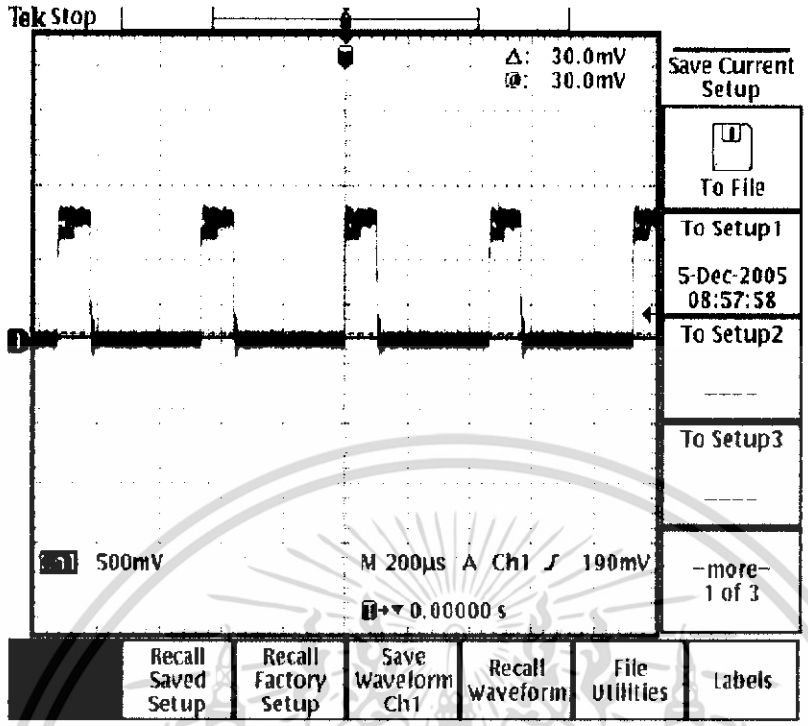



รูปที่ 6 กราฟของค่าแรงดันแบบพัลส์ที่ 0.6 โวลต์

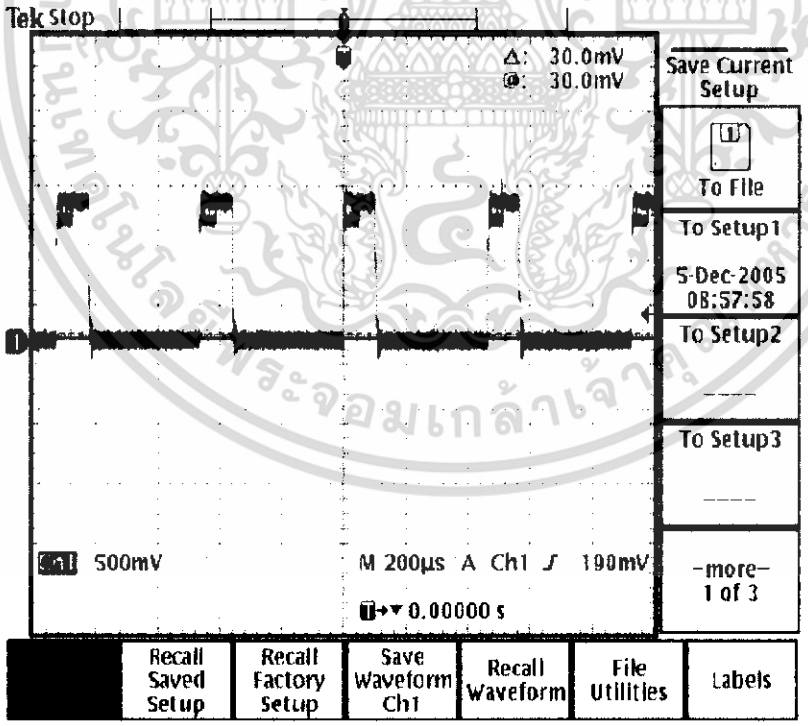



รูปที่ 7 กราฟของค่าแรงดันแบบพัลส์ที่ 0.7 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

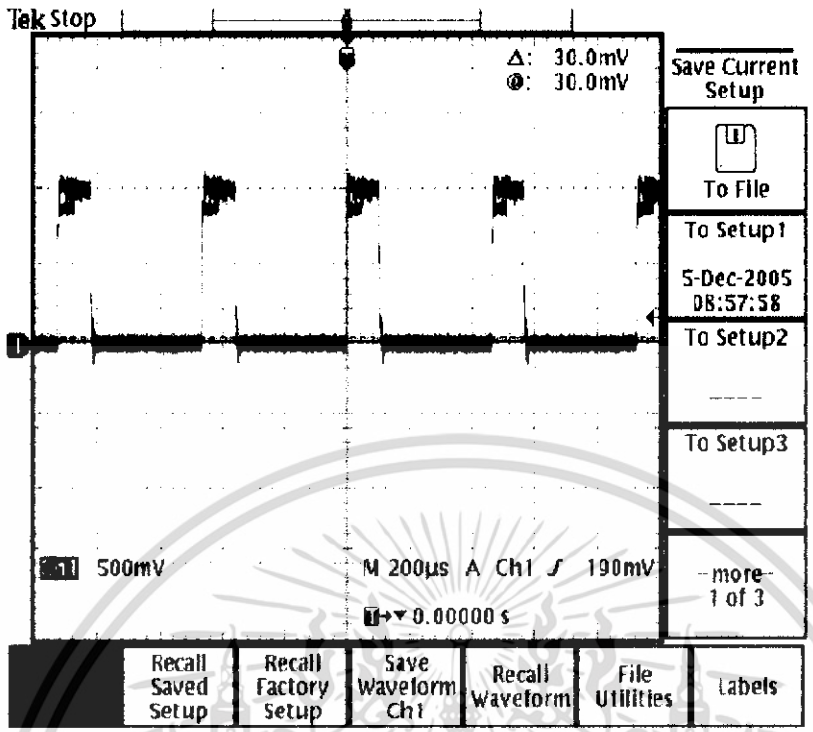



รูปที่ 8 กราฟของค่าแรงดันแบบพัลส์ที่ 0.8 โวลต์




รูปที่ 9 กราฟของค่าแรงดันแบบพัลส์ที่ 0.9 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 10 กราฟของค่าแรงดันแบบพัลส์ที่ 1.0 โวลต์

**4.3 วิจารณ์ผลการทดลอง**

จากผลการทดลองผลที่ออกมาปรากฏว่า มีความคลาดเคลื่อน รวมทั้งความผิดพลาดเกิดขึ้น ซึ่งเป็นผลเกิดจากการปรับค่าสเกลของ ADC ไม่ตรง รวมทั้งค่าความคลาดเคลื่อนอาจเกิดจากค่าความต้านทานปรับค่าได้ปรับไม่ตรงตามค่าต่างๆ ดังนั้นต้องมีการปรับค่าสเกล ADCให้ถูกต้อง

**4.4 สรุปผลการทดลอง**

จากการทดลอง เราสามารถสรุปได้ว่า Power Supply Tester นี้สามารถตรวจสอบ Power Supply ว่าสามารถจ่ายกระแสไฟฟ้าได้ตามที่กำหนดไว้หรือไม่ โดยคุณสมบัติของ Power Supply Tester นี้สามารถดึงกระแส ไฟฟ้าทั้งแบบกระแสตรงและแบบพัลส์ได้สูงสุด 2 แอมป์และ แรงดันไฟฟ้าได้ตั้งแต่ 0 – 40 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง

1. DAVID F.STOUT/MILTON KAVFMAN , HANDBOOK OF OPERATIONAL AMPLIFIER CIRCUIT DESIGN , Mc GRAWHILL , 1976

2. B.W WILLIAMS , POWER ELECTRONICS DEVICE , DRIVER AND APPLICATION , 1988

3. LINEAR APPLICATIONS HANDBOOK , NATIONAL SEMICONDUDTOR

4. RUDOLF F. GRAF , ENCYCLOPEDIA OF ELECTRONIC CIRCUIT , TABBOOK , 1985

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TL494, NCV494

# SWITCHMODE™ Pulse Width Modulation Control Circuit

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for SWITCHMODE power supply control.

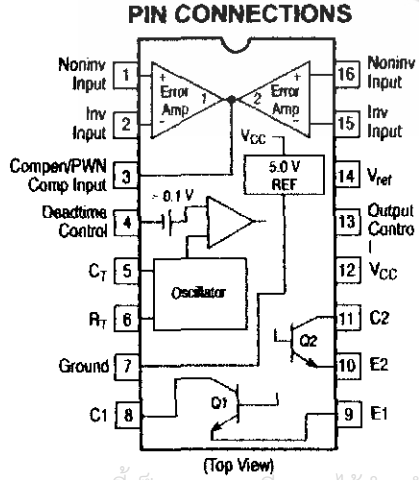
- Complete Pulse Width Modulation Control Circuitry
- On–Chip Oscillator with Master or Slave Operation
- On–Chip Error Amplifiers
- On–Chip 5.0 V Reference
- Adjustable Deadtime Control
- Uncommitted Output Transistors Rated to 500 mA Source or Sink
- Output Control for Push–Pull or Single–Ended Operation
- Undervoltage Lockout

**MAXIMUM RATINGS** (Full operating ambient temperature range applies, unless otherwise noted.)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | 42 | V |
| Collector Output Voltage | $V_{C1}$, $V_{C2}$ | 42 | V |
| Collector Output Current (Each transistor) (Note 1) | $I_{C1}$, $I_{C2}$ | 500 | mA |
| Amplifier Input Voltage Range | $V_{IR}$ | −0.3 to +42 | V |
| Power Dissipation @ $T_A \leq 45°C$ | $P_D$ | 1000 | mW |
| Thermal Resistance, Junction–to–Ambient | $R_{\theta JA}$ | 80 | °C/W |
| Operating Junction Temperature | $T_J$ | 125 | °C |
| Storage Temperature Range | $T_{stg}$ | −55 to +125 | °C |
| Operating Ambient Temperature Range<br>TL494B<br>TL494C<br>TL494I<br>NCV494B | $T_A$ | <br>−40 to +125<br>0 to +70<br>−40 to +85<br>−40 to +125 | °C |
| Derating Ambient Temperature | $T_A$ | 45 | °C |

1. Maximum thermal limits must be observed.

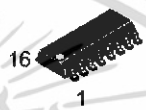
**PIN CONNECTIONS**



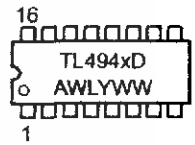

**ON Semiconductor**®

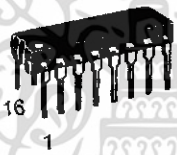
http://onsemi.com

**MARKING DIAGRAMS**

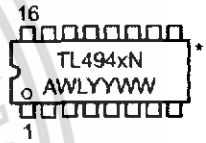


**SO–16**
**D SUFFIX**
**CASE 751B**



**PDIP–16**
**N SUFFIX**
**CASE 648**




x = B, C or I
A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

*This marking diagram also applies to NCV494.

**ORDERING INFORMATION**

| Device | Package | Shipping |
|---|---|---|
| TL494BD | SO–16 | 48 Units/Rail |
| TL494BDR2 | SO–16 | 2500 Tape & Reel |
| TL494CD | SO–16 | 48 Units/Rail |
| TL494CDR2 | SO–16 | 2500 Tape & Reel |
| TL494CN | PDIP–16 | 25 Units/Rail |
| TL494IN | PDIP–16 | 25 Units/Rail |
| NCV494BDR2* | SO–16 | 2500 Tape & Reel |

*NCV494: $T_{low}$ = −40°C, $T_{high}$ = +125°C. Guaranteed by design. NCV prefix is for automotive and other applications requiring site and change control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## RECOMMENDED OPERATING CONDITIONS

| Characteristics | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | 7.0 | 15 | 40 | V |
| Collector Output Voltage | $V_{C1}$, $V_{C2}$ | – | 30 | 40 | V |
| Collector Output Current (Each transistor) | $I_{C1}$, $I_{C2}$ | – | – | 200 | mA |
| Amplified Input Voltage | $V_{in}$ | −0.3 | – | $V_{CC}$ − 2.0 | V |
| Current Into Feedback Terminal | $I_{fb}$ | – | – | 0.3 | mA |
| Reference Output Current | $I_{ref}$ | – | – | 10 | mA |
| Timing Resistor | $R_T$ | 1.8 | 30 | 500 | kΩ |
| Timing Capacitor | $C_T$ | 0.0047 | 0.001 | 10 | μF |
| Oscillator Frequency | $f_{osc}$ | 1.0 | 40 | 200 | kHz |

## ELECTRICAL CHARACTERISTICS ($V_{CC}$ = 15 V, $C_T$ = 0.01 μF, $R_T$ = 12 kΩ, unless otherwise noted.)

For typical values $T_A$ = 25°C, for min/max values $T_A$ is the operating ambient temperature range that applies, unless otherwise noted.

| Characteristics | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| **REFERENCE SECTION** | | | | | |
| Reference Voltage ($I_O$ = 1.0 mA) | $V_{ref}$ | 4.75 | 5.0 | 5.25 | V |
| Line Regulation ($V_{CC}$ = 7.0 V to 40 V) | $Reg_{line}$ | – | 2.0 | 25 | mV |
| Load Regulation ($I_O$ = 1.0 mA to 10 mA) | $Reg_{load}$ | – | 3.0 | 15 | mV |
| Short Circuit Output Current ($V_{ref}$ = 0 V) | $I_{SC}$ | 15 | 35 | 75 | mA |
| **OUTPUT SECTION** | | | | | |
| Collector Off−State Current ($V_{CC}$ = 40 V, $V_{CE}$ = 40 V) | $I_{C(off)}$ | – | 2.0 | 100 | μA |
| Emitter Off−State Current $V_{CC}$ = 40 V, $V_C$ = 40 V, $V_E$ = 0 V) | $I_{E(off)}$ | – | – | −100 | μA |
| Collector−Emitter Saturation Voltage (Note 2) | | | | | V |
| Common−Emitter ($V_E$ = 0 V, $I_C$ = 200 mA) | $V_{sat(C)}$ | – | 1.1 | 1.3 | |
| Emitter−Follower ($V_C$ = 15 V, $I_E$ = −200 mA) | $V_{sat(E)}$ | – | 1.5 | 2.5 | |
| Output Control Pin Current | | | | | |
| Low State ($V_{OC}$ ≤ 0.4 V) | $I_{OCL}$ | – | 10 | – | μA |
| High State ($V_{OC}$ = $V_{ref}$) | $I_{OCH}$ | – | 0.2 | 3.5 | mA |
| Output Voltage Rise Time | $t_r$ | | | | ns |
| Common−Emitter (See Figure 12) | | – | 100 | 200 | |
| Emitter−Follower (See Figure 13) | | – | 100 | 200 | |
| Output Voltage Fall Time | $t_f$ | | | | ns |
| Common−Emitter (See Figure 12) | | – | 25 | 100 | |
| Emitter−Follower (See Figure 13) | | – | 40 | 100 | |

2. Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperature as possible.

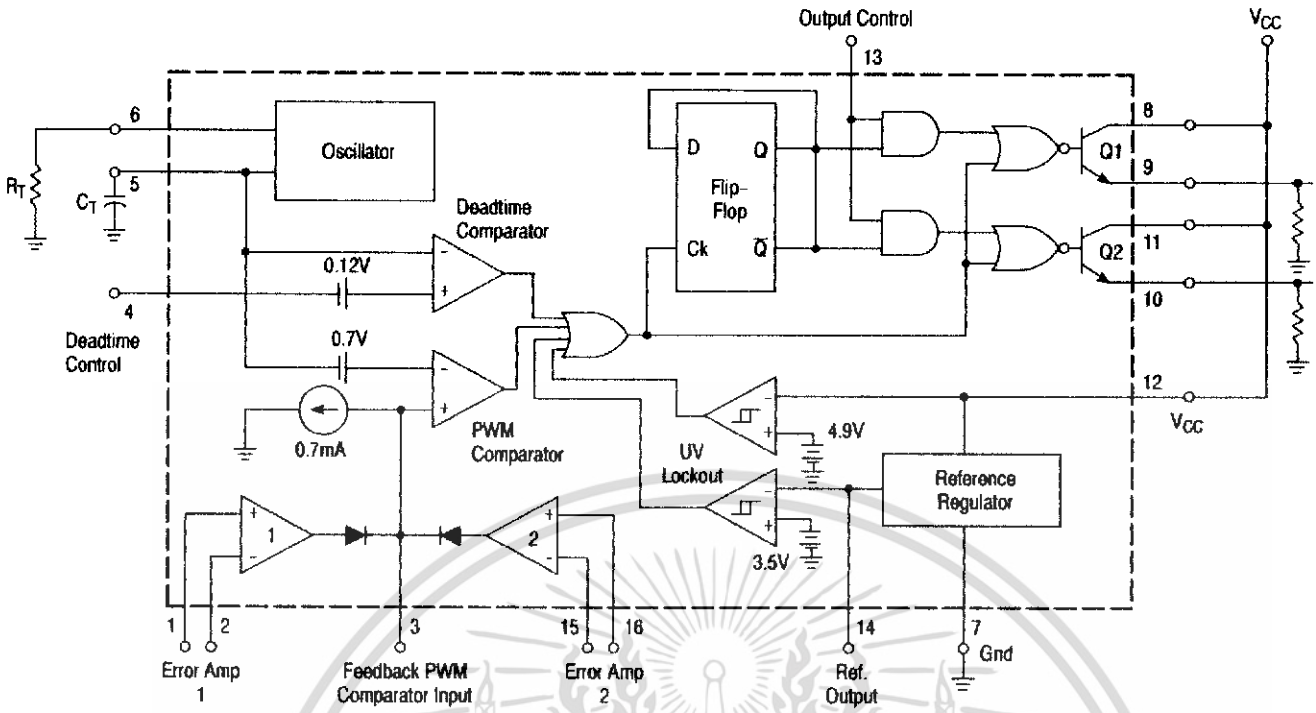
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRICAL CHARACTERISTICS** ($V_{CC}$ = 15 V, $C_T$ = 0.01 μF, $R_T$ = 12 kΩ, unless otherwise noted.)
For typical values $T_A$ = 25°C, for min/max values $T_A$ is the operating ambient temperature range that applies, unless otherwise noted.

| Characteristics | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| **ERROR AMPLIFIER SECTION** | | | | | |
| Input Offset Voltage ($V_{O\ (Pin\ 3)}$ = 2.5 V) | $V_{IO}$ | – | 2.0 | 10 | mV |
| Input Offset Current ($V_{O\ (Pin\ 3)}$ = 2.5 V) | $I_{IO}$ | – | 5.0 | 250 | nA |
| Input Bias Current ($V_{O\ (Pin\ 3)}$ = 2.5 V) | $I_{IB}$ | – | –0.1 | –1.0 | μA |
| Input Common Mode Voltage Range ($V_{CC}$ = 40 V, $T_A$ = 25°C) | $V_{ICR}$ | –0.3 to $V_{CC}$–2.0 | | | V |
| Open Loop Voltage Gain ($\Delta V_O$ = 3.0 V, $V_O$ = 0.5 V to 3.5 V, $R_L$ = 2.0 kΩ) | $A_{VOL}$ | 70 | 95 | – | dB |
| Unity–Gain Crossover Frequency ($V_O$ = 0.5 V to 3.5 V, $R_L$ = 2.0 kΩ) | $f_C$ | – | 350 | – | kHz |
| Phase Margin at Unity–Gain ($V_O$ = 0.5 V to 3.5 V, $R_L$ = 2.0 kΩ) | $\phi_m$ | – | 65 | – | deg. |
| Common Mode Rejection Ratio ($V_{CC}$ = 40 V) | CMRR | 65 | 90 | – | dB |
| Power Supply Rejection Ratio ($\Delta V_{CC}$ = 33 V, $V_O$ = 2.5 V, $R_L$ = 2.0 kΩ) | PSRR | – | 100 | – | dB |
| Output Sink Current ($V_{O\ (Pin\ 3)}$ = 0.7 V) | $I_O$– | 0.3 | 0.7 | – | mA |
| Output Source Current ($V_{O\ (Pin\ 3)}$ = 3.5 V) | $I_O$+ | 2.0 | –4.0 | – | mA |
| **PWM COMPARATOR SECTION** (Test Circuit Figure 11) | | | | | |
| Input Threshold Voltage (Zero Duty Cycle) | $V_{TH}$ | – | 2.5 | 4.5 | V |
| Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V) | $I_I$– | 0.3 | 0.7 | – | mA |
| **DEADTIME CONTROL SECTION** (Test Circuit Figure 11) | | | | | |
| Input Bias Current (Pin 4) ($V_{Pin\ 4}$ = 0 V to 5.25 V) | $I_{IB\ (DT)}$ | – | –2.0 | –10 | μA |
| Maximum Duty Cycle, Each Output, Push–Pull Mode<br>($V_{Pin\ 4}$ = 0 V, $C_T$ = 0.01 μF, $R_T$ = 12 kΩ)<br>($V_{Pin\ 4}$ = 0 V, $C_T$ = 0.001 μF, $R_T$ = 30 kΩ) | $DC_{max}$ | <br>45<br>– | <br>48<br>45 | <br>50<br>50 | % |
| Input Threshold Voltage (Pin 4)<br>(Zero Duty Cycle)<br>(Maximum Duty Cycle) | $V_{th}$ | <br>–<br>0 | <br>2.8<br>– | <br>3.3<br>– | V |
| **OSCILLATOR SECTION** | | | | | |
| Frequency ($C_T$ = 0.001 μF, $R_T$ = 30 kΩ) | $f_{osc}$ | – | 40 | – | kHz |
| Standard Deviation of Frequency* ($C_T$ = 0.001 μF, $R_T$ = 30 kΩ) | $\sigma f_{osc}$ | – | 3.0 | – | % |
| Frequency Change with Voltage ($V_{CC}$ = 7.0 V to 40 V, $T_A$ = 25°C) | $\Delta f_{osc}$ ($\Delta V$) | – | 0.1 | – | % |
| Frequency Change with Temperature ($\Delta T_A$ = $T_{low}$ to $T_{high}$)<br>($C_T$ = 0.01 μF, $R_T$ = 12 kΩ) | $\Delta f_{osc}$ ($\Delta T$) | – | – | 12 | % |
| **UNDERVOLTAGE LOCKOUT SECTION** | | | | | |
| Turn–On Threshold ($V_{CC}$ increasing, $I_{ref}$ = 1.0 mA) | $V_{th}$ | 5.5 | 6.43 | 7.0 | V |
| **TOTAL DEVICE** | | | | | |
| Standby Supply Current (Pin 6 at $V_{ref}$, All other inputs and outputs open)<br>($V_{CC}$ = 15 V)<br>($V_{CC}$ = 40 V) | $I_{CC}$ | <br>–<br>– | <br>5.5<br>7.0 | <br>10<br>15 | mA |
| Average Supply Current<br>($C_T$ = 0.01 μF, $R_T$ = 12 kΩ, $V_{(Pin\ 4)}$ = 2.0 V)<br>($V_{CC}$ = 15 V) (See Figure 12) | | – | 7.0 | – | mA |

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma \sqrt{\frac{\sum_{n=1}^{N} (X_n - \bar{X})^2}{N-1}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




This device contains 46 active transistors.

**Figure 1. Representative Block Diagram**

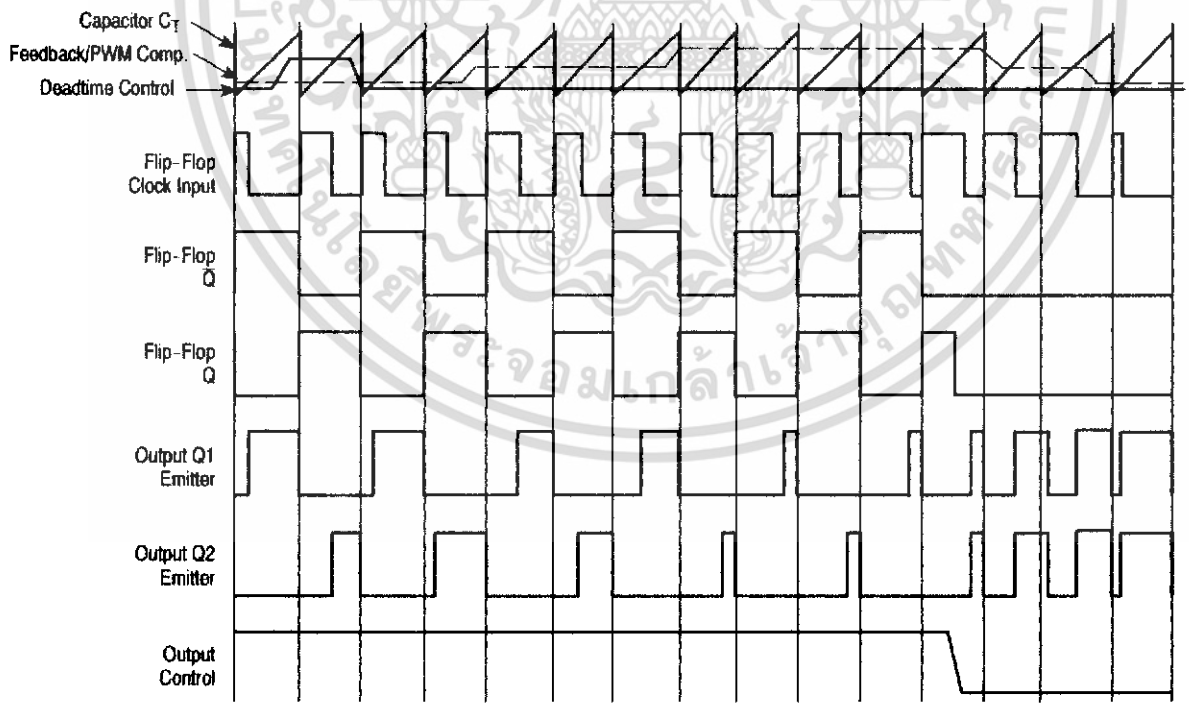



**Figure 2. Timing Diagram**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATIONS INFORMATION

### Description

The TL494 is a fixed–frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal–linear sawtooth oscillator is frequency– programmable by two external components, $R_T$ and $C_T$. The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

For more information refer to Figure 3.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor $C_T$ to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip–flop clock–input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control–signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the Timing Diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the deadtime control, the error amplifier inputs, or the feedback input. The deadtime control comparator has an effective 120 mV input offset which limits the minimum output deadtime to approximately the first 4% of the sawtooth–cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional deadtime may be imposed on the output by setting the deadtime–control input to a fixed voltage, ranging between 0 V to 3.3 V.

**Functional Table**

| Input/Output Controls | Output Function | $\frac{f_{out}}{f_{osc}}$ = |
|---|---|---|
| Grounded | Single–ended PWM @ Q1 and Q2 | 1.0 |
| @ $V_{ref}$ | Push–pull Operation | 0.5 |

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on–time, established by the deadtime control input, down to zero, as the voltage at the feedback pin varies from 0.5 V to 3.5 V. Both error amplifiers have a common mode input range from –0.3 V to ($V_{CC}$ – 2V), and may be used to sense power–supply output voltage and current. The error–amplifier outputs are active high and are ORed together at the noninverting input of the pulse–width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor $C_T$ is discharged, a positive pulse is generated on the output of the deadtime comparator, which clocks the pulse–steering flip–flop and inhibits the output transistors, Q1 and Q2. With the output–control connected to the reference line, the pulse–steering flip–flop directs the modulated pulses to each of the two output transistors alternately for push–pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single–ended operation with a maximum on–time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output–drive currents are required for single–ended operation, Q1 and Q2 may be connected in parallel, and the output–mode pin must be tied to ground to disable the flip–flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5.0 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of ±5.0% with a typical thermal drift of less than 50 mV over an operating temperature range of 0° to 70°C.

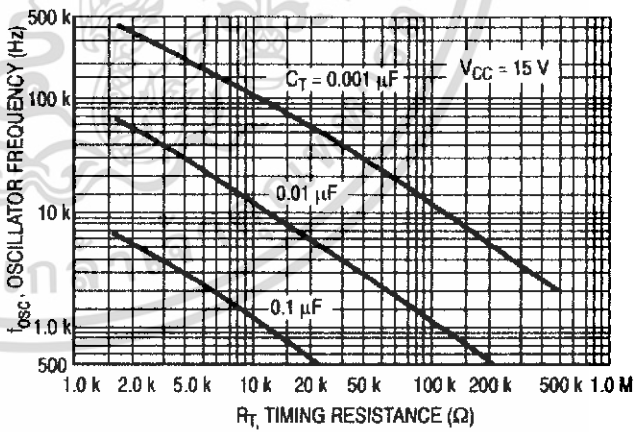



**Figure 3. Oscillator Frequency versus Timing Resistance**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

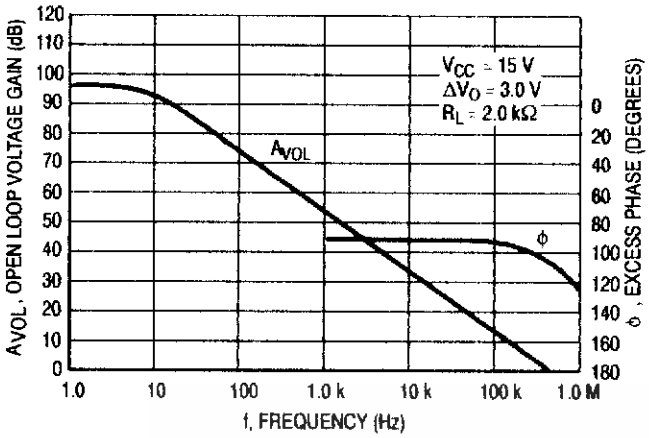



**Figure 4. Open Loop Voltage Gain and Phase versus Frequency**

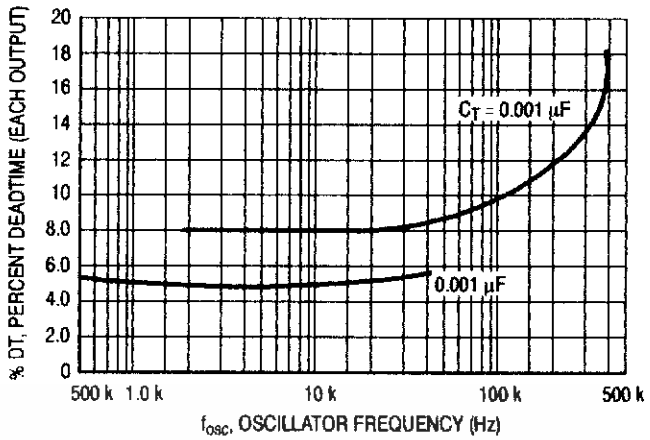



**Figure 5. Percent Deadtime versus Oscillator Frequency**

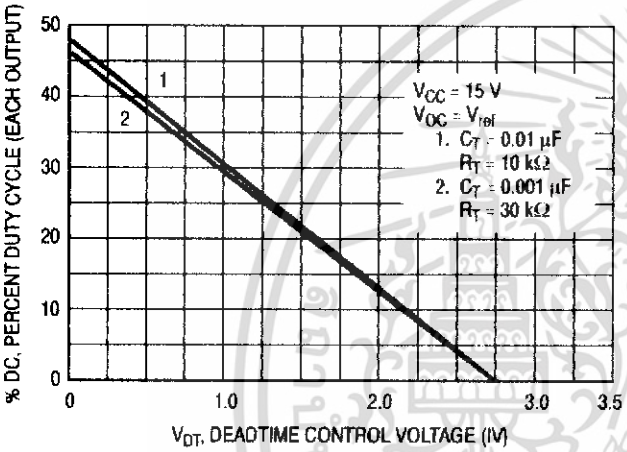



**Figure 6. Percent Duty Cycle versus Deadtime Control Voltage**

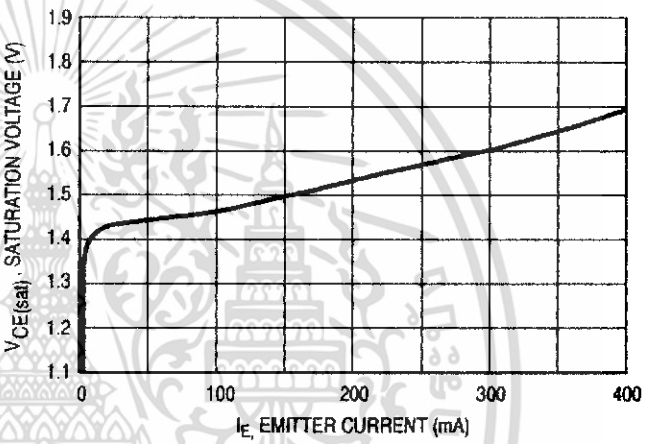



**Figure 7. Emitter–Follower Configuration Output Saturation Voltage versus Emitter Current**

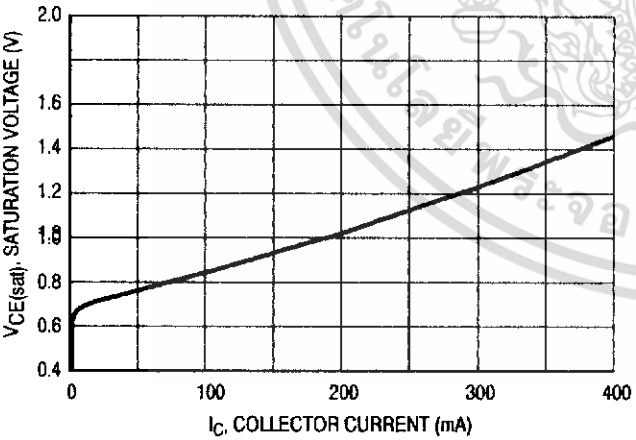



**Figure 8. Common–Emitter Configuration Output Saturation Voltage versus Collector Current**

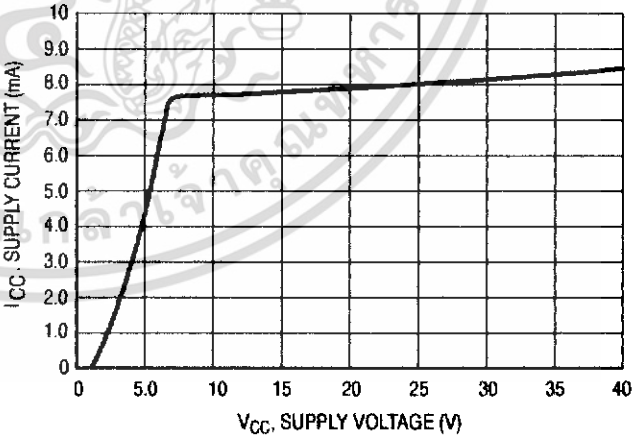



**Figure 9. Standby Supply Current versus Supply Voltage**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
http://onsemi.com
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

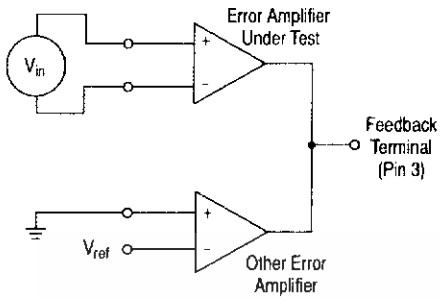



Figure 10. Error−Amplifier Characteristics

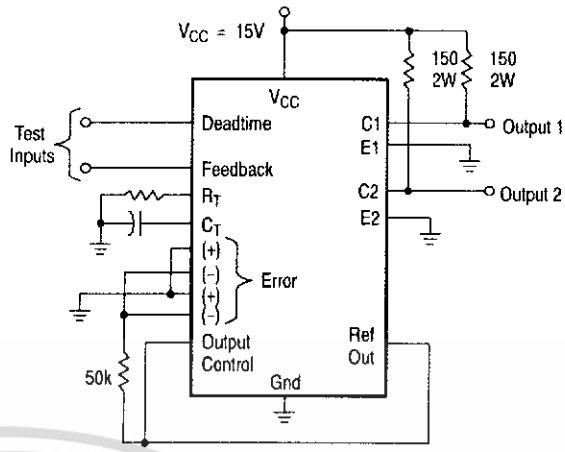



Figure 11. Deadtime and Feedback Control Circuit

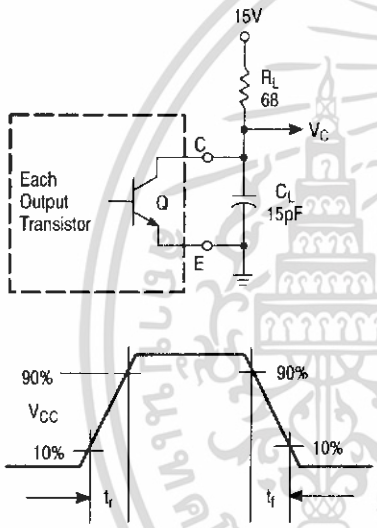



Figure 12. Common−Emitter Configuration
Test Circuit and Waveform

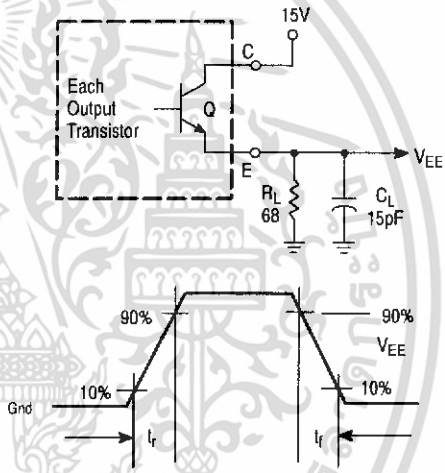



Figure 13. Emitter−Follower Configuration
Test Circuit and Waveform



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

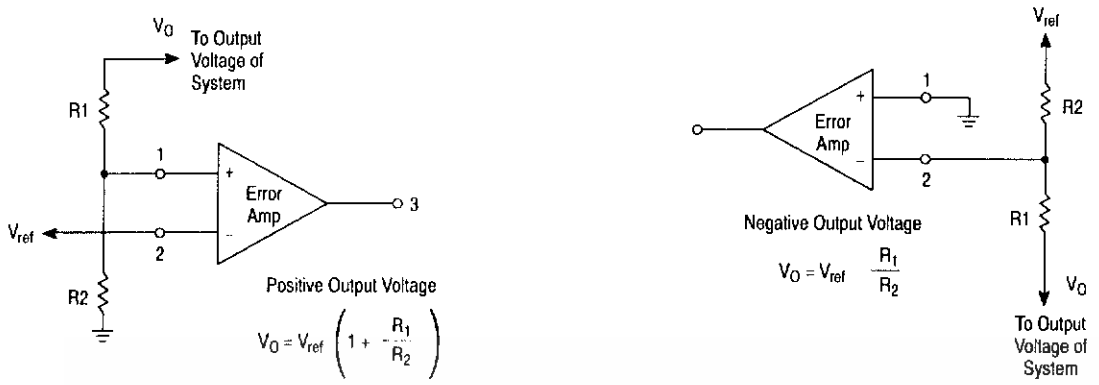



**Figure 14. Error−Amplifier Sensing Techniques**

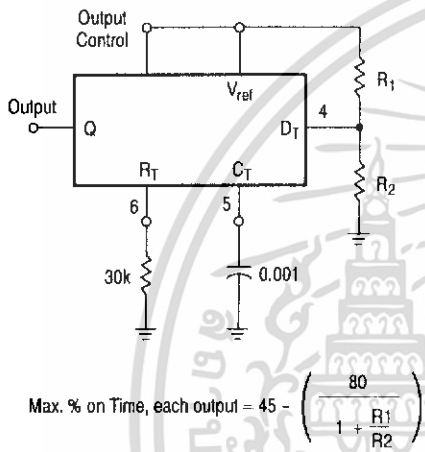



**Figure 15. Deadtime Control Circuit**

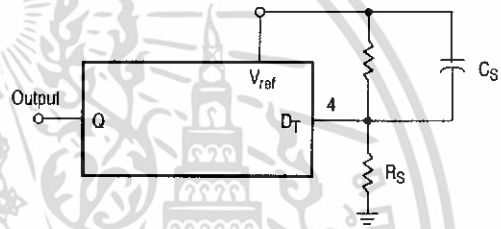



**Figure 16. Soft−Start Circuit**

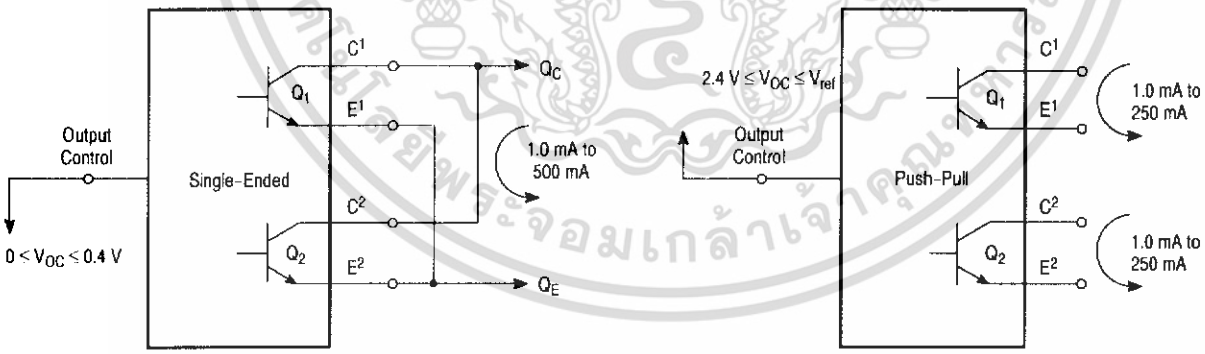



**Figure 17. Output Connections for Single−Ended and Push−Pull Configurations**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

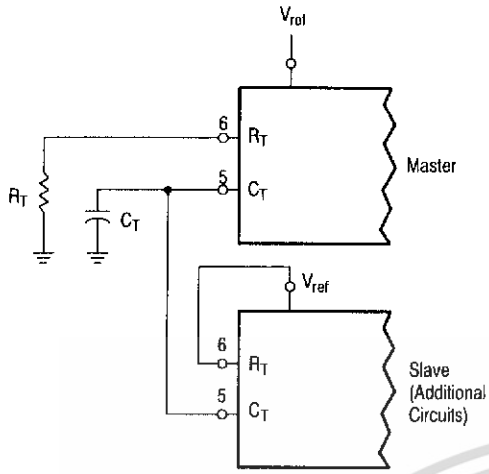



Figure 18. Slaving Two or More Control Circuits

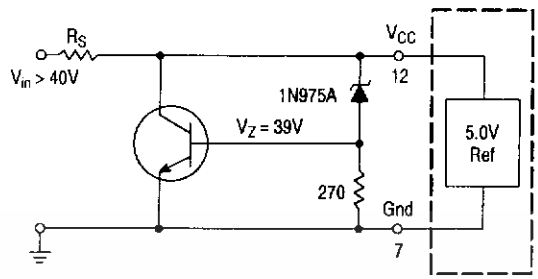



Figure 19. Operation with $V_{in}$ > 40 V Using External Zener

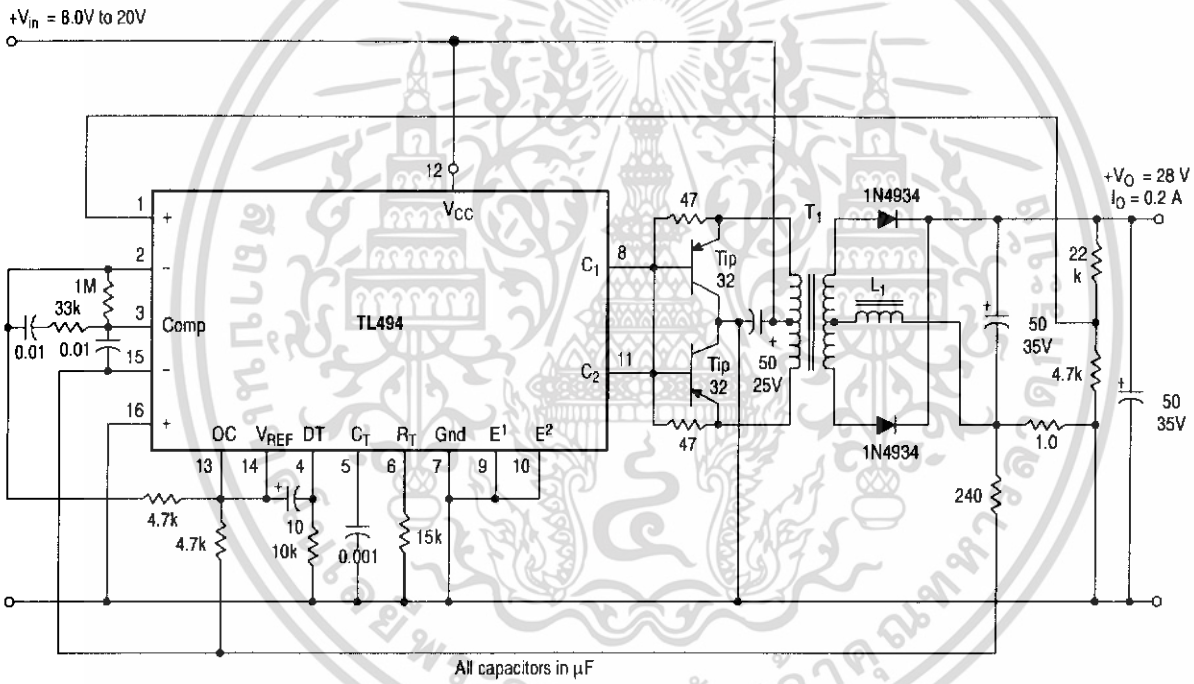



Figure 20. Pulse Width Modulated Push–Pull Converter

| Test | Conditions | Results |
|---|---|---|
| Line Regulation | $V_{in}$ = 10 V to 40 V | 14 mV 0.28% |
| Load Regulation | $V_{in}$ = 28 V, $I_O$ = 1.0 mA to 1.0 A | 3.0 mV 0.06% |
| Output Ripple | $V_{in}$ = 28 V, $I_O$ = 1.0 A | 65 mV pp P.A.R.D. |
| Short Circuit Current | $V_{in}$ = 28 V, $R_L$ = 0.1 Ω | 1.6 A |
| Efficiency | $V_{in}$ = 28 V, $I_O$ = 1.0 A | 71% |

L1 - 3.5 mH @ 0.3 A
T1 - Primary: 20T C.T. #28 AWG
Secondary: 12OT C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3CB



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

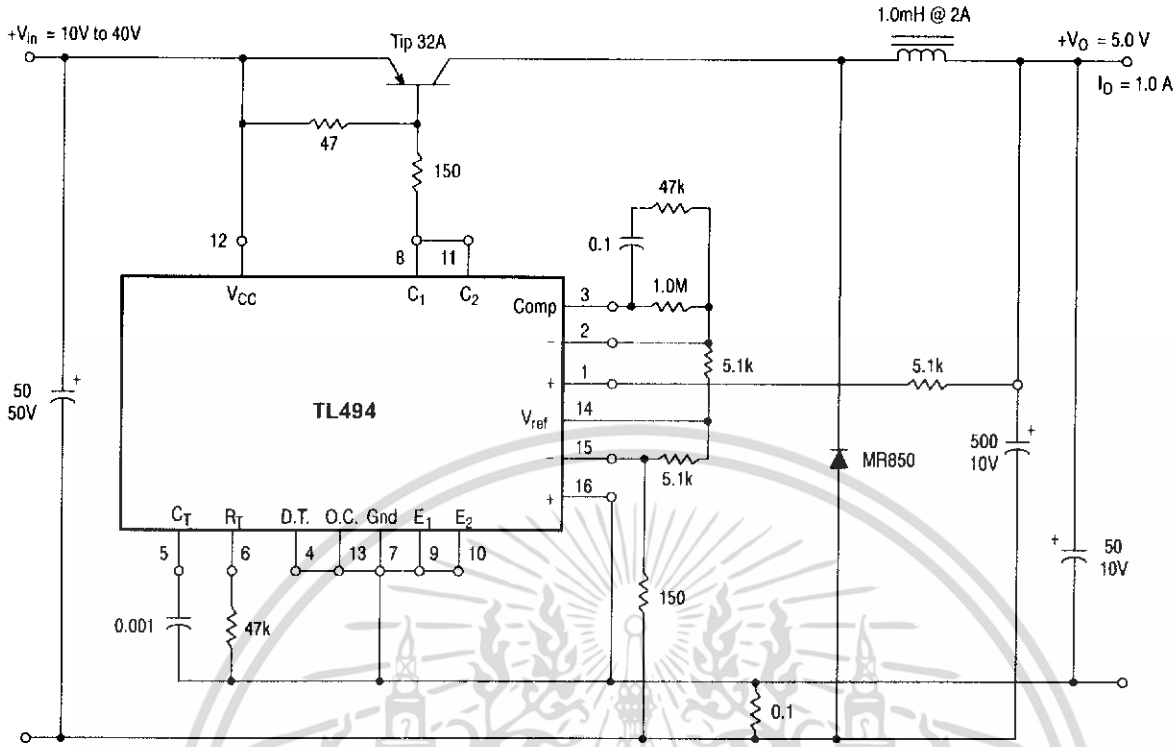



**Figure 21. Pulse Width Modulated Step−Down Converter**

| Test | Conditions | Results | |
|---|---|---|---|
| Line Regulation | $V_{in}$ = 8.0 V to 40 V | 3.0 mV | 0.01% |
| Load Regulation | $V_{in}$ = 12.6 V, $I_O$ = 0.2 mA to 200 mA | 5.0 mV | 0.02% |
| Output Ripple | $V_{in}$ = 12.6 V, $I_O$ = 200 mA | 40 mV pp | P.A.R.D. |
| Short Circuit Current | $V_{in}$ = 12.6 V, $R_L$ = 0.1 Ω | 250 mA | |
| Efficiency | $V_{in}$ = 12.6 V, $I_O$ = 200 mA | 72% | |



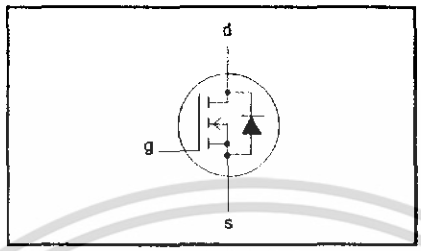
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# N-channel TrenchMOS™ transistor | IRF540, IRF540S

## FEATURES

- 'Trench' technology
- Low on-state resistance
- Fast switching
- Low thermal resistance

## SYMBOL




## QUICK REFERENCE DATA

$V_{DSS}$ = 100 V

$I_D$ = 23 A

$R_{DS(ON)} \leq 77$ mΩ

## GENERAL DESCRIPTION

N-channel enhancement mode field-effect power transistor in a plastic envelope using **'trench'** technology.

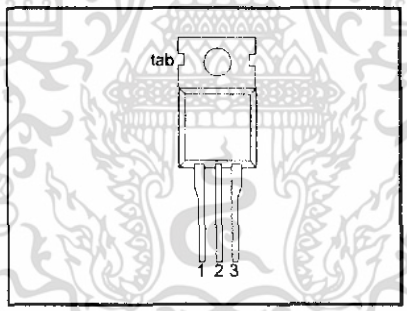
**Applications**:-
- d.c. to d.c. converters
- switched mode power supplies
- T.V. and computer monitor power supplies

The IRF540 is supplied in the SOT78 (TO220AB) conventional leaded package.
The IRF540S is supplied in the SOT404 ($D^2$PAK) surface mounting package.

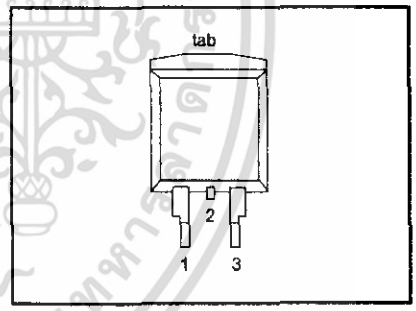
## PINNING

| PIN | DESCRIPTION |
|---|---|
| 1 | gate |
| 2 | drain[1] |
| 3 | source |
| tab | drain |

SOT78 (TO220AB)




SOT404 ($D^2$PAK)




## LIMITING VALUES

Limiting values in accordance with the Absolute Maximum System (IEC 134)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | MAX. | UNIT |
|---|---|---|---|---|---|
| $V_{DSS}$ | Drain-source voltage | $T_j$ = 25 °C to 175°C | - | 100 | V |
| $V_{DGR}$ | Drain-gate voltage | $T_j$ = 25 °C to 175°C; $R_{GS}$ = 20 kΩ | - | 100 | V |
| $V_{GS}$ | Gate-source voltage | | - | ± 20 | V |
| $I_D$ | Continuous drain current | $T_{mb}$ = 25 °C; $V_{GS}$ = 10 V | - | 23 | A |
| | | $T_{mb}$ = 100 °C; $V_{GS}$ = 10 V | - | 16 | A |
| $I_{DM}$ | Pulsed drain current | $T_{mb}$ = 25 °C | - | 92 | A |
| $P_D$ | Total power dissipation | $T_{mb}$ = 25 °C | - | 100 | W |
| $T_j$, $T_{stg}$ | Operating junction and storage temperature | | - 55 | 175 | °C |

1 It is not possible to make connection to pin:2 of the SOT404 package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AVALANCHE ENERGY LIMITING VALUES

Limiting values in accordance with the Absolute Maximum System (IEC 134)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | MAX. | UNIT |
|---|---|---|---|---|---|
| $E_{AS}$ | Non-repetitive avalanche energy | Unclamped inductive load, $I_{AS}$ = 10 A; $t_p$ = 350 μs; $T_j$ prior to avalanche = 25˚C; $V_{DD} \leq 25$ V; $R_{GS}$ = 50 Ω; $V_{GS}$ = 10 V; refer to fig:14 | - | 230 | mJ |
| $I_{AS}$ | Peak non-repetitive avalanche current | | - | 23 | A |

## THERMAL RESISTANCES

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $R_{th\ j\text{-}mb}$ | Thermal resistance junction to mounting base | | - | - | 1.5 | K/W |
| $R_{th\ j\text{-}a}$ | Thermal resistance junction to ambient | SOT78 package, in free air | - | 60 | - | K/W |
| | | SOT404 package, pcb mounted, minimum footprint | - | 50 | - | K/W |

## ELECTRICAL CHARACTERISTICS

$T_j$= 25˚C unless otherwise specified

| SYMBOL | PARAMETER | CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{(BR)DSS}$ | Drain-source breakdown voltage | $V_{GS}$ = 0 V; $I_D$ = 0.25 mA; | | 100 | - | - | V |
| | | | $T_j$ = -55˚C | 89 | - | - | V |
| $V_{GS(TO)}$ | Gate threshold voltage | $V_{DS} = V_{GS}$; $I_D$ = 1 mA | | 2 | 3 | 4 | V |
| | | | $T_j$ = 175˚C | 1 | - | - | V |
| | | | $T_j$ = -55˚C | - | - | 6 | V |
| $R_{DS(ON)}$ | Drain-source on-state resistance | $V_{GS}$ = 10 V; $I_D$ = 17 A | | - | 49 | 77 | mΩ |
| | | | $T_j$ = 175˚C | - | 132 | 193 | mΩ |
| $g_{fs}$ | Forward transconductance | $V_{DS}$ = 25 V; $I_D$ = 17 A | | 8.7 | 15.5 | - | S |
| $I_{GSS}$ | Gate source leakage current | $V_{GS}$ = ± 20 V; $V_{DS}$ = 0 V | | - | 10 | 100 | nA |
| $I_{DSS}$ | Zero gate voltage drain current | $V_{DS}$ = 100 V; $V_{GS}$ = 0 V | | - | 0.05 | 10 | μA |
| | | $V_{DS}$ = 80 V; $V_{GS}$ = 0 V; $T_j$ = 175˚C | | - | - | 250 | μA |
| $Q_{g(tot)}$ | Total gate charge | $I_D$ = 17 A; $V_{DD}$ = 80 V; $V_{GS}$ = 10 V | | - | - | 65 | nC |
| $Q_{gs}$ | Gate-source charge | | | - | - | 10 | nC |
| $Q_{gd}$ | Gate-drain (Miller) charge | | | - | - | 29 | nC |
| $t_{d\ on}$ | Turn-on delay time | $V_{DD}$ = 50 V; $R_D$ = 2.2 Ω; | | - | 8 | - | ns |
| $t_r$ | Turn-on rise time | $V_{GS}$ = 10 V; $R_G$ = 5.6 Ω | | - | 39 | - | ns |
| $t_{d\ off}$ | Turn-off delay time | Resistive load | | - | 26 | - | ns |
| $t_f$ | Turn-off fall time | | | - | 24 | - | ns |
| $L_d$ | Internal drain inductance | Measured tab to centre of die | | - | 3.5 | - | nH |
| $L_d$ | Internal drain inductance | Measured from drain lead to centre of die (SOT78 package only) | | - | 4.5 | - | nH |
| $L_s$ | Internal source inductance | Measured from source lead to source bond pad | | - | 7.5 | - | nH |
| $C_{iss}$ | Input capacitance | $V_{GS}$ = 0 V; $V_{DS}$ = 25 V; f = 1 MHz | | - | 890 | 1187 | pF |
| $C_{oss}$ | Output capacitance | | | - | 139 | 167 | pF |
| $C_{rss}$ | Feedback capacitance | | | - | 83 | 109 | pF |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## REVERSE DIODE LIMITING VALUES AND CHARACTERISTICS

$T_j$ = 25˚C unless otherwise specified

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $I_S$ | Continuous source current (body diode) | | - | - | 23 | A |
| $I_{SM}$ | Pulsed source current (body diode) | | - | - | 92 | A |
| $V_{SD}$ | Diode forward voltage | $I_F$ = 28 A; $V_{GS}$ = 0 V | - | 0.94 | 1.5 | V |
| $t_{rr}$ | Reverse recovery time | $I_F$ = 17 A; -$dI_F/dt$ = 100 A/µs; | - | 61 | - | ns |
| $Q_{rr}$ | Reverse recovery charge | $V_{GS}$ = 0 V; $V_R$ = 25 V | - | 200 | - | nC |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

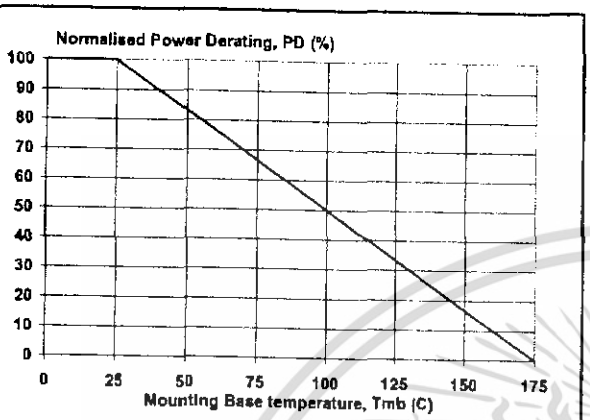



*Fig.1. Normalised power dissipation.*
*PD% = 100·$P_D$/$P_{D\ 25\ °C}$ = f($T_{mb}$)*

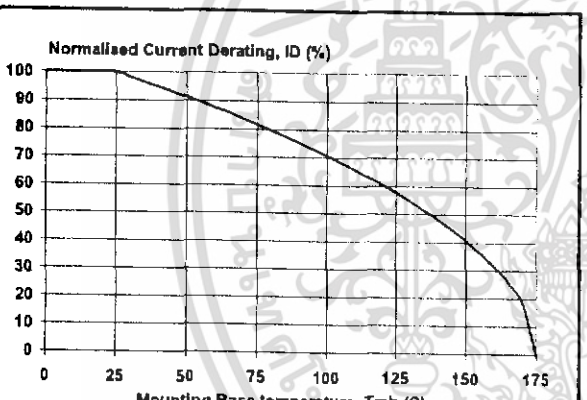



*Fig.2. Normalised continuous drain current.*
*ID% = 100·$I_D$/$I_{D\ 25\ °C}$ = f($T_{mb}$); conditions: $V_{GS} \geq 10$ V*

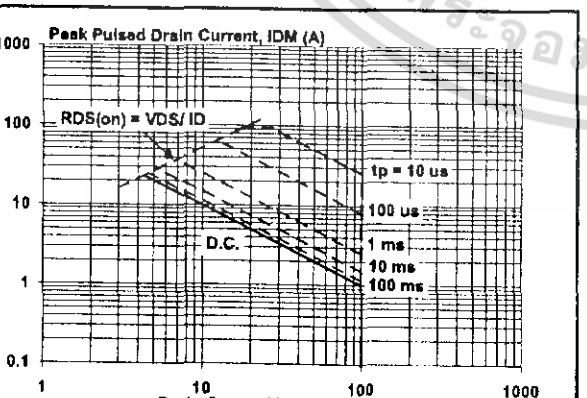



*Fig.3. Safe operating area. $T_{mb}$ = 25 °C*
*$I_D$ & $I_{DM}$ = f($V_{DS}$); $I_{DM}$ single pulse; parameter $t_p$*

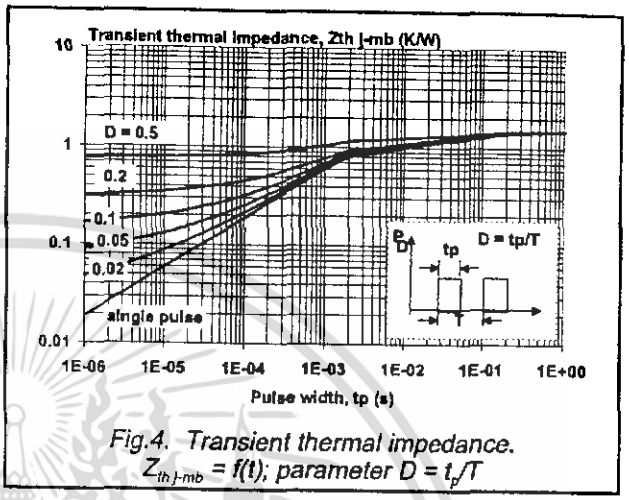



*Fig.4. Transient thermal impedance.*
*$Z_{th\ j\text{-}mb}$ = f(t); parameter D = $t_p$/T*

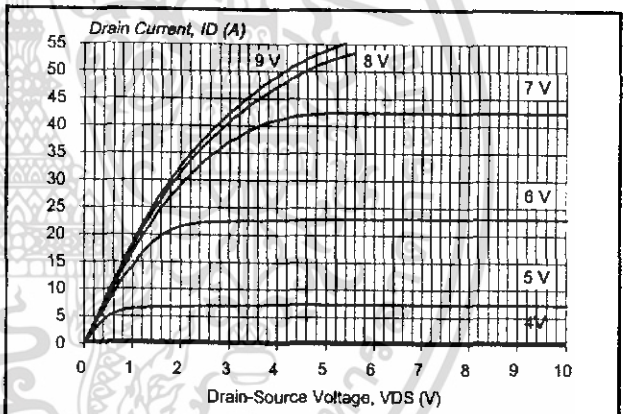



*Fig.5. Typical output characteristics, $T_j$ = 25 °C.*
*$I_D$ = f($V_{DS}$)*

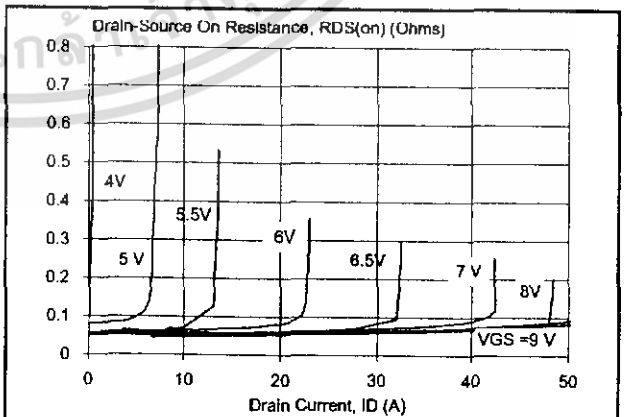



*Fig.6. Typical on-state resistance, $T_j$ = 25 °C.*
*$R_{DS(ON)}$ = f($I_D$)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

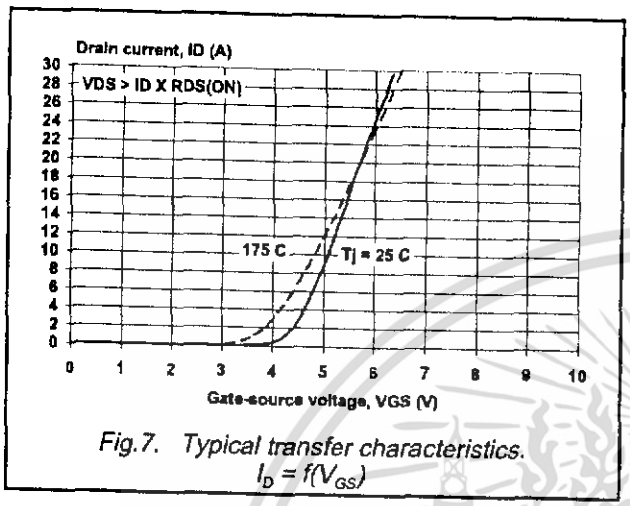



*Fig.7. Typical transfer characteristics.*
*$I_D = f(V_{GS})$*

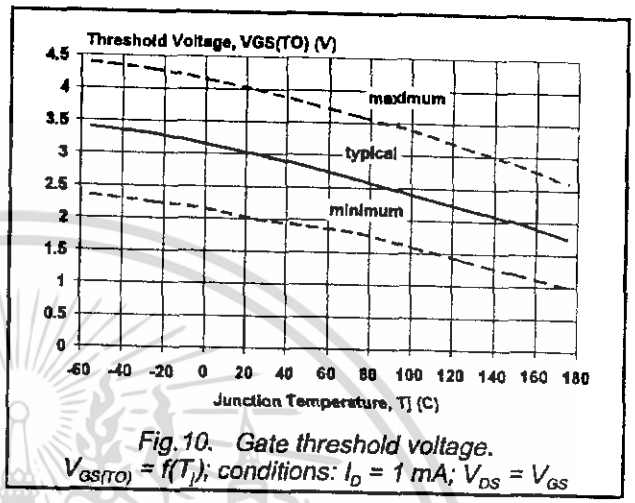



*Fig.10. Gate threshold voltage.*
*$V_{GS(TO)} = f(T_j)$; conditions: $I_D$ = 1 mA; $V_{DS} = V_{GS}$*

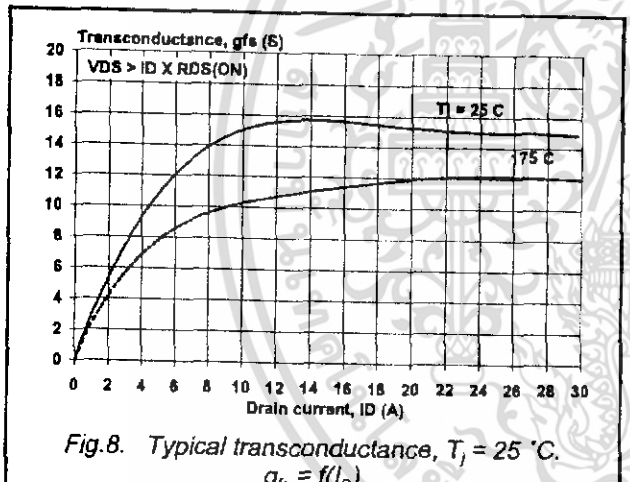



*Fig.8. Typical transconductance, $T_j$ = 25 °C.*
*$g_{fs} = f(I_D)$*

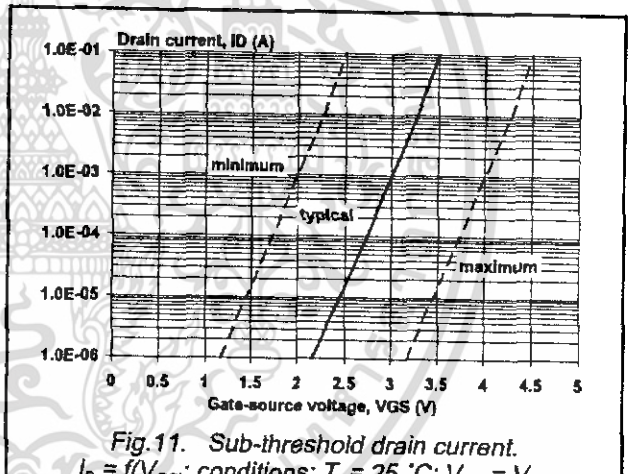



*Fig.11. Sub-threshold drain current.*
*$I_D = f(V_{GS})$; conditions: $T_j$ = 25 °C; $V_{DS} = V_{GS}$*

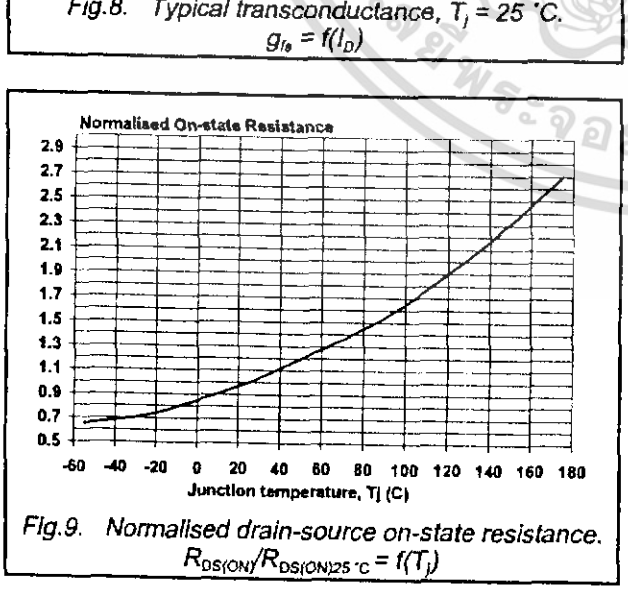



*Fig.9. Normalised drain-source on-state resistance.*
*$R_{DS(ON)}/R_{DS(ON)25\,°C} = f(T_j)$*

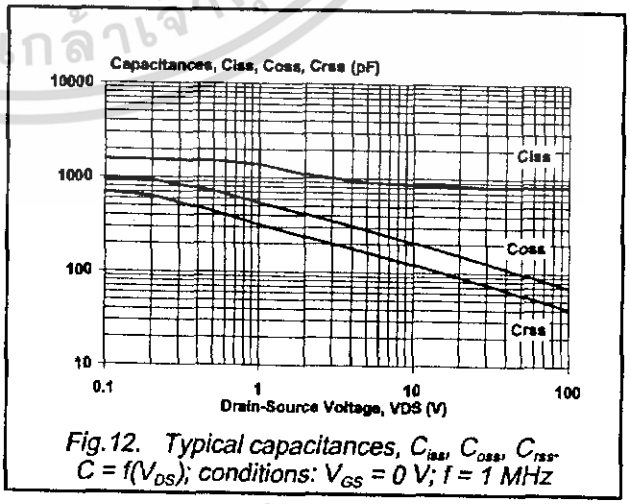



*Fig.12. Typical capacitances, $C_{iss}$, $C_{oss}$, $C_{rss}$.*
*$C = f(V_{DS})$; conditions: $V_{GS}$ = 0 V; f = 1 MHz*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

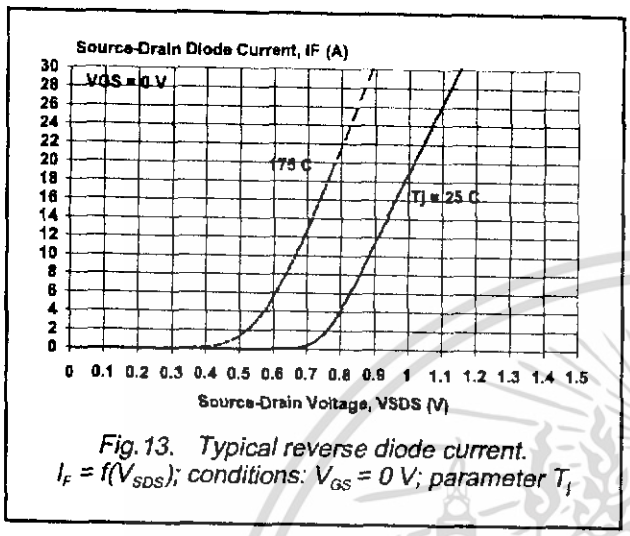



*Fig.13. Typical reverse diode current. $I_F = f(V_{SDS})$; conditions: $V_{GS} = 0$ V; parameter $T_j$*

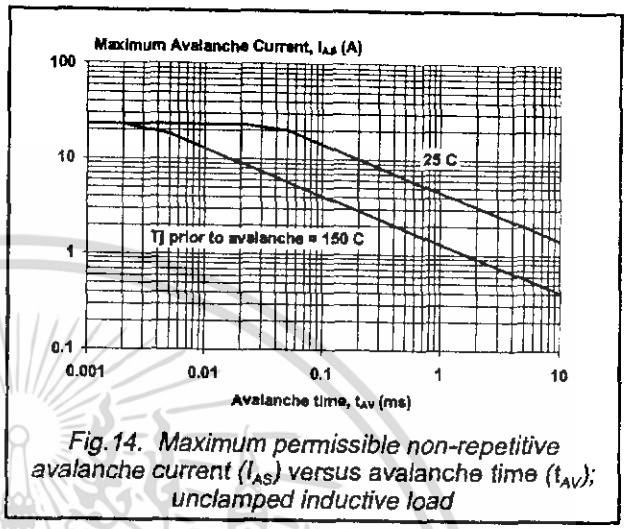



*Fig.14. Maximum permissible non-repetitive avalanche current ($I_{AS}$) versus avalanche time ($t_{AV}$); unclamped inductive load*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## $3^1/_2$ Digit, LCD/LED Display, A/D Converters

The Intersil ICL7106 and ICL7107 are high performance, low power, $3^1/_2$ digit A/D converters. Included are seven segment decoders, display drivers, a reference, and a clock. The ICL7106 is designed to interface with a liquid crystal display (LCD) and includes a multiplexed backplane drive; the ICL7107 will directly drive an instrument size light emitting diode (LED) display.

The ICL7106 and ICL7107 bring together a combination of high accuracy, versatility, and true economy. It features auto-zero to less than 10µV, zero drift of less than 1µV/°C, input bias current of 10pA (Max), and rollover error of less than one count. True differential inputs and reference are useful in all systems, but give the designer an uncommon advantage when measuring load cells, strain gauges and other bridge type transducers. Finally, the true economy of single power supply operation (ICL7106), enables a high performance panel meter to be built with the addition of only 10 passive components and a display.

## Features

- Guaranteed Zero Reading for 0V Input on All Scales
- True Polarity at Zero for Precise Null Detection
- 1pA Typical Input Current
- True Differential Input and Reference, Direct Display Drive - LCD ICL7106, LED ICL7107
- Low Noise - Less Than $15\mu V_{P-P}$
- On Chip Clock and Reference
- Low Power Dissipation - Typically Less Than 10mW
- No Additional Active Circuits Required
- Enhanced Display Stability
- Pb-Free Plus Anneal Available (RoHS Compliant)

## Ordering Information

| PART NO. | PART MARKING | TEMP. RANGE (°C) | PACKAGE | PKG. DWG. # |
|---|---|---|---|---|
| ICL7106CPL | ICL7106CPL | 0 to 70 | 40 Ld PDIP | E40.6 |
| ICL7106CPLZ (Note 2) | ICL7106CPLZ | 0 to 70 | 40 Ld PDIP(Pb-free) (Note 3) | E40.6 |
| ICL7106CM44 | ICL7106CM44 | 0 to 70 | 44 Ld MQFP | Q44.10x10 |
| ICL7106CM44Z (Note 2) | ICL7106CM44Z | 0 to 70 | 44 Ld MQFP (Pb-free) | Q44.10x10 |
| ICL7106CM44ZT (Note 2) | ICL7106CM44Z | 0 to 70 | 44 Ld MQFP Tape and Reel (Pb-free) | Q44.10x10 |
| ICL7107CPL | ICL7107CPL | 0 to 70 | 40 Ld PDIP | E40.6 |
| ICL7107CPLZ (Note 2) | ICL7107CPLZ | 0 to 70 | 40 Ld PDIP(Pb-free) (Note 3) | E40.6 |
| ICL7107RCPL | ICL7107RCPL | 0 to 70 | 40 Ld PDIP (Note 1) | E40.6 |
| ICL7107RCPLZ (Note 2) | ICL7107RCPLZ | 0 to 70 | 40 Ld PDIP (Pb-free) (Notes 1, 3) | E40.6 |
| ICL7107SCPL | ICL7107SCPL | 0 to 70 | 40 Ld PDIP (Notes 1, 3) | E40.6 |
| ICL7107SCPLZ (Note 2) | ICL7107SCPLZ | 0 to 70 | 40 Ld PDIP (Pb-free) (Notes 1, 3) | E40.6 |
| ICL7107CM44 | ICL7107CM44 | 0 to 70 | 44 Ld MQFP | Q44.10x10 |
| ICL7107CM44T | ICL7107CM44 | 0 to 70 | 44 Ld MQFP Tape and Reel | Q44.10x10 |
| ICL7107CM44Z (Note 2) | ICL7107CM44Z | 0 to 70 | 44 Ld MQFP (Pb-free) | Q44.10x10 |
| ICL7107CM44ZT (Note 2) | ICL7107CM44Z | 0 to 70 | 44 Ld MQFP Tape and Reel (Pb-free) | Q44.10x10 |

NOTES:

1. "R" indicates device with reversed leads for mounting to PC board underside. "S" indicates enhanced stability.
2. Intersil Pb-free plus anneal products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.
3. Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.

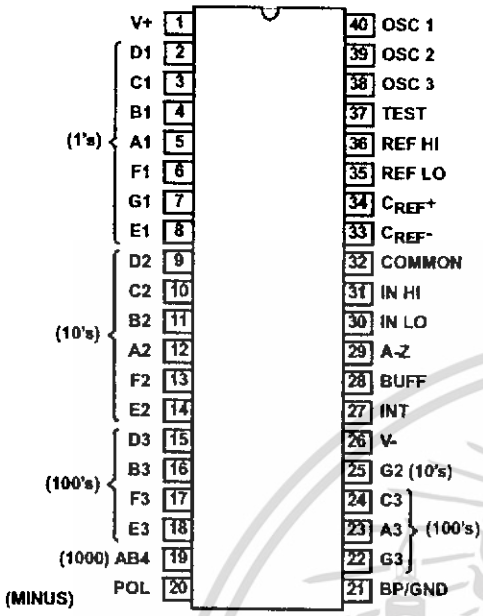


CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 1-888-468-3774 | Intersil (and design) is a registered trademark of Intersil Americas Inc.
Copyright Intersil Americas Inc. 2002, 2004, 2005. All Rights Reserved
All other trademarks mentioned are the property of their respective owners.

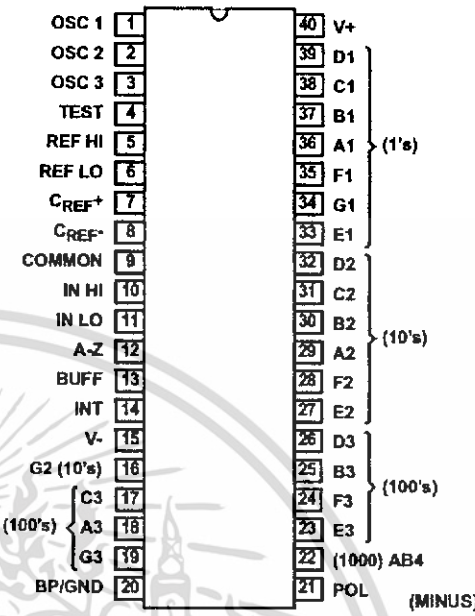
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pinouts

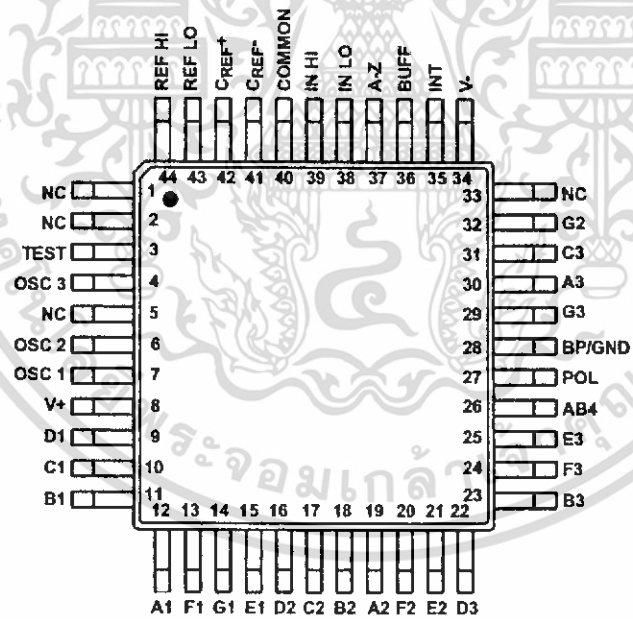
ICL7106, ICL7107 (PDIP)
TOP VIEW




ICL7107R (PDIP)
TOP VIEW




ICL7106, ICL7107 (MQFP)
TOP VIEW






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

Supply Voltage
- ICL7106, V+ to V- ..... 15V
- ICL7107, V+ to GND ..... 6V
- ICL7107, V- to GND ..... -9V

Analog Input Voltage (Either Input) (Note 1) ..... V+ to V-
Reference Input Voltage (Either Input) ..... V+ to V-
Clock Input
- ICL7106 ..... TEST to V+
- ICL7107 ..... GND to V+

## Operating Conditions

Temperature Range ..... $0^{o}C$ to $70^{o}C$

## Thermal Information

| Thermal Resistance (Typical, Note 2) | $\theta_{JA}$ ($^{o}C/W$) |
|---|---|
| PDIP Package | 50 |
| MQFP Package | 75 |

Maximum Junction Temperature ..... $150^{o}C$
Maximum Storage Temperature Range ..... $-65^{o}C$ to $150^{o}C$
Maximum Lead Temperature (Soldering 10s) ..... $300^{o}C$
(MQFP - Lead Tips Only)

NOTE: Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.

*CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.*

NOTES:

1. Input voltages may exceed the supply voltages provided the input current is limited to ±100µA.
2. $\theta_{JA}$ is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

## Electrical Specifications (Note 3)

| PARAMETER | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|
| **SYSTEM PERFORMANCE** | | | | | |
| Zero Input Reading | $V_{IN}$ = 0.0V, Full Scale = 200mV | -000.0 | ±000.0 | +000.0 | Digital Reading |
| Stability (Last Digit) (ICL7106S, ICL7107S Only) | Fixed Input Voltage (Note 6) | -000.0 | ±000.0 | +000.0 | Digital Reading |
| Ratiometric Reading | $V_{IN} = V_{REF}$, $V_{REF}$ = 100mV | 999 | 999/1000 | 1000 | Digital Reading |
| Rollover Error | $-V_{IN} = +V_{IN} \cong$ 200mV<br>Difference in Reading for Equal Positive and Negative Inputs Near Full Scale | - | ±0.2 | ±1 | Counts |
| Linearity | Full Scale = 200mV or Full Scale = 2V Maximum Deviation from Best Straight Line Fit (Note 5) | - | ±0.2 | ±1 | Counts |
| Common Mode Rejection Ratio | $V_{CM}$ = 1V, $V_{IN}$ = 0V, Full Scale = 200mV (Note 5) | - | 50 | - | µV/V |
| Noise | $V_{IN}$ = 0V, Full Scale = 200mV<br>(Peak-To-Peak Value Not Exceeded 95% of Time) | - | 15 | - | µV |
| Leakage Current Input | $V_{IN}$ = 0 (Note 5) | - | 1 | 10 | pA |
| Zero Reading Drift | $V_{IN}$ = 0, $0^{o}C$ To $70^{o}C$ (Note 5) | - | 0.2 | 1 | µV/$^{o}C$ |
| Scale Factor Temperature Coefficient | $V_{IN}$ = 199mV, $0^{o}C$ To $70^{o}C$,<br>(Ext. Ref. 0ppm/$^{o}C$) (Note 5) | - | 1 | 5 | ppm/$^{o}C$ |
| End Power Supply Character V+ Supply Current | $V_{IN}$ = 0 (Does Not Include LED Current for ICL7107) | - | 1.0 | 1.8 | mA |
| End Power Supply Character V- Supply Current | ICL7107 Only | - | 0.6 | 1.8 | mA |
| COMMON Pin Analog Common Voltage | 25kΩ Between Common and Positive Supply (With Respect to + Supply) | 2.4 | 3.0 | 3.2 | V |
| Temperature Coefficient of Analog Common | 25kΩ Between Common and Positive Supply (With Respect to + Supply) | - | 80 | - | ppm/$^{o}C$ |
| **DISPLAY DRIVER** ICL7106 ONLY | | | | | |
| Peak-To-Peak Segment Drive Voltage<br>Peak-To-Peak Backplane Drive Voltage | V+ = to V- = 9V (Note 4) | 4 | 5.5 | 6 | V |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Specifications (Note 3) (Continued)

| PARAMETER | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|
| **DISPLAY DRIVER** ICL7107 ONLY | | | | | |
| Segment Sinking Current | V+ = 5V, Segment Voltage = 3V | | | | |
| Except Pins 19 and 20 | | 5 | 8 | - | mA |
| Pin 19 Only | | 10 | 16 | - | mA |
| Pin 20 Only | | 4 | 7 | - | mA |

NOTES:

3. Unless otherwise noted, specifications apply to both the ICL7106 and ICL7107 at $T_A = 25^oC$, $f_{CLOCK} = 48kHz$. ICL7106 is tested in the circuit of Figure 1. ICL7107 is tested in the circuit of Figure 2.
4. Back plane drive is in phase with segment drive for "off" segment, 180 degrees out of phase for "on" segment. Frequency is 20 times conversion rate. Average DC component is less than 50mV.
5. Not tested, guaranteed by design.
6. Sample Tested.

## Typical Applications and Test Circuits

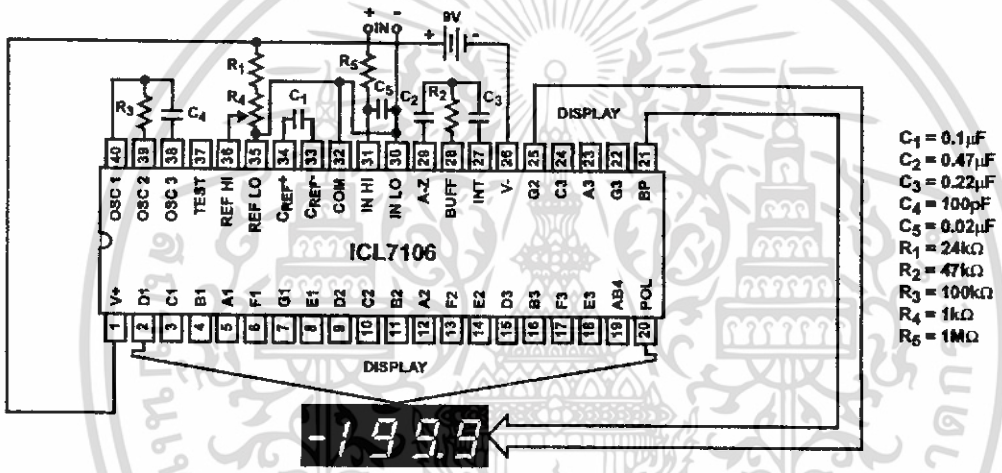



FIGURE 1. ICL7106 TEST CIRCUIT AND TYPICAL APPLICATION WITH LCD DISPLAY COMPONENTS SELECTED FOR 200mV FULL SCALE

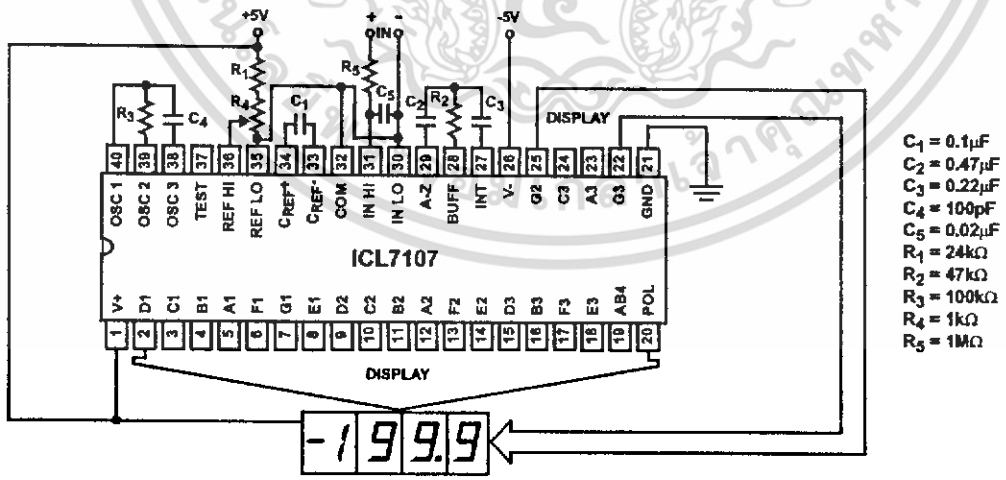



FIGURE 2. ICL7107 TEST CIRCUIT AND TYPICAL APPLICATION WITH LED DISPLAY COMPONENTS SELECTED FOR 200mV FULL SCALE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Design Information Summary Sheet

- **OSCILLATOR FREQUENCY**

  $f_{OSC} = 0.45/RC$
  $C_{OSC} > 50pF$; $R_{OSC} > 50k\Omega$
  $f_{OSC}$ (Typ) = 48kHz

- **OSCILLATOR PERIOD**

  $t_{OSC} = RC/0.45$

- **INTEGRATION CLOCK FREQUENCY**

  $f_{CLOCK} = f_{OSC}/4$

- **INTEGRATION PERIOD**

  $t_{INT} = 1000 \times (4/f_{OSC})$

- **60/50Hz REJECTION CRITERION**

  $t_{INT}/t_{60Hz}$ or $t_{INT}/t_{60Hz}$ = Integer

- **OPTIMUM INTEGRATION CURRENT**

  $I_{INT} = 4\mu A$

- **FULL SCALE ANALOG INPUT VOLTAGE**

  $V_{INFS}$ (Typ) = 200mV or 2V

- **INTEGRATE RESISTOR**

  $$R_{INT} = \frac{V_{INFS}}{I_{INT}}$$

- **INTEGRATE CAPACITOR**

  $$C_{INT} = \frac{(t_{INT})(I_{INT})}{V_{INT}}$$

- **INTEGRATOR OUTPUT VOLTAGE SWING**

  $$V_{INT} = \frac{(t_{INT})(I_{INT})}{C_{INT}}$$

- **$V_{INT}$ MAXIMUM SWING:**

  $(V- + 0.5V) < V_{INT} < (V+ - 0.5V)$, $V_{INT}$ (Typ) = 2V

- **DISPLAY COUNT**

  $$COUNT = 1000 \times \frac{V_{IN}}{V_{REF}}$$

- **CONVERSION CYCLE**

  $t_{CYC} = t_{CLOCK} \times 4000$
  $t_{CYC} = t_{OSC} \times 16,000$
  when $f_{OSC}$ = 48kHz; $t_{CYC}$ = 333ms

- **COMMON MODE INPUT VOLTAGE**

  $(V- + 1V) < V_{IN} < (V+ - 0.5V)$

- **AUTO-ZERO CAPACITOR**

  $0.01\mu F < C_{AZ} < 1\mu F$

- **REFERENCE CAPACITOR**

  $0.1\mu F < C_{REF} < 1\mu F$

- **$V_{COM}$**

  Biased between Vi and V-.

- **$V_{COM} \cong V+ - 2.8V$**

  Regulation lost when V+ to V- < ≅6.8V
  If $V_{COM}$ is externally pulled down to (V+ to V-)/2, the $V_{COM}$ circuit will turn off.

- **ICL7106 POWER SUPPLY: SINGLE 9V**

  V+ - V- = 9V
  Digital supply is generated internally
  $V_{GND} \cong V+ - 4.5V$

- **ICL7106 DISPLAY: LCD**

  Type: Direct drive with digital logic supply amplitude.

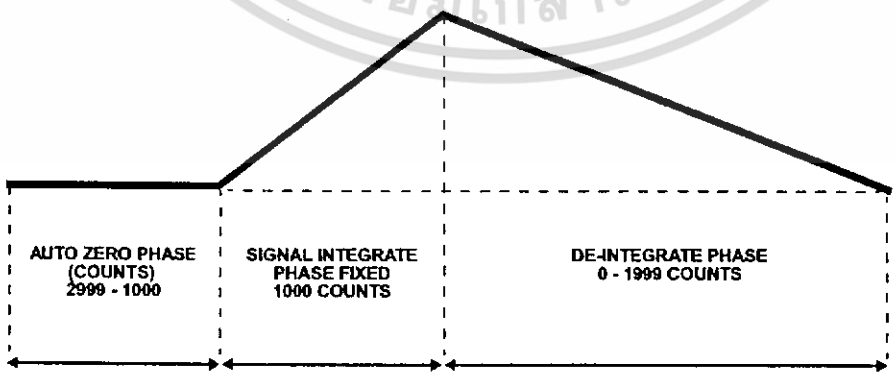
- **ICL7107 POWER SUPPLY: DUAL ±5.0V**

  V+ = +5V to GND
  V- = -5V to GND
  Digital Logic and LED driver supply V+ to GND

- **ICL7107 DISPLAY: LED**

  Type: Non-Multiplexed Common Anode

## Typical Integrator Amplifier Output Waveform (INT Pin)




TOTAL CONVERSION TIME = 4000 x $t_{CLOCK}$ = 16,000 x $t_{OSC}$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Detailed Description

### Analog Section

Figure 3 shows the Analog Section for the ICL7106 and ICL7107. Each measurement cycle is divided into three phases. They are (1) auto-zero (A-Z), (2) signal integrate (INT) and (3) de-integrate (DE).

### Auto-Zero Phase

During auto-zero three things happen. First, input high and low are disconnected from the pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor $C_{AZ}$ to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the A-Z accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10µV.

### Signal Integrate Phase

During signal integrate, the auto-zero loop is opened, the internal short is removed, and the internal input high and low are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time. This differential voltage can be within a wide common mode range: up to 1V from either supply. If, on the other hand, the input signal has no return with respect to the converter power supply, IN LO can be tied to analog COMMON to establish the correct common mode voltage. At the end of this phase, the polarity of the integrated signal is determined.

### De-Integrate Phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero. The time required for the output to return to zero is proportional to the input signal. Specifically the digital reading displayed is:

$$\text{DISPLAY COUNT} = 1000\left(\frac{V_{IN}}{V_{REF}}\right).$$

### Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier, or specifically from 0.5V below the positive supply to 1V above the negative supply. In this range, the system has a CMRR of 86dB typical. However, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full scale negative differential input voltage. The negative input signal drives the integrator positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator output swing can be reduced to less than the recommended 2V full scale swing with little loss of accuracy. The integrator output can swing to within 0.3V of either supply without loss of linearity.

### Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to de-integrate a positive signal but lose charge (decrease voltage) when called up to de-integrate a negative input signal. This difference in reference for positive or negative input voltage will give a roll-over error. However, by selecting the reference capacitor such that it is large enough in comparison to the stray capacitance, this error can be held to less than 0.5 count worst case. (See Component Value Selection.)

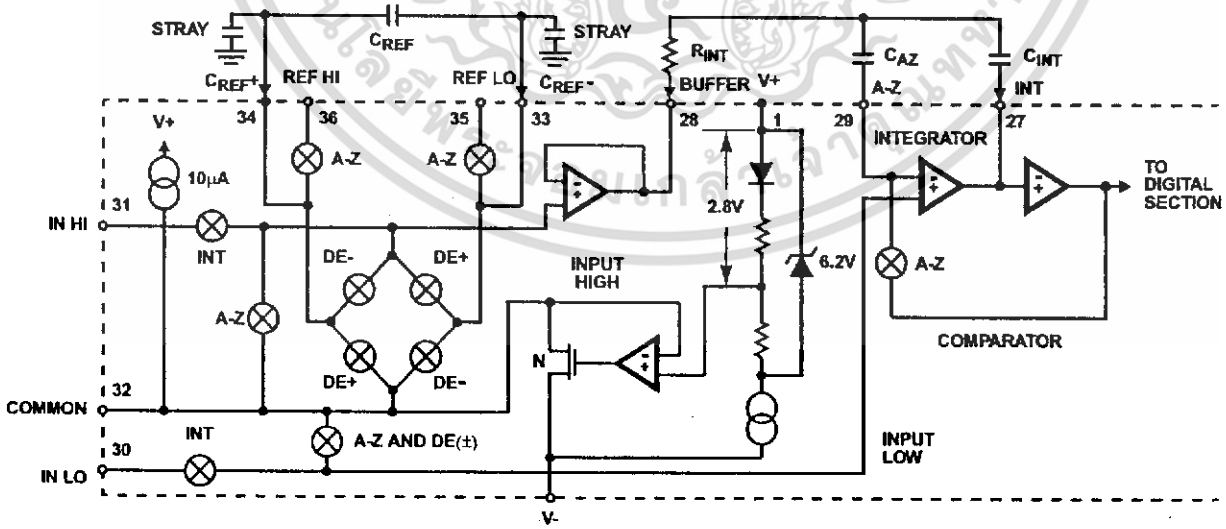



FIGURE 3. ANALOG SECTION OF ICL7106 AND ICL7107



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Analog COMMON

This pin is included primarily to set the common mode voltage for battery operation (ICL7106) or for any system where the input signals are floating with respect to the power supply. The COMMON pin sets a voltage that is approximately 2.8V more negative than the positive supply. This is selected to give a minimum end-of-life battery voltage of about 6V. However, analog COMMON has some of the attributes of a reference voltage. When the total supply voltage is large enough to cause the zener to regulate (>7V), the COMMON voltage will have a low voltage coefficient (0.001%/V), low output impedance (≅15Ω), and a temperature coefficient typically less than 80ppm/×°C.

The limitations of the on chip reference should also be recognized, however. With the ICL7107, the internal heating which results from the LED drivers can cause some degradation in performance. Due to their higher thermal resistance, plastic parts are poorer in this respect than ceramic. The combination of reference Temperature Coefficient (TC), internal chip dissipation, and package thermal resistance can increase noise near full scale from 25μV to 80$\mu V_{P-P}$. Also the linearity in going from a high dissipation count such as 1000 (20 segments on) to a low dissipation count such as 1111(8 segments on) can suffer by a count or more. Devices with a positive TC reference may require several counts to pull out of an over-range condition. This is because over-range is a low dissipation mode, with the three least significant digits blanked. Similarly, units with a negative TC may cycle between over-range and a non-over-range count as the die alternately heats and cools. All these problems are of course eliminated if an external reference is used.

The ICL7106, with its negligible dissipation, suffers from none of these problems. In either case, an external reference can easily be added, as shown in Figure 4.

Analog COMMON is also used as the input low return during auto-zero and de-integrate. If IN LO is different from analog COMMON, a common mode voltage exists in the system and is taken care of by the excellent CMRR of the converter. However, in some applications IN LO will be set at a fixed known voltage (power supply common for instance). In this application, analog COMMON should be tied to the same point, thus removing the common mode voltage from the converter. The same holds true for the reference voltage. If reference can be conveniently tied to analog COMMON, it should be since this removes the common mode voltage from the reference system.

Within the IC, analog COMMON is tied to an N-Channel FET that can sink approximately 30mA of current to hold the voltage 2.8V below the positive supply (when a load is trying to pull the common line positive). However, there is only 10μA of source current, so COMMON may easily be tied to a more negative voltage thus overriding the internal reference.

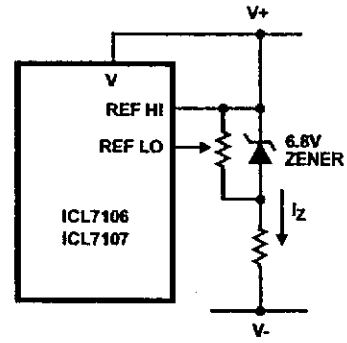



FIGURE 4A.

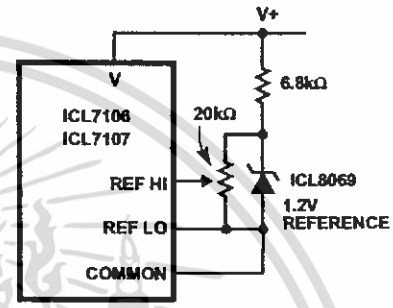



FIGURE 4B.

FIGURE 4. USING AN EXTERNAL REFERENCE

### TEST

The TEST pin serves two functions. On the ICL7106 it is coupled to the internally generated digital supply through a 500Ω resistor. Thus it can be used as the negative supply for externally generated segment drivers such as decimal points or any other presentation the user may want to include on the LCD display. Figures 5 and 6 show such an application. No more than a 1mA load should be applied.

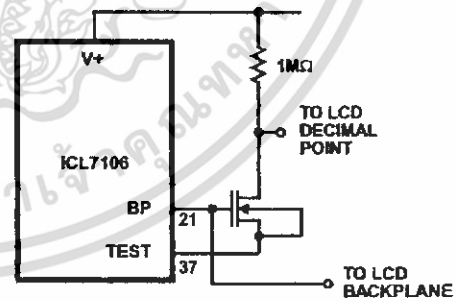



FIGURE 5. SIMPLE INVERTER FOR FIXED DECIMAL POINT

The second function is a "lamp test". When TEST is pulled high (to V+) all segments will be turned on and the display should read "1888". The TEST pin will sink about 15mA under these conditions.

*CAUTION: In the lamp test mode, the segments have a constant DC voltage (no square-wave). This may burn the LCD display if maintained for extended periods.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

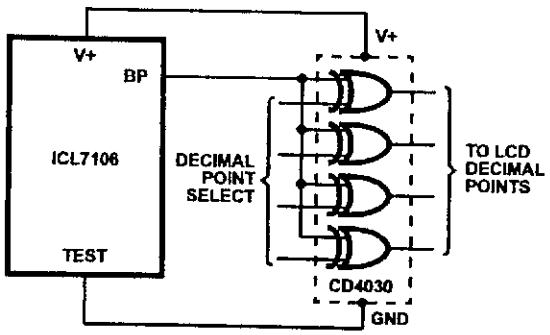



FIGURE 6. EXCLUSIVE 'OR' GATE FOR DECIMAL POINT DRIVE

## Digital Section

Figures 7 and 8 show the digital section for the ICL7106 and ICL7107, respectively. In the ICL7106, an internal digital ground is generated from a 6V Zener diode and a large P-Channel source follower. This supply is made stiff to absorb the relative large capacitive currents when the back plane (BP) voltage is switched. The BP frequency is the clock frequency divided by 800. For three readings/sec., this is a 60Hz square wave with a nominal amplitude of 5V. The segments are driven at the same frequency and amplitude and are in phase with BP when OFF, but out of phase when ON. In all cases negligible DC voltage exists across the segments.

Figure 8 is the Digital Section of the ICL7107. It is identical to the ICL7106 except that the regulated supply and back plane drive have been eliminated and the segment drive has been increased from 2mA to 8mA, typical for instrument size common anode LED displays. Since the 1000 output (pin 19) must sink current from two LED segments, it has twice the drive capability or 16mA.

In both devices, the polarity indication is "on" for negative analog inputs. If IN LO and IN HI are reversed, this indication can be reversed also, if desired.

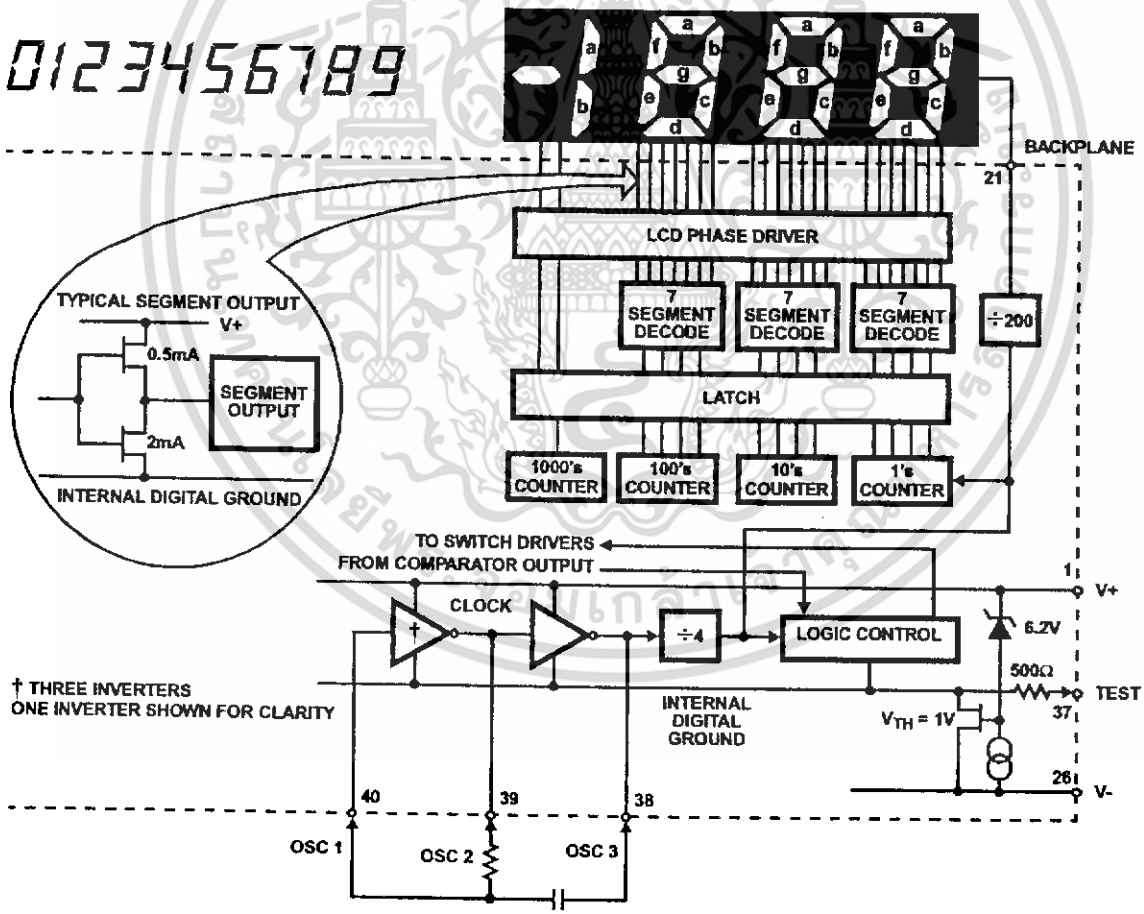



FIGURE 7. ICL7106 DIGITAL SECTION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

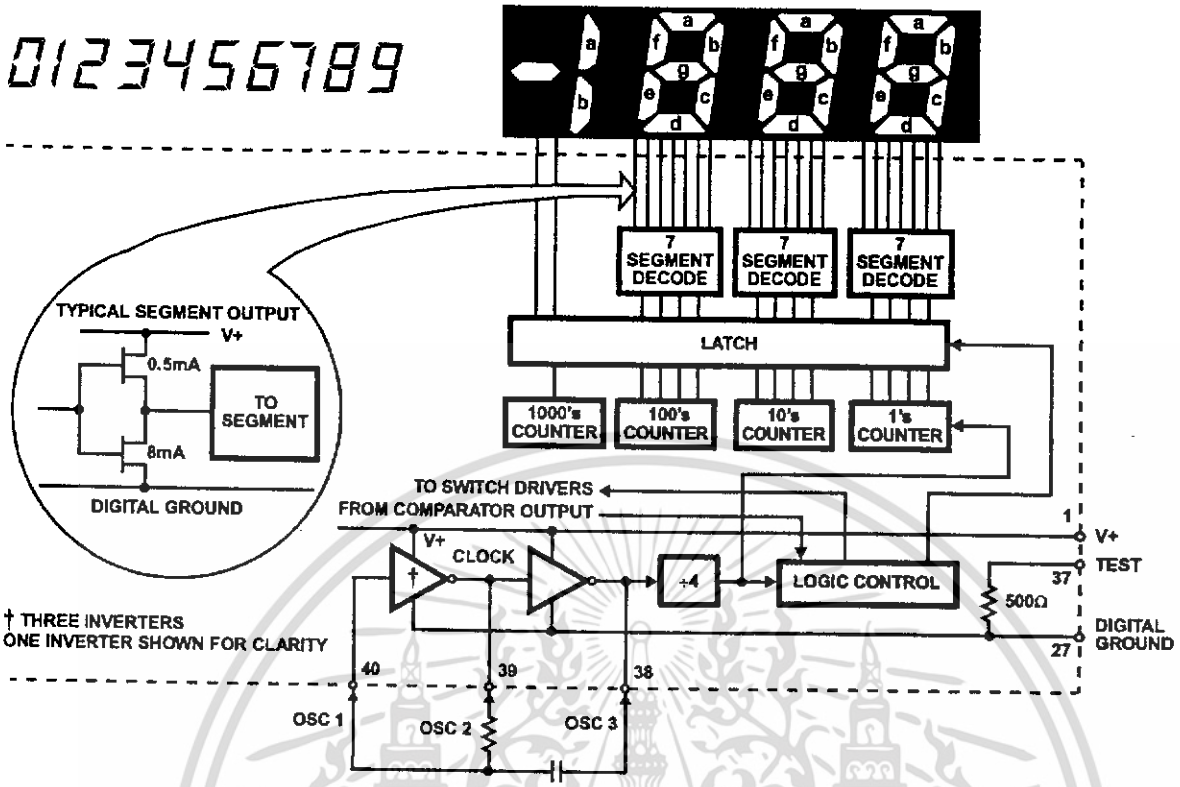



FIGURE 8. ICL7107 DIGITAL SECTION

### System Timing

Figure 9 shows the clocking arrangement used in the ICL7106 and ICL7107. Two basic clocking arrangements can be used:

1. Figure 9A. An external oscillator connected to pin 40.
2. Figure 9B. An R-C oscillator using all three pins.

The oscillator frequency is divided by four before it clocks the decade counters. It is then further divided to form the three convert-cycle phases. These are signal integrate (1000 counts), reference de-integrate (0 to 2000 counts) and auto-zero (1000 to 3000 counts). For signals less than full scale, auto-zero gets the unused portion of reference de-integrate. This makes a complete measure cycle of 4,000 counts (16,000 clock pulses) independent of input voltage. For three readings/second, an oscillator frequency of 48kHz would be used.

To achieve maximum rejection of 60Hz pickup, the signal integrate cycle should be a multiple of 60Hz. Oscillator frequencies of 240kHz, 120kHz, 80kHz, 60kHz, 48kHz, 40kHz, $33^1/_3$kHz, etc. should be selected. For 50Hz rejection, Oscillator frequencies of 200kHz, 100kHz, $66^2/_3$kHz, 50kHz, 40kHz, etc. would be suitable. Note that 40kHz (2.5 readings/second) will reject both 50Hz and 60Hz (also 400Hz and 440Hz).

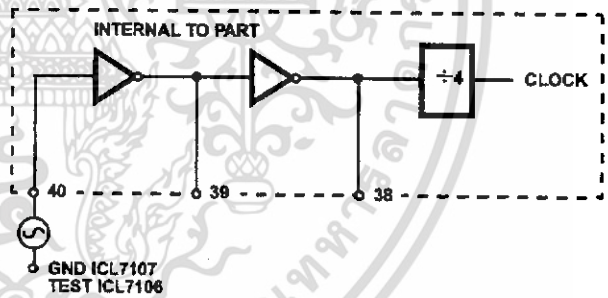



FIGURE 9A.

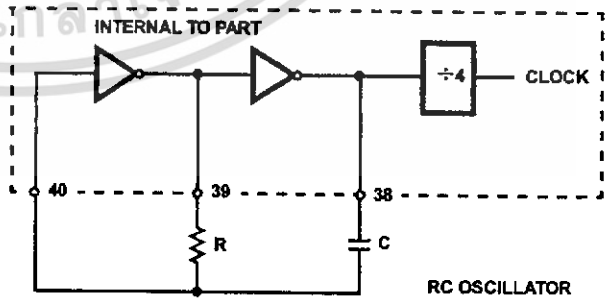



FIGURE 9B.

FIGURE 9. CLOCK CIRCUITS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Component Value Selection

### Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with 100µA of quiescent current. They can supply 4µA of drive current with negligible nonlinearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 2V full scale, 470kΩ is near optimum and similarly a 47kΩ for a 200mV scale.

### Integrating Capacitor

The integrating capacitor should be selected to give the maximum voltage swing that ensures tolerance buildup will not saturate the integrator swing (approximately. 0.3V from either supply). In the ICL7106 or the ICL7107, when the analog COMMON is used as a reference, a nominal +2V full-scale integrator swing is fine. For the ICL7107 with +5V supplies and analog COMMON tied to supply ground, a ±3.5V to +4V swing is nominal. For three readings/second (48kHz clock) nominal values for $C_{INT}$ are 0.22µF and 0.10µF, respectively. Of course, if different oscillator frequencies are used, these values should be changed in inverse proportion to maintain the same output swing.

An additional requirement of the integrating capacitor is that it must have a low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost.

### Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system. For 200mV full scale where noise is very important, a 0.47µF capacitor is recommended. On the 2V scale, a 0.047µF capacitor increases the speed of recovery from overload and is adequate for noise on this scale.

### Reference Capacitor

A 0.1µF capacitor gives good results in most applications. However, where a large common mode voltage exists (i.e., the REF LO pin is not at analog COMMON) and a 200mV scale is used, a larger value is required to prevent roll-over error. Generally 1µF will hold the roll-over error to 0.5 count in this instance.

### Oscillator Components

For all ranges of frequency a 100kΩ resistor is recommended and the capacitor is selected from the equation:

$f = \frac{0.45}{RC}$ For 48kHz Clock (3 Readings/sec).

C = 100pF.

### Reference Voltage

The analog input required to generate full scale output (2000 counts) is: $V_{IN} = 2V_{REF}$. Thus, for the 200mV and 2V scale, $V_{REF}$ should equal 100mV and 1V, respectively. However, in many applications where the A/D is connected to a transducer, there will exist a scale factor other than unity between the input voltage and the digital reading. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.662V. Instead of dividing the input down to 200mV, the designer should use the input voltage directly and select $V_{REF}$ = 0.341V. Suitable values for integrating resistor and capacitor would be 120kΩ and 0.22µF. This makes the system slightly quieter and also avoids a divider network on the input. The ICL7107 with ±5V supplies can accept input signals up to ±4V. Another advantage of this system occurs when a digital reading of zero is desired for $V_{IN} \neq 0$. Temperature and weighing systems with a variable fare are examples. This offset reading can be conveniently generated by connecting the voltage transducer between IN HI and COMMON and the variable (or fixed) offset voltage between COMMON and IN LO.

### ICL7107 Power Supplies

The ICL7107 is designed to work from ±5V supplies. However, if a negative supply is not available, it can be generated from the clock output with 2 diodes, 2 capacitors, and an inexpensive IC. Figure 10 shows this application. See ICL7660 data sheet for an alternative.

In fact, in selected applications no negative supply is required. The conditions to use a single +5V supply are:

1. The input signal can be referenced to the center of the common mode range of the converter.
2. The signal is less than ±1.5V.
3. An external reference is used.

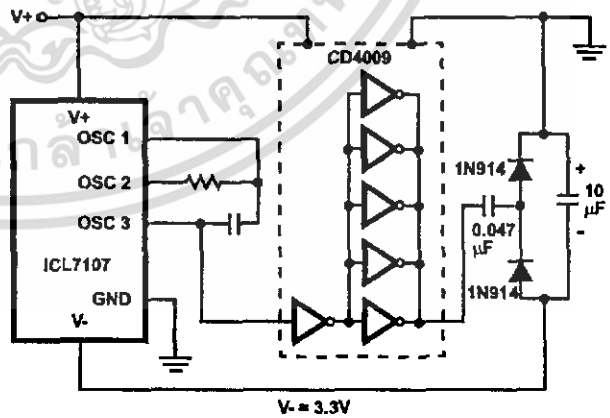



FIGURE 10. GENERATING NEGATIVE SUPPLY FROM +5V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications

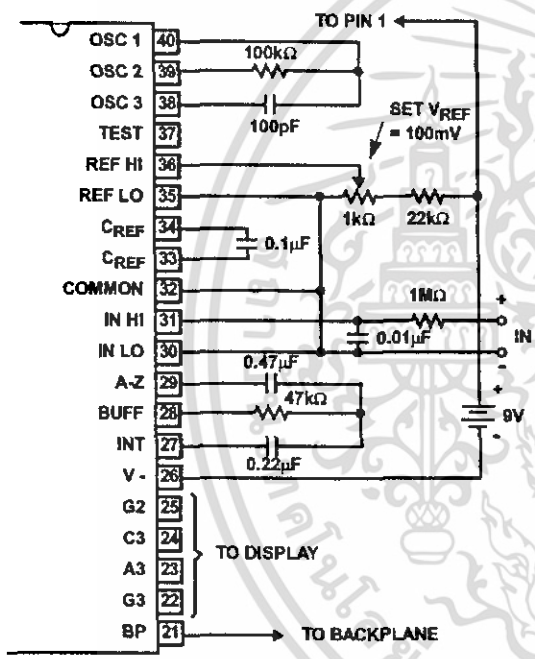
The ICL7106 and ICL7107 may be used in a wide variety of configurations. The circuits which follow show some of the possibilities, and serve to illustrate the exceptional versatility of these A/D converters.

The following application notes contain very useful information on understanding and applying this part and are available from Intersil Corporation.

## Application Notes

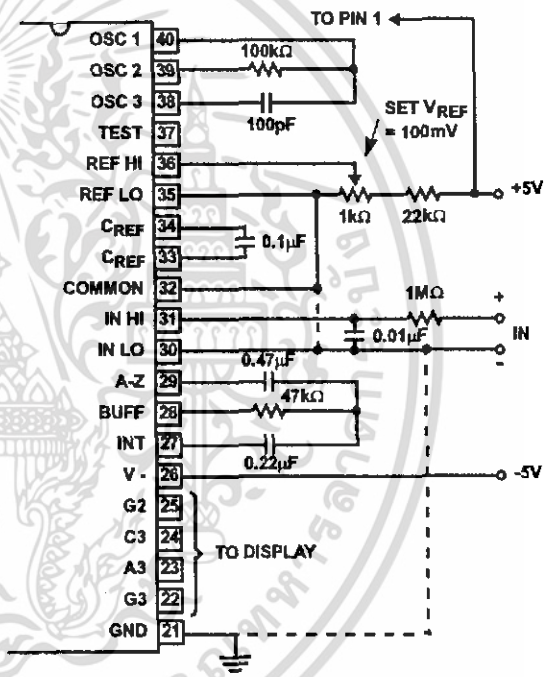
| NOTE # | DESCRIPTION |
|---|---|
| AN016 | "Selecting A/D Converters" |
| AN017 | "The Integrating A/D Converter" |
| AN018 | "Do's and Don'ts of Applying A/D Converters" |
| AN023 | "Low Cost Digital Panel Meter Designs" |
| AN032 | "Understanding the Auto-Zero and Common Mode Performance of the ICL7136/7/9 Family" |
| AN046 | "Building a Battery-Operated Auto Ranging DVM with the ICL7106" |
| AN052 | "Tips for Using Single Chip $3^1/_2$ Digit A/D Converters" |
| AN9609 | "Overcoming Common Mode Range Issues When Using Intersil Integrating Converters" |

## Typical Applications




Values shown are for 200mV full scale, 3 readings/sec., floating supply voltage (9V battery).

FIGURE 11. ICL7106 USING THE INTERNAL REFERENCE



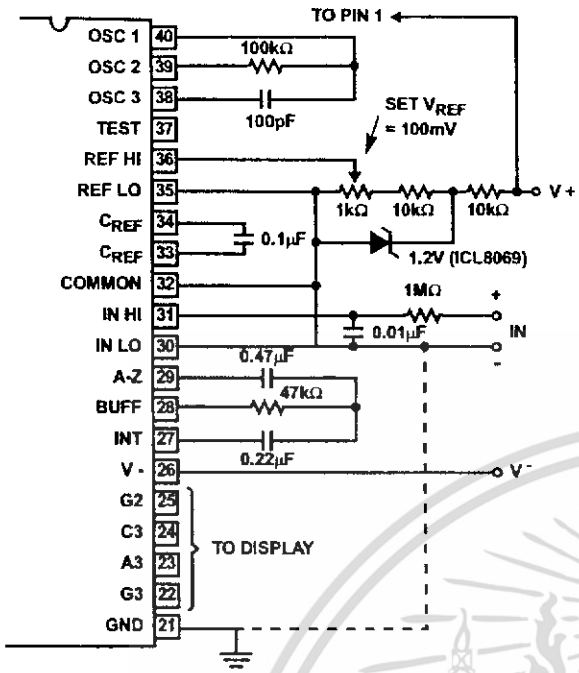

Values shown are for 200mV full scale, 3 readings/sec. IN LO may be tied to either COMMON for inputs floating with respect to supplies, or GND for single ended inputs. (See discussion under Analog COMMON).

FIGURE 12. ICL7107 USING THE INTERNAL REFERENCE



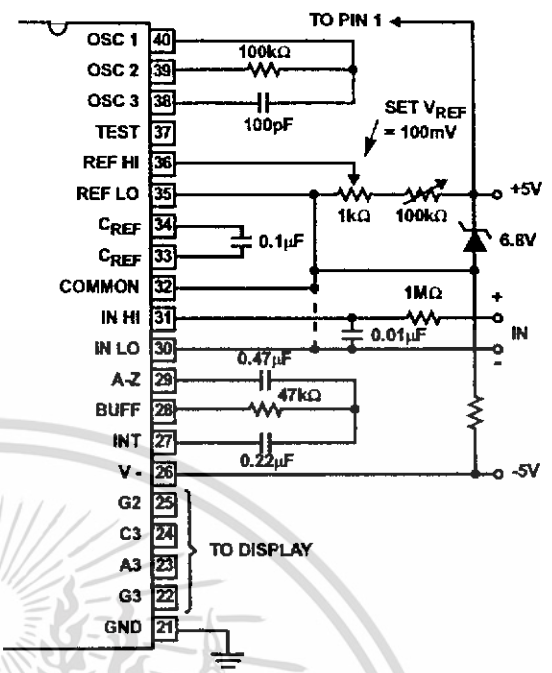
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)




IN LO is tied to supply COMMON establishing the correct common mode voltage. If COMMON is not shorted to GND, the input voltage may float with respect to the power supply and COMMON acts as a pre-regulator for the reference. If COMMON is shorted to GND, the input is single ended (referred to supply GND) and the pre-regulator is overridden.

**FIGURE 13. ICL7107 WITH AN EXTERNAL BAND-GAP REFERENCE (1.2V TYPE)**




Since low TC zeners have breakdown voltages ~ 6.8V, diode must be placed across the total supply (10V). As in the case of Figure 12, IN LO may be tied to either COMMON or GND.

**FIGURE 14. ICL7107 WITH ZENER DIODE REFERENCE**

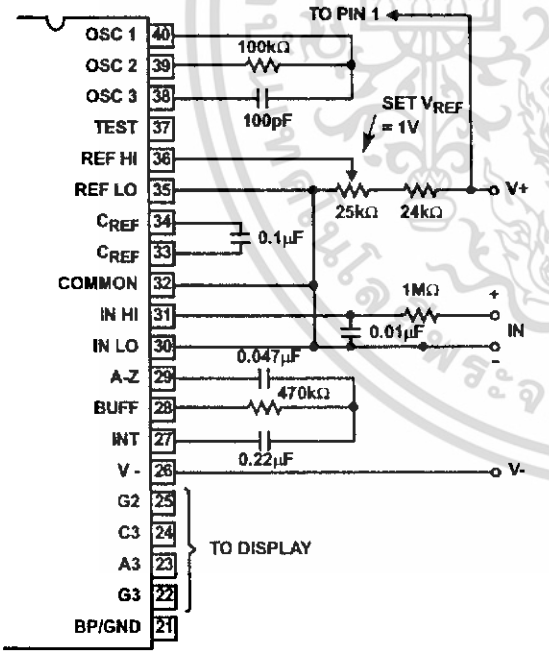
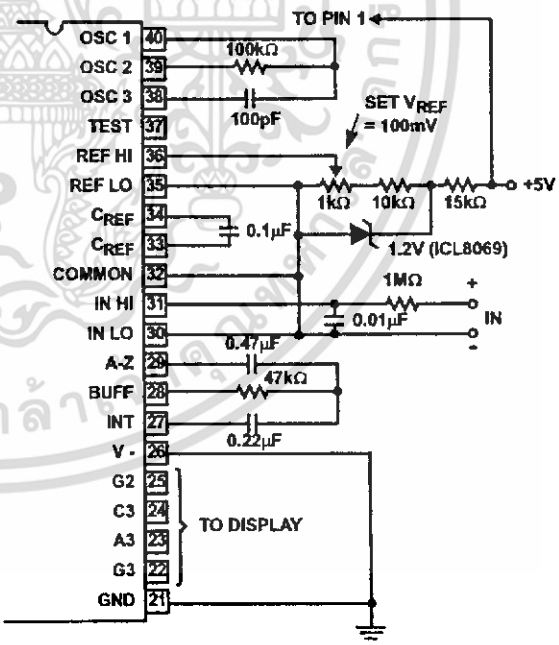



**FIGURE 15. ICL7106 AND ICL7107: RECOMMENDED COMPONENT VALUES FOR 2V FULL SCALE**




An external reference must be used in this application, since the voltage between V+ and V- is insufficient for correct operation of the internal reference.

**FIGURE 16. ICL7107 OPERATED FROM SINGLE +5V**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้