สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรพัลส์วิดธ์ดีมอดดูเลเตอร์โดยใช้ DLL

DLL- BASED PULSE WIDTH DEMODULATOR CIRCUIT DESIGN

โดย

นายธราธร ว่องวรดา

เลขหมู่.....
เลขทะเบียน.....62595
วัน,เดือน,ปี.....21 ส.ค. 2549

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรพัลส์วิดธ์ดีมอดูเลเตอร์โดยใช้ DLL

DLL- BASED PULSE WIDTH DEMODULATOR CIRCUIT DESIGN

โดย

นายธราธร ว่องวรดา รหัสประจำตัว 46015179

อาจารย์ที่ปรึกษา

ดร. กสิน วิเชียรชม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2548

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL

ผู้จัดทำ

นายธราธร ว่องวรดา เลขประจำตัว 46015179

ลงชื่อ.....อาจารย์ที่ปรึกษา

(ดร.กสิน วิเชียรชม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL

นาย ธราธร ว่องวรดา รหัส 46015179
ดร. กสิน วิเชียรชม อาจารย์ที่ปรึษา
ปีการศึกษา 2548

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ อธิบายการออกแบบวรจร pulse width demodulator แบบ 1บิต ออกแบบวงจรโดยใช้เทคนิคการใช้ Delay locked loop ทำให้สัญญาณ PWM ล่าช้า(Delay)ไป หนึ่งคาบเวลาโดยสัญญาณ PWM นี้จะมี pulseบวก 35%และ pulseลบ65% ของ1คาบเวลาให้ pulse ลักษณะนี้เป็นบิต (HI)และสัญญาณ PWMที่มี pulseบวก 65%และ pulseลบ35% ของหนึ่งคาบเวลาให้ pulseลักษณะนี้เป็นบิต (Low)โดยนำสัญญาณที่ผ่านการทำให้ล่าช้า (Delay) แล้วหนึ่งคาบเวลามาสุ่มเลือกที่ 15% และ45%ของสัญญาณPWM เพื่อหาว่าบิตไหนเป็นLOWหรือHIโดยที่50%ของคาบเวลาจะมีความแตกต่างกัน ระหว่าง บิตLOWกับบิตHIและหนึ่งสัญญาณนาฬิกาจะส่งได้ หนึ่งบิต วงจรออกแบบโดยใช้เทคโนโลยี 0.18 ไมครอน CMOS เทคโนโลยีคาดว่าสามารถใช้งานได้ที่อัตราการส่งข้อมูลไม่น้อยว่า 1Gb/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DLL-BASED PULSE WIDTH DEMODULTOR CIRCUIT DESIGN

MR.THARATHON WONGWORADA

Adviser Dr. Kasin Vichienchom

2005

Abstract

This report is to explain design circuit pulse width demodulator 1 bit , Design circuit to use Delay Locked Loop based , to do PWM signal Delay one period by PWM signal have pulse witdth 35% from one period to determine is bit (HI) and PWM signal to have pulse width 65% from one period , to determine is bit (LOW) by signal is pass delay one period to use sampling at 15% and 45% is PWM signal for to search is bit (LOW) or (HI) through 50% is period , to have different to between bit(LOW) and bit (HI) one clock circle is send to one bit design circuit to use 0.18 Micron Technology CMOS , Technology to anticipate is to be able to a rate send data quite a lot 1Gb/S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

Abstract

บทที่ 1 บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์ 1

1.2 วัตถุประสงค์ของโครงงาน 1

1.3 เนื้อหาของโครงงาน 1

บทที่ 2 ทฤษฎี

2.1 ประวัติความเป็นมาของดีเลย์ล็อคลูป 2

2.2 หลักการทำงานพื้นฐานของดีเลย์ล็อคลูป 2

2.1.1 ลักษณะสัญญาณของดีเลย์ล็อคลูปในสภาวะล็อค 3

2.3 เสถียรภาพของดีเลย์ล็อคลูปแบบพื้นฐาน 5

2.4 ดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump DLL) 7

2.4.1 หลักการทำงานพื้นฐานของดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ 7

2.4.2 เสถียรภาพของดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ 8

บทที่ 3 องค์ประกอบพื้นฐานของดีเลย์ล็อคลูป

3.1 ตัวดักจับเฟส (Phase Detector) 11

3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์ 11

3.1.2 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป 13

3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่ 15

3.1.4 การออกแบบและผลการทดลองตัวดักจับเฟสแบบเฟส-ความถี่ 20

3.2 วงจรหน่วงเวลาโดยใช้อินเวอร์เตอร์ (VCDL: voltage-controlled delay line) 23

3.2.1 วงจรควบคุมกระแส(Ictrl)โดย MOS 24

บทที่4 ทฤษฎี pulse width demodulator และการประยุกต์ใช้งานDLL

4.1 หลักการทำงานของวงจรพัลส์วิธดีมอสดูเลเตอร์ 26

4.2 การประยุกต์ใช้งานDLLกับวงจรพัลส์วิธดีมอสดูเลเตอร์ 27

บทที่ 5 การออกแบบและผลการทดลองดีเลย์ล็อคลูป

5.1 วงจรดีเลย์ล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบแหล่งจ่าย

กระแสคงที่ (Charge-pump) 28

5.1.1วงจรหน่วงเวลาควบคุมด้วยแรงดัน(VCDL :voltage-controlled delay line) 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	ขั้นตอนการดำเนินโครงงาน	2
รูปที่ 2.1	การเข้าสู่สภาวะล็อคของเดีเลย์ล็อคลูป	3
รูปที่ 2.2	องค์ประกอบของดีเลย์ล็อคลูป	3
รูปที่ 2.3	รูปคลื่นสัญญาณของดีเลย์ล็อคลูปในสภาวะล็อค	4
รูปที่ 2.4	รูปแบบเชิงเส้นของดีเลย์ล็อคลูป	5
รูปที่ 2.5	กราฟโบดพล็อตแสดงเสถียรภาพของ DLL	6
รูปที่ 2.6	ระบบที่ใช้ตัวดักจับเฟสแบบเฟส – ความถี่	7
รูปที่ 2.7	วงจรดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	8
รูปที่ 2.8	การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน	8
รูปที่ 2.9	รูปแบบเชิงเส้นของดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	9
รูปที่ 3.1	คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ	11
รูปที่ 3.2	ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์	11
รูปที่ 3.3	สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	12
รูปที่ 3.4	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์	13
รูปที่ 3.5	ตัวดักจับเฟสแบบ J-Kฟลิบฟลอป	14
รูปที่ 3.6	สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป	14
รูปที่ 3.7	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป	15
รูปที่ 3.8	หลักการของตัวดักจับของเฟส — ความถี่	16
รูปที่ 3.9	การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป	17
รูปที่ 3.10	วงจร ดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ	17
รูปที่ 3.11	สภาวะของตัวดักจับเฟสแบบเฟส – ความถี่	18
รูปที่ 3.12	สัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่	19
รูปที่ 3.13	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่	20
รูปที่ 3.14	วงจรดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง	21
รูปที่ 3.15	วงจรตัวดักจับเฟสแบบเฟส-ความถี่ในระดับเกท	22
รูปที่ 3.16	วงจรซีมอสอินเวอร์เตอร์	22
รูปที่ 3.17	วงจรซีมอสแนนเกท	22
รูปที่ 3.18	วงจรซีมอนนอร์เกท	22
รูปที่ 3.19	วงจร VCDL: voltage-controlled delay line	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

		หน้า
รูปที่ 3.20	วงจร ควบคุมแบบควบคุมกระแสไฟเลี้ยงวงจรเกทอินเวอร์เตอร์	24
รูปที่ 3.21	การออกแบบวงจรควบคุมความหน่วงเวลาด้วยแรงดัน โดยใช้อินเวอร์เตอร์	25
รูปที่ 4.1	สัญญาณนาฬิกากับสัญญาณพัลส์วิธมอลดูเลเตอร์	26
รูปที่ 4.2	รูปการเลือกจุดซุ่มสัญญาณ 2จุด	26
รูปที่ 4.3	วงจรพัลส์วิธดีมอสดูเลเตอร์โดยใช้เทคนิคการหน่วงเวลาด้วยDLL	27
รูปที่ 5.1	วงจรดีเลย์ล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่	27
รูปที่ 5.2	สะท้อนกระแส (Current Mirror) โดยใช้ PMOS	28
รูปที่ 5.3	วงจรสะท้อนกระแส (Current Mirror) โดยใช้ NMOS	28
รูปที่ 5.4	วงจรหน่วงเวลาควบคุมด้วยแรงดันVCDLระดับ เกทและมอส	30
รูปที่ 5.5	วงจรของ PWM	32
รูปที่ 5.6	ผลการทดลองวงจร PULSE-SWOLLOW	33
รูปที่ 5.7	ผลการทดลองวงจร phase/Frequncy Detector,PFD	34
รูปที่ 5.8	ผลการทดลอง DLL	34
รูปที่ 5.9	ผลการทดลองวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์

ปัจจุบันโลกของเราเป็นยุคข้อมูลข่าวสารและการสื่อสารที่คล่องตัวนั้นก็ต้องอาศัยเทคโนโลยีต่างๆเพื่อพัฒนาการสื่อสารและการส่งข้อมูล โครงงานนี้ จึงเกิดขึ้นเพื่อศึกษาและพัฒนาการส่งข้อมูลโดยการปรับความกว้างของรูปสัญญาณ

1.2 วัตถุประสงค์ของโครงงาน

1. ศึกษาลักษณะการทำงานของวงจรเข้ารหัสแบบปรับความกว้างของรูปสัญญาณโดยใช้เทคนิค การหน่วงเวลา

2. ออกแบบและสร้างวงจรรวมเข้ารหัสแบบปรับความกว้างของรูปสัญญาณโดยใช้เทคนิคการหน่วงเวลา

3. เพื่อศึกษาและพัฒนาอัตราการส่งข้อมูลให้มีอัตราการส่งที่เร็วมากขึ้น

1.3 เนื้อหาของโครงงาน

เพื่อความเข้าใจในเนื้อหาของโครงงานได้ชัดเจน จึงแบ่งเนื้อหาเป็นบทๆ ซึ่งสามารถสรุปเนื้อหาได้ดังนี้

บทที่ 2 กล่าวถึงการศึกษาทฤษฎีต่างๆ ที่เกี่ยวข้องกับ วงจร หน่วงเวลา(Delay lock loop) โดยใช้มอสเฟท

บทที่ 3 กล่าวถึงองค์ประกอบพื้นฐานของดีเลย์ล็อคลูปการออกแบบวงจรหน่วงเวลา (Delay lock loop)

บทที่ 4 กล่าวถึงการประยุกต์ใช้งานของวงจรหน่วงเวลา (Delay lock loop)ในวงจรเข้ารหัสแบบปรับความกว้างของรูปสัญญาณโดยใช้เทคนิคการหน่วงเวลา

บทที่ 5 กล่าวถึงการออกแบบและผลการทดลอง

บทที่ 6 กล่าวถึงสรุปและวิจารณ์ผลการทดลอง เพื่อเป็นแนวทางในการวิจัยและพัฒนาวงจรรวมเข้ารหัสแบบปรับความกว้างของรูปสัญญาณโดยใช้เทคนิคการหน่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 ประวัติความเป็นมาของดีเลย์ล็อคลูป

เมื่อไม่นานมานี้ วงจรดีเลย์ล็อคลูป มีการนำมาประยุกต์ใช้งานอย่างกว้างขวางและเพิ่มขึ้นทุกที ยกตัวอย่าง เช่น clock distribution circuits, multiphase clock generation, pulse width demodulator เป็นต้น และเพื่อการใช้งานที่สะดวกขึ้นจึงมีการพัฒนาเทคโนโลยีทางด้านสิ่งประดิษฐ์สารกึ่งตัวนำจนสามารถสร้างออกมาในรูปแบบของวงจรรวม(Integrated Circuit) ได้

วงจรดีเลย์ล็อคลูป มีลักษณะการทำงานคล้ายกับเฟสล็อคลูปโดยมีการล็อคเมื่อขอบของสัญญาณเท่ากันกับ ความถี่อ้างอิงแต่ดีเลย์ล็อคลูปจะมีการทำให้สัญญาณล่าช้ากว่าความถี่อ้างอิงอยู่1คาบเวลาแล้วจึงทำการล็อคเฟส

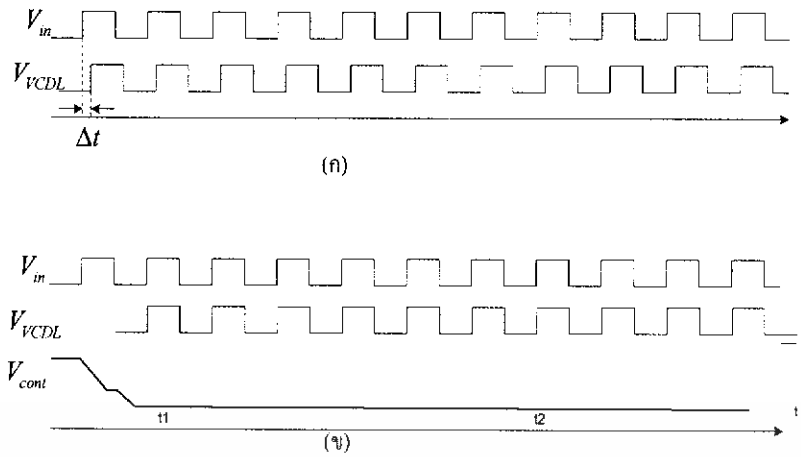
ดีเลย์ล็อคลูป ประกอบด้วยส่วนต่างๆ คือ VCDL(voltage-controlled delay),งวจรอมคลื่น(pulse-swollow),ตัวดักจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD),charge-Pumpซึ่งหลักการทำงานของส่วนต่างๆจะกล่าวถึงในบทที่ต่อๆไป

2.2 หลักการทำงานพื้นฐานของดีเลย์ล็อคลูป

การทำงานของดีเลย์ล็อคลูปในสภาวะล็อค คือการที่ดีเลย์ล็อคลูป รับอินพุตเข้ามาแล้วดีเลย์ล็อคลูปจะทำการหน่วงเวลาทำให้สัญญาณล่าช้ากว่าเดิมโดย1คาบเวลาแล้วนำสัญญาณนั้นป้อนกลับไปเปรียบเทียบเฟสกับอินพุทเพื่อทำการล็อค

พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณา รูป 2.1(ก)แสดงการเปรียบเทียบเฟส ระหว่างเอาท์พุทของ VCDL กับเฟสของสัญญาณอินพุท จะเห็นว่าที่ขอบขาขึ้นของสัญญาณเอาท์พุทจะเกิดมีเฟสผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับสัญญาณอินพุท และดีเลย์ล็อคลูปจะต้องการให้ Δtเท่ากับ 1 คาบโดยกำหนดให้ V_{cont} คือแรงดันอินพุทของ VCDL โดยเมื่อ V_{cont} ต่ำลง VCDL จะมีค่า delay มากขึ้นและΔtจะเพิ่มมากขึ้นด้วยเพื่อถึง 1 คาบเวลาจะทำให้ขอบขาขึ้นของสัญญาณตรงกันและเข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

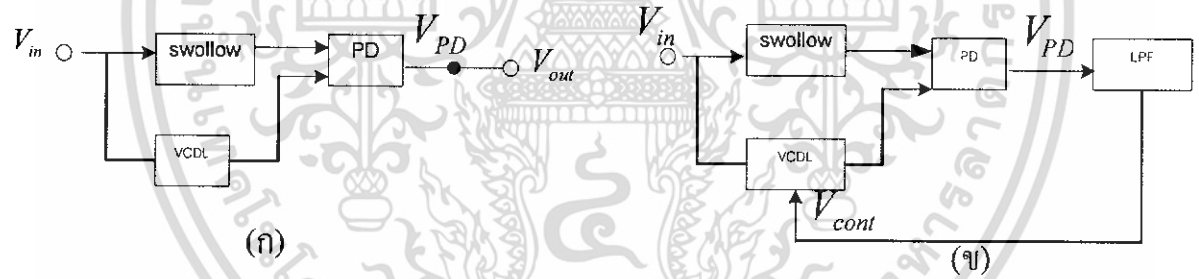


รูปที่ 2.1 การเข้าสู่สภาวะล็อคของเดีเลย์ล็อคลูป

(ก) เฟสเอาท์พุทจาก VCDL กับเฟสของอินพุท

(ข) การปรับเฟสของวงจรเพื่อให้ดีเลย์ล็อคที่ 1 คาบ

จากหลักการข้างต้นทำให้เราสามารถทราบได้ว่าวงจรดีเลย์ล็อคลูปแบบง่ายนั้นประกอบด้วยตัวดักจับเฟส (PD) และวงจร VCDL แบบควบคุมDelayด้วยแรงดันไฟฟ้า ต่อกันในลักษณะป้อนกลับดังรูปที่ 2.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับV_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ จนเฟสมีการปรับให้ดีเลย์ล็อคที่ 1 คาบและเข้าสู่สภาวล็อค



รูป 2.2 องค์ประกอบของดีเลย์ล็อคลูป

(ก)องค์ประกอบที่ประกอบด้วย PD กับ VCDLและPulse-swollow

(ข)องค์ประกอบที่ประกอบด้วย PD กับ VCDLกับPulse-swollowและLPF

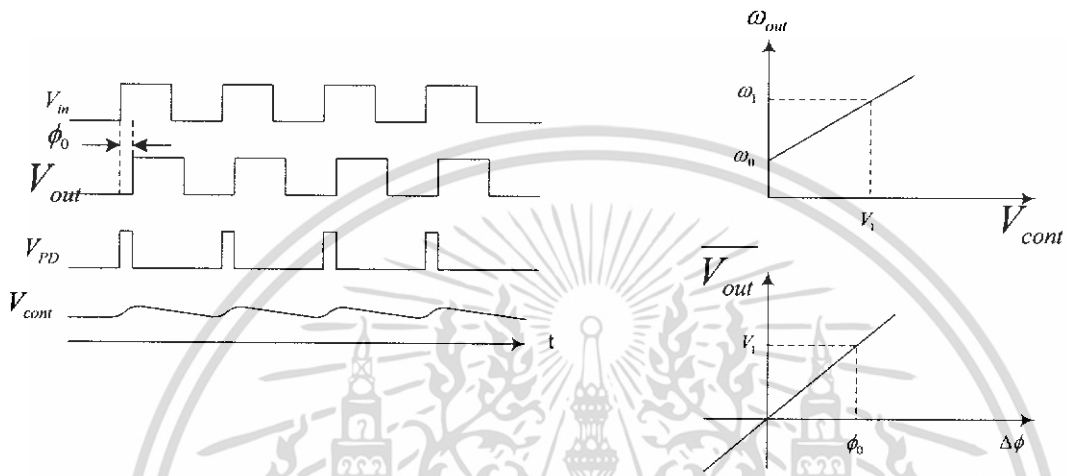
2.2.1 ลักษณะสัญญาณของดีเลย์ล็อคลูปในสภาวะล็อค

เมื่อวงจรดีเลย์ล็อคลูปอยู่ในสภาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้นแสดงดังรูป 2.3(ก) โดย Vout กับ Vin จะมีความต่างเฟสหรือเฟสผิดพลาด 1 คาบและความถี่จะเท่ากัน โดย PD เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวสร้างพัลซ์ที่เกิดจากค่าความต่างเฟสของอินพุตกับเอาท์พุต และ LPF จะรองเอาเฉพาะแรงดันที่เป็นดีซีคือ V_{PD} ป้อนให้กับ VCDL โดยพัลซ์ขนาดเล็กใน V_{LPF} เรียกว่า ริบเปิ้ล (ripple)

พิจารณารูป 2.3(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ $\varnothing_0$ และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCDL ดังแสดงในอยู่รูป 2.3(ข) โดยถ้าดีเลย์ล็อคลูปอยู่ในสภาวะล็อคแล้วสัญญาณอินพุทและเอาท์พุทจะมีค่าดีเลย์ โดยกำหนดให้มีค่าเท่ากับ 1 คาบเวลาและทำให้แรงดันที่วงจร VCDL ต้องการคือ V_1 ดังในรูป 2.3(ก)



(ก) (ข)

รูปที่ 2.3 รูปคลื่นสัญญาณของดีเลย์ล็อคลูปในสภาวะล็อค
(ก) รูปคลื่นสัญญาณในแต่ละจุด
(ข) กราฟแสดงคุณสมบัติของ VCDL และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส 0 จากกราฟคุณสมบัติของ PD และ VCDL จะได้ $\omega_{out} = \omega_0 + K_{VCDL} V_{cont}$ และ $V_{PD} = K_{PD} \Delta\varnothing$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCDL}} \qquad (2.1)$$

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \qquad (2.2)$$

$$= \frac{\omega_1 - \omega_0}{K_{PD} K_{VCDL}} \qquad (2.3)$$

จากสมการ 2.3 ทำให้ทราบคุณสมบัติที่สำคัญสองประการคือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสและค่าความต่างเฟสจะมีค่าต่ำเมื่อค่า $K_{PD}K_{VCDL}$ ต้องมีค่าสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

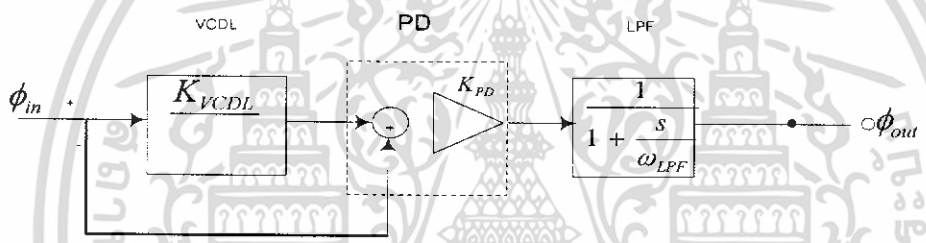
โดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCDL} คือค่าอัตราการขยายของวงจร Delay line แบบควบคุม Delay ด้วยแรงดันไฟฟ้า

2.3 เสถียรภาพของดีเลย์ล็อคลูปแบบพื้นฐาน

การพิจารณาเกี่ยวกับเสถียรภาพของดีเลย์ล็อคลูปจะต้องทราบฟังก์ชั่นถ่ายโอนของระบบ ดังนั้น ต้องพิจารณาหา $\Phi_{out}(S)/\Phi_{in}(S)$ ทั้งแบบลูปเปิดและลูปปิด

พิจารณา $\Phi_{out}(S)/\Phi_{in}(S)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $V_{out}(S)/V_{in}(S) = 1/(1 + s/\omega_0)$ จากฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุทได้ตลอดย่านที่เปลี่ยนแปลง

พิจารณา $\Phi_{out}(S)/\Phi_{in}(S)$ โดยทำการสร้างรูปแบบเชิงเส้นของเดีเลย์ล็อคลูปดังแสดงในรูป 2.7



รูป 2.4 รูปแบบเชิงเส้นของดีเลย์ล็อคลูป

โดยพิจารณาจากรูป 2.4 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\varnothing_{out}-\varnothing_{in})$ โดยความถี่สูงจะถูกจำกัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชั่นถ่ายโอนของ PD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชั่นถ่ายโอนคือ $1/(1 + s/\omega_{LPF})$ ในส่วนวงจร VCDLมีฟังก์ชั่นถ่ายโอน คือ K_{VCDL}/s ส่วน Φ_{in} และΦ_{out} คืออินพุทและเอาท์พุทเฟส ตัวอย่างเช่น ถ้าผลรวมของอินพุตเฟสเป็นฟังก์ชั่นแบบขั้นบันได คือ $\varnothing_1 u(t)$ นั่นคือ $\Phi_{in} = \varnothing_1/s$

จากรูป 2.4 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

$$H(s) = \frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} \qquad (2.4)$$

$$= K_{PD}\frac{1}{1+\frac{s}{\omega_{LPF}}}\frac{K_{VCDL}}{} \qquad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 2.5 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ $s = -\omega_{LPF}$ และ $s = 0$ โดยอัตราขยายลูปจะเท่ากับ $H(s)\big|_{open}$ เพราะป้อนกับแบบเต็มที่แฟกเตอร์การป้อนกับเป็นหนึ่งโดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า "ชนิดที่หนึ่ง" (type 1)

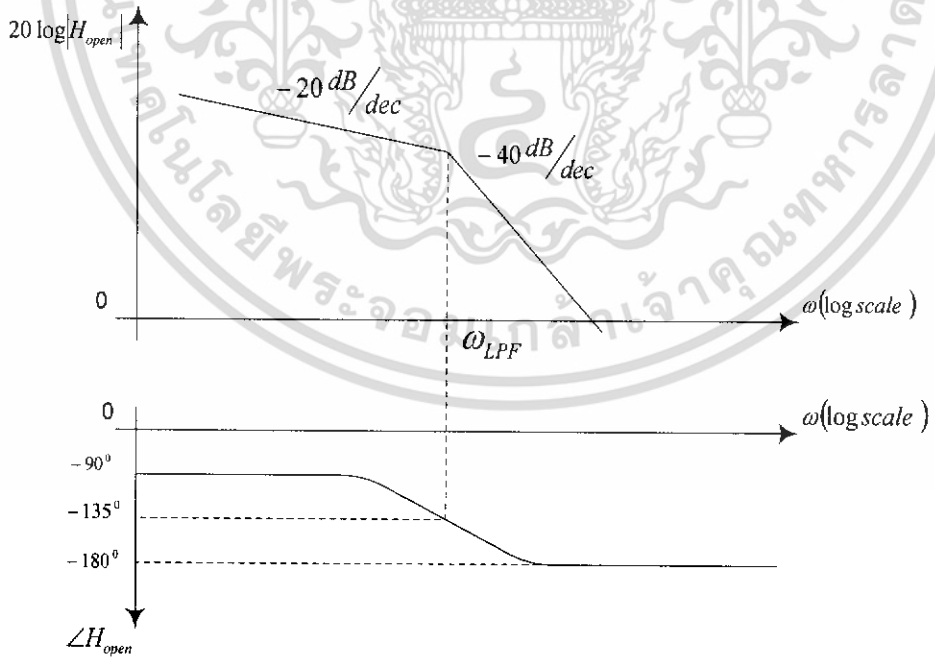
ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยดีเลย์ล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ $\varnothing_{out}$ เปลี่ยนแปลงเข้าใกล้ $\varnothing_{in}$ +1คาบเวลาโดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 2.5

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCDL}}{\frac{s}{\omega_{LPF}} + K_{PD}K_{VCDL}} \qquad (2.6)$$

สิ่งที่เราต้องการคือ $H(s)\big|_{open}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ s มีค่าเข้าใกล้ศูนย์นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้ดีเลย์ล็อคลูปเข้าสู่สภาวะล็อค

สรุปแล้วคุณสมบัติของดีเลย์ล็อคลูปชนิดที่หนึ่ง (type I DLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCDL, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงได้ด้วยกราฟโบดพล็อตทั้งขนาดและความถี่ดังรูป 2.5 โดยใช้สมการ 2.6

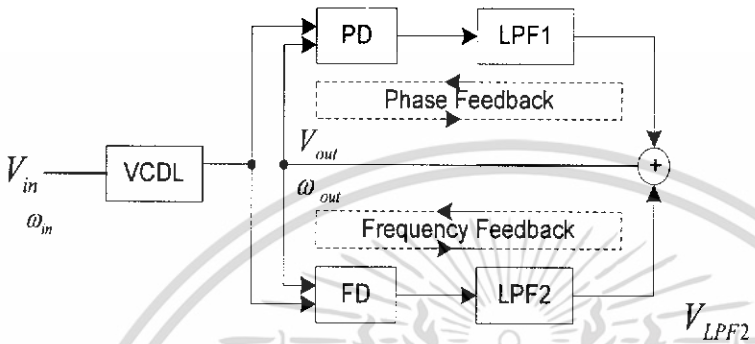


รูป 2.5 กราฟโบดพล็อตแสดงเสถียรภาพของ DLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump DLL)

จากการพิจารณาดีเลย์ล็อคลูปแบบที่หนึ่งจะเห็นว่ามีปัญญาในเรื่องที่จะต้องเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCDL, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ ปัญหาดังกล่าวแก้ไขโดยการเพิ่มตัวดักจับความถี่ (Frequency detector, FD) เข้าไปรวมกับส่วนของ PD ดังแสดงในรูป 2.6



รูป 2.6 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส – ความถี่

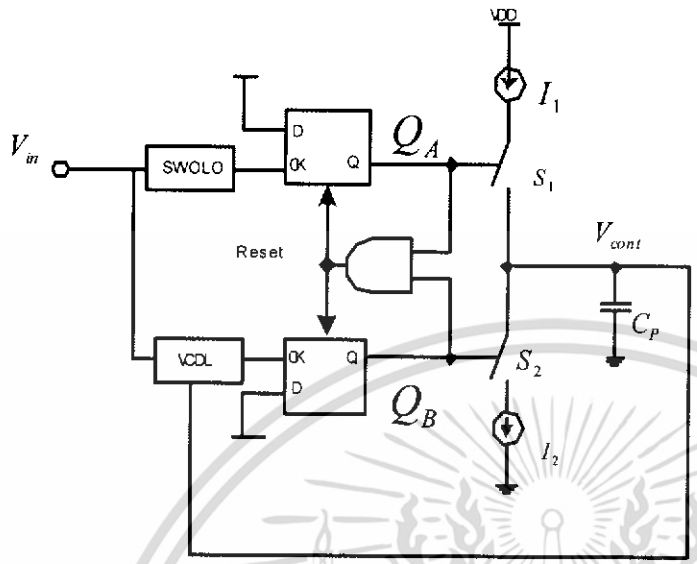
โดย FD จะทำหน้าที่เปรียบเทียบความถี่ของอินพุทกับเอาท์พุตและจะทำให้วงจรกรองความถี่ต่ำมีแรงดันเกิดขึ้นเป็นไปตามสัดส่วนของ ω_{in} - ω_{out} ซึ่งตัวดักจับเฟสแบบนี้เรียกว่า ตัวดักจับเฟสแบบเฟส – ความถี่ (Phase/Frequency Detector, PFD) ซึ่งหลักการทำงานของ PFD จะกล่าวถึงต่อไปในหัวข้อตัวดักจับเฟส

2.4.1 หลักการทำงานพื้นฐานของดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณารูป 2.7 เป็นวงจรดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump DLL, CP DLL) โดยตัวดักจับเฟสเป็นแบบเฟส-ความถี่ หลักการทำงานของวงจรคือ เมื่อจ่ายไฟเลี้ยงให้วงจรค่าของ เฟสอินพุท อาจจะมีความต่างเฟสที่ห่างจาก เฟสเอาท์พุทไม่ถึง 1คาบเวลา ทำให้ PFD และส่วนของแหล่งจ่ายกระแสทำงานเกิดการปรับเปลี่ยนแรงดันที่ป้อนให้กับ VCDL จนค่าความต่างเฟสท่ากับ1คาบเวลาโดย สัญญาณเอาท์พุตจะค่าความต่างเฟสกันกับสัญญาณอินพุตอยู่1คาบเวลาจากนั้น PFD จะทำหน้าที่เสมือน PD ดำเนินกระบวนการเข้าสู่สภาวะล็อคโดยเมื่อลูปอยู่ในสภาวะล็อคค่าความต่างเฟสอินพุตกับเอาท์พุตเท่ากับ1คาบเวลาหรือ360องศาส่วนของแหล่งจ่ายกระแสไม่ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในสภาวะล็อคค่าความต่างเฟสอินพุตกับเอาท์พุตเท่ากับ1คาบเวลาหรือ360องศาส่วนของแหล่งจ่ายกระแสไม่ทำงาน

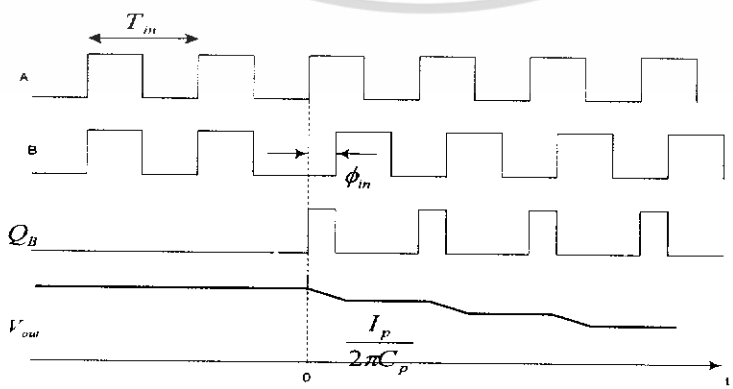


รูป 2.7 วงจรดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณาการทำงานของวงจรรูป 2.7 โดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กที่ Q_A และ Q_B โดยสมมติให้หลังจากเกิดการล็อค $\omega_{out} - \omega_{in}$ มีค่าเท่ากับ360องศา PFD จะให้ $Q_A = Q_B = 0$ ในส่วนของแหล่งจ่ายกระแสยังไม่ทำงานทำให้แรงดัน C_p ยังมีค่าคงที่

2.4.2 เสถียรภาพของดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

การพิจารณาถึงเสถียรภาพจะต้องสร้างรูปแบบเชิงเส้นของระบบและพิจารณาฟังก์ชั่นถ่ายโอนการจะสร้างรูปแบบเชิงเส้นได้นั้นต้องรู้ค่าฟังก์ชั่นถ่ายโอนของแต่ละส่วน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.8 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน

พิจารณาหาค่าฟังก์ชั่นถ่ายโอนเมื่อนำส่วนของ PFD/CP/LPF มารวมกันโดยใช้ LPF เป็นค่าปาซิเตอร์ตัวเดียว โดยการสมมติให้คาบเวลาของความถี่อินพุตคือ T_{in} และค่ากระแสที่ใช้ในการชาร์จและดิสชาร์จคือ $\pm I_p$ ดังแสดงในรูป 2.8 โดยมีอินพุตสองอินพุท A และเอาท์พุท B และที่เวลาเริ่มต้นมีค่าความต่างเฟสเท่ากับΔt และทำให้Q_Bมีการสร้างพัลซ์ออกมาอย่างต่อเนื่องและมีค่าเท่ากับ $\varnothing_0 T_{in}/(2\pi)$ และค่าเอาท์พุทจะลดลงโดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กจะมีค่าเท่ากับ $(-I_P/C_P)\ \varnothing_0 T_{in}/(2\pi)$ โดยการประมาณส่วนที่เป็นฟันเลื่อยเป็นเส้นตรงดังนั้นความชันของ V_{out} คือ $(-I_P/C_P)\ \varnothing_0 T_{in}/(2\pi)$ และสามารถเขียนได้อีกแบบดังสมการ

$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \bullet \phi_0 u(t) \qquad (2.7)$$

จากผลการตอบแบบอิมพัลซ์จะได้

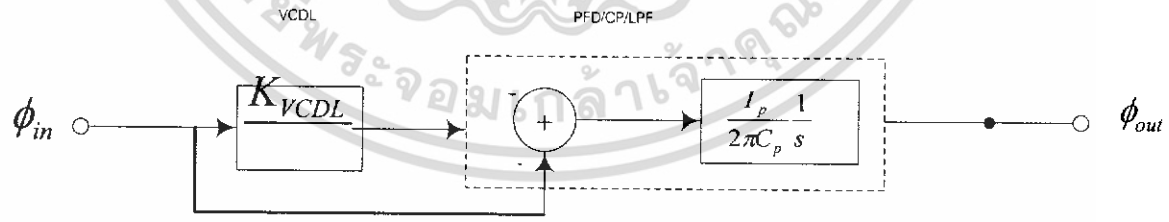
$$h(t) = \frac{I_P}{2\pi C_p} u(t) \qquad (2.8)$$

และจะได้ฟังก์ชั่นถ่ายโอนคือ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_p} \bullet \frac{1}{s} \qquad (2.9)$$

โดยจากฟังก์ชั่นถ่ายโอนจะเห็นว่า PFD/CP/LPF เมื่อต่อร่วมกันจะทำให้เกิดโพลขึ้นหนึ่งตัวที่จุดกำเนิดและเทอมของ $I_P(2\pi C_P)$ เรียกว่าอัตราการขยายของ PFD เขียนแทนด้วย K_{PFD}

พิจารณาสร้างรูปแบบเชิงเส้นของดีเลย์ล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสดังที่ได้ดังรูป 2.9



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.9 จะได้ฟังก์ชั่นถ่ายโอนลูปเปิดคือ

$$\frac{\phi_{out}}{\phi_{in}}(S)_{open} = \frac{Ip}{2\pi C_p}\frac{1}{s}\bullet K_{VCDL} \qquad (2.10)$$

กำหนด H(s) คือฟังก์ชั่นถ่ายโอนของลูปปิดจะได้

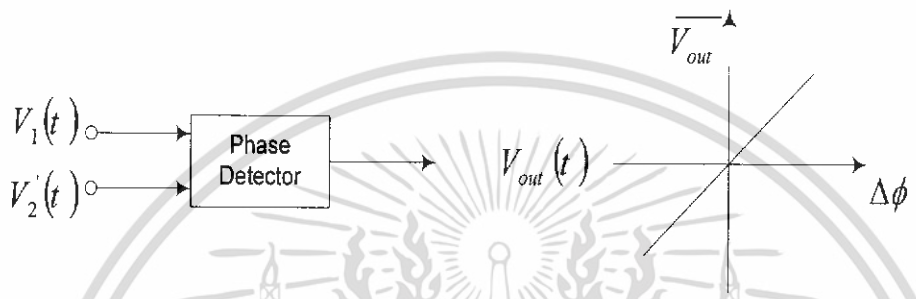
$$H(s)_{close} = \frac{\frac{I_p}{2\pi}K_{VCDL}}{C_p S + [C_p + \frac{I_p}{2\pi}K_{VCDL}] + \frac{I_p}{2\pi}K_{VCDL}} \qquad (2.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานของดีเลย์ล็อคลูป

3.1 ตัวดักจับเฟส (Phase Detector)

ตัวดักจับเฟส (Phase Detector) หรือ PD คือวงจรที่เอาท์พุตเฉลี่ย V_{out} หรือ V_d มีขนาดสัมพันธ์กับความต่างเฟส $\Delta\varnothing$ ระหว่างสองอินพุต ในทางอุดมคติความสัมพันธ์ระหว่างเอาท์พุตเฉลี่ย V_{out} กับ $\Delta\varnothing$ จะมีลักษณะเป็นเชิงเส้นดังแสดงในรูป 3.1

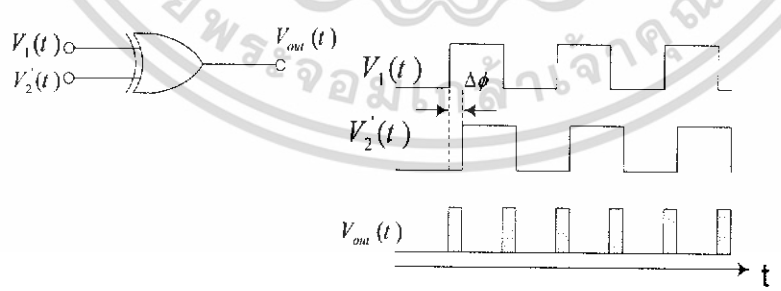


รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ

โดยเส้นตัดผ่านจุดกำเนิดที่ $\Delta\varnothing = 0$ และอัตราขยายของ PD คือความชันของเส้นกราฟ คือ K_{PD} หน่วยคือ V/rad

ตัวดักจับเฟสที่นิยมนำมาใช้ในงานดิจิตอลดีเลย์ล็อคลูป คือ แบบเอ็กซ์คูลซีพออร์ แบบ J-K ฟลิบฟลอป และแบบเฟส-ความถี่

3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์



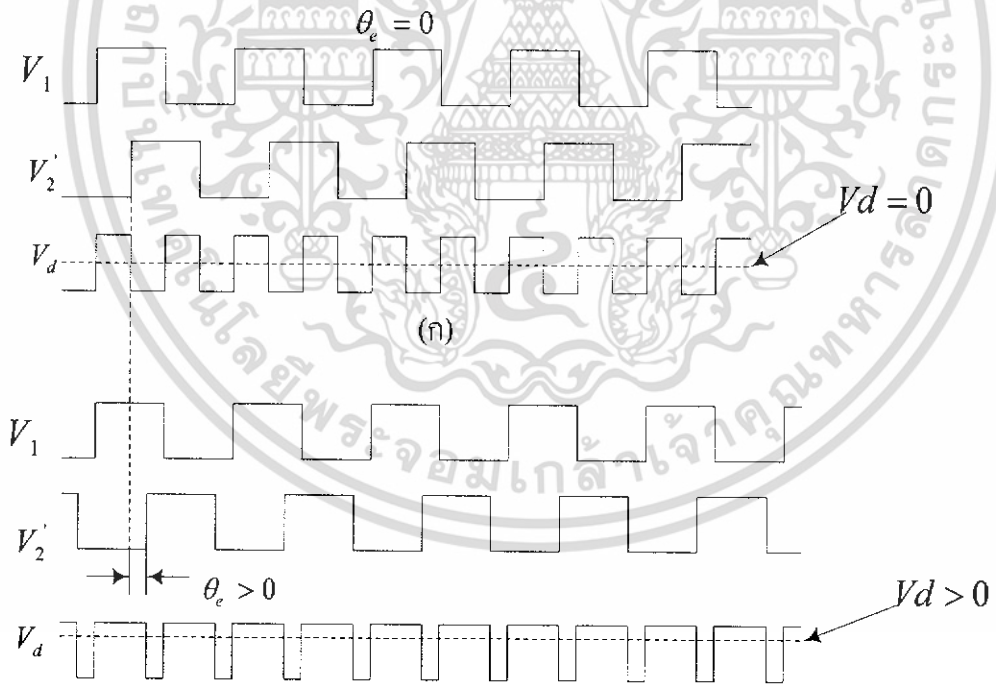
รูป 3.2 ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์

ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์เป็นตัวดักจับเฟสแบบง่ายที่สุดโดยการใช้เอ็กซ์คูซีฟออร์เกทซึ่งมีคุณสมบัติคือถ้าสัญญาณอินพุทเหมือนกับเอาท์พุทจะเป็นศูนย์แต่ถ้าสัญญาณอินพุตต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้เอาท์พุตเป็นหนึ่งหรือ เมื่ออินพุทมีความต่างเฟสกันจะได้เอาท์พุทสัมพันธ์กับอินพุทดังแสดงในรูป 3.2

โดยสัญญาณในวงจรดีเลย์ล็อคลูปแบบดิจิตอลจะเป็นสัญญาณดิจิตอล ซึ่งกำหนดให้เป็นสัญญาณอินพุทเดียวคือ V_1 และสัญญาณเอาท์พุท V_2' เป็นสัญญาณรูปคลื่นสี่เหลี่ยมที่สมมาตรจากผ่านวงจร VCDL ทำให้เกิดความแตกต่างของค่าเฟส เมื่อค่าผิดพลาดเฟสเท่ากับ Δt สัญญาณ V_1 และ V_2' จะต่างเฟสกัน 90 องศา ดังรูป 3.3(ก) ดังนั้นสัญญาณเอาท์พุต V_d ซึ่ง เป็นสัญญาณคลื่นสี่เหลี่ยมจะมีค่าเป็น 2 เท่า ของสัญญาณอินพุตและค่า Duty Cycle ของสัญญาณ V_d จะมีค่าเท่ากับ 50 เปอร์เซ็นต์ เมื่อถูกกรองด้วยวงจรกรองความถี่จะพิจารณาเพียงค่าของ V_d ซึ่งแสดงได้โดยเส้นประดังรูป ดังรูป 3.3(ก) ค่าเฉลี่ยของ V_d คือ $\overline{V_d}$ จะคิดตามหลักของค่าระดับลอจิกทั้งสอง โดยถ้าเอกซ์คูลซีฟออร์ถูกจ่ายกำลังโดยจ่ายกำลังไฟโดยแหล่งจ่ายไฟ 5 โวลท์ V_d จะมีค่าประมาณ 2.5 โวลท์ ซึ่งค่าแรงดัน ณ จุดนี้ จะเป็นจุดสงบของเอ็กซ์คูลซีฟออร์ และกำหนดให้ $\overline{V_d}$ = 0 V เมื่อสัญญาณเอาท์พุต V_2' มีค่ามากกว่าสัญญาณอ้างอิง V_1 ค่าเฟสผิดพลาด θ_e จะมีค่าไปในทางบวกซึ่งแสดงดังรูป 3.3(ข) โดยค่า duty cycle จะมีค่ามากกว่า 50 เปอร์เซ็นต์ค่าของ V_d เฉลี่ยก็จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นประในสัญญาณ V_d



รูป 3.3 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

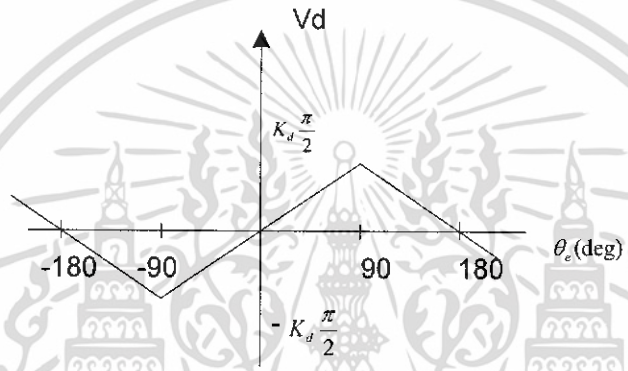
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาด θ_C = 90 องศาและมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาด θ_C = -90 องศา ซึ่งจะได้กราฟคุณสมบัติดังรูป 3.4 ค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์ จะอยู่ในรูปฟังก์ชั่นสามเหลี่ยมของค่าเฟสผิดพลาดโดยช่วงค่าเฟสผิดพลาดคือ $-90^\circ < \theta_c < 90^\circ$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d เฉลี่ยได้เป็นสมการ 3.1

$$V_d = K_d \theta_e \tag{3.1}$$



รูป 3.4 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์

ในกรณีของชุดเปรียบเทียบแบบเอ็กซ์คูลซีฟออร์ ค่าเกณฑ์ของตัวดักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กซ์คูลซีฟออร์ คือ V_{DD} และศูนย์โดยกำหนดระดับลอจิก คือ V_{DD} และศูนย์ ดังนั้น K_d จะมีค่าดังสมการ 3.2

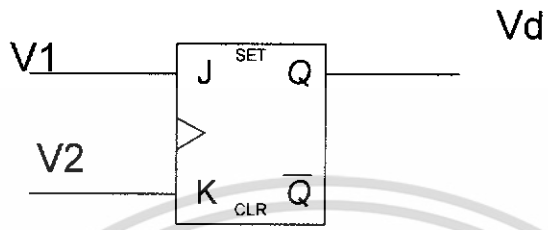
$$K_d = \frac{V_{DD}}{\pi} \tag{3.2}$$

คุณสมบัติโดยสรุปของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์เมื่อนำมาใช้ในดีเลย์ล็อคลูป

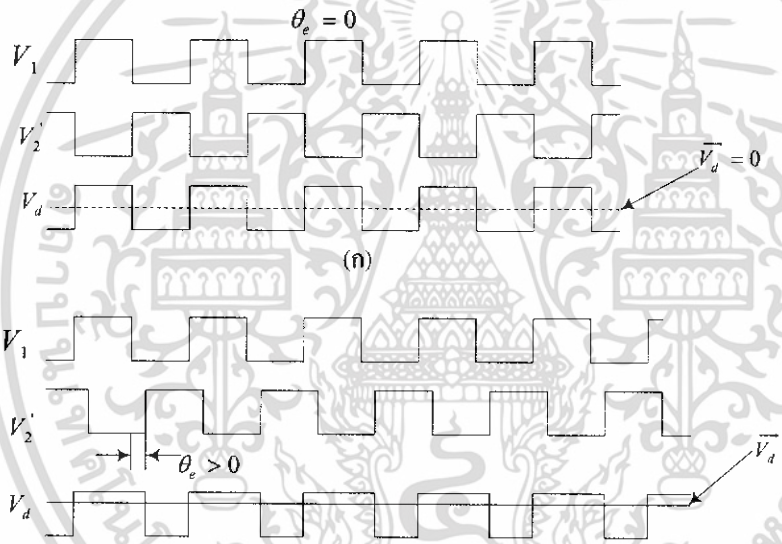
1. ขณะยังไม่มีสัญญาณอินพุตเข้ามาเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่าเท่ากับ V_{DD} /2 ทำให้ดีเลย์ล็อคลูปทำงานอยู่ที่ความถี่กลาง
2. เมื่ออยู่ในสภาวะล็อคเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่า Duty Cycle 50 เปอร์เซ็นต์ ดังนั้น VCDL ที่ใช้งานร่วมกันจะต้องให้เอาท์พุตที่มีค่า Duty Cycle เท่ากับ 50 เปอร์เซ็นต์ด้วย
3. ดักจับเฟสแบบเอ็กซ์คูลซีฟออร์สามารถล็อคที่ความถี่ฮาร์โมนิคได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป



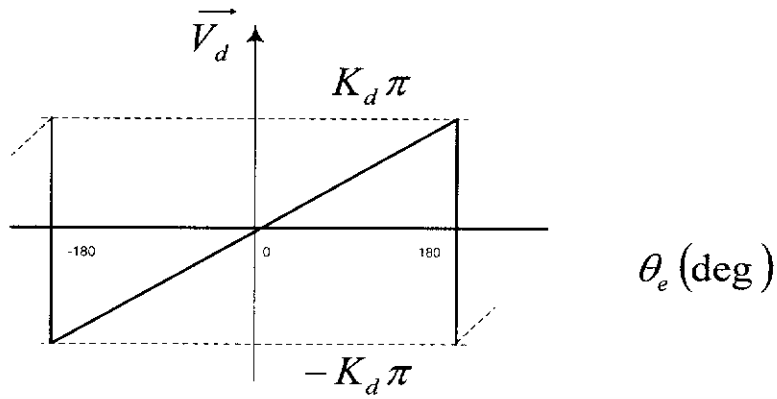
รูป 3.5 ตัวดักจับเฟสแบบ J-Kฟลิบฟลอป



รูป 3.6 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

J-K ฟลิบฟลอบ จะทำงานโดยเมื่อขา J อินพุต ถูกกระตุ้นทำให้สถานะของฟลิบฟลอปเป็นสภาวะ 1 (Q=1) และที่ขา K อินพุตถูกกระตุ้นทำให้สถานะฟลิบฟลอปเป็นสภาวะ 0 (Q=0) ดังรูป 3.6(ก) ซึ่งแสดงรูปสัญญาณของ JK-ฟลิบฟลอปในกรณี $\theta_C = 0$ เมื่อไม่มีค่าเฟสผิดพลาด V_1 และ V_2' จะมีเฟสตรงข้ามกัน ค่าเอาท์พุต V_d จะมีค่าเป็นค่าสัญญาณสี่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ $\overline{V_d}$ เฉลี่ยจะมีค่าเท่ากับศูนย์ ถ้าค่าเฟสผิดพลาดมีค่าไปในทางบวก ดังรูป 3.6(ข) ค่า Duty Cycle การทำงานของ V_d จะมีค่ามากกว่า 50% และ $\overline{V_d}$ จะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิปฟลอป

โดยมีคุณลักษณะเป็นฟันเลื่อย และมีช่วงผิดพลาดเฟสเท่ากับ $-180^\circ < \theta < 180^\circ$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_e สามารถกำหนดได้จาก

$$\overline{V_d} = K_d \theta_e \tag{3.3}$$

และค่าอัตราขยายของตัวดักเฟสแบบ J-K ฟลิปฟลอป K_d จะมีค่าดังสมการ 3.4

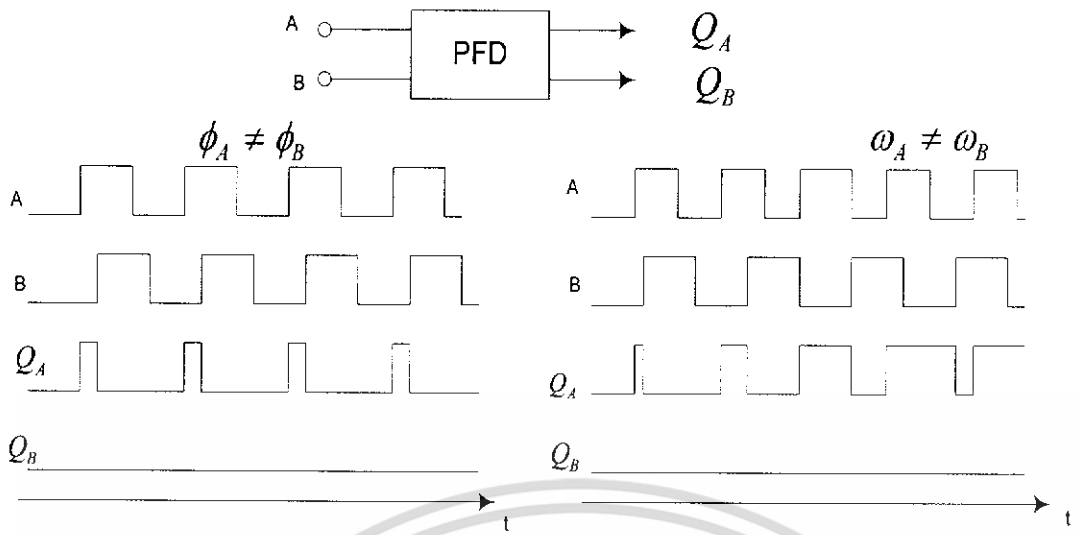
$$K_d = \frac{V_{DD}}{2\pi} \tag{3.4}$$

3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักเฟสจับเฟสแบบเฟส-ความถี่ เป็นตัวจับเฟสที่เปรียบความแตกต่างทั้งความถี่และเฟสของอินพุตกับเอาท์พุตจากที่ได้กล่าวมาแล้วในหัวข้อของดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

หลักการทำงานของตัวดักจับเฟส-ความถี่ แสดงดังรูป 3.8 โดยจากรูปอินพุตของวงจรจะมีสองอินพุต A และ B โดยตัวดักจับเฟสจะตรวจจับที่ขอบขาขึ้นหรือลงของพัลซ์เท่านั้น และจะแสดงผลออกมาที่เอาท์พุต โดยถ้ากำหนดสภาวะเริ่มต้น $Q_A = Q_B = 0$ หลังจากนั้นเฟสอินพุท A นำหน้าอินพุท B จะทำให้เอาท์พุท $Q_A = 1$, $Q_B = 0$ และจะอยู่ในสภาวะนี้ตลอดจนกระทั่งอินพุท B มีค่าระดับลอจิกสูง ที่สภาวะนี้ Q_A จะกลับสู่ค่าศูนย์ดังแสดงในรูป 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.8 หลักการของตัวดักจับของเฟส – ความถี่

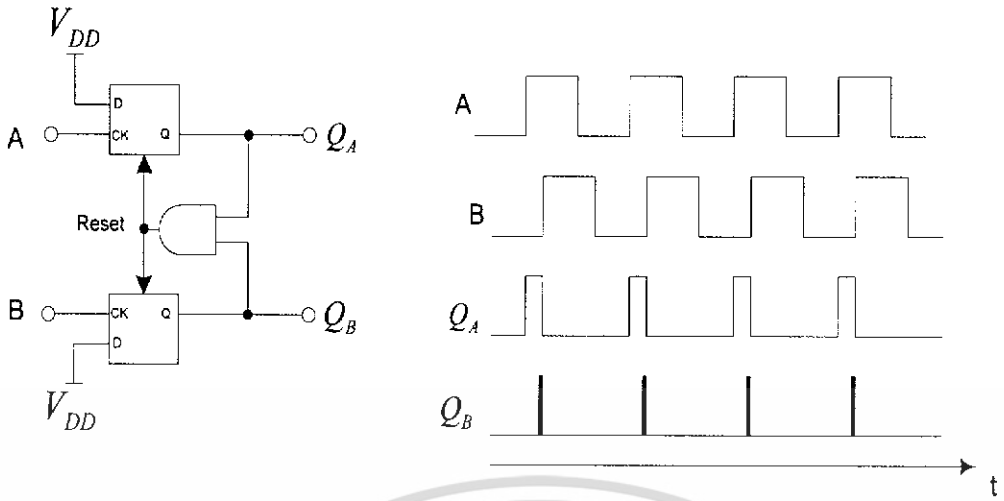
(ก) สัญญาณเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน

(ข) สัญญาณเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน

โดยรูป 3.8(ก) อินพุตทั้งสองมีความถี่เท่ากันแต่เฟสของอินพุต A นำหน้า B จะทำให้ได้พัลซ์เอาท์พุต Q_A ออกมาโดยมีความกว้างเท่ากับช่วงของความต่างเฟส $\varnothing A - \varnothing B$ โดย Q_B ยังคงเป็นศูนย์ และรูป 3.8(ข) เมื่อความถี่ของอินพุต A มากกว่าอินพุท B จะทำให้ได้พัลซ์เอาพุต Q_A ออกมาและ Q_B ยังคงเป็นศูนย์ ในทางตรงกันข้ามถ้าเฟสอินพุต A ล้าหลัง B หรือความถี่ของอินพุต A น้อยกว่าอินพุต B จะได้พัลซ์เอาท์พุต QB ออกมาโดย QA ยังคงเป็นศูนย์โดยระดับดีซีของ QA และ QB จะเป็นตัวบอกให้ทราบถึง $\varnothing A - \varnothing B$ หรือ $\omega A - \omega B$ โดยเอาท์พุต Q_A และ Q_B เรียกว่า “UP” และ “DOWN”

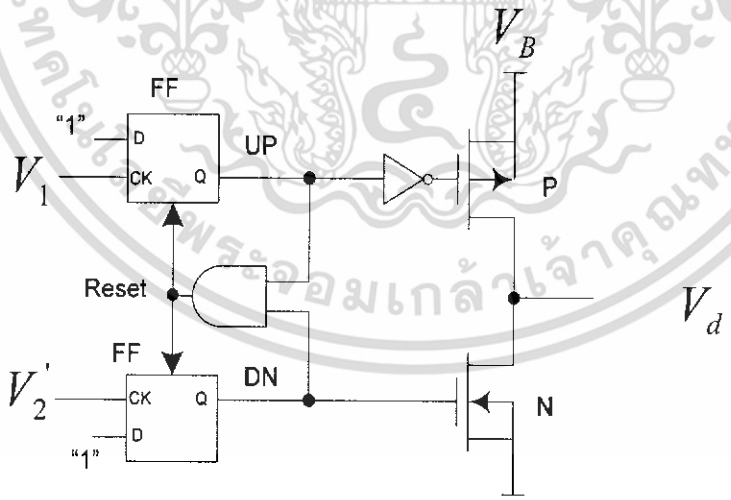
จากคุณสมบัติของตัวดักจับเฟส – ความถี่ดังกล่าวสามารถที่จะสร้างตัวดักจับเฟส – ความถี่ได้โดยการใช้ D ฟลิบฟลอมาสร้างเป็นวงจรดังรูป 3.9 โดยเอาท์พุตจะมีคุณสมบัติเหมือนตัวดักจับเฟส-ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.9 การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป

พิจารณาตัวดักจับเฟสแบบเฟส-ความถี่จะเห็นว่าเอาท์พุตจะมีสองจุดจะต้องมีการรวมเอาท์พุตเป็นจุดเดียวนำไปขับวงจรกรองความถี่ โดยการรวมมีอยู่ด้วยกันสองวิธีคือ แบบแรกใช้เป็นลักษณะแหล่งจ่ายกระแสคงที่ดังได้กล่าวถึงแล้วในหัวข้อเดิเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ แบบที่สองใช้เป็นเอาท์พุตแบบสามสถานะ ซึ่งแบบนี้จะมีข้อเสียคือ ถ้าแหล่งจ่ายไฟเลี้ยงไม่คงที่ มีริปเปิ้ลจะทำให้ระบบไม่มีเสถียรภาพ โดยตัวดักเฟสแบบเอาท์พุทสามสถานะแสดงดังรูป 3.10



รูป 3.10 วงจร ดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ

โดยวงจรประกอบด้วย D-ฟลิบฟลอป มีเอาท์พุทคือ UP และ DN

UP = 0, DN = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62595

UP = 1, DN = 0

UP = 0, DN = 1

UP = 1, DN = 1

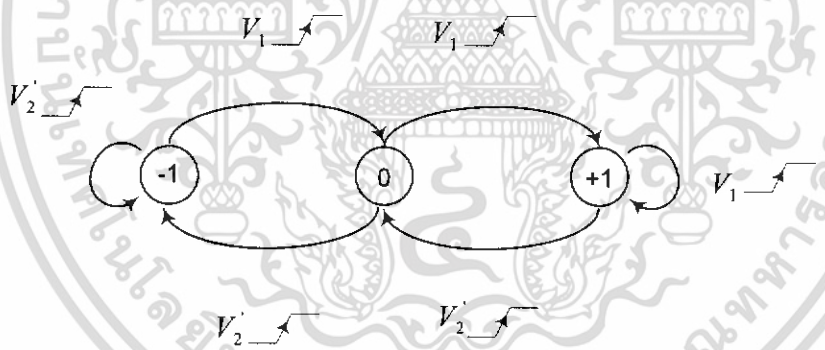
เมื่อใส่ AND เกทเข้าไปจะทำให้สภาวะ UP = 1, DN = 1 หายไปเพราะเอาท์พุตของ AND เกทจะไปรีเซตฟลิบฟลอปทั้งสอง ดังนั้นสภาวะของวงจรจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณ์คือ –1,0 และ +1 คือ

DN = 1 , UP = 0 ; state = -1

UP = 0 , DN = 0 ; state = 0

UP = 1 , DN = 0 ; state = +1

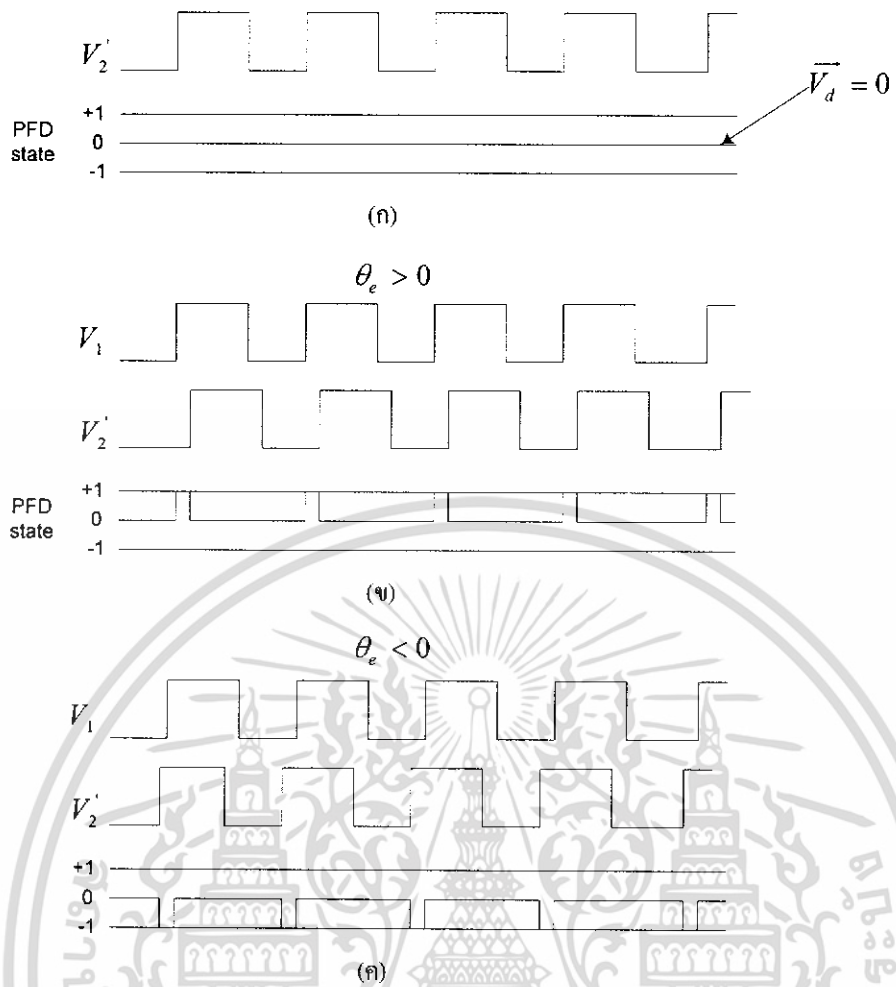
การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดงดังรูป 3.11 สภาวะบวกของ V_1 จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ +1 แล้ว ในทำนองเดียวกันสภาวะของ V_d จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ –1 แล้ว เมื่อตัวมีสภาวะ +1 V_d จะมีค่าเป็นบวก และเมื่อมีสภาวะ –1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะมีค่าเท่ากับศูนย์



รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส – ความถี่

แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรในเส้นประของรูป 3.10 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแสดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน V_{DD} เมื่อ DN เป็นค่าสูง N แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับกราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอสทั้งสองจะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับว่าไม่มี คือเป็นค่าความต้านทานสูง โดยถ้าตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูป 3.12

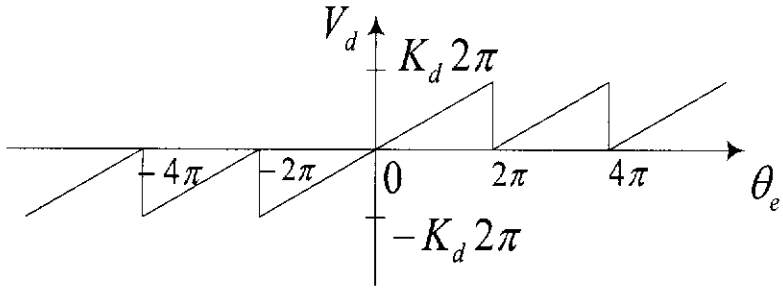
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.12 สัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก
(ค) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

ซึ่งในรูป 3.12(ก) แสดงในกรณีค่าเฟสผิดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอาท์พุตในรูป 3.12(ข) เมื่อ V_1 นำหน้า V_2' ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่างศูนย์กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูป 3.12(ค) ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง –1 กับศูนย์ ถ้าพิจารณาจากรูป 3.12(ข) และ (ค) ค่า V_d จะมีค่ามากที่สุดเมื่อเฟสผิดพลาดมีค่าบวกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุด เมื่อค่าเฟสผิดพลาดมีค่าบอกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุดเมื่อค่าลบและเข้าใกล้มุม –360 องศา ถ้าพล็อตกราฟเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_d กับค่าเฟสผิดพลาด θ_e จะได้ฟังก์ชั่นเลื่อย ดังรูป 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่

ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาท์พุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาท์พุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาท์พุตจะมีค่าน้อยสุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าเฟสผิดพลาดอยู่ใน $-2\pi<\theta_e<2\pi$ ค่าเฉลี่ยของสัญญาณเอาท์พุต V_d คือ

$$\overline{V_d} = K_d \theta_e \qquad (3.5)$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตสามสถานะมีค่าดังสมการ 3.6

$$K_d = \frac{V_{DD}}{4\pi} \qquad (3.6)$$

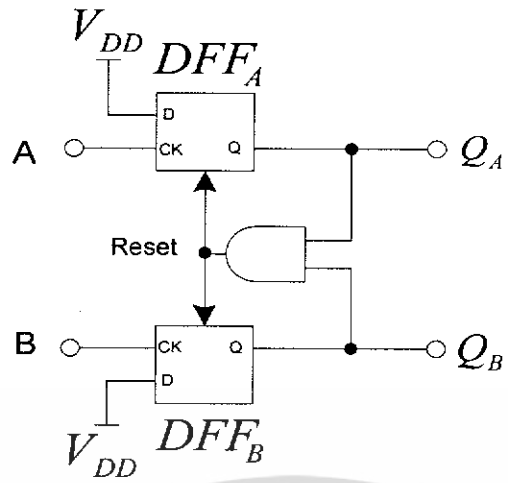
และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ดังได้ว่าในหัวข้อดีเลย์ล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ มีค่าสมการ 3.7

$$K_d = \frac{I_P}{2\pi} \qquad (3.7)$$

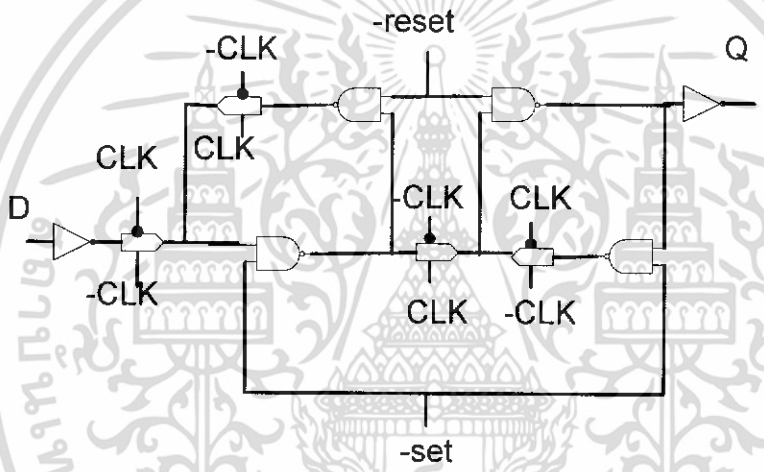
3.1.4 การออกแบบและผลการทดลองตัวดักจับเฟสแบบเฟส-ความถี่

วงจรตัวดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลองแสดงดังรูป 3.14 ซึ่งเป็นวงจรที่ประกอบด้วย D ฟลิบฟลอปและแอนเกท โดยวงจรในระดับเกทแสดงดังรูป 3.15 ประกอบด้วยนอร์เกทสองอินพุต แนนเกทสองอินพุต และอินเวอร์เตอร์ ส่วนวงจรในระดับมอสนั้นแสดงดังรูป 3.16 วัตถุประสงค์การออกแบบก็เพื่อหาขนาดของมอสในวงจรโดยมีขั้นตอนการออกแบบดังนี้

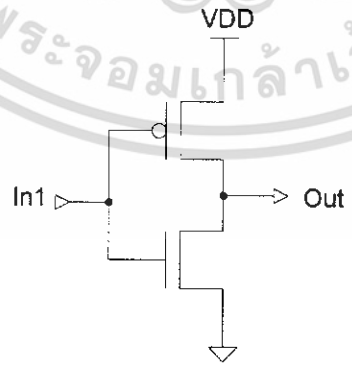
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.14 วงจรดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง

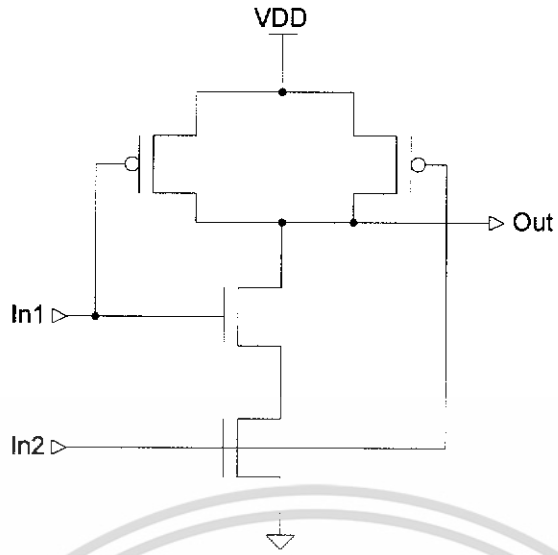


รูป 3.15 วงจรดีฟลิบฟลอประดับเกท

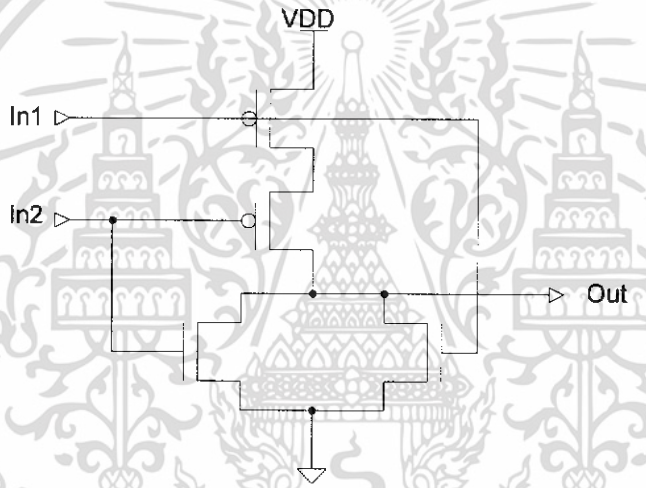


รูป 3.16 วงจรซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.17 วงจรซีมอสแนนเกท

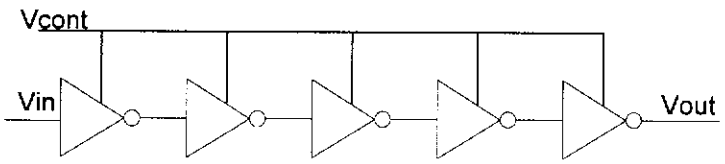


รูป 3.18 วงจรซีมอนนอร์เกท

3.2 วงจรหน่วงเวลาโดยใช้อินเวอร์เตอร์ (VCDL: voltage-controlled delay line)

วงจร VCDL เป็นวงจรหน่วงที่ใช้ตัวอินเวอร์เตอร์โดยทั่วไปแล้วอุปกรณ์ต่างๆมักมีค่าหน่วงเวลา(ดีเลย์)อินเวอร์เตอร์ก็เช่นกันและเราสามารถควบคุมค่าหน่วงเวลา(ดีเลย์)ได้จากควบคุมกระแสที่เลี้ยงวงจรอินเวอร์เตอร์โดยการใช้ **voltage-control** กระแสซึ่งมีรูปแบบวงจรดังรูปที่3.19 จากที่ได้ศึกษามามีรูปแบบวงจรVCDL ควบคุม Ictrl โดย มอส

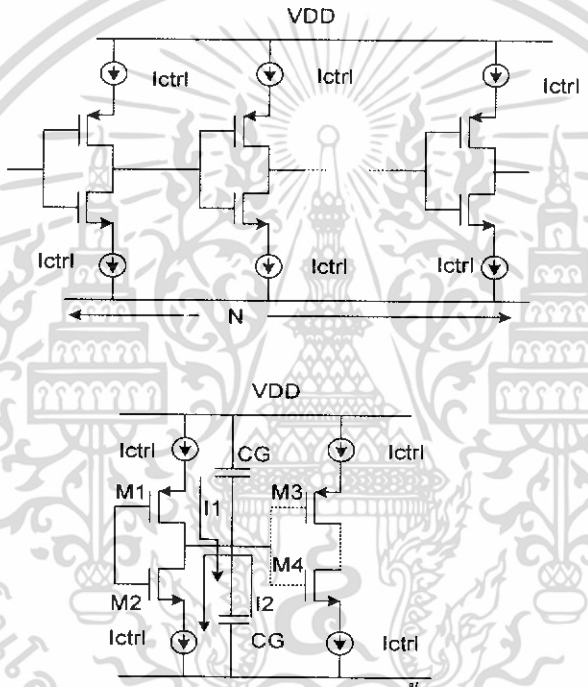
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.19 วงจร **VCDL: voltage-controlled delay line**

3.2.1 วงจรควบคุมกระแส(Ictrl)โดย MOS

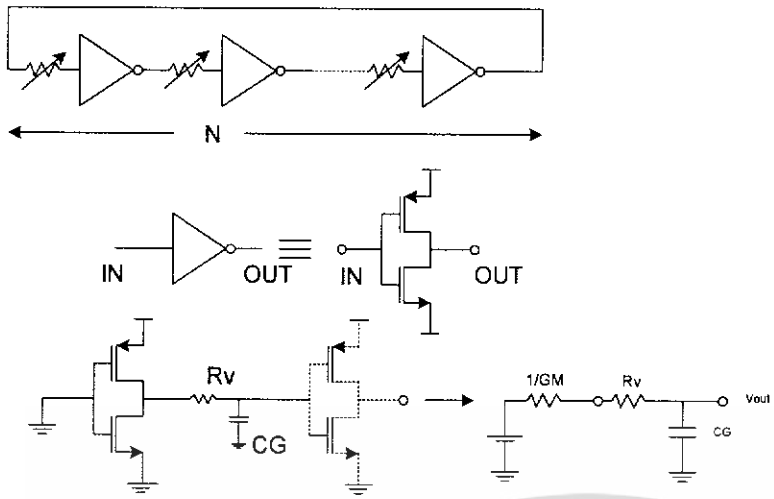
การใช้วงจรควบคุมแบบควบคุมกระแสไฟเลี้ยงวงจรเกทอินเวอร์เตอร์แสดงดังรูปที่3.20



รูปที่3.20 วงจร ควบคุมแบบควบคุมกระแสไฟเลี้ยงวงจรเกทอินเวอร์เตอร์

การแบบวงจรให้พิจารณารูปที่ 3.20เมื่อทำการลดกระแสควบคุม (Ictrl)และเมื่อ M1ทำงานI1จะไหลไปชาร์จ Cg ระหว่างนี้จะเกิด Delay Time ขึ้นค่า Delay Time จะขึ้นอยู่กับปริมาณกระแสควบคุม (Ictrl) ว่าจะชาร์จ Cg ให้ถึงระดับแรงดัน VT ของ M3เพื่อให้ Stageต่อไปทำงานลักษณะนี้คือพัลส์บวกเข้าและในทางกลับกัน20เมื่อทำการเพิ่มกระแสควบคุม (Ictrl)และเมื่อ M1ทำงานI1จะไหลไปชาร์จ Cg ระหว่างนี้จะเกิด Delay Time ลด และM2 จะทำงานตอนพัลส์ลบ Cg จะ discharge แรงดันตัวมันจนกว่าจะถึง VT ของ M4 เพื่อให้ Stageต่อไปทำงานตอนนี้จะค่า Delay Time เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.21แสดงวงจรสำหรับการออกแบบวงจรควบคุมความหน่วงเวลาด้วยแรงดัน โดยใช้อินเวอร์เตอร์

โดยสามารถคำนวณได้จากสมการที่ 3.15 เพราะฉะนั้น MOS Transistor ในส่วนของอินเวอร์เตอร์สามารถปรับเปลี่ยนค่าดีเลย์ด้วยค่าความต้านทานเมื่อ MOS อยู่ในสภาวะ ON เป็นค่าความต้านทานค่าหนึ่ง โดยจะมีค่าเท่ากับ $\frac{1}{g_m}$ และค่าคาปาซิแตนท์ C_{GS} ของ NMOS และ PMOS Transistor เป็นค่าคงที่ ค่าของดีเลย์อินเวอร์เตอร์ τ_p เราสามารถประมาณได้จาก

$$\tau_P = \frac{C_G\left(1 + G_M R_V\right)}{G_M} \qquad 3.8$$

จากสมการที่ 3.35 เราประมาณค่าได้ว่า $G_M R_V >> 1$ เราสามารถสมมติให้ R_V=0 ได้

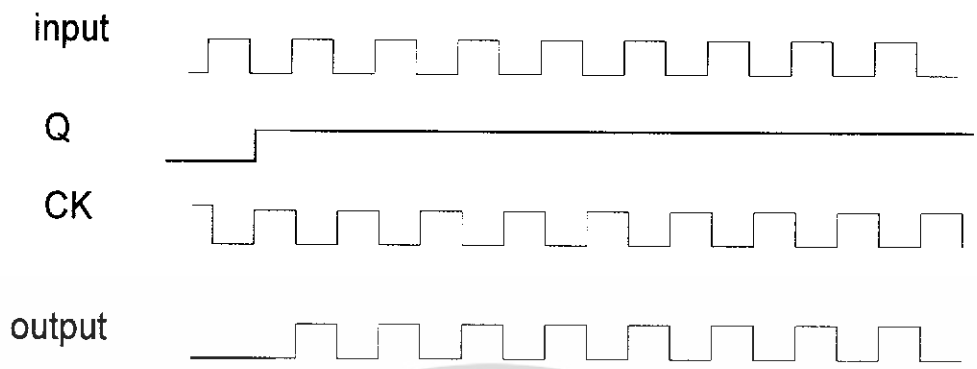
$$\tau_P = \frac{C_G}{G_M} \qquad 3.9$$

เพราะฉะนั้น τ_p เป็นดีเลย์ของแต่ละ Stage ในที่สุดเราสามารถหาค่า Delay Time ควบคุมที่ด้วยแรงดันได้

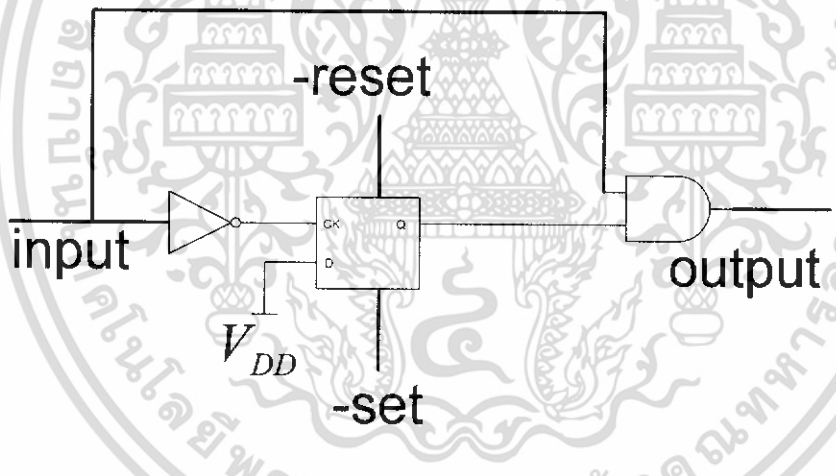
3.2.2 วงจรอมคลื่น pulse-swollow

วงจรอมคลื่น(pulse-swollow) จะทำหน้าที่อมpulse ลูกแรกไม่ให้ออกทางoutput ของวงจรและoutput ของวงจรจะมีpulse ลูกที่สองเป็นต้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปสัญญาณของวงจรอมคลื่น(pulse-swollow)



วงจร PULSE-SWOLLOW

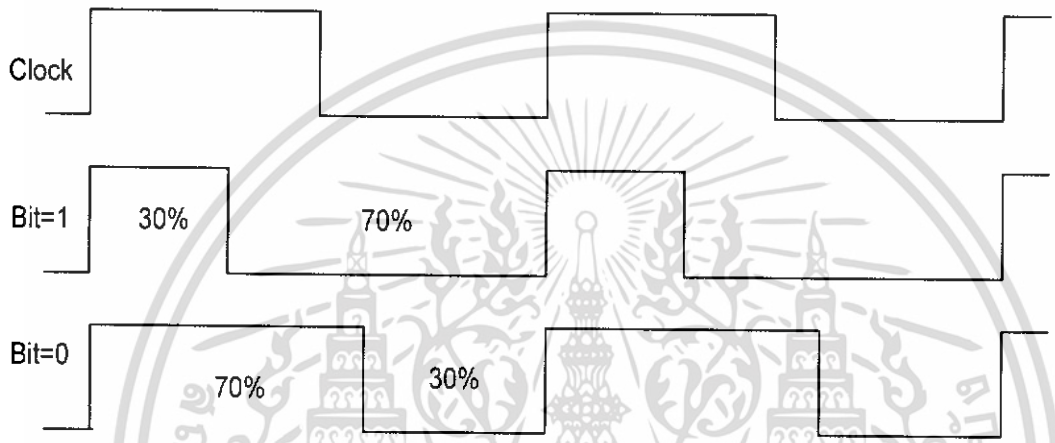
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

ทฤษฎี pulse width demodulator และการประยุกต์ใช้งานDLL

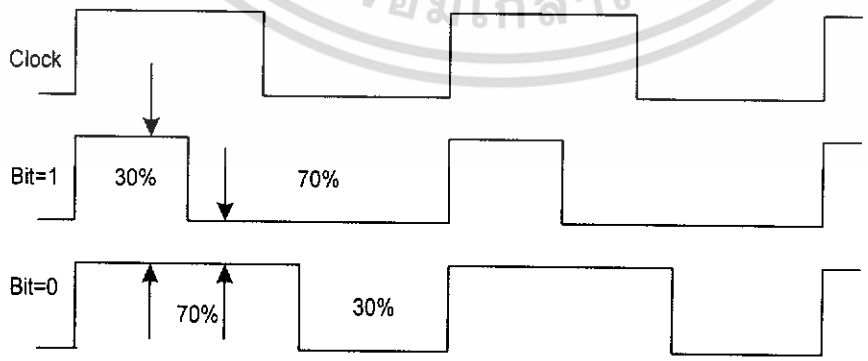
4.1 หลักการทำงานของวงจรพัลส์วิธดีมอสดูเลเตอร์

pulse width demodulator จะส่งเป็นส่งข้อมูลโดยการเข้ารหัสสัญญาณนาฬิกาเพื่อให้มีความกว้างของพัลส์ที่แตกต่างกันระหว่างข้อมูลที่เป็น บิต 0 กับ บิต 1เพื่อส่งข้อมูลไปกับสัญญาณนาฬิกา ดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณนาฬิกากับสัญญาณพัลส์วิธมอลดูเลเตอร์

โดยที่สัญญาณพัลส์วิธมอสดูเลเตอร์ที่มีความกว้างของพัลส์บวก30% พัลส์ลบ 70% ให้เป็นข้อมูล บิต1และสัญญาณพัลส์วิธมอสดูเลเตอร์ที่มีความกว้างของพัลส์บวก70% พัลส์ลบ 30% ให้เป็น ข้อมูล บิต0 โดยจะใช้วงจรดีมอสดูเลเตอร์แยกข้อมูลออกจากสัญญาณนาฬิกาโดยการซุ่มเลือก2จุดมาเข้าเอ็กซ์คูลซีฟ**ออร์** โดยสัญญาณเหมือนกัน 2จุดเป็น บิต 0 ต่างกันเป็น บิต1ดังรูปที่4.2



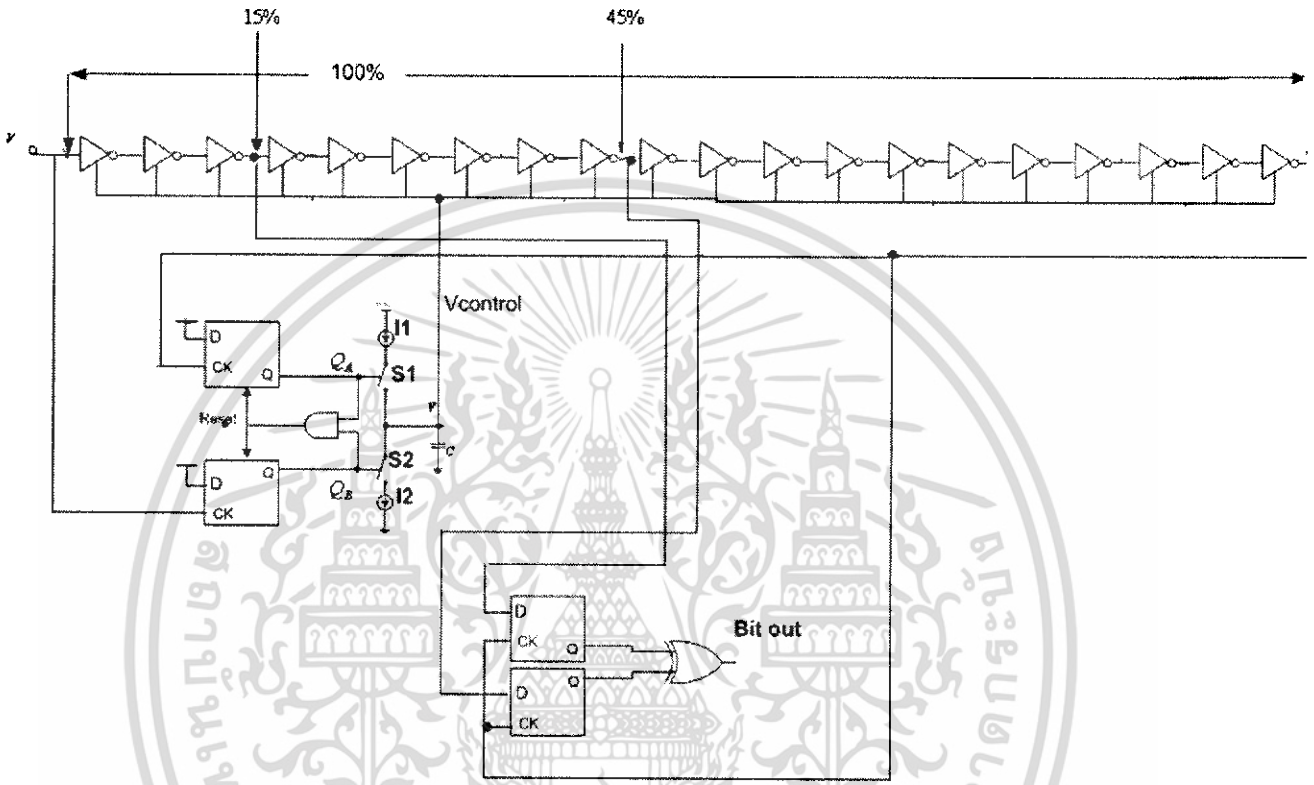
รูปที่4.2 รูปการเลือกจุดซุ่มสัญญาณ 2จุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสามารถเลือกได้โดยจุดที่1คือ ช่วง 1-30% และจุดที่2 ช่วง31-70%

4.2การประยุกต์ใช้งานDLLกับวงจรพัลส์วิธดีมอสดูเลเตอร์

วงจรพัลส์วิธดีมอสดูเลเตอร์ ต้องการสัญญาณนาฬิกา ขอบขาขึ้นเพื่อมาเป็นสัญญาณซุ่มเลือกโดยเราจะทำการหน่วงเวลาสัญญาณพัลส์วิธมอสดูเลเตอร์ เพื่อ ดีเลย์ค่าขอบขาขึ้นของตัวมันไปตามจุดต่างๆที่จะซุ่มเลือกโดยใช้ DLLตามรูปที่ 4.3



รูปที่4.3 วงจรพัลส์วิธดีมอสดูเลเตอร์โดยใช้เทคนิคการหน่วงเวลาด้วยDLL

พิจารณารูปที่ 4.3 แบ่ง พัลส์อินพุทเป็น10ส่วน และเลือกซุ่มที่ 15%และ45% โดยประมาณมาเป็นสัญญาณนาฬิกาของ D ฟลิปฟลอป ดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

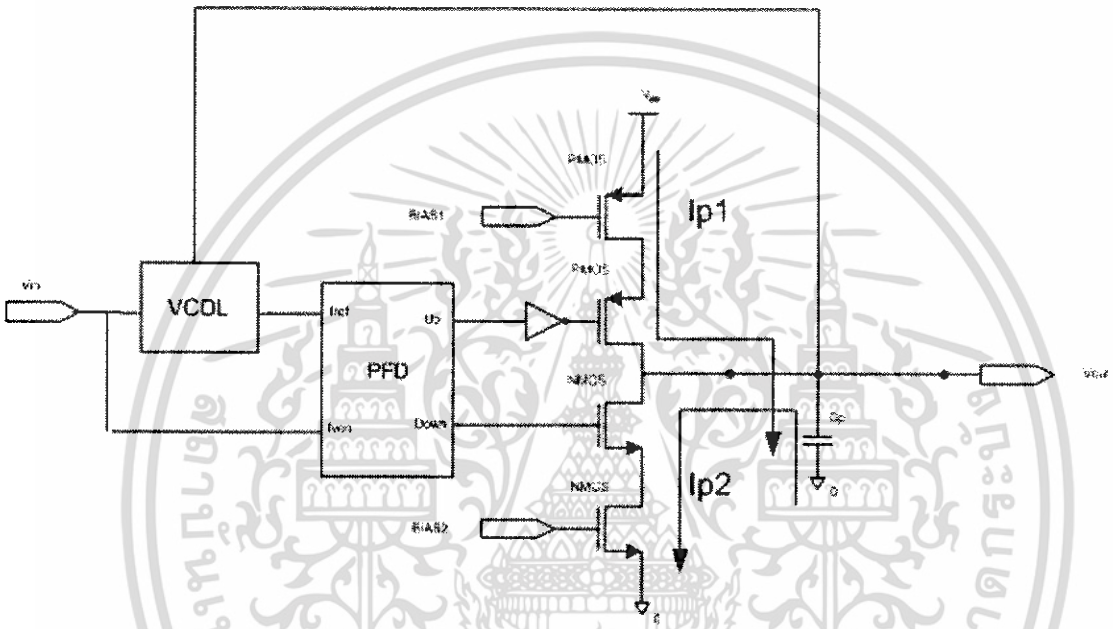
บทที่ 5

การออกแบบและผลการทดลองดีเลย์ล็อคลูป

จากองค์ประกอบพื้นฐานหลักของดีเลย์ล็อคลูปที่ได้กล่าวมาแล้วในบทที่ 3 ในขั้นตอนต่อไปจะนำเอาองค์ประกอบดังกล่าวมาสร้างเป็นดีเลย์ล็อคลูปเพื่อตรวจสอบคุณสมบัติโดยจะสร้าง แบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่ (Charge pupm)

5.1 วงจรดีเลย์ล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่ (Charge-pump)

วงจรดีเลย์ล็อคลูปดิจิตอลแบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่แสดงดังรูป 5.1



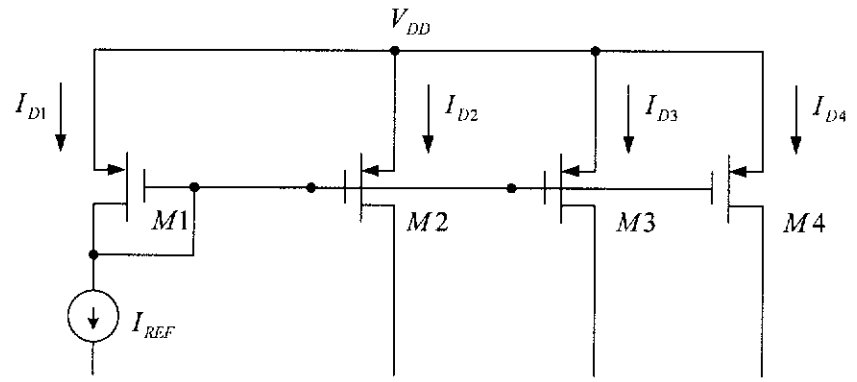
รูปที่ 5.1 วงจรดีเลย์ล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่

5.1.1 วงจรหน่วงเวลาควบคุมด้วยแรงดัน(VCDL :voltage-controlled delay line)

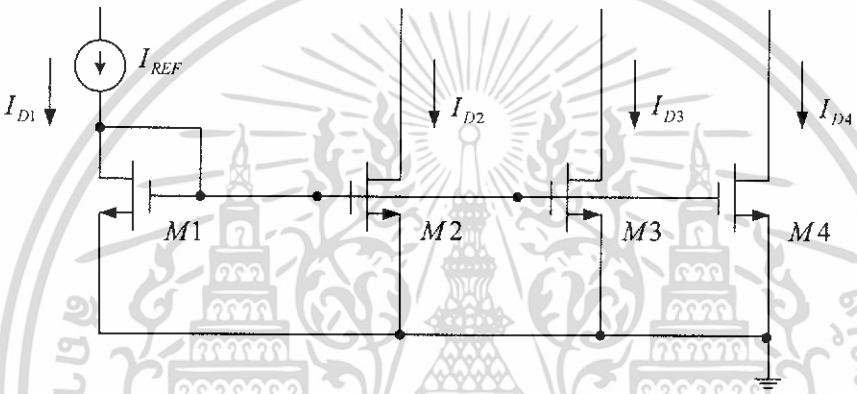
1 แหล่งจ่ายกระแส (Current Source) ใช้ในวงจร voltage-controlled delay line

ในวงจรรวมนั้นจะมีแหล่งจ่ายกระแสค่าต่างๆ กัน ดังนั้น การที่จะสร้างแหล่งจ่ายกระแสดังกล่าวจะใช้ MOSFET ที่ทำงานในย่านกระแสอิ่มตัว (Saturation Region) มาต่อกันในลักษณะของวงจรสะท้อนกระแส (Current Mirror) ดังรูปที่ 5.2 และ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรสะท้อนกระแส (Current Mirror) โดยใช้ PMOS



รูปที่ 5.3 วงจรสะท้อนกระแส (Current Mirror) โดยใช้ NMOS

จากวงจรในรูปที่ 5.2 วงจรสะท้อนกระแส (Current Mirror) โดยใช้ PMOS จะได้

$$I_D = \frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \qquad (5.1)$$

จากวงจรในรูปที่ 5.3 วงจรสะท้อนกระแส (Current Mirror) โดยใช้ NMOS จะได้

$$I_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \qquad (5.2)$$

สำหรับในโครงงานนี้จะใช้วงจรสะท้อนกระแส (Current Mirror) โดยใช้ NMOS จะได้

$$I_{D1} = \frac{1}{2}\mu_N C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS1}) \qquad (5.3)$$

$$I_{D2} = \frac{1}{2}\mu_N C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS2}) \qquad (5.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$I_{D1} = I_{REF} \tag{5.5}$$

สามารถคำนวณหาค่า I_{D2} ได้จาก

$$\frac{I_{D2}}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1} \cdot \frac{1+\lambda V_{DS2}}{1+\lambda V_{DS1}} \tag{5.6}$$

เมื่อ λ มีค่าน้อยมากๆ จะได้

$$I_{D2} \approx \frac{(W/L)_2}{(W/L)_1} \cdot I_{REF} \tag{5.7}$$

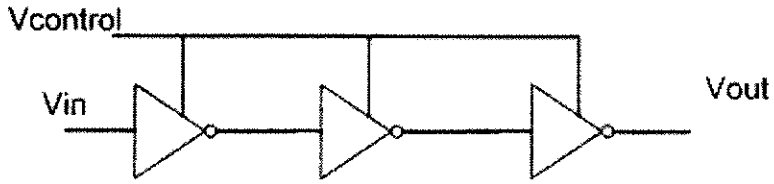
ดังนั้น

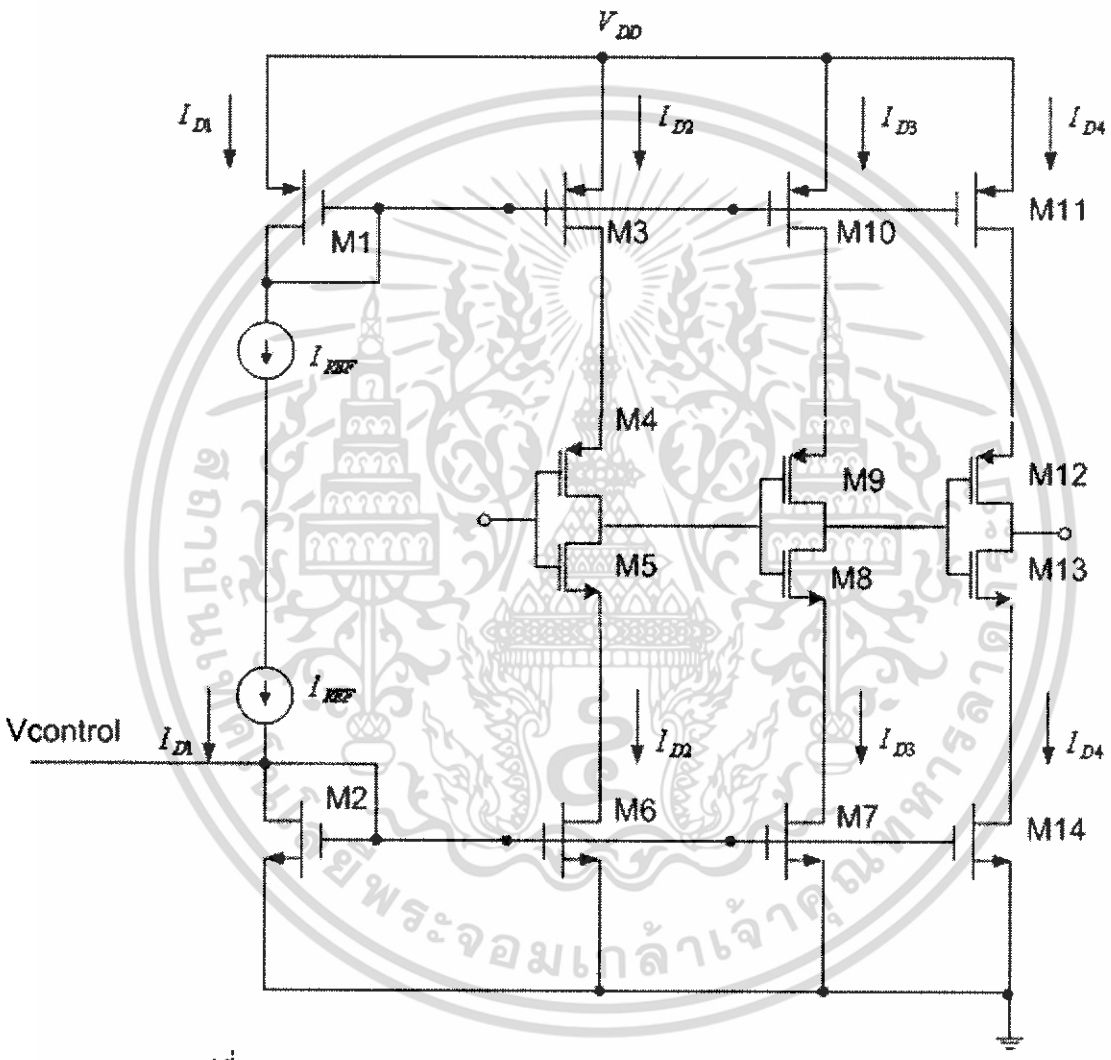
$$I_{D3} \approx \frac{(W/L)_2}{(W/L)_1} \cdot I_{REF} \tag{5.8}$$

$$I_{D4} \approx \frac{(W/L)_2}{(W/L)_1} \cdot I_{REF} \tag{5.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 พื้นฐานวงจรหน่วงเวลาควบคุมด้วยแรงดันVCDL (voltage-controlled delay line)





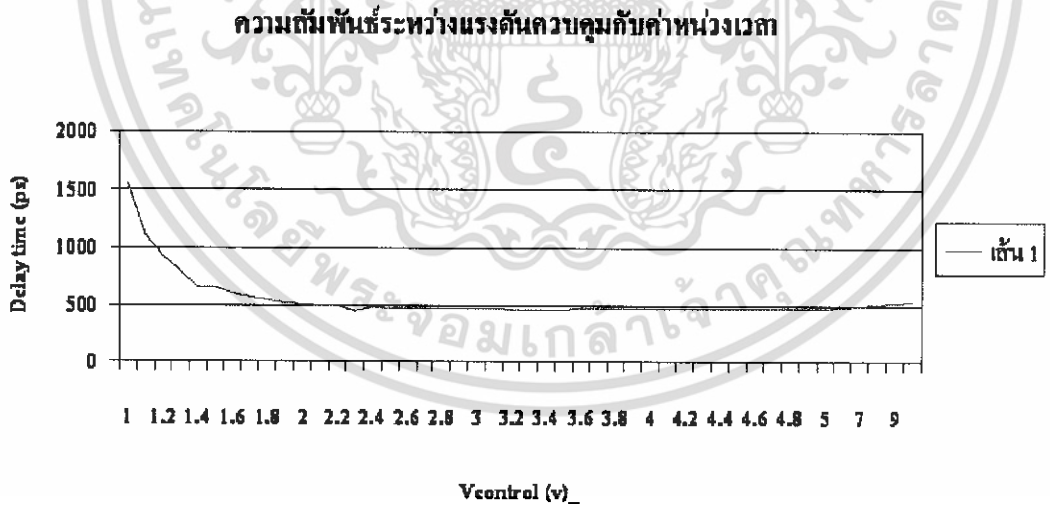
รูปที่ 5.4 วงจรหน่วงเวลาควบคุมด้วยแรงดันVCDLระดับ เกทและมอส

โดยจะใช้รูปวงจรดังรูปที่5.4แต่จะใช้ 10 stage โดยจะใช้อัตราส่วน Wp/Lp กับ Wn/Ln เท่ากับ 2:1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

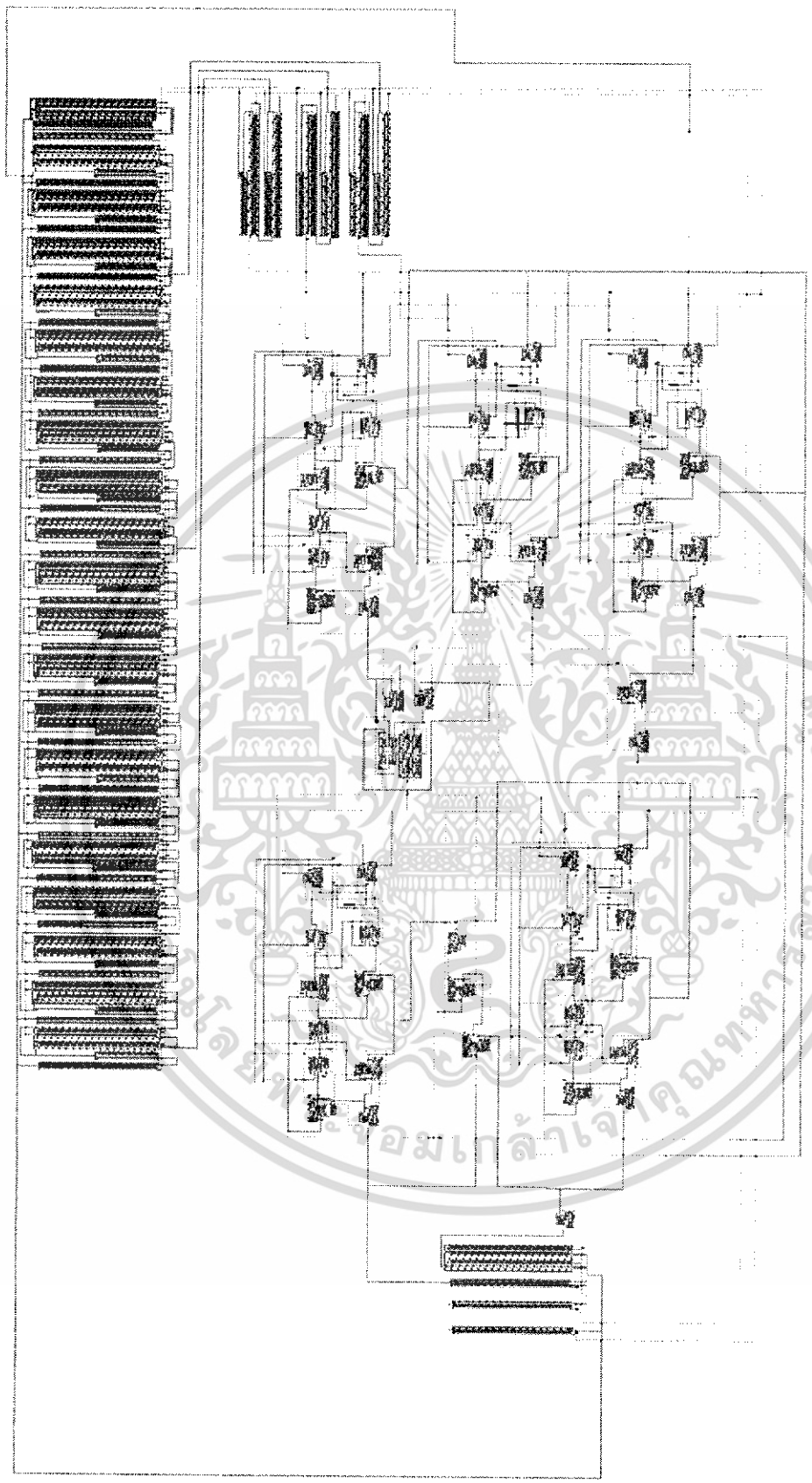
Vcontrol	delay time (ps)
1	1549
1.1	1107
1.2	924.52
1.3	801.05
1.4	657.34
1.5	651.36
1.6	605.16
1.7	570.98
1.8	545.65
1.9	527.05
2	513.18
2.1	502.504
2.2	494.55
2.3	448.23
2.4	483.12
2.5	479.02
2.6	476.27
2.7	474.012
2.8	472.56
2.9	471.34

Vcontrol	delay time (ps)
3	470.25
3.1	470.25
3.2	470.007
3.3	469.85
3.4	463.7
3.5	470.16
3.6	470.42
3.7	470.688
3.8	471.27
3.9	471.894
4	472.52
4.1	473.09
4.2	473.761
4.3	474.436
4.4	475.234
4.5	476.051
4.6	476.936
4.7	477.82
4.8	478.704
4.9	479.504
5	480.514
6	490.943
7	502.504
8	514.41
9	526.845
10	539.334



จากการทดลองวงจรVDCLจะได้กราฟความสัมพันธ์โดยที่เมื่อVcontrol เพิ่มขึ้นค่าdelay จะลดลง และเมื่อ Vcontrol ลดลงค่า delay จะเพิ่มขึ้น

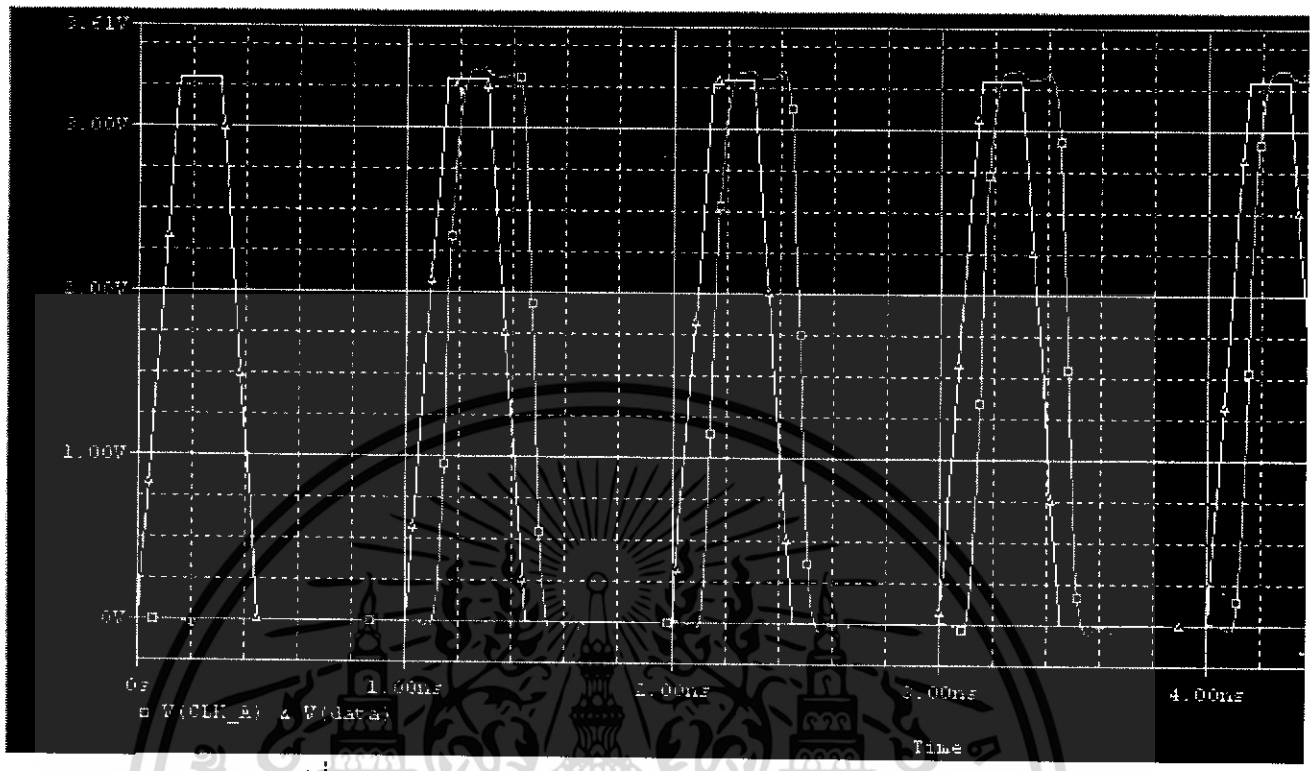
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.5 วงจรของ PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองวงจร PULSE-SWOLLOW

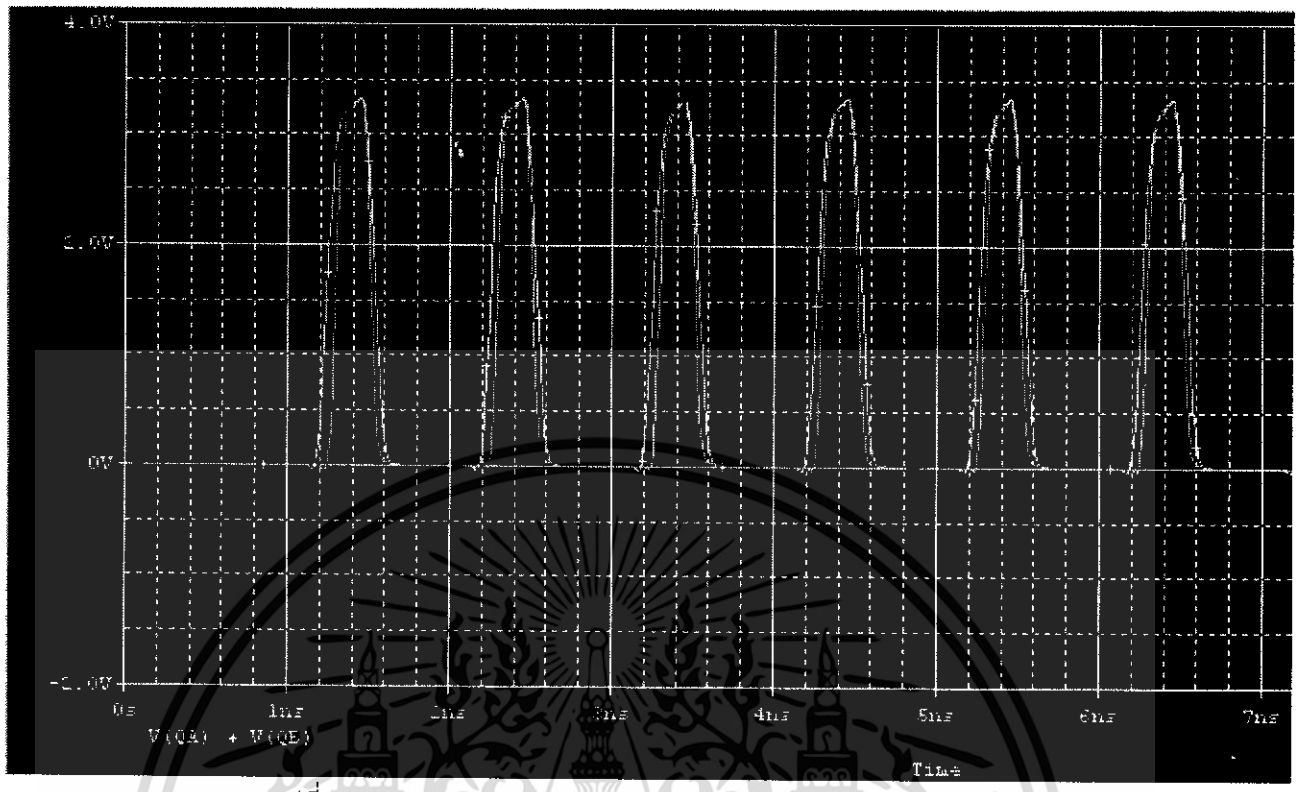


รูปที่5.6 ผลการทดลองวงจร PULSE-SWOLLOW

จากการทดลองจะเห็นว่าวงจร PULSE-SWOLLOW ทำงานได้ตามที่ออกแบบ โดย output จะมีพัลส์ลูกที่2ออกมาเป็นลูกแรก จากรูปจะเห็นว่ามีค่าdelay ของ D ฟลิปฟลอปและเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

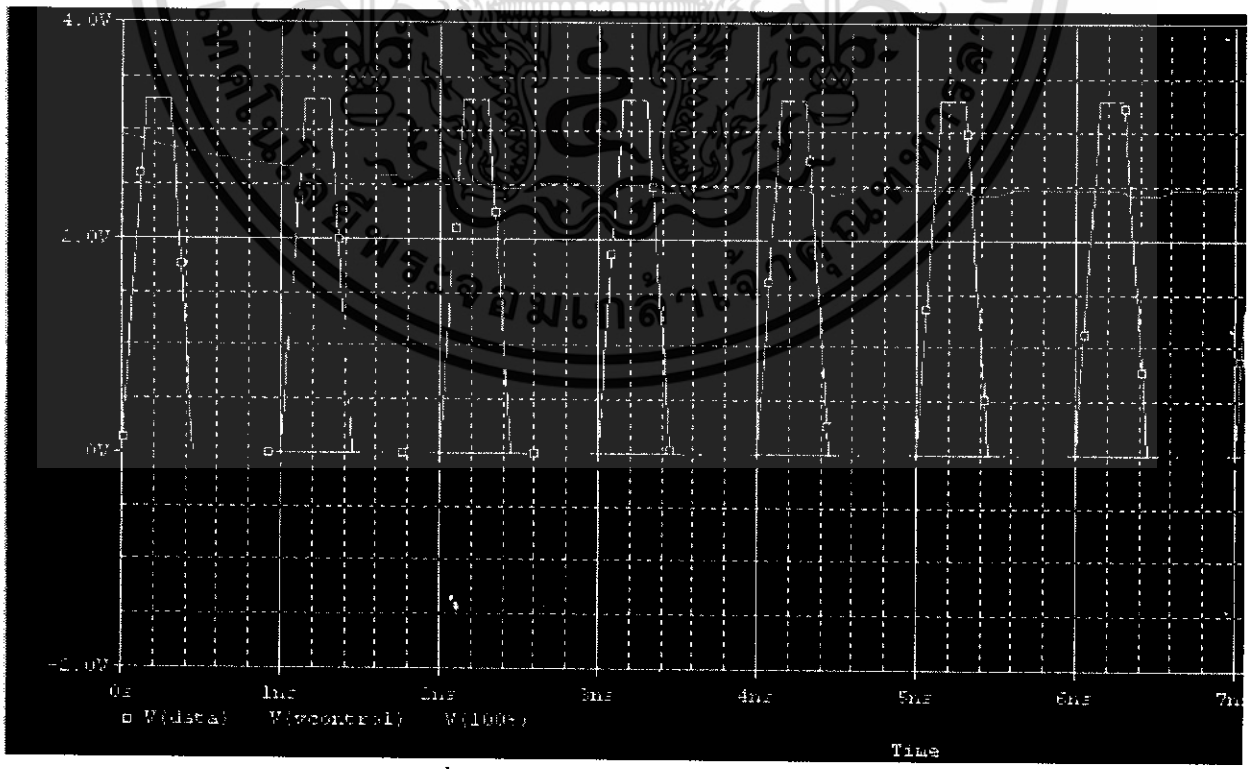
ผลการทดลองวงจร phase/Frequncy Detector,PFD



รูปที่5.7 ผลการทดลองวงจร phase/Frequncy Detector,PFD

จากการทดลองจะเห็นว่า QAและQBจะเกิดและหายไปพร้อมกันเพราะในการทดลองนี้เป็นการให้input PFD เท่ากันทั้ง2input

ผลการทดลอง DLL

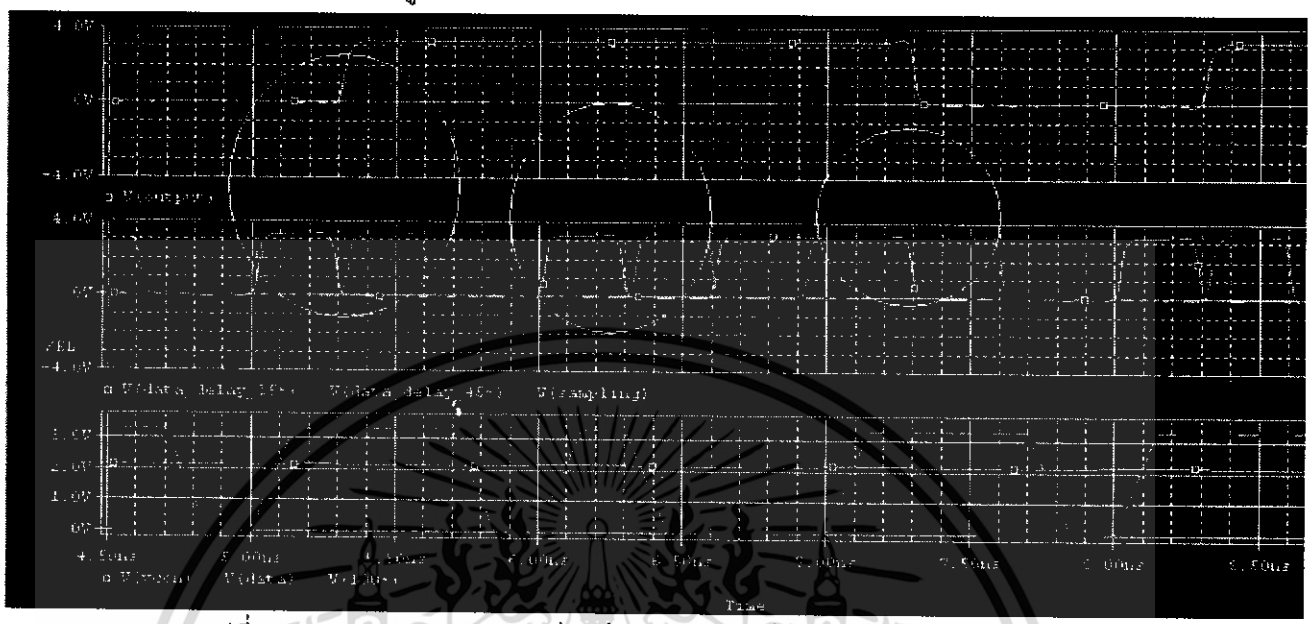


รูปที่5.8ผลการทดลอง DLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลอง DLLจะเห็นว่า V control คงที่เหมือน DLL ล็อคแล้ว

ผลการทดลองวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL



รูปที่5.9ผลการทดลองวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL

จากการทดลองจะเห็นว่า สัญญาณ sampling สีน้ำเงิน samplingจุดที่มีความแตกต่างโดยที่ถ้าสัญญาณdelay15%สีเขียวและdelay45%สีแดงต่างกันจะมีoutput เป็น HI และถ้าเหมือนกันมี output เป็น LOW

สรุปคุณสมบัติและค่าพารามิเตอร์ของวงจร PWM

Characteristic	Symbol	Value	Units
Maximum Frequency	f_{max}	1.05	GHz
Minimum Frequency	f_{min}	0.95	GHz
Supply voitage	vdd	3.3	v
Area		49632	micron
Technology		0.18	micron
power consumption		163	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุป

ดีเลย์ล็อคลูปสามารถนำไปใช้งานได้หลายอย่างและในโครงงานนี้นำมาใช้ในส่วนหนึ่งของระบบการส่งข้อมูล

พื้นฐานความรู้ที่ได้จากการทำโปรเจคนี้ทำให้สามารถมองเห็นภาพกระบวนการในการออกแบบลวดลายก่อนจะนำไปสร้างกระจกต้นแบบเพื่อใช้ในการผลิตวงจรรวมต่อไป ถึงแม้ซอฟแวร์ที่ใช้จะมีข้อเสียอยู่บ้างและไม่ได้ใช้จริงในโรงงานอุตสาหกรรมและ อุตสาหกรรมประเภทนี้ในประเทศไทยก็ยังเข้ามาไม่ถึง แต่ก็ได้ความรู้ที่ได้เป็นพื้นฐานที่ดีในการออกแบบเพื่อในอนาคตข้างหน้าที่เทคโนโลยีประเภทนี้อาจจะเข้ามาในเมืองไทย หรือถ้ามีโอกาสได้ศึกษาต่อในอนาคตก็จะเป็นแนวทางที่จะคิดค้นหรือสร้างสรรค์ใหม่ต่อไป ถ้าเรามีพื้นฐานที่ดีแล้วการที่จะเรียนรู้ไปให้ทันกับเทคโนโลยีสมัยใหม่ก็จะเป็นเรื่องที่ไม่ยากอีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Behzad Razavi , **Design of Analog CMOS Integrated Circuit** , 684 p. 2001
[2] David A Hodges ,**Analysis and Design of Digital Integrated circuits**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

model parameter of 0.18 micron process for digital IC HW

.MODEL MbreakN NMOS (LEVEL = 7

+VERSION = 3.1 TNOM = 27 TOX = 4.1E-9

+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.3761998

+K1 = 0.5817327 K2 = 3.398626E-3 K3 = 1E-3

+K3B = 6.1699302 W0 = 1E-7 NLX = 1.756186E-7

+DVT0W = 0 DVT1W = 0 DVT2W = 0

+DVT0 = 1.4689984 DVT1 = 0.4166442 DVT2 = 8.946887E-3

+U0 = 282.8878274 UA = -1.273908E-9 UB = 2.339211E-18

+UC = 7.500776E-11 VSAT = 1.127903E5 A0 = 2

+AGS = 0.4566255 B0 = 1.795958E-7 B1 = 5E-6

+KETA = -6.481343E-3 A1 = 0 A2 = 0.7480243

+RDSW = 105 PRWG = 0.4431205 PRWB = -0.2

+WR = 1 WINT = 0 LINT = 1.557007E-8

+XL = 0 XW = -1E-8 DWG = -2.430585E-8

+DWB = 1.999491E-8 VOFF = -0.0948017 NFACTOR = 2.1860065

+CIT = 0 CDSC = 2.4E-4 CDSCD = 0

+CDSCB = 0 ETA0 = 2.576968E-3 ETAB = 6.028975E-5

+DSUB = 0.0170442 PCLM = 0.86935 PDIBLC1 = 0.1741253

+PDIBLC2 = 2.173927E-3 PDIBLCB = -0.1 DROUT = 0.7146061

+PSCBE1 = 2.161003E9 PSCBE2 = 1.387607E-9 PVAG = 8.638546E-3

+DELTA = 0.01 RSH = 6.6 MOBMOD = 1

+PRT = 0 UTE = -1.5 KT1 = -0.11

+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9

+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4

+WL = 0 WLN = 1 WW = 0

+WWN = 1 WWL = 0 LL = 0

+LLN = 1 LW = 0 LWN = 1

+LWL = 0 CAPMOD = 2 XPART = 0.5

+CGDO = 8.24E-10 CGSO = 8.24E-10 CGBO = 1E-12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+CJ = 9.578961E-4 PB = 0.8 MJ = 0.3750441

+CJSW = 2.611511E-10 PBSW = 0.8004708 MJSW = 0.1413817

+CJSWG = 3.3E-10 PBSWG = 0.8004708 MJSWG = 0.1413817

+CF = 0 PVTH0 = 3.880427E-4 PRDSW = -5

+PK2 = 7.26317E-4 WKETA = 7.869884E-3 LKETA = -4.658118E-3

+PU0 = 33.4918161 PUA = 1.569384E-10 PUB = 5.937982E-24

+PVSAT = 1.207596E3 PETA0 = 1.003159E-4 PKETA = -5.568264E-3)

*

.MODEL MbreakP PMOS (LEVEL = 7

+VERSION = 3.1 TNOM = 27 TOX = 4.1E-9

+XJ = 1E-7 NCH = 4.1589E17 VTH0 = -0.3936248

+K1 = 0.5612909 K2 = 0.0334953 K3 = 0

+K3B = 16.2564569 W0 = 1E-6 NLX = 1.330761E-7

+DVT0W = 0 DVT1W = 0 DVT2W = 0

+DVT0 = 0.5975802 DVT1 = 0.2345275 DVT2 = 0.1

+U0 = 110.7725713 UA = 1.383056E-9 UB = 2.208861E-21

+UC = -1E-10 VSAT = 1.858989E5 A0 = 1.8808667

+AGS = 0.3841287 B0 = 3.53381E-7 B1 = 9.07266E-7

+KETA = 0.0246598 A1 = 0.4568597 A2 = 0.3

+RDSW = 234.5147338 PRWG = 0.5 PRWB = 0.424768

+WR = 1 WINT = 0 LINT = 2.741147E-8

+XL = 0 XW = -1E-8 DWG = -5.511348E-8

+DWB = 1.015739E-8 VOFF = -0.0922144 NFACTOR = 2

+CIT = 0 CDSC = 2.4E-4 CDSCD = 0

+CDSCB = 0 ETA0 = 1.934508E-3 ETAB = -5.867672E-4

+DSUB = 2.411095E-3 PCLM = 1.2012596 PDIBLC1 = 1.418763E-4

+PDIBLC2 = -8.336845E-6 PDIBLCB = 0.1 DROUT = 2.918161E-4

+PSCBE1 = 4.130996E10 PSCBE2 = 1.59119E-8 PVAG = 0.4003163

+DELTA = 0.01 RSH = 7.5 MOBMOD = 1

+PRT = 0 UTE = -1.5 KT1 = -0.11

+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4

+WL = 0 WLN = 1 WW = 0

+WWN = 1 WWL = 0 LL = 0

+LLN = 1 LW = 0 LWN = 1

+LWL = 0 CAPMOD = 2 XPART = 0.5

+CGDO = 6.51E-10 CGSO = 6.51E-10 CGBO = 1E-12

+CJ = 1.166499E-3 PB = 0.8426653 MJ = 0.4041965

+CJSW = 2.443251E-10 PBSW = 0.811227 MJSW = 0.3145024

+CJSWG = 4.22E-10 PBSWG = 0.811227 MJSWG = 0.3145024

+CF = 0 PVTH0 = 3.558724E-3 PRDSW = 10.1907428

+PK2 = 3.322217E-3 WKETA = 0.0340651 LKETA = -4.332251E-3

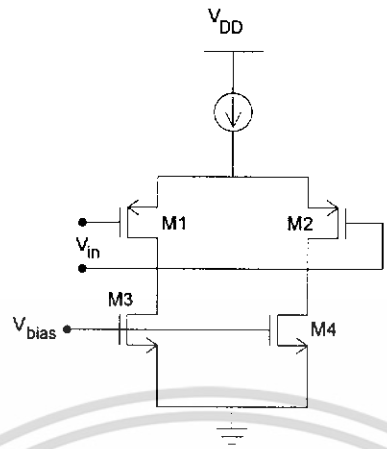
+PU0 = -2.1784074 PUA = -7.70492E-11 PUB = 1E-21

+PVSAT = -50 PETA0 = 7.209832E-5 PKETA = -5.881821E-3)

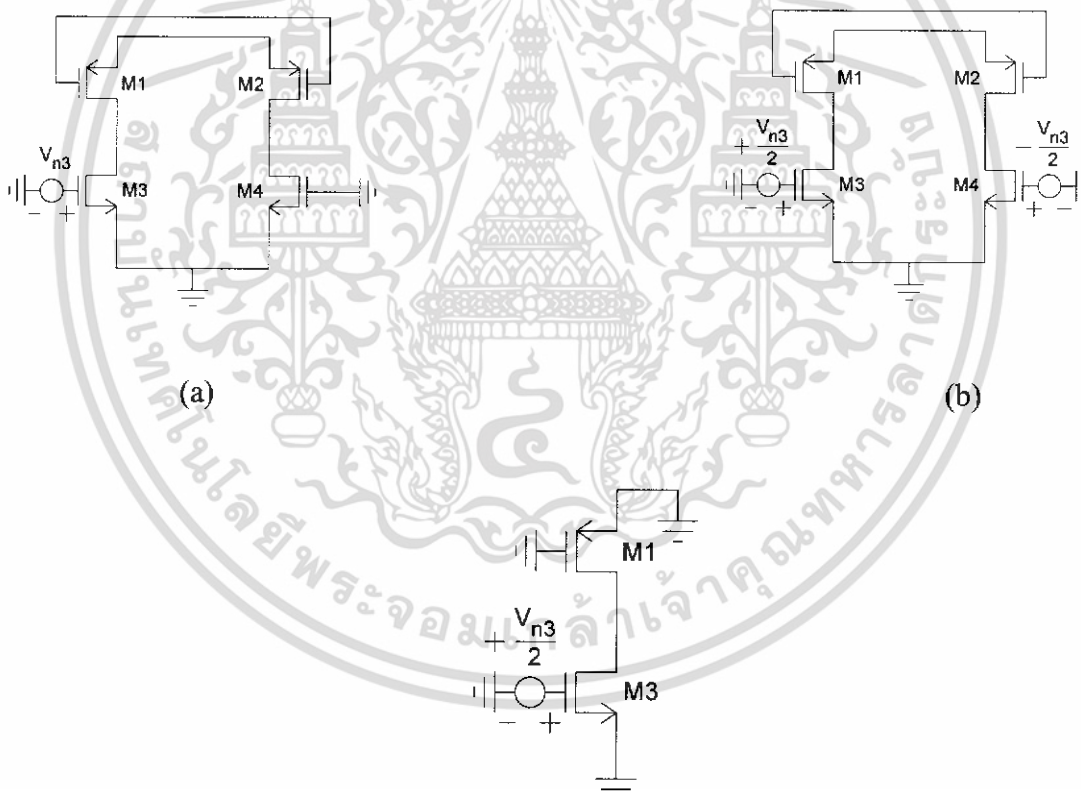
*การวิเคราะห์สัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การวิเคราะห์สัญญาณรบกวนในวงจรขยายผลต่าง



รูปที่ 1 แสดงวงจรขยายผลต่าง



รูปที่ 2 แสดงการคำนวณ input-referred noise ในวงจรขยายผลต่างที่มีโหลดเป็นแหล่งจ่ายกระแส

จากรูป จะได้ว่า

$$\overline{V_{n,in}^2} = 2\overline{V_{n1}^2} + 2\overline{V_{n3}^2} \qquad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $$\overline{V_{n1}^2} = \frac{\overline{V_{n1,out}^2}}{A_V^2} \quad (2)$$

จากสมการ $$\overline{V_{n1,out}^2} = \overline{I_{n,m1}^2} R^2 \quad (3)$$

$$\overline{V_{n1,out}^2} = \left(4kT\gamma_p g_{m1} + \frac{K_p g_{m1}^2}{C_{ox}(WL)_1 f} \right) \left(r_{o1} // r_{o3} \right)^2 \quad (4)$$

$$A_V^2 = g_{m1}^2 \left(r_{o1} // r_{o3} \right)^2 \quad (5)$$

ดังนั้น $$\overline{V_{n1}^2} = \frac{4kT\gamma_p}{g_{m1}} + \frac{K_p}{C_{ox}(WL)_1 f} \quad (6)$$

จากสมการ $$\overline{V_{n3}^2} = \frac{\overline{V_{n3,out}^2}}{A_V^2} \quad (7)$$

$$\overline{V_{n3,out}^2} = \overline{I_{n,m3}^2} R^2 \quad (8)$$

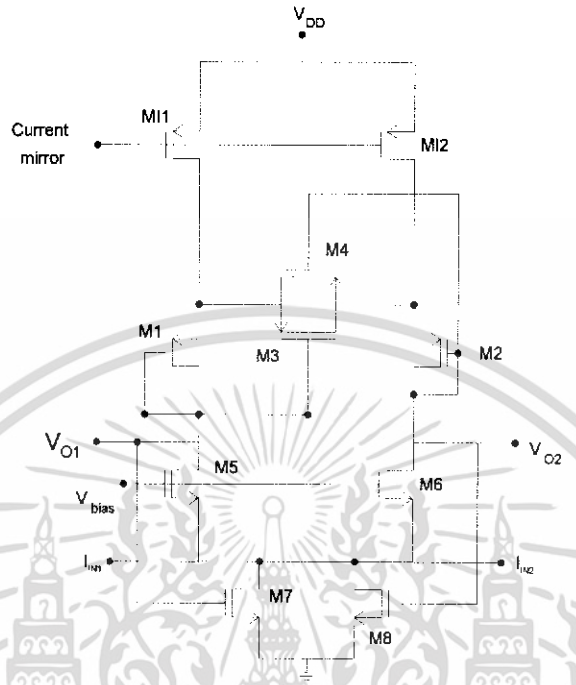
จะได้ว่า $$\overline{V_{n3,out}^2} = \left(4kT\gamma_n g_{m3} + \frac{K_n g_{m3}^2}{C_{ox}(WL)_3 f} \right) \left(r_{o1} // r_{o3} \right)^2 \quad (9)$$

$$\overline{V_{n3}^2} = \frac{4kT\gamma_n g_{m3}}{g_{m1}^2} + \frac{K_n}{C_{ox}(WL)_3 f} \left(\frac{g_{m3}^2}{g_{m1}^2} \right) \quad (10)$$

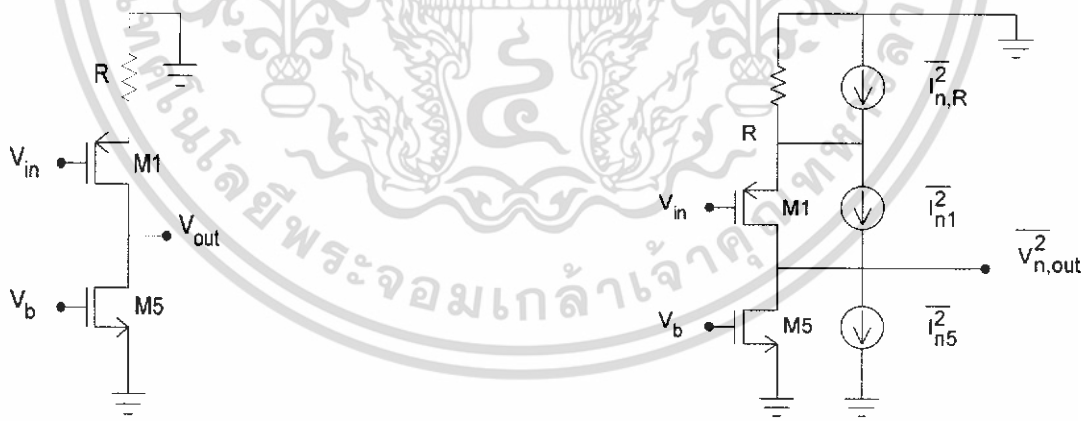
$\therefore$ $$\overline{V_{n,in}^2} = 8kT \left(\frac{\gamma_p}{g_{m1}} + \frac{\gamma_n g_{m3}}{g_{m1}^2} \right) + \frac{2K_p}{C_{ox}(WL)_1 f} + \frac{2K_n}{C_{ox}(WL)_3 f} \frac{g_{m3}^2}{g_{m1}^2} \quad (11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การวิเคราะห์สัญญาณรบกวนในวงจรขยายความต้านทาน



รูปที่ 3 แสดงวงจรขยายความต้านทาน



(a) (b)

รูปที่ 4 แสดงการคำนวณ input-referred noise ในวงจรขยายความต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จะได้ว่า $$\overline{V_{n,in}^2} = 2\overline{V_{n1}^2} + 2\overline{V_{n5}^2} + 2\overline{V_R^2} \quad (12)$$

โดยที่ $$\overline{V_{n1}^2} = \frac{\overline{V_{n1,out}^2}}{A_V^2} \quad (13)$$

จากสมการ $$\overline{V_{n1,out}^2} = \overline{I_{n,m1}^2} R_o^{\ 2} \quad (14)$$

$$\overline{V_{n1,out}^2} = \left(4kT\gamma_p g_{m1} + \frac{K_p g_{m1}^2}{C_{ox}(WL)_1 f} \right) R_o^2 \quad (15)$$

$$A_V^2 = g_{m1}^2 R_o^2 \quad (16)$$

ดังนั้น $$\overline{V_{n1}^2} = \frac{4kT\gamma_p}{g_{m1}} + \frac{K_p}{C_{ox}(WL)_1 f} \quad (17)$$

จากสมการ $$\overline{V_{n5}^2} = \frac{\overline{V_{n5,out}^2}}{A_V^2} \quad (18)$$

$$\overline{V_{n5,out}^2} = \overline{I_{n,m5}^2} R_o^2 \quad (19)$$

จะได้ว่า $$\overline{V_{n5,out}^2} = \left(4kT\gamma_n g_{m5} + \frac{K_n g_{m5}^2}{C_{ox}(WL)_5 f} \right) R_o^2 \quad (20)$$

$$\overline{V_{n5}^2} = \frac{4kT\gamma_n g_{m5}}{g_{m1}^2} + \frac{K_n}{C_{ox}(WL)_5 f} \left(\frac{g_{m5}^2}{g_{m1}^2} \right) \quad (21)$$

จากสมการ $$\overline{V_R^2} = \frac{\overline{V_{R,out}^2}}{A_V^2} = \frac{4kTR}{g_{m1}^2 R_o^2} \quad (22)$$

โดยที่ $$R_o^2 = r_{o1}^2 g_{m1}^2 R^2 \quad (23)$$

$$\therefore \quad \overline{V_{n,in}^2} = 8kT\left(\frac{\gamma_p}{g_{m1}} + \frac{\gamma_n g_{m5}}{g_{m1}^2} \right) + \frac{2K_p}{C_{ox}(WL)_1 f} + \frac{2K_n}{C_{ox}(WL)_3 f} \frac{g_{m5}^2}{g_{m1}^2} + \frac{8kT}{r_{01}^2 g_{m1}^4 R} \quad (24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ k คือ Boltzmann constant $\left(1.38\times10^{-23}J/K\right)$

T คือ temperature $\left(K\right)$

K_p, K_n คือ process-dependent constant $\left(V^2F\right)$

γ_n, γ_p คือ body effect coefficient $\left(\sqrt{V}\right)$

C_{ox} คือ dielectric capacitors $\left(F/cm^2\right)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL

DLL- BASED PULSE WIDTH DEMODULATOR CIRCUIT DESIGN

นาย ธราธร ว่องวรดา
ห้อง 3R/1
รหัสนักศึกษา 46015179

ดร. กสิน วิเชียรชม
อาจารย์ที่ปรึษา

การออกแบบวงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ DLL

DLL- BASED PULSE WIDTH DEMODULATOR CIRCUIT DESIGN

- วัตถุประสงค์ของโครงงาน
  1. ศึกษาลักษณะการทำงานของ DLL
  2. ออกแบบและสร้างวงจรรวมดีมอสดูเลเตอร์ของสัญญาณแบบปรับความกว้างของรูปสัญญาณโดยใช้ DLL
  3. พัฒนาเทคนิคใหม่ที่ทำให้ได้อัตราการส่งข้อมูลที่เร็วมากขึ้น

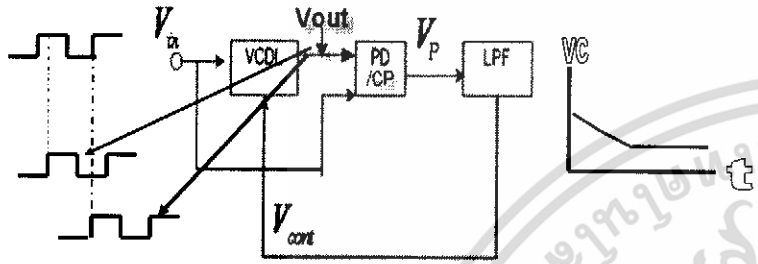
รายละเอียดการนำเสนอ

- กล่าวถึงการศึกษาทฤษฎีต่างๆ ที่เกี่ยวข้องกับ วงจร Delay lock loop โดยใช้มอสเฟท
- กล่าวถึงองค์ประกอบพื้นฐานของดีเลย์ล็อคลูปการออกแบบวงจร Delay lock loop
- กล่าวถึงการประยุกต์ใช้งานของวงจร Delay lock loopในวงจรดีมอสดูเลเตอร์ของสัญญาณแบบปรับความกว้างรูปโดยใช้ DLL
- กล่าวถึงการออกแบบและผลการทดลอง
- กล่าวถึงสรุปและวิจารณ์ผลการทดลอง เพื่อเป็นแนวทางในการพัฒนาวงจรรวมดีมอสดูเลเตอร์ของสัญญาณแบบปรับความกว้างรูปโดยใช้ DLL

องค์ประกอบพื้นฐาน วงจรดีเลย์ล็อคลูป

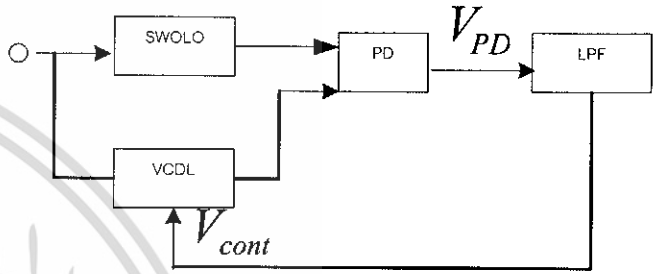
- วงจรหน่วงเวลาควบคุมด้วยแรงดัน VCDL(voltage-controlled delay line)
- ตัวดักจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD)
- charge-Pump
- LPF หรือ C_p
- วงจรpulse swollow

องค์ประกอบของดีเลย์ล็อคลูปเดิม

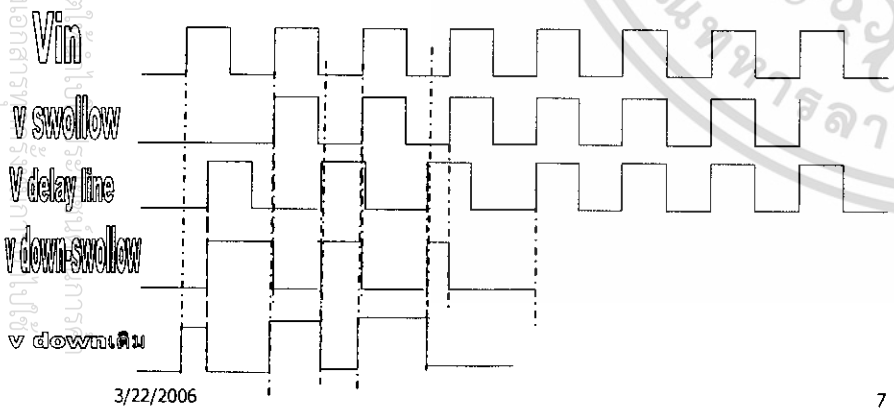


รูปภาพองค์ประกอบของดีเลย์ล็อคลูป

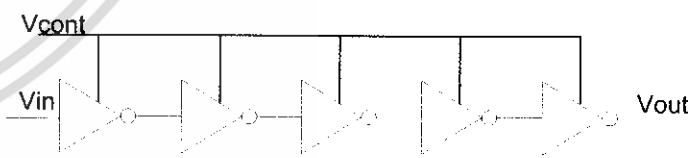
องค์ประกอบของดีเลย์ล็อคลูปใหม่



รูปสัญญาณการเข้าสู่สภาวะล็อคของดีเลย์ล็อคลูป

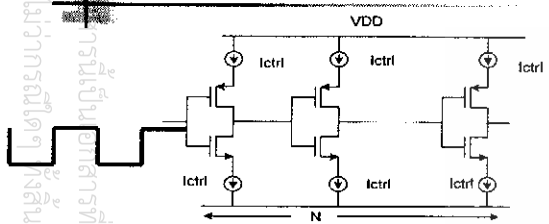


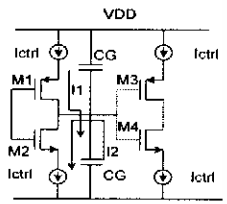
วงจรหน่วงเวลาควบคุมด้วยแรงดัน VCDL(voltage-controlled delay line)



รูป VCDL ระดับเกท

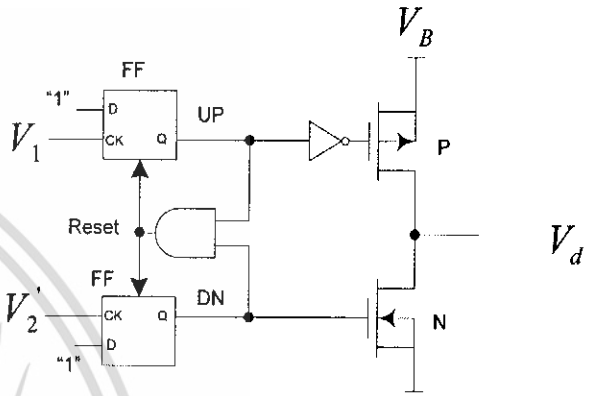
หลักการทำงาน VCDL(voltage-controlled delay line)





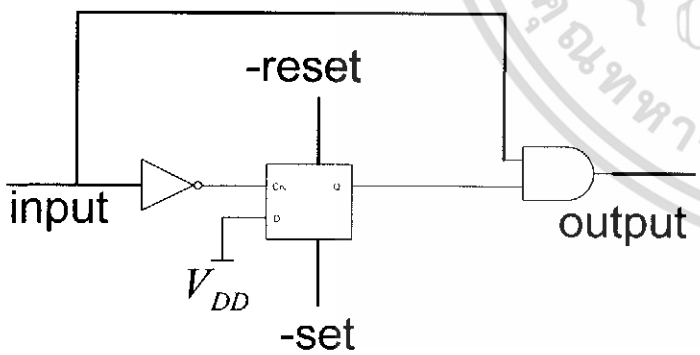
- เมื่อปรับ Ictrlด้านบนให้มากขึ้นโดยจะมี I_1 ไหลชาร์จ Cg เร็วขึ้นในขณะที่ M1 turn onและM2 turn off จะทำให้ค่า delay time ลดลง
- เมื่อปรับ Ictrlด้านล่างให้มากขึ้นโดยจะมี I_2 ไหลดิสชาร์จ Cg เร็วขึ้นในขณะที่ M1 turn off และM2 turn on จะทำให้ค่า delay time ลดลง

ตัวดักจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และcharge-Pump



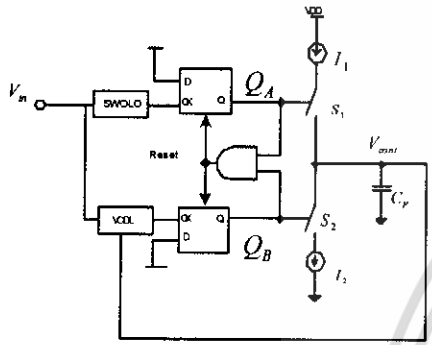
รูปตัวดักจับเฟสแบบเฟสความถี่และcharge-Pump

วงจร pulse swollow



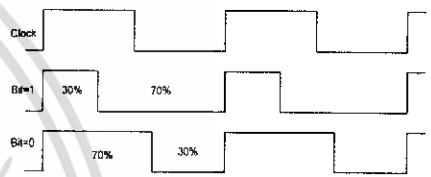
รูปสัญญาณของ pulse swollow

วงจรดีเลย์ล็อคลูปใหม่



หลักการทำงานของวงจรพัลส์วิธดีมอสดูเลเตอร์

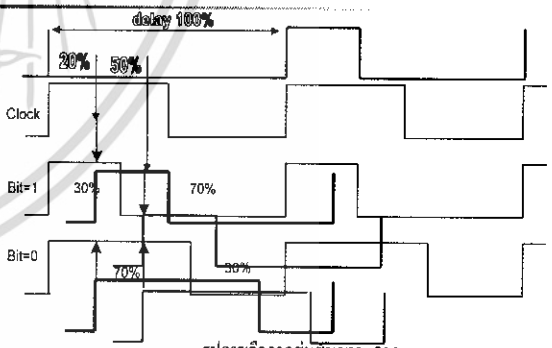
- pulse width modulator ส่งข้อมูลโดยการแปลงdigital dataไปเป็น digital signalแบบปรับความกว้างของรูปสัญญาณเพื่อส่งข้อมูลไปกับสัญญาณ
- วงจรพัลส์วิธดีมอสดูเลเตอร์จะทำการแปลง digital signalกลับไปเป็น digital data



หลักการทำงานของวงจรพัลส์วิธดีมอสดูเลเตอร์

- สัญญาณพัลส์วิธมอสดูเลเตอร์ที่มีความกว้างของพัลส์บวก30% พัลส์ลบ 70% ให้เป็น ข้อมูล บิต1
- สัญญาณพัลส์วิธมอสดูเลเตอร์ที่มีความกว้างของพัลส์บวก70% พัลส์ลบ 30% ให้เป็น ข้อมูล บิต0
- วงจรดีมอสดูเลเตอร์แยกข้อมูลออกจากสัญญาณนาฬิกาโดยการสุ่มเลือก2จุดมาเข้า**เอ็กซ์คูลซีฟออร์** โดยสัญญาณเหมือนกัน 2จุดเป็นบิต 0 ต่างกันเป็น บิต1ดังรูป

หลักการทำงานของวงจรพัลส์วิธดีมอสดูเลเตอร์



รูปการเลือกจุดสุ่มสัญญาณ 2จุด

ชนิดของ PWM

ชนิดที่1

- สัญญาณPWMที่มีความกว้างของพัลส์บวก30% พัลส์ลบ 70% ให้เป็น ข้อมูล บิต1และพัลส์บวก70% พัลส์ลบ 30%ให้เป็น ข้อมูล บิต0

ชนิดที่2

- สัญญาณPWMที่มีความกว้างของพัลส์บวก35% พัลส์ลบ 65% ให้เป็น ข้อมูล บิต1และพัลส์บวก65% พัลส์ลบ 35%ให้เป็น ข้อมูล บิต0

ชนิดของ PWM

ชนิดที่3

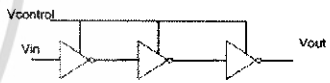
- สัญญาณPWMที่มีความกว้างของพัลส์บวก40% พัลส์ลบ 60% ให้เป็น ข้อมูล บิต1และพัลส์บวก60% พัลส์ลบ 40%ให้เป็น ข้อมูล บิต0

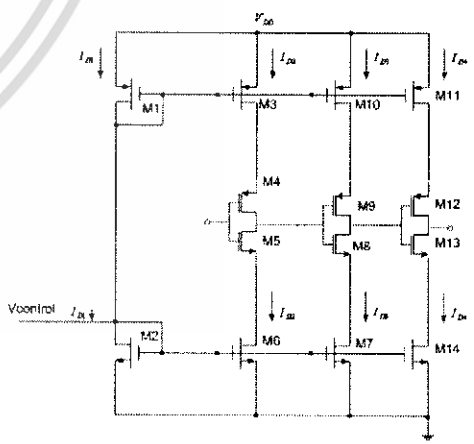
digital signal ที่เลือกใช้

- digital signal ชุดที่3 เหตุผลที่เลือก
- Fmax
- โอกาส error จากส่วน overlap
- จำนวน stage ของการออกแบบ delay line

การออกแบบและผลการทดลองดีเลย์ล็อคลูป

- **VCDL**





การออกแบบวงจรหน่วงเวลาควบคุมด้วยแรงดัน

(VCDL :voltage-controlled delay line)

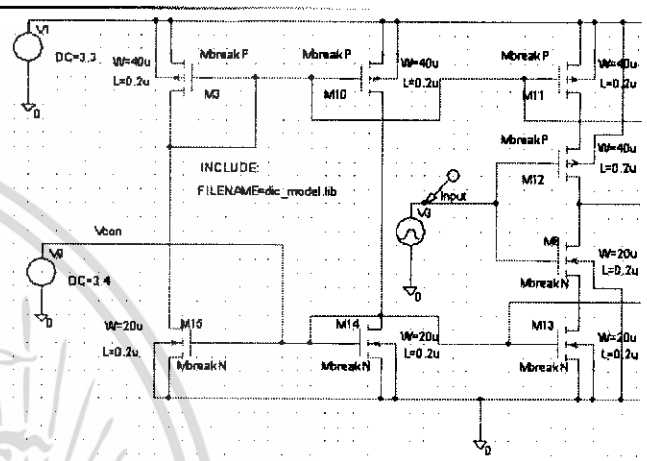
- วิธีออกแบบขนาดของ mosโดยใช้วิธี Sizing หาค่า W

โดย L=0.2 ไมครอน

จะได้ w_p = 40 ไมครอน และ w_n = 20 ไมครอน

การออกแบบวงจรหน่วงเวลาควบคุมด้วยแรงดัน

(VCDL :voltage-controlled delay line)



ผลการทดลองวงจรหน่วงเวลาควบคุมด้วยแรงดัน

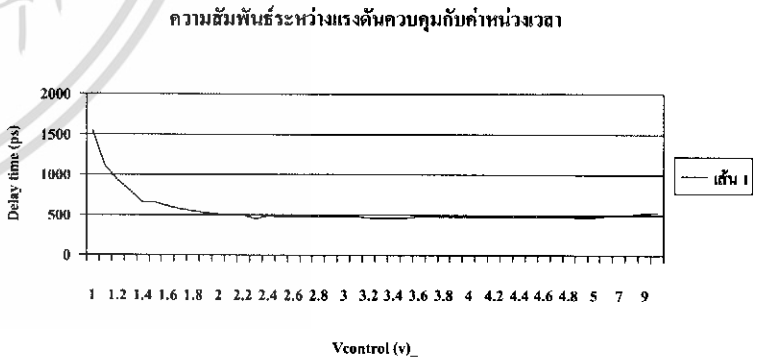
(VCDL :voltage-controlled delay line)

Vcontrol	delay time (ps)
1	1549
1.1	1107
1.2	924.52
1.3	801.05
1.4	657.34
1.5	651.36
1.6	605.16
1.7	570.98
1.8	545.65
1.9	527.05
2	513.18
2.1	502.504
2.2	494.55
2.3	488.23
2.4	483.12
2.5	479.02
2.6	476.27
2.7	474.012
2.8	472.56
2.9	471.34

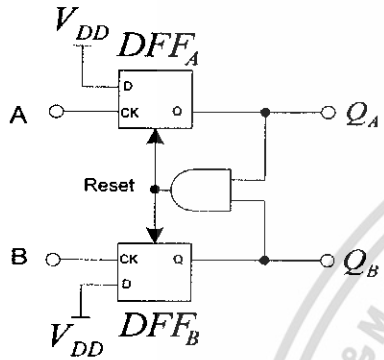
Vcontrol	delay time (ps)
3	470.25
3.1	470.25
3.2	470.007
3.3	469.85
3.4	463.7
3.5	470.16
3.6	470.42
3.7	470.688
3.8	471.27
3.9	471.894
4	472.52
4.1	473.09
4.2	473.761
4.3	474.436
4.4	475.234
4.5	476.051
4.6	476.936
4.7	477.82
4.8	478.704
4.9	479.504
5	480.514
6	490.943
7	502.504
8	514.41
9	526.845
10	539.334

ผลการทดลองวงจรหน่วงเวลาควบคุมด้วยแรงดัน

(VCDL :voltage-controlled delay line)

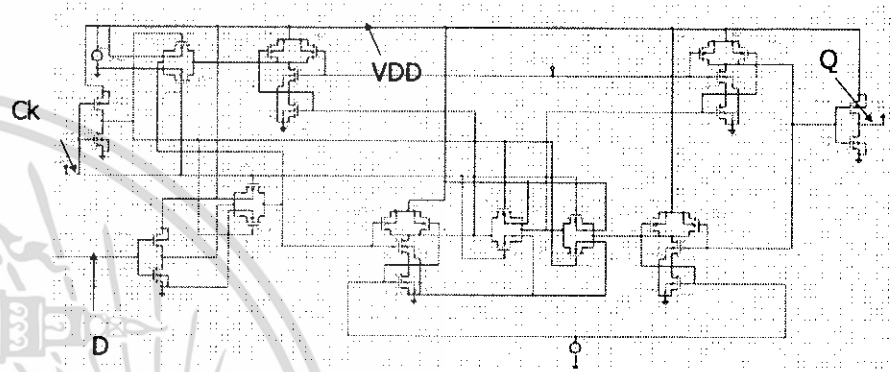


การออกแบบตัวตรวจจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และ charge-Pump



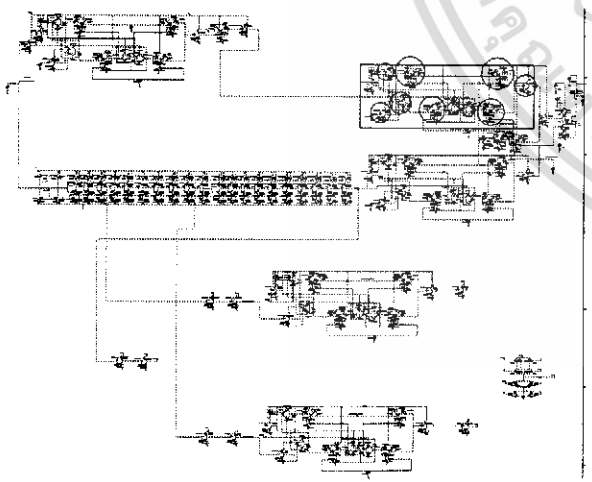
วงจรตรวจจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง

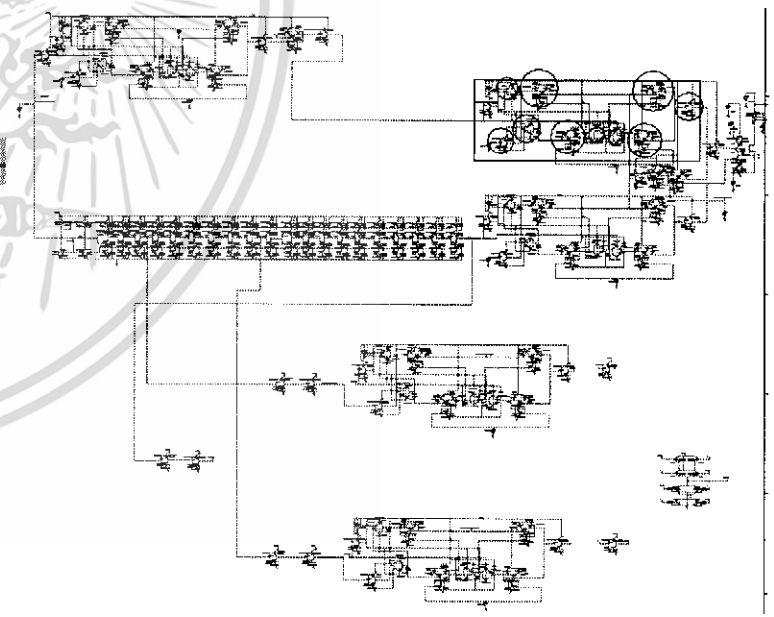
การออกแบบตัวตรวจจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และ charge-Pump



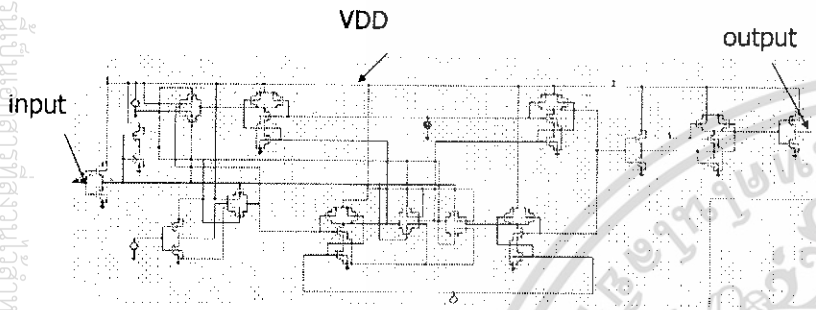
วงจร D- FF

วงจรดีเลล็อคลูป โดยใช้ MOS

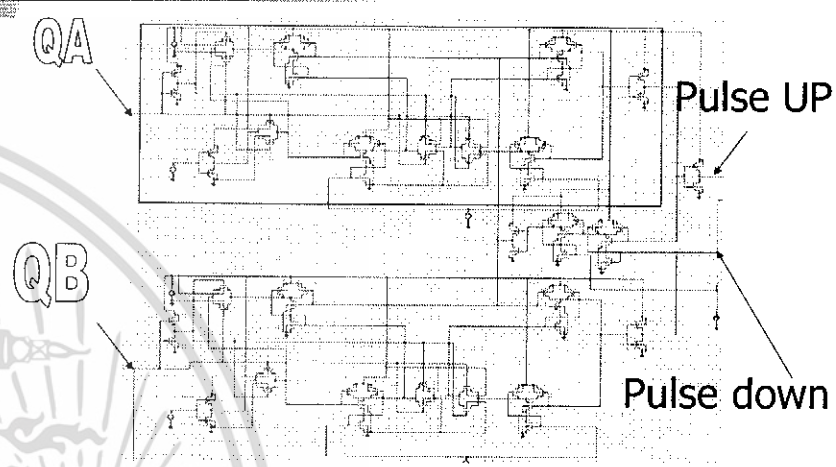




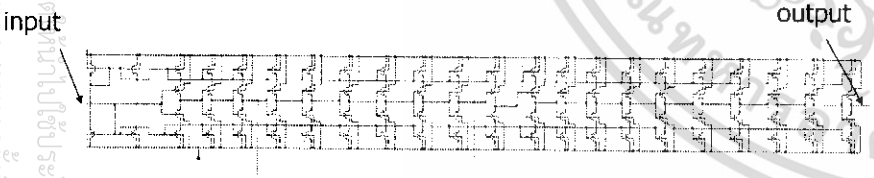
วงจรpulse swollow



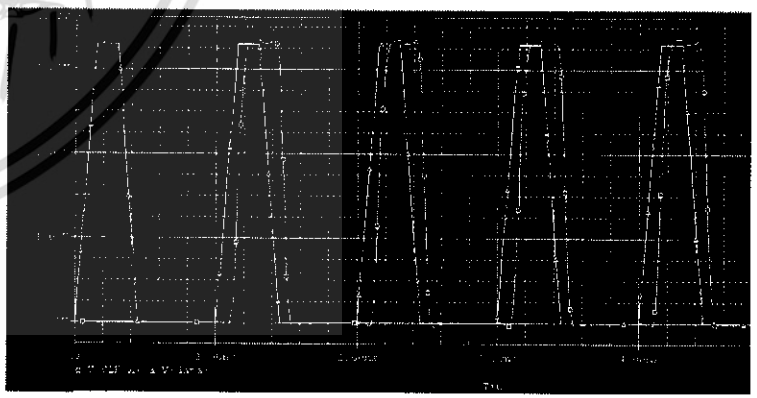
วงจร phase/Frequncy Detector,PFD



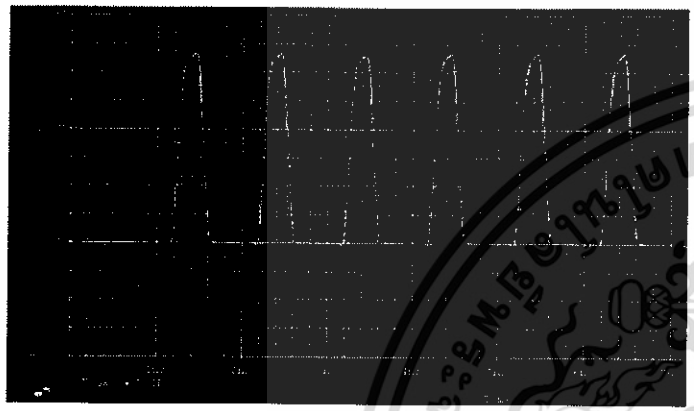
วงจร delay line



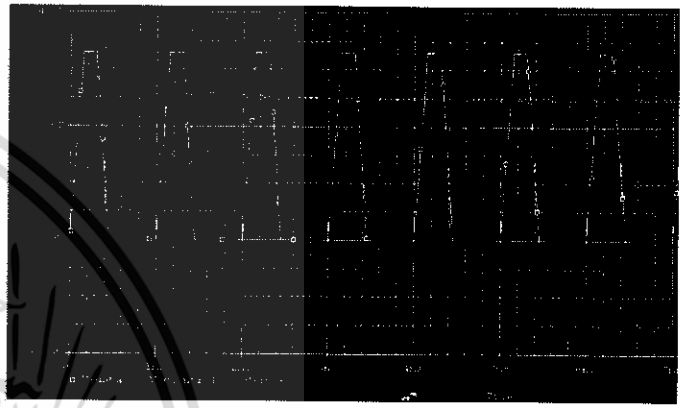
ผลการทดลอง pulse swollow



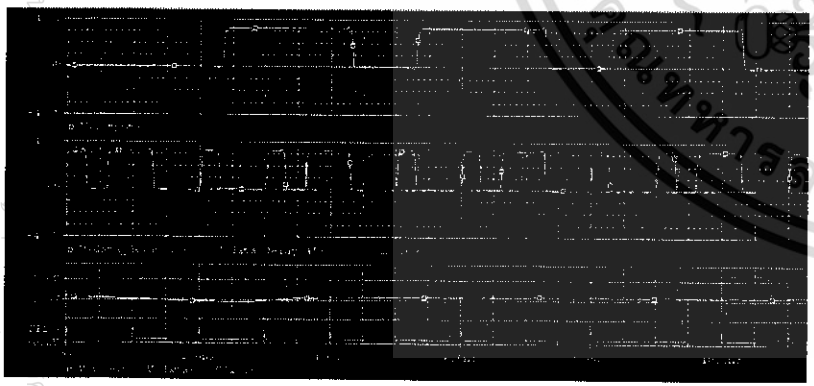
ผลการทดลอง **phase/Frequncy Detector,PFD**



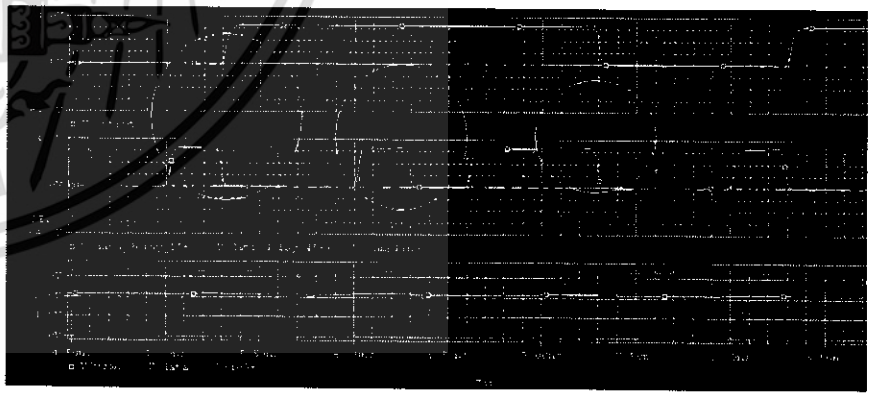
ผลการทดลอง **DLL**



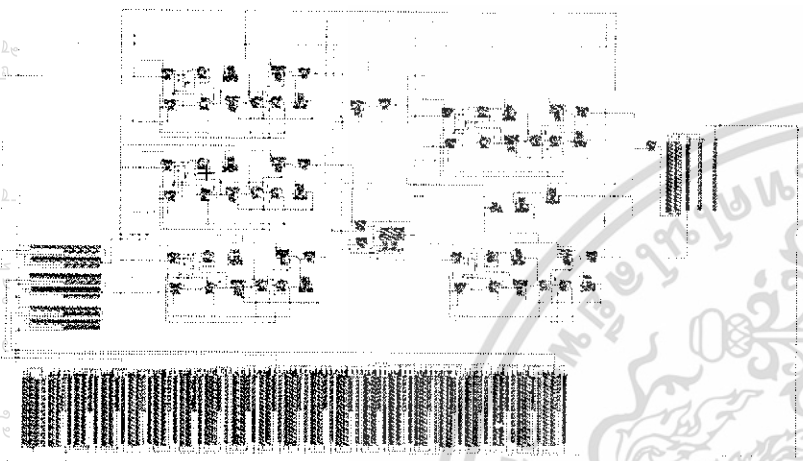
ผลการทดลอง วงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ **DLL**



ผลการทดลอง วงจรพัลส์วิดธ์ดีมอสดูเลเตอร์โดยใช้ **DLL**



รูปวงจรแบบ layout

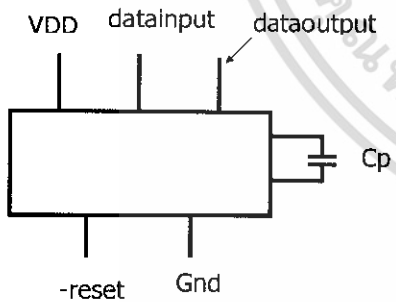


สรุปและวิจารณ์ผลการทดลอง

- จากการทดลองวงจรสามารถใช้งานได้ในช่วงความถี่ 950MHZถึง 1.05GHZ

Suply voltage	3.3V
Frequency	0.951.05GHz
Area	49632 micron
Technology	0.18 micron
Power consumption	163 mW

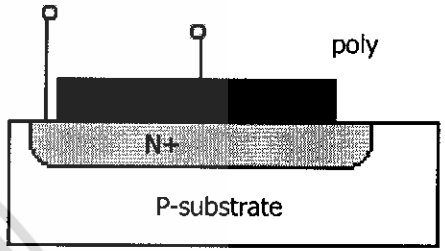
รูปการต่อใช้งาน



แนวทางในพัฒนาวงจรรวมดีมอสดูเลเตอร์แบบปรับความกว้างของรูปสัญญาณโดยใช้ DLL

- ในการประยุกใช้งานจริงของวงจร DLL นั้นอาจจะต้องปรับตัว VCDL ส่วนของ delay line ให้มีจำนวนของอินเวอร์เตอร์มากกว่านี้เพื่อความละเอียดของในการสุ่มเลือกสัญญาณ
- เมื่อปรับความละเอียดของการสุ่มเลือกสัญญาณแล้วอาจจะสามารถเพิ่มจำนวนบิตในการส่งเพื่อเพิ่มความเร็วได้โดยการเลื่อนความกว้างของรูปสัญญาณให้แคบลง

Capacitor structures

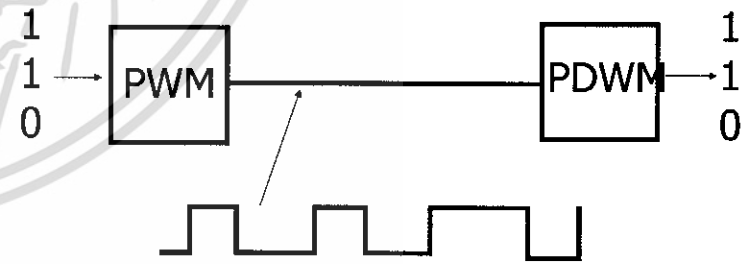


แบบ poly-diffusion

Capacitor

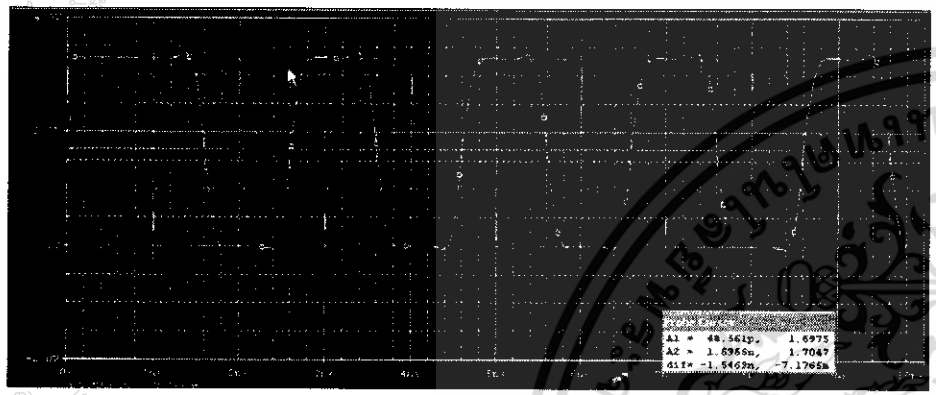
- Technology 0.18micron
- Gate Capacitance Coefficient =2 fF/um
- Self Capacitance Coefficient =1 fF/um
- Area ของ Cp =20000 □um

การนำไปใช้งานของ PWM



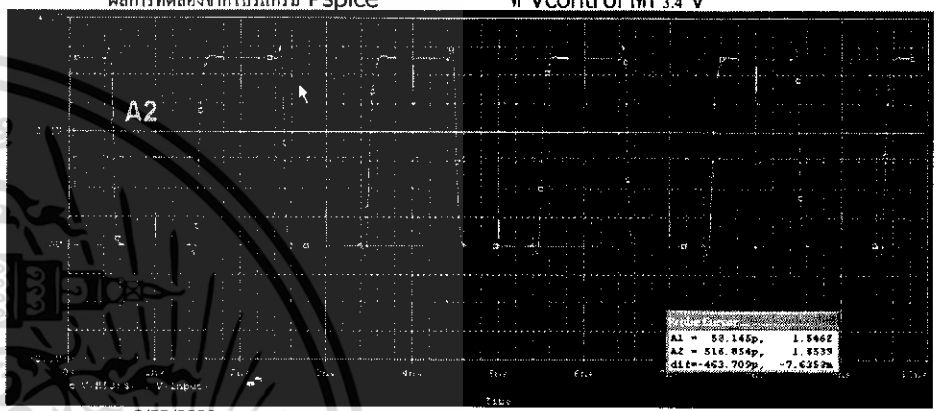
ผลการทดลองวงจรหน่วงเวลาควบคุมด้วยแรงดัน (VCDL :voltage-controlled delay line)

ผลการทดลองจากโปรแกรม Pspice ที่ Vcontrol เท่า 1 V



ผลการทดลองวงจรหน่วงเวลาควบคุมด้วยแรงดัน (VCDL :voltage-controlled delay line)

ผลการทดลองจากโปรแกรม Pspice ที่ Vcontrol เท่า 3.4 V



การออกแบบตัวตักจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และ charge-Pump

การออกแบบ อินเวอร์เตอร์ ระดับ MOS

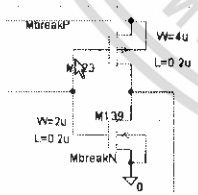
อินเวอร์เตอร์ ระดับ เกท

$R_P = R_{eqP} * L_p / W_P$

$R_n = R_{eqn} * L_n / W_n$

$R_{eqn} = 12.5k$

$R_{eqP} = 30k$



อินเวอร์เตอร์ ระดับ MOS

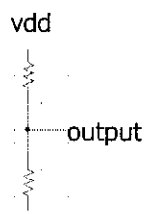
การออกแบบตัวตักจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และcharge-Pump

การออกแบบ อินเวอร์เตอร์ ระดับ MOS

อินเวอร์เตอร์ ระดับ เกท

จากสมการ R_P จะเท่ากับ R_n เมื่อ W_P เป็น 2 เท่า ของ W_n

เมื่อ RP เท่ากับRn ทำให้อินเวอร์เตอร์สมมาตรโดยประมาณ

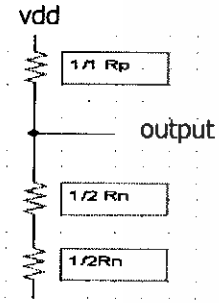


อินเวอร์เตอร์ เทียบเท่ากับเป็นความต้านทาน

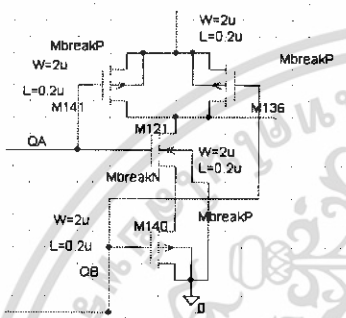
การออกแบบตัวตรวจจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และ charge-Pump

การออกแบบ แนนเกท ระดับ MOS

แนนเกท ระดับ เกท



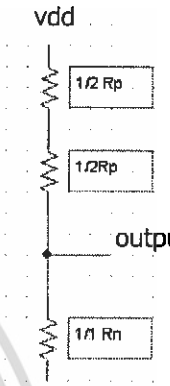
แนนเกท เทียบเคียงเป็นความต้านทาน



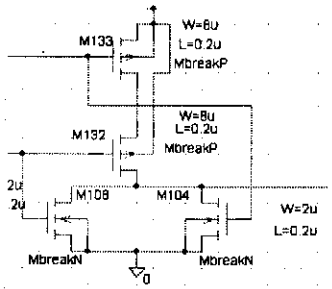
แนนเกท ระดับ MOS

การออกแบบตัวตรวจจับเฟสแบบเฟสความถี่(phase/Frequncy Detector,PFD) และ charge-Pump

นอร์เกท

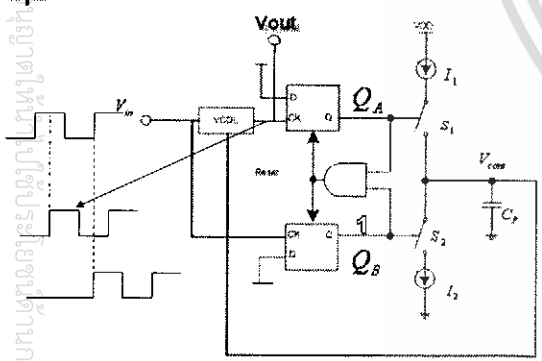


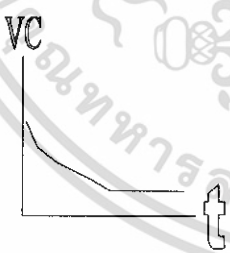
นอร์เกท เทียบเคียงเป็นความต้านทาน



นอร์เกท ระดับ MOS

วงจรดีเลย์ล็อคลูปเดิม





รูปสัญญาณ phase/Frequncy Detector,PFD