สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อุปกรณ์เชื่อมต่อโทรศัพท์ผ่านอินเตอร์เน็ตกับโครงข่ายโทรศัพท์

VoIP INTERFACE WITH TELEPHONENETWORK

โดย

นายสราวุฒิ ทาวรรณ

นายอนุวัตร แผลงศร

เลขหมู่.....
เลขทะเบียน 62716
วัน,เดือน,ปี 21 ส.ค. 2549

b 11629011
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

ผ่านการตรวจชิ้นงานแล้ว
(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านการตรวจรูปเล่มแล้ว
(ลงชื่อ).....ผู้ตรวจ

อุปกรณ์เชื่อมต่อโทรศัพท์ผ่านอินเตอร์เน็ตกับโครงข่ายโทรศัพท์

VoIP INTERFACE WITH TELEPHONENETWORK

โดย

นายสราวุฒิ ทาวรรณ 46015074

นายอนุวัตร แผลงศร 46015079

อาจารย์ที่ปรึกษา

ผศ.ดร.พิเชฐ ม่วงนวล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2548

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **อุปกรณ์เชื่อมต่อโทรศัพท์ผ่านอินเตอร์เน็ตกับโครงข่ายโทรศัพท์**

VoIP INTERFACE WITH TELEPHONENETWORK

ผู้จัดทำ

1. นายสราวุฒิ ทาวรรณ 46015074
2. นายอนุวัตร แผลงศร 46015079

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. พิเชฐ ม่วงนวล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์เชื่อมต่อโทรศัพท์ผ่านเอินเตอร์เน็ตกับโครงข่ายโทรศัพท์

VoIP INTERFACE WITH TELEPHONENETWORK

โดย นายสราวุฒิ ทาวรรณ 46015074
นายอนุวัตร แผลงศร 46015079

อาจารย์ที่ปรึกษา ผศ.ดร.พิเชฐ ม่วงนวล

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอการพัฒนาอุปกรณ์เชื่อมต่อการโทรศัพท์ผ่านเครือข่ายอินเตอร์เน็ต กับคู่สายโทรศัพท์โดยอุปกรณ์ดังกล่าวออกแบบให้ใช้งานในการเชื่อมต่อการโทรศัพท์ผ่านอินเตอร์เน็ตกับคู่สายโทรศัพท์ ทำให้สามารถใช้งานโทรศัพท์ผ่านโครงข่าย อินเตอร์เน็ต ในการโทรศัพท์ระหว่างประเทศ ทำให้ประหยัดค่าใช้จ่ายในการใช้งานโทรศัพท์

Abstract

This paper presents the development of internet and telephone network interface equipment. It's use VOIP to connect between telephone subscriber. This project use for internation call and no chard.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทที่1 บทนำ	1
บทที่2 ทฤษฎีหรือหลักการ	2
2.1 ระบบเครือข่ายคอมพิวเตอร์	2
2.1.1 วัตถุประสงค์ของการใช้ระบบเครือข่ายคอมพิวเตอร์	2
2.1.2 โครงสร้างของระบบเครือข่ายคอมพิวเตอร์	3
2.1.3 ประเภทของระบบเครือข่ายคอมพิวเตอร์ตามระยะการเชื่อมต่อ	3
2.1.4 ประเภทของระบบเครือข่าย	4
2.1.5 รูปแบบการเชื่อมต่อของระบบเครือข่าย	4
2.1.6 อีเธอร์เน็ต	6
2.1.7 สถาปัตยกรรมเครือข่ายรูปแบบ OSI	9
2.2 ระบบเครือข่ายอินเตอร์เน็ต	11
2.2.1 ประวัติอินเตอร์เน็ต	11
2.2.2 สถาปัตยกรรมของอินเตอร์เน็ต	12
2.2.3 วีโอไอพี	13
2.2.4 อินเตอร์เน็ตเทเลโฟนนี	15
2.2.5 โปรโตคอลในการเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์ผ่านอินเตอร์เน็ต	16
2.3 ระบบโทรศัพท์	29
2.3.1 การทำงานของโทรศัพท์	30
2.3.2 สัญญาณโทรศัพท์	31
2.3.3 การติดต่อกันระหว่างเครื่องส่งละเครื่องรับโทรศัพท์	32
2.3.4 ระบบโทรศัพท์แบบส่งความถี่คู่	34
2.3.5 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม	34
2.4 ไมโครคอนโทรลเลอร์ MCC-51	35
2.4.1 โครงสร้างของ MCS-51	35
2.4.2 การจัดการหน่วยความจำของ MCS-51หน่วย	37
2.4.3 สถาปัตยกรรมของ MCS-51	37
2.4.4 การทำงานของ MCS-51	38
2.4.5 การอินเตอร์รัพต์	38
บทที่ 3 การคำนวณและโครงสร้าง	40
3.1 ส่วนประกอบของฮาร์ดแวร์ (Hardware)	40
3.1.1 วงจรเพาเวอร์ซัพพลาย	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้าที่
3.1.2 วงจรตรวจสอบสัญญาณความถี่เสียง	41
3.1.3 วงจรตรวจสอบสัญญาณ DIAL	42
3.1.4วงจรตรวจสอบสัญญาณกระดิ่ง	43
3.1.5 วงจรยกหูและวางหูโทรศัพท์	43
3.1.6 วงจร Cross Point Switch	44
3.1.7 วงจรเครื่องโทรศัพท์	45
3.2 การออกแบบส่วนของโปรแกรม	45
บทที่ 4 การทดลองและผลการทดลอง	49
4.1 การทดลองวงจรตรวจสอบสัญญาณไม่ว่าง	49
4.2 การทดลองวงจรตรวจสอบสัญญาณเรียกกลับ	50
4.3 การทดลองวงจรตรวจสอบสัญญาณ DIAL	51
4.4 การทดลองวงจรตรวจสอบสัญญาณกระดิ่ง	51
4.6 การทดลองวงจร Cross Point Switch	52
4.6 การทดลองวงจรกำเนิดสัญญาณความถี่คู่	53
บทที่ 5 บทวิจารณ์และบทสรุป	58
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้าที่
รูปที่ 2.1 ระบบเครือข่ายแบบ Star Topology	5
รูปที่ 2.2 ระบบเครือข่ายแบบ Bus Topology	5
รูปที่ 2.3 ระบบเครือข่ายแบบ Ring Topology	6
รูปที่ 2.4 การเชื่อมต่อแบบ 100 Base-Tx	7
รูปที่ 2.5 การเชื่อมต่อแบบ 100 Base-Fx	8
รูปที่ 2.6 การเชื่อมต่อแบบ100 Base-T4	8
รูปที่ 2.7 โครงสร้างของสถาปัตยกรรมรูปแบบ OSI	11
รูปที่ 2.8 แสดงการส่งแพ็กเก็ตผ่านเครือข่าย	14
รูปที่ 2.9 แสดงลักษณะการติดต่อระหว่างพีซีกับพีซี	14
รูปที่ 2.10 แสดงลักษณะการติดต่อระหว่างพีซีกับโทรศัพท์	15
รูปที่ 2.11 แสดงลักษณะการติดต่อระหว่างโทรศัพท์กับโทรศัพท์	15
รูปที่ 2.12 แสดงTCP/IP stack เปรียบเทียบกับมาตรฐาน OSI โครงสร้างของสถาปัตยกรรมรูปแบบของProtocol TCP/IP	17
รูปที่ 2.13 ภาพแสดงการรับส่งข้อมูลผ่านโปรโตคอล TCP/IP	18
รูปที่ 2.14 โปรเซสต่างๆ ที่เรียกใช้ Transport Layer เพื่อส่งผ่านข้อมูล โดยอาศัย Port ซึ่งในแต่ละโปรเซสจะเรียกใช้งาน Port เฉพาะแตกต่างกัน ยกเว้น DNS ที่สามารถใช้งานได้ทั้ง TCP และ UDP	21
รูปที่ 2.15 รูปแบบ TCP packet จะเห็นว่ามีฟิลด์ Acknowledgement Number และข้อมูล Checksum เพื่อตรวจสอบการเดินทางของข้อมูลส่วน header มีข้อมูลมากทำให้ต้องอาศัยทรัพยากรของระบบมาก	22
รูปที่ 2.16 โปรโตคอล TCP และ UDP อาศัยโปรโตคอล IP ที่อยู่ชั้นล่างเพื่อส่งผ่านข้อมูลระหว่างเครือข่ายและในชั้น Internetwork Protocol ยังมีโปรโตคอล ARP ทำหน้าที่แปลงหมายเลข IP ไปเป็นเลขหมายของฮาร์ดแวร์	23
รูปที่ 2.17 โครงสร้างของโปรโตคอล TCP/IP ในแต่ละชั้นหรือ Layer จะมี โปรโตคอลหลักทำหน้าที่ต่างๆ และส่งข้อมูลไปยังเครือข่ายและออกสู่อินเตอร์เน็ต	25
รูปที่ 2.18 แสดง IP Header	28
รูปที่ 2.19 แสดงบล็อกไดอะแกรมของโทรศัพท์	31
รูปที่ 2.20 แสดงสัญญาณโทรศัพท์	33
รูปที่ 2.21 แสดงแป้นกดหมายเลขและค่าถี่ในแนวนอนและแนวตั้งของหมายเลขนั้น ๆ	34
รูปที่ 2.22 บล็อกไดอะแกรมแสดงโครงสร้างของ MCS-51	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้าที่
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของฮาร์ดแวร์	40
รูปที่ 3.2 วงจรวงจรเพาเวอร์ซัพพลาย	41
รูปที่ 3.3 วงจรตรวจสอบสัญญาณความถี่เสียง	42
รูปที่ 3.4 วงจรตรวจสอบสัญญาณ DIAL	42
รูปที่ 3.5 วงจรตรวจสอบสัญญาณกระดิ่ง	43
รูปที่ 3.6 วงจรยกหูและวางหูโทรศัพท์	44
รูปที่ 3.7 วงจร Cross Point Switch	45
รูปที่ 3.8 วงจรส่วนไมโครคอนโทรลเลอร์ที่ใช้โปรแกรมค่า	46
รูปที่ 3.9 แผนผังการทำงานของโปรแกรม (Software)	47
รูปที่ 3.9 วงจรเครื่องโทรศัพท์	48
รูปที่ 4.1 แสดงสัญญาณไม่ว่างวัดจากคู่สายโทรศัพท์	49
รูปที่ 4.2 แสดงสัญญาณเรียกกลับจากคู่สายโทรศัพท์	50
รูปที่ 4.3 แสดงสัญญาณDIAL	51
รูปที่ 4.4 แสดงสัญญาณที่วัดจากวงจรตรวจสอบสัญญาณกระดิ่ง	51
รูปที่ 4.5 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณกระดิ่ง	54
รูปที่ 4.6 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณDIAL	54
รูปที่ 4.6 แสดงรูปถ่ายวงจร Cross Point Switch	55
รูปที่ 4.8 แสดงรูปถ่ายวงจรเครื่องโทรศัพท์	55
รูปที่ 4.9 แสดงรูปถ่ายวงจรไมโครคอนโทรเลอร์	56
รูปที 4.10 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณความถี่เสียง	56
รูปที่ 4.11 แสดงรูปถ่ายวงจรที่ประกอบเสร็จแล้ว	57
รูปที่ 4.12 แสดงรูปถ่ายของกล่องอุปกรณ์เชื่อมต่อ	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้าที่
ตารางที่ 2.1 ลักษณะของมาตรฐานอีเธอร์เนตความเร็วสูงประเภทต่างๆ	7
ตารางที่ 2.2 สรุปหมายเลขบางส่วนของ Port ที่ใช้งานโดย TCP/IP และ UDP	26
ตารางที่ 2.3 แสดงลักษณะของสัญญาณต่างๆ ที่ใช้ในการแจ้งสภาวะการใช้งานทางโทรศัพท์	32
ตารางที่ 4.1 แสดงผลการทดลองการถอดรหัสจาก MT8804	52
ตารางที่ 4.2 แสดงสัญญาณDTMF ที่ได้จากไอซีเบอร์ SC9102เมื่อป้อนที่ขา R1,R2,R3,R4, C1,C2,C3	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

การติดต่อสื่อสารเป็นสิ่งที่มีความสำคัญอย่างยิ่งในชีวิตของคนเรา ตั้งแต่ในอดีตจนถึงปัจจุบันการสื่อสารที่ใช้มากที่สุดก็คือการพูดคุยกันหรือการสื่อสารทางเสียงนั่นเอง

ปัจจุบันเมื่อเครือข่ายอินเตอร์เน็ตซึ่ง ได้มีการพัฒนาให้มีความเร็วสูงขึ้นและมีเครือข่ายครอบคลุมไปทั่วโลกโปรแกรมประยุกต์แบบใหม่ๆบนอินเตอร์เน็ตจึงได้รับการพัฒนาโดยเฉพาะอย่างยิ่งการใช้เครือข่ายอินเตอร์เน็ตเป็นโครงสร้างพื้นฐานในการสื่อสารรูปแบบต่างๆ เช่น การสื่อสารด้วยเสียงผ่านเครือข่ายอินเตอร์เน็ต

เมื่ออินเตอร์เน็ตมีการใช้งานกว้างขวางขึ้น ความต้องการประยุกต์แบบใหม่ๆบนอินเตอร์เน็ตจึงได้รับการพัฒนา โดยเฉพาะอย่างยิ่งการใช้อินเตอร์เน็ตเป็นโครงสร้างพื้นฐานเพื่อรองรับการสื่อสารรูปแบบต่างๆเช่นการใช้งานโทรศัพท์บนเครือข่าย การติดต่อด้วยเสียงระบบวิดีโอคอนเฟอเรนซ์การกระจายสัญญาณเสียงหรือภาพบนเครือข่าย และสิ่งหนึ่งที่มีการพัฒนาประยุกต์จนสามารถใช้งานได้ดีคือระบบการสื่อสารด้วยเสียงผ่านเครือข่าย IP หรือ Voice over IP (VoIP)

จากหลักการข้างต้นจึงทำให้เกิดโครงงานนี้ขึ้น โดยโครงงานนี้จะเป็นการพัฒนาอุปกรณ์เชื่อมต่อระหว่างโครงข่ายอินเตอร์เน็ตกับคู่สายโทรศัพท์โดยอุปกรณ์ดังกล่าวออกแบบให้สามารถใช้งานโทรศัพท์ผ่านโครงข่ายอินเตอร์เน็ตในการโทรศัพท์ระหว่างประเทศทำให้ประหยัดค่าใช้จ่ายในการใช้งานโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีและหลักการ

2.1 ระบบเครือข่ายคอมพิวเตอร์

คุณรู้หรือไม่ว่าเมื่อก่อน ก่อนที่จะมีระบบเครือข่ายคอมพิวเตอร์เกิดขึ้นมานั้น การขนถ่ายแลกเปลี่ยนข้อมูลกันนั้น ไม่ค่อยมีความสะดวกมากนัก และยังมีความเสี่ยงต่อการสูญหายของข้อมูลในขณะขนย้ายอีกด้วยซึ่งโดยส่วนใหญ่ในการแลกเปลี่ยนข้อมูลซึ่งกันและกันนั้นจะใช้การคัดลอกข้อมูลในขณะขนย้ายอีกด้วยซึ่งส่วนใหญ่ในการแลกเปลี่ยนข้อมูลซึ่งกันและกันนั้นจะใช้การคัดลอกข้อมูล (Copy)ลงบนแผ่นดิสก์ ซึ่งบางครั้งก็อาจจะทำได้สำเร็จลุล่วงไปได้ด้วยดี แต่บางครั้งคุณอาจจะโชคร้ายโดยพบว่าเมื่อนำข้อมูลมาจะนำไปไว้ในเครื่องของเรามันก็ดันเสียขึ้นมาดื้อๆ หรือทำแผ่นสูญหายไปคุณก็จะรู้สึกไม่ค่อยดีแน่ๆยิ่งถ้าเจอกับข้อมูลที่มีขนาดใหญ่แล้วละก็คุณจะทำอย่างไรดีจากผลเสียข้างต้นที่กล่าวมาจึงเป็นสาเหตุทำให้ต้องมีระบบเครือข่ายขึ้นมาใช้กันดังในปัจจุบัน

หลักการพื้นฐานอย่างเห็นได้ชัดของ ระบบเครือข่ายคอมพิวเตอร์ นั้นก็คือ เครื่องคอมพิวเตอร์ทุกๆเครื่องที่อยู่ในระบบเครือข่าย จะต้องเชื่อมต่อเข้าด้วยกัน และจัดให้อยู่ในรูปแบบของระบบเครือข่ายคอมพิวเตอร์มีหลายคนมักจะนึกถึงภาพของระบบเครือข่ายคอมพิวเตอร์ว่าจะต้องมีเครื่องคอมพิวเตอร์อยู่เป็นสิบๆเครื่องเชื่อมต่อกันอยู่แต่อันที่จริงแล้วการที่มีเครื่องคอมพิวเตอร์ตั้งแต่ 2 เครื่องขึ้นไปเชื่อมติดต่อสื่อสารกันอยู่และสามารถแลกเปลี่ยนข้อมูลระหว่างกันได้เข้าใช้ทรัพยากรร่วมกันได้อย่างเช่น พรินเตอร์ สแกนเนอร์ ซีดีรอม ไดร์ฟ A ฮาร์ดดิสก์ เป็นต้น ก็ถือว่าเป็นระบบเครือข่ายขนาดเล็กๆแล้ว

2.1.1 วัตถุประสงค์ของการใช้ระบบเครือข่ายคอมพิวเตอร์

วัตถุประสงค์ของการเลือกใช้ระบบเครือข่ายคอมพิวเตอร์ก็เพื่อ

1.สามารถใช้โปรแกรมและข้อมูลร่วมกันได้ก็คือเครื่องลูก(Client)สามารถเข้ามาใช้โปรแกรมข้อมูลร่วมกันได้จากเครื่องแม่(Server)หรือระหว่างเครื่องลูกกับเครื่องลูกก็ได้เป็นการประหยัดเนื้อที่ในการจัดเก็บโปรแกรมไม่จำเป็นว่าทุกเครื่องต้องมีโปรแกรมเดียวกันนี้ในเครื่องของตนเอง

2.เพื่อความประหยัดเพราะว่าเป็นการลงทุนที่คุ้มค่าอย่างเช่นในสำนักงานหนึ่งมีเครื่องอยู่ 30 เครื่องหรือมากกว่านี้ถ้าไม่มีการนำระบบเครือข่ายคอมพิวเตอร์มาใช้จะเห็นว่าต้องใช้เครื่องพิมพ์อย่างน้อย 5 – 10 เครื่อง มาใช้งานแต่ถ้ามีระบบเครือข่ายคอมพิวเตอร์มาใช้จะเห็นว่าสามารถใช้อุปกรณ์หรือเครื่องพิมพ์ประมาณ 2 – 3 เครื่องก็พอต่อการใช้งานแล้วเพราะว่าทุกเครื่องสามารถเข้าใช้เครื่องพิมพ์เครื่องไหนก็ได้ผ่านเครื่องอื่นๆที่อยู่ในระบบเครือข่ายเดียวกัน

3.เพื่อความเชื่อถือได้ของระบบงานนับเป็นสิ่งที่สำคัญสำหรับการดำเนินธุรกิจ ถ้าทำงานได้เร็วแต่ขาดความน่าเชื่อถือก็ถือว่าใช้ไม่ได้ ไม่มีประสิทธิภาพ ดังนั้นเมื่อนำระบบ Computer Network มาใช้งานทำให้ระบบงานมีประสิทธิภาพมีความน่าเชื่อถือของข้อมูล เพราะจะมีการทำสำรองข้อมูลไว้ เมื่อเครื่องที่ใช้งานเกิดมีปัญหาก็สามารถนำข้อมูลที่มีการสำรองมาใช้ได้อย่างทันที

4.ประหยัดเวลา ค่าเดินทาง เมื่อต้องการแลกเปลี่ยนข้อมูลกัน ในที่ที่อยู่ห่างไกลกัน เช่น บริษัทแม่อยู่ที่กรุงเทพส่วนบริษัทลูกอาจจะอยู่ตามต่างจังหวัดแต่ละที่ก็มีการเก็บข้อมูลการเงินประวัติลูกค้าและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อื่นๆแต่ถ้าต้องการใช้ข้อมูลของอีกที่หนึ่งจะเกิดความลำบากล่าช้าและไม่สะดวกจึงมีการนำหลักการของ Computer Network มาใช้งานเช่น มีการใช้ทรัพยากรร่วมกันหรือโปรแกรมข้อมูลร่วมกัน

2.1.2 โครงสร้างของระบบเครือข่ายคอมพิวเตอร์

โครงสร้างที่จะประกอบกันมาเป็นส่วนของระบบเครือข่ายคอมพิวเตอร์นั้น ก็จะประกอบไปด้วยเครื่องคอมพิวเตอร์หลัก (Sever) เครื่องคอมพิวเตอร์ลูกข่าย (Client) และอุปกรณ์ในการเชื่องต่อ (Network Device)

- เครื่องคอมพิวเตอร์หลัก(Sever)หรือเครื่องเซิร์ฟเวอร์ก็คือเครื่องคอมพิวเตอร์ที่ทำหน้าที่ให้บริการข้อมูลและทรัพยากรของระบบเครื่องเซิร์ฟเวอร์นั้นจะต้องเป็นเครื่องที่มีประสิทธิภาพสูง ไม่ว่าจะเป็นเรื่องของความเร็วซีพียูขนาดของหน่วยความจำ ขนาดความจุข้อมูลของฮาร์ดดิสก์ เครื่อง Server นั้นสามารถแบ่งออกเป็นหลายประเภทตามความเหมาะสมกับการใช้งานเพื่อให้ได้ประสิทธิภาพในการให้บริการอย่างเช่น Web Sever , FTP Server , File Sever , Mail Sever , Printer เป็นต้น
- เครื่องคอมพิวเตอร์ลูกข่าย(Client)หรือเครื่องไคลเอ็นต์ก็คือเครื่องคอมพิวเตอร์ที่มีหน้าที่ขอใช้ทรัพยากรของระบบจากเครื่อง Server หรือจากเครื่อง Client ด้วยกันก็ได้
- อุปกรณ์ในการเชื่อมการติดต่อสื่อสารเป็นอุปกรณ์ที่ทำให้เครื่องคอมพิวเตอร์ในระบบเครือข่ายสามารถติดต่อสื่อสารกันได้ก็มีอุปกรณ์อย่างเช่น สายสัญญาณข้อมูล (Network Cable) แผงวงจรรับส่งสัญญาณจากสายสัญญาณ(Network Adapter) ซึ่งเป็นอุปกรณ์ที่ใช้เป็นช่องทางเดินของข้อมูล

2.1.3 ประเภทของระบบเครือข่ายคอมพิวเตอร์ตามระยะการเชื่อมต่อ

ในโลกยุคปัจจุบันระบบเครือข่ายคอมพิวเตอร์มีความสำคัญเป็นอย่างยิ่งได้กลายเป็นส่วนหนึ่งของการพัฒนาระบบภายในองค์กรบริษัทหรือหน่วยงานและสถาบันการศึกษาซึ่งระบบเครือข่ายคอมพิวเตอร์ก็หมายถึงการนำเครื่องคอมพิวเตอร์ตั้งแต่ 2 เครื่องขึ้นไป มาทำการเชื่อมต่อกันเป็นระบบเครือข่ายคอมพิวเตอร์สามารถแบ่งออกเป็น 3 ประเภทดังนี้ คือ

1.ระบบเครือข่ายคอมพิวเตอร์ตามระยะการเชื่อมต่อ

เป็นระบบเครือข่ายระดับท้องถิ่นมีขนาดเล็กครอบคลุมพื้นที่จำกัด เชื่อมโยงกันในรัศมีใกล้ๆในเขตพื้นที่เดียวกัน เช่น ในอาคารเดียวกัน ห้องเดียวกัน ภายในตึกเดียวกันหรือหลายๆตึกใกล้ๆกันเป็นต้น โดยไม่ต้องเชื่อมการติดต่อกับองค์การโทรศัพท์หรือการสื่อสารแห่งประเทศไทย ระบบแลนมีประโยชน์ตรงที่สามารถทำให้เครื่องคอมพิวเตอร์หลายๆเครื่องที่เชื่อมต่อกันสามารถส่งข้อมูลแลกเปลี่ยนกันได้อย่างสะดวกรวดเร็วและยังสามารถใช้ทรัพยากรร่วมกันได้อีกด้วย

เทคโนโลยีของระบบเครือข่ายแลนมีหลายรูปแบบ อย่างเช่น แลนแบบ Ethernet , Fast Ethernet , Token Ring เป็นต้น แต่เทคโนโลยีที่ได้รับความนิยมมากที่สุดในปัจจุบันก็คือ Ethernet และ Fast Ethernet ระบบเครือข่ายโดยทั่วไปที่ใช้กันอยู่นี้จะเป็นการนำเครือข่ายแลนมาประยุกต์ใช้ให้เหมาะสมกับระบบงานของตน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ระบบเครือข่ายเน็ตเวิร์กระยะกลาง (Metropolitan Area Network หรือ MAN)

เป็นระบบเครือข่ายระดับเมืองคือมีการเชื่อมโยงกันในพื้นที่ที่กว้างไกลระบบ LAN คืออาจจะเชื่อมโยงกันภายในจังหวัดโดยจะต้องมีการใช้ระบบเครือข่ายขององค์การโทรศัพท์หรือองค์การสื่อสารแห่งประเทศไทย

3.ระบบเครือข่ายระยะไกล(Wide Area Network หรือ WAN)

เป็นระบบเครือข่ายระยะไกลคือจะเป็นเครือข่ายที่เชื่อมต่อคอมพิวเตอร์หรืออุปกรณ์ที่อยู่ห่างไกลกันเข้าด้วยกันอาจเป็นการติดต่อสื่อสารกันในระดับประเทศข้ามทวีป หรือ ทั่วโลกก็ได้ในการเชื่อมการติดต่อกัน นั้นจะต้องมีการต่อเข้ากับระบบสื่อสารขององค์การโทรศัพท์ หรือ การสื่อสารแห่งประเทศไทยเสียก่อน

2.1.4 ประเภทของระบบเครือข่าย

1. Peer To Peer

เป็นระบบที่เครื่องเวิร์กสเตชั่นทุกเครื่อง บนระบบเน็ตเวิร์กที่มีฐานเท่าเทียมกันคือทุกเครื่องสามารถที่จะใช้ไฟล์ในเครื่องอื่นๆได้และสามารถให้เครื่องอื่นๆมาใช้ไฟล์ของตนได้เช่นกัน ระบบ Peer To Peer มีการทำงานแบบ Distributed System โดยจะกระจายทรัพยากรต่างๆไปสู่เวิร์กสเตชั่นอื่นๆแต่จะมีปัญหาเรื่องการรักษาความปลอดภัยเพราะข้อมูลที่เป็นความลับถูกส่งออกไปสู่เน็ตเวิร์กสเตชั่นอื่นๆเช่นกัน โปรแกรมที่มีความสามารถทาง Peer To Peer และเป็นที่รู้จักกันคือ Windows for Workgroup และ Personal Network

2. Client/Server

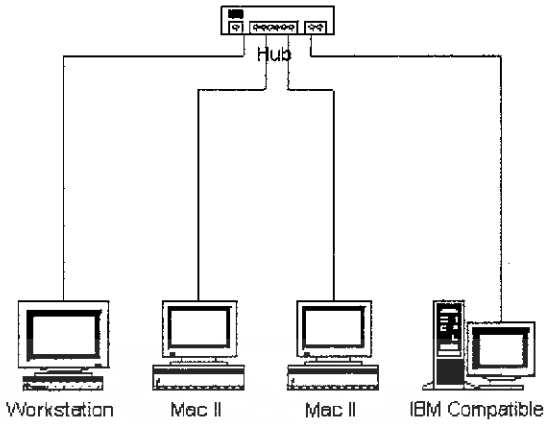
เป็นระบบการทำงานแบบ Distributed Processing หรือการประมวลผลแบบกระจายโดยจะแบ่งกันประมวลผลระหว่างเครื่องเซิร์ฟเวอร์กับเครื่องเวิร์กสเตชั่นแทนที่ Application จะวิ่งทำงานอยู่เฉพาะเครื่องเซิร์ฟเวอร์ก็แบ่งการคำนวณของโปรแกรม Application มาทำงานบนเครื่องเวิร์กสเตชั่นด้วยและเมื่อใดที่เครื่องเวิร์กสเตชั่นต้องการผลลัพธ์ของข้อมูลบางส่วน จะมีการเรียกใช้ไปยังเครื่องเซิร์ฟเวอร์เพื่อให้เซิร์ฟเวอร์นำเฉพาะข้อมูลบางส่วนเท่านั้นส่งกลับมาให้เครื่องเวิร์กสเตชั่นเพื่อทำการคำนวณข้อมูลนั้นต่อไป

2.1.5 รูปแบบการเชื่อมต่อของระบบเครือข่าย (Topology of Network)

1. Star Topology

เป็นระบบที่ได้รับความนิยมในการนำไปใช้งานที่มากที่สุดในตอนนี้ด้วยข้อดีหลายอย่างที่ต่างจากระบบทั้งสองดังกล่าวข้างต้นเนื่องจากระบบ Bas หรือระบบ Ring นั้น หากสายสัญญาณเส้นใดเส้นหนึ่งขาดก็จะทำให้เครื่องคอมพิวเตอร์ไม่สามารถที่จะส่งสัญญาณหากันได้หรือที่เราเรียกกันว่าระบบล่มนั่นเองข้อดีของระบบการเชื่อมต่อแบบ Star ก็คือหากว่าสายสัญญาณเส้นใดเส้นหนึ่งมีปัญหาแล้วก็ไม่มีผลกระทบต่อสายสัญญาณเส้นอื่นเพราะว่าการเชื่อมต่อในลักษณะนี้จะมี HUB เป็นอุปกรณ์ตัวกลางในการแลกเปลี่ยนข้อมูลระหว่างเครื่องคอมพิวเตอร์ดังแสดงในรูปที่ 2.1ให้เห็น

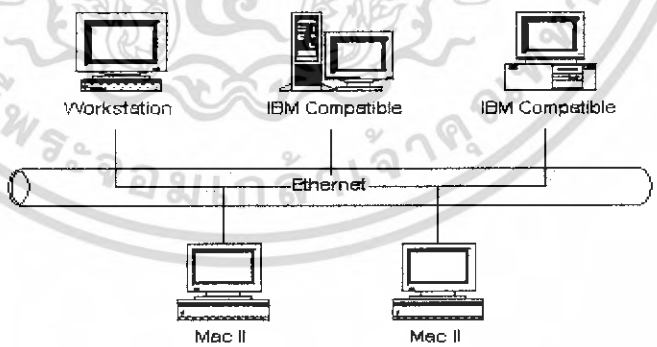
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ระบบเครือข่ายแบบ Star Topology

2. Bus topology

รูปแบบเป็นลักษณะของการนำเครื่องคอมพิวเตอร์มาเชื่อมต่อเป็นระบบเครือข่ายด้วยสายเคเบิลยาวต่อเนื่องกันไปเรื่อยๆ โดยมีคอนเน็คเตอร์ในการเชื่อมต่อโดยลักษณะของการส่งหรือรับข้อมูลจะเป็นการส่งข้อมูลทีละเครื่องในช่วงเวลาหนึ่งๆ เท่านั้นจากเครื่องปลายทางก็จะส่งสัญญาณในการเชื่อมต่อในระบบ Bus นี้จะต้องมี T-Connector ที่เป็นตัวกลางในการเชื่อมต่อและมี Terminator เป็นอุปกรณ์ปิดปลายสัญญาณของทั้งระบบซึ่ง Terminator จะคอยเป็นตัวดูดซับสัญญาณไม่มีการไหลกลับไปกวนกับระบบสัญญาณอื่นในสายซึ่งโดยทั่วไปจะมีค่าความต้านทานประมาณ 50 โอห์ม บางครั้งถ้าไม่มี Terminator เราสามารถให้ตัว R ทั่วไปที่ใช้ในอุปกรณ์อิเล็คทรอนิคส์ขนาด 50 โอห์ม แทนได้เหมือนกัน



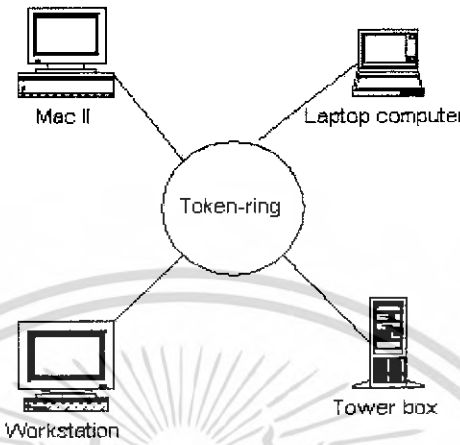
รูปที่2.2 ระบบเครือข่ายแบบ Bus Topology

3. Ring Topology

ลักษณะการเชื่อมต่อระบบเครือข่ายแบบวงแหวน ซึ่งเป็นการนำเครื่องคอมพิวเตอร์มาต่อเป็นวงกลมดังรูปที่ 2.3 ซึ่งปัจจุบันนี้ระบบการเชื่อมต่อแบบนี้แทบจะไม่มีใช่กันแล้วในปัจจุบัน เท่าที่ทราบมาส่วนมากจะเป็นพวกธนาคารเท่านั้นที่ยังมีการใช้ระบบนี้อยู่ ระบบ Ring จะไม่มีปลายเหลือเอาไว้ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มันมีลักษณะที่เป็นวงปิดจึงเรียกว่า Ring ปัญหาของTopology นี้ก็คือถ้า node ใด node หนึ่งเกิดขัดข้องไป ก็จะทำให้ Network มีปัญหาได้ทั้งระบบแต่ถ้ามีการออกแบบที่แก้ไขปัญหานี้เอาไว้จะทำให้ Topology นี้ ทำงานได้อย่างมีประสิทธิภาพสูงแบบหนึ่งโดยเป็นระบบที่เรียกว่า Tokenring



รูปที่2.3 ระบบเครือข่ายแบบ Ring Topology

4. Hybrid Network

เป็นระบบการเชื่อมต่อของระบบเครือข่ายแบบผสมซึ่งจะเป็นการออกแบบเครือข่ายที่ใหญ่ขึ้น โดยในการวางระบบหรือออกแบบระบบนั้นมีปัญหาในเรื่องของระยะทางในการเดินระบบสายสัญญาณ เช่นถ้าเป็นการเดินระบบที่มีระยะทางไม่เกิน 100 เมตร ภายในอาคารเดียวกันก็จะมีการเดินระบบที่เป็นแบบ Star Topology และหากมีระยะในการเชื่อมต่อเครื่องคอมพิวเตอร์ที่ไกลกันมากกว่าที่ระบบ Star จะทำได้ก็ต้องหันมาใช้ระบบ Bus เป็นการเชื่อมต่อด้วย ซึ่งระบบ Bus เองนี้สามารถเชื่อมต่อได้ไกลสุดได้มากถึง 185 เมตร หรือ 500 เมตร ขึ้นอยู่กับประเภทของสายสัญญาณที่ใช้เดินระบบว่าเป็นแบบไหน

2.1.6 อีเธอร์เน็ต

อีเธอร์เน็ตเป็นเทคโนโลยีเครือข่ายที่เป็นฐานหลักของเทคโนโลยีสารสนเทศทั้งหมดเนื่องจากเป็นเทคโนโลยีเครือข่ายแบบท้องถิ่นที่เป็นที่นิยมมากที่สุดอีเธอร์เน็ตมีอายุกว่า 30 ปีแล้ว และได้มีการพัฒนาอย่างต่อเนื่อง เทคโนโลยีนี้ถูกพัฒนาและปรับปรุงภายใต้ความดูแลและรับผิดชอบของสถาบัน IEEE (Institute of Electrical and Electronics Engineer) โดยสิ่งที่สำคัญอย่างหนึ่งในการเปลี่ยนแปลงและปรับปรุงคือการเพิ่มความเร็วในการรับส่งข้อมูลหรือแบนด์วิธ(Bandwidth)

ในการปรับปรุงครั้งแรกนั้นเป็นการปรับปรุงจากความเร็วเดิมที่ 10 Mbps เป็น 100 Mbps ซึ่งในการปรับปรุงครั้งนั้นได้มีการพัฒนาชั้นกายภาพใหม่(Physical Layer)เพื่อให้สามารถรับส่งข้อมูลได้ที่ความเร็ว 100 Mbps และในการปรับปรุงชั้นกายภาพนี้ทำให้ต้องมีการปรับเปลี่ยนชั้นเชื่อมโยงข้อมูลเช่นกัน มาตรฐานใหม่นี้เรียกว่า "อีเธอร์เนตความเร็วสูงหรือฟาสต์อีเธอร์เน็ต(Fast Ethernet)"และได้รับความนิยมเหนือ ATM (Asynchronous Transfer Mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟาสต์อีเธอร์เน็ต(Fast Ethernet)

ในขณะที่อีเธอร์เน็ตที่เป็นเทคโนโลยี LAN ที่เป็นที่นิยมมากที่สุดความต้องการในการใช้เครือข่ายได้เพิ่มขึ้นเรื่อยๆคอมพิวเตอร์ก็ได้ถูกพัฒนาขึ้นเรื่อยๆเช่น ความเร็วของไมโครโพรเซสเซอร์เพิ่มขึ้นปีละ 60 เปอร์เซ็นต์ เครือข่ายที่ความเร็ว 10 Mbps คงจะส่งผ่านข้อมูลได้ไม่สมดุลกับความเร็วของโพรเซสเซอร์ IEEE จึงได้พัฒนามาตรฐานอีเธอร์เน็ตใหม่ขึ้นมาภายใต้ชื่อโปรเจ็กต์ ฟาสต์อีเธอร์เน็ต (Fast Ethernet) หรืออีเธอร์เน็ตความเร็วสูง ซึ่งส่วนที่สำคัญมากที่สุดก็คือ การเพิ่มอัตราข้อมูลจากเดิม 10 เท่าตัว

อย่างไรก็ตามมาตรฐานอีเธอร์เน็ตความเร็วสูงก็ได้เสร็จสมบูรณ์และทันกับความต้องการของผู้ใช้ที่ต้องการที่จะอัพเกรดเครือข่ายฟาสต์อีเธอร์เน็ตเป็นส่วนขยายของมาตรฐาน IEEE 802.3 ซึ่งมาตรฐานนี้แบ่งย่อยได้ดังแสดงในตาราง 2.1

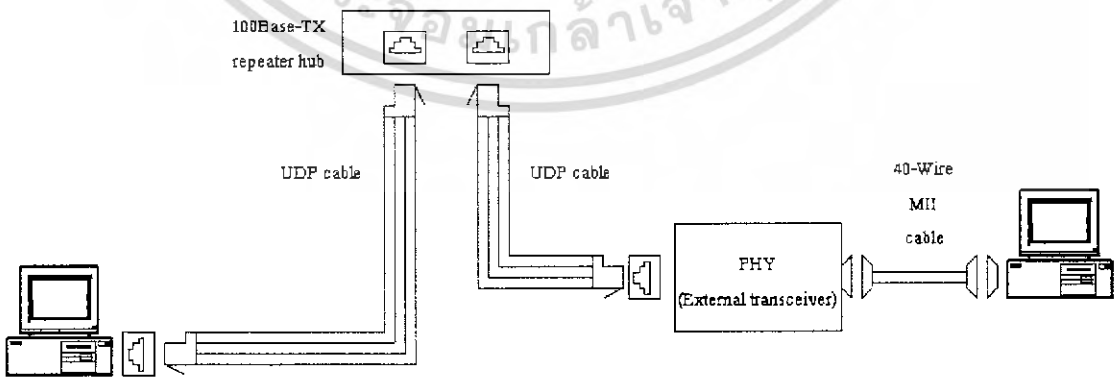
ลักษณะ	100 Base-Tx	100 Base-Fx	100 Base-T4
สายสัญญาณ	UTP Cat5	62.5/125 MMF	UTP Cat5
จำนวนสายสัญญาณ	2คู่	1 คู่	1 คู่
ระยะทางไกลสุด	100 m	2000 m	100 m

ตาราง 2.1 ลักษณะของมาตรฐานอีเธอร์เน็ตความเร็วสูงประเภทต่างๆ

ชื่อ 100 Base-X ใช้แทนการเรียกชื่อทั้ง 100 Base-Tx และ 100 Base-FXx ส่วน 100 Base-T จะหมายถึงทั้ง 100 Base-Tx และ 100 Base-T4

เนื่องจากอีเธอร์เน็ตความเร็วสูงส่งข้อมูลในอัตราข้อมูลที่สูงขึ้นทำให้ต้องมีข้อจำกัดต่างๆมากมายในการติดตั้งเครือข่ายข้อจำกัดที่สำคัญอย่างหนึ่งก็คือฮับที่พ่วงต่อกันจะต้องไม่เกิน 2 เครื่อง และห่างกันไม่เกิน 10 เมตร ถ้าต้องการเชื่อมต่อฮับที่มากกว่าสองเครื่องควรใช้สวิตช์หรือเราเตอร์ในการแยกฮับเหล่านี้

- **100 Base - Tx**

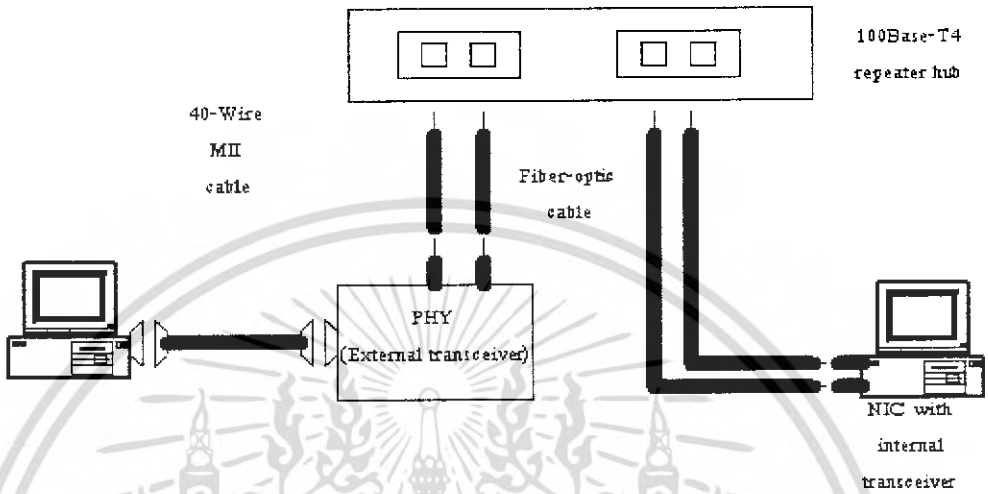


รูปที่2.4 การเชื่อมต่อแบบ 100 Base-Tx

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีเธอร์เน็ตความเร็วสูงประเภทแรกเรียกว่า "100 Base - Tx" ซึ่งจะใช้สาย UTP อย่างต่ำประเภท 5 หรือ STP ประเภท 1 เครือข่ายประเภทนี้ได้มีการเปลี่ยนแปลงโปรโตคอลการเข้าถึงสื่อกลาง(Media Access Control หรือ MAC) ซึ่งได้ถูกออกแบบไว้ที่ความเร็ว 10 Mbps ให้สามารถทำงานได้ที่ความเร็ว 10 Mbps

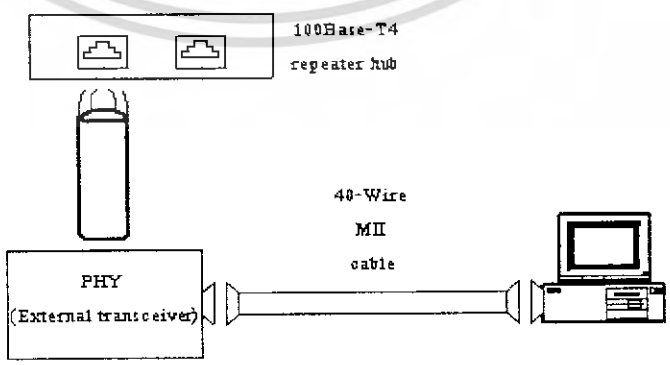
- **100 Base - Fx**



รูปที่2.5 การเชื่อมต่อแบบ 100 Base-Fx

ฟาสต์อีเธอร์เน็ตที่ใช้สายไฟเบอร์เป็นสื่อนำสัญญาณและใช้รูปแบบการรับสัญญาณและการเข้ารหัสข้อมูลเหมือนกับ 100 Base - Tx อีเธอร์เน็ตประเภทนี้สามารถส่งข้อมูลที่ความเร็ว 100 Mbps ได้ไกลถึง 412 เมตรในฮาล์ฟดูเพลกซ์โหมดและ 2 กิโลเมตรในฟูลด์ดูเพล็กซ์โหมดเมื่อใช้สายสัญญาณแบบมัลติโหมดและอาจส่งได้ถึง 20 กิโลเมตรหรือไกลกว่าเมื่อใช้สายไฟเบอร์แบบซิงเกิลโหมดในการรับส่งสัญญาณนั้นจะใช้สายไฟเบอร์จำนวน 1 คู่ ซึ่งอาจเป็นแบบมัลติโหมดขนาด 62.5/125 ไมครอน หรือซิงเกิลโหมดที่ขนาด 8- 10 ไมครอน โดยเส้นหนึ่งสำหรับรับสัญญาณและอีกเส้นหนึ่งสำหรับส่งสัญญาณ การใช้สายใยแก้วนำแสงนี้ทำให้สามารถขยายเครือข่ายให้ครอบคลุมพื้นที่ได้กว้างขึ้นแต่เนื่องจากสายใยแก้วนำแสงมีราคาแพง 100 Base - Fx จึงนิยมใช้สำหรับการเชื่อมต่อระหว่างฮับหรือสวิตช์หรือแบ็คโบนของ LAN

- **100 Base-T4**



รูปที่2.6 การเชื่อมต่อแบบ100 Base-T4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของ100 Base - Tx คือต้องใช้สาย UTP cat5 หรือดีกว่านั้นแต่ในสมัยที่มาตรฐานนี้ออกมาใหม่ๆนั้นอาคารส่วนใหญ่ได้ติดตั้งสายโทรศัพท์อยู่แล้วซึ่งเป็นสาย UTP cat3 เท่านั้นซึ่งแน่นอนว่าเราไม่สามารถใช้สายสัญญาณประเภทนี้กับ 100 Base - Tx ได้ IEEE จึงได้พัฒนามาตรฐานของอีเธอร์เน็ตความเร็วสูงเพิ่มอีกมาตรฐานหนึ่งเพื่อให้สามารถใช้สายโทรศัพท์ทั่วๆไปกับฟาสต์อีเธอร์เน็ตได้มาตรฐานก็คือ 100 Base-T4 ซึ่งเป็นฟาสต์อีเธอร์เนตที่ใช้สาย UTP cat3 ทั้งหมด 4 คู่สายซึ่งเป็นที่มาของเลข 4 ที่ต่อท้ายชื่อนั่นเอง

2.1.7 สถาปัตยกรรมเครือข่ายรูปแบบ OSI

ปี ค.ศ. 1977 องค์กร ISO (international Organization for Standard) ได้จัดตั้งคณะกรรมการขึ้นกลุ่มหนึ่งเพื่อทำการศึกษาจัดรูปแบบมาตรฐานและพัฒนาสถาปัตยกรรมเครือข่ายและในปี ค.ศ.1983 องค์กร ISO ก็ได้ออกประกาศรูปแบบของสถาปัตยกรรมเครือข่ายมาตรฐานในชื่อของ " รูปแบบ OSI " (Open Systems Interconnection Model) เพื่อใช้เป็นรูปแบบมาตรฐานในการเชื่อมต่อระบบคอมพิวเตอร์ อักษร " 0 "หรือ "Open " ก็หมายถึงการที่คอมพิวเตอร์หรือระบบคอมพิวเตอร์หนึ่งสามารถ "เปิด" กว้างให้คอมพิวเตอร์หรือระบบคอมพิวเตอร์อื่นที่ใช้มาตรฐาน OSI เหมือนกันสามารถติดต่อไปมาหาสู่ระหว่างกันได้

จุดมุ่งหมายของการกำหนดมาตรฐานรูปแบบOSI ขึ้นมานั้นก็เพื่อเป็นการกำหนดการแบ่งโครงสร้างของสถาปัตยกรรมเครือข่ายออกเป็นเลเยอร์ๆ และกำหนดหน้าที่การทำงานในแต่ละเลเยอร์ รวมถึงกำหนดรูปแบบการอินเตอร์เฟซระหว่างเลเยอร์ด้วยโดยมีหลักเกณฑ์ในการกำหนดดังต่อไปนี้

1.ไม่แบ่งโครงสร้างออกเป็นเลเยอร์ๆ มากจนเกินไป

2. แต่ละเลเยอร์จะต้องมีหน้าที่การทำงานแตกต่างกันทั้งขบวนการและเทคโนโลยี

3. เลือกเฉพาะการทำงานที่คล้ายกันให้อยู่ในเลเยอร์เดียวกัน

5. กำหนดหน้าที่การทำงานเฉพาะง่ายๆ แก่เลเยอร์เผื่อว่าต่อไปถ้ามีการออกแบบเลเยอร์ใหม่หรือมีการเปลี่ยนแปลงโปรโตคอลใหม่ในอันที่จะทำให้ สถาปัตยกรรมมีประสิทธิภาพดียิ่งขึ้นจะไม่มีผลทำให้อุปกรณ์ฮาร์ดแวร์และซอฟต์แวร์ที่เคยใช้ได้ผลอยู่เดิมจะต้องเปลี่ยนแปลงตาม

6. กำหนดอินเตอร์เฟซมาตรฐาน

7.ให้ความยืดหยุ่นในการเปลี่ยนแปลงโปรโตคอลในแต่ละเลเยอร์

8.สำหรับเลเยอร์ย่อยของแต่ละเลเยอร์ให้ใช้หลักเกณฑ์เดียวกันกับที่กล่าวมาใน 7 ข้อแรก

โครงสร้างของสถาปัตยกรรมรูปแบบ OSI

สามารถแบ่งออกเป็น 7 เลเยอร์ ดังรูปที่ 2.7 และในแต่ละเลเยอร์ได้มีการกำหนดหน้าที่การทำงานไว้ดังต่อไปนี้

1. เลเยอร์ชั้น Physical เป็นชั้นล่างสุดของการติดต่อสื่อสาร ทำหน้าที่ ส่ง-รับ ข้อมูลจริงๆจากช่องทางการสื่อสาร(สื่อกลาง)ระหว่างคอมพิวเตอร์เครื่องหนึ่งกับคอมพิวเตอร์เครื่องอื่นๆ มาตรฐานสำหรับเลเยอร์ชั้นนี้จะกำหนดว่าแต่ละคอนเนคเตอร์(Connector) เช่น RS-232-C มีกี่พิน (PIN) แต่ละพินทำหน้าที่อะไรบ้างใช้สัญญาณไฟกี่โวลต์เทคนิคการมัลติเพล็กซ์แบบต่างๆ ก็จะถูกกำหนดอยู่ในเลเยอร์ชั้นนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เลเยอร์ชั้น Data Link จะเป็นเสมือนผู้ตรวจสอบหรือควบคุมความผิดพลาดในข้อมูลโดยจะแบ่งข้อมูลที่จะส่งออกเป็นแพ็กเกจหรือเฟรมถ้าผู้รับได้รับข้อมูลถูกต้องก็จะส่งสัญญาณยืนยันกลับว่าได้รับข้อมูลแล้วเรียกว่าสัญญาณ ACK (Acknowledge) ให้กับผู้ส่งแต่ถ้าผู้ส่งไม่ได้รับสัญญาณ AKC หรือได้รับสัญญาณ NAK (Negative Acknowledge) กลับมา ผู้ส่งก็อาจจะทำการส่งข้อมูลไปให้ใหม่ อีกหน้าที่หนึ่งของเลเยอร์ชั้นนี้คือป้องกันไม่ให้เครื่องส่งทำการส่งข้อมูลเร็วจนเกินขีดความสามารถของเครื่องผู้รับที่จะรับข้อมูลได้

3. เลเยอร์ชั้น Network เป็นชั้นที่ออกแบบหรือกำหนดเส้นทางการเดินทางของข้อมูลที่ส่ง-รับในการส่งผ่านข้อมูลระหว่างต้นทางปลายทาง ซึ่งแน่นอนว่าในการสื่อสารข้อมูลผ่านเครือข่ายการสื่อสารจะต้องมีเส้นทางการรับ - ส่ง ข้อมูลมากกว่า 1 เส้นทาง ดังนั้นเลเยอร์ชั้น Network นี้จะมีหน้าที่เลือกเส้นทางที่ใช้เวลาในการสื่อสารน้อยที่สุดและระยะทางสั้นที่สุดด้วย ข่าวสารที่รับมาจากเลเยอร์ชั้นที่4 จะถูกแบ่งออกเป็นแพ็กเกจๆ ในชั้นที่ 3 นี้

4. เลเยอร์ชั้น Transport บางครั้งเรียกว่าเลเยอร์ชั้น Host-to-Host หรือเครื่องต่อเครื่องและจากเลเยอร์ชั้นที่ 4 ถึงชั้นที่ 7 นี้รวมกันจะเรียกว่าเลเยอร์ End-to-End ในเลเยอร์ชั้น Transport นี้เป็นการสื่อสารกันระหว่างต้นทางปลายทาง (คอมพิวเตอร์กับคอมพิวเตอร์) กันจริงๆเลเยอร์ชั้นTransport จะทำหน้าที่ตรวจสอบว่าข้อมูลที่ส่งมาจากเลเยอร์ชั้น Session นั้นไปถึงปลายทางจริงๆหรือไม่ดังนั้นการกำหนดตำแหน่งของข้อมูล (Address) จึงเป็นเรื่องสำคัญในชั้นนี้ เนื่องจากจะต้องรับรู้ว่าใครคือผู้ส่งและใครคือผู้รับข้อมูลนั้น

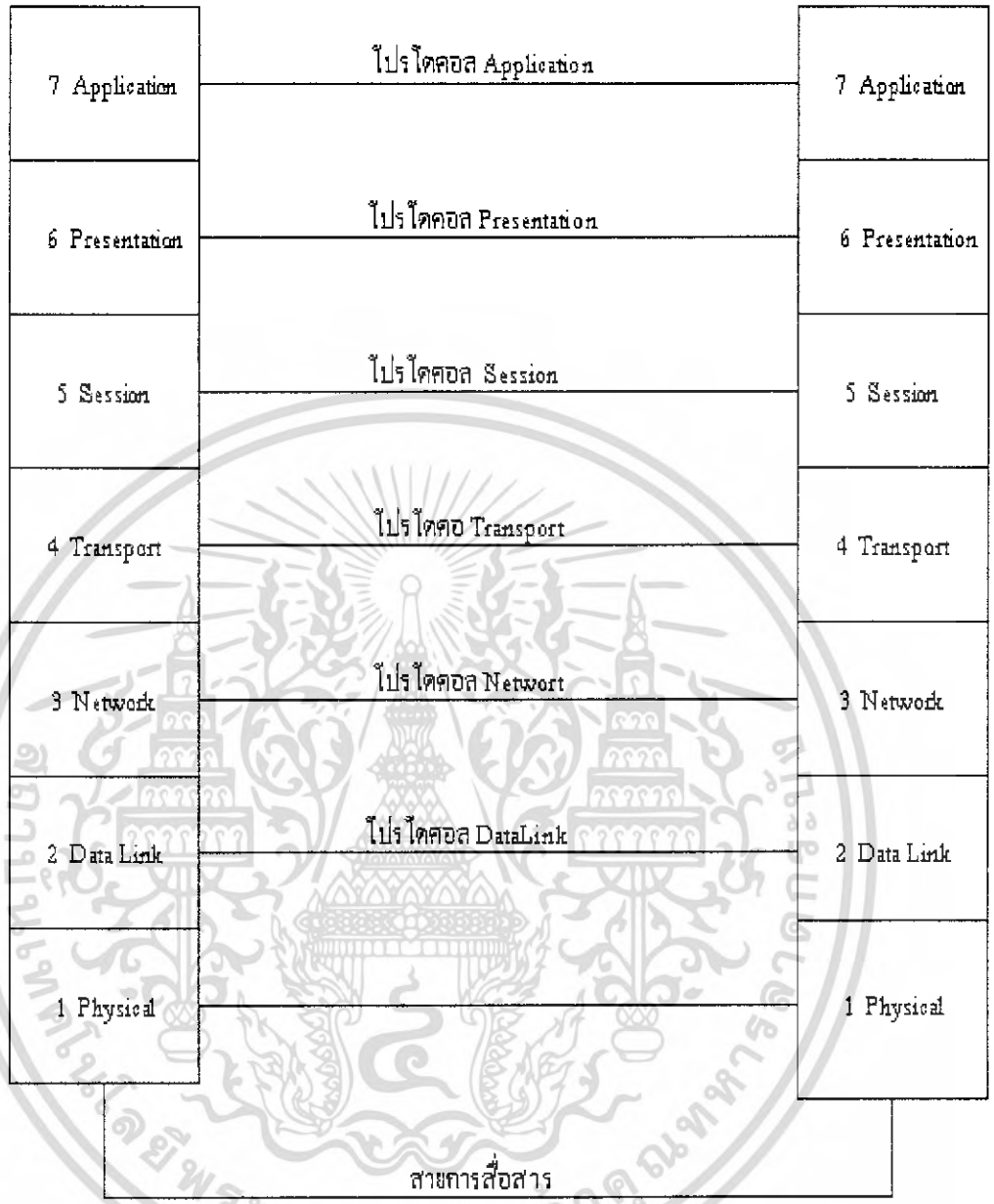
5. เลเยอร์ชั้น Session ทำหน้าที่เชื่อมโยงระหว่างผู้ใช้งานกับคอมพิวเตอร์เครื่องอื่นๆ โดยผู้ใช้จะใช้คำสั่งหรือข้อความที่กำหนดไว้ป้อนเข้าไปในระบบในการสร้างการเชื่อมโยงนี้ ผู้ใช้จะต้องกำหนดรหัสตำแหน่งของจุดหมายปลายทางที่ต้องการติดต่อสื่อสารด้วยเลเยอร์ชั้น Session จะส่งข้อมูลทั้งหมดให้กับชั้นเลเยอร์ชั้น Transport เป็นผู้จัดการต่อไปในบางเครือข่ายทั้งเลเยอร์ Session และเลเยอร์ Transport อาจจะเป็นเลเยอร์ชั้นเดียวกัน

6. เลเยอร์ชั้น Presentation ทำหน้าที่เหมือนบรรณารักษ์ กล่าวคือคอยรวบรวมข้อความ (Text) และแปลงรหัสหรือแปลงรูปของข้อมูลให้เป็นรูปแบบการสื่อสารเดียวกันเพื่อช่วยลดปัญหาต่างๆที่อาจจะเกิดขึ้นกับผู้ใช้งานในระบบ

7. เลเยอร์ชั้น Application เป็นเลเยอร์ชั้นบนสุดของรูปแบบ OSI ซึ่งเป็นชั้นที่ใช้ติดต่อกันระหว่างผู้ใช้โดยตรงซึ่งได้แก่ โฮสต์คอมพิวเตอร์ เทอร์มินัล หรือคอมพิวเตอร์ PC เป็นต้น แอปพลิเคชันในเลเยอร์ชั้นนี้สามารถนำเข้าหรือออกจากระบบเครือข่ายได้โดยไม่จำเป็นต้องสนใจว่ามีขั้นตอนการทำงานอย่างไรเพราะจะมีเลเยอร์ชั้น Presentation เป็นผู้รับผิดชอบแทนอยู่แล้วในรูปแบบ OSI เลเยอร์นั้น Application จะทำการติดต่อกับเลเยอร์ชั้น Presentation โดยตรงเท่านั้น

โปรโตคอลของแต่ละชั้นจะแตกต่างกันออกไปแต่อย่างไรก็ตามการที่เครื่องคอมพิวเตอร์หลายๆเครื่องจะติดต่อสื่อสารกันได้ในแต่ละเลเยอร์ของแต่ละเครื่องจะต้องใช้โปรโตคอลแบบเดียวกันหรือถ้าใช้โปรโตคอลต่างกันก็ต้องมีอุปกรณ์หรือซอฟแวร์ที่สามารถแปลงโปรโตคอลที่ต่างกันนั้นให้มีรูปแบบเป็นอย่างเดียวกันเพื่อเชื่อมโยงให้คอมพิวเตอร์ทั้ง 2 เครื่องสามารถติดต่อกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 โครงสร้างของสถาปัตยกรรมรูปแบบ OSI

2.2 ระบบเครือข่ายอินเตอร์เน็ต

2.2.I ประวัติอินเตอร์เน็ต

จุดกำเนิดของอินเตอร์เน็ตมาจากความคิดเชิงยุทธศาสตร์ทางทหาร ในช่วงปี พ.ศ. 2512 เป็นช่วงสงครามเย็นระหว่างสหรัฐอเมริกากับรัสเซียทำให้เกิดความวิตกว่าถ้าศูนย์คอมพิวเตอร์ที่ใช้ควบคุมสั่งการถูกทำลายแล้วศูนย์คอมพิวเตอร์อื่นจะไม่สามารถทำงานทดแทนได้ เนื่องจากระบบคอมพิวเตอร์ที่ใช้กันมีหลายยี่ห้อเช่น IBM , Apple , VAX เป็นต้นอีกทั้งระบบปฏิบัติการที่ใช้ก็ต่างกันเช่น UNIX , VM, MVS เป็นต้น ดังนั้นจึงเกิดความคิดที่จะเชื่อมโยงคอมพิวเตอร์ต่างๆ เหล่านี้เข้าด้วยกันให้สามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตลอดแม้ว่าระบบคอมพิวเตอร์บางส่วนจะถูกทำลายไปแต่ส่วนที่เหลือต้องทำงานต่อได้จากแนวคิดดังกล่าวทำให้มีการจัดตั้งหน่วยงานร่วมระหว่างสถาบันการศึกษากับฝ่ายวิจัยทางการทหารขึ้นมาเพื่อพัฒนาระบบสื่อสารและเครือข่ายคอมพิวเตอร์ภายใต้โครงการ US Advance Research Projects Agency โดยเรียกระบบเครือข่ายนี้ว่า APANET (Advanced Research Projects Agency Network) โดยใช้โปรโตคอล NPC (Network Control Protocol) แต่ต่อมาพบว่าโปรโตคอล NCP มีข้อจำกัดอยู่มากจึงมีการพัฒนาโปรโตคอลตัวใหม่ขึ้นมาเรียกว่า TCP/IP (Transmission Control Protocol/Internet Protocol) จนกระทั่งเป็นรูปแบบมาตรฐานแทน NCP การพัฒนาเครือข่ายได้ดำเนินต่อมาเรื่อยๆ จนกระทั่งกระทรวงกลาโหมของสหรัฐอเมริกาซึ่งเป็นผู้ริเริ่มได้ยกเลิกการสนับสนุนโดยให้ทางกลุ่มสถาบันการศึกษาดำเนินการต่อเองทำให้อินเตอร์เน็ตถูกพัฒนาให้มีความหลากหลายและขยายตัวจนเป็นเครือข่ายที่เสมือนครอบคลุมโลกไว้

2.2.2 สถาปัตยกรรมของอินเตอร์เน็ต

โครงสร้างของอินเตอร์เน็ตประกอบด้วยเครือข่ายย่อยจำนวนมากต่อเชื่อมกันผ่านเราเตอร์ (Router) ซึ่งเป็นอุปกรณ์เครือข่ายที่มีหน้าที่เลือกเส้นทางที่ดีที่สุดเพื่อนำส่งข้อมูลในรูปแพ็กเก็ต หากเปรียบเทียบกับการส่งจดหมายทางไปรษณีย์แล้ว เราเตอร์ทำหน้าที่เสมือนที่ทำการไปรษณีย์พนักงานไปรษณีย์จะพิจารณาจุดหมายปลายทางของจดหมายและเลือกเส้นทางส่งจดหมายไปยังที่ทำการไปรษณีย์ถัดไปจนกว่าจดหมายจะถึงมือผู้รับ ในยุคเริ่มต้นของอินเตอร์เน็ตจะใช้คำว่าเก็ตเวย์(Gateway) แทนเราเตอร์ เพื่อสื่อความหมายถึงอุปกรณ์เชื่อมโยงเครือข่ายแต่ในปัจจุบันเราเตอร์และเก็ตเวย์เป็นอุปกรณ์ซึ่งมีหน้าที่แตกต่างกันคำว่าเก็ตเวย์ที่ใช้แต่เดิมนั้นในปัจจุบันใช้คำว่าเราเตอร์แทน โดยหน้าที่หลักของเราเตอร์คือ เชื่อมต่อเครือข่ายที่ใช้โปรโตคอลเดียวกันและเลือกเส้นทางส่งข้อมูลขณะที่เก็ตเวย์หมายถึงฮาร์ดแวร์หรือซอฟต์แวร์ซึ่งเป็นตัวแปลงระหว่างสองระบบที่มีโปรโตคอลโครงสร้างการจัดข้อมูลหรือสถาปัตยกรรมที่ต่างกัน

บริการในอินเตอร์เน็ต

ผู้ใช้อินเตอร์เน็ตสามารถเลือกโปรแกรมที่เหมาะสมเพื่อขอใช้บริการได้ตามต้องการหากจะแยกประเภทของการบริการในอินเตอร์เน็ตแล้วสามารถแบ่งออกได้ดังนี้

-ไปรษณีย์อิเล็กทรอนิกส์(Electronic Mail) หรือ E-Mail เป็นการรับส่งข้อความผ่านเครือข่ายคอมพิวเตอร์ผู้ใช้สามารถรับส่งจดหมายด้วยโปรแกรมที่มีอย่างแพร่หลายเช่น pine , Eudora หรือ Microsoft Outlook เป็นต้น

-ใช้โปรแกรมบนเครื่องคอมพิวเตอร์อื่น บริการสำคัญในอินเตอร์เน็ตคือขอใช้คอมพิวเตอร์ระบบอื่นในที่ห่างไกล (Remote Login) ผู้ที่มีบัญชีอยู่ในคอมพิวเตอร์เครื่องปลายทางสามารถขอเข้าใช้คอมพิวเตอร์เครื่องนั้นจากคอมพิวเตอร์ที่เชื่อมอยู่กับอินเตอร์เน็ตด้วยโปรแกรมเช่น Telnet , pcAndwhere เป็นต้น

- ถ่ายโอนแฟ้มข้อมูล การถ่ายโอนแฟ้มข้อมูลด้วยโปรแกรม ftp เป็นบริการสำคัญอีกประเภทหนึ่งที่มีในอินเตอร์เน็ตเครือข่ายหลายแห่งเปิดบริการให้ผู้ใช้ภายนอกถ่ายโอนข้อมูลโดยไม่คิดมูลค่าแฟ้มที่ให้ถ่ายโอนได้มีหลากหลายเช่นข้อมูลทั่วไป , ข่าวประจำวัน , บทความรวมทั้งโปรแกรมประยุกต์ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สนทนาทางเครือข่าย การสนทนาทางเครือข่ายเป็นบริการในอินเตอร์เน็ตที่นิยมใช้กันอย่างแพร่หลายผู้ใช้สามารถสื่อสารกันแบบออนไลน์โดยพิมพ์ข้อความส่งถึงกันทางจอภาพหรือสนทนาพร้อมกันเป็นกลุ่มได้โปรแกรมที่ใช้งานแพร่หลายคือ mIRC , icq เป็นต้น

- บริการข่าวจดหมายเวียน ระบบจดหมายข่าวให้บริการกระจายข่าวในกลุ่มสมาชิกศูนย์บริการจะเก็บรายชื่อ(Mailing list)ของสมาชิกไว้ เมื่อสมาชิกต้องการส่งข่าวสารไปยังสมาชิกรายอื่นก็เพียงแต่ส่งไปรษณีย์อิเล็กทรอนิกส์ไปยังแอดเดรสเฉพาะเพื่อการกระจายข่าวหรือจดหมายที่ส่งออกไปอาจเป็นการสนทนาทั่วไปการซักถามหรือขอความช่วยเหลือ

- บริการสืบค้นข้อมูล อินเตอร์เน็ตในปัจจุบันยังคงขยายตัวออกไปอย่างต่อเนื่องและมีเครือข่ายใหม่ๆเกิดขึ้นอยู่เสมอ ดังนั้นต้องมีเครื่องมือที่ใช้ในการช่วยสืบค้นหาข่าวสารที่มากมายเกี่ยวกับเครือข่ายซึ่งได้แก่ Whois เป็นต้น

- กระดานข่าว ผู้ใช้เครือข่ายอินเตอร์เน็ตทั่วโลกสามารถแลกเปลี่ยนความคิดเห็นในหัวข้อต่างๆผ่านทางผ่านยูสเน็ต(Usenet)ซึ่งระบบข่าวแลกเปลี่ยนข่าวในอินเตอร์เน็ตข่าวจะกระจายจากเครือข่ายหนึ่งไปสู่เครือข่ายอื่น ผู้อ่านยูสเน็ตนอกจากจะเป็นผู้อ่านรายงานข่าวแล้วยังสามารถทำหน้าที่เป็นคอลัมนิสต์เพื่อส่งข่าวได้ตลอดเวลายูสเน็ตจัดกลุ่มข่าวแยกตามหัวข้อที่เรียกว่า กลุ่มข่าว (News group)โดยแบ่งเป็นหัวข้อย่อยเช่น sci (วิทยาศาสตร์), comp(คอมพิวเตอร์), soc(สังคม-วัฒนธรรม), rec(นันทนาการ) เป็นต้น กลุ่มข่าวเหล่านี้เป็นกลุ่มข่าวใหญ่โดยยังมีกลุ่มข่าวย่อยประจำแต่ละกลุ่มอีกจำนวนมาก

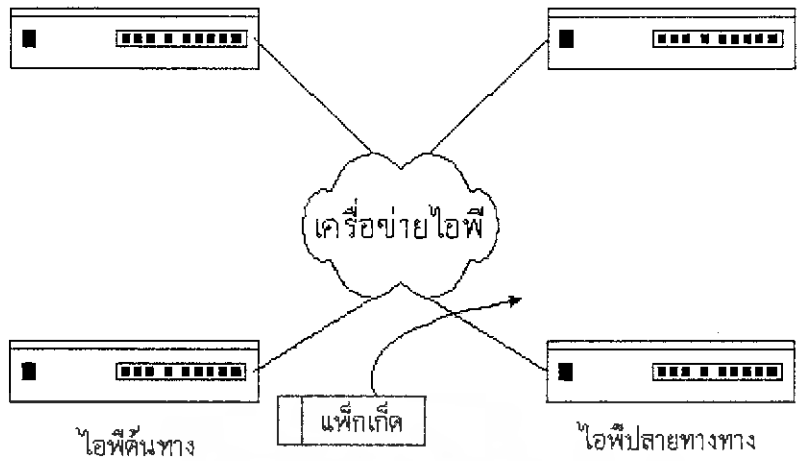
- เว็บ World Wide หรือ WWW เป็นบริการข้อมูลข่าวสารในอินเตอร์เน็ตที่ได้รับความนิยมสูงสุดในปัจจุบันเนื่องจากมีรูปแบบง่ายต่อการใช้งานและได้ผนวกบริการอื่นไว้เช่น เอฟทีพี , ยูสเน็ต หรือ อีเมล เป็นต้น ลักษณะพิเศษของเว็บคือให้บริการทั้งภาพ เสียง หรือภาพเคลื่อนไหวศูนย์บริการแทบทุกแห่งจะจัดสร้างโฮมเพจเพื่อให้บริการแก่ผู้ใช้ทั่วไป

2.2.3 วีโอไอพี(Voice Over IP)

เมื่ออินเตอร์เน็ตมีการใช้งานกว้างขวางขึ้น ความต้องการประยุกต์แบบใหม่ๆบนอินเตอร์เน็ตจึงได้รับการพัฒนา โดยเฉพาะอย่างยิ่งการใช้อินเตอร์เน็ตเป็นโครงสร้างพื้นฐานเพื่อรองรับการสื่อสารรูปแบบต่างๆเช่นการใช้งานโทรศัพท์บนเครือข่าย การติดต่อด้วยเสียงระบบวิดีโอคอนเฟอเรนซ์การกระจายสัญญาณเสียงหรือภาพบนเครือข่าย และสิ่งหนึ่งที่มีการพัฒนาประยุกต์จนสามารถใช้งานได้ดีคือระบบการสื่อสารด้วยเสียงผ่านเครือข่าย IP หรือ Voice over IP (VoIP)

IP หรือ Internet Protocol เป็นโปรโตคอลที่อยู่ในชั้น network ซึ่งพัฒนามาจากรากฐานระบบการสื่อสารแบบแพ็กเก็ตโดยระบบการสื่อสารแบบแพ็กเก็ตโดยระบบมีการกำหนด address ที่เรียกว่า IP address การส่งข่าวสารจาก IP address หนึ่งไปยังอีก IP address หนึ่งนั้นใช้หลักการบรรจุข้อมูลใส่ในแพ็กเก็ตแล้วส่งไปในเครือข่ายระบบการจัดส่งแพ็กเก็ตกระทำด้วยอุปกรณ์สื่อสารจำพวก router มีหลักการพื้นฐานการส่งแบบไปรษณีย์สมัยเก่าบางทีเราจึงเรียกการส่งแบบนี้ว่า ดาต้าแกรม การสื่อสารแบบไอพีแพ็กเก็ต จะเป็นการส่งแพ็กเก็ตเข้าไปในเครือข่ายโดยไม่มีการรับประกันว่าแพ็กเก็ตนั้นจะถึงปลายทางเมื่อไร

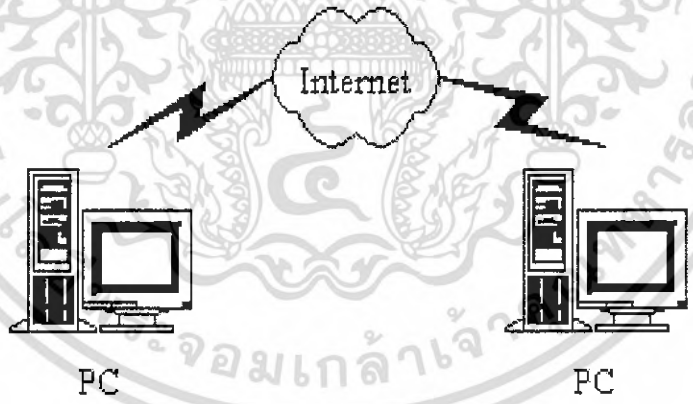
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.8 แสดงการส่งแพ็กเก็ตผ่านเครือข่าย

วีโอไอพีเป็นเทคโนโลยีสำหรับการส่งข้อมูลเสียงผ่านระบบอินเตอร์เน็ต ซึ่งต่างจากระบบโทรศัพท์เก่าที่ส่งสัญญาณเสียงผ่านชุมสายวิธีนี้ทำโดยนำข้อมูลเสียงมาทำการแปลงเป็นสัญญาณดิจิตอล แล้วรวมเป็นแพ็กเก็ต แล้วจึงส่งแพ็กเก็ตที่ได้ผ่านอินเตอร์เน็ตไปโดยโปรโตคอลที่ได้ทำการกำหนดไว้โดย รูปแบบของการใช้งานวีโอไอพีทั่วไปสามารแบ่งออกได้เป็น 3 ลักษณะคือ

ระหว่างพีซีกับพีซี (PC - TO - PC Connection)



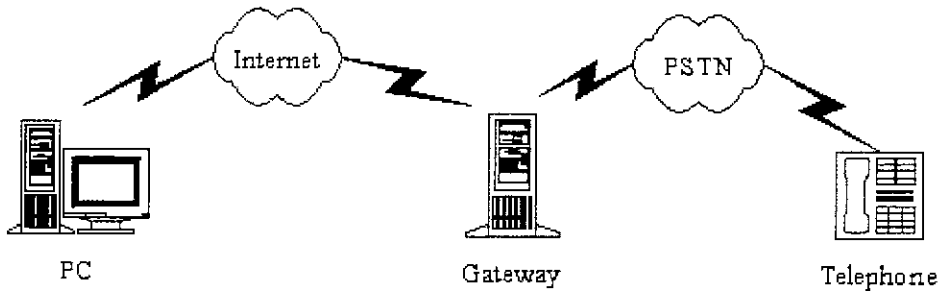
รูปที่ 2.9 แสดงลักษณะการติดต่อระหว่างพีซีกับพีซี

ลักษณะการทำงาน

จากรูป 2.9 จะเป็นการใช้คอมพิวเตอร์ 2 เครื่องในการเชื่อมต่อกันโดยผ่านทางซอฟต์แวร์หรือใช้งานผ่านทางเว็บในการส่งข้อมูลระหว่างกัน ข้อมูลที่เป็นเสียงที่เป็นอนาล็อกจะถูกแปลงให้เป็นข้อมูลดิจิตอลผ่านทางซาวด์การ์ดแล้วจึงนำข้อมูลที่ได้มาทำการบีบอัดแล้วส่งผ่านโปรโตคอล TCP/IP เพื่อส่งผ่านทางอินเตอร์เน็ตไปยังเครื่องคอมพิวเตอร์ปลายทางที่ต้องการจะคุยด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างพีซีกับเครื่องโทรศัพท์(PC – TO – Phone Connection)

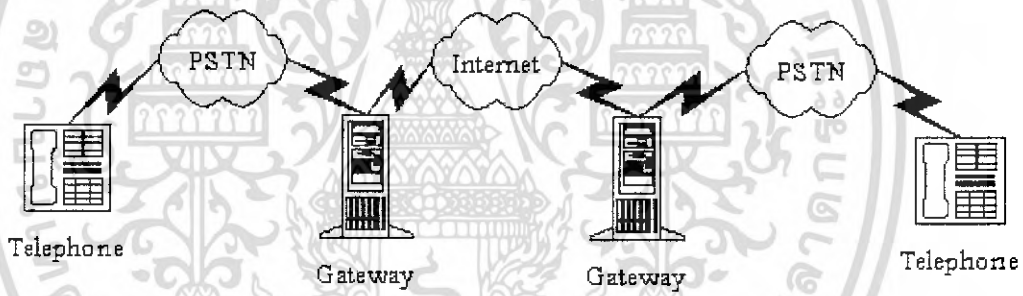


รูปที่ 2.10 แสดงลักษณะการติดต่อระหว่างพีซีกับโทรศัพท์

ลักษณะการทำงาน

จากรูปที่ 2.10 เป็นการนำเครื่องคอมพิวเตอร์ทำการติดต่อไปยังระบบโทรศัพท์ที่ใช้กันอยู่ตามบ้าน(Public Telephone Network : PSTN) ในส่วนของคอมพิวเตอร์จะใช้งานผ่านทางซอฟต์แวร์หรือผ่านทางเว็บที่มีการให้บริการมีลักษณะการทำงานคล้ายกับแบบพีซีกับพีซีแต่จะมีข้อแตกต่างตรงปลายทางจะทำการติดต่อไปยังระบบโทรศัพท์พื้นฐานซึ่งต้องมีสิ่งที่ต้องเพิ่มเติมขึ้นมาคือ เกตเวย์ สำหรับแปลงข้อมูลทางอินเตอร์เน็ตไปเป็นสัญญาณในระบบโทรศัพท์ไปยังเครื่องปลายทาง

ระหว่างโทรศัพท์กับโทรศัพท์(Phone – TO – Phone Connection)



รูปที่ 2.11 แสดงลักษณะการติดต่อระหว่างโทรศัพท์กับโทรศัพท์

ลักษณะการทำงาน

จากรูปที่ 2.11 เป็นระบบที่มีการนำเอาโทรศัพท์ระบบเดิมมาใช้แต่มีการเปลี่ยนแปลงเพิ่มเติมโดยการเพิ่มเกตเวย์ขึ้นที่ชุมสายโทรศัพท์เพื่อทำการแปลงสัญญาณข้อมูลในระบบโทรศัพท์ไปเป็นข้อมูลเพื่อส่งผ่านทางอินเตอร์เน็ตและที่ปลายทางก็จะมีเกตเวย์ทำการแปลงข้อมูลที่ส่งผ่านอินเตอร์เน็ตแปลงกลับไปเป็นสัญญาณโทรศัพท์อีกครั้ง

2.2.4 อินเตอร์เน็ตเทเลโฟนนี (Internet Telephony)

Internet Telephony(หรือเรียกว่า VoIP (Voice over IP) หรือ IPTel) เป็นเทคโนโลยีที่สามารถรองรับการสื่อสารแบบพหุสื่อ (multimedia) เช่นการสื่อสารด้วยเสียง ภาพ และ วิดีทัศน์ (Video) และเป็นที่คาดว่าเทคโนโลยีนี้จะมาทดแทนระบบเครือข่ายโทรศัพท์ในปัจจุบัน ผู้ใช้จะได้ประโยชน์จากการใช้งาน Internet Telephony หลายประการเช่น ราคาต่ำกว่า (คาดว่าราคาจะตกอยู่ในหลักสิบบาทต่อชั่วโมงแทนที่จะเป็นหลักสิบบาทต่อนาที) การให้บริการได้หลากหลายรูปแบบ เช่น การใช้งานร่วมกับ web email หรือกล่องไปรษณีย์เสียง (voice mail box) ไม่จำกัดสถานที่ในการใช้งาน (mobility)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรโตคอลมาตรฐานสำหรับอินเตอร์เน็ทเทเลโฟนนี (Internet Telephony Protocols)

เครือข่ายอินเตอร์เน็ตได้ให้การบริการในการส่งข้อมูลทั่วไปซึ่งไม่ต้องการคุณสมบัติแบบเวลาจริง (real time) แต่สำหรับในกรณีของ VoIP หรือการสื่อสารแบบพหุสื่อต้องการคุณสมบัติแบบเวลาจริง ดังนั้นจึงต้องมีการพัฒนาโปรโตคอลที่สามารถให้คุณสมบัติดังกล่าวในการส่งข้อมูล และที่สำคัญ VoIP ต้องการฟังก์ชันในการสร้างหรือสิ้นสุดการเรียก และหาตำแหน่งที่อยู่ของผู้ใช้ที่ถูกเรียก รวมทั้งฟังก์ชันที่ช่วยให้สามารถให้บริการได้เช่นเดียวกับในระบบโทรศัพท์ ซึ่งในชุดโปรโตคอล TCP/IP (Transport Control Protocol/Internet Protocol) นั้นไม่มีโปรโตคอล ที่ให้ฟังก์ชันดังกล่าว ดังนั้นจึงต้องมีการพัฒนาโปรโตคอลขึ้นใหม่เพื่อรองรับ VoIP ในปัจจุบันโปรโตคอลสำหรับ VoIP มีอยู่ 2 มาตรฐานคือ H.323 และ SIP(Session Initial Protocol) โปรโตคอล H.323 เป็นโปรโตคอลที่พัฒนาโดย ITU-T (International Telecommunications Union- Telecommunications section) ส่วน SIP ถูกพัฒนาโดย IETF (Internet Engineering Task Force) โปรโตคอลทั้งสองมีหน้าที่หลักในการสร้าง สิ้นสุด และการเปลี่ยนแปลงรายละเอียดของการเรียก ระหว่างผู้ใช้ VoIP รวมทั้งยังสามารถให้ฟังก์ชันเพิ่มเติมอื่นๆ โปรโตคอลทั้งสองเป็น โปรโตคอลสำหรับ VoIP ซึ่งใช้บริการชุดโปรโตคอล TCP/IP ในชั้นต่ำกว่า และสามารถใช้งานร่วมกับโปรโตคอลอื่น เพื่อให้เกิดการบริการที่มีคุณภาพมากขึ้น Protocol stack สำหรับ VoIP จะเห็นว่าทั้งโปรโตคอล H.323 และ SIP เป็นโปรโตคอลในชั้นแอปปลิเคชัน (application layer) และใช้บริการของโปรโตคอลในชั้นที่ต่ำกว่า SIP สามารถใช้ได้ทั้ง UDP และ TCP ส่วน H.323 ใช้ TCP เท่านั้น แต่เนื่องจากว่าฟังก์ชันของ H.323 และ SIP มีขอบเขตจำกัด ดังนั้นจึงได้นำโปรโตคอลอื่นมาช่วยในการทำงาน ซึ่งได้แก่ RTSP (Real-time Streaming Protocol) RSVP (Resource Reservation Protocol) และ RTP/RTCP ซึ่งทำให้ VoIP สามารถให้บริการได้อย่างมีประสิทธิภาพมากขึ้น โปรโตคอลดังกล่าวเป็นโปรโตคอลในชั้นแอปปลิเคชันซึ่งทำงานอยู่บนชุดโปรโตคอล TCP/IP โปรโตคอลเหล่านี้ไม่ได้เป็นโปรโตคอลเฉพาะสำหรับ VoIP แต่สำหรับโปรโตคอล H.323 และ SIP ซึ่งเป็นโปรโตคอลหลักสำหรับ VoIP

2.2.5 โปรโตคอลในการเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์ผ่านอินเตอร์เน็ต

อินเตอร์เน็ตเป็นเครือข่ายที่เปิดโอกาสให้เครือข่ายคอมพิวเตอร์อื่นๆ เชื่อมโยงเข้ามาใช้งานได้แต่ปัญหาที่เกิดในการเชื่อมโยงเครือข่ายเข้าด้วยกันก็คือเครือข่ายมีความต่างชนิด ต่างยี่ห้อและระบบปฏิบัติการที่แตกต่างกัน มาตรฐาน TCP/IP เป็นสิ่งที่ถูกนำมาแก้ไขปัญหานี้ให้เป็นระบบเปิดที่สมบูรณ์แบบที่สามารถเชื่อมต่อเครือข่ายที่ทั่วโลกที่ทั่วโลกยอมรับ

รูปแบบมาตรฐานของระบบเครือข่ายอินเตอร์เน็ตจะใช้ Protocol TCP/IP ซึ่งชื่อของ TCP/IPมาจากชื่อของโปรโตคอล 2 ตัวคือ TCP (Transmission Control Protocol)และIP(Internet Protocol)โดยรูปแบบของข้อมูลมีลักษณะเป็นเพ็กเก็ต(Packet) คือเป็นอินเทอร์นัลเพ็กเกต(Internal Packet)ซึ่งไม่ขึ้นอยู่กับ Phaysical Network ทำให้ผู้ใช้มองเห็นลักษณะเครือข่ายคอมพิวเตอร์ทั้งหมดที่เชื่อมต่อกันเป็นเครือข่ายเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรโตคอล TCP/IP

โปรโตคอล TCP/IP มีการจัดกลไกการทำงานเป็นชั้นหรือ Layer เรียงต่อกันไปเหมือนกับ OSI – Reference Model ที่กล่าวไว้แล้ว โดยในแต่ละ Layer นั้นจะมีการทำงานเทียบได้กับOSI- Reference Model แต่บาง Layer ของโปรโตคอล TCP/IP จะทำงานเทียบกับ OSI- Reference Model หลาย Layer ปนกัน ซึ่งในแต่ละ Layer ของโปรโตคอล TCP/IP จะประกอบด้วย

1. Process Layer หรือ Application Layer (Telnet , FTP , SMTP-Email , DNS)
2. Host-To-Host Layer (TCP,UDP)
3. Internetwork Layer (IP Address , ICMP , ARP , RARP)
4. Network Interface Layer (Device Driver , Ethernet , Token ring)

โดยเมื่อได้เทียบลำดับชั้น(Layer) กับมาตรฐานของ OSI- Reference Model แล้วจะเป็นดังรูปที่ 2.12 ซึ่งเราจะเห็นว่าบาง Layer ของ TCP/IP นั้นจะเทียบได้กับมาตรฐาน OSI-Model ได้ 2 ชั้นอย่างเช่น Layer ของ Process Layer ของโปรโตคอล TCP/IP จะเทียบได้กับ 2 Layer คือ Application Layer กับ Presentation Layer ของ OSI- Reference Model รวมกันเป็นต้น

รูปที่2.12 แสดงTCP/IP stack เปรียบเทียบกับมาตรฐาน OSIโครงสร้างของสถาปัตยกรรมรูปแบบของProtocol TCP/IP

สามารถแบ่งออกเป็น 4 เลเยอร์ และในแต่ละเลเยอร์ได้มีการกำหนดหน้าที่การทำงานไว้ดังต่อไปนี้

เลเยอร์ชั้น Process Layer จะเป็น Application Protocol เชื่อมต่อกับผู้ใช้และให้บริการต่างๆ โปรโตคอลหลักๆที่ทำงานและให้บริการในชั้น Process Layer นี้ ก็มีอย่างเช่น FTP , Telnet , HTTP , SMTP เป็นต้น จากรูปที่ 2.12 แสดงลำดับชั้นการทำงานของโปรโตคอล TCP/IP เทียบกับมาตรฐานของ OSI- Reference Model นั้นในชั้นบนสุดที่เรียกว่า Process Layer ทำงาน 2 หน้าที่เทียบได้กับ Application Layer และPresentation Layer

เลเยอร์ชั้น Host-To-Host Layer จะเป็นส่วน TCP หรือ UDP ที่ทำหน้าที่คล้ายกับชั้นของ Session Layer และ Transport Layer ของ OSI-Model คือควบคุมการรับส่งขอมูลจากปลายด้านส่งถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62716

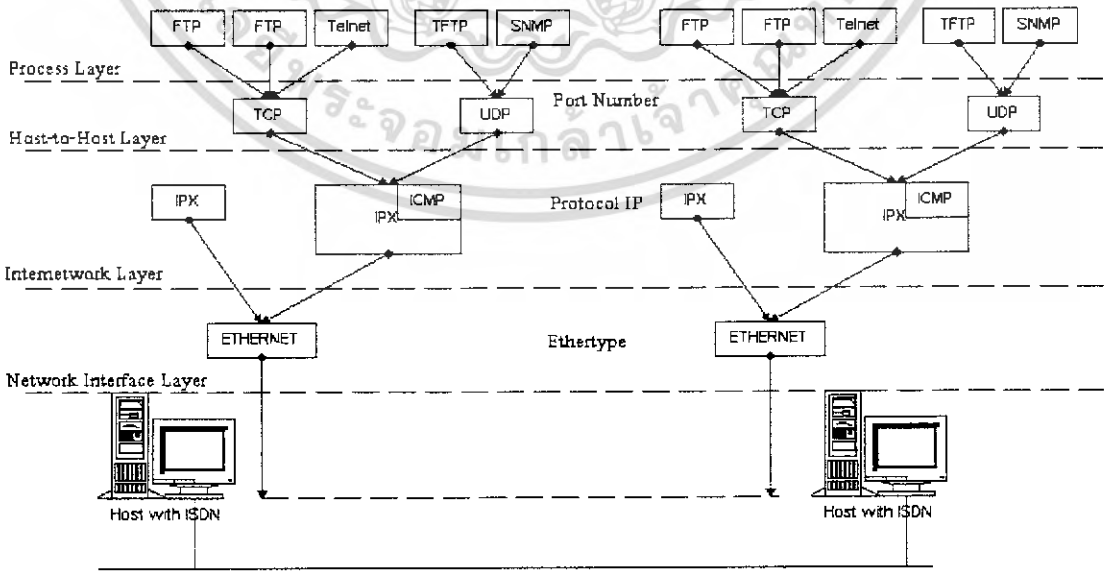
ปลายด้านรับข้อมูลและตัดข้อมูลออกเป็นส่วนย่อยให้เหมาะสมกับเครือข่ายที่ใช้รับส่งข้อมูลรวมทั้งประกอบข้อมูลส่วนย่อยๆนี้เข้าด้วยกันเมื่อถึงปลายทาง

เลเยอร์ชั้น Internetwork Layer ได้แก่ ส่วนของโปรโตคอล IP ซึ่งทำหน้าที่คล้ายกับชั้นของ Network Layer ของ OSI-Model คือเชื่อมต่อคอมพิวเตอร์เข้ากับระบบเครือข่ายที่อยู่ชั้นล่างลงไปและทำหน้าที่เลือกเส้นทางการรับส่งข้อมูล ผ่านอุปกรณ์เครือข่ายต่างๆจนไปถึงผู้รับข้อมูลในชั้นนี้จะจัดการกับกลุ่มข้อมูลในลักษณะที่เรียกว่า Frame ในรูปแบบของ TCP/IP ที่เรารู้จักกันนั้นเอง

เลเยอร์ชั้น Network Interface Layer เป็นชั้นที่ควบคุม Hardware การรับส่งข้อมูลผ่านระบบเครือข่ายซึ่งเทียบได้กับชั้น Datalink Layer กับ Physical Layer ของ OSI-Model ในชั้นนี้จะทำหน้าที่เชื่อมต่อกับ Hardware และควบคุมการรับส่งข้อมูลในระบบ Hardware ของเครือข่าย ซึ่งที่ใช้กันอยู่จะเป็นมาตรฐานของ IEEE เช่น IEEE 802.3 จะเป็นการเชื่อมต่อผ่าน LAN แบบ Ethernet Lan หรือIEEE 802.5 จะเชื่อมต่อผ่าน LAN แบบ Token Ring เป็นต้น

เราจะเห็นได้ว่าที่จริงแล้ว Protocol TCP/IP นั้น แบ่งออกเป็น 2 โปรโตคอลซ้อนกันอยู่คือ TCP จะอยู่ในชั้นบนและ IP จะอยู่ในชั้นถัดลงมา นั่นคือ TCP/IP ไม่ได้เป็นโปรโตคอลชนิดเดียวกันทั้งหมด และไม่ได้เชื่อมติดเป็นชิ้นเดียวกันทั้งหมด TCP ก็มีมาตรฐานของเฟรมที่ใช้รับส่งข้อมูลของมันเองและมีหน้าที่ในการรับส่งข้อมูลแตกต่างไปจาก IP ซึ่งในการรับส่งข้อมูลนั้นเฟรมของ TCP ที่อยู่ในชั้นบนทั้งหมดจะถูกผนึกอยู่ในส่วนที่เป็นข้อมูลของ IP เหมือนกับที่แต่ละชั้นของ OSI-Reference Model ผนึกข้อมูลในชั้นถัดไปนั้นเอง

ถึงแม้ว่า TCP/IP จะไม่ได้มีการแบ่งชั้นของการสื่อสารข้อมูลตรงตาม OSI-Reference Model และไม่ได้เป็นมาตรฐานเดียวกันแต่ OSI ก็ออกแบบมาให้เปิดกว้างและเข้ากันได้ดีกับ TCP/IP โดยTCP จะเทียบได้ประมาณชั้นที่ 4 ของ OSI-Model และ IP จะเทียบได้กับประมาณชั้นที่ 3 ของ OSI-Model แม้ว่าจะไม่ลงตัวกันพอดีนักแต่ก็สามารถเชื่อมต่อด้วยกันได้ทำให้มาตรฐานของ OSI-Model สามารถนำ TCP/IP มาใช้งานร่วมกันได้เป็นอย่างดี



รูปที่ 2.13 ภาพแสดงการรับส่งข้อมูลผ่านโปรโตคอล TCP/IP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Process Layer

เป็นลำดับชั้นการทำงานของโปรโตคอล TCP/IP ตามมาตรฐาน DoD-Reference Model ซึ่งเมื่อนำมาเทียบกับมาตรฐานของ OSI-Reference Model นั้น ในชั้นบนสุดที่เรียกว่า Process Layer ของ DoD-Reference Model จะทำงาน 2 หน้าที่เทียบได้กับ Application Layer และ Presentation Layer ของ OSI-Reference Model ในชั้นนี้จะรองรับการทำงานของ Application ต่างๆ อย่างเช่น เมื่อมีเครื่อง Client ขอใช้บริการเพื่อจะติดต่อขอ Download File ผ่านทาง Internet โดยอาจจะเรียก FTP Client ทั่วไป อย่างเช่น โปรแกรม WS_ ftp เพื่อติดต่อกับโปรเซส FTP ที่กำลังให้บริการอยู่ที่เครื่อง Sever จากนั้นตัวโปรเซส FTP ก็จะเรียกใช้โปรโตคอล FTP (File Transfer Protocol) เพื่อทำการโอนถ่ายไฟล์นี้ไปให้เครื่อง Client เป็นต้น หรือถ้าผู้ใช้ต้องการเรียกใช้งานคอมพิวเตอร์จากเครื่องที่อยู่ห่างไกลออกไป ด้วยการใช้โปรแกรม Telnet ที่เครื่อง Server ให้บริการตัวโปรเซส Telnet ที่ทำงานอยู่ก็จะเรียกใช้โปรโตคอล Telnet เพื่อติดต่อกันหรือกรณีที่มีการเรียกใช้โปรแกรม Wed Browser เช่น Internet Explorer เพื่อเรียกดูเว็บไซต์ของ NASA ที่เครื่องให้บริการเว็บของ NASA ก็จะมีโปรเซส HTTP (Hyper Text Transfer Protocol) ทำงานอยู่และจะติดต่อกับผู้ใช้ผ่านโปรโตคอล HTTP เป็นต้น

การทำงานของ Application ต่างๆจะอยู่ที่ Process Layer นี้ Process Layer นี้ และมีการติดต่อกันตามแต่ละโปรโตคอลเฉพาะแล้วแต่ Application ที่ใช้งาน จากการที่ Process Layer ของ TCP/IP รองรับให้โปรโตคอลอื่นทำงานได้หลายโปรเซสและหลายโปรโตคอล ได้พร้อมกันนั้น ทำให้ผู้ใช้สามารถเปิดโปรแกรมใช้งานได้หลายๆ อย่างพร้อมกัน เช่น เปิดโปรแกรม Internet Explorer เพื่อเรียกดูเว็บเพจพร้อมกับใช้งานโปรแกรม Outlook Express เพื่อรับส่ง E-Mail ไปพร้อมๆกันได้โดยไม่ต้องรอให้ทำงานอย่างใดอย่างหนึ่งเสร็จไปก่อนหรือในปัจจุบันมีการพัฒนาโปรแกรม Web Browser ให้สามารถเรียกใช้งานโปรโตคอลอื่นๆได้มากขึ้นทำให้เราสาสมารถใช้โปรแกรม Web Browser โอนถ่ายไฟล์ข้อมูลที่ใช้โปรโตคอล FTP ได้โดยไม่ต้องไปหาโปรแกรมอื่นๆ มาใช้เพิ่มเติมอีก

โปรโตคอลหลักๆที่ทำงานและให้บริการในชั้น Process Layer นี้ก็มีอย่างเช่น

1. FTP (File Transfer Protocol)

FTP ใช้งานในการรับ-ส่งแฟ้มข้อมูลระหว่างเครื่องลูกข่ายและเครื่อง Server โดยที่เครื่อง Server จะต้องมีโปรแกรมให้บริการ FTP (FTP Server) ติดตั้งและทำงานอยู่เพื่อให้เครื่องลูกข่ายที่รันโปรแกรม FTP Client สามารถเข้ามาขอใช้บริการได้

2. Telnet

TELNET เป็นบริการที่ให้เครื่องลูกข่ายสามรถเข้าไปใช้เครื่องเซอร์ฟเวอร์โดยการจำลองตัวเองให้ทำงานเป็นเทอร์มินัล ผู้ใช้งานจะต้องใส่รหัสผู้ใช้และรหัสผ่านเพื่อแจ้งเข้าใช้เครื่องเมื่อเข้าไปได้แล้วการทำงานต่างๆ จะเหมือนกับการเข้าไปทำงานที่หน้าจอของเครื่องเซอร์ฟเวอร์การทำงานแบบนี้เครื่องเซอร์ฟเวอร์จะต้องติดตั้งโปรแกรมให้บริการ TELNET ซึ่งโดยปกติในระบบปฏิบัติการยูนิกซ์จะมีบริการนี้ติดตั้งไว้แล้วเป็นมาตรฐาน มีศัพท์เรียกโปรแกรมให้บริการบนเครื่องยูนิกซ์ว่า daemon FTP daemon , TELNET daemon เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. *HTTP (Hyper Text Transfer Protocol)*

HTTP ใช้การติดต่อรับส่งข้อมูลชนิดไฮเปอร์เท็กซ์ (Hypertext) ระหว่างเครื่องลูกข่ายกับ WWW Sever (World Wide Wed) โดยที่เอกสารนี้จะอยู่ในรูปแบบที่เขียนในภาษา HTML (Hyper Text Markup) เอกสารแต่ละเอกสารแต่ละชิ้นจะสามารถเชื่อมโยงไปยังเอกสารชิ้นอื่นได้ ซึ่งเอกสารที่ถูกเชื่อมโยงนี้อาจจะอยู่บนเครื่องคอมพิวเตอร์เครื่องเดียวกันหรือต่างเครื่องกันก็ได้

4. SMTP (Simple Mail Transfer Protocol)

SMTP เป็นการให้บริการเพื่อรับส่งจดหมายอิเล็คทรอนิคส์ (E-Mail) โดยที่ SMTP จะมีตู้ไปรษณีย์เพื่อทำหน้าที่รับจดหมายจากผู้อื่นที่ต้องการส่งให้และเก็บจดหมายของผู้ใช้ที่ต้องการส่งไปยังผู้ใช้อื่น เมื่อถึงกำหนดเวลาที่ตั้งไว้โปรแกรมจะทำการส่งจดหมายออกและรับจดหมายเข้ามา ผู้ใช้ก็สามารถจะเปิดอ่านได้เมื่อต้องการ SMTP จะใช้โปรโตคอล TCP port เลขที่ 25 ส่วนการรับส่งจดหมายระหว่างเครื่องลูกข่ายกับ SMTP Server ในลักษณะที่เป็น Client/Server จะใช้โปรโตคอลที่ชื่อว่า POP3 (Post Office Protocol)

นอกจากนี้ยังมีโปรโตคอลอื่นๆ ที่อยู่เบื้องหลังซึ่งทำงานโดยที่ผู้ใช้ไม่สามารถมองเห็นได้จากโปรแกรมหรือไม่ได้มีการใช้งานโดยตรงเช่น

- Protocol DNS (Domain Name System) ที่ทำหน้าที่แปลงข้อมูลชื่อ Domain Name หรือชื่อเว็บไซท์ทั้งหลายให้เป็นหมายเลข IP Address
- Protocol SNMP (Simple Network Management Protocol) ใช้ในการควบคุมและตรวจสอบอุปกรณ์ที่อยู่ในเครือข่าย
- Protocol DHCP (Dynamic Host Configuration Protocol) ทำหน้าที่แจกจ่ายข้อมูลพารามิเตอร์ของเครือข่ายให้กับเครื่องลูกข่ายที่เชื่อมต่อ

2. Host - to - Host Layer

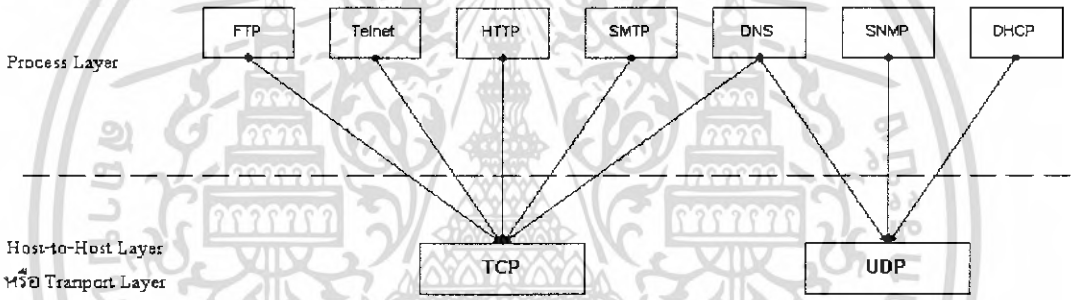
ผู้ที่ใช้งานอินเตอร์เน็ตเคยสงสัยหรือไม่ว่าเครื่อง Sever ที่ให้บริการต่างๆ เช่นเว็บเซิร์ฟเวอร์นั้นเมื่อมีผู้เข้ามาเรียกใช้บริการพร้อมกันหลายคน จะมีวิธีการส่งข้อมูลกลับไปยังต้นทางได้อย่างไร โดยไม่ผิดพลาดซึ่งบางครั้งผู้ใช้รายหนึ่ง อาจจะเปิดโปรแกรม Web Browser ซ้อนกันเพื่ออ่านข้อมูลจากเว็บเพจอื่นๆพร้อมๆ กันดังนั้นระบบจะทราบได้อย่างไรถึงการจัดส่งข้อมูลได้อย่างไร

การทำงานที่ชั้นของ Host – to - Host Layer นี้จะมีบทบาทในการจัดการต่อจากชั้นของ Process Layer บางครั้งเรามักเรียกชั้น Host – to - Host Layer ว่าเป็น Transport Layer ซึ่งไม่ใช่ชั้นของ Transport Layer ในมาตรฐาน OSI-Reference Model การทำงานของ Host – to - Host Layer นี้จะมีการสร้าง Connection หรือการเชื่อมต่อกันระหว่างแอพพลิเคชั่นกับ Host – to - Host Layer โดยจุดที่เชื่อมกันเพื่อรับส่งข้อมูลที่เรียกว่า Port หรือ Socket (คำว่า Port ในที่นี้ไม่ได้หมายถึง Port ทาง Hardware) และในแต่ละแอพพลิเคชั่นก็จะสร้างการเชื่อมต่อผ่าน Port ได้พร้อมกันหลายแอพพลิเคชั่นซึ่งการใช้งาน Port ของแต่ละแอพพลิเคชั่นที่อยู่ในชั้น Process Layer จะแตกต่างกันตามหมายเลขที่กำหนดไว้และแต่ละโปรโตคอลจะมีการทำงาน Port หมายเลขต่างๆ ไม่ซ้ำกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแอพพลิเคชั่นทำงานผ่านโปรโตคอลในชั้น Process Layer จะมีการส่งผ่านข้อมูลไปยัง Host – to - Host Layer ที่ชั้นนี้จะมีการเชื่อมต่อผ่าน Port ที่กำหนดทำให้มีการรับส่งข้อมูลในแต่ละโปรโตคอลทำได้ถูกต้องถึงแม้ว่าในเครื่องเซิร์ฟเวอร์ที่ให้บริการจะมีการทำงานอยู่หลายโปรเซสที่แตกต่างกันตามหรือมีผู้ใช้บริการเข้ามาใช้งานพร้อมกันจำนวนมากและหลายแอพพลิเคชั่นในเวลาเดียวกันในชั้น Host – to - Host Layer หรือ Transport Layer ของ TCP/IP นี้จะมีโปรโตคอลทำงานอยู่ 2 โปรโตคอลที่แตกต่างกันคือ โปรโตคอล TCP และโปรโตคอล UDP (User Datagram Protocol) ในการส่งผ่านข้อมูลลงไปที่ชั้นถัดๆไป จะเห็นว่าโปรโตคอล TCP และ UDP จะถูกผนึกเข้าไปในโปรโตคอล IP อีกทีหนึ่งและส่งต่อไปยังเครือข่ายอินเตอร์เน็ตต่อไป

ตัวโปรโตคอล TCP และโปรโตคอล UDP จะมีแอพพลิเคชั่นเฉพาะเพื่อเรียกใช้งานแยกกันคือ แอพพลิเคชั่นที่ใช้โปรโตคอล FTP , Telnet , HTTP, และ SMTP จะมีการส่งผ่านข้อมูลโดยเรียกใช้โปรโตคอล TCP ส่วนแอพพลิเคชั่น SNMP และDHCP จะส่งผ่านข้อมูลโดยเรียกใช้โปรโตคอล UDP และสำหรับโปรโตคอล DNS นั้นจะสามารถเรียกใช้งานได้ทั้ง TCP และ UDP แตกต่างกัน ก็เนื่องจากวิธีการทำงานของทั้งสองโปรโตคอลต่างกันนั่นเอง



รูปที่ 2.14 โปรเซสต่างๆ ที่เรียกใช้ Transport Layer เพื่อส่งผ่านข้อมูลโดยอาศัย Port ซึ่งในแต่ละโปรเซสจะเรียกใช้งาน Port เฉพาะแตกต่างกันยกเว้น DNS ที่สามารถใช้งานได้ทั้ง TCP และ UDP

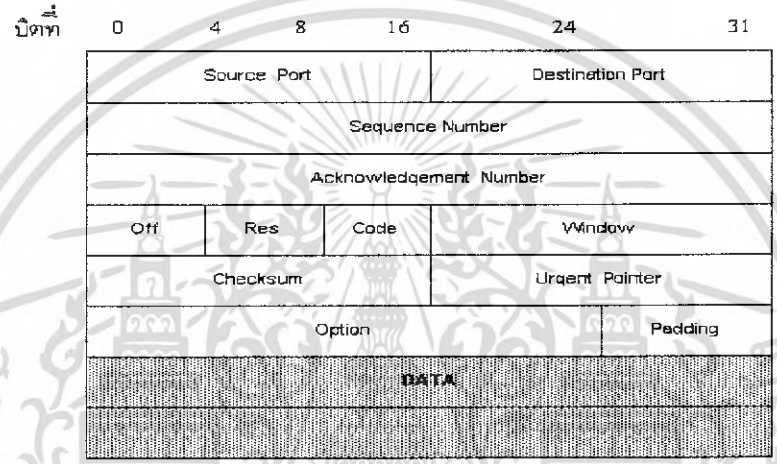
โปรโตคอล TCP

โปรโตคอล TCP (Transmission Control Protocol) เป็นโปรโตคอลที่มีการรับส่งข้อมูลแบบ Stream Oriented Protocol หมายความว่า การรับส่งข้อมูลจะไม่คำนึงถึงปริมาณข้อมูลที่จะส่งไปแต่จะแบ่งข้อมูลเป็นส่วนย่อยๆ ก่อน แล้วจึงจะส่งไปยังปลายทางอย่างต่อเนื่องเป็นลำดับข้อมูล ในกรณีที่ข้อมูลส่วนใดส่วนหนึ่งสูญหายไปก็จะส่งข้อมูลส่วนนั้นใหม่อีกครั้ง สำหรับปลายทางที่จะทำหน้าที่จัดเรียงส่วนของข้อมูล Datagram ใหม่ให้ต่อเนื่องกันและประกอบกลับเป็นข้อมูลทั้งหมดได้ซึ่งจะแยกข้อมูลที่ไม่ถูกต้องออกดังนั้นแอพพลิเคชั่นหรือโปรเซสใดที่อาศัยการส่งผ่านข้อมูลด้วยโปรโตคอล TCP จะต้องใช้หน่วยความจำและขนาดของช่องสัญญาณ (Bandwidth) มากกว่า UDP การติดต่อระหว่างกันจะต้องเป็นแบบ Connection-oriented คือ ต้องมีการสร้างการติดต่อกันเป็น Session ทั้ง 2 ด้านเสียก่อนแล้วจึงจะรับส่งข้อมูลไปได้พร้อมกัน (Full Duplex) เหมือนกับการใช้โทรศัพท์ติดต่อกัน เมื่อผู้ติดต่อต้นทางเรียกให้ฝ่ายตรงข้ามรับสายแล้วจึงเริ่มการสนทนา เช่น พูดคำว่า “สวัสดี”หรือ “ฮัลโหล” กันก่อนเพื่อให้แน่ใจว่าฝ่ายตรงข้ามพร้อมจะติดต่อด้วย จากนั้นจึงเริ่มต้นติดต่อกัน และเมื่อต้องการจะเลิกการติดต่อก็จะมีการพูดคำว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"สวัสดี" ให้ฝ่ายตรงข้ามทราบว่าจะเลิกการติดต่อและวางสายไปซึ่งในระหว่างการติดต่อกันนั้นแม้ว่าฝ่ายใดฝ่ายหนึ่งหรือทั้งสองฝ่ายจะเงียบไปคือไม่พูดอะไรเป็นเวลานานๆ แต่การเชื่อมโยงระหว่างทั้งสองด้านยังคงมีอยู่ไม่ขาดไปจนกว่าฝ่ายใดฝ่ายหนึ่งจะวางสาย เช่นเดียวกับการติดต่อกันด้วยกลไกโปรโตคอล TCP เมื่อแอพพลิเคชั่นต้องการส่งผ่านข้อมูลจะใช้โปรโตคอลที่เหมาะสมในชั้น Process Layer ติดต่อไปและมีการสร้างช่องส่งข้อมูลผ่าน Port ที่กำหนดเพื่อส่งผ่านข้อมูลไปยังโปรโตคอล TCP

ในระหว่างการรับส่งข้อมูลนี้โปรโตคอล TCP จะเพิ่มขบวนการสอบทานข้อมูลเพื่อให้ข้อมูลมีความถูกต้องไม่ผิดพลาดไปจากเดิม โดยการส่งสัญญาณสอบทานข้อมูล (Acknowledgement) และส่งข้อมูลให้ใหม่อีกครั้งถ้าปลายทางไม่ได้รับหรือเกิดความผิดพลาด และส่งข้อมูลให้ใหม่อีกครั้งถ้าปลายทางไม่ได้รับหรือเกิดความผิดพลาด



รูปที่2.15 รูปแบบ TCP packet จะเห็นว่ามีฟิลด์ Acknowledgement Number และข้อมูล Checksum เพื่อตรวจสอบการเดินทางของข้อมูลส่วน header มีข้อมูลมากทำให้ต้องอาศัยทรัพยากรของระบบมาก

ความหน้าเชื่อถือของการส่งผ่านข้อมูลโดยโปรโตคอล TCP จะมีมากกว่าแต่ก็ต้องอาศัยทรัพยากรของระบบมากกว่าในการทำงานเช่นกัน

โปรโตคอล UDP

ใน Host-to-Host Layer นอกจากจะมีโปรโตคอล TCP (UDP User Datagram Protocol) ที่มีคุณสมบัติแตกต่างกันอยู่ด้วย ในการรับส่งข้อมูลผ่านโปรโตคอล UDP จะเป็นแบบที่ทั้งสองด้านไม่จำเป็นต้องอาศัยการสร้างช่องทางเชื่อมต่อกัน (Connectionless) ระหว่างเครื่องเซิร์ฟเวอร์ให้บริการกับเครื่องที่ขอใช้บริการโดยไม่ต้องแจ้งให้ฝ่ายรับข้อมูลเตรียมรับข้อมูลเหมือนโปรโตคอล TCP และไม่มีการตรวจสอบความถูกต้องครบถ้วนในการรับส่งข้อมูลนั้นๆ ด้วย เนื่องจากโปรโตคอลสัญญาณ UDP ไม่มีสัญญาณสอบทาน (Avknowledgement) ในการส่งข้อมูลแต่ละครั้งและไม่มีการส่งข้อมูลใหม่อีกในกรณีที่เกิดความผิดพลาดของการส่งข้อมูล เมื่อเป็นเช่นนี้แอพพลิเคชั่นหรือโปรเซสใดที่ต้องอาศัยโปรโตคอล UDP ในการส่งผ่านข้อมูลก็อาจจะต้องสร้างขบวนการตรวจสอบข้อมูลขึ้นมาเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

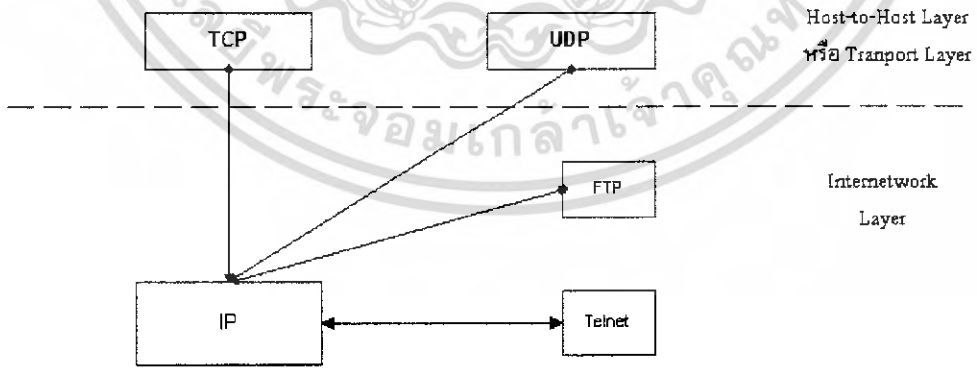
ตามรูป 2.15 จะเห็นว่าโปรโตคอลชั้นบนขึ้นไปที่ใช้การผ่านข้อมูลโดยโปรโตคอล UDP เช่น โปรโตคอล SNMP (ใช้ควบคุมและจัดการอุปกรณ์ในเครือข่าย) หรือโปรโตคอล DHCP (ใช่ส่งข้อมูลพารามิเตอร์ของเครือข่ายให้กับเครื่องลูกข่ายได้ใช้งาน) การส่งข้อมูลเหล่านั้นไม่ต้องรับทราบหรือตรวจสอบว่าข้อมูลไปถึงปลายทางถูกต้องหรือไม่ แต่กลไกการตรวจสอบข้อมูลที่มีการรับส่งจะไปทำในขั้นตอนของโปรโตคอลชั้นที่สูงกว่าแทน

3. Internetwork Layer

ในระดับล่างต่อมาในชั้น Internetwork Layer มีหน้าที่ส่งผ่านข้อมูลในระหว่างเครือข่ายโดยมีโปรโตคอลที่ทำงานเป็นกลไกสำคัญในการส่งผ่านข้อมูลไปยังเครือข่ายใดๆ บนอินเตอร์เน็ตคือโปรโตคอล IP (Internet Protocol) นอกจากนี้ในชั้น Internetwork Layer ยังมีโปรโตคอลที่ทำงานอยู่ด้วยอีก 2 ชนิด คือ โปรโตคอล Internet Control Message Protocol (ICMP) และโปรโตคอล Address Resolution Protocol (ARP)

โปรโตคอล IP (Internet Protocol)

โปรโตคอล IP นี้ทำหน้าที่ให้บริการส่งผ่านข้อมูลที่มาจาก Host-to-Host Layer เพื่อส่งข้ามไปยังเครือข่ายใดๆ ได้อย่างถูกต้อง แม้ว่าจะมีเครือข่ายเชื่อมต่ออยู่ในอินเตอร์เน็ตเป็นล้านๆเครือข่ายก็ตาม เนื่องจากโปรโตคอล IP มีข้อมูลตำแหน่ง IP ปลายทางที่จะส่งข้อมูลไปให้โดยทำงานร่วมกับอุปกรณ์ Router เพื่อส่งข้อมูลข้ามเครือข่ายออกไปได้ตัวโปรโตคอล IP จะทำงานแบบ Packet Switching คือมีการส่งผ่านข้อมูลสวิทช์ (Switch) ไปยังปลายทางโดยข้อมูลจะเดินทางไปยังเครือข่ายต่างๆ ผ่านสวิทช์นี้ไปเรื่อยๆ จนกว่าจะถึงปลายทางตัววงจรผ่านสวิทช์นี้เป็น Gateway หรือ Router ในระบบเครือข่ายก็ได้ซึ่งในข้อมูลของโปรโตคอล IP จะมีข้อมูลของหมายเลข IP ปลายทางที่จะส่งข้อมูลไปให้และเมื่อถึงเครือข่ายปลายทางแล้วจะมีกลไกแปลงหมายเลข IP ให้เป็นหมายเลขฮาร์ดแวร์ประจำเครื่องที่ถูกต้องอีกทีหนึ่งด้วยโปรโตคอล ARP ตามรูปที่ 2.16 ที่จะแสดงการติดต่อกันระหว่างโปรโตคอลในชั้นของ Host-to-Host Layer กับ Internetwork Layer



รูปที่ 2.16 โปรโตคอล TCP และ UDP อาศัยโปรโตคอล IP ที่อยู่ชั้นล่างเพื่อส่งผ่านข้อมูลระหว่างเครือข่าย และในชั้น Internetwork Protocol ยังมีโปรโตคอล ARP ทำหน้าที่แปลงหมายเลข IP ไปเป็นเลขหมายของฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรโตคอล ICMP (Internet Control Message Protocol)

หน้าที่หลักของโปรโตคอล ICMP (Internet Control Message Protocol) คือ การแจ้งหรือแสดงข้อความจากระบบเพื่อบอกให้ผู้ใช้ทราบว่าเกิดอะไรขึ้นในการส่งผ่านข้อมูลนั้นซึ่งปัญหาส่วนมากที่พบคือส่งไปไม่ได้หรือปลายทางรับข้อมูลไม่ได้เป็นต้นนอกจากนี้โปรโตคอล ICMP ยังถูกเรียกใช้งานจากเครื่อง Server และ Router อีกด้วยเพื่อแลกเปลี่ยนข้อมูลที่ใช้ควบคุม ส่วนรูปแบบการทำงานของโปรโตคอล ICMP นั้นจะทำควบคู่ไปกับโปรโตคอล IP ในระบบเดียวกัน และข้อความต่างๆ ที่แจ้งให้ทราบจะถูกผนึกอยู่ภายในข้อมูล IP (IP datagram) อีกตัวหนึ่ง

ข้อความที่โปรโตคอล ICMP ส่งนั้นแบ่งออกได้เป็นคือ ICMP Error Message หรือข้อความแจ้งข้อผิดพลาดและ ICMP Query หรือข้อความเรียกขอข้อมูลเพิ่ม ตัวอย่างกลไกการทำงานของโปรโตคอล ICMP เช่น เมื่อมีการส่งผ่านข้อมูลจากผู้ใช้ไปยังปลายทางที่ไม่ถูกต้องหรือขณะนั้นเครื่องปลายทางเกิดปัญหาจนไม่สามารถรับข้อมูลได้ ที่ Router จะส่งข้อความแจ้งเป็น ICMP Message ที่ชื่อ Destination Unreachable ให้กับผู้ส่งข้อมูลนั้น นอกจากนี้ตัวข้อมูลที่แจ้งข้อความก็จะมีส่วนของข้อมูล IP Datagram ที่เกิดปัญหาด้วย ดังนั้นเมื่อผู้ส่งข้อมูลได้รับข้อความแจ้งแล้วก็จะทราบได้ว่า จุดที่เกิดปัญหานั้นอยู่ที่ใด ดังนั้นโปรโตคอล ICMP จึงกลายมาเป็นเครื่องมืออย่างหนึ่งในการช่วยทดสอบเครือข่าย เช่นคำสั่ง Ping ที่เรามักใช้ทดสอบว่าเครื่อง Sever ที่ให้บริการหรืออุปกรณ์ที่ต่ออยู่ในเครือข่ายอินเตอร์เน็ตนั้นยังทำงานเป็นปกติหรือไม่ แล้วคำสั่ง Ping มีการเรียกใช้งานโปรโตคอล ICMP แจ้งเป็นข้อความให้ทราบอีกด้วยต่อหนึ่ง

โปรโตคอล ARP (Address Resolution Protocol)

โปรโตคอล ARP ถูกเรียกใช้งานโดยโปรโตคอล IP เพื่อช่วยแปลงหมายเลข IP ไปเป็นหมายเลขฮาร์ดแวร์ปลายทางตัวอย่าง เช่น เว็บเซิร์ฟเวอร์เครื่องหนึ่งเชื่อมต่ออยู่ในเครือข่ายอินเตอร์เน็ตและในการเชื่อมต่อนี้ต้องอาศัย Lan Card ที่ติดตั้งอยู่นี้เองจะมีหมายเลขเฉพาะประจำฮาร์ดแวร์ที่ไม่ซ้ำกับใครเพื่อใช้อ้างอิงการส่งข้อมูลในเครือข่ายแต่มาใช้งานโปรโตคอล TCP/IP ก็จะต้องมีการกำหนดหมายเลขIP Address ประจำตัวเพื่อใช้อ้างอิงกันและโปรโตคอล ARP จะทำหน้าที่แปลงค่าหมายเลข IP ให้เป็นหมายเลขฮาร์ดแวร์จริงให้ในระดับการทำงานที่ Internetwork Layer นี้ซึ่งกลไกการแปลงนี้เรียกว่า Address Resolution

โปรโตคอล ARP ย้อยกลับหรือ RARP (Reverse Address Resolution Protocol)

วิธีการ ARP ช่วยแก้ปัญหาในการค้นหาที่อยู่ของข้อมูลที่ใช้ในการกำหนดที่อยู่ฮาร์ดแวร์ แบบ IP แต่ถ้าทราบที่อยู่แบบฮาร์ดแวร์แล้วต้องการแปลงที่อยู่เป็น IP จะทำอย่างไรปัญหานี้มักเกิดขึ้นกับเครื่อง Computer ที่เริ่มทำงานด้วยการอ่านข้อมูลทั้งหมดจากเครื่อง Host เครื่องประเภทนี้จะทราบเพียงที่อยู่ของตนเองจากอุปกรณ์สื่อสารเครือข่ายเท่านั้น การค้นหาคำตอบสามารถทำได้โดยวิธีควบคุมการสื่อสารแบบ ARP ย้อนกลับหรือ RARP (Reverse Address Resolution Protocol) วิธีการนี้ Computer ที่เพิ่งจะเริ่มทำงาน (หรือเครื่องใดก็แล้วแต่) จะส่งคำถามออกไปในทำนอง "ที่อยู่ขนาด 48 Bitsแบบฮาร์ดแวร์ของฉันคือ 14.04.05.18.01.25 มีใครทราบที่อยู่ IP ของฉันบ้าง" เครื่องที่ให้บริการ RARP จะตรวจดูข้อมูลในตารางข้อมูลของตนเองแล้วจึงส่งหมายเลข IP กลับไปให้วิธีการนี้ช่วยให้เกิดความอ่อนตัวและเพิ่ม

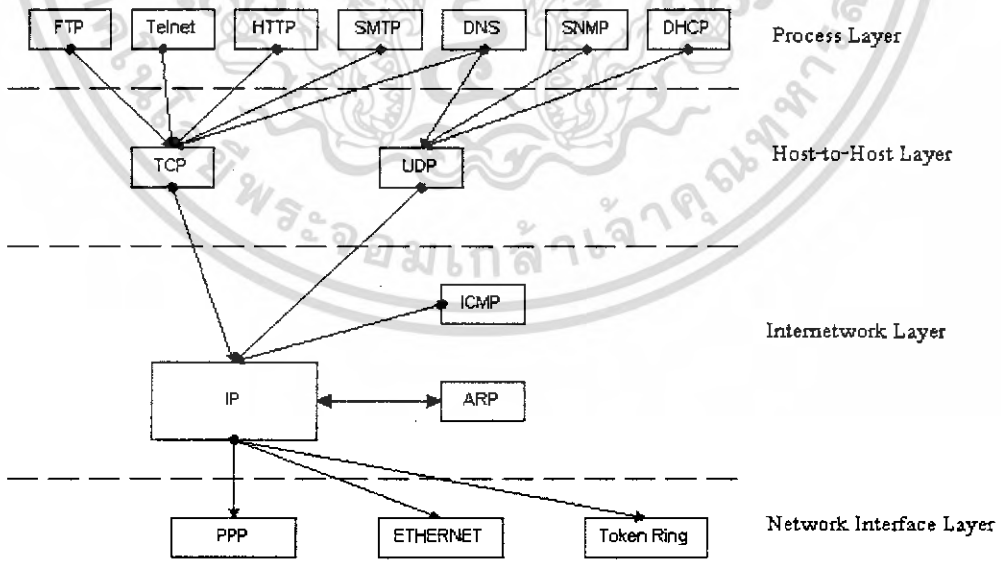
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพในการใช้หมายเลข IP เนื่องจากผู้ใช้ไม่มีหมายเลข IP เป็นของตัวเอง ผู้ควบคุมระบบสามารถกำหนดหมายเลข IP ที่ไม่มีผู้ใช้งานในขณะนั้นให้ใช้ได้หมายเลข IP ในที่นี้จึงเป็นเสมือนสมบัติส่วนกลางที่ทุกคนใช่ร่วมกัน

ข้อด้อยของวิธี RARP คือการที่ผู้ใช้จะส่งคำถามโดยใช้หมายเลข 1 จำนวน 8 ตัว เป็นที่อยู่ของผู้ให้บริการหมายเลขนั้นเป็นหมายเลขพิเศษที่ Router จะไม่ยอมส่ง Package ผ่านไปยังเครือข่ายอื่นเลย ฉะนั้นผู้ให้บริการ RARP จะต้องมีอยู่ประจำทุกเครือข่ายอย่างไรก็ตาม Protocol แบบ BOOTP ได้รับการพัฒนาขึ้นมาเพื่อแก้ปัญหานี้โดยการใช้ Package UDP แทน Package ชนิดนี้สามารถส่งไปได้ทั่วทุกเครือข่ายและยังให้ข้อมูลอื่นเพิ่มเติม เช่น หมายเลข IP ของผู้ให้บริการแฟ้มข้อมูลหมายเลข IP ของ Router อัตโนมัติและตารางข้อมูลเครือข่ายย่อยเป็นต้น

4. Network Interface Layer

เนื่องจากในด้านกายภาพของเครือข่ายนั้นมีหลายวิธีการและหลายรูปแบบในการเชื่อมต่อระบบให้เป็นเครือข่ายแต่อย่างไรก็ตามในเครือข่ายอินเตอร์เน็ตนี้ข้อมูลใน IP datagram จะถูกถ่ายทอดและส่งผ่านไปยังปลายทางโดยไม่คำนึงถึงรูปแบบการเชื่อมต่อทางกายภาพ ไม่ว่าจะเป็นการใช้เครือข่ายใยแก้วนำแสงหรือเครือข่ายสาย Unshielded Twist Pair (UDP) เชื่อมต่อเป็นเครือข่าย Ethernet ธรรมดาหรือเครือข่าย Token Ring , ATM , ISDN ฯลฯ ก็ตาม การทำงานระดับล่างสุดต่อจาก Internetwork Layer จะเป็นการแปลงข้อมูล IP datagram ให้อยู่ในรูปแบบที่เหมาะสมและแปลงเป็นสัญญาณไฟฟ้าส่งไปยังเครือข่ายต่อไปซึ่งในชั้น Network Interface Layer นี้เมื่อเทียบกับมาตรฐาน OSI mode แล้วจะเป็นการรวม 2 layer เข้าด้วยกันคือ Data link layer และ Physical layer กล่าวโดยสรุปคือการทำงานในชั้นต่างๆ ตามโครงสร้างโปรโตคอล TCP/IP จะมีลักษณะดังรูปที่ 2.17



รูปที่ 2.17 โครงสร้างของโปรโตคอล TCP/IP ในแต่ละชั้นหรือ Layer จะมีโปรโตคอลหลักทำหน้าที่ต่างๆ และส่งข้อมูลไปยังเครือข่ายและออกสู่อินเตอร์เน็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวโดยสรุปก็คือโปรโตคอล TCP/IP ทำงานโดยแบ่งเป็นชั้นเทียบกับ OSI mode ได้กลไกการทำงานของโปรโตคอล TCP/IP มี 4 ชั้น ซึ่งในชั้นแรกคือ Process layer ทำหน้าที่ติดต่อกับแอพพลิเคชั่นและโปรโตคอลที่แอพพลิเคชั่นนั้นๆ ใช้งาน และส่งต่อมาในชั้น Host-to-Host layer เพื่อติดต่อกันระหว่างเครื่องเซิร์ฟเวอร์ให้บริการกับเครื่องผู้ขอให้บริการ ในชั้นนี้การผนึกข้อมูลไปเป็น IP datagram ที่ชั้น Internetwork Layer โดยอาศัยโปรโตคอล IP เพื่อให้สามารถติดต่อข้อมูลข้ามเครือข่ายและเครื่องที่ถูกต้องได้และสุดท้ายการส่งข้อมูลออกสู่โลกภายนอกต้องอาศัยกลไกในชั้น Network Interface Layer เพื่อแปลงข้อมูลใหม่ให้เป็นสัญญาณไฟฟ้าส่งออกไปยังเครือข่ายและอาจจะออกไปยัง Gateway หรือ Router เพื่อข้ามเครือข่ายไปยังเส้นทางที่กำหนดไว้ในอินเตอร์เน็ตโปรโตคอลในแต่ละโปรโตคอลเหล่านี้ก็จะรับผิดชอบหน้าที่ของตนเพื่อผ่านข้อมูลลงไปยังระดับล่างและออกสู่เครือข่ายอินเตอร์เน็ตในที่สุด

ตารางสรุปหมายเลขบางส่วนของ Port ที่ใช้งานโดย TCP/IP และ UDP เราจะเห็นว่าในแต่ละชั้นของโครงสร้าง TCP/IP Stack มีการใช้โปรโตคอลต่างอยู่หนึ่งโปรโตคอล

โปรโตคอลที่ใช้งาน	PortหรือSocketเชื่อมต่อ (เลขฐาน10)	โปรโตคอลในระดับ Host-to-Host	รายละเอียด
BootP	67	UDP	BOOTstarp Protocol ด้านเซิร์ฟเวอร์
BootP	68	UDP	BOOTstarp Protocol ด้านเซิร์ฟเวอร์
DHCP	67	UDP	Dynamic Host Configuration Protocol ด้านเซิร์ฟเวอร์
DNCP	68	UDP	Dynamic Host Configuration Protocol ด้านไคลเอนต์
DNS	53	UDP/TCP	Domain Name System
FTP	21	TCP	File Transfer Protocol ด้านเซิร์ฟเวอร์ที่ควบคุม
FTP	20	TCP	File Transfer Protocol ด้านเซิร์ฟเวอร์ที่ส่งข้อมูล
HTTP	80	TCP/UDP	Hyper Text Transfer Protocol ด้านเซิร์ฟเวอร์
NetBT	138	UDP	NetBIOS datagram service
NetBT	139	UDP	NetBIOS session service
SMTP	25	TCP	Simple Mail Transfer Protocol ด้านเซิร์ฟเวอร์
SNMP	161	UDP	Simple Network Management Protocol ด้าน agent

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SNMP	162	UDP	SNMP trap manager
Telnet	23	TCP	Teletype Network Protocol
TFTP	69	UDP	Trivial File Transfer Protocol
WINS	137	UDP	Windows Internet Name Service

ตารางที่ 2.2 สรุปหมายเลขบางส่วนของ Port ที่ใช้งานโดย TCP/IP และ UDP

กลไกของโปรโตคอล IP

ในการส่งผ่านข้อมูลหรือ IP datagram ไปยังเครือข่ายอินเตอร์เน็ตนั้นโปรโตคอล IP จะทำหน้าที่พิจารณาว่าปลายทางในการส่ง IP datagram นั้นเป็นภายในเครือข่ายตนเองหรือจะต้องส่งข้อมูลข้ามเครือข่ายไปอีก โดยการพิจารณานี้โปรโตคอล IP address ปลายทางว่าส่วนที่เป็นค่าหมายเลขเครือข่าย (network address) จะเหมือนกันกับค่าเลขหมายเครือข่าย IP address ต้นทางหรือไม่ถ้าค่าตรงกันแสดงว่าการส่งข้อมูลภายในเครือข่ายเดียวกัน แต่ถ้าค่าต่างกันแสดงว่าต้องส่งข้อมูลไปยังปลายทางที่อยู่คนละเครือข่ายกัน

- การส่งข้อมูลภายในเครือข่ายเดียวกันมีกลไกดังนี้

1. โปรโตคอล IP จะเรียกใช้บริการโปรโตคอล ARP (Address Resolution Protocol) เพื่อแปลงหมายเลข IP ปลายทางให้เป็นค่าหมายเลขฮาร์ดแวร์ เช่น MAC address

2. เมื่อโปรโตคอล IP ได้รับหมายเลขฮาร์ดแวร์แล้วก็จะส่งข้อมูลไปยังฮาร์ดแวร์ที่ระบุไว้

- การส่งข้อมูลข้ามเครือข่ายมรกลไกดังนี้

1. โปรโตคอล IP ตรวจสอบพบว่าหมายเลข IP address ที่ปลายทางอยู่คนละเครือข่ายกัน โดยโปรโตคอล IP จะอ่านค่า IP address ของ Router เพื่อเตรียมส่งข้อมูลไปที่ Router แทนซึ่งในที่นี้จะมีการกำหนดเป็น default router

2. โปรโตคอล IP จะเรียกใช้บริการโปรโตคอล ARP เพื่อแปลงค่า IP address ของ Router ให้เป็นค่าหมายเลขฮาร์ดแวร์

3. โปรโตคอล IP ส่งข้อมูล IP datagram ไปยัง Router ส่งข้อมูลข้ามเครือข่ายไปตามขั้นตอน

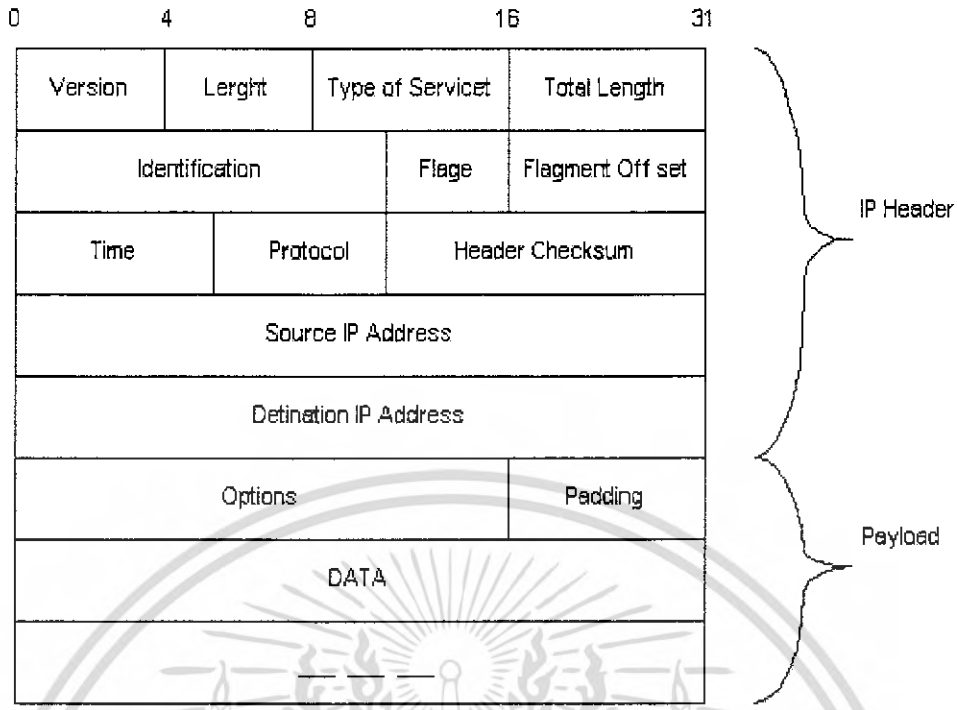
IP Datagram

หัวใจหลักการส่งข้อมูล TCP/IP คือ IP Datagram เป็นชุดของข้อมูลซึ่งประกอบด้วย Source, Address ปลายทาง , Type of Service Information , User data และ Error Correction Information

IP Datagram จะประกอบด้วยส่วนของ Header Block ของข้อมูลซึ่งข้อมูลสามารถที่จะกำหนดขึ้นอยู่กับชนิดของ Service และความต้องการของผู้ใช้ในส่วน Header จะประกอบด้วยชุดของ Well Defined Field

IP Header ในส่วนหัวของ IP datagram หรือ IP Header โดยส่วนมากจะประกอบด้วย 20 bytes ตามรูปที่ 2.18 จะแสดง IP Header

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดง IP Header

ครั้งแรกจะพิจารณาสิ่งที่น่าสนใจในส่วนของ Protocol , Source , Address , และ Destination Address Field ในส่วนของโปรโตคอลจะถูกกำหนดโดยวิธีของ IP Packet จะถูกแปลทั่วๆ ไป ค่าต่างๆ จะถูกกำหนดไว้สำหรับส่วนนี้ในส่วนของ Address จะแสดงให้เห็นส่วนของ Host Address ซึ่ง Address นี้จะเป็นเพียงหมายเลขเดียวเท่านั้นที่จะเหมือนกันในระบบ Internet

IP Host Address and Routing

IP Host Address จะเป็นส่วนข้อมูล 32 bit ซึ่งมีเพียงหมายเลขเดียวเท่านั้นที่เหมือนกันซึ่งใช้ในการติดต่อกับ Internet Host ส่วนของ Gateway (เป็นตัวทำหน้าที่ Interface network ที่มีมากกว่า 1 network) จะมี Host อยู่มากมาย

ตามหลักที่ถูกต้องคือ 4 bytes ของ Internet host address มักเขียนให้อยู่ในรูปของเลขฐานสิบ ตัวอย่างเช่น 121.0.0.1

Internet Host Address ส่วนมากจะถูกแบ่งออกเป็น 2 ส่วน คือ Network Address และ Actual host address ถ้าเรียงตามความยาวทั้งสองตาม address โดยมากจะขึ้นอยู่กับการกำหนด bytes ใน address เสียส่วนใหญ่

Class A network address จะสังเกตได้ว่าไบต์แรกจะอยู่ระหว่าง 0 ถึง 127 แล้วจะประกอบไปด้วย 8 บิต เนตเวิร์กจะประกอบด้วย 24 bit host address เนื่องจากแอดเดรสเริ่มต้นที่ 0 และ 127 จะถูกสงวนไว้ซึ่งสามารถมีค่าสูงสุดคือ 126 class A Subnets ใน class A นี้สามารถมีได้ทั้งหมด 16,777,214 host (Address อยู่ในรูป nnr.0.0.0 และ nnn.255.255.255 จะถูกสงวนเอาไว้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Class B Network address จะสังเกตได้จากตัวเลขหลักแรกสุดอยู่ระหว่าง 128 ถึง 199, Class B Network จะประกอบไปด้วย 16 bit Network address และ 16 bit host address และสามารถมี 16,383 Subnet Class B Subnet สามารถที่จะระบุได้ถึง 65,534 hosts (address อยู่ในรูป nnn.mmm.0.0และ nnn.mmm.255.255 จะถูกสงวนเอาไว้)

Class C Network address จะสังเกตได้จากตัวเลขหน้าสุดระหว่าง 192 และ 223 ซึ่งจะมีได้ 2,097,152 Subnets Class C Subnets สามารถที่จะระบุได้ 254hosts (โดยเริ่มที่address nnn.mmm.bbb.0.nnn.mmm.bbb.255 จะถูกสงวนเอาไว้)

Class D Network address (โดยทั่วไปตัวเลขไบต์แรกจะอยู่ระหว่าง 224 ถึง 255)จะถูกสงวนเอาไว้เพื่อ IP Miltitasking ที่ถูกจำกัดจากในส่วนของ IP broadcastion คือจะไม่ไปยุ่งเกี่ยวกับ Winsock Programmer

Host Names

ในระหว่างการคิดค้นประดิษฐ์ Internet ซึ่งตัวเลขที่จะนำมาแทน Host Address ซึ่งจะมีไม่เพียงพอและอีกอย่างหนึ่งคือตัวเลขเหล่านี้เป็นการยากที่จะจดจำและอีกอย่างถ้าเกิด Host address มีการเปลี่ยนแปลงอันเนื่องมาจากหลายๆ สาเหตุจึงทำให้เกิดความยุ่งยากดังนั้นระบบ Naming System จึงได้ถูกสร้างขึ้นมาเพื่อใช้ในการ Map ตัวเลขของ IP Address ไปเป็น Memories Host Names ในทุกวันนี้จะมีอยู่ 5 hosts บน Internet ทุกๆ host จะถูกจับเปลี่ยนให้อยู่ในรูปของ file กับข้อมูลของ Internet host ทุกตัวและ address อย่างไรก็ตามอินเตอร์เน็ตได้เติบโตอย่างต่อเนื่องมาทำให้ดูว่าจะไม่เพียงพอ อย่างแรกคือการตั้งชื่อ Internet host จะทำได้อย่างมีมาตรฐาน อย่างที่ 2 คือ ทางด้าน hardware สามารถที่จะแยกแยะความต้องการที่จะติดต่อกับทุกเครื่องคอมพิวเตอร์ทุกตัวที่อินเตอร์เน็ตอยู่

ในส่วนนี้จะกำหนดโดยหน่วยงานหนึ่ง(ส่วนมากเป็นหน่วยงานในสหรัฐ) หรือโดยแต่ละประเทศโดยจะมีดังต่อไปนี้

GOV : Government Bodies

EDU : Education Institutions

COM : Commercial Enterprises

MIL : Milliary Organization

ORG : Other Organization

Top - level Domain โดยใช้ชื่อประเทศมักจะใช้ตามมาตรฐาน ISO 3166 โดยจะใช้ตัวอักษรย่อ 2 ตัวของชื่อประเทศ

2.5 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบสื่อสารที่มีโครงข่ายชุมสายบริการและผู้รู้เลขหมายสมาชิกให้สามารถเรียกสลับคู่สนทนาต่างๆ โดยลดการเดินทางที่ไม่จำเป็นลงได้โทรศัพท์ที่ใช้อยู่ในปัจจุบันมี 2 ระบบคือ ระบบ Cross bar (หน้าปัดแบบหมุน) ซึ่งเป็นระบบเดิมที่ใช้แต่แรกกับระบบ DTMF (หน้าปัดแบบกดปุ่ม) Dual Tone Multi Frequency เป็นระบบใหม่ที่นำมาใช้แทนที่สำหรับข้อดีกว่าจะนำเสนอต่อไป และในที่นี้จะเน้นเฉพาะระบบ DTMF ซึ่งเป็นระบบที่ใช้มากในปัจจุบันในระบบโทรศัพท์จะประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การเรียกทางโทรศัพท์ (TELEPHONE CALL) คือ การเรียกผ่านระบบโทศัพท์ระหว่างสมาชิกผู้เรียกและผู้รับ

2. เครื่องโทรศัพท์ (TELEPHONE SET) คือ อุปกรณ์สำหรับสมาชิกใช้พูดและฟังในการสนทนาโครงข่ายโทรศัพท์ เมื่อต้องการเรียกก็หมุนหรือกดหมายเลขผู้รับที่หน้าปัด

3. ผู้เรียก (CALLING SUBSCRIBER) หรือ สมาชิกผู้เรียก คือ ผู้เริ่มต้นการเรียกจะด้วยการแจ้งให้พนักงานช่วยต่อกับผู้รับ หมุนหรือกดหมายเลขของผู้รับเมื่อเครื่องโทรศัพท์นั้นเป็นคู่สายของเครื่องชุมสายอัตโนมัติ

4. ผู้รับ (CALLED SUBSCRIBER) สมาชิกผู้ถูกเรียก คือ ผู้ดอบรับการเรียกทางโทรศัพท์เมื่อได้ยินสัญญาณกริ่งเรียก (RINGING SIGNAL)

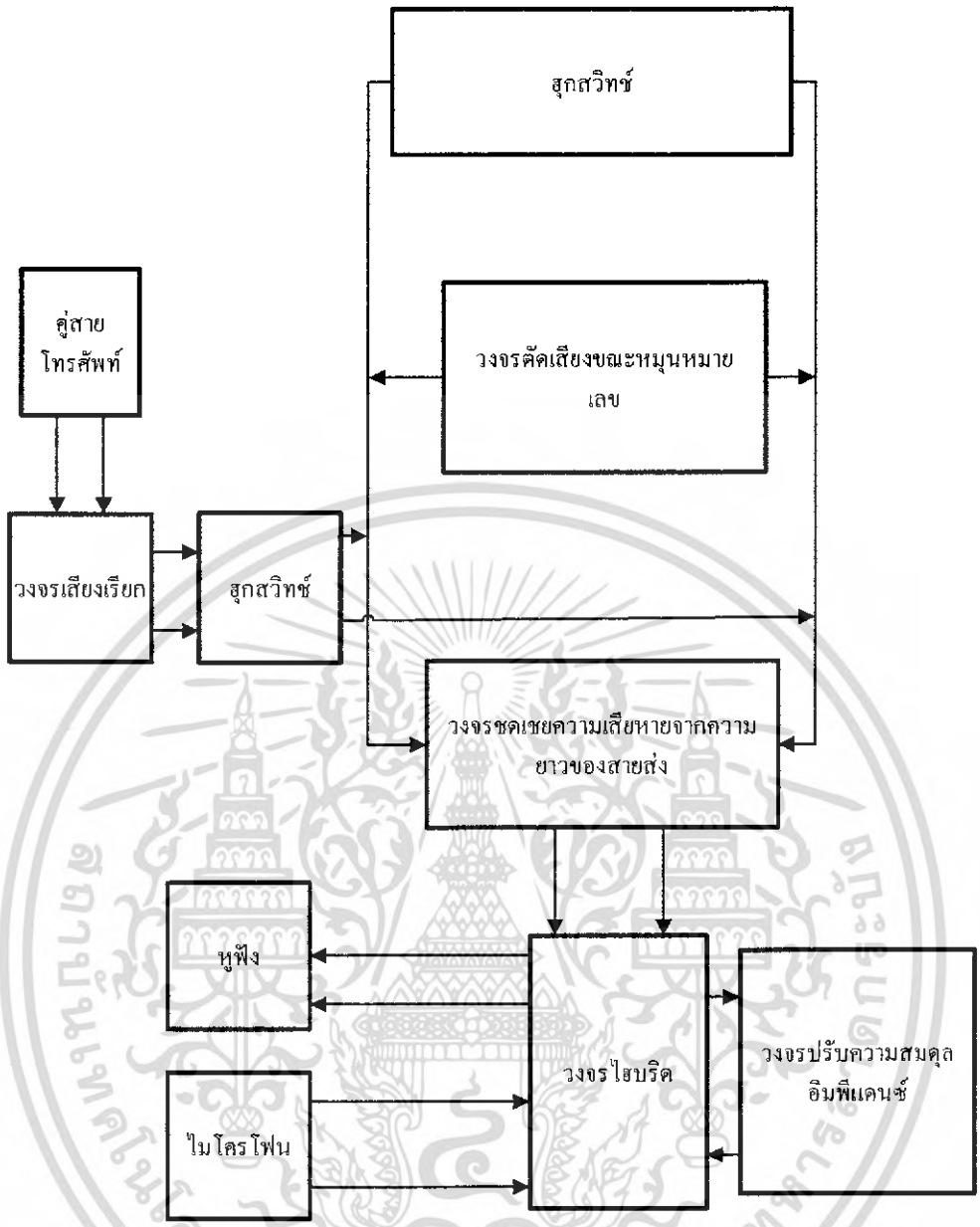
5. คู่สายสมาชิก (SUBSCRIBER LINE) คือ คู่ตัวนำกระแสไฟฟ้าที่เปลี่ยนมาจากเสียงพูดแจกจ่ายออกมาจากสถานี ที่ติดตั้งเครื่องชุมสายท้องถิ่นไปยังบ้านของผู้เช่า หรือสมาชิกแต่ละรายอย่างอิสระ

6. เครื่องชุมสายโทรศัพท์ (อัตโนมัติ) (AUTOMATIC TELEPHONE SWITCHING) คือ เครื่องที่ทำหน้าที่ต่อสลับคู่สายระหว่างสมาชิกผู้เรียกกับผู้รับโดยอัตโนมัติ

2.3.1 การทำงานของโทรศัพท์

โทรศัพท์จะมี แผนภูมิ (Block diagram) การทำงานดังรูปที่ 2.19 ซึ่งแสดงส่วนต่างๆ ที่จำเป็นในเครื่องโทรศัพท์ โดยจะเชื่อมต่อด้วยสาย T (tip) และสาย R (ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องโทรศัพท์กับอุปกรณ์ของชุมสายก็คือ วงจรกำเนิดสัญญาณเรียก (ringer) ซึ่งจะส่งสัญญาณเรียก (ringing signal) เมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรนี้มาเชื่อมต่อกับชุมสายโดยตรงคือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ สุกสวิตช์ (switch hook) จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังสุกสวิตช์ได้ ดังนั้นถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากสุกสวิตช์ก็จะสามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามาเมื่อมีการยกหูโทรศัพท์ขึ้นสุกสวิตช์ก็จะเปิดวงจรทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกันกระแสค่าเดียวกันนี้ก็ไหลผ่านขดลวดรีเลย์ที่ชุมสายด้วยก็จะทำให้หน้าสัมผัสของรีเลย์ที่ชุมสายถูกปิดลงเพื่อที่จะให้อุปกรณ์ต่างๆ ในชุมสายพร้อมที่จะทำการติดต่อกับโทรศัพท์ได้ จากนั้นชุมสายก็จะส่งสัญญาณหมุน (dial tone) ไปยังผู้ที่ยกหูโทรศัพท์เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการติดต่อด้วยมายังชุมสายหลังจากที่ชุมสายได้รับหมายเลขที่ถูกส่งออกมาแล้ว ชุมสายก็จะเลิกส่งสัญญาณหมุนซึ่งกระบวนการตอนนี้จะเกิดขึ้นอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.19 แสดงบล็อกไดอะแกรมของโทรศัพท์

2.3.2 สัญญาณโทรศัพท์

ปัจจุบันการติดต่อสื่อสารได้เข้ามามีบทบาทอย่างมากในชีวิตประจำวัน และเครื่องมือในการติดต่อสื่อสารสำคัญมากอย่างหนึ่งคือโทรศัพท์ เครื่องโทรศัพท์ที่เห็นกันอยู่ไปโดยมากเป็นแบบกดปุ่ม เครื่องโทรศัพท์ชนิดนี้จะทำงานโดยส่งสัญญาณที่มีความถี่ที่อยู่ในย่านความถี่เสียง ในการกดแต่ละหมายเลขครั้งหนึ่งจะมีการส่งสัญญาณเสียงที่ได้มาจากมอดูเลต (Modulate) สัญญาณที่มีความถี่แตกต่างกัน 2 สัญญาณออกไปยังชุมสายโทรศัพท์ หรือที่เรียกสัญญาณดีทีเอ็มเอฟ (Dual Tone Multi Frequency) สัญญาณต่างๆ ที่ชุมสายโทรศัพท์ส่งมาตามคู่สายโทรศัพท์จะเป็นสัญญาณแจ้งให้ผู้ใช้ทราบถึงสภาวะการใช้งานโทรศัพท์ในขณะโดยสัญญาณนี้แบ่งออกเป็น 4 ประเภท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สัญญาณพร้อมหมุน (Dial Tone) เป็นสัญญาณที่ทางชุมสายใช้แจ้งไปยังผู้ใช้โทรศัพท์ว่าอุปกรณ์ต่างๆ ในชุมสายพร้อมที่จะทำการต่อโทรศัพท์ให้กับผู้ใช้โทรศัพท์

2. สัญญาณเรียกกลับ หรือ สัญญาณแจ้งว่าสายว่าง (Ringback Tone) เป็นสัญญาณที่บอกให้ผู้เรียกใช้ทราบว่า สายของผู้ที่ถูกเรียกว่าง และกำลังทำการเรียกอยู่

3. สัญญาณกระดิ่ง (Ringing Tone) เป็นสัญญาณที่ทางชุมสายส่งไปยังเครื่องผู้รับ เพื่อบอกให้ทราบว่าขณะนี้มีการติดต่อมา

4. สัญญาณสายไม่ว่าง (Busy Tone) เป็นสัญญาณที่บอกให้ผู้เรียกใช้ทราบว่าไม่สามารถติดต่อกับเครื่องรับโทรศัพท์เลขหมายที่กำลังติดต่อในขณะนั้นได้

ชนิดของสัญญาณ	การส่งสัญญาณ	ความถี่สัญญาณ(เฮิรตซ์)
สัญญาณพร้อมหมุน	ต่อเนื่องไม่ขาดหาย	350 มอดูเลตกับ 440
สัญญาณเรียกกลับ	ดัง 2 วินาที เงียบ 4 วินาที	25
สัญญาณกระดิ่ง	ดัง 2 วินาที เงียบ 4 วินาที	440 มอดูเลตกับ 620
สัญญาณแจ้งว่าสายไม่ว่าง	* ขาดหาย 30ครั้งต่อนาทีเมื่อสายในชุมสายไม่ว่าง * ขาดหาย 60ครั้งต่อนาทีเมื่อเครื่องรับโทรศัพท์ที่ต้องการติดต่อถูกใช้งานอยู่ * ขาดหาย 120ครั้งต่อนาทีเมื่อทรั้งค์ไม่ว่าง	480 มอดูเลตกับ 620

ตารางที่2.3 แสดงลักษณะของสัญญาณต่างๆ ที่ใช้ในการแจ้งสภาวะการใช้งานทางโทรศัพท์

หมายเหตุ ทรั้งค์ หมายถึง อุปกรณ์ที่ใช้ในการสับสวิทช์ระหว่างคู่สายโทรศัพท์

ระดับสัญญาณระหว่างคู่สายโทรศัพท์นั้น มีทั้งสัญญาณที่เป็นไฟกระแสตรง (DC) และสัญญาณที่เป็นไฟกระแสสลับ (AC) ซึ่งระดับแรงดันไฟฟ้าของสัญญาณระหว่างคู่สายจะแตกต่างกันไป

2.3.3 การติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์

- เครื่องส่ง

1. ขณะที่ไม่ได้มีการยกหูโทรศัพท์จะมีศักดาตกคร่อมสายโทรศัพท์เป็นสัญญาณกระแสตรง 48V

2. เมื่อมีผู้เรียกยกหูโทรศัพท์ศักดาจะลดลงเหลือ 8 V พร้อมทั้งมีสัญญาณให้หมุนซึ่งเป็นสัญญาณกระแสสลับขนาด 250 mV ความถี่ 400 Hz กับความถี่ประมาณ 50 Hz ซึ่งเมื่อกดรหัสสัญญาณความถี่แล้วสัญญาณให้หมุนนี้จะหายไป

3. กดรหัส (Code) เบอร์โทรศัพท์ทั้งหมด 7 รหัสรหัสความถี่ที่ส่งจะเป็นสัญญาณผสมกันสองความถี่เป็นความถี่สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่

4. ขณะที่รอรับจะมีสัญญาณตอบกลับสองแบบ เพื่อจะบอกว่าสายว่างหรือไม่ คือสัญญาณเรียกกลับหรือสัญญาณสายไม่ว่าง ตามลำดับ

5. เมื่อมีการรับสายแล้ว สัญญาณจะขึ้นกับความดังของเสียงพูดตามสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

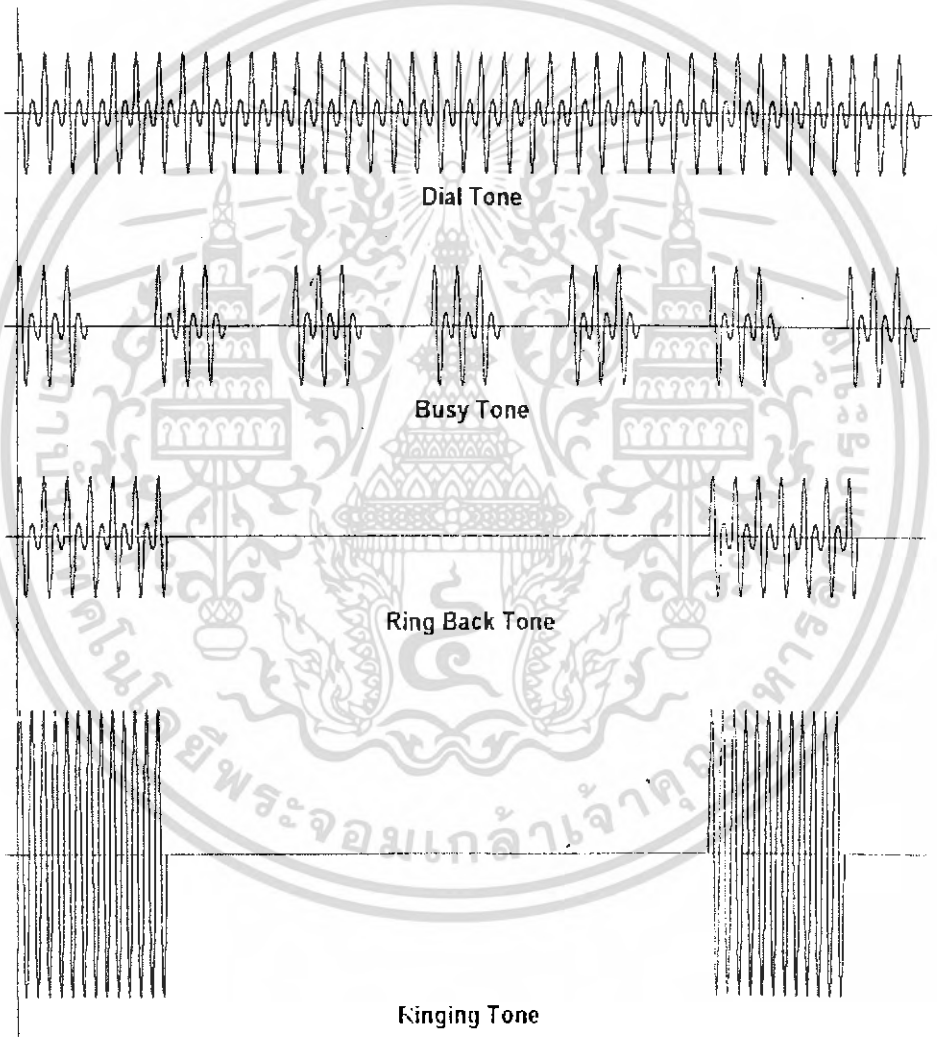
6. เมื่อวางหูโทรศัพท์เลิกการติดต่อ ขนาดศักดาจะกลับไปที่ 48V ดังเดิม

- เครื่องรับ

1. ขณะที่ว่างหูจะมีศักตาแรงดันตกคร่อมสายอยู่ 48 V เมื่อมีสัญญาณกริ่งเรียกจะมีขนาดประมาณ 100 Vrms จังหวะดัง 1 วินาทีหยุด 4 วินาที ซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง

2. จากนั้นเมื่อผู้รับยกหูโทรศัพท์ขนาดศักดากระแสตรงจะเหลือ 8 V และมีการกระเพื่อมตามขนาดและความถี่ของเสียงพูด

3. เมื่อสิ้นสุดการสนทนา วางหูโทรศัพท์ ขนาดศักดาจะกลับไปที่ 48 V ตามเดิม

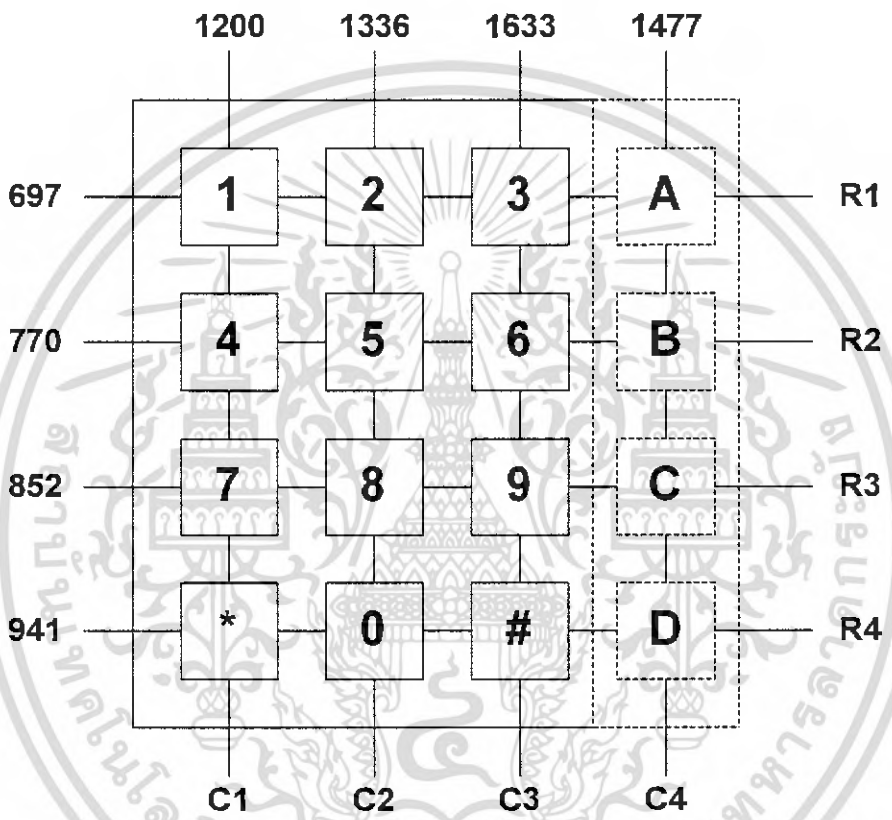


รูปที่ 2.20 แสดงสัญญาณโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 ระบบโทรศัพท์แบบส่งความถี่คู่ (DUAL TONE MULTI FREQUENCY TYPE)

ระบบนี้มีวิธีการส่งหมายเลขของผู้ที่ต้องการจะติดต่อด้วย โดยการส่งสัญญาณความถี่ 2 ความถี่ มอดูเลตกันไป ซึ่งจะเป็นตัวแทนหมายเลขที่กด ซึ่งความถี่ที่ถูกส่งออกไปอยู่ในย่านความถี่เสียงพูด (0-4) กิโลเฮิรตซ์ ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอนและอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่างๆ จะแสดงไว้ในรูป 2.21 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ มอดูเลตกันออกมา



รูปที่ 2.21 แสดงแป้นกดหมายเลขและค่าถี่ในแนวนอนและแนวตั้งของหมายเลขนั้น ๆ

2.3.5 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม (DTMF)

1. สามารถลดเวลาในการหมุนหมายเลขลงได้ ทำให้มีผลคือ เวลาเฉลี่ยที่ใช้โทรศัพท์แต่ละครั้งลดลง ซึ่งทำให้ชุมสายโทรศัพท์สามารถรับ traffic ได้มากขึ้น

2.สามารถใช้วงจรทาง solid state electronic แทนอุปกรณ์ทางด้าน mechanic จึงทำให้มรความรวดเร็วและแม่นยำในการส่งหมายเลขมากขึ้น

3. สามารถเพิ่มปุ่มกดขึ้นได้อีก 4 ปุ่ม (Column ที่ 4) เพื่อใช้ในการส่งสัญญาณการบริการประเภทอื่นๆ

4. มีความเหมาะสมที่จะใช้กับชุมสายระบบ Stored Program Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ไมโครคอนโทรลเลอร์ MCC-51

ไมโครคอนโทรลเลอร์แบบชิพเดี่ยว (Single Chip Microcontroller) คือไมโครคอมพิวเตอร์แบบที่มีขนาดเล็กโดยบรรจุไว้ในแผงวงจรรวม (Intergrated Circuit) เพียงชิพเดียวเหมาะสำหรับควบคุมอุปกรณ์อื่นๆ โดยอัตโนมัติโดยผู้ใช้สามารถเขียนโปนแกรมควบคุมได้ตามต้องการ ซึ่งไมโครคอนโทรลเลอร์ชิพเดี่ยวตระกูล 51 หรือ MCS-51 ที่เลือกใช้ในโครงงานนี้ คือเบอร์ AT89S8252 ของบริษัท ATMEL ซึ่งเป็นไมโครคอนโทรลเลอร์ ที่มีหน่วยความจำโปรแกรม (ROM) ภายในแบบ Flash Memory ขนาด 8 Kbytes ซึ่งเป็นหน่วยความจำที่สามารถเขียนและลบข้อมูลได้ใหม่ถึง 1,000 ครั้ง และสะดวกต่อการพัฒนาโปรแกรม

คุณสมบัติของไมโครคอนโทรลเลอร์เบอร์ AT89S8252

ไมโครคอนโทรลเลอร์ AT89S8252 ผลิตโดยบริษัท ATMEL เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ซึ่งมีคุณสมบัติที่สำคัญที่สำคัญดังนี้

> มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายใน 8Kbytes ซึ่งเพียงพอต่อการทำงาน ของโครงงานนี้

> มีหน่วยความจำสำหรับเก็บข้อมูลในระหว่างการทำงานของโปรแกรม (Internal RAM) ได้ 256 x 8 – bit

> มีหน่วยความจำแบบ EEPROM ซึ่งสามารถเขียนและลบได้ 100,000 ครั้ง ขนาด 2 Kbytes

> ใช้แหล่งจ่ายระหว่าง 4 - 6 โวลท์

> ใช้ความถี่ระหว่าง 0 - 24 MHz

> มีการติดต่อสื่อสารข้อมูลแบบอนุกรม (Series) หรือ Universal Asynchronous Receiver Tramitter (UART)

> มีวงจร Timer / Counter ขนาด 16 บิต 3 ชุด

> มีการขอขัดจังหวะการทำงานของโปรแกรม (Interrupt Sources) 9 ชุด

> สามารถเลือกการทำงานให้อยู่ในโหมดของ Idle (การทำงานปกติ) และ Power down (การประหยัดพลังงานไฟฟ้า)

> สามารถโปรแกรมผ่าน SPI (Serial Peripheral Interface)

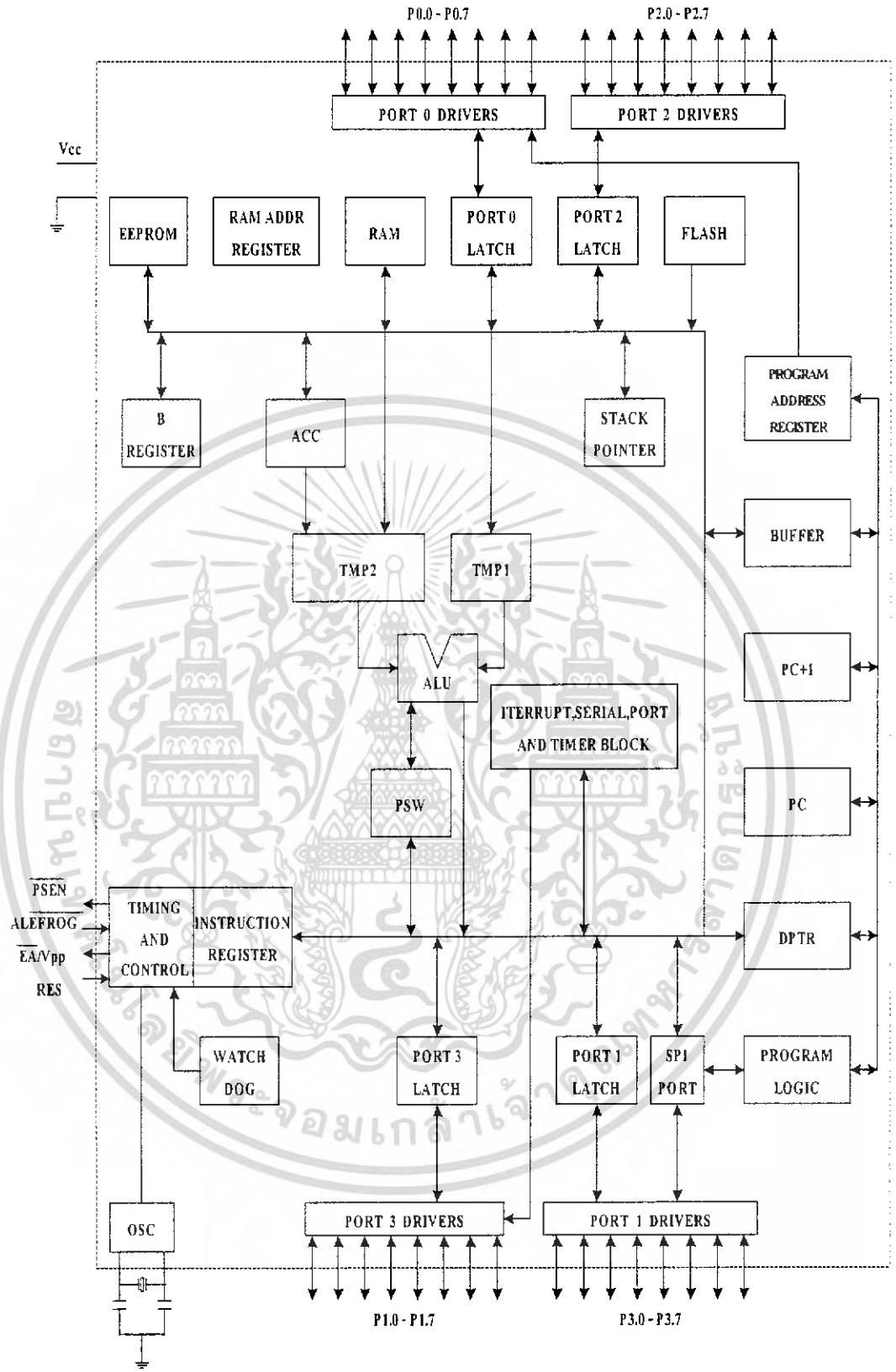
> สามารถโปรแกรมแบบ Watchdog Timer

จากคุณสมบัติที่กล่าวถึงทำให้ MCS-51 เป็นที่นิยมใช้ในการควบคุมระบบอัตโนมัติซึ่งบรรจุไว้ในไอซีรวมเดี่ยว (Single Chip) ขนาด 40 ขา ดังนั้นจึงสามารถออกแบบให้ระบบมีขนาดเล็กทำให้ตรวจสอบหาข้อผิดพลาดได้ง่าย รวมถึงการลดต้นทุนการผลิต หากจะต้องมีการผลิตเป็นจำนวนมาก

2.4.1 โครงสร้างของ MCS-51

โครงสร้างภายในของ MCS-51 ประกอบด้วยเกทต่าง ๆ เช่น AND OR NOT ซึ่งเกทเหล่านี้จะถูกออกแบบให้มีหน้าที่การทำงานต่าง ๆ เช่น วงจรถอดรหัสสร้างสัญญาณนาฬิกาโครงสร้างภายในของ MCS-51 จะประกอบด้วยส่วนย่อย ๆ ดังบล็อกไดอะแกรมรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 บล็อกไดอะแกรมแสดงโครงสร้างของ MCS-51

จากรูปที่ 2.22 โครงสร้างของMCS-51 ประกอบด้วย 3 ส่วนใหญ่ๆ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. CPU (Central Processing Unit) ซึ่งมีส่วนย่อยอีกแต่ละส่วนมีหน้าที่ต่างๆ กันได้แก่ส่วนสร้างสัญญาณควบคุม (Control Unit) ในการติดต่อกับส่วนอื่นๆ ส่วนประมวลผลทางคณิตศาสตร์ (Arithmetic Unit)

2. หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูลสำหรับไปเก็บไว้และอ่านเอาข้อมูลออกมาจากหน่วยความจำ

3. Input / Output Device ทำหน้าที่ในการรับส่งข้อมูลกับอุปกรณ์ภายนอก

2.4.2 การจัดการหน่วยความจำของ MCS-51หน่วย

หน่วยความจำของ MCS-51 แบ่งออกเป็น 2 แบบ คือ

1. Program Memory เป็นหน่วยความจำที่ใช้สำหรับเก็บโปรแกรมการทำงาน ซึ่งจะเป็น ROM (Read Only Memory) เท่านั้น แบ่งเป็นหน่วยความจำภายใน (Internal Memory) ซึ่งจะอยู่ภายใน MCS-51 เบอร์ 8252 จำนวน 8 กิโลไบต์ ตำแหน่งของหน่วยความจำเนื้อที่ OOOOH ถึง OFFFH และหน่วยความจำภายนอก (External Memory) ตำแหน่งหน่วยความจำจะอยู่ที่ 1FFFH ถึง FFFFH

2. Data Memory แบ่งเป็น 2 ส่วนคือ หน่วยความจำสำหรับเก็บข้อมูลภายในชิพมีเพียง 256 ไบต์สำหรับเบอร์ 8252 หน่วยความจำข้อมูลภายนอกชิพมีความจุ 64 กิโลไบต์

2.4.3 สถาปัตยกรรมของ MCS-51

สถาปัตยกรรมภายในของ MCS-51 ซึ่งจะอธิบายถึงส่วนย่อยๆ ภายใน MCS-51 เพียงชิพเดียว และสัญญาณจากภายในจะต่อออกมาสู่ภายนอกทางขา (Pin) ต่างๆ ของMCS-51 ที่มีอยู่ 40 ขา

ไมโครคอนโทรลเลอร์ MCS-51 บรรจุอยู่ในไอซีวงจรรวมแบบ Dual Inline Package (DIP) มีขาอยู่ข้างละ 20 ขารวมทั้งหมด 40 ขานั้นจะใช้งานต่าง ๆ กันดังนี้

> Vcc ขา 40 เป็นขาที่ต้องป้อนไฟเลี้ยง +5V

> Vcc ขา 20 เป็นขาที่ต่อกับกราวด์

> Port 0 เป็นพอร์ตขนาน 8 บิตอยู่ที่ขา 39 ถึง 32 เริ่มจากบิต 0 ถึง บิต 7 ตามลำดับ (P0.0-P0.7) พอร์ต 0 นี้ใช้ได้ทั้งการรับและส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ตรับ - พอร์ตส่งข้อมูล

> Port 1 เป็นพอร์ตขนาน 8 บิต คือ ขา P1.0 ถึง P1.7 (ขา 1-8) ใช้ทำหน้าที่รับส่งข้อมูลเท่านั้น

> Port2 อยู่ที่ขา 21 ถึง 28 เป็นพอร์ตขนาน 8 บิต คือ ขา P2.0 ถึง P2.7 ใช้งาน 2 ลักษณะ คือใช้ส่งค่าตำแหน่งหน่วยความจำภายนอก ค่าตำแหน่งนี้เป็น 8 บิตของค่าตำแหน่งและใช้เป็นพอร์ตรับและส่งข้อมูลกับภายนอก

> Port 3 คือ ขา P3.0 ถึง P3.7 (ขา10-17) พอร์ตนี้ทำหน้าที่เป็น I /O Port และอีกหน้าที่หนึ่งคือ ส่งสัญญาณควบคุมออกมาและรับสัญญาณเข้าไป สัญญาณต่างๆ แต่ละบิตมีดังนี้

- P3.0 / RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม
- P3.1 / TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม
- P3.2 / INT0 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P3.3 / INT1 (Time / Counter 0 External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก Time / Counter 0 ที่หน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้หรือสัญญาณนาฬิกา

- P3.5 / T1 (Time / Counter 1 External Interrupt) ใช้รับสัญญาณเข้าไปยังวงจร Time / Counter 1 ทำหน้าที่เหมือนกับ T0

- P3.6 / WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำภายนอก

- P3.7 / RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลสำหรับหน่วยความจำภายนอก

> RET ขา 9 ใช้สำหรับรีเซ็ทการทำงานของ MCS-51

.> ALE (Program Store Enable) อุปกรณ์ภายนอกจะใช้สัญญาณนี้ในการแลตซ์ข้อมูลที่ส่งออกมาทาง พอร์ต 0

> PSEN (Program Store Enable) คือ ขาที่ 29 ใช้เมื่อต้องการอ่านคำสั่งที่จะนำไปใช้งานมาจากหน่วยความจำสำหรับโปรแกรมภายนอก

> EA (External Access) คือ ขาที่ 31 เป็นขาอินพุทที่ต่อเข้าไปยังวงจร Timing and Control เพื่อควบคุมการสร้างสัญญาณ PS

> XTAL 1 (ขา 19) ขานี้จะต่อเข้ากับวงจรขยายแบบป้อนกลับเฟส (Inverting Amplifier) ที่ประกอบด้วยวงจรออสซิลเลเตอร์ ซึ่งเป็นอินพุทเข้าสู่วงจร

> XTAL 2 (ขา 18) ขานี้เป็นจุดเอาท์พุตของวงจรขยายแบบกลับเฟส ที่ประกอบด้วยวงจรออสซิลเลเตอร์

2.4.4 การทำงานของ MCS-51

การทำงานของ MCS-51 ผู้ใช้จะต้องเขียนโปรแกรมเป็นภาษาเครื่องซึ่งอยู่ในรูปเลขฐาน 2 ที่เก็บไว้ในหน่วยความจำประเภท Program Memory แต่ละคำสั่งอาจประกอบด้วย 1, 2 หรือ 3 ไบต์ก็ได้มากระทำตามคำสั่งนั้น โดยจะเริ่มจากการทำงานภายใน MCS-51 เอง แล้วช่วงต่อไปจะเป็นช่วงการทำงานตามคำสั่ง (Execute Cycle) ซึ่งการทำงานดังกล่าวจะขึ้นอยู่กับสัญญาณควบคุมที่สร้างจากวงจร Oscillator ทำให้การทำงานต่างๆ เป็นไปตามลำดับ

ในหนึ่งแมชชีนไซเคิล คือ ช่วงเวลาตั้งแต่ S1 ถึง S6 ซึ่งจะใช้เวลา 12 คาบของสัญญาณออสซิลเลเตอร์ หากใช้ออสซิลเลเตอร์ความถี่ 12 MHz จะได้ว่าใน 1 แมชชีนไซเคิลใช้เวลา 1 ไมโครวินาที ดังนั้นการทำงานใน 1 คำสั่ง ต่ำสุดจะกินเวลาเพียง 1 ไมโครวินาที การทำงานของคำสั่ง INCA ซึ่งเป็นคำสั่ง 1 ไบต์ ทำงานเสร็จภายใน 1 แมชชีนไซเคิล ส่วนการทำงานของคำสั่ง ADDA,# data ซึ่งเป็นคำสั่ง 2 ไบต์ แต่ทำงานเสร็จภายใน 1 แมชชีนไซเคิล ส่วนการทำงานของคำสั่ง MOVX ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จภายใน 2 แมชชีนไซเคิล

2.4.5 การอินเตอร์รัพต์

การอินเตอร์รัพท์ของ MCS-51 สามารถรับสัญญาณอินเตอร์ที่เกิดขึ้นได้อย่างน้อย 5 ชนิดได้แก่

> อินเตอร์รัพต์จากภายนอก 0 (External Interrupt 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

> อินเตอร์รัพต์จากภายนอก 1 (External Interrupt 1)

> อินเตอร์รัพต์ของไทเมอร์ 0 (Timer Flag Interrupt 0)

> อินเตอร์รัพต์ของไทเมอร์ 1 (Timer Flag Interrupt 1)

> อินเตอร์รัพต์ของพอร์ตสื่อสารอนุกรม (Serial Port Interrupt)

การอินเตอร์รัพต์แต่ละชนิดที่ MCS-51 สามารถรับได้ แบ่งกลุ่มดังนี้

1. External Interrupt เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายนอก MCS-51 มี 2 ชนิด คือ External Interrupt 0 และ External Interrupt 1 โดยต่อเข้าที่ขา 12 (INT 0) และขา 12 (INT 1) ตามลำดับ ซึ่งสัญญาณอินเตอร์รัพต์ชนิดนี้จะทำงานเมื่อสัญญาณภายนอกที่ส่งเข้ามามีสถานะลอจิกเป็น 0

2. Timer Flag Interrupt อินเตอร์รัพต์ของกลุ่มนี้ประกอบด้วย Timer Flag Interrupt 0 และ Timer Flag Interrupt 1 เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายในตัวเอง จะเกิดขึ้นโดยบิต TF0 หรือ TF1 ถูกเซ็ทเมื่อไทม์เมอร์ 1 เกิด Overflow ขึ้นทำให้เกิดสัญญาณอินเตอร์รัพต์เข้าไปขัดตัวซีพเอง ภายในจังหวะการทำงานของโปรแกรมที่ทำงานอยู่ขณะนั้นให้ทำงานอื่นแทน

3. Serial Port Interrupt เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายในตัวซีพเอง สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นได้มาจากบิต TI หรือ RI บิตที่ควบคุมการอินเตอร์รัพต์ทั้งสองนี้จะไม่ถูกเคลียร์โดยฮาร์ดแวร์ใน MCS-51 เมื่อซีพียูไปทำงานในโปรแกรมบริการอินเตอร์รัพต์ เพราะการเกิดอินเตอร์รัพต์ชของพอร์ตสื่อสารอนุกรมอาจเกิดจากบิต RI หรือ TI ก็ได้ ดังนั้น โปรแกรมในส่วนบริการอินเตอร์รัพต์จะต้องตรวจสอบเองว่า สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นได้มาจากบิต TI หรือ RI บิตทั้งสองจะถูกเคลียร์โดยซอฟแวร์เท่านั้น

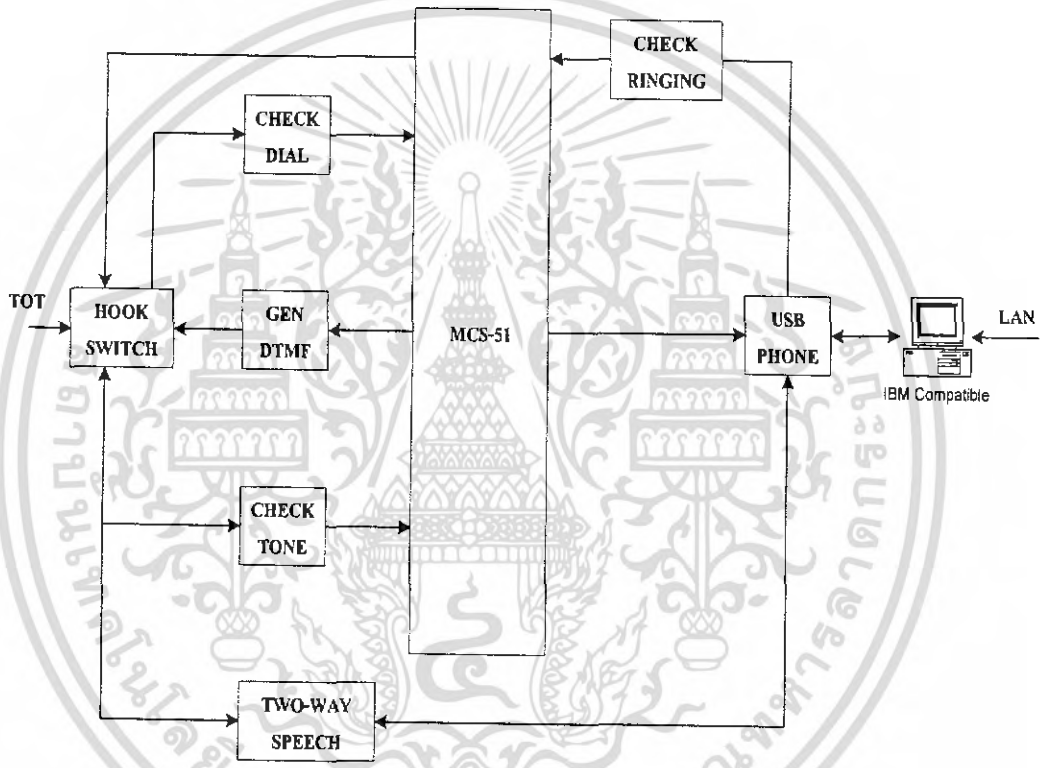
การทำงานเกี่ยวกับการอินเตอร์รัพต์นั้น จะมี Special Function Register ที่เกี่ยวข้องโดยตรง 2 ตัว ได้แก่ IE (Interrupt Enable) และ IP (Interrupt Priority) รีจิสเตอร์ IE สามารถควบคุมการอินเตอร์รัพต์ใน MCS-51 ได้ทั้งหมด โดยใช้บิต EA ให้มีค่าเป็น 0 สัญญาณอินเตอร์รัพต์ทุกชนิดที่เกิดขึ้นจะไม่สามารถอินเตอร์รัพต์ MCS-51 ได้สำหรับรีจิสเตอร์ IP นั้น เราสามารถจัดลำดับความสำคัญของการทำอินเตอร์รัพต์ได้โดยเซ็ทบิตเป็น 1 สำหรับอินเตอร์รัพต์ที่มีความสำคัญสูงและเซ็ทบิตให้เป็น 1 สำหรับอินเตอร์รัพต์ที่มีความสำคัญต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

การคำนวณและการสร้าง

ในโครงงานนี้ได้แบ่ง 2 ส่วนหลักๆคือ ส่วนของฮาร์ดแวร์(Hardware)และส่วนของซอฟต์แวร์(Software)ในไมโครคอมพิวเตอร์ในส่วนการติดต่อระหว่างคอมพิวเตอร์ผ่านอินเตอร์เน็ตเราจะใช้โปรแกรม SJ-Phone ในการเชื่อมต่อ



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของฮาร์ดแวร์

3.1 ส่วนประกอบของฮาร์ดแวร์(Hardware)

ซึ่งประกอบไปด้วยวงจรต่างๆดังนี้

1.วงจรเพาเวอร์ซัพพลาย (Power Supply circuit)

2.วงจรตรวจสอบสัญญาณความถี่เสียง (Check Tone circuit)

3.วงจรตรวจสอบสัญญาณ DIAL(Check DIAL circuit)

4.วงจรตรวจสอบสัญญาณกระดิ่ง (Check Ringing circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

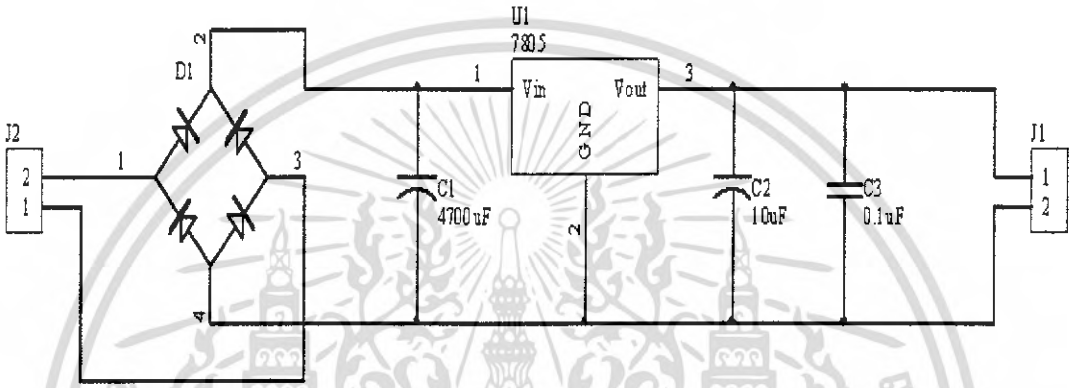
5.วงจรยกหูและวางหูโทรศัพท์ (Hook Switch circuit)

6.วงจร Cross Point Switch (Cross Point Switch circuit)

7.วงจรเครื่องโทรศัพท์ (Telephone circuit)

3.1.1 วงจรเพาเวอร์ซัพพลาย (Power Supply circuit)

จากรูปเป็นวงจรในส่วนของเพาเวอร์ซัพพลาย ที่จ่ายกระแสไฟฟ้าให้กับส่วนต่างๆของวงจร หม้อแปลงจะแปลงแรงดันจาก 220 โวลต์เป็นแรงดัน 6 โวลต์ผ่านไดโอดบริดจ์ได้แรงดันไฟฟ้ากระแสตรงประมาณ 9 โวลต์ จากนั้นแรงดันนำไปผ่านไอซีเรกกูเลตเบอร์ 7805 จะได้แรงดันแรงดัน +5 โวลต์



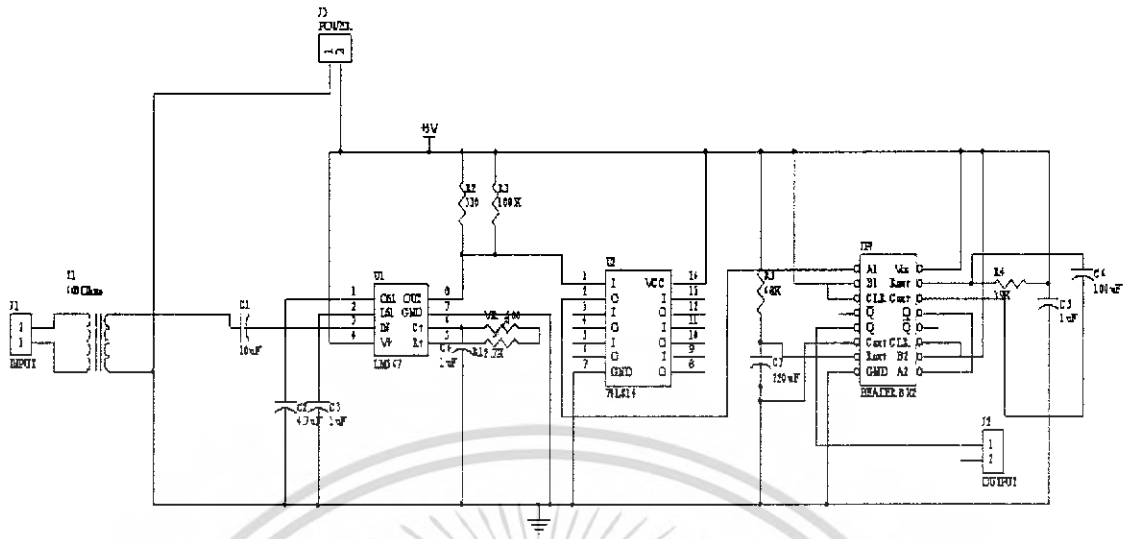
รูปที่ 3.2 วงจรเพาเวอร์ซัพพลาย

3.1.2 วงจรตรวจสอบสัญญาณความถี่เสียง (Check Tone circuit)

จากรูปเป็นวงจรตรวจสอบสัญญาณความถี่เสียง ทำหน้าที่ตรวจสอบสัญญาณโทนภายในคู่สายเพื่อบอกให้ทราบว่าเป็น สัญญาณให้เรียกกลับ หรือ สัญญาณไม่ว่าง

ซึ่งประกอบด้วยไอซี LM567 เป็นหัวใจหลักของวงจรนี้ทำหน้าที่เป็นวงจรโทน-ดีโค้ดเดอร์ ซึ่งจะต่ออยู่กับไอซีโมโนสเตเบิ้ลเบอร์74LS123 โดยเมื่อมีสัญญาณไม่ว่างเข้ามาสภาวะของขา 8 ของ LM567 จะเป็น 0 โวลท์ 0.5 วินาที และเป็น +5 โวลท์ 0.5 วินาทีจากนั้นนำเอาเอาท์พุตที่ขา 8 ของ LM567ไปต่อกับไอซีรูปที่วงจรตรวจสอบสัญญาณความถี่เสียง (Check Tone) 74LS123 ที่ต่อขนานกันอยู่ 2 ชุด โดยชุดแรกจะประกอบไปด้วยไอซีโมโนสเตเบิ้ล 2 ตัวต่ออนุกรมกันอยู่โดยที่ไอซีตัวแรกจะถูกกำหนดค่าช่วงเวลาคงที่ด้วย R และ C ให้มีค่ามากกว่า 1 วินาทีเล็กน้อยเพื่อทำให้เอาท์พุทเป็นบวกตลอดเมื่อสัญญาณอินพุทเป็นสัญญาณไม่ว่างเข้ามาเป็นผลให้ไอซีตัวที่ 2 ไม่เกิดการทริกทำให้เอาท์พุทเป็น 0 ตลอด แต่ถ้าสัญญาณเรียกกลับที่มีคาบเวลา 2 วินาทีเข้ามาจะทำให้เกิดการเปลี่ยนแปลงสภาวะเอาท์พุท 74LS123 ตัวแรกเป็นผลให้มีสัญญาณไปทริกที่ขา 1 ของไอซีตัวที่ 2 ที่มีค่าช่วงเวลาคงที่มากกว่า 2 วินาที เป็นผลให้เอาท์พุทเป็น 1 (+5โวลท์)

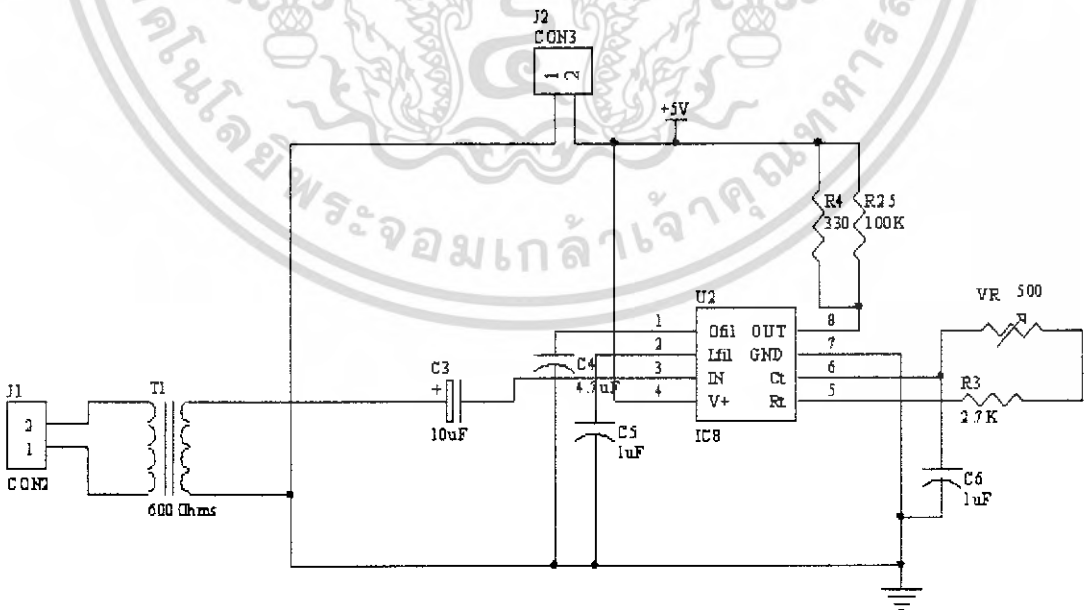
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรตรวจสอบสัญญาณความถี่เสียง

3.1.3 วงจรตรวจสอบสัญญาณ DIAL (Check DIAL circuit)

จากรูปเป็นวงจรเช็คสัญญาณ DIAL ซึ่งมีความถี่ประมาณ 400 เฮิรตซ์ จากนั้นจะใช้ไอซี LM567 โดยหลักการทำงานของวงจรนี้คือเมื่อมีสัญญาณความถี่ 400 เฮิรตซ์เข้ามาที่ขา 3 ของไอซี LM567 จะทำให้เอาท์พุทที่ขา 8 มีสภาวะเป็น 0 โวลท์ แต่ถ้าเป็นสัญญาณความถี่อื่นนอกเหนือจากความถี่ที่ได้ปรับจูนไว้หรือไม่มีสัญญาณใดๆสภาวะลอจิกที่ขา 8 จะเป็นลอจิก 1 หรือ 5โวลท์

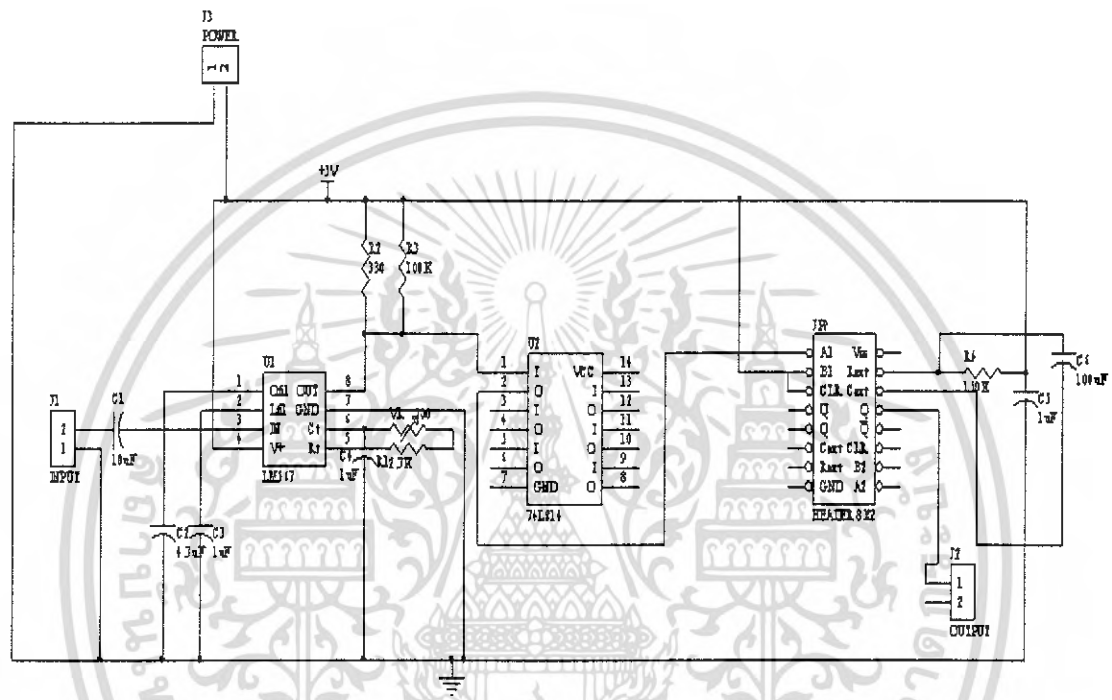


รูปที่ 3.4 วงจรตรวจสอบสัญญาณ DIAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 วงจรตรวจสอบสัญญาณกระดิ่ง (Check Ringing circuit)

จากรูปเป็นวงจรเช็คสัญญาณกระดิ่งทำหน้าที่ตรวจสอบสัญญาณจาก USB Phone โดยสัญญาณกระดิ่งจะเข้ามาที่ขา 3 ของ LM 567 โดยคาบเวลาของสัญญาณกระดิ่งที่มาจาก USB Phone จะมีคาบเวลาติด 0.5 วินาที ดับ 0.5 วินาที โดยเราจะนำสัญญาณจากขา 8 ของ LM 567 ไปต่อเข้ากับไอซีโมโนสเตเบิ้ลเบอร์ 74LS123 ซึ่งถูกกำหนดให้มีคาบเวลามากกว่า 2 วินาทีดังนั้นเมื่อมีสัญญาณกระดิ่งเข้ามาไอซี 74LS123 จะเกิดการทริกซ้ำทำให้ได้เอาท์พุตเป็นสภาวะ 1(+5 โวลท์)

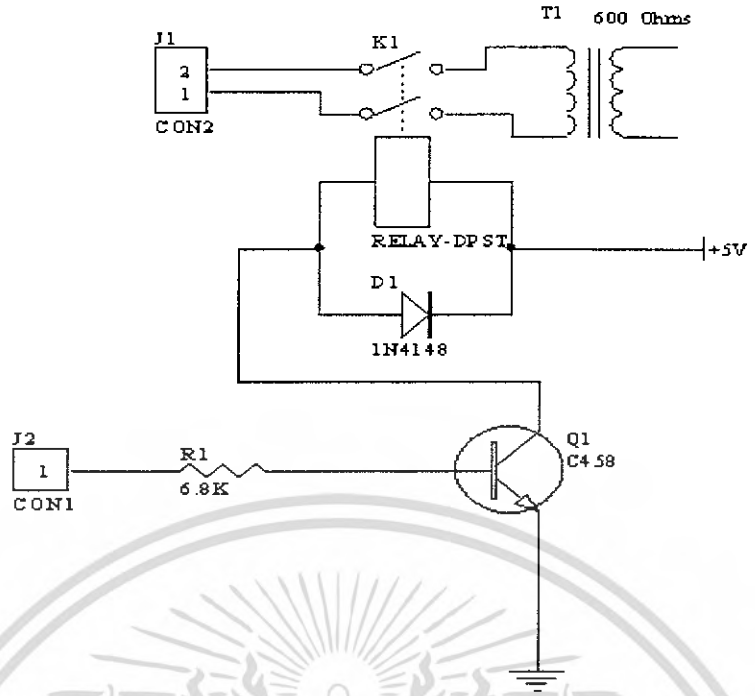


รูปที่ 3.5 วงจรตรวจสอบสัญญาณกระดิ่ง

3.1.5 วงจรยกหูและวางหูโทรศัพท์ (Hook Switch circuit)

วงจรยกและวางหูโทรศัพท์จะทำหน้าที่ตัดต่อวงจรระหว่างสายโทรศัพท์กับหม้อแปลงแมทช์ชิ่งอิมพิแดนซ์จากรูปที่ 3.6 ในสภาวะเริ่มแรกหน้าสัมผัสของรีเลย์จะอยู่ในสถานะที่ไม่ต่อกับหม้อแปลงคือรีเลย์อยู่ในสภาวะออฟ เมื่อมีการเรียกเข้ามาคือมีสัญญาณกระดิ่งเข้ามาทางสายทิปริงไมโครคอนโทรลเลอร์จะส่งสัญญาณมากระตุ้นที่ขาเบสของทรานซิสเตอร์ Trl ทำให้ทรานซิสเตอร์อยู่ในสภาวะสวิทช์ออนทำให้หน้าสัมผัสของรีเลย์ทำงานส่งผลให้สายทิปและริงถูกต่อเข้ากับหม้อแปลงแมทช์ชิ่งอิมพีแดนซ์และเมื่อมีการยกเลิกการติดต่อไมโครคอนโทรลเลอร์ก็จะส่งสัญญาณมาทำให้หน้าสัมผัสของรีเลย์ถูกสลับกลับมาที่เดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรยกหูและวางหูโทรศัพท์

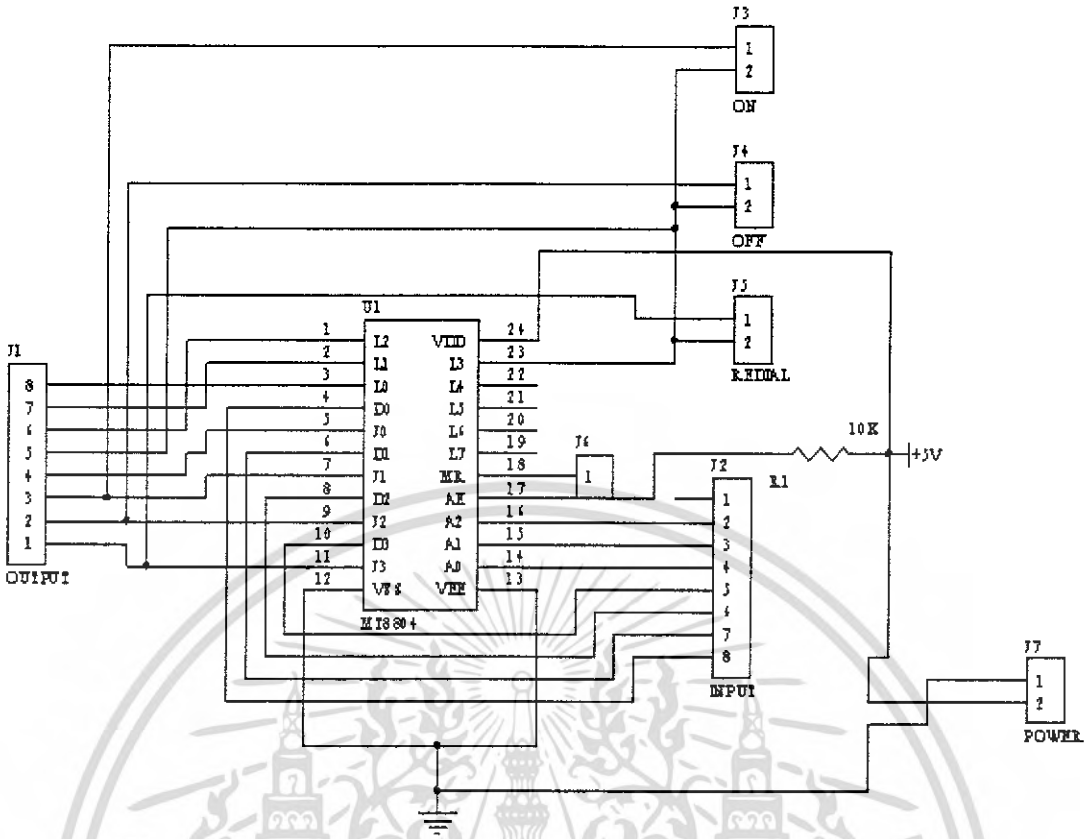
3.1.6 วงจร Cross Point Switch (Cross Point Switch circuit)

ส่วนนี้จะทำหน้าที่เชื่อมต่อสัญญาณจากภาคต่าง ๆ เข้าไปยังคู่สายโทรศัพท์ที่ต้องการ โดยใช้ไอซีเบอร์ MT8804 (8x4 Analog Switch Array)โดยการเชื่อมต่อจะแสดงดังรูป 3.7

วงจร Cross switch ดังรูปที่ 3.7 ไอซีเบอร์ MT8804 มีลักษณะเป็น Cross Point Switch โดยที่มีไฟเลี้ยงไอซี +5 โวลท์ วงจรจะออกแบบให้สวิทซ์แต่ละชุดนั้นสามารถกำหนดค่าแอดเดรสเพื่อส่งให้สวิทซ์แต่ละจุดต่อไปตามต้องการ โดยมีรายละเอียดดังนี้

- A0 , A1 , A2 จะเป็นขา Address Line
- D1 , D2 , D3 จะเป็นขา DATA
- L0 กำหนดให้เป็น Column 1
- L1 กำหนดให้เป็น Column 2
- L2 กำหนดให้เป็น Column 3
- L3 กำหนดให้เป็น Column 4
- J0 กำหนดให้เป็น Row 1
- J1 กำหนดให้เป็น Row 2
- J2 กำหนดให้เป็น Row 3
- J3 กำหนดให้เป็น Row 4
- MR ใช้ในการ ปิด – เปิด สวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจร Cross Point Switch

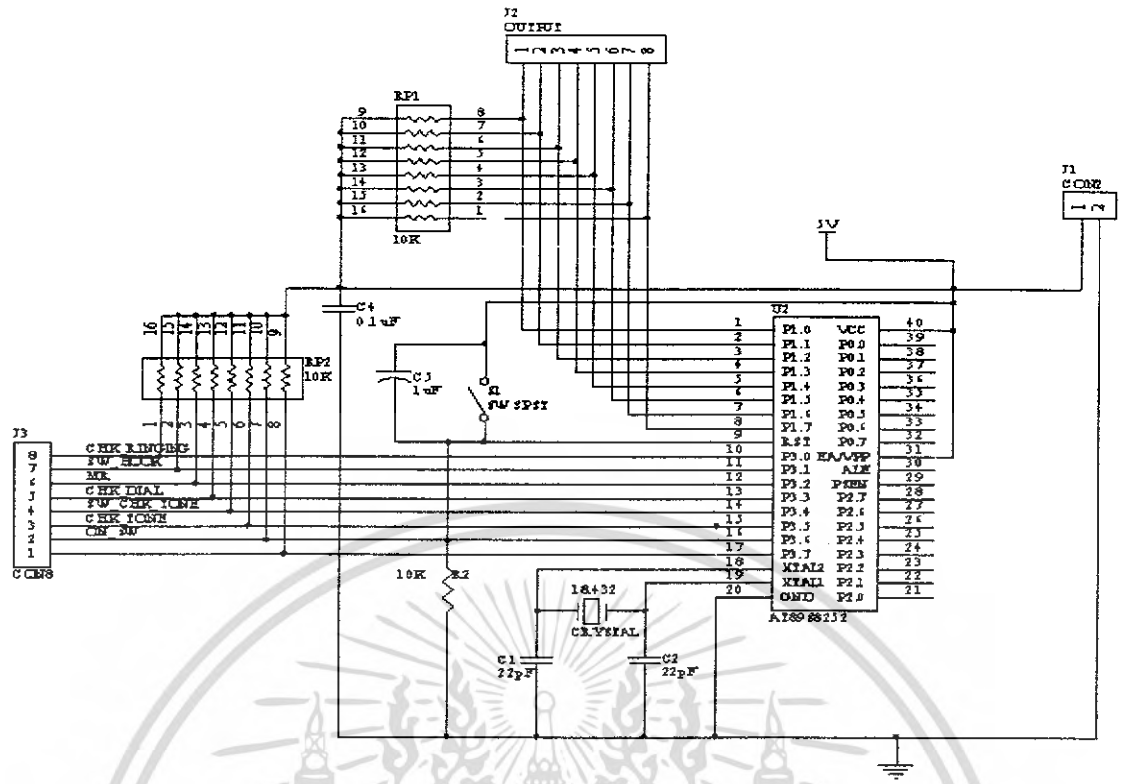
3.1.7 วงจรเครื่องโทรศัพท์(Telephone circuit)

เมื่อS1 D1-D2 เป็นวงจรเร็กติไฟเออร์ป้องกันไฟที่คู่สายและเครื่องโทรศัพท์ไม่ให้ต่อถึงกันส่งสัญญาณให้กับU1เป็นตัวมอดูเลทสัญญาณที่เข้าจะผ่าน R7 ไปยัง C3 เข้าที่ขาเบสของ U5 เป็นวงจรขยายสัญญาณออกที่หูฟังส่วน C1 และ D5 เป็นวงจรจำกัดแรงดันเพื่อจ่ายให้กับU6 ที่ทำหน้าที่เป็นวงจร Key Switch Xtal C8,C9 เป็นตัวกำเนิดความถี่ให้กับ U6 ส่วน U3 และ U4 เป็นวงจรขยายสัญญาณจากไมค์แล้วป้อนกลับไปที่ U1 เพื่อมอดูเลตกลับเข้าไปที่คู่สายอีกที่ดังรูปที่ 3.10

3. 2 การออกแบบส่วนวงจรไมโครคอนโทรลเลอร์

วงจรส่วนนี้เป็นการนำไมโครคอนโทรลเลอร์ MCS-51 มาทำหน้าที่ในการควบคุมการทำงานของแต่ละวงจรเพื่อที่จะให้วงจรแต่ละวงจรทำงานตามลำดับที่เราต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรส่วนไมโครคอนโทรลเลอร์ที่ใช้โปรแกรมค่า

โดยทำการกำหนดให้พอร์ท 1 เป็นพอร์ทเอาท์พุตเพื่อให้ใช้ในการสั่งการทำงานของไอซีเชื่อมต่อสัญญาณโทรศัพท์(MT8804) และพอร์ท 3 กำหนดให้เป็นทั้งพอร์ทอินพุตและเอาท์พุตเพื่อใช้ในการควบคุมการทำงานของแต่วงจร โดยมีตำแหน่งการต่อขาต่างๆดังนี้

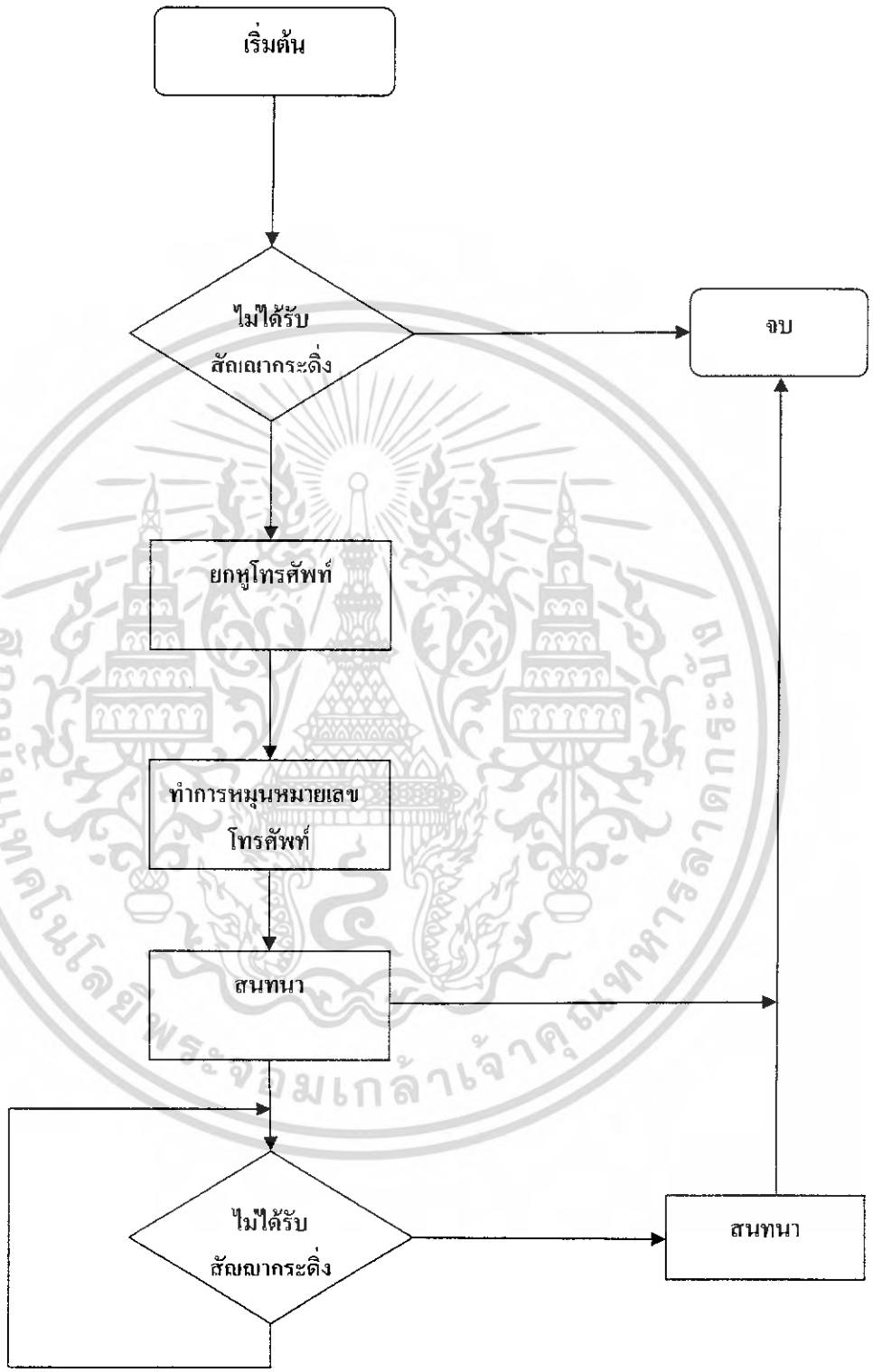
- พอร์ท 1.0 ต่อเข้าขา A2 ของ MT8804
- พอร์ท 1.1 ต่อเข้าขา A1 ของ MT8804
- พอร์ท 1.2 ต่อเข้าขา A0 ของ MT8804
- พอร์ท 1.3 ต่อเข้าขา D3 ของ MT8804
- พอร์ท 1.4 ต่อเข้าขา D2 ของ MT8804
- พอร์ท 1.5 ต่อเข้าขา D1 ของ MT8804
- พอร์ท 1.6 ต่อเข้าขา D0 ของ MT8804

ส่วนพอร์ท 3 มีการต่อใช้งานดังนี้

- พอร์ท 3.0 ต่อเข้ากับ วงจรตรวจสอบสัญญาณกระดิ่ง
- พอร์ท 3.1 ต่อเข้ากับ วงจรยกหูวางหู
- พอร์ท 3.2 ต่อเข้ากับ ขา MR ของไอซี MT8804
- พอร์ท 3.3 ต่อเข้ากับ วงจรตรวจสอบสัญญาณ DIAL
- พอร์ท 3.4 ต่อเข้ากับ วงจรตรวจสอบสัญญาณเสียง
- พอร์ท 3.6 ต่อเข้ากับ วงจรตรวจสอบสัญญาณไม่ว่าง
- พอร์ท 3.7 ต่อเข้ากับ สวิตช์รับสาย

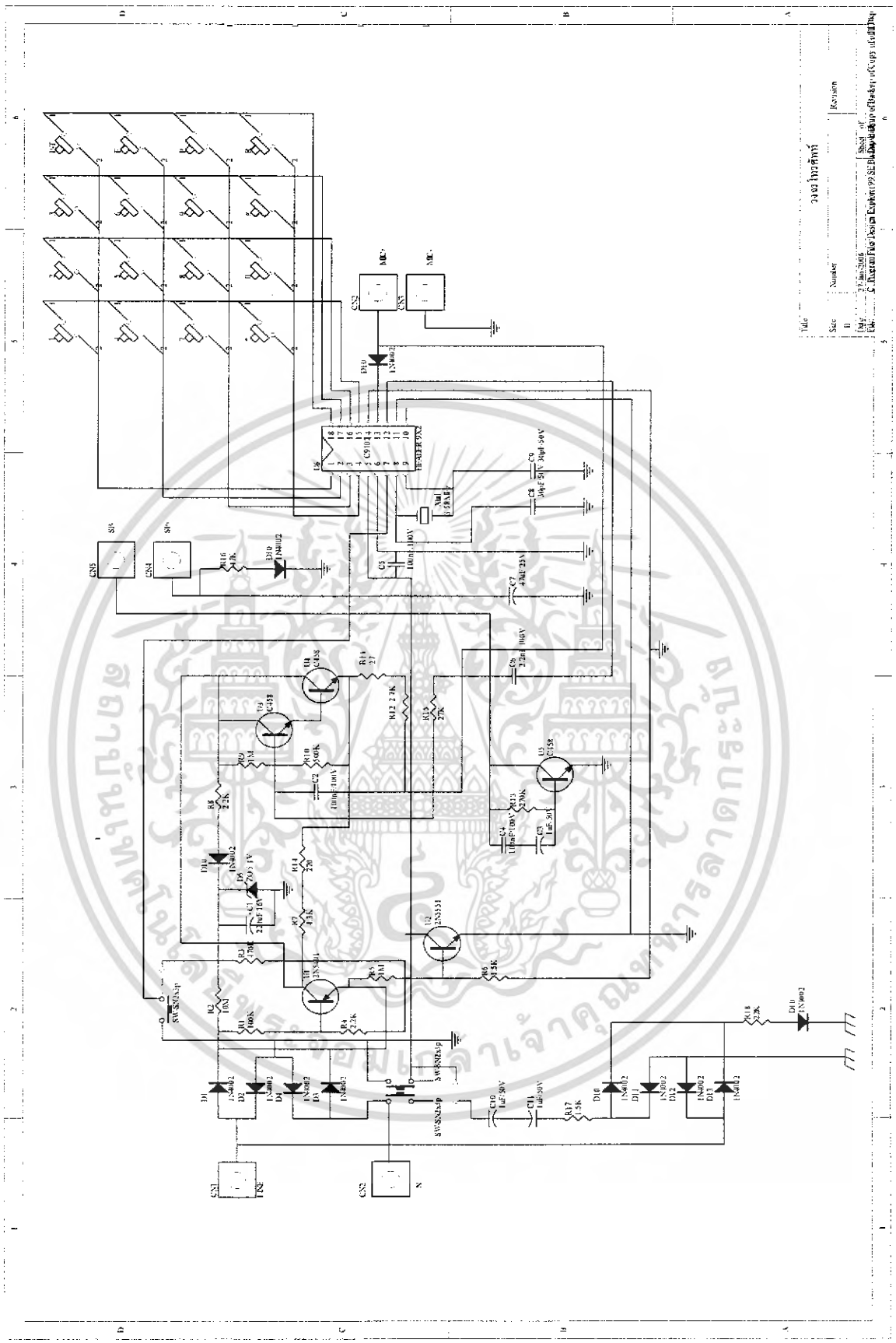
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังการทำงานในส่วนของ software



รูปที่ 3.9 แผนผังการทำงานของโปรแกรม (Soft ware)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรเครื่องโทรศัพท์

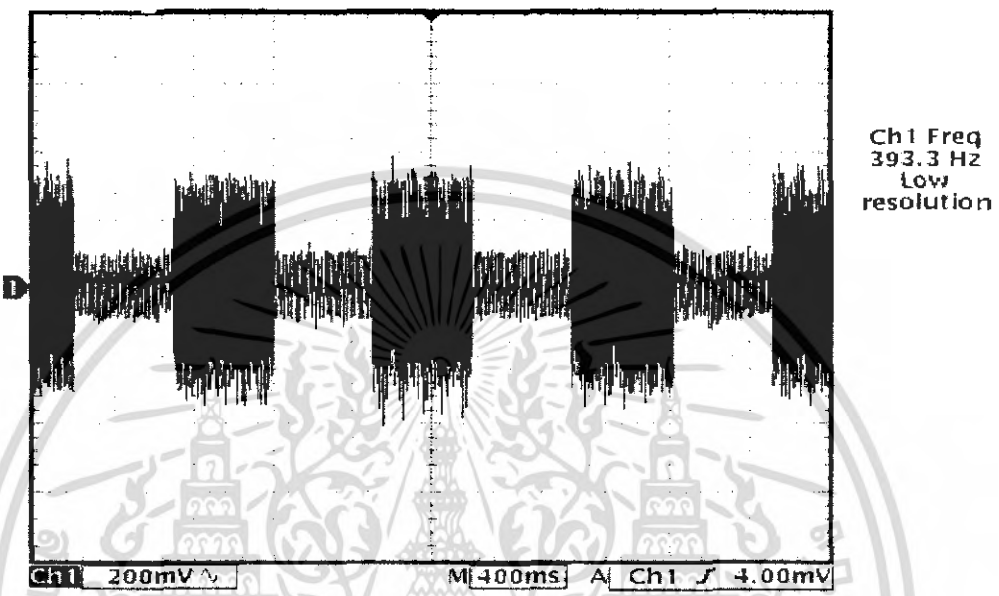
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

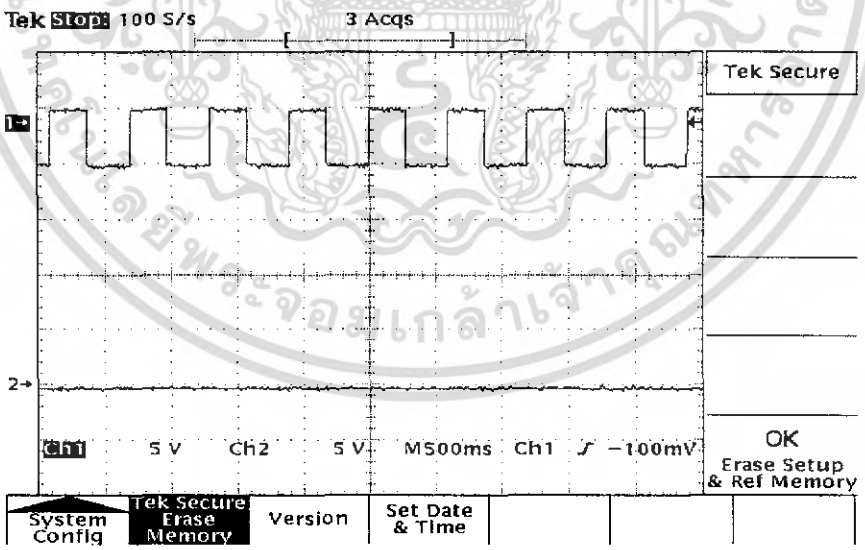
การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 เป็นการออกแบบวงจรในส่วนต่างๆ ตามบล็อกไดอะแกรมในบทนี้จะเป็นผลการทดลองของวงจรในส่วนต่างๆ

4.1 การทดลองวงจรตรวจสอบสัญญาณไม่ว่าง



รูป ก



รูป ข

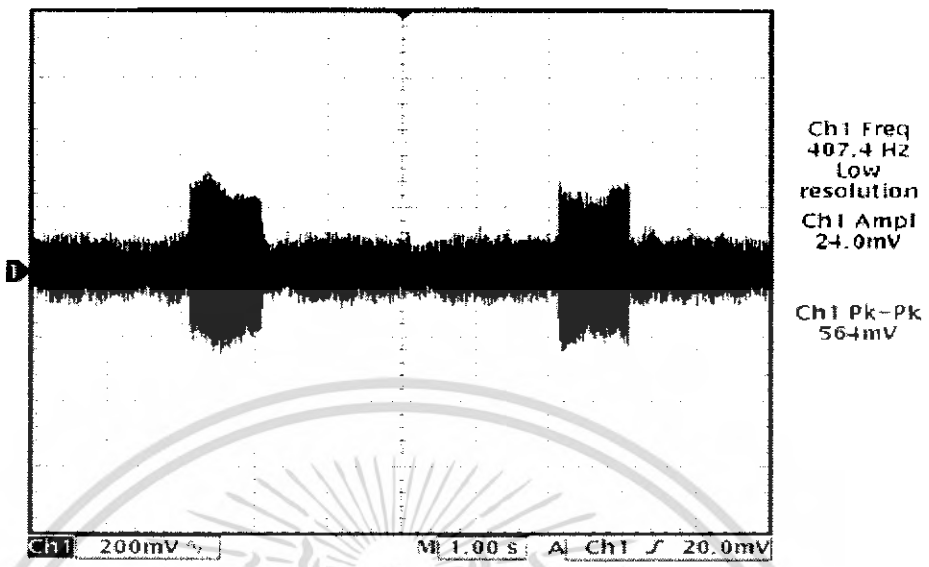
รูปที่ 4.1 ก แสดงสัญญาณสายไม่ว่างที่วัดจากคู่สายโทรศัพท์

ข Ch 1 แสดงสัญญาณสายไม่ว่างวัดจากขา 8 ของ LM 567

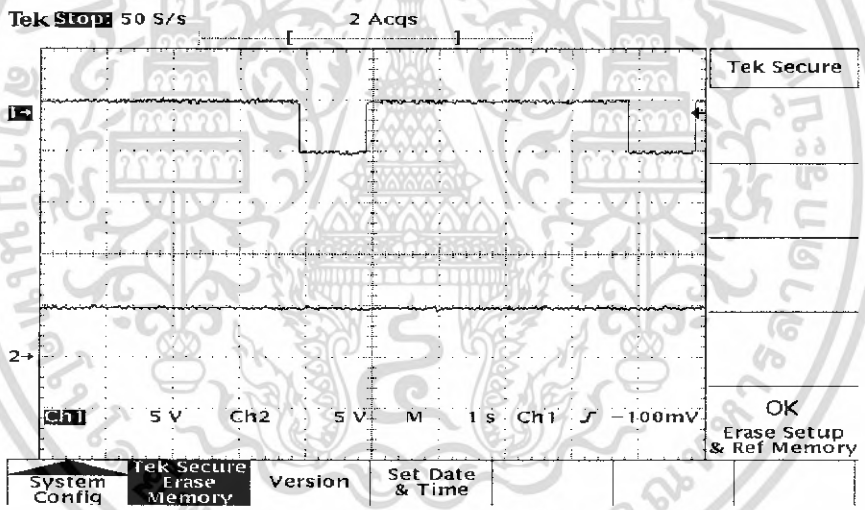
Ch 2 แสดงสัญญาณสายไม่ว่างที่วัดจากวงจรตรวจสอบสัญญาณความถี่เสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองวงจรตรวจสอบสัญญาณเรียกกลับ



รูป ก



รูป ข

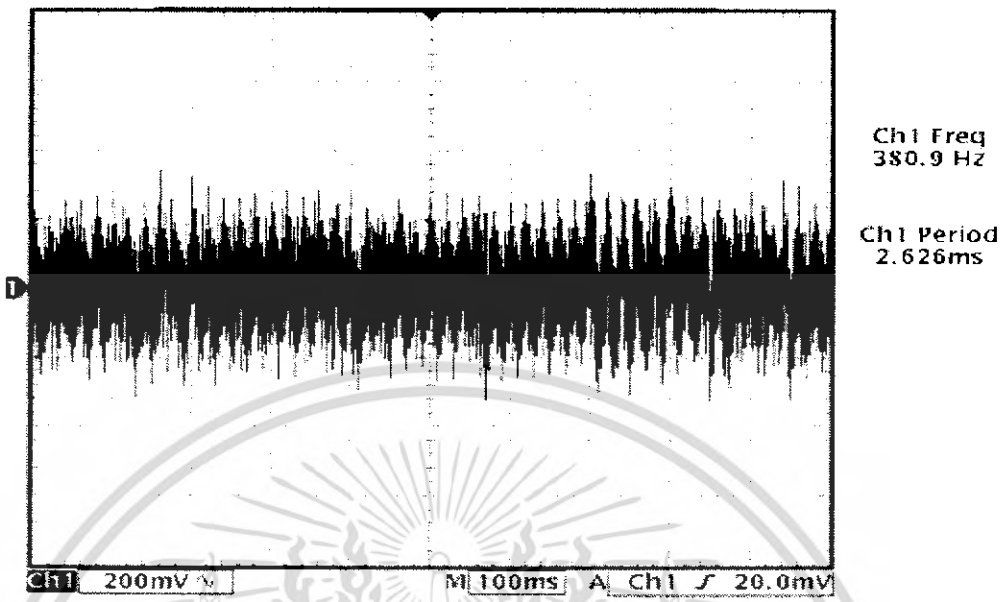
รูปที่ 4.2 ก แสดงสัญญาณเรียกกลับจากที่วัดจากคู่สายโทรศัพท์

ข Ch 1 แสดงสัญญาณเรียกกลับจากขา 8 ของ LM 567

Ch 2 แสดงสัญญาณเรียกกลับที่วัดจากวงจรตรวจสอบสัญญาณความถี่เสียง

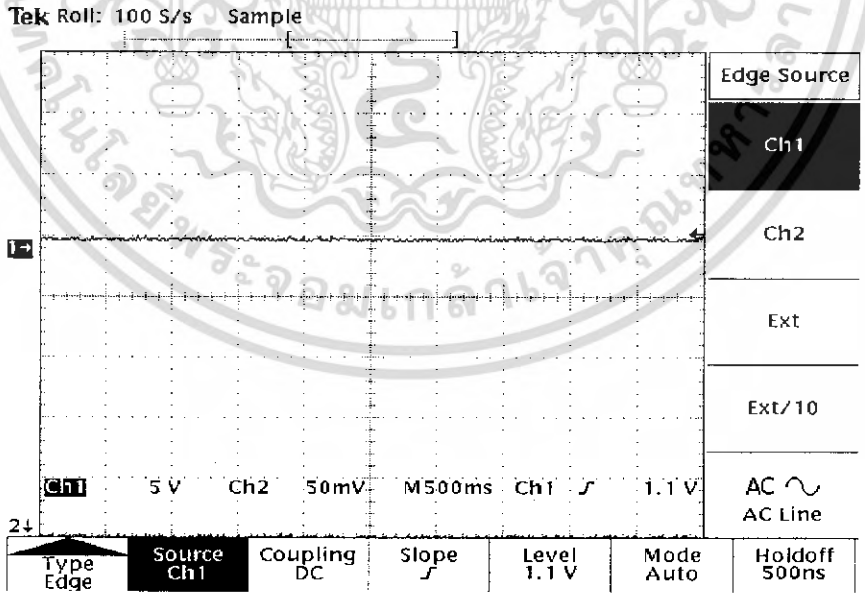
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองวงจรตรวจสอบสัญญาณ DIAL (Check DIAL)



รูปที่ 4.3 ก แสดงสัญญาณDIAL ที่วัดจากคู่สายโทรศัพท์

4.4 การทดลองวงจรตรวจสอบสัญญาณกระดิ่ง (Check Ringing)



รูปที่ 4.4 แสดงสัญญาณที่วัดจากวงจรตรวจสอบสัญญาณกระดิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองวงจร Cross Point Switch

Number	Memory Reset	Address Enable	Address			Input Data To Control Memory				ขาที่ต่อกัน
	MR	AE	A2	A1	A0	D3	D2	D1	D0	
1	0	1	0	0	0	0	0	0	1	Lo ต่อกับ Jo
4	0	1	0	0	0	0	0	1	0	Lo ต่อกับ J1
7	0	1	0	0	0	0	1	0	0	Lo ต่อกับ J2
*	0	1	0	0	0	1	0	0	0	Lo ต่อกับ J3
2	0	1	0	0	1	0	0	0	1	L1 ต่อกับ Jo
5	0	1	0	0	1	0	0	1	0	L1 ต่อกับ J1
8	0	1	0	0	1	0	1	0	0	L1 ต่อกับ J2
0	0	1	0	0	1	1	0	0	0	L1 ต่อกับ J3
3	0	1	0	1	0	0	0	0	1	L2 ต่อกับ Jo
6	0	1	0	1	0	0	0	1	0	L2 ต่อกับ J1
9	0	1	0	1	0	0	1	0	0	L2 ต่อกับ J2
#	0	1	0	1	0	1	0	0	0	L2 ต่อกับ J3
FLASH	0	1	0	1	1	0	0	1	0	L3 ต่อกับ J1
PAUSE	0	1	0	1	1	0	1	0	0	L2 ต่อกับ J2
REDIAL	0	1	0	1	1	1	0	0	0	L2 ต่อกับ J3

ตารางที่ 4.1 แสดงผลการทดลองการถอดรหัสจาก MT8804

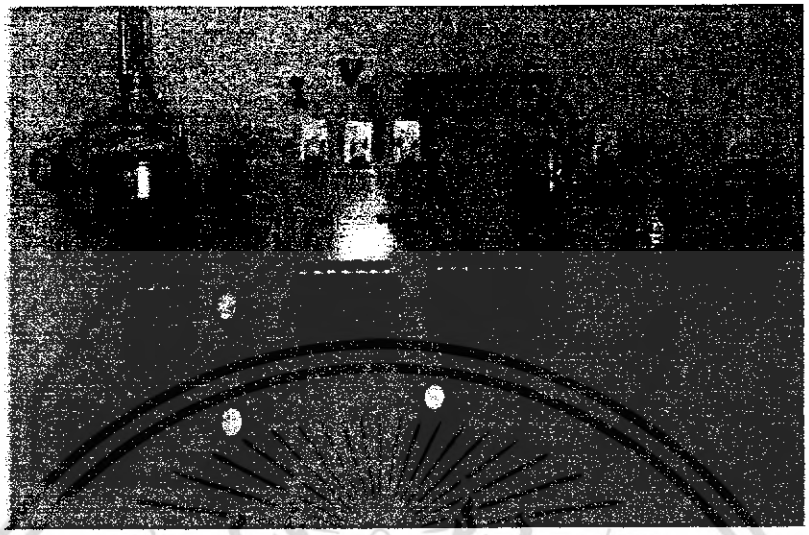
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองวงจรกำเนิดสัญญาณความถี่คู่ (Generator DTMF)

Keyboard Scanning Pin	Output
R1	699
R2	766
R3	848
R4	948
C1	1216
C2	1332
C3	1472

ตารางที่ 4.2 แสดงสัญญาณDTMF ที่ได้จากไอซีเบอร์ SC9102 เมื่อป้อนที่ขา R1,R2,R3,R4, C1,C2,C3 ได้ค่าต่างๆดังนี้

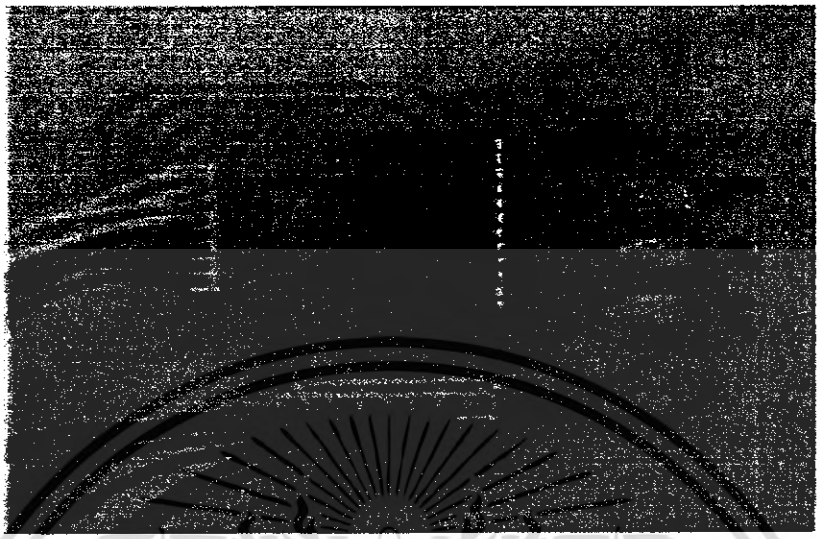
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณกระดิ่ง

รูปที่ 4.6 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณDIAL

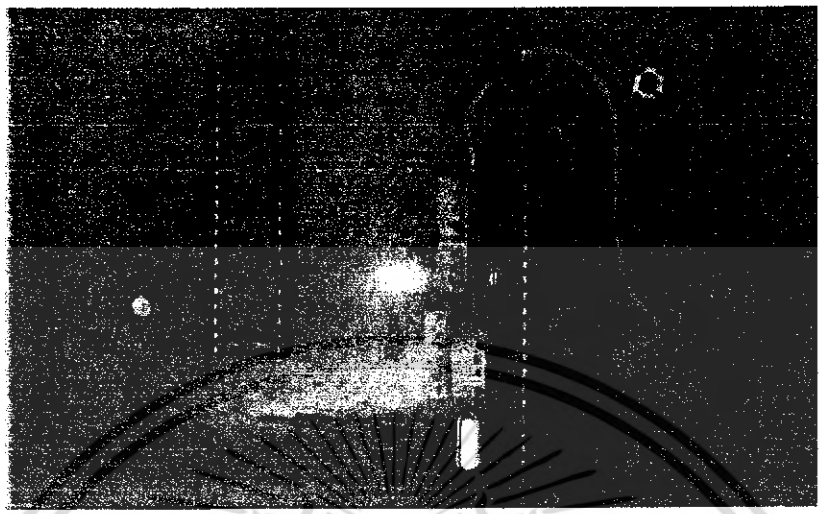
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



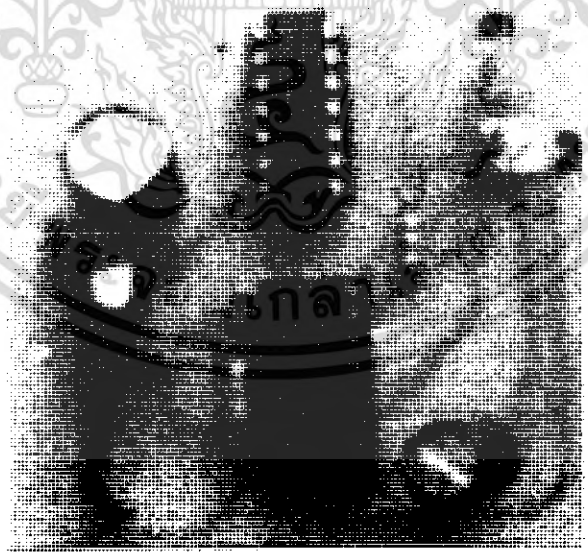
รูปที่ 4.7 แสดงรูปถ่ายวงจร Cross Point Switch

รูปที่ 4.8 แสดงรูปถ่ายวงจรเครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

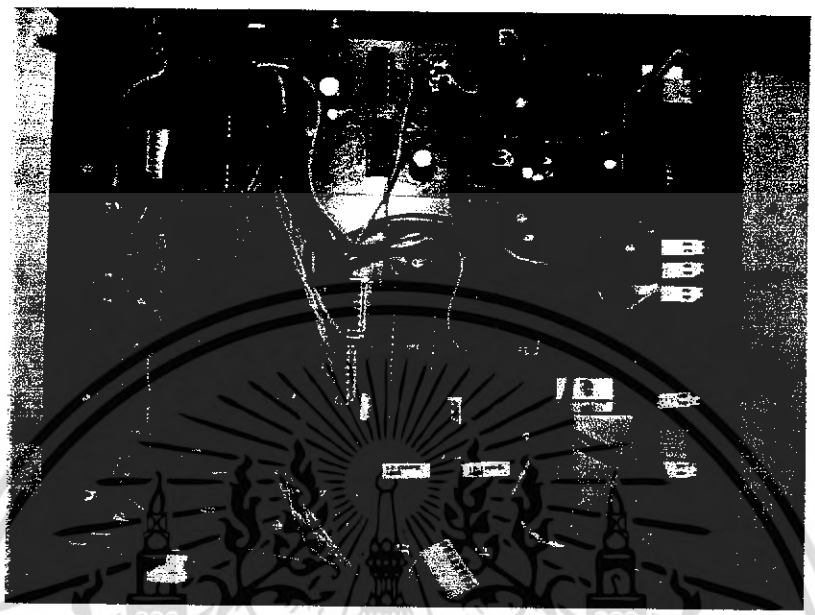


รูปที่ 4.9 แสดงรูปถ่ายวงจรไมโครคอนโทรลเลอร์



รูปที่4.10 แสดงรูปถ่ายวงจรตรวจสอบสัญญาณความถี่เสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงรูปถ่ายวงจรที่ประกอบเสร็จแล้ว

รูปที่ 4.12 แสดงรูปถ่ายของกล่องอุปกรณ์เชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทวิจารณ์และบทสรุป

จากผลการทดลองในโครงงานนี้ปรากฏว่าส่วนต่างๆของโครงงานทำงานได้อย่างเป็นที่น่าพอใจ ผู้ใช้สามารถสนทนากันได้เป็นอย่างดีแต่ก็มีบางส่วนของโครงงานที่มีปัญหาทั้งทางด้านฮาร์ดแวร์และซอฟท์แวร์ดังนี้

ด้านฮาร์ดแวร์

1.สัญญาณระหว่างคู่สนทนาค่อนข้างเบาเนื่องจากวงจรในส่วนภาค ขยายมีคุณภาพต่ำกว่าที่ตั้งเป้าหมายไว้ดังนั้นทางกลุ่มจึงได้ทำการแก้ไขโดยใช้วงจรขยายเสียงโทรศัพท์มาต่อเพิ่มซึ่งทำให้สัญญาณเสียงชัดเจนยิ่งขึ้น

2.เกิดสัญญาณรบกวนจากคอมพิวเตอร์เข้ามารบกวนวงจรดีเทคสัญญาณต่างๆของฮาร์ดแวร์ทำให้วงจรไม่สามารถดีเทคสัญญาณได้ดังนั้นทางกลุ่มจึงแก้ไขโดยการแยกกราวด์ระหว่างคอมพิวเตอร์กับฮาร์ดแวร์โดยใช้หม้อแปลงแมทชิ่งอิมพีแดนท์มาต่อทำให้วงจรดีเทคสัญญาณต่างๆสามารถทำงานได้

ด้านซอฟท์แวร์

1.เกิดการหน่วงของสัญญาณเสียงบ้างแต่ก็พอยอมรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. กิติพงษ์ ความไพบูลย์ และ เกื้อกูล จุติวิวรรัตน์ , **ระบบโทรศัพท์ทางไกลผ่านอินเตอร์เน็ต** , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2543

2. **ณัฐวุฒิ** ชมเพ็ญ และคณะ , **โทรศัพท์ผ่านเครือข่ายอินเตอร์เน็ต** , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2543

3. สมยศ จุณณะปิยะ, **การประยุกต์ใช้งานไมโครคอนโทรลเลอร์** , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2546

Webside

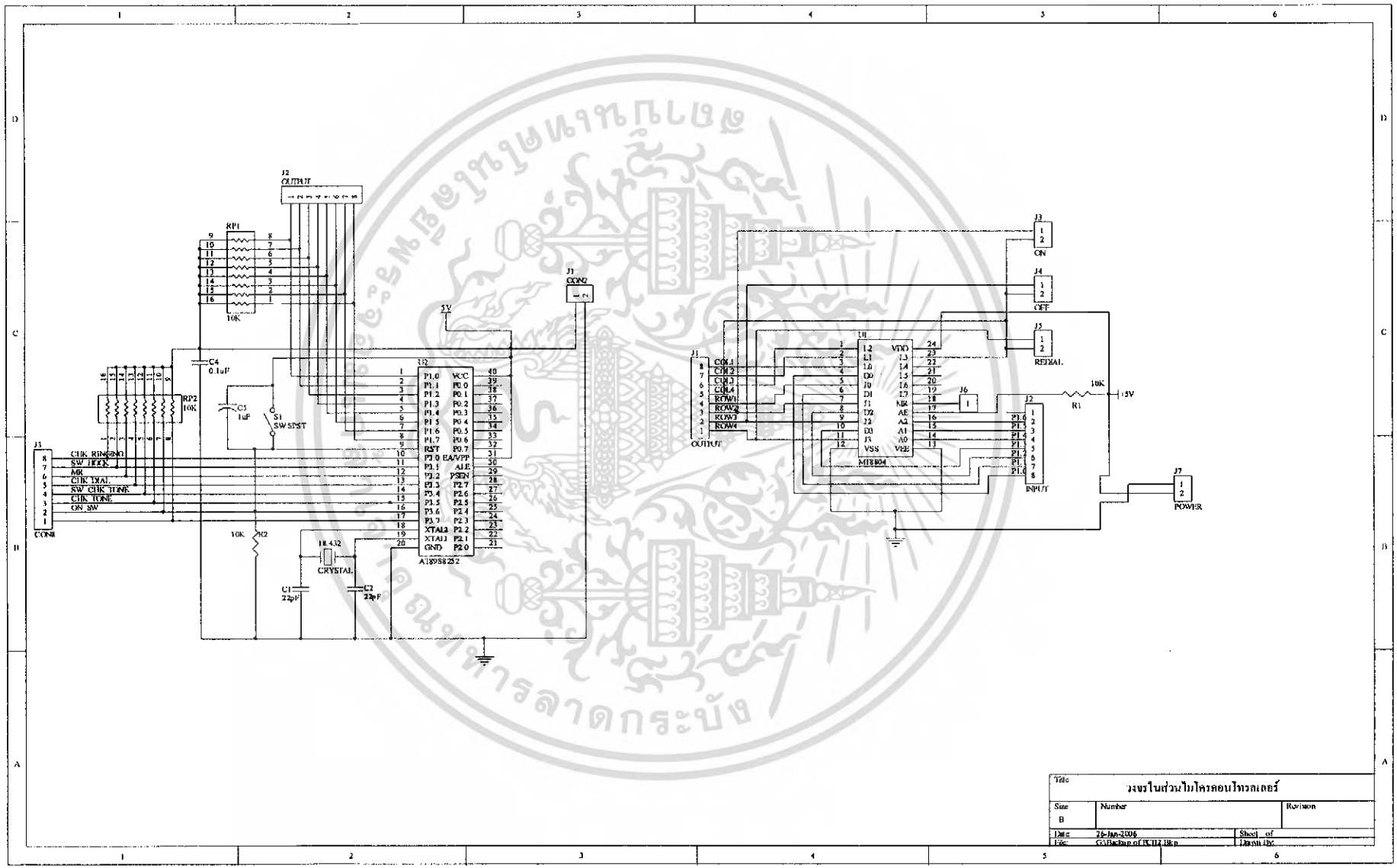
http://www.alldatasheet.com

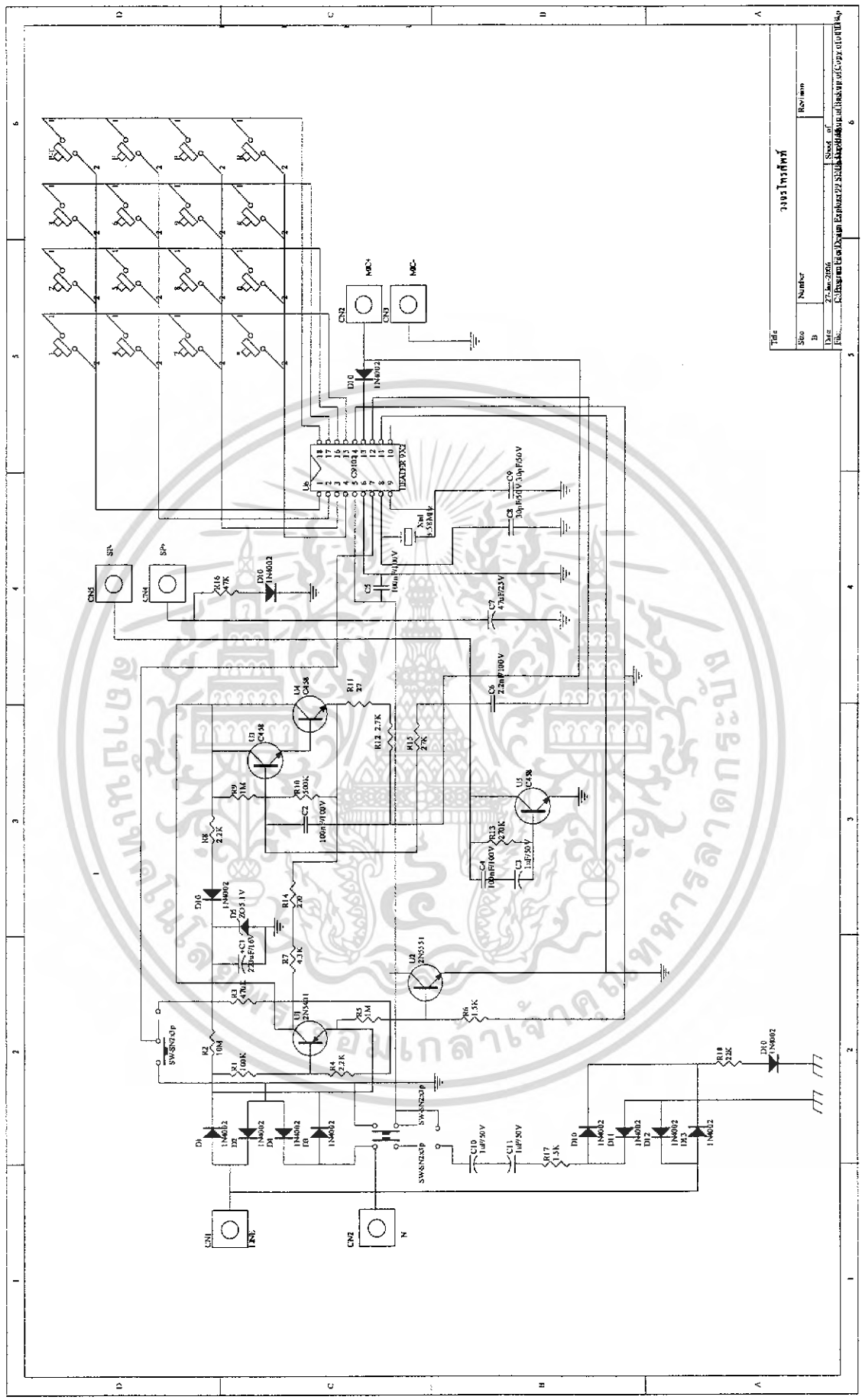
http://www.sjlaps.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

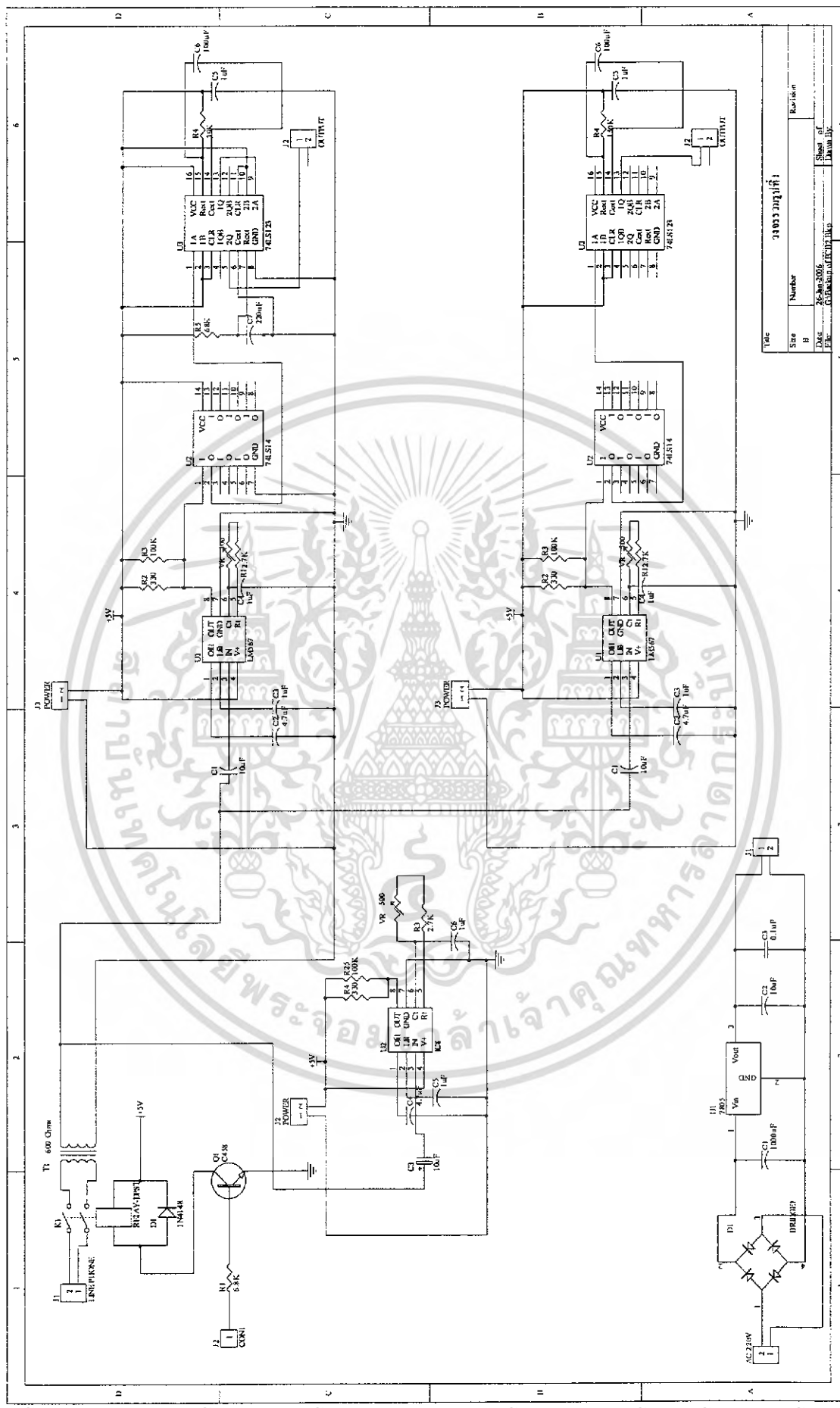
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


J2
OUTPUT
RP1
10K
C4
0.1uF
C5
1uF
S1
SW SPST
RP2
10K
J3
CONN
CLK RINGING
SW HOOK
MR
CLK TXAL
SW CHK TONE
CLK TONE
ON SW
10K
R2
18.432
CRYSTAL
C1
22pF
C2
22pF
5V
J1
CON2
U2
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
RST
P3.0
P3.1
P3.2
P3.3
P3.4
P3.5
P3.6
P3.7
XTAL2
XTAL1
GND
VCC
P0.0
P0.1
P0.2
P0.3
P0.4
P0.5
P0.6
P0.7
EA/VPP
ALE
PSEN
P2.7
P2.6
P2.5
P2.4
P2.3
P2.2
P2.1
P2.0
A18958252
J1
COL1
COL2
COL3
COL4
ROW1
ROW2
ROW3
ROW4
OUTPUT
U1
L2
L1
L0
D0
D1
D2
D3
VSS
VDD
L3
L4
L5
L6
L7
MR
AE
A2
A1
A0
MT8804
J6
J2
P1.6
P1.5
P1.4
P1.3
P1.2
P1.1
P1.0
INPUT
J3
ON
J4
OFF
J5
RESEAL
10K
R1
+5V
J7
POWER
Title
วงจรในส่วนไมโครคอนโทรลเลอร์
Size
B
Number
Revision
Date
26-Jan-2006
Sheet of
File
G:\Backup of PCI2.ddb
Drawn By:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมคอมพิวเตอร์ Port Output

```
;PORT OUTPUT
A2                  BIT         P1.0
A1                  BIT         P1.1
A0                  BIT         P1.2
D3                  BIT         P1.3
D2                  BIT         P1.4
D1                  BIT         P1.5
D0                  BIT         P1.6
SW_HOOK             BIT         P3.1
MR                  BIT         P3.2
SW_CHK_TONE         BIT         P3.4
ON_SW               BIT         P3.6

;PORRT INPUT
CHK_RINGING         BIT         P3.0
CHK_P8              BIT         P3.3
CHK_BUSY            BIT         P3.5

            ORG 0000H

MAIN1:              MOV P1,#00H
                    MOV P2,#00H
                    MOV P3,#00H
                    SETB MR
                    SETB P3.3
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    JNB CHK_RINGING,$
                    ACALL DELAY2
                    SETB ON_SW
                    ACALL DELAY
                    CLR ON_SW
                    ACALL DELAY
                    SETB SW_HOOK
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL GEN_DTMF1
                    SETB SW_CHK_TONE
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    JB CHK_BUSY,$
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    JB CHK_P8,$
                    ACALL DELAY2
                    ACALL DELAY2
                    ACALL DELAY2
                    CLR SW_HOOK
                    ACALL DELAY2
                    CLR SW_CHK_TONE
                    ACALL DELAY2
                    SJMP MAIN1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GEN_DTMF1:  MOV P1,#00000000B
            ACALL DELAY1
            CLR MR
            ACALL DELAY1
            SETB MR
            ;REDIAL
            MOV P1,#00111000B
            ACALL DELAY
            CLR MR
            ACALL DELAY
            SETB MR
            MOV P1,#00000000B
            ACALL DELAY1
            CLR MR
            ACALL DELAY1
            SETB MR
            ACALL DELAY2
            ACALL DELAY2
            ACALL DELAY2
            ACALL DELAY2
            ACALL DELAY2
            RET

DELAY1:     MOV R7,#02H
DB3:        MOV R6,#0FFH
DB2:        MOV R5,#0FFH
DB1:        DJNZ R5,DB1
            DJNZ R6,DB2
            DJNZ R7,DB3
            RET

DELAY:      MOV R7,#04H
DA3:        MOV R6,#0FFH
DA2:        MOV R5,#0FFH
DA1:        DJNZ R5,DA1
            DJNZ R6,DA2
            DJNZ R7,DA3
            RET

DELAY2:     MOV R7,#08H
DC3:        MOV R6,#0FFH
DC2:        MOV R5,#0FFH
DC1:        DJNZ R5,DC1
            DJNZ R6,DC2
            DJNZ R7,DC3
            RET

END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

eatures

- Compatible with MCS®51 Products
- 8K Bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K Bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 4V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low-power Idle and Power-down Modes
- Interrupt Recovery from Power-down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power-off Flag

)escription

ıe AT89S8252 is a low-power, high-performance CMOS 8-bit microcontroller with 8K ytes of downloadable Flash programmable and erasable read-only memory and 2K ytes of EEPROM. The device is manufactured using Atmel's high-density nonvolatile emory technology and is compatible with the industry-standard 80C51 instruction et and pinout. The on-chip downloadable Flash allows the program memory to be programmed In-System through an SPI serial interface or by a conventional nonvolile memory programmer. By combining a versatile 8-bit CPU with downloadable ash on a monolithic chip, the Atmel AT89S8252 is a powerful microcontroller, which ovides a highly-flexible and cost-effective solution to many embedded control pplications.

ıe AT89S8252 provides the following standard features: 8K bytes of downloadable ash, 2K bytes of EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog ner, two data pointers, three 16-bit timer/counters, a six-vector two-level interrupt chitecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, e AT89S8252 is designed with static logic for operation down to zero frequency and pports two software selectable power saving modes. The Idle Mode stops the CPU hile allowing the RAM, timer/counters, serial port, and interrupt system to continue nctioning. The Power-down mode saves the RAM contents but freezes the oscillator, sabling all other chip functions until the next external interrupt or hardware reset.

he downloadable Flash can be changed a single byte at a time and is accessible rough the SPI serial interface. Holding RESET active forces the SPI bus into a serial rogramming interface and allows the program memory to be written to or read from nless lock bits have been activated.

8-bit Microcontroller with 8K Bytes Flash

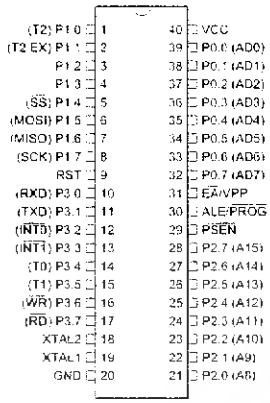
AT89S8252

0401F–MICRO–11/03

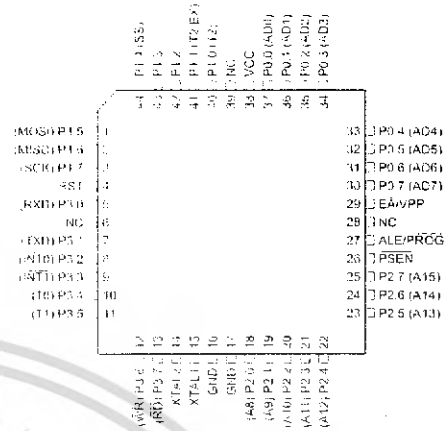
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'in Configurations

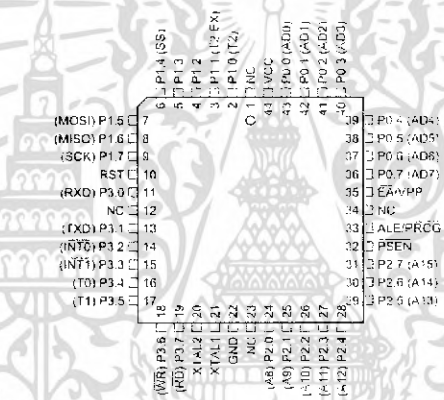
PDIP



TQFP



PLCC



'in Description

CC Supply voltage.

ND Ground.

ort 0 Port 0 is an 8-bit open drain bi-didirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pull-ups are required during program verification.

'ort 1 Port 1 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data input/output and shift clock input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and verification.

ort 2

Port 2 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

ort 3

Port 3 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

ST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

LE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{SEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{A}$/VPP

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions. This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS MT8804A
8 x 4 Analog Switch Array

ISSUE 2 October 1989

Features
- Microprocessor compatible control inputs
- On chip control memory and address decoding
- Row addressing
- Master reset
- 32 crosspoint switches in 8 x 4 array
- 5.0V to 15.0V operation
- Low crosstalk between switches
- Low on resistance: 90Ω (typ.) at 13V
- Matched switch characteristics
- Switches frequencies up to 40MHz

Ordering Information

MT8804AC	24 Pin Ceramic DIP
MT8804AE	24 Pin Plastic DIP
MT8804AP	28 Pin PLCC

-40° to 85°C

Applications
- PABX and key sytems
- Data acquisition systems
- Test equipment/instrumentation
- Analog/digital multiplexers

Description
The MT8804A is a CMOS/LSI 8 x 4 Analog Switch Array incorporating control memory (32 bits), decoder and digital logic level converters. This circuit has digitally controlled analog switches having very low "ON" resistance and very low "OFF" leakage current. Switches will operate with analog signals at frequencies to 40 MHz and up to 15.0Vp-p. A "HIGH" on the Master Reset input switches all channels "OFF" and clears the memory. This device is ideal for crosspoint switching applications.

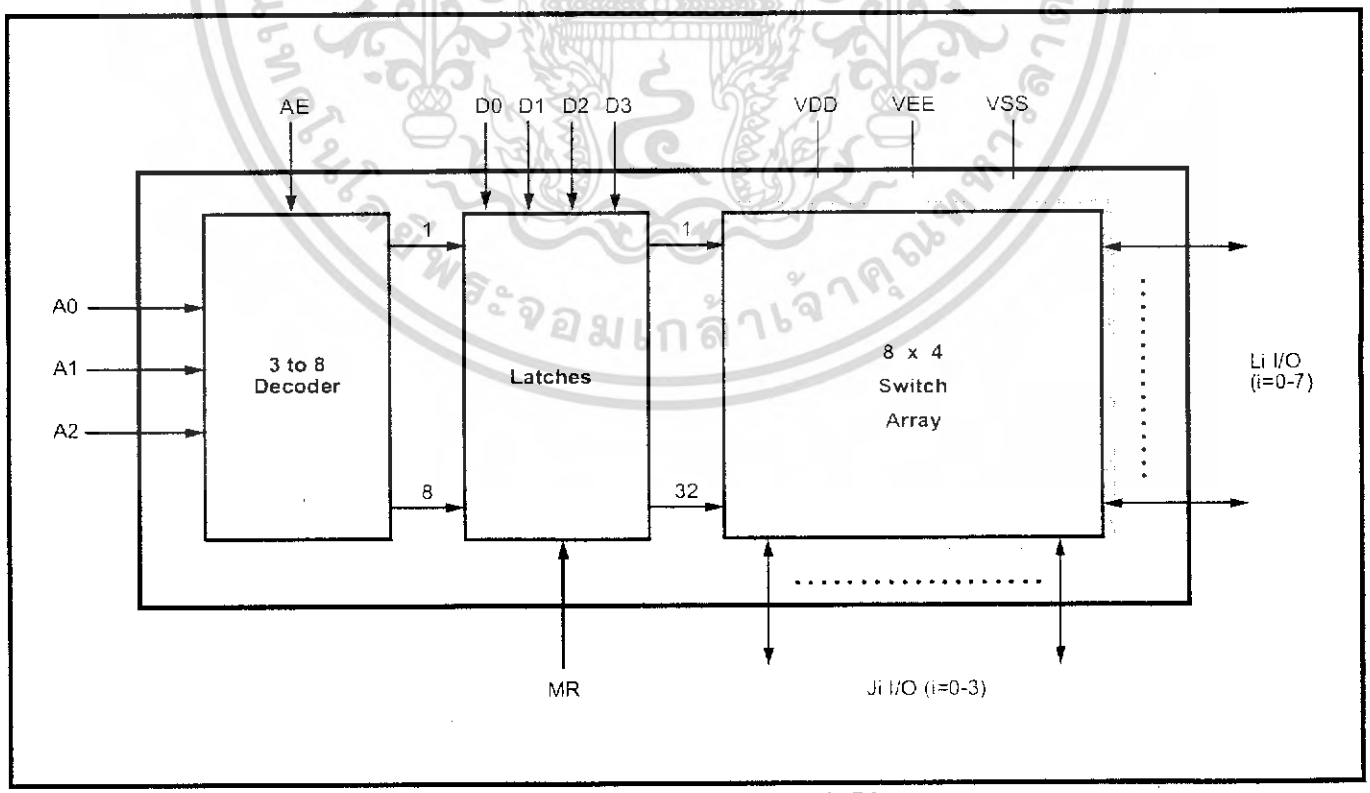


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

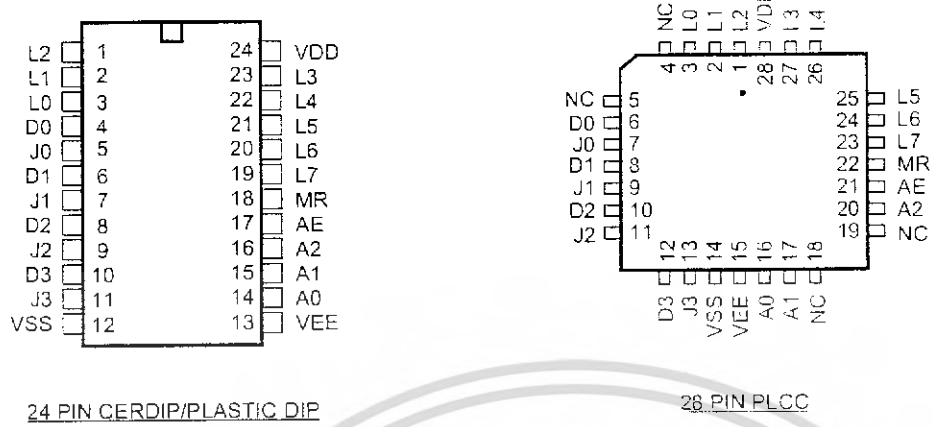


Figure 2 - Pin Connections

in Description

Pin #*	Name	Description
1-3	L2-L0	**L2-L0 Analog Lines (Inputs/Outputs):** these are connected to the L2-L0 columns of the switch array.
4	D0	**D0 Data (Input)**: Active High.
5	J0	**J0 Analog Junctor (Input/Output):** this is connected to the J0 row of the switch array.
6	DI	**DI Data (Input).** Active High.
7	J1	**J1 Analog Junctor (Input/Output):** this is connected to the J1 row of the switch array.
8	D2	**D2 Data (Input)**: Active High.
9	J2	**J2 Analog Junctor (Input/Output):** this is connected to the J2 row of the switch array.
10	D3	**D3 Data (Input)**: Active High.
11	J3	**J3 Analog Junctor (Input/Output):** this is connected to the J3 row of the switch array.
12	V_{SS}	**Digital Ground Reference.**
13	V_{EE}	**Negative Power Supply.**
14-16	A0-A2	**A0-A2 Address Lines (Inputs).**
17	AE	**Address Enable/Strobe (Input)**: enables function selected by address and data. Address must be stable before AE goes high and D0-D3 must be stable on the falling edge of the AE. Active High.
18	MR	**Master RESET (Input):** this is used to turn off all switches. Active High.
19-23	L7-L3	**L7-L3 Analog Lines (Inputs/Outputs):** these are connected to the L7-L3 columns of the switch array.
24	V_{DD}	**Positive Power Supply.**

Plastic DIP and CERDIP only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8804A is a CMOS/LSI 8 X 4 Analog Switch Array incorporating an 8 X 4 analog switch array, address decoder, control memory, and digital logic level converter.

The analog switch array is arranged in 8 rows and 4 columns. The row input/outputs are referred to as Lines (L0-L7) and the column input/outputs as Junctors (J0-J3). The crosspoint analog switches interconnect the lines and junctors when turned "ON" and provide a high degree of isolation when turned "OFF". Interchannel crosstalk is minimal despite the high density of the analog switch array. The control memory of the MT8804A can be treated as an 8 word by 4 bit random access memory. The 8 words are selected by the ADDRESS (A0-A2) inputs through the on chip address decoder. Data is presented to the memory via the four DATA inputs (D0-D3). This data is asynchronously written into the control memory whenever the ADDRESS ENABLE (AE) input is HIGH. A HIGH level written into a memory cell turns the corresponding crosspoint switch "ON" while a LOW level causes the crosspoint to turn "OFF".

Only the crosspoint switches corresponding to the addressed memory word are affected when data is written into the memory. The remaining switches retain their previous states. By establishing appropriate patterns in the control memory, any combination of lines and junctors may be interconnected. A HIGH level on the MASTER RESET (MR) input returns all memory locations to a LOW level and turns all crosspoint switches "OFF" effectively isolating the lines from the junctors. The digital logic level converters allow the digital input levels to differ from limits of the analog levels switched through the array. For example, with

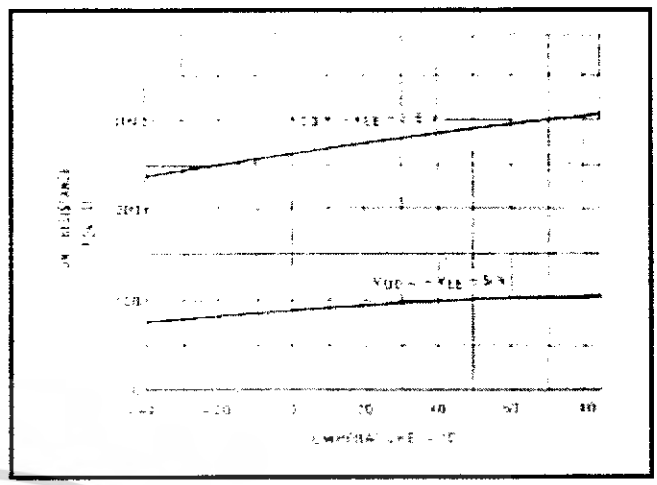


Figure 3 - On Resistance vs. Temperature (Input Signal Voltage=Supply Voltage/2)

V_{DD}=5V, V_{SS}=0V and V_{EE}=-6V, the control inputs can be driven by a 5V system while the analog voltages through the crosspoint switches can swing from +5V to -6V.

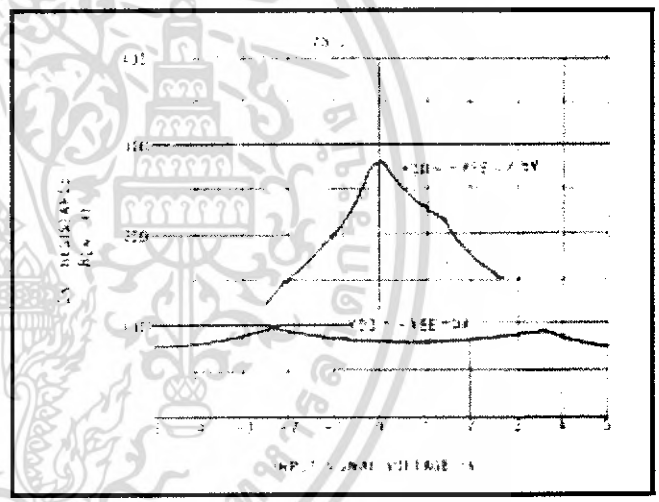


Figure 4 - On Resistance vs. Input Signal Voltage

8x8 Analog/Digital Switch

Two MT8804s configured as shown, implement an 8 x 8 analog/digital switch. The switch capacity can be expanded to an M x N array of inputs/outputs. Expansion in the M dimension is as shown with the MT8804A lines (L0-L7) commoned. Expansion in the N dimension is accomplished by replicating the circuit shown and connecting the MT8804A junctors (J0-J3) in common. The address and data control inputs of the MT8804A's can be connected in common for any size and switch provided that the address enable (AE) inputs are driven individually. A particular signal path is connected by setting up the appropriate signals or the address and data lines and taking the corresponding address enable input high. The master reset (MR), when taken high, disconnects all signal paths.

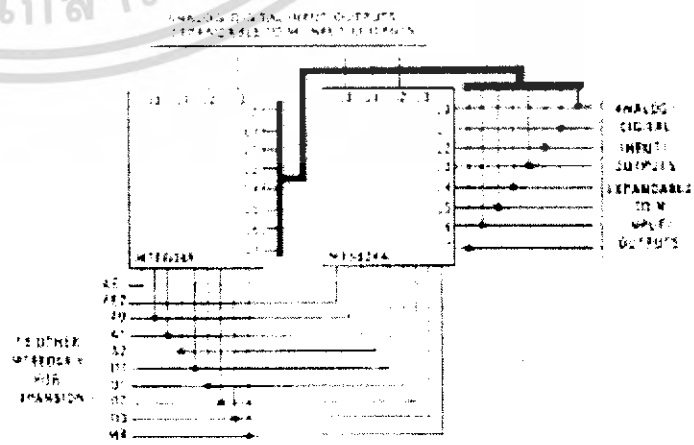


Figure 5 - 8 x 8 Analog/Digital Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bsolute Maximum Ratings* - Voltages are with respect to V_{EE} unless otherwise stated.

	Parameter		Symbol	Min	Max	Units
1	Supply Voltage		V_{DD}-V_{SS} V_{DD}-V_{EE} V_{SS}-V_{EE}	-0.3 -0.3 -0.3	16 16 16	V V V
2	Analog Input Voltage		V_{INA}	V_{EE}-0.3	V_{DD}+0.3	V
3	Digital Input Voltage		V_{IN}	V_{SS}-0.3	V_{DD}+0.3	V
4	Current on any Logic Pin		I		10	mA
5	Storage Temperature		T_S	-65	+150	°C
6	Package Power Dissipation	PLASTIC DIP CERDIP	P_D P_D		0.6 1.2	W W

Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

ecommended Operating Conditions - Voltages are with respect to V_{EE} unless otherwise stated.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Operating Temperature	T_O	-40	25	85	°C	
2	Supply Voltage	V_{DD}-V_{SS} V_{DD}-V_{EE} V_{SS}-V_{EE}	5 5 0	5 10 5	15 15 10	V V V	
3	Analog Input Voltage	V_{INA}	V_{EE}		V_{DD}	V	
4	Digital Input Voltage	V_{IN}	V_{SS}		V_{DD}	V	

C Electrical Characteristics† - Voltages are with respect to V_{EE}=V_{SS}=0V.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Quiescent Supply Current	I_{DD}		1	100	µA	V_{DD}=15V. All digital inputs at V_{IN}=V_{SS} or V_{DD}
2	Off-state Leakage Current (Any line to any junctor)	I_{OFF}		±0.1	±500	nA	V_{DD}=13V, Switch is 'Off' $\|V_{Ji} - V_{Lj}\| = V_{DD} - V_{EE}$
3	Input Logic "0" level	V_{IL}			3.0 1.5	V V	V_{DD} =10V V_{DD}=5V V_{INA}=V_{DD} through 1kΩ
4	Input Logic "1" level	V_{IH}	7.0 3.5			V V	V_{DD} =10V V_{DD}=5V V_{INA}=V_{DD} through 1kΩ
5	Maximum current through Crosspoint Switch	I_{MAX}			±8.0	mA	V_{DD}=13V

DC Electrical Characteristics are at ambient temperature (25°C).
Typical figures are for design aid only; not guaranteed and not subject to production testing.

C Electrical Characteristics- Switch Resistance - V_{DC} is the external DC offset applied at the analog I/O pins.

	Characteristics	Sym	25°C			70°C	85°C	Units	Test Conditions
			Min	Typ	Max	Typ	Typ		
1	On-state Resistance V_{DD}=13V V_{DD}=10V V_{DD}= 5V	R_{ON}	60	90 105 290	108 160 650	105 120 320	110 125 325	Ω Ω Ω	V_{SS}=V_{EE}=0V,V_{DC}=V_{DD}/2, $\|V_{Ji} - V_{Lj}\|$ = 0.6V
2	Difference in on-state resistance between two switches V_{DD}=13V V_{DD}=10V	ΔR_{ON}		20 30		20 30	20 30	Ω Ω	V_{SS}=V_{EE}=0V,V_{DC}=V_{DD}/2, $\|V_{Ji} - V_{Lj}\|$ = 0.6V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Crosspoint Performance

$-V_{DC}$ is the external DC offset applied at the analog I/O pins. Voltages are with respect to V_{DD}=10V, V_{SS}=V_{EE}=0V unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Switch Line Capacitance	C_{IS}		5		pF	
2	Switch Junctor Capacitance	C_{OS}		20		pF	
3	Feedthrough Capacitance	C_I		0.2		pF	
4	Frequency Response Channel "ON" 20LOG(V_{OUT} / V_{INA}) = -3dB	F_{3dB}		40		MHz	Switch is "ON"; V_{DC}=5V, V_{INA}=5Vpp sinewave f= 1kHz; R_L = 1kΩ
5	Total Harmonic Distortion V_{DD}=15V/V_{DC}=7.5V V_{DD}=10V/V_{DC}=5V V_{DD}=5V/V_{DC}=2.5V	THD		 0.1 0.2 1.0		 % % %	Switch is "ON"; V_{EE}=V_{SS}=0V V_{INA}=5Vpp sinewave f= 1kHz; R_L = 10kΩ
6	Feedthrough Channel "OFF" Feed.=20LOG (V_{OUT} / V_{INA})	FDT		-50		dB	All Switches "OFF"; V_{INA}= 5Vpp sinewave f= 1MHz; R_L= 1kΩ. V_{DC}=5V
7	Crosstalk between any two channels for switches Li - Ji and Lj - Jj. Li - Ji is "ON" Lj - Jj is "OFF" Xtalk=20LOG (V_{Jj}/V_{Li}).	X_{talk}		-40 -90		dB dB	V_{INA}=2Vpp sinewave f= 1.0MHz; R_L = 600Ω. V_{INA}=2Vpp sinewave f= 3.4kHz; R_L = 600Ω. V_{DC} = 5V
8	Propagation delay through switch	t_{PS}		10		ns	C_L=50pF

† AC Electrical Characteristics are at ambient temperature (25°C).
‡ Typical figures are for design aid only; not guaranteed and not subject to production testing.

AC Electrical Characteristics† - Control and I/O Timings

Voltages are with respect to V_{SS}=V_{EE}=0V unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Digital Input Capacitance	C_{DI}		5		pF	V_{DD}=10V
2	Setup Time D0-D3 to AE	t_{DS}	150 200			ns ns	V_{DD}=10V V_{DD}=5V
3	Hold Time D0-D3 to AE	t_{DH}	120 300			ns ns	V_{DD}=10V V_{DD}=5V
4	Setup Time Address to AE	t_{AS}	0 50			ns ns	V_{DD}=10V V_{DD}=5V
5	Hold Time Address to AE	t_{AH}	120 300			ns ns	V_{DD}=10V V_{DD}=5V
6	AE Pulse Width	t_{AEW}	100 250			ns ns	V_{DD}=10V V_{DD}=5V
7	AE to Switch Status Delay	t_{PAE}		200 650	300 900	ns ns	V_{DD}=10V V_{DD}=5V See Note 1
8	DATA to Switch Status Delay	t_{PLH} t_{PHL}		250 650	400 1000	ns ns	V_{DD}=10V V_{DD}=5V See Note 1
9	MR to Switch Status Delay	t_{MR} t_{MRR}		250 500 200 500	400 600 350 750	ns ns ns ns	V_{DD}=10V V_{DD}=5V See Note 2 V_{DD}=10V V_{DD}=5V

† AC Electrical Characteristics are at ambient temperature (25°C).
‡ Typical figures are for design aid only; not guaranteed and not subject to production testing.
Note 1 R_L= 10kΩ, C_L=50pF
Note 2 R_L= 1kΩ, C_L=50pF
Digital input rise time (tr) and fall time (tf) = 5ns.

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

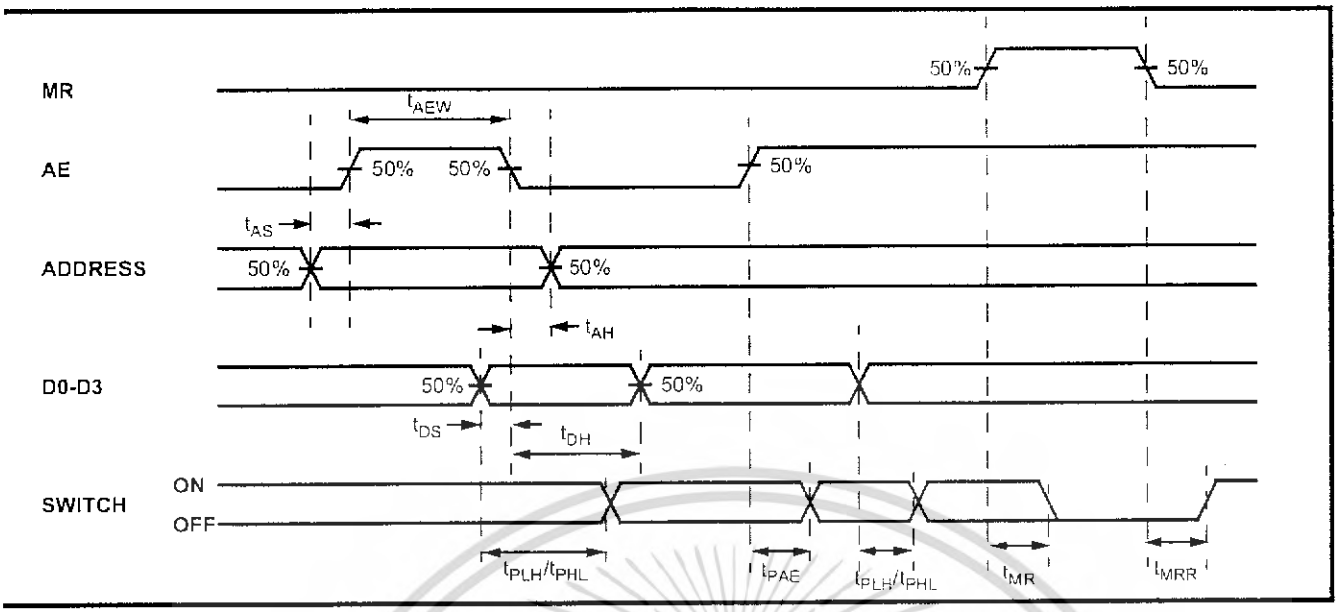


Figure 6 - Control Memory Timing Diagram

Memory Reset **MR**	Address Enable **AE**	Address			Addressed Line	Input Data To Control Memory				Junctors Connected To Addressed Line			
		A2	A1	A0		D3	D2	D1	D0	J3	J2	J1	J0
1	X	X	X	X	ALL	X	X	X	X	All Switches "OFF"			
0	0	X	X	X	NONE	X	X	X	X	No Change of State			
0	1	0	0	0	L0	0	0	0	0	·	·	·	·
0	1	0	0	0	L0	0	0	0	1	·	·	·	+
0	1	0	0	0	L0	0	0	1	0	·	·	+	·
0	1	0	0	0	L0	0	0	1	1	·	·	+	+
0	1	0	0	0	L0	0	1	0	0	·	+	·	·
0	1	0	0	0	L0	0	1	0	1	·	+	·	+
0	1	0	0	0	L0	0	1	1	0	·	+	+	·
0	1	0	0	0	L0	0	1	1	1	·	+	+	+
0	1	0	0	0	L0	1	0	0	0	+	·	·	·
0	1	0	0	0	L0	1	0	0	1	+	·	·	+
0	1	0	0	0	L0	1	0	1	0	+	·	+	·
0	1	0	0	0	L0	1	0	1	1	+	·	+	+
0	1	0	0	0	L0	1	1	0	0	+	+	·	·
0	1	0	0	0	L0	1	1	0	1	+	+	·	+
0	1	0	0	0	L0	1	1	1	0	+	+	+	·
0	1	0	0	0	L0	1	1	1	1	+	+	+	+
0	1	0	0	1	L1	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	0	0	1	L1	1	1	1	1	+	+	+	+
0	1	0	1	0	L2	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	0	1	0	L2	1	1	1	1	–	+	–	+
0	1	0	1	1	L3	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	0	1	1	L3	1	1	1	1	+	+	+	+
0	1	1	0	0	L4	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	1	0	0	L4	1	1	1	1	+	+	+	+
0	1	1	0	1	L5	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	1	0	1	L5	1	1	1	1	+	+	+	+
0	1	1	1	0	L6	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	1	1	0	L6	1	1	1	1	–	+	–	+
0	1	1	1	1	L7	0	0	0	0	·	·	·	·
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	1	1	1	1	L7	1	1	1	1	–	–	+	+

Table 1 - Address Decode Truth Table

NOTES:
0 - Low Logic Level
1 - High Logic Level
X - Don't Care Condition
+ - Indicates Connection Between Junctor and Addressed Line
· - Indicates No Connection Between Junctor and Addressed Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1999

National Semiconductor

LM567/LM567C
Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

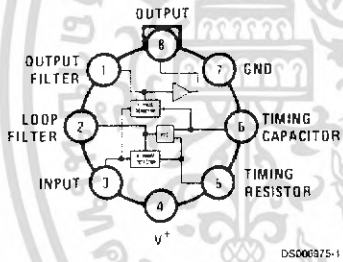
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

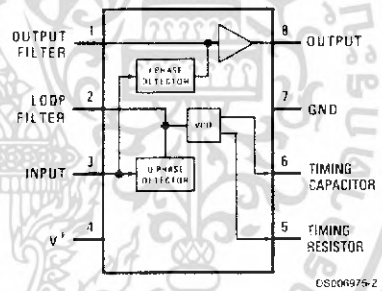
Connection Diagrams

Metal Can Package



Top View
Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



Top View
Order Number LM567CM
See NS Package Number M08A
Order Number LM567CN
See NS Package Number N08E

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 2)	1100 mW
V_8	15V
V_3	−10V
V_3	V_4 + 0.5V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	
LM567H	−55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

AC Test Circuit, T_A = 25°C, V^+ = 5V

Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	R_L = 20k		6	8		7	10	mA
Power Supply Current Activated	R_L = 20k		11	13		12	15	mA
Input Resistance		18	20		15	20		kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		−6			−6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1			±0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75–6.75V		±1	±2		±1	±5	%/V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75–5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ± 60 35 ± 140		ppm/°C ppm/°C
Center Frequency Shift with Supply Voltage	4.75V–6.75V 4.75V–9V		0.5	1.0 2.0		0.4	2.0 2.0	%/V %/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	e_i = 25 mV, I_8 = 30 mA e_i = 25 mV, I_8 = 100 mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

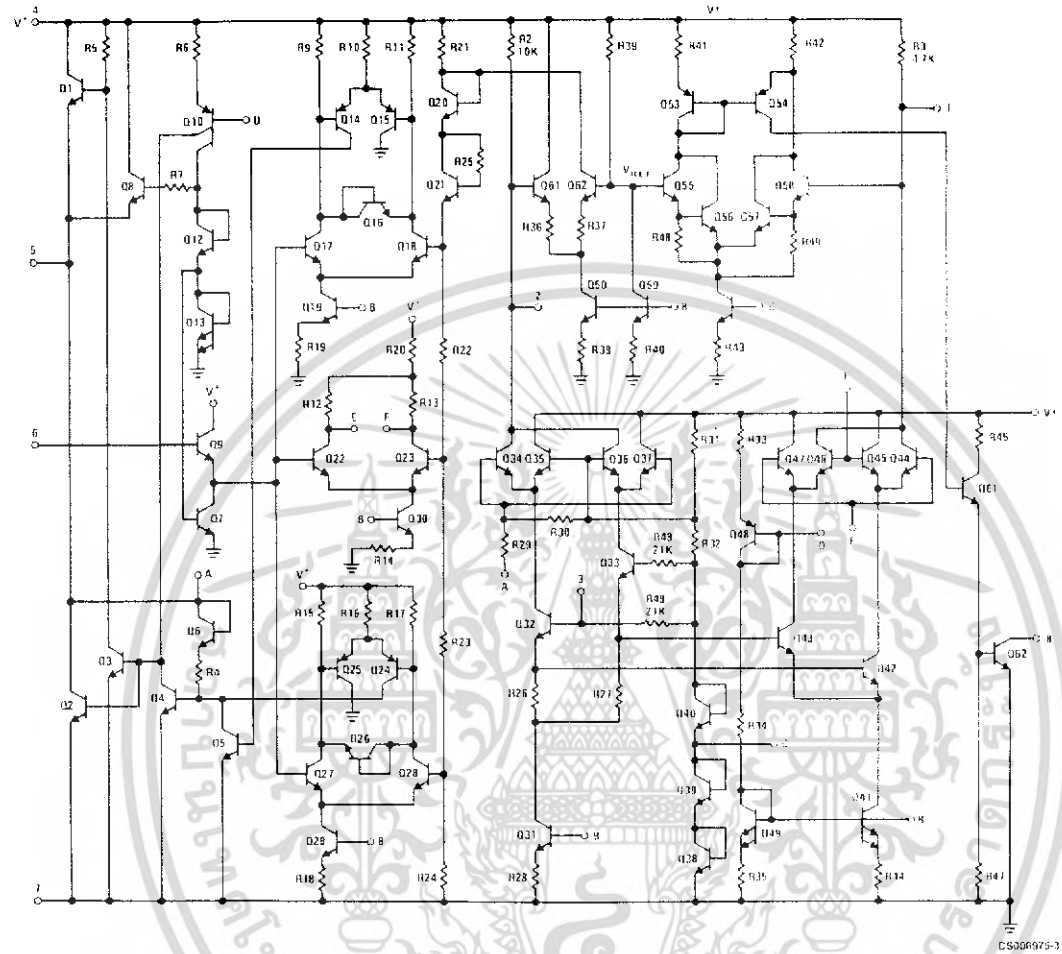
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 2: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 3: Refer to RETS567X drawing for specifications of military LM567H version.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

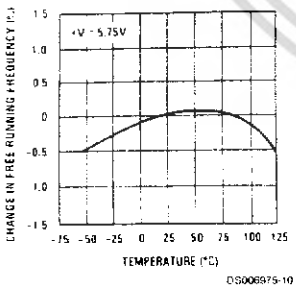
Schematic Diagram



DS006975-3

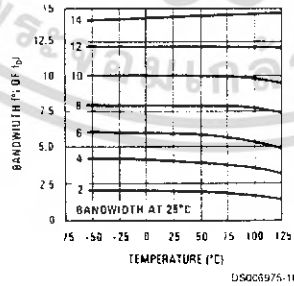
Typical Performance Characteristics

Typical Frequency Drift



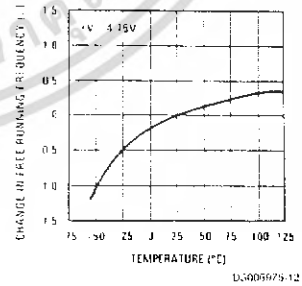
DS006975-10

Typical Bandwidth Variation



DS006975-11

Typical Frequency Drift

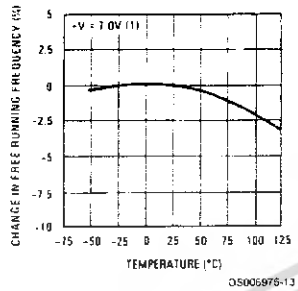


DS006975-12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

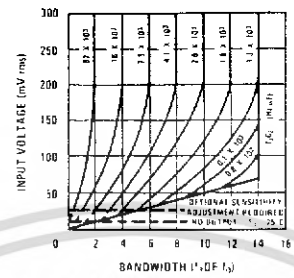
Typical Performance Characteristics (Continued)

Typical Frequency Drift



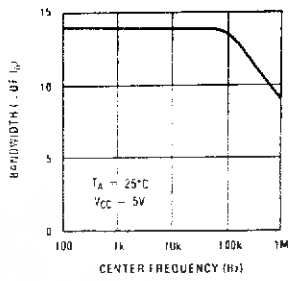
DS006976-13

Bandwidth vs Input Signal Amplitude



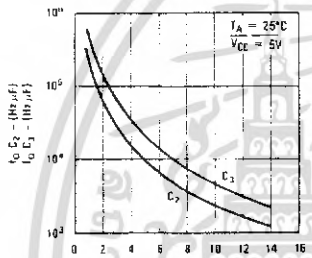
DS006975-14

Largest Detection Bandwidth



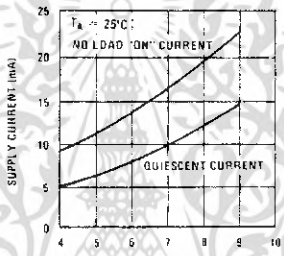
DS006975-15

Detection Bandwidth as a Function of C_2 and C_3



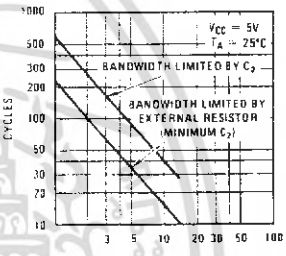
DS006975-16

Typical Supply Current vs Supply Voltage



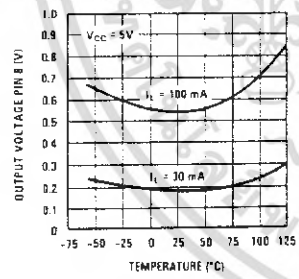
DS006975-17

Greatest Number of Cycles Before Output



DS006975-18

Typical Output Voltage vs Temperature

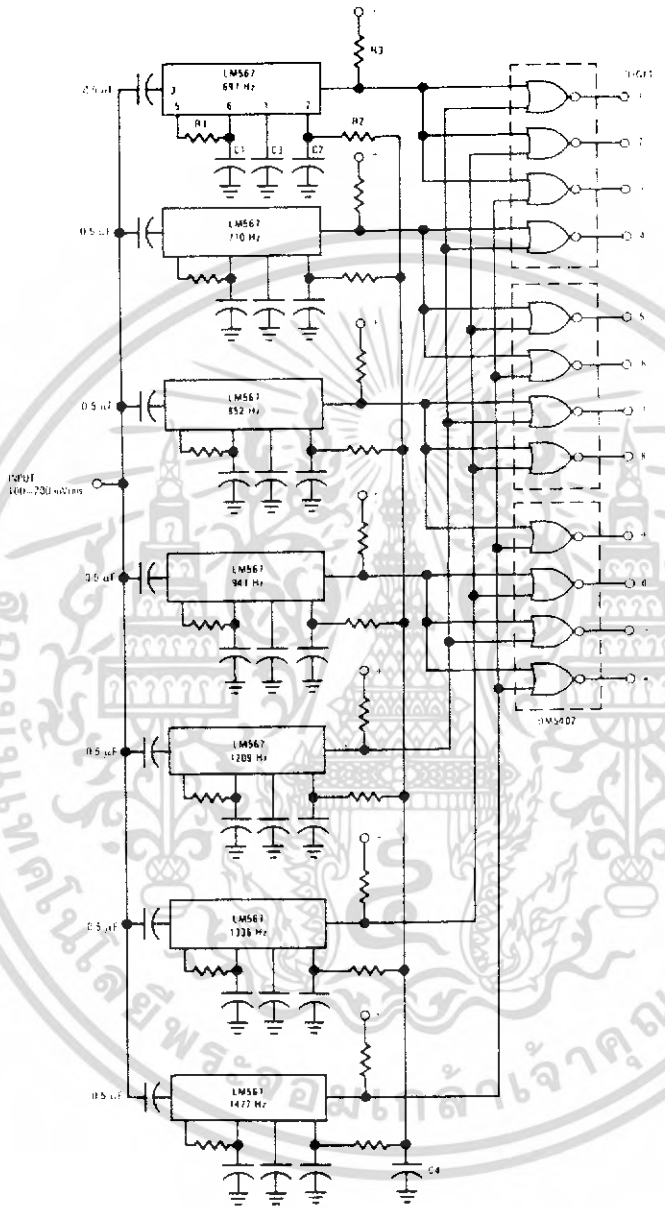


DS006975-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Touch-Tone Decoder

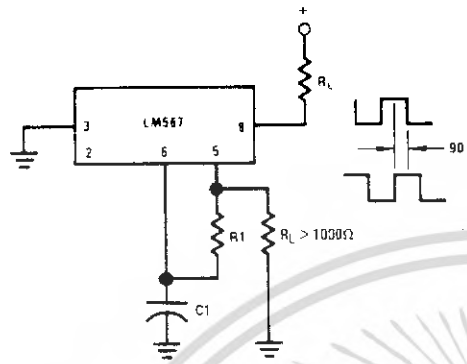


Component values (typ)
R1 6.8 to 15k
R2 4.7k
R3 20k
C1 0.10 mfd
C2 1.0 mfd 6V
C3 2.2 mfd 6V
C4 250 mfd 6V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

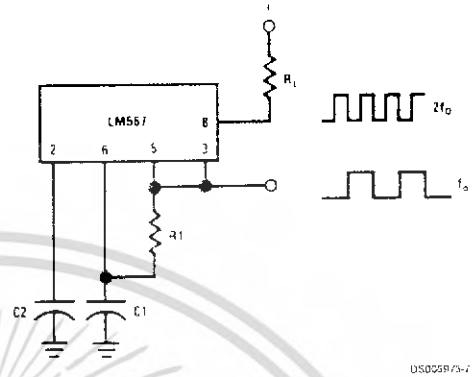
Oscillator with Quadrature Output



DS009675-6

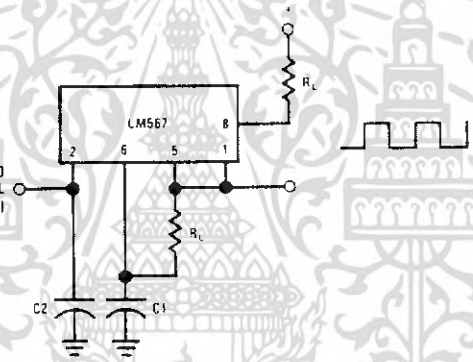
Connect Pin 3 to 2.8V to Invert Output

Oscillator with Double Frequency Output



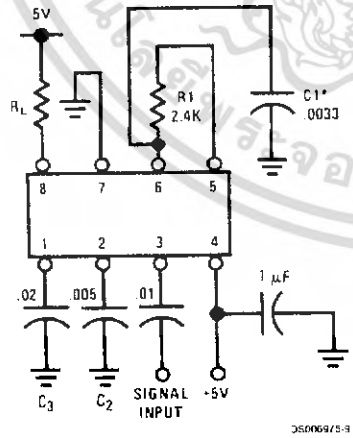
DS009675-7

Precision Oscillator Drive 100 mA Loads



DS009675-8

AC Test Circuit



DS009675-9

f_i = 100 kHz + 5V

*Note: Adjust for f_o = 100 kHz.

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{1.1\ R_1\ C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070\sqrt{\frac{V_i}{f_o C_2}} \text{ in \% of } f_o$$

Where:

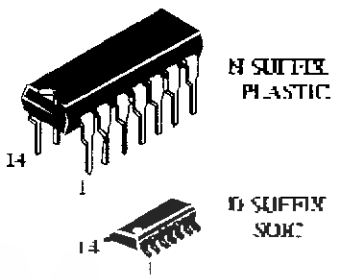
V_i = Input voltage (volts rms), $V_i \leq 200$ mV

C_2 = Capacitance at Pin 2 (µF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

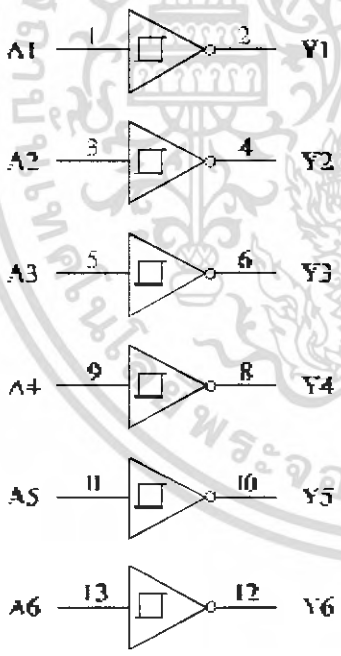
Hex Schmitt-Trigger Inverter

This device contains six independent gates each of which performs the logic INVERT function. Each input has hysteresis which increases the noise immunity and transforms a slowly changing input signal to a fast changing, jitter free output.



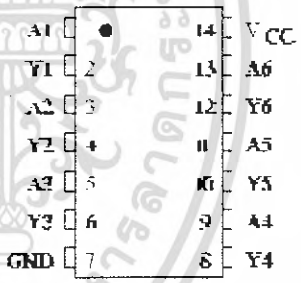
ORDERING INFORMATION
SL74LS14N Plastic
SL74LS14D SOIC
T_A = 0° to 70° C for all packages

LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs	Output
A	Y
L	H
H	L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	Supply Voltage	7.0	V
V_{IN}	Input Voltage	7.0	V
V_{OUT}	Output Voltage	5.5	V
Tstg	Storage Temperature Range	-65 to +150	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V_{CC}	Supply Voltage	4.75	5.25	V
I_{OH}	High Level Output Current		-15	mA
I_{OL}	Low Level Output Current		24	mA
T_A	Ambient Temperature Range	0	+70	°C

DC ELECTRICAL CHARACTERISTICS over full operating conditions

Symbol	Parameter		Test Conditions	Guaranteed Limit		Unit
				Min	Max	
V_{T+}	Positive-Going Input Threshold Voltage		V_{CC} = 5 V	0.5	1	V
V_{T-}	Negative-Going Input Threshold Voltage		V_{CC} = 5 V	1.4	1.9	V
$V_{T+} - V_{T-}$	Hysteresis		V_{CC} = 5 V	0.4		V
V_{IK}	Input Clamp Voltage		V_{CC} = min, I_{IN} = -18 mA		-1.5	V
V_{OH}	High Level Output Voltage		V_{CC} = min, I_{OH} = -0.4 mA, V_I=0.5 V	2.7		V
V_{OL}	Low Level Output Voltage		V_{CC} = min, I_{OL} = 4 mA V_I=1.9 V		0.4	V
			V_{CC} = min, I_{OL} = 8 mA V_I=1.9 V		0.5	
I_{IH}	High Level Input Current		V_{CC} = max, V_{IN} = 2.7 V		20	µA
			V_{CC} = max, V_{IN} = 7.0 V		0.1	mA
I_{IL}	Low Level Input Current		V_{CC} = max, V_{IN} = 0.4 V		-0.4	mA
I_O	Output Short Circuit Current		V_{CC} = max, V_O =0 V (Note 1)	-20	-100	mA
I_{CC}	Supply Current	Total with outputs high	V_{CC} = max		16	mA
		Total with outputs low			21	

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร

AC ELECTRICAL CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, C_L = 15 pF, R_L = 2 kΩ, t_r = 15 ns, t_f = 6.0 ns)

Symbol	Parameter	Min	Max	Unit
t_{PLH}	Propagation Delay, Input A to Output Y		22	ns
t_{PHL}	Propagation Delay, Input A to Output Y		22	ns

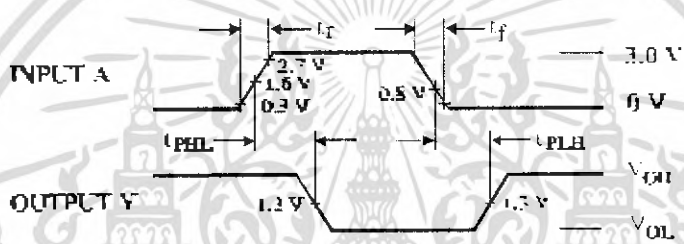
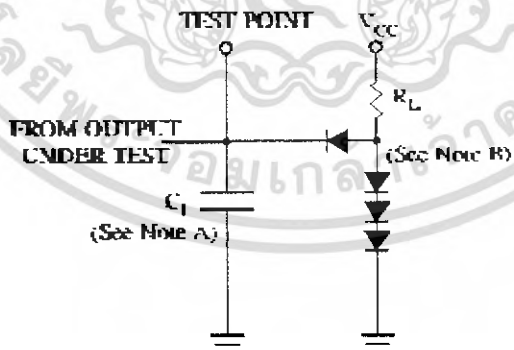


Figure 1. Switching Waveforms



NOTES A. C_L includes probe and jig capacitance.
B. All diodes are 1N916 or 1N3064.

Figure 2. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised April 2000

DM74LS123
Dual Retriggerable One-Shot with Clear and Complementary Outputs

General Description

The DM74LS123 is a dual retriggerable monostable multivibrator capable of generating output pulses from a few nano-seconds to extremely long duration up to 100% duty cycle. Each device has three inputs permitting the choice of either leading edge or trailing edge triggering. Pin (A) is an active-LOW transition trigger input and pin (B) is an active-HIGH transition trigger input. The clear (CLR) input terminates the output pulse at a predetermined time independent of the timing components. The clear input also serves as a trigger input when it is pulsed with a low level pulse transition (⌐⌙). To obtain the best trouble free operation from this device please read the operating rules as well as the Fairchild Semiconductor one-shot application notes carefully and observe recommendations.

Features

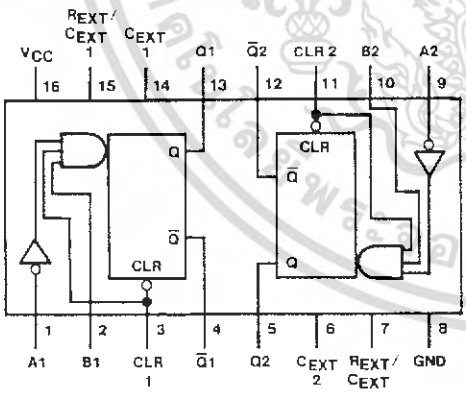
- DC triggered from active-HIGH transition or active-LOW transition inputs
- Retriggerable to 100% duty cycle
- Compensated for V_{CC} and temperature variations
- Triggerable from CLEAR input
- DTL, TTL compatible
- Input clamp diodes

Ordering Code:

Order Number	Package Number	Package Description
DM74LS123M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS123SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS123N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs			Outputs	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⌐⌙	⌐⌙
H	↓	H	⌐⌙	⌐⌙
↑	L	H	⌐⌙	⌐⌙

H = HIGH Logic Level
L = LOW Logic Level
X = Can Be Either LOW or HIGH
↑ = Positive Going Transition
↓ = Negative Going Transition
⌐⌙ = A Positive Pulse
⌐⌙ = A Negative Pulse

© 2000 Fairchild Semiconductor Corporation

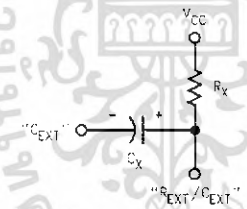
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The basic output pulse width is determined by selection of an external resistor (R_X) and capacitor (C_X). Once triggered, the basic pulse width may be extended by retriggering the gated active-LOW transition or active-HIGH transition inputs or be reduced by use of the active-LOW or CLEAR input. Retriggering to 100% duty cycle is possible by application of an input pulse train whose cycle time is shorter than the output cycle time such that a continuous "HIGH" logic state is maintained at the "Q" output.

Operating Rules

1. An external resistor (R_X) and an external capacitor (C_X) are required for proper operation. The value of C_X may vary from 0 to any necessary value. For small time constants high-grade mica, glass, polypropylene, polycarbonate, or polystyrene material capacitors may be used. For large time constants use tantalum or special aluminum capacitors. If the timing capacitors have leakages approaching 100 nA or if stray capacitance from either terminal to ground is greater than 50 pF the timing equations may not represent the pulse width the device generates.
2. When an electrolytic capacitor is used for C_X a switching diode is often required for standard TTL one-shots to prevent high inverse leakage current. This switching diode is not needed for the DM74LS123 one-shot and should not be used. In general the use of the switching diode is not recommended with retriggerable operation. Furthermore, if a polarized timing capacitor is used on the DM74LS123 the negative terminal of the capacitor should be connected to the "C_{EXT}" pin of the device (Figure 1).



('LS123)

FIGURE 1.

3. For $C_X >> 1000$ pF the output pulse width (t_W) is defined as follows:

$$t_W = KR_X C_X$$

where [R_X is in kΩ]

[C_X is in pF]

[t_W is in ns]

K = 0.37

4. The multiplicative factor K is plotted as a function of C_X below for design considerations:

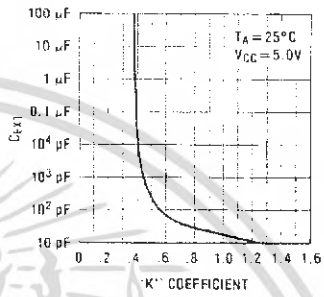


FIGURE 2.

5. For $C_X < 1000$ pF see Figure 3 for t_W vs. C_X family curves with R_X as a parameter:

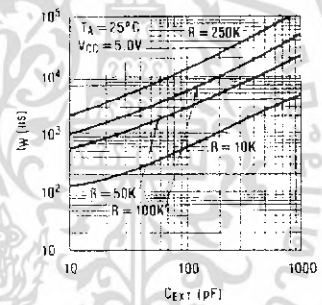


FIGURE 3.

6. To obtain variable pulse widths by remote trimming, the following circuit is recommended:

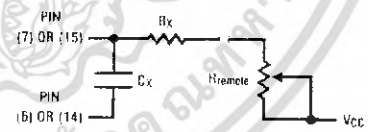


FIGURE 4.

"R_{remote}" should be as close to the device pin as possible.

7. The retriggerable pulse width is calculated as shown below:

$$T = t_W + t_{PLH} = K \times R_X \times C_X + t_{PLH}$$

The retriggered pulse width is equal to the pulse width plus a delay time period (Figure 5).

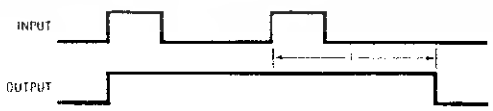


FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Rules (Continued)

8. Output pulse width variation versus V_{CC} and temperatures: Figure 6 depicts the relationship between pulse width variation versus V_{CC}, and Figure 7 depicts pulse width variation versus temperatures.

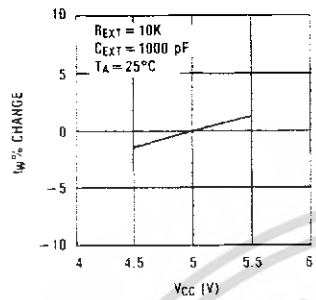


FIGURE 6.

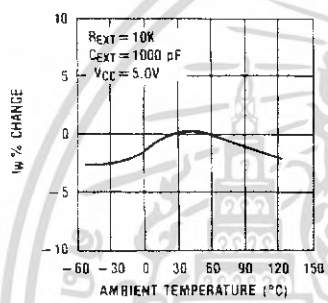


FIGURE 7.

9. Under any operating condition C_X and R_X must be kept as close to the one-shot device pins as possible to minimize stray capacitance, to reduce noise pick-up, and to reduce I-R and Ldi/dt voltage developed along their connecting paths. If the lead length from C_X to pins (6) and (7) or pins (14) and (15) is greater than 3 cm, for example, the output pulse width might be quite different from values predicted from the appropriate equations. A non-inductive and low capacitive path is necessary to ensure complete discharge of C_X in each cycle of its operation so that the output pulse width will be accurate.
10. The C_{EXT} pins of this device are internally connected to the internal ground. For optimum system performance they should be hard wired to the system's return ground plane.
11. V_{CC} and ground wiring should conform to good high-frequency standards and practices so that switching transients on the V_{CC} and ground return leads do not cause interaction between one-shots. A 0.01 µF to 0.10 µF bypass capacitor (disk ceramic or monolithic type) from V_{CC} to ground is necessary on each device. Furthermore, the bypass capacitor should be located as close to the V_{CC}-pin as space permits.

Note: For further detailed device characteristics and output performance please refer to the Fairchild Semiconductor one-shot application note AN-372.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−0.4	mA
I_{OL}	LOW Level Output Current				8	mA
t_W	Pulse Width (Note 2)	A or B HIGH	40			ns
		A or B LOW	40			
		Clear LOW	40			
R_{EXT}	External Timing Resistor		5		260	kΩ
C_{EXT}	External Timing Capacitance			No Restriction		μF
C_{WIRE}	Wiring Capacitance at R_{EXT}/C_{EXT} Terminal				50	pF
T_A	Free Air Operating Temperature		0		70	°C

Note 2: T_A = 25°C and V_{CC} = 5V.

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	μA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 4)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 5)(Note 6)(Note 7)		12	20	mA

Note 3: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 5: Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs OPEN, C_{EXT} = 0.02 μF, and R_{EXT} = 25 kΩ.

Note 6: I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs OPEN, C_{EXT} = 0.02 μF, and R_{EXT} = 25 kΩ.

Note 7: With all outputs OPEN and 4.5V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5V is applied to the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

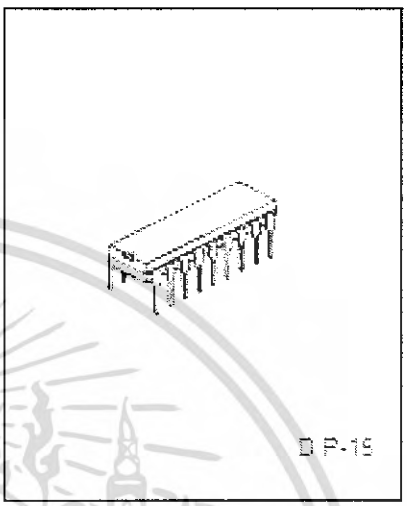
Symbol	Parameters	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15pF, C_{EXT} = 0 pF, R_{EXT} = 5 kΩ		C_L = 15pF, C_{EXT} = 1000 pF, R_{EXT} = 10 kΩ		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	A to Q		33			ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	B to Q		44			ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	A to $\overline{Q}$		45			ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	B to $\overline{Q}$		56			ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clear to $\overline{Q}$		45			ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Q		27			ns
$t_{WQ(Min)}$	Minimum Width of Pulse at Output Q	A or B to Q		200			ns
$t_{W(out)}$	Output Pulse Width	A or B to Q			4	5	µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Silan
Semiconductors

SC9102C/D

TONE / PULSE DIALER WITH REDIAL FUNCTION

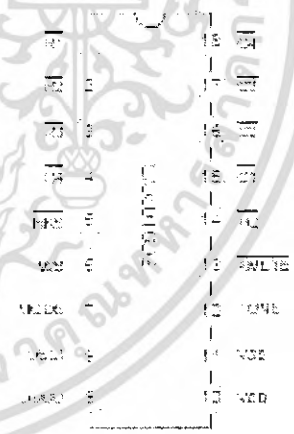


DESCRIPTION

The SC9102C/D are Tone/Pulse switchable dialer which are fabricated in CCMOS technology with wide operating voltage for both tone and pulse mode, and consumes very low memory retention current in on hook state.

FEATURES

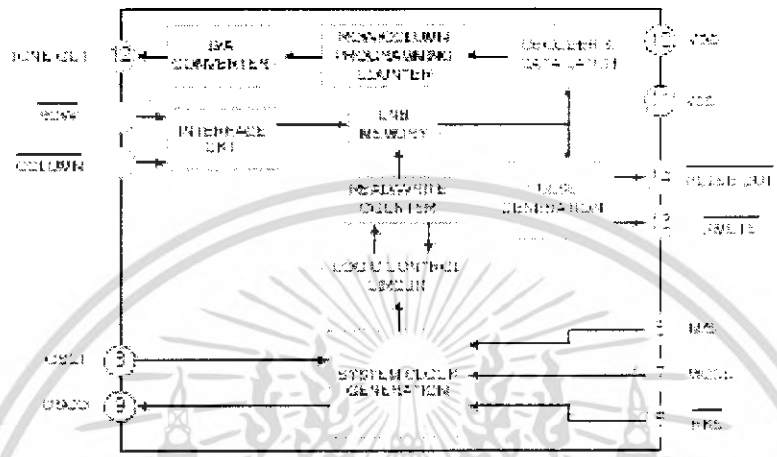
*Tone/Pulse switchable dialer
*One 32-digit last number redial memory
*Pulse-to-tone (P→T) is provided for PBX operation
*Flash key is available
*Minimum tone duration is 100ms
*Minimum interdigit pause is 100ms
*Uses 3.579545MHz crystal or ceramic resonator
*Redial Pause time (2s)
*Mixed dialing
*Power on reset circuit is provided
*Many options can be selected:
Mode (10PPS; 20PPS; Tone)
M/B ratio (40:60; 33:67)
Pause time (3.6s)
*Flash function (RESET)
(P→T) pause time (1.6s)
Flash time (600/100ms)
Flash pause time (2s)
*Package in 16-pin plastic D.I.P

PIN CONFIGURATIONS

ORDERING INFORMATION

SC9102C	DIP-16 Packaged
SC9102D	DIP-16 Packaged

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



KEYBOARD ASSIGNMENT

	$\overline{C1}$	$\overline{C2}$	$\overline{C3}$	$\overline{C4}$
$\overline{R1}$	1	2	3	P→T
$\overline{R2}$	4	5	6	F
$\overline{R3}$	7	8	9	P
$\overline{R4}$	*P	0	#/RD	RD

Note: 1) P→T: Execute P→T function.

2) P: Pause key.

3) F: Flash key.

4) RD: Redial key.

5) *P: In Tone mode, execute * function; in pulse mode, execute pause function.

6) #/RD: In Tone mode, execute # function; in pulse mode, execute redial function.

DIALING SIGNAL OPTION

M/B	Pulse Rate	M/B Ratio	Flash Time	
			SC9102D	SC9102C
Vss	10PPS	40:60	600ms	80ms
Vcc	10PPS	33:67	100ms	600ms
Open	20PPS	33:67	600ms	600ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

(Tamb=25°C, All voltage referenced to Vss, unless otherwise specified)

Characteristic	Symbol	Value	Unit
Power Supply Voltage	V_{DD}	6.0	V
Input Voltage	V_{IN}	-0.3~V_{DD}+0.3	V
Power Dissipation	PD	500	mW
Operating Temperature	Topr	-25~+70	°C
Storage Temperature	Tstg	-55~+150	°C

ELECTRICAL CHARACTERISTICS

(Tamb=25°C , V_{DD}=2.5V, fosc=3.579545MHz, unless otherwise specified)

Parameter		Symbol	Conditions	Min	Typ	Max	Unit
Operating Voltage		V_{DD}	Tone/Pulse	2.0		5.5	V
			Memory retension	1.0		5.5	
Operating Current		I_{OP}	Tone		0.6	2	mA
			Pulse, OFF-HOOK, Keypad entry, no load		0.2	0.6	
Standby Current		I_S	ON-HOOK, No keypad entry ,no load V_{DD}=1.0V		0.1	5	μA
Memory Retension Current		Imr			0.1	0.1	μA
Control Pin Input Low Voltage		Vil		VSS		0.3VDD	V
Control Pin Input High Voltage		Vih		0.7VDD		VDD	
$\overline{XMUTE}$ Pin Leakage Current		Imth	$V_{\overline{XMUTE}}$=12.0V			1	μA
$\overline{XMUTE}$ Pin Sink Current		Imtl	$V_{\overline{XMUTE}}$=0.5V	1			mA
$\overline{HKS}$ Pin Input Current		Ihks	Vhks=2.5V			0.1	μA
Keyboard Scanning Pin	Drive Current	Ikbd	Vn=0V (note1)	4	10	30	μA
	Sink Current	Ikbs	Vn=2.5 (note1)	200	400		
Key-in Debounce Time		tDB			20		ms
Pulse Mode							
Pulse Output Pin Leakage Current		Ipoh	Vpo=12V	--	--	1.0	μA
Pulse Output Pin Sink Current		Ipol	Vpo=0.5V	1.0	3.0	--	mA
Pulse Rate		fpr		--	10	--	pps
				--	20	--	
Make/Break Ratio		t_M: t_B		--	40:60	--	%
				--	33:66	--	

(to be continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(continued)

Parameter		Symbol	Conditions	Min	Typ	Max	Unit
Pre-digit Pause (Pulse rate=10pps)		t_{PDP}	M/B ratio=40:60	--	40	--	ms
			M/B ratio=33:66	--	33	--	
Pre-digit Pause (Pulse rate=20pps)		t_{PDP}	M/B ratio=40:60	--	20	--	ms
			M/B ratio =33:66	--	16.5	--	
Inter-digit Pause		t_{IDP}	Pulse rate=10pps	--	800	--	ms
			Pulse rate=20pps	--	600	--	
Tone Mode							
Tone Output Pin	DC Level	Vdc	V_{DD}=2.0V~5.5V	0.45V_{DD}	0.55V_{DD}	0.7V_{DD}	V
	Sink Current	Itl	Vdtmf=0.5V	0.15	--	--	mA
	AC level	Vdtmf	Row group, RL=10KΩ	120	150	180	mVrms
	Load Resistor	R1	Dist.<=-23dB	10	--	--	KΩ
DTMF Signal	Pre-emphasis	twist	V_{DD}=2.0~5.5 V	1	2	3	dB
	Distortion(note 2)	Dist.	RL=10KΩ	--	-30	-23	dB
Minimum tone duration Time		t_{TD}	Auto redial	--	100	--	ms
Minimum Intertone Pause Time		t_{ITP}	Auto redial	--	106	--	ms

Note: 1. Vn: Input voltage of any keyboard scanning pin (Row group, Column group)

2. Distortion (dB) = $20\log\{|V_1^2+V_2^2+V_3^2+\ldots Vn^2)^{1/2}|/|(V_L^2+V_H^2)^{1/2}|\}$

V_L,V_H: Row group and Column group signal

V1, V2..., Vn: Harmonic signal (BW = 300Hz~3500Hz)

ACTUAL FREQUENCY OUTPUT (fosc=3.579545MHz)

Keyboard Scanning Pin		Standard(Hz)	Output	Deviation(%)
R1	f1	697	699	+0.28
R2	f2	770	766	-0.52
R3	f3	852	848	-0.47
R4	f4	941	948	+0.74
C1	f5	1209	1216	+0.57
C2	f6	1336	1332	-0.30
C3	f7	1477	1472	-0.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

Pin No.	Pin Name	Description
15	$\overline{C1}$	*Provides keyboard scanning. * $\overline{HKS}$ pin is LOW, the column group stays in "HIGH" and row group stays in "LOW" state. *The keypad is compatible with the standard dual contact matrix keyboard (as figure1b), the inexpensive single contact keyboard (as figure 1a), and electronic input (as figure 1c). *When $\overline{HKS}$ is "LOW", a valid key entry is defined by related Row & Column connection or by electronic input. *Activation of two or more keys will result in no response, except for single key. *To avoid keyboard-bouncing error, this chip provides built-in debounce circuit. (The debounce time = 20ms)
16	$\overline{C2}$	
17	$\overline{C3}$	
18	$\overline{C4}$	
1	$\overline{R1}$	
2	$\overline{R2}$	
3	$\overline{R3}$	
4	$\overline{R4}$	
8	OSCI	*Oscillator input & output pins. *The 3.579545MHz oscillator is formed by a built-in inverter inside of this chip and by connecting a 3.579545MHz crystal or a ceramic resonator across the OSCI and OSCO pins. (built-in feedback resistor and capacitor) *When $\overline{HKS}$ is "LOW", a valid key-in may turn on this oscillator and generates a 3.579545 MHz clock.
9	OSCO	

Figure1a: Single contact form keyboard configuration

Figure1b: Dual contact form keyboard configuration

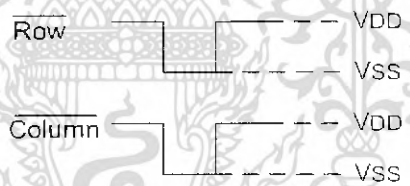


Figure1c: Electronic signal input keyboard configuration

(to be continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(continued)

Pin No.	Pin Name	Description
13	$\overline{\text{XMUTE}}$	*Mute output pins. *NMOS open drain output structure. *The output is in "LOW" state during dialing sequence (both Pulse and Tone mode) otherwise this pin is "high-impedance". *Long (continue) Mute.
11	VSS	*Negative power supply pin.
10	VDD	*Positive power supply pin.
5	$\overline{\text{HKS}}$	*Hook switch input pin. *When the handset is in ON-HOOK state, this pin must be pulled "high" in order to disable the dialing operation and decrease the power consumption. *When in OFF-HOOK state, the $\overline{\text{HKS}}$ pin must be pulled "low" state for all function operation.
14	$\overline{\text{PO}}$	*Pulse output signal pin. *NMOS open drain output structure. *The output is "LOW" during pulse dialing and Flash operation, otherwise this output is "floating".
12	TONE	*Dual Tone Multi-frequency output pin. *In TONE mode, when an entry of digit key (include *, # key), this pin will send out a corresponding DTMF signal. *The TONE pin provides minimum tone duration and minimum intertone pause time to support rapid key-in. If key-in time is less than 100ms, DTMF signal will last for 100ms; otherwise the tone duration will last as long as the key is pressed.
7	MODE	*Mode selection pin. *Three-state input structure. *This pin can select the three modes shown on the right.
6	M/B	*M/B ration selection pin. (The function seeing the Dialing signal option table)

MODE	Dialing mode
VDD	Pulse mode
Open	Pulse mode
VSS	Tone mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้