

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

กราฟิกอีควอลไลเซอร์โดยชิปดีเอสพี
GRAPHIC EQUALIZER BY DSP CHIP

โดย

นายชานนท์ ภิญญภัฏ
นายอัสวพงษ์ ทรัพย์พัฒน์

เลขหมู่.....
เลขทะเบียน.....62460
วัน,เดือน,ปี...1.8.ค.ศ...2549

b.....11620533
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟิกอีควอไลเซอร์โดยชิปดีเอสพี
GRAPHIC EQUALIZER BY DSP CHIP



ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ ปีการศึกษา 2548

ภาควิชาอิเล็กทรอนิกส์

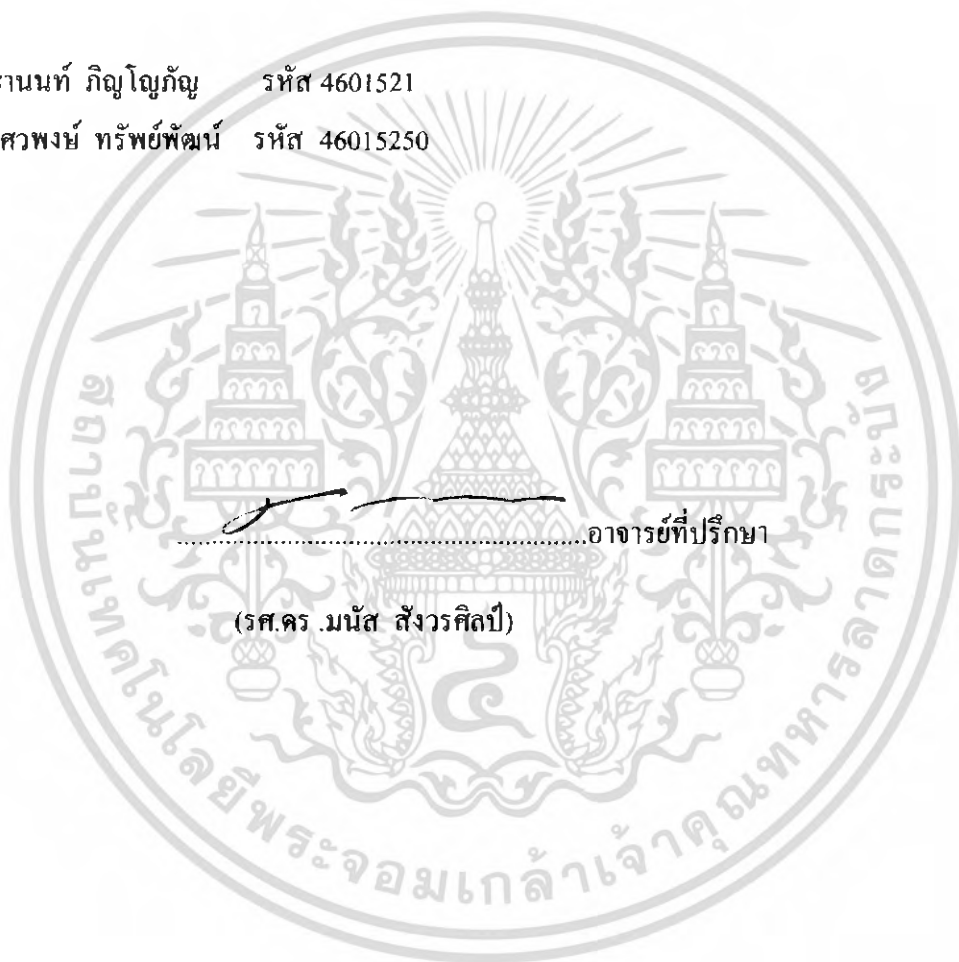
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง กราฟิกอีควอลไลเซอร์โดยชิปดีเอสพี (Graphic Equalizer by DSP chip)

ผู้จัดทำ

1. นาย ชานนท์ ภิญญัญญู รหัส 4601521

2. นาย อัสวพงษ์ ทรัพย์พัฒน์ รหัส 46015250



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟิกอีควอลไลเซอร์โดยชิปดีเอสพี
(Graphic Equalizer by DSP chip)

1. นาย ชานนท์ ภิญญักญ์ รหัส 46015215
2. นาย อิศวพงษ์ ทรัพย์พัฒน์ รหัส 46015250

โครงการนี้ได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการตรวจสอบได้



(รศ.ดร. มนัส สัจจวิเศษ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟิกอ็ควอลไลเซอร์

นายชานนท์ ภิญญักญ รหัศ 46015215
นายอ็ศวพงษ์ ทรัพย์พัฒน์ รหัศ 46015250
รศ.ดร.มนัส สัจวรศิลป์ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2548

บทคัดย่อ

โครงการฉบับนี้เป็นการศึกษาและการออกแบบอีกด้านหนึ่งของกระบวนการและหลักการทางดิจิตอลอ็ควอลไลเซอร์ ซึ่งได้ใช้ chip TAS3004 ซึ่งมีฟังก์ชันในการประมวลผลสัญญาณดิจิตอลอ็ควอลไลเซอร์ในรูปแบบต่างๆ โดยโครงการฉบับนี้เน้นการศึกษาในด้านการทดลองใช้งานและการควบคุมโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งสามารถนำไปประยุกต์ใช้งานในลักษณะต่างๆ ได้หลายอย่าง เช่น การสร้างกราฟิกอ็ควอลไลเซอร์ ระบบเสียงดิจิตอล โดยอาศัยหลักการและองค์ประกอบทางความรู้ด้านดิจิตอล ซึ่งได้แก่ การประมวลผลสัญญาณเชิงเลข หรือ DSP (Digital Signal Processing) ตัวกรองแบบเชิงเลข (Digital Filter) มาใช้เพื่อวิเคราะห์และควบคุมการทำงานของบอร์ด โดยในโครงการนี้จะกล่าวถึงเนื้อหาโดยสรุปถึงสิ่งที่ศึกษาได้ซึ่งเป็นประโยชน์สำหรับผู้สนใจที่จะนำไปประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Graphic Equalizer by DSP chip

Mr.Chanon Pinyopun ID 46015215

Mr.Assawapong Sappap ID 46015250

Assoc.Prof.Dr. Manus Sangworasilp (Advisor)

Education Year 2005

Abstract

This project is a part of design and studying in performance and principle of digital audio with Chip TAS3004 function in process digital audio signal with many format. The project of this project is focus of studying in experimentation and control with microcontroller to control the performance. This able to apply with many type of operation such as graphic equalizer fabrication, digital sound system by the principle and the factor of digital comprehension consist of digital signal processing (DSP), digital filter to use for analyze and control . In this project refers to briefly essence of studying which useful for other application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงการฉบับนี้จะสำเร็จลุล่วงไปด้วยดีไม่ได้เลย ถ้าหากขาดความกรุณาจากคณะอาจารย์ โดยเฉพาะอย่างยิ่งอาจารย์ที่ปรึกษา คือ รศ.ดร.มนัส สัจจวิมล ที่ให้ความรู้ คำแนะนำ และแนวทางต่างๆ มาโดยตลอด รวมทั้งต้องกล่าวขอบคุณรุ่นพี่ปริญญาโท และเพื่อนๆทุกคนที่ร่วมงาน และให้ความช่วยเหลือด้วยดีเสมอมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

| เรื่อง | หน้า |
|---|------|
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 3 |
| 2.1 ระบบอ็ควอลไอเซอร์ | 3 |
| 2.2 ชนิดของอ็ควอลไอเซอร์ | 3 |
| 2.2.1 กราฟอ็ควอลไอเซอร์ | 3 |
| 2.2.2 พารามetri อ็ควอลไอเซอร์ | 5 |
| 2.2.3 พารากราฟอ็ควอลไอเซอร์ | 5 |
| 2.2.4 ดิจิตอลอ็ควอลไอเซอร์ | 5 |
| 2.3 การประมวลผลสัญญาณ (Signal processing) | 6 |
| 2.3.1 โครงสร้างของระบบประมวลผลสัญญาณเชิงเลข (Structure of Digital Signal Processing) | 6 |
| 2.3.2 สัญญาณและระบบ | 8 |
| 2.3.3 การสุ่มหน้าคลื่น (Sampling of Waveform) | 10 |
| 2.3.4 การควอนไทซ์ (Quantization) | 13 |
| 2.4 ทฤษฎีไมโครคอนโทรลเลอร์ | 15 |
| 2.4.1 คุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51 | 16 |
| 2.4.2 การจับขาคของไมโครคอนโทรลเลอร์ตระกูล MCS-51 | 16 |
| 2.4.3 วิธีการเข้าถึงข้อมูล | 19 |
| 2.4.4 การเชื่อมต่อพอร์ตอนุกรมของคอมพิวเตอร์ | 19 |
| 2.4.5 ความรู้เบื้องต้นเกี่ยวกับ I ² C | 21 |
| 2.5 TAS3004 | 26 |
| 2.5.1 การประมวลผลสัญญาณ (Signal Processing) | 28 |
| 2.5.2 Biquad Block | 29 |
| 2.5.3 Loudness Contour | 29 |
| 2.5.4 Dynamic Range Compression/Expansion (DRCE) | 30 |
| 2.5.5 รูปแบบของตัวเลข (Numeric Format) | 31 |
| บทที่ 3 การออกแบบและการสร้าง | 32 |
| 3.1 วงจรการทำงานของ TAS3004 | 34 |

สารบัญ(ต่อ)

| เรื่อง | หน้า |
|--|------|
| 3.2 การโปรแกรมควบคุมการทำงาน TAS3004 | 34 |
| 3.3 การออกแบบและการสร้างกราฟิกอิเล็กทรอนิกส์ | 35 |
| บทที่ 4 การทดลองและผลการทดลอง | 38 |
| 4.1 การทดลอง | 38 |
| 4.2 ผลการทดลอง | 39 |
| 4.3 การทดลองระดับเสียงทุ้ม | 41 |
| 4.4 การทดลองระดับเสียงแหลม | 42 |
| บทที่ 5 สรุปและวิจารณ์ผลการทดลอง | 44 |
| ภาคผนวก | |
| กิตติกรรมประกาศ | |
| เอกสารอ้างอิง | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

| รูปที่ | หน้า |
|---|------|
| 1.1 แสดงบล็อกไดอะแกรมของการประมวลผลสัญญาณเชิงเลขหรือคิจิตอล ซิกแนลโปรเซสซิง(Digital Signal Processing:DSP) | 2 |
| 2.1 แสดงการเปรียบเทียบ Block diagram ของการประมวลผลสัญญาณเชิงอุปมาน และการประมวลผลสัญญาณเชิงเลข | 6 |
| 2.2 แสดงระบบการประมวลผลสัญญาณเชิงเลข | 7 |
| 2.3 แสดงส่วนเปลี่ยนสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข | 8 |
| 2.4 แสดง (ก) สัญญาณที่ต่อเนื่อง (ข) สัญญาณที่ไม่ต่อเนื่อง | 9 |
| 2.5 แสดง (ก) สัญญาณเชิงอุปมาน (ข) สัญญาณเชิงเลข | 9 |
| 2.6 แสดงสัญญาณในเชิงความถี่ที่เกิดขึ้นเมื่อใช้ F_s ต่ำกว่า $2F_{max}$ | 11 |
| 2.7 แสดงรูปแบบของสัญญาณที่เกิดขึ้นเนื่องจากการทำการสุ่มหน้าคลื่น | 12 |
| 2.8 แสดงการ Sampling สัญญาณที่ต่อเนื่องมาเป็นสัญญาณที่คิจิตอลโดย A/D และแปลงกลับเป็นสัญญาณเดิมโดยใช้ D/A | 13 |
| 2.9 แสดงทรานเซอร์ฟังก์ชันของ quantization 16 bit | 14 |
| 2.10 แสดงความผิดพลาดที่เกิดขึ้นจากการควอนไทซ์ | 15 |
| 2.11 แสดงตำแหน่งขาของไมโครคอนโทรลเลอร์ MCS-51 | 17 |
| 2.12 รายละเอียดเบื้องต้นของ ไอซีแปลงสัญญาณเพื่อเชื่อมต่อกับพอร์ตอนุกรม ของคอมพิวเตอร์ | 20 |
| 2.13 วงจรเชื่อมต่อ MAX232 หรือ ICL232 เข้ากับพอร์ตอนุกรมของคอมพิวเตอร์ และไมโครคอนโทรลเลอร์ | 21 |
| 2.14 หังแสดงการเชื่อมต่อของอุปกรณ์ต่างๆ บนระบบบัส | 22 |
| 2.15 แสดงการต่อตัวต้านทาน R_s เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามา ในบัส I ² C | 23 |
| 2.16 แสดงไดอะแกรมเวลาของสถานะต่างๆ ในบัส I ² C | 25 |
| 2.17 แสดง Block Diagram ของ TAS3004 | 27 |
| 2.18 แสดง Terminal Assignment ของ TAS3004 | 28 |
| 2.19 แสดง Digital Signal Processing Block Diagram ของ TAS3004 | 29 |
| 2.20 Biquad Cascade Configuration | 29 |

สารบัญรูปภาพ (ต่อ)

| รูปที่ | หน้า |
|--|------|
| 2.21 แสดง Block Diagram ของ loudness contour | 30 |
| 2.22 แสดง Dynamic Range Compression/Expansion | 31 |
| 3.1 แสดงส่วนของวงจรภาคแหล่งจ่ายไฟ | 33 |
| 3.2 แสดงส่วนของวงจร RS-232 | 33 |
| 3.3 แสดงส่วนของวงจรไมโครคอนโทรลเลอร์ | 34 |
| 3.4 แสดงการควบคุมโดยการใช้ Microcontroller | 35 |
| 3.5 แสดงคุณสมบัติการตอบสนองความถี่ในช่วงความถี่ต่างๆ | 36 |
| 3.6 แสดงการออกแบบแผ่น PCB | 37 |
| 3.7 แสดงเครื่องกราฟิกออสซิลอไซเซอร์ | 37 |
| 4.1 แสดง Block Diagram การทดสอบคุณสมบัติการตอบสนองความถี่ | 38 |
| 4.2 แสดง Block Diagram การไปใช้งานจริง | 39 |
| 4.3 คุณสมบัติเบื้องต้นในการตอบสนองความถี่จากโปรแกรม ALE | 39 |
| 4.4 คุณสมบัติเบื้องต้นในการตอบสนองความถี่จากการวัดจริง | 40 |
| 4.5 การตอบสนองความถี่ของกราฟิกออสซิลอไซเซอร์จากโปรแกรม ALE | 40 |
| 4.6 การตอบสนองความถี่ของกราฟิกออสซิลอไซเซอร์จากการวัดจริง | 41 |
| 4.7 แสดงตัวอย่างผลการทดลองการควบคุมระดับเสียงหุ้ม | 42 |
| 4.8 แสดงตัวอย่างผลการทดลองการควบคุมระดับเสียงแหลม | 43 |

สารบัญตาราง

| ตารางที่ | หน้า |
|---|------|
| 2.1 แสดงช่วงความถี่แบบ 1 ออกเตฟ และ 1/3 ออกเตฟ ตามมาตรฐาน ISO | 5 |
| 2.2 แสดงโครงสร้างตัวเลขรูปแบบ 4.20 | 29 |
| 3.1 แสดงค่าความถี่กลางที่ช่วงต่างๆ | 36 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

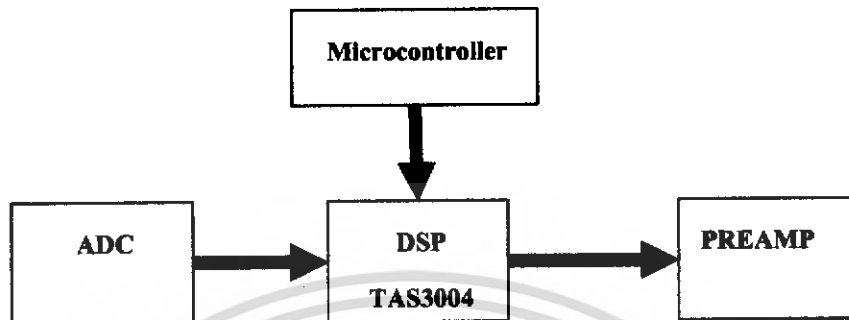
โครงการนี้เป็นการศึกษากระบวนการหลักการของดิจิทัลลอจิกอินทิเกรตจนถึงการนำไปประยุกต์ใช้งาน โดยใช้การประมวลผลสัญญาณเชิงเลขหรือดิจิทัลซิกแนลโปรเซสซิง(Digital Signal Processing: DSP) เป็นการใช้ความรู้ทางคณิตศาสตร์แบบดิจิทัลมาจัดการสัญญาณต่างๆซึ่งมีบทบาทสำคัญในระบบอิเล็กทรอนิกส์ในปัจจุบันอย่างยิ่ง จนนำมาประยุกต์ใช้งานอย่างกว้างขวางเนื่องจากกระบวนการทางดิจิทัล เป็นการออกแบบระบบซอฟต์แวร์ จึงสามารถสร้างและประมวลสัญญาณต่างๆเพื่อให้ได้ผลตามต้องการได้ง่าย ในขณะที่การจัดการสัญญาณรบกวน ซึ่งในกระบวนการปกติเป็นได้ทั้งขบวนการเชิงเส้นหรือไม่เชิงเส้น จะมีอุปกรณ์ช่วยในการประมวลผลมากมาย เช่น ตัวต้านทาน ตัวเก็บประจุ ทรานซิสเตอร์ ออปแอมป์ และอุปกรณ์อิเล็กทรอนิกส์ต่างๆ นอกจากนี้อุปกรณ์ที่เกี่ยวข้องเกี่ยวกับการประมวลผลสัญญาณดิจิทัลมีราคาถูกและทำงานได้รวดเร็วขึ้น การประยุกต์ใช้งานที่พบเห็นได้มากได้แก่เรื่องต่างๆต่อไปนี้

- การแปลงฟูเรียร์ทรานฟอร์มแบบไม่ต่อเนื่องอย่างรวดเร็ว (Fast Fourier Transform:FFT)
- ฟิลเตอร์อีคลอโลเซอร์และตัวเลื่อนเฟส
- มิกเซอร์มอดูเลเตอร์และตัวเปรียบเทียบเฟส
- วงจรกำเนิดสัญญาณออสซิลเลเตอร์ปรับค่าได้และแหล่งสัญญาณรบกวน
- อุปกรณ์ไม่เชิงเส้นลิมิตเคอร์คอมพาสเตเตอร์
- การควบคุมวงจรควบคุมต่างๆเซอร์โว
- วงจรประมวลผลสัญญาณภาพเสียงพูด

ชิป TAS3004 มีฟังก์ชันการประมวลผลในรูปแบบต่างๆ โดยชิปนี้สามารถทำงานได้ตามที่เราต้องการ ได้เช่น ควบคุมแถบความถี่หรือเลือกความถี่ที่ต้องการและปรับแต่งคุณลักษณะทางเสียงให้มีสุนทรีย์ในการฟัง ซึ่งการควบคุมการทำงานของTAS3004 จะควบคุมโดยทำการเขียนซอฟต์แวร์ติดต่อไมโครคอนโทรลเลอร์ไปควบคุมการทำงานของชิป TAS3004

ในโครงการฉบับนี้เน้นการศึกษาในการทดลองใช้งานและการควบคุมการทำงานของTAS3004 โดยอาศัยไมโครคอนโทรลเลอร์ควบคุมการทำงานไปยังชิป TAS3004 บนบอร์ดผ่าน SPI พอร์ตเพื่อควบคุมการทำงานของบอร์ด ซึ่งรูปที่แบบการทำงานจะมีสายส่งสัญญาณ 2 เส้น ที่เรียกว่า IC (Inter-IC Communication) โดยอาศัยการอ้างอิงผ่านสายสัญญาณ 2 เส้นคือ SDA, SCL ซึ่งการใช้ไมโครคอนโทรลเลอร์ในการทำงานนี้ทำให้เราสามารถควบคุมบอร์ดโดยไม่ต้องใช้คอมพิวเตอร์ ทำให้สามารถนำมาประยุกต์ใช้งานอย่างกว้างขวางขึ้น เช่น ในระบบเครื่องเสียงรถยนต์ เครื่องเสียงภายในบ้าน เนื่องจากบอร์ดนี้มีความสามารถในการทำงานค่อนข้างกว้าง ซึ่งในโครงการฉบับนี้ได้

ศึกษาการควบคุมบอร์ดได้เพียงส่วนเท่านั้น รูปแบบของของการทำงานเขียนเป็นบล็อกโคอะแกรม
ได้ดังรูปที่ 1.1



รูปที่ 1.1 แสดงบล็อกโคอะแกรมของการประมวลผลสัญญาณเชิงเลขหรือดิจิตอลซิกแนลโปรเซสซิง (Digital Signal Processing:DSP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 ระบบอีควอลไลเซอร์

อีควอลไลเซอร์ คือ อุปกรณ์ที่ใช้วัดการสูญเสีย เพื่อที่จะเปลี่ยนผลตอบสนองเชิงความถี่ของสัญญาณที่ผ่านเข้ามา เพื่อชดเชยการสูญเสียความถี่บางช่วงในระบบเครื่องเสียง ระบบเสียงเหล่านี้ ได้แก่ ระบบบันทึกและเพลย์แบค ระบบเสียงสาธารณะ หรือกระทั่งระบบเสียงไฮไฟท์ คำว่า Equalizer มาจากความหมายว่า การต้องการสร้างสัญญาณให้เท่ากับสัญญาณต้นแบบเดิม วัดอุปสรรคที่เราใช้งานอีควอลไลเซอร์แบ่งเป็น 2 แบบคือแบบแก้ไขสัญญาณให้ถูกต้องและแบบเพิ่มคุณภาพการทำงาน

อีควอลไลเซอร์แบบแก้ไขสัญญาณ จะใช้ในระบบบันทึกเสียงในอุปกรณ์เสียงระบบดิจิทัล ตัวอย่างของการใช้งาน คือการใช้วงจรมีแอมป์ในเทปคาสเซตทั้งตอนบันทึกและตอนเพลย์แบค ขบวนการนี้ใช้มานานแล้วซึ่งจำเป็นต้องมีเพื่อชดเชยความถี่บางช่วงที่สูญเสียในขบวนการบันทึก อีควอลไลเซอร์เพื่อเพิ่มคุณภาพสัญญาณ อีควอลไลเซอร์แบบนี้เป็นที่รู้จักกันทั่วไปในงานบันทึกดนตรีเพื่อใช้ในการเน้นหรือเสริมแต่งดนตรีบางชิ้นเป็นพิเศษ เช่น ในกรณีต้องการบันทึกดนตรีจากเครื่องดนตรี 2 ชิ้น ลงในแทร็คเดียวกันเราอาจใช้อีควอลไลเซอร์ก่อนการบันทึกเพื่อเน้นเสียงดนตรีหนึ่งให้ดูชัดเจนยิ่งขึ้นเช่นเป็นเสียงกลองเป็นต้น

2.2 ชนิดของอีควอลไลเซอร์

โดยหลักการแล้วอีควอลไลเซอร์ทุกชนิดล้วนทำงานในแบบเดียวกัน แต่จะประกอบด้วยวงจรกรองความถี่ต่างๆ จำนวนหนึ่งเพื่อตัดทอนหรือกระชับสัญญาณช่วงความถี่หนึ่งๆ ในแถบสเปกตรัมเสียงอีควอลไลเซอร์ที่ใช้กันอยู่ทั่วไปมีหลายแบบได้แก่

2.2.1 กราฟิกรีอีควอลไลเซอร์

เป็นอีควอลไลเซอร์แบบที่นิยมใช้กันมากที่สุดนิยมใช้กันในระบบเครื่องเสียงภายในบ้าน ทั่วๆ ไปกราฟิกรีอีควอลไลเซอร์จะประกอบด้วยวงจรกรองความถี่ชุดหนึ่ง เพื่อทำการลดทอนหรือเพิ่ม ขนาดสัญญาณเฉพาะช่วงความถี่กลางปริมาณการตัดหรือเพิ่มขึ้น จะขึ้นอยู่กับปุ่มควบคุม การแบ่งขอยย่อยแถบความถี่การควบคุมแล้วแต่ช่วงเท่าของความถี่กลาง เช่น แบบ 1/3 ออกเคฟ เป็นต้น ช่วงความถี่ต่างๆ ที่เรานิยมใช้จะมีมาตรฐานเป็นตัวกำหนด เราเรียกมาตรฐานนี้ว่า ISO (International Standards Organization) แสดงค่าดังตารางต่อไปนี้

| ลำดับที่ตาม ISO | ค่าความถี่กลาง (Hz) | ช่วงความถี่ 1/3 ออกเตฟ (Hz) | ช่วงความถี่ 1 ออกเตฟ |
|-----------------|------------------------|-----------------------------|----------------------|
| 13 | 20 | 17.8-22.4 | |
| 14 | 25 | 22.4-28.2 | |
| 15 | 31.5 | 28.2-35.5 | 22.4-44.7 |
| 16 | 40 | 35.5-44.7 | |
| 17 | 50 | 44.7-56.2 | |
| 18 | 63 | 56.2-70.8 | 44.7-89.1 |
| 19 | 80 | 70.8-89.1 | |
| 20 | 100 | 89.1-112 | |
| 21 | 125 | 112-141 | 89.1-178 |
| 22 | 160 | 141-178 | |
| 23 | 200 | 178-224 | |
| 24 | 250 | 224-282 | 178-355 |
| 25 | 315 | 282-355 | |
| 26 | 400 | 355-447 | |
| 27 | 500 | 447-562 | 355-708 |
| 28 | 630 | 562-708 | |
| 29 | 800 | 708-891 | |
| 30 | 1000 | 891-1120 | 708-1410 |
| 31 | 1250 | 1120-1410 | |
| 32 | 1600 | 1410-1780 | |
| 33 | 2000 | 1780-2240 | 1410-2820 |
| 34 | 2500 | 2240-2820 | |
| 35 | 3150 | 2820-3550 | |
| 36 | 4000 | 3550-4470 | 2820-5620 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | |
|----|-------|-------------|-------------|
| 37 | 5000 | 4470-5620 | |
| 38 | 6300 | 5620-7080 | |
| 39 | 8000 | 7080-8910 | 5620-11200 |
| 40 | 10000 | 8910-11200 | |
| 41 | 12500 | 11200-14100 | |
| 42 | 16000 | 14100-17800 | 11200-22400 |
| 43 | 20000 | 17800-22400 | |

ตารางที่ 2.1 แสดงช่วงความถี่แบบ 1 ออกเตฟ และ 1/3 ออกเตฟ ตามมาตรฐาน ISO

2.2.2 พารามetri อีควอลไลเซอร์

ในวงจรอีควอลไลเซอร์ชนิดนั้นนอกจากมีการควบคุมช่วงคัทหรือเพิ่มระดับสัญญาณในวงจรกรองฟิลเตอร์ในแต่ละจุดแล้ว อีควอลไลเซอร์แบบนี้ยังมีปุ่มแยกเพื่อใช้ในการควบคุมสำหรับความถี่กลางของฟิลเตอร์ค่า Q และขนาดของแบนด์วิธ อย่างไรก็ตามก็ปรับปรุงควบคุมเพิ่มลดของฟิลเตอร์เหล่านี้มักใช้เป็นปุ่มหมุนแทนแบบสไลด์ อีควอลไลเซอร์แบบนี้จึงมีการใช้งานที่ยุ่งยากกว่าแบบกราฟิกและยังมีราคาแพงกว่า

2.2.3 พารากราฟิกอีควอลไลเซอร์

อีควอลไลเซอร์แบบนี้เป็นลูกผสมระหว่างอีควอลไลเซอร์แบบกราฟิกและพารามetri กล่าวคือ ไม่เหมือนกับพารามetri อีควอลไลเซอร์ตรงที่มีปุ่มควบคุมแยกปรับค่าแบนด์วิธค่า Q และค่าความถี่ของฟิลเตอร์แต่ละจุดแทนที่จะใช้เพื่อปรับแบบโรตารีก็มาใช้เพื่อแบบเลื่อนขึ้นลงในการควบคุม อัตราขยายของวงจรฟิลเตอร์แต่ละตัวแทนทำให้มีขอบเขตการใช้งานกว้างขวางในขณะที่เดียวกันจะมองเห็นช่วงการปรับแต่งความถี่ได้ง่ายจากหน้าปัดเครื่อง

2.2.4 ดิจิตอลอีควอลไลเซอร์

เป็นการใช้ CPU มาควบคุม ปกติจะมีอินพุตและเอาต์พุตให้ทั้งแบบดิจิตอลและแบบอนาลอก ข้อดีของอีควอลไลเซอร์แบบนี้คือ ความสามารถในการเปลี่ยนโปรแกรมได้ ความถี่ต่างๆ ที่กำหนดสามารถดูได้จากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การประมวลผลสัญญาณ (Signal processing)

การประมวลผลสัญญาณคือการนำสัญญาณมาปรับปรุง หรือเปลี่ยนรูป เพื่อประโยชน์ในการสื่อสารความหมาย การตีความ และการตัดสินใจ การควบคุมการประมวลผลสัญญาณนั้นอาจกระทำโดยตรงต่อสัญญาณ เช่น การขยาย (หรือลดทอน) การกรอง อาจมีการเปลี่ยนรูปแบบของสัญญาณไปก่อน เช่น การประมวลผลในแบบเชิงเลข และการประมวลผลในโดเมนที่ต่างออกไป พึงสังเกตว่าแม้จะมีการเปลี่ยนการ



รูปที่ 2.1 แสดงการเปรียบเทียบ Block diagram ของการประมวลผลสัญญาณเชิงอุปมานและการประมวลผลสัญญาณเชิงเลข

2.3.1 โครงสร้างของระบบประมวลผลสัญญาณเชิงเลข (Structure of Digital Signal Processing)

เนื่องจากธรรมชาติของสัญญาณโดยทั่วไป เป็นการเปลี่ยนแปลงของปริมาณกายภาพที่มีความต่อเนื่อง การประมวลผลสัญญาณแบบเชิงเลขจึงต้องอาศัยส่วนเปลี่ยนสัญญาณอนาลอกเป็นดิจิทัล (Analog to Digital Converter , ADC) ก่อนแล้วจึงทำการประมวลเมื่อประมวลผลแล้วอาศัยส่วนเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก (Digital to Analog Converter , DAC) อีกทีหนึ่ง



รูปที่ 2.2 แสดงระบบการประมวลผลสัญญาณเชิงเลข

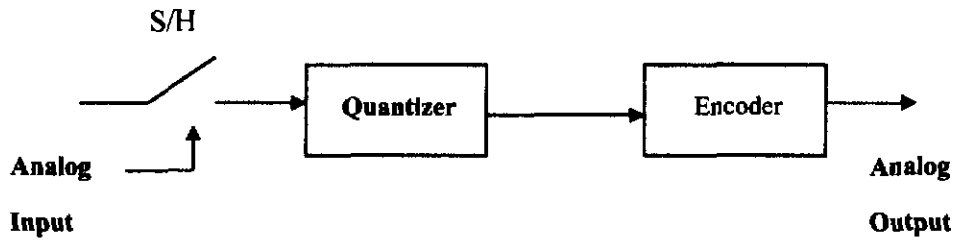
1. ประมวลผลแบบเชิงเลข

การประมวลผลสัญญาณในระบบเชิงเลขสามารถที่จะดำเนินการได้ทั้งทางฮาร์ดแวร์และซอฟต์แวร์หากประมวลโดยฮาร์ดแวร์ก็อาจมีได้หลายระดับขึ้นอยู่กับ

1. วงจรพื้นฐาน เช่น เกท และสวิตช์
2. ส่วนประกอบของวงจรพื้นฐาน เช่น รีจิสเตอร์ และวงจรวก เป็นต้น
3. วงจรที่ซับซ้อนมากขึ้น เช่น หน่วยความจำ
4. วงจรที่ซับซ้อนมาก เช่น วงจรคูณ และ ส่วนทำงานคณิตศาสตร์ (ALU)
5. วงจรควบคุมอื่นๆ เช่น สัญญาณนาฬิกา วงจรอินเทอร์เฟส วงจรแปลงอนาลอกและดิจิทัล
6. ตัวประมวลผลเฉพาะสำหรับการประมวลผลเชิงเลข (DSP Processor)

2. ส่วนเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณเชิงเลข

สัญญาณโดยทั่วไปเป็นสัญญาณที่ต่อเนื่องหรือก็คือสัญญาณอนาลอก หรือสัญญาณเชิงอนุมาณนั่นเอง การประมวลผลเชิงเลขจึงต้องอาศัยหลักการเปลี่ยนจากสัญญาณอนาลอกเป็นสัญญาณเชิงเลข (Analog to Digital Converter, ADC) วงจรจะรับสัญญาณอนาลอกมาทางอินพุต และเปลี่ยนให้อยู่ในรูปของบิตรวมกัน (คำ : word) จำนวนบิตในหนึ่งคำจะบอกถึงความละเอียดที่ระบุถึงขนาดของสัญญาณอนาลอก ส่วนการเปลี่ยนจากสัญญาณอนาลอกเป็นสัญญาณเชิงเลขจะประกอบด้วยส่วนหลัก 3 ส่วน คือ ส่วนสุ่มตัวอย่างสัญญาณ (Sample & Hold, S/H) ส่วนจัดลำดับสัญญาณ (Quantiser, Q)



รูปที่ 2.3 แสดงส่วนเปลี่ยนสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข

2.3.2 สัญญาณและระบบ

สัญญาณและประเภทของสัญญาณ (Signal & Classification of Signal)

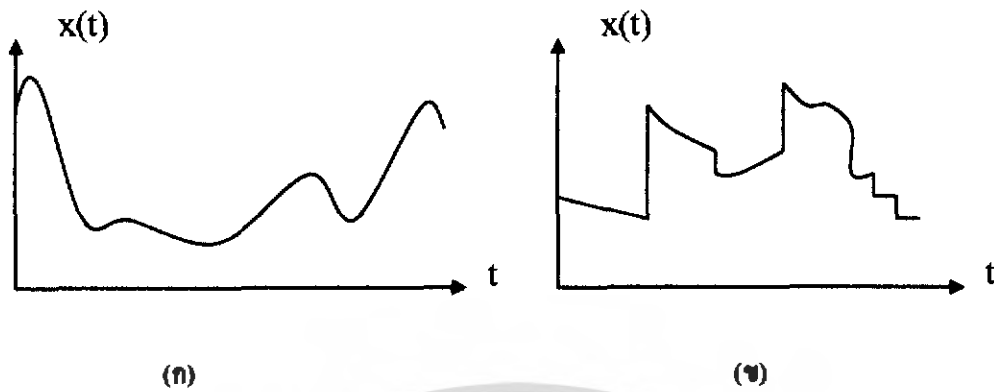
สัญญาณก็คือฟังก์ชันที่ใช้แทนปริมาณทางกายภาพ ซึ่งโดยทางคณิตศาสตร์แล้วสัญญาณมักแทนด้วยฟังก์ชันที่มีตัวแปรอิสระคือ t ซึ่งในความหมายของ t คือเวลาดังนั้นสัญญาณจึงมักเขียนแทนโดย $x(t)$ ในทางวิศวกรรมไฟฟ้ามักแทนสัญญาณด้วยแรงดันหรือกระแส

1. สัญญาณที่มีความต่อเนื่องและสัญญาณเต็มหน่วย

สัญญาณ $x(t)$ จะถือว่าเป็นสัญญาณต่อเนื่อง (Continuous-time Signal) เมื่อ t เป็นตัวแปรที่มีความต่อเนื่อง ถ้า t เป็นตัวแปรที่ไม่ต่อเนื่องหรือตัวแปรที่ขาดช่วง $x(t)$ ก็จะเป็นสัญญาณขาดช่วง (Discontinuous-time Signal) เมื่อสัญญาณขาดช่วงและนิยามขนาดในเวลาที่ขาดช่วงนั้นเป็นขนาดเต็มหน่วย ก็จะเรียกว่า สัญญาณเต็มหน่วย (Discrete-time Signal) ในบางครั้งสัญญาณดังกล่าวจึงมักนิยามในลักษณะชุดแถว (Sequence) ของตัวเลขซึ่งเขียนโดย $\{x(n)\}$ หรือ $x[n]$ เมื่อ n คือเลขจำนวนเต็ม หาก

$$x(t) \Big|_{t=t_0^-} \quad x(t) \Big|_{t=t_0} \quad x(t) \Big|_{t=t_0^+}$$

สัญญาณต่อเนื่องจะมีอนุพันธ์ที่เป็นสัญญาณต่อเนื่องเช่นกัน สัญญาณที่ไม่เข้าเงื่อนไขดังกล่าวนี้ถือว่าไม่เป็นสัญญาณต่อเนื่อง

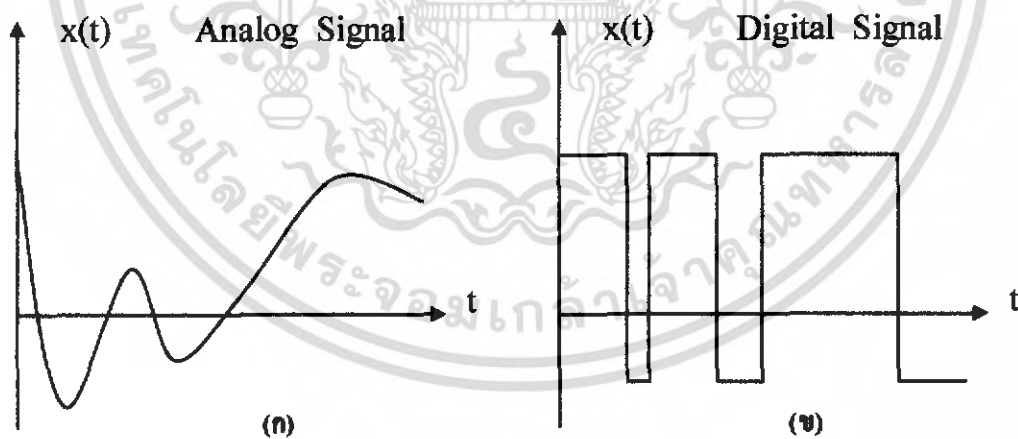


รูปที่ 2.4 แสดง (ก) สัญญาณที่ต่อเนื่อง (ข) สัญญาณที่ไม่ต่อเนื่อง

2. สัญญาณเชิงอุปมานและสัญญาณเชิงเลข

หากสัญญาณต่อเนื่อง $x(t)$ มีค่าที่อยู่ในช่วงที่มีความยาวต่อเนื่อง (a, b) ซึ่ง a อาจมีค่าลบอนันต์ และ b อาจมีค่าบวกอนันต์ สัญญาณ $x(t)$ นี้ก็จะเรียกว่าสัญญาณเชิงอุปมาน (Analog Signal) ถ้าหากสัญญาณขาดช่วง $x[n]$ มีค่าได้เพียงค่าจำกัดที่แตกต่างกัน สัญญาณนั้นก็จะเรียกว่าสัญญาณเชิงเลข

เนื่องจากสัญญาณขาดช่วง $x[n]$ มักจะได้จากการสุ่มสัญญาณต่อเนื่อง $x(t)$ จึงได้ $x[n] = x[nT_s]$ เมื่อช่วงเวลการสุ่ม (Sampling Interval)



รูปที่ 2.5 แสดง (ก) สัญญาณเชิงอุปมาน (ข) สัญญาณเชิงเลข

3. สัญญาณที่ระบุได้และสัญญาณที่ระบุไม่ได้

สัญญาณที่ระบุได้ (Deterministic Signal) ก็คือสัญญาณที่สามารถที่จะระบุค่าได้อย่างแน่นอนไม่ว่าจะเป็นเวลาใดๆ ส่วนสัญญาณที่ระบุไม่ได้ (Random Signal) ก็คือสัญญาณที่ไม่สามารถระบุค่าได้อย่างชัดเจน แต่พอที่จะแยกแยะได้โดยวิธีทางสถิติ

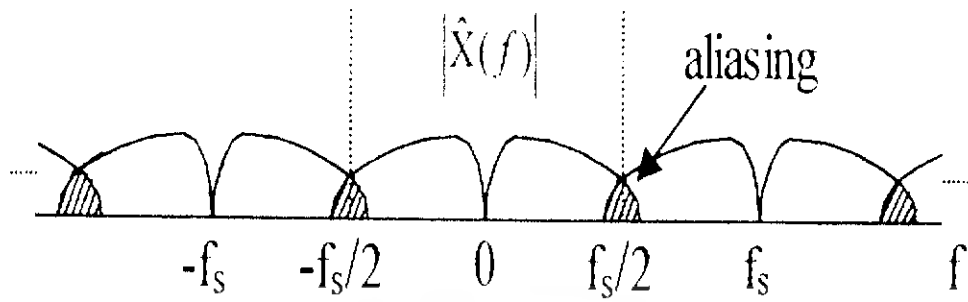
2.3.3 การสุ่มหน้าคลื่น (Sampling of Waveform)

การเก็บตัวอย่าง (sampling) เกิดขึ้นเนื่องจากสัญญาณเสียงที่เป็นสัญญาณดิจิทัลแตกต่างจากสัญญาณอนาล็อกที่เป็นสัญญาณที่มีความต่อเนื่อง โดยในการบันทึกเสียงเป็นสัญญาณอนาล็อกนั้นเราจะใช้ไมโครโฟนในการเปลี่ยนคลื่นความดันบรรยากาศไปเป็นระดับแรงดันไฟฟ้า จากนั้นจะเก็บสัญญาณไฟฟ้านี้ในรูปของสนามแม่เหล็กบนวัสดุแม่เหล็กเช่น cassette tape ซึ่งสัญญาณที่ได้จะเป็นสัญญาณอนาล็อกที่มีความต่อเนื่อง โดยหากเราต้องการอัดเสียงจากเทปม้วนหนึ่งลงอีกม้วนหนึ่งเราจะต้องทำการแปลงสัญญาณแม่เหล็กให้กลับมาเป็นสัญญาณไฟฟ้า จากนั้นก็บันทึกสัญญาณไฟฟ้านี้ให้เป็นสัญญาณแม่เหล็กบนเทปอีกม้วน โดยขั้นตอนในการแปลงสัญญาณไปมานี้จะทำให้เกิดเสียงรบกวน (noise) แทรกอยู่กับเสียงที่ต้องการ ซึ่งการบันทึกเสียงแบบดิจิทัลจะต่างออกไป โดยสัญญาณเสียงจะมีลักษณะที่ไม่ต่อเนื่องอันเกิดจากการสุ่มหน้าคลื่น (Sampling of waveform) โดยการสุ่มหน้าคลื่นเพื่อคว่าในสัญญาณในขณะนั้นมี amplitude เท่าไร ซึ่งอัตราในการสุ่มหน้าคลื่นนี้ เรียกว่า sampling rate เช่น 44.1 KHz sampling หมายความว่า จะทำการสุ่มข้อมูล 44,100 ครั้งต่อวินาที ทำให้ได้ข้อมูลของ amplitude ของสัญญาณทั้งสิ้น 44,100 ข้อมูลในเวลา 1 วินาที โดยรูปแบบของสัญญาณที่ทำการสุ่มหน้าคลื่นนั้นสามารถแสดงได้ ดังรูปที่ 2.7

ทฤษฎีของการสุ่มสัญญาณกล่าวไว้ว่า ถ้าสัญญาณที่ต้องการสุ่มมีความถี่สูงสุด F_{max} แล้วเพื่อให้ได้สัญญาณที่สุ่มเป็นตัวแทนที่ถูกต้องของสัญญาณอินพุต ความถี่ที่ใช้ในการสุ่ม F_s จะต้องมีค่ามากกว่าสองเท่าของความถี่สูงสุดของสัญญาณที่ต้องการทำการสุ่ม นั่นคือ

$$F_s > 2F_{max}$$

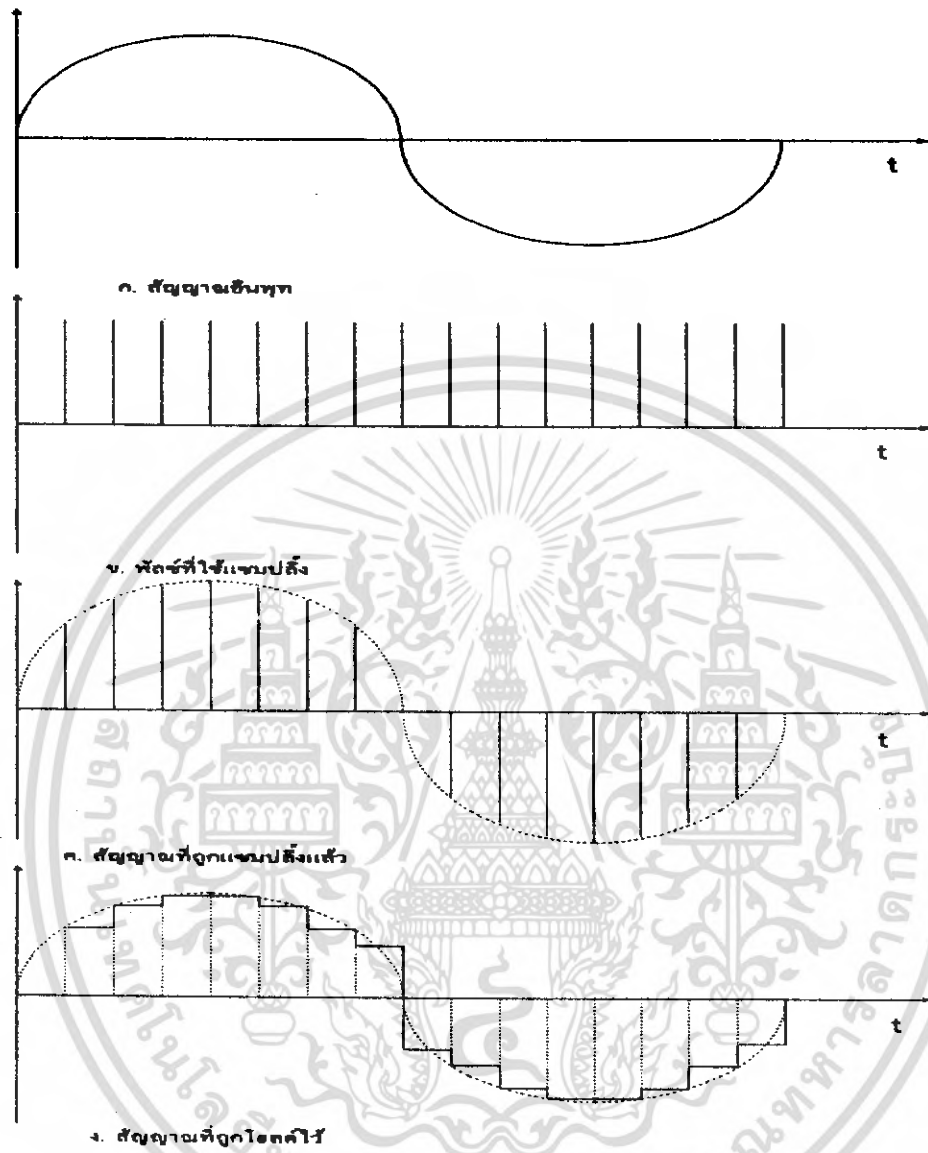
ซึ่งเรียก $2F_{max}$ นี้ว่า “ความถี่ในควิสต์ (Nyquist frequency)” โดยถ้าเราใช้ F_s ต่ำกว่าค่าความถี่ในควิสต์แล้วจะทำให้เกิดความผิดพลาดในการสุ่มที่เรียกว่า aliasing ซึ่งเป็นองค์ประกอบความถี่ที่ซ้อนทับกันดังแสดงในรูปที่ 2.6



รูปที่ 2.6 แสดงสัญญาณในเชิงความถี่ที่เกิดขึ้นเมื่อใช้ F_s ต่ำกว่า $2F_{max}$

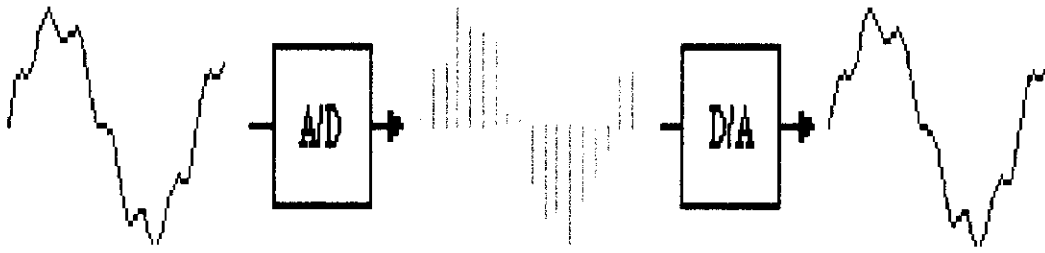


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงรูปแบบของสัญญาณที่เกิดขึ้นเนื่องจากการทำการสุมหน้าคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



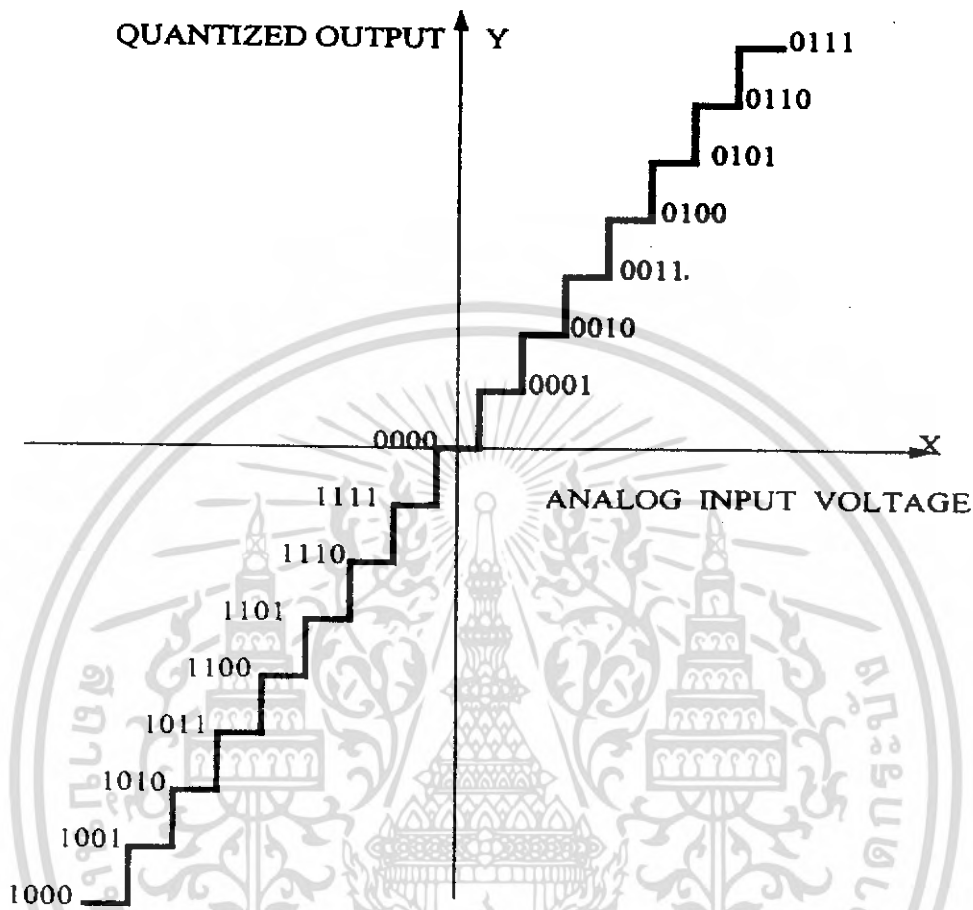
รูปที่ 2.8 แสดงการ Sampling สัญญาณที่ต่อเนื่องมาเป็นสัญญาณที่ดิจิทัลโดย A/D และแปลงกลับเป็นสัญญาณแอนะล็อกโดยใช้ D/A.1.4

2.3.4 การควอนไทซ์ (Quantization)

Sampling rate จะเป็นตัวกำหนดความถี่ของจำนวนจุดที่ใช้แทนหน้าคลื่น โดยเมื่อเราทำการกำหนดจุดลงไปแล้วลำดับต่อไปจะเป็นระดับของสัญญาณซึ่งเป็นข้อมูลของ amplitude ของสัญญาณในตำแหน่งที่ทำการ sampling โดยจำนวนระดับของสัญญาณจะขึ้นอยู่กับจำนวนบิตของข้อมูล เช่น quantization แบบ 16 bit จะได้ระดับของสัญญาณที่เกิดจากการ quantize ทั้งสิ้น 65,536 ระดับสัญญาณ

ทฤษฎีของการควอนไทซ์ (Quantization Theorem) กล่าวว่า การควอนไทซ์เป็นขบวนการแปลงสัญญาณอนาล็อกให้เก็บข้อมูลทางดิจิทัลที่เป็นสัดส่วนกับสัญญาณอนาล็อก เช่น อยู่ในรูปของรหัสไบนารี เป็นต้น โดยหากเรานำเอาข้อมูลที่ได้ออกจากการควอนไทซ์ และขนาดของสัญญาณอนาล็อกมาเขียนเป็นกราฟ ก็จะได้กราฟควอนไทซ์ทรานเฟอร์ฟังก์ชัน (Quantize Transfer Function) ดังแสดงในรูปที่ 2.9

n : จำนวนบิตของรหัสดิจิทัล



รูปที่ 2.9 แสดงทรานเฟอร์ฟังก์ชันของ quantization 16bit

ค่าความแตกต่างของแต่ละระดับสัญญาณที่เกิดขึ้นนั้นสามารถคำนวณหาได้จาก

$$Q = \text{FSR} / 2^n$$

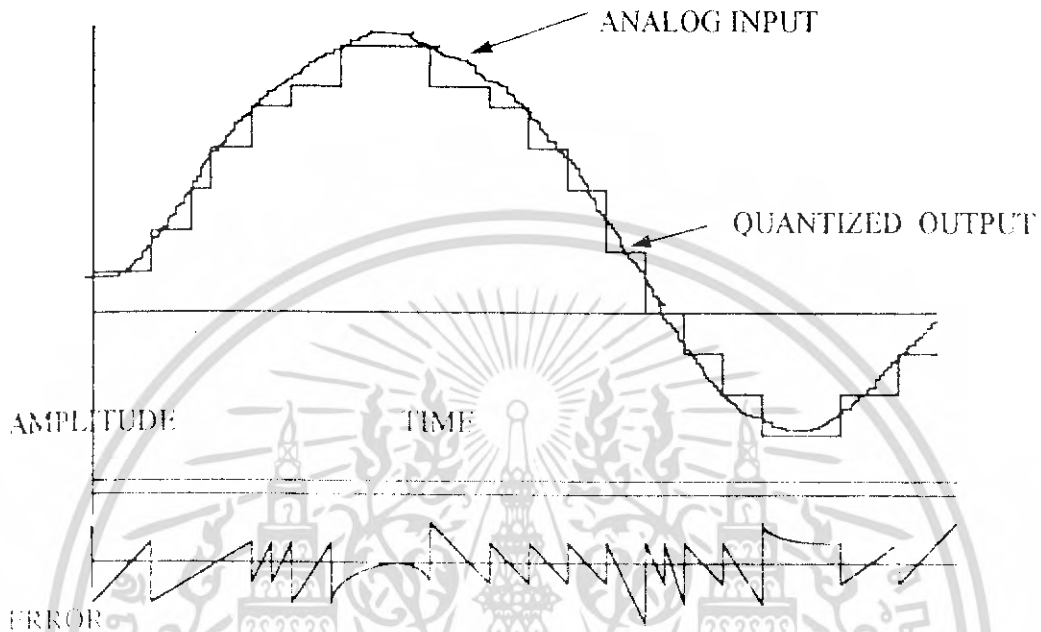
โดยที่ Q : ค่าความแตกต่างของแต่ละระดับสัญญาณ

FSR : ช่วงเต็มสเกลของสัญญาณอนาล็อก (Full Scale Range)

n : จำนวนบิตของรหัสดิจิทัล

จากสมการจะเห็นว่า เมื่อจำนวนบิตมากขึ้น ขนาดของ Q ก็จะลดลง และถ้าเรานำสัญญาณอนาล็อกใดๆมาทำการควอนไทซ์แล้ว จะเห็นว่าเมื่อนำผลที่ได้จากการควอนไทซ์มาเปรียบเทียบกับสัญญาณอนาล็อกนั้นแล้ว ก็จะพบว่ามีการผิดพลาดเกิดขึ้น ซึ่งเราเรียกว่า ความผิดพลาดควอนไทซ์

(Quantization Error) ดังแสดงในรูปที่ 2.10 โดยความผิดพลาดที่เกิดขึ้นนี้เป็นธรรมชาติของการควอนไทซ์ ซึ่งจะทำการแก้ไขไม่ได้ แต่สามารถลดค่าความผิดพลาดนี้ได้ โดยการเพิ่มจำนวนบิตของการควอนไทซ์



รูปที่ 2.10 แสดงความผิดพลาดที่เกิดขึ้นจากการควอนไทซ์

2.4 ทฤษฎีไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาลอกเป็นดิจิทัลในตัว สามารถรับสัญญาณอินเตอร์รัปต์ได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทมเมอร์หรือเคาน์เตอร์เพิ่มขึ้น

ไมโครคอนโทรลเลอร์ตระกูล MCS - 51 ทุกเบอร์ใช้แรงดันเพียง 5 โวลต์ในการทำงาน ส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดและเทคโนโลยีที่ใช้การผลิต เบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31, 80C51 จะเป็นเบอร์ของชิปที่ผลิตโดยอาศัยเทคโนโลยี CMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิปได้จาก โปรแกรมเพื่อการประหยัดพลังงานในระบบ

2.4.1 คุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51

- เป็นไมโครคอนโทรลเลอร์ที่ใช้ซีพียูขนาด 8 บิต
- ภายในมีหน่วยความจำโปรแกรมเป็นแบบแฟลชสามารถลบและเขียนใหม่ได้พันครั้ง
- หน่วยความจำข้อมูลพื้นฐานเป็นหน่วยความจำแบบแรม ในบางเบอร์จะมีหน่วยความจำแบบอีอีพรอมเพิ่มเติม

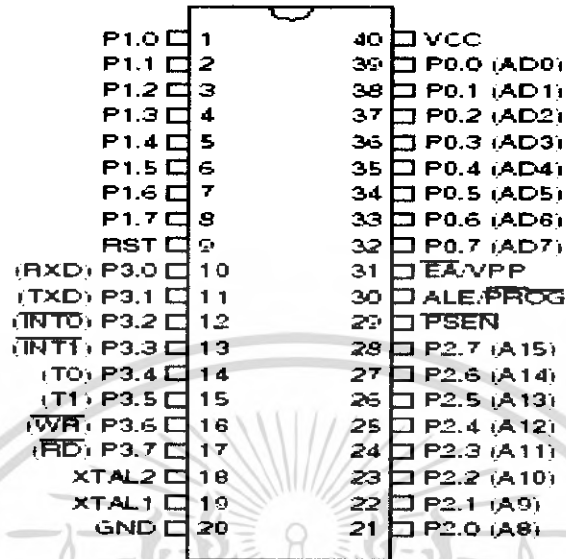
- ขาพอร์ตเป็นแบบสองทิศทาง สามารถใช้งานเป็นได้ทั้งอินพุต และเอาต์พุต
- มีวงจรสื่อสารอนุกรมแบบฟูลดูเพล็กซ์
- ไทมเมอร์/เคาน์เตอร์ขนาด 16 บิตอย่างน้อย 2 ตัว
- สามารถรองรับแหล่งกำเนิดอินเตอร์รัปต์ได้ 6 ประเภท
- สามารถขยายหน่วยความจำภายนอกเพิ่มเติมได้สูงสุด 64 กิโลไบต์
- มีวงจรกำเนิดสัญญาณนาฬิกาภายในชิป
- มีวงจรสื่อสารอนุกรมแบบ SPI สำหรับในอนุกรม AT89Sxx
- มีวอตช์ดอกไทมเมอร์ในตัว สำหรับในอนุกรม AT89Sxx

2.4.2 การจัดขาของไมโครคอนโทรลเลอร์ตระกูล MCS – 51

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS – 51 มีดังนี้

- ขา GND (ขา 20) สำหรับต่อลงกราวนด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 Volt)
- ขาพอร์ต 0 (ขา 32 – 39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0 – 0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุตพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บ โปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสไบต์ต่ำ (A0 – A7) และมัดติเฟล็กซ์กับการรับส่งข้อมูล (D0 –D7) จากหน่วยความจำภายนอกระหว่างการเขียน หรืออ่านข้อมูลโดยมีวงจรพูลอัพภายใน

PDIP



รูปที่ 2.11 แสดงตำแหน่งขาของไมโครคอนโทรลเลอร์ MCS51

-ขาพอร์ต 1 (ขา 1 – 8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0 – P1.7) สามารถใช้งานเป็นอินพุทหรือเอาต์พุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรถูล้อภายใน

-ขาพอร์ต 2 (ขา 21 – 28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0 – P2.7) ขนาด 8 บิต แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุทเอาต์พุทพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากนี้จะใช้งานเป็นอินพุทเอาต์พุทพอร์ตทั่วไปแล้ว พอร์ต 2 ยังใช้งานในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8 – A15) และมีวงจรถูล้อภายใน

-ขาพอร์ต 3 (ขา 10 – 17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0 – P3.7) สามารถใช้งานเป็นอินพุทเอาต์พุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยใช้วงจรถูล้อภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่าง ๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลไปภายนอกแบบอนุกรม

ขา P3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเทอร์รัปต์ชนิดที่ 1

ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของไทมเมอร์ 0

ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของไทมเมอร์ 1

ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูล ไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 แต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

-ขา RST (ขา 9) ใช้สำหรับการรีเซ็ตวงจรทุกอย่างภายในชิปเพื่อเริ่มต้นการทำงานใหม่ การรีเซ็ตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซ็ตชิป MCS - 51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมกซ์ซินไซเคิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อทำหน้าที่ पुलлован (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวนด์) และเพื่อให้ตัวชิปรีเซ็ตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc

-ขา ALE/PROG (ขา 30) เป็นขาใช้สำหรับส่งสัญญาณออกไปภายนอกเพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ค่า (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรม หรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอก ขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS - 51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

-ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านสัญญาณจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมภายนอก ขานี้จะส่งสัญญาณสโตรบ 2 ครั้งในแต่ละแมกซ์ซินไซเคิล แต่ในช่วงการเขียนหรืออ่านข้อมูลจากหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้

-ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS - 51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บ

โปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS - 51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS - 51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิป หรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขา EN กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ

-ขา XTAL 1 (ขา 19) ใช้ต่อคริสตัลภายนอก โดยเป็นอินพุทเข้าสู่วงจรถอดสซิจิลเลเตอร์

-ขา XTAL 2 (ขา 18) ใช้ต่อคริสตัลภายนอก โดยเป็นเอาต์พุทออกจากวงจรถอดสซิจิลเลเตอร์

2.4.3 วิธีการเข้าถึงข้อมูล

คำสั่งที่ใช้ควบคุมการทำงานของ MCS - 51 มีสองประเภทคือ คำสั่งที่ต้องการข้อมูลมาดำเนินการเพื่อให้ได้ผลลัพธ์ และ คำสั่งที่ไม่ต้องการข้อมูลมาดำเนินการคำสั่งที่ต้องการข้อมูลจะมีวิธีการเข้าถึงข้อมูลได้หลายวิธีดังนี้

-วิธีการเข้าถึงข้อมูลโดยตรง (direct addressing)

-วิธีการเข้าถึงข้อมูลโดยทางอ้อม (indirect addressing)

-วิธีการเข้าถึงข้อมูลในรีจิสเตอร์ใช้งานทั่วไป (register instructions)

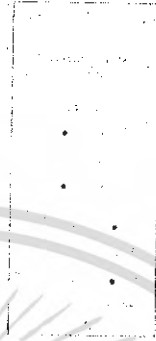
-วิธีการเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของตัวคำสั่ง (register - specific instructions)

-วิธีการเข้าถึงข้อมูลที่กำหนดเองโดยตรง (immediate constants)

-วิธีการเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (indexed addressing)

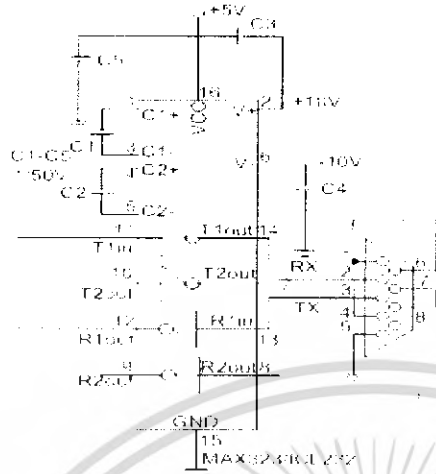
2.4.4 การเชื่อมต่อพอร์ตอนุกรมของคอมพิวเตอร์

การใช้งานพอร์ตอนุกรมของไมโครคอนโทรลเลอร์ MCS-51 มักนิยมใช้ในการติดต่อเพื่อแลกเปลี่ยนกับคอมพิวเตอร์ผ่านทางพอร์ตคอมพิวเตอร์แต่เนื่องจากระดับสัญญาณของ RS-232 มีระดับตั้งแต่ ± 3 ถึง $\pm 12V$ ในขณะที่ระดับสัญญาณของไมโครคอนโทรลเลอร์อยู่ในระดับที่ทีแอก ดังนั้นจึงไม่สามารถเชื่อมต่อพอร์ตอนุกรมของไมโครคอนโทรลเลอร์ MCS-51 ได้โดยตรงจึงต้องอาศัยการเชื่อมต่อผ่าน ไอซีพิเศษที่ทำหน้าที่ในการแปลงระดับสัญญาณ



รูปที่ 2.12 แสดงรายละเอียดเบื้องต้นของไอซีแปลงสัญญาณเพื่อเชื่อมต่อกับพอร์ตอนุกรม
ของคอมพิวเตอร์

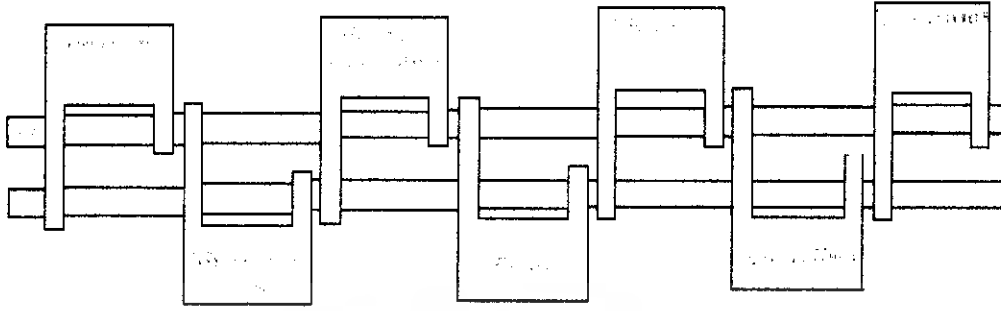
ไอซีที่ทำหน้าที่ในการแปลงระดับสัญญาณนี้ต้องทำการแปลงข้อมูลส่งของไมโครคอนโทรลเลอร์ MCS-51 จากระดับทีทีแอลไปเป็นระดับของRS-232และทำการแปลงข้อมูลรับจากคอมพิวเตอร์จากระดับ RS-232 เป็นระดับทีทีแอลเพื่อให้สามารถถ่ายทอดไปยังไมโครคอนโทรลเลอร์MCS-51 ได้ อย่างสมบูรณ์ไอซีดังกล่าวมีด้วยกันหลายเบอร์จากผู้ผลิต อาทิ MAX232 จาก MAXIM หรือ ICL232 จาก HARRIS เป็นต้นไปในรูปที่2.11 แสดงการจัดขาของไอซี ICL 232ซึ่งใช้ในการแปลงสัญญาณ RS-232 ส่วนของวงจรของการต่อกับไมโครคอนโทรลเลอร์ MCS-51 แสดงใน



รูปที่ 2.13 แสดงวงจรเชื่อมต่อMAX232หรือICL232เข้ากับพอร์ตอนุกรมของคอมพิวเตอร์และไมโครคอนโทรลเลอร์

2.4.5 ความรู้เบื้องต้นเกี่ยวกับ I²C

I²C ย่อมาจาก Inter-IC Communication หมายถึง การติดต่อสื่อสารระหว่างไอซีโดย บัส I²C ได้รับการพัฒนาขึ้นโดยฟิลิปส์(Philips)ด้วยจุดมุ่งหมายหลักคือต้องการให้ไอซีหรือโมดูล สามารถติดต่อ สังกงาน และควบคุมภายใต้สัญญาณ 2 เส้น เส้นหนึ่งคือ สายข้อมูล อีกเส้นหนึ่งคือ สายสัญญาณนาฬิกาที่ใช้ในการกำหนดจังหวะการทำงาน การต่อร่วมกันของอุปกรณ์บนบัส I²C ทำได้ง่ายมาก เพียงต่อสายสัญญาณข้อมูลและสายสัญญาณนาฬิกาของอุปกรณ์แต่ละตัวขนานหรือพ่วงกันไป ส่วนการกำหนดแอดเดรสหรือตำแหน่งสำหรับติดต่ออุปกรณ์แต่ละตัว จะใช้รหัสข้อมูลและการกำหนดสถานะลอจิกที่ขาแอดเดรสของอุปกรณ์แต่ละตัว



รูปที่ 2.14 แสดงผังแสดงการเชื่อมต่อของอุปกรณ์ต่างๆบนระบบบัส

สายข้อมูลบนบัส PC มีชื่อเรียกอย่างเป็นทางการว่า สายข้อมูลอนุกรมหรือ SDA (Serial Data Line) ส่วนสายสัญญาณนาฬิกา มีชื่อเรียกว่า สายสัญญาณนาฬิกาอนุกรมหรือ SCL (Serial Clock Line) ในการอธิบายต่อไปนี้จะเรียกสายสัญญาณทั้งสองว่า สาย SDA และ SCL

ในรูปที่ 2.14 แสดงผังของการเชื่อมต่ออุปกรณ์ต่างๆบนบัส PC จะเห็นได้ว่าอุปกรณ์ที่ทำการเชื่อมต่อบนบัส PC มีหลากหลายไม่ว่าจะเป็น ไอซีขยายพอร์ตอินพุตเอาต์พุต (I/O Expander), ไอซีแปลงสัญญาณอนาล็อกเป็นดิจิทัล (ADC) และแปลงสัญญาณดิจิทัลเป็นอนาล็อก (DAC), ไอซีรีลไทม์คล็อก (RTC), ไอซีขับโมดูล LCD, หน่วยความจำอีอีพรอม และไมโครคอนโทรลเลอร์

1. คุณสมบัติโดยทั่วไปของบัส PC

สาย SDA และ SCL เป็นสายสัญญาณ 2 ทิศทาง (bi-directional line) ต้องมีการต่อตัวต้านทาน पुलล์อัพกับแรงดัน +5V ไว้ตลอดเวลา เพื่อให้สายมีสถานะลอจิกสูงในขณะที่ไม่มีการติดต่อใช้งาน ทั้งยังช่วยป้องกันการรบกวนสัญญาณรบกวนที่อาจมีเข้ามาในสายสัญญาณทั้งสอง วงจรเอาต์พุตของอุปกรณ์ที่ต่อบนบัส PC ต้องมีลักษณะเป็นวงจรทรานซิสเตอร์เปิด (open-drain) หรือคอลเลกเตอร์เปิด (open-collector)

อัตราการถ่ายทอข้อมูลบนบัส PC สูงถึง 100 กิโลบิตต่อวินาทีในโหมดปกติ (standard mode) และสูงสุดถึง 400 กิโลบิตต่อวินาทีในโหมดความเร็วสูง (fast mode) อุปกรณ์ที่ต่ออยู่บนบัส PC จะต้องมีค่าความจุไฟฟ้ารวมที่เกิดขึ้นระหว่างสาย SDA และ SCL ไม่เกิน 400pF การเข้าถึงอุปกรณ์บนบัส PC ใช้ข้อมูลสำหรับการเข้าถึง 2 ค่าคือ 7 บิต (7-bit addressing) หรือ 10 บิต (10-bit addressing)

ข้อเด่นอีกประการหนึ่งของบัส PC คือสามารถเชื่อมต่ออุปกรณ์ที่มีไฟเลี้ยงไม่เท่ากันให้สามารถติดต่อกันได้ โดยอุปกรณ์บนบัส PC ตัวหนึ่งอาจใช้ไฟเลี้ยง +5V ในขณะที่อีกตัวหนึ่งใช้ไฟเลี้ยง +12V การต่อร่วมกันบนบัส PC สามารถทำได้ในลักษณะเดียวกันกับกรณีที่ทั้ง 2 ใช้ไฟเลี้ยงเท่ากัน กล่าวคือ ให้ต่อสาย SDA และ SCL ของอุปกรณ์แต่ละตัวเข้าด้วยกัน และต้องต่อตัวต้านทานพูลอัป (Rp) เข้ากับแรงดัน +5V ไว้ด้วยเสมอ ดังแสดงในรูปที่ 2.15

ในกรณีอาจมีแรงดันไฟกระชากขนาดใหญ่ปะปนเข้ามาในบัส PC ที่ขา SDA และ SCL ของอุปกรณ์แต่ตัวต้องต่อตัวต้านทานอนุกรมกับขา SDA และ SCL เรียกว่า Rs ก่อนต่อเข้าสู่บัส PC ดังรูปที่ 2.14



รูปที่ 2.15 แสดงการต่อตัวต้านทาน Rs เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามาในบัส PC

2. หลักการของบัส PC

บัส PC ประกอบด้วยสายสัญญาณ 2 เส้น ดังที่ได้กล่าวมาแล้วคือ SDA และ SCL อุปกรณ์ที่ต่อพ่วงบนบัสสามารถมีได้มากมาย ดังนั้นจึงต้องมีการกำหนดรูปแบบของการกำหนดบนบัส หรือเรียกว่า โปรโตคอล (protocol) เพื่อให้ผู้ใช้งานทราบว่า ขณะนี้อุปกรณ์ใดติดต่อกันอยู่ และอุปกรณ์ใดใดเป็นตัวรับหรือตัวส่ง ต่อไปนี้จะอธิบายลักษณะหน้าที่ และนิยามของตัวอุปกรณ์ที่ต่ออยู่บนบัส PC เพื่อเป็นข้อตกลงพื้นฐานก่อนที่จะอธิบายการทำงานของบัส PC ต่อไป

อุปกรณ์ที่ทำหน้าที่เป็นผู้สร้างข้อมูลหรือส่งข้อมูล เรียกว่า ตัวส่ง (transmitter)

อุปกรณ์ที่ทำหน้าที่เป็นผู้รับ เรียกว่า ตัวรับ (receiver) อุปกรณ์บนบัส PC สามารถเป็นได้ทั้งตัวรับและตัวส่ง บางอุปกรณ์ทำหน้าที่เป็นตัวรับอย่างเดียว จะไม่มีอุปกรณ์ใดบนบัสทำหน้าที่เป็นตัวส่งเพียงอย่างเดียว

อุปกรณ์ที่ทำหน้าที่ควบคุมจังหวะการติดต่อบนบัส PC เรียกว่า มาสเตอร์ (master)

อุปกรณ์ที่ถูกควบคุมหรืออุปกรณ์ที่ต่อพ่วงเข้าไปบนบัส PC เรียกว่า สเลฟ (slave)

ข้อกำหนด 2 ประการสำคัญของการติดต่อบนบัส PC คือ

(1) การถ่ายทอข้อมูลขณะเกิดขึ้นได้เมื่อบัสว่างเท่านั้น

(2) ในการถ่ายทอข้อมูล เมื่อใดก็ตามที่สาย SCL มีสถานะลอจิกสูง สายข้อมูลต้องรักษาข้อมูลไว้ อย่าให้เกิดการเปลี่ยนแปลงขึ้นเด็ดขาด มิฉะนั้น สัญญาณที่เกิดขึ้นจะได้รับความหมายเป็นสัญญาณควบคุมแทน

3. สถานะที่เกิดขึ้นบนบัส I²C

มีด้วยกัน 5 สถานะดังนี้

(1) บัสว่าง (bus not busy) สถานะนี้เกิดขึ้นเมื่อสถานะในสาย SDA และ SCL เป็นลอจิกสูงทั้งคู่ นั่นหมายความว่า การถ่ายทอข้อมูลเริ่มต้นขึ้นได้

(2) เริ่มต้นการถ่ายทอข้อมูล (start data transfer) เกิดขึ้นเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกสูงไปลอจิกต่ำในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกสถานะนี้ว่า สถานะเริ่มต้น (start)

(3) หยุดการถ่ายทอข้อมูล (stop data transfer) เกิดขึ้นเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกจากต่ำไปสูง ในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกสถานะที่เกิดขึ้นว่า สถานะหยุด (stop)

(4) ข้อมูลค้างอยู่บนบัส (data valid) สถานะนี้เกิดขึ้นจากสถานะเริ่มต้น โดยสถานะลอจิกที่เกิดขึ้นบนสาย SDA ก็คือข้อมูลที่ทำการถ่ายทอ เมื่อสาย SCL เป็นลอจิกสูงสถานะที่สาย SDA ต้องคงที่ เพื่อให้อุปกรณ์รับข้อมูลในจังหวะนั้น เป็น "0" หรือเป็น "1" ข้อมูลอาจเกิดการเปลี่ยนแปลงได้ในขณะที่สาย SCL เป็นลอจิกต่ำ แต่เมื่อใดก็ตามที่ต้องการให้เกิดการถ่ายทอข้อมูลอย่างสมบูรณ์สถานะลอจิกที่ขา SDA ต้องคงที่ตลอดช่วงเวลาที่สาย SCL มีสถานะลอจิกสูง หากเกิดการเปลี่ยนแปลงสถานะทางลอจิกในขณะที่สาย SCL มีลอจิกสูงอยู่นั้น อุปกรณ์มาสเตอร์ที่ทำหน้าที่ควบคุมการถ่ายทอข้อมูลจะแปลความหมายเป็นสถานะหยุดหรือสถานะเริ่มต้นก็ได้ทำให้ข้อมูลที่ทำการถ่ายทอนั้นเกิดความผิดพลาดขึ้น

(5) รับรู้ข้อมูล (acknowledge) เกิดขึ้นหลังจากที่ถ่ายทอข้อมูลจากตัวส่งมายังตัวรับเกิดขึ้นอย่างสมบูรณ์ โดยตัวส่งจะทำการส่งข้อมูลมา 1 บิตเรียกว่า บิตรับรู้ (acknowledge bit) มีสถานะเป็นลอจิกสูง หลังจากส่งข้อมูลมาครบถ้วน ส่วนอุปกรณ์มาสเตอร์จะทำการส่งสัญญาณรับรู้พิเศษซึ่งสัมพันธ์กับสัญญาณนาฬิกาเพื่อตอบสนองบิตรับรู้ที่ส่งมาจากตัวส่งทางด้านตัวรับจะส่งบิตรับรู้ที่มีสถานะลอจิกต่ำลงบนบัส อุปกรณ์สเลฟที่ถูกอ้างถึงในการติดต่อหรือกำลังติดต่อในขณะนั้นก็จะกำเนิดบิตรับรู้เพื่อตอบสนองให้ทราบว่าได้รับข้อมูล, ในแต่ละไบต์เรียบร้อยแล้ว

ในรูปที่ 2.16 เป็นไคอะแกรมเวลาที่แสดงถึงการเกิดสถานะต่างๆบนบัส PC ไม่ว่าจะเป็นสถานะบัสว่าง, เริ่มต้น, ถ่ายทอดข้อมูล, รั้งไว้, และหยุดการถ่ายทอดข้อมูล



รูปที่ 2.16 แสดงไคอะแกรมเวลาแสดงสถานะต่างๆในบัส PC

4. การทำงานบนบัส PC

ก่อนที่จะเริ่มทำการถ่ายทอดข้อมูลระหว่างอุปกรณ์ต่างๆที่ต่ออยู่บนบัสต้องมีการอ้างถึงเสียก่อนโดยการอ้างถึงอุปกรณ์บนบัส PC นั้นจะใช้การอ้างถึงแบบ 7 บิตหรือ 10 บิต ในกรณีที่อุปกรณ์ต่ออยู่บนบัสไม่มากใช้การอ้างถึงแบบ 7 บิตก็เพียงพอ แต่ถ้ามีอุปกรณ์ต่ออยู่บนบัสมากกว่า 127 แอดเดรสจำเป็นต้องใช้การอ้างถึงแบบ 10 บิต หลังจากที่ติดต่ออุปกรณ์แต่ละตัวได้เรียบร้อยแล้ว ก็จะเริ่มต้นการถ่ายทอดข้อมูลกันต่อไป

การอ้างถึงแบบ 7 บิต (7-bit addressing)

ข้อมูลไบต์แรกหลังจากที่สถานะเริ่มต้นคือ ข้อมูลที่ใช้ในการอ้างถึงอุปกรณ์ที่ต้องการติดต่อหรือข้อมูลกำหนดแอดเดรส ใน 7 บิตบนรวมทั้งบิต MSB ด้วยจะเป็นข้อมูลแอดเดรสของอุปกรณ์สเลฟที่ต้องการติดต่อ โดยแบ่งเป็น บิตกำหนดแอดเดรสคงที่ (fixed address bit) จำนวน 4 บิต ซึ่งข้อมูลนี้อุปกรณ์แต่ละตัวจะถูกกำหนดมาจากผู้ผลิต ไม่สามารถเปลี่ยนแปลงแก้ไขได้ ถัดมาอีก 3 บิตเป็นบิตแอดเดรสที่สามารถโปรแกรมได้ (programmable address bit) โดยผู้ใช้งานต้องกำหนดสถานะลอจิกให้แก่ขา A0-A2 ของอุปกรณ์ที่มีการเชื่อมต่อแบบบัส PC ส่วนในบิต LSB เป็นบิตที่

ใช้กำหนดการอ่านหรือเขียนข้อมูลกับอุปกรณ์สเฟตตัวนั้นๆ หากบิต LSB เป็น "0" หมายถึงต้องการเขียนข้อมูลไปยังอุปกรณ์นั้น ถ้าเป็น "1" จะเป็นการอ่านข้อมูลจากอุปกรณ์สเฟต

ข้อมูลในไบต์ต่อมาคือ ข้อมูลควบคุม (control byte) ในอุปกรณ์แต่ละตัวมีการกำหนดอุปกรณ์ควบคุมที่แตกต่างกันไป

ข้อมูลในไบต์ต่อมาคือ ข้อมูลที่ทำการถ่ายทอคจริง (data)

หลังจากที่มีการถ่ายทอคข้อมูลในแต่ละไบต์ อุปกรณ์สเฟตที่มีการติดต่อส่งสัญญาณรับรู้ตอบกลับมาด้วยทุกครั้ง เพื่อให้จำนวนการถ่ายทอคข้อมูลสามารถดำเนินต่อไปได้ บิต

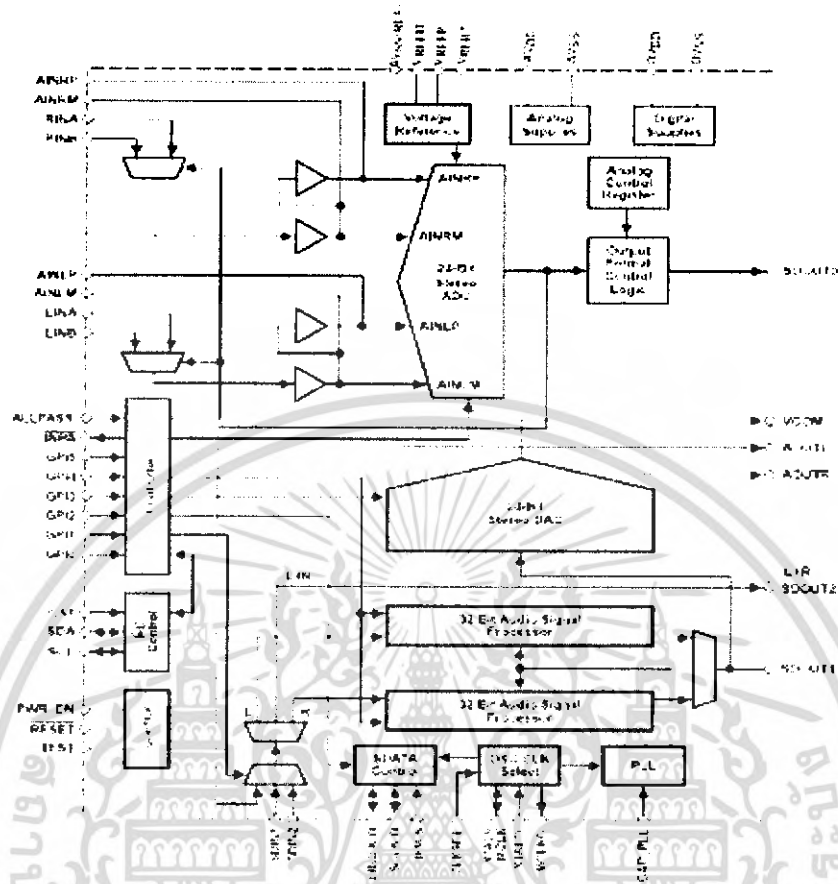
การอ้างถึงแบบ 10 บิต

ในการอ้างถึงแบบนี้ ยังคงใช้รูปแบบข้อมูลอนุกรมที่เหมือนกับแบบ 7 บิต หากจะมีข้อมูลเพิ่มเติมขึ้นมาเล็กน้อยโดยข้อมูลไบต์แรกหลังจากเกิดสถานะเริ่มต้น ต้องกำหนดให้ 5 บิตบนมีข้อมูลเป็น 11110 ส่วนอีก 2 บิตต่อมาเป็นบิตแอดเดรสของอุปกรณ์ที่ต้องการติดต่อด้วย ในบิต LSB ของข้อมูลไบต์แรกยังคงเป็นการกำหนดว่าต้องการอ่านหรือเขียนข้อมูลกับอุปกรณ์สเฟตตัวที่ต้องการติดต่อด้วย ข้อมูลไบต์ต่อมาเป็นข้อมูลแอดเดรสในไบต์ที่ 2 อุปกรณ์ที่ต้องการติดต่อด้วย ข้อมูลไบต์ถัดไปจึงเป็นข้อมูลควบคุม ข้อมูลหลังจากนั้นจะเป็นข้อมูลจริงที่ใช้ในการติดต่อ

เช่นเดียวกับการอ้างถึงแบบ 7 บิต หลังจากการถ่ายทอคข้อมูลครบทุกไบต์ต้องมีสถานะรับรู้เกิดขึ้นเพื่อให้จำนวนการถ่ายทอคข้อมูลสามารถดำเนินต่อไปได้

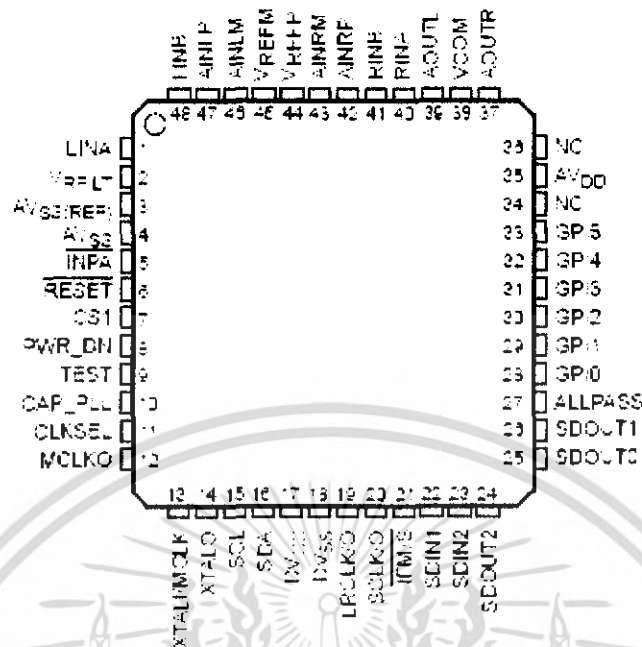
2.5 TAS3004

TAS3004 คือชิป DSP สำหรับการประมวลผลสัญญาณเสียงในระบบดิจิทัล (Digital Audio Processor) ซึ่งภายในชิปจะมีฟังก์ชันการทำงานหลัก คือ digital parametric equalization, dynamic range compression/expansion และ loudness contour แล้วยังมีส่วนที่เพิ่มขึ้นมาคือ การปรับ volume, bass และ treble โดยการอัทโพลคพารามิเตอร์ต่างๆเพื่อใช้ในการประมวลผลสัญญาณจะทำได้โดยการส่งข้อมูลผ่านทาง I²C port จากไมโครคอนโทรลเลอร์



รูปที่ 2.17 แสดง TAS3004 Block Diagram

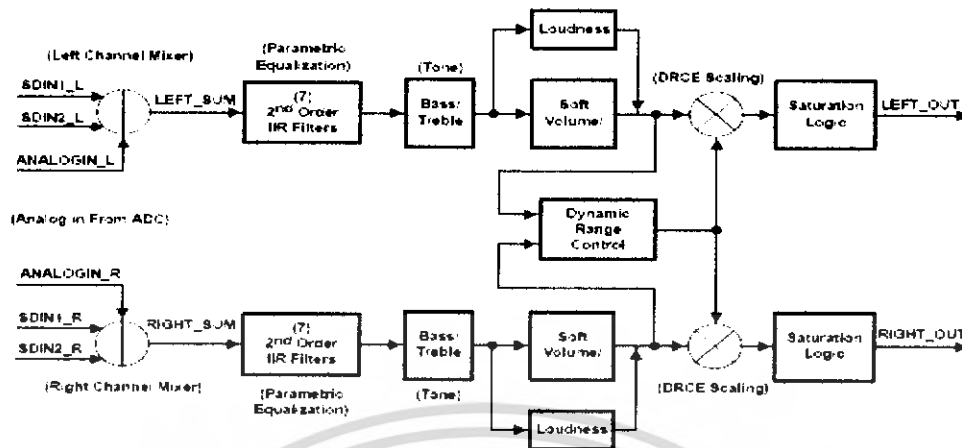
รูปที่ 2.17 จะแสดงให้เห็นถึง block diagram แสดงโครงสร้างภายในของชิป TAS3004 ซึ่งภายในชิปจะมี 24-Bit Stereo ADC ทำหน้าที่เปลี่ยนสัญญาณอินพุตที่เป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล (analog-to-digital converter) ก่อนที่จะนำไปประมวลผล และจะมี 24-Bit Stereo DAC ทำหน้าที่เปลี่ยนสัญญาณดิจิทัลที่ผ่านการประมวลผลมาแล้วให้เป็นสัญญาณอนาลอกซึ่งเป็นสัญญาณเอาต์พุตของชิป



รูปที่ 2.18 แสดง TAS3004 Terminal Assignments

2.5.1 การประมวลผลสัญญาณ (Signal Processing)

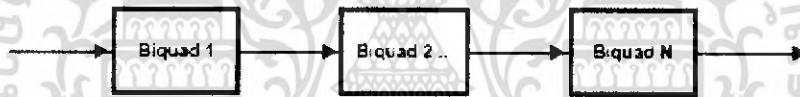
จากรูปที่ 2.19 แสดง block diagram ในการประมวลผลสัญญาณภายใน TAS3004 โดยภายในชิปจะมี biquad equalizer จำนวน 7 ตัวในแต่ละ channel เพื่อทำการประมวลผลสัญญาณอินพุต จากนั้นสัญญาณจะถูกส่งไปยัง bass/treble control ในแต่ละ channel แล้วสัญญาณจะแยกเป็น 2 ทาง คือ ไปยัง loudness contour และ soft volume control แล้วจึงมารวมกัน หลังจากนั้นสัญญาณทั้งซ้ายและขวาจะถูกส่งไปที่ dynamic range control ก่อนที่จะกลับมาแยกเป็นซ้ายและขวาอีกครั้ง สุดท้ายสัญญาณจะถูกส่งไปที่ saturation logic ซึ่งในส่วนนี้จะทำหน้าที่จำกัดสัญญาณที่มากเกินไป ก่อนที่จะเป็นเอาท์พุทเพื่อจะนำไปเข้า 24-Bit Stereo DAC ต่อไป



รูปที่ 2.19 แสดง TAS3004 Digital Signal Processing Block Diagram

2.5.2 Biquad Block

biquad block จะประกอบด้วย 7 biquad filter ในแต่ละ channel ซึ่งจะต่อแบบ cascade ดังรูปที่ 2.20 ในแต่ละ biquad filter จะมี five downloadable 24-bit coefficients



รูปที่ 2.20 แสดง Biquad Cascade Configuration

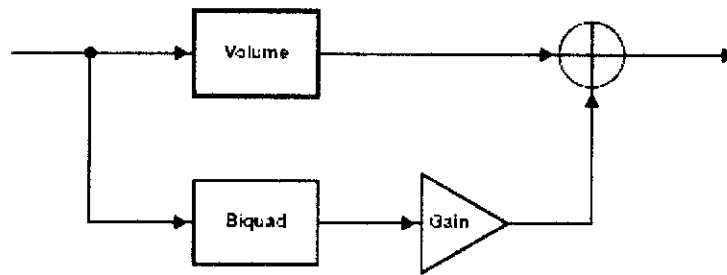
มีสมการของ biquad filter ดังนี้

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{a_0 + a_1z^{-1} + a_2z^{-2}}$$

ซึ่งจากสมการจะมี coefficient คือ a_0 , a_1 , a_2 , b_0 , b_1 และ b_2 (ค่าของ a_0 นั้นถูกกำหนดให้เป็น 1) โดย coefficient ทั้งหมดจะอยู่ในรูปแบบ 4.20 โดยเราสามารถทำการควบคุมการทำงาน biquad filter ได้ โดยการส่งค่า coefficient ที่ต้องการผ่านทาง I²C port

2.5.3 Loudness Contour

Loudness เป็นการปรับแต่งเสียงในช่วงความถี่ต่ำ (เสียงทุ้ม) และความถี่สูง (เสียงแหลม) ในขณะที่ Input มีขนาดของสัญญาณต่ำ เสียงทุ้มและเสียงแหลม จะมีขนาดต่ำลงไปกว่าความเป็นจริงทำให้ไม่ได้ยินหรือลดในการฟังเพลง จึงมีการชดเชยเสียงที่ให้หายด้วย Loudness



รูปที่ 2.21 แสดง Block Diagram

รูปที่ 2.21 แสดง block diagram ของ loudness contour ซึ่งประกอบด้วย loudness biquad และ loudness gain ซึ่งสามารถโปรแกรมโดยการส่งค่า coefficient ที่ต้องการผ่านทาง I²C port โดยที่ loudness biquad มี five 24-bit(4.20) hex coefficient และ loudness gain มี one 4.20 hex coefficient

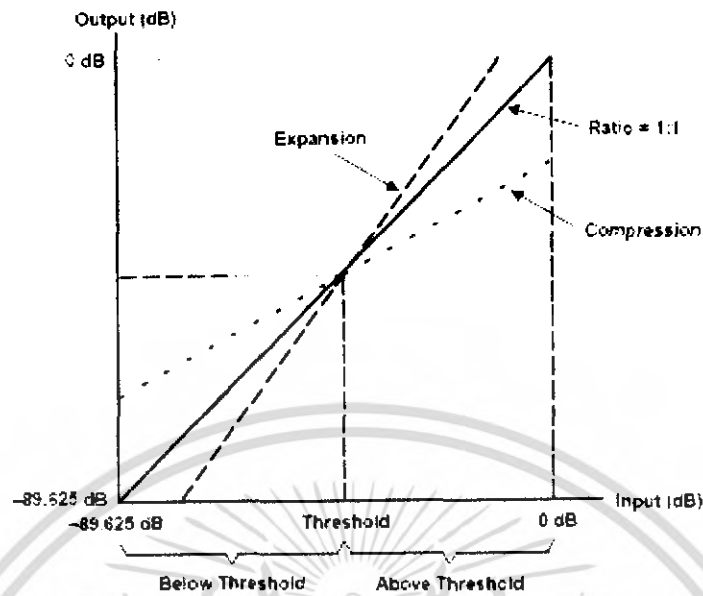
2.5.4 Dynamic Range Compression/Expansion (DRCE)

เป็นการบีบอัดหรือขยายสัญญาณระหว่าง Input และ Output โดยแบ่งเป็นส่วนๆ 2 ส่วนคือ Below และ Above โดยมี Threshold เป็นตัวแบ่ง ซึ่งทั้ง 2 ส่วนทำงานแยกกันเป็นอิสระจึงสามารถบีบและขยาย, บีบหรือขยายทั้งคู่ก็ได้

DRCE จะประกอบด้วย

- Above threshold ratio
- Below threshold ratio
- Threshold
- Integration interval for energy level detection
- Attack time constant
- Decay time constant

ซึ่งสามารถโปรแกรมโดยส่งค่าเป็นเลขฐาน 16 ผ่านทาง I²C port



รูปที่ 2.22 แสดง Dynamic Range Compression/Expansion

2.5.5 รูปแบบของตัวเลข (Numeric Format)

จากค่าสัมประสิทธิ์ที่คำนวณได้ต้องเปลี่ยนให้อยู่ในข้อมูลรูปแบบ 4.20 ก่อนจากนั้นค่อยนำเข้าไปเปลี่ยน PC พอร์ต

รูปตัวเลขแบบ 4.20 ประกอบด้วยข้อมูล 24 Bits หรือ 3 Bytes โดย 4Bits แรกแทนเลขจำนวนเต็ม ส่วน 20Bits หลังแทนเลขหลังจุดทศนิยมทั้งหมด ซึ่ง MSB Bit เป็นตัวแสดงเครื่องหมาย (Sign Bit)

| | | | | | | | | | | | | | | | | | | | | | | | |
|------|---------|----|----|------------|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Sign | Integer | | | Fractional | | | | | | | | | | | | | | | | | | | |

ตารางที่ 2.2 แสดงโครงสร้างตัวเลขรูปแบบ 4.20

จากรูปที่ 2.2 โครงสร้างข้อมูลรูปแบบ 4.20 ส่วนจำนวนเต็ม (Integer) เป็นเลขฐานสองจำนวน 3 Bits ส่วนที่เป็นเลขทศนิยม (Fractional) เป็นเลขฐานสองจำนวน 20 Bits ของส่วนที่เป็นอยู่หลังจุดทศนิยมทั้งหมด และมี Sign Bit ไว้บอกว่าข้อมูลเป็นบวกหรือลบ

บทที่ 3

การออกแบบและการสร้าง

3.1 วงจรการทำงานของ TAS3004

ในโครงการนี้เราต้องทำการออกแบบเพื่อควบคุมการทำงานของชิป TAS3004 โดยอาศัย ไมโครคอนโทรลเลอร์ทำหน้าที่เป็นตัวควบคุมโดยทำการติดต่อกับชิป TAS3004 อยู่ในรูปแบบการติดต่อแบบ I²C ผ่านทางสายสัญญาณ 2 เส้นคือ SDA, SCL โดยมีรายละเอียดในการออกแบบวงจรส่วนต่างๆดังนี้

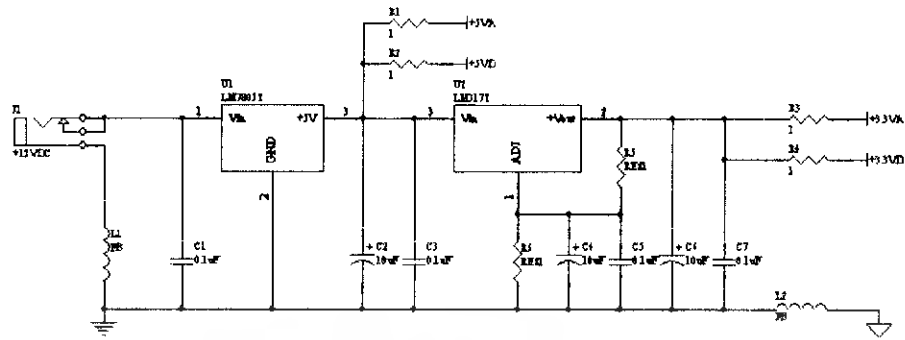
-วงจรแหล่งจ่ายไฟ ใช้สำหรับเป็นแหล่งจ่ายไฟให้กับวงจรซึ่งประกอบด้วย 5V, 3.3V

รูปที่ 3.1 แสดงส่วนของวงจรภาคแหล่งจ่ายไฟ

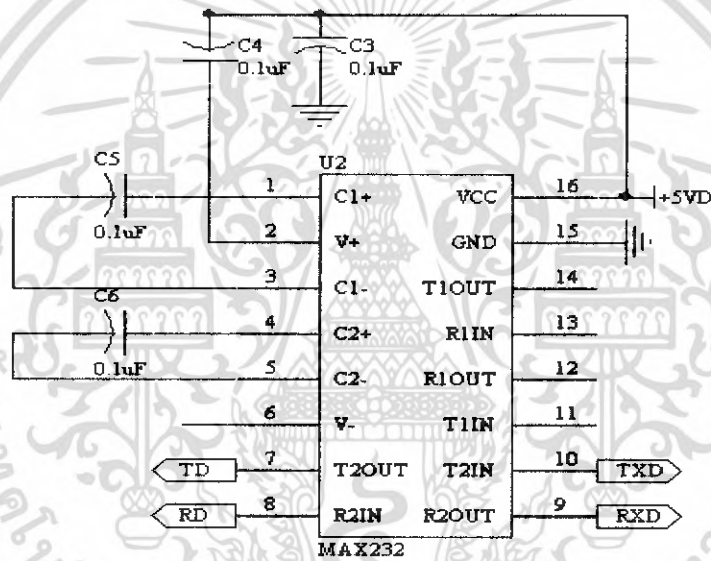
-วงจร RS-232 ทำหน้าที่ติดต่อเพื่อแลกเปลี่ยนกับคอมพิวเตอร์ผ่านทางพอร์ตคอมพิวเตอร์ แต่เนื่องจากระดับสัญญาณของ RS-232 มีระดับตั้งแต่ ± 3 ถึง $\pm 12V$ ในขณะที่ระดับสัญญาณของ ไมโครคอนโทรลเลอร์อยู่ในระดับที่ทีแอล ดังนั้นจึงไม่สามารถเชื่อมต่อพอร์ตอนุกรมของ ไมโครคอนโทรลเลอร์ MCS-51 ได้โดยตรง รูปที่ 3.2 แสดงส่วนของวงจร RS-232

-วงจรไมโครคอนโทรลเลอร์ วงจรส่วนนี้ทำหน้าที่ควบคุมการทำงานของชิป TAS3004 โดยการติดต่อแบบ I²C จะส่งค่าข้อมูลต่างๆที่ได้รับเข้ามาสั่งให้ TAS3004 รูปที่ 3.3 แสดงส่วนของวงจรไมโครคอนโทรลเลอร์

- TAS3004 จะทำหน้าที่รับข้อมูลที่ไมโครคอนโทรลเลอร์ส่งเข้ามาควบคุมให้ชิป TAS3004 ทำการประมวลผลอินพุตที่ถูกส่งเข้ามาจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (ADC) รูปที่ 3.4 แสดงส่วนของวงจร DSP (TAS3004)

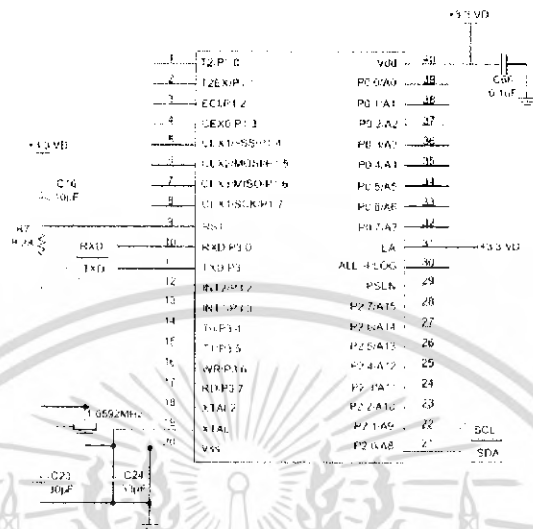


รูปที่ 3.1 แสดงส่วนของวงจรภาคแหล่งจ่ายไฟ



รูปที่ 3.2 แสดงส่วนของวงจร RS-232

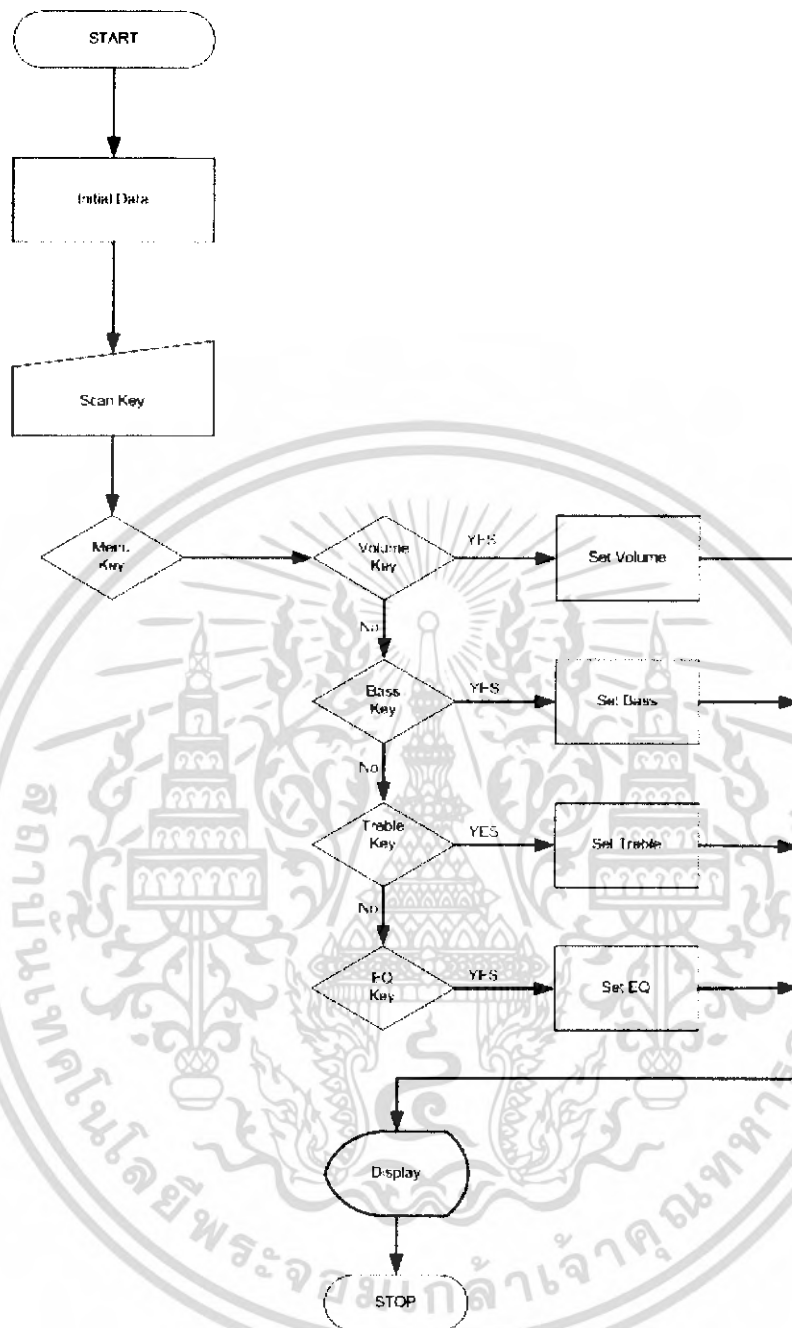
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงส่วนของวงจร ไมโครคอนโทรลเลอร์

3.2 การโปรแกรมควบคุมการทำงาน TAS3004

การเขียนโปรแกรมควบคุมการทำงานบนไมโครคอนโทรลเลอร์เพื่อใช้ในการควบคุมการทำงานบอร์ด TAS3004 สามารถทำได้โดยการเขียนโปรแกรมเพื่อให้ไมโครคอนโทรลเลอร์ส่งข้อมูลควบคุมบอร์ดได้โดย I²C ควบคุมผ่านคอมพิวเตอร์ การเขียนโปรแกรมจะใช้ภาษา Basic ในการเขียนโปรแกรม สามารถอธิบายด้วย flow chart ดังรูปที่ 3.4การควบคุมโดยการใช้Microcontroller



รูปที่ 3.4 แสดงการควบคุมโดยการใช้Microcontroller

3.3 การออกแบบและการสร้างกราฟิกอ็ควอไลเซอร์

เนื่องจากชิป TAS3004 ประกอบด้วยคิจิตอลฟิลเตอร์จำนวน 7 ช่อง จึงเหมาะสำหรับการทำกราฟิกอ็ควอไลเซอร์จำนวน 7 ช่อง โดยขั้นตอนแรกจะเป็นการออกแบบด้วยโปรแกรม ALE เพื่อ

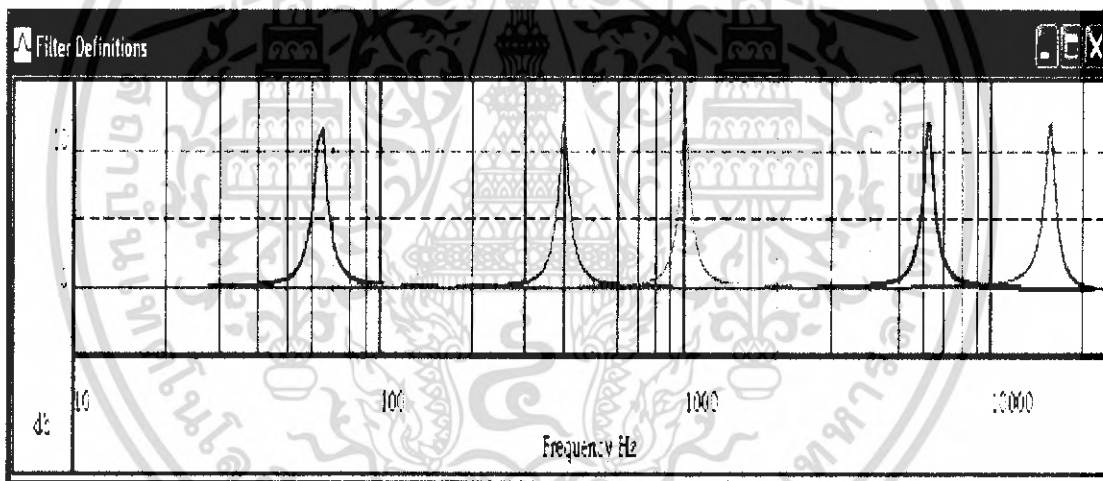
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการจำลองคุณสมบัติของคิจิตอลฟิลเตอร์ก่อน จากนั้นจึงค่อยเป็นการสร้างจริง ซึ่งจากโปรแกรมทำให้เราสามารถแบ่งช่วงความถี่บน Frequency-domain ได้ง่ายขึ้น โดยกำหนดความถี่กลางที่ต้องการ 1 kHz ทำการเพิ่มและลดไปช่วงความถี่ละ 2.5 เท่า ทั้งหมดจำนวน 7 ช่อง จะได้แต่ละช่องที่ความถี่ต่างๆดังนี้

| ช่อง | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|--------------|----|-----|-----|------|------|------|-------|
| ความถี่ (Hz) | 64 | 160 | 400 | 1000 | 2500 | 6250 | 15625 |

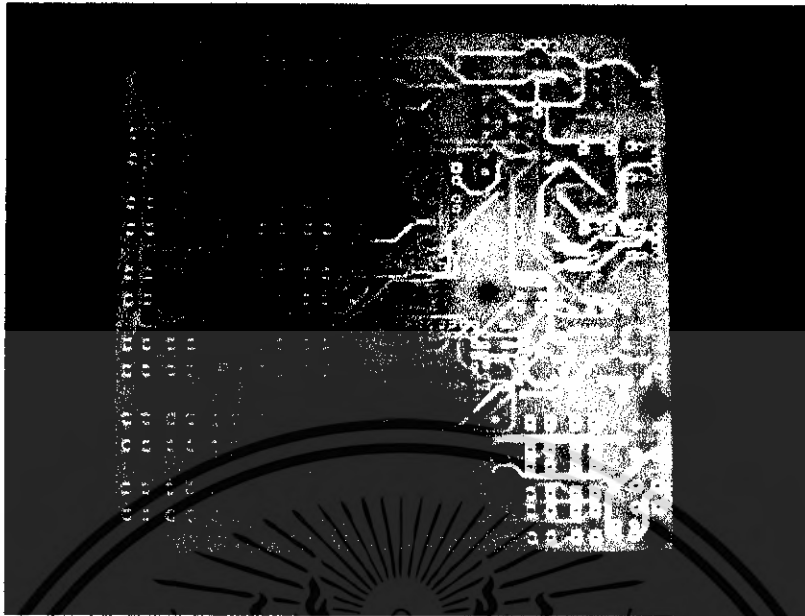
ตารางที่ 3.1 แสดงค่าความถี่กลางที่ช่วงต่างๆ

เมื่อได้ความถี่ช่วงความถี่ต่างๆแล้วก็นำไปออกแบบและจำลองการทำงานในการตอบสนองความถี่ด้วยโปรแกรม ALE ก็จะได้คุณสมบัติดังรูปที่ 3.5

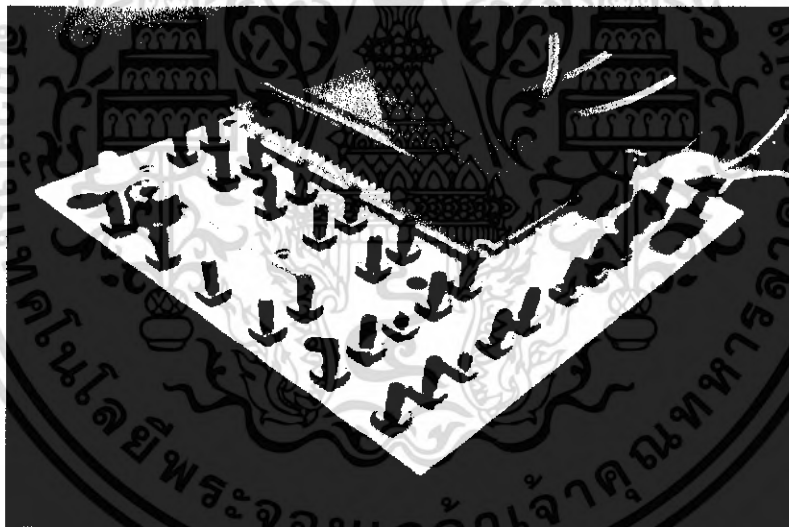


รูปที่ 3.5 แสดงคุณสมบัติการตอบสนองความถี่ที่ช่วงความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงการออกแบบแผ่น PCB



รูปที่ 3.7 แสดงเครื่องกราฟิกอีคตอลไอเซอร์

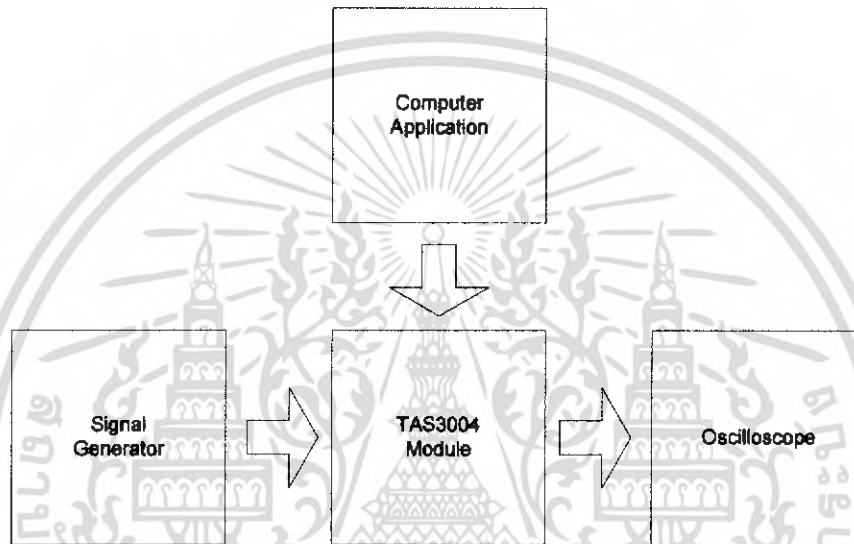
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลอง

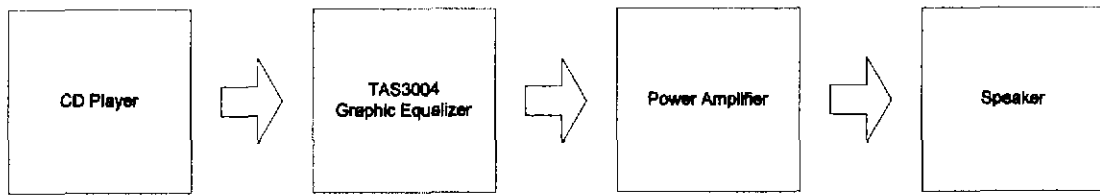
เมื่อได้ออกแบบการจำลองการทำงานของไมโครคอนโทรลเลอร์ของแต่ละความถี่แล้วต่อไปเป็นการทดสอบคุณสมบัติการตอบสนองความถี่โดยการต่ออุปกรณ์ต่างๆตาม Block Diagram ในรูปที่ 4.1



รูปที่ 4.1 แสดง Block Diagram การทดสอบคุณสมบัติการตอบสนองความถี่

ทำการทดลองทดสอบคุณสมบัติเบื้องต้นก่อนโดยการใช้ไมโครคอนโทรลเลอร์ช่องเดียวในการพิวเคอร์ความถี่ 1 kHz ที่ 3 dB เพื่อทดสอบว่า TAS3004 ทำงานได้จริงหรือไม่ โดยการคำนวณค่าสัมประสิทธิ์จากโปรแกรมคอมพิวเตอร์แล้วส่งไปยัง TAS3004 พร้อมกับป้อนความถี่อินพุทให้โดยเริ่มตั้งแต่ 20 Hz – 20 kHz เป็น Logarithm Scale แล้วใช้ Oscilloscope วัดสัญญาณเอาท์พุท เขียนเป็นกราฟในรูปแบบของ Gain(DB) แล้วนำไปเทียบกับโปรแกรม ALE ว่าผลการตอบสนองความถี่เป็นไปตามที่คำนวณไว้หรือไม่

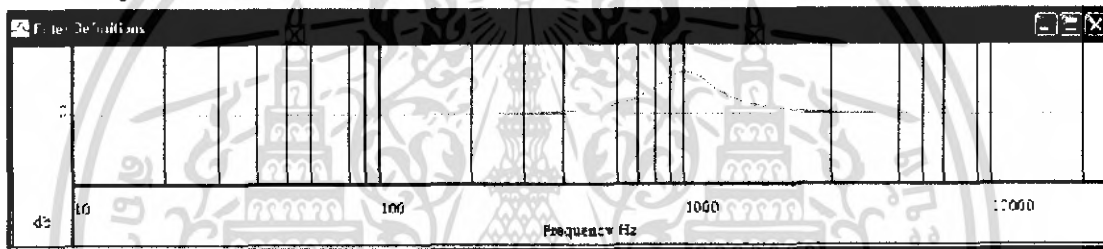
เมื่อได้ผลการตอบสนองความถี่ที่ถูกต้องแล้ว ต่อมาก็ทำการคำนวณฟิลเตอร์ 7 ช่อง เพื่อทำเป็นกราฟฟิสิกส์ควิลเซอร์โดยทำการคำนวณให้แต่ละช่องความถี่กำหนด Gain ที่ 12 dB แล้วทำการทดลองซ้ำอีกครั้ง พร้อมกับนำผลการทดลองมาเทียบกับผลที่ได้จาก โปรแกรม ALE สำหรับการนำไปใช้งานจริงนั้นจะต่อกับชุดเครื่องเสียงเพื่อทดลองฟังตาม Block Diagram ในรูปที่ 4.2



รูปที่ 4.2 แสดง Block Diagram การไปใช้งานจริง

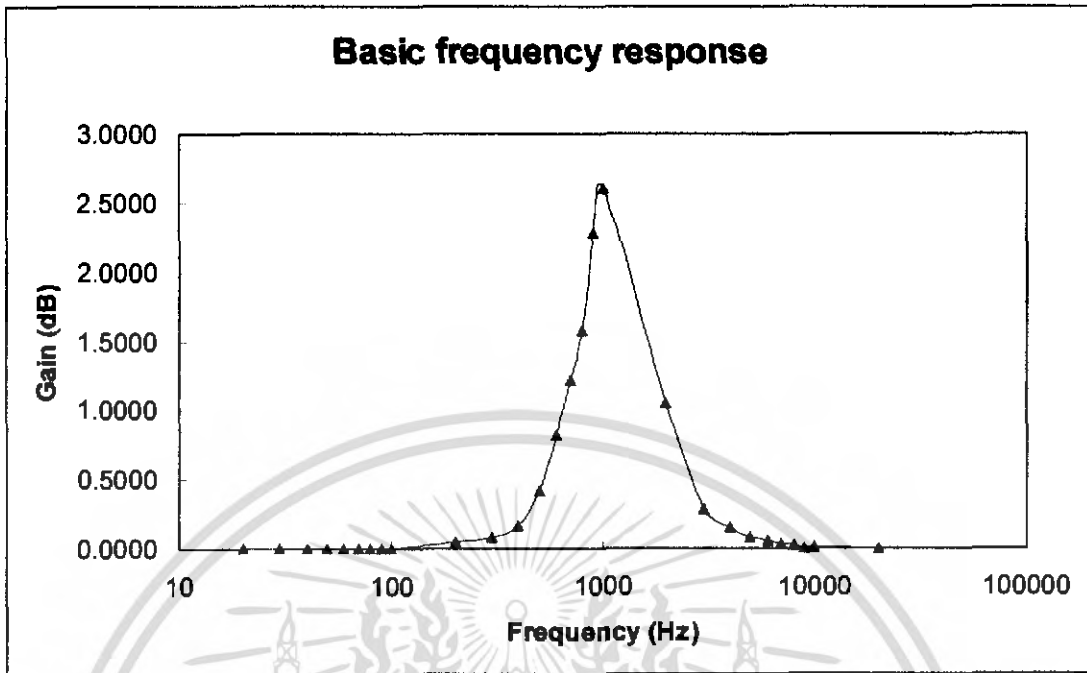
4.2 ผลการทดลอง

ผลการทดสอบคุณสมบัติเบื้องต้นในการตอบสนองความถี่รูปที่ 4.3 เป็นผลจากโปรแกรม ALE ส่วนรูปที่ 4.4 เป็นผลจากการวัด



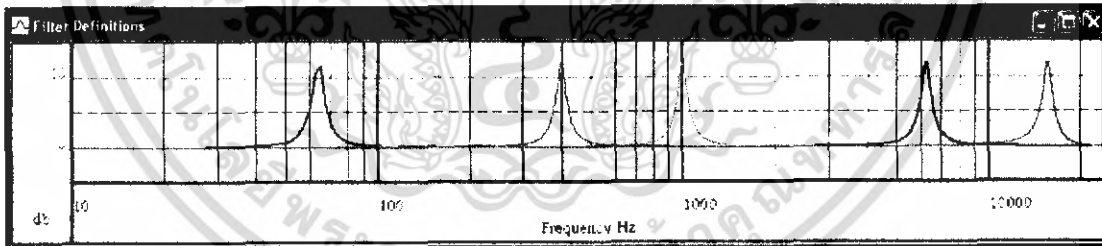
รูปที่ 4.3 คุณสมบัติเบื้องต้นในการตอบสนองความถี่จากโปรแกรม ALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



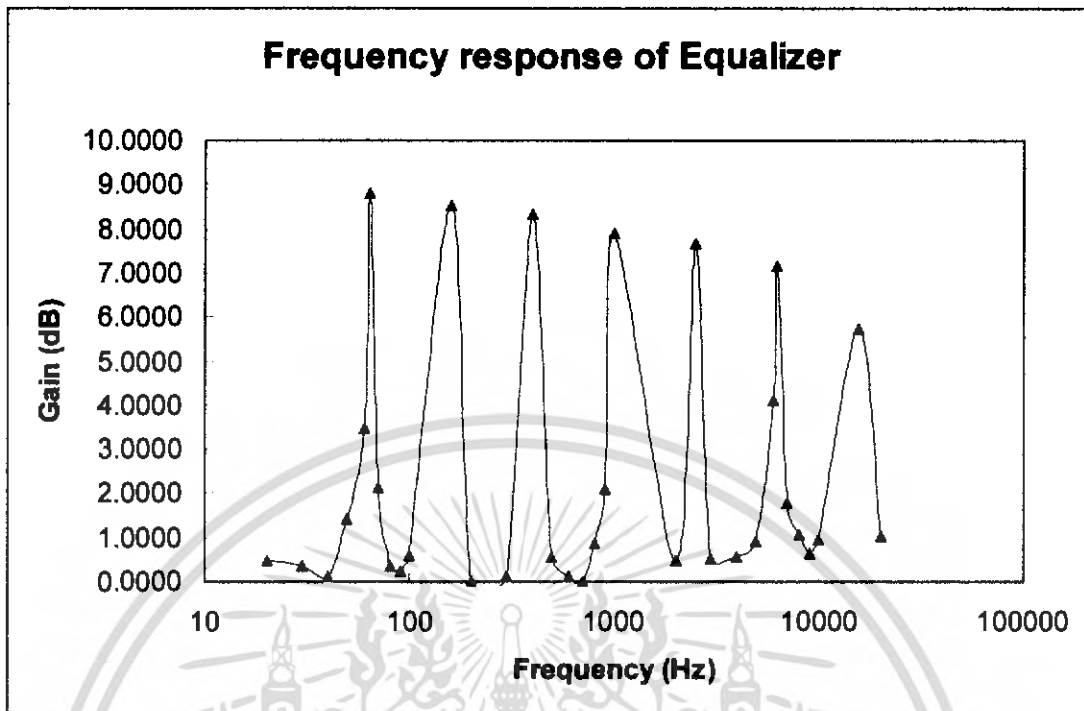
รูปที่ 4.4 คุณสมบัติเบื้องต้นในการตอบสนองความถี่จากการวัดจริง

จากนั้นทำการทดสอบคุณสมบัติการตอบสนองความถี่ของกราฟฟิสิกัลไลเซอร์ 7 ช่อง โดยรูปที่ 4.5 เป็นผลที่ได้จากโปรแกรม ALE รูปที่ 4.6ผลที่ได้จากการวัดจริง



รูปที่ 4.5 การตอบสนองความถี่ของกราฟฟิสิกัลไลเซอร์จากโปรแกรม ALE

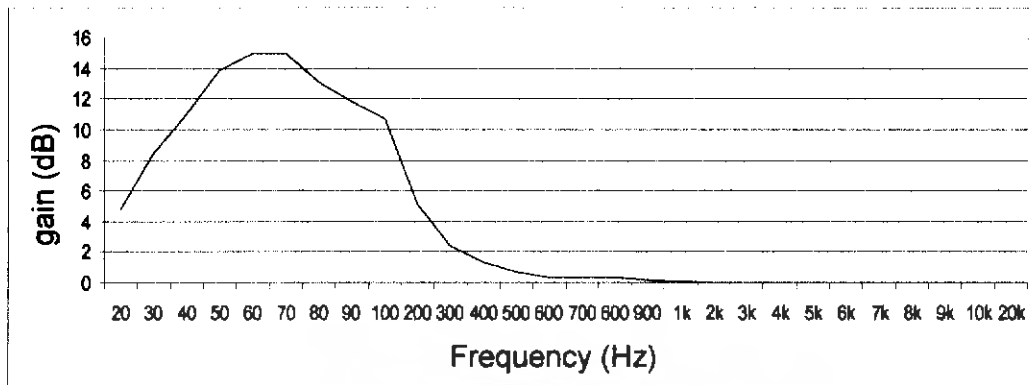
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 การตอบสนองความถี่ของกราฟฟิควอลิเซอร์จากการวัดจริง

4.3 การทดลองระดับเสียงทุ้ม (Bass control)

ในส่วนของการควบคุมระดับเสียงทุ้มด้วยไมโครคอนโทรลเลอร์นั้น จากโปรแกรมที่ได้ทำการโปรแกรมไว้สามารถทำการปรับระดับเสียงทุ้มได้ในช่วง ± 15 dB โดยการทำการทดลองควบคุมระดับเสียงทุ้มนั้นจะทำการป้อนสัญญาณ sine wave จากฟังก์ชันเจนเนอเรเตอร์ ที่มี amplitude คงที่ขนาด 0.14 โวลต์ และทำการเก็บค่าโดยเปลี่ยนความถี่ของสัญญาณ sine wave ที่ให้ไปเรื่อยๆ โดยมีช่วงความถี่อยู่ระหว่าง 20-20 kHz ซึ่งรูปที่ .47 เป็นตัวอย่างของกราฟแสดงการตอบสนองความถี่ในช่วงความถี่ 20- 20 kHz โดยทำการ boost สัญญาณให้อยู่ที่ 15+dB

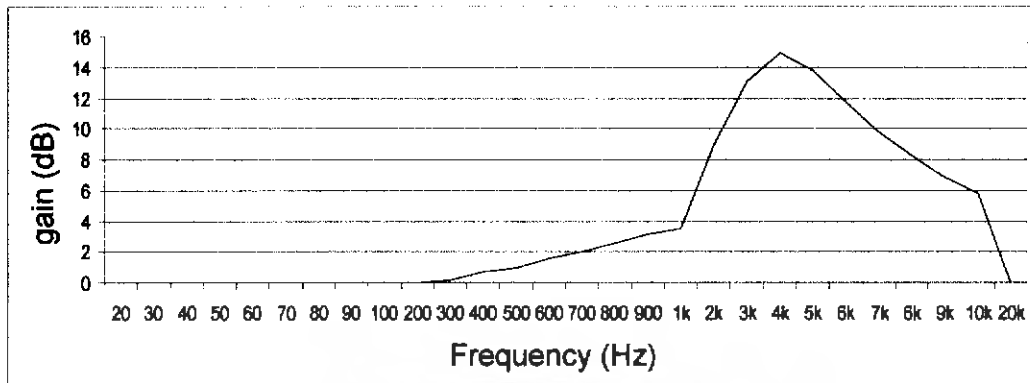


รูปที่ 4.7 แสดงตัวอย่างผลการทดลองการควบคุมระดับเสียงทุ้ม โดยพล็อตเป็นกราฟแสดงผลการตอบสนองความถี่ของสัญญาณเมื่อทำการ boost สัญญาณให้อยู่ที่ 15+dB

จากรูปที่ 4.7 ซึ่งแสดงผลการตอบสนองความถี่ที่ได้ คือ จะตอบสนองความถี่เฉพาะในช่วงความถี่ต่ำ นั่นก็คือลักษณะของเสียงทุ้มนั่นเอง

4.4 การทดลองระดับเสียงแหลม (Treble control)

ในส่วนของการควบคุมระดับเสียงแหลมด้วยไมโครคอนโทรลเลอร์นั้น จากโปรแกรมที่ได้ทำการโปรแกรมไว้ นั้นสามารถทำการปรับระดับเสียงแหลมได้ในช่วง ± 15 dB โดยการทำการทดลองควบคุมระดับเสียงทุ้มนั้นจะทำการป้อนสัญญาณ sine wave จากฟังก์ชันเจนเนอเรเตอร์ ที่มี amplitude คงที่ขนาด 0.14 โวลต์ และทำการเก็บค่าโดยเปลี่ยนความถี่ของสัญญาณ sine wave ที่ให้ไปเรื่อยๆ โดยมีช่วงความถี่อยู่ระหว่าง 20–20 kHz ซึ่งรูปที่ 4.8 เป็นตัวอย่างของกราฟแสดงการตอบสนองความถี่ในช่วงความถี่ 20–20 kHz โดยทำการ boost สัญญาณให้อยู่ที่ 15+dB



รูปที่ 4.8 แสดงตัวอย่างผลการทดลองการควบคุมระดับเสียงแหลม โดยพล็อตเป็นกราฟแสดงผลการตอบสนองความถี่ของสัญญาณเมื่อทำการ boost สัญญาณให้อยู่ที่ 15+dB

จากรูปที่ 4.8 ซึ่งแสดงผลการตอบสนองความถี่ที่ได้ คือ จะตอบสนองเฉพาะในช่วงความถี่สูง นั่นก็คือลักษณะของเสียงแหลมนั่นเอง

บทที่ 5 สรุปและวิจารณ์

โครงการนี้เป็นโครงการการออกแบบกราฟิกอิควอลไลเซอร์โดยใช้ไอซี TAS3004 ซึ่งเป็นไอซีประมวลผลสัญญาณดิจิทัล โดยการใช้ไมโครคอนโทรลเลอร์ในการควบคุมการทำงานของไอซี TAS3004 ในการออกแบบได้ทดลองโดยใช้โปรแกรมการ Simulate ผ่าน The automatic loudspeaker equalization (ALE) program ในส่วนของโปรแกรม ALE เป็นของ Texas Instruments โดย TAS3004 จะสามารถสร้างค่า parameter equalizer ได้ทั้งหมด 7 ความถี่ซึ่งสามารถกำหนดได้จากที่ได้ทำการทดลองการออกแบบ Equalizer โดยใช้โปรแกรม Automatic Loudspeaker Equalization (ALE) คือ เมื่อทำการใส่ค่า parameter ต่างๆ โปรแกรมก็จะ generated ค่า coefficient ของ biquad filter ต่างๆ ที่จะนำไปส่งให้ TAS3004 ในรูปแบบ 4.20 ผ่านทาง I²C ต่อไป ซึ่งจะเห็นว่าเมื่อค่าของ center frequency เพิ่มขึ้นค่าของ bandwidth ก็ต้องเพิ่มตาม ในส่วนของการเขียนโปรแกรมเพื่อควบคุมเสียงทุ้ม (bass control) และเสียงแหลม (treble control) ซึ่งผลการทดลองนั้นเป็นไปตามที่ต้องการดังที่ได้แสดงให้เห็นในส่วนของกราฟแสดงผลการทดลอง โดยพบว่าการตอบสนองความถี่ที่ได้นั้นสามารถนำไปใช้งานได้จริง

ในส่วนของแนวทางการพัฒนาการควบคุมการทำงานสามารถเขียนโปรแกรมในการควบคุมไอซี TAS3004 ซึ่งยังสามารถทำได้อีกมาก เช่น การพัฒนาโปรแกรมเพื่อเพิ่มฟังก์ชันการทำงานที่เราได้ออกแบบไว้ในโปรแกรม simulate ตามความถี่ต่างๆ โดยจะนำค่าที่ได้จากความถี่ต่างๆ ไปออกแบบ Graphic Equalizer ที่ได้กำหนดไว้ให้สามารถทำงานได้อย่างสมบูรณ์ต่อไป

เอกสารอ้างอิง

1. รศ.ดร. สมศักดิ์ ชูมช่วย, “การประมวลสัญญาณเชิงเลขเบื้องต้น”, ม.ป.ท : ม.ป.พ., 66 หน้า
2. Sanjit K. Mitra , “Digital Signal Processing” , Mc Graw Hill INTERNATIONAL EDITION, 78 p. , 2006.
3. วรพจน์ กรแก้ววัฒนกุล , ชัยวัฒน์ ถิมพรจิตรวิไล , “เรียนรู้และปฏิบัติการ ไมโครคอนโทรลเลอร์” , Inex Innovation Experiment Press, หน้า 7-12, 266-271
4. Texas Instrument Incorporated, “TAS3004 Digital Audio Processor With coder (Data Manual)”, 2001



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TAS3004

Digital Audio Processor With Codec

Data Manual



2001

Digital Audio Products

SLAS325

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 Introduction

1.1 Description

The TAS3004 device is a system-on-a-chip that replaces conventional analog equalization to perform digital parametric equalization, dynamic range compression, and loudness contour. Additionally, this device provides high-quality, soft digital volume, bass, and treble control. All control parameters are uploaded through the I²C port from an outside MCU through the I²C slave port or from an external EPROM through the I²C master port.

The TAS3004 device also has an integrated 24-bit stereo codec with two I²C-selectable, single-ended inputs per channel.

The digital parametric equalization consists of seven cascaded, independent biquad filters per channel. Each biquad filter has five 24-bit coefficients that can be configured into many different filter functions (such as bandpass, high pass, and low pass).

The internal loudness contour algorithm can be controlled and programmed with an I²C command.

Dynamic range compression/expansion (DRCE) is programmable through the I²C port. The system designer can set the threshold, energy estimation time constant, compression ratio, and attack and decay time constants.

The TAS3004 device supports 13 serial interface formats (I²S, left justified, right justified) with data word lengths of 16, 18, 20, or 24 bits. The sampling frequency (f_S) may be set to 32 kHz, 44.1 kHz, or 48 kHz.

The TAS3004 device uses a system clock generated by the internal phase-locked loop (PLL). The reference clock for the PLL is provided by an external master clock (MCLK) of $256f_S$ or $512f_S$, or a $256f_S$ crystal.

The TAS3004 device has six internally configurable general-purpose input (GPI) terminals that control volume, bass, treble, and equalization. Each GPI terminal has a debounce algorithm that is programmed into the TAS3004 internal microcontroller.

1.2 Features

- Programmable seven-band parametric equalization
- Programmable digital volume control
- Programmable digital bass and treble control
- Programmable dynamic range compression/expansion (DRCE)
- Programmable loudness contour/dynamic bass control
- Configurable serial port for audio data
- Two input data channels that can be mixed with digital data from the analog-to-digital converter (ADC) of the codec (analog input). These channels are controlled by I²C commands.
- Three output data channels: Left and right data go through equalization; bass, treble, DRCE, and volume to SDOUT1; SDOUT2 mixes left and right data. SDOUT2 operates as a center channel or subwoofer channel. The output of the ADC is available for additional processing.
- Capability to configure ADC output to one of two monaural data streams or one stereo data stream
- Capability to digitally mix left and right input channels for a monaural output to facilitate subwoofer operation
- Serial I²C master/slave port that allows:
 - Downloading of control data to the device externally from the EPROM or an I²C master

- Controlling other I²C devices
- Two I²C-selectable, single-ended analog input stereo channels
- Equalization bypass mode
- Single 3.3-V power supply
- Powerdown without reloading the coefficients
- Sampling rates: 32 kHz, 44.1 kHz, or 48 kHz
- Master clock frequency, 256f_S or 512f_S
- Can have crystal input to replace MCLK. Crystal input frequency is 256f_S.
- Six GPI terminals for volume, bass, treble up/down control, mute, and selection of equalization filters



1.3 Functional Block Diagram

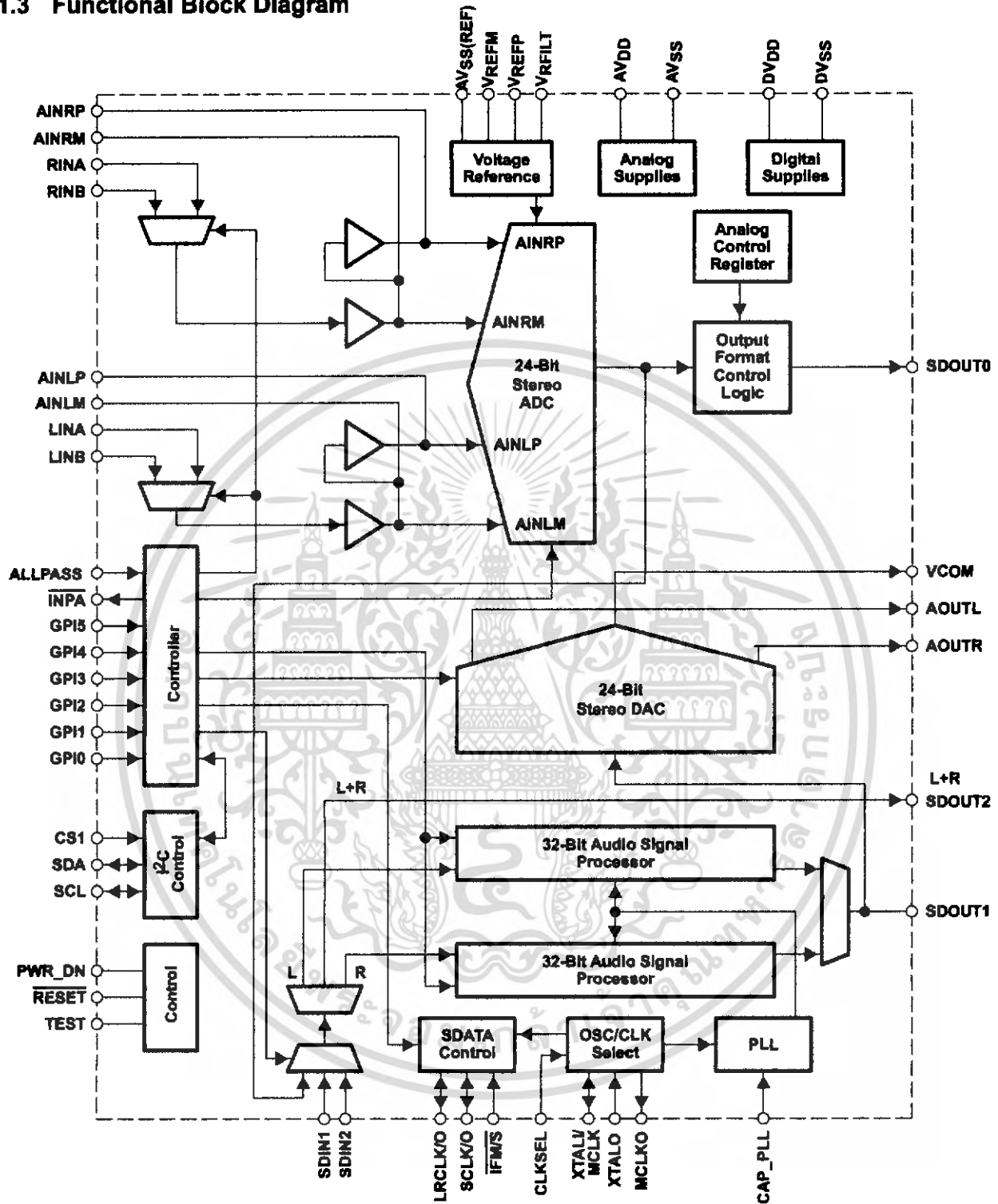


Figure 1-1. TAS3004 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 Terminal Assignments

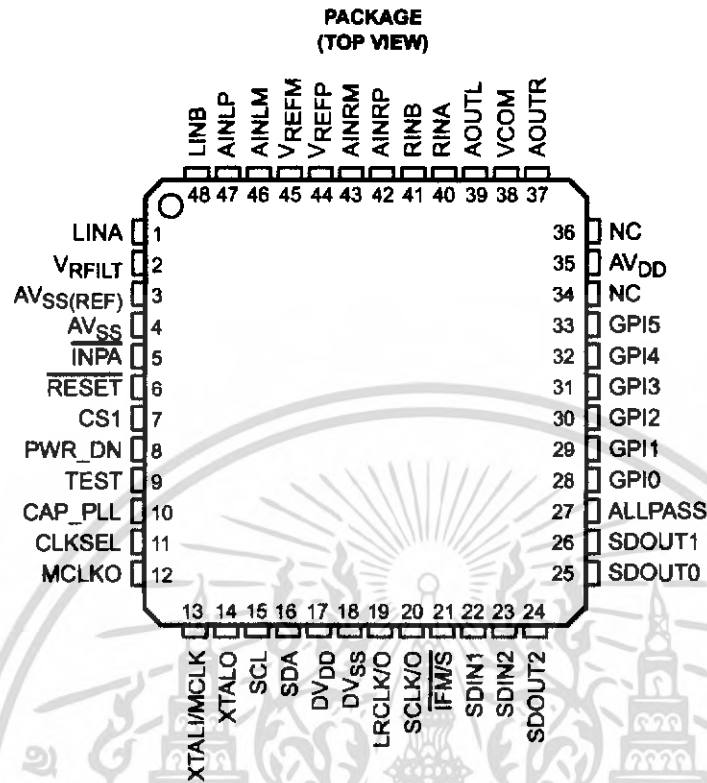


Figure 1–2. TAS3004 Terminal Assignments

1.5 Terminal Functions

Table 1–1. TAS3004 Terminal Functions

| TERMINAL NAME | NO. | I/O | DESCRIPTION |
|---------------|-----|-----|--|
| AINLM | 46 | I | ADC left channel analog input (anti-alias capacitor) |
| AINLP | 47 | I | ADC left channel analog input (anti-alias capacitor) |
| AINRM | 43 | I | ADC right channel analog input (anti-alias capacitor) |
| AINRP | 42 | I | ADC right channel analog input (anti-alias capacitor) |
| ALLPASS | 27 | I | Logic high bypasses equalization filters |
| AOURL | 39 | O | Left channel analog output |
| AOURL | 37 | O | Right channel analog output |
| AVDD | 35 | I | Analog power supply (3.3 V) |
| AVSS | 4 | I | Analog voltage ground |
| AVSS(REF) | 3 | I | Analog ground voltage reference |
| CAP_PLL | 10 | I | Loop filter for internal phase-locked loop (PLL) |
| CLKSEL | 11 | I | Logic low selects 256fs; logic high selects 512fs MCLK |
| CS1 | 7 | I | I ² C address bit A0; low = 68h, high = 6Ah |

Table 1–1. TAS3004 Terminal Functions (Continued)

| TERMINAL NAME | NO. | I/O | DESCRIPTION |
|---------------|-----|-----|---|
| DVDD | 17 | I | Digital power supply (3.3 V) |
| DVSS | 18 | I | Digital ground |
| GPI0 | 28 | I | Switch input terminals |
| GPI1 | 29 | | |
| GPI2 | 30 | | |
| GPI3 | 31 | | |
| GPI4 | 32 | | |
| GPI5 | 33 | | |
| IFM/S | 21 | I | Digital audio I/O control (low = input; high = output) |
| INPA | 5 | O | Low when analog input A is selected (will sink 4 mA) |
| LINA | 1 | I | Left channel analog input 1 |
| LINB | 48 | I | Left channel analog input 2 |
| LRCLK/O | 19 | I/O | Left/right clock input/output (output when IFM/S is high) |
| MCLKO | 12 | O | MCLK output for slave devices |
| NC | 34 | | No connection; Can be used as a printed circuit board routing channel |
| NC | 36 | | No connection; Can be used as a printed circuit board routing channel |
| PWR_DN | 8 | I | Logic high places the TAS3004 device in power-down mode |
| RESET | 6 | I | Logic low resets the TAS3004 device to the initial state |
| RINA | 40 | I | Right channel analog input 1 |
| RINB | 41 | I | Right channel analog input 2 |
| SCL | 15 | I/O | I ² C clock connection |
| SCLK/O | 20 | I/O | Shift (bit) clock input (output when IFM/S is high) |
| SDA | 16 | I/O | I ² C data connection |
| SDIN1 | 22 | I | Serial data input 1 |
| SDIN2 | 23 | I | Serial data input 2 |
| SDOUT1 | 26 | O | Serial data output (from internal audio processing) |
| SDOUT2 | 24 | O | Serial data output (a monaural mix of left and right, before processing) |
| SDOUT0 | 25 | O | Serial data output from ADC |
| TEST | 9 | I | Reserved manufacturing test terminal; connect to DVSS |
| VCOM | 38 | O | Digital-to-analog converter mid-rail supply (decouple with parallel combination of 10- μ F and 0.1- μ F capacitors) |
| VREFM | 45 | I | ADC minus voltage reference |
| VREFP | 44 | I | ADC plus voltage reference |
| VRFILT | 2 | O | Voltage reference low pass filter |
| XTALI/MCLK | 13 | I | Crystal or external MCLK input |
| XTALO | 14 | I | Crystal input (crystal is connected between terminals 13 and 14) |

2 Audio Data Formats

2.1 Serial Interface Formats

The TAS3004 device works in master or slave mode.

In the master mode, terminal 21 ($\overline{\text{IFM/S}}$) is tied high. This activates the master clock (MCLK) circuitry. A crystal can be connected across terminals 13 (XTALI/MCLK) and 14 (XTALO), or an external, TTL-compatible MCLK can be connected to XTALI/MCLK. In that case, MCLK outputs from terminal 12 (MCKO) with terminals 19 (LRCLK/O) and 20 (SCLK/O) becoming outputs to drive slave devices.

In the slave mode, $\overline{\text{IFM/S}}$ is tied low. LRCLK/O and SCLK/O are inputs and the interface operates as a slave device requiring externally supplied MCLK, LRCLK (left/right clock), and SCLK (shift clock) inputs. There are two options for selecting the clock rates. If the $512f_s$ MCLK rate is selected, terminal 11 (CLKSEL) is tied high and an MCLK rate of $512f_s$ must be supplied. If the $256f_s$ MCLK is selected, CLKSEL is tied low and an MCLK of $256f_s$ must be supplied. In both cases, an LRCLK of 64SCLK must be supplied.

- MCLK and SCLK must be synchronous and their edges must be at least 3 ns apart.
- If the LRCLK phase changes more than 10MCLK , the codec automatically resets.

The TAS3004 device is compatible with 13 different serial interfaces. Available interface options are I²S, right justified, and left justified. Table 2–1 indicates how the 13 options are selected using the I²C bus and the main control register (MCR, I²C address x01h). All serial interface options at either 16, 18, 20, or 24 bits operate with SCLK at $64f_s$. Additionally, the 16-bit mode operates at $32f_s$.

Table 2–1. Serial Interface Options

| MODE | MCR BIT (8) | MCR BIT (5–4) | MCR BIT (1–0) | SERIAL INTERFACE SDIN1, SDIN2, SDOUT1, SDOUT2, AND SDOUT0 |
|------|-------------|---------------|---------------|--|
| 0 | 0 | 00 | 00 | 16-bit, left justified, $32f_s$ |
| 1 | 1 | 00 | 00 | 16-bit, left justified, $64f_s$ |
| 2 | 1 | 01 | 00 | 16-bit, right justified, $64f_s$ |
| 3 | 1 | 10 | 00 | 16-bit, I ² S, $64f_s$ |
| 4 | 1 | 00 | 01 | 18-bit, left justified, $64f_s$ |
| 5 | 1 | 01 | 01 | 18-bit, right justified, $64f_s$ |
| 6 | 1 | 10 | 01 | 18-bit, I ² S, $64f_s$ |
| 7 | 1 | 00 | 10 | 20-bit, left justified, $64f_s$ |
| 8 | 1 | 01 | 10 | 20-bit, right justified, $64f_s$ |
| 9 | 1 | 10 | 10 | 20-bit, I ² S, $64f_s$ |
| 10 | 1 | 00 | 11 | 24-bit, left justified, $64f_s$ |
| 11 | 1 | 01 | 11 | 24-bit, right justified, $64f_s$ |
| 12 | 1 | 10 | 11 | 24-bit, I ² S, $64f_s$ |

Figure 2–1 through Figure 2–9 illustrate the relationship between the SCLK, LRCLK, and the serial data I/O for the different interface protocols.

2.2 ADC Digital Output Modes

ADC digital output mode (SDOUT0) has two operational modes, normal and monaural. In the normal mode, the output of the ADC conforms to the output modes described in Sections 2.2.1 through 2.2.3. To enter the normal output mode, bit 7 (ADM) in the analog control register must be cleared to 0. In the monaural output mode, the digital output of the ADC conforms to the output modes described in Sections 2.3.1 through 2.3.6. To enter the monaural mode, bit 7 (ADM) in the analog control register must be set to 1.

2.2.1 MSB First, Right-Justified Serial Interface Format—Normal Mode

The normal output mode for the MSB first, right-justified serial interface format is for 16, 18, 20, and 24 bits with bit 7 (ADM) in the analog control register cleared to 0. Figure 2–1 shows the following characteristics of this protocol:

- Left channel is transmitted when LRCLK is high.
- The SDIN(s) (recorded) data is justified to the trailing edge of the LRCLK.
- The SDOUT(s) MSB (playback) data is transmitted at the same time as LRCLK edge and captured at the next rising edge of SCLK.
- If LRCLK phase changes by more than 10MCLK, the codec automatically resets.

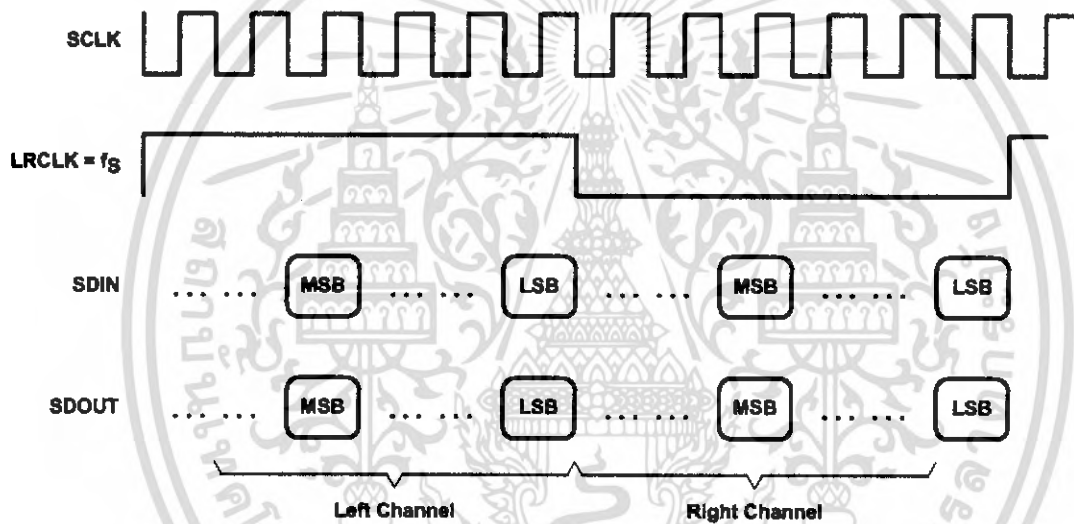


Figure 2–1. MSB First, Right-Justified Serial Interface Format—Normal Mode

3 Analog Input/Output

The TAS3004 device contains a stereo 24-bit ADC with two single-ended inputs per channel. Selection of the A or B analog input is accomplished by setting a bit in the analog control register (ACR) by an I²C command. Additionally, the TAS3004 device has a stereo 24-bit digital-to-analog converter (DAC).

3.1 Analog Input

Figure 3–1 shows the technique and components required for analog input to the TAS3004 device. The maximum input signal must not exceed $0.7 V_{rms}$. Selection of the above component values gives a frequency response from 20 Hz to 20 kHz at a sampling frequency of 48 kHz without alias frequency problems.

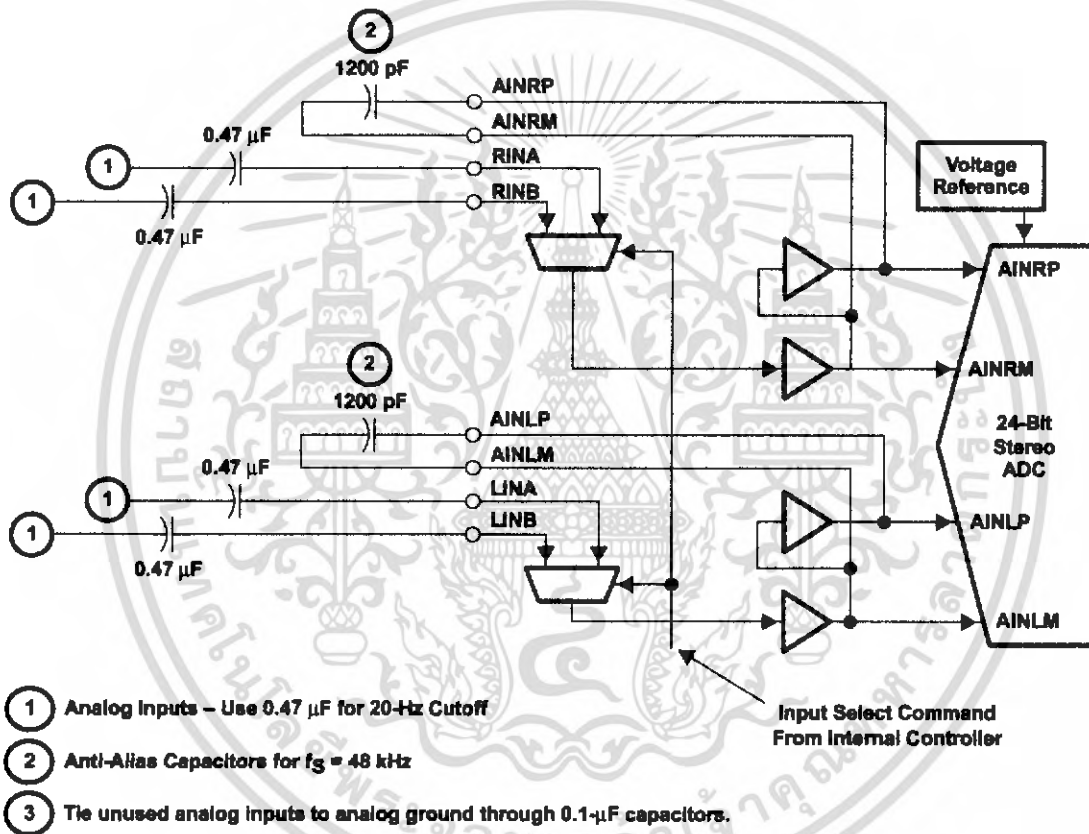


Figure 3–1. Analog Input to the TAS3004 Device

3.2 Analog Output

3.2.1 Analog Output

The full scale analog output from the TAS3004 device is $0.7 V_{rms}$. It is referenced to VCOM which is approximately 1.5 Vdc. VCOM must be decoupled with the network as shown in Figure 3–2.

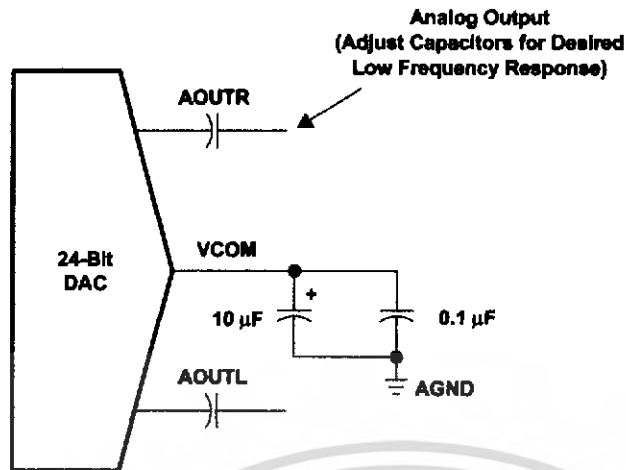


Figure 3-2. VCOM Decoupling Network

3.2.2 Analog Output With Gain

Since the analog output from the TAS3004 device is $0.7 V_{rms}$, the output level can be increased by using an external amplifier. The circuit shown in Figure 3-3 boosts the output level to $1 V_{rms}$ (when it has a gain of 1.414) and provides improved signal-to-noise ratio (SNR). Since this circuit lowers the noise floor, THD + N is improved also.

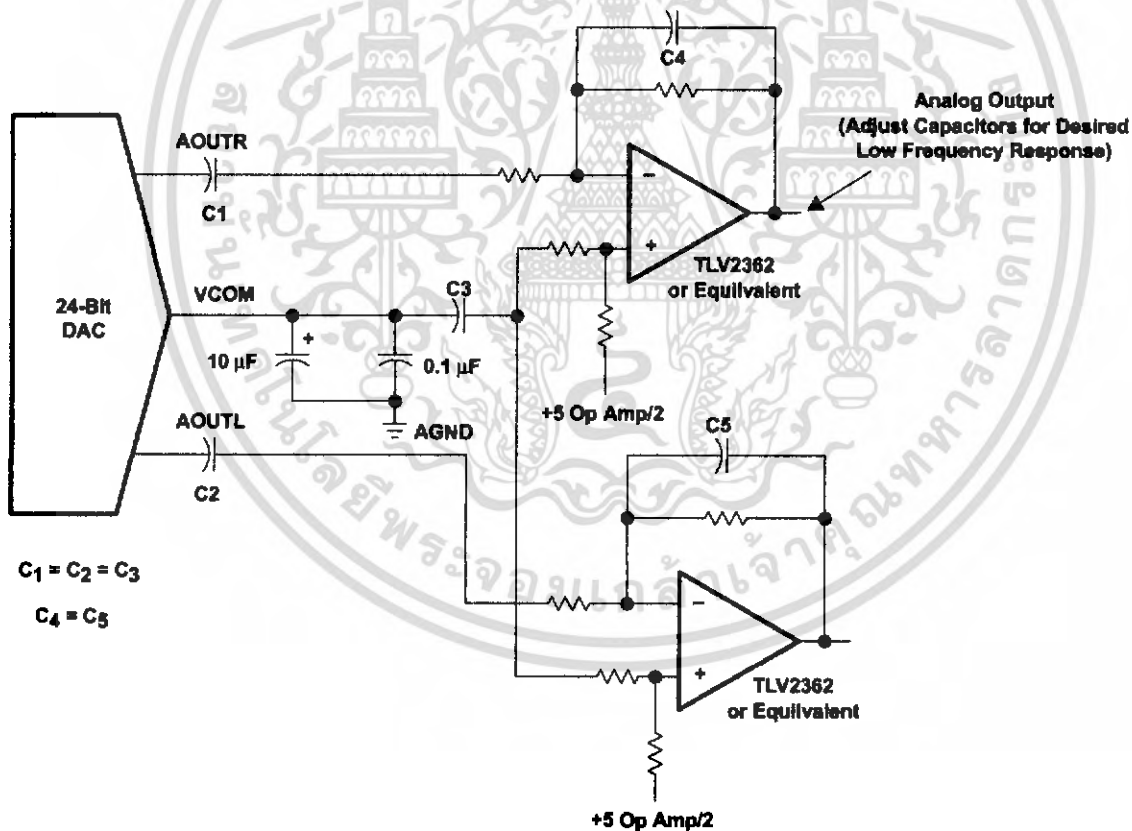


Figure 3-3. Analog Output With External Amplifier

3.2.3 Reference Voltage Filter

Figure 3-4 shows the TAS3004 reference voltage filter.

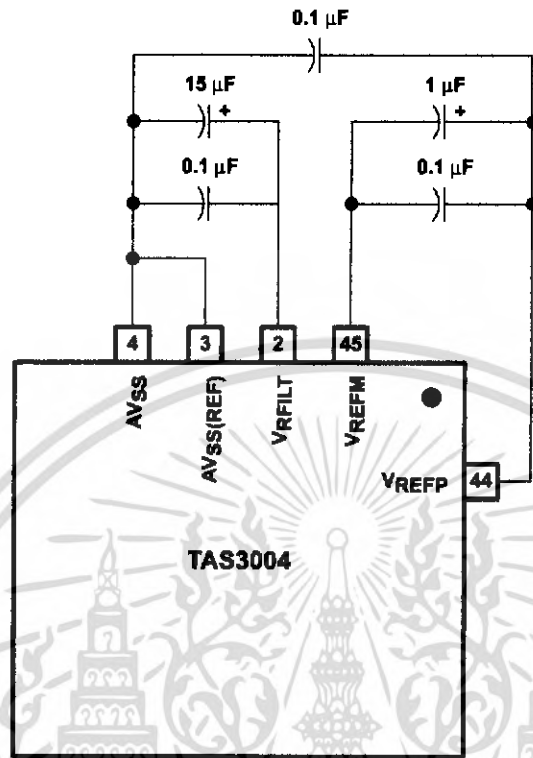


Figure 3-4. TAS3004 Reference Voltage Filter

4 Audio Control/Enhancement Functions

4.1 Soft Volume Update

The TAS3004 device implements a TI proprietary soft volume update. This feature allows a smooth and pleasant-sounding change from one volume level to another over the entire range of volume control (18 dB to mute).

The volume is adjustable by downloading a 4.16 gain coefficient through the I²C interface. Table A-5 lists the 4.16 coefficients converted into dB for the range of -70 dB to 18 dB with 0.5-dB step resolution.

Right and left channel volumes can be ungangled and set to different values. This feature implements a balance control.

Volume is changed by writing the desired value into the volume control registers. This is done by asserting the GPI terminals for volume-up or volume-down for a limited range of volume control. Alternately, volume control settings can be sent to the TAS3004 device over the I²C bus.

4.2 Software Soft Mute

Mute is implemented by loading all zeros in the volume control register. This causes the volume to ramp down over a duration of 2048f_s samples to a final output of 0 (-∞ dB).

Soft mute can be enabled by either asserting the mute GPI terminal or sending a mute command over the I²C bus.

4.3 Input Mixer Control

The TAS3004 device is capable of mixing and multiplexing three channels of serial audio data. The mixing is controlled through three mixer control registers. This is accomplished by loading values into the corresponding bytes of the mixer left gain (07h) and mixer right gain (08h) control registers.

The values loaded into these registers are in 4.20 format—4 bits for the integer and 20 bits for the fractional part. Table A-8 lists the 4.20 numbers converted into dB for the range of -70 dB to 18 dB, although any positive 4.20 number may be used.

To mute any of the channels, 0s are loaded into the respective mixer control register.

Mixer controls are updated instantly and can cause audible artifacts for large changes in setting when updated dynamically outside of the fast load mode; therefore, it is desirable to use fast load in conjunction with the soft-volume mode.

SDIN1, SDIN2, and the ADC output can be mixed with a user-selectable gain for each channel. The gain control registers are represented in 4.20 format.

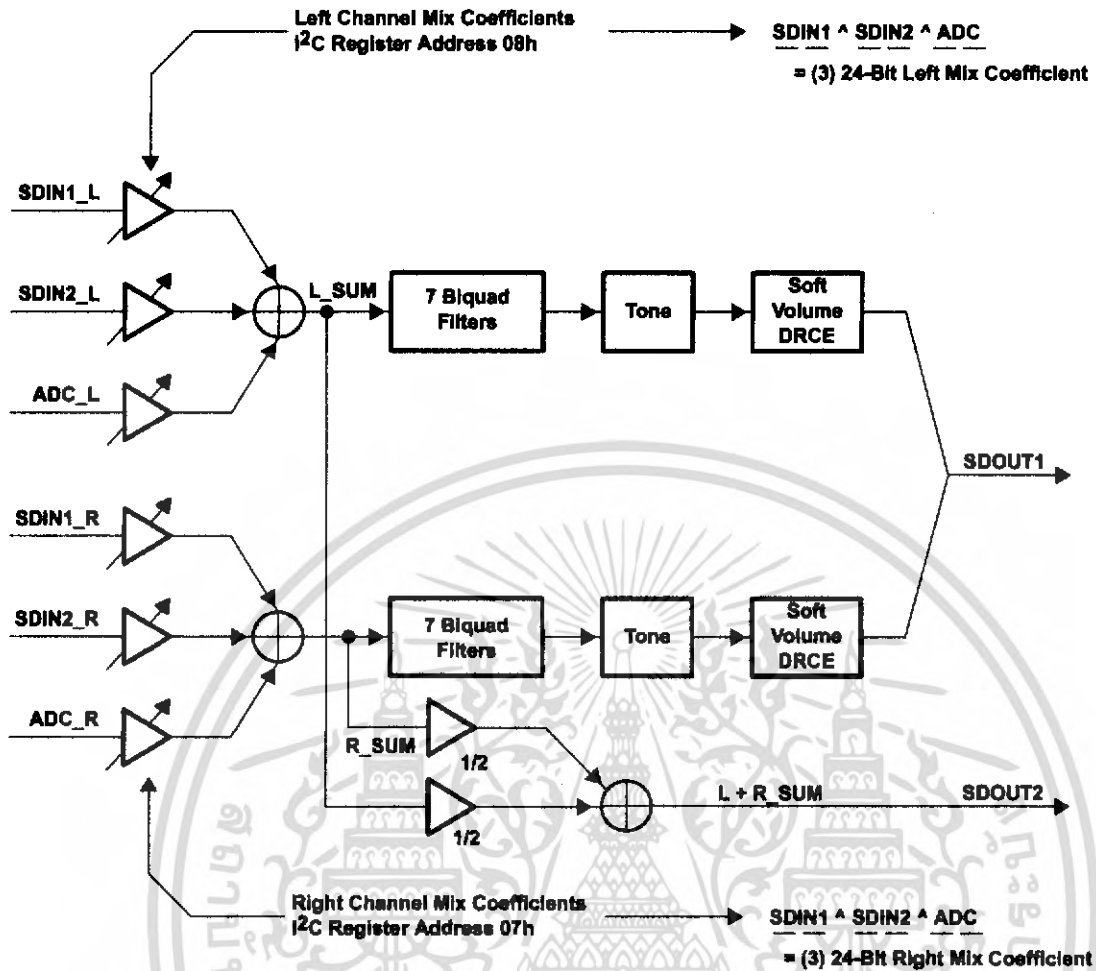


Figure 4–1. TAS3004 Mix Function

4.4 Mono Mixer Control

The TAS3004 device contains a second mixer that performs the function of mixing left and right channel digital audio data from the input mixer in order to derive a monaural channel. This mixer has a fixed gain of -6 dB so that full scale inputs on L_sum and R_sum do not produce clipping on the resulting L+R_sum.

The output of this mixer is present on terminal 24 (SDOUT2) and is generally used for a digitally-mixed subwoofer or center channel application.

4.5 Treble Control

The treble gain level may be adjusted within the range of 15 dB to -15 dB with 0.5-dB step resolution. The level changes are accomplished by downloading treble codes (shown in Appendix A) into the treble gain register. Alternately, a limited range of treble control is available by asserting the GPI terminals.

The treble control has a corner frequency of 6 kHz at a 48-kHz sample rate.

The gain values for treble control can be found in Section A.3.

4.6 Bass Control

The bass gain level can be adjusted within the range of 15 dB to -15 dB with 0.5-dB step resolution. The level changes are accomplished by downloading bass codes (shown in Appendix A) into the bass frequency control register. Alternately, a limited range of bass control is available by asserting the GPI terminals.

Bass control is a shelf filter with a corner frequency of 250 Hz at a 48-kHz sample rate.

The gain values for bass control can be found in Section A.4.

4.7 De-Emphasis (DM)

De-emphasis is implemented in the DAC and is software controlled. De-emphasis is valid at 44.1 kHz and 48 kHz.

To enable de-emphasis, values are written into the analog control register via the I²C command. See Section 4.8 for analog control register operation.

Figure 4-2 illustrates the frequency response of the de-emphasis mode.

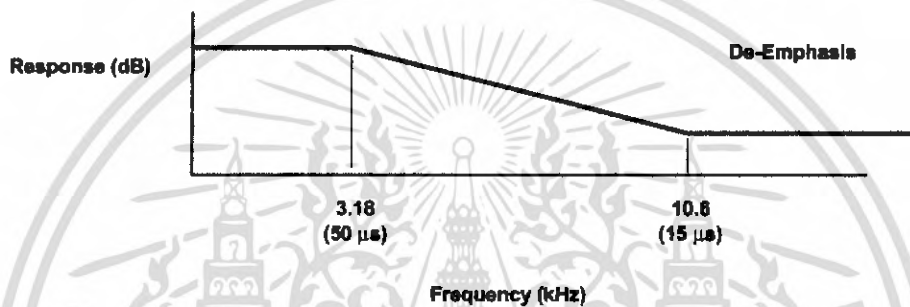


Figure 4-2. De-Emphasis Mode Frequency Response

4.8 Analog Control Register Operation

The analog control register (ACR) allows control of de-emphasis, selection of the analog input channel to the ADC, and analog power down.

An I²C master is required to write the appropriate command into the ACR. The ACR subaddress is 0x40.

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| Type | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Default | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Table 4-1. Analog Control Register Description

| BIT | FIELD NAME | TYPE | DESCRIPTION |
|-----|------------|------|---|
| 7 | ADM | R/W | ADC output mode. 0 = Normal operation 1 = A inputs are normal; B inputs are monaural. |
| 6 | LRB | R/W | Selects left or right B input for monaural output. 0 = B left input selected for monaural ADC output when bit 7 (ADM) is set to 1. 1 = B right input selected for monaural ADC output when bit 7 (ADM) is set to 1. |
| 5-4 | RSVD | R/W | Reserved. Bits 5 and 4 return 0s when read. |
| 3-2 | DM(1-0) | R/W | De-emphasis control. 00 = De-emphasis off (initial condition after reset) 01 = 48 kHz sample rate de-emphasis selected 10 = 44.1 kHz sample rate de-emphasis selected 11 = Reserved |
| 1 | INP | R/W | Analog input select. 0 = LINA and RINA selected (initial condition after reset) 1 = LINB and RINB selected |
| 0 | APD | R/W | Analog powerdown. 0 = Normal operation (initial condition after reset) 1 = Powerdown |

4.9 Dynamic Loudness Contour

The necessity for applying loudness compensation to playback systems to compensate for the fact that the ear perceives bass and treble less audibly at low levels than at high ones has been established with the first data published by Fletcher and Munson in 1933.

There are many equal-loudness contours in publication, like Steven's contours, Robinson and Dadson contours even reached the acceptance level of ISO recommendation.

The TAS3004 device has a simplified loudness contour algorithm that diminishes the effect of weak bass at low listening levels. Since contour has volume level dependency, the user must define the relation between the gain of the contour circuit and the volume level.

Figure 4–3 is a block diagram of this circuit.

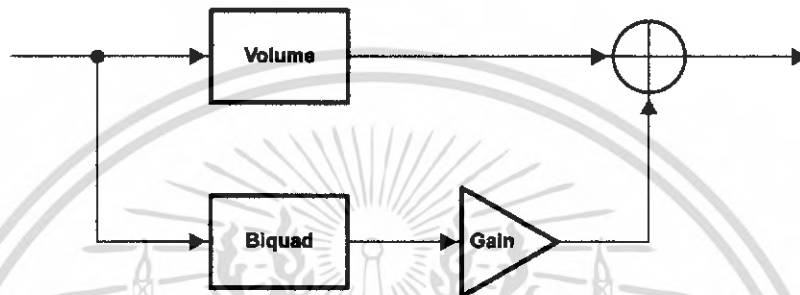


Figure 4–3. Block Diagram

The loudness contour is activated by sending an activation command via I²C from an external device. Optionally, a contour gain command can be sent by an external device to provide tracking with the system's volume control.

4.9.1 Loudness Biquads

Loudness biquad filters for the left and right channels are independently programmable via I²C. Their subaddresses are 0x21 and 0x22, respectively. The digital filters are written as five 24-bit (4.20) hex coefficients for each channel.

4.9.2 Loudness Gain

Loudness gain values for the left and right channels are independently programmable via I²C. Their subaddresses are 0x23 and 0x24, respectively. The gain values are written as one 4.20 hex coefficient for each channel.

4.9.3 Loudness Contour Operation

When the frequency of the loudness contour is determined, a digital filter must be developed. Then, the gain of the filter is determined. These values are placed in the storage area of the system controller (microcontroller) and sent to the TAS3004 device when it is desired to activate the loudness contour.

If it is necessary to change the frequency or gain of the contour, new gain and filter coefficients are sent by the system controller. This function is performed normally when the volume control is changed (that is, more volume, less contour). The gain of the loudness contour filter then tracks the volume control.

The loudness contour biquad filters are provided in addition to the seven equalization biquad filters.

See Section A.6 for programming instructions.

4.10 Dynamic Range Compression/Expansion

The TAS3004 device provides the user with the ability to manage the dynamic range of the audio system. The DRCE receives data, and affects scaling after the volume/loudness block. As shown in Figure 4–4, the DRCE is applied after the volume/loudness control block as a DRCE scale factor. The DRCE must be adjusted such that the signal does not reach the hard limit value. However, if the signal does reach the maximum digital value, the saturation logic serves as a hard limiter that does not allow the signal to extend beyond the available range.

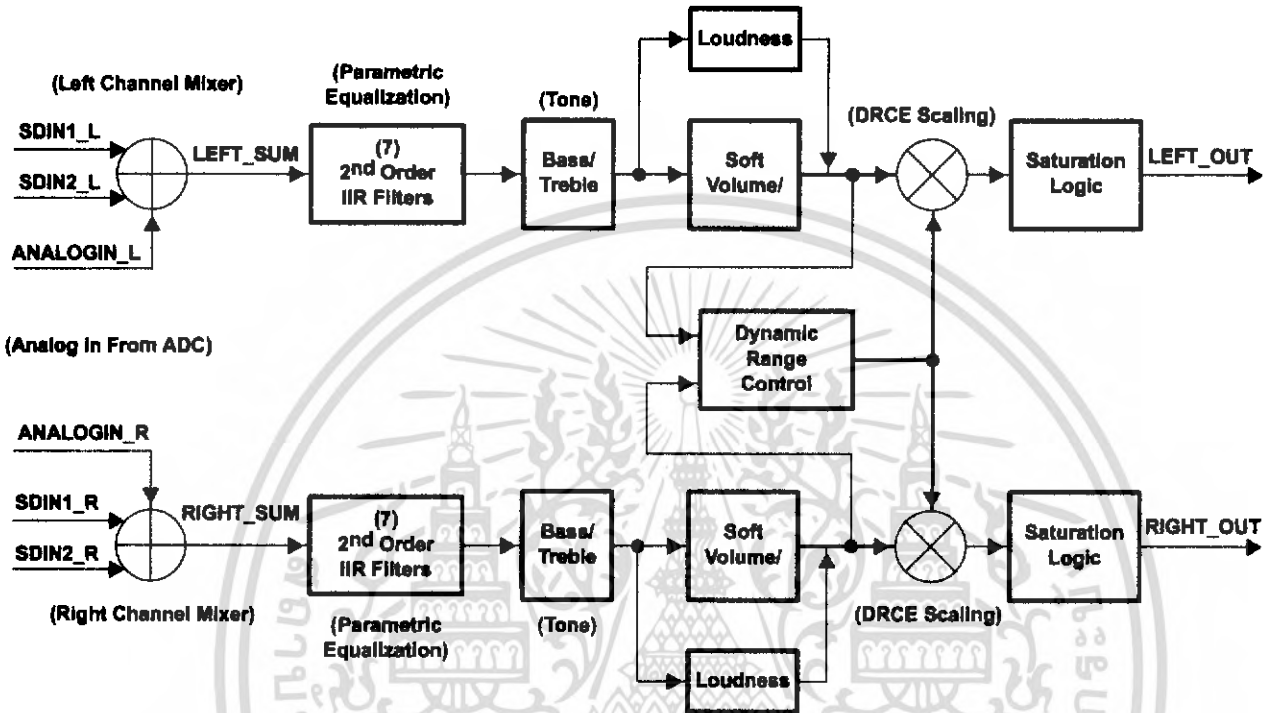


Figure 4–4. TAS3004 Digital Signal Processing Block Diagram

The DRCE instruction consists of eight bytes that must be sent each time in the order shown in the example code of Table A–9. Each instruction downloaded must be eight bytes. If only one byte is changed, all eight bytes must be transmitted. The first two bytes remain the same for every instruction, however the last six bytes can be programmed using hexadecimal values from the corresponding tables referred to in Section A.7.

With high compression ratios and fast attack times available, this function is suited for a commercial killer in a television set application.

4.11 AllPass Function

This function is enabled by setting terminal 27 (ALLPASS) on the TAS3004 device to 1. When asserted, the internal equalization filters are set into AllPass (flat) mode. When this terminal is reset to 0, the equalization filters are returned to the equalization that was in use before the terminal was asserted.

In AllPass mode, the bass and treble controls are still functional.

This function is frequently used for headphones. When the headphone plug is inserted into its jack, a switchad contact in the jack enables the AllPass function.

The AllPass function also can be activated by writing a 1 to bit 2 of the analog control register.

4.12 Main Control Register 2 (43h)

The TAS3004 device contains two main control registers: main control register 1 (MCR1) and main control register 2 (MCR2). The MCR2 contains the bits associated with the AllPass function and the download of bass and treble control information, and it is accessed via I²C with the address 43h.

MCR2 (43h)

| Bit | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|-----|----|
| Type | R/W | R | R | R | R | R | R/W | R |
| Default | 0 | 0 | 0 | x | x | x | 0 | 0 |

Table 4–2. Main Control Register 2 Description

| BIT | TYPE | DESCRIPTION |
|-------|------|---|
| b7 | R/W | 0 = Normal operation (initial condition after reset) 1 = Download bass and treble |
| b6–b5 | R | Reserved. Bits b6 and b5 return 0s when read. |
| b4–b2 | R | Undefined. |
| b1 | R/W | 0 = Normal operation (initial condition after reset) 1 = AllPass mode (bass and treble are still functional) |
| b0 | R | Reserved. Bit b0 returns 0 when read. |

5 Filter Processor

5.1 Biquad Block

The biquad block consists of seven digital biquad filters per channel organized in a cascade structure, as shown in Figure 5–1. Each of these biquad filters has five downloadable 24-bit (4.20) coefficients. Each stereo channel has independent coefficients.



Figure 5–1. Biquad Cascade Configuration

5.1.1 Filter Coefficients

The filter coefficients for the TAS3004 device are downloaded through the I²C port and loaded into the biquad memory space. Each biquad filter memory space has an independent address. Digital audio data coming into the device is processed by the biquad block and then converted into analog waveforms by the DAC. Alternately, filters can be loaded by asserting terminals on the GPI port.

5.1.2 Biquad Structure

The biquad structure that is used for the parametric equalization filters is as follows:

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{a_0 + a_1z^{-1} + a_2z^{-2}} \quad (1)$$

NOTE: a_0 is fixed at value 1 and is not downloadable.

The coefficients for these filters are represented in 4.20 format—4 bits for the integer part and 20 bits for the fractional part. In order to transmit them over I²C, it is necessary to separate each coefficient into three bytes. The upper 4 bits of byte 2 is the integer part, and the second nibble of byte 2, byte 1, and byte 0 are the fractional parts.

The filters can be designed using the automatic loudspeaker equalization program (ALE) or a script running under MatLab named Filtermaker. Both of these tools are available from Texas Instruments.

6 I²C Serial Control Interface

6.1 Introduction

Control parameters for the TAS3004 device can be loaded from an I²C serial EPROM by using the TAS3004 master interface mode. If no EPROM is found, the TAS3004 device becomes a slave device and loads from another I²C master interface. Information loaded into the TAS3004 registers is defined in Appendix A.

The I²C bus uses terminals 16 (SDA for data) and 15 (SCL for clock) to communicate between integrated circuits in a system. These devices can be addressed by sending a unique 7-bit slave address plus R/W bit (1 byte). All compatible devices share the same terminals via a bidirectional bus using a wired-AND connection. An external pullup resistor must be used to set the high level on the bus. The TAS3004 device operates in standard mode up to 100 kbps with as many devices on the bus as desired up to the capacitance load limit of 400 pF.

Furthermore, the TAS3004 device supports a subset of the SMBus protocol. When it is attached to the SMBUS, then byte, word, and block transfers are supported. The SMBus NAK function is not supported and care must be taken with the sequence of the instructions sent to the TAS3004 device.

Additionally, the TAS3004 device operates in either master or slave mode; therefore, at least one device connected to the I²C bus must operate in master mode.

6.2 I²C Protocol

The bus standard uses transitions on SDA while the clock is high to indicate start and stop conditions. A high-to-low transition on SDA indicates a start and a low-to-high transition indicates a stop. Normal data bit transitions must occur within the low time of the clock period. Figure 6–1 shows these conditions. These start and stop conditions for the I²C bus are required by standard protocol to be generated by the master. The master must also generate the 7-bit slave address and the read/write (R/W) bit to open communication with another device and then wait for an acknowledge condition. The slave holds SDA low during acknowledge clock period to indicate an acknowledgment. When this occurs, the master transmits the next byte of the sequence.

After each 8-bit word, an acknowledgment must be transmitted by the receiving device. There is no limit on the number of bytes that can be transmitted between start and stop conditions. When the last word transfers, the master generates a stop condition to release the bus. Figure 6–1 shows a generic data transfer sequence.

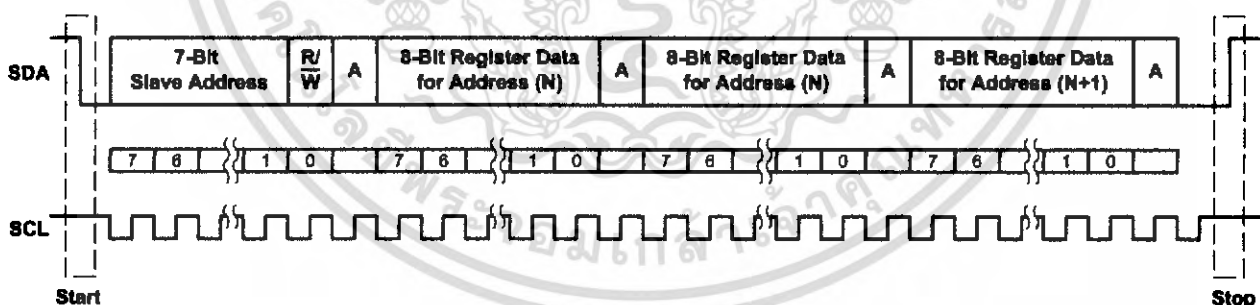


Figure 6–1. Typical I²C Data Transfer Sequence

7 Microcontroller Operation

The TAS3004 device contains an internal microcontroller programmed by Texas Instruments to perform housekeeping and interface functions. Additionally, it handles I²C communication and general purpose input functions.

7.1 General Description

The microcontroller uses a 256f_s system clock and can access up to 8K bytes of memory. It interfaces with the digital audio interface I²C master/slave for downloading data and coefficients. It also interfaces with two internal DSPs for transferring coefficients and other information.

The TAS3004 coefficients are loaded through I²C in the master or slave mode. Standard audio processing functions (volume, bass, and treble) can be controlled/activated through external switches connected to the six GPI terminals. Upon reset, the internal microcontroller sets all coefficients and audio parameters to the default values. See Section 7.2.2 for default values.

If the TAS3004 address is 68h (ADDR_SEL=0), it becomes the bus master device and attempts to load parameters and coefficients from the external EPROM. If no EPROM is present, the TAS3004 device remains in its default condition. If addresses other than 68h/69h are set, the TAS3004 device only operates as an I²C slave device.

If the microcontroller determines the TAS3004 device has an I²C address of 68h/69h and the EPROM is present, the microcontroller downloads coefficients from the EPROM. Once the download is complete, it enables the serial audio in the mode defined by an I²C write to the MCR to transfer data into and out of the device. Before reading the EPROM, the serial audio port defaults to I²S mode.

The TAS3004 device allows the user to update volume, bass, and treble dynamically by an I²C slave command or by a simple GPI switch input. The GPI can select volume up and down, bass/treble up and down, or digital equalizations. Up to five different equalizations (that is, flat, jazz, rock, voice, etc.) can be stored in the external EPROM. Also, DRCE, MCR1, MCR2, and loudness contour are enabled and disabled by I²C.

When the TAS3004 device operates in the I²C master mode, it echoes changes to all of its functions to other I²C addresses that are defined in its external EPROM. If no addresses are defined, it does not echo.

7.2 Power-Up/Power-Down Reset

7.2.1 Power-Up Sequence

An active low on terminal 6 ($\overline{\text{RESET}}$) while MCLK is running, resets the internal microcontroller and DSP(s). $\overline{\text{RESET}}$ synchronizes internally and can be asserted asynchronously or with the simple RC circuit in Figure 7–1. On reset, SCL and SDA go to a high-impedance state. If the I²C address is set to 68h, approximately 400 μs after $\overline{\text{RESET}}$ returns to a 1, the device sends a one-byte query via I²C to look for an EPROM. If an EPROM is found, it becomes an I²C master; otherwise, it becomes an I²C slave. When using address 68h in the slave mode, an external master must wait until after the EPROM query or else bus contention and improper operation occurs.

I²C address x6Ah does not query the bus for an EPROM. The address for the EPROM is xA0h.

7.2.2 Reset

The TAS3004 device has an asynchronous reset terminal ($\overline{\text{RESET}}$). This reset is synchronized with various clocks used in this device to generate a synchronous internal reset. Upon reset, the TAS3004 device goes through the following process:

- Clears all the RAM memory content

- Clears all the registers in the circuits
- Purges the codec
- Selects analog input A (RINA and LINA) and sets the input A active indicator ($\overline{\text{INPA}}$) low.
- Initializes the equalization parameters to AllPass filters
- Sets the digital audio interface to I²S—18-bit mode
- Sets the bass/treble to 0 dB
- Sets the mixer gain to 0 dB SDIN1 and mutes both SDIN2 and analog-in
- Sets the volume to -40 dB
- Turns off all enhancement features (DRCE, etc.).
- Reads the I²C address. If the address is 68h, the device reads its EPROM. It is possible to load the user-defined bass/treble data and break points (optional). If there is no data, the device loads default bass/treble delta and break points from ROM.
- If the address is 6Ah, the device puts the I²C interface in slave mode and waits for input.

7.2.3 Reset Circuit

Since the TAS3004 device has an internal power-on reset (POR), in many cases, additional components are not needed to reset the device. It resets internally at approximately 80% of V_{DD} .

In the case where the system's power supplies are slow in reaching their final voltage or where there is a difference in the time the system power supplies take to become stable, the TAS3004 reset can be delayed by a simple RC circuit.

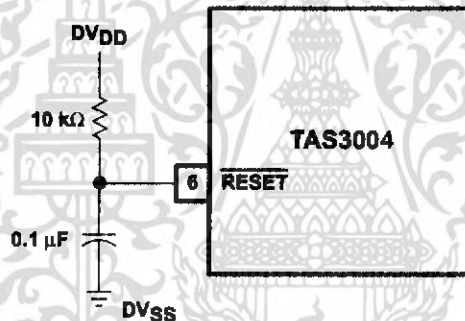


Figure 7-1. TAS3004 Reset Circuit

The values for the above circuit can be calculated by the simple equation:

$$t_{rd} = 0.8RC + 400 \mu s$$

Where: t_{rd} = The delay before the TAS3004 device comes out of reset

C = Value of the capacitance from $\overline{\text{RESET}}$ (pin 6) to DV_{SS}

R = Value of the resistance from $\overline{\text{RESET}}$ (pin 6) to DV_{DD}

The circuit described in Figure 7-1 delays the start-up of the TAS3004 device approximately 1.2 ms.

When it is necessary to control the reset of the TAS3004 device with an external device, such as a microcontroller, $\overline{\text{RESET}}$ (pin 6) can be treated as a logic signal. It then brings the device out of reset when the voltage on $\overline{\text{RESET}}$ reaches $V_{DD}/2$.

7.2.4 Fast Load Mode

While in fast load mode, it is possible to update the parametric equalization without any audio processing delay. The audio processor pauses while the RAM is updated in this mode. Bass and treble cannot download in this mode. Mixer1 and Mixer2 registers can download in this mode or normal mode (FL bit = 0).

Once the download is complete, the fast load bit must be cleared by writing a 0 into bit 7 of the main control register (MCR). This puts the TAS3004 device into normal mode.

7.2.5 Codec Reset

During initialization, the output of the CODEC is disabled. Throughout reset and initialization, the output of the DAC is muted to prevent extraneous noise being sent to the system output.

Data from the ADC and other internal processing is purged so that when reset/initialization is complete, only valid inputs are sent to the system output.

7.3 Power-Down Mode

The TAS3004 device has an asynchronous power-down mode. In the power-down mode, the internal control registers and equalization programming of the device are stored in the device.

To enter power-down mode:

- Assert the power-down control signal (1)
- Set the serial audio input clocks to 0

The TAS3004 device goes into power-down mode.

To exit the power-down mode:

- Assert $\overline{\text{RESET}}$ (logic 0)
- Restart the serial audio clocks
- Wait for a delay of 1.0 ms (to allow the PLL to lock)
- Negate the power-down control signal (logic 0)
- Negate $\overline{\text{RESET}}$ (logic 1)

The device then returns to the state it was in before power down (resumes normal operation).

7.3.1 Power-Down Timing Sequence

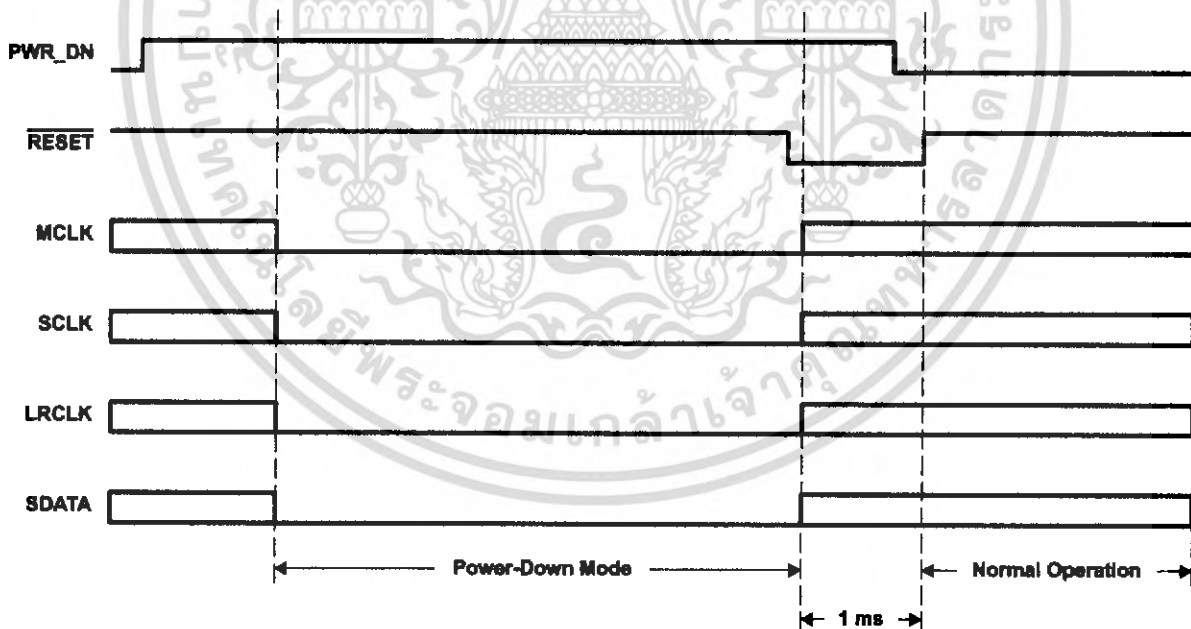


Figure 7–2. Power-Down Timing Sequence

In power-down mode, the TAS3004 device consumes typically less than 1 mA.

7.4 Test Mode

Terminal 9 (TEST) is tied low in normal operation. This function is reserved for factory test and must not be asserted.

7.5 Internal Interface

Figure 7-3 shows the block diagram of the interface between the microcontroller and its peripheral blocks.

7.6 GPI Terminal Programming

During initialization, the microcontroller fetches a control byte from its EPROM or receives a command from I²C.

7.6.1 Switch Interface

The six GPI terminals are programmed to operate in the following manner:

Table 7-1. GPI Terminal Programming

| | GPI5 | GPI4 | GPI3 | GPI2 | GPI1 | GPI0 |
|----------------|------|------|------|------|------|------|
| VOL_UP, +1 dB | x | | | | | |
| VOL_DN, -1 dB | | x | | | | |
| BASS_UP, +1 dB | | | x | | | |
| BASS_DN, -1 dB | | | | x | | |
| TREB_UP, +1 dB | | | | | x | |
| TREB_DN, -1 dB | | | | | | x |
| Shift 1 | x | | | | | x |
| Mute | x | | | | | |
| EQ1 | | x | | | | |
| EQ2 | | | x | | | |
| EQ3 | | | | x | | |
| EQ4 | | | | | x | |
| EQ5 | | | | | | x |
| Shift 2 | | | x | x | | |

NOTE: x = Logic low

Initially (after reset), the TAS3004 GPI is set to control volume, bass, and treble. Simultaneously setting GPI bits 1 and 5 low for 1 second changes the function of the GPI terminals to control mute and equalization.

To return to volume, bass, and treble control, simultaneously set GPI terminals 2 and 3 low for 1 second.

When a GPI switch is activated, the TAS3004 device echoes its function over I²C to a TAS3001 device mapped to address x6Ah. Therefore, a system with two audio equalization chips can be implemented without the need for a microcontroller.

7.6.2 GPI Architecture

The GPI provides simple but flexible input port to activate the input parameters. Each terminal input is an active logic low.

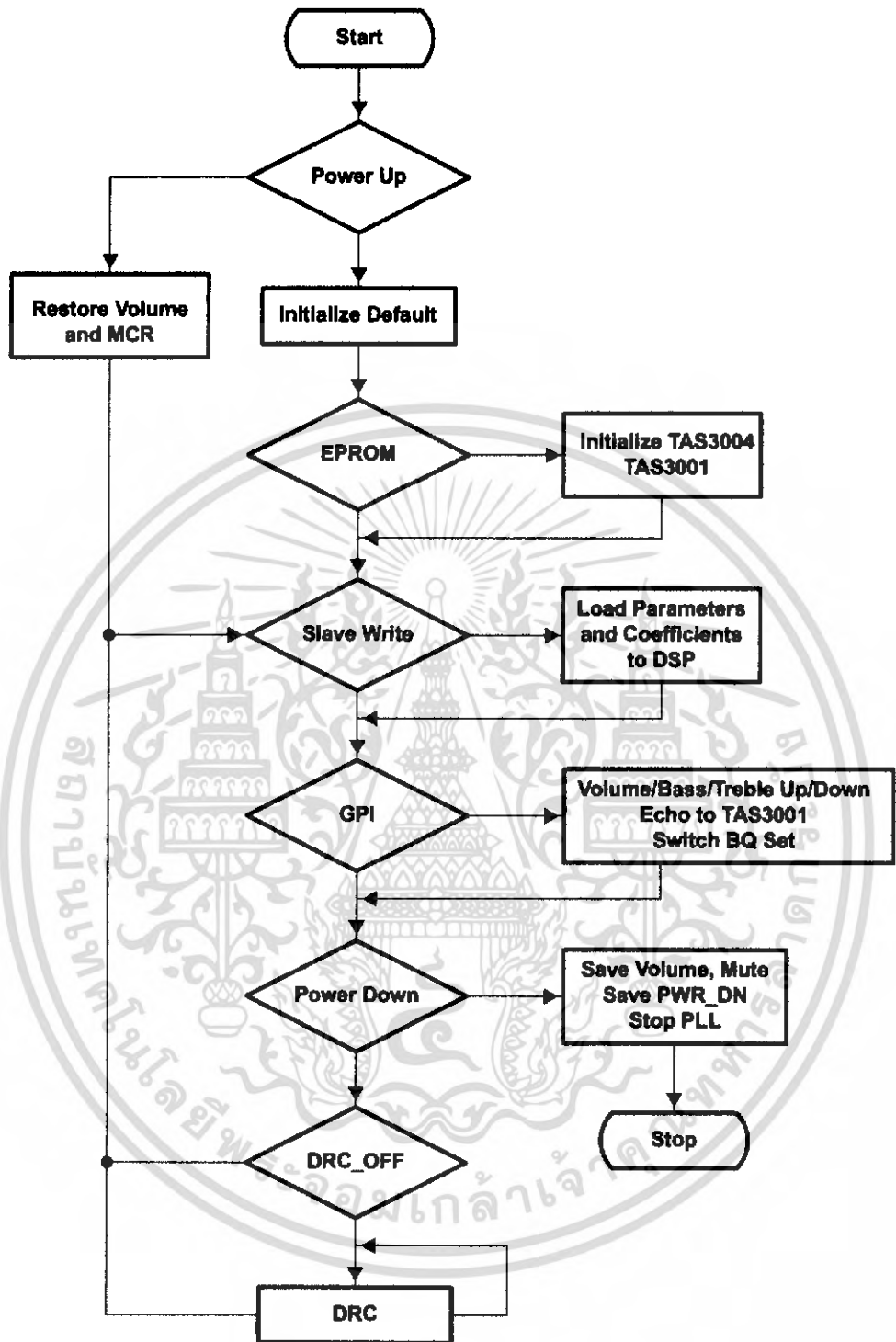


Figure 7-3. Internal Interface Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.7 External EPROM Memory Maps

Table 7-2 through Table 7-5 show the 512-byte and 2048-byte EPROM memory maps.

Table 7-2. 512-Byte EPROM Memory Map 2.0 Channels

| ADDRESS | BYTE NUMBER | FUNCTION | |
|-----------|-------------|---|---------------|
| 000h | 1 | Signature (2Ah) | |
| 001h | 1 | ID byte = 0000 0000 | |
| 002h | 1 | MCR | |
| 003h-00Bh | 9 | Mixer left gain | |
| 00Ch-014h | 9 | Mixer right gain | |
| 015h-01Ah | 6 | DRC (ratio, threshold, energy α , attack α , decay α) | |
| 01Bh | 1 | Bass | |
| 01Ch | 1 | Treble | |
| 01Dh-022h | 6 | Volume | |
| 031h-03Fh | 15 | Biquad 0 | Left channel |
| 040h-04Eh | 15 | Biquad 1 | |
| 04Fh-05Dh | 15 | Biquad 2 | |
| 05Eh-06Ch | 15 | Biquad 3 | |
| 06Dh-07Bh | 15 | Biquad 4 | |
| 07Ch-08Ah | 15 | Biquad 5 | |
| 08Bh-099h | 15 | Biquad 6 | |
| 09Ah | 1 | 0 dB/bass | Right channel |
| 09Bh | 1 | 0 dB/treble | |
| 09Ch-0A1h | 6 | Bass break | |
| 0A2h-0A7h | 6 | Treble break | |
| 0A8h-110h | 105 | Bass delta | |
| 111h-179h | 105 | Treble delta | |
| 17Ah-17Fh | 6 | Bass set point | |
| 180h-185h | 6 | Treble set point | |
| 186h-194h | 15 | Biquad 0 | |
| 195h-1A3h | 15 | Biquad 1 | |
| 1A4h-1B2h | 15 | Biquad 2 | |
| 1B3h-1C1h | 15 | Biquad 3 | |
| 1C2h-1D0h | 15 | Biquad 4 | |
| 1D1h-1DFh | 15 | Biquad 5 | |
| 1E0h-1Eeh | 15 | Biquad 6 | |

NOTE: Bytes are in the same order as they appear in the I²C register map. The EPROM address is xA0h.

Table 7-3. 512-Byte EPROM Memory Map 2.1 Channels (with TAS3001)

| ADDRESS | BYTE NUMBER | | FUNCTION | |
|-----------|-------------|------|---|--------------------------------------|
| 000h | 1 | | Signature (2Ah) | |
| 001h | 1 | | ID byte = 0000 0011 | |
| | TAS3004 | AD81 | TAS3004 | TAS3001 |
| 002h | 1 | 1 | MCR | 1EFh |
| 003h-00Bh | 9 | 9 | Mixer left gain | 1F0h-1F2h |
| 00Ch-014h | 9 | 9 | Mixer right gain | 1F3h-1F5h |
| 015h-01Ah | 8 | 6 | DRC (ratio, threshold, energy α , attack α , decay α) | 1F8h-1F7h |
| 01Bh | 1 | 1 | Bass | 1F8h |
| 01Ch | 1 | 1 | Treble | 1F9h |
| 01Dh-022h | 8 | 8 | Volume | 1FAh-1FFh |
| 031h-03Fh | 15 | | Biquad 0 | TAS3004 right and left channel |
| 040h-04Eh | 15 | | Biquad 1 | |
| 04Fh-05Dh | 15 | | Biquad 2 | |
| 05Eh-06Ch | 15 | | Biquad 3 | |
| 06Dh-07Bh | 15 | | Biquad 4 | |
| 07Ch-08Ah | 15 | | Biquad 5 | |
| 08Bh-099h | 15 | | Biquad 6 | |
| 09Ah | 1 | | 0 dB/bass | |
| 09Bh | 1 | | 0 dB/treble | |
| 09Ch-0A1h | 6 | | Bass break | |
| 0A2h-0A7h | 6 | | Treble break | |
| 0A8h-110h | 105 | | Bass delta | |
| 111h-179h | 105 | | Treble delta | |
| 17Ah-17Fh | 6 | | Bass set point | |
| 180h-185h | 6 | | Treble set point | |
| 186h-194h | 15 | | Biquad 0 | TAS3001 right and left channel |
| 195h-1A3h | 15 | | Biquad 1 | |
| 1A4h-1B2h | 15 | | Biquad 2 | |
| 1B3h-1C1h | 15 | | Biquad 3 | |
| 1C2h-1D0h | 15 | | Biquad 4 | |
| 1D1h-1DFh | 15 | | Biquad 5 | |
| 1E0h-1EEh | 15 | | Biquad 6 | |

NOTE: In this mode, the TAS3004 and the TAS3001 devices both use the same equalization coefficients for their right and left channels. Bytes are in the same order as they appear in the I²C register map. The EPROM address is xA0h.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 7-4. 2048-Byte EPROM Memory Map—2.0 Speakers With Multiple Equalizations

| TAS3004 ADDRESS LEFT BIQUAD | NUMBER OF BYTES | FUNCTION | CATEGORY | TAS3004 ADDRESS RIGHT BIQUAD | TAS3001 | |
|-----------------------------|-----------------|---|-----------|------------------------------|-----------|--|
| 000h | 1 | Signature (2Ah) | | | | |
| 001h | 1 | 1 | 0 | 0 | 0 | |
| 002h | 1 | MCR | | | 1EFh | |
| 003h-00Bh | 9/3 | Mixer left gain | | | 1F0h-1F2h | |
| 00Ch-014h | 9/3 | Mixer right gain | | | 1F3h-1F5h | |
| 015h-019h | 5/2 | DRC (ratio, threshold, energy α , attack α , decay α) | | | 1F6h-1F7h | |
| 01Ah | 1 | Bass | | | 1F8h | |
| 01Bh | 1 | Treble | | | 1F9h | |
| 01Ch-021h | 6 | Volume | | | 1FAh-1FFh | |
| 031h-03Fh | 15 | Biquad 0 | Set 0 | 3A4h-3B2h | 186h-194h | |
| 040h-04Eh | 15 | Biquad 1 | | 3B3h-3C1h | 195h-1A3h | |
| 04Fh-05Dh | 15 | Biquad 2 | | 3C2h-3D0h | 1A4h-1B2h | |
| 05Eh-06Ch | 15 | Biquad 3 | | 3D1h-3DFh | 1B3h-1C1h | |
| 06Dh-07Bh | 15 | Biquad 4 | | 3E0h-3EEh | 1C2h-1D0h | |
| 07Ch-08Ah | 15 | Biquad 5 | | 3EFh-3FDh | 1D1h-1DFh | |
| 08Bh-099h | 15 | Biquad 6 | | 3FEh-40Ch | 1E0h-1EEh | |
| 09Ah-185h | 236 | Bass treble table | | | | |
| 200h-20Eh | 15 | Biquad 0 | Set 1 | 40Dh-41Bh | 5B1h-5BFh | |
| 20Fh-21Dh | 15 | Biquad 1 | | 41Ch-42Ah | 5C0h-5CEh | |
| 21Eh-22Ch | 15 | Biquad 2 | | 42Bh-439h | 5CFh-5DDh | |
| 22Dh-23Bh | 15 | Biquad 3 | | 43Ah-448h | 5DEh-5ECh | |
| 23Ch-24Ah | 15 | Biquad 4 | | 449h-457h | 5EDh-5FBh | |
| 24Bh-259h | 15 | Biquad 5 | | 458h-466h | 5FCh-60Ah | |
| 25Ah-268h | 15 | Biquad 6 | 467h-475h | 60Bh-619h | | |
| 269h-277h | 15 | Biquad 0 | Set 2 | 476h-484h | 61Ah-628h | |
| 278h-286h | 15 | Biquad 1 | | 485h-493h | 629h-637h | |
| 287h-295h | 15 | Biquad 2 | | 494h-4A2h | 638h-646h | |
| 296h-2A4h | 15 | Biquad 3 | | 4A3h-4B1h | 647h-655h | |
| 2A5h-2B3h | 15 | Biquad 4 | | 4B2h-4C0h | 656h-664h | |
| 2B4h-2C2h | 15 | Biquad 5 | | 4C1h-4CFh | 665h-673h | |
| 2C3h-2D1h | 15 | Biquad 6 | 4D0h-4DEh | 674h-682h | | |
| 2D2h-2E0h | 15 | Biquad 0 | Set 3 | 4DFh-4EDh | 683h-691h | |
| 2E1h-2EFh | 15 | Biquad 1 | | 4EEh-4FCh | 692h-6A0h | |
| 2F0h-2FEh | 15 | Biquad 2 | | 4FDh-50Bh | 6A1h-6AFh | |
| 2FFh-30Dh | 15 | Biquad 3 | | 50Ch-51Ah | 6B0h-6BEh | |
| 30Eh-31Ch | 15 | Biquad 4 | | 51Bh-529h | 6BFh-6CDh | |
| 31Dh-32Bh | 15 | Biquad 5 | | 52Ah-538h | 6CEh-6DCh | |
| 32Ch-33Ah | 15 | Biquad 6 | 539h-547h | 6DDh-6EBh | | |
| 33Bh-349h | 15 | Biquad 0 | Set 4 | 548h-556h | 6ECh-6FAh | |
| 34Ah-358h | 15 | Biquad 1 | | 557h-565h | 6FBh-709h | |
| 359h-367h | 15 | Biquad 2 | | 566h-574h | 70Ah-718h | |
| 368h-376h | 15 | Biquad 3 | | 575h-583h | 719h-727h | |
| 377h-385h | 15 | Biquad 4 | | 584h-592h | 728h-736h | |
| 386h-394h | 15 | Biquad 5 | | 593h-5A1h | 737h-745h | |
| 395h-3A3h | 15 | Biquad 6 | | 5A2h-5B0h | 746h-754h | |

NOTE: Bytes are in the same order as they appear in the I²C register map. The EPROM address is xA0h.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 7-5. 2048-Byte EPROM Memory Map—2.1 Speakers With Multiple Equalizations

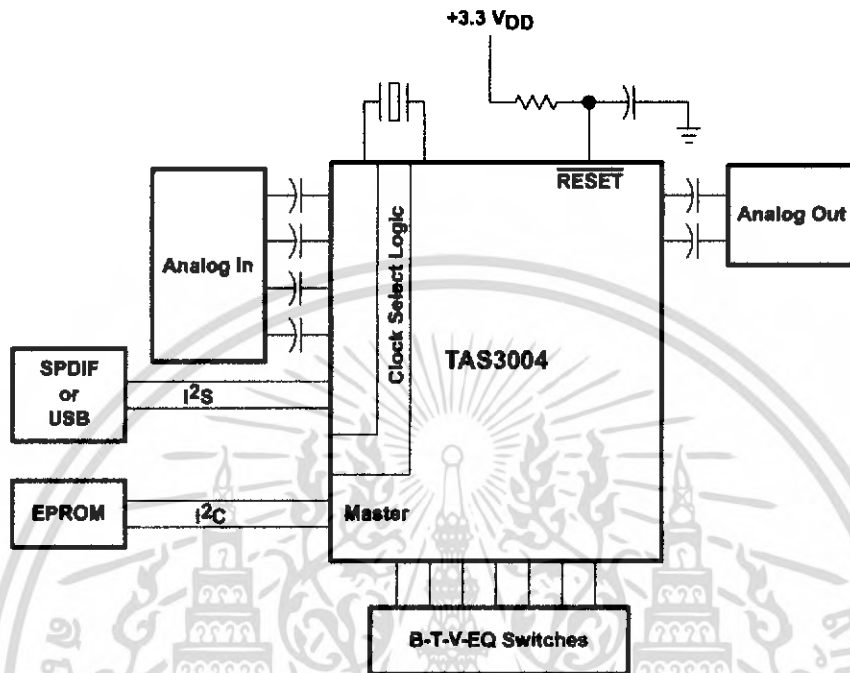
| TAS3004 ADDRESS | NUMBER OF BYTES | FUNCTION | CATEGORY | TAS3001 ADDRESS LEFT CHANNEL | TAS3001 ADDRESS RIGHT CHANNEL |
|-----------------|-----------------|---|----------|------------------------------|-------------------------------|
| 000h | 1 | Signature (2Ah) | | | |
| 001h | 1 | 1 | 0 | 0 | 0 |
| 002h | 1 | MCR | | | 1EFh |
| 003h–00Bh | 9/3 | Mixer left gain | | | 1F0h–1F2h |
| 00Ch–014h | 9/3 | Mixer right gain | | | 1F3h–1F5h |
| 015h–019h | 5/2 | DRC (ratio, threshold, energy α , attack α , decay α) | | | 1F6h–1F7h |
| 01Ah | 1 | Bass | | | 1F8h |
| 01Bh | 1 | Treble | | | 1F9h |
| 01Ch–021h | 6 | Volume | | | 1FAh–1FFh |
| 031h–03Fh | 15 | Biquad 0 | Set 0 | 186h–194h | 3A4h–3B2h |
| 040h–04Eh | 15 | Biquad 1 | | 195h–1A3h | 3B3h–3C1h |
| 04Fh–05Dh | 15 | Biquad 2 | | 1A4h–1B2h | 3C2h–3D0h |
| 05Eh–06Ch | 15 | Biquad 3 | | 1B3h–1C1h | 3D1h–3DFh |
| 06Dh–07Bh | 15 | Biquad 4 | | 1C2h–1D0h | 3E0h–3EEh |
| 07Ch–08Ah | 15 | Biquad 5 | | 1D1h–1DFh | 3EFh–3FDh |
| 08Bh–089h | 15 | Biquad 6 | | 1E0h–1EEh | 3FEh–40Ch |
| 09Ah–185h | 236 | Bass treble table | | | |
| 200h–20Eh | 15 | Biquad 0 | Set 1 | 5B1h–5BFh | 40Dh–41Bh |
| 20Fh–21Dh | 15 | Biquad 1 | | 5C0h–5CEh | 41Ch–42Ah |
| 21Eh–22Ch | 15 | Biquad 2 | | 5CFh–5DDh | 42Bh–439h |
| 22Dh–23Bh | 15 | Biquad 3 | | 5DEh–5ECh | 43Ah–448h |
| 23Ch–24Ah | 15 | Biquad 4 | | 5EDh–5FBh | 449h–457h |
| 24Bh–259h | 15 | Biquad 5 | | 5FCh–60Ah | 458h–466h |
| 25Ah–268h | 15 | Biquad 6 | | 60Bh–619h | 467h–475h |
| 269h–277h | 15 | Biquad 0 | Set 2 | 61Ah–628h | 476h–484h |
| 278h–286h | 15 | Biquad 1 | | 629h–637h | 485h–493h |
| 287h–295h | 15 | Biquad 2 | | 638h–646h | 494h–4A2h |
| 296h–2A4h | 15 | Biquad 3 | | 647h–655h | 4A3h–4B1h |
| 2A5h–2B3h | 15 | Biquad 4 | | 656h–664h | 4B2h–4C0h |
| 2B4h–2C2h | 15 | Biquad 5 | | 665h–673h | 4C1h–4CFh |
| 2C3h–2D1h | 15 | Biquad 6 | | 674h–682h | 4D0h–4DEh |
| 2D2h–2E0h | 15 | Biquad 0 | Set 3 | 683h–691h | 4DFh–4EDh |
| 2E1h–2EFh | 15 | Biquad 1 | | 692h–6A0h | 4EEh–4FCh |
| 2F0h–2FEh | 15 | Biquad 2 | | 6A1h–6AFh | 4FDh–50Bh |
| 2FFh–30Dh | 15 | Biquad 3 | | 6B0h–6BEh | 50Ch–51Ah |
| 30Eh–31Ch | 15 | Biquad 4 | | 6BFh–6CDh | 51Bh–529h |
| 31Dh–32Bh | 15 | Biquad 5 | | 6CEh–6DCh | 52Ah–538h |
| 32Ch–33Ah | 15 | Biquad 6 | | 6DDh–6EBh | 539h–547h |
| 33Bh–349h | 15 | Biquad 0 | Set 4 | 6ECh–6FAh | 548h–556h |
| 34Ah–358h | 15 | Biquad 1 | | 6FBh–709h | 557h–565h |
| 359h–367h | 15 | Biquad 2 | | 70Ah–718h | 566h–574h |
| 368h–376h | 15 | Biquad 3 | | 719h–727h | 575h–583h |
| 377h–385h | 15 | Biquad 4 | | 728h–736h | 584h–592h |
| 386h–394h | 15 | Biquad 5 | | 737h–745h | 593h–5A1h |
| 395h–3A3h | 15 | Biquad 6 | | 746h–754h | 5A2h–5B0h |

NOTE: Bytes are in the same order as they appear in the I²C register map. The EPROM address is xA0h.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

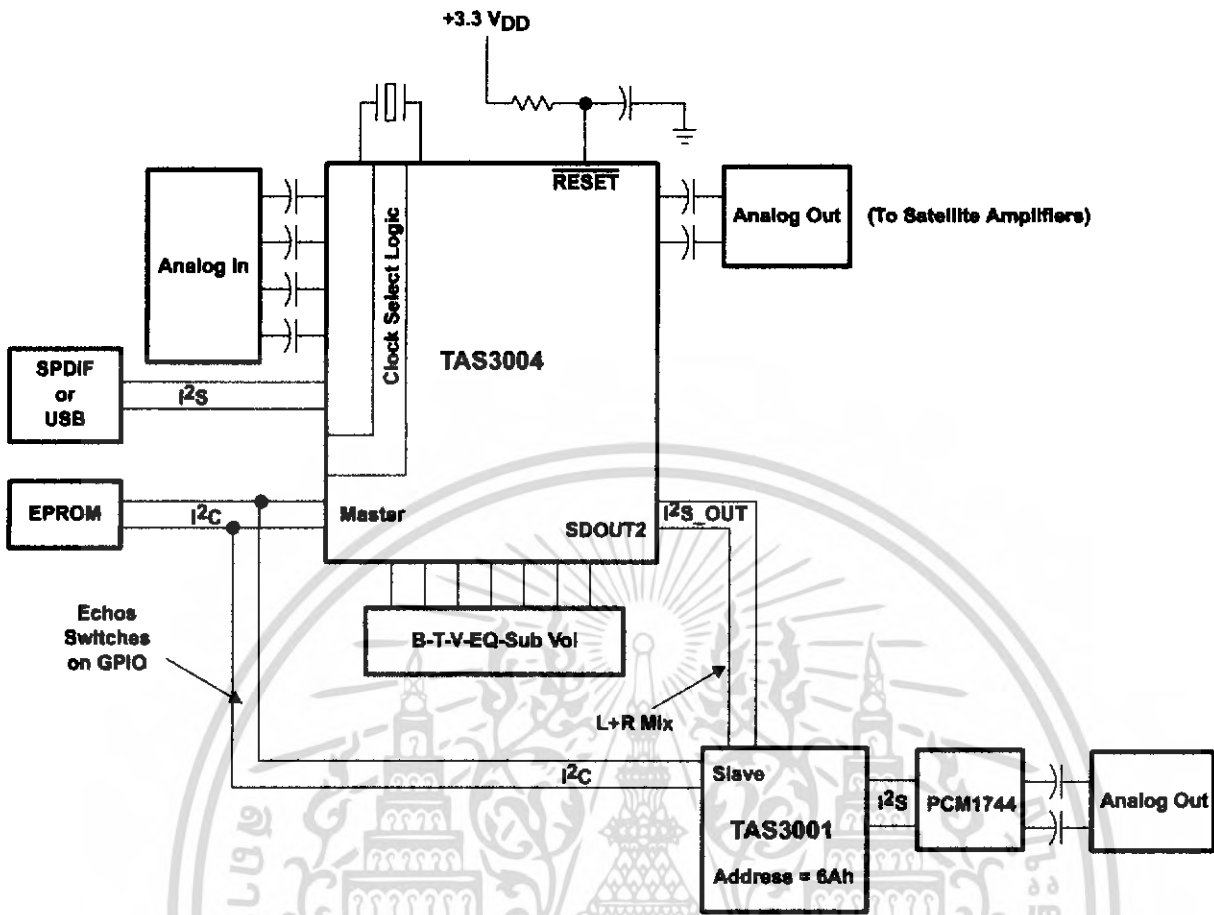
9 System Diagrams

Figure 9–1 and Figure 9–2 show the TAS3004 stereo and 2.1-channel applications, respectively.



NOTE: Items such as the PLL network and power supplies are omitted for clarity.

Figure 9–1. Stereo Application



NOTE: Items such as the PLL network and power supplies are omitted for clarity.

Figure 9-2. TAS3004 Device, 2.1 Channels

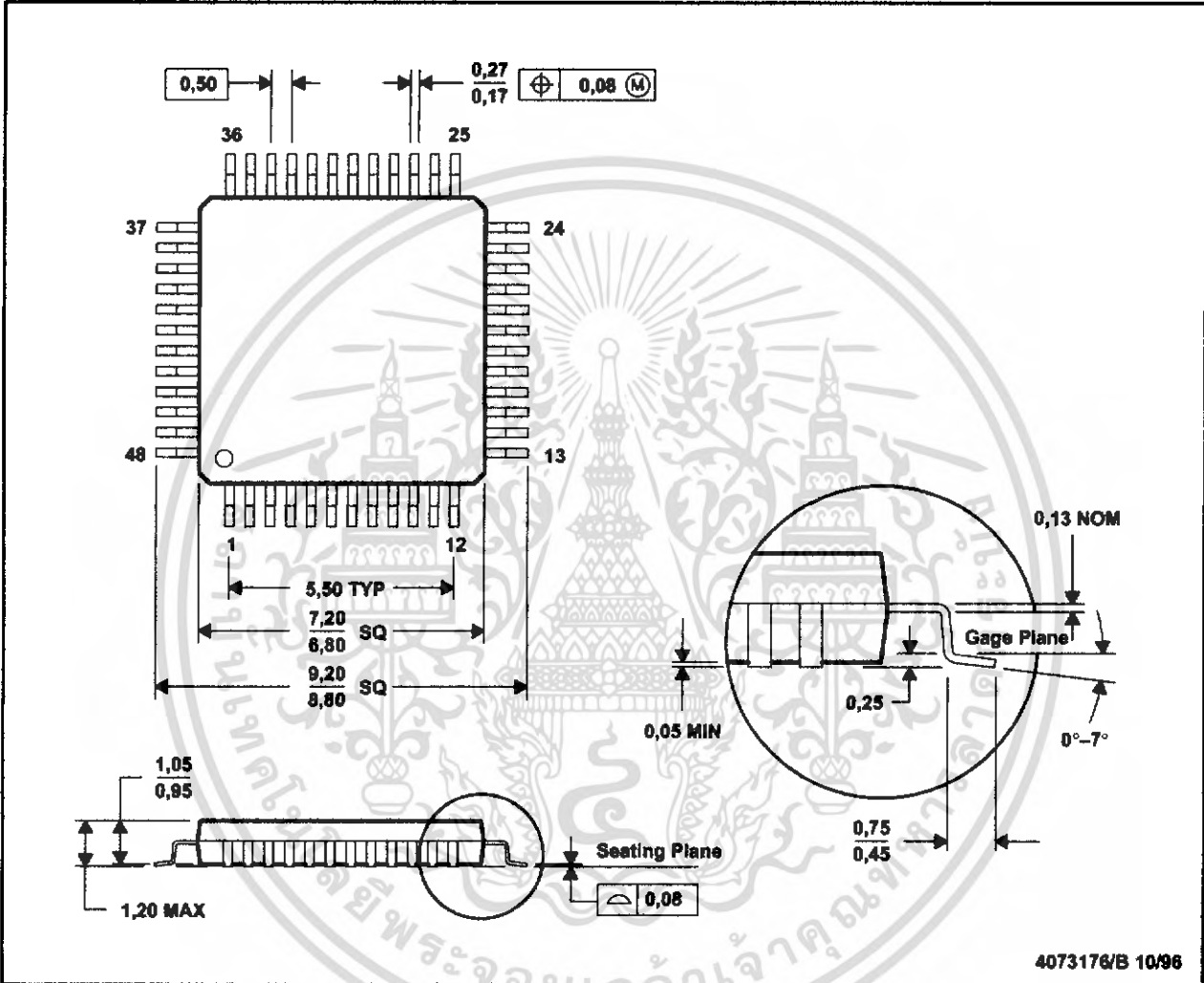
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10 Mechanical Information

The TAS3004 device is packaged in a 48-terminal PFB package. The following illustration shows the mechanical dimensions for the PFB package.

PFB (S-PQFP-G48)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

Appendix A Software Interface

Table A-1. I²C Register Map

| REGISTER | ADDRESS | NUMBER OF BYTES | BYTE DESCRIPTION |
|------------------|---------|-----------------|--|
| Reserved | 0x00 | | |
| Main control | 0x01 | 1 | C(7-0) |
| DRC | 0x02 | 5 | Ratio(7-0), Threshold(7-0), Energy(7-0), Attack(7-0), Decay(7-0) |
| Reserved | 0x03 | | |
| Volume | 0x04 | 6 | VL(23-16), VL(15-8), VL(7-0) VR(23-16), VR(15-8), VR(7-0) |
| Treble | 0x05 | 1 | T(7-0) |
| Bass | 0x06 | 1 | B(7-0) |
| Mixer left gain | 0x07 | 9 | S1L(23-16), S1L(15-8), S1L(7-0) S2L(23-16), S2L(15-8), S2L(7-0) AIL(23-16), AIL(15-8), AIL(7-0) |
| Mixer right gain | 0x08 | 9 | S1R(23-16), S1R(15-8), S1R(7-0) S2R(23-16), S2R(15-8), S2R(7-0) AIR(23-16), AIR(15-8), AIR(7-0) |
| Reserved | 0x09 | | |
| Left biquad 0 | 0x0A | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Left biquad 1 | 0x0B | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Left biquad 2 | 0x0C | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Left biquad 3 | 0x0D | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Left biquad 4 | 0x0E | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Left biquad 5 | 0x0F | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |

Table A-1. I²C Register Map (Continued)

| REGISTER | ADDRESS | NUMBER OF BYTES | BYTE DESCRIPTION |
|-----------------------|---------|-----------------|--|
| Left biquad 6 | 0x10 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Reserved | 0x11 | | |
| Reserved | 0x12 | | |
| Right biquad 0 | 0x13 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 1 | 0x14 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 2 | 0x15 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 3 | 0x16 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 4 | 0x17 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 5 | 0x18 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right biquad 6 | 0x19 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Reserved | 0x20 | | |
| Left loudness biquad | 0x21 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |
| Right loudness biquad | 0x22 | 15 | B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0) |

Table A-1. I²C Register Map (Continued)

| REGISTER | ADDRESS | NUMBER OF BYTES | BYTE DESCRIPTION |
|----------------------------|--------------|-----------------|---------------------------------|
| Left loudness biquad gain | 0x23 | 3 | LBG(23-16), LBG(15-8), LBG(7-0) |
| Right loudness biquad gain | 0x24 | 3 | RBG(23-16), RBG(15-8), RBG(7-0) |
| | | | |
| | | | |
| Test | 0x29 | 10 | Reserved |
| Reserved | 0x30 to 0xFF | | |
| Analog control | 0x40 | 1 | Anal_ctrl(7-0) |
| Test | 0x41 | 1 | |
| Test | 0x42 | 1 | |
| Main control 2 | 0x43 | 1 | MCR2(7-0) |

A.1 Main Control Register Map

A.1.1 Main Control Register 1

| MCR 0X01 | | | | | | | |
|----------|------|------|------|------|------|------|------|
| C(7) | C(6) | C(5) | C(4) | C(3) | C(2) | C(1) | C(0) |
| FL | SC | E1 | E0 | F1 | F0 | W1 | W0 |
| 1 | x | x | x | x | x | x | x |

Table A-2. Main Control Register 1 Description

| REGISTER | DESCRIPTOR | FUNCTION | VALUE | DESCRIPTION |
|----------|------------|-------------------------|-------|-----------------------|
| C(7) | FL | Fast load | 0 | Normal operation mode |
| | | | 1 | Fast load mode |
| C(6) | SC | SCLK frequency | 0 | SCLK = 32fs |
| | | | 1 | SCLK = 64fs |
| C(5-4) | E(1-0) | Serial port mode | 00 | Left justified |
| | | | 01 | Right justified |
| | | | 10 | I ² S |
| | | | 11 | Reserved |
| C(3) | XX | | 1 | Reserved |
| C(2) | | | 0 | Download |
| C(1-0) | W(1-0) | Serial port word length | 00 | 16-bit |
| | | | 01 | 18-bit |
| | | | 10 | 20-bit |
| | | | 11 | 24-bit |

A.1.2 Main Control Register 2

| MCR2 0X43 | | | | | | | |
|-----------|-------|-------|-------|-------|-------|-------|-------|
| C2(7) | C2(6) | C2(5) | C2(4) | C2(3) | C2(2) | C2(1) | C2(0) |
| DL | XX | XX | XX | XX | XX | AP | XX |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

Table A-3. Main Control Register 2 Description

| REGISTER | DESCRIPTOR | FUNCTION | VALUE | DESCRIPTION |
|----------|------------|----------------------|-------|---------------------------------------|
| C2(7) | DL | Bass and treble load | 0 | Normal operation mode |
| | | | 1 | Downloaded values |
| C2(6) | XX | Reserved | 0 | |
| | | | 1 | |
| C2(5) | XX | Reserved | 0 | |
| | | | 1 | |
| C2(4) | XX | Reserved | 0 | |
| | | | 1 | |
| C2(3) | XX | Reserved | 0 | |
| | | | 1 | |
| C2(2) | XX | Reserved | 0 | |
| | | | 1 | |
| C2(1) | AP | Allpass mode | 0 | Normal operation |
| | | | 1 | Sets equalization filters to all pass |
| C2(0) | XX | Reserved | 0 | |
| | | | 1 | |

A.1.3 Analog Control Register

| ANA 0X40 | | | | | | | |
|----------|------|------|------|------|------|------|------|
| A(7) | A(6) | A(5) | A(4) | A(3) | A(2) | A(1) | A(0) |
| ADM | LRB | XX | XX | DM1 | DM0 | INP | APD |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

Table A-4. Analog Control Register Description

| REGISTER | DESCRIPTOR | FUNCTION | VALUE | DESCRIPTION |
|----------|------------|---|-------|---|
| A(7) | ADM | ADC output mode | 0 | Normal operation |
| | | | 1 | B inputs are monaural |
| A(6) | LRB | Selects left or right B input for monaural output | 0 | B left input selected for monaural ADC output when bit 7 (ADM) is set to 1 |
| | | | 1 | B right input selected for monaural ADC output when bit 7 (ADM) is set to 1 |
| A(5) | XX | Reserved | 0 | |
| | | | 1 | |
| A(4) | XX | Reserved | 0 | |
| | | | 1 | |
| A(3-2) | DM(1-0) | De-emphasis control | 00 | De-emphasis off, normal operation |
| | | | 01 | De-emphasis for $f_S = 48$ kHz |
| | | | 10 | De-emphasis for $f_S = 44.1$ kHz |
| | | | 11 | Reserved |
| A(1) | INP | Analog input select | 0 | A inputs selected |
| | | | 1 | B inputs selected |
| A(0) | APD | Analog power down | 1 | Powers down analog section |
| | | | 0 | Normal operation |

A.2 Volume Gain Command

The gain error is less than 0.12 dB (exclusive mute).

| Device ID | Subaddress | VL(23-16) | VL(15-8) | VL(7-0) | VR(23-16) | VR(15-8) | VR(7-0) |
|-----------|------------|-----------|----------|---------|-----------|----------|---------|
|-----------|------------|-----------|----------|---------|-----------|----------|---------|

For example, if left volume = 6 dB and right volume = -6 dB, then the command is:

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| 68 | 04 | 01 | FE | CA | 00 | 80 | 4E |
|----|----|----|----|----|----|----|----|

Table A-5. Volume Versus Gain Values

| GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) |
|-----------|---|-----------|---|-----------|---|-----------|---|-----------|---|
| 18.0 | 07, F1, 7B | 3.0 | 01, 69, 9C | -12.0 | 00, 40, 4E | -27.0 | 00, 0B, 6F | -42.0 | 00, 02, 09 |
| 17.5 | 07, 7F, 8B | 2.5 | 01, 55, 62 | -12.5 | 00, 3C, B5 | -27.5 | 00, 0A, CC | -42.5 | 00, 01, EB |
| 17.0 | 07, 14, 57 | 2.0 | 01, 42, 49 | -13.0 | 00, 39, 50 | -28.0 | 00, 0A, 31 | -43.0 | 00, 01, D0 |
| 16.5 | 06, AE, F6 | 1.5 | 01, 30, 42 | -13.5 | 00, 36, 1B | -28.5 | 00, 09, 9F | -43.5 | 00, 01, B6 |
| 16.0 | 06, 4F, 40 | 1.0 | 01, 1F, 3D | -14.0 | 00, 33, 14 | -29.0 | 00, 09, 15 | -44.0 | 00, 01, 9E |
| 15.5 | 05, F4, E5 | 0.5 | 01, 0F, 2B | -14.5 | 00, 30, 39 | -29.5 | 00, 08, 93 | -44.5 | 00, 01, 86 |
| 15.0 | 05, 9F, 98 | 0.0 | 01, 00, 00 | -15.0 | 00, 2D, 86 | -30.0 | 00, 08, 18 | -45.0 | 00, 01, 71 |
| 14.5 | 05, 4F, 10 | -0.5 | 00, F1, AE | -15.5 | 00, 2A, FA | -30.5 | 00, 07, A5 | -45.5 | 00, 01, 5C |
| 14.0 | 05, 03, 0A | -1.0 | 00, E4, 29 | -16.0 | 00, 28, 93 | -31.0 | 00, 07, 37 | -46.0 | 00, 01, 48 |
| 13.5 | 04, BB, 44 | -1.5 | 00, D7, 66 | -16.5 | 00, 26, 4E | -31.5 | 00, 06, D0 | -46.5 | 00, 01, 36 |
| 13.0 | 04, 77, 83 | -2.0 | 00, CB, 59 | -17.0 | 00, 24, 29 | -32.0 | 00, 06, 6E | -47.0 | 00, 01, 25 |
| 12.5 | 04, 37, 8B | -2.5 | 00, BF, F9 | -17.5 | 00, 22, 23 | -32.5 | 00, 06, 12 | -47.5 | 00, 01, 14 |
| 12.0 | 03, FB, 28 | -3.0 | 00, B5, 3C | -18.0 | 00, 20, 3A | -33.0 | 00, 05, BB | -48.0 | 00, 01, 05 |
| 11.5 | 03, C2, 25 | -3.5 | 00, AB, 19 | -18.5 | 00, 1E, 6D | -33.5 | 00, 05, 69 | -48.5 | 00, 00, F6 |
| 11.0 | 03, 8C, 53 | -4.0 | 00, A1, 86 | -19.0 | 00, 1C, B9 | -34.0 | 00, 05, 1C | -49.0 | 00, 00, E9 |
| 10.5 | 03, 58, 83 | -4.5 | 00, 98, 7D | -19.5 | 00, 1B, 1E | -34.5 | 00, 04, D2 | -49.5 | 00, 00, DC |
| 10.0 | 03, 29, 8B | -5.0 | 00, 8F, F6 | -20.0 | 00, 19, 9A | -35.0 | 00, 04, 8D | -50.0 | 00, 00, CF |
| 9.5 | 02, FC, 42 | -5.5 | 00, 87, E8 | -20.5 | 00, 18, 2B | -35.5 | 00, 04, 4C | -50.5 | 00, 00, C4 |
| 9.0 | 02, D1, 82 | -6.0 | 00, 80, 4E | -21.0 | 00, 16, D1 | -36.0 | 00, 04, 0F | -51.0 | 00, 00, B9 |
| 8.5 | 02, A9, 25 | -6.5 | 00, 79, 20 | -21.5 | 00, 15, 8A | -36.5 | 00, 03, D5 | -51.5 | 00, 00, AE |
| 8.0 | 02, 83, 0B | -7.0 | 00, 72, 5A | -22.0 | 00, 14, 56 | -37.0 | 00, 03, 9E | -52.0 | 00, 00, A5 |
| 7.5 | 02, 5F, 12 | -7.5 | 00, 6B, F4 | -22.5 | 00, 13, 33 | -37.5 | 00, 03, 6A | -52.5 | 00, 00, 9B |
| 7.0 | 02, 3D, 1D | -8.0 | 00, 65, EA | -23.0 | 00, 12, 20 | -38.0 | 00, 03, 39 | -53.0 | 00, 00, 93 |
| 6.5 | 02, 1D, 0E | -8.5 | 00, 60, 37 | -23.5 | 00, 11, 1C | -38.5 | 00, 03, 0B | -53.5 | 00, 00, 8B |
| 6.0 | 01, FE, CA | -9.0 | 00, 5A, D5 | -24.0 | 00, 10, 27 | -39.0 | 00, 02, DF | -54.0 | 00, 00, 83 |
| 5.5 | 01, E2, 37 | -9.5 | 00, 55, C0 | -24.5 | 00, 0F, 40 | -39.5 | 00, 02, B6 | -54.5 | 00, 00, 7B |
| 5.0 | 01, C7, 3D | -10.0 | 00, 50, F4 | -25.0 | 00, 0E, 65 | -40.0 | 00, 02, 6F | -55.0 | 00, 00, 75 |
| 4.5 | 01, AD, C6 | -10.5 | 00, 4C, 8D | -25.5 | 00, 0D, 97 | -40.5 | 00, 02, 6B | -55.5 | 00, 00, 6E |
| 4.0 | 01, 95, BC | -11.0 | 00, 48, 27 | -26.0 | 00, 0C, D5 | -41.0 | 00, 02, 48 | -56.0 | 00, 00, 68 |
| 3.5 | 01, 7F, 09 | -11.5 | 00, 44, 1D | -26.5 | 00, 0C, 1D | -41.5 | 00, 02, 27 | -56.5 | 00, 00, 62 |

Table A-5. Volume Versus Gain Values (Continued)

| GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) | GAIN (dB) | VOLUME V(23-16), V(15-8), V(7-0) |
|-----------|----------------------------------|-----------|----------------------------------|-----------|----------------------------------|-----------|----------------------------------|-----------|----------------------------------|
| -57.0 | 00, 00, 5D | -60.0 | 00, 00, 42 | -63.0 | 00, 00, 2E | -66.0 | 00, 00, 21 | -69.0 | 00, 00, 17 |
| -57.5 | 00, 00, 57 | -60.5 | 00, 00, 3E | -63.5 | 00, 00, 2C | -66.5 | 00, 00, 1F | -69.5 | 00, 00, 18 |
| -58.0 | 00, 00, 53 | -61.0 | 00, 00, 3A | -64.0 | 00, 00, 29 | -67.0 | 00, 00, 1D | -70.0 | 00, 00, 15 |
| -58.5 | 00, 00, 4E | -61.5 | 00, 00, 37 | -64.5 | 00, 00, 27 | -67.5 | 00, 00, 1C | mute | 00, 00, 00 |
| -69.0 | 00, 00, 4A | -62.0 | 00, 00, 34 | -65.0 | 00, 00, 25 | -68.0 | 00, 00, 1A | | |
| -59.5 | 00, 00, 45 | -62.5 | 00, 00, 31 | -65.5 | 00, 00, 23 | -68.5 | 00, 00, 19 | | |

A.3 Treble Control Register Command

Both left and right channel are given the same treble gain setting.

| | | |
|-----------|------------|--------|
| Device ID | Subaddress | T(7-0) |
|-----------|------------|--------|

For example, if treble gain = 5 dB, then the command is:

| | | |
|----|----|----|
| 68 | 05 | 65 |
|----|----|----|

Table A-6. Treble Control Register

| GAIN (dB) | T(7-0) (hex) | GAIN (dB) | T(7-0) (hex) | GAIN (dB) | T(7-0) (hex) | GAIN (dB) | T(7-0) (hex) | GAIN (dB) | T(7-0) (hex) |
|-----------|--------------|-----------|--------------|-----------|--------------|-----------|--------------|-----------|--------------|
| 18.0 | 0x01 | 10.5 | 0x4A | 3.0 | 0x6B | -4.5 | 0x7B | -12.0 | 0x8A |
| 17.5 | 0x01 | 10.0 | 0x4D | 2.5 | 0x6C | -5.0 | 0x7C | -12.5 | 0x8B |
| 17.0 | 0x04 | 9.5 | 0x51 | 2.0 | 0x6D | -5.5 | 0x7D | -13.0 | 0x8C |
| 18.5 | 0x08 | 9.0 | 0x53 | 1.5 | 0x3F | -6.0 | 0x7E | -13.5 | 0x8D |
| 16.0 | 0x13 | 8.5 | 0x56 | 1.0 | 0x70 | -6.5 | 0x7F | -14.0 | 0x8E |
| 15.5 | 0x1A | 8.0 | 0x59 | 0.5 | 0x71 | -7.0 | 0x80 | -14.5 | 0x8F |
| 15.0 | 0x20 | 7.5 | 0x5B | 0.0 | 0x72 | -7.5 | 0x81 | -15.0 | 0x90 |
| 14.5 | 0x26 | 7.0 | 0x5D | -0.5 | 0x73 | -8.0 | 0x82 | -15.5 | 0x91 |
| 14.0 | 0x2C | 6.5 | 0x60 | -1.0 | 0x74 | -8.5 | 0x83 | -16.0 | 0x92 |
| 13.5 | 0x31 | 6.0 | 0x62 | -1.5 | 0x75 | -9.0 | 0x84 | -16.5 | 0x93 |
| 13.0 | 0x36 | 5.5 | 0x63 | -2.0 | 0x76 | -9.5 | 0x85 | -17.0 | 0x94 |
| 12.5 | 0x3B | 5.0 | 0x65 | -2.5 | 0x77 | -10.0 | 0x86 | -17.5 | 0x95 |
| 12.0 | 0x3F | 4.5 | 0x67 | -3.0 | 0x78 | -10.5 | 0x87 | -18.0 | 0x96 |
| 11.5 | 0x43 | 4.0 | 0x68 | -3.5 | 0x79 | -11.0 | 0x88 | | |
| 11.0 | 0x47 | 3.5 | 0x69 | -4.0 | 0x7A | -11.5 | 0x89 | | |

A.4 Bass Control Register Command

Both left and right channel are given the same bass gain setting.

| | | |
|-----------|------------|--------|
| Device ID | Subaddress | B(7-0) |
|-----------|------------|--------|

For example, if bass gain = 5 dB, then the command is:

| | | |
|----|----|----|
| 68 | 06 | 2B |
|----|----|----|

Table A-7. Bass Control Register

| GAIN (dB) | B(7-0) (hex) | GAIN (dB) | B(7-0) (hex) | GAIN (dB) | B(7-0) (hex) | GAIN (dB) | B(7-0) (hex) | GAIN (dB) | B(7-0) (hex) |
|-----------|--------------|-----------|--------------|-----------|--------------|-----------|--------------|-----------|--------------|
| 18.0 | 0x01 | 10.5 | 0x4C | 3.0 | 0x6A | -4.5 | 0x7B | -12.0 | 0x8A |
| 17.5 | 0x0A | 10.0 | 0x4F | 2.5 | 0x6B | -5.0 | 0x7C | -12.5 | 0x8B |
| 17.0 | 0x11 | 9.5 | 0x52 | 2.0 | 0x6D | -5.5 | 0x7D | -13.0 | 0x8C |
| 16.5 | 0x18 | 9.0 | 0x55 | 1.5 | 0x6E | -6.0 | 0x7E | -13.5 | 0x8D |
| 16.0 | 0x1E | 8.5 | 0x58 | 1.0 | 0x6F | -6.5 | 0x7F | -14.0 | 0x8E |
| 15.5 | 0x24 | 8.0 | 0x5B | 0.5 | 0x71 | -7.0 | 0x80 | -14.5 | 0x8F |
| 15.0 | 0x29 | 7.5 | 0x5D | 0.0 | 0x72 | -7.5 | 0x81 | -15.0 | 0x90 |
| 14.5 | 0x2E | 7.0 | 0x5F | -0.5 | 0x73 | -8.0 | 0x82 | -15.5 | 0x91 |
| 14.0 | 0x33 | 6.5 | 0x61 | -1.0 | 0x74 | -8.5 | 0x83 | -16.0 | 0x92 |
| 13.5 | 0x37 | 6.0 | 0x62 | -1.5 | 0x75 | -9.0 | 0x84 | -16.5 | 0x93 |
| 13.0 | 0x3B | 5.5 | 0x63 | -2.0 | 0x76 | -9.5 | 0x85 | -17.0 | 0x94 |
| 12.5 | 0x3F | 5.0 | 0x65 | -2.5 | 0x77 | -10.0 | 0x86 | -17.5 | 0x95 |
| 12.0 | 0x43 | 4.5 | 0x66 | -3.0 | 0x78 | -10.5 | 0x87 | -18.0 | 0x96 |
| 11.5 | 0x46 | 4.0 | 0x67 | -3.5 | 0x79 | -11.0 | 0x88 | | |
| 11.0 | 0x49 | 3.5 | 0x69 | -4.0 | 0x7A | -11.5 | 0x89 | | |

A.5 I²C Mixer Register Command

The gain error is less than 0.12 dB, excluding mute.

| | | | | |
|-----------|------------|--------|--------|-----------|
| Device ID | Subaddress | Mixer1 | Mixer2 | ADC Mixer |
|-----------|------------|--------|--------|-----------|

For example, if Sdin1 Mix = +6dB, Sdin2 Mix = 0dB, and ADC Mix = Mute, then the command is:

Left

| | | | | |
|----|----|----------|----------|----------|
| 68 | 07 | 1F EC 98 | 10 00 00 | 00 00 00 |
|----|----|----------|----------|----------|

Right

| | | | | |
|----|----|----------|----------|----------|
| 68 | 08 | 1F EC 98 | 10 00 00 | 00 00 00 |
|----|----|----------|----------|----------|

Even if only one of the mixers needs to be changed, the whole command must be sent.

Table A-8. Mixer1 and Mixer2 Gain Values

| GAIN (dB) | GAIN S(23-16), S(15-8), S(7-0) | GAIN (dB) | GAIN S(23-16), S(15-8), S(7-0) | GAIN (dB) | GAIN S(23-16), S(15-8), S(7-0) | GAIN (dB) | GAIN S(23-16), S(15-8), S(7-0) | GAIN (dB) | GAIN S(23-16), S(15-8), S(7-0) |
|-----------|--------------------------------|-----------|--------------------------------|-----------|--------------------------------|-----------|--------------------------------|-----------|--------------------------------|
| 18.0 | 7F, 17, AF | 0.0 | 10, 00, 00 | -18.0 | 02, 03, A7 | -36.0 | 00, 40, EA | -54.0 | 00, 08, 2C |
| 17.5 | 77, FB, AA | -0.5 | 0F, 1A, DF | -18.5 | 01, E6, CF | -36.5 | 00, 3D, 49 | -54.5 | 00, 07, B7 |
| 17.0 | 71, 45, 75 | -1.0 | 0E, 42, 90 | -19.0 | 01, CB, 94 | -37.0 | 00, 39, DB | -55.0 | 00, 07, 48 |
| 16.5 | 6A, EF, 5D | -1.5 | 0D, 78, 5A | -19.5 | 01, B1, DE | -37.5 | 00, 36, 9E | -55.5 | 00, 06, E0 |
| 16.0 | 64, F4, 03 | -2.0 | 0C, B5, 91 | -20.0 | 01, 99, 99 | -38.0 | 00, 33, 90 | -56.0 | 00, 06, 7D |
| 15.5 | 5F, 4E, 52 | -2.5 | 0B, FF, 91 | -20.5 | 01, 82, AF | -38.5 | 00, 30, AE | -56.5 | 00, 06, 20 |
| 15.0 | 59, F9, 80 | -3.0 | 0B, 53, BE | -21.0 | 01, 6D, 0E | -39.0 | 00, 2D, F5 | -57.0 | 00, 05, C9 |
| 14.5 | 54, F1, 06 | -3.5 | 0A, B1, 89 | -21.5 | 01, 58, A2 | -39.5 | 00, 2B, 63 | -57.5 | 00, 05, 76 |
| 14.0 | 50, 30, A1 | -4.0 | 0A, 18, 66 | -22.0 | 01, 45, 5B | -40.0 | 00, 28, F5 | -58.0 | 00, 05, 28 |
| 13.5 | 4B, B4, 46 | -4.5 | 09, 87, D5 | -22.5 | 01, 33, 28 | -40.5 | 00, 26, AB | -58.5 | 00, 04, DE |
| 13.0 | 47, 78, 28 | -5.0 | 08, FF, 59 | -23.0 | 01, 21, F9 | -41.0 | 00, 24, 81 | -59.0 | 00, 04, 98 |
| 12.5 | 43, 78, B0 | -5.5 | 08, 7E, 80 | -23.5 | 01, 11, C0 | -41.5 | 00, 22, 76 | -59.5 | 00, 04, 56 |
| 12.0 | 3F, B2, 78 | -6.0 | 08, 04, DC | -24.0 | 01, 02, 70 | -42.0 | 00, 20, 89 | -60.0 | 00, 04, 18 |
| 11.5 | 3C, 22, 4C | -6.5 | 07, 92, 07 | -24.5 | 00, F3, FB | -42.5 | 00, 1E, B7 | -60.5 | 00, 03, DD |
| 11.0 | 38, C5, 28 | -7.0 | 07, 25, 9D | -25.0 | 00, E6, 55 | -43.0 | 00, 1C, FF | -61.0 | 00, 03, A6 |
| 10.5 | 35, 98, 2F | -7.5 | 06, BF, 44 | -25.5 | 00, D9, 73 | -43.5 | 00, 1B, 60 | -61.5 | 00, 03, 72 |
| 10.0 | 32, 98, B0 | -8.0 | 06, 5E, A5 | -26.0 | 00, CD, 49 | -44.0 | 00, 19, D8 | -62.0 | 00, 03, 40 |
| 9.5 | 2F, C4, 20 | -8.5 | 06, 03, 6E | -26.5 | 00, C1, CD | -44.5 | 00, 18, 65 | -62.5 | 00, 03, 12 |
| 9.0 | 2D, 18, 18 | -9.0 | 05, AD, 50 | -27.0 | 00, B6, F6 | -45.0 | 00, 17, 08 | -63.0 | 00, 02, E6 |
| 8.5 | 2A, 92, 54 | -9.5 | 05, 5C, 04 | -27.5 | 00, AC, BA | -45.5 | 00, 15, BE | -63.5 | 00, 02, BC |
| 8.0 | 28, 30, AF | -10.0 | 05, 0F, 44 | -28.0 | 00, A3, 10 | -46.0 | 00, 14, 87 | -64.0 | 00, 02, 95 |
| 7.5 | 25, F1, 25 | -10.5 | 04, C6, D0 | -28.5 | 00, 99, F1 | -46.5 | 00, 13, 61 | -64.5 | 00, 02, 70 |
| 7.0 | 23, D1, CD | -11.0 | 04, 82, 68 | -29.0 | 00, 91, 54 | -47.0 | 00, 12, 4B | -65.0 | 00, 02, 4D |
| 6.5 | 21, D0, D9 | -11.5 | 04, 41, D5 | -29.5 | 00, 89, 33 | -47.5 | 00, 11, 45 | -65.5 | 00, 02, 2C |
| 6.0 | 1F, EC, 98 | -12.0 | 04, 04, DE | -30.0 | 00, 81, 86 | -48.0 | 00, 10, 4E | -66.0 | 00, 02, 0D |
| 5.5 | 1E, 23, 6D | -12.5 | 03, CB, 50 | -30.5 | 00, 7A, 48 | -48.5 | 00, 0F, 64 | -66.5 | 00, 01, F0 |
| 5.0 | 1C, 73, D5 | -13.0 | 03, 94, FA | -31.0 | 00, 73, 70 | -49.0 | 00, 0E, 88 | -67.0 | 00, 01, D4 |
| 4.5 | 1A, DC, 61 | -13.5 | 03, 61, AF | -31.5 | 00, 6C, FB | -49.5 | 00, 0D, 88 | -67.5 | 00, 01, BA |
| 4.0 | 19, 5B, B8 | -14.0 | 03, 31, 42 | -32.0 | 00, 68, E3 | -50.0 | 00, 0C, F3 | -68.0 | 00, 01, A1 |
| 3.5 | 17, F0, 94 | -14.5 | 03, 03, 8A | -32.5 | 00, 61, 21 | -50.5 | 00, 0C, 3A | -68.5 | 00, 01, 8A |
| 3.0 | 16, 99, C0 | -15.0 | 02, D8, 62 | -33.0 | 00, 5B, B2 | -51.0 | 00, 0B, 8B | -69.0 | 00, 01, 74 |
| 2.5 | 15, 56, 1A | -15.5 | 02, AF, A3 | -33.5 | 00, 56, 91 | -51.5 | 00, 0A, E5 | -69.5 | 00, 01, 5F |
| 2.0 | 14, 24, 8E | -16.0 | 02, 89, 2C | -34.0 | 00, 51, B9 | -52.0 | 00, 0A, 49 | -70.0 | 00, 01, 4B |
| 1.5 | 13, 04, 1A | -16.5 | 02, 64, DB | -34.5 | 00, 4D, 27 | -52.5 | 00, 09, B6 | Mute | 00, 00, 00 |
| 1.0 | 11, F3, C9 | -17.0 | 02, 42, 93 | -35.0 | 00, 48, D6 | -53.0 | 00, 09, 2B | | |
| 0.5 | 10, F2, B4 | -17.5 | 02, 22, 35 | -35.5 | 00, 44, C3 | -53.5 | 00, 08, AB | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม

```
-----  
' Header  
$regfile = "89c51ac2.dat"           '89c51ac2  
$baud = 9600  
$crystal = 11059200  
$large  
-----  
  
Dim Db_eq_1 As Byte  
Dim Db_vol As Byte  
Dim Db_treble As Byte  
Dim Db_bass As Byte  
Dim Sw As Byte  
Dim Keypad As Byte  
Dim Address As Byte , Value As Byte  
Dim Code As Byte           'Code from metrix SW.  
Dim I As Byte  
Dim J As Byte  
Dim Bcoef As Byte  
Dim Dsp_long As Long  
Dim Tmp_long As Long  
Dim A(3) As Byte           'For Rotate's loop count  
Dim Eq_bd_array(8) As Byte 'For Rotate's loop count  
Dim Index As Byte  
Dim Vol As Long  
Dim Ch As Byte , Eq_db As Byte  
Dim Haystack As String * 16  
Const Tas3004_w = &H68  
Const Tas3004_r = &H69  
Config Sda = P4.0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Config Scl = P4.1
Config I2cdelay = 1
Config Lcdpin = Pin , Db4 = P0.4 , Db5 = P0.5 , Db6 = P0.6 , Db7 = P0.7 , E = P1.I , Rs = P1.0
Config Lcdbus = 4
Config Lcd = 16 * 2
'-----
Declare Sub Dap_vol(dsp_long As Long , Bcoef As Byte )
Declare Sub Dap_start(address As Byte)
Declare Sub Dap_stop
Declare Sub Write_dsp1(address As Byte , Value As Byte)
Declare Sub Start_1()
Declare Sub Start_2()
Declare Sub Start_3()
Declare Sub Scankey()
Declare Sub Volume(db_vol As Byte)
Declare Sub Treble(db_treble As Byte)
Declare Sub Bass(db_bass As Byte)
Declare Sub Eq(ch As Byte , Eq_db As Byte)
'-----Main Program-----
Sound 1.7 , 10000 , 10
P3.3 = 0
Waitms 100
P3.3 = 1
I2cstart 'start_1() condition
I2cwbyte Tas3004_w 'slave address
I2cwbyte &H07 'address of EEPROM
I2cwbyte &H00 'value to write
I2cwbyte &H00 'value to write
I2cwbyte &H00 'value to write
I2cwbyte &H00 'value to write

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H10 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cstop 'stop condition
Waitms 100 'wait for 100 milliseconds

I2cstart 'start_I() condition
I2cwrite Tas3004_w 'slave address
I2cwrite &H08 'address of EEPROM
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cwrite &H10 'value to write
I2cwrite &H00 'value to write
I2cwrite &H00 'value to write
I2cstop 'stop condition
Waitms 100 'wait for 100 milliseconds

Print "Graphic Equalizer"
Print "KMITL Final Product"
Cls
Upperline : Lcd "GraphicEqualizer"
Lowerline : Lcd " KMITL Product "
Begin:

' Cls

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

'   Upperline
'   Lcd "7Graphic Equalizer"
'   Waitms 500
'   Lowerline
'   Lcd "KMITL Project"
'   Wait 5
' Cls

```

```

'   Upperline
'   Lcd "Are you ready"
'   Waitms 500
'   Lowerline
'   Lcd "Your Swich"
'   Wait 5

```

Do

```

  Call Scankey
  Loop Until Sw <> &HFF

```

```

  Print "Swich=" ; Sw

```

```

  Select Case Sw

```

```

    Case 7:                                     ' -bass

```

```

      If Db_bass > 0 Then Decr Db_bass

```

```

      Call Bass(db_bass)

```

```

      Print "-Bass=" ; Db_bass

```

```

      Haystack = Str(db_bass)

```

```

      Cls

```

```

      Upperline : Lcd "-BASS"

```

```

      Lowerline : Lcd Haystack

```

```

    Case 8:                                     ' +bass

```

```

      If Db_bass < 18 Then Incr Db_bass

```

```

      Call Bass(db_bass)

```

```

      Print "+Bass=" ; Db_bass

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Haystack = Str(db_bass)
```

```
Cls
```

```
Upperline : Lcd "+BASS"
```

```
Lowerline : Lcd Haystack
```

Case 3: '-Volume

```
If Db_vol > 0 Then Decr Db_vol
```

```
Call Volume(db_vol)
```

```
Print "-Volume=" ; Db_vol
```

```
Haystack = Str(db_vol)
```

```
Cls
```

```
Upperline : Lcd "-VOLUME"
```

```
Lowerline : Lcd Haystack
```

Case 4: '+Volume

```
If Db_vol < 15 Then Incr Db_vol
```

```
Call Volume(db_vol)
```

```
Print "+Volume=" ; Db_vol
```

```
Haystack = Str(db_vol)
```

```
Cls
```

```
Upperline : Lcd "+VOLUME"
```

```
Lowerline : Lcd Haystack
```

Case 1: '-treble

```
If Db_treble > 0 Then Decr Db_treble
```

```
Call Treble(db_treble)
```

```
Print "-Treble=" ; Db_treble
```

```
Haystack = Str(db_treble)
```

```
Cls
```

```
Upperline : Lcd "-TREBLE"
```

```
Lowerline : Lcd Haystack
```

Case 2: '+treble

```
If Db_treble < 18 Then Incr Db_treble
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Call Treble(db_treble )
Print "+Treble=" ; Db_treble
Haystack = Str(db_treble)
Cls
Upperline : Lcd "+TREBLE"
Lowerline : Lcd Haystack
```

Case 16: ' +EQ 1

```
If Eq_bd_array(1) < 24 Then Incr Eq_bd_array(1)
Call Eq(0 , Eq_bd_array(1))
Print "+EQ1=" ; Eq_bd_array(1)
Haystack = Str(eq_bd_array(1))
Cls
Upperline : Lcd "+EQ1"
Lowerline : Lcd Haystack
```

Case 15: ' -EQ 1

```
If Eq_bd_array(1) > 0 Then Decr Eq_bd_array(1)
Call Eq(0 , Eq_bd_array(1))
Print "-EQ1=" ; Eq_bd_array(1)
Haystack = Str(eq_bd_array(1))
Cls
Upperline : Lcd "-EQ1"
Lowerline : Lcd Haystack
```

Case 14: ' +EQ2

```
If Eq_bd_array(2) < 24 Then Incr Eq_bd_array(2)
Call Eq(1 , Eq_bd_array(2))
Print "+EQ2=" ; Eq_bd_array(2)
Haystack = Str(eq_bd_array(2))
Cls
Upperline : Lcd "+EQ2"
Lowerline : Lcd Haystack
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Case 13: 'EQ2

```
If Eq_bd_array(2) > 0 Then Decr Eq_bd_array(2)
Call Eq(1 , Eq_bd_array(2))
Print "-EQ2=" ; Eq_bd_array(2)
Haystack = Str(eq_bd_array(2))
Cls
Upperline : Lcd "-EQ2"
Lowerline : Lcd Haystack
```

Case 20: '+EQ3

```
If Eq_bd_array(3) < 24 Then Incr Eq_bd_array(3)
Call Eq(2 , Eq_bd_array(3))
Print "+EQ3=" ; Eq_bd_array(3)
Haystack = Str(eq_bd_array(3))
Cls
Upperline : Lcd "+EQ3"
Lowerline : Lcd Haystack
```

Case 19: '-EQ3

```
If Eq_bd_array(3) > 0 Then Decr Eq_bd_array(3)
Call Eq(2 , Eq_bd_array(3))
Print "-EQ3=" ; Eq_bd_array(3)
Haystack = Str(eq_bd_array(3))
Cls
Upperline : Lcd "-EQ3"
Lowerline : Lcd Haystack
```

Case 18: '+EQ4

```
If Eq_bd_array(4) < 24 Then Incr Eq_bd_array(4)
Call Eq(3 , Eq_bd_array(4))
Print "+EQ4=" ; Eq_bd_array(4)
Haystack = Str(eq_bd_array(4))
Cls
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Upperline : Lcd "+EQ4"

Lowerline : Lcd Haystack

Case 17: 'EQ4

If Eq_bd_array(4) > 0 Then Decr Eq_bd_array(4)

Call Eq(3 , Eq_bd_array(4))

Print "-EQ4=" ; Eq_bd_array(4)

Haystack = Str(eq_bd_array(4))

Cls

Upperline : Lcd "-EQ4"

Lowerline : Lcd Haystack

Case 24: '+EQ5

If Eq_bd_array(5) < 24 Then Incr Eq_bd_array(5)

Call Eq(4 , Eq_bd_array(5))

Print "+EQ5=" ; Eq_bd_array(5)

Haystack = Str(eq_bd_array(5))

Cls

Upperline : Lcd "+EQ5"

Lowerline : Lcd Haystack

Case 23: '-EQ5

If Eq_bd_array(5) > 0 Then Decr Eq_bd_array(5)

Call Eq(4 , Eq_bd_array(5))

Print "-EQ5=" ; Eq_bd_array(5)

Haystack = Str(eq_bd_array(5))

Cls

Upperline : Lcd "-EQ5"

Lowerline : Lcd Haystack

Case 22: '+EQ6

If Eq_bd_array(6) < 24 Then Incr Eq_bd_array(6)

Call Eq(5 , Eq_bd_array(6))

Print "+EQ6=" ; Eq_bd_array(6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Haystack = Str(eq_bd_array(6))

Cls

Upperline : Lcd "+EQ6"

Lowerline : Lcd Haystack

Case 21: 'EQ6

If Eq_bd_array(6) > 0 Then Decr Eq_bd_array(6)

Call Eq(5 , Eq_bd_array(6))

Print "-EQ6=" ; Eq_bd_array(6)

Haystack = Str(eq_bd_array(6))

Cls

Upperline : Lcd "-EQ6"

Lowerline : Lcd Haystack

Case 28: '+EQ7

If Eq_bd_array(7) < 24 Then Incr Eq_bd_array(7)

Call Eq(6 , Eq_bd_array(7))

Print "+EQ7=" ; Eq_bd_array(7)

Haystack = Str(eq_bd_array(7))

Cls

Upperline : Lcd "+EQ7"

Lowerline : Lcd Haystack

Case 27: '-EQ7

If Eq_bd_array(7) > 0 Then Decr Eq_bd_array(7)

Call Eq(6 , Eq_bd_array(7))

Print "-EQ7=" ; Eq_bd_array(7)

Haystack = Str(eq_bd_array(7))

Cls

Upperline : Lcd "-EQ7"

Lowerline : Lcd Haystack

End Select

Do

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Call Scankey
Loop Until Sw = &HFF
Goto Begin
End
'-----End Main-----

```

```

Sub Scankey
Sw = &HFF
For I = 0 To 7
P2 = &HFF
P2.i = 0
Keypad = P3 And &HF0
If Keypad <> &HF0 Then Exit For
Next
If I < 8 Then
Select Case I
Case 0:
If Keypad.7 = 0 Then
Sw = 1
Elseif Keypad.6 = 0 Then
Sw = 2
Elseif Keypad.5 = 0 Then
Sw = 3
Elseif Keypad.4 = 0 Then
Sw = 4
End If
Case 1:
If Keypad.7 = 0 Then

```

```
Sw = 5
Elseif Keypad.6 = 0 Then
  Sw = 6
Elseif Keypad.5 = 0 Then
  Sw = 7
Elseif Keypad.4 = 0 Then
  Sw = 8
End If
```

Case 2:

```
If Keypad.7 = 0 Then
  Sw = 9
Elseif Keypad.6 = 0 Then
  Sw = 10
Elseif Keypad.5 = 0 Then
  Sw = 11
Elseif Keypad.4 = 0 Then
  Sw = 12
End If
```

Case 3:

```
If Keypad.7 = 0 Then
  Sw = 13
Elseif Keypad.6 = 0 Then
  Sw = 14
Elseif Keypad.5 = 0 Then
  Sw = 15
Elseif Keypad.4 = 0 Then
  Sw = 16
End If
```

Case 4:

```
If Keypad.7 = 0 Then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sw = 17

Elseif Keypad.6 = 0 Then

Sw = 18

Elseif Keypad.5 = 0 Then

Sw = 19

Elseif Keypad.4 = 0 Then

Sw = 20

End If

Case 5:

If Keypad.7 = 0 Then

Sw = 21

Elseif Keypad.6 = 0 Then

Sw = 22

Elseif Keypad.5 = 0 Then

Sw = 23

Elseif Keypad.4 = 0 Then

Sw = 24

End If

Case 6:

If Keypad.7 = 0 Then

Sw = 25

Elseif Keypad.6 = 0 Then

Sw = 26

Elseif Keypad.5 = 0 Then

Sw = 27

Elseif Keypad.4 = 0 Then

Sw = 28

End If

Case 7:

If Keypad.7 = 0 Then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Sw = 29

Elseif Keypad.6 = 0 Then
    Sw = 30

Elseif Keypad.5 = 0 Then
    Sw = 31

Elseif Keypad.4 = 0 Then
    Sw = 32

End If

End Select

End If

End Sub

'-----
Sub Eq(ch As Byte , Eq_db As Byte)
    Dim Eq_laddr As Byte
    Dim Eq_raddr As Byte
    Dim Eq_index As Word
    Dim Tmp_eq_index As Word
    Eq_laddr = &H0A + Ch
    Eq_raddr = &H13 + Ch
    ' Print "Ch=" ; Ch
    ' Print "EQ_dB=" ; Eq_db
    ' Print "Eq_laddr=" ; Eq_laddr
    ' Print "Eq_raddr=" ; Eq_raddr
    Eq_db = 24 - Eq_db
    Eq_index = Eq_db * 35
    Ch = Ch * 5
    Eq_index = Eq_index + Ch
    ' Print "Eq_index=" ; Eq_index
    Tmp_eq_index = Eq_index
    Call Dap_start(eq_laddr)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
' Print "Vol1=" ; Vol
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
' Print "Vol2=" ; Vol
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
' Print "Vol3=" ; Vol
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
' Print "Vol4=" ; Vol
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
' Print "Vol5=" ; Vol
Call Dap_stop
Eq_index = Tmp_eq_index
Call Dap_start(eq_raddr)
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
Vol = Lookup(eq_index , Eq_table) : Incr Eq_index : Call Dap_vol(vol , 3)
Call Dap_stop
End Sub
-----
Sub Volume(db_vol As Byte)
Vol = Lookup(db_vol , Volume)
Call Dap_start(&H04)
Call Dap_vol(vol , 3) 'Left
Call Dap_vol(vol , 3) 'Right
Call Dap_stop
End Sub
-----
Sub Dap_vol(dsp_long As Long , Bcoef As Byte )

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

For J = 1 To Bcoef
    A(j) = Dsp_long And &HFF
    Rotate Dsp_long , Right , 8
'    Print "sw0-8value:" ; Index
Next
For J = Bcoef Downto 1
    I2cwrite A(j)
Next
End Sub

```

```

-----
Sub Treble(db_treble As Byte)
    Dim Table1 As Byte
    Table1 = Lookup(db_treble , Treble)
    Call Write_dsp1(&H05 , Table1)
End Sub

```

```

-----
Sub Bass(db_bass As Byte)
    Dim Table2 As Byte
    Table2 = Lookup(db_bass , Bass)
    Call Write_dsp1(&H06 , Table2)
End Sub

```

```

-----
Sub Dap_start(address As Byte)
    I2cstart
    I2cwrite Tas3004_w
    I2cwrite Address
End Sub

```

```

-----
Sub Dap_stop
    I2cstop

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Waitms 100
End Sub
'-----

Sub Write_dsp1(address As Byte , Value As Byte)
    I2cstart                'start_1() condition
    I2cwbyte Tas3004_w      'slave address
    I2cwbyte Address        'adress of EEPROM
    I2cwbyte Value         'value to write
    I2cstop                 'stop condition
    Waitms 100              'wait for 100 milliseconds
End Sub
'-----

Volume:
Data &H000000& , &H0000CF& , &H00028F& , &H000818& , &H00199A& , &H0050F4& ,
&H010000& , &H014249& , &H0195BC& , &H01FECA& , &H02830B& , &H03298B& ,
&H03FB28& , &H05030A& , &H064F40& , &H07F17B&
'-----

Treble:
Data &H96 , &H93 , &H8E , &H8A , &H86 , &H82 , &H7E , &H7A , &H76 , &H72 , &H6D ,
&H68 , &H62 , &H59 , &H4D , &H3F , &H2C , &H13 , &H01
'-----

Bass:
Data &H96 , &H93 , &H8E , &H8A , &H86 , &H82 , &H7E , &H7A , &H76 , &H72 , &H6D ,
&H68 , &H62 , &H59 , &H4D , &H3F , &H2C , &H13 , &H01
'-----

Eq_table:
'12 Db 0
Data &H10017C& , &HE0014C& , &H0FFD84& , &HE0014C& , &H0FFF00&
Data &H1003A6& , &HE0043F& , &H0FF9E6& , &HE0043F& , &H0FFD8C&
Data &H100920& , &HE01158& , &H0FF0BF& , &HE01158& , &H0FF9E0&

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data &H1016CA& , &HE0553F& , &H0FD9EB& , &HE0553F& , &H0FF0B5&
Data &H1038D1& , &HE1D6D9& , &H0FA10F& , &HE1D6D9& , &H0FD9E1&
Data &H108D10& , &HEA60B6& , &H0F144A& , &HEA60B6& , &H0FA15B&
Data &H115ABE& , &H0E34AA& , &H0DBCA0& , &H0E34AA& , &H0F175E&
'11 Db 1

Data &H100145& , &HE0014C& , &H0FFDBB& , &HE0014C& , &H0FFF00&
Data &H10031E& , &HE0043F& , &H0FFA6D& , &HE0043F& , &H0FFD8C&
Data &H1007CD& , &HE01158& , &H0FF212& , &HE01158& , &H0FF9E0&
Data &H10137A& , &HE0553F& , &H0FDD3A& , &HE0553F& , &H0FF0B5&
Data &H103091& , &HE1D6D9& , &H0FA94F& , &HE1D6D9& , &H0FD9E1&
Data &H107894& , &HEA60B6& , &H0F28C7& , &HEA60B6& , &H0FA15B&
Data &H112862& , &H0E34AA& , &H0DEEFC& , &H0E34AA& , &H0F175E&
'10 Db 2

Data &H100113& , &HE0014C& , &H0FFDEC& , &HE0014C& , &H0FFF00&
Data &H1002A5& , &HE0043F& , &H0FFAE6& , &HE0043F& , &H0FFD8C&
Data &H10069E& , &HE01158& , &H0FF341& , &HE01158& , &H0FF9E0&
Data &H101087& , &HE0553F& , &H0FE02E& , &HE0553F& , &H0FF0B5&
Data &H102936& , &HE1D6D9& , &H0FB0AA& , &HE1D6D9& , &H0FD9E1&
Data &H106651& , &HEA60B6& , &H0F3B09& , &HEA60B6& , &H0FA15B&
Data &H10FB81& , &H0E34AA& , &H0E1BDD& , &H0E34AA& , &H0F175E&
'9 Db 3

Data &H1000E8& , &HE0014C& , &H0FFE18& , &HE0014C& , &H0FFF00&
Data &H10023A& , &HE0043F& , &H0FFB52& , &HE0043F& , &H0FFD8C&
Data &H100591& , &HE01158& , &H0FF44E& , &HE01158& , &H0FF9E0&
Data &H100DE6& , &HE0553F& , &H0FE2CF& , &HE0553F& , &H0FF0B5&
Data &H1022A8& , &HE1D6D9& , &H0FB738& , &HE1D6D9& , &H0FD9E1&
Data &H10560C& , &HEA60B6& , &H0F4B4F& , &HEA60B6& , &H0FA15B&
Data &H10D381& , &H0E34AA& , &H0E43DD& , &H0E34AA& , &H0F175E&
'8 Db 4

Data &H1000C0& , &HE0014C& , &H0FFE3F& , &HE0014C& , &H0FFF00&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data &H1001DA& , &HE0043F& , &H0FFB2& , &HE0043F& , &H0FFD8C&
Data &H1004A1& , &HE01158& , &H0FF53F& , &HE01158& , &H0FF9E0&
Data &H100B8E& , &HE0553F& , &H0FE526& , &HE0553F& , &H0FF0B5&
Data &H101CD1& , &HE1D6D9& , &H0FBD10& , &HE1D6D9& , &H0FD9E1&
Data &H10478B& , &HEA60B6& , &H0F59D0& , &HEA60B6& , &H0FA15B&
Data &H10AFDA& , &H0E34AA& , &H0E6784& , &H0E34AA& , &H0F175E&
'7 Db 5

Data &H10009E& , &HE0014C& , &H0FFE62& , &HE0014C& , &H0FFF00&
Data &H100184& , &HE0043F& , &H0FFC08& , &HE0043F& , &H0FFD8C&
Data &H1003CA& , &HE01158& , &H0FF615& , &HE01158& , &H0FF9E0&
Data &H100978& , &HE0553F& , &H0FE73D& , &HE0553F& , &H0FF0B5&
Data &H10179C& , &HE1D6D9& , &H0FC244& , &HE1D6D9& , &H0FD9E1&
Data &H103A9D& , &HEA60B6& , &H0F66BD& , &HEA60B6& , &H0FA15B&
Data &H109014& , &H0E34AA& , &H0E874A& , &H0E34AA& , &H0F175E&
'6 Db 6

Data &H10007F& , &HE0014C& , &H0FFE81& , &HE0014C& , &H0FFF00&
Data &H100138& , &HE0043F& , &H0FFC54& , &HE0043F& , &H0FFD8C&
Data &H10030C& , &HE01158& , &H0FF6D4& , &HE01158& , &H0FF9E0&
Data &H10079B& , &HE0553F& , &H0FE91A& , &HE0553F& , &H0FF0B5&
Data &H1012F8& , &HE1D6D9& , &H0FC6E8& , &HE1D6D9& , &H0FD9E1&
Data &H102F18& , &HEA60B6& , &H0F7243& , &HEA60B6& , &H0FA15B&
Data &H1073C3& , &H0E34AA& , &H0EA39B& , &H0E34AA& , &H0F175E&
'5 Db

Data &H100063& , &HE0014C& , &H0FFE9D& , &HE0014C& , &H0FFF00&
Data &H1000F4& , &HE0043F& , &H0FFC98& , &HE0043F& , &H0FFD8C&
Data &H100262& , &HE01158& , &H0FF77E& , &HE01158& , &H0FF9E0&
Data &H1005F3& , &HE0553F& , &H0FEAC2& , &HE0553F& , &H0FF0B5&
Data &H100ED5& , &HE1D6D9& , &H0FCB0B& , &HE1D6D9& , &H0FD9E1&
Data &H1024D4& , &HEA60B6& , &H0F7C87& , &HEA60B6& , &H0FA15B&
Data &H105A86& , &H0E34AA& , &H0EBCD8& , &H0E34AA& , &H0F175E&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'4 Db

Data &H10004A& , &HE0014C& , &H0FFEB6& , &HE0014C& , &H0FFF00&
Data &H1000B7& , &HE0043F& , &H0FFCD5& , &HE0043F& , &H0FFD8C&
Data &H1001CA& , &HE01158& , &H0FF815& , &HE01158& , &H0FF9E0&
Data &H100478& , &HE0553F& , &H0FEC3D& , &HE0553F& , &H0FF0B5&
Data &H100B25& , &HE1D6D9& , &H0FCEBB& , &HE1D6D9& , &H0FD9E1&
Data &H101BAD& , &HEA60B6& , &H0F85AE& , &HEA60B6& , &H0FA15B&
Data &H104408& , &H0E34AA& , &H0ED356& , &H0E34AA& , &H0F175E&

'3 Db

Data &H100034& , &HE0014C& , &H0FFECC& , &HE0014C& , &H0FFF00&
Data &H100081& , &HE0043F& , &H0FFD0B& , &HE0043F& , &H0FFD8C&
Data &H100143& , &HE01158& , &H0FF89C& , &HE01158& , &H0FF9E0&
Data &H100327& , &HE0553F& , &H0FED8E& , &HE0553F& , &H0FF0B5&
Data &H1007DC& , &HE1D6D9& , &H0FD204& , &HE1D6D9& , &H0FD9E1&
Data &H101385& , &HEA60B6& , &H0F8DD6& , &HEA60B6& , &H0FA15B&
Data &H102FFB& , &H0E34AA& , &H0EE762& , &H0E34AA& , &H0F175E&

'2 Db

Data &H100021& , &HE0014C& , &H0FFEDF& , &HE0014C& , &H0FFF00&
Data &H100051& , &HE0043F& , &H0FFD3B& , &HE0043F& , &H0FFD8C&
Data &H1000CA& , &HE01158& , &H0FF915& , &HE01158& , &H0FF9E0&
Data &H1001FA& , &HE0553F& , &H0FEEBB& , &HE0553F& , &H0FF0B5&
Data &H1004EF& , &HE1D6D9& , &H0FD4F1& , &HE1D6D9& , &H0FD9E1&
Data &H100C40& , &HEA60B6& , &H0F951B& , &HEA60B6& , &H0FA15B&
Data &H101E1D& , &H0E34AA& , &H0EF941& , &H0E34AA& , &H0F175E&

'1 Db

Data &H10000F& , &HE0014C& , &H0FFEF1& , &HE0014C& , &H0FFF00&
Data &H100026& , &HE0043F& , &H0FFD66& , &HE0043F& , &H0FFD8C&
Data &H10005F& , &HE01158& , &H0FF980& , &HE01158& , &H0FF9E0&
Data &H1000EE& , &HE0553F& , &H0FEFC7& , &HE0553F& , &H0FF0B5&
Data &H100253& , &HE1D6D9& , &H0FD78D& , &HE1D6D9& , &H0FD9E1&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data &H1005C6& , &HEA60B6& , &H0F9B95& , &HEA60B6& , &H0FA15B&
Data &H100E31& , &H0E34AA& , &H0F092D& , &H0E34AA& , &H0F175E&
'0 Db

Data &H100000& , &HE0014C& , &H0FFF00& , &HE0014C& , &H0FFF00&
Data &H100000& , &HE0043F& , &H0FFD8C& , &HE0043F& , &H0FFD8C&
Data &H100000& , &HE01158& , &H0FF9E0& , &HE01158& , &H0FF9E0&
Data &H100000& , &HE0553F& , &H0FF0B5& , &HE0553F& , &H0FF0B5&
Data &H100000& , &HE1D6D9& , &H0FD9E1& , &HE1D6D9& , &H0FD9E1&
Data &H100000& , &HEA60B6& , &H0FA15B& , &HEA60B6& , &H0FA15B&
Data &H100000& , &H0E34AA& , &H0F175E& , &H0E34AA& , &H0F175E&
'-1 Db

Data &H0FFFF0& , &HE0016B& , &H0FFEF1& , &HE0016B& , &H0FFEE1&
Data &H0FFFD9& , &HE0048C& , &H0FFD66& , &HE0048C& , &H0FFD40&
Data &H0FFFA0& , &HE01217& , &H0FF980& , &HE01217& , &H0FF921&
Data &H0FFF11& , &HE05717& , &H0FEFC7& , &HE05717& , &H0FEED9&
Data &H0FFDAC& , &HE1DB3B& , &H0FD793& , &HE1DB3B& , &H0FD540&
Data &H0FFA3B& , &HEA6880& , &H0F9BB9& , &HEA6880& , &H0F95F5&
Data &H0FF1DB& , &H0E281C& , &H0F0A07& , &H0E281C& , &H0EFBE3&
'-2 Db

Data &H0FFFDE& , &HE0018E& , &H0FFEDF& , &HE0018E& , &H0FFEBE&
Data &H0FFFAE& , &HE004E2& , &H0FFD3B& , &HE004E2& , &H0FFCEA&
Data &H0FFF35& , &HE012ED& , &H0FF915& , &HE012ED& , &H0FF84A&
Data &H0FFE05& , &HE05929& , &H0FEEBD& , &HE05929& , &H0FECC2&
Data &H0FFB12& , &HE1E024& , &H0FD4FF& , &HE1E024& , &H0FD011&
Data &H0FF3C8& , &HEA7138& , &H0F956C& , &HEA7138& , &H0F8935&
Data &H0FE21A& , &H0E1A1F& , &H0EFB2B& , &H0E1A1F& , &H0EDD46&
'-3 Db

Data &H0FFFCB& , &HE001B5& , &H0FFECC& , &HE001B5& , &H0FFE97&
Data &H0FFF7E& , &HE00542& , &H0FFD0B& , &HE00542& , &H0FFC8A&
Data &H0FFEBC& , &HE013DD& , &H0FF89D& , &HE013DD& , &H0FF75A&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data &H0FFCD9& , &HE05B7B& , &H0FED92& , &HE05B7B& , &H0FEA6B&
Data &H0FF826& , &HE1E5A4& , &H0FD21A& , &HE1E5A4& , &H0FCA41&
Data &H0FEC92& , &HEA7AF7& , &H0F8E60& , &HEA7AF7& , &H0F7AF3&
Data &H0FD092& , &H0E0A8E& , &H0EEAA2& , &H0E0A8E& , &H0EBB35&
' -4 Db

Data &H0FFFB5& , &HE001E1& , &H0FFE6& , &HE001E1& , &H0FFE6B&
Data &H0FFF48& , &HE005AE& , &H0FFCD5& , &HE005AE& , &H0FFC1E&
Data &H0FFE35& , &HE014EB& , &H0FF816& , &HE014EB& , &H0FF64C&
Data &H0FFB88& , &HE05E16& , &H0FEC42& , &HE05E16& , &H0FE7CB&
Data &H0FF4E1& , &HE1EBCE& , &H0FCEDD& , &HE1EBCE& , &H0FC3BF&
Data &H0FE482& , &HEA85DD& , &H0F8680& , &HEA85DD& , &H0F6B02&
Data &H0FBD14& , &H0DF940& , &H0ED840& , &H0DF940& , &H0E9554&
' -5 Db

Data &H0FFF9C& , &HE00212& , &H0FFE9D& , &HE00212& , &H0FFE3A&
Data &H0FFF0C& , &HE00627& , &H0FFC99& , &HE00627& , &H0FFBA5&
Data &H0FFD9E& , &HE01619& , &H0FF77F& , &HE01619& , &H0FF51D&
Data &H0FFA0F& , &HE06101& , &H0FEACA& , &HE06101& , &H0FE4D9&
Data &H0FF138& , &HE1F2B6& , &H0FCB3C& , &HE1F2B6& , &H0FBC74&
Data &H0FDB7F& , &HEA9209& , &H0F7DB3& , &HEA9209& , &H0F5933&
Data &H0FA76E& , &H0DE608& , &H0EC3D5& , &H0DE608& , &H0E6B43&
' -6 Db

Data &H0FFF80& , &HE0024A& , &H0FFE81& , &HE0024A& , &H0FFE02&
Data &H0FFEC8& , &HE006AF& , &H0FFC55& , &HE006AF& , &H0FFB1D&
Data &H0FFCF4& , &HE0176C& , &H0FF6D5& , &HE0176C& , &H0FF3CA&
Data &H0FF867& , &HE06447& , &H0FE924& , &HE06447& , &H0FE18C&
Data &H0FED1E& , &HE1FA71& , &H0FC72C& , &HE1FA71& , &H0FB44A&
Data &H0FD170& , &HEA9FA2& , &H0F73DF& , &HEA9FA2& , &H0F4550&
Data &H0F8F6B& , &H0DD0B5& , &H0EAD2E& , &H0DD0B5& , &H0E3C99&
' -7 Db

Data &H0FFF61& , &HE00288& , &H0FFE62& , &HE00288& , &H0FFDC4&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data &H0FFE7B& , &HE00747& , &H0FFC08& , &HE00747& , &H0FFA84&
Data &H0FFC35& , &HE018E8& , &H0FF617& , &HE018E8& , &H0FF24D&
Data &H0FF68D& , &HE067F2& , &H0FE74C& , &HE067F2& , &H0FDDD9&
Data &H0FE886& , &HE20319& , &H0FC29F& , &HE20319& , &H0FAB25&
Data &H0FC635& , &HEAAECF& , &H0F68E7& , &HEAAECF& , &H0F2F1D&
Data &H0F74D0& , &H0DB917& , &H0E9417& , &H0DB917& , &H0E08E7&
' -8 Db

Data &H0FFF3F& , &HE002CD& , &H0FFE3F& , &HE002CD& , &H0FFD7E&
Data &H0FFE26& , &HE007F3& , &H0FFBB3& , &HE007F3& , &H0FF9D9&
Data &H0FFB60& , &HE01A93& , &H0FF542& , &HE01A93& , &H0FF0A2&
Data &H0FF479& , &HE06C0E& , &H0FE53A& , &HE06C0E& , &H0FD9B3&
Data &H0FE362& , &HE20CCA& , &H0FBD87& , &HE20CCA& , &H0FA0EA&
Data &H0FB9AF& , &HEABFBC& , &H0F5CAB& , &HEABFBC& , &H0F165A&
Data &H0F5762& , &H0D9EF5& , &H0E7854& , &H0D9EF5& , &H0DCFB7&
' -9 Db

Data &H0FFF17& , &HE0031C& , &H0FFE18& , &HE0031C& , &H0FFD30&
Data &H0FFDC6& , &HE008B2& , &H0FFB53& , &HE008B2& , &H0FF919&
Data &H0FFA70& , &HE01C71& , &H0FF453& , &HE01C71& , &H0FEEC3&
Data &H0FF225& , &HE070AA& , &H0FE2E8& , &HE070AA& , &H0FD50D&
Data &H0FDDA1& , &HE217A2& , &H0FB7D4& , &HE217A2& , &H0F9576&
Data &H0FABB9& , &HEAD29A& , &H0F4F07& , &HEAD29A& , &H0EFAC0&
Data &H0F36E1& , &H0D821A& , &H0E59AC& , &H0D821A& , &H0D908D&
' -10 Db

Data &H0FFEEC& , &HE00373& , &H0FFDEC& , &HE00373& , &H0FFCD8&
Data &H0FFD5A& , &HE0098A& , &H0FFAE7& , &HE0098A& , &H0FF842&
Data &H0FF963& , &HE01E89& , &H0FF346& , &HE01E89& , &H0FECAA&
Data &H0FEF89& , &HE075D4& , &H0FE04E& , &HE075D4& , &H0FCFD8&
Data &H0FD732& , &HE223C3& , &H0FB174& , &HE223C3& , &H0F88A7&
Data &H0F9C2C& , &HEAE79D& , &H0F3FD6& , &HEAE79D& , &H0EDC03&
Data &H0F130B& , &H0D6248& , &H0E37DF& , &H0D6248& , &H0D4AEB&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'-11 Db

Data &H0FFEBA& , &HE003D6& , &H0FFDBB& , &HE003D6& , &H0FFC76&
Data &H0FFCE1& , &HE00A7B& , &H0FFA6F& , &HE00A7B& , &H0FF750&
Data &H0FF836& , &HE020E3& , &H0FF219& , &HE020E3& , &H0FEA50&
Data &H0FEC9C& , &HE07B9E& , &H0FDD65& , &HE07B9E& , &H0FCA01&
Data &H0FD000& , &HE23154& , &H0FAA53& , &HE23154& , &H0F7A54&
Data &H0F8ADE& , &HEAFF00& , &H0F2EEF& , &HEAFF00& , &H0EB9CD&
Data &H0EEB9D& , &H0D3F46& , &H0E12AE& , &H0D3F46& , &H0CFE4B&

'-12 Db 24

Data &H0FFE83& , &HE00444& , &H0FFD84& , &HE00444& , &H0FFC08&
Data &H0FFC5A& , &HE00B8A& , &H0FF9E7& , &HE00B8A& , &H0FF641&
Data &H0FF6E4& , &HE02385& , &H0FF0C8& , &HE02385& , &H0FE7AC&
Data &H0FE956& , &HE0821A& , &H0FDA21& , &HE0821A& , &H0FC377&
Data &H0FC7F5& , &HE2407D& , &H0FA25B& , &HE2407D& , &H0F6A51&
Data &H0F77A1& , &HEB1900& , &H0F1C23& , &HEB1900& , &H0E93C5&
Data &H0EC051& , &H0D18D6& , &H0DE9D8& , &H0D18D6& , &H0CAA2A&

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้