สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เฟสล็อคลูปการทำงานแบบดิจิตอลทั้งหมด

All DIGITAL PHASE-LOCKED LOOP

โดย

นายนพพล เดชมณีนิล

นายรัฐภูมิ ติดพรม

เลขหมู่ 73129

เลขทะเบียน - 4 ก.ค. 2550

วัน,เดือน,ปี

b 11484241

i

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปการทำงานแบบดิจิตอลทั้งหมด

ALL DIGITAL PHASE-LOCKED LOOP

โดย

นายนพพล เดชมณีนิล 45010371

นายรัฐภูมิ ติดพรม 45010646

อาจารย์ที่ปรึกษา

ดร.กสิน วิเชียรชม

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2548

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เฟสล็อคลูปการทำงานแบบดิจิตอลทั้งหมด

ผู้จัดทำ นายนพพล เตชมณีนิล

นายรัฐภูมิ ติดพรม

.....อาจารย์ที่ปรึกษา

(ดร.กสิน วิเชียรชม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปการทำงานแบบดิจิตอลทั้งหมด

นายนพพล เดชมณีนิล 45010371
นายรัฐภูมิ ติดพรม 45010646
ดร.กสิน วิเชียรชม อาจารย์ที่ปรึกษา
ปีการศึกษา 2548

บทคัดย่อ

โครงงานนี้เป็นการออกแบบเฟสล็อคลูปที่เป็นระบบดิจิตอลทั้งหมด ซึ่งประกอบด้วยส่วนประกอบหลัก 3 ส่วน คือ ส่วนของเปรียบเทียบทางความถี่และเฟสของสัญญาณ ส่วนของการควบคุมค่าตัวแปรเพื่อให้เฟสล็อคลูปเข้าสู่สภาวะล็อค (k-Controller) และส่วนของการสร้างสัญญาณเอาท์พุทจากสัญญาณความถี่ของระบบ (Digital Control Oscillator (DCO)) ซึ่งโครงงานนี้จะเป็นการออกแบบโดยใช้ภาษา VHDL เพื่อสังเคราะห์วงจรและจำลองสัญญาณให้มีลักษณะการทำงานเป็นไปตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

All Digital Phase-Locked Loop

Mr.Noppol	Detmaneenin	45010371
Mr.Rattapoom	Tidprom	45010646
Dr.Kasin	Vichienchom	Advisor
Education Year	2005	

Abstract

This project is the design of All Digital Phase-Locked Loop (ADPLL) which is composed of 3 components that are frequency/phase comparator, component of control parameter to lock-state (k-Controller) and Digital Control Oscillator (DCO) from system clock. This project is designed by VHDL language to synthesis and simulates the desired circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ ดร.กสิน วิเชียรชม ที่ให้คำแนะนำละคอยดูแลเพื่อให้โครงงานสำเร็จไปได้ด้วยดี

ขอขอบคุณ บิดา มารดา ที่ช่วยสนับสนุนงบประมาณในการทำโครงงาน พร้อมทั้งดูแลและให้กำลังใจที่ดีเสมอมา

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ที่คอยดูแลที่ให้กำลังใจ พร้อมทั้งให้คำปรึกษาในเรื่องต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีพื้นฐานของเฟสล็อคลูป	**2**
2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป	2
2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป	3
2.2.1 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค	5
2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค	6
2.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน	8
2.4 เฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)	14
2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	15
2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	15
บทที่ 3 องค์ประกอบพื้นฐานของเฟสล็อคลูป	**22**
3.1 ตัวดักจับเฟส (Phase Detector)	22
3.1.1 ตัวดักจับเฟสแบบเอ็กคลูซีฟออร์	22
3.1.2 ตัวดักจับเฟสแบบ JK ฟลิปฟลอป	26
3.1.3 ตัวดักจับเฟสแบบเฟส – ความถี่	28
3.2 วงจรกรองความถี่ผ่าน	34
3.3 วงจรออสซิลเลเตอร์	36
3.3.1 หลักการพื้นฐานของวงจรออสซิลเลเตอร์	37
3.3.2 วงจรออสซิลเลเตอร์แบบริง (Ring Oscillator)	40
3.3.3 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)	46
3.4 วงจรหารความถี่	49
3.4.1 วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
3.4.2 วงจรนับโหมด N	51
3.4.3 การออกแบบวงจรนับด้วยวิธีการป้อนกลับ	52
3.4.4 วงจรนับแบบสัมพันธ์ (Synchronous counter)	53
บทที่ 4 Phase-Locked Loop ที่มีการควบคุม Jitter	**57**
(Digital Phase-Locked Loop with bounded Jitter)	
4.1 โครงสร้างทั่วไปของ Digital Phase-Locked Loop	57
4.2 Accumulator-Type DCO: การวิเคราะห์ผลที่มีต่อ Jitter	59
4.2.1 สภาวะการทำงานทั่วไป	59
4.2.2 คุณสมบัติการซิงโครไนซ์แบบคาบเวลา	62
4.3 Frequency – Phase Window	63
4.4 DPLL ที่ประกอบด้วย Accumulator – type DCO	65
และ Frequency--Phase Window Comparator	
4.5. คุณสมบัติของ Lock range และ Capture range	67
บทที่ 5 การออกแบบและการจำลองการทำงาน	**68**
5.1 วงจรหารความถี่อ้างอิงด้วยจำนวนเต็ม q (÷q counter)	68
5.2 Frequency/Phase Comparator	69
5.2.1 Frequency Window Comparator	69
5.2.2 Phase Window Comparator	71
5.3 Low Pass Filter (k-Controller)	71
5.3.1 k-Register Controller	72
5.3.2 Successive Approximate Register (SAR)	73
5.3 Digital Control Oscillater (DCO)	73
5.4 ส่วนของ Top-Level ของการออกแบบ	74
บทที่ 6 สรุปผลและวิจารณ์	**79**
ภาคผนวก	
กิตติกรรมประกาศ	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

เรื่อง	หน้า
รูป 2.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป	3
รูป 2.2 องค์ประกอบของเฟสล็อคลูป	4
รูป 2.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค	5
รูป 2.4 ผลของการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงเฟสที่อินพุท	7
รูป 2.5 ผลของการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงความถี่ที่อินพุท	8
รูป 2.6 การเปลี่ยนแปลงของเฟสกับเวลา	9
รูป 2.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่ 1 (Type I PLL)	9
รูป 2.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได	12
รูป 2.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง	13
รูป 2.10 กราฟ Bode Plot แสดงเสถียรภาพของ Type I PLL	13
รูป 2.11 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส-ความถี่	14
รูป 2.12 วงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	15
รูป 2.13 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน	16
รูป 2.14 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุท เป็นแหล่งจ่ายกระแสคงที่	17
รูป 2.15 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	18
รูป 2.16 การเพิ่ม zero เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุท เป็นแหล่งจ่ายกระแสคงที่	19
รูป 2.17 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุท เป็นแหล่งจ่ายกระแสคงที่ เมื่อ I_pK_{vco} มีค่าลดลง	20
รูป 2.18 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล	21
รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ	22
รูป 3.2 ตัวดักจับเฟสแบบเอ็กคลูซีฟออร์	22
รูป 3.3 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์	24
รูป 3.4 กราฟแสดงคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของเอ็กคลูซีฟออร์	25
รูป 3.5 ตัวดักจับเฟสแบบ JK ฟลิปฟลอป	26
รูป 3.6 สัญญาณของตัวดักจับเฟสแบบ JK ฟลิปฟลอป	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

เรื่อง	หน้า
รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของ JK ฟลิปฟลอป	27
รูป 3.8 หลักการของตัวดักจับเฟส-ความถี่	28
รูป 3.9 การสร้างตัวดักจับเฟส-ความถี่โดยใช้ D ฟลิปฟลอป	29
รูป 3.10 ตัวดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุท 3 สถานะ	30
รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส-ความถี่	31
รูป 3.12 สัญญาณของตัวดักจับเฟสแบบเฟส-ความถี่	32
รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่	33
รูป 3.14 วงจรกรองความถี่ต่ำผ่านที่ใช้งานกับเฟสล็อคลูป	35
รูป 3.15 การตอบสนองของวงจรกรองความถี่ต่ำผ่าน	36
รูป 3.16 ระบบที่มีการป้อนกลับแบบลบ	37
รูป 3.17 Blod Plot ระหว่างระบบที่เกิดการออสซิทเลทกับระบบที่มีเสถียรภาพ	38
รูป 3.18 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท	39
รูป 3.19 วงจรขยายภาคเดียวที่มีการป้อนกลับ	40
รูป 3.20 วงจรขยาย 2 ภาคที่มีการป้อนกลับ	40
รูป 3.21 วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยาย 3 ภาค	41
รูป 3.22 รูปคลื่นของวงจรริงออสซิลเตอร์ที่สร้างจากวงจรขยาย 3 ภาค	42
รูป 3.23 รูปแบบเชิงเส้นของวงจรออสซิลเลเตอร์แบบ 3 ภาค	42
รูป 3.24 ตำแหน่งโพลของระบบเมื่ออัตราขยายเปลี่ยนแปลง	43
รูป 3.25 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์	44
รูป 3.26 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD}	45
รูป 3.27 รูปแบบของวงจรริงออสซิลเลเตอร์	45
รูป 3.28 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยไฟฟ้า	46
รูป 3.29 คุณสมบัติของวงจร VCO ที่ไม่เป็นเชิงเส้น	47
รูป 3.30 delay cell แบบดิฟเฟอร์เรนเชียล	48
รูป 3.31 สัญลักษณ์โดยทั่วไปของวงจรนับ	49
รูป 3.32 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิทแบบนับลง	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

เรื่อง	หน้า
รูป 3.33 วงจรนับสิบโดยการป้อนกลับ	**52**
รูป 3.34 วงจรนับแบบสัมพันธ์ขนาด 2 บิทชนิดนับขึ้น	**53**
รูป 3.35 ไดอะแกรมแสดงสถานการณ์นับของวงจรนับขนาด 2 บิทแบบนับขึ้น	**54**
รูป 3.36 Excitation map ของวงจรนับแบบสัมพันธ์ขนาด 2 บิท	**55**
รูป 3.37 วงจรนับแบบสัมพันธ์ขนาด 2 บิทแบบนับขึ้นโดยใช้ D ฟลิปฟลอป	**56**
รูป 4.1 โครงสร้างทั่วไปของ DPLL	**57**
รูป 4.2 Jitter	**58**
รูป 4.3 Accumulator-type DCO	**59**
รูป 4.4 สัญญาณเอาท์พุทของ 4 bit accumulator-type DCO	**60**
รูป 4.5 frequency – phase window สำหรับ 100/2" % maximum jitter ด้วยค่า n = 3	**64**
รูป 4.6 Digital phase-locked loop with bounded jitter	**64**
รูป 4.7 lock range และ capture range	**67**
รูป 5.1 ÷q counter	**68**
รูป 5.2 simulation ของวงจร ÷q counter	**68**
รูป 5.3 Frequency Window Comparator	**69**
รูป 5.4 Simulation ของ p counter	**70**
รูป 5.5 เกทภายใน Zero Comparator	**70**
รูป 5.6 Simulation ของ Zero Comparator	**70**
รูป 5.7 เกทภายใน Phase Window Comparator	**71**
รูป 5.8 Simulation ของ Phase Window Comparator	71
รูป 5.9 เกทภายใน k-Register Controller	72
รูป 5.10 Simulation ของ k-Register Controller	**72**
รูป 5.11 Successive Approximate Register (SAR)	**73**
รูป 5.12 Simulation ของ Successive Approximate Register (SAR)	**73**
รูป 5.13 Simulation ของ Digital Control Oscillator (DCO)	**73**
รูป 5.14 simulation ของ All Digital Phase-Locked Loop ขนาด 25 บิท	**74**
รูป 5.15 simulation เมื่อความถี่เท่ากับ f_{max}	**75**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

เรื่อง **หน้า**

รูป 5.16 รูปทดสอบ capture range **76**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิลเลเตอร์	46
ตาราง 3.2 สถานะการนับของวงจรนับโหมด 3	51
ตาราง 3.3 สถานการณ์นับของวงจรนับขนาด 2 บิทแบบนับขึ้น	54
ตาราง 3.4 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิทแบบนับขึ้น	55
ตาราง 3.5 Excitation map ของ D ฟลิปฟลอป	55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เฟสล็อคลูปเป็นอุปกรณ์หรือวงจรที่ใช้ในการรักษาอัตราการเปลี่ยนแปลงเฟสของสัญญาณระหว่างเฟสของสัญญาณเอาท์พุทของสัญญาณอินพุทให้มีค่าเท่ากัน โดยจะมีผลทำให้ความถี่เท่ากันด้วย จากคุณสมบัติดังกล่าวจึงมีการนำเฟสล็อคลูปไปใช้งานอย่างกว้างขวาง เช่น ในการดีมอดสัญญาณและใช้ในการสร้างหรือกำเนิดความถี่ โดยองค์ประกอบพื้นฐานของเฟสล็อคลูปมีอยู่สามส่วนคือ ตัวดักจับเฟส วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันไฟฟ้า และส่วนประกอบของวงจรกรองความถี่ต่ำผ่าน ซึ่งองค์ประกอบในแต่ละส่วนก็มีหลายแบบ ดังนั้นเมื่อนำองค์ประกอบดังกล่าวมาประกอบกันเป็นเฟสล็อคลูปจะได้เฟสล็อคลูปหลายแบบเช่นกัน ซึ่งในแต่ละแบบก็จะมีคุณสมบัติการทำงาที่แตกต่างกัน การศึกษาทำความเข้าใจจึงเป็นเรื่องจำเป็นเพื่อที่จะทำให้สามารถเลือกใช้และออกแบบได้เหมาะสมกับการประยุกต์ใช้งาน

ในส่วนของโครงงานนี้เป็นการออกแบบเฟสล็อคลูปที่ทำงานเป็นดิจิตอลทั้งหมด โดยการออกแบบจะเน้นไปที่การออกแบบเพื่อจำกัด Jitter ของระบบ ซึ่งเป็นการออกแบบด้วยภาษา VHDL พร้อมทั้งจำลองการทำงาน เพื่อจะทำการดาวน์โหลดลง FPGA เพื่อศึกษาการทำงานต่อไป

วัตถุประสงค์

1. ศึกษาการทำงานของเฟสล็อคลูปที่ทำงานเป็นระบบดิจิตอลทั้งหมด
2. สามารถออกแบบเฟสล็อคลูปให้มีคุณสมบัติตามที่ต้องการ
3. เข้าใจการทำงานของเฟสล็อคลูปแบบต่างๆ รวมทั้งการประยุกต์การใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีพื้นฐานของเฟสล็อคลูป

2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป

เฟสล็อคลูปเป็นอุปกรณ์ที่ถูกสร้างขึ้นราวปี 1932 โดย ดิ เบลเลสซิท (De Bellescize) วิศวกรชาวฝรั่งเศส โดยเฟสล็อคลูปได้เริ่มมีการทำมาประยุกต์ใช้งานในอุตสาหกรรมอย่างกว้างขวาง เมื่อมีการพัฒนาเทคเทคโนโลยีทางด้านสิ่งปรัดิษฐ์สารกึ่งตัวนำจนสามารถสร้างออกมาในรูปแบบของวงจรรวม (Integrated Circuit) ได้

เฟสล็อคลูปในรูปแบบวงจรรวมสร้างขึ้นครั้งแรกในปี 1965 และเป็นอุปกรณ์ทางด้านอนาล้อกล้วนดดยใช้ วงจรคูณเป็นตัวดักจับเฟสและส่วนของวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter, LPF) ใช้อุปกรณ์พาสซีฟหรือแอคทีฟ RC ฟิลเตอร์ และใช้วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator, VCO) เป็นตัวกำเนิดสัญญาณเอาท์พุท วงจรดังกล่าวถูกเรียกว่า ลิเนียร์เฟสล็อคลูป (Linear Phase-Locked Loop, LPP)

นับตั้งแต่นั้นมาได้รับการพัฒนาเรื่อยมา จนเข้าสู่ยุคของวงจรดิจิตอลจึงมีการสร้างเฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loop, DPLL) ขึ้นมาในปี 1970 โดยมีตัวดักจับเฟสจะสร้างจากวงจรดิจิตอล โดยใช้เอ็กคลูซีฟออร์หรือ JK ฟลิปฟลอป แต่ยังมีบางส่วนยังคงเป็นวงจรอนาล็อกซึ่งก็คือ ส่วนของวงจรกรองความถี่ต่ำผ่านยังคงใช้อุปกรณ์แบบพาสซีฟประเภท RC ฟิลเตอร์อยู่

จากนั้นไม่นาน เฟสล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loop, ADPLL) ก็ถูกสร้างขึ้น ซึ่งทุกส่วนของวงจรเฟสล็อคลูปจะอยู่ในรูปแบบฟังก์ชั่นดิจิตอลทั้งหมด ไม่จำเป็นต้องมีอุปกรณ์พาสซีฟ

นอกจากนี้วงจรกรองความถี่ต่ำผ่านสามารถสร้างขึ้นมาได้โดยใช้ซอฟแวร์และฟังก์ชั่นของวงจรเฟสล็อคลูปสามารถสร้างขึ้นได้โดยใช้โปรแกรมคอมพิวเตอร์สร้างเฟสล็อคลูปดังกล่าวเรียกว่า Software Phase-Locked Loop: SPLL ซึ่งลดความยุ่งยากในกระบวนสร้างอุปกรณ์สารกึ่งตัวนำที่ใช้ในวงจรเฟสล็อคลูป

สรุป เฟสล็อคลูปมี 4 ประเภท คือ

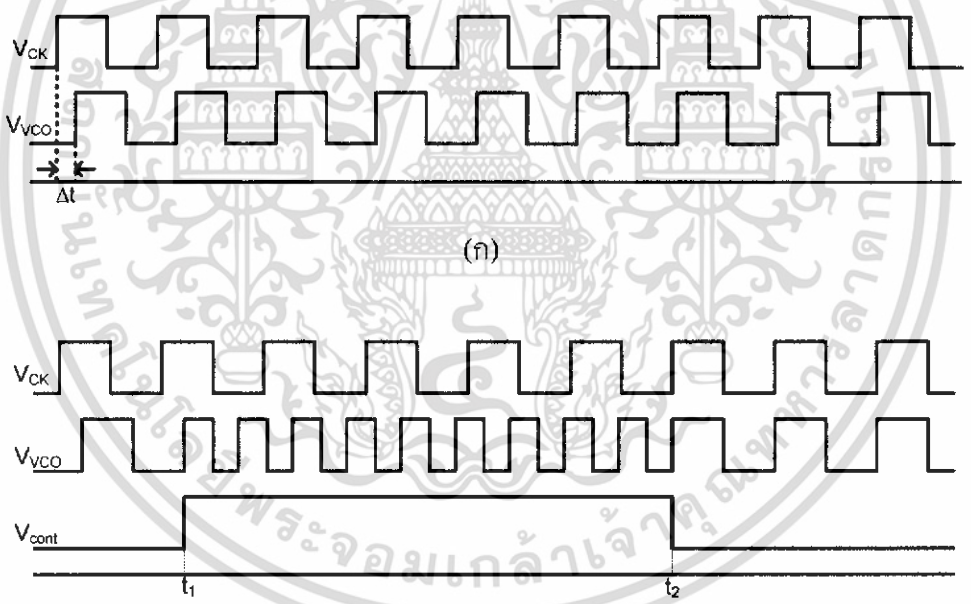
1. เฟสล็อคลูปแบบลิเนียร์ (Linear Phase-Locked Loop, LPP)
2. เฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loop, DPLL)
3. เฟสล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loop, ADPLL)
4. เฟสล็อคลูปแบบซอฟท์แวร์ (Software Phase-Locked Loop, SPLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป

การทำงานของเฟสล็อคลูปในสภาวะล็อคคือการที่ความถี่เอาท์พุทจาก VCO มีค่าเท่ากับความถี่อ้างอิงหรืออินพุทและอัตราการเปลี่ยนแปลงของเฟสอินพุทและเอาท์พุทกับเวลาจะมีค่าเท่ากัน

พิจารณาการเข้าสู่สภาวะล็อค พิจารณารูป 2.1(ก) แสดงการเปรียบเทียบเฟสระหว่างเอาท์พุทจาก VCO กับเฟสของอินพุทอ้างอิงหรือสัญญาณนาฬิกา จะเห็นได้ว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดความผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดยกำหนดให้ V_{cont} เป็นแรงดันอินพุทของ VCO โดยเมื่อ V_{cont} สูงขึ้น ความถี่เอาท์พุทก้จะสูงขึ้น พิจารณารูปที่ 2.1(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มเฟสอย่างรวดเร็วจนเวลาเท่ากับ $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรกโดยเฟสของเอาท์พุทจาก VCO กับเฟสของอินพุทอ้างอิงหรือสัญญาณนาฬิกามีเฟสเดียวกัน



(ข)

รูป 2.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป

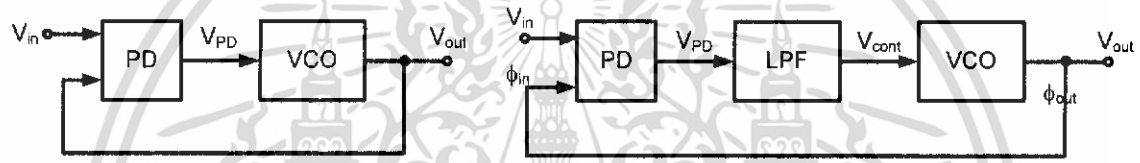
(ก) เฟสเอาท์พุทจาก VCO กับเฟสของอินพุท

(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการข้างต้น เราสามารถทราบได้ว่า วงจรเฟสล็อคลูปแบบง่ายนั้นจะประกอบด้วยตัวตักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 2.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับ V_{in} โดยจะให้แรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับเข้าสู่สภาวะล็อค

อย่างไรก็ตาม ต้องมีการปรับปรุงวงจรรูป 2.2(ก) เนื่องจากเอาท์พุทของ PD หรือ V_{PD} ประกอบด้วยส่วนของแรงดันกระแสตรงและแรงดันกระแสสลับที่มีความถี่สูง ดังนั้น เพื่อให้แรงดันอินพุทของ VCO มีเฉพาะส่วนของแรงดันกระแสตรง เพื่อให้ความถี่เอาท์พุทออกมาคงที่ต้องมีการใส่วงจรกรองความถี่ต่ำผ่านเข้าไประหว่างวงจร PD กับ VCO ดังรูป 2.2(ข) เพื่อกำจัดส่วนที่มีความถี่สูงออกไปโดย LPF ที่ใส่เข้าไปจะต้องมีอัตราขยายเป็นหนึ่งที่ความถี่ต่ำ



(ก) (ข)

รูป 2.2 องค์ประกอบของเฟสล็อคลูป
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO
(ข) องค์ประกอบที่ประกอบด้วย PD, VCO และ LPF

พิจารณารูป 2.2(ก) เงื่อนไขวงจรในสภาวะล็อคคือ ϕ_{out}-ϕ_{in} จะต้องมีค่าคงที่และมีขนาดเล็กและจะต้องไม่แปรเปลี่ยนกับเวลาเขียนสมการความสัมพันธ์ได้ว่า

$$\frac{d\phi_{out}}{dt} - \frac{d\phi_{in}}{dt} = 0 \qquad (2.1)$$

หรือก็คือ

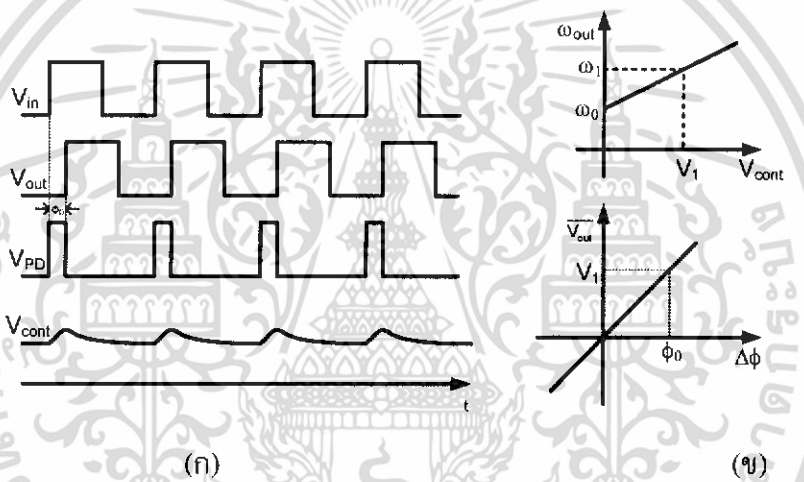
$$\omega_{out} = \omega_{in} \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสถาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้นแสดงดังรูป 2.3(ก) โดย V_{out} กับ V_{in} จะมีความต่างเฟสหรือเฟสผิดพลาดน้อยมากแต่ความถี่จะเท่ากัน โดย PD เป็นตัวสร้างพัลส์ที่เกิดจากค่าเฟสผิดพลาดของอินพุทกับเอาท์พุทและ LPF จะกรองเอาเฉพาะแรงดันที่เป็นแรงดันกระแสตรง คือ V_{PD} ป้อนให้กับ VCO โดยพัลส์ขนาดเล็กใน V_{LPF} เรียกว่า ริปเปิ้ล (ripple)

พิจารณารูป 2.3(ก) ตัวแปรที่ไม่ทราบค่าคือ ϕ_0 และระดับแรงดันกระแสตรง V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงอยู่ในรูป 2.3(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุทและเอาท์พุทจะมีค่าเท่ากัน โดยกำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูป 2.3(ก)



รูป 2.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค
(ก) รูปคลื่นสัญญาณในแต่ละจุด
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาด ϕ_0 จากกราฟคุณสมบัติของ PD และ VCO จะได้ว่า $\omega_{out} = \omega_{in} + K_{VCO}V_{cont}$ และ $\overline{V}_{PD} = K_{PD}\Delta\phi$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \tag{2.3}$$

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\omega_1 - \omega_0}{K_{PD} K_{VCO}} \qquad (2.5)$$

จากสมการ (2.5) ทำให้ทราบคุณสมบัติที่สำคัญ 2 ประการคือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าความผิดพลาดของเฟสจะมีค่าต่ำเมื่อ $K_{PD}K_{VCO}$ ต้องมีค่าสูงโดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คืออัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลนเฟส หรือความถี่อินพุทจะทำการพิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร

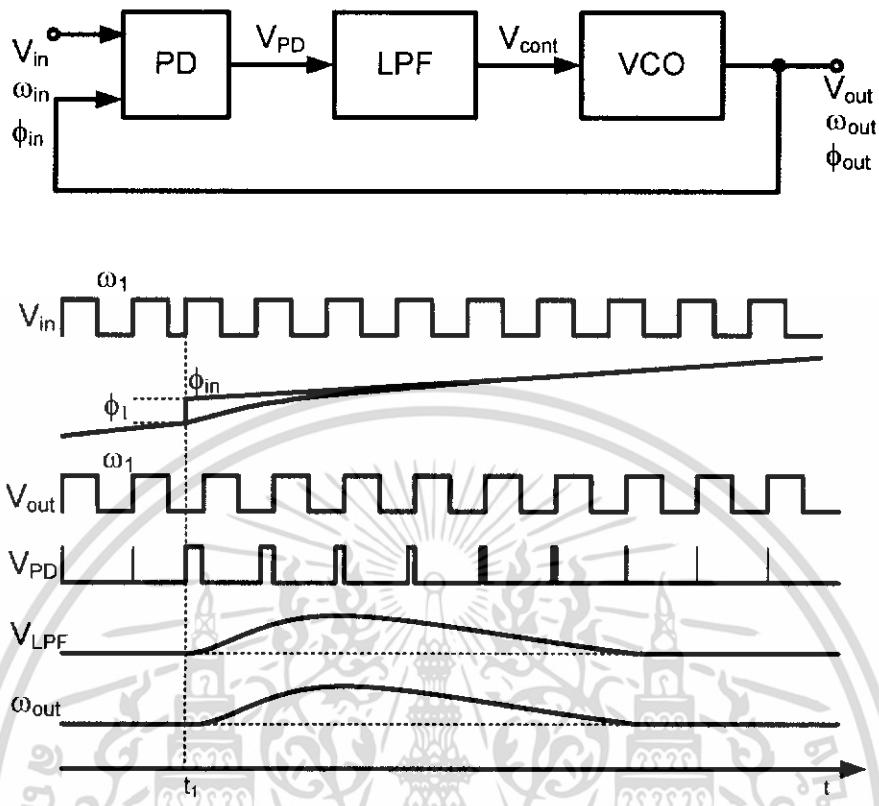
โดยจะพิจารณาเมื่อเกิดการเปลี่ยนแปลงของเฟสที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุทและเอาท์พุทเป็นดังนี้

$$V_{in} = V_A \cos \omega_1 t \qquad (2.6)$$

$$V_{out} = V_B \cos(\omega_1 t + \phi_0) \qquad (2.7)$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูง และϕ_0 คือความผิดพลาดเฟสคงที่ พิจารณารูป 2.4 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ ϕ_1 และเกิดขึ้นที่เวลา $t = t_1$ จะทำให้เฟสที่อินพุทมีค่าเท่ากับ $\phi_{in} = \omega_1 t + \phi u(t - t_1)$ ณ เวลานี้เอาท์พุทของ LPF ยังไม่เพิ่มขึ้นอย่างทันทีทันใดและ VCO ยังคงออสซิลเลทที่ความถี่เดิมคือ ω_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 ผลของการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงเฟสที่อินพุท

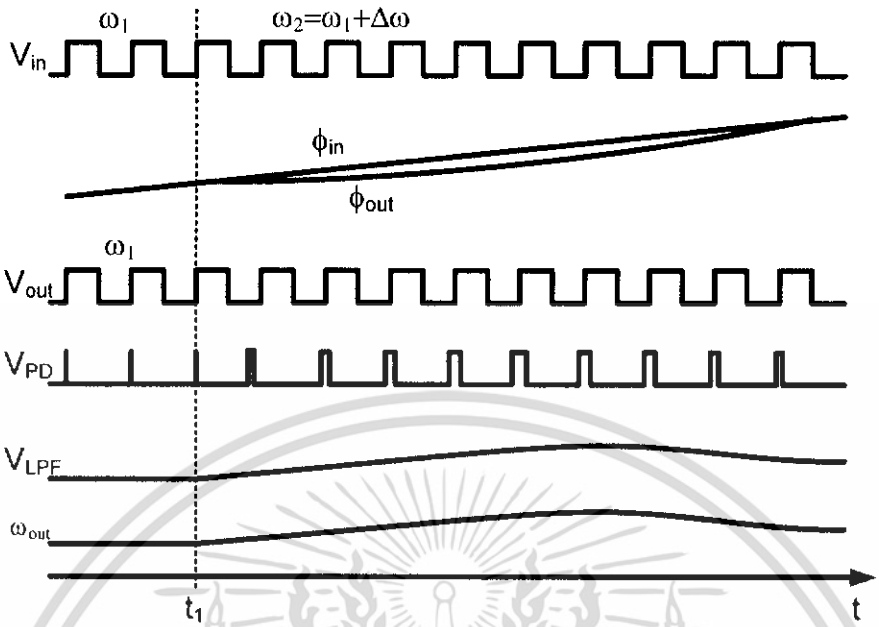
หลังจากนั้นค่าความต่างเฟสของอินพุทกับเอาท์พุทค่อยๆเพิ่มขึ้นทำให้พัลส์ขึ้นที่เอาท์พุทของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าความผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะเกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟสเปลี่ยนแปลงตามเวลา ภายหลังที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อคตามเดิมโดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ ϕ_{out} - ϕ_{in} จะกลับเข้าสู่ค่าเริ่มต้นตามเดิม โดยเมื่อลูปอยู่ในสภาวะสงบเอาท์พุทจะมีค่าเท่ากับ

$$V_{out} = V_B \cos[\omega_1 t + \phi_1 u(t - t_1)] \qquad (2.8)$$

สิ่งสำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อค คือ พารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมดคือ ϕ_{out} - ϕ_{in} , V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น

ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุทเปลี่ยนแปลงชั่วขณะ โดยอินพุทเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.5 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงความถี่ที่อินพุท

โดยความถี่เริ่มต้นของ VCO คือ ω_1 เมื่อความถี่อินพุทเปลี่ยน PD จะกำเนิดพัลส์โดยความกว้างค่อยๆเพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุทโดยเอาท์พุทจาก PD จะมีค่าลดลง ภายใต้สภาวะสงบ ระดับแรงดันกระแสตรงที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega - \omega_0)/K_{VCO}$ จะเห็นได้ว่าการเปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าความผิดพลาดเฟสลง

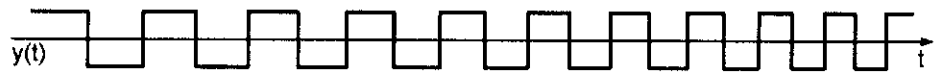
2.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

การพิจารณาเกี่ยวกับเสถียรภาพของเฟสล็อคลูปจะต้องทราบฟังก์ชันถ่ายโอนของระบบ ดังนั้นต้องพิจารณาหา $\Phi_{out}(s)/\Phi_{in}(s)$ ทั้งแบบลูปเปิดและลูปปิด

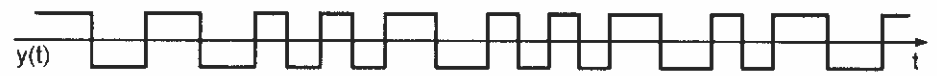
พิจารณา $\Phi_{out}(s)/\Phi_{in}(s)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชันถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $V_{out}(s)/V_{in}(s) = 1/(1 + s/\omega_0)$ จากฟังก์ชันถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถจะตามอินพุทได้ตลอดย่านที่เปลี่ยนแปลง ในทำนองเดียวกัน $\Phi_{out}(s)/\Phi_{in}(s)$ จะแสดงให้เห็นว่า เฟสของเอาท์พุทมีการเปลี่ยนแปลงไปกับเฟสของอินพุทอย่างไรเมื่อเฟสอินพุทมีการเปลี่ยนแปลงช้าหรือเร็ว

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูป 2.6 โดยรูป 2.6(ก) เป็นการเปลี่ยนแปลงของอย่างช้าๆ และรูป 2.6(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



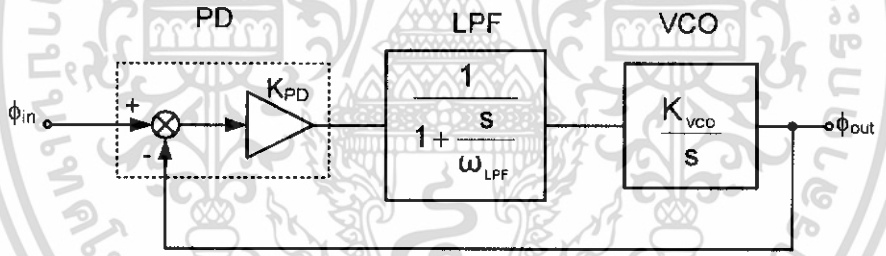
(ข)

รูป 2.6 การเปลี่ยนแปลงของเฟสกับเวลา

(ก) การเปลี่ยนแปลงเฟสอย่างช้าๆ

(ข) การเปลี่ยนแปลงเฟสอย่างรวดเร็ว

พิจารณา $\Phi_{out}(s)/\Phi_{in}(s)$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูป 2.7



รูป 2.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่ 1 (Type I PLL)

โดยพิจารณาจากรูป 2.7 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันกระแสตรงมีค่าเท่ากับ $K_{PD}(\phi_{out} - \phi_{in})$ โดยความถี่สูงจะถูกจำกัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชันถ่ายโอนของ PD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชันถ่ายโอนคือ $1/(1 + s/\omega_{LPF})$ ในส่วนของวงจร VCO มีฟังก์ชันถ่ายโอน คือ K_{VCO} ส่วน Φ_{in} และ Φ_{out} คือเฟสอินพุทและเฟสเอาท์พุท ตัวอย่างเช่น ถ้าผลรวมของเฟสอินพุทเป็นฟังก์ชันแบบขั้นบันไดคือ $\phi_i u(t)$ นั่นคือ $\Phi_{in} = \phi_i/s$

จากรูป 2.7 ฟังก์ชันถ่ายโอนของลูปเปิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K(s)\Big|_{open} = \frac{\Phi_{out}}{\Phi_{in}}(s)\Big|_{open} \tag{2.9}$$

$$= K_{PD} \cdot \frac{1}{1+\frac{s}{\omega_{LPF}}} \cdot \frac{K_{VCO}}{s} \tag{2.10}$$

จากสมการ (2.10) แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ s = -ω_{LPF} และ s = 0 โดยมีอัตราขยายลูปจะเท่ากับ $H(s)\big|_{open}$ เพราะป้อนกลับแบบเต็มที่มีสัมประสิทธ์การป้อนกลับเท่ากับ 1 โดยระบบที่มีดพล 1 ตัวที่จุดกำเนิดเรียกว่า "ชนิดที่ 1" (Type I)

ต่อไปพิจารณาหาฟังก์ชันถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ ϕ_{out} เปลี่ยนแปลงเข้าใกล้ ϕ_{in} โดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชันถ่ายโอนของระบบปิดแสดงดังสมการ (2.11)

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{2.11}$$

สิ่งที่เราต้องการ คือ $H(s)\big|_{close}$ จะต้องมีค่าเข้าใกล้ค่าหนึ่งเมื่อ s มีค่าเข้าใกล้ศูนย์ นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ (2.11) สามารถหาผลตอบสนองแบบขั้นบันได (Step Response) ของระบบชนิดที่ 1 (Type I) ด้โดยพิจารณษเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบสมการอันดับสองของระบบดังสมการ (2.12) นำมาเปรียบเทียบกันกับสมการ 2.11 เมื่อหาค่าพารามิเตอร์ต่างๆ ของระบบเพื่อวิเคราะห์ผลการตอบสนองแบบขั้นบันไดของระบบแบบที่ 1 (Type I)

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{2.12}$$

เมื่อ ω_n คือความถี่ธรรมชาติ (Natural frequency) และ ζ คือ ตัวประกอบการหน่วง (Damping factor) ซึ่งจากสมการ (2.11) ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ความถี่ธรรมชาติและค่าตัวประกอบการหน่วงคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_n = \sqrt{\omega_{LPF} K_{PD} K_{VCO}} \tag{2.15}$$

$$\zeta = \frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD} K_{VCO}}} \tag{2.14}$$

และโพลทั้ง 2 โพลของระบบจะอยู่ที่ตำแหน่ง

$$s_{1,2} = -\zeta\omega_n \pm \sqrt{(\zeta^2 - 1)\omega_n^2} \tag{2.15}$$

$$= (-\zeta \pm \sqrt{(\zeta^2 - 1)})\omega_n \tag{2.16}$$

โดยถ้า $\zeta > 1$ โพลทั้งสองจะเป็นจำนวนจริง ซึ่งจะทำให้ระบบเกิด Over Damp และในทางตรงกันข้าม $\zeta < 1$ โดยโพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุทต่อความถี่อินพุทแบบขั้นบันได โดย $\omega_{in} = \Delta\omega u(t)$ ผลของเอาท์พุท คือ

$$\omega_{out}(t) = \left\{1 - e^{-\zeta\omega_n t}[\cos(\omega_n\sqrt{1-\zeta^2}t) + \frac{\zeta}{\sqrt{1-\zeta^2}}\sin(\omega_n\sqrt{1-\zeta^2}t)]\right\}\Delta\omega u(t) \tag{2.17}$$

$$= [1 - \frac{1}{\sqrt{1-\zeta^2}} e^{-\zeta\omega_n t}\sin(\omega_n\sqrt{1-\zeta^2}t + \theta)]\Delta\omega u(t) \tag{2.18}$$

โดย ω_{out} คือ ผลการเปลี่ยนแปลงของความถี่เอาท์พุท และมี θ มีค่าเท่ากับ

$$\theta = \sin^{-1}\sqrt{1-\zeta^2} \tag{2.19}$$

รูปคลื่นเอาท์พุทแสดงดังรูป 2.8 จะเห็นได้ว่ามีส่วนประกอบของรูปคลื่นซายน์โดยความถี่เท่ากับ

$$\omega = \omega_n\sqrt{1-\zeta^2} \tag{2.20}$$

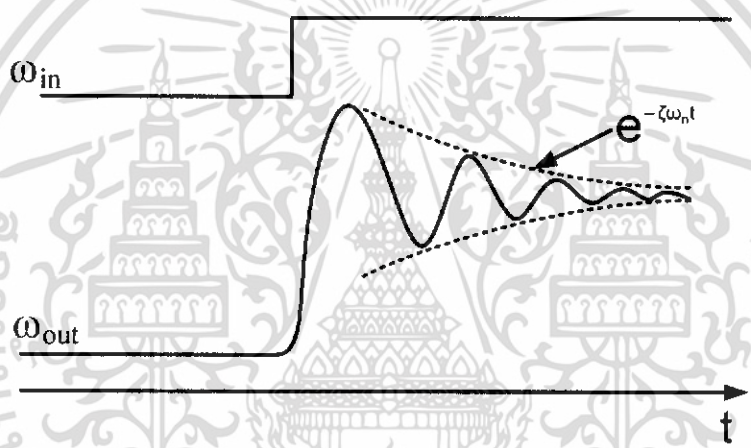
และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega_n)^{-1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในกานำไปใช้งาน จากสมการ (2.18) ค่าของเอ็กซ์โปเนนเชียลจะลดลงโดยสัมพันธ์กับค่าของเทอม $\zeta\omega_n$ โดยมีค่าเท่ากับ

$$\zeta\omega_n = \frac{1}{2}\omega_{LPF} \tag{2.21}$$

จากผลลัพธ์ที่ได้จะเห็นว่า จะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบย่างรวดเร็วกับแรงดันริปเปิ้ลที่ใช้ควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุท PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก

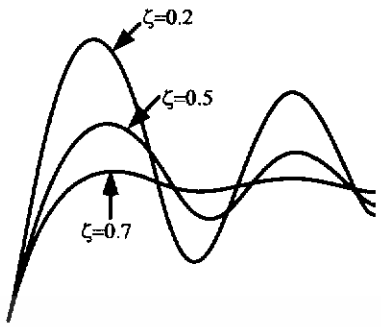


รูป 2.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูป 2.9 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω มีค่าคงที่ โดยผลการตอบสนองจะไมมีตอบสนองจะไม่มีการกระเพื่อม เมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการเลือกระหว่าง ω_{LPF} และค่าเวลาเข้าสู่สภาวะสงบ (Settling time) และจากสมการ (2.5) ถ้าเราต้องการลดค่าความผิดพลาดของเฟสให้น้อยลงจะต้องลดค่าของ $K_{PD}K_{VCO}$ ลงแต่สมการ (2.14) จะทำให้ ζ เพิ่มขึ้นจะทำให้ระบบเสถียรภาพต่ำลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

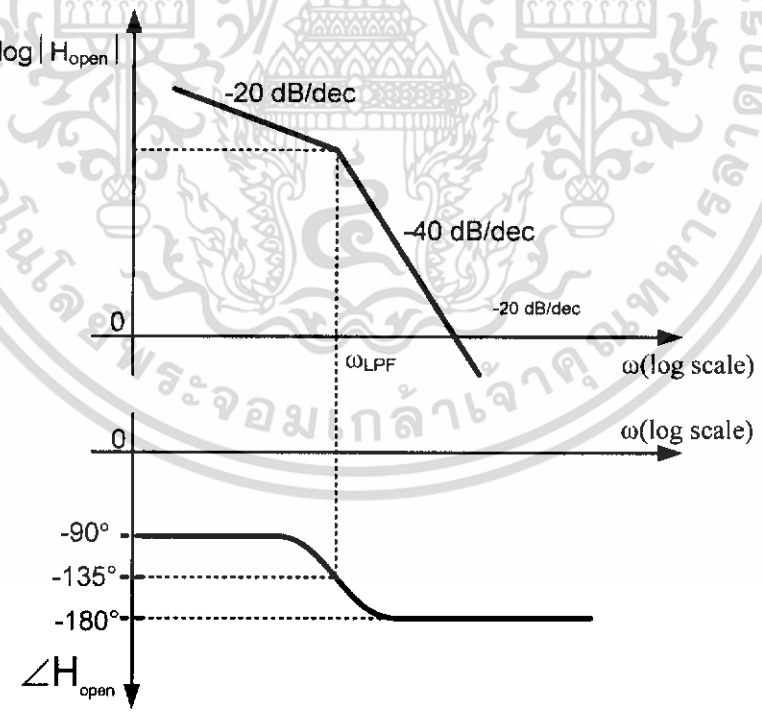
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูป 2.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่ 1 (Type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสาสภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดของเฟส และเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงโดยกราฟ Bode Plot ทั้งขนาดและความถี่ดังรูป 2.10 โดยใช้สมการ (2.10)



รูป 2.10 กราฟ Bode Plot แสดงเสถียรภาพของ Type I PLL

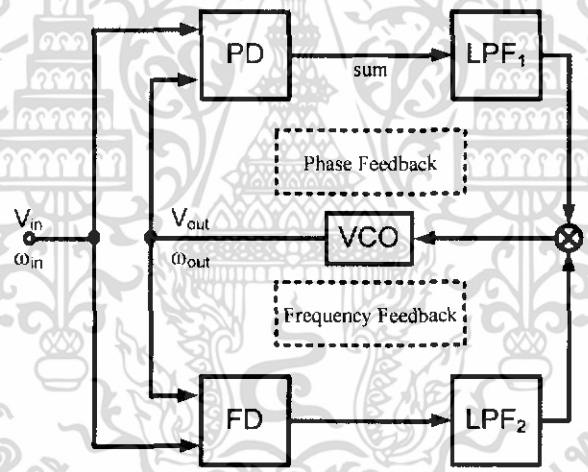
73129

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)

จากการพิจารณาเฟสล็อคลูปแบบที่ 1 จะเห็นว่ามีปัญหาในเรื่องที่จะต้องเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบควบคุม VCO, ค่าผิดพลาดเฟส และเสถียรภาพของระบบ นอกจากนั้นแล้วยังมีปัญหาในเรื่องของช่วงของการเข้าสู่สภาวะล็อคมีค่าจำกัดโดยปัญหาของการได้มาซึ่งสภาวะล็อคของเฟสล็อคลูปคือ เริ่มแรกเมื่อวงจรทำงานเมื่อจ่ายไฟเลี้ยงให้วงจร ถ้าวงจรออสซิลเลเตอร์ทำงานที่ความถี่ห่างจากความถี่อินพุทลูปจะไม่ล็อคโดยช่วงของการเข้าสู่สภาวะล็อคจะขึ้นอยู่กับค่าของ ω_{LPF} โดยลูปจะล็อคเพียงกรณีเดียวคือ ความแตกต่างๆ ระหว่าง ω_{in} กับ ω_{out} จะต้องน้อยกว่า ω_{LPF} แต่ต้องเลือกอีกเช่นกัน เพราะถ้าหากเราให้ ω_{LPF} มีค่าต่ำก็จะทำให้ช่วงการเข้าสู่การล็อคมีค่าต่ำเช่นกัน

ปัญหาดังกล่าวแก้ไขโดยการเพิ่มตัวดักจับความถี่ (Frequency Detector, FD) เข้าไปรวมกับส่วนของ PD ดังแสดงในรูป 2.11



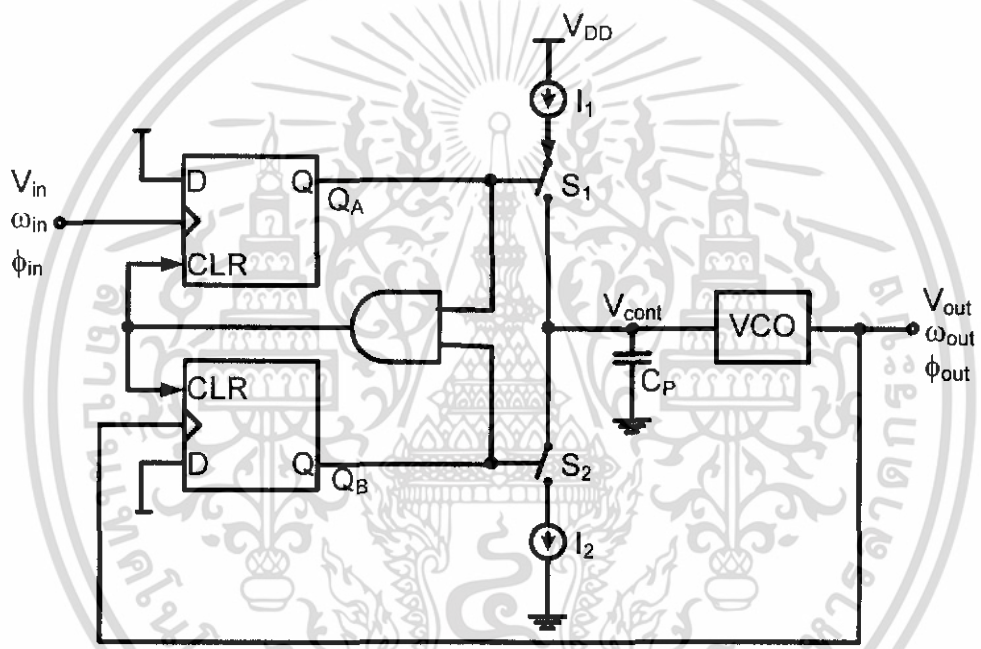
รูป 2.11 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส-ความถี่

โดย FD จะทำหน้าที่เปรียบเทียบความถี่ของอินพุทกับเอาท์พุทและจะทำให้วงจรกรองความถี่ต่ำมีแรงดันเกิดขึ้นเป็นไปตามสัดส่วนของ $\omega_{in} - \omega_{out}$ ซึ่งตัวดักจับเฟสแบบนี้เรียกว่าตัวดักจับเฟสแบบเฟส-ความถี่ (Phase/Frequency Detector, PFD) ซึ่งหลักการทำงานของ PFD จะกล่าวต่อไปในหัวข้อตัวดักจับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณารูป 2.12 ดปันวงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL, CP-PLL) โดยตัวดักจับเฟสเป็นแบบเฟส-ความถี่ หลักการทำงานของวงจร คือ เมื่อจ่ายไฟเลี้ยงให้วงจร ค่าของ ω_{out} อาจจะมีความถี่ที่ห่างจาก ω_{in} ทำให้ PFD และส่วนของแหล่งจ่ายกระแสทำงานเกิดการปรับเปลี่ยนแรงดันที่ป้อนให้กับ VCO จนค่าควงามถี่ของ ω_{out} มีค่าใกล้เคียงกับอินพุท ω_{in} จากนั้น PFD จะทำหน้าที่เสมือน PD ดำเนินกระบวนการเข้าสู่สภาวะล็อคโดยเมื่อลูปอยู่ในสภาวะล็อคแล้ว ค่าความต่างเฟสอินพุทกับเฟสเอาท์พุทเท่ากับศูนย์ ส่วนของแหล่งจ่ายกระแสไม่ทำงาน



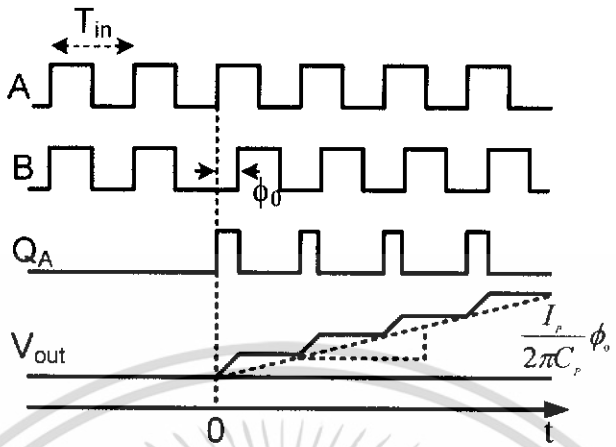
รูป 2.12 วงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณาการทำงานของวงจรรูป 2.12 โดยไม่คิดผลของพัลส์รีเซ็ตที่มีขนาดเล็กที่ Q_A โดยสมมติให้หลังจากเกิดการล็อค ω_{in} - ω_{out} มีค่าเท่ากับศูนย์ PFD จะให้ $Q_A = Q_B = 0$ ในส่วนของแหล่งจ่ายกระแสยังไม่ทำงานทำให้แรงดันที่ C_p ยังมีค่าคงที่

2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

การพิจารณาถึงเสถียรภาพจะต้องสร้างรูปแบบเชิงเส้นของระบบและพิจารณาฟังก์ชันถ่ายโอน การสร้างรูปแบบเชิงเส้นได้นั้นจะต้องรู้ค่าฟังก์ชันถ่ายโอนของแต่ละส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.13 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน

พิจารณาค่าฟังก์ชันถ่ายโอนเมื่อนำส่วนของ PFD/CP/LPF มารวมกันโดยใช้ LPF เป็นตัวเก็บประจุ 1 ตัว โดยการสมมติให้คาบเวลาของความถี่อินพุทคือ T_{in} และค่าของกระแสที่ใช้ในการเก็บประจุและคายประจุคือ $\pm I_p$ ดังแสดงในรูป 2.13 โดยมีอินพุท 2 อินพุท, A และ B 1และที่เวลาแบบขั้นบันไดคือ ϕ_0 โดยความต่างเฟสเท่ากับ $\Delta\phi = \phi_0 u(t)$ ทำให้ Q_A เกิดพัลส์ออกมาอย่างต่อเนื่องและมีค่าเท่ากับ ϕ_0 $T_{in}/(2\pi)$ และเอาท์พุทจะเพิ่มขึ้นโดยไม่คิดผลของพัลส์รีเซ็ตที่มีขนาดเล็กจะมีค่าเท่ากับ (I_p/C_p) ϕ_0 $T_{in}/(2\pi)$ โดยการประมาณส่วนที่เป็นฟันเลื่อยเป็นเส้นตรง ดังนั้นความชันของ V_{out} คือ (I_p/C_p) ϕ_0 $/(2\pi)$ และสามารถเขียนได้อีกแบบดังสมการ

$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \cdot \phi_0 u(t) \qquad (2.22)$$

จากผลการตอบสนองแบบอิมพัลส์จะได้

$$h(t) = \frac{I_P}{2\pi C_p} u(t) \qquad (2.23)$$

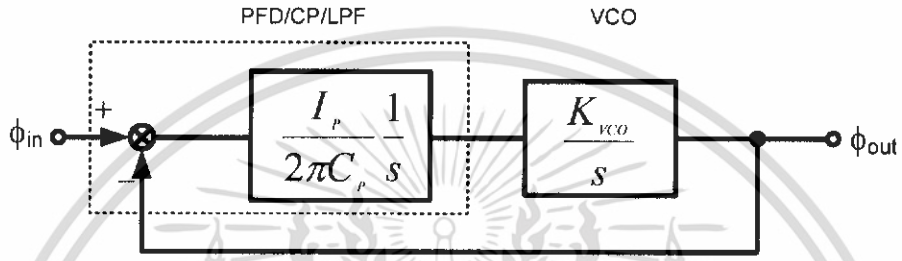
และจะได้ฟังก์ชันถ่ายโอน คือ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_p} \cdot \frac{1}{s} \qquad (2.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากฟังก์ชันถ่ายโอนจะเห็นว่า PFD/CP/LPF เมื่อต่อร่วมกันจะทำให้เกิดโพลขึ้น 1 โพล ที่จุดกำเนิดเช่นที่ได้เขียนไว้ในเฟสเล็อคลูปชนิดที่ 1 ซึ่งจะอยู่ในเทอม K_{VCO}/s และเทอมของ $I_p/(2\pi C_p)$ เรียกว่าอัตราการขยายของ PFD เขียนแทนด้วย K_{PFD}

พิจารณาสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ที่ได้ ดังรูป 2.14



รูป 2.14 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

จากรูป 2.14 จะได้ฟังก์ชันถ่ายโอนลูปเปิด คือ

$$\left.\frac{\Phi_{out}}{\Phi_{in}}(s)\right|_{open} = \frac{I_P}{2\pi C_P}\cdot\frac{K_{VCO}}{s^2} \qquad (2.25)$$

พิจารณาจากฟังก์ชันถ่ายโอนจะเห็นว่าอัตราขยายลูปมีโพลอยู่ 2 โพลที่จุดกำเนิดซึ่งเราเรียกระบบนี้ว่า "แบบที่ 2" (Type II) และกำหนด H(s) คือฟังก์ชันถ่ายโอนของลูปปิดจะได้

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_P}}{s^2 + \frac{I_P K_{VCO}}{2\pi C_P}} \qquad (2.26)$$

โดยลูปปิดมีโพลเป็นจำนวนจินตภาพอยู่ที่ตำแหน่ง

$$s_{1,2} = \pm\sqrt{I_P K_{VCO}/(2\pi C_P)} \qquad (2.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

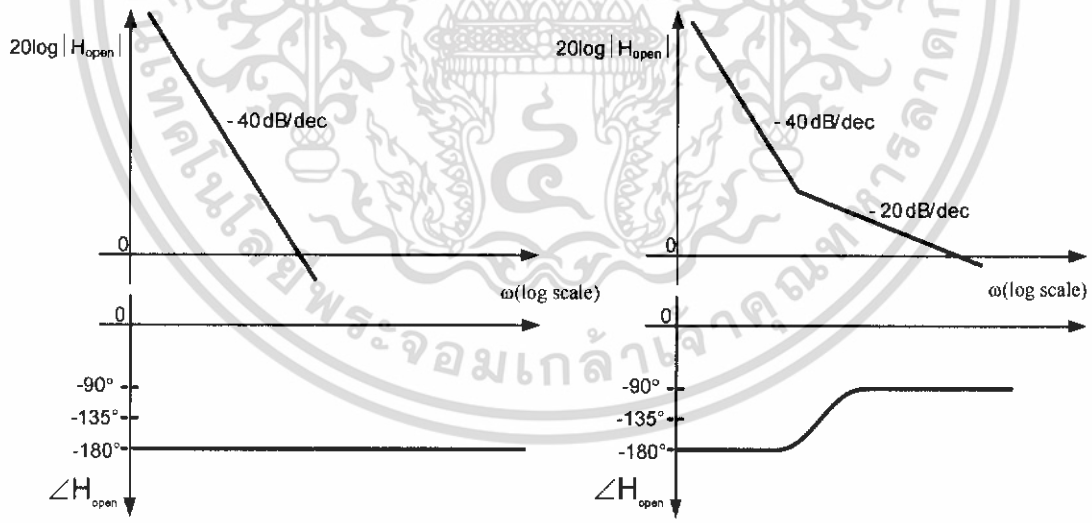
ซึ่งระบบมีอัตราขยายของลูปดังสมการ (2.25) จะไม่มีเสถียรภาพเนื่องจากโพลอยู่ที่จุดกำเนิดถึง 2 โพล โดยแต่ละโพลทำให้เกิดการเลื่อนเฟสไป 90° ดังนั้นระบบนี้จึงมีผลรวมของการเลื่อนเฟส 180° ซึ่งแสดงดังรูป 2.15(ก) ระบบอาจเกิดการออสซิลเลทที่จุดอัตราขยายตัดแกนความถี่ได้

เพื่อแก้ไขให้ระบบมีเสถียรภาพจะต้องทำให้ผลรวมของการเลื่อนเฟสมีค่าน้อยกว่า 180° คือที่จุดอัตราขยายตัดแกนความถี่ การเลื่อนเฟสต้องมีค่าน้อยกว่า 180 ° ดังแสดงในรูป 2.15(ข) สามารถทำได้โดยการทำให้เกิด zero ขึ้นในลูปด้วยการเพิ่มความต้านทานต่ออนุกรมกับตัวเก็บประจุในวงจรกรองความถี่ต่ำผ่าน ดังรูป 2.16 จะทำให้ฟังก์ชันถ่ายโอนของ PFD/CP/LPF ต่อร่วมกันต้องมีค่าเท่ากับ

$$\left.\frac{\Phi_{out}}{\Phi_{in}}(s)\right|_{open} = \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right) \qquad (2.28)$$

และฟังก์ชันถ่ายโอนลูปเปิดเท่ากับ

$$\left.\frac{\Phi_{out}}{\Phi_{in}}(s)\right|_{open} \simeq \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right)\frac{K_{VCO}}{s} \qquad (2.29)$$



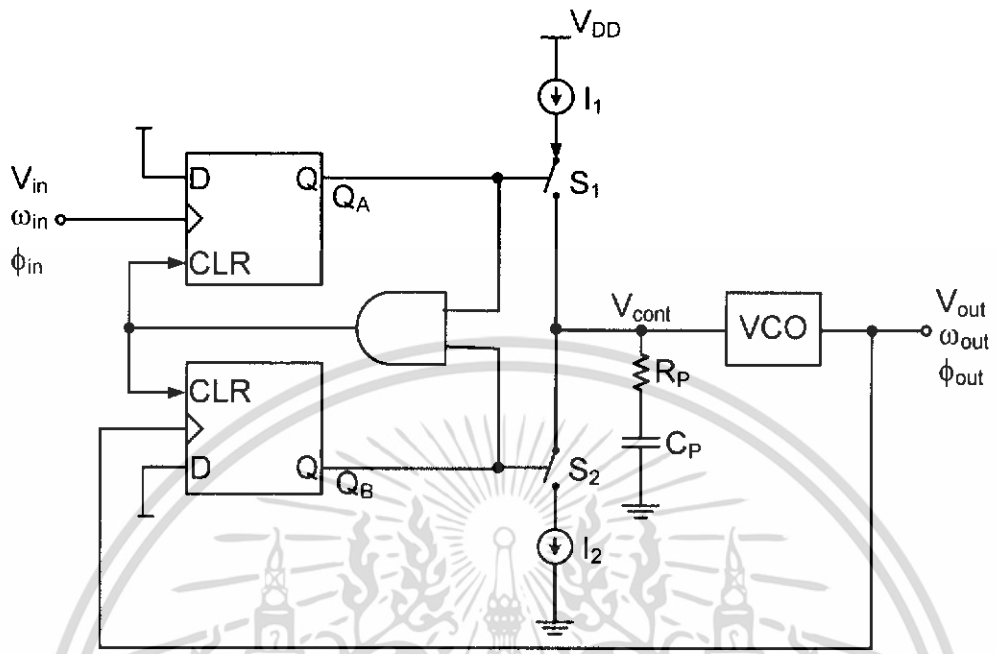
(ก) (ข)

รูป 2.15 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

(ก) การเกิดการเลื่อนเฟสของระบบที่ไม่มีเสถียรภาพ

(ข) การเกิดการเลื่อนเฟสเพื่อทำการเพิ่ม zero เข้าไปในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.16 การเพิ่ม zero เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

และฟังก์ชันถ่ายโอนของระบบปิด คือมี H(s) ค่าเท่ากับ

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_P}(R_P C_P s + 1)}{s^2 + \frac{I_P}{2\pi} K_{VCO} R_P s + \frac{I_P}{2\pi C_P} K_{VCO}} \qquad (2.30)$$

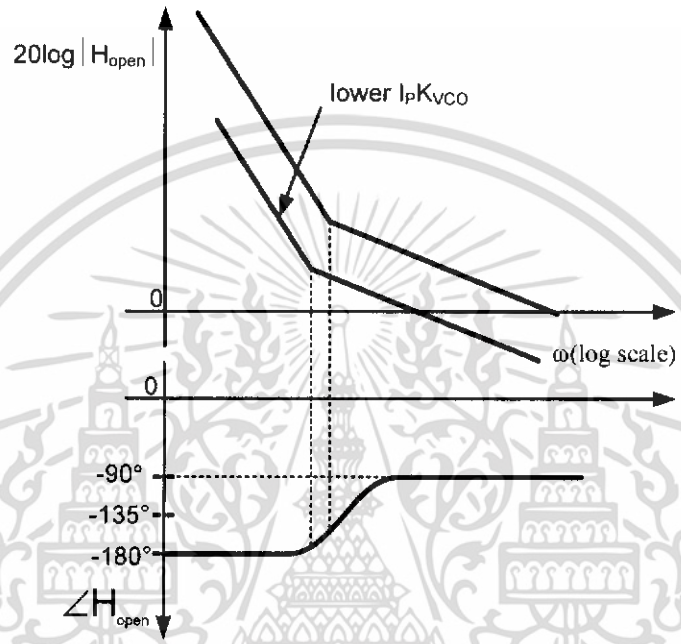
จากฟังก์ชันถ่ายโอนลูปปิดจะใช้ zero อยู่ 1 ตัวที่ตำแหน่ง $s_1 = -1/(R_P C_P)$ และทำการพิจารณาเช่นเดียวกับชนิดที่ 1 (Type I) เพื่อหาค่า ω_n และ ζ ซึ่งจะได้ค่า ดังนี้

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_P}} \qquad (2.31)$$

$$\zeta = \frac{R_P}{2}\sqrt{\frac{I_P C_P K_{VCO}}{2\pi}} \qquad (2.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

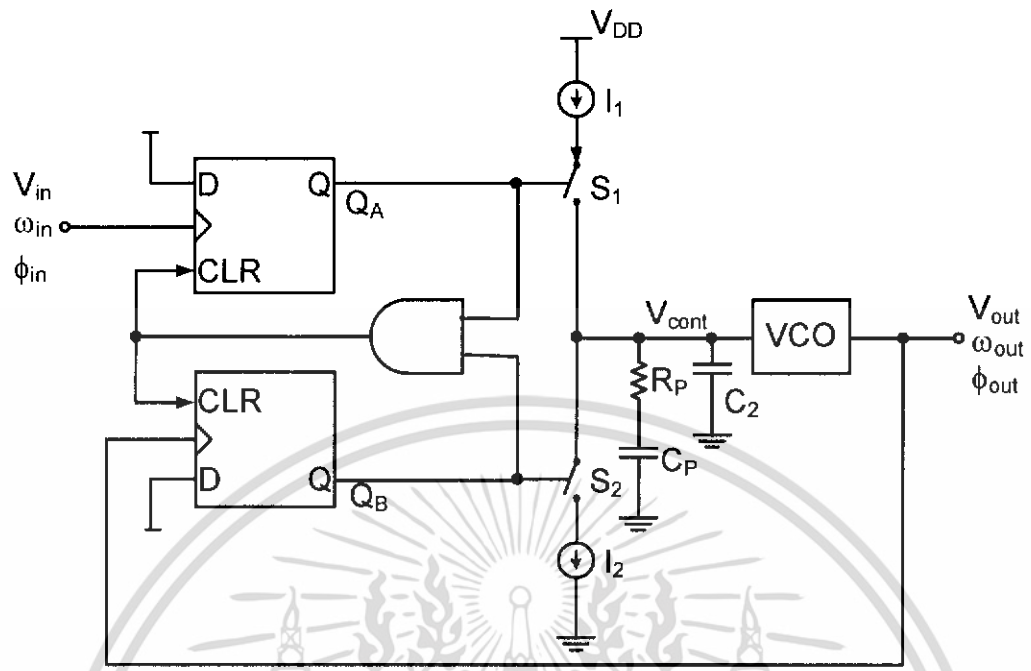
เมื่อพิจารณาเสถียรภาพของระบบแบบที่ 2 (Type II) จะเห็นว่ามีความแตกต่างจากแบบที่ 1 (Type I) เมื่อนำสมการ (2.29) เมื่อวิเคราะห์โดยการวาดกราฟ Bode Plot แสดงทั้งขนาดและเฟสของระบบจะได้ดังรูป 2.17 โดยค่า I_pK_{VCO} มีค่าลดลงจะทำให้จุดที่อัตราขยายตัดแกนความถี่เข้าใกล้จุดกำเนิดมากขึ้นทำให้ความผิดพลาดของเฟส (Phase Margin) ลดน้อยลง



รูป 2.17 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่เมื่อ I_pK_{VCO} มีค่าลดลง

เฟสล็อคลูปแบบที่ 2 ที่มีการปรับปรุงแล้ว ดังรูป 2.16 ยังมีข้อเสียอยู่ คือ ในส่วนของวงจรจ่ายกระแสคงที่ซึ่งต่ออนุกรมกับ R_p และ C_p เมื่อมีกระแสจ่ายให้กับส่วนวงจรกรองความถี่จะทำให้แรงดันที่ไปควบคุมการออสซิลเลทมีค่าเพิ่มขึ้นสูงมากจากสภาวะปกติ ซึ่งสภาวะที่ทำให้ V_{cont} เกิดการกระเพื่อมขึ้น (Voltage Jump) จะทำให้เกิดริปเปิ้ลขึ้น ซึ่งจะมีผลทำให้เกิดภาวะไม่สงบขึ้นที่ VCO ทำให้เฟสเอาท์พุทแย่ลง เพื่อลดปัญหาดังกล่าวให้เบาบางลงกระทำได้โดยนำตัวเก็บประจุตัวที่ 2 มาต่อขนาน R_p และ C_p ดังแสดงในรูป 2.18 เพื่อเป็นการกำจัดการกระเพื่อมที่เกิดขึ้นในช่วงแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.18 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล

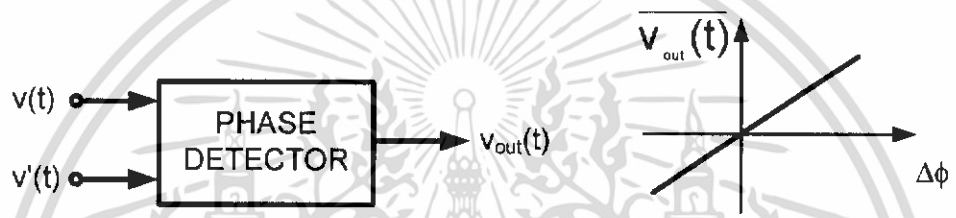
โดยค่าของตัวเก็บประจุที่เพิ่มเข้าจะมีค่าประมาณหนึ่งในห้าหรือหนึ่งในสิบของ C_p เพื่อให้การตอบสนองของระบบปิดทั้งทางความถี่และเวลายังคงไม่เปลี่ยนไปจากเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานของเฟสล็อคลูป

3.1 ตัวดักจับเฟส (Phase Detector)

ตัวดักจับเฟส (Phase Detector) หรือ PD คือวงจรที่เอาท์พุทเฉลี่ย $\overline{V}_{out}$ หรือ $\overline{V}_d$ มีขนาดสัมพันธ์กับความต่างเฟส $\Delta\phi$ ระหว่าง 2 อินพุท ในทางอุดมคติความสัมพันธ์ระหว่างเอาท์พุทเฉลี่ย $\overline{V}_{out}$ กับ $\Delta\phi$ จะมีลักษณะเป็นเชิงเส้นดังแสดงในรูป 3.1

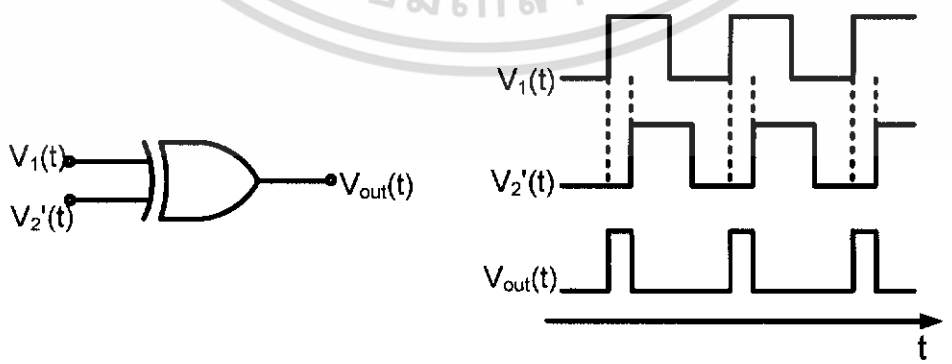


รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ

โดยเส้นตัดผ่านจุดกำเนิดที่ $\Delta\phi = 0$ และ อัตราขยายของ PD คือความชันของเส้นกราฟ คือ K_{PD} หน่วยคือ V/rad

ตัวดักจับเฟสที่นิยมนำมาใช้งานเฟสล็อคลูปแบบดิจิตอล คือ แบบเอ็กซ์คลูซีฟออร์ แบบ JK ฟลิปฟลอป และแบบเฟส-ความถี่

3.1.1 ตัวดักจับเฟสแบบเอ็กคลูซีฟออร์



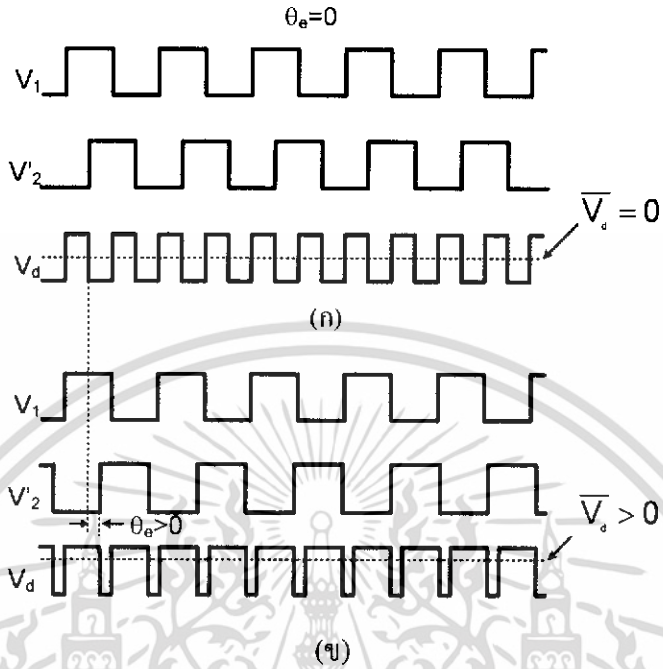
รูป 3.2 ตัวดักจับเฟสแบบเอ็กคลูซีฟออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์เป็นตัวดักจับเฟสแบบง่ายที่สุด โดยการใช้เอ็กคลูซีฟออร์ ซึ่งมีคุณสมบัติ คือ ถ้าสัญญาณอินพุทเหมือนกัน เอาท์พุทจะเป็นศูนย์ แต่ถ้าสัญญาณอินพุทต่างกันจะได้เอาท์พุทเป็นหนึ่งหรือ เมื่ออินพุทมีความต่างเฟสกันจะได้เอาท์พุทสัมพันธ์กับอินพุท ดังแสดงในรูป 3.2

โดยสัญญาณในวงจรเฟสล็อคลูปแบบดิจิตอลจะเป็นสัญญาดิจิตอล ซึ่งกำหนดให้เป็นสัญญาณอินพุททั้งสอง คือ V_1 และ V_2 เป็นสัญญาณรูปสี่เหลี่ยมที่สมมาตรจากรูป 3.3 ซึ่งแสดงความแตกต่างของค่าความผิดพลาดเฟส เมื่อค่าความผิดพลาดเฟสเท่ากับศูนย์ สัญญาณ V_1 และ V_2' จะต่างเฟสกัน 90° ดังรูป 3.3(ก) ดังนั้นสัญญาณเอาท์พุท ซึ่งเป็นสัญญาณคลื่นสี่เหลี่ยมจะมีค่าเป็น 2 เท่าของสัญญาณอินพุทและค่า duty cycle ของสัญญาณ จะมีค่าเท่ากับ 50% เมื่อถูกกรองด้วยวงจรกรองความถี่จะถูกพิจารณาเพียงค่าเฉลี่ยของ V_d ซึ่งแสดงโดยเส้นประ ดังรูป 3.3(ก) ค่าเฉลี่ยของ V_d คือ $\overline{V}_d$ จะคิดตามหลักของค่าระดับลอจิกทั้งสอง โดยถ้าเอ็กคลูซีฟออร์ถูกจ่ายกำลังโดยแหล่งจ่ายไฟ 5 โวลท์ จะมีค่าประมาณ 2.5 โวลท์ ซึ่งค่าแรงดัน ณ จุดนี้ จะเป็นจุดสงบของเอ็กคลูซีฟออร์ และกำหนดให้ $\overline{V}_d = 0$ V เมื่อสัญญาณเอาท์พุท V_2' มีค่ามากกว่าสัญญาณอ้างอิง V_1 ค่าความผิดพลาดเฟส θ_e จะเป็นไปในทางบวก ซึ่งแสดงดังรูป 3.3(ข) โดยค่า duty cycle จะมีค่ามากกว่า 50% ค่าของ V_d เฉลี่ยก้จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นประในสัญญาณ V_d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

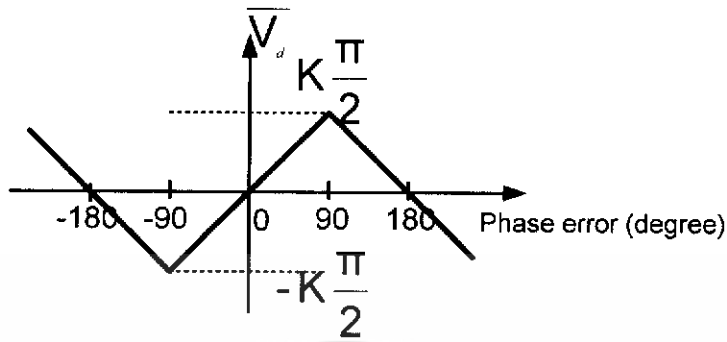


รูป 3.3 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์
(ก) สัญญาณค่าความผิดพลาดเฟสเท่ากับศูนย์
(ข) สัญญาณค่าความผิดพลาดเฟสมีค่าเป็นบวก

สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุดเมื่อค่าความผิดพลาดเฟส $\theta_e = 90^o$ และมีค่าน้อยสุดเมื่อค่าความผิดพลาดเฟส $\theta_e = -90^o$ ซึ่งจะได้กราฟคุณสมบัติดังรูป 3.4 ค่าเอาท์พุท V_d เฉลี่ย ของเอ็กซ์คลูซีฟออร์จะอยู่ในรูปฟังก์ชันสามเหลี่ยมของโดยช่วงค่าความผิดพลาดเฟส คือ $-90^o < \theta_e < 90$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d ได้เป็นสมการ V_d

$$\overline{V_d} = K_d \theta_e \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4 กราฟแสดงคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของเอ็กคลูซีฟออร์

ในกรณีของชุดเปรียบเทียบแบบเอ็กคลูซีฟออร์ ค่าอัตราขยายของตัวดักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กคลูซีฟออร์ คือ V_{DD} และศูนย์โดยกำหนดระดับลอจิกคือ V_{DD} และศูนย์ ดังนั้น K_d จะมีค่าดังสมการ 3.2

$$K_d = \frac{V_{DD}}{\pi} \tag{3.2}$$

คุณสมบัติโดยสรุปของตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์เมื่อนำมาใช้ในเฟสล็อคลูป

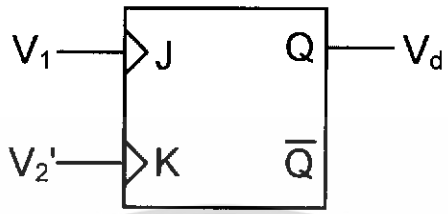
1. ขณะยังไม่มีสัญญาณอินพุทเข้ามา เอาท์พุทของเอ็กคลูซีฟออร์จะมีค่าเท่ากับ $V_{DD}/2$ ทำให้เฟสล็อคลูปทำงานอยู่ที่ความถี่กลาง

2. เมื่ออยู่ในสภาวะล็อค เอาท์พุทของเอ็กซ์คลูซีฟออร์จะมีค่า duty cycle 50% ดังนั้น VCO ที่ใช้งานร่วมกันจะต้องให้เอาท์พุทมีค่า duty cycle เท่ากับ 50% ด้วย

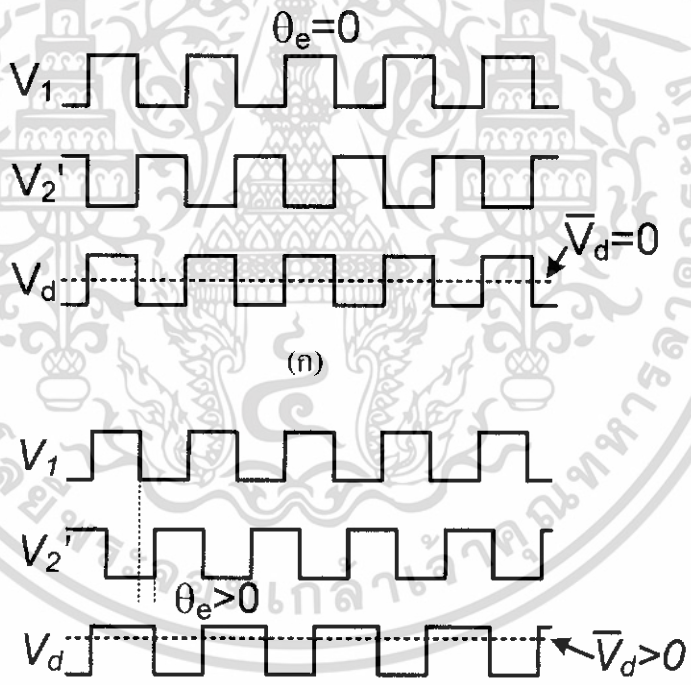
3. ตัวดักจับเฟสแบบเอ็กซคลูซีฟออร์สามารถล็อคที่ความถี่ฮาร์โมนิคได้ดังนั้นอย่าใช้งานที่ความถี่ ซึ่งความถี่ฮาร์โมนิคของสัญญาณตรงกับย่านความถี่ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ตัวดักจับเฟสแบบ JK ฟลิปฟลอป



รูป 3.5 ตัวดักจับเฟสแบบ JK ฟลิปฟลอป



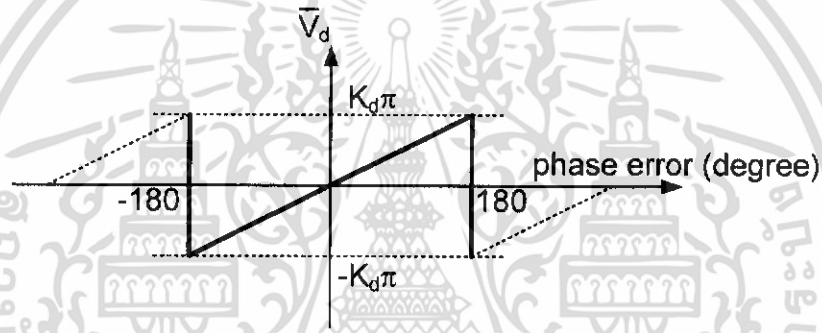
รูป 3.6 สัญญาณของตัวดักจับเฟสแบบ JK ฟลิปฟลอป

(ก) สัญญาณค่าความผิดพลาดเฟสเท่ากับศูนย์

(ข) สัญญาณค่าความผิดพลาดเฟสมีค่าเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JK ฟลิปฟลอป จะทำงานโดยขาอินพุท J ถูกกระตุ้นทำให้สถานะของฟลิปฟลอปเป็นสภาวะ 1 (Q=1) และที่ขาอินพุท K ถูกกระตุ้นทำให้สถานะฟลิปฟลอปเป็นสภาวะ 0 (Q=0) ดังรูป 3.6(ก) ซึ่งแสดงรูปสัญญาณของ JK ฟลิปฟลอป ในกรณี $\theta_e = 0$ เมื่อค่าความผิดพลาดเฟส V_1 และ V_2' จะมีเฟสตรงข้ามกัน ค่าเอาท์พุท V_d จะมีค่าเป็นสัญญาณสี่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ค่า V_d เฉลี่ยจะมีค่าเท่ากับศูนย์ ถ้าค่าเฟสความผิดพลาดมีค่าไปในทางบวก ดังรูป 3.6(ข) ค่า duty cycle การทำงานของ V_d จะมีค่ามากกว่า 50% และ $\overline{V_d}$ จะมีค่าเป็นบวก และ $\overline{V_d}$ จะมีค่าสูงสุดเมื่อค่าความผิดพลาดเฟสมีค่าเท่ากับ 180° และมีค่าต่ำสุดเมื่อเฟสผิดพลาดมีค่า -180° ถ้ารูปกราฟของ V_d ต่อ θ_e ซึ่งแสดงดังรูป 3.7



รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของ JK ฟลิปฟลอป

โดยมีคุณสมบัติเป็นฟันเลื่อย และมีช่วงผิดพลาดเท่ากับ 180° และมีค่าต่ำสุดเมื่อเฟสผิดพลาดเท่ากับ $-180° < \theta_e < 180°$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_e สามารถกำหนดได้จาก

$$\overline{V_d} = K_d \theta_e \tag{3.3}$$

และอัตราขยายของตัวดักจับเฟสแบบ JK ฟลิปฟลอป K_d จะมีค่าดังสมการ 3.4

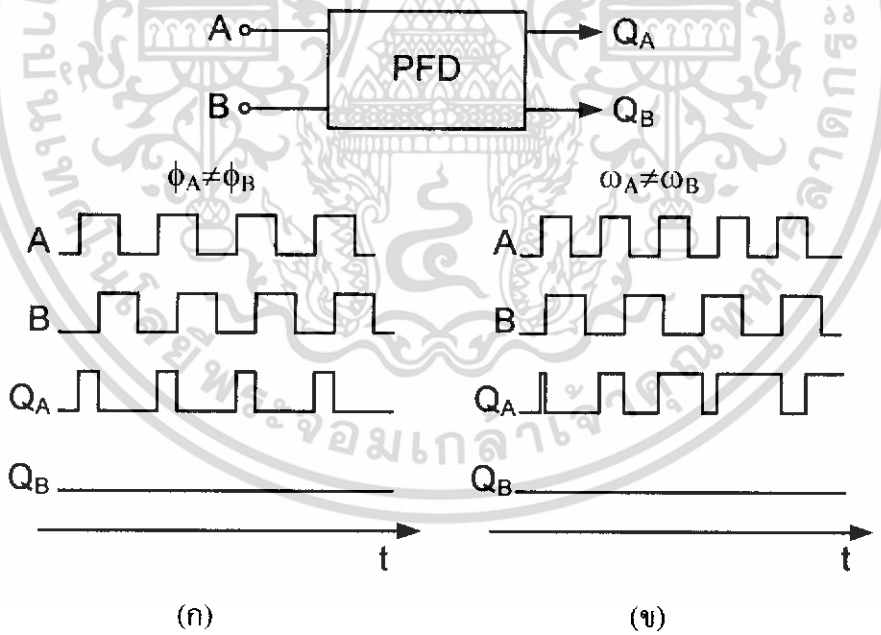
$$K_d = \frac{V_{DD}}{2\pi} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักจับเฟสแบบเฟส-ความถี่ เป็นตัวจับเฟสที่เปรียบเทียบความแตกต่างทั้งความถี่และเฟสของอินพุทกับเอาท์พุท จากที่ได้กล่าวมาแล้วในหัวข้อของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ เมื่อเฟสล็อคลูปทำงานที่สภาวะเริ่มต้นหรือเมื่อเริ่มจ่ายไฟเลี้ยงให้กับวงจร ความถี่เอาท์พุทอยู่อยู่ห่างจากความถี่อินพุทมาก สภาวะนี้เฟสล็อคลูปไม่สามารถเข้าสู่สภาวะล็อคได้ ดังนั้น จึงมีการเพิ่มตัวดักจับความถี่เพิ่มเข้ามา โดยเมื่อเกิดสภาวะที่ความถี่เอาท์พุทห่างจากความถี่อินพุทจะเกิดแรงดันขึ้นมาควบคุมความถี่เอาท์พุทให้มีค่าเข้าใกล้อินพุท และต่อจากนั้นตัวดักจับเฟส-ความถี่จะทำงานเหมือนตัวดักจับเฟสและดำเนินกระบวนการให้เข้าสู่สภาวะล็อค

หลักการทำงานของตัวดักจับเฟส-ความถี่ แสดงดังรูป 3.8 โดยจากรูป อินพุทของวงจรจะมี 2 อินพุท A และ B โดยตัวดักจับเฟสจะตรวจจับที่ขอบขาขึ้นหรือลงของพัลส์เท่านั้นและจะแสดงผลออกมาที่เอาท์พุท โดยถ้ากำหนดสภาวะเริ่มต้น $Q_A = Q_B = 0$ หลังจากนั้น เฟสอินพุท A นำหน้าอินพุท B จะทำให้ $Q_A = 1$, $Q_B = 0$ และจะอยู่ในสภาวะนี้ตลอดจนกระทั่งอินพุท B มีระดับลอจิกสูง ที่สภาวะนี้ Q_A จะกลับเข้าสู่ค่าศูนย์ดังแสดงในรูป 3.8



รูป 3.8 หลักการของตัวดักจับเฟส-ความถี่

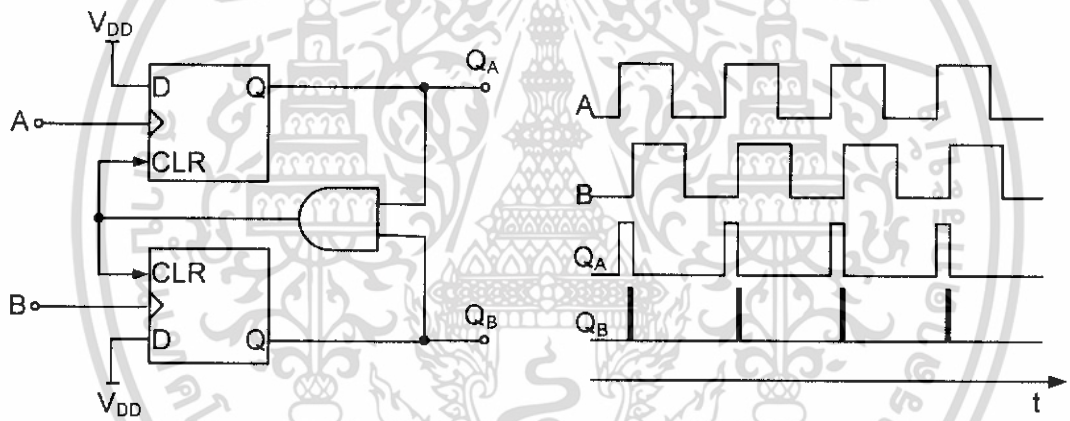
(ก) สัญญาณเอาท์พุทเมื่ออินพุทมีเฟสต่างกัน

(ข) สัญญาณเอาท์พุทเมื่ออินพุทมีความถี่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยรูป 3.8(ก) อินพุททั้งสองมีความถี่เท่ากันแต่เฟสของอินพุท A นำหน้า B จะทำให้ได้พัลส์เอาท์พุท Q_A ออกมาโดยมีความกว้างเท่ากับช่วงของความต่างเฟส ϕ_A - ϕ_B โดย Q_B ยังคงเป็นศูนย์ และรูป 3.8(ข) เมื่อความถี่อินพุท A มากกว่าอินพุท B จะทำให้ได้พัลส์เอาท์พุท Q_A ออกมาและ Q_B ยังคงเป็นศูนย์ ในทางตรงกันข้ามถ้าเฟสอินพุท A ล้าหลัง B หรือความถี่ของอินพุท A น้อยกว่าอินพุท B จะได้พัลส์เอาท์พุท Q_B ออกมาโดย Q_A ยังคงเป็นศูนย์โดยระดับแรงดันกระแสตรงของ Q_A และ Q_B จะเป็นตัวบอกให้ทราบถึง ϕ_A - ϕ_B หรือ ω_A - ω_B โดยเอาพุท Q_A และ Q_B เรียกว่า "UP" และ "DOWN"

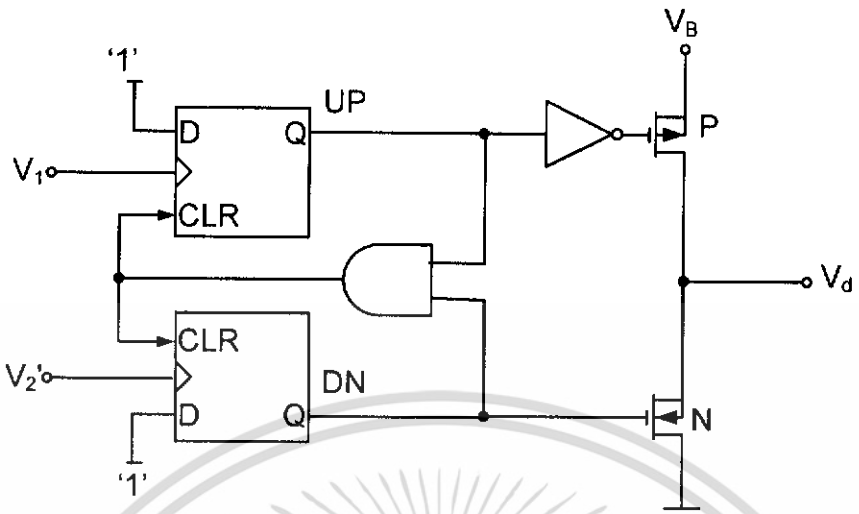
จากคุณสมบัติของตัวดักจับเฟส-ความถี่ดังกล่าว สามารถที่จะสร้างตัวจับเฟส-ความถี่ได้โดยใช้ D ฟลิปฟลอปสามารถมาสร้างเป็นวงจรดังรูป 3.9 โดยเอาท์พุทจะมีคุณสมบัติเหมือนตัวจับจับเฟส-ความถี่



รูป 3.9 การสร้างตัวดักจับเฟส-ความถี่โดยใช้ D ฟลิปฟลอป

พิจารณาตัวดักจับเฟส-ความถี่จะเห็นว่าเอาท์พุทจะมีสองจุดจะต้องมีการรวมเอาท์พุทเป็นจุดเดียวนำไปขับวงจรความถี่ โดยมีการรวมมีอยู่ 2 วิธีคือ แบบแรกใช้เป็นลักษณะของแหล่งจ่ายกระแสคงที่ดังได้กล่าวมาแล้วในหัวข้อเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ แบบที่สองใช้เป็นเอาท์พุทแบบ 3 สถานะ ซึ่งแบบนี้จะมีข้อเสีย คือ ถ้าแหล่งจ่ายไฟเลี้ยงไม่คงที่ริปเปิ้ลจะทำให้ระบบไม่มีเสถียรภาพ โดยตัวดักจับเฟสเอาท์พุท 3 สถานะแสดงดังรูป 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.10 ตัวดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุท 3 สถานะ

โดยวงจรประกอบด้วย D ฟลิปฟลอป มีเอาท์พุทคือ UP และ DOWN

UP = 0, DN = 0

UP = 1, DN = 0

UP = 0, DN = 1

UP = 1, DN = 1

เมื่อใส่ AND เกทเข้าไปจะทำให้สภาวะ UP = 1, DN = 1 หายไปเพราะเอาท์พุทของ AND เกทไปรีเซ็ตฟลิปฟลอปทั้งสอง ดังนั้นสภาวะของวงจรจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณ์ คือ -1,0 และ +1 คือ

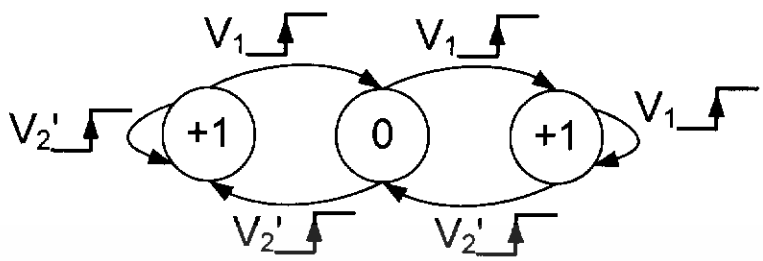
UP = 1, DN = 0 ; state = -1

UP = 0, DN = 0 ; state = 0

UP = 1, DN = 0 ; state = +1

การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดง ดังรูป 3.11 สภาวะบวกของ V_1 จะมีผลทำให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นแต่ว่าได้อยู่ในสภาวะ +1 แล้วในทำนองเดียวกันสภาวะของ V_d จะมีผลให้ตัดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ -1 แล้ว เมื่อมีสภาวะ +1 V_dจะมีค่าเป็นบวก และเมื่อมีสภาวะ -1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะมีค่าเท่ากับศูนย์

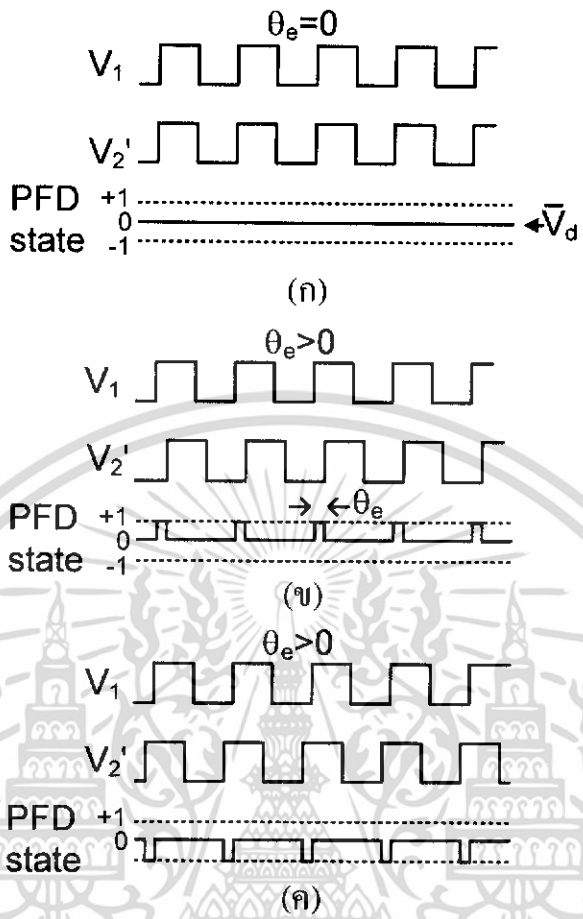
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส-ความถี่

แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรในเส้นประของรูป 3.10 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนเนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน V_{DD} เมื่อ DN เป็นค่าสูง N แชนเนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับกราวน์ แต่ถ้าสัญญาณทั้งคู่เป็นค่าสูง มอสทั้งสองจะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนว่าไม่มี คือ เป็นความต้านทานสูง โดยตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณ ดังรูป 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.12 สัญญาณของตัวดักจับเฟสแบบเฟส-ความถี่

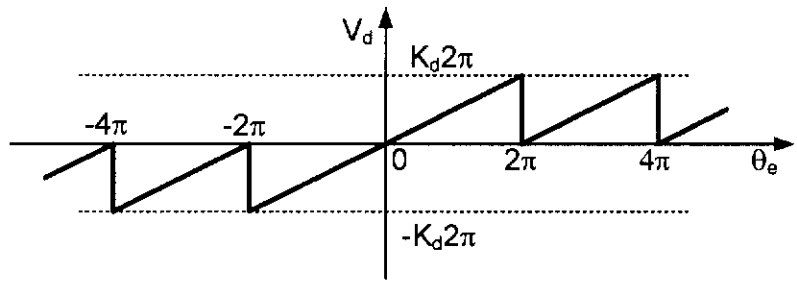
(ก) สัญญาณค่าความผิดพลาดเฟสเท่ากับศูนย์

(ข) สัญญาณค่าความผิดพลาดเฟสมีค่าเป็นบวก

(ค) สัญญาณค่าความผิดพลาดเฟสมีค่าเป็นลบ

ซึ่งในรูป 3.12(ก) แสดงในกรณีความผิดพลาดเฟสเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอาท์พุท ในรูป 3.12(ข) เมื่อ V_1 นำหน้า V_2' ตัวดักจับเฟสแบบเฟส-ความถี่ระหว่าง ศูนย์กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูป 3.12(ค) ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง -1 กับศูนย์ ถ้าพิจารณาจากรูป 3.12(ข) และ (ค) ค่า V_d จะมีค่ามากสุดเมื่อความผิดพลาดเฟสมีค่าบวกและเข้าใกล้มุม 360 ° และ V_d จะมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาดมีค่าลบและเข้าใกล้ -360 ° ถ้าพล็อตกราฟเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_d กับค่าควงามผิดพลาดเฟส θ_c จะได้ฟังก์ชันฟันเลื่อย ดังรูป 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุท V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่

ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาท์พุทที่ได้จากค่าความผิดพลาดเฟสมากกว่า 2π และ น้อยกว่า -2π เมื่อค่าความผิดพลาดเฟสมีค่าถึง 2π สัญญาณเอาท์พุทจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะของคาบเวลา โดยคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาท์พุทจะมีค่าน้อยที่สุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าความผิดพลาดเฟสอยู่ในช่วง $-2\pi < \theta_c < 2\pi$ ค่าเฉลี่ยของสัญญาณเอาท์พุท V_d คือ

$$\overline{V_d} = K_d\theta_e \tag{3.5}$$

และอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุท 3 สถานะมีค่า ดังสมการ (3.6)

$$K_d = \frac{V_{DD}}{4\pi} \tag{3.6}$$

และอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ดังได้กล่าวไว้ในหัวข้อเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ มีค่าดังสมการ (3.7)

$$K_d = \frac{I_P}{2\pi} \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรกรองความถี่ต่ำผ่าน

โดยทั่วไปเฟสล็อคลูปแบบดิจิตอลจะใช้วงจรกรองความถี่ต่ำผ่านในลักษณะเช่นเดียวกับเฟสล็อคลูปแบบอนาล็อก ซึ่งวงจรกรองความถี่ต่ำผ่านที่นิยมใช้กับเฟสล็อคลูปแบบดิจิตอลแสดงดังรูป 3.14 โดยที่รูป 3.14(ก) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซึ่งมี 1 โพลและ 1 ซีโร่ ซึ่งมีฟังก์ชันถ่ายโอนคือ

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \tag{3.8}$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ โดยมีค่าการตอบสนองของวงจร ในรูป 3.14(ก) เป็นส่วนของวงจรกรองความถี่ต่ำผ่าน ส่วนรูป 3.14(ข) เป็นวงจรกรองสัญญาณความถี่ผ่านแบบแอคทีฟ ซึ่งมีการตอบสนองของวงจรเหมือนกับวงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ แต่วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟจะให้ค่าอัตราขยาย K_a ที่สามารถได้มากกว่า 1 และมีฟังก์ชันถ่ายโอน คือ

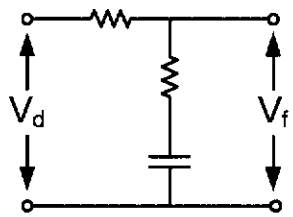
$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \tag{3.9}$$

เมื่อ $\tau_1 = R_1C_1$, $\tau_2 = R_2C_2$ และ $K_a = -C_1/C_2$ โดยมีค่าการตอบสนองของวงจรดังรูป 3.15(ข) และวงจรดังรูป 3.14(ค) เป็นวงจรกรองความถี่ผ่านอีกแบบนี้จะมีค่าฟังก์ชันถ่ายโอน คือ

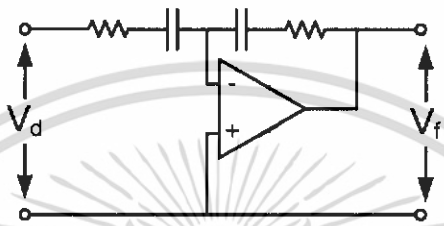
$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \tag{3.10}$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีฟ จะมีค่าการตอบสนองของวงจร ดังรูป 3.15(ค)

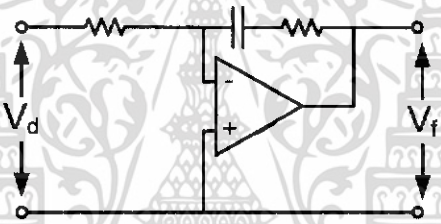
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

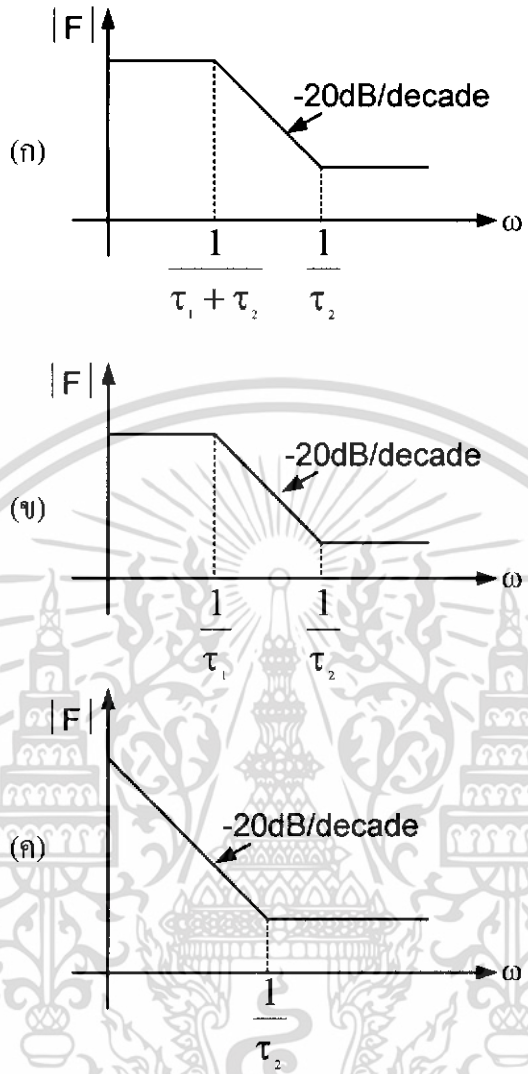
รูป 3.14 วงจรกรองความถี่ต่ำผ่านที่ใช้งานกับเฟสล็อคลูป

(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟ

(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.15 การตอบสนองของวงจรกรองความถี่ต่ำผ่าน
(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ
(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟ
(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีฟ

3.3 วงจรออสซิลเลเตอร์

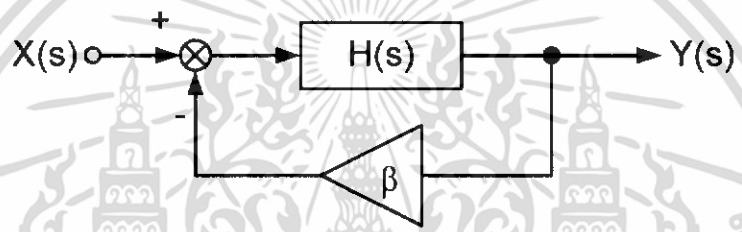
วงจรออสซิลเลเตอร์มักถูกรวมเป็นองค์ประกอบหนึ่งของระบบอิเล็กทรอนิกส์ มีการประยุกต์ใช้งานในการกำเนิดสัญญาณนาฬิกาให้แก่ไมโครโปรเซสเซอร์ไปจนถึงการสร้างสัญญาณคลื่นพาห์ให้แก่ระบบโทรศัพท์เซลลูลาร์ และวงจรออสซิลเลเตอร์ถูกใช้เสมอกับระบบเฟสล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Phase-locked system) ในกระบวนการชั้นสูง (high-performance) วงจรออสซิลเลเตอร์จะถูกออกแบบโดยใช้เทคโนโลยีของซีมอส

3.3.1 หลักการพื้นฐานของวงจรออสซิลเลเตอร์

วงจรออสวิลเลเตอร์จะผลิตเอาท์พุทออกมาโดยปกติจะอยู่ในรูปแรงดันโดยวงจรไม่จำเป็นต้องมีอินพุท วงจรจะผลิตเอาท์พุทออกมาอย่างต่อเนื่องและไม่จำกัด ระบบที่มีการป้อนกลับแบบลบ (negative feedback) สามารถที่จะออสซิลเลทได้โดยการออกแบบให้เป็นวงจรขยายที่ไม่ดี (badly-designed feedback amplifier) ระบบที่มีการป้อนกลับแบบลบแสดงดังรูป 3.16



รูป 3.16 ระบบที่มีการป้อนกลับแบบลบ

จากรูป 3.16 สมมติค่าของ β คือค่าคงที่และจะมีค่าเท่ากับ 1 ถ้าระบบมีการป้อนกลับแบบเต็มที่ โดยังก์ชันถ่ายโอนของระบบปิดคือ

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \qquad (3.11)$$

จากสมการ 3.18 ถ้าระบบมีค่า $\beta H(s = j\omega_1) = -1$ จะมีผลทำให้อัตราการขยายของระบบมีค่าอนันต์ วงจรจะทำการขยายสัญญาณรบกวนภายในตัวมันเอง (own noise) จนเริ่มเข้าสู่การออสซิลเลท หรืออาจกล่าวได้ว่าถ้า $\beta H(j\omega_1) = -1$ จะทำให้วงจรเกิดการออสซิลเลทที่ความถี่ ω_1 รูปแบบของ $\beta H(j\omega_1) = -1$ สามารถเขียนได้เขียนอีกแบบหนึ่งคือ

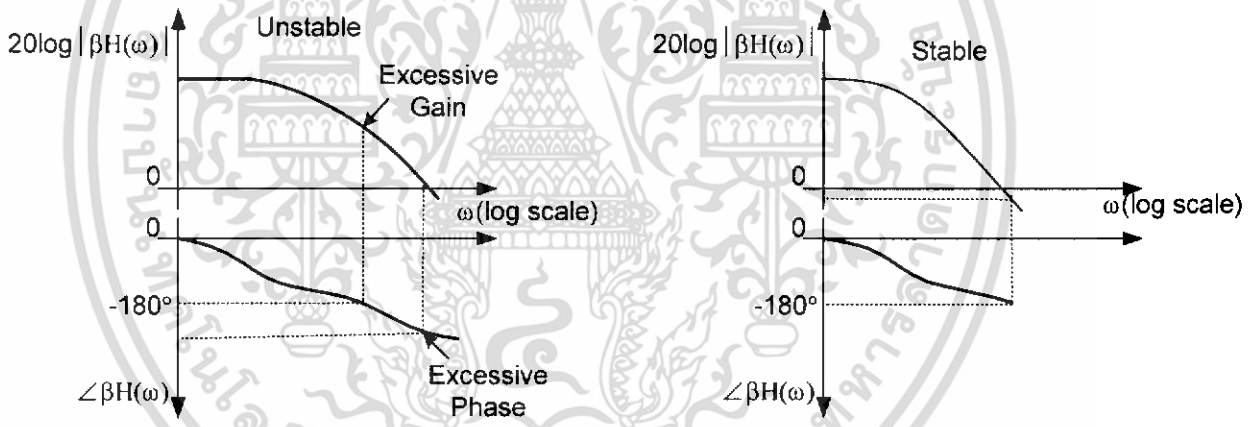
$$\beta H(j\omega_1) = |\beta H(j\omega_1)| e^{\angle \beta H(j\omega_1)} \qquad (3.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเงื่อนไขที่ทำให้วงจรเกิดการออสซิลเลทหรือทำให้ $\beta H(j\omega_1) = -1$ มี 2 เงื่อนไข คือ

1. $|\beta H(j\omega_1)| = 1$
2. $\angle\beta H(j\omega_1) = \pm 180$

โดยทั้งสองเงื่อนไขเกิดขึ้นพร้อมกันวงจรจะเกิดการออสซิลเลท นอกจากการพิจารณาดังเงื่อนไขข้างต้นแล้วการพิจารณาว่าวงจรเกิดการออสซิลเลทหรือไม่นั้น ยังสามารถพิจารณาได้จากกราฟ Bode Plot ของระบบ โดยจะเป็นการนำอัตราขยายระบบในหน่วยเดซิเบลมาพล็อตกับความถี่ ω ต่างๆกัน จะได้อัตราขยายที่ความถี่ต่างกันมีขนาดต่างกันโดยปกติ เมื่อความถี่สูงขึ้น อัตราขยายจะตกลง เนื่องจากโพลของระบบ เราจะสนใจอัตราขยายเมื่อตกมาที่ 0 เดซิเบลหรือก็คือที่ $|\beta H(j\omega_1)| = 1$ แล้วพิจารณาเฟสของระบบโดยการพล็อตเฟส ถ้าตำแหน่งดังกล่าวมีเฟสถึง 180° วงจรจะเกิดการออสซิลเลท ดังรูป 3.17

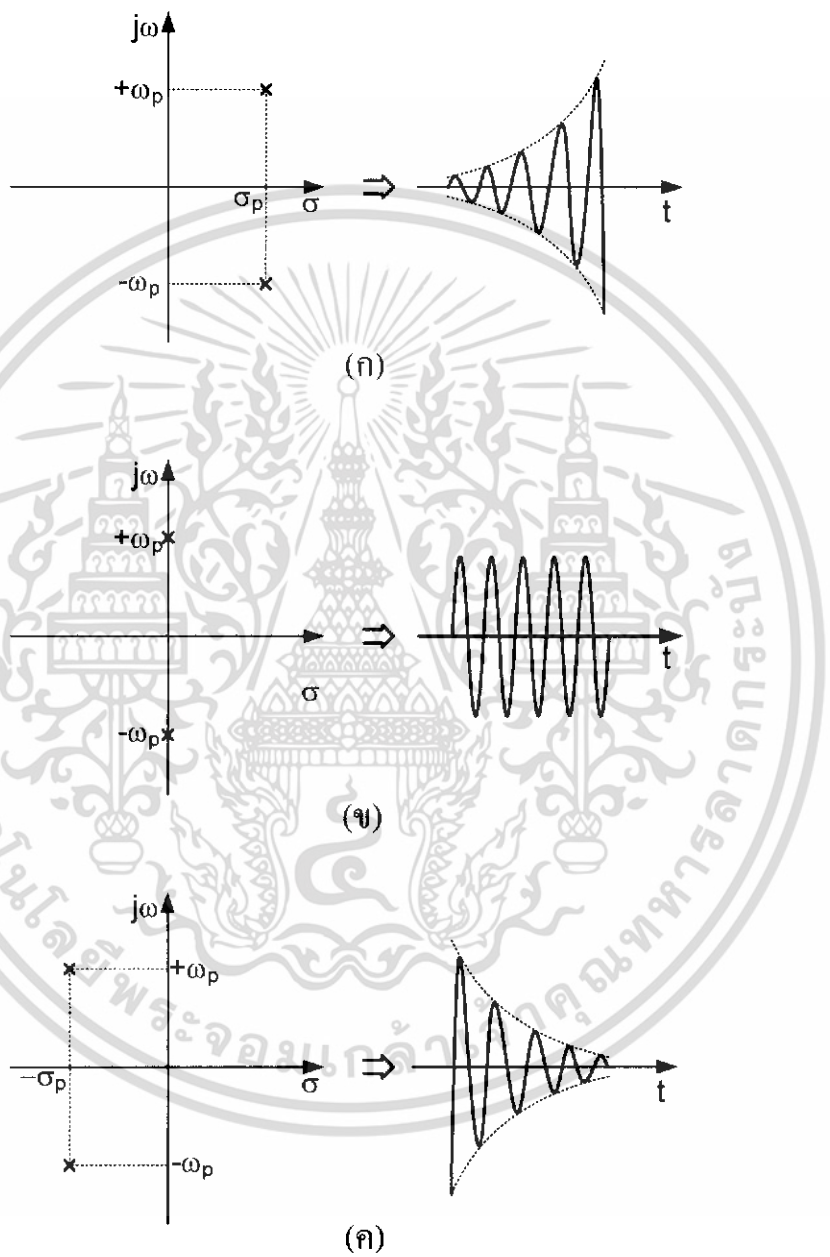


รูป 3.17 Blod Plot ระหว่างระบบที่เกิดการออสซิทเลทกับระบบที่มีเสถียรภาพ

การพิจารณาลักษณะการออสซิลเลทของวงจรพิจารณาจากตำแหน่งของโพลของระบบปิด (close loop system) ในระนาบเชิงซ้อน (complex plane) เราสามารถเขียนตำแหน่งของโพลในรูป $S_p = j\omega_p + \sigma_p$ และผลต่ออิมพัลส์ของระบบอยู่ในเทอม $\exp(j\omega_p + \sigma_p)t$ ฟังก์ชันถ่ายโอนของระบบปิด ถ้าค่าของ s_p ตกมาอยู่ทางฝั่งขวาของระนาบและค่าของ $\sigma_p > 0$ ระบบดังกล่าวจะเกิดการออสซิลเลทแสดงในคาบของเวลาจะเห็นได้ว่าสัญญาณค่อยๆ เพิ่มขึ้นอย่างเอ็กโปเนนเชียลและท้ายสุดจะถูกจะจำกัดด้วยไฟเลี้ยงของวงจรแสดงดังรูป 3.18(ก) และถ้า $\sigma_p = 0$ ระบบก็จะออสซิลเลทเช่นกันแต่ช่วงสัญญาณจะถูกจำกัดแสดงดังรูป 3.27(ข) แต่ถ้าตำแหน่งของ S_p ตกลงมาอยู่ทางฝั่งซ้ายของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระนาบในคาบของเวลาจะเห็นว่าค่าของสัญญาณจะค่อยๆ ลดลงอย่างเอ็กโปเนนเชียลและนิ่งเป็นศูนย์ในที่สุด ก็คือระบบจะไม่เกิดการออสซิลเลท ถ้าตำแหน่งของ S_p ตกลงมาทางฝั่งซ้ายแสดงดังรูป 3.18



รูป 3.18 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท

(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น

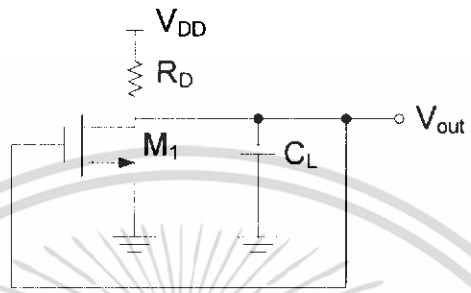
(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่

(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

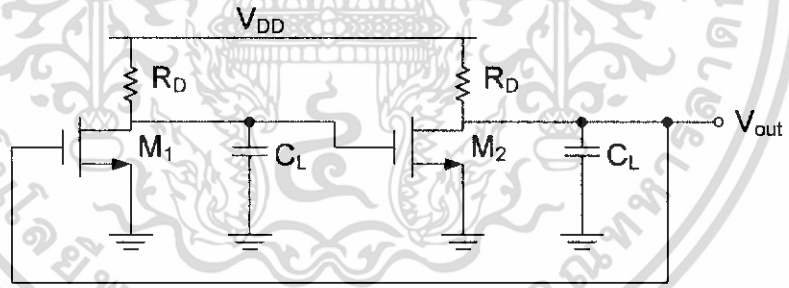
3.3.2 วงจรออสซิลเลเตอร์แบบริง (Ring Oscillator)

วงจรออสซิลเลเตอร์แบบริง เป็นวงจรออสซิลเลเตอร์ที่ประกอบด้วยวงจรขยายหลายภาคมาต่อกันเป็นระบบปิดในขั้นพื้นฐานจะทำการศึกษาวงจรขยายภาคเดียวที่มีการป้อนกลับดังรูป 3.19 ว่าวงจรสามารถออสซิลเลทได้หรือไม่



รูป 3.19 วงจรขยายภาคเดียวที่มีการป้อนกลับ

จากรูป 3.19 จะเห็นว่าวงจรมีโพลเดียว ดังนั้นการเลื่อนเฟสที่เปลี่ยนแปลงกับความถี่สามารถมีค่าสูงสุดได้เพียง 90 ° ดังนั้นวงจรที่มีโพลเดียวไม่สามาถที่จะออสซิลเลทได้

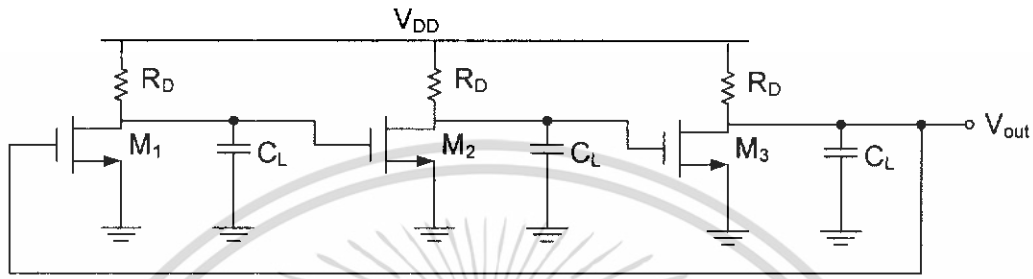


รูป 3.20 วงจรขยาย 2 ภาคที่มีการป้อนกลับ

พิจารณารูป 3.20 เป็นวงจร 2 ภาคและประกอบด้วย 2 โพลถึงแม้วงจรดังกล่าวจะมีการเลื่อนเฟสที่เปลี่ยนแปลงกับความถี่ถึง 180 ° ได้แต่วงจรก้ไม่ออสซิลเลทแต่วงจรจะคงสภาวะนี้อยู่ตลอดเรียกว่า “latches up” จากวงจรถ้าสมมติให้ V_E มีค่าเพิ่มขึ้น และ V_F ลดลงจนทำให้ M_1 ไม่นำกระแสจน V_E เพิ่มขึ้นถึง V_{DD} และ V_F จะเข้าใกล้ศูนย์และจะอยู่ในสภาวะนี้ตลอดระบบไม่มีการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อแก้ปัญหา latch-up จึงนำวงจรขยาย 3 ภาคนำมาต่อกันเป็นระบบปิดดังแสดงในรูป 3.21 การเลื่อนเฟสของระบบสามารถมีค่าได้ถึง 135 ° ที่ตำแหน่ง $\omega = \omega_{P,E} = \omega_{P,F} = \omega_{P,G}$ และเท่ากับ 270° ที่ $\omega = \infty$ จะเห็นเฟสมีค่า -180° ที่ $\omega < \infty$ ดังนั้นอัตราการขยายของระบบสามารถมีค่าได้มากกว่าหรือเท่ากับ 1 และวงจรจะออสซิลเลทถ้าอัตราการของระบบเพียงพอ



รูป 3.21 วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยาย 3 ภาค

การคำนวณหาอัตราขยายต่ำสุดที่วงจรขยายแต่ละภาคจะต้องมีเพื่อทำให้วงจรออสซิลเลทนั้น จากวงจรขยาย 3 ภาค ดังรูป 3.21 โดยไม่คิดผลของตัวเก็บประจุที่เกิดจากการโอเวอร์แลบระหว่างขาเกทและเดรนสามารถเขียนฟังก์ชันถ่ายโอนของแต่ละภาคได้คือ $-A_0/(1+s/\omega_0)$ และสำหรับทั้งระบบจะมีค่าดังสมการ (3.13)

$$H(s) = -\frac{A_0^3}{(1+\frac{s}{\omega_0})^3} \tag{3.13}$$

กรณีวงจรออสซิลเลทเตอร์เลื่อนเฟสที่เปลี่ยนแปลงตามความถี่จะมีค่าเท่ากับ 180° แสดงว่าการเลื่อนเฟสต่อภาคเท่ากับ 60° จากค่าเฟสต่อภาค สามารถคำนวณหาความถี่ออสซิลเลทได้จากการรู้เฟสคือ

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0} = 60° \tag{3.14}$$

$$\omega_{osc} = \sqrt{3}\omega_0 \tag{3.15}$$

ดังนั้นอัตราขยายแรงดันต่ำสุดจะหาจากขนาดของอัตราการขยายลูปที่ ω_{osc} ซึ่งมีค่าเท่ากับ 1

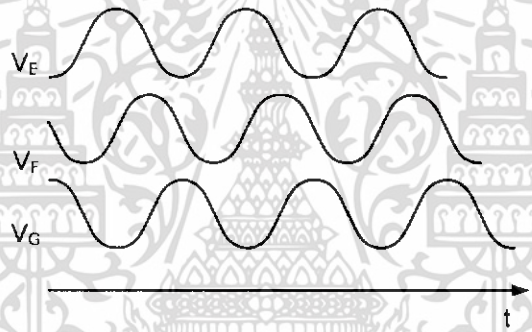
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{A_0^3}{\left[\sqrt{1+\left(\frac{\omega_{osc}}{\omega_0}\right)}\right]^3} = 1 \qquad (3.16)$$

จากสมการ (3.16) แก้หาค่าอัตราขยายแรงดันจะได้

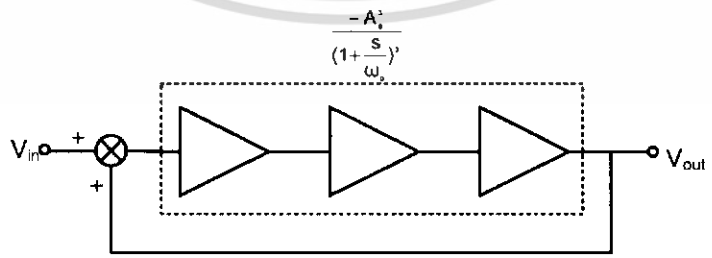
$$A_0 = 2 \qquad (3.17)$$

ดังนั้นอัตราขยายแรงดันของวงจรขยาย 3 ภาคที่มีความถี่ต่ำจะมีค่าเท่ากับ 2 ต่อภาคและจะทำให้วงจรออสซิลเลเตอร์ที่ความถี่ดังสมการ (3.16) โดย ω_0 คือ – 3 dB bandwidth



รูป 3.22 รูปคลื่นของวงจรริงออสซิลเตอร์ที่สร้างจากวงจรขยาย 3 ภาค

ถ้าหากวงจรมีอัตราขยายไม่เท่ากับ 2 จะมีผลอย่างไร แน่นอนว่าถ้า $A_0 < 2$ วงจรจะไม่ออสซิลเลทและจะเกิดอะไรขึ้นถ้า $A_0 > 2$ สามารถหาคำตอบได้โดยการพิจารณาหาค่าโพลของระบบว่าอยู่ที่ตำแหน่งใดแล้วเปรียบเทียบกับรูป 3.18(ค) พิจารณาระบบปิดรูป 3.23



รูป 3.23 รูปแบบเชิงเส้นของวงจรออสซิลเลเตอร์แบบ 3 ภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันโอนถ่ายของระบบปิดคือ

$$\frac{V_{out}}{V_{in}}(s) = \frac{\dfrac{-A_0^3}{(1+s/\omega)^3}}{1+\dfrac{A_0^3}{(1+s/\omega)^3}} \tag{3.18}$$

$$= \frac{-A_0^3}{(1+s/\omega)^3 + A_0^3} \tag{3.19}$$

เพื่อจะหาโพลของระบบ จะได้ว่า

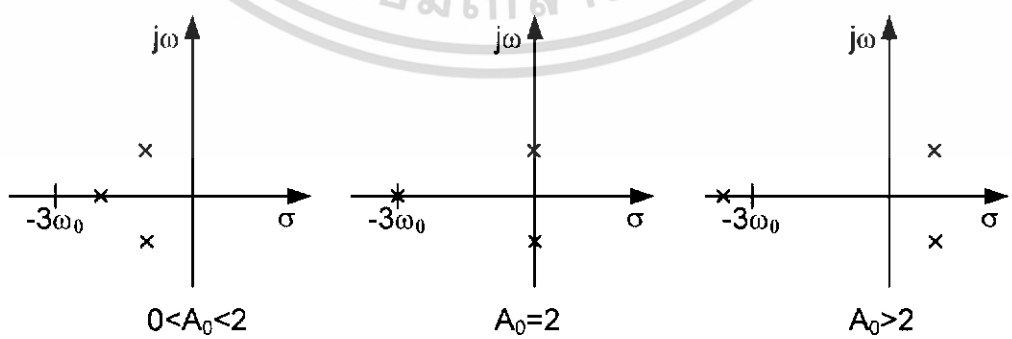
$$(1+\frac{s}{\omega_0})^3 + A_0^3 = (1+\frac{s}{\omega_0}+A_0)\left[(1+\frac{s}{\omega_0})^2 - (1+\frac{s}{\omega_0})A_0 + A_0\right] \tag{3.20}$$

ดังนั้น

$$s_1 = (-A_0 - 1)\omega_0 \tag{3.21}$$

$$s_{2,3} = \left[\frac{A_0(1 \pm j\sqrt{3})}{2} - 1\right]\omega_0 \tag{3.22}$$

เมื่อพิจารณาค่าที่ได้จะเห็นว่าค่าของโพลขั้นอยู่กับอัตราขยาย A_0 เมื่อเราทำการปรับค่าของ A_0 ตำแหน่งของโพลจะแสดงดังรูป

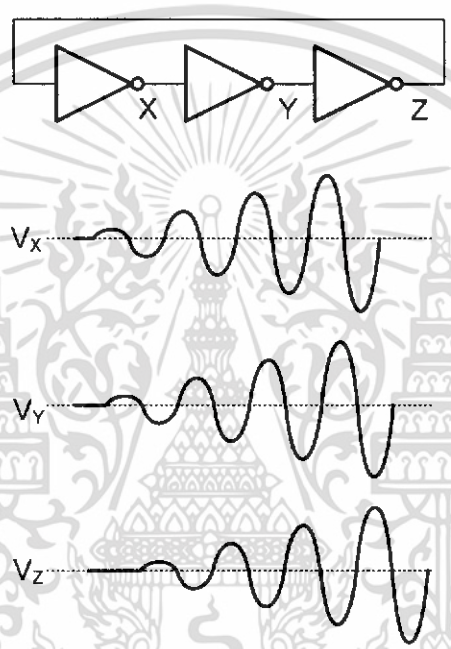


รูป 3.24 ตำแหน่งโพลของระบบเมื่ออัตราขยายเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยถ้าค่าของ A_0 มีค่า $0 < A_0 < 2$ วงจรจะไม่ออสซิลเลทและเมื่อ $A_0 = 2$ วงจรจะออสซิลเลทเป็นซายน์โดยมีขนาดคงที่และสุดท้ายเมื่อ $A_0 > 2$ วงจรจะออสซิลเลทในลักษณะค่อยๆเพิ่มขนาดขึ้นอย่างเอ็กซ์โปเนนเชียลและถูกจำกัดด้วยแหล่งจ่ายดังแสดงไว้แล้วดังรูป 3.18

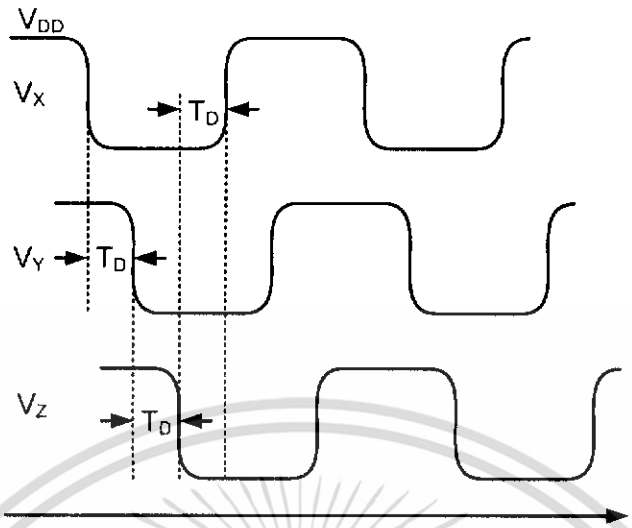
วงจรริงออสซิลเลเตอร์แบบง่ายที่ไม่ต้องมีตัวต้านทานคือใช้ซีมอสอินเวอร์เตอร์ดังรูป 3.25 เป็นอินเวอร์เตอร์ 3 ภาคต่อกัน



รูป 3.25 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์

สมมติให้ $V_X = V_{DD}$ ดังรูป 3.26 ภายใต้เงื่อนไขนี้จะทำให้ $V_Y = 0$ และ $V_Z = V_{DD}$

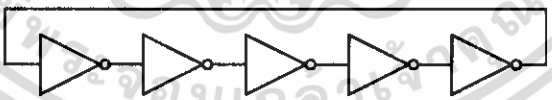
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



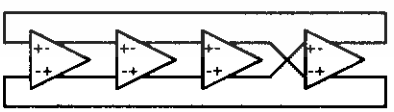
รูป 3.26 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD}

เมื่อวงจรทำงานครบรอบเอาท์พุทจากจุด Z จะป้อนกลับมาเป็นอินพุทที่จุด X ทำให้ V_X เริ่มตกลงมีค่าเข้าใกล้ศูนย์และจะมีผลทำให้ V_Y เพิ่มขึ้นเข้าสู่ V_{DD} และ V_Z มีค่าลดลงเข้าใกล้ศูนย์เมื่อผ่านช่วงดีเลย์ของอินเวอร์เตอร์แต่ละตัว วงจรจะออสซิลเลทโดยดีเลย์ T_D คือการเปลี่ยนแปลงอินพุทต่อเอาท์พุทของอินเวอร์เตอร์แต่ละตัวจะเห็นว่าคาบเวลาของการออสซิลเลทคือ $6T_D$ ดังนั้นความถี่เอาท์พุทเท่ากับ $1/(6T_D)$

ริงออสซิลเลเตอร์กรณีใช้อินเวอร์เตอร์ จำนวนของอินเวอร์เตอร์ต้องมากกว่าหรือเท่ากับ 3 เพื่อให้วงจรออสซิลเลทและจะต้องเป็นจำนวนคี่เพื่อป้องกันการ latch-up ตัวอย่างดังรูป 3.27(ก)



(ก)



(ข)

รูป 3.27 รูปแบบของวงจรริงออสซิลเลเตอร์

(ก) วงจรริงออสซิลเลเตอร์แบบใช้อินเวอร์เตอร์

(ข) วงจรริงออสซิลเลเตอร์แบบใช้วงจรดิฟเฟอร์เรนเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

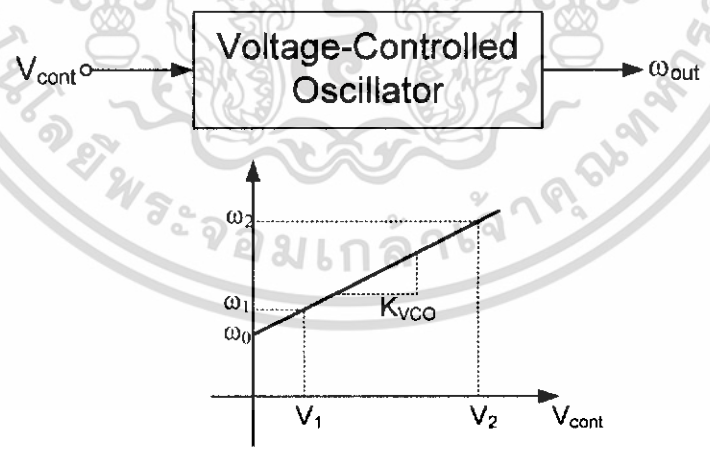
โดยความถี่ของการออสซิลเลทเท่ากับ $1/(6T_D)$ ในทางกันข้าม เราสามารถใช้วงจรดิฟเฟอร์เรนเชียลสร้างวงจรออสซิลเลเตอร์ได้และสามารถสร้างเป็นจำนวนเลขคู่หรือเลขคี่ก็ได้โดยต้องมากกว่า 3 ภาคแสดงดังรูป 3.27(ข) ในการออกแบบจริงจะใช้เพียงแค่ 3-5 ภาค เพื่อเป็นการใช้กำลังต่ำโดยอัตราขยายระบบเปิดต่อภาคเพื่อทำให้วงจรออสซิลแสดงดังตาราง 3.1

ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิลเลเตอร์

จำนวนภาค	3	4	5	6	7
อัตราขยายต่อภาค(เท่า)	2	1.315	1.184	1.122	1.065

3.3.3 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)

การนำวงจรออสซิลเลเตอร์ไปใช้งานส่วนมากมักต้องการให้สามารถปรับจูนความถี่ได้โดยความถี่เอาท์พุทเป็นฟังก์ชันของการควบคุมที่อินพุทโดยมากจะเป็นการควบคุมด้วยแรงดันไฟฟ้า โดยวงจรควบคุมความถี่ด้วยไฟฟ้า ในอุดมคติความสัมพันธ์ระหว่างแรงดันอินพุทความถี่เอาท์พุทต้องเป็นเชิงเส้น ดังรูป 2.28



รูป 3.28 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยไฟฟ้า

จากรูป จะได้ว่า

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \qquad (3.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ω_0 คือความถี่เมื่อ V_{cont} และ K_{VCO} คืออัตราขยายของวงจรมีหน่วยเป็น rad/s/V และ $\omega_2 - \omega_1$ เรียกว่า "ย่านการจูน" (Tuning Rate)

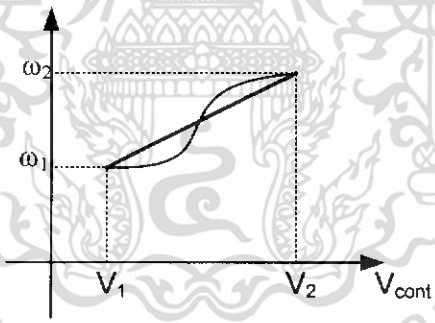
พารามิเตอร์ที่สำคัญของวงจร VCO: Voltage-Control Oscillator

Center Frequency คือ ความถี่กึ่งกลางของวงจรออสซิลเลเตอร์ของรูป 3.28 คำนวณได้จากการนำเอาออสซิลเลเตอร์ไปใช้งานในงานนั้น ว่าใช้งานในย่านความถี่เท่าไร ในปัจจุบันวงจรซีมอส VCO มีความถี่กึ่งกลางมากกว่า 10 GHz

Tuning Range คือ ย่านความถี่ที่ VCO สามารถออสซิลเลทได้จากค่าต่ำสุดถึงสูงสุดซึ่ง Tuning Range จะเป็นตัวกำหนด K_{VCO} ด้วยโดย

$$K_{VCO} = \frac{\omega_2 - \omega_1}{V_2 - V_1} \tag{3.24}$$

Tuning Linearlity คือ ความสัมพันธ์ระหว่างแรงดันอินพุทและความถี่เอาท์พุทมีลักษณะเป็นเชิงเส้นหรือก็คือ K_{VCO} มีค่าคงที่ ถ้าคุณสมบัติของ VCO ไม่เป็นเชิงเส้นก็คือ K_{VCO} ไม่คงที่ ซึ่งความไม่เป็นเชิงเส้นของ VCO แสดงดังรูป 3.29



รูป 3.29 คุณสมบัติของวงจร VCO ที่ไม่เป็นเชิงเส้น

Output Amplitude คือ ขนาดแรงดันเอาท์พุทของออสซิลเลเตอร์ซึ่งขึ้นอยู่กับชนิดของ VCO และเอาท์พุทของ VCO จะแปรผันโดยตรงกับกำลังสูญเสีย และสำหรับออสซิลเลเตอร์บางชนิดขนาดของแรงดันเอาท์พุทจะแปรผันกับย่านการจูน

Power Dissipation คือ กำลังไฟฟ้าที่วงจรใช้ซึ่งจะขึ้นอยู่กับความเร็วหรือความถี่โดยตรง

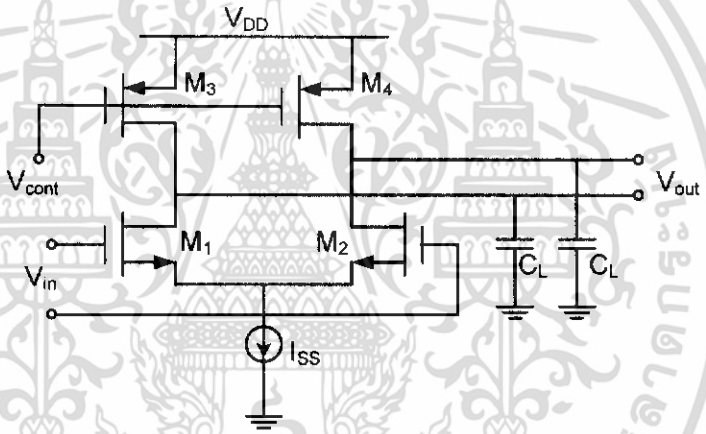
Supply and Common-Mode Rejection คือ ความสามารถในการกำจัดสัญญาณรบกวนของวงจรออสซิเลท ซึ่งอาจเกิดจากไฟเลี้ยงของวงจรหรือแหล่งอื่นๆ โดยวงจรออสซิลเลเตอร์ที่สามารถกำจัดสัญญาณรบกวนได้ดีจะอยู่ในรูปวงจรดิฟเฟอร์เนเชียล (Differential Oscillator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Signal Purity คือ เอาท์พุทของ VCO ที่ออกมาต้องเป็นรูปคลื่นที่สมบูรณ์ไม่มีสัญญาณรบกวนเนื่องจากอุปกรณ์หรือไฟเลี้ยง ตัวแปรที่บอกถึงผลกระทบนี้ คือ Jitter และ phase noise

จากที่ได้พิจารณาการทำงานของวงจรออสซิลเลเตอร์แบบริงมาแล้วความถี่ของวงจรจะขึ้นอยู่กับดีเลย์ T_D ของวงจรแต่ละภาคโดย f_{osc} ของ N ภาคของออสซิลเลเตอร์แบบริงจะเท่ากับ $(2NT_D)^{-1}$ จะเห็นว่าเราสามารถปรับค่าความถี่ของวงจรได้จากการปรับค่าดีเลย์หรือ T_D ซึ่งการปรับอาจทำได้หลายวิธีเช่นการปรับค่าความต้านทานหรือการปรับกระแสในวงจร

ตัวอย่างวงจรที่ใช้หลักการปรับค่าความต้านทานเพื่อปรับค่า T_D วงจรแสดงดังรูป 3.30 ซึ่งแสดงเพียง 1 ภาคเราเรียกว่า delay cell เมื่อต้องการทำเป็นออสซิลเตอร์ก็นำแต่ละเซลล์มาต่อกันอย่างน้อย 3 ภาค



รูป 3.30 delay cell แบบดิฟเฟอร์เรนเชียล

จากวงจรเราจะใช้พีมอสทำหน้าที่เป็นตัวต้านทานโดยให้มอสทำงานในย่านเชิงเส้นโดยจะสามารถปรับค่าความต้านทานได้โดย M_3 และ M_4 ทำงานในย่านเชิงเส้นและสามารถปรับค่าความต้านทานได้โดยการปรับ V_{cont} โดยถ้ามีค่าบวกมากขึ้นความต้านทานที่ได้จะมีค่าเพิ่มขึ้นและค่าเวลาคงที่ของเอาท์พุท τ_1 ก็จะเพิ่มขึ้น และจะทำให้ความถี่ออสซิลเลทต่ำลงโดย C_L เป็นตัวเก็บประจุของภาคถัดไป ดังนั้น ความถี่ออสซิลเลทจะแปรผันกับ T_D โดยค่าเวลาคงที่แสดงดังสมการ (3.26)

$$\tau_1 = R_{on3,4}C_L \tag{3.25}$$

$$= \frac{C_L}{\mu_P C_{ox}(\frac{W}{L})_{3,4}(V_{DD} - V_{cont} - |V_{THP}|)} \tag{3.26}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสามารถพิจารณาความถี่ได้คือ

$$f_{osc} \alpha \frac{1}{T_D} \tag{3.27}$$

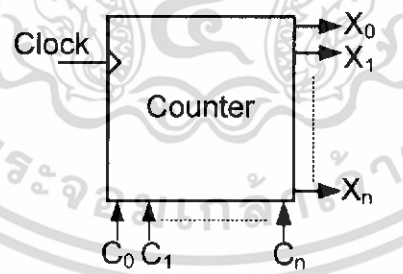
$$\alpha \frac{\mu_P C_{ox} (\frac{W}{L})_{3,4} (V_{DD} - V_{cont} - |V_{RHP}|}{C_L} \tag{3.28}$$

จากสมการ 3.34 จะเห็นว่า f_{osc} เป็นฟังก์ชันของ V_{cont} โดยวงจรรูป 3.30 นี้จะได้ความถี่ออสซิลเลทแปรผกผันกับค่า V_{cont} ถ้าต้องการให้แปรผันตรงจะให้เอ็นมอสทำหน้าที่เป็นตัวต้านทานและพีมอสเป็นส่วนของวงจรดิฟเฟอร์เรนเชียล

3.4 วงจรหารความถี่

การประยุกต์ใช้งานเฟสล็อคลูปส่วนใหญ่จะใช้ทำเป็นวงจรกำเนิดความถี่หรือคูณความถี่จากอินพุทเพิ่มขึ้น N เท่าโดยใช้วงจรหารความถี่เริ่มกับเฟสล็อคลูปโดยพื้นของวงจรหารความถี่จึงมาจากวงจรนับ ดังนั้นจะกล่าวถึงรายละเอียดพื้นฐานของวงจรนับดังนี้

วงจรนับ หรือ Counter จะผลิตหรือนับจำนวนตัวเลขออกมาในแต่ละครั้งที่มีสัญญาณนาฬิกาอินพุทเข้ามาสัญลักษณ์โดยทั่วไปของวงจรนับแสดงดังรูป 3.31



รูป 3.31 สัญลักษณ์โดยทั่วไปของวงจรนับ

จากรูป 3.31 สัญญาณนาฬิกาจะเป็นอินพุทของวงจรนับ วงจรนับจะมีหลายเอาท์พุท ดังนั้นการเปลี่ยนแปลงของเอาท์พุทจึงมีหลายสถานะ จำนวนสูงสุดสถานะของเอาท์พุทจะสัมพันธ์กับจำนวนเอาท์พุทดังสมการ (3.29)

$$\text{counter state} = 2^n \tag{3.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

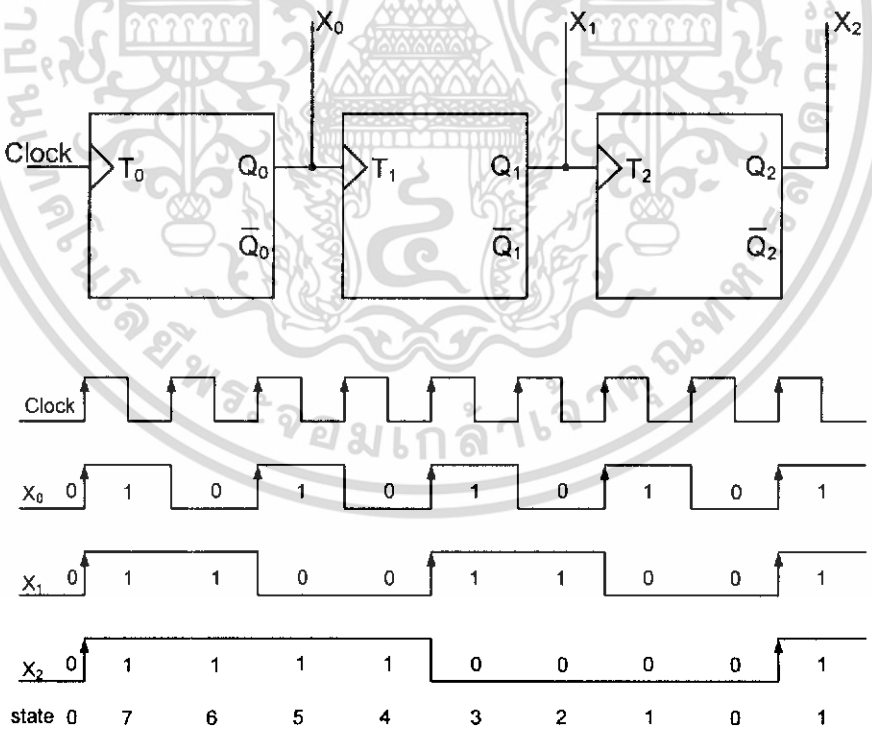
เมื่อ n คือ จำนวนเอาท์พุทหรือจำนวนบิทของวงจรนับ เช่น วงจรนับ 3 บิท จะมีสถานะเอาท์พุทสูงสุด 8 สถานะ และวงจรนับ 4 บิท มีสถานะเอาท์พุทได้สูงสุด 16 สถานะ นอกจากนี้วงจรนับอาจจะมีสัญญาณควบคุมอินพุทดังแสดงในรูป 3.31 และวงจรนับยังแบ่งออกตามลักษณะการทำงานได้ 2 ชนิด คือ

1. วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)
2. วงจรนับแบบสัมพันธ์ (Synchronous counter)

โดยวงจรนับแบบแรกนับเป็นวงจรที่นับที่ทุกครั้งที่มีสัญญาณอินพุทเข้ามา แต่แบบหลังนั้นจะทำงานจะขึ้นกับสัญญาณควบคุมที่เรียกว่า คล็อก กล่าวคือ จะต้องมีทั้งอินพุทละคล็อกเข้ามาวงจรจึงจะนับหากมีเพียงสัญญาณอินพุทวงจรจะไม่ทำงาน โดยแต่ละแบบมีรายละเอียดดังนี้

3.4.1 วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)

วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter) ขนาด 3 บิทที่สร้างจาก T ฟลิปฟลอปต่อกันแบบอนุกรม และ timing diagram ดังรูป 3.32



รูป 3.32 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิทแบบนับลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.32 เรานำเอาเอาท์พุทของฟลิปฟลอปตัวแรกส่งไปเป็นอินพุทของฟลิปฟลอปตัวที่ 2 และเอาท์พุทของฟลิปฟลอปตัวที่ 2 เป็นอินพุทของฟลิปฟลอปตัวที่ 3 เรื่อยๆไป เราเรียกวงจรนับแบบนี้ว่า ripple counter ค่าเวลาที่สูญเสียไปในการเดินทางของสัญญาณเรียกว่าเวลาหน่วงในการเดินทาง (Propagation Delay Time) จะมีค่าเท่ากับผลรวมของเวลาที่ใช้ในการเดินทางแต่ละตัว และจาก timing diagram จะเห็นได้ว่าทุกๆครั้งที่สัญญาณอินพุทผ่านฟลิปฟลอปตัวหนึ่งเรียกว่า ภาค (Stage) นั้นความกว้างของสัญญาณพัลส์จะเพิ่มขึ้นเท่าตัวหรือความถี่ลดลงครึ่งหนึ่งจากความถี่อินพุท โดยจากรูป ถ้าให้ f เท่ากับความถี่คล็อก จะได้ความถี่เอาท์พุทที่จุด $X_0 = f/2$ ที่เอาท์พุท $X_1 = f/4$ และ $X_2 = f/8$

3.4.2 วงจรนับโหมด N

วงจรนับที่กล่าวข้างต้นเป็นวงจรนับที่มีลักษณะการนับเป็นไปตามแบบเลขฐานสองและสัญญาณที่ออกมาที่เอาท์พุทจะมีความถี่ลดลงเท่ากับความถี่ของสัญญาณอินพุทหารด้วย 2^n ซึ่งหากเป็นเช่นนี้การนำไปใช้งานย่อมถูกจำกัดและวงจรนับที่นำไปใช้ส่วนมากจะนับได้ค่าที่ต่างจาก 2^n เช่น วงจรนับสิบ ที่เรียกว่า วงจรนับดีเคด (decade counter) ซึ่งใช้กันมาก

ก่อนศึกษาการควบคุมการนับจะพิจารณาถึงคำว่า หารด้วย N ก่อน โดยทั่วไปวงจรหารด้วย N นั้นหมายถึง วงจรที่ให้เอาท์พุทที่มีความถี่เป็น 1/N ของความถี่เอาท์พุทโดยที่รูปร่างลักษณะไม่จำเป็นต้องเป็นสี่เหลี่ยมก็ได้ แต่จะต้องซ้ำตัวมันเองด้วยอัตราส่วน 1/N ของความถี่เดิม วงจรหารด้วย N หรือวงจรนับ N นั้นจะนับ N ที่แตกต่างกัน เรามักเรียกว่า วงจรนับโมดูลัส N (Modulus-N Counter) หรือวงจรนับโหมด N (Mode-N Counter)

ตัวอย่างเช่น วงจรนับโหมด 3 หากใช้ฟลิปฟลอปตัวเดียวไม่สามารถแทนสถานะได้ครบ เพราะฟลิปฟลอป 1 ตัวมี 2 สถานะ หากใช้ 2 ตัวก็จะแทน 4 สถานะ หากใช้ฟลิปฟลอป 2 ตัวและตัดสถานะทิ้งเสีย 1 สถานะ ก็จะได้วงจรนับโหมด 3 เช่น ตัดสถานะ 11 ทิ้ง ก็จะได้วงจรนับที่สถานะ 00 01 10 ตามลำดับ การทำงานเมื่อครบทั้ง 3 ตัวแล้วจะวนไป 00 ใหม่ หรืออาจจะตัดสถานะอื่นทิ้งแทน 11 ก็ได้ ดังแสดงในตาราง 3.2

ตาราง 3.2 สถานะการนับของวงจรนับโหมด 3

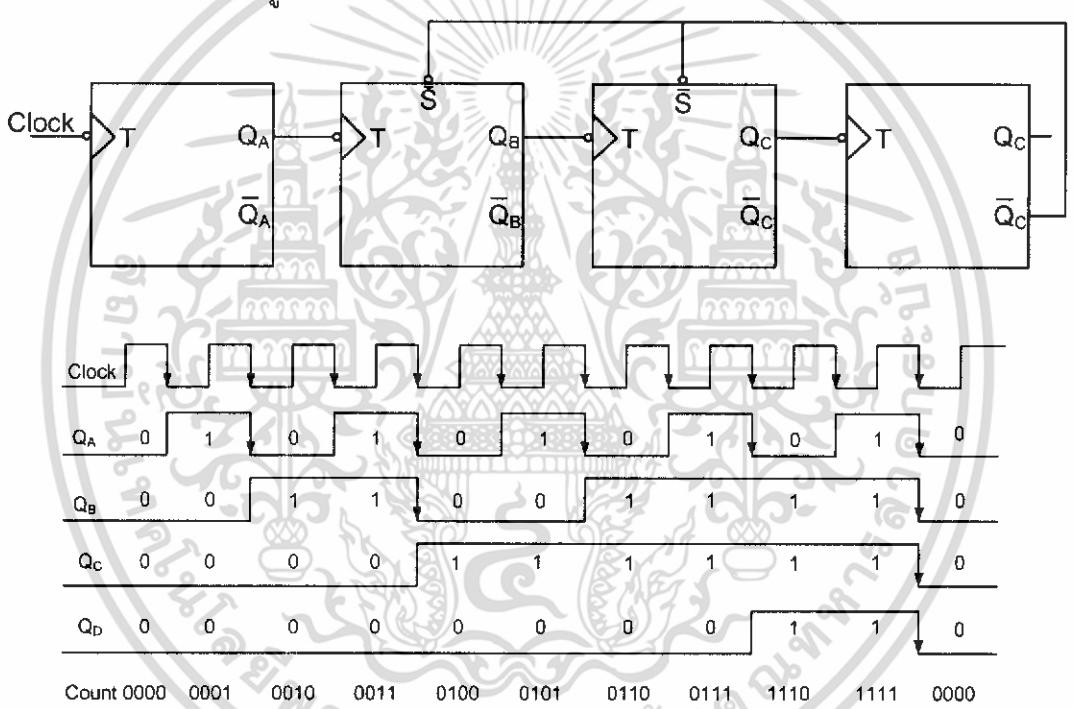
วิธีการ	A	B	C	D	E	F	G
สถานะของการนับ	00	00	00	00	00	00	00
	01	01	10	10	11	11	11
	10	11	11	01	01	10	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตาราง 3.2 จะพบว่ามีวิธีการในการออกแบบวงจรนับโหมด 3 ได้หลายวิธีที่จะเป็นไปได้การตัดสินใจเลือกแบบใดขึ้นอยู่กับแฟคเตอร์ต่างๆมากมาย เช่น ราคา, การนำไปใช้งาน, ความง่ายในการสร้าง แต่โดยทั่วไปมักเลือกแบบที่มีสถานการณ์นับเพิ่มขึ้นไปเรื่อยๆ เพื่อให้ง่ายในการสร้างวงจร กรณีดังกล่าว กรณี A, B และ C ในตาราง 3.2

3.4.3 การออกแบบวงจรนับด้วยวิธีการป้อนกลับ

วิธีการหนึ่งในการออกแบบวงจรนับให้สามารถนับได้ค่าตามต้องการคือกาใช้เทคนิคในการป้อนกลับ โดยการนำเอาสัญญาณที่ออกจากฟลิปฟลอปตัวหนึ่งป้อนกับเข้าไปเข้าตัวฟลิปฟลอปก่อนหน้า ดังดังแสดงในรูป 3.33



รูป 3.33 วงจรนับสิบโดยการป้อนกลับ

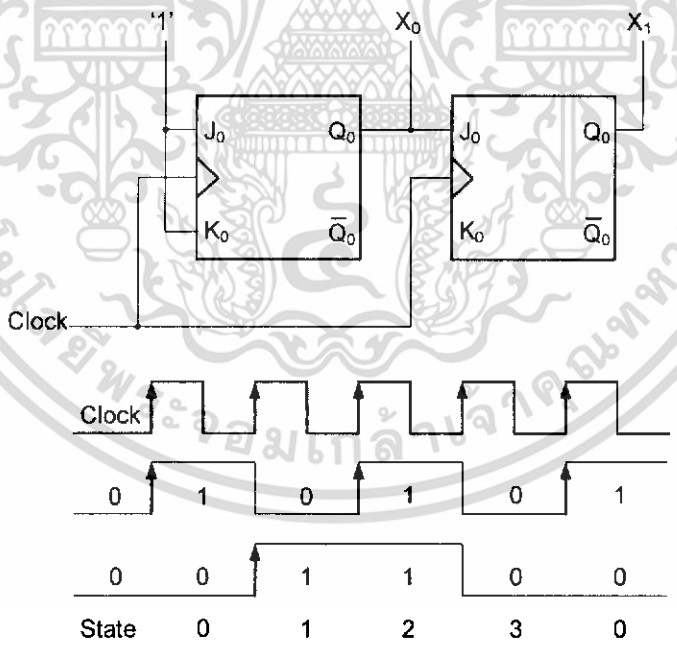
จากรูป 3.33 ปกติเป็นวงจรนับเลขฐานสองขนาด 4 ภาค ที่สามารถนับจากค่า 0000 ถึง 1111 หลังจากนั้นก็จะกลับมาที่ค่า 0000 ใหม่และเริ่มต้นนับใหม่ เรียกว่าวงจรนับโหมด 16 เมื่อนำค่าเอาท์พุท $\overline{Q}_D$ ป้อนกลับไปยังขา Set ของฟลิปฟลอปตัวที่ 2 และ 3 จะทำให้สภาวะการนับเปลี่ยนไปดังแสดงการนับในรูป 3.33 โดยจะเห็นว่าการทำงานของวงจรนับจะนับไปเรื่อยๆแบบเลขฐานสองจนกระทั่งนับถึงค่าที่ $\overline{Q}_D$ เปลี่ยนจาก 0 ไปเป็น 1 คือที่การนับ 8 ค่าที่เปลี่ยนแปลงของ $\overline{Q}_D$ ทำให้ค่าของการนับ 8 นั้น เอาท์พุทของฟลิปฟลอปตัวที่ 2 และ 3 เปลี่ยนเป็น 1110 แทนที่จะเป็น 1000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับจะนับไปเป็น 1111 และสัญญาณที่อินพุทตัวที่ 10 ฟลิปฟลอปทุกตัวทำงานให้เอาท์พุทค่า 0 หมด วงจรนี้สถานการณ์นับจะมี 10 สถานะ จึงเรียกว่าวงจรนับโหมดนับ 10

3.4.4 วงจรนับแบบสัมพันธ์ (Synchronous)

วงจรนับที่ได้กล่าวมาแล้วข้างต้น เป็นวงจรนับเลขฐานสองที่สามารถสร้างได้ง่ายและสามารถสร้างได้ง่ายและสามารถนำไปสร้างวงจรนับโหมดต่างๆที่ตามที่ต้องการได้ แต่วงจรนับเหล่านี้การทำงานของฟลิปฟลอปตัวหลังจะขึ้นอยู่กับการทำงานของฟลิปฟลอปตัวหน้า ทำให้เกิดข้อจำกัดในด้านความถี่สูงของสัญญาณอินพุทที่วงจรนี้จะสามารถทำงานได้ ทั้งนี้เนื่องจากฟลิปฟลอปแต่ละตัวจะมีเวลาหน่วง (Delay time) ในตัวมันเอง เวลาหน่วงของวงจรจะมีค่าเท่ากับค่าเวลาหน่วงของฟลิปฟลอปทุกตัวในวงจรรวมกัน ยิ่งวงจรมีขนาดใหญ่ขึ้น จำนวนฟลิปฟลอปมากขึ้น ทำให้ได้ค่าหน่วงมากตามไปด้วย ในระบบที่ความต้องการความเร็วสูงไม่นิยมใช้ แต่จะใช้วงจรนับอีกชนิดหนึ่งที่ให้ฟลิปฟลอปทุกตัวทำงานพร้อมกันทั้งหมดนี้เรียกว่า วงจรนับแบบขนาน (Parallel counter) หรือวงจรนับแบบสัมพันธ์ (Synchronous counter) ดังรูป 3.34



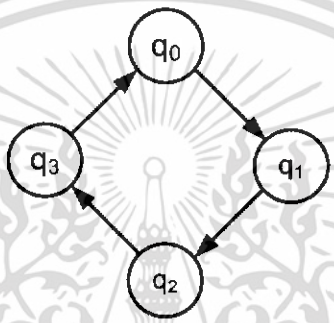
รูป 3.34 วงจรนับแบบสัมพันธ์ขนาด 2 บิทชนิดนับขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการที่สำคัญของวงจรนับแบบขนาน คือ การใส่สัญญาณคล็อกให้กับฟลิปฟลอปทุกตัวในเวลาเดียวกัน ดังนั้น ฟลิปฟลอปทุกตัวที่มีอยู่จึงทำงานพร้อมกัน เวลาในการทำงานของวงจรนับจึงเท่ากับเวลาในการทำงานของฟลิปฟลอปตัวที่มีเวลาหน่วงมากที่สุด

การควบคุมการนับของวงจรนับแบบสัมพันธ์นับจะยุ่งยากกว่าวงจรนับแบบไม่สัมพันธ์ โดยจะมีวิธีในการออกแบบเป็นขั้นตอนอยู่ประมาณ 6 ขั้นตอน ตัวอย่างการออกแบบวงจรนับขนาด 2 บิทแบบนับขึ้น ดังรูป 3.34 มีขั้นตอนคือ

1. เขียนไดอะแกรมบอกสถานะ (State diagram) การนับดังรูป 3.35



รูป 3.35 ไดอะแกรมแสดงสถานการณ์นับของวงจรนับขนาด 2 บิทแบบนับขึ้น

2. จากไดอะแกรมบอกสถานะเขียนตะรางสถานะ (State table) ของวงจรนับดังตาราง 3.3 โดยเขียนสถานะที่จะเกิดขึ้นทั้งหมดในแถวทางซ้ายมือและเขียนสถานะถัดไปไปทางขวามือ

ตาราง 3.3 สถานการณ์นับของวงจรนับขนาด 2 บิทแบบนับขึ้น

q^n	q^{n+1}
q_0	q_3
q_1	q_2
q_2	q_1
q_3	q_0

2. เขียนตารางแสดงการเปลี่ยนสถานะของวงจรนับ (Transition table) ดังตาราง 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 3.4 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิทแบบนับขึ้น

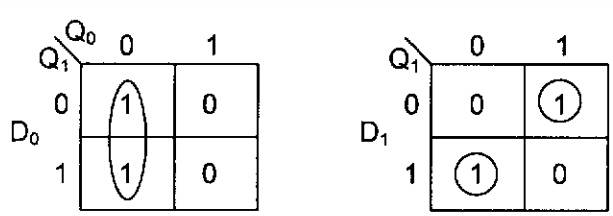
$(Q_1Q_0)^n$	$(Q_1Q_0)^{n+1}$
0 0	0 1
0 1	1 0
1 0	1 1
1 1	0 0

4. ที่ผ่านมา 3 ขั้นตอนนั้นยังไม่ขึ้นกับชนิดของฟลิปฟลอป ในขั้นนี้จะต้องเลือกแล้วว่าจะใช้ฟลิปฟลอปแบบใด และจะใช้วิธีการ Excitation maps ในการคำนวณเพื่อที่จะควบคุมอินพุทของฟลิปฟลอป โดยจะใช้ควบคู่กับ transition table ในที่นี้เลือกใช้ D ฟลิปฟลอป โดย excitation map ของ D ฟลิปฟลอป แสดงดังตาราง 3.5

ตาราง 3.5 Excitation map ของ D ฟลิปฟลอป

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

จาก Excitation map ของ D ฟลิปฟลอป และ transition table สามารถนำมาเขียนความสัมพันธ์ของการนับได้เป็น excitation map ของวงจรนับขนาด 2 บิทแบบนับขึ้นได้ ดังรูป 3.36



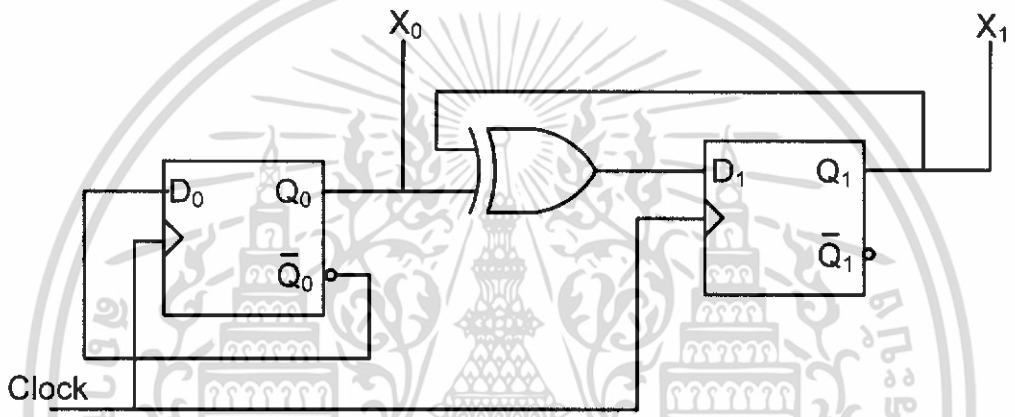
รูป 3.36 Excitation map ของวงจรนับแบบสัมพันธ์ขนาด 2 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. จาก Excitation map ทำการหาค่า Excitation equation จะได้

$$D_0 = \overline{Q_0}$$
$$D_0 = Q_1\overline{Q}_0 + \overline{Q_1}Q_0$$
$$D_0 = Q_1 \oplus Q_0$$

6. Excitation Equation ที่ได้มาสร้างเป็นวงจรนับแบบสัมพันธ์ขนาด 2 บิทแบบนับขึ้นจะได้วงจรเป็นดังรูป 3.37



รูป 3.37 วงจรนับแบบสัมพันธ์ขนาด 2 บิทแบบนับขึ้นโดยใช้ D ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

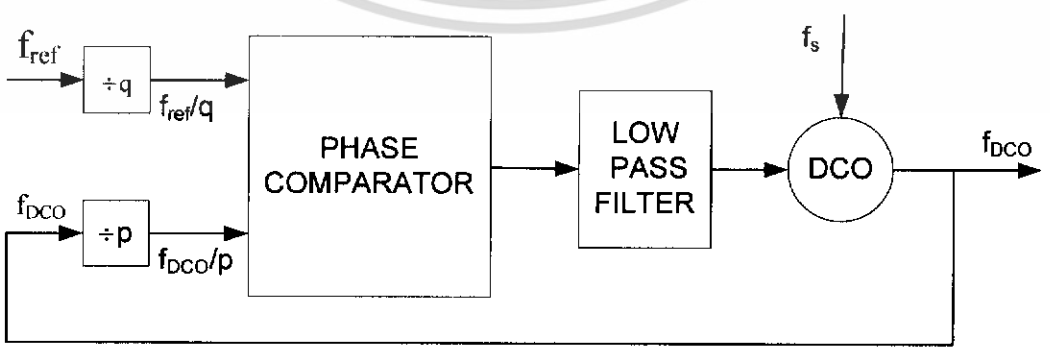
Phase-Locked Loop ที่มีการควบคุม Jitter

(Digital phase-locked loop with bounded jitter)

ลักษณะทั่วไปของ Phase-Locked Loop ที่ทำงานแบบดิจิตอลทั้งหมด(ADPLL)นั้นจะสร้างสัญญาณซึ่งจะมี Jitter ที่ใกล้เคียงกับสัญญาณในอุดมคติที่ความถี่เดียวกัน ปัญหาของการลด Jitter เป็นปัญหาหนึ่งที่มีความน่าท้าทาย ในเรื่องการติดต่อสื่อสารระบบดิจิตอล สิ่งที่สำคัญคือการสร้างสัญญาณนาฬิกาที่มีความกว้างเหนือกว่าช่วง dynamic range ของความถี่ นั่นคือ การทำให้ Jitter น้อยที่สุดเท่าที่จะเป็นไปได้เพื่อเป็นประกันได้ว่าจะส่งส่งข้อมูลไปอย่างสมบูรณ์ มีการนำสัญญาณนาฬิกากลับมาใช้ใหม่ และมีการทำงานเป็นระบบซิงโครไนซ์ แม้ว่าการออกแบบ DPLL จำนวนมากที่ถูกเสนอขึ้นเพื่อต้องการลด Jitter แต่กลับทำให้มีวิธีการที่ซับซ้อนและจำกัดช่วง dynamic range ของ DPLL

ความพยายามที่จะลดความซับซ้อนนี้ จึงเสนอ frequency-phase window comparator ที่มีการเชื่อมต่อกับ Accumulator-type Digital Control Oscillator(DCO) และเสนอสถาปัตยกรรมของ DPLL ที่มีการจัดการ jitter อย่างเป็นระบบตามความต้องการ ซึ่งจะแสดงเป็นเป็นลำดับดังจะกล่าวต่อไป ข้อสรุปโดยทั่วไปของ DPLL และการทำงานจะแสดงในส่วนของหัวข้อที่ 2 หัวข้อจะเสนอลักษณะเฉพาะของ Accumulator-type DCO ที่ส่วนของผลต่อ Jitter ส่วนของ frequency-phase window comparator ที่ทำงานกับ Accumulator-type DCO นี้จะกล่าวในส่วนหัวข้อที่ 4 สุดท้ายในส่วนหัวข้อที่ 6 จะอธิบายถึงลักษณะทางกายภาพของ DPLL และการนำไปประยุกต์ใช้ในการติดต่อสื่อสาร

4.1 โครงสร้างทั่วไปของ Digital Phase-Locked Loop



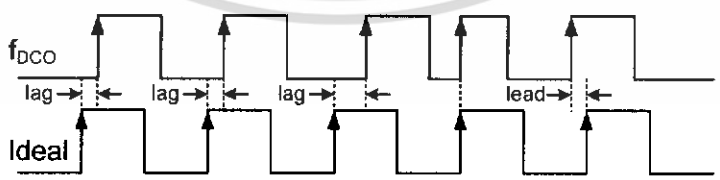
รูป 4.1 โครงสร้างทั่วไปของ DPLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปแบบทั่วไป DPLL ประกอบด้วยส่วนหลักๆคือส่วนของตัวกำเนิดความถี่(DCO), frequency-phase comparator และส่วนของ Low-Pass Filter ดังที่ถูกเชื่อมต่อในรูปที่ 1ซึ่งสัญญาณนาฬิกาอ้างอิง f_{ref} จะถูกหารโดยจำนวนเต็ม q ซึ่งสัญญาณ f_{ref}/q จะส่งผลให้ DCO อยู่ในสภาวะล็อค การทำงานของ DCO จะสร้างความถี่ช่วงกว้างจากนาฬิกาของระบบที่ความถี่ f โดยจะมีค่าความถี่มากกว่าความถี่เอาพุทของ DCO มาก ก่อนที่เอาท์พุทของ DCO จะถูกป้อนกลับไปยัง frequency-phase comparator เอาท์พุทของ DCO จะถูกหารด้วยจำนวนเต็ม p เป็นความถี่ f_{DCO}/p ไปเปรียบเทียบกับ f_{ref}/q ซึ่งเรียกว่า f_q ผลของการเปรียบเทียบแล้วจะผ่าน Low-Pass Filter และกลับเข้าสู่ DCO อีกครั้ง ซึ่งจะเป็นตัวปรับเปลี่ยนเอาท์พุทของ DCO เพื่อลดความผิดพลาด ส่วนของ Low-Pass Filter เป็นส่วนประกอบสำคัญที่การกำหนดตัวแปรหลัก เช่น เวลา, Jitter และเสถียรภาพ ในส่วนของการออกแบบนี้จะประมาณว่า DPLL เข้าใกล้ steady state หรือ สภาวะล็อค โดย

$$\frac{f_{DCO}}{p} = \frac{f_{ref}}{q} \tag{4.1}$$

จุดประสงค์ของส่วนต่อไปนี้จะเสนอถึง DPLL ซึ่งจะสร้างสัญญาณที่มีการจำกัด Jitter ด้วยอัตราที่กำหนดไว้ในรูปสัมประสิทธิ์ของ f_{ref} ดังแสดงในรูปที่ 4.1 โดยการที่จะผลิตความถี่ที่ต้องการ $(p/q)f_{ref}$ ได้นั้นจะขึ้นอยู่กับธรรมชาติของ DPLL ที่ใช้ ซึ่งเป็นตัวสินใจสำคัญในการออกแบบ DPLL โดยไม่เพียงแต่จะผลิตสัญญาณเอาท์พุทได้ตามต้องการเท่านั้น แต่ต้องมี Jitter ที่สามารถยอมรับได้ โดยจะแสดงไว้ในหัวข้อต่อไป ซึ่งผลของ อินพุท/เอาท์พุท จะถูกนำมาพิจารณาในส่วนของ Accumulator-type DCO ฉะนั้นจะกล่าวถึงนิยามของ Jitter ซึ่งจะเป็นค่าการแปรผันสัมบูรณ์สูงสุด(แสดงในรูปของเวลาหรือสัมประสิทธิ์ของสัญญาณพัลส์) ของขอบสัญญาณพัลส์ของเอาท์พุทของ DCO โดยเทียบกับสัญญาณในอุดมคติที่ความถี่ $(p/q)f_{ref}$ ในช่วงเริ่มต้น โดยจะแสดงในรูปที่ 4.2



รูป 4.2 Jitter

จากนิยามของ Jitter ข้างต้น เพื่อความชัดเจนยิ่งขึ้น สำหรับความถี่ของเอาท์พุท DCO ที่แตกต่างจาก (p/q) f_{ref} เล็กน้อย Jitter จะถูกสะสมไปเรื่อยๆตามเวลา และสุดท้ายจะเข้าสู่ 100

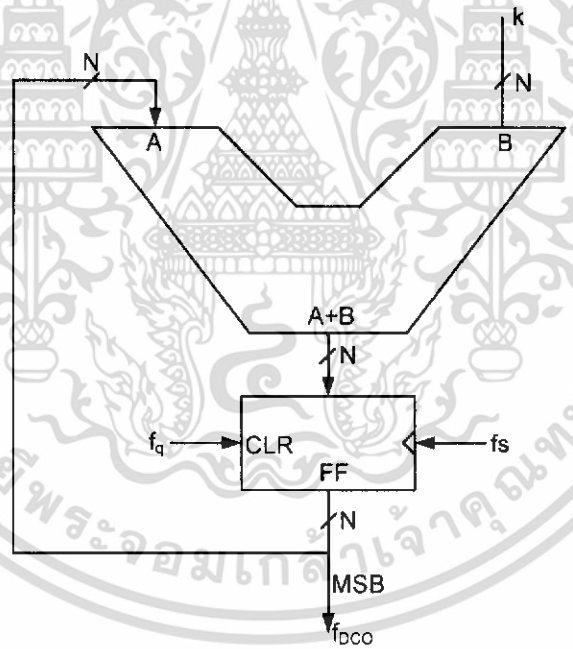
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปอร์เซ็น หรือเลื่อนไปจากพัลส์เดิมโดยสิ้นเชิง แม้ว่าเอาท์พุทจะออกมาเป็นจังหวะเดียวกับ f_q ซึ่งเป็นการเคลียร์ Accumulator-type DCO ก็ตาม แต่ในความเป็นจริง การให้ DCO งานเป็นระบบซิงโครไนซ์จะเป็นการจำกัดขอบเขตของ Jitter โดยมีการเปรียบความถี่/เฟสของเอาท์พุทของ DCO กับ f_q ในแต่ละรอบ ผลที่ได้จากการเปรียบเทียบจะเข้าเป็นอินพุทของ DCO เพื่อเป็นการเริ่มต้นในรอบต่อไป พร้อมที่จะปรับเปลี่ยนเป็นค่าที่ถูกต้อง

4.2 Accumulator-Type DCO: การวิเคราะห์ผลที่มีต่อ Jitter

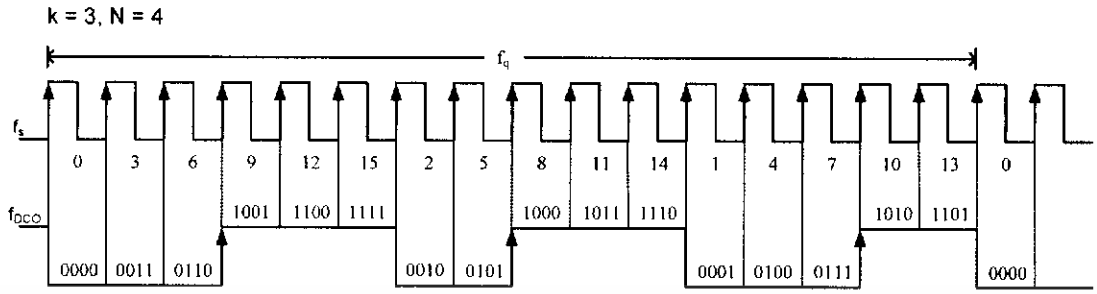
เพื่อแสดงเสถียรภาพของ Accumulator-type DCO ที่ทำการเชื่อมต่อกับ frequency-phase comparator สิ่งที่ดีที่สุดที่จะอธิบายลักษณะทางไดนามิกในการทำงานทั่วไปของการสร้างสัญญาณมีความถี่เฉลี่ยตามที่ต้องการโดยไม่มี Jitter เข้ามาเกี่ยวข้อง ต่อไปนี้จะเป็นการวิเคราะห์ถึงผลของ Accumulator-type DCO เมื่อ Jitter ถูกจำกัดขอบเขตด้วย frequency-phase comparator

4.2.1 สภาวะการทำงานทั่วไป



รูป 4.3 Accumulator-type DCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.4 สัญญาณเอาท์พุทของ 4 bit accumulator-type DCO.

เมื่อกล่าวถึง Accumulator-type DCO เอาท์พุทของ DCO จะถูกสร้างออกมาด้วยการบวกด้วยจำนวนเต็ม k เข้าไปกับตัวมันอย่างเป็นลำดับขั้นตอนที่ในอัตราความถี่เท่ากับสัญญาณนาฬิกาของระบบ f_s ดังแสดงในรูปที่ 4.4 ในแต่ละขอบขาขึ้นของ f_s เอาท์พุทของ N-bit adder จะถูกแลทช์ค่าและบวกเข้ากลับค่า k ถ้า t_0 เป็นเวลาที่แลทช์ถูกเคลียร์ด้วยสัญญาณพัลส์ SYNC และ $T_s = 1/f_s$ เป็นคาบเวลาของสัญญาณนาฬิกาของระบบ ค่าของเอาท์พุทของ adder จะออกมาที่เวลา $t_n = t_0 + nT_s$ ตัวอย่างเช่น หลังจากขอบขาขึ้นที่ n ของ f_s มี $\sum_{i=1}^{n} k = nk$ มีค่ามอดูโลเท่ากับ 2^N เอาท์พุทของ DCO จะออกมาเมื่อถึง most significant bit ของเอาท์พุทของแลทช์ ดังนั้น เอาท์พุทของ DCO จะมีความถี่สูตรต่อไปนี้

$$f_{DCO} = \frac{k}{2^N} f_s \qquad (4.2)$$

ในส่วนของผล แลทช์นี้จะเปรียบเสมือน phase register ซึ่งจะบ่งบอกเฟส $\phi(t_n)$ ของเอาท์พุทของ DCO อย่างเช่น adder-latch ทำงานที่ค่า k และ f_s จุดสำคัญจะเป็นไปตามสมการ (4.2) ซึ่ง $f_{DCO} = k\Delta_f$ โดยที่ $\Delta_f = f_s/2^N$ ดังนั้น ชุดของความถี่ดิสครีตจะถูกสร้างโดย Accumulator-type DCO การทำงานจะแสดงดังรูปที่ 4 ซึ่งเป็นตัวอย่างการทำงานของ 4-bit adder ที่ k = 3 ที่ขอบขาขึ้นที่ n ของสัญญาณนาฬิกาของระบบ เอาท์พุทของ DCO จะออกมาที่ most significant bit ของ $\sum_{i=1}^{n} k$ = 3n ที่ค่ามอดูโล 2^4 ในช่วงพัลส์ 16 ลูกของ f_s ดังนั้นจะมีขอบขาขึ้นของเอาท์พุทของ DCO จำนวน 3 ครั้ง ดังสมการ

$$f_{DCO} = (3/16) f_s \qquad (4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเป็นการยืนยันสมการ (4.2) ที่ N = 4 และ k = 3 จากรูปที่ 4 แสดงได้ว่า เอาท์พุทของ DCO ลูกแรก (เริ่มต้นที่ $\sum_0$ = 0000 มอดูโล 16) จะออกมาเมื่อผ่าน 6 ลูกของสัญญาณนาฬิการะบบ และลูกที่ 2 และลูกที่ 3 จะออกมาที่เพียง 5 ลูกของสัญญาณนาฬิการะบบ แต่ที่แตกต่างคือ ช่วงเวลาที่เอาท์พุทที่ระดับ low จะต่างจากอินพุทที่ระดับ high ในช่วง 1 คาบของสัญญาณนาฬิการะบบ T_s เพื่อความชัดเจนของตัวอย่างในรูปที่ 4 f_{DCO} จะน้อยกว่า f_s ในช่วงของการทดสอบ DCO ดังนั้น DCO ตัวมันจะสร้างสัญญาณ Jitter f_{DCO}/f_s น้อยกว่า 1 มากๆ ซึ่งจะเท่ากับความผิดพลาดทางการประเมินค่า(สัญญาณรบกวน) เนื่องจากการสุ่มสัญญาณในอุดมคติในอัตราความถี่เท่ากับสัญญาณนาฬิกาของระบบ f_s

การที่จะสร้างความถี่ที่ต้องการ จะได้ว่า

$$< f_{DCO} >= \frac{p}{q} f_{ref} \tag{4.4}$$

ลำดับการทำงาน Adder-latch จะทำงานเชื่อมต่อ frequency comparator ซึ่งจะรับค่า k มาเพื่อทำให้ DCO ผลิตสัญญาณพัลส์เอาท์พุทจำนวน p ลูก ในช่วงเวลาของขอบขาขึ้นของ f_q จำนวน 2 ครั้ง ข้อสังเกตคือ ค่าเฉลี่ย f_{DCO} เป็นค่าที่ถูกนำมาใช้จริง สำหรับค่า k เอาท์พุทของ DCO จะถูกซิงโครไนซ์ (ด้วยการเคลียร์ accumulator) ที่แต่ละขอบขาขึ้นของ f_q และจะให้ค่าที่แตกต่างออกไป อาจจะให้ค่าเฉลี่ยที่แตกต่างกันออกไป

สำหรับค่าของ f_q และ f_s เป็นไปได้ที่จะมีค่า k ที่น้อยที่สุดค่าหนึ่งซึ่งน้อยกว่า (p + ½) และมากกว่า (p – ½) ของคาบเวลาของสัญญาณเอาท์พุทของ DCO ในช่วงเวลาระหว่าง 1 ลูกของ f_q ถ้าจำนวนบิทของ accumulator คือ N แล้ว จะได้ว่า

$$N > \log_2 \frac{qf_s}{f_{ref}} \tag{4.5}$$

N-bit accumulator สามารถสร้างเพียงสัญญาณความถี่ $f_{DCO} = (k/2^N)$ fs ถ้าคาบเวลาของสัญญาณนาฬิกาของระบบมีค่ามากกว่า critical data path delay, $\tau(N)$ ที่พบใน Adder การที่ Adder มีช่วงที่กว้างขึ้น propagation delay จะยิ่งยาวขึ้น ดังนั้น $\tau(N)$ จะเพิ่มขึ้นด้วยจำนวนบิท แต่ DCO จะทำงานได้ดีถ้า

$$f_s < \frac{1}{\tau(N)} \tag{4.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด Adder ขนาด N บิท จะได้ว่า f_{ref} จะถูกสร้างขึ้นจาก Accumulator ได้ก็ต่อเมื่อ

$$\frac{f_{ref}}{q} > \frac{f_s}{2^N} \tag{4.7}$$

โดยที่ f_s จะเป็นไปตามอสมการ (4.6) นั่นหมายความว่า สำหรับ Accumulator-type DCO จะสามารถผลิตความถี่ที่ต้องการได้นั่น f_{ref} จะต้องมีความเร็วพอเท่านั้น ซึ่งเป็นสิ่งที่ต้องจะพิจารณาอย่างยิ่ง

4.2.2 คุณสมบัติการซิงโครไนซ์แบบคาบเวลา

ขอบเขตล่างบนความกว้างของ Accumulator และความเร็วของสัญญาณอ้างอิงข้างต้นไม่ได้แบ่งแยก Jitter ของสัญญาณเอาท์พุทของ DCO แต่เพื่อให้แน่ใจว่าสัญญาณที่สร้างขึ้นจะอยู่ในค่าเฉลี่ยที่ต้องการ (ความผิดพลาด 50% ของ Jitter)

การที่จะวิเคราะห์ผลของ Jitter อันดับแรก เอาท์พุทของ DCO จะต้องอยู่ในเทอมของคาบเวลาของสัญญาณนาฬิกาของระบบโดยเริ่มพิจารณาตั้งแต่การเปลี่ยนแปลงของสัญญาณนาฬิกาของระบบที่ผ่าน latch ดังในรูปที่ 3 จากนิยามจากสมการ (4.2) ของ f_{DCO} ซึ่ง $f_{DCO}/f_s = k/2^N$ ผลที่ได้เหนือช่วง dynamic range ของความถี่ ขอบเขตบน j บนช่วงของ Jitter ซึ่งคือค่าการแปรผันสัมบูรณ์สูงสุดในโดเมนของเวลาระหว่างเอาท์พุทของ DCO และสัญญาณในอุดมคติที่ความถี่เดียวกัน จะไม่ต่ำกว่า $k/2^N$ ซึ่งเป็นสัญญาณรบกวนของ Accumulator-type DCO เท่ากับว่า ขอบเขตบน j บนช่วงของ Jitter ลำดับการทำงานของ DPLL จะสร้างความถี่เหนือช่วง dynamic range ได้นั้นจะต้องเป็นไปตาม

$$f_{DCO} < jf_s \tag{4.8}$$

สิ่งที่จำเป็นในการนำไปประยุกต์ ก็คือ Jitter ของสัญญาณที่สร้างต้องมีค่าน้อยกว่า 1 มากๆ (โดยทั่วไปจะน้อยกว่า 10%) ซึ่งเป็นไปตามเงื่อนไข $f_{DCO} << f_s$ ดังที่กล่าวไปแล้ว

คำถามสำคัญ คือ เป็นไปได้หรือไม่ที่สร้างสัญญาณที่ความถี่ที่ต้องการและมี Jitter น้อยกว่า j ซึ่งจากเงื่อนไข (4.5) ทำให้แน่ใจได้ว่าเอาท์พุทที่ได้ของ DCO ที่ความถี่ที่ต้องการ pf_{ref}/f_q ทางหนึ่งสามารถพิสูจน์ค่าซึ่งเป็นค่าขอบเขตบนต่ำสุด j_{min} นั่นคือ

$$j > j_{min} \tag{4.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย

$$j_{\min} \approx \frac{f_s}{2^{N+1}} \cdot \frac{1}{f_{ref}/q} \qquad (4.10)$$

ดังที่แสดงข้างต้น ±50% เป็นค่า Jitter สูงสุดที่สามารถทนได้ (ตรงกับ (p ± ½) ของคาบเวลาของเอาท์พุทของ DCO ที่เกิดขึ้นในช่วงเวลา 1 คาบของ f_q) เพื่อที่จะทำให้ Accumulator-type DCO ผลิตความถี่เฉลี่ยได้ที่ pf_{ref}/q ซึ่งเงื่อนไขนี้จะบอกว่า j_{min} ใน (3.8b) ต้องเล็กกว่า 1/2 ซึ่งสอดคล้องกับอสมการ (4.5) ของ Accumulator-type DCO เมื่อ Accumulator ให้จำนวนเต็มซึ่งเป็นตัวคูณของ f_{ref}/q เงื่อนไข (4.9) และ (4.10) เป็นขอบเขตล่างบนความถี่ของ f_{DCO} ซึ่งจะถูกสร้างขึ้นด้วยค่าที่น้อยกว่า 100 × j % ของ Jitter:

$$f_{DCO} > \frac{f_s}{j2^{N+1}} \qquad (4.11)$$

โดยสรุป จากการรวม (4.8) และ (4.11) DCO จะสร้างสัญญาณได้ในช่วง dynamic range ที่ความถี่

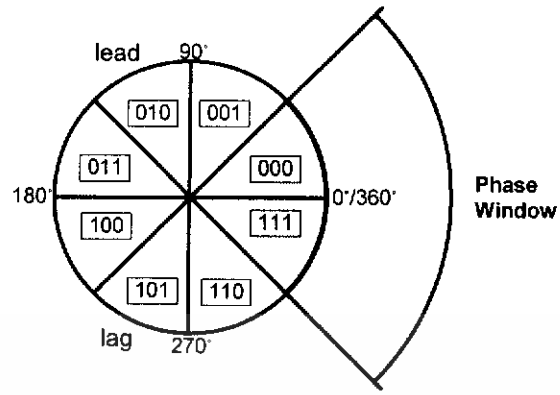
$$\frac{f_s}{j2^{N+1}} < f_{DCO} < jf_s \qquad (4.10)$$

ด้วยค่าของ Jitter ที่มีการจำกัดที่ j

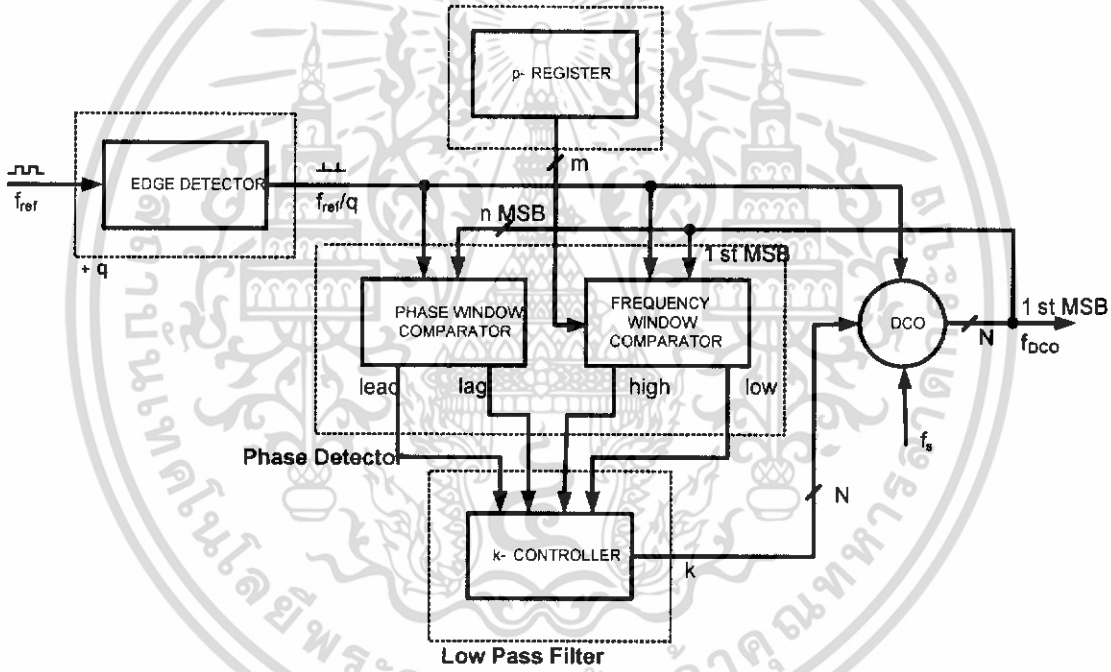
4.3 Frequency – Phase Window

การที่ DCO สร้างสัญญาณที่ต้องการ pf_{ref}/q จะต้องมีขอบขาขึ้นของเอาท์พุทของ DCO จำนวน p ครั้งที่เกิดขึ้นระหว่างคาบเวลา q/f_{ref} ของสัญญาณนาฬิกา f_q ส่วนประกอบของ comparator จะประกอบด้วย down-counter และ control logic ซึ่งจะชี้ได้ว่า f_{DCO} เร็วไปเมื่อ counter นับจำนวนพัลส์ได้มากกว่า p ลูก และช้าไปเมื่อ counter นับจำนวนพัลส์ได้น้อยกว่า p ลูก ที่เกิดขึ้นระหว่างขอบขาขึ้น 2 ครั้งของ f_q โดย p จะเป็นจำนวนของการเกิด overflow ของ phase register (accumulator latch) ระหว่าง 1 ช่วงคาบเวลาของ f_q และเฟสของเอาท์พุทของ DCO ที่ให้ออกมาโดยค่าของ phase register หลังจากการเกิด overflow แต่ละครั้งหลังจากการเกิด overflow ที่มาก่อนขอบขาขึ้นของ f_q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.5 frequency – phase window สำหรับ $100/2^n$% maximum jitter ด้วยค่า n = 3



รูป 4.6 Digital phase-locked loop with bounded jitter.

เมื่อเอาท์พุทของ counter มีค่าเท่ากับ 0 เอาท์พุทของ DCO ให้ค่าความถี่เฉลี่ยค่าที่ถูกต้อง ในกรณีนี้ Jitter มารถได้มาจากค่าจำนวนบิทของ phase register ที่ขอบขาขึ้นแต่ละครั้งของ f_q เมื่อเอาท์พุทของ DCO เท่ากับค่าเฉลี่ย pf_{ref}/q ขอบเขตบนของ Jitter จะเป็นค่าของการแปรผันสัมบูรณ์สูงสุดของเอาท์พุทของ DCO เมื่อเทียบกับสัญญาณในอุดมคติที่ความถี่ pf_{ref}/q ด้วยการเปลี่ยนแปลงจากระดับสูงไประดับต่ำที่แต่ละขอบขาขึ้นของ f_q เมื่อ phase register ถูกเคลียร์ ดังนั้นเป็นไปได้สัญญาณที่สร้างขึ้นโดยมีค่าของ Jitter ที่ต้องการจะมีการจำกัดค่าจาก phase register โดยเฟสของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของ DCO ที่เกิดขึ้นภายใน phase window สัญญาณที่สร้างขึ้นโดยการจำกัดขอบเขตของ Jitter จะได้มาจากการผ่านวิธีง่ายๆ โดย most significant bit n บิทที่เท่ากันทั้งหมดและทำให้ได้ขอบเขตบน $j = 1/2^n$ ของช่วงเวลาของ Jitter เมื่อ most significant n บิทของ phase register ทั้งหมดเท่ากับ 0 ค่าของเอาท์พุทของ accumulator จะเล็กกว่า 2^{N-n} และจะตรงกับค่า maximum phase advance ของ $1/2^N$ ของพัลส์ 1 ลูก เมื่อ most significant n บิทของ phase register ทั้งหมดเท่ากับ 1 ค่าของเอาท์พุทของ Accumulator จะมีค่าใหญ่กว่า 2^N-2^{N-n} และจะตรงกับค่า maximum phase delay ของ $1/2^n$ ของพัลส์ 1 ลูก ผลที่ได้ เมื่อมีพัลส์ p ลูกของเอาท์พุทของ DCO ระหว่าง 1 คาบเวลาของ f_q Jitter จะมีค่าน้อยกว่า $1/2^n$ ถ้า ขอบของ state สุดท้าย ของ DCO phase register มีค่าลดลงภายใน phase window ที่แต่ละขาขึ้นของ f_q รูปที่ 5 แสดง phase state จำนวน 8 state ของ 3 most significant bit ของเอาท์พุทของ DCO และตรงกับ phase window ตกอยู่บนช่วงระหว่าง -45° และ +45° ทำให้เกิด Jitter ค่ามากที่สุด คือเท่ากับ $\frac{1}{2}^3$ ที่มากกว่านั้นจะถูกแบ่งเป็น $2^{N-n}/k$ ส่วนหรือช่วงการเปลี่ยนแปลงของสัญญาณนาฬิกาของระบบเหนือและใต้เส้น 0° ของ n-bit phase window ในทางตรงกันข้าม จะต้องมีอย่างน้อย 1 ส่วนเหนือและ 1 ส่วนใต้เส้น 0° นี้ เพื่อเป็นจำกัด Jitter ของสัญญาณที่สร้างขึ้นให้อยู่ใน $1/2^n$ โดยทั่วไปจะมีพัลส์ของ f_s จำนวน n_s หรือ n_{s+1} ระหว่าง 1 คาบเวลาของ f_q ส่วนที่ปรากฏอยู่บนเส้น 0° เป็นเงื่อนไขที่จำเป็นที่จะกำหนด state สุดท้ายของ DCO phase register ภายใน phase window เส้น limit มากที่สุดจะอยู่ในช่วง k ถึง 2^{N-n} และกำหนดความถี่ความถี่ที่สร้างขึ้นโดย DCO ด้วยค่าที่มี jitter น้อยกว่า j และความถี่น้อยกว่า jf_s ซึ่ง limit นี้จะเป็นไปตามเงื่อนไข (4.8) เป็นไปตามพื้นฐานของการประเมินค่าสัญญาณรบกวน ซึ่งจุดประสงค์ของหัวข้อต่อไปจะแสดงถึงวิธีการที่ทำการเชื่อมต่อ phase window กับfrequency window comparator เพื่อที่จะควบคุม Jitter ของสัญญาณที่สร้างขึ้น

4.4. DPLLที่ประกอบด้วย Accumulator-type DCO และ Frequency-Phase Window Comparator

วิธีการทางกายภาพของ DPLLที่ประกอบด้วย Accumulator-type DCO และ Frequency-Phase Window Comparator จะเป็นไปตามรูปที่ 6 ระหว่างขอบสัญญาณต่อเนื่อง 2 ครั้งของ f_q f_{DCO} จะถูกหารโดย down-counter โดยเอาท์พุทของมันจะถูกวิเคราะห์โดย zero comparator ที่แต่ละขอบขาขึ้นของ f_q counter จะนับไปถึง p ถ้าเอาท์พุทของ counter ที่ขอบขาขึ้นครั้งถัดไปของ f_q มีขนาดใหญ่หรือเล็กกว่าศูนย์ zero comparator จะบอกไปยัง k-register controller ซึ่งความถี่ที่สร้าง f_{DCO} ต่ำไปหรือสูงไปเป็นตามลำดับ ในทำนองเดียวกัน phase window comparator จะวิเคราะห์เอาท์พุทของ phase register และบอกให้ k-register controller ว่าสัญญาณที่สร้างว่า leading หรือ lagging

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจะได้มาซึ่งค่า k ที่แท้จริงนั้นจะดูที่ระบบไปยัง state ของ "in frequency-phase window" ที่ถูกกระทำโดย low-pass filter ซึ่งประกอบไปด้วย Successive Approximation Register(SAR) ถูกควบคุมโดย k-register controller ดังแสดงในรูปที่ 6 SAR จะการหารค่าของ k ที่อินพุทของ Accumulator-type DCO หลังจากการเปรียบเทียบความถี่และเฟสแต่ละครั้ง ถ้า $f_{ref}/q > f_s/2^{N+1-n}$ จะมีค่าที่ต่ำสุดของค่า k ซึ่งสอดคล้องกับความถี่ภายในช่วง dynamic range ตาม (3.10) และสำหรับ DPLL จะเปลี่ยนเข้าสู่สภาวะล็อคในที่สุด สำหรับ N-bit Accumulator-type DCO มันเพียงพอที่จะเลือกใช้ N-bit SAR โดยที่ความถี่ของเอาท์พุทของ DCO นั้นจะสร้างอย่างเป็นลำดับขั้นตอนโดยสอดคล้องกับค่า k ซึ่ง $f_{DCO} < 2^N$

วงรอบแรกที่จะกล่าวคือ SAR จะให้ค่าจำนวนเต็ม 2^{N-1} ไปยัง Accumulator และรอจนกระทั่ง k-register control ให้ค่าที่มากกว่าค่า k (ถ้า f_{DCO} ช้าไป) หรือค่าที่น้อยกว่าค่า k (ถ้า f_{DCO} เร็วไป) สิ่งที่จะได้มาของกระบวนการ k-solution จะกระทำจนกระทั่งเข้าสภาวะล็อค หลังจาก k-register controller หยุดทำงาน SAR ก็จะหยุดทำงานเช่นกัน และ DPLL จะเข้าใกล้สภาวะล็อคที่ความถี่เฉลี่ย pf_{ref}/q ด้วยค่า Jitter ที่น้อยกว่า $100/2^n$ การทำงานของ SAR(low-pass filter) จะเพิ่มหรือลดค่าของ k-register ผ่านขั้นตอนดีสตรีตกระทั่งเข้าใกล้ "in frequency-phase" state เมื่อเข้าใกล้แล้ว ค่าของ k-register จะไม่มีการเปลี่ยนแปลง และ phase jitter เท่ากับศูนย์ตลอดเวลาที่เอาท์พุทของ DCO ถูกซิงโครไนซ์ด้วย f_q เพิ่มเข้าสู่ค่าสูงสุด(อยู่ภายใน frequency-phase window) เมื่อกระบวนการได้มาซึ่งค่า k หยุดลงอยู่ในสภาวะล็อคแล้ว ค่าของ k จะไม่มีผลต่อการควบคุมJitter อย่างไรก็ตามมันจะอยู่ในขอบเขตจำเพาะ นอกจากนี้วิธีการง่ายๆ โดยกระบวนการดีสครีตได้มาซึ่งค่า k จะกระทำในเวลาที่น้อยมากขณะที่จะไม่มีปัญหาเรื่องเสถียรภาพที่พบบ่อยครั้งซึ่งค่า k จะถูกเพิ่มค่าหรือลดค่าโดยสัดส่วนความถี่และเฟสที่แตกต่างกันระหว่าง f_{DCO} และ f_{ref}/q แม้ว่าค่า N มากสุดของ SAR จะเพียงพอที่จะเข้าสู่ k-solution สิ่งที่จำเป็นที่จะต้องมีสัญญาณนาฬิกา 1 คาบเวลาระหว่าง 2 ขั้นตอนของการในการเปรียบเทียบความถี่และเฟส นั่นหมายความว่าเวลาที่ใช้จะน้อยกว่า$2Nq/f_{ref}$

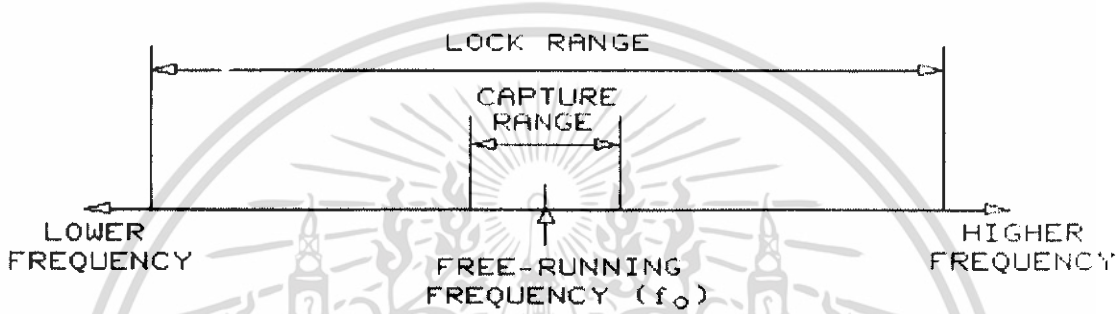
อย่างไรก็ตาม ในส่วนของการประยุกต์ใช้อื่นๆ ที่อาจใช้วิธีการอื่นที่จะเข้าใกล้สภาวะล็อคโดยเฉพาะการประยุกต์ใช้ที่ต้องสร้างสัญญาณที่เปลี่ยนเข้าสู่สภาวะล็อคโดยสร้างความถี่ที่เป็นค่าเฉลี่ย ตัวอย่างเช่น FSK ชนิดของการล็อคนี้จะไม่ผ่าน SAR อย่างชัดเจนแต่ความถี่ที่สร้างขึ้นจะสลับขึ้นลงระหว่างความถี่ที่ต้องการระหว่าง 2 ขั้นตอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5. คุณสมบัติของ Lock range และ Capture range

ย่านล็อก (Lock Range) คือ ย่านความถี่ ซึ่งระบบลูปสามารถติดตามการเปลี่ยนแปลงของความถี่อินพุตได้

ย่านแคปเตอร์(Capture Range) คือ ย่านความถี่ ซึ่งระบบลูปสามารถเข้าถึงภาวะเฟสล็อกได้เรียกว่า ซึ่งจะมีย่านแคบกว่า Lock Range



รูป 4.7 lock range และ capture range

Lock range ของ adpll ชนิดนี้ จากนิยามเราจะเท่ากับ ความถี่ที่สามารถล็อกได้ ดังนั้นจากที่ได้กล่าวมา ความถี่สูงสุดเท่ากับ fs*j และ ความถี่ต่ำสุดเท่ากับ fs/(2n+1*j) ดังนั้นจะได้ช่วงความถี่ Lock range ที่สามารถล็อกได้เท่ากับ

f_{min} - f_{max} หรือเท่ากับ fs/(2n+1*j) - fs*j

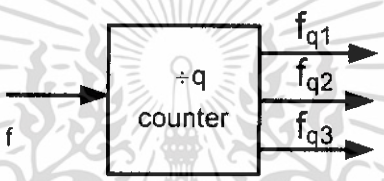
Capture range ของ adpll นี้จะ ได้เท่ากับค่า lock range ทั้งนี้เนื่องจากระบบนี้ ความถี่อินพุท หรือ f_{ref}นั้นจะนำไปทำสัญญาณsynchronize ให้วงจรส่วนต่างๆ ดังนั้นระบบจะคิดคำนวณค่าใหม่ทุกครั้ง ของ f_{ref} ดังนั้นการที่เมื่อล็อกแล้วความถี่เปลี่ยนแล้วล็อกค่าใหม่นั้น ระบบก็จะคิดคำนวณใหม่ทุกครั้ง ดังนั้นจึงไม่มีผล เป็นผลให้capture range จะเท่ากับlock range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการจำลองการทำงาน

จากรูป 4.6 เป็นรูปของบล็อกการทำงานโดยทั่วไปของ Digital phase-locked loop with bounded jitter ซึ่งรายละเอียดในบทนี้จะเป็นการออกแบบและการทำงานในแต่ละบล็อก พร้อมทั้งการ simulate สัญญาณให้เป็นไปตามต้องการ

5.1 วงจรหารความถี่อ้างอิงด้วยจำนวนเต็ม q (÷q counter)

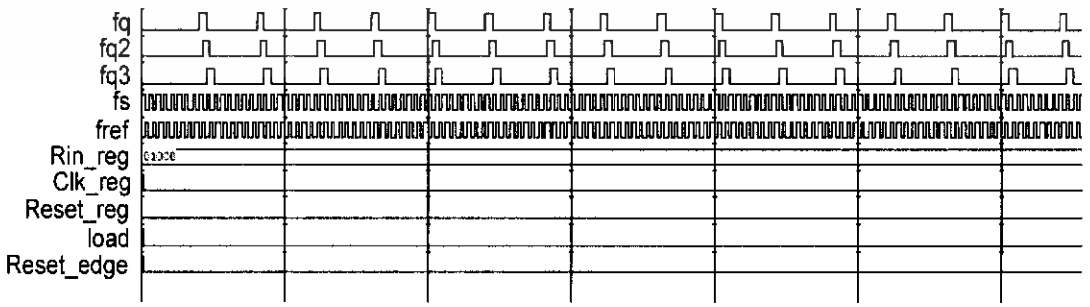


รูป 5.1 ÷q counter

ส่วนนี้มีหน้าที่ในการหารความถี่อ้างอิง (f_{ref}) ด้วยจำนวนเต็ม q ซึ่งลักษณะของสัญญาณที่ได้จะเป็นไปในลักษณะของสัญญาณที่มีช่วงสัญญาณเป็น '1' แคบหรือ Edge Detector โดยสัญญาณที่ได้จะมีความถี่เท่ากับ f_{ref}/q หรือ f_q โดยจะนำไปใช้เป็นสัญญาณอ้างอิงในวงจรส่วนอื่นๆ คือ

- Phase Window Comparator
- Frequency Window Comparator
- Digital Control Oscillator (DCO)

จากการออกแบบและ simulate สัญญาณแล้วจะได้สัญญาณตามรูป 5.2



รูป 5.2 simulation ของวงจร ÷q counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

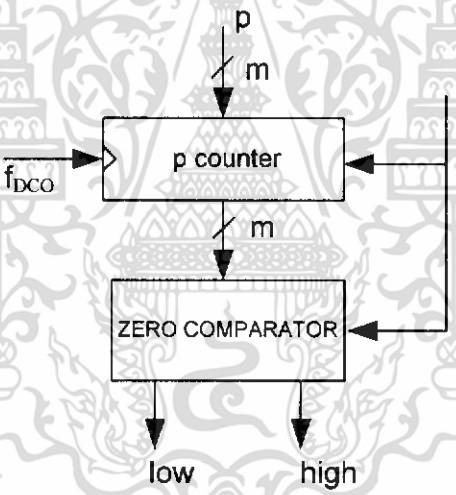
จากการออกแบบกำหนดให้ q มีค่าเท่ากับ 8 โดยเอาท์พุท 3 เอาท์พุท f_{q1}(fq), f_{q2}(q_f) และ f_{q3}(fq3) ซึ่งแต่ละเอาท์พุทจะมีการเลื่อนเฟสไป 1 คาบเวลาของสัญญาณ f_s ซึ่งจะนำแต่ละอันจะนำไปใช้เป็นสัญญาณอ้างอิงในวงจรส่วนต่างๆ ข้างต้น

5.2 Frequency/Phase Comparator

ส่วนนี้มีหน้าที่ในการเปรียบเทียบทางเฟสและความถี่โดยจะแบ่งจะการทำงานเป็น 2 ส่วน คือ Frequency Window Comparator และ Phase Window Comparator

5.2.1 Frequency Window Comparator

ส่วนนี้เป็นส่วนของของการเปรียบเทียบความถี่โดยอาศัยหลักการนับจำนวนพัลส์ของสัญญาณเอาท์พุทที่ได้จาก DCO (f_{DCO})ในช่วง 1 คาบเวลาของสัญญาณ f_q โดยจะประกอบไปด้วย 2 ส่วน ดังต่อไปนี้



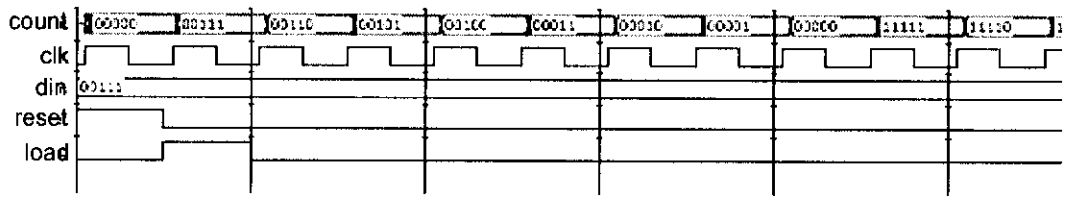
รูป 5.3 Frequency Window Comparator

(1) p counter

เป็นส่วนของการนับจำนวนพัลส์ของ f_{DCO} ในช่วง 1 คาบเวลาของ f_q โดยจะนับในลักษณะของ down counter มีค่าเริ่มต้นอยู่ที่จำนวนเต็ม p ขนาด m บิท โดย MSB จะเป็นบิทที่บอกเครื่องหมาย และบิทที่เหลือจะเป็นส่วนของค่า p

จากการออกแบบและ simulate สัญญาณแล้วจะได้สัญญาณตามรูป 5.4

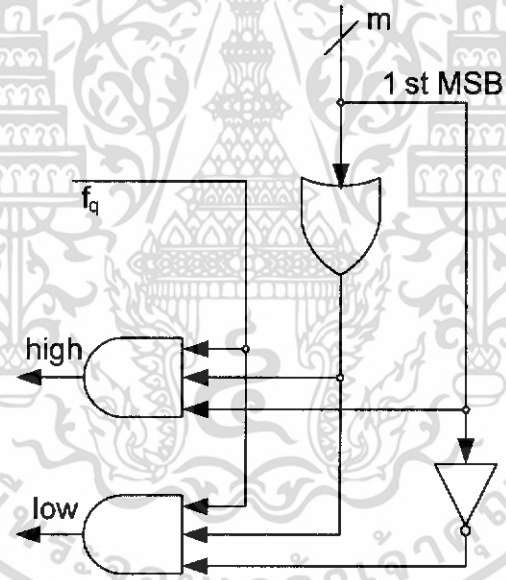
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



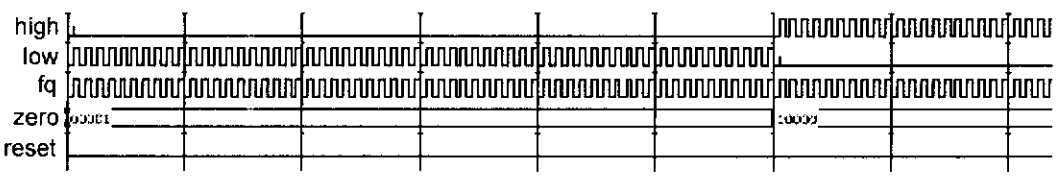
รูป 5.4 Simulation ของ p counter

(2) Zero Comparator

เป็นส่วนที่ติดต่อกับส่วนของ ÷p counter จะให้ค่าเอาท์พุทออกมาในรูปสัญญาณ low และ high โดยเมื่อ p counter นับได้มากกว่าศูนย์ low จะเท่ากับ '1' เมื่อนับได้น้อยกว่าศูนย์ low จะเท่ากับ '1' และเมื่อนับได้เท่ากับศูนย์ high และ low จะเท่ากับ '0' โดยการออกแบบจะได้เกทภายในดังรูป 5.5



รูป 5.5 เกทภายใน Zero Comparator

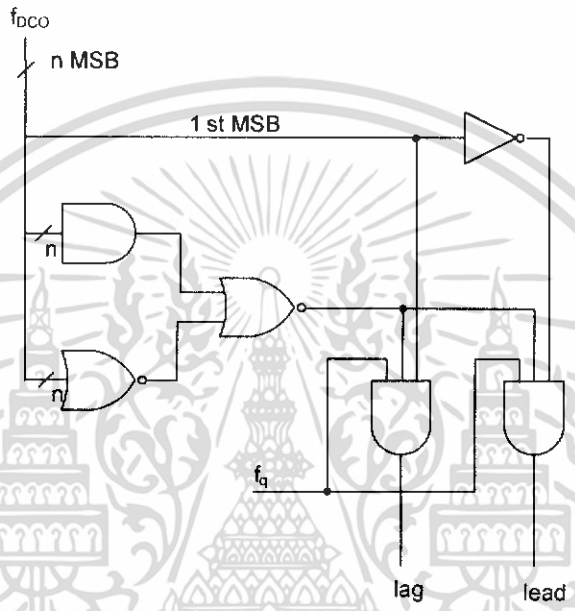


รูป 5.6 Simulation ของ Zero Comparator

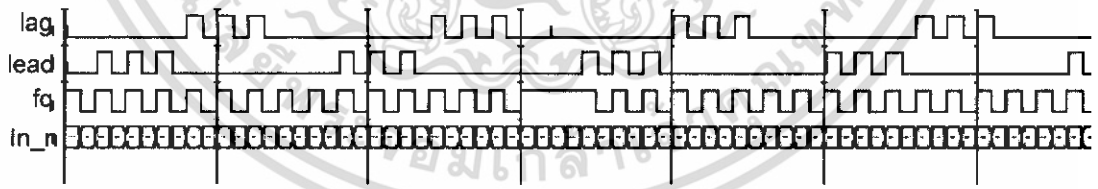
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 Phase Window Comparator

เป็นส่วนของการเปรียบเทียบเฟสของ f_{DCO} กับ f_q โดยการเปรียบเทียบจะเป็นการเปรียบเทียบในช่วงขอบขาลงของสัญญาณ f_{DCO} ฉะนั้นแล้ว f_{DCO} จะมีการเลื่อนเฟสจาก f_{ref} ไป 180° โดยการทำงานจะทำงานในลักษณะของ Phase Window ที่มีการควบคุม Jitter ดังได้กล่าวมาแล้ว โดยการออกแบบจะมีเกทภายใน ดังรูป 5.7



รูป 5.7 เกทภายใน Phase Window Comparator



รูป 5.8 Simulation ของ Phase Window Comparator

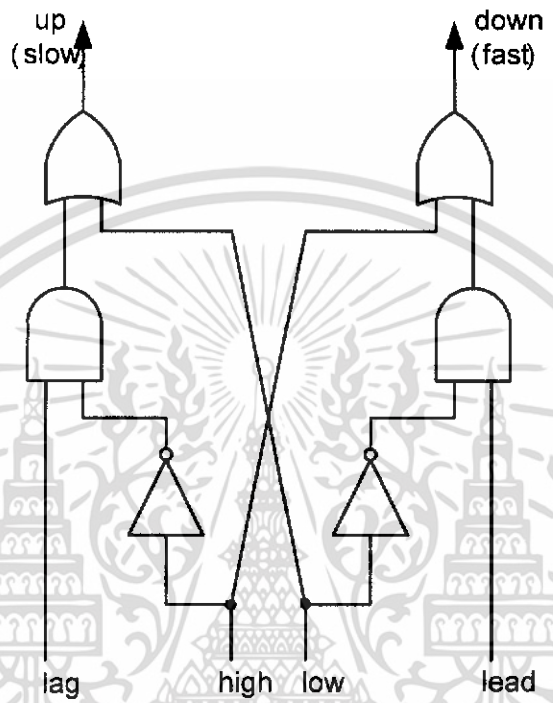
5.3 Low Pass Filter (k-controller)

เป็นส่วนที่รับค่าเอาท์พุททั้งหมดของ Frequency/Phase Comparator เพื่อควบคุมค่า k ขนาด N บิท ซึ่งค่า k จะมีการเปลี่ยนแปลงในจังหวะของ f_q เมื่อเฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค จะมีส่วนประกอบ 2 ส่วน ดังต่อไปนี้

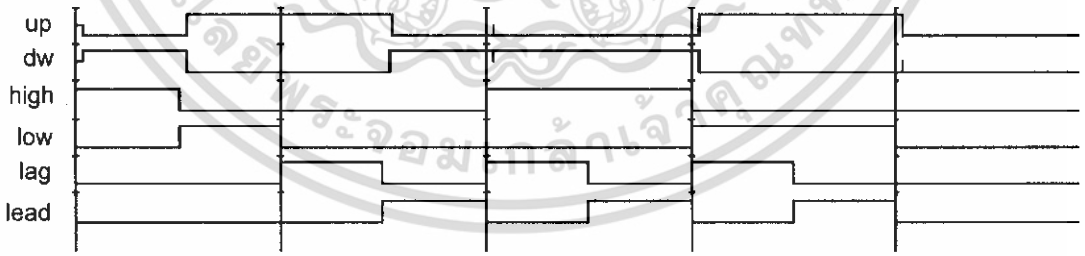
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1 k-Register Controller

มีหน้าที่ในการประมวล high, low, lead และ lag ในการควบคุมค่า k เพื่อควบคุมความถี่หรือเฟสต่อไปในรูปของสัญญาณ up และ down โดยมีเกทภายใน ดังรูป 5.9



รูป 5.9 เกทภายใน k-Register Controller



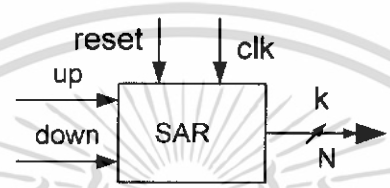
รูป 5.10 Simulation ของ k-Register Controller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

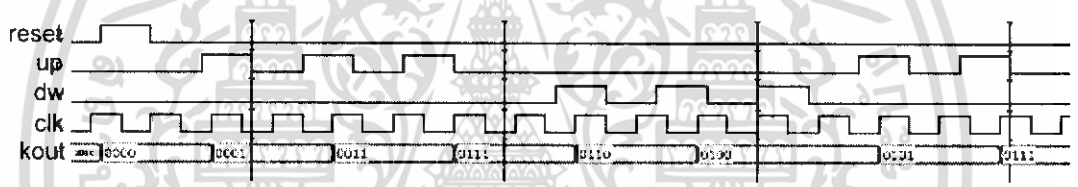
5.3.2 Successive Approximate Register (SAR)

เป็นส่วนที่นำค่าที่ได้จากส่วนของ k-Register Controller มาควบคุมค่า k ในลักษณะของการเก็บค่า '1' ทีละบิทเริ่มจาก LSB เมื่อมีสัญญาณ up (n_up_dw = '0') และเก็บค่า '0' ทีละบิทเริ่มจาก LSB เมื่อมีสัญญาณ down (n_up_dw = '1') โดยในช่วงที่มีการเปลี่ยนสัญญาณ up เป็น down หรือ down ไป up จะเริ่มกระทำที่ LSB ทุกครั้ง

โดยจังหวะการเปลี่ยนแปลงค่า k จะเป็นไปตามจังหวะของ



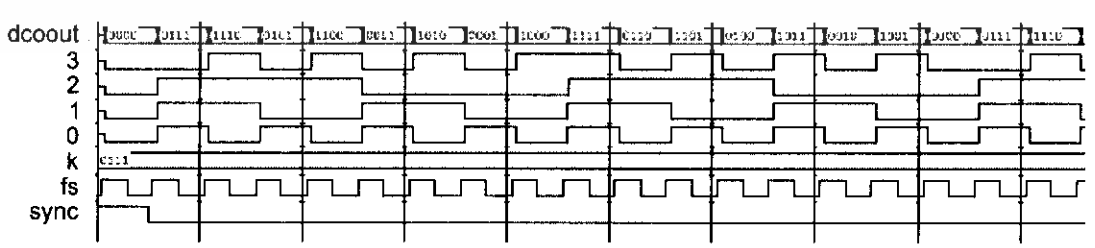
รูป 5.11 Successive Approximate Register (SAR)



รูป 5.12 Simulation ของ Successive Approximate Register (SAR)

5.3 Digital Control Oscillator (DCO)

เป็นส่วนที่ต่อจาก SAR เพื่อรับค่า k บวกกับที่อยู่ในฟลิปฟลอปไปเรื่อยๆ ในจังหวะของ f_s และจะทำการเคลียร์ค่าในฟลิปฟลอปเมื่อมี f_q เข้ามาแล้วแล้วทำการบวกค่าต่อไปเรื่อยๆ โดยเอาท์พุทที่จะเป็นจะเป็น f_{DCO} จะเป็นค่า MSB ของเอาท์พุทจาก DCO

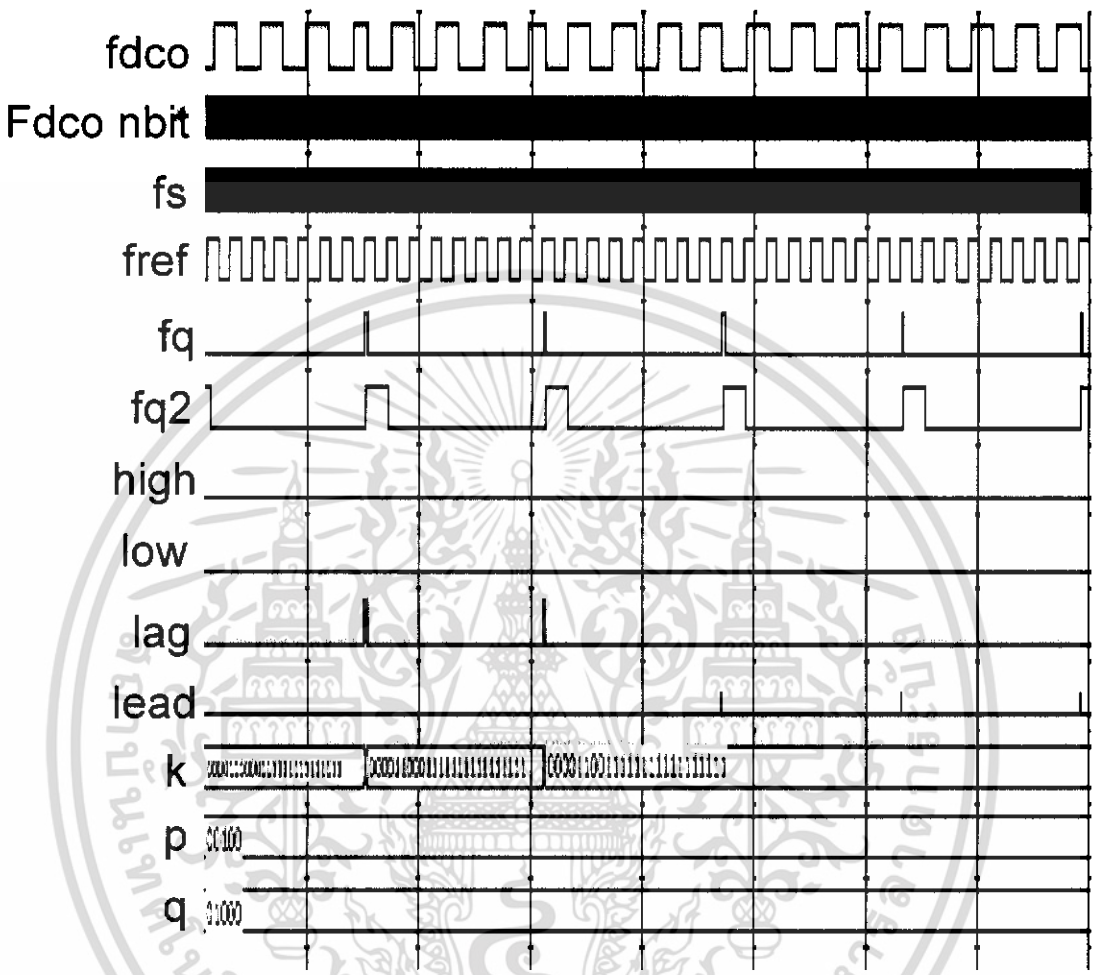


รูป 5.13 Simulation ของ Digital Control Oscillator (DCO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ส่วนของ Top-Level ของการออกแบบ

เป็นของการรวมการทำงานทั้งหมดของแต่ละส่วนการทำงานเข้าด้วยกัน



รูป 5.14 simulation ของ All Digital Phase-Locked Loop ขนาด 25 บิท

เมื่อออกแบบในส่วน Top-Level แล้ว ความถี่ของส่วนประกอบต่างๆ จะได้ดังต่อไปนี้ จากรูป5.16เป็น ADPLL ขนาด 25 บิท phase ใช้ 3 บิท fs ใช้ 10 MHz การคำนวณ ได้เท่ากับ

$$\%Jitter = 1/2n*100 = (1/23) \times 100 \approx 6.25\ \%$$

$$f_{max} = f_s*j = 0.625\ MHz$$

$$f_{min} = f_s/(2n+1*j) = 2.384\ Hz$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ $f_{DCO} = \frac{p}{q} f_{ref}$

โดยที่ p = 4,q= 8, fref = 1 MHz (Tref = 1 μs)

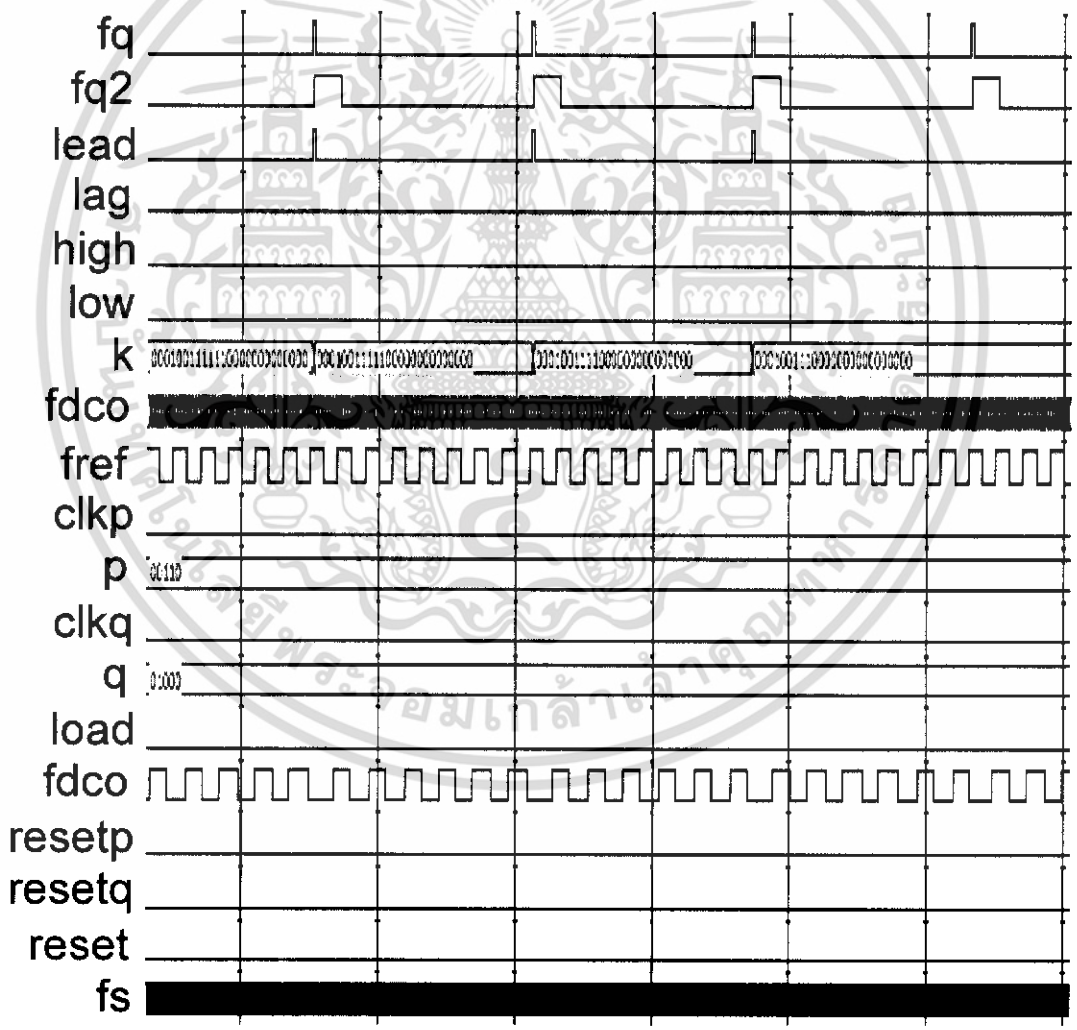
เพราะฉะนั้น fDCO = 0.5 MHz

จากการทดลองวัดได้ 0.476 MHz

ดังนั้น error = ((0.476-0.5)/0.5)*100 = 4.76%

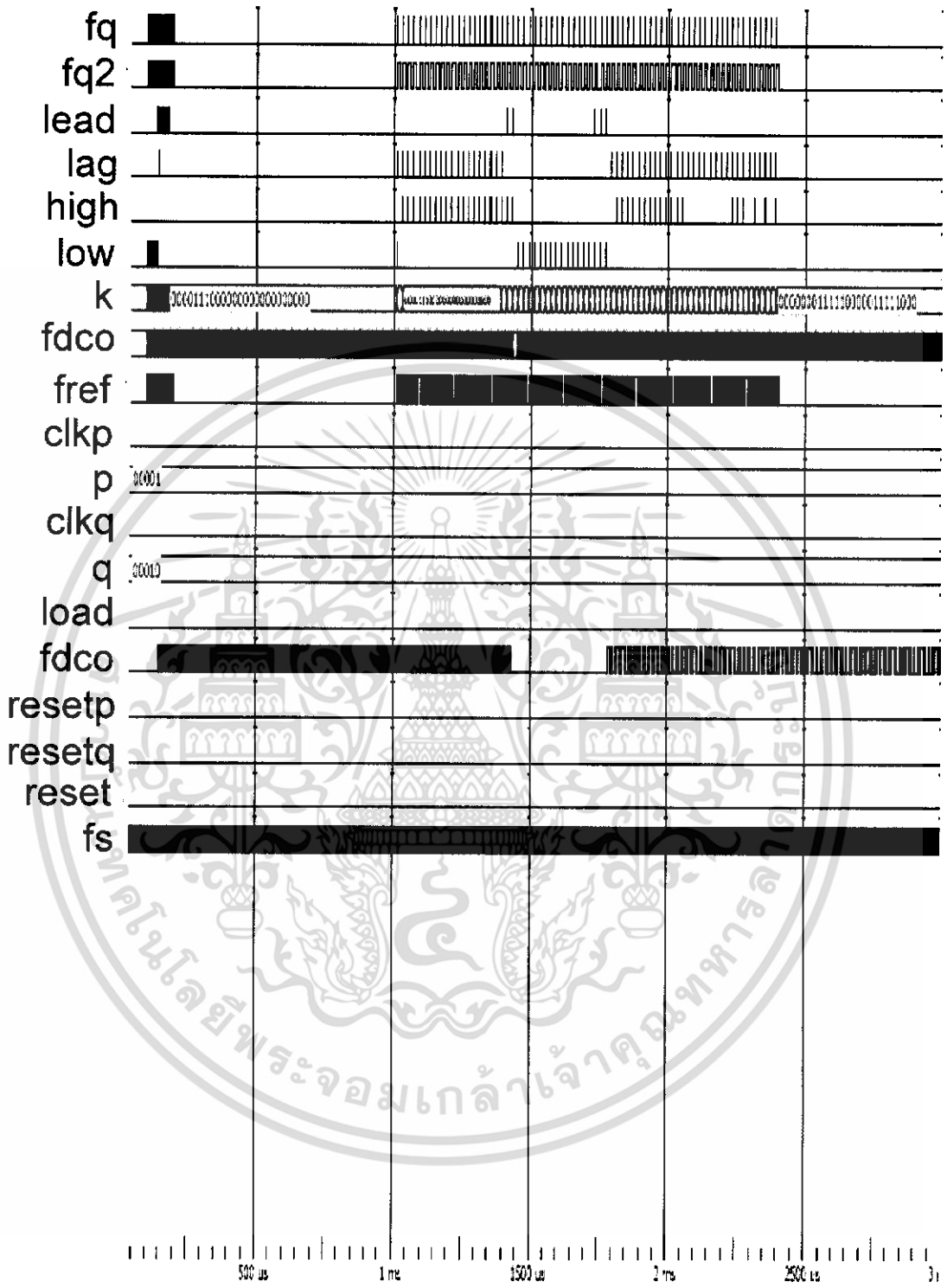
โดยค่า k = 1703935

และสามารถล็อกที่ f_{max} และ f_{min} ได้ และจากการทดสอบเพิ่มความถี่ f_s ไปเรื่อยๆ พบว่า f_s ได้สูงสุดที่ 50 MHz ซึ่งเป็นผลมาจาก time violation



รูป 5.15 simulation เมื่อความถี่เท่ากับ f_{max}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.16 รูปทดสอบ capture range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลจำนวนเกตที่ได้ออกแบบ โดยในที่นี้ใช้ 24 bit phase = 3 bit

---

* **Final Report** *

Final Results

RTL Top Level Output File Name : adpll.ngr

Top Level Output File Name : adpll

Output Format : NGC

Optimization Criterion : Speed

Keep Hierarchy : NO

Macro Generator : macro+

Design Statistics

 # IOs : 75

Macro Statistics :

 # Registers : 35

 # 1-bit register : 30

 # 25-bit register : 1

 # 5-bit register : 4

 # Adders/Subtractors : 4

 # 5-bit adder : 2

 # 5-bit subtractor : 2

 # Xors : 26

 # 1-bit xor3 : 26

Cell Usage :

 # BELS : 313

 # GND : 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#      LUT1                : 27
#      LUT2                : 63
#      LUT2_D               : 2
#      LUT3                : 54
#      LUT3_D               : 8
#      LUT3_L               : 13
#      LUT4                : 73
#      LUT4_D               : 14
#      LUT4_L               : 14
#      MUXCY                : 17
#      MUXF5                : 3
#      VCC                 : 1
#      XORCY                : 23
# FlipFlops/Latches        : 113
#      FDC                 : 15
#      FDC_1               : 1
#      FDCE                : 62
#      FDCP                : 10
#      FDR                 : 25
# Clock Buffers            : 4
#      BUFGP               : 4
# IO Buffers               : 71
#      IBUF                : 14
#      OBUF                : 57
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลและวิจารณ์

เมื่อทำการออกแบบและทำการ simulate แล้วการทำงานเป็นไปอย่างน่าพอใจ ซึ่งอาจจะนำการออกแบบนี้ไปใช้ประโยชน์ต่อไปในอนาคต เช่น ทำการ Optimize และดาวน์โหลดลง FPGA เพื่อทดสอบการทำงานและพัฒนาต่อไปในอนาคตได้ รวมไปถึงการออกแบบในเชิงของเลย์เอาท์ของวงจรเพื่อจะนำเข้าสู่กระบวนการผลิตได้ต่อไปในอนาคตโดยถ้ากำหนด jitter , f_{max} , f_{min} จะสามารถหาพารามิเตอร์ต่างๆของ adpll นี้ได้

ปัญหาในการออกแบบก็คือ การออกแบบที่ค่อนข้างมีความซับซ้อน ซึ่งจะต้องออกแบบตั้งแต่ส่วนประกอบย่อยๆ ให้ดีที่สุดแล้วนำมาประกอบเข้าด้วยกันเป็นส่วนของ Top-Level ซึ่งเมื่อประกอบเข้าด้วยกันแล้วก็จะเกิดปัญหาของส่วนประกอบย่อยต่างๆ ไม่สามารถทำงานร่วมกันได้ ซึ่งต้องกลับมาแก้ไขในส่วนประกอบย่อยเพื่อให้ได้ All Digital Phase-Locked Loop ที่ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ยงศักดิ์ ชื่นตา, "การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Stephen M.Walters and Terry Troudet, "Digital Phase-Locked Loop with Jitter Bounded", IEEE Transactions on Circuits and Systems, Vol.36, No.7, July 1989

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้