สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องคัดขนาดไข่ โดยการประมวลผลภาพ

EGG SIZES CLASSIFICATION BY IMAGE PROCESSING

โดย

นายจรินทร์ เพ็ชรวงศ์

นายเสาร์วัน รักวงศ์

เลขหมู่.....
เลขทะเบียน 62892
วัน,เดือน,ปี 23 ส.ค. 2549

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดขนาดไข่ โดยการประมวลผลภาพ

EGG SIZES CLASSIFICATION BY IMAGE PROCESSING

โดย

นายจรินทร์ เพ็ชรวงศ์ รหัส 46015171

นายเสาร์วัน รักวงศ์ รหัส 46015205

อาจารย์ที่ปรึกษา

อาจารย์ ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2548

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องคัดขนาดไข่โดยการประมวลผลภาพ

ผู้จัดทำ

1. นายจรินทร์ เพ็ชรวงศ์ รหัส 46015171

2.นายเสาร์วัน รักวงศ์ รหัส 46015205

.....อาจารย์ที่ปรึกษา

(อาจารย์ ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดขนาดไข่โดยการประมวลผลภาพ

EGG SIZES CLASSIFICATION BY IMAGE PROCESSING

นายจรินทร์ เพ็ชรวงศ์ 46015171

นายเสาร์วัน รักวงศ์ 46015205

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(อาจารย์ ชินภัทร นันทจิวากรชัย)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดขนาดไข่ โดยการประมวลผลภาพ

นาย จรินทร์ เพ็ชรวงศ์ รหัส 46015171
นาย เสาร์วัน รักวงศ์ รหัส 46015205
อาจารย์ ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา
ปีการศึกษา 2548

บทคัดย่อ

โครงงานนี้ เป็นการนำเสนอเครื่องคัดขนาดไข่ โดยใช้การประมวลผลสัญญาณภาพ เริ่มจากใช้กล้องวีดีโอเป็นตัวตรวจจับภาพไข่ที่ต้องการคัด ซึ่งสัญญาณภาพที่ได้จะเป็นข้อมูลทางอนาลอก แล้วทำการแปลงข้อมูลอนาลอกให้เป็นข้อมูลทางดิจิตอลโดยใช้ไอซีเบอร์ TDA 8708A ซึ่งการเก็บภาพจะถูกควบคุมด้วยสัญญาณซิงค์ ที่มาจากไอซี LM1881 ซึ่งเป็นไอซีแยกสัญญาณซิงค์ โดยในการเก็บข้อมูลภาพนั้น จะเก็บ 256 เส้นสแกน และในแต่ละเส้นสแกนนั้นจะเก็บ 64 จุดภาพ ทำให้ได้ความละเอียดของภาพ 16,384 จุดภาพ แล้วนำข้อมูลดิจิตอลที่ได้นั้นไปเก็บไว้ในหน่วยความจำ จากนั้นข้อมูลในหน่วยความจำจะถูกนำไปประมวลโดยไมโครคอนโทรลเลอร์ โดยใช้หลักการนับจุดความสว่างของสัญญาณภาพในหน่วยความจำ เปรียบเทียบกับขนาดที่โปรแกรมไว้ในไมโครคอนโทรลเลอร์เพื่อทำการคัดแยกขนาดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EGG SIZES CLASSIFICATION BY IMAGE PROCESSING

Mr. Jarin Petwong ID.46015171

Mr. Saowan Rakwong ID.46015205

Chinnapat Nantajiwakornchai Advisor

Educational Year 2005

Abstract

This report presents egg sizes classification by image processing. Eggs are first captured by a video camera. The analog video signal is converted to digital signal by IC TDA8708A and stored by sync signal from IC LM1881. To store video information, it requires 256 scans. Each scan stores 64 pixels with the resolution of 16,384 pixels. The digital data is stored in a 128 kbytes memory. All data in the memory are processed by a microcontroller that counts number of pixels and compares with a program in microcontroller for the next assort process.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ อาจารย์ชินภัทร นันทจิวากรชัย เป็นอย่างสูงที่ความรู้ คำปรึกษา และคำแนะนำต่างๆ มาโดยตลอด และขอขอบคุณพี่และเพื่อนๆ ที่ให้คำแนะนำทุกครั้งเมื่อต้องการคำปรึกษา

.....

(นายจรินทร์ เพ็ชรวงศ์)

.....

(นายเสาร์วัน รักวงศ์)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VI
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีของสัญญาณโทรทัศน์	4
2.1 องค์ประกอบของภาพ	4
2.2 การสแกน	6
2.3 สัญญาณภาพรวม	11
บทที่ 3 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล	17
3.1 ทฤษฎีการสุ่มตัวอย่าง	17
3.2 วิธีการแปลงสัญญาณอนาล็อกเป็นดิจิตอล	18
บทที่ 4 ทฤษฎีไมโครคอนโทรลเลอร์	26
4.1 ประวัติของไมโครคอนโทรลเลอร์	26
4.2 คุณสมบัติที่สำคัญของ MCS-51	26
4.3 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	27
บทที่ 5 การสื่อสารข้อมูลแบบอนุกรม	36
5.1 การถ่ายโอนข้อมูลแบบอนุกรม	36
5.2 รูปแบบของการสื่อสารข้อมูลแบบอนุกรม	37
5.3 การส่งแบบซิงโครนัส	38
5.4 การส่งแบบอะซิงโครนัส	42
5.5 มาตรฐาน RS232	44
5.6 การเชื่อมต่อกับพอร์ตอนุกรมของคอมพิวเตอร์	56
บทที่ 6 หลักการออกแบบและการทำงานของวงจร	47
6.1 หลักการออกแบบวงจร	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 หลักการทำงานของวงจร 47
บทที่ 7 การทดลองและผลการทดลอง 55
7.1 การทดลองเกี่ยวกับสัญญาณต่างๆ 55
7.2 การทดลองเกี่ยวกับการคัดขนาดไข่ 61
บทที่ 8 สรุปและวิจารณ์ผลการทดลอง 74
หนังสืออ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมการทำงานของเครื่องคัดขนาดคัดขนาดไข่โดยการประมวลผลภาพ	2
รูปที่ 2.1 องค์ประกอบของภาพที่ยุคปัจจุบันมีการเอาแต่พิกเซลไปใช้งานแล้ว	5
รูปที่ 2.2 แสดงวิธีเอาพิกเจอร์อิลิเมนต์ไปเก็บในหน่วยความจำระบบดิจิตอล	6
รูปที่ 2.3 แสดงวิธีเบื้องต้นของการสแกน	7
รูปที่2.4 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก	8
รูปที่ 2.5 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก ในระบบ CCIR	9
รูปที่ 2.6 หลักการเบื้องต้นการสแกน	12
รูปที่ 2.7 แสดงสัญญาณขาว-ดำ โดยเกรย์ สเกล	13
รูปที่ 2.8 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น	15
รูปที่ 2.9 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง	16
รูปที่ 2.10 แสดงระดับพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	16
รูปที่ 3.1 การสุ่มหลาย ๆ ช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม	18
รูปที่ 3.2 แสดงวิธีการพื้นฐานของ ADC	19
รูปที่ 3.3 Counting Converter	20
รูปที่ 3.4 เอาท์พุทของวงจร Counting Converter	20
รูปที่ 3.5 flow chart Successive Approximation	22
รูปที่ 3.6 Binary Scarch Strategy	23
รูปที่ 3.7 แฟลชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง	24
รูปที่ 3.8 A "Flash" Converter	25
รูปที่ 4.1 แสดงขา ต่างๆ ของ MCS-51	27
รูปที่ 4.2 การจัดหน่วยความจำของ MCS-51	29
รูปที่ 4.3 ไดอะแกรมของกลุ่มสัญญาณที่ใช้อ่านข้อมูล	34
รูปที่ 4.4 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก	35
รูปที่ 5.1 การส่งข้อมูลแบบอนุกรม	36
รูปที่ 5.2 การสื่อสารแบบต่างๆ	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.3 การต่อเนื่องของข้อความที่ถูกส่งแบบซิงโครนัส 39
รูปที่ 5.4 รูปแบบการใช้อักขระ syn นำหน้ากลุ่มตัวอักษร 40
รูปที่ 5.5 การเปรียบเทียบอุปกรณ์รับข้อมูลตรวจหาอักขระในระบบซิงโครนัส 41
รูปที่ 5.6 การตัดแถวของบิตออกกลุ่มละ 8 บิต เพื่อแทนตัวอักษรของอุปกรณ์รับข้อมูล
ในระบบการส่งผ่านข้อมูลแบบซิงโครนัส 41
รูปที่ 5.7 การใช้บัฟเฟอร์ช่วยในการส่งข้อมูลแบบซิงโครนัส 42
รูปที่ 5.8 การเรียงบิตในแต่ละเฟรมของอะซิงโครนัส 43
รูปที่ 5.9 แสดงขาพอร์ตอนุกรมแบบ 9 PIN 44
รูปที่ 5.10 แสดงการจัดขาและโครงสร้างภายในของ MAX232 46
รูปที่ 5.11 แสดงวงจรเชื่อมต่อ MAX232 เข้ากับพอร์ตอนุกรมของคอมพิวเตอร์
และไมโครคอนโทรลเลอร์ 46
รูปที่ 6.1 วงจรสร้างสัญญาณนาฬิกา 8 เมกกะเฮิรตซ์และวงจรหารความถี่ 47
รูปที่ 6.2 แสดงวงจรแยกสัญญาณซิงค์ 48
รูปที่ 6.3 แสดงวงจรหน่วงเวลา 49
รูปที่ 6.4 แสดงวงจรการทำงานวงจรแปลงอนาลอกเป็นดิจิตอล 50
รูปที่ 6.5 แสดงวงจรนับ 51
รูปที่ 6.6 แสดงวงจรหน่วยความจำ 52
รูปที่ 6.7 แสดงการทำงานรวมของเครื่องคัดขนาดไข่โดยการประมวลผลภาพส่วนที่ 1 53
รูปที่ 6.8 แสดงการทำงานรวมของเครื่องคัดขนาดไข่โดยการประมวลผลภาพส่วนที่ 2 54
รูปที่ 7.1แสดงสัญญาณนาฬิกา 1 เมกกะเฮิรตซ์ 55
รูปที่ 7.2 แสดงวงจรแยกสัญญาณซิงค์ 56
รูปที่ 7.3 แสดงสัญญาณจากวงจรหน่วงเวลา 57
รูปที่ 7.4 แสดงสัญญาณนับเส้นสแกน 256 เส้น 57
รูปที่ 7.5 แสดงสัญญาณวงจรนับแอดเดรสบิตต่ำ 58
รูปที่ 7.6 แสดงสัญญาณการแปลงของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 59
รูปที่ 7.7 แสดงสัญญาณการเขียน เทียบกับ สัญญาณแอดเดรสและข้อมูล 60
รูปที่ 7.8 แสดงสัญญาณการอ่าน เทียบกับ สัญญาณแอดเดรสและข้อมูล 60
รูปที่ 7.9 แสดงสัญญาณข้อมูลอ่านออกจากหน่วยความจำ 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.10 กราฟแสดงการทดลองที่ 1 69
รูปที่ 7.11 กราฟแสดงการทดลองที่ 2 70
รูปที่ 7.12 กราฟแสดงการทดลองที่ 3 71
รูปที่ 7.13 กราฟแสดงการทดลองที่ 4 72
รูปที่ 7.14 แสดงจำนวนครั้งกับจำนวนจุดภาพของผลการทดลองที่ 2 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

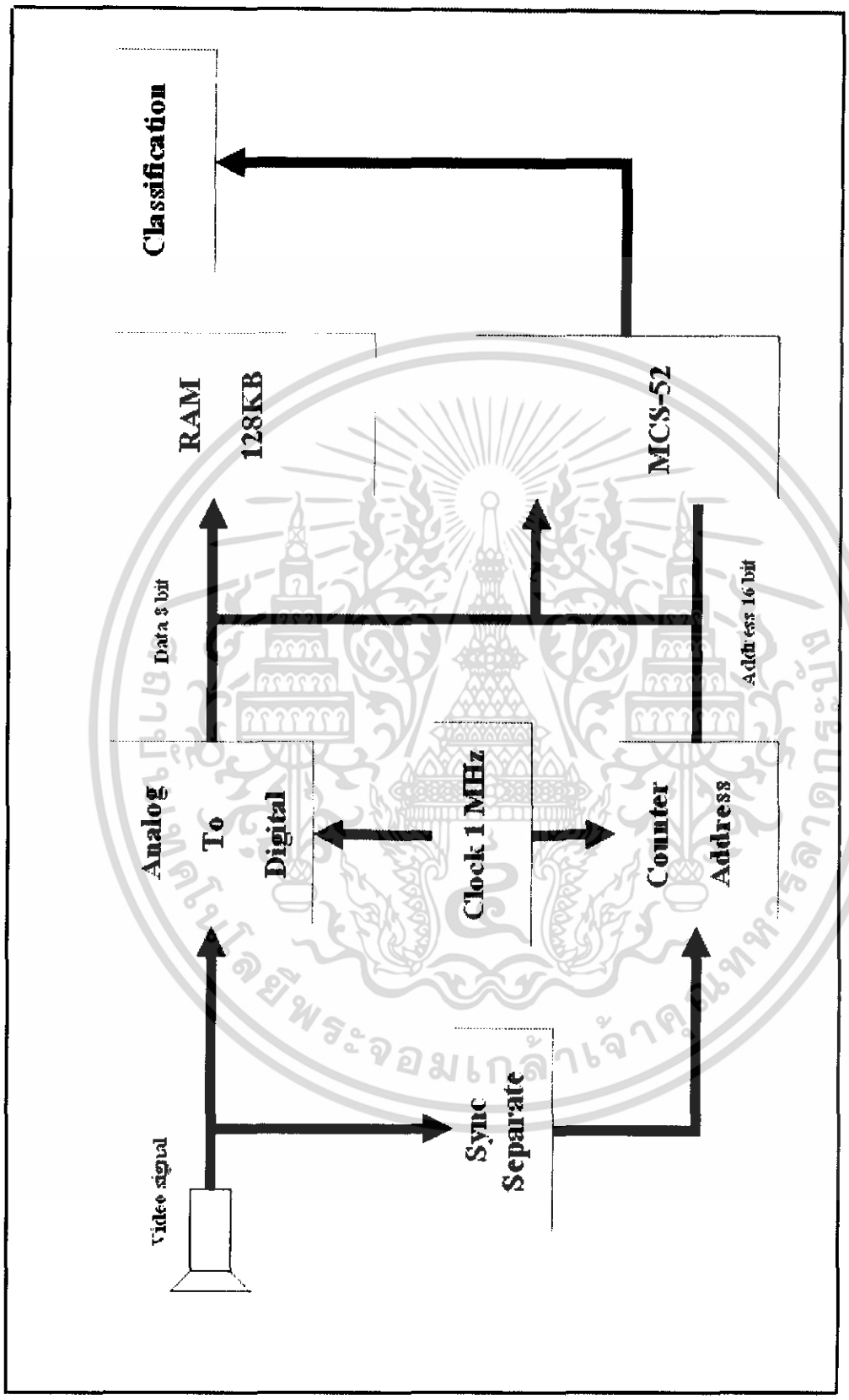
ไข่เป็นผลผลิตทางการเกษตรที่ได้รับความนิยมในการใช้อุปโภคและบริโภคมาตั้งแต่อดีตจนถึงปัจจุบัน และเพื่อให้ได้มาด้วยคุณภาพ และมีมาตรฐานแล้ว ไข่จะต้องได้รับการคัดแยกโดยใช้กระบวนการที่เหมาะสม เนื่องจากไข่มีลักษณะที่บอบบางแตกได้ง่าย การคัดขนาดไข่จะต้องมีความพิถีพิถันเป็นอย่างมาก และไม่สามารถคัดไข่จำนวนมากในเวลาที่รวดเร็ว และในบางครั้งอาจจะต้องเสียบุคลากรเพื่อมาดูแลในการคัดแยกอีกด้วย

โครงงานเล่มนี้ เป็นการนำเสนอเรื่องเครื่องคัดขนาดไข่ โดยใช้การประมวลผลสัญญาณภาพสามารถแก้ไขปัญหาที่กล่าวมาข้างต้นได้ เนื่องจากการคัดขนาดจะใช้สัญญาณภาพแทนการคัดขนาดที่ใช้ตัวไข่โดยตรงซึ่งช่วยลดความเสียหายที่อาจเกิดขึ้นได้ และใช้ไมโครคอนโทรลเลอร์ทำการประมวลผลในการคัดขนาดทำให้การคัดขนาดมีความรวดเร็วและแม่นยำ โดยการทำงานเริ่มจากใช้กล้องวีดีโอเป็นตัวตรวจจับภาพไข่ที่ต้องการคัดซึ่งสัญญาณภาพที่ได้จะเป็นข้อมูลทางอนาลอก แล้วทำการแปลงข้อมูลทางอนาลอกให้เป็นข้อมูลทางดิจิตอลโดยใช้ไอซีเบอร์ TDA 8708A ซึ่งการเก็บภาพจะถูกควบคุมด้วยสัญญาณซิงค์ ที่มาจากไอซี LM1881 ซึ่งเป็นไอซีแยกสัญญาณซิงค์ โดยในการเก็บข้อมูลภาพนั้น จะเก็บ 256 เส้นสแกน และในแต่ละเส้นสแกนนั้นจะเก็บ 64 จุดภาพ ทำให้ได้ความละเอียดของภาพ 16,384 จุดภาพ แล้วนำข้อมูลดิจิตอลที่ได้นั้นไปเก็บไว้ในหน่วยความจำ จากนั้นข้อมูลในหน่วยความจำจะถูกนำไปประมวลโดยไมโครคอนโทรลเลอร์ โดยใช้หลักการนับจุดความสว่างของสัญญาณภาพในหน่วยความจำ เปรียบเทียบกับขนาดที่โปรแกรมไว้ในไมโครคอนโทรลเลอร์เพื่อทำการคัดแยกขนาดต่อไป

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาและประยุกต์ใช้งานสัญญาณภาพรวมในงานด้านการประมวลผลภาพ
2. เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิตอล
3. เพื่อศึกษาและประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในงานด้านการประมวลผลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมการทำงานของเครื่องตัดหญ้าไฟฟ้าโดยการประมวลผลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

การทำงานของบล็อกไดอะแกรมสามารถอธิบายได้ดังนี้ เริ่มจากกล้องวีดีโอจับสัญญาณภาพไข่ที่ต้องการคัดขนาดและสัญญาณที่ได้จากกล้องเป็นสัญญาณภาพซึ่งเป็นสัญญาณทางอนาลอก แล้วจึงส่งสัญญาณนี้ไปให้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ทำการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลขนาด 8 บิต แล้วนำข้อมูลดิจิตอลที่ได้ไปเก็บไว้ในหน่วยความจำ และสัญญาณวีดีโอส่วนหนึ่งจะถูกส่งไปยังวงจรแยกสัญญาณซิงค์ เพื่อนำสัญญาณซิงค์ไปสร้างสัญญาณควบคุมอีกทีหนึ่ง ในส่วนของวงจรสร้างสัญญาณนาฬิกาความถี่ 1 เมกกะเฮิรตซ์จะทำหน้าที่ควบคุมจังหวะการทำงานต่างๆของวงจร และวงจรนับจะทำหน้าที่อ้างแอดเดรสให้หน่วยความจำในจังหวะที่มีการเก็บข้อมูลลงหน่วยความจำ และเมื่อมีการเก็บข้อมูลลงหน่วยความจำครบแล้ว ไมโครคอนโทรลเลอร์จะทำการประมวลผลข้อมูลในหน่วยความจำโดยใช้หลักการนับจุดความสว่างของสัญญาณภาพในหน่วยความจำ เปรียบเทียบกับขนาดที่โปรแกรมไว้ในไมโครคอนโทรลเลอร์เพื่อทำการคัดแยกขนาดต่อไป

ขอบเขตของโครงงาน

ในส่วนของภาคการศึกษาที่หนึ่ง จะศึกษาในส่วนของสัญญาณวีดีโอ การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และการเก็บข้อมูลลงหน่วยความจำ

ในส่วนของภาคการศึกษาที่สอง จะศึกษาส่วนของการประมวลผลข้อมูลในหน่วยความจำ และศึกษาการใช้ไมโครคอนโทรลเลอร์ในการควบคุมการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีสัญญาณโทรทัศน์

ในโครงงานนี้ได้มีการศึกษาเรื่องต่างๆ หลายเรื่อง แต่มีเรื่องสำคัญเรื่องหนึ่งคือ เรื่องที่เกี่ยวข้องกับสัญญาณภาพวีดีโอรวมและการนำสัญญาณภาพเหล่านี้มาใช้งาน เพื่อจะได้นำมาประยุกต์ใช้ในโครงงานชิ้นนี้

ภาพที่เกิดขึ้นที่จอโทรทัศน์อันที่จริงแล้วเกิดจาก การที่เราเอาภาพนิ่งมาต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้สายตาของคนเราเห็นเป็นภาพที่ต่อเนื่อง ในแต่ละเฟรมของตัวของมันเองประกอบด้วยพื้นที่เล็กๆ ของแสงและจุด หากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย

2.1 องค์ประกอบของภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักหนึ่งภาพ แล้วขยายให้ใหญ่ขึ้น จะพบว่าภาพมีองค์ประกอบจากจุดสีขาวและสีดำมากมาย มาเรียงประกอบกันเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบของภาพ

ทำนองเดียวกัน ภาพที่เกิดทางจอโทรทัศน์ก็นำหลักการดังกล่าวมาใช้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีส่วนที่ดำสนิทส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดของลำแสง หรือ การสแกน (Scan) ความแตกต่างของเส้นที่มีการกวาดของลำแสง เราเรียกว่าองค์ประกอบของภาพ

ระบบการสแกน 525 เส้นเราจะแบ่งส่วนทางแนวตั้งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525 x 700 เท่ากับ 367500 พิกเซล ยิ่งทำให้ภาพมีจำนวนเส้นมากเท่าไหร่รายละเอียดของภาพยิ่งมากขึ้นเท่านั้น

โทรทัศน์ที่มีจำนวนเส้นภาพมากขึ้นย่อมได้รายละเอียดมากขึ้นเท่านั้นแต่นั่นแหละการออกแบบทำได้ยากตามไปด้วยเนื่องจากแบนวิดธ์ของความถี่จะต้องกว้างขึ้นด้วย

$$fmax = \tfrac{1}{2} Kn^2 fp\ b/h\ Y/X$$

เมื่อ fmax คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

n คือ จำนวนเส้นสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

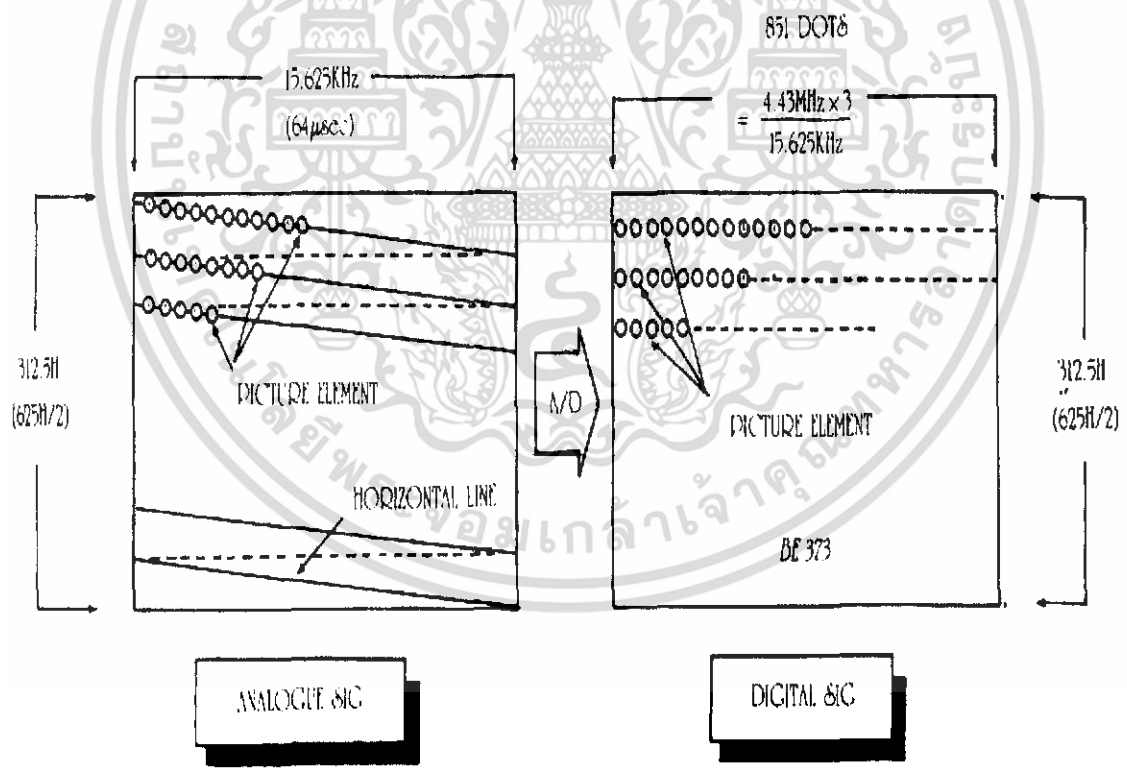
fp คือ จำนวนภาพต่อวินาที

b/h คือ อัตราส่วนแอสเป็คท์ซึ่งโดยทั่วไปใช้ 4:3

Y/X คือ ค่าแอฟเฟ็คตีฟแคเตอร์ มีค่า 0.95/0.84

จากสูตรนี้จะพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้น นั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ในความเป็นจริงเราไม่สามารถจะเห็นได้ครบทุกพิกเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากการทดลองจะพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

ระบบที่ใช้ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนวิดธ์ต้องกว้าง 7 MHz ในระบบ 525 เส้น กว้างเพียง 6 MHz เท่านั้น อย่างไรก็ตามองค์ประกอบภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบภาพได้จากค่าจำนวนเส้นสแกน 625 เส้น คูณกับจำนวนจุดหรือองค์ประกอบในแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล



รูปที่ 2.1 องค์ประกอบของภาพที่ยุคปัจจุบันมีการเอาแต่พิกเซลไปใช้งานแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

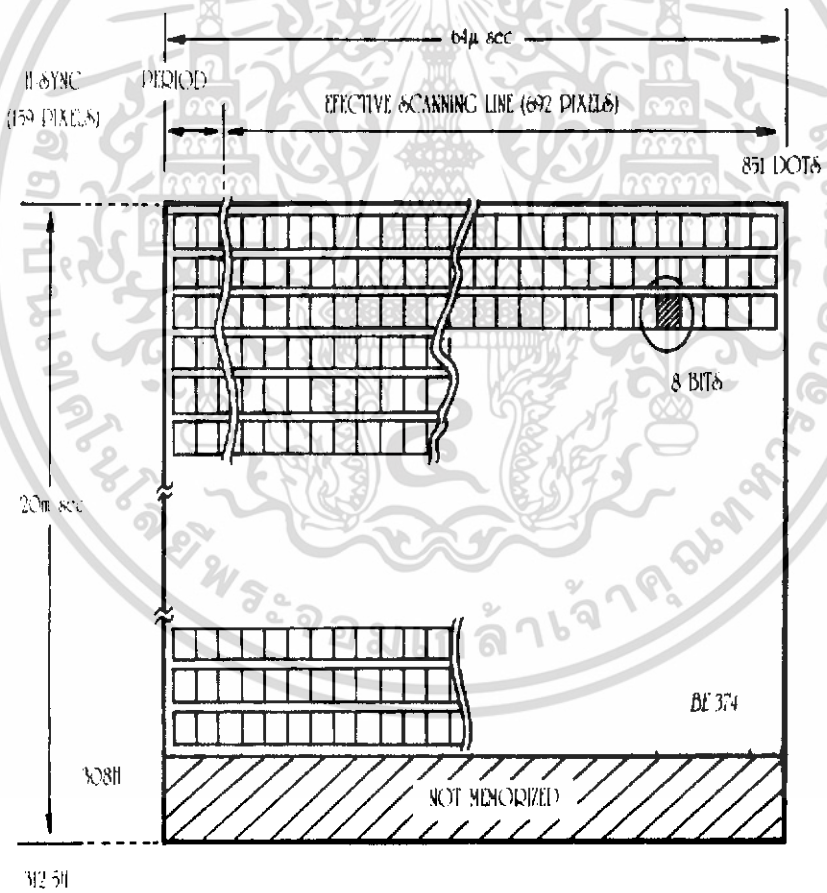
2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน(Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั้นเอง หลอดภาพมีโครงสร้างกับหลอดสุญญากาศทั่วไปที่ปล่อยอิเล็กตรอนจากขั้วแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งเข้าไปกระทบกับขั้วแอโหนดหรือหน้าจอ ตรงหน้าจอนั้นจะมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี

1 การสแกนแบบก้าวหน้า (Progressive Scanning)

2 การสแกนแบบสลับเส้น (Interlaced Scanning)



รูปที่ 2.2 แสดงวิธีเอาพิกเจอร์อิลิเมนต์ไปเก็บในหน่วยความจำระบบดิจิตอล

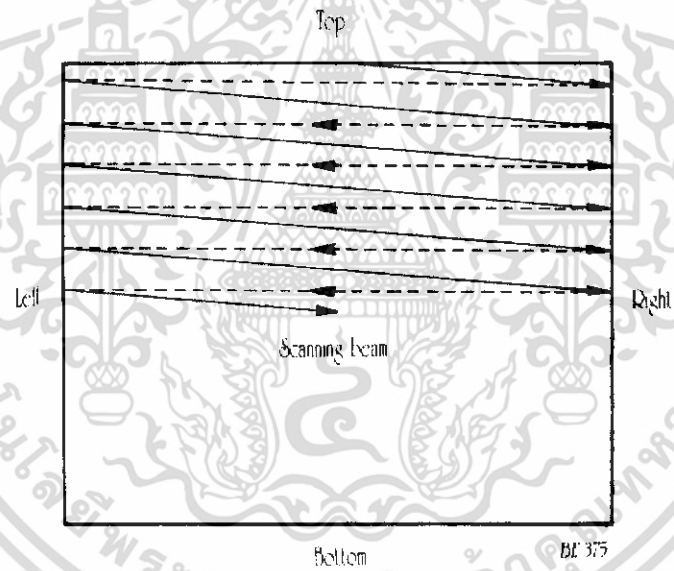
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพ ดังที่ได้กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

1 ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2 ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังทางด้านซ้าย เพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเรียกว่า "รีเทรซ" (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3 ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต่ำกว่าตำแหน่งเดิมเพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)



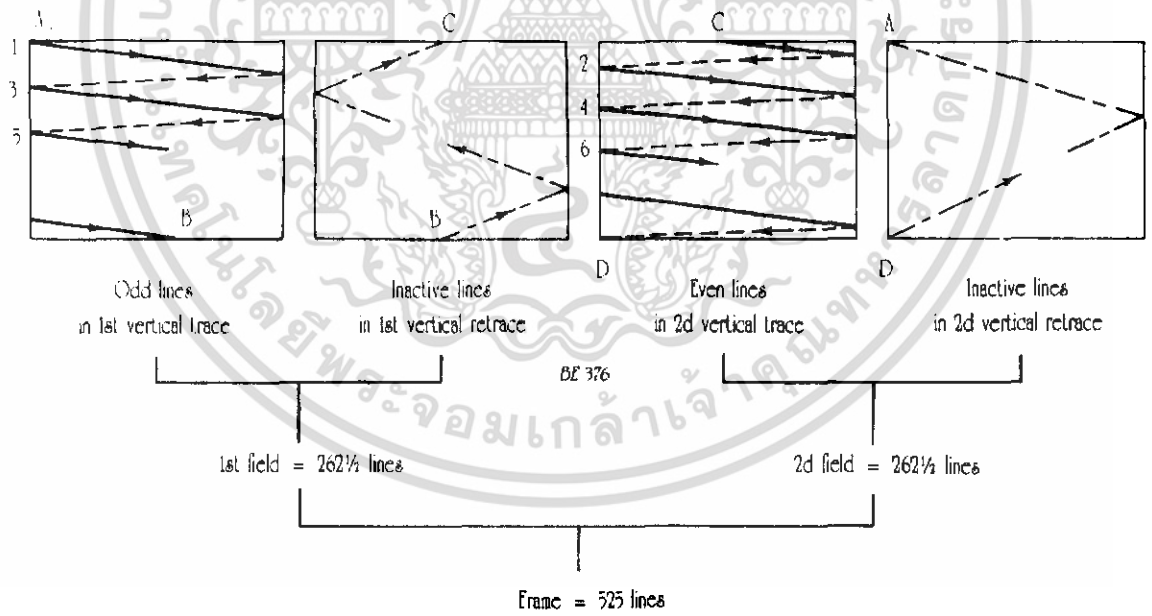
รูปที่ 2.3 แสดงวิธีเบื้องต้นของการสแกน

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ถึงแม้เราจะพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาที แล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา แล้วบนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่างแสงทางด้านบนในความรู้สึกมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงสแกนวกกลับไปด้านบน ด้านล่างก็จะเกิดปัญญาหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็จะเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก (Interlaced Scanning)โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้นนั้นหมายความว่าการได้ภาพ 1 ภาพหรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

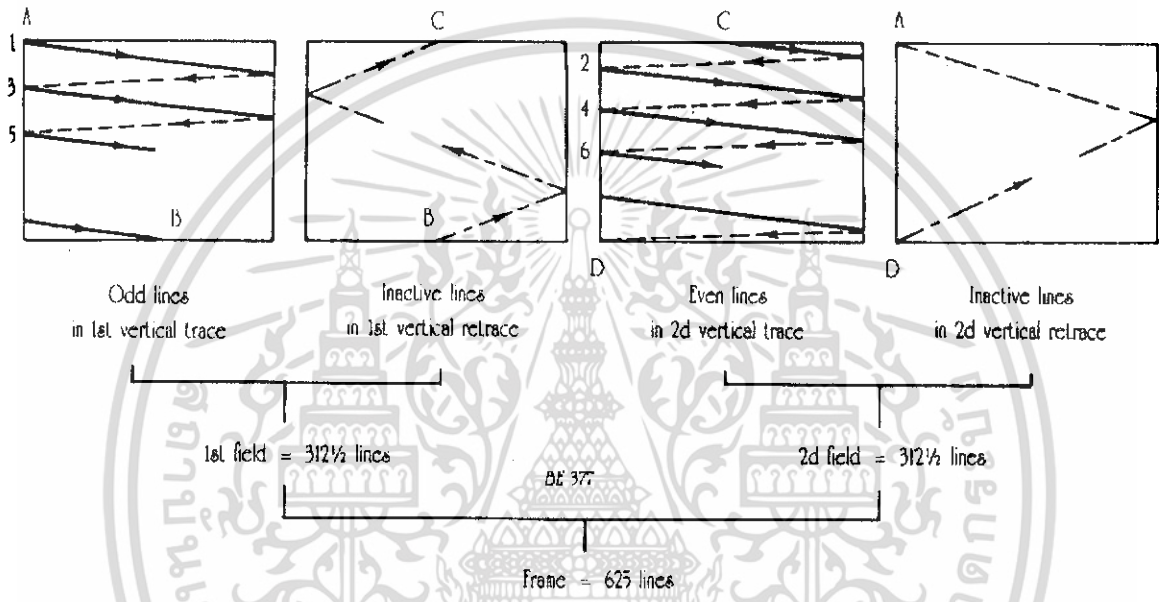
ตามมาตรฐาน เอฟซีซี (FCC) ใช้เส้นสแกน 525 เส้นต่อ 1 ภาพ และใช้ภาพ 30 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 262.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นองค์ประกอบขององค์ ประกอบภาพจะเกิดขึ้นภายใน 1/30 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้มาจากจำนวนเส้นภาพ คูณกับจำนวนเส้นภาพในแต่ละเฟรม จึงได้ 525x30 เท่ากับ 15,750 เฮิรตซ์ ส่วนความถี่บังคับการหักเหในแนวตั้งใน 1 ฟิลด์ จะใช้เวลาเพียง 1/60 วินาทีเท่านั้น ความถี่จึงเท่ากับ 60 เฮิรตซ์



รูปที่2.4 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อ 1 ภาพ และใช้ภาพ 25 ภาพต่อวินาทีดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นองค์ประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้มาจากจำนวนเส้นภาพ คูณกับจำนวนเส้นภาพในแต่ละเฟรม จึงได้ 625x25 เท่ากับ 15,625 เฮิรตซ์ ความถี่บังคับการหักเหในแนวตั้งในจึงเท่ากับ 50 เฮิรตซ์



รูปที่ 2.5 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก ในระบบ CCIR

จากรูปที่ 2.4 และรูปที่ 2.5 ได้แสดงวิธีของการสแกนแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันอยู่ในปัจจุบัน โดยเริ่มต้นการสแกนสมมุติว่าการการสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มต้นจาก A ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3,5,7,9 และต่อๆ ไป จนกระทั่งได้เส้นสแกน 262.5 เส้น ในระบบเอฟซีซี หรือ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือสแกนมาถึงจุด B ดังทั้ง 2 ภาพก่อนหน้านี้ ณ. จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace) หรือ สัญญาณฟายแบ็ค (Flyback) ดึงกลับไปยังตำแหน่งจุด C เพื่อเริ่มการสแกนแนวคู่ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาของการีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอลและฮอริซอลตอลเป็นเวลาสั้นๆ ถึงอย่างก็ตามเราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดี่ว่านั้น เรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่าในส่วนของการกวาดลำแสงหรือการสแกนในแนวนอน (Horizontal) เวลาการรีเทรซจะประมาณ 10-16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี เราใช้เวลาในการสแกเท่ากับ 63.5 ไมโครเซ็ค ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็ค ส่วนในระบบซีซีไออาร์ เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็ค ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.4 ไมโครเซ็ค ในส่วนของความถี่ที่หักเหในแนวตั้ง (Vertical) เราใช้เวลารีเทรซ ไม่เกิน 5-8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซ็ค และ 500 ไมโครเซ็ค ตามลำดับ นั่นหมายความว่าในช่วงของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปกฎเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้นหรือ 625 เส้นนั้น เรามิอาจเห็นได้ครบทุกเส้น อย่างน้อยๆ ในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับโทรทัศน์นั้นเราเรียกว่า สัญญาณแบลงกิ้ง

ตัวอย่าง ในระบบโทรทัศน์ เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นให้มีเวอร์ติคอล รีเทรซ เท่ากับ 3 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดั้งนั้นจงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนแบบนี้

เวลาการสแกนทางแนวตั้ง	1/50	วินาที
ค่า 3 เปอร์เซ็นต์ของการีเทรซ	3/(50x100)	วินาที
เวลาของการีเทรซ	600	ไมโครเซ็ค
เวลาของการสแกนภาพ	1/15,625	วินาที
ดังนั้นการีเทรซจะกินเส้นภาพไป	600/64	
คือประมาณ	10	เส้น

ตัวอย่าง ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้เวลามากที่สุดตามที่มาตราฐานในปัจจุบันกำหนดไว้ คือเวลาประมาณ 5 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวเวอร์ติคอล จงหาจำนวนเส้นภาพที่ปรากฏบนหน้าจอจริงบนหน้าจอว่ามีกี่ภาพ

เวลาการสแกนทางแนวตั้ง	1/50	วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า 5 เปอร์เซ็นต์	5/(50x100)	วินาที
เวลาของการรีเทรซ	600	ไมโครเซ็ค
เวลาของการสแกนภาพ	1/15,625	วินาที
ดังนั้นการีเทรซจะกินเส้นภาพไป	1000/64	
คือประมาณ	16	เส้น
จำนวนเส้นภาพที่ปรากฏเท่ากับ	625-16	เส้น
คือประมาณ	609	เส้น

จากหลักการดังกล่าวนี้เอง ที่ไขประตูไปสู่โทรทัศน์ระบบดิจิตอลทำไมเวลาที่เขานำเอาสัญญาณภาพเข้าสู่หน่วยความจำของระบบดิจิตอล เขาจึงเอาเส้นภาพไปเก็บเพียงครั้งละ 308 เส้นภาพเท่านั้น (แทนที่จะเอาทั้ง 312.5 เส้นภาพ) เพราะจากมาตรฐานโทรทัศน์ปัจจุบันที่กำหนดมาตรฐานสัญญาณในการรีเทรซทางแนวตั้งเท่ากับ 3 เปอร์เซ็นต์ เราจึงได้เส้นภาพประมาณ 625-10 เมื่อแบ่งเฟรมแล้วจะได้ค่าเส้นภาพประมาณ 308 เส้นภาพ

2.3 สัญญาณภาพรวม

หากจะถามว่าเครื่องส่งสัญญาณอะไรมาให้เครื่องรับรับบ้าง หากตอบกันง่ายๆก็ต้องตอบว่าส่งสัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณภาพต่างๆดังนี้

1 สัญญาณเสียง

2 สัญญาณภาพ

3 สัญญาณแบลงกิ้ง

4 สัญญาณซิงโครไนซ์

5 สัญญาณอีควอไลซิ่ง

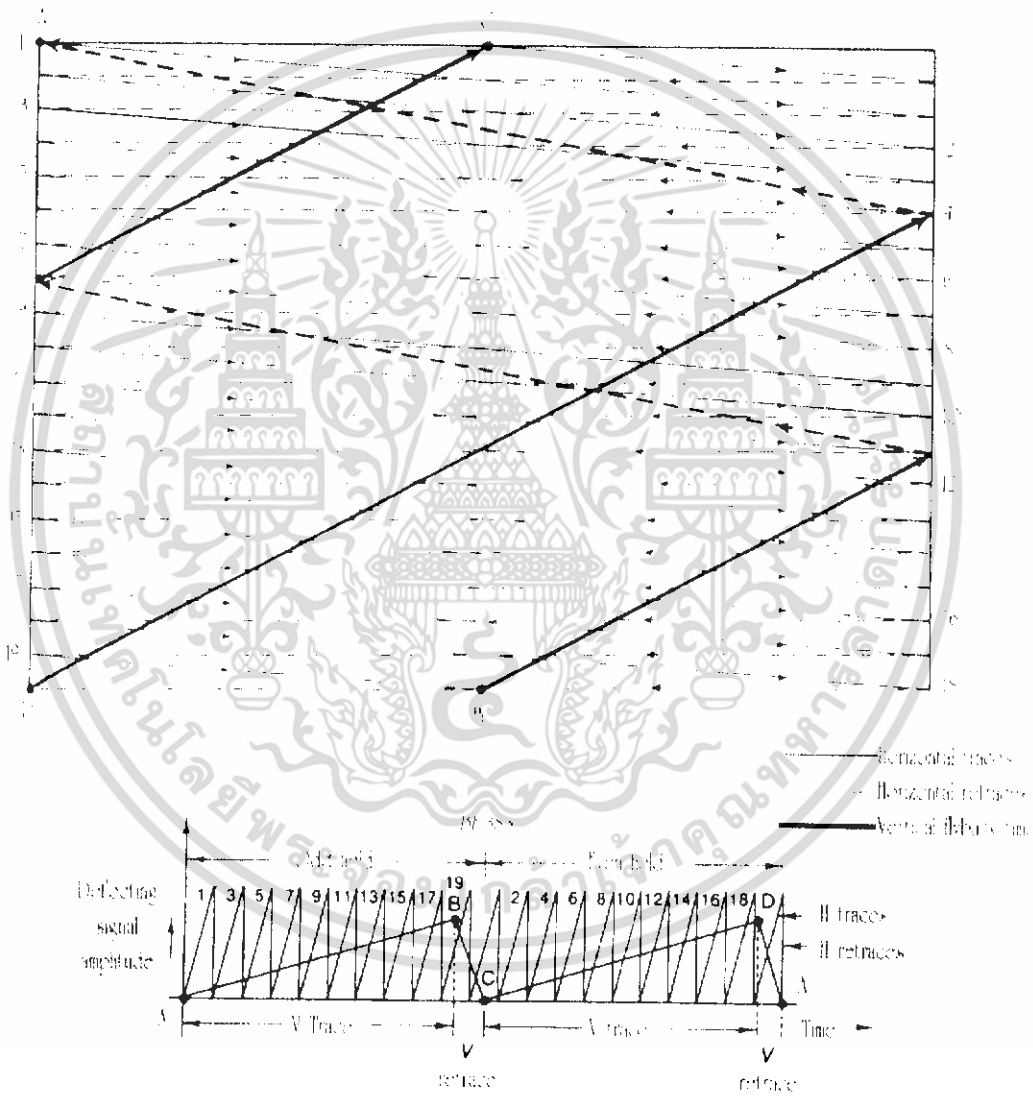
ในส่วนของระบบสัญญาณเราจะใช้คลื่นพาห์ (Carrier) เฉพาะ เพราะทราบกันเบื้องต้นแล้วว่าระบบเสียงในโทรทัศน์เป็นระบบ เอฟเอ็ม ส่วนสัญญาณภาพและอื่นๆที่เหลือนั้นเราส่งเป็นสัญญาณภาพรวมหรือ คอมโพสิท วีดิโอ ซิกแนล (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราต้องส่งสัญญาณทั้ง 5 ตัว ออกอากาศแพร่คลื่นออกอากาศแพร่คลื่นออกไปเพื่อวัตถุประสงค์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) สัญญาณภาพและสัญญาณเสียง เป็นสัญญาที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์

2) สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งมาเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน

3) สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและแนวนอนเพื่อให้เครื่องรับโทรทัศน์ทำงานสอดคล้องกัน



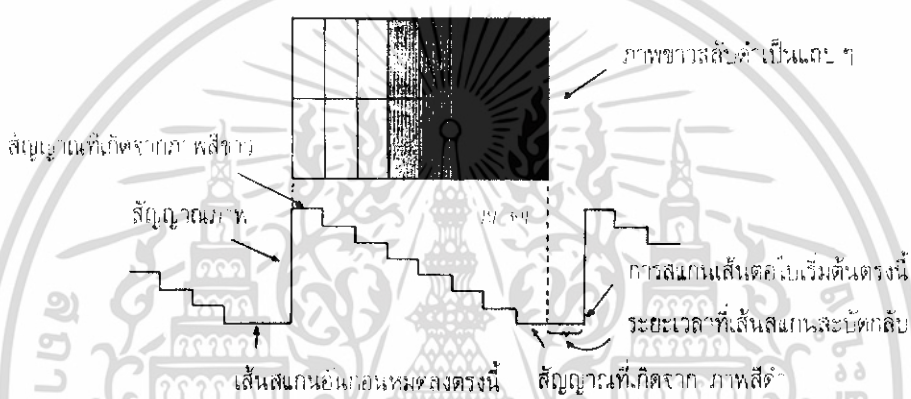
รูปที่ 2.6 หลักการเบื้องต้นการสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

2.3.1 สัญญาณภาพขาวดำ

สมมุติว่าเราจะดูระดับสัญญาณขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือ ภาพที่ไม่มีความสว่างเลยภาพจำลองที่ดีที่สุดของกรณีนี้ก็คือ แถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเรียกว่าระดับเกรย์สเกลนั่นเอง



รูปที่ 2.7 แสดงสัญญาณขาว-ดำ โดยเกรย์ สเกล

จากรูปที่ 2.7 จะแสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว ,เทา และ ดำ ระดับสัญญาณจะลดลงมาเรื่อยๆ นั่นหมายความว่าเมื่อสัญญาณมีวามแรงน้อยลงความสว่างก็จะน้อยลงมาตามไปด้วย

อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความสูงต่ำไม่เท่ากัน โดยความถี่สูงสุดไม่เกิน 4 เมกะเฮิรตซ์ในระบบซีซีไออาร์ ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 สัญญาณแบลงกิ้ง

ทราบแล้วว่า เมื่อมีการสแกนลำอิเล็กตรอนที่ทำหน้าที่จอจะเกิดเส้นรีเทรซ หรือเส้นสะบัดกลับ ซึ่งเป็นเส้นภาพที่เราต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงกิ้งส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณ แบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่ 2 อย่างคือ เวอร์ติคอลแบลงกิ้งกับฮอริซอนตอลแบลงกิ้ง

2.3.3 สัญญาณซิงโครไนซ์

เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

1) ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้

2) เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำภาพเลื่อน

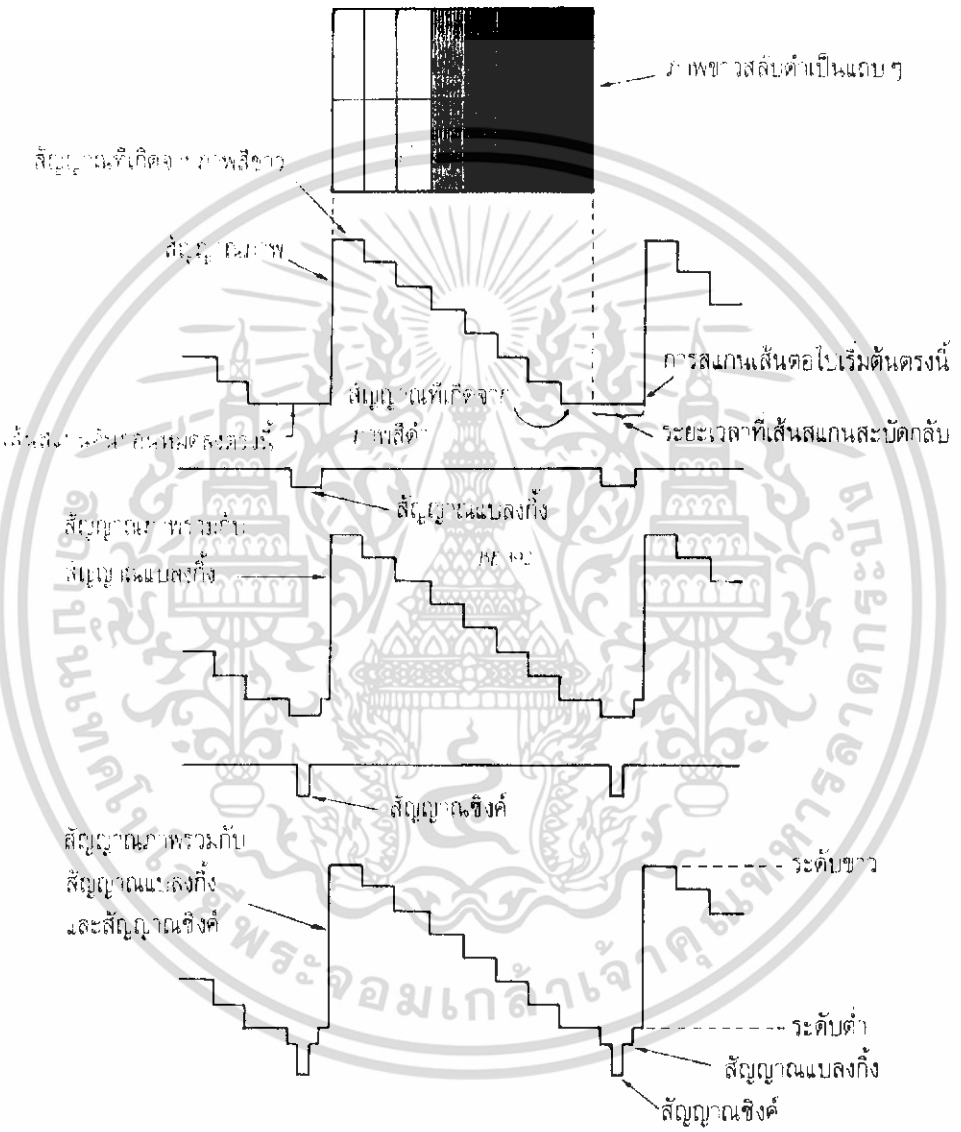
เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้งไม่ว่าจะเป็นแนวตั้งหรือแนวนอน จะมีความถี่เท่ากัน เวลาส่งจึงต้องมีการกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์มีขนาดกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์ กับการส่งแบลงกิ้งพัลซ์ไปด้วยกัน ให้แบลงกิ้งเป็นฐานของสัญญาณซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบลงกิ้ง จะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ)

2.3.4 สัญญาณอีควอไลซิ่ง

เป็นสัญญาณบังคับรูปร่างของ สัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้องแล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่และเส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลส์รวมเท่ากับเวอร์ติคอล ซิงโครไนซ์ พัลส์

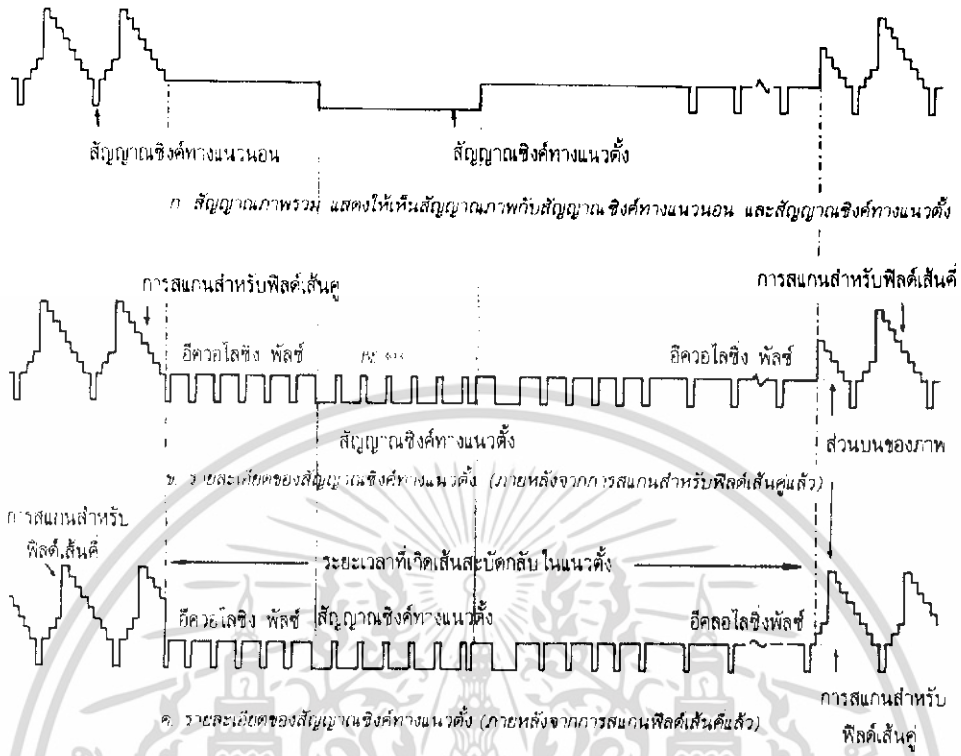
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็กๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.9

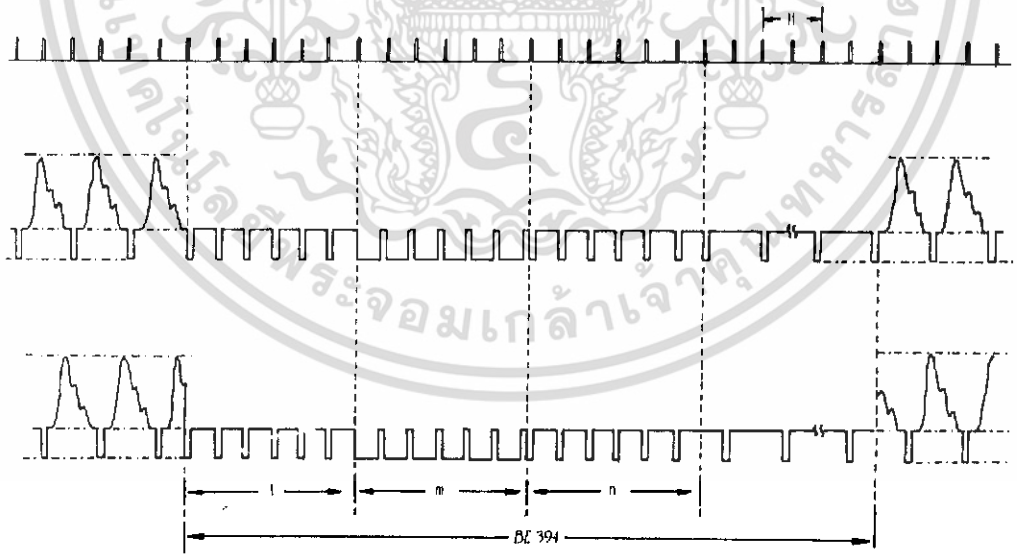


รูปที่ 2.8 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



รูปที่ 2.10 แสดงระดับพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
การแปลงสัญญาณอนาล็อกเป็นดิจิตอล

สัญญาณที่ใช้ในอุปกรณ์อิเลคทรอนิคส์มี 2 ชนิดคือ สัญญาณอนาล็อกและสัญญาณดิจิตอล สัญญาณอนาลือกจะใช้ในอุปกรณ์ทั่วๆไปและใช้ในการควบคุมแบบเก่า

ในปัจจุบันมีไมโครโปรเซสเซอร์และไมโครคอนโทรลเลอร์เข้ามาช่วยในการควบคุมอุปกรณ์ต่างๆ มากมายซึ่งทำให้การควบคุมนั้นทำได้ง่าย และรวดเร็วยิ่งขึ้น แต่ในการควบคุมนั้นเราจำเป็นต้องใช้ สัญญาณดิจิตอลในการติดต่อกับไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์แต่ในความเป็นจริงนั้น เราใช้สัญญาณอนาล็อกในการควบคุม ดังนั้นเราจึงจำเป็นต้องมีการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล แล้วจึงนำสัญญาณนั้นเข้ามาสู่ไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์เพื่อใช้ควบคุมระบบต่อไป

แม้ว่าสัญญาณอนาล็อกนั้นมีความแน่นอนและแม่นยำสูงแต่สัญญาณอนาล็อกนั้นก็ควบคุมได้ยาก เนื่องจากในสภาพแวดล้อม มีสัญญาณรบกวนอยู่มาก และการที่จะทำให้การควบคุมแบบอนาล็อกมีความสามารถควบคุมเท่ากับการควบคุมแบบดิจิตอลนั้น ทำได้ยากเนื่องจากวงจรควบคุมแบบอนาล็อกจะต้องมีความซับซ้อนสูง

อย่างไรก็ตามสัญญาณดิจิตอลก็ไม่สามารถทดแทนความละเอียดของสัญญาณอนาล็อกได้อย่างสมบูรณ์แต่ทำให้การควบคุมนั้นทำให้ง่ายและสะดวกยิ่งขึ้น

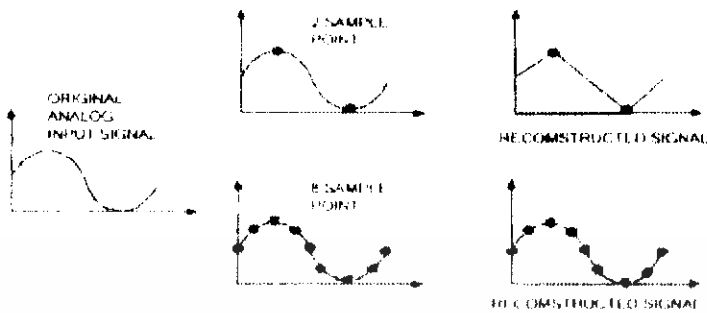
3.1 ทฤษฎีการสุ่มตัวอย่าง(Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาหนึ่งจะใช้สำหรับการสุ่มตัวอย่างของสัญญาณ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิเซคคั่น ดังนั้น มันจึงสามารถเปลี่ยนสัญญาณได้ 1000 ครั้ง ใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอกที่เป็นคลื่นสัญญาณรูปซายน์ 10 เฮิรตซ์ จ่ายให้กับตัว ADC ตามรูปที่ 3.1

62892
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 การสุ่มหลาย ๆ ช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 20 เฮิรตซ์ ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ละไซเกิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย ADC สัญญาณอนาลอกตัวใหม่มีสัญญาณคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 เฮิรตซ์เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮิรตซ์หรือ 50 มิลลิเซคคั่นเป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของการแปลงให้อยู่ในรูปของสัญญาณดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้น ในขณะที่คาบเวลาเท่าเดิมอัตราการสุ่ม 8 จุดต่อไซเคิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญาณความถี่อินพุท 10 เฮิรตซ์ จะต้องสุ่มตัวอย่างที่ 80 เฮิรตซ์ ดังนั้น ตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนแปลงเป็น 1/80 เฮิรตซ์ หรือ 12.5 มิลลิเซคคั่น ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไปข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป ค่าความสัมพันธ์ระหว่างความถี่อินพุท ค่าเวลาในการเปลี่ยนแปลงสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ที่สำคัญ และได้มีการพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งมีด้วยกัน 6 วิธี

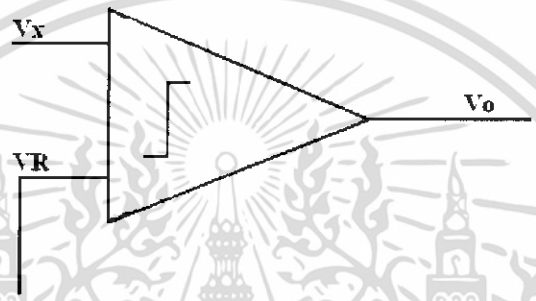
3.2 วิธีการแปลงสัญญาณอนาล็อกเป็นดิจิตอล

3.2.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบง่าย ๆ แสดงดังรูปที่ 3.2 แรงดันอินพุทที่ไม่ทราบค่า Vx จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์และแรงดันอ้างอิงที่ขนาดแปรตามเวลา VR ต่อเข้ากับขาอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอมพาราเตอร์แสดงดังรูปที่ 3.2 ถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทน้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ว่าค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ในแนวความคิดแล้วตรรกะของ ADC สัมประสิทธิ์ไบนารี a1 เพื่อให้ผลต่างระหว่างแรงดันอินพุท Vx และค่าคงที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB



รูปที่ 3.2 แสดงวิธีการพื้นฐานของ ADC

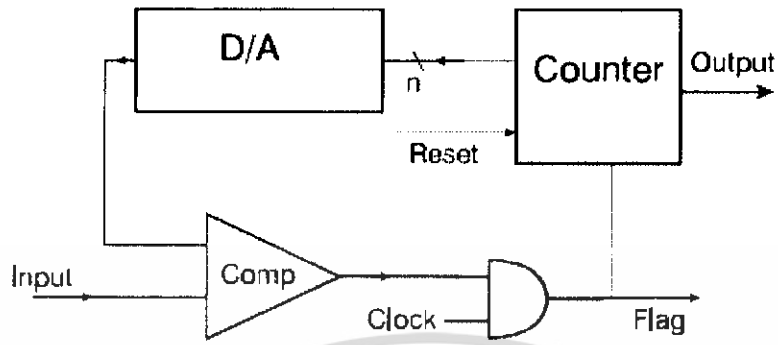
3.2.2 Counting Converter

Counting Converter เป็นวิธีที่ง่ายที่สุดของการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล โดยใช้อัลกอริทึม การนับค่าเพิ่มขึ้นเรื่อยๆ แล้วนำผลที่ได้จากการนับไปเปรียบเทียบกับค่าที่ต้องการที่ตั้งไว้ ลักษณะการทำงานเป็นดังรูปที่ 3.4

จากวงจร Counter เป็นอุปกรณ์นับค่าที่เพิ่มขึ้นทีละหนึ่ง แล้วส่งค่าที่ได้ให้ D/A มีขา Reset รับสัญญาณ Reset เมื่อต้องการให้เริ่มนับใหม่ D/A เมื่อรับค่าที่นับเพิ่มขึ้นทีละหนึ่งจากตัวนับ ก็แปลงค่าให้เป็นสัญญาณ อนาล็อกที่มีค่าความต่างศักย์ค่าๆ หนึ่ง แล้วส่งต่อเข้าไปที่อุปกรณ์ตัวเปรียบเทียบ (Comparator)

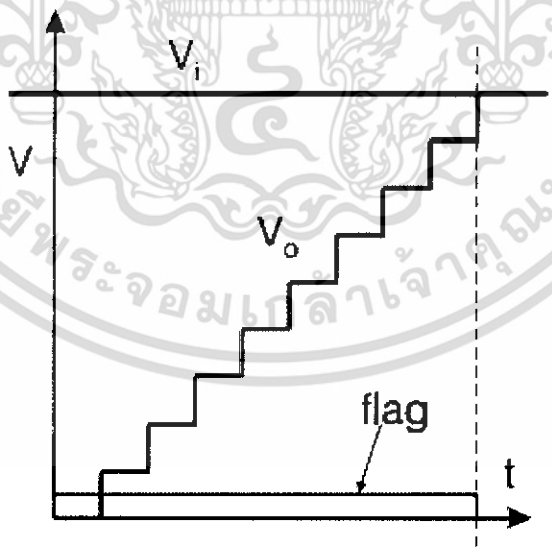
Comparator จะเป็นอุปกรณ์ตัวเปรียบเทียบค่าความต่างศักย์ ของอินพุต และค่าจากที่ตัวนับ ถ้าหากทั้งสองสัญญาณมีค่าเท่ากันส่งค่าความต่างศักย์ 0 โวลต์ออกมา(ลอจิก 0) ถ้าไม่เท่ากันก็จะส่งความต่างศักย์ที่ไม่ใช่ 0 โวลต์ออกมา(ลอจิก 1) ซึ่งค่าความต่างศักย์ที่ออกมา จะนำมาเข้าลอจิกเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Counting Converter

"AND" กับ สัญญาณนาฬิกา จะได้ค่าลอจิกออกมา ถ้าผลลัพธ์ออกมาเป็นสัญญาณนาฬิกาแสดงว่ายังไม่ได้ผลลัพธ์เท่าที่ต้องการ สัญญาณนาฬิกาก็จะไปทำให้ตัวนับนับเพิ่มขึ้นต่อไป และเมื่อได้ค่าผลลัพธ์ดิจิตอลที่ต้องการแล้ว ค่าที่ได้จาก ตัวเปรียบเทียบจะให้ค่าความต่างศักย์เป็น 0 (ลอจิก 0) ซึ่งเมื่อนำมาเข้าลอจิกเกต "และ" กับสัญญาณนาฬิกาแล้ว ก็จะให้ลอจิก 0 ซึ่งทำให้ตัวนับไม่นับเพิ่มอีก ก็จะได้ค่าดิจิตอลจากตัวนับที่ต้องการ จากคำอธิบายข้างต้นจะได้กราฟดังรูปที่ 3.4



รูปที่ 3.4 เอาท์พุทของวงจร Counting Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวิธีนี้ คือ การนับต้องเริ่มนับที่ 0 เสมอ และนับเพิ่มขึ้นเรื่อยๆ ทำให้ช้า เอาท์พุตที่ได้จะมี delay จึงไม่ค่อยนิยมใช้เท่าที่ควร จึงได้เปลี่ยนตัวนับเป็นแบบนับลงได้ด้วย ซึ่งจะอ้างอิงระดับจากระดับเก่า ทำให้ไม่จำเป็นต้องนับ 0 ใหม่ เมื่อมีการเปลี่ยนอินพุตใหม่ แต่ให้อ้างอิงกับผลลัพธ์เดิม ทำให้ได้ผลลัพธ์เร็วขึ้น

3.2.3 Tracking ADC

Tracking ADC จะปรับปรุงจากแบบ Counting Converter ทางด้านความเร็ว โดยใช้เคาน์เตอร์แบบนับขึ้นลงได้โดยไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้แลตซ์ไว้จากการเปลี่ยนแปลงครั้งล่าสุด ดังนั้น ส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่าโดยการทำงานจะ เป็นดังนี้ O/P จาก ADC จะถูกเปรียบเทียบกับสัญญาณอนาลอก I/P ไม่เกิน 1 LSB และค่าเคาร์เตอร์จะถูกแลตซ์ไว้ จากนั้นเคาน์เตอร์จะถูกทำงานแบบติดตาม (Track) สัญญาณ I/P จะได้เท่ากันอีกก็จะแลตซ์ค่าใหม่ไว้

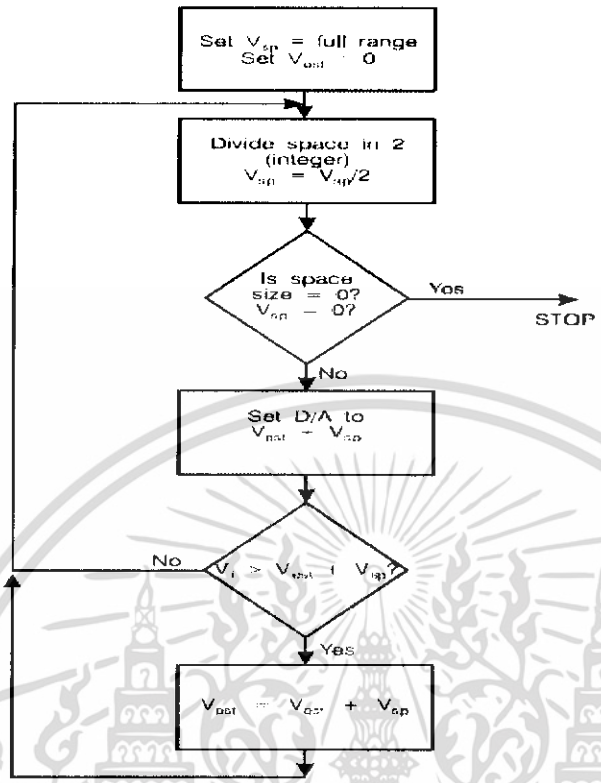
3.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือ Integrator เทคนิคของการ ADC แบบ Integration คือจะใช้สัญญาณ ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

3.1.5 Successive Approximation

ใช้หลักการของ "binary search" ในการหาคำตอบ โดยนำค่าผลลัพธ์มาเปรียบเทียบกับค่ากึ่งกลางของช่วง เพื่อให้ทราบว่า ค่านั้นๆ มากกว่า หรือน้อยกว่า โดยจะปรับช่วงให้แคบลงมาเรื่อยๆ แล้วเปรียบเทียบผลลัพธ์กับค่ากึ่งกลางของช่วงไปเรื่อยๆ จนได้ผลลัพธ์ที่ต้องการ เช่น เลขที่เป็นคำตอบ คือ 3 จากช่วงของคำตอบที่ 0-7 ครั้งแรกเอาค่า (0+7)/2 = 4 มาเปรียบเทียบ ได้ผลว่า คำตอบที่ต้องการอยู่ในช่วงที่น้อยกว่า 4 ครั้งที่ 2 ก็เลือกค่า (0+4)/2 = 2 มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการอยู่ในช่วงที่มากกว่า 2 แต่น้อยกว่า 4 ครั้งที่ 3 ก็เลือกค่า (2+4)/2 = 3 มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการ จากหลักการที่กล่าวมาอาจเขียน flow chart ได้ดังรูปที่ 3.5

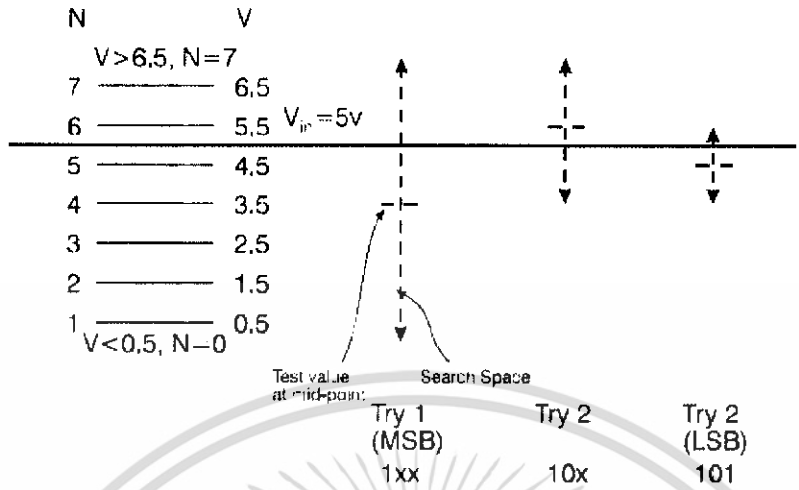
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 flow chart Successive Approximation

ข้อดีของวิธีนี้ คือ เวลาที่ใช้ในการหาคำตอบ n รอบ แน่นอน (สำหรับ n bit converter ซึ่งอ้างอิงได้ 2^n ระดับ และระดับ Vin ที่คงที่) ซึ่งใช้เวลาน้อยกว่าแบบ "Counting Algorithm" แต่มีข้อเสีย คือถ้า V_{in} เปลี่ยนทันทีทันใด ขณะที่กำลังทำ binary search อยู่นั้น คำตอบที่ได้จะผิดพลาด ตัวอย่างเช่น เปลี่ยน V_{in} จาก 5 Volt เป็น 2 Volt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 Binary Search Strategy

ช่วงของ V_{in} คือ 1-7 ใช้ n=3 (เพราะว่า 2^3=8) ครั้งแรก ใช้ 4 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง lower ได้ 1xx ครั้งที่ 2 ใช้ 2 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง upper ได้ 10x ครั้งที่ 3 ใช้ 3 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า ผลลัพธ์ที่ได้จะผิดพลาด ได้ 100

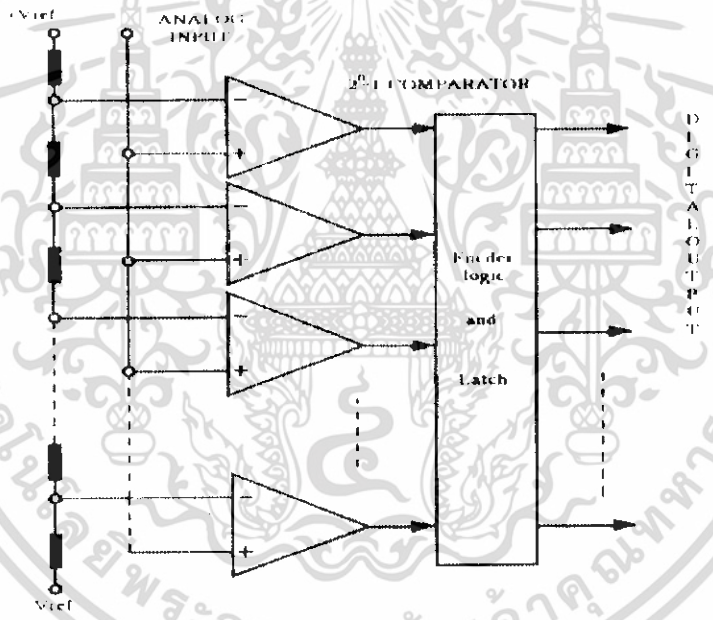
3.1.6 Flash Converter

แฟลชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่ลักษณะของวงจรแฟลชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบที่ต่อขนานกันเพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทางดิจิตอล ดังนั้นแฟลชคอนเวอร์เตอร์จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาในรูปที่ 3.7 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.7 วงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัวแรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัวจะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล เมื่อไม่มีแรงดันอินพุทเข้าเอาท์พุทของตัวเปรียบเทียบแต่ละตัว จะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซตไว้โดยวงจรแบ่งแรงดัน เน็ทเวอร์คของดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตัวอย่างในรูปที่ 3.7 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานได้จริงๆ ได้เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้วงจรเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ขนาด 2 บิท ต้องการตัวเปรียบเทียบ 2^2-1 = 3 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ขนาด 4 บิท ตัวเปรียบเทียบ 2^4-1=15 ตัว คอนเวอร์เตอร์ขนาด 8 บิท ต้องการตัวเปรียบเทียบถึง 2^8-1=255 ตัว จะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบก็ต้องมากขึ้นทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟลชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้ และ ข้อเสียอีกประการหนึ่งคือเมื่อใช้ตัวเปรียบเทียบมากขึ้นวงจรก็จะมีขนาดใหญ่ไปแต่วงจรแฟลชคอนเวอร์เตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกจากอินพุทเข้ามาที่ตัวเปรียบเทียบพร้อมๆ กัน ในช่วงเวลาการเปลี่ยนนั้นมีค่าเท่ากัน จึงใช้เวลาน้อย

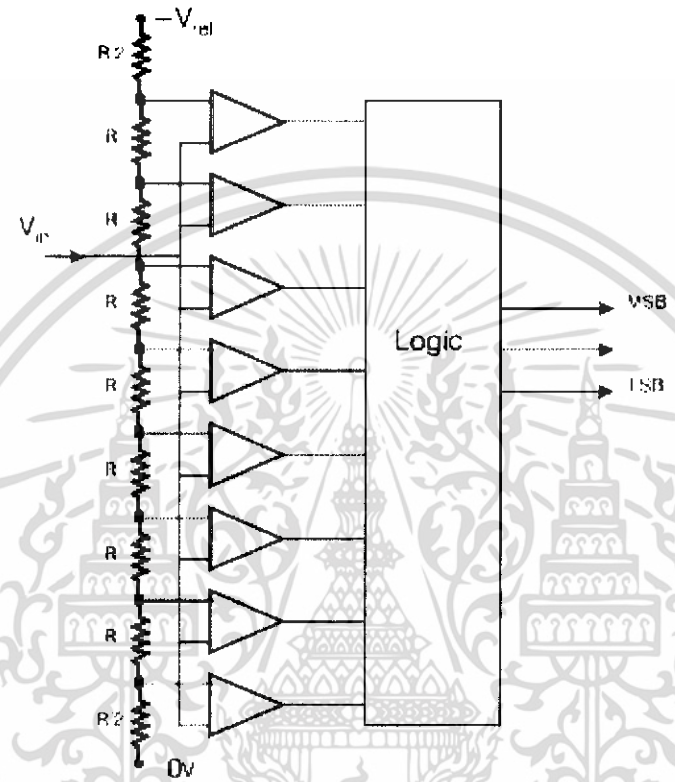


รูปที่ 3.7 แฟลชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง

หลักการของ Flash Converter คือการใช้การแบ่งแรงดันเป็น Voltage หลายๆ ค่า แล้วเปรียบเทียบกับ Vin เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic จากรูปที่ 3.8 มี Voltage เปรียบเทียบ 8 bit ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบกับ Vin แล้วมากกว่าก็จะปล่อยลอจิกออกมา ถ้ามากกว่าก็จะให้ลอจิก 1 ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก 0 วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ



รูปที่ 3.8 A "Flash" Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีไมโครคอนโทรลเลอร์

4.1ประวัติของไมโครคอนโทลเลอร์

อุปกรณ์อิเล็กทรอนิกส์ในปัจจุบันจะถูกควบคุมด้วยระบบคอมพิวเตอร์เล็กๆหรือเรียกว่าไมโครโปรเซสเซอร์เกือบทั้งสิ้น ในปัจจุบันจะเรียกชื่อเป็นศัพท์เทคนิคว่าระบบฝังตัว(Embedded System) ระบบควบคุมด้วยคอมพิวเตอร์จะต้องมีหน่วยประมวลผลกลางที่เรียกว่าไมโครโปรเซสเซอร์เป็นหัวใจหลักของการทำงาน โดยบริษัทอินเทลได้สร้างไมโครโปรเซสเซอร์เบอร์ 4004 ซึ่งประมวลผลแบบ 8 บิต ออกมาเป็นรุ่นแรก ต่อมาได้ออกรุ่นที่ประมวลผลแบบ 8 บิตตามมาได้แก่ 8008, 8080 และ 8085 ทำให้การประมวลผลได้รวดเร็วขึ้น ส่วนบริษัทโมโตลาได้ออกเบอร์ 6800 และบริษัทไซลอกได้ออกเบอร์ Z80 ซึ่งจะประมวลผลแบบ 8 บิต เช่นกัน ไมโครโปรเซสเซอร์รุ่นต่อมา จะมีประสิทธิภาพในการทำงานมากขึ้นและได้มีการผลิตรุ่นใหม่ๆออกมามากขึ้น

เมื่อนำไมโครโปรเซสเซอร์แบบ 4 บิต มาใช้ในการควบคุมจะทำให้ระบบควบคุมทำงานได้ดีขึ้นฉลาดมากขึ้น ปัจจุบันไมโครโปรเซสเซอร์แบบ 4 บิต นี้จะถูกนำมาใช้ในเตาไมโครเวฟ โทรทัศน์ และของเด็กเล่น เป็นต้น สำหรับระบบควบคุมที่ต้องการประสิทธิภาพมากขึ้นจะใช้ไมโครโปรเซสเซอร์แบบ 8 บิต เป็นตัวประมวลผล แต่ราคาของระบบก็แพงขึ้นตามไปด้วย

4.2 คุณสมบัติที่สำคัญของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายใน บางเบอร์จะมีหน่วยความจำภายในเป็นแบบรอม บางเบอร์เป็นแบบอีพรอม และปัจจุบันมีแบบแฟลชรอม

คุณสมบัติที่สำคัญของชิพไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

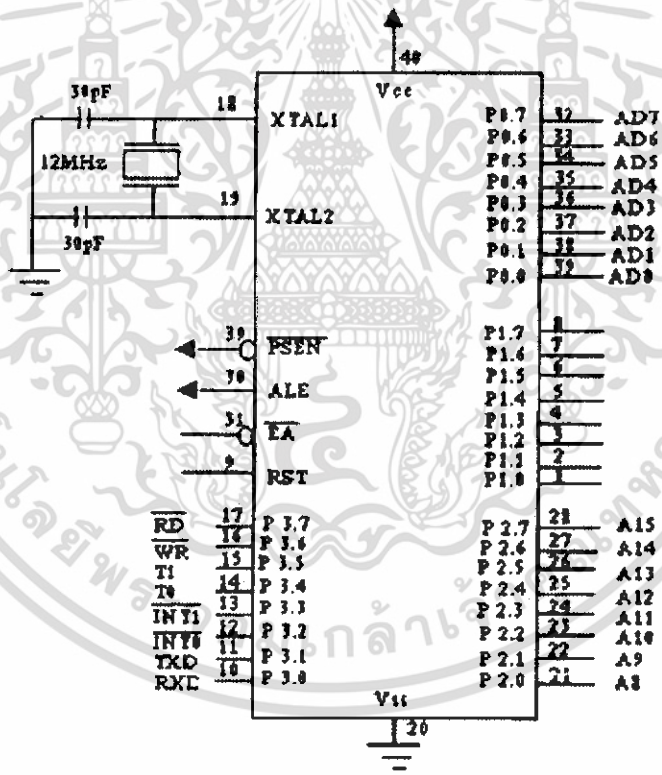
- ต้องการแหล่งจ่ายไฟ 5V เพียงชุดเดียว
- มีหน่วยความจำภายในชิพ จำนวน 128 ไบต์ (บาง CPU จะมี 256 ไบต์)
- มีพอร์ทอินพุทเอาท์พุทจำนวน 4 พอร์ท พอร์ทละ 8 บิต หรือสามารถใช้งานเป็นพอร์ทขนาด 1 บิตแยกจากกันได้รวมทั้งสิ้น 32 บิต
- สามารถ Interrupts ได้จาก 5 แหล่ง
- มีพอร์ทอนุกรมที่สามารถรับส่งข้อมูลแบบฟูลดูเพล็กซ์ ด้วยอัตราเร็วในการรับส่งได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายในชิพได้อย่างละ 64 กิโลไบต์
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิร์ต
- มีรีจิสเตอร์สำหรับใช้งานเป็นไทม์เมอร์หรือเคาท์เตอร์เพื่อนับสัญญาณนาฬิกาภายในชิพหรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว
- หน่วยความจำภายในบางส่วนสามารถเข้าถึงข้อมูลได้ทั้งในระดับไบต์และระดับบิตเพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น

4.3 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกันดังรูปที่ 4.1



รูปที่ 4.1 แสดงขาต่างๆ ของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 ความหมายของขาต่างๆ มีดังนี้

พอร์ท 0 (Port 0) ได้แก่ ขาที่ 32-39 ของ MCS-51 สามารถใช้เป็นอินพุทเอาท์พุทสามารถใช้แบบบิตได้ นอกจากนี้ในการติดต่อกับหน่วยความจำภายนอกยังใช้เป็นขาบัสแอดเดรส และบัสข้อมูลอีกด้วย

พอร์ท 1 (Port 1) ได้แก่ ขาที่ 1-8 เป็นพอร์ทอินพุทเอาท์พุท 8 บิต สามารถใช้แบบบิตได้ คือ P1.0 – P1.7

พอร์ท 2 (Port 2) ได้แก่ ขาที่ 21-28 จะใช้งานสองหน้าที่คือ ใช้เป็นพอร์ทอินพุทเอาท์พุท สามารถใช้แบบบิตได้และใช้เป็นขาแอดเดรส 8 บิต ในการอ้างอิงหน่วยความจำภายนอก

พอร์ท 3 (Port 3) ได้แก่ ขาที่ 10-17 จะใช้เป็นสองหน้าที่คือ เป็นพอร์ทอินพุทเอาท์พุทใช้แบบบิตได้ และใช้เป็นขาสัญญาณควบคุมต่างๆ ซึ่งมีหน้าที่ดังนี้

- ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม
- ขา P3.1 ใช้ส่งข้อมูลไปภายนอกแบบอนุกรม
- ขา P3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพต์ชนิดที่ 0
- ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพต์ชนิดที่ 1
- ขา P3.4 สัญญาณอินพุทให้เคาท์เตอร์ของไทเมอร์ 0
- ขา P3.5 สัญญาณอินพุทให้เคาท์เตอร์ของไทเมอร์ 1
- ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิพ
- ขา P3. ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิพ

PSEN (Program Store Enable) เป็นขาที่ส่งสัญญาณออกที่ขา 29 ขานี้จะแอคทีฟเมื่อ MCS-51 ต้องการอ่าน โปรแกรมจากหน่วยความจำภายนอก โดยปกติถ้าหน่วยความจำภายนอกเป็น
อีพรอม ขา PSEN จะต่อกับขาสัญญาณเปิดด้านเอาท์พุท (Output Enable: OE) ของอีพรอม

ALE/PROG (Address Latch Enable) เนื่องจากพอร์ท 0 สามารถใช้เป็นขาอ้างตำแหน่ง และขาข้อมูล MCS-51 จะมีขา ALE ได้แก่ขา 30 ขานี้จะใช้มัลติเพล็ก (Multiplex) สัญญาณบัสตำแหน่งของ พอร์ท 0 ในการใช้งานระบบ MCS-51 นั้น จะต้องมีอุปกรณ์มาต่อกับพอร์ท 0 ที่ทำหน้าที่ คงค่า (Latch) สัญญาณบัสตำแหน่ง เมื่อ MCS-51 ต้องการติดต่อกับหน่วยความจำภายนอก MCS-51 จะส่งสัญญาณบัสตำแหน่งออกมาก่อนทาง พอร์ท 0 ไว้เพื่อใช้ พอร์ท 0 เป็นบัสข้อมูล

EA/Vpp (External Access) ขา EA ได้แก่ขาที่ 31 ถ้าขานี้เป็นลอจิก “1” จะใช้กับเบอร์ 8051/8052 เพื่อบอกว่าให้อ่านโปรแกรมจากหน่วยความจำภายใน แต่ถ้าเป็นลอจิก “0” จะให้ MCS-51 ทำโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยอ่านจากหน่วยความจำโปรแกรมภายนอก (ถ้าขา EA เป็น "0" ขา PSEN จะแอคทีฟ) ถ้าหากเป็นเบอร์ 8031 หรือ 8032 ขา EA จะเป็น "0" เสมอ เพราะว่าไม่มีโปรแกรมหน่วยความจำภายใน แต่ถ้าใช้เบอร์ 8051/8052 ซึ่งมีหน่วยความจำภายในและให้ขา EA เป็น "0" ซึ่งจะหยุดการทำงานของรอมภายในและอ่านโปรแกรมจากอีพรอมภายนอกแทน

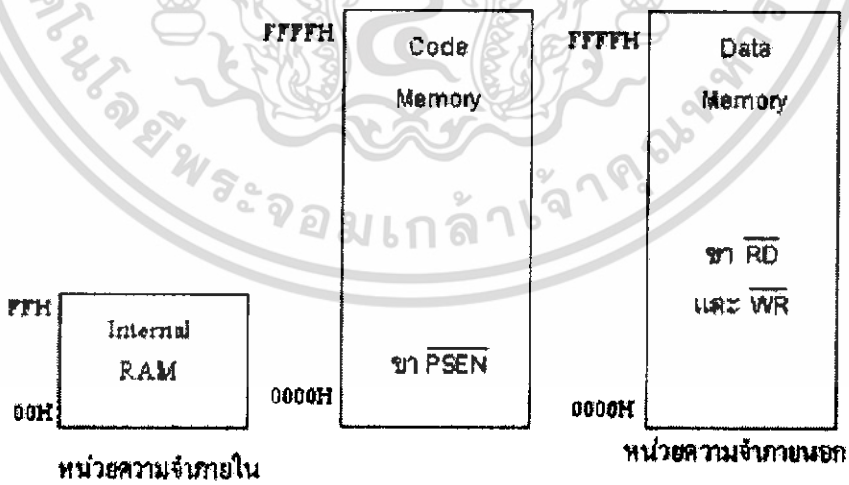
RST (Reset) ขา RST ได้แก่ขา 9 จะใช้ในการรีเซ็ต MCS-51 โดยจะให้ขานี้เป็นลอจิก "1" อย่างน้อย 2 คาบเวลา จึงจะรีเซ็ตระบบได้

XTAL1 ขาที่ 19 ใช้ต่อคริสตอลจากภายนอก โดยเป็นอินพุทเข้าสู่วงจรออสซิลเลตอร์

XTAL2 ขาที่ 19 ใช้ต่อคริสตอลจากภายนอก โดยเป็นเอาท์พุทต่อออกจากวงจรออสซิลเลตอร์

4.3.2 โครงสร้างหน่วยความจำ

หน่วยความจำสำหรับ MCS-51 จะมี 2 ชนิดคือ หน่วยความจำที่ใช้เก็บโปรแกรมรอม กับหน่วยความจำที่ใช้เก็บข้อมูลในการประมวลผล แรม MCS-51 บางเบอร์ 8051, 8052 จะมีหน่วยความจำในชิพ และMCS-51 ทุกเบอร์ยังสามารถอ้างหน่วยความจำโปรแกรมภายนอกได้มากที่สุด 64 กิโลไบต์ สำหรับหน่วยความจำแรมภายใน จะประกอบไปด้วยพื้นฐานที่ใช้งานทั่วไป, ชุดรีจิสเตอร์, พื้นที่ใช้งานระดับบิต และรีจิสเตอร์ฟังก์ชั่นพิเศษ เราอาจเขียนไดอะแกรมของหน่วยความจำของ 8031 ได้ดังรูปที่ 2.4 โดยในรูปจะบอกด้วยว่าขาใดจะแอคทีฟ



รูปที่ 4.2 การจัดหน่วยความจำของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 Bit – addressable RAM

ใน MCS-51 จะมีหน่วยความจำที่สามารถอ้างข้อมูลในระดับบิตได้ตั้งแต่ตำแหน่ง 20H ถึง 2FH รวม 16 ไบต์ โดยสามารถ เซ็ต, เคลียร์, แอนท์, ออร์ ทางลอจิกได้ จำนวนบิตที่ใช้งานได้ทั้งหมดมีจำนวน 128 บิต (8 บิต X 16 ไบต์)

4.3.4 ชุดรีจิสเตอร์ (Register Banks)

หน่วยความจำข้อมูลภายในที่เป็นชุดรีจิสเตอร์ มีทั้งหมด 32 ตำแหน่ง โดยจะมี 4 ชุด แต่ละชุดจะมีรีจิสเตอร์ 8 ตัว คือ R0 ถึง R7 โดยชุดแรกจะอยู่ในตำแหน่ง 00H - 7H

4.3.5 รีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register)

ใน MCS-51 รีจิสเตอร์จะมีหน่วยความจำภายในชิพ โดยส่วนหนึ่งเป็นรีจิสเตอร์พิเศษ (Special Function Register: SFR) ซึ่งมีทั้งหมด 21 ตัว โดยรีจิสเตอร์พิเศษต่างๆจะเริ่มที่หน่วยความจำตั้งแต่ 80H ถึง FFH ซึ่งมีทั้งหมด 128 ตำแหน่ง แต่จะเป็นรีจิสเตอร์ฟังชั่นพิเศษ เพียง 21 ตำแหน่ง แต่ถ้าเป็น 8032/8051 จะใช้ 26 ตำแหน่งหรือมี SFR 26 ตัว

4.3.6 Program Staus Word

เป็นรีจีสเตอร์ขนาด 8 บิต สามารถเข้าถึงได้ในระดับบิต จึงสามารถกำหนดค่าในแต่ละบิตของรีจีสเตอร์ตัวนี้ได้อย่างอิสระ มีแอดเดรสอยู่ที่ D0H ทำหน้าที่เก็บสถานะของการทำงานของโปรแกรมในขณะนั้นจะเรียกสถานะต่างๆ ของโปรแกรม ว่า แฟลก เมื่อซีพียูกระทำคำสั่งทางคณิตศาสตร์และลอจิกแล้วเกิดการเปลี่ยนแปลงสถานะขึ้น ผลของการเปลี่ยนแปลงนั้นจะมาปรากฏที่บิตต่างๆ ของรีจีสเตอร์ PSW จะเห็นได้ว่านอกจากรีจีสเตอร์ PSW ถูกใช้ในการเก็บสถานะของโปรแกรมแล้ว ที่บิต RS0 และ RS1 ยังใช้ในการเลือกแบงก์ของหน่วยความจำส่วนล่าง ซึ่งเป็นพื้นที่ของรีจีสเตอร์ R0-R7 มักนิยมใช้แบงก์ 0 เป็นลำดับแรก หากไม่เพียงพอจึงเลือกในแบงก์อื่นๆ มาใช้ แต่ต้องระมัดระวังในการกำหนดค่าและลำดับการติดต่อให้ดี มิฉะนั้นอาจทำให้การเขียนโปรแกรมเกิดความสับสน ดังนั้น สำหรับผู้เริ่มต้นใช้งานไมโครคอนโทรลเลอร์ MCS-51 จึงควรเลือกใช้รีจีสเตอร์ R0-R7 ในแบงก์ 0 เพียงแบงก์เดียวให้ชำนาญเสียก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
CY	AC	F0	RS1	RS0	OV	-	P

1. แฟลกซ์ตัวทด (Carry Flag : CF) บิตนี้เป็นบิตที่ 7 ของ PSW บิตนี้จะมีความสำคัญหากมีการกระทำทางคณิตศาสตร์โดยบิตนี้จะเซ็ต เมื่อเกิดการทดของบิตที่ 7 ขณะที่ทำการบวกเลข หรือเซ็ตเมื่อเกิดการยืมของบิตที่ 7 เมื่อเกิดการลบเลข
2. แฟลกซ์ตัวช่วยทด (Auxiliary Carry Flag) เมื่อมีการบวกแบบ Binary – Code – Decimal (BCD) บิต แฟลกซ์ตัวช่วยทด (AC) หรือบิตตัวช่วยทดจะถูกเซ็ต เมื่อมีการทดจากบิตที่ 3 ไปบิตที่ 4 หรือถ้าใน Lower Nibble มีค่าระหว่าง 0AE - 0FH เนื่องจากรหัส BCD นี้มีค่าได้มากที่สุดแค่ 9 ถ้าหากมีการบวกเลขแบบ BCD จะต้องตามด้วยตำสั่ง DAA (Decimal Adjust Accumulator) เพื่อปรับค่าที่มีค่าเกิน 9 โดยบวกเลข 6 เข้าไป จะทำให้เป็นรหัส BCD ที่แทนเลขฐานสิบได้
3. แฟลกซ์ศูนย์ (Flag 0) เป็นแฟลกซ์ที่สามารถใช้งานทั่วไปได้
4. บิตเลือกชุดรีจิสเตอร์ (Register Bank Select Bits) ตามที่ทราบมาแล้วว่าใน MCS-51จะมีชุดรีจิสเตอร์อยู่ 4 ชุด ถ้าจะเลือกให้ชุดใดแอคทีฟจะกำหนดได้ในบิต RS1 และ RS2 ของ PSW และจะเคลียร์ ตัวเองเมื่อระบบถูกรีเซ็ต ถ้าหากต้องการต่อกับชุดรีจิสเตอร์ 3 โดยย้ายข้อมูลจาก R7 (ตำแหน่ง 1FH) มาเก็บในแอคคิวมูลเลเตอร์
5. แฟลกซ์ค่าเกิน(Overflow Flag) แฟลกซ์ OV จะถูกเซ็ต หลังจากการกระทำทางคณิตศาสตร์แล้วเกิดค่าเกิน คือจำนวนที่เกิดจากการบวกหรือลบ มีค่าเกินกว่าจำนวนไบต์จะเป็นไปได้คือมากกว่า +128 หรือน้อยกว่า -127 ตัวอย่างเช่น ถ้าเกิดการบวกเลขสองจำนวนนี้จะเกิดการเซ็ตบิต OV ขึ้นใน PSW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. บิตพาริตี้ (Parity Bit) พาริตี้บิต (P) เป็นบิตที่บอกค่าพาริตี้ของรีจิสเตอร์ แอคคิวมูลเลเตอร์ซึ่งอาจเป็นตัวตรวจสอบความถูกต้องของข้อมูลได้ โดยจะเซ็ตหรือเคลียร์ขึ้นกับแอคคิวมูลเลเตอร์ เช่น ถ้าแอคคิวมูลเลเตอร์มีค่าเป็น 10101101B บิต P จะเป็น "1"

4.3.7 รีจิสเตอร์ B (B Register)

รีจิสเตอร์ B จะอยู่ตำแหน่ง F0H ของหน่วยความจำข้อมูลภายใน เป็นรีจิสเตอร์ที่สามารถใช้งานทั่วไปได้ โดนทั่วไปรีจิสเตอร์นี้จะใช้คูณ หรือหารกับรีจิสเตอร์แอคคิวมูลเลเตอร์ เช่น การทำคำสั่ง MUL AB ซึ่งเป็นการคูณแบบ 8 บิต โดยผลลัพธ์ที่ได้จะมีขนาด 16 บิต ซึ่งรีจิสเตอร์ A จะเก็บค่า 8 บิตต่ำ และรีจิสเตอร์ B จะเก็บค่า 8 บิตสูง สำหรับการหารโดยการทำคำสั่ง DIV AB โดยค่าใน A จะถูกหารด้วย B ผลลัพธ์ที่ได้จะเก็บในรีจิสเตอร์A และ B โดย B จะเก็บค่า 8 บิตต่ำ ส่วน A จะเก็บค่า 8 บิตสูง รีจิสเตอร์B นี้สามารถเข้าถึงข้อมูลระดับบิตได้ โดยตำแหน่งของบิตคือตำแหน่ง F0H ถึง F7H

4.3.8 ตัวชี้สแตค (Stack Pointer)

ตัวชี้สแตค (SP) เป็นรีจิสเตอร์ขนาด 8 บิต อยู่ที่ตำแหน่ง 81H การเขียนค่าเข้าไปในตำแหน่งที่ตัวชี้สแตคชี้อยู่นี้ เรียกว่า "pushing" สำหรับการอ่านค่าที่ SP ชี้อยู่ เรียกว่า "Popping" ค่า ของตัวชี้สแตคจะเพิ่มขึ้นหนึ่งก่อนที่จะเขียนข้อมูลลงไป และจะลดลงไปหนึ่งเมื่ออ่านข้อมูลออกมาแล้ว หากโปรแกรมทำคำสั่ง Call จะใช้รีจิสเตอร์สแตคนี้เก็บค่าตำแหน่งเดิมของโปรแกรม (PC) ก่อนที่จะกระทำโปรแกรมย่อย เมื่อทำโปรแกรมย่อยเสร็จแล้วจะคืนค่าในสแตคให้กับโปรแกรมตามเดิม โดยปกติค่าโปรแกรมจะกำหนดให้อยู่ในแรมภายใน

4.3.9 รีจิสเตอร์ Data Pointer (DPTR)

รีจิสเตอร์นี้ใช้สำหรับชี้ตำแหน่งรหัสโปรแกรมหรือข้อมูลในหน่วยความจำโดยเป็น รีจิสเตอร์ขนาด 16 บิต ซึ่งประกอบด้วยรีจิสเตอร์ 2 ตัว คือ DPL ตำแหน่งที่ 82H โดยจะเก็บเป็น 8 บิตต่ำ และ DPH ตำแหน่งที่ 83H โดยจะเก็บค่า 8 บิตสูง รีจิสเตอร์ทั้งสองตัวนี้จะรวมกันกลายเป็นรีจิสเตอร์ขนาด 16 บิต ถ้าหากต้องหารเก็บค่า 55H ไปยังหน่วยความจำข้อมูลภายนอกตำแหน่งที่ 1000 H

4.3.10 รีจิสเตอร์พอร์ท (Port Register)

ใน MCS-51 ค่าของพอร์ทจะหมายถึงค่าของหน่วยความจำด้วย หากต้องการส่งข้อมูลจากพอร์ท ก็เพียงอ่านค่าจากตำแหน่งที่หน่วยความจำที่พอร์ทนั้นอยู่ใน MCS-51 พอร์ท 0 จะอยู่ที่ตำแหน่ง 80H, พอร์ท 1 จะอยู่ที่ตำแหน่ง 90H, พอร์ท 2 จะอยู่ที่ตำแหน่ง A0H และพอร์ท 3 จะอยู่ที่ตำแหน่ง B0H พอร์ท 0, 2 และ3 โดยทั่วไปแล้วจะไม่ใช้ถ้าหากมีการติดต่อกับหน่วยความจำภายนอกหรือพอร์ทพิเศษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(เช่น อินเทอร์รัพท์, พอร์ทสื่อสารอนุกรม) โดยปกติและแล้วจะใช้ พอร์ท 1 ในการติดต่อกับอุปกรณ์ภายนอกพอร์ททุกพอร์ทสามารถอ้างถึงข้อมูลในระดับบิตได้

4.3.11 รีจิสเตอร์เวลา (Timer Register)

ใน MCS–51 เบอร์ 8051 จะมีรีจิสเตอร์ที่ใช้นับและจับเวลาขนาด 16 บิต 2 ตัว คือ Timer 0 อยู่ที่ตำแหน่ง 8AH และ 8CH โดยตำแหน่ง 8AH หมายถึง TL0 ซึ่งจะเป็น 8 บิตต่ำ และ 8CH หมายถึง 8 บิตสูง TH0 รีจิสเตอร์อีกตัวคือ ไทม์เมอร์ 1 โดยแบ่งเป็น TL1 อยู่ที่ตำแหน่ง 8BH เป็น 8 บิตต่ำ TH1 อยู่ที่ตำแหน่ง 8DH เป็น 8 บิตสูง การใช้งานไทม์เมอร์ จะต้องกำหนดการใช้งานในรีจิสเตอร์ TMOD (Timer Mode Control Register) ซึ่งอยู่ที่ตำแหน่ง 88H เสียก่อน

4.3.12 รีจิสเตอร์พอร์ทอนุกรม (Serial Port Register)

MCS–51 จะมีพอร์ทสื่อสารอนุกรม (Serial Port) อยู่ภายในชิพ ซึ่งสามารถจะรับหรือส่งข้อมูลแบบอนุกรมให้เขียนข้อมูลไปที่รีจิสเตอร์ SBUF (Serial Data Buffer) ซึ่งอยู่ที่ตำแหน่ง 99H โดยถ้าต้องการส่งข้อมูลแบบอนุกรมให้เขียนข้อมูลไปที่รีจิสเตอร์นี้ ตัวพอร์ทอนุกรมสามารถโปรแกรมให้ทำงานได้ 4 โหมด โดยโปรแกรมผ่านรีจิสเตอร์ SCON (Serial Port Control Register) ตำแหน่ง 99H

4.3.13 รีจิสเตอร์อินเทอร์รัพท์ (Interrupt Port Register)

MCS–51 สามรถอินเทอร์รัพท์ได้ 5 ตำแหน่ง โดยมี 2 – priority ตัวอินเทอร์รัพท์จะไม่ทำงานหลังจากระบบถูกรีเซ็ต และทำงานหลังจากที่เขียนข้อมูลไปที่รีจิสเตอร์ IE หรือตำแหน่ง A8H ลำดับความสำคัญสามารถเซ็ตที่รีจิสเตอร์ IP หรือตำแหน่ง B8H

4.3.14 เพาเวอร์คอนโทรลรีจิสเตอร์ (PCON)

รีจิสเตอร์ PCON อยู่ที่ตำแหน่ง 87H ใช้หยุดการทำงานของ MCS–51 โดยจะหยุดจ่ายสัญญาณนาฬิกาให้ระบบ ทำให้ข้อมูลต่างๆ ภายใน MCS–51 ไม่มีการเปลี่ยนแปลง นอกจากนี้ลดพลังงานไฟฟ้าที่จ่ายให้ MCS–51 ลงด้วย

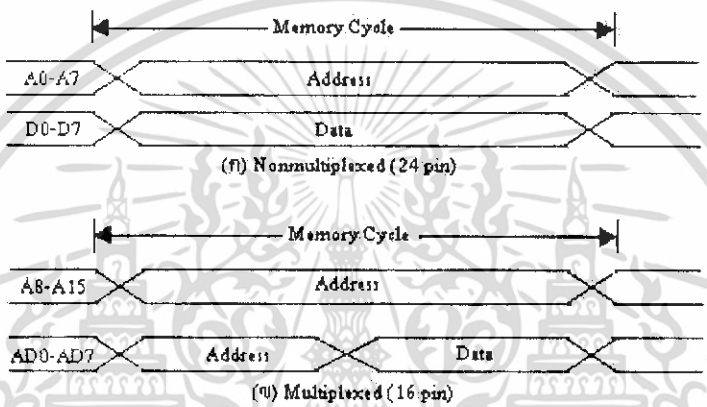
4.4 หน่วยความจำภายนอก (External Memory)

MCS–51 สามารถอ้างหน่วยความจำภายนอกได้ 64 กิโลไบต์ และอ้างหน่วยความจำโปรแกรมภายนอกได้ 64 กิโลไบต์ MCS–51 จะใช้พอร์ท 0 ในการอ้างตำแหน่งหน่วยความจำ 8 บิตล่าง และใช้พอร์ท 0 เป็นพอร์ทข้อมูล (Data) ด้วย โดยใช้ขา ALE มาคงค่าข้อมูลพอร์ท 0 และใช้พอร์ท 2 เป็นขาอ้างตำแหน่ง 8 บิตบน (รวมขาอ้างตำแหน่ง 16 เส้น ซึ่งอ้างได้ 64 กิโลไบต์) นอกจากพอร์ท 0 จะใช้งาน 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ในการติดต่อกับหน่วยความจำจะใช้ วิธีมัลติเพล็กระหว่างตำแหน่งกับข้อมูล พิจารณาจากรูป ถ้าต้องการติดต่อกับหน่วยความจำที่เก็บข้อมูล 8 บิต และเก็บได้ 64 กิโลไบต์ จะต้องใช้สายสัญญาณ 24 เส้น คือเป็นขาตำแหน่ง 16 เส้น และขาข้อมูล 8 เส้น ดังรูป

แต่ถ้าใช้วิธีมัลติเพล็กคือใช้ขา A0-A7 เป็นขาข้อมูลด้วยคือ D0-D7 จะใช้สายสัญญาณเพียง 16 เส้นเท่านั้น จากรูปที่ 2.6 จะเห็นว่าเมื่อต้องการติดต่อกับหน่วยความจำจะส่งสัญญาณตำแหน่ง A0-A15 ออกมาก่อน 16 เส้น และเวลาต่อมาขา A0-A7 จะถูกเปลี่ยนเป็น D0-D7



รูปที่ 4.3 ไดอะแกรมของกลุ่มสัญญาณที่ใช้อ่านข้อมูล

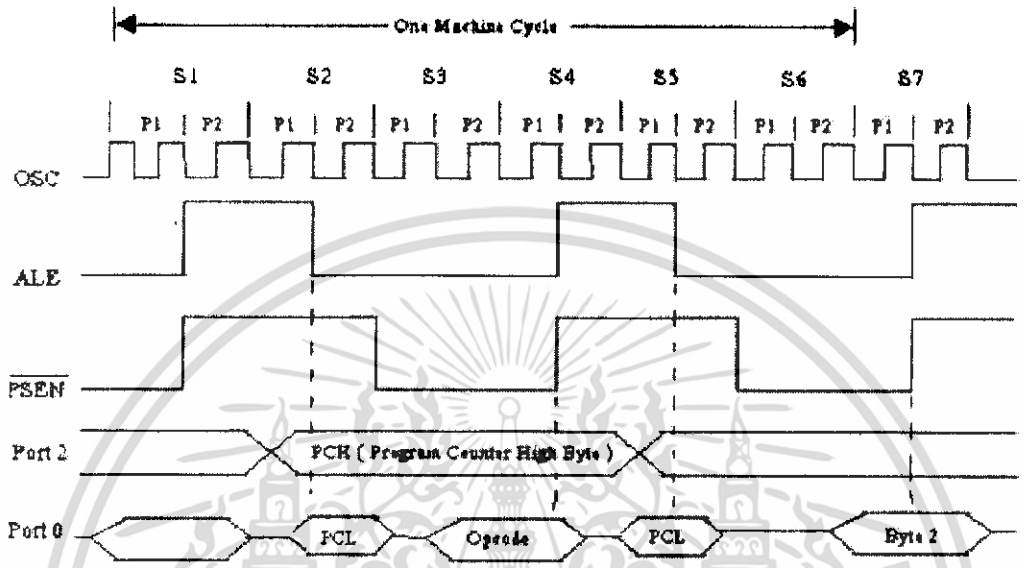
การติดต่อกับหน่วยความจำข้อมูลภายนอกหน่วยความจำข้อมูลภายนอก MCS–51 สามารถอ่านและเขียนได้ การติดต่อกับหน่วยความจำข้อมูลภายนอก MCS–51 จะส่งขากำหนดตำแหน่งออกไปทางพอร์ท 0 และพอร์ท 2 จากนั้นจะส่งขา ALE เพื่อไปคงค่าตำแหน่ง 8 บิตต่ำ โดยการอ่านเขียนข้อมูลนั้นจะใช้ขา RD (P.7)

และขา WR (P3.6) ตามลำดับ

การติดต่อกับหน่วยความจำโปรแกรมภายนอกในการอ่านข้อมูลจากหน่วยความจำโปแกรมภายนอก MCS–51 จะส่งค่าตำแหน่งของหน่วยความจำออกไปก่อน ซึ่งค่าตำแหน่งจะเก็บอยู่ใน PC โดยส่งออกไปทางพอร์ท 0 และพอร์ท 2 จากนั้นเวลาต่อมา ๚จะส่งขา ALE ให้เป็นลอจิก “0” เพื่อคงค่าตำแหน่งของ 8 บิตต่ำ คือพอร์ท 0 จากนั้นจะส่งสัญญาณทางขา PSEN ให้เป็นลอจิก “0” เพื่ออ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะได้ออปโค๊ด เข้าไปทางขาบัสข้อมูล คือพอร์ท 0 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำภายนอกแสดงได้ดังรูป 2.7



รูปที่ 4.4 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก

กระบวนการรีเซ็ต (Reset Operation)การรีเซตเป็นกระบวนการที่ทำให้ซีพียูในไมโครคอนโทรลเลอร์กลับไปเริ่มต้นทำงานใหม่ที่แอดเดรส 0000H ในหน่วยความจำโปรแกรม พร้อมกันนั้นยังส่งผลให้เกิดการเคลียร์ค่าของข้อมูลในรีจีสเตอร์ภายในไมโครคอนโทรลเลอร์ และทำให้รีจีสเตอร์ทุกตัวกลับไปสู่สภาวะเริ่มต้นทำงานใหม่

ดังนั้นการรีเซตจึงอาจพิจารณาเสมือนการอินเตอร์รัปต์แบบหนึ่งก็ได้ และค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์คือ 0000H ที่แตกต่างกันคือ ในกระบวนการอินเตอร์รัปต์ค่าในรีจีสเตอร์ต่างๆ ก่อนหน้าการอินเตอร์รัปต์ จะยังคงอยู่ไม่เปลี่ยนแปลงจนกว่าจะมีการกระทำคำสั่งในโปรแกรมย่อยบริการอินเตอร์รัปต์แต่ในการรีเซตค่ารีจีสเตอร์ส่วนใหญ่จะเป็น 00H เว้นแต่รีจีสเตอร์พอร์ตที่จะเป็น 0FFH

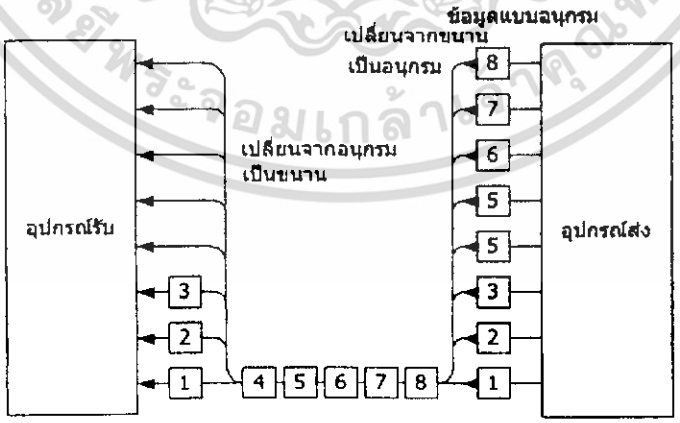
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การสื่อสารข้อมูลแบบอนุกรม

การสื่อสารข้อมูล เป็นการส่งสารดิจิตอล (Digital Information) ซึ่งโดยมากอยู่ในเลขฐานสอง จากแหล่งกำเนิดไปยังปลายทาง ข้อมูลจากแหล่งกำเนิดจะอยู่ในลักษณะสัญญาณอนาล็อกหรือสัญญาณดิจิตอลก็ตาม ข่าวสารจากแหล่งกำเนิด จะอยู่ในลักษณะสัญญาณดิจิตอล และข้อมูลที่รับได้ก็จะอยู่ในลักษณะดิจิตอลเช่นเดียวกัน ถึงแม้ว่าข้อมูลจะสามรถส่งได้ในลักษณะสัญญาณอนาล็อกหรือสัญญาณดิจิตอลก็ตาม ข่าวสารจากแหล่งกำเนิด อาจจะเป็นรหัสของตัวอักษร ตัวเลข หรือเครื่องหมายที่อยู่ในรูปแบบของเลขฐานสอง เช่น ASCII หรือรหัส EBCDIC ของไมโครโปรเซสเซอร์ (Microprocessor OP- Code), รหัสที่อยู่ของใช้ (User Address), โปรแกรมคอมพิวเตอร์, ข่าวสารข้อมูล(Data Base Information)

5.1การถ่ายโอนข้อมูลแบบอนุกรม

ข้อมูลจะถูกส่งออกมาทีละบิตระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวมาแล้วอย่างแน่นอน แต่สาเหตุที่มีการนิยมใช้การส่งแบบนี้กันก็เพราะตัวกลางที่ใช้ในการสื่อสารแบบนี้ จะต้องการเพียงช่องทางเดียวหรือสายเพียงคู่เดียว ทำให้ค่าใช้จ่ายในเรื่องของสื่อกลางถูกกว่าแบบขนาน สำหรับการส่งระยะไกลๆโดยเฉพาะเมื่อมีระบบสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการสะดวก ที่จะนำมาใช้เป็นการถ่ายโอนข้อมูลแบบอนุกรมได้



รูปที่ 5.1 การส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.1 แสดงให้เห็นว่าการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกไปทีละบิตไปยังจุดรับ ณ ที่จุดรับจะต้องมีกลไกในการส่งข้อมูลที่ส่งออกมาทีละบิต ให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดีนั่นคือ บิต 1 ลงที่ Data Bus เส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิตให้ลงพอดีนั้น จำเป็นที่จะต้องมีกลไกที่เหมะสมเพื่อป้องกันการผิดพลาดในการรับ กลไกที่ว่าแบ่งออกเป็น 2 แบบ คือ

1) การสื่อสารแบบ Synchronous

2) การสื่อสารแบบ Asynchronous

5.2 รูปแบบของการสื่อสารข้อมูลแบบอนุกรม

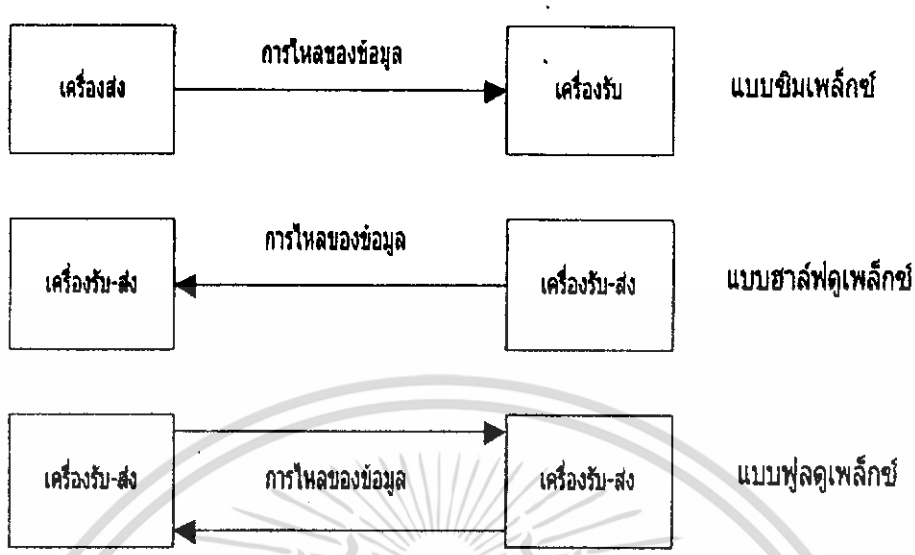
การติดต่อสื่อสารแบบอนุกรมอาจแบ่งตามรูปได้ 3 แบบ

1) แบบซิมเพล็ก (Simplex) ข้อมูลที่ถูกส่งได้ในทิศทางเดียวนั้นบางครั้งเรียกว่า การส่งทิศทางเดียว (Undirectional Data Bus) ในการสื่อสารแบบนี้อุปกรณ์ด้านหนึ่งจะส่งข้อมูลไปในช่องสัญญาณได้เท่านั้นและอุปกรณ์อีกด้านหนึ่งก็จะทำข้อมูลจากช่องสัญญาณเท่านั้น

2) แบบฮาล์ฟดูเพล็ก (Half duplex) หมายถึงการสื่อสารข้อมูลใน 2 ทิศทาง แต่ในช่วงเวลาหนึ่งจะได้เพียงทิศทางเดียวเท่านั้น อุปกรณ์สื่อสารทั้ง 2 ด้าน จะพลัดกันรับ - ส่ง การสื่อสารแบบนี้ส่วนใหญ่จะใช้ในระบบสาย 2 เส้น (2 Wire)

3) แบบฟูลดูเพล็ก (Full Duplex) หมายถึงการสื่อสารข้อมูลใน 2 ทิศทางพร้อมกัน การสื่อสารแบบนี้ใช้ได้ทั้งระบบสาย 2 เส้น (2 Wire) และสาย 4 เส้น (4 Wire) แต่ในระบบสาย 2 เส้น จะต้องอาศัยเทคนิคการแบ่งความถี่เข้าช่วย คือการส่งในความถี่ช่วงหนึ่งและจะรับในความถี่อีกช่วงหนึ่ง การสื่อสารข้อมูลแบบอนุกรมแสดงดังรูปที่ 5.2 แสดงรูปการสื่อสารข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 การสื่อสารแบบต่างๆ

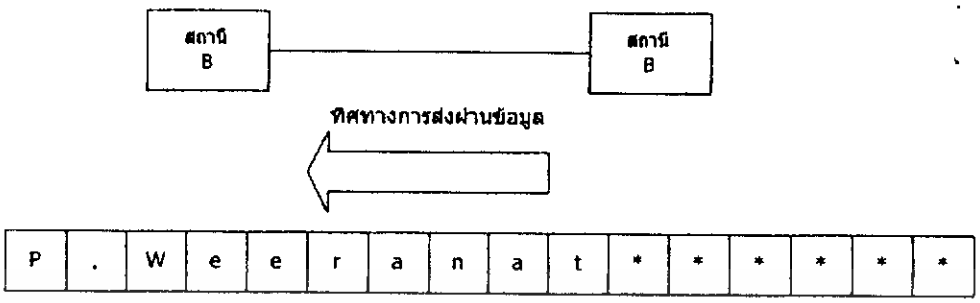
ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม หน่วยวัดข้อมูลเป็นบิตต่อวินาที (bps) และหน่วยที่บรรยายถึงความเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรต (Baud Rate) หรืออัตราบอด ซึ่งแสดงการส่งข้อมูลอนุกรมมากกว่า 1 บิต เขียนในรูปสมการคณิตศาสตร์จะได้

อัตราบิต (Bit Rate) = อัตราบอด (Baud Rate) * บิตใน 1 บอด

5.3 การส่งแบบซิงโครนัส (Synchronous Transmission)

การส่งแบบซิงโครนัสข้อมูลจะถูกจัดเป็นกลุ่มๆ และทำการส่งข้อมูลทั้งกลุ่มไปทีเดียว เรียกกลุ่มของข้อมูลในกุ่มนี้ว่า "Block of Data" และในการส่งข้อมูลในแบบซิงโครนัสนี้ ช่วงเวลาของแต่ละบิตที่ทำการส่งใช้เวลาเดียวกัน และในการส่งผ่านทั้งตัวอักษร ตัวอักษรแรกและตัวถัดไปจะไม่มีอะไรมาคั่น (ภายในบล็อกเดียวกัน) ดังนั้นช่วงเวลาระหว่างบิตสุดท้ายของตัวส่งผ่านจะต้องคิดในรูปแบบของระบบส่งผ่านข้อมูลที่อยู่ในรูปแบบของบิตที่แน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 การต่อเนื่องของข้อความที่ถูกส่งแบบซิงโครนัส

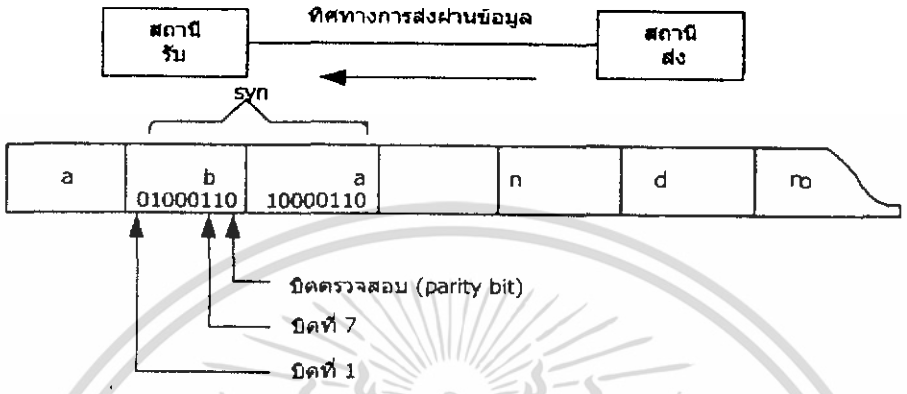
จากรูปที่ 5.3 แสดงให้เห็นการเอากลุ่มตัวอักษร (ข้อความที่ต้องการส่งผ่าน) มาเรียงต่อกันเพื่อเตรียมการส่งผ่านข้อมูลแบบซิงโครนัส จะเห็นได้ว่าตัวอักษรที่นำมาต่อกันเรียงชิดกัน โดยที่ไม่มีช่องว่างของตัวอักษรเลย หรือตามที่กล่าวมาแล้วว่าช่วงเวลาระหว่างบิตสุดท้ายของตัวอักษรตัวแรกกับบิตแรกของตัวอักษรตัวถัดไปเท่ากับศูนย์นั่นเอง ในเมื่อรูปแบบการส่งผ่านข้อมูลเป็นเช่นนี้ อุปกรณ์รับข้อมูลจะต้องทราบอะไรบ้าง จึงจะระบุลงไปว่าส่วนนั้นๆ เป็นกลุ่มบิตของตัวอักษรที่ถูกเข้ารหัสมา

สิ่งที่อุปกรณ์ด้านรับจะต้องทราบก็คือบิตใดเป็นบิตแรกของตัวอักษรตัวแรกขนาดตัวอักษร (จำนวนบิตที่ใช้แทนในหนึ่งตัวอักษร) และอีกประการหนึ่งก็คือความเร็ว ในการส่งผ่านข้อมูลอุปกรณ์รับข้อมูลจึงจะจัดกลุ่มของบิตออกเป็นกลุ่มๆ เพื่อแทนค่ากลับเป็นตัวอักษรตัวต่างๆ ที่รับเข้ามา อย่างเช่นกรณีที่ข้อมูลถูกส่งผ่านมาอยู่ในรูปของรหัสแอสกี้ (ASCII) ตัวอักษรแต่ละตัวจะถูกเข้ารหัสในรูป 8 บิต แทนหนึ่งตัวอักษร โดยมีบิตแรกเป็นบิตตรวจสอบ ดังนั้น อุปกรณ์รับข้อมูลจะตัดบิตออกเป็นกลุ่มละ 8 บิต เพื่อนำมาตีความเป็นตัวอักษรแต่ละตัวนั่นเอง

สำหรับวิธีการที่ระบุไปได้ว่า บิตใดเป็นบิตแรกของตัวอักษรตัวแรกนั้นมีวิธีการดังนี้ ตามที่ได้กล่าวมาแล้วว่าข้อมูลที่ถูกส่งผ่านโดยวิธีการซิงโครนัสนั้นจะถูก จับมารวมกลุ่มกันเป็นกลุ่มของข้อมูล (Block of Data) และที่ส่วนต้นของบล็อกจะใส่ตัวอักขระซิง (SYN Character) ซึ่งเป็นอักขระพิเศษที่ใช้ในการควบคุมการส่งผ่านข้อมูล โดยที่อักขระซึ่งมีรูปแบบของบิตคือ 00010110 (มีบิตตรวจสอบแบบเลขคี่: Odd parity) และอุปกรณ์รับข้อมูลจะคอยตรวจสอบดูขบวนบิตที่รับเข้ามาว่ามีส่วนใดตรงกับอักขระ SYN บ้าง เมื่อพบแล้วอุปกรณ์รับข้อมูลจะทราบได้ทันทีว่าถึงจุดเริ่มต้นที่จะตัดกลุ่มของบิตกลุ่มละ 8 บิต เพื่อแทนตัวอักษรได้ และตัวอักษรหลายๆตัวที่ตีความได้คือ ข้อความที่ส่งมาในแต่ละบล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่การใช้อักขระ SYN เพียงตัวเดียวใส่ไว้ที่ส่วนต้นของบล็อกยังเป็นวิธีการที่ไม่ถูกต้อง เพราะในกรณีขบวนของบิตที่แทนตัวอักษรมีบางช่วงที่ไปตรงกับรูปแบบของบิตอักขระ SYN ได้



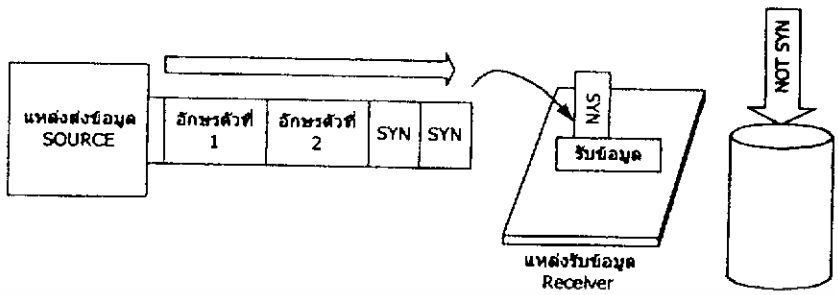
(a) กลุ่มที่เกิดขึ้นแล้วมีรูปแบบตรงกับอักขระ SYN

(b) การใช้อักขระ SYN 2 ตัวนำหน้าบล็อกของข้อมูล
ที่ส่งผ่านในระบบซิงโครนัส

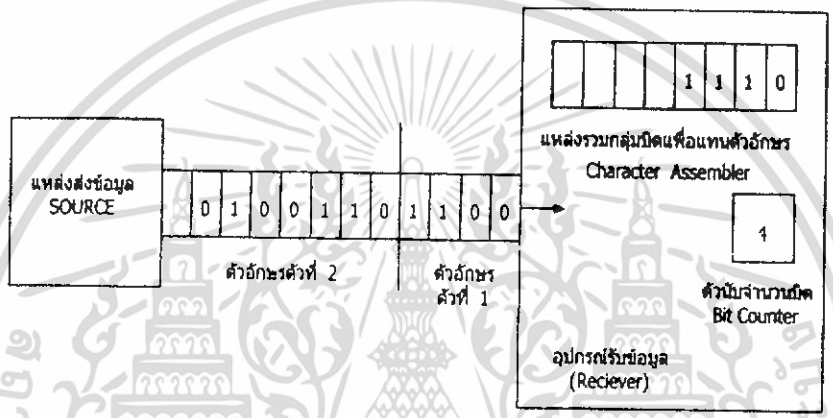
รูปที่ 5.4 (a) และ (b) รูปแบบการใช้อักขระ SYN นำหน้ากลุ่มตัวอักษร

จากรูปที่ 5.4 a จะเห็นได้ว่าถ้าส่งข้อความที่มีตัวอักษร b และ a ติดกัน 4 บิตของตัวอักษร b ต่อกัน 4 บิตแรกของตัวอักษร a ตรงกับอักขระ SYN พอดีจะทำให้อุปกรณ์รับข้อมูลตีความผิดพลาดได้ ดังนั้นวิธีการการแก้ไขข้อผิดพลาดที่เกิดขึ้นได้จากกรณีเช่นนี้โดยการใช้อักขระ SYN 2 ตัว ใส่ไว้ที่ส่วนต้นของบล็อก ดังแสดงในรูปที่ 5.4 b และอุปกรณ์รับข้อมูลจะต้องทราบข้อตกลงนี้เป็นอย่างดี โดยที่ทันทีที่ตรวจพบอักขระ SYN จะดูอีก 8 บิตถัดไปว่าเป็นอักขระ SYN ด้วยหรือไม่ ถ้าใช่จะเริ่มต้นรับว่าทุกๆบิตที่ตามมาคือ ตัวอักษรแต่ละตัว กรณีที่ไม่ใช่ก็จะเริ่มตรวจหาอักขระ SYN ต่อไป หรือกล่าวได้ว่าเครื่องจะปรับตัวเข้าสู่ภาคการค้นหา SYN (Look for Syncmode) และเมื่อพบอักขระ SYN อย่างน้อย 2 ตัว ก็จะเริ่มเข้าสู่ขบวนการจัดกลุ่มบิตกลุ่มละ 8 บิต แทนตัวอักษรหรือกลุ่มข้อมูลที่ได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 การเปรียบเทียบอุปกรณ์รับข้อมูลตรวจหาอักขระในระบบซิงโครนัส



รูปที่ 5.6 การตัดแถวของบิตออกกลุ่มละ 8 บิต เพื่อแทนตัวอักษรของอุปกรณ์รับข้อมูลในระบบการส่งผ่านข้อมูลแบบซิงโครนัส

จากรูปที่ 5.5 และ 5.6 คือขบวนการรับข้อมูลที่ส่งผ่านมาในระบบซิงโครนัส ในบางระบบการใช้อักขระ SYN นำหน้ากลุ่มข้อมูลอาจใช้อักขระ SYN ถึง 3-4 ตัวก็ได้ เพื่อความแน่นอนในการส่งข้อมูลแบบซิงโครนัสที่สมบูรณ์แบบยิ่งขึ้น

ถ้ากล่าวถึงการส่งผ่านข้อมูลแบบซิงโครนัสจะถูกเรียกว่า แฟล็ก (Flag) ความหมายก็คือ มีสัญญาณหรือไม่มี เช่นเดียวกับการใช้สัญญาณการโบกธง แต่ในทุกกรณีจะเห็นได้ว่า หลักของการส่งสัญญาณแบบซิงโครนัสนั้น จะต้องใช้เครื่องรับข้อมูลที่ปลายทางเข้าใจถึงลักษณะของบิตพิเศษที่ส่งมาเพื่อให้รู้ว่านี่คือ จุดเริ่มต้นของกลุ่มตัวอักษร (Block) ที่กำลังส่งเรียงกันเข้ามา

บัฟเฟอร์เทอร์มินอล (Buffer Terminal) เมื่อเราทำการส่งตัวอักษรหลายๆตัวโดยระบบจัดกลุ่มเข้าเป็นบล็อกตามระบบของการซิงโครนัส ดังนั้น สภาวะของการส่งข้อมูลจึงเป็นเรื่องที่ต้องคำนึงถึง

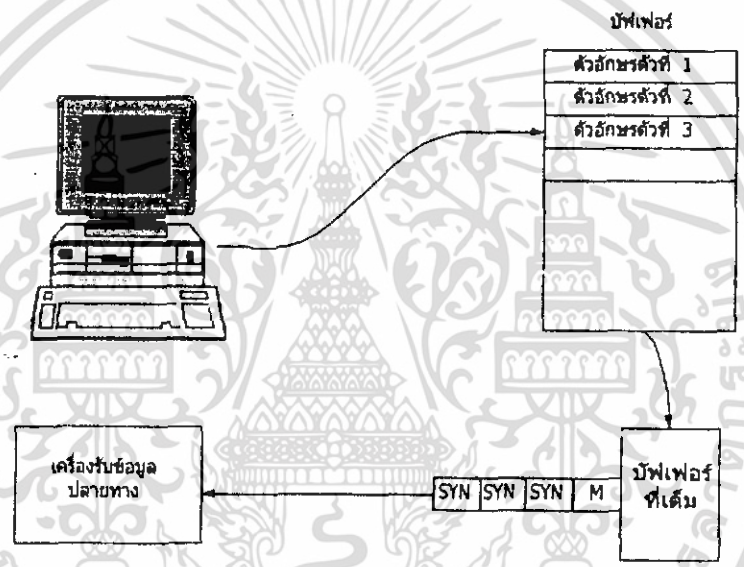
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอย่างมาก เราทราบแล้วว่า ผู้ป้อนข้อมูลจะต้องพิมพ์ข้อมูลเข้าทางแป้นพิมพ์ จากนั้นข้อมูลจะถูกส่งออกไปตามสาย เพื่อไปยังสถานีปลายทางเหตุนี้จึงมีข้อควรพิจารณา 2 ข้อ คือ

1) ผู้พิมพ์ข้อมูลป้อนเข้าเครื่องไม่สามารถรักษาระดับความห่าง

2) ความเร็วในการส่งข้อมูลตามสาย จะมีความเร็วสูงกว่าที่ผู้ป้อนจะพิมพ์ข้อมูลมาก

ด้วยเหตุผล 2 ข้อนี้จึงต้องสร้างบัฟเฟอร์เทอร์มินอลขึ้น ซึ่งหมายถึง เครื่องเทอร์มินอลจะต้องมีหน่วยความจำเพื่อเป็นที่รวบรวมอักษรขึ้น ดังรูปที่ 5.7 ซึ่งแสดงให้เห็นถึงเทอร์มินอลมีหน่วยความจำอยู่ด้วย หน่วยความจำประเภทนี้จะมีชื่อเรียกพิเศษว่า บัฟเฟอร์ (Buffer) เมื่อเป็นเช่นนี้ผู้ป้อนข้อมูลก็จะพิมพ์ตัวอักษรเข้าเครื่องเทอร์มินอลได้สบาย



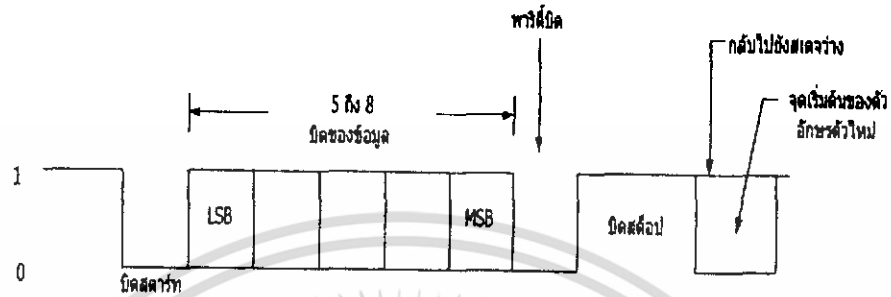
รูปที่ 5.7 การใช้บัฟเฟอร์ช่วยในการส่งข้อมูลแบบซิงโครนัส

5.4 การส่งแบบอะซิงโครนัส

การส่งผ่านข้อมูลแบบซิงโครนัสนี้ พัฒนาจากการส่งโทรพิมพ์ในสมัยก่อน ลักษณะของสัญญาณแสดงในรูปที่ 5.8 เพื่อเพิ่มกลไกในการรับส่งอย่างถูกต้อง สัญญาณอะซิงโครนัสประกอบไปด้วยหรือบิตสตาร์ท (Start Bit) ขณะที่สถานะของการส่งเป็นแบบว่าง (Idel) คือยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือมีแรงดัน (หรือกระแส) ตลอดเวลา เพื่อความแน่ใจว่าฝ่ายรับยังติดต่ออยู่กับฝ่ายส่ง เมื่อเริ่มจะส่งสัญญาณของอะซิงโครนัสจะเป็น "0" หนึ่งช่วงสัญญาณนาฬิกาบิตนี้เรียกว่าสตาร์ทบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามหลังของสัญญาณสตาร์ทบิตก็จะเป็นข้อมูลสำหรับ 1 ตัวอักษรซึ่งอาจจะมีขนาดตั้งแต่ 5 บิต ไปถึง 8 บิต โดยบิตที่ค่าน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนใส่ไปจนถึงบิตที่มีค่ามากที่สุด (MSB)



รูปที่ 5.8 การเรียงบิตในแต่ละเฟรมของอะซิงโครนัส

สำหรับสัญญาณอะซิงโครนัส หลังจากบิตพาริตี้แล้วก็ต้องมีสต็อปบิตซึ่งในความกว้างของสต็อปบิตอาจจะเป็น 1, 1.5 หรือ 2 บิตแต่ผู้รับผู้ส่งตกลงกัน การเริ่มใช้พอร์ตอนุกรมจึงจำเป็นจะต้องตั้งค่าต่างๆ สำหรับการส่งแบบอนุกรม

1)ความเร็วในการส่ง

2)ความยาวรหัส 1 อักขระ

3)บิตตรวจสอบ

4)จำนวนสต็อปบิต

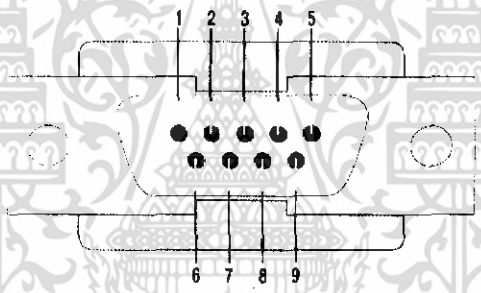
ในการส่งโทรพิมพ์หรือโทรเลข เมื่อก่อนนี้ใช้ความเร็วแค่ 70 บอด และ 110 บอด สำหรับคอมพิวเตอร์ความเร็วในการส่งมีให้เลือกตั้งแต่ 110, 200, 300, 2400, 4800, 9600 บอด และมากกว่านี้ เนื่องจากมาจากไอซีหลายเบอร์ทำหน้าที่รับส่งแบบอะซิงโครนัสให้ใช้ การส่งอนุกรมจึงสบายสำหรับการออกแบบพอร์ตอนุกรม

ความเร็วในการรับส่งข้อมูลแบบอนุกรมบอกเป็นจำนวนบิตต่อวินาที(bitsper second:bps) ที่เรียกว่าบอดเรต (baud rates) พอร์ตอนุกรมของ MCS-51 สามารถติดต่อกับเครื่องคอมพิวเตอร์ส่วนบุคคลได้ แต่ต้องกำหนดอัตราเร็วให้เท่ากัน ในการสื่อสารทางพอร์ตอนุกรม RS-232 ของคอมพิวเตอร์ PC ได้กำหนดอัตราเร็วไว้หลายค่าตั้งแต่ 100 ถึง 9600 bps สำหรับคอมพิวเตอร์ที่ใช้ไมโครโพรเซสเซอร์เพนเทียมสามารถส่งข้อมูลได้ความเร็วสูงถึง 56 กิโลบิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 มาตรฐาน RS 232

การสื่อสารแบบอนุกรมกับคอมพิวเตอร์ PC มักจะใช้รูปแบบมาตรฐาน RS-232 ซึ่งกำหนดโดย Electronics Industries Association หรือ EIA ในปี 1960 และได้มีการแก้ไขมาตรฐานในปี 1963,1965 และ 1969 เรียกว่า RS-232A, RS-232B และ RS-232C ตามลำดับ ระดับแรงดันของลอจิกที่ใช้ในการสื่อสาร RS-232 นั้นลอจิก "1" จะแทนด้วยแรงดัน -3 โวลต์ ถึง -25 โวลต์ ส่วนลอจิก "0" จะแทนด้วยแรงดัน +3 ถึง +25 โวลต์ แรงดันในช่วง +3 จะไม่ถูกกำหนดให้ใช้งานซึ่งจะเห็นว่าแรงดันดังกล่าวไม่สามารถใช้กับไมโครคอนโทรลเลอร์ตระกูล MCS-51 ได้ โดยทั่วไปแล้วถ้าหากต้องการให้ไมโครคอนโทรลเลอร์ติดต่อกับคอมพิวเตอร์ PC ตามมาตรฐาน RS-232 จะต้องออกแบบวงจรอิเล็กทรอนิกส์เพิ่มเติม แต่ในปัจจุบันจะใช้ไอซี MAX232 ทำหน้าที่เปลี่ยนระดับแรงดันทางลอจิกให้อยู่ในมาตรฐาน RS-232 แต่ถ้าหากจะให้ไมโครคอนโทรลเลอร์สองตัวสื่อสารกันจะไม่ใช้มาตรฐานนี้ก็ได้ ขาต่างๆ แสดงไว้ดังรูปที่ ขั้วต่อแบบ DB-9



รูปที่ 5.9 แสดงขาพอร์ตอนุกรมแบบ 9 PIN

ในระบบ RS-232 มีขาต่างๆ ที่สำคัญดังนี้

DSR (Data Set Ready) = สัญญาณบอกว่าโมเด็มพร้อมทำงานแล้ว

RST (Request to Send) = สัญญาณจากโมเด็มให้ PC พร้อมที่จะส่งข้อมูล

CTS (Clear to Send) = ตรวจสอบสัญญาณโมเด็มว่าพร้อมจะรับข้อมูลจาก PC

CD (Carrier Detect) = เมื่อใดที่ตรวจสัญญาณเจอที่ปลายทางของสัญญาณจะทำให้สัญญาณ Active

FG (Frame Ground) = สัญญาณจากโมเด็มให้ PC เตรียมพร้อม

TD (Transmit Data) = ส่งข้อมูลทีละบิตโดยเป็นลำดับไปที่โมเด็ม

RD (Receive Data) = รับข้อมูลทีละบิตโดยเป็นลำดับมาจากโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SG (Signal Ground) = ขากราวด์

RI (Ring Indicator) = ตรวจจับสัญญาณของโมเด็ม

*** ขาที่ 3 , 4 และ 7 เป็น Output, ขา 5 เป็นกราวด์ ส่วนขาที่เหลือเป็น Input ***

5.7.1 องค์ประกอบของการรับส่งข้อมูลแบบอนุกรม

การสื่อสารแบบอนุกรมที่นิยมใช้กับคอมพิวเตอร์นั้น เป็นการสื่อสารข้อมูลแบบ อะซิงโครนัสนั่นคือ ต้องใช้สายสัญญาณเส้นเดียวทำหน้าที่ทั้งส่งส่วนที่เป็นข้อมูล และส่วนที่ใช้เป็นส่วนการควบคุมการส่งข้อมูล ดังนั้นข้อมูลที่อ่านได้แต่ละบิตจากการส่งแบบอนุกรม จึงต้องถูกแยกแยะว่าใช้สำหรับวัตถุประสงค์ใด โดยเราสามารถแบ่งได้เป็น 4 ส่วนคือ

1. Start Bit ขนาด 1 บิต
2. บิตข้อมูล (Data Character) ขนาด 7 หรือ 8 บิต
3. Parity Bit ขนาด 1 บิต
4. Stop Bit ขนาด 1 หรือ 2 บิต

แต่ละตัวอักษรที่ถูกส่งออกไปเป็นกลุ่มจะประกอบไปด้วยบิตเริ่มต้น บิตข้อมูล บิตพาริตี้ (จะมีหรือไม่มีก็ได้) และบิตจบ โดยเราพอจะสรุปหน้าที่ของแต่ละส่วนได้ดังนี้

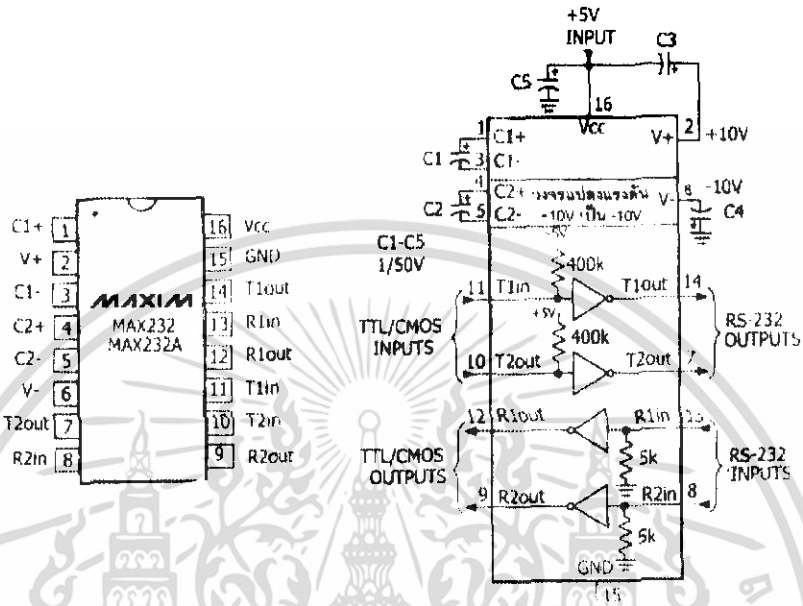
- **Start Bit** บิตเริ่มต้น จะใส่ที่จุดเริ่มต้นเสมอ เพื่อเตือนอุปกรณ์ฝ่ายรับว่าข้อมูลกำลังจะมาถึง
- **Data Character** บิตข้อมูล การส่งบิตข้อมูลจะส่งเป็นกลุ่มๆ โดยทั่วไปจะส่งเป็น 7 หรือ 8 บิต ซึ่งเพียงพอสำหรับการส่ง ASCII Word
- **Parity Bit** บิตพาริตี้ ใช้ในการตรวจสอบความถูกต้องของข้อมูลที่ส่ง เราจะใส่บิตพาริตี้เข้าไป แต่ทั้งตัวรับและตัวส่งจะต้องรู้กันว่าใช้พาริตี้แบบใดในการส่งข้อมูล
- **Stop Bit** บิตจบ เป็นบิตที่ส่งมาปิดท้ายข้อมูล

5.6 การเชื่อมต่อกับพอร์ตอนุกรมของคอมพิวเตอร์

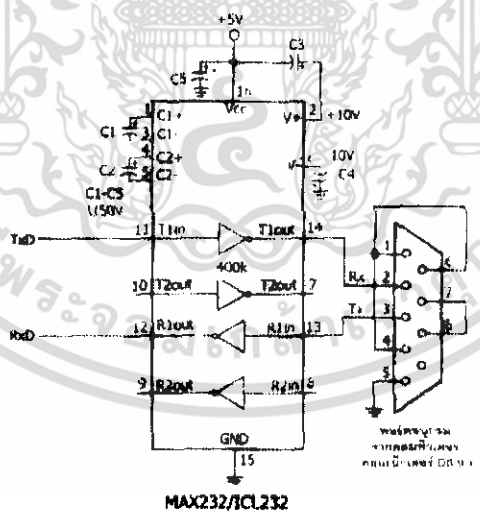
การใช้งานวงจรพอร์ตอนุกรมของไมโครคอนโทรลเลอร์ MCS-51 มักนิยมใช้ในการติดต่อเพื่อแลกเปลี่ยนข้อมูลกับคอมพิวเตอร์ผ่านพอร์ตอนุกรมในมาตรฐาน RS-232 เป็นส่วนใหญ่ แต่เนื่องจากระดับสัญญาณของพอร์ตอนุกรม RS-232 มีระดับตั้งแต่ ±3 ถึง ±12 โวลต์ในขณะที่ระดับสัญญาณของไมโครคอนโทรลเลอร์ MCS-51 อยู่ในระดับทีทีแอล ดังนั้นจึงไม่สามารถเชื่อมต่อพอร์ตอนุกรมของไมโครคอนโทรลเลอร์ MCS-51 เข้ากับพอร์ตอนุกรมของคอมพิวเตอร์ได้โดยตรง จึงอาศัยการเชื่อมต่อผ่านไอซีพิเศษที่ทำหน้าที่ในการแปลงระดับสัญญาณไอซีที่ทำหน้าที่ในการแปลงระดับสัญญาณนี้ต้องทำการแปลงข้อมูลส่งของไมโครคอนโทรลเลอร์ MCS-51 จากระดับทีทีแอลไปเป็นระดับของ RS-232 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการแปลงข้อมูลรับจากคอมพิวเตอร์จากระดับของ RS-232 เป็นระดับทีทีแอลเพื่อให้สามารถถ่ายทอดไปยังไมโครคอนโทรลเลอร์ MCS-51 ได้อย่างสมบูรณ์ ไอซีดังกล่าวมีด้วยกันหลายเบอร์จากหลายผู้ผลิต อาทิ MAX232 จาก MAXIM หรือ ICL232 จาก HARRIS เป็นต้น



รูปที่ 5.10 แสดงการจัดขาและโครงสร้างภายในของ MAX232



รูปที่ 5.11 แสดงวงจรเชื่อมต่อ MAX232 เข้ากับพอร์ตอนุกรมของคอมพิวเตอร์และไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
หลักการออกแบบและการทำงานของวงจร

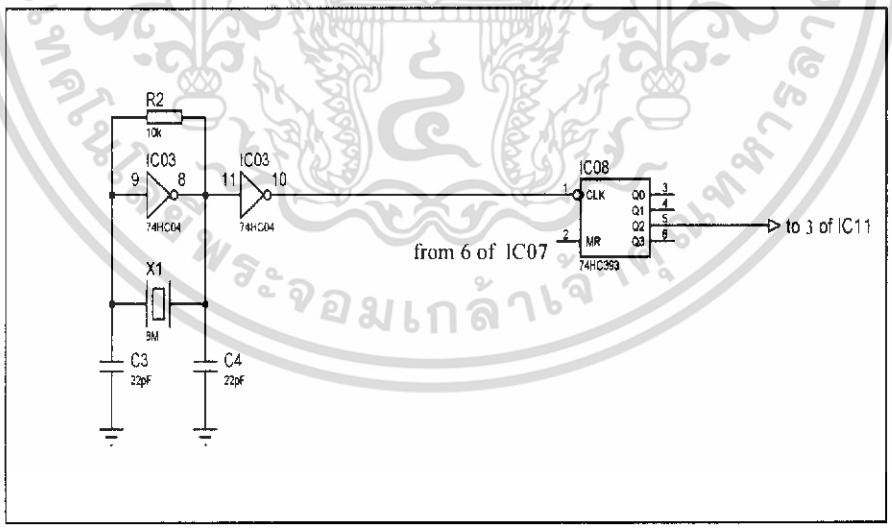
6.1 หลักการออกแบบวงจร

หลักการออกแบบจะต้องแปลงสัญญาณภาพไข่ที่ต้องการคัดซึ่งเป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล แล้วนำสัญญาณดิจิตอลที่ได้เก็บลงในหน่วยความจำ โดยสัญญาณดิจิตอลนั้นจะมีขนาด 8 บิต ซึ่งขึ้นอยู่กับระดับความสว่างของสัญญาณภาพ แล้วนำข้อมูลดิจิตอลที่อยู่ในหน่วยความจำไปประมวลโดยไมโครคอนโทรลเลอร์ โดยทำการเปรียบเทียบกับข้อมูลที่โปรแกรมไว้ในไมโครคอนโทรลเลอร์

6.2 หลักการทำงานของวงจร

6.2.1 การทำงานวงจรสร้างสัญญาณนาฬิกา 8 เมกกะเฮิรตซ์และวงจรหารความถี่

การทำงานของวงจรสร้างสัญญาณนาฬิกา 8 เมกกะเฮิรตซ์ จะใช้ออสซิลเลเตอร์ 8 เมกกะเฮิรตซ์ และนำสัญญาณนาฬิกาที่ได้ผ่านวงจรหารความถี่ให้เหลือความถี่ 1 เมกกะเฮิรตซ์ โดยใช้ไอซีไบนารีเคาน์เตอร์เบอร์ 74HC393 โดยสัญญาณเอาท์พุทถูกหารลง 8 เท่า ซึ่งก็จะเหลือ 1 เมกกะเฮิรตซ์ เป็นสัญญาณนาฬิกา กำหนดจังหวะการทำงานต่อไป

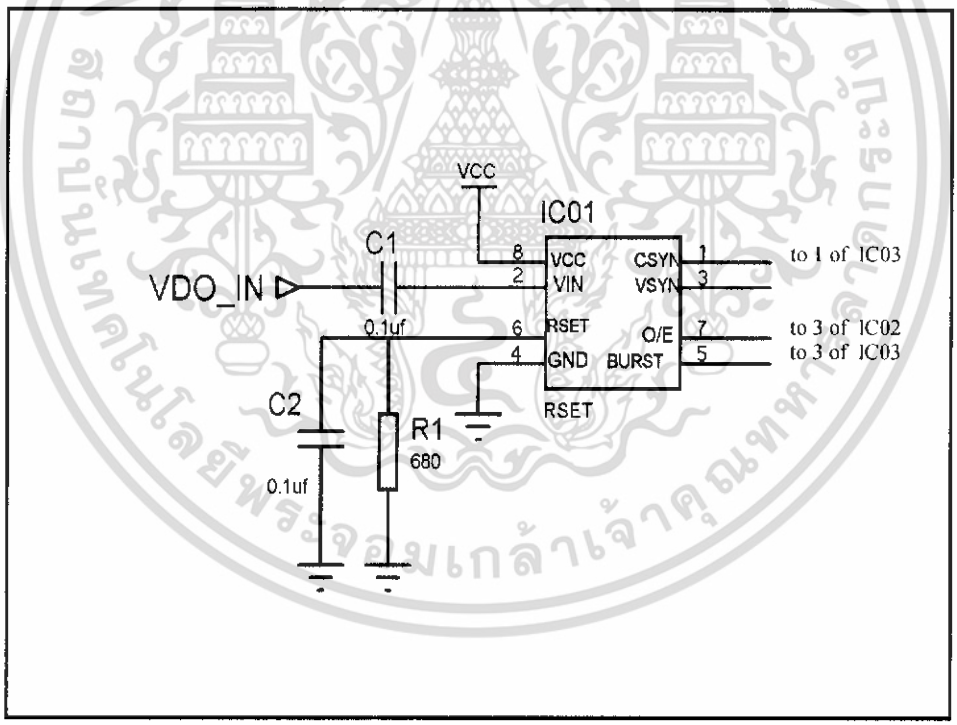


รูปที่ 6.1วงจรสร้างสัญญาณนาฬิกา 8 เมกกะเฮิรตซ์และวงจรหารความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2 การทำงานของวงจรแยกสัญญาณซิงค์

การทำงานของวงจรแยกสัญญาณซิงค์ จะใช้ไอซี LM1881 เป็นตัวแยกสัญญาณซิงค์ออกจากออกจากสัญญาณภาพ โดยสัญญาณภาพจากกล้องซึ่งเป็นสัญญาณคอมโพสิตวีดีโอจะเข้าที่ขา 2 (composite video input) คัปปลิ้งสัญญาณผ่านตัวเก็บประจุขนาด 0.1 ไมโครฟารัดเพื่อป้องกันสัญญาณดีซีจากกล้อง และทำการต่อค่าความต้านทานขนาด 680 กิโลโอห์ม และคาปาซิเตอร์ 0.1 ไมโครฟารัดเพื่อเป็นการกำหนดเวลาของวงจรผลิตความถี่ภายใน โดยสัญญาณเอาท์พุท ที่ได้คือสัญญาณคอมโพสิตซิงค์ความถี่ 15,625 เฮิรตซ์ , สัญญาณเวอร์ติคอลซิงค์ความถี่ 50 เฮิรตซ์ , สัญญาณฟิวส์คู่และฟิวส์คี่ความถี่ 25 เฮิรตซ์และสัญญาณ Burst/Back 15,625Hz โดยสัญญาณที่จะนำไปใช้เป็นสัญญาณควบคุมในส่วนของวงจรอื่นๆ

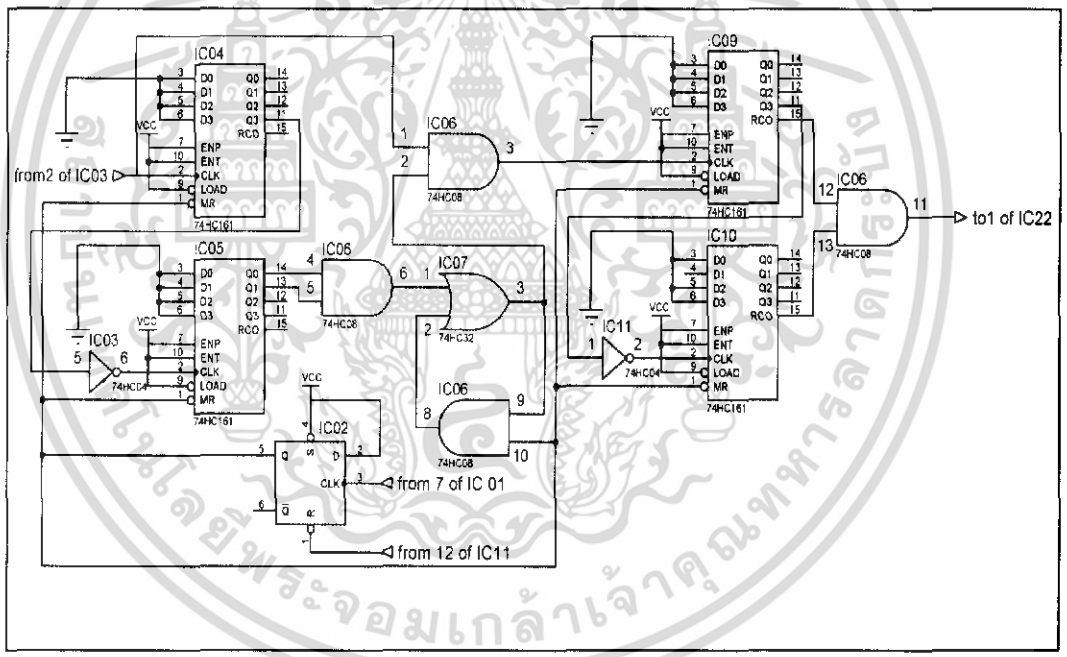


รูปที่ 6.2 แสดงวงจรแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.3 การทำงานของวงจรหน่วงเวลา

เพื่อให้การเก็บสัญญาณภาพมีความถูกต้องนั้น จะต้องใช้สัญญาณคู่/คี่ เพื่อบอกให้รู้จุดเริ่มต้นของสัญญาณภาพในเฟรมหนึ่งๆ และเพื่อเตรียมความพร้อมในการเริ่มเก็บสัญญาณภาพ แต่เนื่องจากในช่วงของเส้นสแกนแรกๆ จะไม่มีสัญญาณภาพอยู่ และเพื่อไม่ให้เปลืองหน่วยความจำจึงตัดการเก็บสัญญาณในช่วงแรกนี้โดยทำการหน่วงเวลา จะไม่เก็บสัญญาณภาพใน 48 เส้นแรก โดยใช้วงจรนับที่ใช้สัญญาณนาฬิกาจาก สัญญาณคอมโพสิทซิงค์ ซึ่งการเปลี่ยนแปลงของสัญญาณนาฬิกา 1ครั้งหมายถึง 1 เส้นสแกน และทำการเก็บสัญญาณภาพทั้งหมด 256 เส้นสแกนจากทั้งหมด 625 เส้นสแกน ในแต่ละเส้นสแกนจะเก็บสัญญาณภาพจำนวน 64 จุดภาพ โดยกำหนดจากสัญญาณนาฬิกา 1 เมกกะเฮิร์ต กำหนดอัตราการสุ่ม ทำให้ใน 1 ภาพเก็บข้อมูล 64x256 เท่ากับ 16,384 จุดภาพ และใช้วงจรนับเป็นตัวบอกให้ไมโครคอนโทรลเลอร์หยุดเก็บสัญญาณภาพเมื่อครบ 256 เส้นสแกน

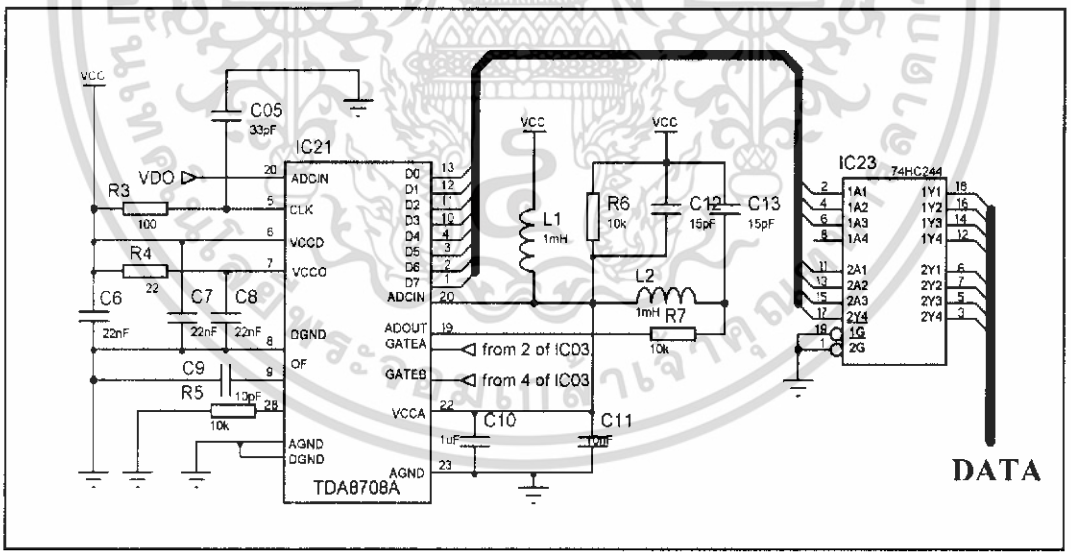


รูปที่ 6.3 แสดงวงจรหน่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.4 การทำงานวงจรแปลงอนาลอกเป็นดิจิตอล

วงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้ IC TDA8708 ซึ่งเป็นไอซี Video Analog Input Interface ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิต โดยใช้สัญญาณนาฬิกาในการสุ่ม 1 เมกกะเฮิรตซ์ โดยที่ IC TDA8708 สามารถให้อัตราการสุ่มได้ถึง 32 เมกกะเฮิรตซ์ และสามารถให้เอาท์พุทได้ 3 สถานะ ด้วยที่โครงงานต้องการวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีความเร็ว ดังนั้น IC TDA8708 จึงเหมาะสมสำหรับโครงงานนี้เพราะ IC TDA8708 เป็นแบบแฟลช ADC ซึ่งเป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่มีความเร็วที่สุดและในตัว IC TDA8708 จะมีฟังก์ชันพิเศษคือวงจรควบคุมการขยายอัตโนมัติ เพื่อให้สัญญาณมีขนาดที่เหมาะสม โดยนำสัญญาณเข้าขา 16 ซึ่งเป็นขาวีดีโออินพุท (VIN) จากนั้นสัญญาณจะผ่านวงจรควบคุมการขยายอัตโนมัติและส่งสัญญาณไปออกขา 19 (ANOUT) แล้วผ่านวงจรกรองความถี่ แล้วนำสัญญาณที่ได้เข้าที่ขา20 (ADC INPUT) เพื่อทำการเปลี่ยนเป็นสัญญาณดิจิตอล 8 บิตต่อไป และทำการเลือกโหมดที่ขา 9 (Output format/chip enable) ให้เป็นวงจรเปิด (open circuit) โดยการต่อคาปาซิเตอร์ที่มีขนาดมากกว่า 10 พิโคฟารัดเพื่อให้สัญญาณเอาท์พุทเป็นไบนารี
(Binary)

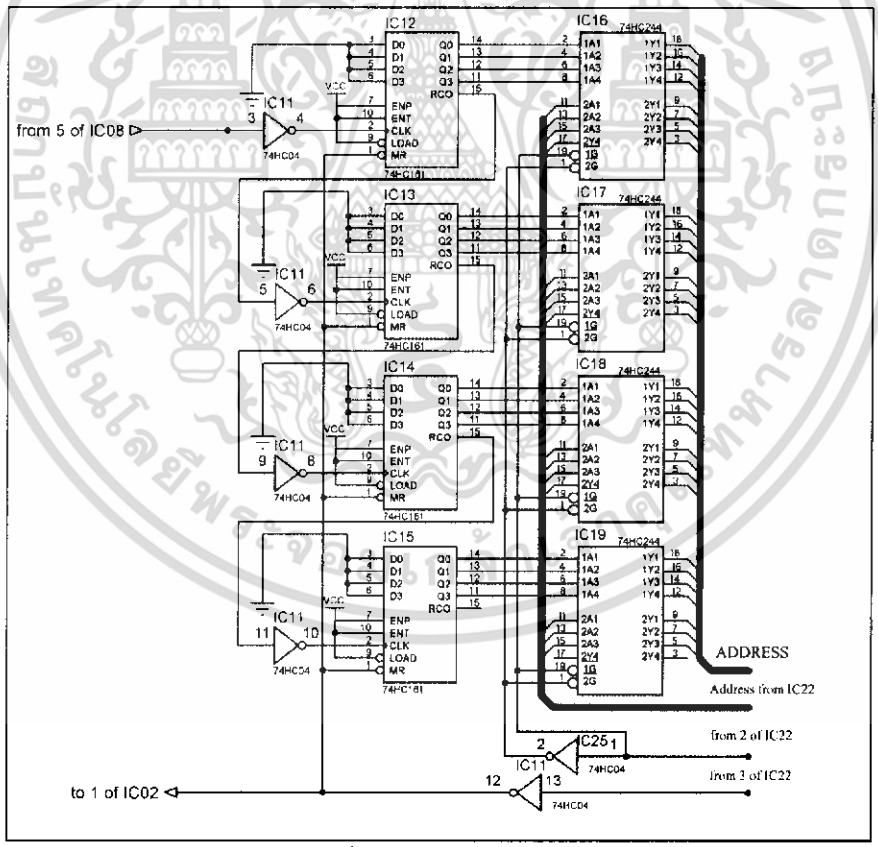


รูปที่ 6.4 แสดงวงจรการทำงานวงจรแปลงอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.5 การทำงานวงจรนับ

จากการเก็บภาพจะใช้ หน่วยความจำขนาด 16 กิโลไบต์ ดังนั้นจึงใช้แอดเดรสในการอ้างตำแหน่งจำนวน 14 เส้น โดยใช้ IC74HC161 ซึ่งเป็นแบบซิงโครนัสเคาน์เตอร์จำนวน 4 ตัว ต่ออนุกรมกันโดยให้สัญญาณเอาท์พุทสุดท้ายของวงจรนับตัวแรกมาผ่านอินเวอร์เตอร์เพื่อความถูกต้องของการนับ แล้วไปเข้าที่ขาสัญญาณนาฬิกา (Clock) ของวงจรนับตัวถัดไป แล้วก็นำสัญญาณเอาท์พุทสุดท้ายของวงจรนับตัวที่ 2 มาผ่านอินเวอร์เตอร์อีกแล้วไปเข้าที่ขาสัญญาณนาฬิกา (Clock) ของวงจรนับตัวถัดไป และทำอย่างนี้ไปจนครบวงจรนับตัวสุดท้าย ก็จะได้วงจรนับแอสเดรสครบตามที่ต้องการ โดยวงจรนับจะเริ่มทำงานเมื่อมีสัญญาณนาฬิกา 1 เมกกะเฮิรตซ์ เข้าที่วงจรนับตัวแรก และใช้ IC74HC244 (Buffer) เพื่อเลือกว่าจะใช้แอดแดรสที่มาจากวงจรนับหรือจากไมโครคอนโทรลเลอร์ โดยถ้าเป็นการเขียนข้อมูลลงหน่วยความจำจะใช้แอดแดรสที่มาจากวงจรนับและถ้าเป็นการอ่านข้อมูลที่อยู่ในหน่วยความจำจะใช้แอดเดรสมาจากไมโครคอนโทรลเลอร์

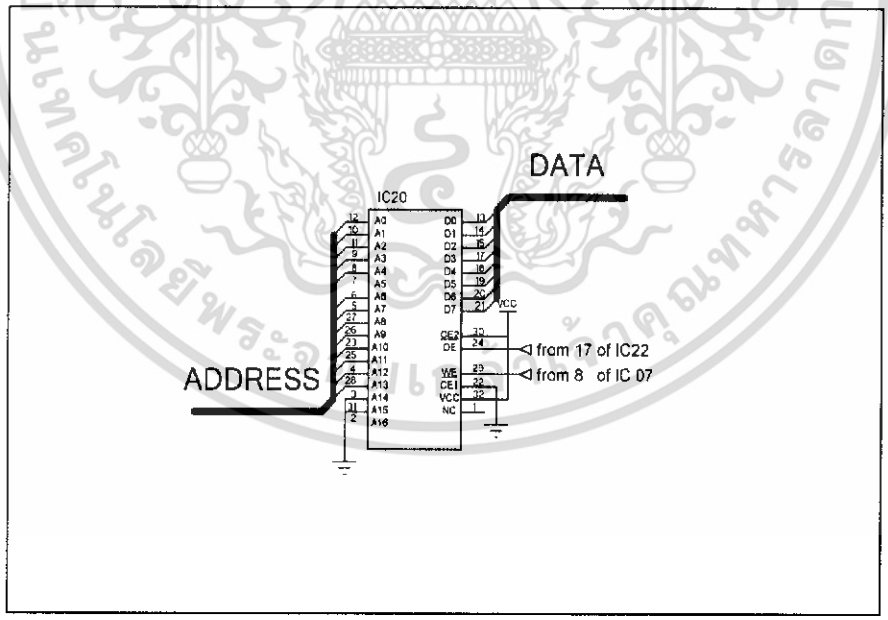


รูปที่ 6.5 แสดงวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

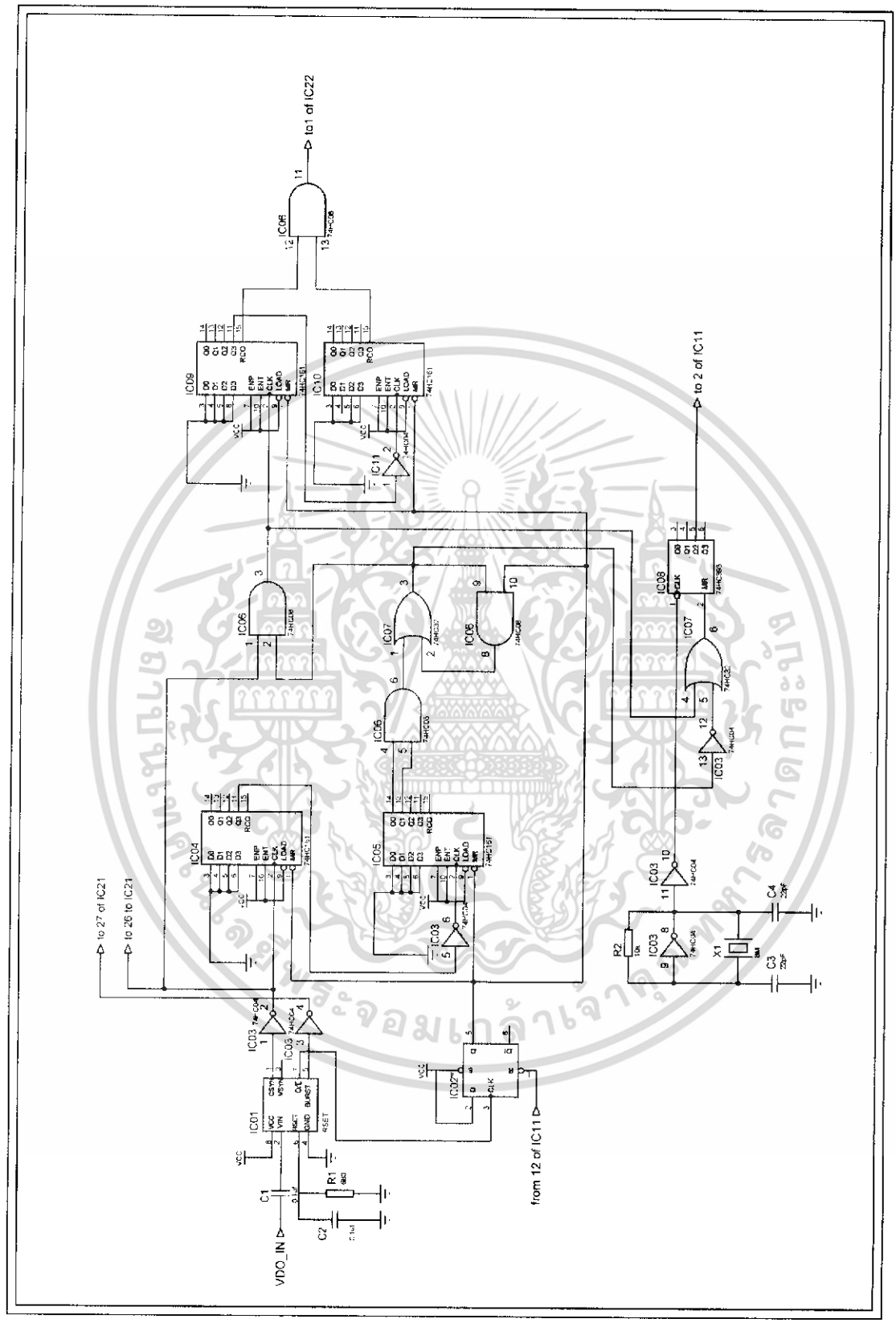
6.2.6 การทำงานวงจรหน่วยความจำ

จากโครงงานนี้จะใช้หน่วยความจำขนาด 128 กิโลไบต์ และเนื่องจากมีการเก็บรายละเอียดของภาพในหนึ่งเส้นสแกนจะเก็บ 64 จุดภาพ โดยจะเก็บทั้งหมด 256 เส้นสแกน ทำให้ได้ความละเอียด 16,384 จุดภาพ จึงใช้หน่วยความจำเพียง 16 กิโลไบต์ โดยการทำงานในช่วงแรกเมื่อวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลส่งสัญญาณดิจิตอลมารอที่ขาข้อมูล (Data input) แล้ว ไมโครคอนโทรลเลอร์จะทำการเลือกแอดแดรสที่มาจากวงจรนับ โดยควมคุมผ่านพอร์ต P1.1 และเมื่อวงจรมีการอ้างแอดเดรสให้กับหน่วยความจำแล้ว และกำหนดให้ขาเลือกชิป (CS) แอคทีฟ ในสภาวะเริ่มต้นจะไม่มีการเขียนข้อมูลลงในหน่วยความจำก่อนเมื่อไข่อยู่ในตำแหน่งที่กล้องวีดีโอสามารถจับภาพได้แล้ว ไมโครคอนโทรลเลอร์จะควบคุมให้สัญญาณการเขียน(WR) เกิดขึ้น โดยสัญญาณการเขียนนี้มาจากสัญญาณนาฬิกา 1 เมกกะเฮิร์ท เพื่อให้สัญญาณการเขียนมีความสัมพันธ์กับสัญญาณการสุ่ม และเมื่อมีการเขียนข้อมูลครบ 16 กิโลไบต์แล้ว ไมโครคอนโทรลเลอร์จะสั่งให้หยุดการเขียนข้อมูลโดยการควบคุมผ่านพอร์ต P1.2 และในส่วนของการอ่านข้อมูลนั้นไมโครคอนโทรลเลอร์จะใช้แอดแดรสที่มาจากตัวไมโครคอนโทรลเลอร์เอง โดยเลือกแอดเดรสผ่านพอร์ต P1.1 เช่นกัน

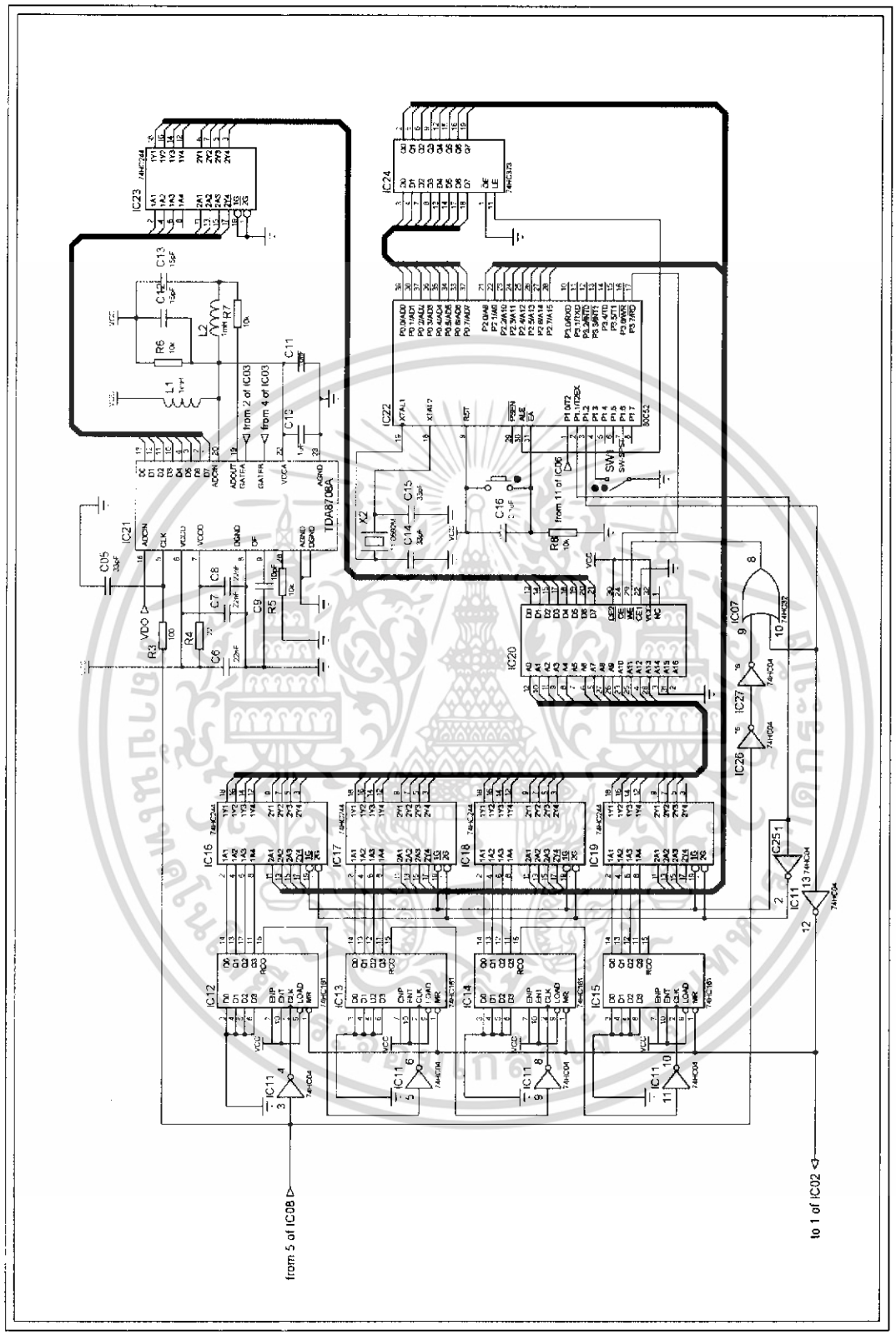


รูปที่ 6.6 แสดงวงจรหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

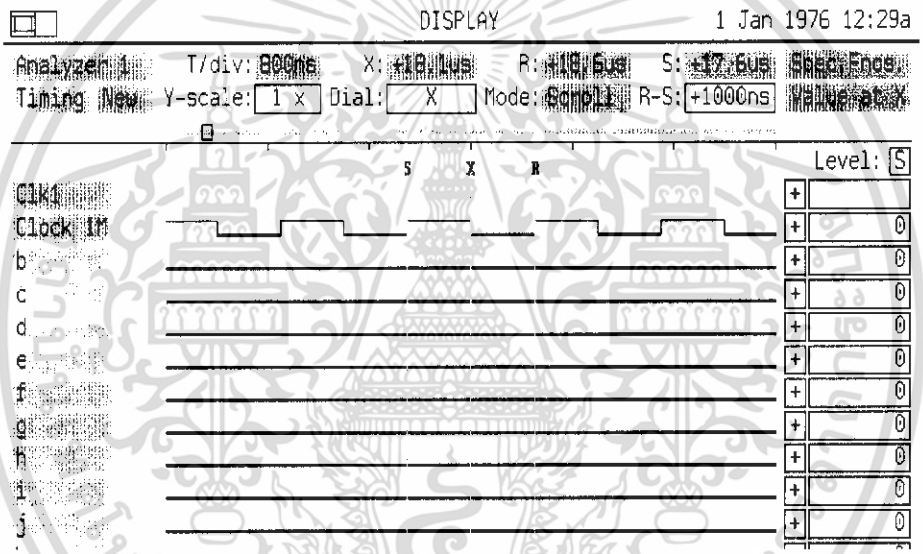
บทที่ 7

การทดลองและผลการทดลอง

7.1 การทดลองเกี่ยวกับสัญญาณต่างๆ

ทำการวัดผลของสัญญาณที่วงจรต่างๆ แล้วทำการบันทึกผลและวิเคราะห์สัญญาณที่วัดได้

7.1.1 ผลการทดลองของวงจรสร้างสัญญาณนาฬิกา 8 เมกกะเฮิรตซ์และวงจรหารความถี่จากสัญญาณที่วัดได้จะเป็นสัญญาณนาฬิกา 8 เมกกะเฮิร์ตซ์ ที่ผ่านวงจรหารความถี่ลง 8 เท่า พบว่าสัญญาณนาฬิกาที่วัดได้มีความถี่ 1เมกกะเฮิร์ต

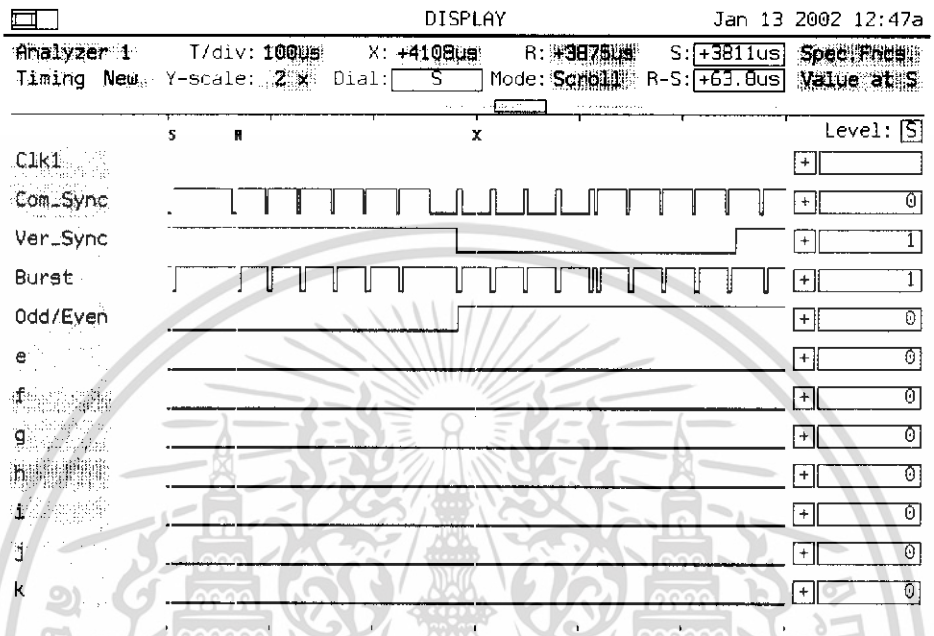


รูปที่ 7.1 สัญญาณนาฬิกา 1 เมกกะเฮิรตซ์

7.1.2 ผลการทดลองของวงจรแยกสัญญาณซิงค์

ทำการวัดสัญญาณของไอซี LM1881 เพื่อวัดสัญญาณคอมโพสิทวีดีโอ(Composite Sync)ที่ขา 1ของไอซี LM1881 สัญญาณเวอร์ติคอลซิงค์(Vertical Sync)ที่ขา 3 ของไอซี LM1881 สัญญาณเบิรสท์ (Burst) ที่ขา 5ของไอซี LM1881 และสัญญาณคี่/คู่(Odd/Even)ที่ขา 7 ของไอซี LM1881แล้วบันทึกสัญญาณที่วัดได้ พบว่าสัญญาณคอมโพสิทซิงค์ที่วัดได้จะมีคาบเวลา 63.8 ไมโครเซค สัญญาณอีควอไลซิงค์จะมีคาบเวลา 31.8 ไมโครเซค ส่วนสัญญาณเวอร์ติคอลซิงค์จะมีคาบเวลา 20 มิลลิเซค ส่วนสัญญาณคู่/คี่นั้น มีความถี่ 40 มิลลิเซค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

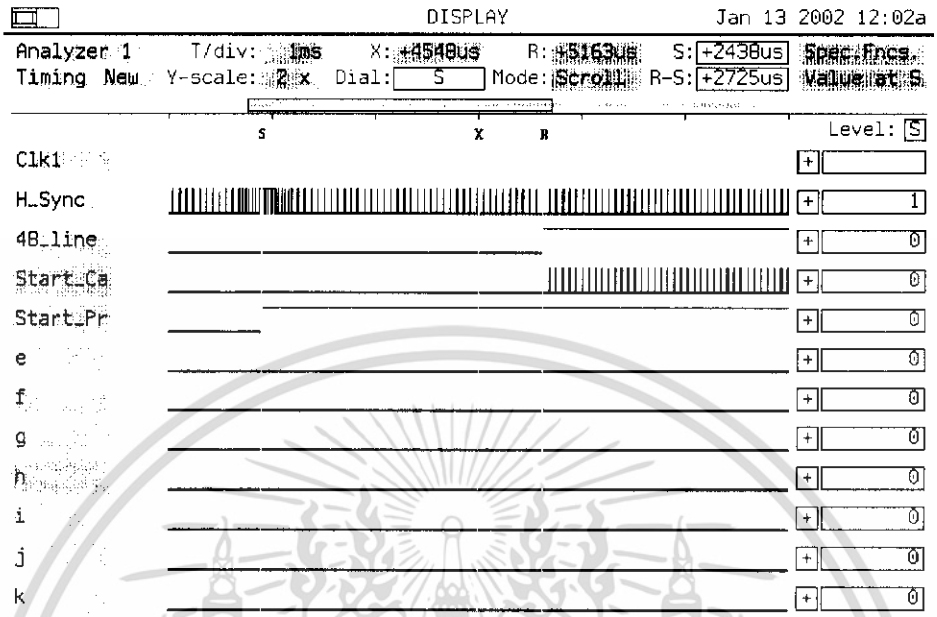


รูปที่ 7.2 สัญญาณจากวงจรแยกสัญญาณซิงค์

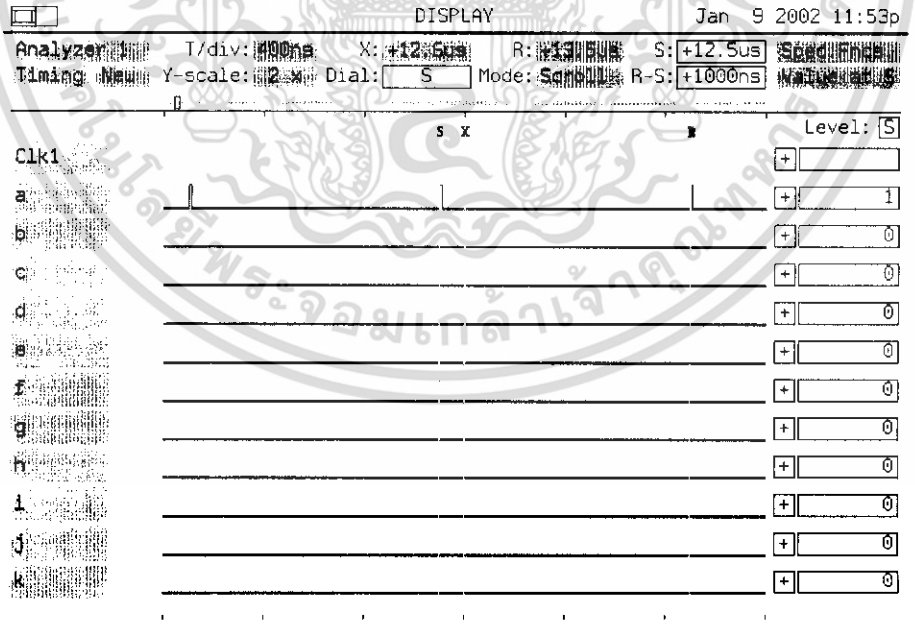
7.1.3 ผลการทดลองของวงจรหน่วงความถี่

จากการทดลองวัดสัญญาณของวงจรหน่วงความถี่ที่ทำการวัดที่ขา 1 ของไอซี 06วัดสัญญาณคอมโพสิตซิงค์ที่ใช้เป็นสัญญาณนาฬิกาสำหรับวงจรนับว่ามีการเก็บข้อมูลครบ 256 เส้นหรือไม่ วัดสัญญาณที่ขา 2 ไอซี 06 เพื่อวัดว่าเมื่อเกิดสัญญาณภาพเส้นแรกแล้ววงจรจะต้องหน่วงสัญญาณไป 48 เส้นก่อนมีการเก็บข้อมูล วัดสัญญาณที่ขา 1 ไอซี 02 เป็นสัญญาณในการควบคุมจังหวะการทำงานที่มาจากไมโครคอนโทรลเลอร์ วัดสัญญาณที่ขา 5 ไอซี 02 เป็นสัญญาณที่แสดงให้รู้ถึงเส้นแรกของสัญญาณภาพ และสุดท้ายวัดสัญญาณที่ขา 11 ไอซี 22 ซึ่งเป็นสัญญาณที่บอกให้ไมโครคอนโทรลเลอร์รู้ว่ามีการเก็บสัญญาณครบ 256 เส้นแล้ว จากผลที่บันทึกพบว่าในขณะที่สัญญาณควบคุมที่มาจากไมโครคอนโทรลเลอร์เปิดให้วงจรทำงาน(ลอจิก1) วงจรยังไม่มีการเก็บสัญญาณภาพ จนกว่าวงจรหน่วงเวลาจะหน่วงไป 48 เส้นก่อนถึงจะมีสัญญาณคอมโพสิตซิงค์และมีการเก็บสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 สัญญาณจากวงจรหน่วงเวลา

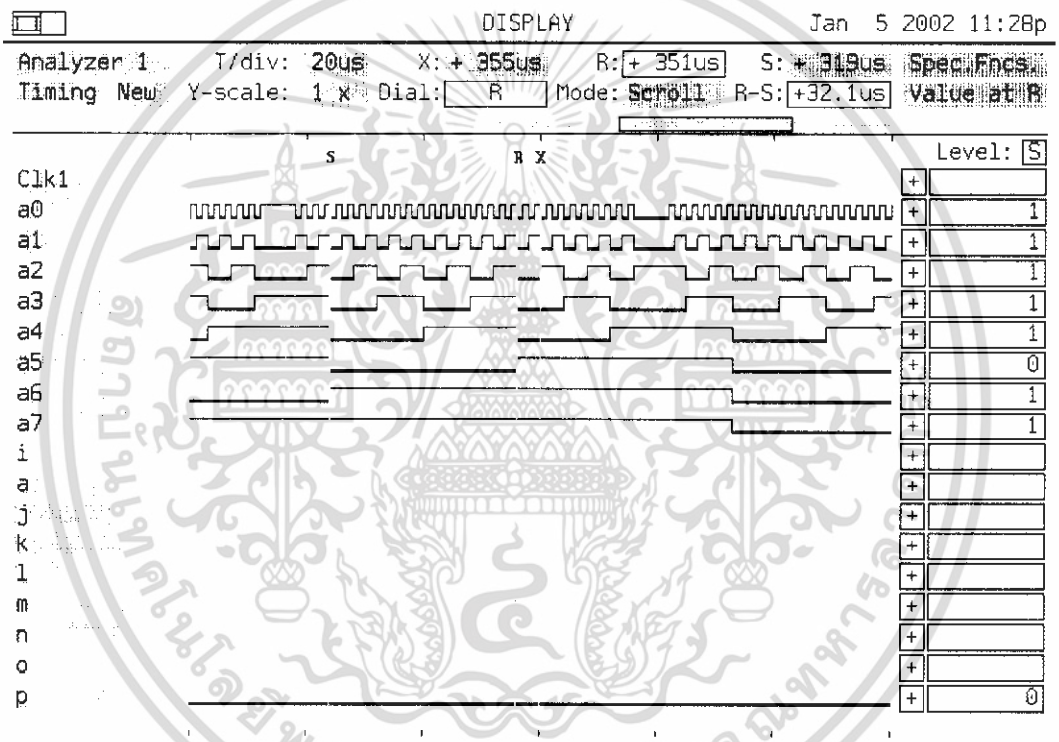


รูปที่ 7.4 สัญญาณนับเส้นสแกน 256 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.4 ผลการทดลองของวงจรนับ

ทำการวัดสัญญาณแอดเดรสที่มาจากวงจรนับเฉพาะแอดเดรสที่เป็นแอดเดรสบิตต่ำเท่านั้นเพราะว่าถ้าวัดสัญญาณครบทุกเส้นจะไม่เห็นความเปลี่ยนแปลงของแอดเดรสบิตต่ำๆ เมื่อพิจารณาดูสัญญาณจะเห็นว่าสัญญาณมีลักษณะที่ถูกต้อง และจะมีสัญญาณช่วงหนึ่งหยุดทำงานเพราะวงจรถูกออกแบบให้มีการเก็บสัญญาณภาพในช่วงที่มีภาพเท่านั้น

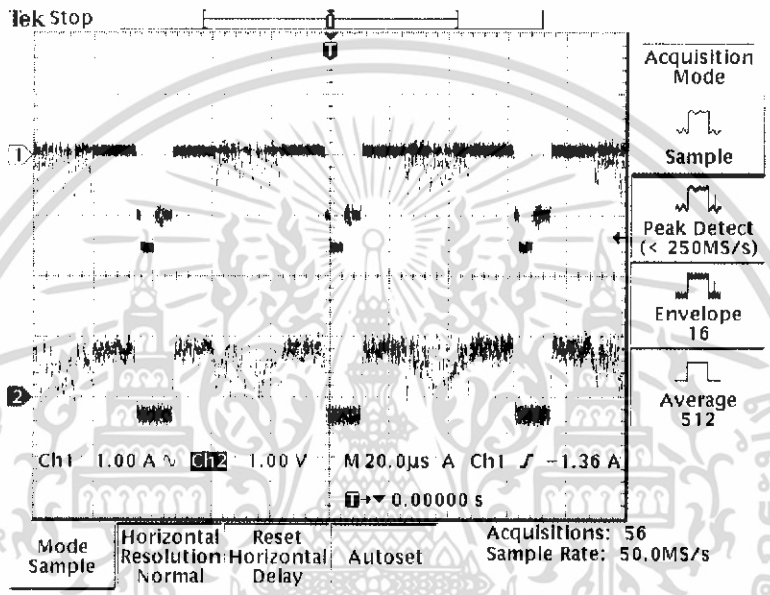


รูปที่ 7.5 สัญญาณวงจรนับแอดเดรสบิตต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.5 ผลการทดลองของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ทำการวัดสัญญาณสัญญาณอินพุทที่ขา 16 (วีดีโออิน) ของไอซี TDA8708 และนำสัญญาณสัญญาณดิจิตอลเอาต์พุต 8 บิต ที่ผ่านวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Lader-2R) พบว่าสัญญาณที่ได้จะมีความถูกต้องเหมือนกับสัญญาณอินพุท แต่จะมีความผิดเพี้ยนเล็กน้อยเท่านั้น



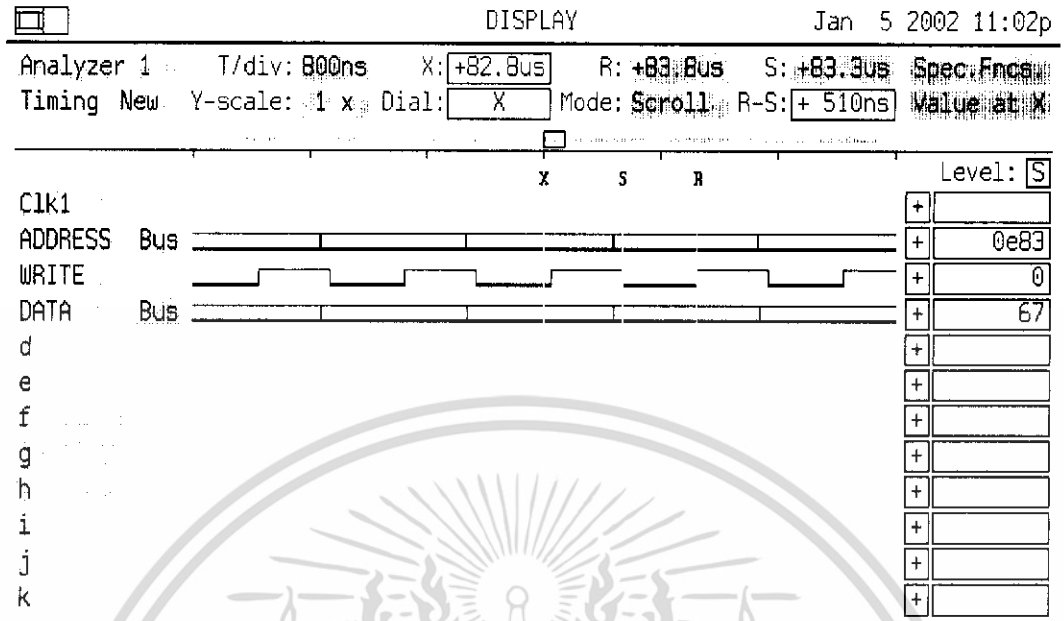
รูปที่ 7.6 สัญญาณการแปลงของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

7.1.6 ผลการทดลองการเก็บข้อมูลทางดิจิตอล

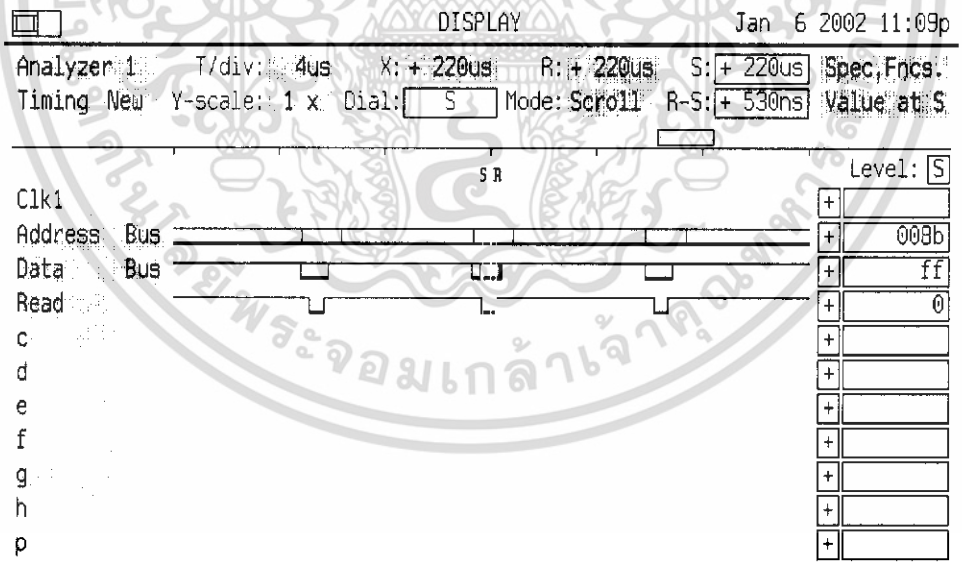
ทำการวัดสัญญาณการเขียนเปรียบเทียบกับสัญญาณแอดเดรสและข้อมูล พบว่าเมื่อมีสัญญาณการเขียนที่มีการเปลี่ยนจากสูงเป็นต่ำนั้นสัญญาณแอดเดรส และข้อมูล ไม่มีการเปลี่ยนแปลงแล้วหรืออาจกล่าวว่าในช่วงที่มีการเขียนข้อมูลนั้น แอดเดรสและข้อมูลไม่เปลี่ยนแปลงซึ่งเป็นไปตามข้อกำหนดของการเขียนข้อมูล และจะได้ข้อมูลในการเขียนที่ถูกต้อง และการอ่านก็เช่นกันคือ

ในช่วงที่มีการอ่านนั้นสัญญาณแอดเดรสและข้อมูลจะไม่มีการเปลี่ยนแปลง ซึ่งข้อมูลที่อ่านได้มีความถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

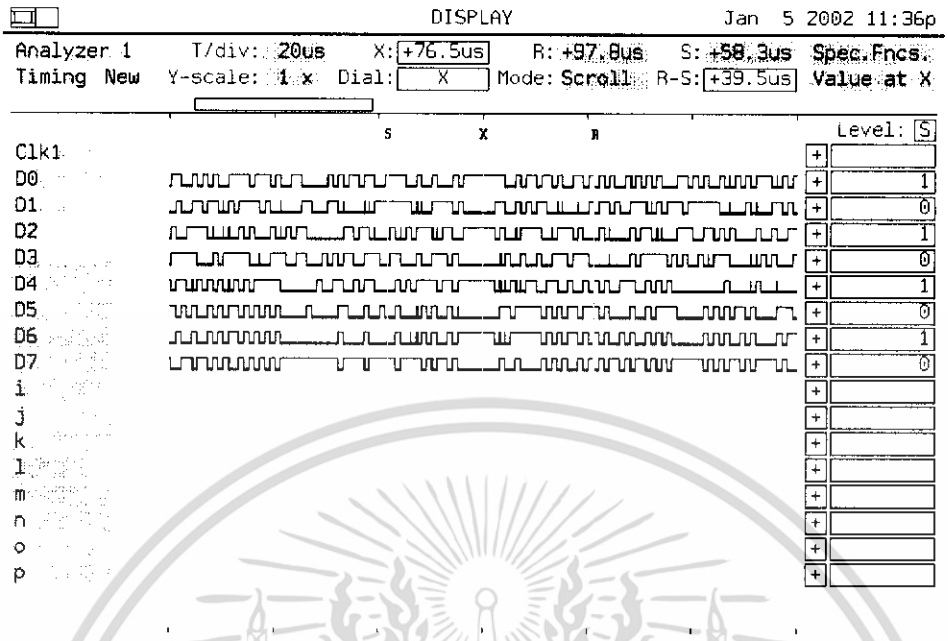


รูปที่ 7.7 แสดงสัญญาณการเขียน เทียบกับ สัญญาณแอดเดรส และ ข้อมูล



รูปที่ 7.8 แสดงสัญญาณการอ่าน เทียบกับ สัญญาณแอดเดรส และข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.9 แสดงสัญญาณข้อมูลอ่านออกจากหน่วยความจำ

7.2 การทดลองเกี่ยวกับการคัดขนาดไข่

นำไข่ที่เป็นเบอร์มาตราฐานตามท้องตลาดซึ่งมีจำนวน 6 เบอร์ มาหาค่าจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ โดยแสดงค่าออกทางพอร์ตอนุกรม โดยแบ่งการทดลองออกเป็น 4 การทดลองเพื่อหาความแม่นยำและความถูกต้องของไข่ในแต่ละเบอร์ โดยในแต่ละการทดลองออกแบบดังนี้คือ

การทดลองที่ 1 ทำการทดลองหาจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ทั้ง 6 เบอร์โดยในแต่ละเบอร์จะใช้ไข่ใบเดิมในการทดลอง แต่จะทำการหาจำนวนจุดภาพทั้งหมด 25 ครั้งของแต่ละเบอร์ภายในห้องทดลอง(กล่อง)

การทดลองที่ 2 ทำการทดลองหาจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ทั้ง 6 เบอร์ โดยในแต่ละเบอร์จะใช้ไข่จำนวน 4 ฟองในการทดลอง และในแต่ละฟองของทุกเบอร์จะทำการหาจำนวนจุดภาพทั้งหมด 25 ครั้ง ภายในห้องทดลอง (กล่อง)

การทดลองที่ 3 ทำการทดลองหาจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ทั้ง 6 เบอร์ โดยในแต่ละเบอร์จะใช้ไข่ใบเดิมในการทดลอง แต่จะให้แสงภายนอกมีการเปลี่ยนแปลงและจะทำการหาจำนวนจุดภาพทั้งหมด 25 ครั้ง ภายในห้องทดลอง (กล่อง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 ทำการทดลองหาจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ทั้ง 6 เบอร์ โดยการทดลองแต่ละครั้งจะใช้ไข่ใบเดิมในการทดลอง ที่อยู่ในสภาพแวดล้อมของแสงที่เป็นไปตามธรรมชาติของห้อง โดยไม่มีห้องทดลอง (กล่อง) และจะทำการหาจำนวนจุดภาพทั้งหมด 25 ครั้ง

7.2.1 การทดลองหาค่าจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ โดยในการทดลองจะใช้ไข่ใบเดิมของแต่ละเบอร์ แต่ทำการหาค่าจำนวนจุดภาพหลายๆ ครั้ง

ตารางที่ 1.แสดงจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ที่ทำการวัดหาจำนวนจุดภาพหลายๆครั้ง แต่ใช้ไข่ใบเดิมในแต่ละเบอร์

ครั้งที่	เบอร์5	เบอร์4	เบอร์3	เบอร์2	เบอร์1	เบอร์ 0
1	1319	1603	1635	2014	2084	2197
2	1308	1611	1690	1940	2085	2244
3	1307	1585	1687	1996	2100	2239
4	1318	1558	1661	2011	2041	2269
5	1296	1633	1662	1944	2098	2240
6	1330	1531	1708	2004	2097	2228
7	1309	1582	1661	2016	2059	2197
8	1293	1592	1676	1909	2103	2189
9	1306	1569	1691	2004	2097	2224
10	1293	1589	1633	2012	2067	2256
11	1340	1603	1629	1985	2077	2202
12	1321	1583	1689	2021	2087	2234
13	1295	1562	1731	1940	2051	2244
14	1295	1548	1625	1999	2084	2216
15	1349	1572	1677	1981	2092	2185
16	1323	1589	1725	1948	2072	2210
17	1346	1572	1653	1986	2091	2259
18	1333	1555	1674	2006	2113	2233
19	1327	1621	1707	1941	2046	2247

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20	1336	1585	1683	1965	2076	2200
21	1297	1609	1676	2024	2066	2238
22	1282	1618	1683	1950	2108	2254
23	1301	1537	1685	2014	2078	2220
24	1346	1622	1617	2018	2053	2226
25	1339	1620	1642	1954	2086	2226
ค่าเฉลี่ย	1316	1586	1672	1983	2080	2227

7.2.2 การทดลองหาค่าจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ โดยในการทดลองจะใช้ไข่จำนวน 4 ใบในแต่ละเบอร์ ทำการหาค่าจำนวนจุดภาพหลายๆครั้ง

ตารางที่ 2.แสดงจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ที่ใช้ไข่จำนวนไข่หลายใบในเบอร์เดียวกัน

ครั้งที่	เบอร์ 5	เบอร์ 5	เบอร์ 5	เบอร์ 5	เบอร์ 4	เบอร์ 4	เบอร์ 4	เบอร์ 4
1	1320	1257	1239	1319	1538	1531	1567	1603
2	1249	1176	1252	1308	1510	1514	1537	1611
3	1257	1213	1183	1307	1504	1546	1559	1585
4	1304	1182	1176	1318	1548	1569	1537	1558
5	1306	1236	1166	1296	1518	1553	1559	1633
6	1349	1234	1256	1330	1508	1541	1530	1531
7	1306	1214	1214	1309	1541	1545	1539	1582
8	1295	1232	1191	1293	1508	1582	1579	1592
9	1295	1226	1144	1306	1520	1567	1591	1596
10	1308	1229	1188	1293	1498	1554	1560	1589
11	1308	1227	1241	1340	1486	1530	1518	1603
12	1324	1220	1197	1321	1538	1543	1604	1583
13	1212	1179	1213	1295	1550	1593	1521	1562
14	1317	1181	1197	1295	1529	1548	1544	1548
15	1308	1236	1269	1349	1540	1549	1555	1572

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16	1295	1198	1201	1323	1529	1540	1595	1589
17	1288	1229	1204	1346	1493	1562	1513	1572
18	1328	1244	1168	1333	1524	1529	1558	1555
19	1311	1252	1214	1327	1545	1565	1594	1621
20	1273	1244	1238	1336	1551	1548	1587	1585
21	1285	1209	1201	1297	1484	1516	1515	1609
22	1297	1233	1239	1282	1527	1506	1558	1618
23	1328	1227	1211	1301	1536	1545	1545	1537
24	1305	1195	1107	1346	1530	1550	1602	1622
25	1336	1219	1127	1339	1460	1543	1579	1620
ค่าเฉลี่ย	1259				1553			

ตารางที่ 2. แสดงจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ที่ใช้ไข่จำนวนไข่หลายใบในเบอร์เดียวกัน

ครั้งที่	เบอร์ 3	เบอร์ 3	เบอร์ 3	เบอร์ 3	เบอร์ 2	เบอร์ 2	เบอร์ 2	เบอร์ 2
1	1756	1708	1778	1635	1910	1881	2014	1873
2	1708	1671	1688	1690	1944	1926	1940	1906
3	1715	1750	1703	1687	1924	1953	1996	1923
4	1763	1741	1750	1661	1930	1865	2011	1856
5	1761	1682	1721	1662	1926	1891	1944	1872
6	1706	1723	1714	1704	1927	1843	2004	1829
7	1741	1677	1773	1661	1927	1944	2016	1944
8	1733	1730	1699	1676	1928	1907	1909	1907
9	1691	1709	1746	1691	1918	1895	2004	1895
10	1668	1756	1765	1633	1939	1916	2012	1916
11	1744	1707	1717	1629	1924	1880	1985	1880
12	1729	1735	1763	1689	1905	1903	2021	1903
13	1706	1730	1690	1731	1915	1923	1940	1923

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14	1756	1732	1726	1625	1931	1843	1999	1843
15	1755	1691	1751	1677	1940	1899	1981	1944
16	1730	1724	1704	1725	1866	1935	1984	1935
17	1689	1742	1692	1653	1915	1865	1986	1865
18	1754	1670	1745	1374	1873	1601	2006	1801
19	1661	1704	1740	1707	1911	1932	1941	1932
20	1701	1779	1717	1683	1934	1956	1965	1956
21	1759	1738	1749	1676	1909	1858	2024	1858
22	1802	1703	1778	1683	1929	1873	1950	1873
23	1721	1734	1715	1685	1895	1923	2014	1923
24	1701	1728	1741	1617	1915	1869	2018	1869
25	1701	1715	1758	1642	1910	1865	1954	1944
ค่าเฉลี่ย	1713				1920			

ตารางที่ 2.แสดงจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ที่ใช้ไข่จำนวนไข่หลายใบในเบอร์เดียวกัน

ครั้งที่	เบอร์ 1	เบอร์ 1	เบอร์ 1	เบอร์ 1	เบอร์ 0	เบอร์ 0	เบอร์ 0	เบอร์ 0
1	2030	2111	2152	2084	2260	2246	2281	2197
2	2037	2095	2156	2100	2240	2280	2232	2244
3	2052	2064	2189	2041	2231	2263	2237	2239
4	2017	2086	2153	2098	2270	2263	2227	2269
5	2010	2095	2138	2097	2219	2257	2272	2240
6	2054	2067	2173	2059	2244	2244	2294	2228
7	2042	2045	2170	2103	2232	2220	2255	2197
8	2056	2104	2132	2097	2250	2212	2245	2189
9	2076	2085	2173	2067	2221	2249	2227	2224
10	2075	2073	2171	2077	2225	2245	2256	2256
11	2075	2107	2180	2087	2220	2232	2277	2202

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12	2015	2070	2161	2051	2211	2235	2249	2234
13	2010	2078	2130	2084	2255	2248	2238	2244
14	2027	2101	2170	2092	2244	2269	2226	2216
15	2056	2077	2194	2072	2257	2280	2239	2185
16	2026	2065	2145	2091	2219	2253	2261	2210
17	2014	2076	2159	2113	2238	2242	2265	2259
18	2064	2102	2202	2046	2229	2286	2233	2233
19	2077	2093	2153	2076	2252	2250	2214	2247
20	2032	2061	2120	2066	2251	2234	2252	2200
21	2031	2095	2139	2108	2268	2266	2240	2238
22	2048	2091	2199	2078	2214	2253	2240	2254
23	2074	2098	2163	2078	2212	2269	2266	2220
24	2062	2050	2139	2053	2228	2262	2221	2226
25	2063	2089	2183	2086	2210	2235	2235	2226
ค่าเฉลี่ย	2093				2241			

7.2.3 การทดลองหาค่าจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ โดยในการทดลองจะใช้ไข่ใบเดิม แต่ทำการเปลี่ยนสภาพแวดล้อม (แสง) ในห้องทดลอง

ตารางที่ 3.แสดงจำนวนจุดภาพที่ทำการวัดหาจำนวนจุดภาพหลายๆครั้งในไข่ใบเดียวกันที่มีสภาพแวดล้อมของแสงที่แตกต่างกัน

ครั้งที่	เบอร์ 5	เบอร์ 4	เบอร์3	เบอร์ 2	เบอร์ 1	เบอร์ 0
1	857	1215	1305	1458	1458	1762
2	870	1098	1337	1425	1425	1794
3	879	1136	1308	1402	1402	1757
4	888	1103	1313	1426	1380	1705
5	938	1128	1185	1380	1397	1758
6	1202	1545	1731	1845	1941	2152

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7	1235	1562	1724	1881	1927	2156
8	1243	1543	1725	1839	1973	2107
9	1173	1549	1705	1861	1927	2114
10	1213	1530	1718	1837	2000	2102
11	1336	1626	1728	1877	1951	2244
12	1348	1648	1739	1853	1947	2236
13	1344	1673	1744	1849	1977	2258
14	1316	1608	1699	1883	1951	2249
15	1344	1604	1709	1906	1966	2257
16	1457	1736	1843	1968	2079	2284
17	1469	1739	1862	1918	2058	2276
18	1513	1730	1859	1910	2054	2248
19	1481	1742	1830	1974	2068	2306
20	1452	1746	1882	1912	2067	2304
21	1504	1797	1930	1996	2161	2337
22	1500	1760	1896	1990	2106	2341
23	1489	1774	1935	1999	2166	2294
24	1525	1746	1935	1985	2095	2313
25	1528	1780	1920	1922	2082	2303
ค่าเฉลี่ย	1284	1565	1702	1812	1902	2146

7.2.4 การทดลองหาค่าจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่ โดยในการทดลองจะใช้ไข่ใบเดิม แต่ทำการทดลองในสภาพแวดล้อมนอกห้องทดลอง

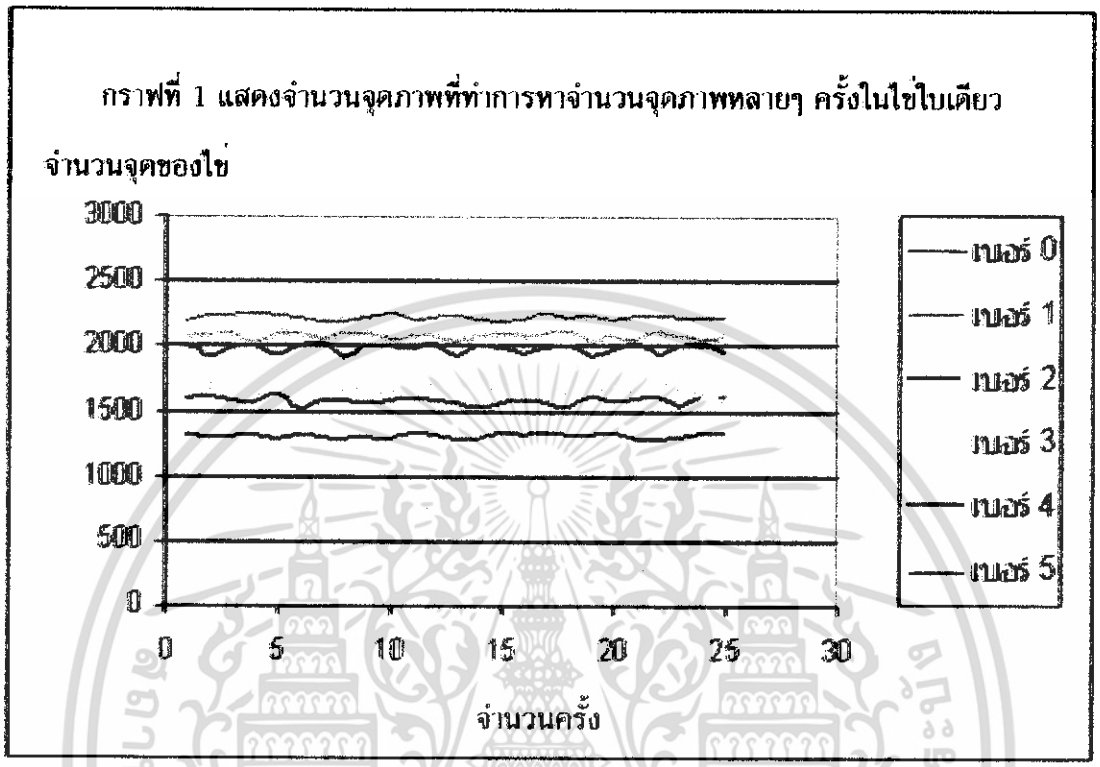
ตาราง 4.แสดงจำนวนจุดภาพ ที่ใช้ไข่จำนวนไข่หลายใบในเบอร์เดียวกันที่ไม่มีกล่อง

ครั้งที่	เบอร์ 5	เบอร์ 4	เบอร์3	เบอร์ 2	เบอร์ 1	เบอร์ 0
1	1238	1556	1837	1906	2107	2102
2	1337	1679	1737	1925	2125	2257

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3	1359	1456	1608	1402	2102	1877
4	1432	1543	1683	1426	2280	1996
5	1452	1428	1685	1789	2102	1958
6	1202	1545	1731	1845	2156	2253
7	1335	1562	1724	1881	1927	2156
8	1293	1543	1725	1839	1973	2107
9	1373	1549	1720	1861	2249	2114
10	1379	1530	1718	1837	2000	2102
11	1357	1626	1425	1930	1951	2257
12	1348	1453	1739	1853	2152	2236
13	1344	1562	1744	1849	1977	2158
14	1316	1608	1699	1883	1951	2249
15	1379	1604	1709	1906	1966	2257
16	1367	1644	1380	1968	2079	2298
17	1469	1639	1862	1918	2058	2256
18	1460	1525	1859	1910	2054	2158
19	1481	1654	1830	1974	2068	2306
20	1452	1698	1882	1912	2067	2156
21	1316	1655	1930	1996	2161	2137
22	1322	1608	1896	1990	2106	2341
23	1489	1644	1735	1999	2166	2294
24	1325	1736	1981	1985	2095	2313
25	1359	1712	1720	1922	2082	2303
ค่าเฉลี่ย	1367	1590	1742	1868	2078	2185

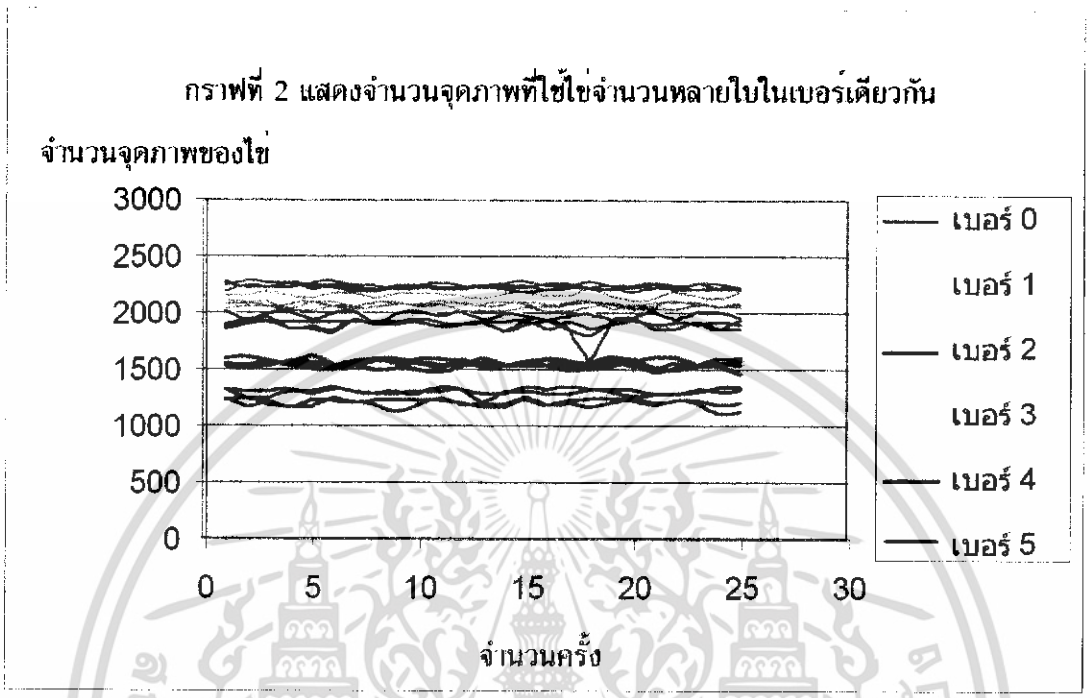
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.10 กราฟแสดงผลการทดลองที่ 1

1. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 5
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1239 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1349 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1316 จุดภาพ
2. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 4
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1531 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1633 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1586 จุดภาพ
3. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 3
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1617 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1731 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1672 จุดภาพ
4. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 2
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1909 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2024 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1983 จุดภาพ
5. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 1
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 2041 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2113 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2080 จุดภาพ
6. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 0
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 2185 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2269 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2227 จุดภาพ

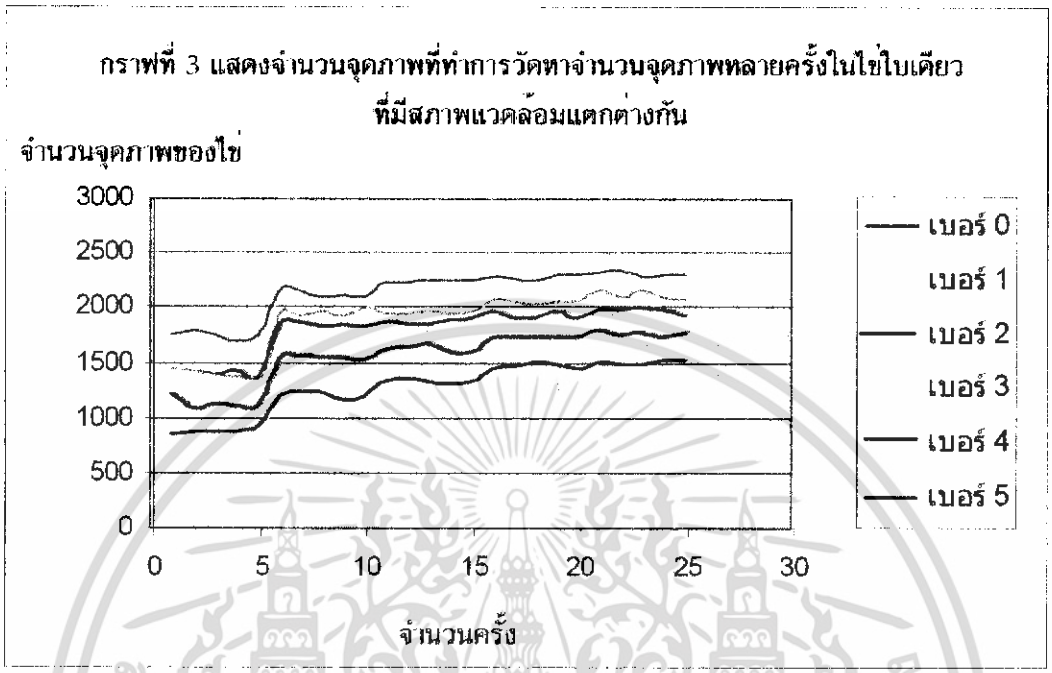
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.11 กราฟแสดงผลการทดลองที่ 2

1. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 5
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1107 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1349 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1259 จุดภาพ
2. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 4
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1460 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1633 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1553 จุดภาพ
3. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 3
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1625 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1802 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1713 จุดภาพ
4. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 2
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1801 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2024 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1920 จุดภาพ
5. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 1
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 2010 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2199 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2093 จุดภาพ
6. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 0
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 2185 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2286 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2241 จุดภาพ

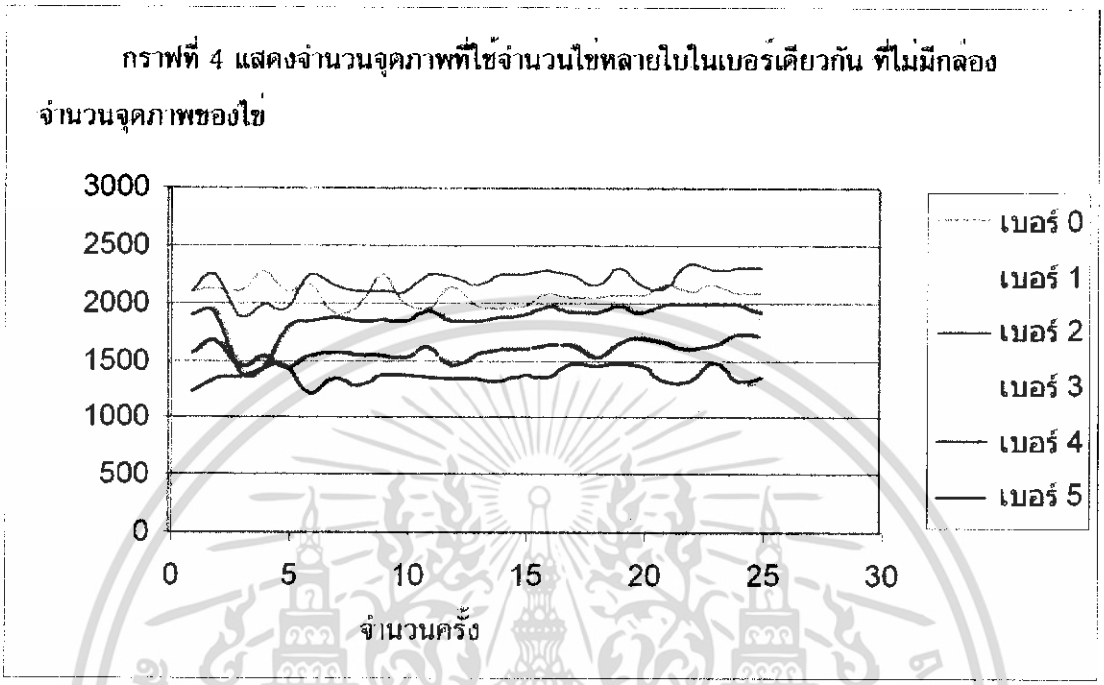
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.12 กราฟแสดงการทดลองที่ 3

จากรูปจะใช้การเปลี่ยนแปลงของแสงจำนวน 5 ช่วง คือการเปลี่ยนแปลงของแสงช่วงที่ 1 อยู่ในช่วงครั้งที่ 1- 5 โดยที่ว่าค่าเฉลี่ยของเบอร์ 5 อยู่ที่ 853 เบอร์ 4 อยู่ที่ 1176 เบอร์ 3 อยู่ที่ 1345 เบอร์ 2 อยู่ที่ 1378 เบอร์ 1 อยู่ที่ 1452 และเบอร์ 0 อยู่ที่ 1725 จะเห็นว่าค่าเฉลี่ยของแต่ละเบอร์จะมีค่าต่ำอยู่ ในส่วนของการเปลี่ยนแปลงของแสงช่วงที่ 2 อยู่ในช่วงครั้งที่ 6 – 10 โดยที่ค่าเฉลี่ยเบอร์ 5 อยู่ที่ 1276 เบอร์ 4 อยู่ที่ 1545 เบอร์ 3 อยู่ที่ 1663 เบอร์ 2 อยู่ที่ 1866 เบอร์ 1 อยู่ที่ 1936 เบอร์ 0 อยู่ที่ 2271 จะเห็นว่าค่าเฉลี่ยมีการเปลี่ยนแปลงเพิ่มขึ้นเมื่อแสงมีการเปลี่ยนแปลงเพิ่มขึ้น ในส่วนของการเปลี่ยนแปลงของแสงในช่วงที่ 3 จะอยู่ในช่วงครั้งที่ 11 – 15 โดยค่าเฉลี่ยของเบอร์ 5 อยู่ที่ 1358 เบอร์ 4 อยู่ที่ 1696 เบอร์ 3 อยู่ที่ 1720 เบอร์ 2 อยู่ที่ 1875 เบอร์ 1 อยู่ที่ 1945 เบอร์ 0 อยู่ที่ 2323 จะเห็นว่าเฉลี่ยจะมีค่ามากขึ้นเมื่อแสงเพิ่มขึ้นของในแต่ละเบอร์ ในส่วนของการเปลี่ยนแปลงของแสงในช่วงที่ 4 จะอยู่ในช่วง 16 -20 โดยค่าเฉลี่ยของเบอร์ 5 อยู่ที่ 1425 เบอร์ 4 อยู่ที่ 1725 เบอร์ 3 อยู่ที่ 1743 เบอร์ 2 อยู่ที่ 1898 เบอร์ 1 อยู่ที่ 2102 เบอร์ 0 อยู่ที่ 2412 จะเห็นว่าค่าเฉลี่ยมีค่าเพิ่มขึ้นเพียงเล็กน้อย ในส่วนของการเปลี่ยนแปลงของแสงในช่วงสุดท้ายจะอยู่ในช่วงครั้งที่ 21 -25 โดยค่าเฉลี่ยของเบอร์ 5 อยู่ที่ 1511 เบอร์ 4 อยู่ที่ 1740 เบอร์ 3 อยู่ที่ 1875 เบอร์ 2 อยู่ที่ 1953 เบอร์ 1 อยู่ที่ 2261 เบอร์ 0 อยู่ที่ 2423 และจะเห็นค่าของจำนวนจุดภาพแปรผันตามค่าของแสง

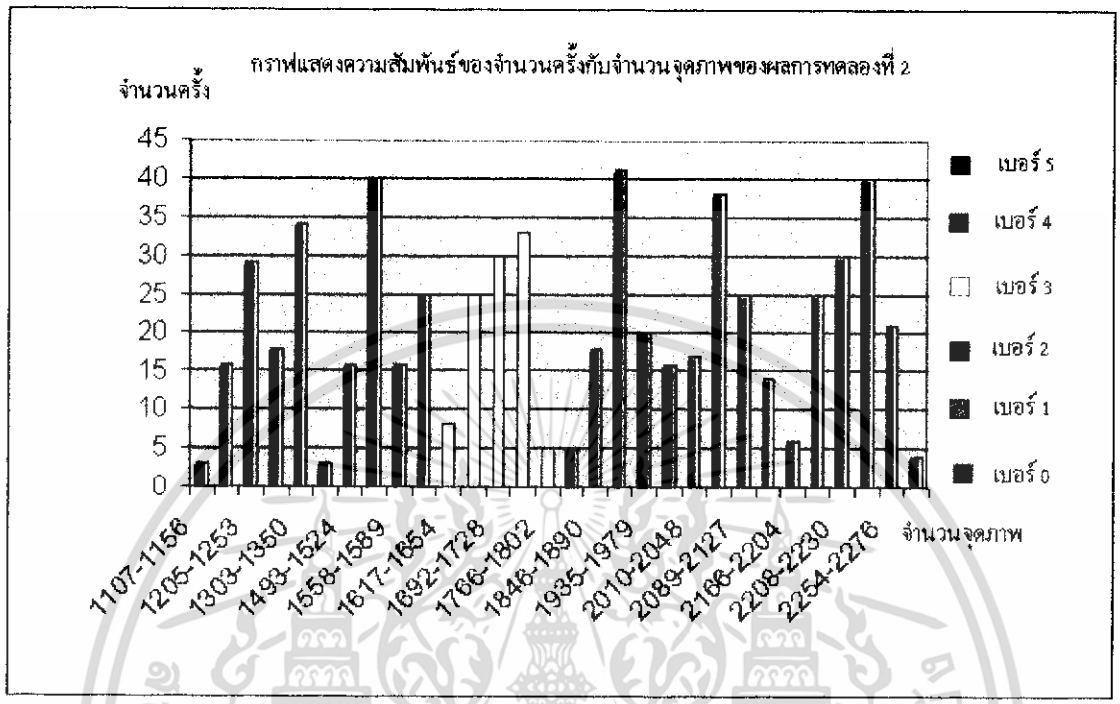
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.13 กราฟแสดงการทดลองที่ 4

1. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 5
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1202 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1489 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1367 จุดภาพ
2. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 4
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1428 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1736 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1590 จุดภาพ
3. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 3
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1380 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1981 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1742 จุดภาพ
4. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 2
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1402 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 1999 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 1868 จุดภาพ
5. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 1
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1927 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2280 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2078 จุดภาพ
6. จำนวนจุดภาพที่เป็นส่วนเนื้อไข่ของไข่เบอร์ 0
   ค่าจำนวนจุดภาพที่น้อยที่สุด คือ 1877 จุดภาพ
   ค่าจำนวนจุดภาพที่มากที่สุด คือ 2341 จุดภาพ
   ค่าเฉลี่ยของจำนวนจุดภาพ คือ 2185 จุดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.14 แสดงจำนวนครั้งกับจำนวนจุดภาพของผลการทดลองที่ 2

กราฟแสดงผลการทดลองที่ 2 เป็นการทดลองที่ทำการคัดขนาดไข่หลายฟองในแต่ละเบอร์ ซึ่งในการทดลองจะใช้ไข่ 4 ฟองในแต่ละเบอร์ และมีการควบคุมแสงจากภายนอกด้วย จากกราฟจะเห็นว่าจำนวนจุดภาพของไข่เบอร์ 5 ซึ่งเป็นไข่เบอร์เล็กที่สุดจะมีจำนวนจุดภาพที่น้อยสุดและจำนวนจุดภาพจะเพิ่มขึ้นไปจนถึงเบอร์ 0 จะมีจำนวนจุดภาพมากที่สุด และแต่ละเบอร์สามารถกำหนดช่วงแบ่งแยกขนาดไข่ได้ แต่จะมีบางช่วงที่มีขนาดช่วงซ้อนทับกันอยู่ ซึ่งมีจำนวนครั้งที่ซ้อนทับกันน้อยหรือมีโอกาสเกิดขึ้นน้อยเมื่อเทียบกับค่าเฉลี่ยซึ่งสามารถใช้โปรแกรมแก้ไขได้โดยการตรวจสอบหาค่าที่เกิดขึ้นมากที่สุดแล้วจึงตัดสินเลือกขนาดต่อไป จะทำให้เกิดความผิดพลาดในการคัดขนาดน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปและวิจารณ์ผลการทดลอง

จากกราฟการทดลองทั้ง 4 การทดลองจะเห็นว่า แต่ละการทดลองจะเป็นดังนี้ คือ
การทดลองที่ 1 เมื่อใช้ไข่ใบเดิมของแต่ละเบอร์ในการคัดขนาดมีการควบคุมแสงในการทดลองด้วย จะสามารถแบ่งช่วงคัดขนาดไข่ในแต่ละเบอร์ได้อย่างชัดเจน เพราะเส้นกราฟของไข่แต่ละเบอร์จะไม่ซ้อนทับกัน และค่าการหาจำนวนจุดภาพที่เป็นส่วนของเนื้อไข่มีความแม่นยำมาก
การทดลองที่ 2 เป็นการทดลองที่นำไปใช้งานจริง เพราะใช้ไข่หลายฟองในการทดลองของแต่ละเบอร์และมีการควบคุมแสงในการทดลองด้วย จะเห็นว่ากราฟของไข่แต่ละฟองของแต่ละเบอร์จะเกาะกลุ่มกันและในแต่ละกลุ่มจะไม่ซ้อนทับกัน อาจจะมีบางครั้งที่ค่าของกราฟกระโดดไปอยู่ในช่วงอื่นบ้าง ซึ่งสามารถแก้ไขได้โดยใช้โปรแกรม
การทดลองที่ 3 เป็นการนำเอาการทดลองที่ 1 มาทำการทดลองใหม่โดยกำหนดให้แสงมีการเปลี่ยนแปลง จะเห็นว่า กราฟมีการเปลี่ยนแปลงไปจากการทดลองที่ 1 ซึ่งกราฟของไข่ในแต่ละเบอร์จะมีการซ้อนทับกันระหว่างเบอร์ ในการหาค่าจำนวนจุดที่เป็นส่วนของเนื้อไข่แต่ละครั้งจะขาดความแม่นยำไม่สามารถคัดขนาดไข่ได้อย่างถูกต้อง
การทดลองที่ 4 จะเห็นว่ากราฟในแต่ละเบอร์นั้นมีการเปลี่ยนแปลงที่ไม่แน่นอน มีความแม่นยำในการคัดขนาดน้อยมาก เพราะช่วงของไข่ในแต่ละเบอร์มีการซ้อนทับกันอย่างเห็นได้ชัด

โดยจะเห็นว่าการทดลองที่มีความเหมาะสมและมีการใช้งานจริงคือการทดลองที่ 2 เพราะว่าค่าจุดภาพของแต่ละเบอร์ที่ได้จะไม่ซ้อนทับกันมากนักและในแต่ละเบอร์จะใช้ไข่หลายฟองในการทดลองและจะได้ช่วงของขนาดไข่ดังนี้คือ เบอร์ 5 ได้ช่วง 1107-1349 เบอร์ 4 ได้ช่วง 1460-1633 เบอร์ 3 ได้ช่วง 1625-1802 เบอร์ 2 ได้ช่วง 1801-2024 เบอร์ 1 ได้ช่วง 2010-2199 เบอร์ 0 ได้ช่วง 2186-2241 ตามค่าสูงสุดต่ำสุดในแต่ละเบอร์และช่วงที่มีการซ้อนทับกันสามารถแก้ไข่ได้โดยใช้โปรแกรมในตัดสินเลือกว่าไข่อยู่ในเบอร์ไหน

จากการทดลองในการคัดขนาดไข่นั้น จะต้องออกแบบให้วงจรให้เหมาะสมตั้งแต่การเลือกใช้ความถี่ในการสุ่ม ให้ได้ความละเอียดที่เหมาะสม มีการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ไม่ผิดเพี้ยน และออกแบบวงจรให้มีการเก็บข้อมูลให้ได้ข้อมูลที่ถูกต้อง เก็บที่เป็นส่วนของเนื้อไข่จริงๆ ทั้งหมด สัญญาณในการควบคุมต่างๆ มีความสัมพันธ์กัน โปรแกรมที่ใช้ในการควบคุมหรือการคัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดจะต้องมีความยืดหยุ่นและฉลาดในการคัดขนาดเพราะจะได้การคัดขนาดไข่ที่มีความแม่นยำและรวดเร็วที่มากขึ้น และที่สำคัญหากตัวอุปกรณ์ วงจรต่างๆ และโปรแกรม ทำงานมีความสัมพันธ์และมีความถูกต้องแล้ว ยังมีสภาพแวดล้อมภายนอกที่มีผลเป็นอย่างมากที่ทำให้การคัดขนาดไข่มีความผิดพลาดเกิดขึ้น และไม่สามารถคัดขนาดได้ครบทุกเบอร์ที่มีขายอยู่ตามท้องตลาดคือ แสง เพราะฉะนั้นเพื่อไม่ให้เกิดความผิดพลาดในการคัดขนาดจะต้องควบคุมแสงให้มีความคงที่หรือเปลี่ยนแปลงน้อยสุดอาจทำจะทำให้การคัดขนาดไข่สามารถทำละเอียดหลายเบอร์มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

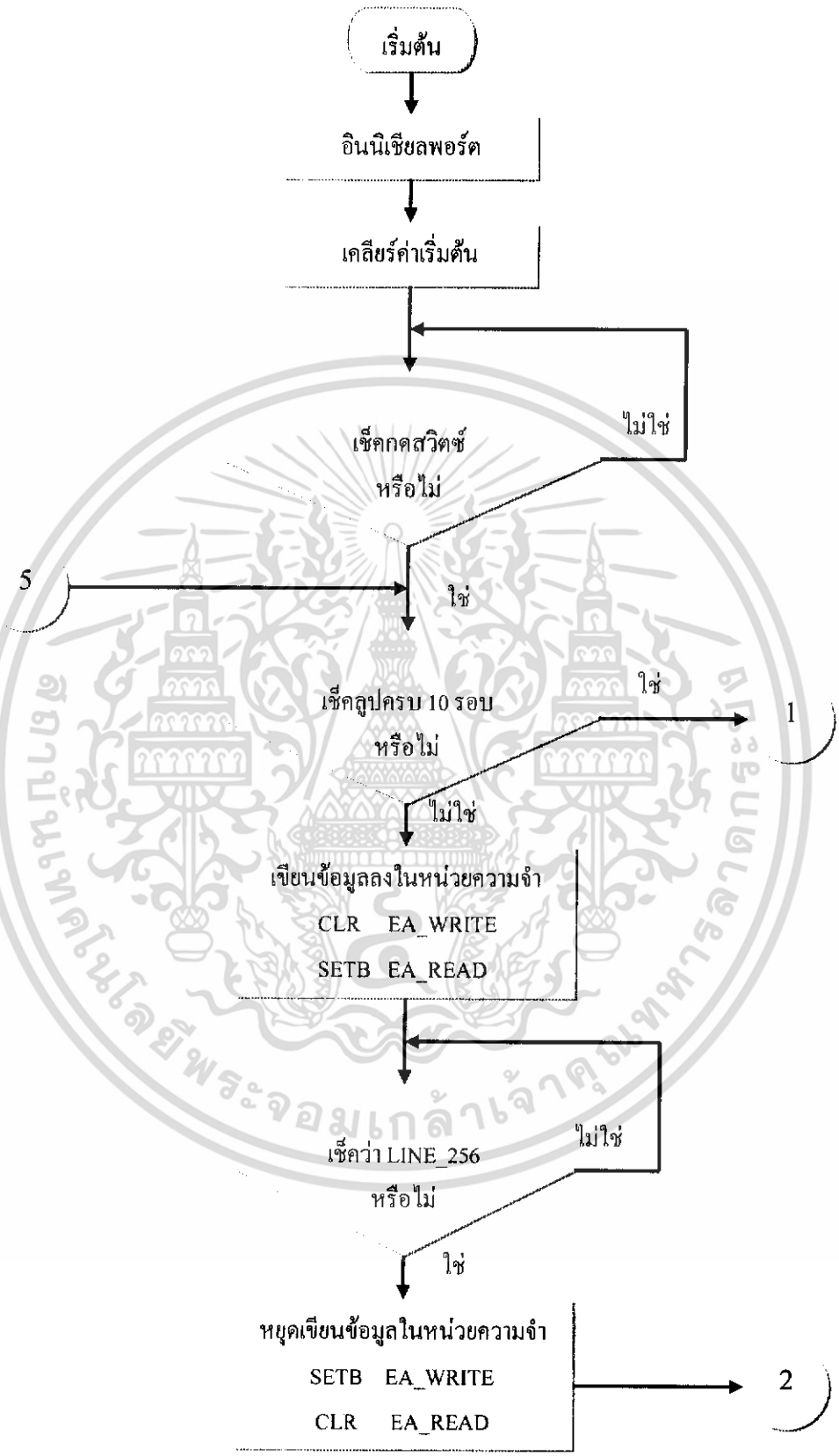
เอกสารอ้างอิง

1. เจน สงสมพันธุ์ , นิคม อนันต์ทิพย์ , " เทคโนโลยีโทรทัศน์ " , สถาบันอิเล็กโทรนิกส์ กรุงเทพฯ, หน้า 23-50 , 2535
2. ปรัชญนันท์ นิลสุข , " ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์เบื้องต้น " , บริษัท สำนักพิมพ์ ดวงกลม , 256 หน้า , 2541
3. วรพจน์ กรแก้ววัฒนกุล , ชัยวัฒน์ ลิ้มพรจิตรวิไล , " เรียนรู้และปฏิบัติการ ไมโครคอนโทรลเลอร์ MCS-51 " , บริษัทอินโนเวตีฟ เอ็กเพอร์ริเมนต์ จำกัด
4. อรรถพล บุญยะโภคา , วรพจน์ กรแก้ววัฒนกุล , ชัยวัฒน์ ลิ้มพรจิตรวิไล , "เรียนรู้และปฏิบัติการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกผ่านพอร์ตอนุกรม", บริษัทอินโนเวตีฟ เอ็กเพอร์ริเมนต์ จำกัด

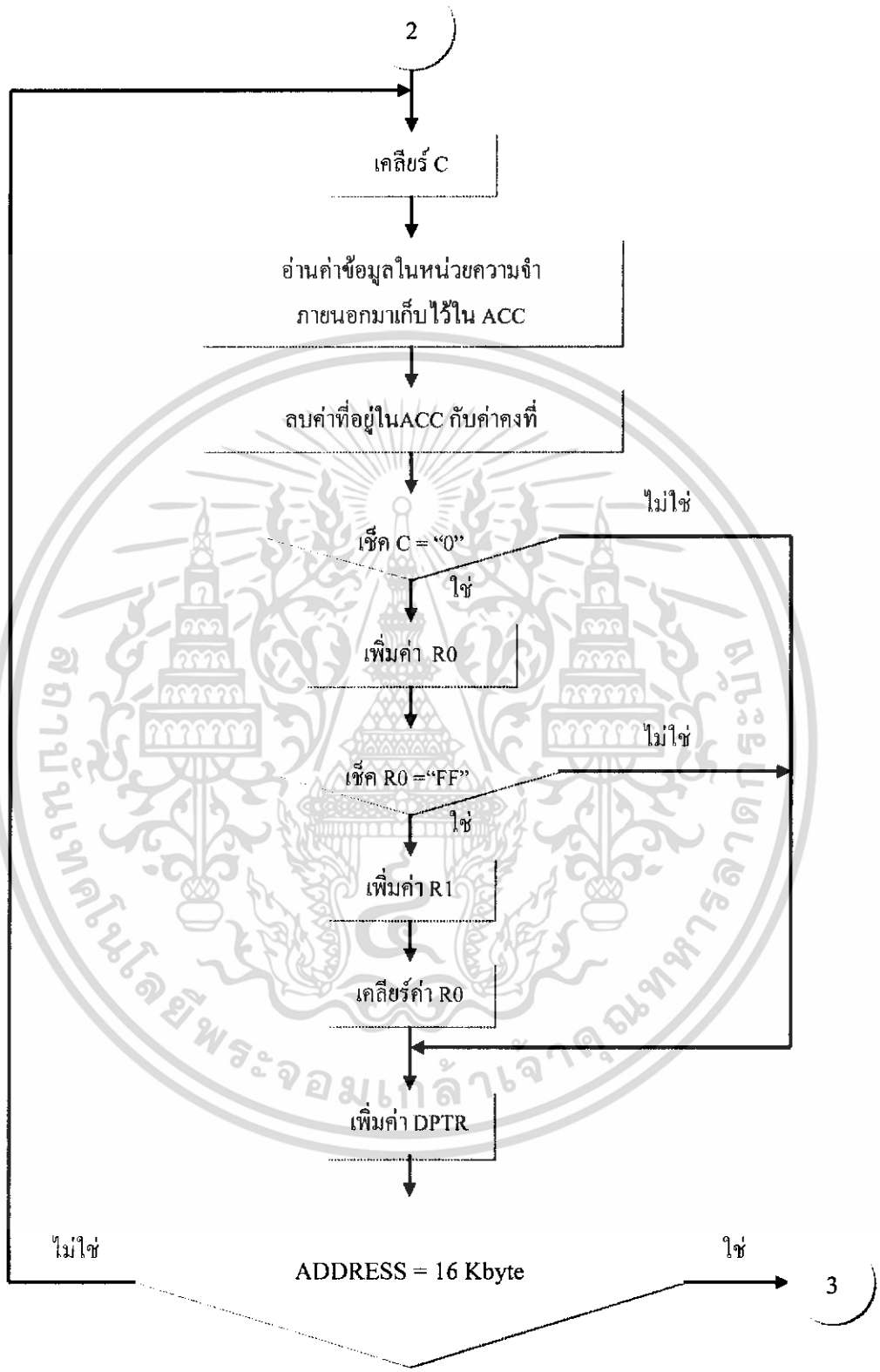
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

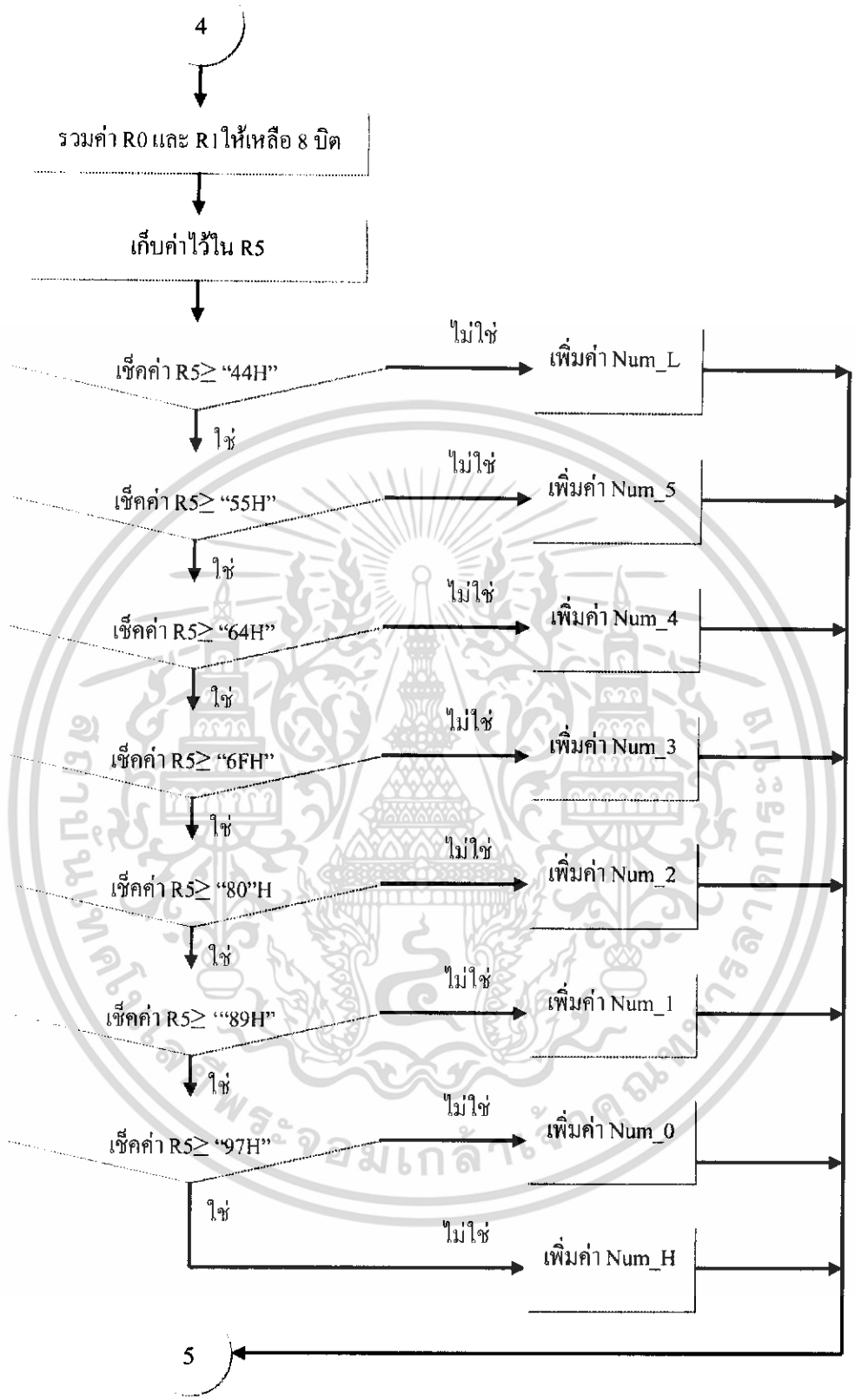


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

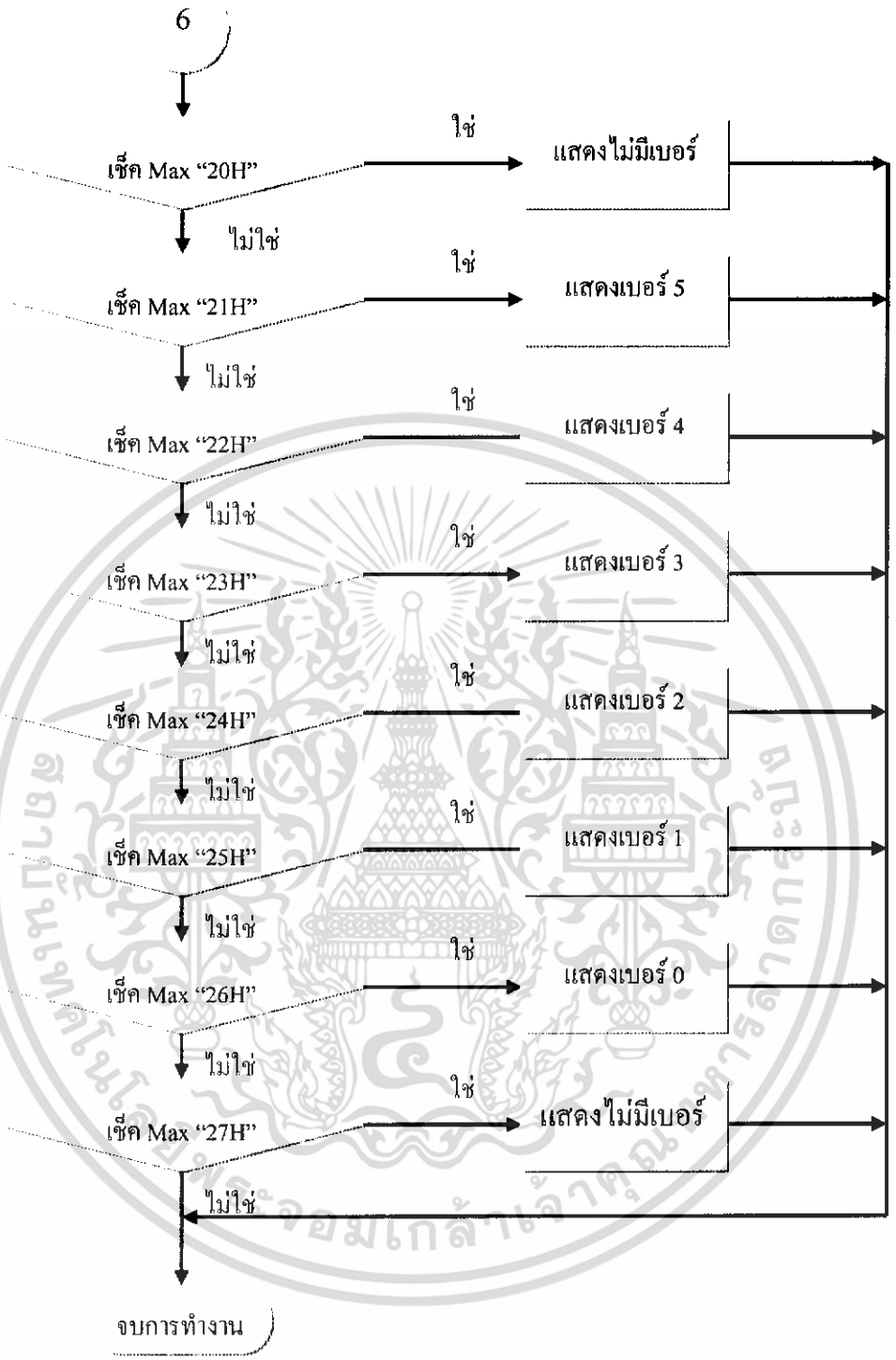


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

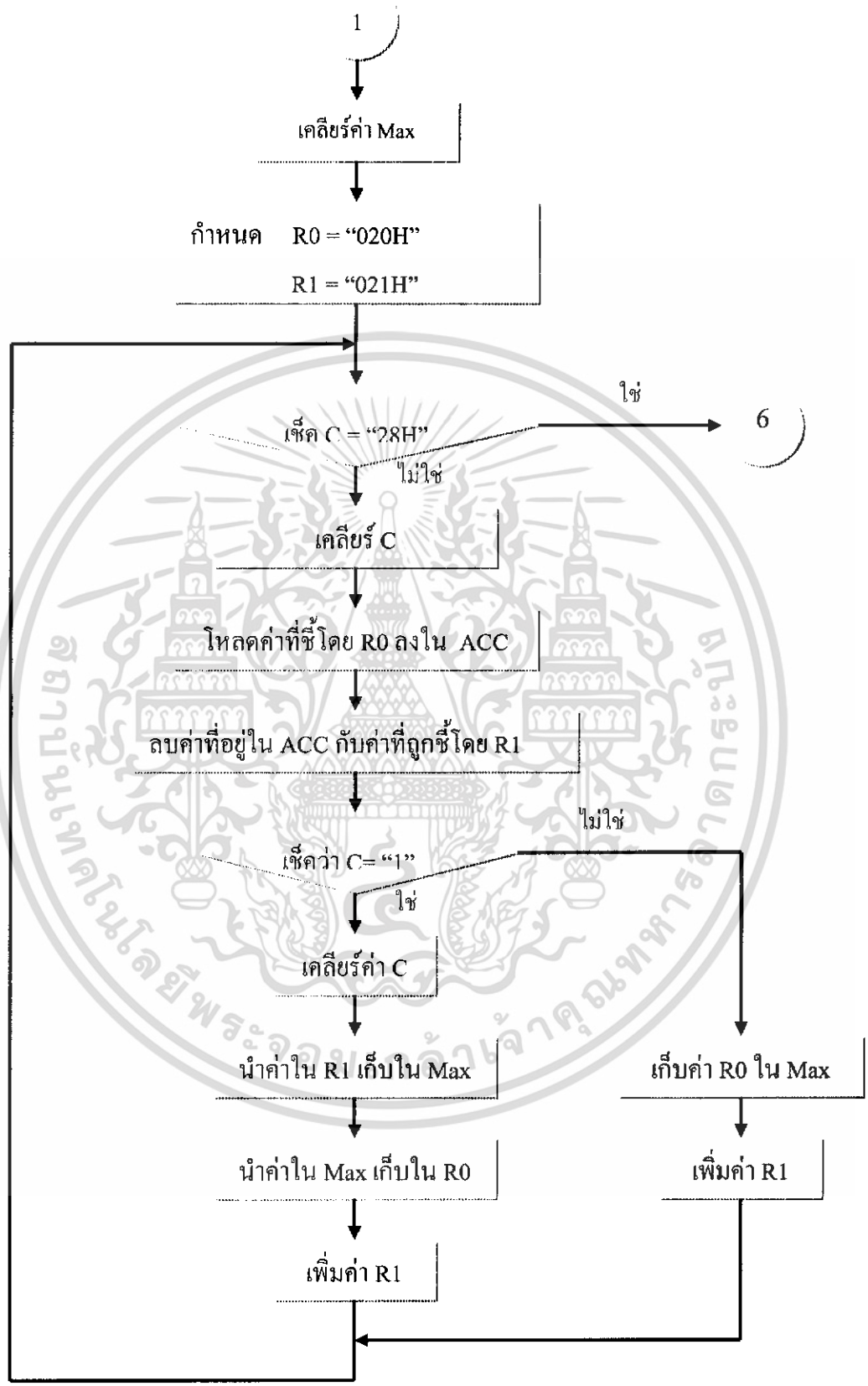
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมการทำงานของเครื่องคัดขนาดไข่โดยการประมวลผลภาพ

```
;*************************************************************************
;PROGRAM          : EGG SIZES CLASSIFICATION BY IMAGE PROCESSING
;DESCRIPTION      : SIX SIZES CLASSIFICATION
;*************************************************************************
;DEFINE PORT,PIN AND USER REGISTOR
;*************************************************************************

MAX       EQU   40H       ;DEFINE MAXIMUM VALUE AT ADDRESS 40H

NUM_L     EQU   20H       ;DEFINE NO NUMBER (LOWER) AT ADDRESS 20H
NUM_5     EQU   21H       ;DEFINE NUMBER FIVE AT ADDRESS 21H
NUM_4     EQU   22H       ;DEFINE NUMBER FOUR AT ADDRESS 22H
NUM_3     EQU   23H       ;DEFINE NUMBER THREE AT ADDRESS 23H
NUM_2     EQU   24H       ;DEFINE NUMBER TWO AT ADDRESS 24H
NUM_1     EQU   25H       ;DEFINE NUMBER ONE AT ADDRESS 25H
NUM_0     EQU   26H       ;DEFINE NUMBER ZERO AT ADDRESS 26H
NUM_H     EQU   27H       ;DEFINE NO NUMBER (HIGHER) AT ADDRESS 27H

LINE_256  BIT   P1.0      ;DEFINE LINE_256 EQUAL BIT PORT 1.0
EA_READ   BIT   P1.1      ;DEFINE EA_READ EQUAL BIT PORT 1.1
EA_WRITE  BIT   P1.2      ;DEFINE WRITE EQUAL BIT PORT 1.2
START     BIT   P1.3      ;DEFINE START EQUAL BIT PORT 1.3
CONTANT   EQU   0B0H      ;DEFINE THRESHOLD CONSTANT EQUAL B0H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************************************************************************
;MAIN PROGRAM
;*******************************************************************************
            ORG   0000H             ;RESET VECTOR

            MOV   NUM_L,#00H        ;CLEAR VALUE IN NO NUMBER (LOW)
            MOV   NUM_5,#00H        ;CLEAR VALUE IN NUMBER FIVE
            MOV   NUM_4,#00H        ;CLEAR VALUE IN NUMBER FOUR
            MOV   NUM_3,#00H        ;CLEAR VALUE IN NUMBER THREE
            MOV   NUM_2,#00H        ;CLEAR VALUE IN NUMBER TWO
            MOV   NUM_1,#00H        ;CLEAR VALUE IN NUMBER ONE
            MOV   NUM_0,#00H        ;CLEAR VALUE IN NUMBER ZERO
            MOV   NUM_H,#00H        ;CLEAR VALUE IN NO NUMBER (HIGH)

            MOV   P1,#0FFH          ;SET STATUS PORT 1

CHECK_SW:   SETB  START
            JB    START,CHECK_SW    ;WAITING FOR READY

            MOV   R6,#11            ;SET REGISTOR 6 AS LOOP
                                    ; COUNTER
LOOP_MAIN:  MOV   R0,#00H           ;CLEAR R0
            MOV   R1,#00H           ;CLEAR R1
            DEC   R6                ;DECREMENT REGISTOR 6
            CJNE  R6,#00,WRITE      ;CHECK REGISTOR 6 EQUAL 00H
            LJMP  CHECK_MAX         ;JMP TO SENT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*************************************************************************
;WRITE DATA INTO EXTERNAL MEMMORY BY HARDWAER
;*************************************************************************
WRITE:      CLR   EA_WRITE              ;START FOR WRITING
            SETB  EA_READ               ;SELECT ADDRESS FORM COUNTER

CHECK_LINE: JNB   LINE_256,CHECK_LINE   ;CHECK 256 LINE
            SETB  EA_WRITE              ;STOP FOR WRITIING

            CLR   EA_READ               ;SELECT ADDRESS FORM
                                        ; MICROCONTROLLER
;*************************************************************************
;READ DATA FROM EXTERNAL MEMMORY AND PROCESSING
;*************************************************************************
            MOV   DPTR,#0000H           ;SET DATA POINTER=0000H
LOOP:       CLR   C                     ;CLEAR CARRY FLAG
            MOVX  A,@DPTR               ;LOAD DATA FORM EXTERNAL
                                        ;MEMORY INTO ACCUMULATOR
            SUBB  A,#CONTANT            ;DATA SUBB. WITH THESHOLD
            JC    INC_ADDRESS
            INC   R0                    ;INCLEMENT R0

            CJNE  R0,#0FFH,INC_ADDRESS  ;CHECK R0=FFH
            INC   R1                    ;INCLEMENT R1
            MOV   R0,#00H               ;CLEAR R0

INC_ADDRESS:INC   DPTR                  ;INCLEMENT ADDRESS
            MOV   R2,DPH                ;CHECK FOR 16K ADDRESS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    R2,#03FH,LOOP           ;CHECK FOR 16K ADDRESS
        MOV     R3,DPL                  ;CHECK FOR 16K ADDRESS
        CJNE    R3,#0FFH,LOOP           ;CHECK FOR 16K ADDRESS
;*******************************************************************************
;                       DISPLAY TO SERIAL PORT MONITOR
;*******************************************************************************
        MOV     TMOD,#021H              ;T1 8BIT AUTO,T0 16BIT
        MOV     TH1,#0FDH               ; 9600 BPS TIME1 DEFAULT
        MOV     TL1,#0FDH

        SETB    TR1                     ;START TIME1

        MOV     SCON,#040H

        CLR     TI
        MOV     A,R1
        MOV     SBUF,A                  ;SENT DATA TO SBUF
        JNB     TI,$                    ;WAIT UNTIL TX ALREADY
        CLR     TI                      ;CLEAR TI

        MOV     TMOD,#021H              ;T1 8BIT AUTO,T0 16BIT
        MOV     TH1,#0FDH               ; 9600 BPS TIME1 DEFAULT
        MOV     TL1,#0FDH

        SETB    TR1                     ;START TIME1

        MOV     SCON,#040H
        CLR     TI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV   A,R0
                MOV   SBUF,A                ;SENT DATA TO SBUF
                JNB   TI,$                  ;WAIT UNTIL TX ALREADY
                CLR   TI                    ;CLEAR TI
;*****************************************************************************
;LOOP FOR EGG SIZES CLASSIFICATION
;*****************************************************************************
                MOV   A,R1                  ;LOAD R1 TO ACC.
                ANL   A,#0FH                ;CLEAR 4 BIT LOW
                MOV   R4,A                  ;LOAD ACC. TO R0.
                MOV   A,R0                  ;LOAD R0 TO ACC
                ANL   A,#0F0H               ;CLR 4 BIT HIGH
                ADD   A,R4                  ;LOAD R4 TO ACC.
                SWAP  A                     ;SWAP NIPPLE
                MOV   R5,A                  ;LOAD ACC. TO R5

NO_NUM:         CLR   C                     ;CLEAR CARRY FLAG
                SUBB  A,#58H                ;DATA SUBB. WITH THESHOLD
                JNC   NUM_FIVE              ;CHECK FOR SIZE OF EGG
                INC   NUM_L                 ;INCLEMENT R6
                SJMP  RE_LOOP               ;JMP TO RE_LOOP

NUM_FIVE:       CLR   C                     ;CLEAR CARRY FLAG
                MOV   A,R5                  ;LOAD R5 TO ACC.
                SUBB  A,#61H                ;DATA SUBB. WITH THESHOLD
                JNC   NUM_FOUR              ;CHECK FOR SIZE OF EGG
                INC   NUM_5                 ;INCLEMENT R5
                SJMP  RE_LOOP               ;JMP TO RE_LOOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NUM_FOUR:   CLR   C                ;CLEAR CARRY FLAG
            MOV   A,R5             ;LOAD R5 TO ACC.
            SUBB  A,#6EH           ;DATA SUBB. WITH THESHOLD
            JNC   NUM_THREE        ;CHECK FOR SIZE OF EGG
            INC   NUM_4            ;INCLEMENT R4
            SJMP  RE_LOOP          ;JMP TO RE_LOOP

NUM_THREE:  CLR   C                ;CLEAR CARRY FLAG
            MOV   A,R5             ;LOAD R5 TO ACC.
            SUBB  A,#75H           ;DATA SUBB. WITH THESHOLD
            JNC   NUM_TWO          ;CHECK FOR SIZE OF EGG
            INC   NUM_3            ;INCLEMENT R3
            SJMP  RE_LOOP          ;JMP TO RE_LOOP

NUM_TWO:    CLR   C                ;CLEAR CARRY FLAG
            MOV   A,R5             ;LOAD R5 TO ACC.
            SUBB  A,#7CH           ;DATA SUBB. WITH THESHOLD
            JNC   NUM_ONE          ;CHECK FOR SIZE OF EGG
            INC   NUM_2            ;INCLEMENT R2
            SJMP  RE_LOOP          ;JMP TO RE_LOOP

NUM_ONE:    CLR   C                ;CLEAR CARRY FLAG
            MOV   A,R5             ;LOAD R5 TO ACC.
            SUBB  A,#86H           ;DATA SUBB. WITH THESHOLD
            JNC   NUM_ZERO         ;CHECK FOR SIZE OF EGG
            INC   NUM_1            ;INCLEMENT R1
            SJMP  RE_LOOP          ;JMP TO RE_LOOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NUM_ZERO:  CLR   C                ;CLEAR CARRY FLAG
           MOV   A,R5            ;LOAD R5 TO ACC.
           SUBB  A.#97H          ;DATA SUBB. WITH THESHOLD
           JNC   NO_ NUM1        ;CHECK FOR SIZE OF EGG
           INC   NUM_0           ;INCLEMENT R0
           SJMP  RE_LOOP         ;JMP TO RE_LOOP

NO_NUM1:   INC   NUM_H           ;INCLEMENT R7
           SJMP  RE_LOOP         ;JMP TO RE_LOOP

RE_LOOP:   LJMP  LOOP_MAIN       ;DO FOR 10 TIME
;*************************************************************************
;CHECK FOR MAXIMUM VALUE(POP) OF ALL
;*************************************************************************
CHECK_MAX: MOV   MAX,#00H        ;CLEAR MAX
           MOV   R0,#020H        ;SET R0 FOR MAXIMUM VALUE
           MOV   R1,#021H        ;SET R1 FOR COMPARE REGISTOR

MAXIMUM:   CJNE  R1,#28H,COMPARE1 ;CHECK R1 T0 ADDRESS 27
           LJMP  CLASS_NO        ;JMP TO CLASSIFIER_NO


COMPARE1:  CLR   C               ;CLEAR CARRY FLAG
           MOV   A,@R0           ;LOAD DATA FROM ADDRESS
                                 ;POINTOR BY R0 TO ACC.

           SUBB  A,@R1           ;SUBB ACC. WITH DATA
                                 ;FROM ADDRESS POINTOR BY R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JC      COMPARE2
                MOV     MAX,R0                  ;LOAD R0 TO MAX
                INC     R1                      ;INCLEMENT R1
                LJMP    MAXIMUM                 ;JMP TO MAXIMUM

COMPARE2:       CLR     C                       ;CLEAR CARRY FLAG
                MOV     MAX,R1                  ;LOAD R1 TO MAX
                MOV     R0,MAX                  ;LOAD MAX TO R0
                INC     R1                      ;INCLEMENT R1
                LJMP    MAXIMUM                 ;JMP TO MAXIMUM
;*************************************************************************
;CLASSIFICATION
;DISPLAY TO LED 3 DIGIT
;*************************************************************************
CLASS_NO:       MOV     A,MAX
                CJNE    A,#20H,CLASS_5          ;FUNCTION FOR NO NUMBER
                ORL     P1,#11110000B
                LJMP    STOP

CLASS_5:        CJNE    A,#21H,CLASS_4          ;FUNCTION FOR NUMBER FIVE
                ORL     P1,#01010000B
                LJMP    STOP

CLASS_4:        CJNE    A,#22H,CLASS_3          ;FUNCTION FOR NUMBER FOUR
                ORL     P1,#01000000B
                LJMP    STOP

CLASS_3:        CJNE    A,#23H,CLASS_2          ;FUNCTION FOR NUMBER THREE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ORL     P1,#00110000B
                LJMP    STOP

CLASS_2:        CJNE    A,#24H,CLASS_1          ;FUNCTION FOR NUMBER TWO
                ORL     P1,#00100000B
                LJMP    STOP

CLASS_1:        CJNE    A,#25H,CLASS_0          ;FUNCTION FOR NUMBER ONE
                ORL     P1,#00010000B
                LJMP    STOP

CLASS_0:        CJNE    A,#26H,CLASS_NO1        ;FUNCTION FOR NUMBER ZERO
                ORL     P1,#00000000B
                LJMP    STOP

CLASS_NO1:      CJNE    A,#27H,STOP             ;FUNCTION FOR NO NUMBER
                ORL     P1,#11110000B
                LJMP    STOP

STOP:           SJMP    $
                END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum −3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

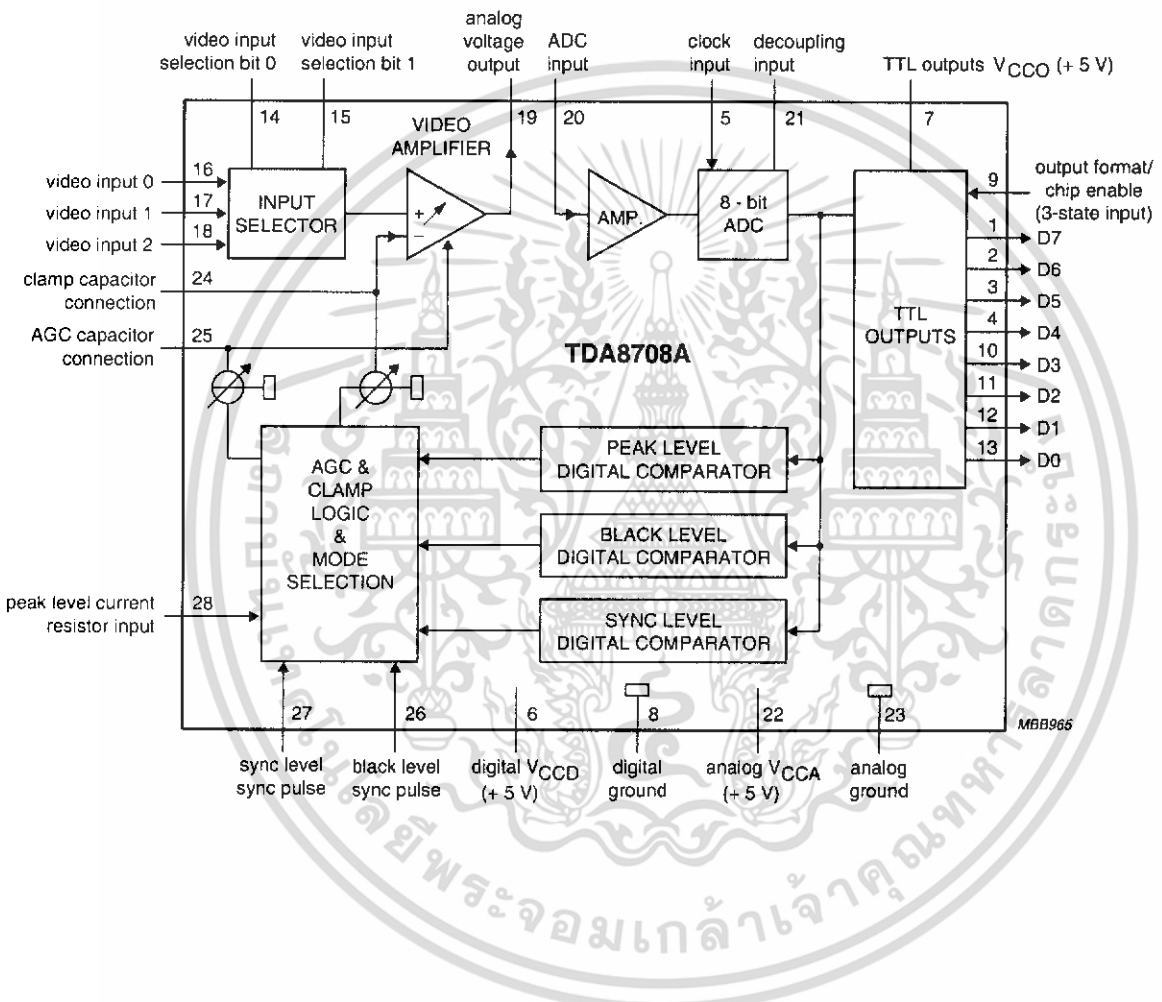


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

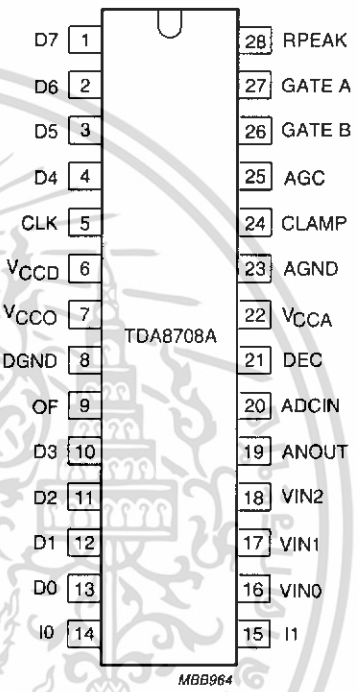


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = −0.5 to +0.5 V; V_{CCO} to V_{CCD} = −0.5 to +0.5 V; V_{CCA} to V_{CCO} = −0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk}= 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	μA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	μA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC\,(p-p)}}{V_{ANOUTY\,(RMS\ noise)}} \text{ at } B = 5 \text{ MHz}.$$

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_i = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f_i = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	–2.5 µA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 µA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 µA	2
		0 < output < 248	–2.5 µA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	–2.5 µA	1
X(1)	0	X(1)	0 µA	2
0	1	output < 64	+50 µA	2
		64 < output	–50 µA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} – 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} – 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

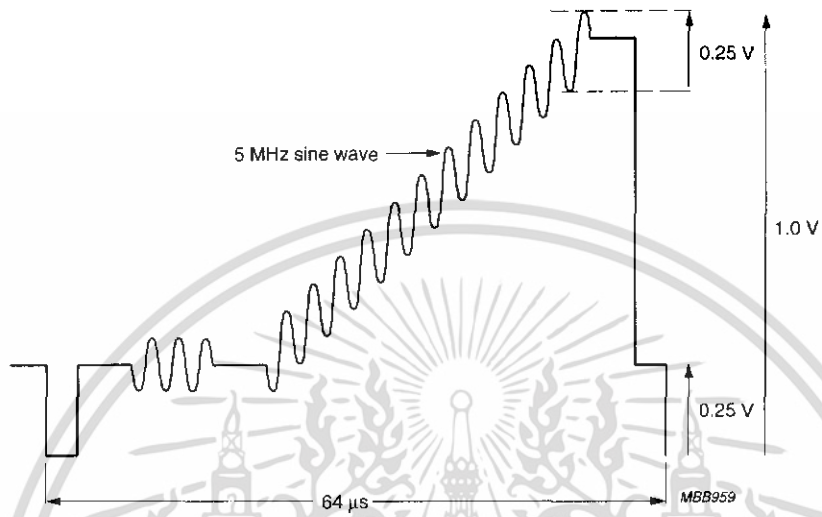


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

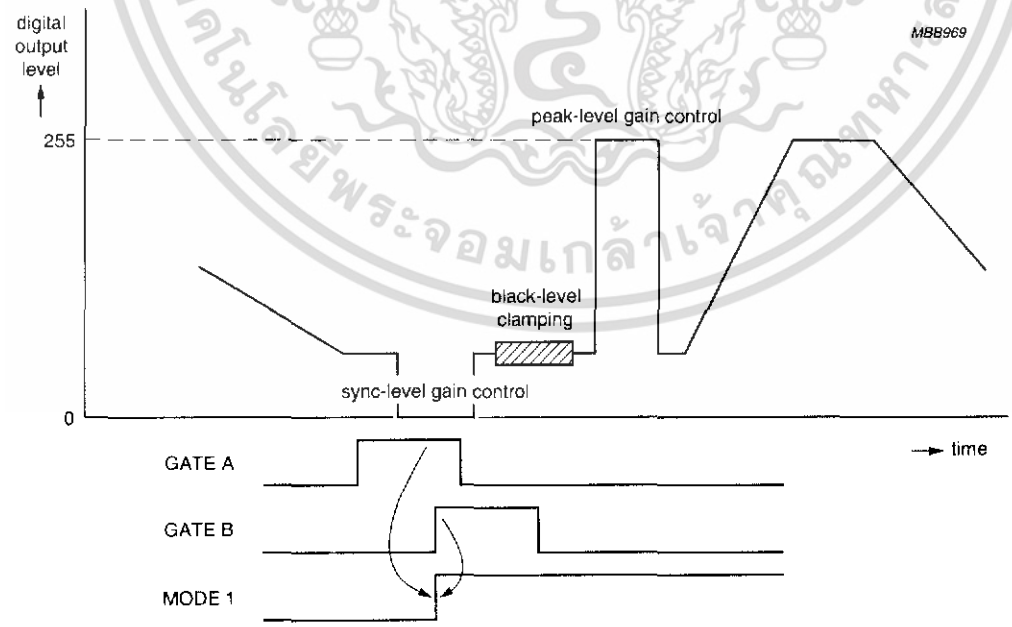


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

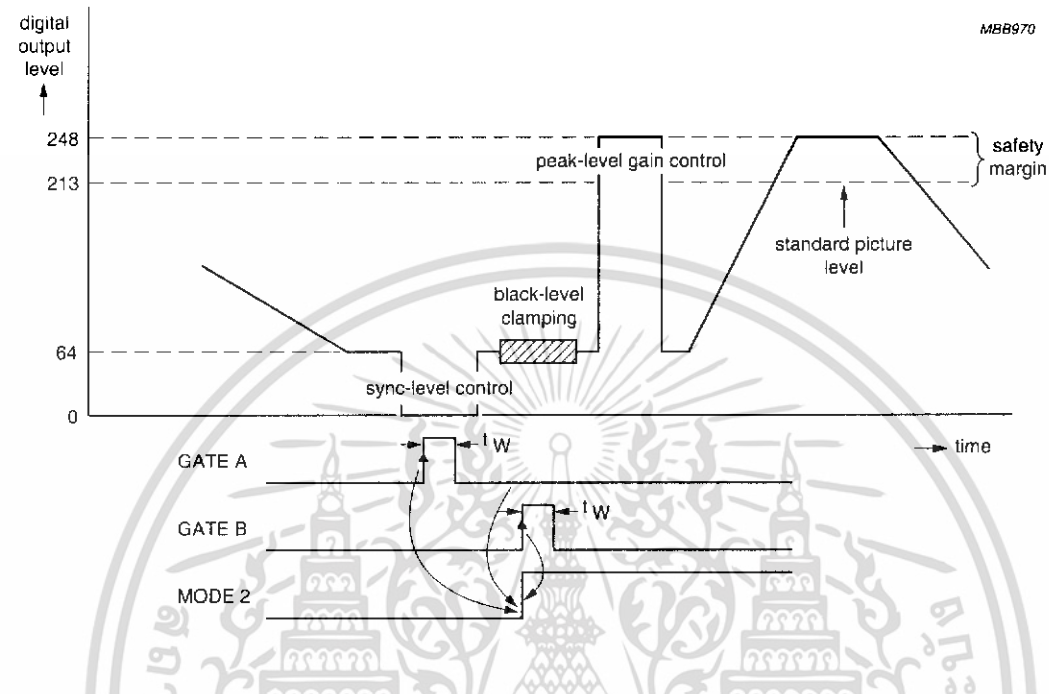


Fig.5 Control mode 2.

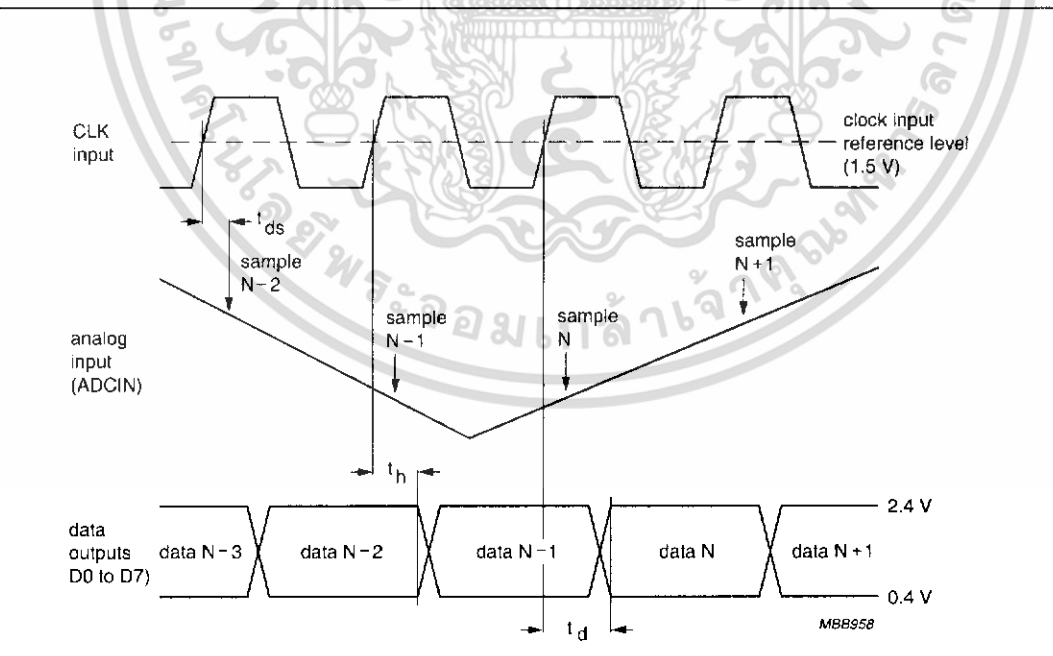


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

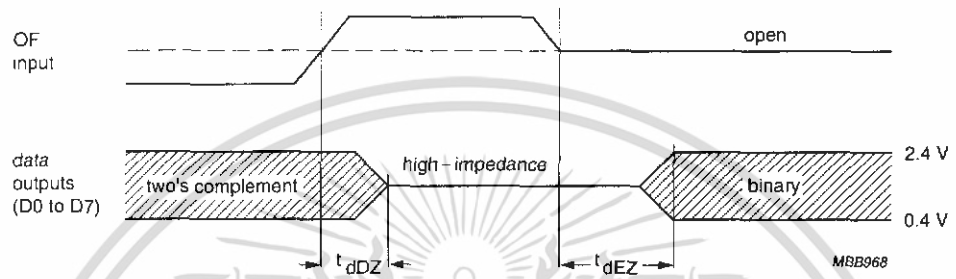


Fig.7 Output format timing diagram.

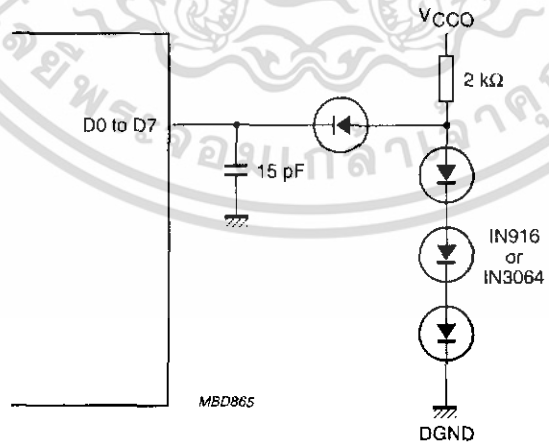


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

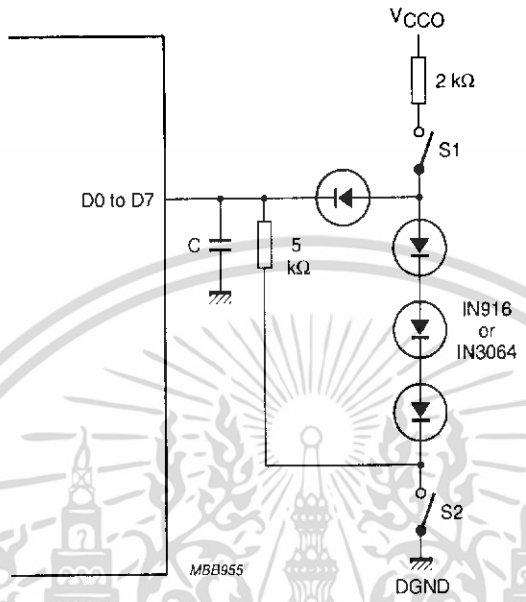
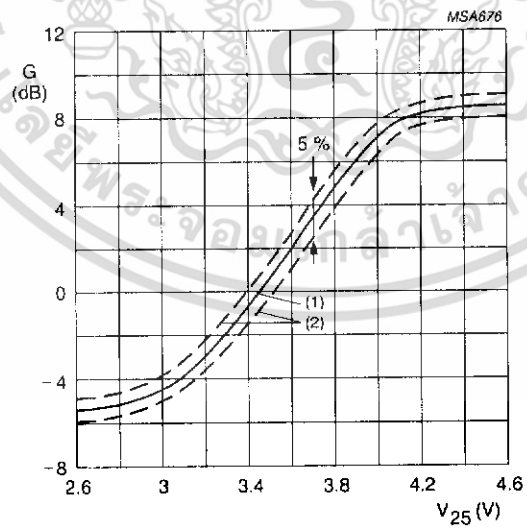


Fig.9 Load circuit for timing measurement; 3-state outputs (OF: f_i = 1 MHz; V_{OF} = 3 V).



(1) Typical value (V_{CCA} = V_{CCD} = 5 V; T_{amb} = 25 °C).
(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

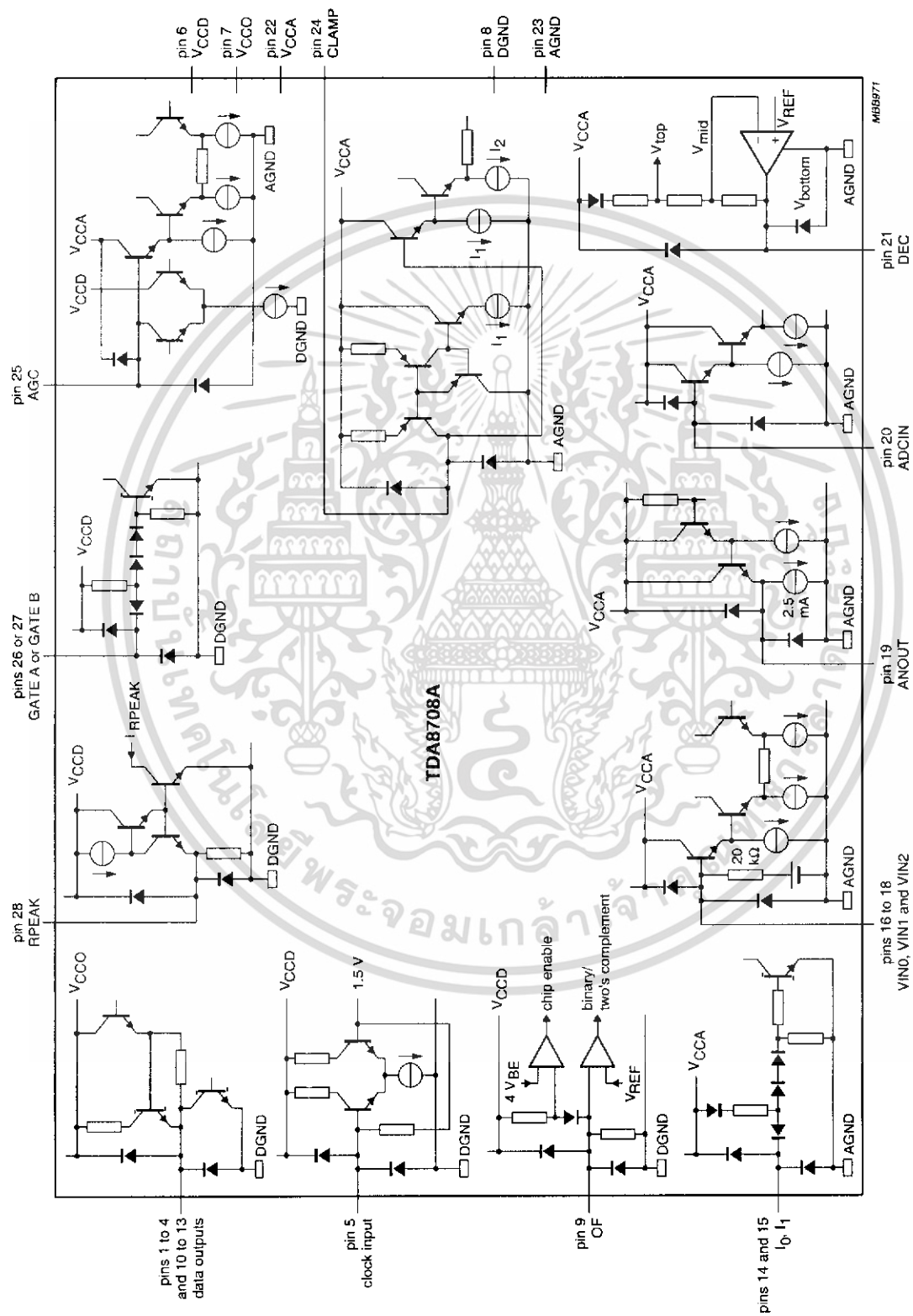
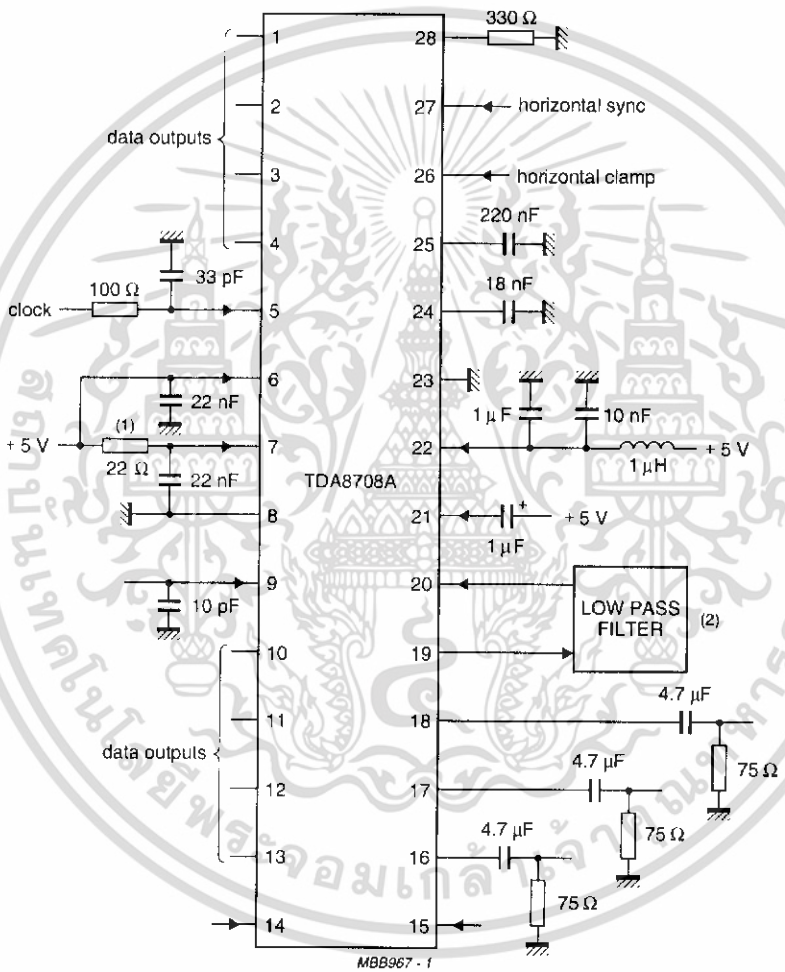


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

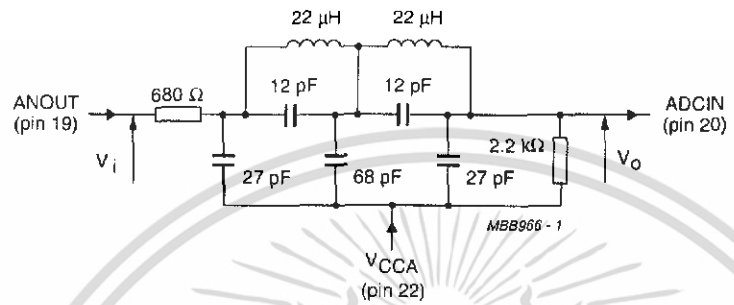


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

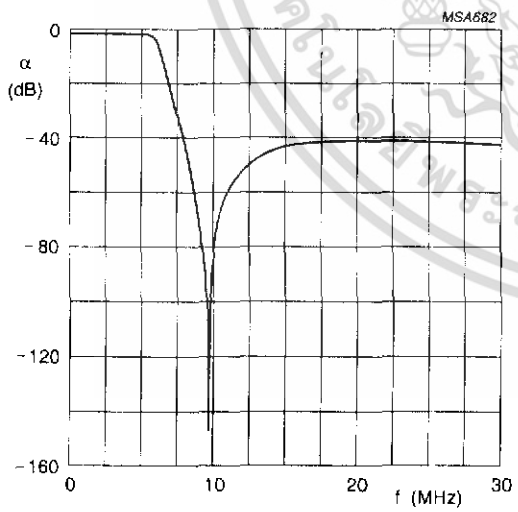
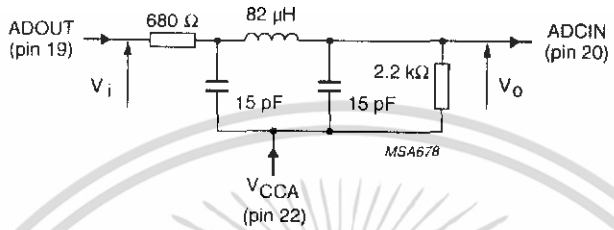


Fig.14 Frequency response for filter shown in Fig.13.

Characteristics of Fig. 13

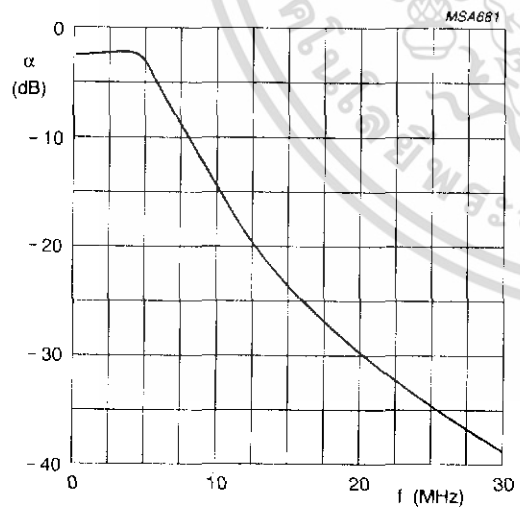
- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB
- f_{notch} = 9.75 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.



Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at –3 dB.

Fig.16 Frequency response for filter shown in Fig.15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 2003

LM1881, LM1881-X
Video Sync Separator

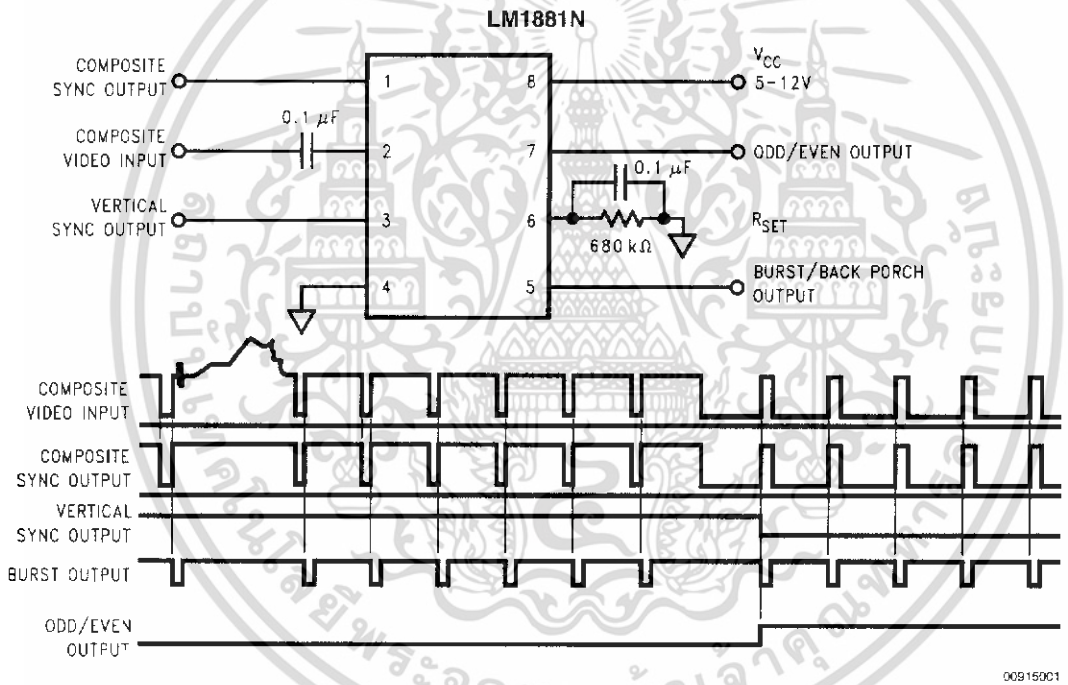
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)
- -40˚C to +85˚C operation (LM1881-X)

Connection Diagram



Order Number LM1881M or LM1881N (0˚C to +70˚C)
Order Number LM1881M-X or LM1881N-X (-40˚C to +85˚C)
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 2003 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} (V_{CC} = 5V)
	6 V_{P-P} ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Electrical Characteristics LM1881

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 0°C to +70°C by correlation with 100% electrical testing at T_A=25°C

Parameter	Conditions		Min	Typ (Note 4)	Max	Units
Supply Current	Outputs at Logic 1	V_{CC} = 5V		5.2	10	mA
		V_{CC} = 12V		5.5	12	
DC Input Voltage	Pin 2		1.3	1.5	1.8	V
Input Threshold Voltage	(Note 5)		55	70	85	mV
Input Discharge Current	Pin 2; V_{IN} = 2V		6	11	16	µA
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.2	0.8		mA
R_{SET} Pin Reference Voltage	Pin 6; (Note 6)		1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.0	4.5		V
		V_{CC} = 12V	11.0			
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	2.4	3.6		V
		V_{CC} = 12V	10.0			
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.0	4.5		V
		V_{CC} = 12V	11.0			
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1			0.2	0.8	V
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3			0.2	0.8	V
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5			0.2	0.8	V
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7			0.2	0.8	V
Vertical Sync Width			190	230	300	µs
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		2.5	4	4.7	µs
Vertical Default Time	(Note 7)		32	65	90	µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics LM1881–X

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = −40˚C to +85˚C by correlation with 100% electrical testing at T_A=25˚C

Parameter	Conditions		Min	Typ	Max	Units
Supply Current	Outputs at Logic 1	V_{CC} = 5V V_{CC} = 12V		5.2 5.5	10 12	mA
DC Input Voltage	Pin 2		1.3	1.5	1.8	V
Input Threshold Voltage			55	70	85	mV
Input Discharge Current	Pin 2; V_{IN} = 2V		6	11	16	µA
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.2	0.8		mA
R_{SET} Pin Reference Voltage	Pin 6;		1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.0 11.0	4.5		V
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V V_{CC} = 12V	2.4 10.0	3.6		V
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.0 11.0	4.5		V
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1			0.2	0.8	V
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3			0.2	0.8	V
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5			0.2	0.8	V
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7			0.2	0.8	V
Vertical Sync Width			140	230	588	µs
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		2.2	4	4.7	µs
Vertical Default Time			32	65	90	µs

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed.

Note 2: For operation in ambient temperatures above 25˚C, the device must be derated based on a 150˚C maximum junction temperature and a package thermal resistance of 110˚C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25˚C and represent the most likely parametric norm.

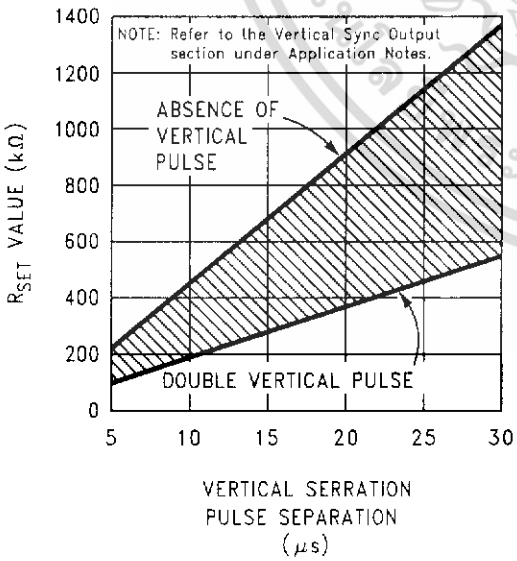
Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

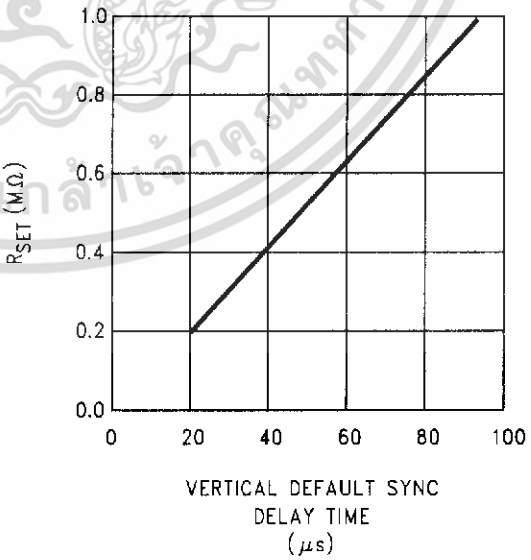
Typical Performance Characteristics

R_{SET} Value Selection vs Vertical Serration Pulse Separation



00915007

Vertical Default Sync Delay Time vs R_{SET}

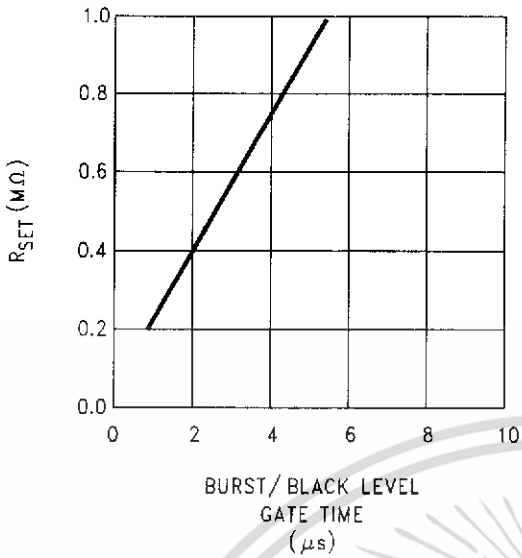


00915008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

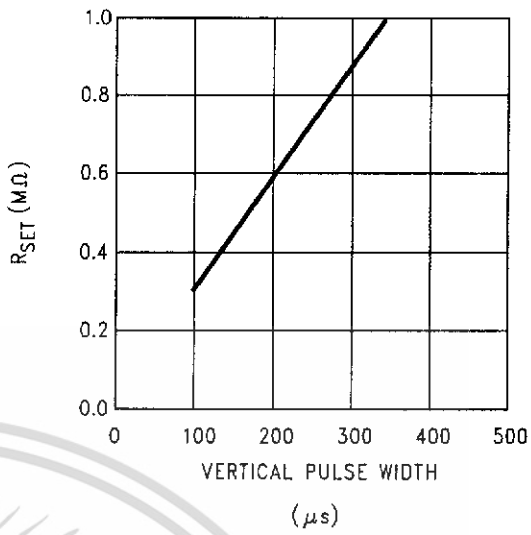
Typical Performance Characteristics (Continued)

Burst/Black Level Gate Time vs R_{SET}



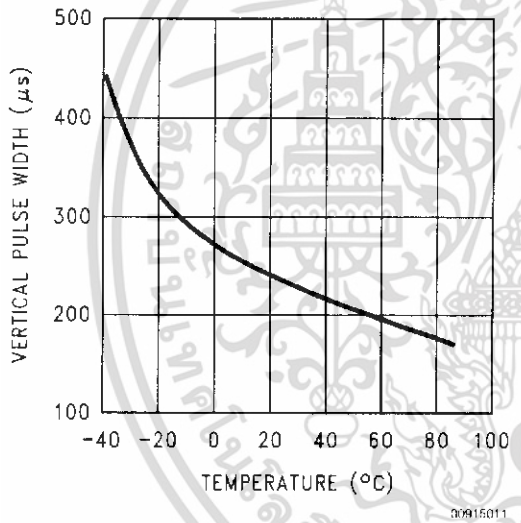
00915009

Vertical Pulse Width vs R_{SET}



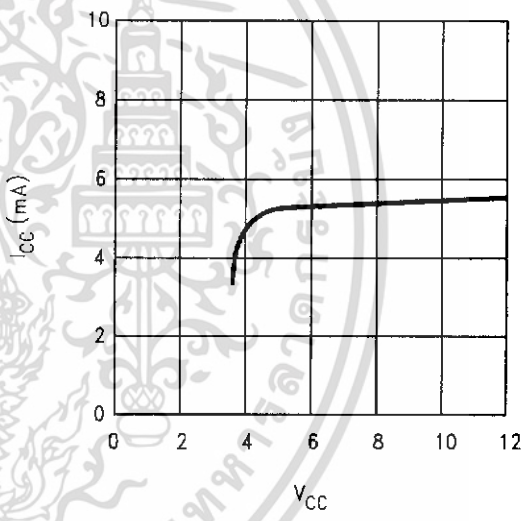
00915010

Vertical Pulse Width vs Temperature



00915011

Supply Current vs Supply Voltage



00915002

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA,

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{SET}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET}" graph shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{SET} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET}" graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 µs. In this case R_{SET} must be larger than 680 kΩ. R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{SET} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

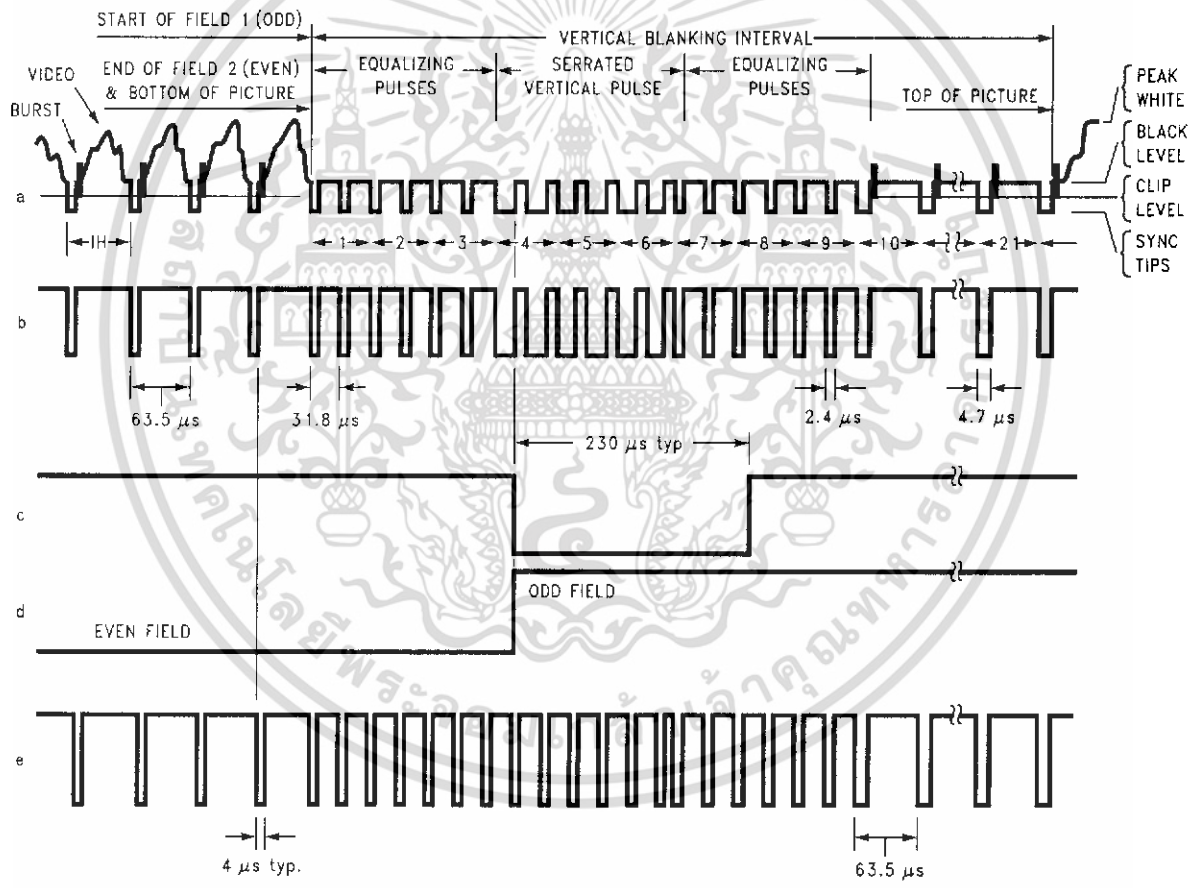
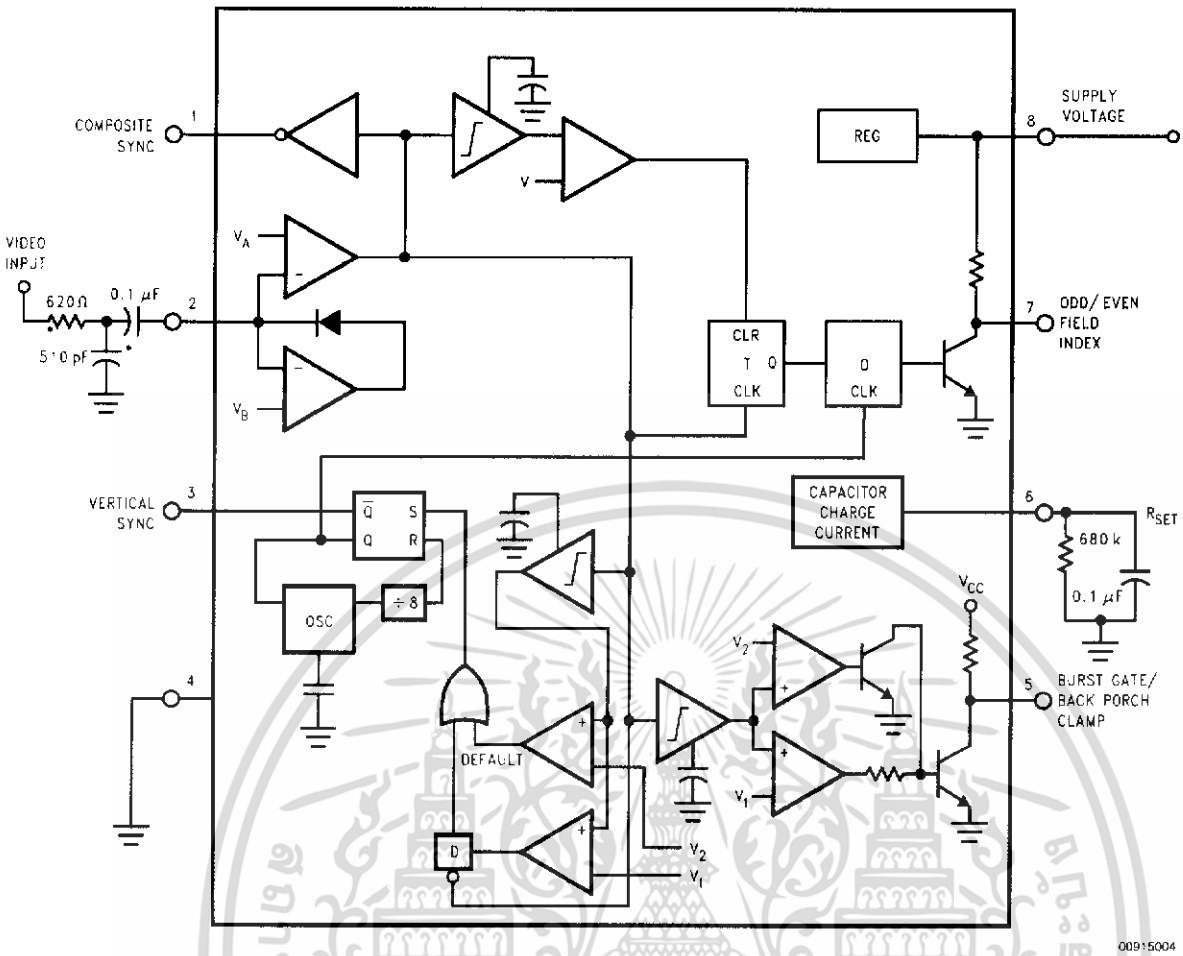


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a singe video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้