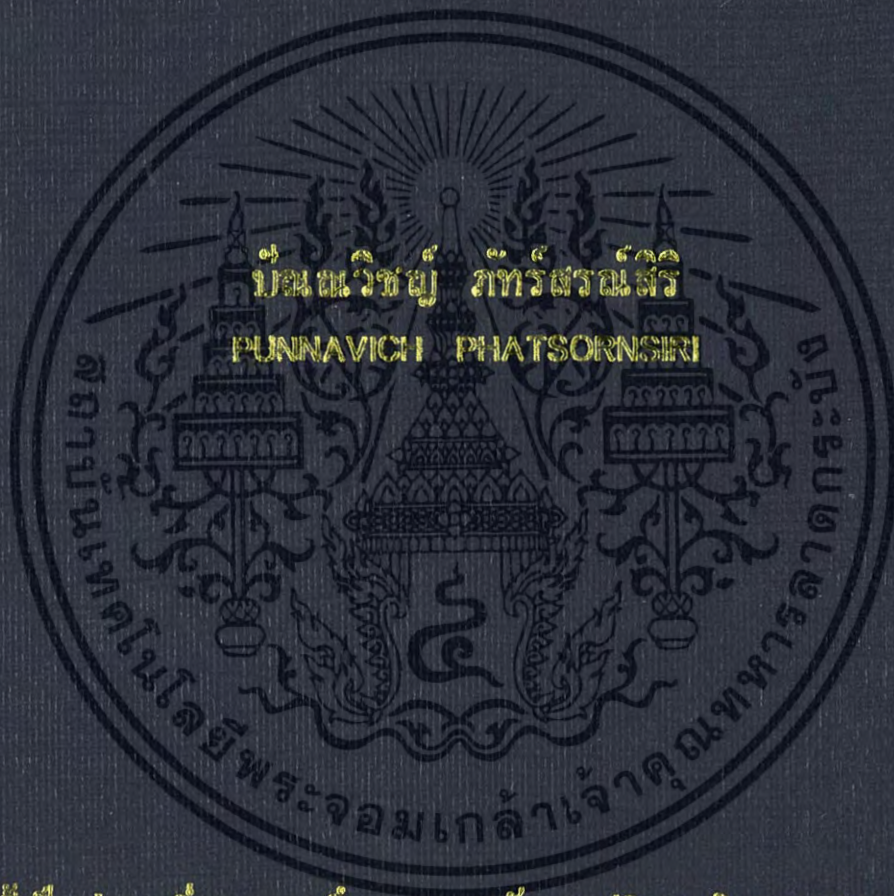


การออกแบบวงจรของความถี่ไบควอดราติกแบบหลายอินพุต

DESIGN OF MULTIPLE INPUT BIQUADRATIC FILTERS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของงานที่ศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-D-018-069

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรกรองความถี่ใบบควอดราติกแบบหลายอินพุต

DESIGN OF MULTIPLE INPUT BIQUADRATIC FILTERS



T148698



ปณณวิชญ์ ภัทร์สรณสิริ
PUNNAVICH PHATSORNSIRI

เลขหมู่ 148698
ลงทะเบียน
วันเดือนปี 14 11 2560

b. 00267480
f.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-D-018-069

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF MULTIPLE INPUT BIQUADRATIC FILTERS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2017

KMITL-2017-EN-D-018-069

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2017

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรกรองความถี่ใต้อัตราดิคแบบหลายอินพุต
Thesis Title Design of Multiple Input Biquadratic Filters
นักศึกษา นายปณณวิชญ์ ภัทร์สรณ์สิริ
รหัสประจำตัว 55610138
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.มนตรี คำเงิน
หมายเลขวิทยานิพนธ์ KMITL-2017-EN-D-018-069

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญวุฒิธรรม	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.สมเกียรติ	ฤกษ์วัลย์	
ผศ.ดร.สิรภาพ	ตู้ประกาย	
ผศ.ดร.มนตรี	คำเงิน	

วัน / เดือน / ปี ที่สอบ วันจันทร์ที่ 17 กรกฎาคม พ.ศ. 2560 เวลา 13.00-15.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 17 กรกฎาคม พ.ศ. 2560

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรกรองความถี่ใ้บควอดราติกแบบหลายอินพุต
นักศึกษา	นายปณณวิชญ์ ภัทร์สรณ์สิริ
รหัสประจำตัว	55610138
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร. มนต์รี คำเงิน

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองความถี่ใ้บควอดราติกแบบหลายอินพุต โดยใช้วงจร CDTA และ DDCCTA โดยนำเสนอการออกแบบวงจรกรองความถี่สองวงจรรวมกัน วงจรแรกคือ วงจรกรองความถี่ใ้บควอดราติกโดยใช้วงจร CDTA แบบสี่อินพุตและหนึ่งเอาต์พุต โดยวงจรประกอบด้วยวงจร CDTA จำนวนสี่วงจรร่วมกับตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัวและตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว วงจรที่สองคือ วงจรกรองความถี่ใ้บควอดราติกโดยใช้วงจร DDCCTA แบบสามอินพุตและสี่เอาต์พุต ซึ่งวงจรรวมกันประกอบด้วยวงจร DDCCTA จำนวนหนึ่งวงจรร่วมกับตัวต้านทานแบบลอยตัวจำนวนสองตัวและตัวเก็บประจุแบบลอยตัวจำนวนสองตัว วงจรที่นำเสนอสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ทั้งห้าฟังก์ชัน ได้แก่ ความถี่ต่ำผ่าน ความถี่สูงผ่าน แถบความถี่ผ่าน แถบความถี่หยุดและกรองผ่านทุกความถี่ โดยไม่ต้องอาศัยเงื่อนไขความสมพงษ์กันของอุปกรณ์ ค่าความถี่ธรรมชาติและตัวประกอบคุณภาพสามารถควบคุมได้อิสระจากกัน นอกจากนี้ค่าความไวของควมถี่ธรรมชาติและตัวประกอบคุณภาพต่อการเปลี่ยนแปลงของอุปกรณ์พาสซีฟและแอคทีฟมีค่าต่ำ คุณสมบัติและการทำงานของวงจรถูกนำเสนอสามารถยืนยันได้ด้วยผลการจำลองการทำงานด้วยโปรแกรม PSPICE และผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Design of Multiple Input Biquadratic Filters
Student	Mr. Punnavich Phatsornsiri
Student ID.	55610138
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2017
Thesis Advisor	Asst. Prof. Dr. Montree Kumngern

ABSTRACT

This thesis proposes the design of multiple input biquadratic filters using CDTA and DDCCTA. There are two proposed filters: the first proposed biquadratic filter using CDTA as active element which has a four-input one-output filter and consists of four CDTAs with two grounded resistors and two grounded capacitors. The second proposed biquadratic filter using DDCCTA as active element which has a three-input four-output filter and consists of single DDCCTA, two floating resistors and two floating capacitors. The proposed filter can realize five standard transfer functions simultaneously, which are low-pass, high-pass, band-pass, band-stop and all-pass functions without component-matching conditions. The natural frequency and quality factor can be controlled orthogonally. The proposed filters are low active and passive sensitivity performance. The characteristics of proposed circuit are simulated based on PSPICE program and experimental results are also included.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความเมตตา ความกรุณา ให้ความช่วยเหลือ ให้ออกเสนอแนะ การสนับสนุน กำลังใจ และโอกาสจากบุคคลหลายท่านดังนี้

ขอกราบขอบพระคุณอย่างสูงในทุกสิ่งในชีวิตของข้าพเจ้าที่ได้รับจากบิดาและมารดาของ ข้าพเจ้า ในเรื่อง ความรัก การดูแลเอาใจใส่ การอบรม การสนับสนุนและโอกาสในการศึกษา และ กำลังใจจากท่าน เป็นต้น พระคุณของท่านไม่สามารถบรรยายได้หมด

ขอกราบขอบพระคุณอย่างสูงกับ ผู้ช่วยศาสตราจารย์ ดร.มนตรี คำเงิน อาจารย์ที่ปรึกษา วิทยานิพนธ์ และดร.ผาณิต ละมุล ที่ได้กรุณาให้คำปรึกษา แนะนำสั่งสอน ออเสนอแนะ แนวทางใน การแก้ไขปัญหาของวิทยานิพนธ์ และเป็นแบบอย่างในการดำรงชีวิตในการทำงานและเรื่องส่วนตัว ตั้งแต่เริ่มเข้ารับการศึกษา ข้าพเจ้าขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รองศาสตราจารย์ ดร. กอบชัย เดชหาญ รองศาสตราจารย์ สมยศ จุณะปิยะ และรองศาสตราจารย์ พิพัฒน์ พรหมมี สำหรับความเมตตา และความกรุณาที่ท่านมอบให้แก่ข้าพเจ้า ในด้านวิชาการและการดำเนินชีวิตในการทำงาน และความรู้แก่ข้าพเจ้า

ขอขอบพระคุณคณาจารย์ภาควิชาโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง และครูที่สั่งสอนข้าพเจ้าตั้งแต่ปฐมวัยทุกท่านที่ได้ประสิทธิ์ ประสาทวิชาความรู้ จนก่อให้เกิดประโยชน์อย่างมากทั้งในด้านการศึกษา ด้านทำงานและการใช้ชีวิต แก่ข้าพเจ้า

ขอขอบพระคุณอามา ลุงอ้วน ป้าจงกล แม่เน่ ป้าเผ็ก ป้าอ๋า อาอิทธิ อาวันดี อาปุ๊ พี่เจิน พี่ เสถียร พี่แจ่ม พี่พิณ พี่จำ พี่หนูย พี่อ้ม พี่เป้ พี่ขวัญ พี่เอก เทิด จรีอด หนึ่ง เจมส์ กรณ์ โจ้ย ญัย น้อยบ๊ิก น้อยนิว รวมถึงญาติและมิตรของข้าพเจ้า ที่ให้การอำนวยความสะดวก ให้ความช่วยเหลือ คำปรึกษา ข้อคิดและกำลังใจในการทำงานที่เกิดขึ้นระหว่างการศึกษา

ขอขอบพระคุณสถาบันเทคโนโลยีปทุมวันที่ได้ให้โอกาสการทำงานและประสบการณ์การใช้ ชีวิตและการทำงาน รวมถึงมิตรภาพและความหวังดีจาก รศ. บุญเรือง วังศิลาบัตร น้าอวัชชัย น้ากุง พี่ แก้ว พี่โมท พี่เอ๋ พี่นพ พี่เก่ง พี่บู พี่เบียร์ พี่แนน และเพื่อนร่วมงานทุกคน ในการสนับสนุนให้ คำแนะนำการทำงานที่สถาบันเทคโนโลยีปทุมวัน

สุดท้ายนี้ข้าพเจ้าขอขอบพระคุณบุคคลทุกคนมิได้เอ่ยนาม ที่ได้ให้ความช่วยเหลือและสนับสนุน แก่ข้าพเจ้ามา ณ ที่นี้ด้วย

สำหรับคุณค่า และประโยชน์ที่เกิดขึ้นจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบและอุทิศให้กับผู้มี พระคุณของข้าพเจ้าทุกท่าน ทั้งที่ยังมีชีวิตและล่วงลับไปแล้ว

ปณณวิชญ์ ภัทร์สรณ์สิริ

สารบัญ

หน้า

บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ที่มาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการทำวิจัย.....	3
1.3 ทฤษฎีและแนวคิดที่นำเสนอ	3
1.4 ขอบเขตของวิทยานิพนธ์	4
1.5 รายละเอียดของวิทยานิพนธ์.....	5
บทที่ 2 อุปกรณ์แอกทีฟและหลักการวงจรกรองความถี่	6
2.1 วงจรสายพานกระแส.....	6
2.1.1 วงจรสายพานกระแสยุคที่หนึ่ง.....	6
2.1.2 วงจรสายพานกระแสยุคที่สอง.....	7
2.1.3 วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส.....	8
2.2 วงจร CDBA	10
2.3 วงจร DDCC.....	11
2.4 วงจร OTA.....	13
2.5 วงจร CDTA.....	17
2.6 วงจร DDCCTA.....	21
2.7 วงจรกรองความถี่.....	25
2.7.1 วงจรกรองความถี่แบบต่ำผ่าน.....	27
2.7.2 วงจรกรองความถี่แบบสูงผ่าน	28
2.7.3 วงจรกรองผ่านแถบความถี่.....	30
2.7.4 วงจรกรองก้ำจืดแถบความถี่.....	31
2.7.5 วงจรกรองผ่านทุกความถี่.....	32
2.8 ค่าความไว.....	34

สารบัญ (ต่อ)

	หน้า
บทที่ 3 งานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์.....	38
3.1 บทนำ.....	38
3.2 งานวิจัยที่เกี่ยวข้องกับวงจร CDTA.....	38
3.2.1 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [12].....	38
3.2.2 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [13].....	40
3.2.3 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [27].....	41
3.2.4 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [28].....	43
3.2.5 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [29].....	45
3.3 งานวิจัยที่เกี่ยวข้องกับวงจร DDCCTA.....	47
3.3.1 วงจรกรองความถี่ที่สร้างขึ้นจากวงจร DDCCTA [52]	47
3.3.2 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ โดยไม่ใช้ตัวต้านทาน [54]	48
3.3.3 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [55]	50
3.3.4 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [56]	52
3.3.5 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [57]	54
3.2.6 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [59]	56
3.3.7 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ [60]	57
บทที่ 4 วงจรกรองความถี่อันดับสองแบบสี่อินพุต หนึ่งเอาต์พุต โดยใช้วงจร CDTA.....	60
4.1 บทนำ.....	60
4.2 วงจรกรองความถี่อันดับสองที่นำเสนอด้วยวงจร CDTA.....	60
4.3 การวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรที่นำเสนอ.....	67
4.4 ผลการจำลองการทำงานของวงจรกรองความถี่ที่นำเสนอ.....	69
4.5 บทสรุป	75
บทที่ 5 วงจรกรองความถี่อันดับที่สองแบบสามอินพุต สี่เอาต์พุตโดยใช้วงจร DDCCTA.....	76
5.1 บทนำ.....	76
5.2 วงจรกรองความถี่อันดับสองที่นำเสนอด้วยวงจร DDCCTA.....	76
5.3 การวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรที่นำเสนอ	87
5.4 ผลการจำลองการทำงานของวงจรกรองความถี่ที่นำเสนอ	90
5.5 บทสรุป	102

สารบัญ (ต่อ)

	หน้า
บทที่ 6 บทสรุป.....	103
6.1 บทสรุป.....	103
6.2 ข้อเสนอแนะ.....	106
เอกสารอ้างอิง.....	107
ภาคผนวก.....	113
ภาคผนวก ก.....	114
ภาคผนวก ข.....	116
ประวัติผู้เขียน.....	173



สารบัญตาราง

ตารางที่	หน้า
3.1 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่อันดับที่สองที่สร้างขึ้นจากวงจร CDTA	46
3.2 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่ที่สร้างขึ้นจากวงจร DDCCTA	59
4.1 แสดงการกำหนดขนาดของมอสทรานซิสเตอร์ของวงจร CDTA	69
4.2 พารามิเตอร์ที่ใช้ในการจำลองผลการทำงานของวงจร CDTA.....	70
4.3 ผลการวิเคราะห์ด้วยมอนติคาร์โลของผลตอบสนองทางความถี่ของวงจรรองความถี่ แบบ BP (200 runs).Tolerances(%)	74
5.1 แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่.....	84
5.2 การกำหนดฟังก์ชันการกรองด้วยการทำงานของสวิตช์	86
5.3 แสดงการกำหนดขนาดของมอสทรานซิสเตอร์ของวงจร DDCCTA	90
5.4 พารามิเตอร์ที่ใช้ในการจำลองผลการทำงานของวงจร DDCCTA.....	90
5.5 ผลการวิเคราะห์ด้วยมอนติคาร์โลของผลตอบสนองทางความถี่ของ วงจรรองความถี่แบบ BP (200 runs).Tolerances(%)	97
6.1 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่อันดับที่สองที่สร้างขึ้นจากวงจร CDTA	103
6.2 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่อันดับที่สอง ที่สร้างขึ้นจากวงจร DDCCTA.....	104

สารบัญรูป

รูปที่	หน้า
2.1 วงจรสายพานกระแสยุคที่หนึ่ง (CCI)	6
2.2 วงจรสายพานกระแสยุคที่สอง (CCII)	8
2.3 วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส (CCCII)	8
2.4 วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส	9
2.5 แสดงวงจร CDDBA (ก) สัญลักษณ์ (ข) วงจรสมมูล	11
2.6 สัญลักษณ์ของวงจร DDCC	12
2.7 โครงสร้างวงจร DDCC ที่สร้างขึ้นจากซีมอส	13
2.8 สัญลักษณ์ของ OTA	14
2.9 โครงสร้างภายในของวงจร OTA แบบสมมาตร	15
2.10 วงจรสมมูลของวงจร OTA ที่ไม่เป็นไปตามอุดมคติ	16
2.11 สัญลักษณ์ของวงจร CDTA	18
2.12 วงจรสมมูลของวงจร CDTA	18
2.13 วงจร CDTA ที่มีโครงสร้างแบบมอสทรานซิสเตอร์	19
2.14 วงจรสมมูลทางไฟฟ้าของวงจร CDTA ในกรณีที่ไม่เป็นไปตามอุดมคติ	20
2.15 สัญลักษณ์ของวงจร DDCCTA	22
2.16 โครงสร้างของวงจร DDCCTA แบบใช้เทคโนโลยีซีมอส	22
2.17 นิยามของ ω_0 และ Q ของคู่อุปกรณ์เชิงซ้อน	27
2.18 ค่าโพลและซีโบริบรณะนาบ s ของวงจรกรองแบบความถี่ต่ำผ่านอันดับ	28
2.19 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแบบความถี่ต่ำผ่านอันดับสอง	28
2.20 ค่าโพลและซีโบริบรณะนาบ s ของวงจรกรองแบบความถี่สูงผ่านอันดับสอง	29
2.21 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแบบความถี่สูงผ่านอันดับสอง	29
2.22 ค่าโพลและซีโบริบรณะนาบ s ของวงจรกรองแบบแถบความถี่ผ่านอันดับสอง	31
2.23 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแบบแถบความถี่ผ่านอันดับสอง	31
2.24 ค่าโพลและซีโบริบรณะนาบ s ของวงจรกรองกำจัดแถบความถี่อันดับสอง	32
2.25 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองกำจัดแถบความถี่อันดับสอง	32
2.26 ค่าโพลและซีโบริบรณะนาบ s ของวงจรกรองผ่านทุกความถี่ผ่านอันดับสอง	33
2.27 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองผ่านทุกความถี่ผ่านอันดับสอง	34
2.28 การตอบสนองทางเฟสเชิงความถี่ของวงจรกรองผ่านทุกความถี่ผ่านอันดับสอง	34
3.1 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [12]	39
3.2 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [13]	40

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.3 วงจรกรองความถี่โหมตกระแสแบบหลายหน้าที่ด้วยวงจร CDTA [27].....	42
3.4 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [28].....	44
3.5 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [29].....	45
3.6 วงจรกรองความถี่ที่สร้างขึ้นจากวงจร DDCCTA [52].....	47
3.7 วงจรกรองความถี่แบบหลายหน้าที่ใน [54].....	49
3.8 วงจรกรองความถี่ SIMO [55].....	50
3.9 วงจรกรองความถี่ SIMO ด้วยการต่ออุปกรณ์พาสซีฟลงกราวด์ [56].....	52
3.10 วงจรกรองความถี่ SIMO ที่นำเสนอนิ [57].....	54
3.11 วงจรกรองความถี่ SIMO ที่นำเสนอนิ [59].....	56
3.12 วงจรกรองความถี่แบบหลายหน้าที่ใน [60].....	58
4.1 วงจรกรองความถี่แบบหลายหน้าที่โหมตกระแสที่สร้างด้วยวงจร CDTA.....	61
4.2 วงจร CDTA ที่สร้างด้วยมอสทรานซิสเตอร์.....	66
4.3 ตัวต้านทานที่สร้างด้วยวงจรมอสทรานซิสเตอร์.....	66
4.4 วงจรสมมูลทางไฟฟ้าของวงจร CDTA ในกรณีที่ไม่เป็นไปตามอุดมคติ.....	67
4.5 ผลตอบสนองทางความถี่แบบ LP, BP, BS และ HP ของวงจรกรองความถี่ที่นำเสนอนิ.....	71
4.6 ผลตอบสนองทางความถี่แบบ AP.....	71
4.7 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่ากระแสไบอัส I_B	72
4.8 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่ากระแสไบอัส I_{B4}	72
4.9 ความผิดเพี้ยนทางฮาร์โมนิกส์รวมของวงจรกรองความถี่ต่ำ เมื่อปรับขนาดสัญญาณอินพุต.....	73
4.10 กราฟค่าเบี่ยงเบนทางสถิติของการวิเคราะห์ด้วยวิธีมอนติคาร์โลสำหรับวงจรกรองความถี่แบบ BP เมื่อปรับตัวเก็บประจุ C_1, C_2 มีการเบี่ยงเบนเป็น 1 %.....	74
4.11 ผลตอบสนองทางความถี่แบบ BP เมื่ออุณหภูมิเปลี่ยนเป็น $0^\circ, 25^\circ, 75^\circ$ และ 100°	75
5.1 วงจรกรองความถี่อันดับสองแบบหลายหน้าที่ที่นำเสนอนิด้วยวงจร DDCCTA.....	77
5.2 วงจรกรองความถี่อันดับสองแบบหลายหน้าที่มีอินพุตอิมพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำ.....	86
5.3 วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA ในกรณีที่ไม่เป็นไปตามอุดมคติ.....	87
5.4 ผลตอบสนองทางความถี่แบบ LP, BP, BS และ HP ของวงจรกรองความถี่ที่นำเสนอนิ.....	92
5.5 ผลตอบสนองทางความถี่แบบ AP.....	92
5.6 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่าตัวเก็บประจุ.....	93
5.7 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่าตัวต้านทาน R_1	93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.8 ความผิดเพี้ยนทางฮาร์มอนิกสักรวมของวงจรกรองความถี่ต่ำ เมื่อแรงดันอินพุตมีการเปลี่ยนแปลง	94
5.9 สเปกตรัมของวงจรกรองความถี่แบบ BP ด้วยอินพุตที่ต่างกัน 2 แบบ	95
5.10 IMD อันดับที่3 ของวงจรกรองความถี่แบบ BP เมื่อแรงดันอินพุตมีการเปลี่ยนแปลง.....	95
5.11 กราฟค่าเบี่ยงเบนทางสถิติของการวิเคราะห์ด้วยวิธีมอนติคาร์โลสำหรับวงจรกรองความถี่แบบ BP เมื่อตัวต้านทานและตัวเก็บประจุมีการเบี่ยงเบนไป 1 %.....	97
5.12 วงจร DDCCTA ที่สร้างจากไอซี AD844 และ LM13600	98
5.13 วงจร DDCCTA ที่สร้างขึ้นจากไอซี AD844 และ LM13600s (ก) ด้านบน (ข) ด้านล่าง	98
5.14 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบ LP, BP, HP และ BS	99
5.15 ผลตอบสนองทางความถี่ของการกรองแบบ AP จากวงจรจริง	99
5.16 รูปคลื่นอินพุตและเอาต์พุตของวงจรกรองแบบ BP สำหรับความถี่ 157 kHz เมื่อสัญญาณอินพุตเป็นรูปคลื่นไซน์มีขนาด 50 mV (peak)	100
5.17 รูปคลื่นอินพุตและเอาต์พุตของวงจรกรองแบบ AP สำหรับความถี่ 157 kHz เมื่อสัญญาณอินพุตเป็นรูปคลื่นไซน์มีขนาด 50 mV (peak).....	100

บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญของปัญหา

ปัจจุบันได้มีการพัฒนาวงจรรีเลย์ทรอนิกส์ในระบบบนาลอกและดิจิทัลที่สร้างขึ้นโดยใช้หลักการวงจรรวม(Integrated Circuit : IC) โดยนำหลักการต่างๆ ที่ถูกวิจัยขึ้นมาพัฒนาการออกแบบวงจรมให้มีประสิทธิภาพสูงขึ้น สามารถนำวงจรไปประยุกต์ใช้งานได้สะดวก หรือ การปรับปรุงแก้ไขวงจรมที่มีอยู่เดิมให้มีคุณสมบัติ และมีประสิทธิภาพในการทำงานรวมถึงให้ค่าความละเอียดและความแม่นยำในการทำงานที่ดีขึ้น และมีผลตอบสนองต่อความถี่ที่ปฏิบัติงานในช่วงความถี่สูง ใช้อุปกรณ์ที่มีจำนวนน้อยที่สุด และใช้กำลังงานต่ำ เพื่อให้วงจรเป็นไปตามหลักการของเทคโนโลยีของวงจรรวมขนาดใหญ่ (Very Large Scale Integration : VLSI) โดยในวิทยานิพนธ์ฉบับนี้กล่าวถึง การออกแบบวงจรรองความถี่ ซึ่งเป็นวงจรมที่มีความสำคัญและมีการนำไปประยุกต์ใช้งานร่วมกับวงจรรีเลย์ทรอนิกส์อื่นๆ ในด้านของ ระบบสื่อสาร ระบบเครื่องมือวัด และระบบควบคุม เป็นต้น [1]-[5] การออกแบบวงจรรองความถี่ที่พัฒนาในรูปแบบของวงจรรองความถี่ไบควอดราติกแบบหลายหน้าที่ (Universal Biquadratic Filter) ซึ่งข้อดีของการออกแบบวงจรรองความถี่แบบหลายหน้าที่คือ วงจรมสามารถให้ผลตอบสนองได้หลายฟังก์ชันการกรองความถี่ ได้แก่ กรองความถี่ต่ำผ่าน (Low-pass : LP) แถบความถี่ผ่าน (Band-Pass : BP) แถบความถี่หยุด (Band-Stop, Notch : BS) กรองความถี่สูงผ่าน (High-Pass : HP) และผ่านทุกความถี่ (All-pass : AP) โดยไม่ต้องเปลี่ยนแปลงโครงสร้างของวงจรม เมื่อพิจารณาข้ออินพุตและข้อเอาต์พุตของวงจรรองความถี่แบบหลายหน้าที่ จะสามารถแบ่งวงจรรองความถี่ดังกล่าวได้สี่ชนิด คือ แบบหนึ่งอินพุต หนึ่งเอาต์พุต (Single-input multiple-output : SIMO) [6]-[16] แบบหนึ่งอินพุต หลายเอาต์พุต (Single -input single Multiple -output : SIMO) แบบหลายอินพุต หนึ่งเอาต์พุต (Multiple-input single-output : MISO) [17]-[29] และ แบบหลายอินพุต หลายเอาต์พุต (Multiple-input multiple-output : MIMO) [30]-[40] ที่ผ่านมามีการนำเสนอวงจรรองความถี่ไว้มากมาย โดยใช้อุปกรณ์แอกทีฟที่แตกต่างกันได้แก่ วงจรมสายพานกระแสยุคที่สอง (second-generation current conveyor : CCII) [6]-[7], [17], [30], [65] เป็นวงจรมที่มีคุณสมบัติมีค่าอัตราการสลับสูง และแบนด์วิดท์กว้าง ข้อเสียคือวงจรมใช้ตัวต้านทานต่อแบบลอยตัวจำนวนมากทำให้ได้รับผลกระทบจากค่าอิมพีแดนซ์แฝงภายในวงจรม ทำให้การนำวงจรมสายพานกระแสยุคที่สองไปสร้างเป็นวงจรรองความถี่แบบหลายหน้าที่ จึงใช้อุปกรณ์แอกทีฟจำนวนมาก วงจรม FDCCII (fully differential current conveyor) [9]-[10], [32] พัฒนาขึ้นจากการต่อวงจรมสายพานกระแสกับวงจรม FD โดยเพิ่มข้ออินพุตจากวงจรมสายพานกระแส ข้อดีคือมีความต้านทานแฝงภายในที่ควบคุมได้ด้วยรีเลย์ทรอนิกส์ผ่านการไบอัสกระแสจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำไปสร้างเป็นวงจรกรองความถี่พบว่า วงจรต่อร่วมกับอุปกรณ์พาสซีฟแบบลอยตัวทำส่งผลให้ วงจรได้รับผลกระทบจากอิมพีแดนซ์แฝงภายในวงจร และวงจรไม่สามารถปรับตัวประกอบคุณภาพ กับความถี่ธรรมชาติได้อิสระต่อกัน วงจร DDCC (differential difference current conveyor) [19]-[23], [33]-[35], [44]-[46] เป็นการพัฒนาขึ้นจากวงจรสายพานกระแสยุคที่สองร่วมกับวงจร DDA โดยการเพิ่มขั้วอินพุตจากวงจรสายพานกระแส ทำให้วงจรมีคุณสมบัติคือ อินพุตอิมพีแดนซ์ต่ำ และเอาต์พุตมีอิมพีแดนซ์สูง เมื่อนำมาสร้างเป็นวงจรกรองความถี่พบว่า วงจร DDCC ต่อกับอุปกรณ์ พาสซีฟแบบลอยตัวทำให้ได้รับผลกระทบจากค่าอิมพีแดนซ์แฝงของวงจร วงจร DVCC (differential voltage current conveyor) [36] เป็นการพัฒนาขึ้นจากวงจรสายพานกระแสยุคที่สองร่วมกับวงจร DDA โดยแรงดันที่เอาต์พุตของวงจรเป็นผลต่างระหว่างแรงดันอินพุต ซึ่งยังคงมีคุณสมบัติอินพุตอิมพี แแดนซ์ที่สูงและเอาต์พุตมีอิมพีแดนซ์ต่ำ โดยเมื่อนำวงจรไปสร้างเป็นวงจรกรองความถี่พบว่า วงจรไม่ สามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกแบบ และต้องอาศัยความสมพงษ์กันของ อุปกรณ์ วงจร CDBA (current differencing buffered amplifier) [42]-[43] เป็นวงจรที่ได้รับ พัฒนามาจากวงจรขยายกระแสแบบบ้อนกลับ วงจร CDBA จะทำหน้าที่สังเคราะห์วงจรในการสร้าง ฟังก์ชันถ่ายโอนแรงดันอันดับสูง ข้อเสียคือวงจรต้องอาศัยวงจรบัฟเฟอร์ก่อนต่อกับโหลด เมื่อนำมา สร้างเป็นวงจรกรองความถี่พบว่า วงจรต้องอาศัยความสมพงษ์กันของอุปกรณ์และวงจรไม่สามารถ ปรับความถี่กับตัวประกอบคุณภาพได้อิสระต่อกัน วงจรOTA (operational transconductance amplifier) [24]-[25], [37], [47], [48] เป็นวงจรที่เปลี่ยนแรงดันเป็นกระแส สามารถปรับค่าได้ด้วย กระแสไบอัสโดยไม่ต้องใช้ตัวต้านทาน สามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ข้อจำกัดคือ วงจรสามารถทำงานได้ในโหมดแรงดันเท่านั้น เมื่อนำมาสร้างเป็นวงจรกรองความถี่พบว่า วงจร ประกอบด้วยอุปกรณ์แอคทีฟจำนวนมาก และไม่สามารถปรับความถี่ธรรมชาติกับตัวประกอบ คุณภาพได้อิสระต่อกัน ซึ่งต่อมาในปี ค.ศ. 2003 D. Birolek ได้นำเสนออุปกรณ์แอคทีฟคือ วงจร CDTA (current-differencing transconductance amplifier) CDTA ได้พัฒนาขึ้นจากวงจร CDBA [44] และสามารถปรับอัตราขยายความนำ(transconductance gain, g_m) ด้วยวงจรขยายค่าความนำ [48] โดยวงจรมีคุณสมบัติคือวงจรมีค่าอินพุตอิมพีแดนซ์ต่ำและเอาต์พุตอิมพีแดนซ์สูง จึงได้รับความนิยมในการนำไปสร้างเป็นวงจรประมวลสัญญาณโหมดกระแส ซึ่งวงจรดังกล่าวไม่สามารถสังเคราะห์ ฟังก์ชันการกรองความถี่ได้ครบทุกรูปแบบ และไม่สามารถปรับความถี่ธรรมชาติกับตัวประกอบ คุณภาพได้อิสระต่อกัน โดยในปี ค.ศ. 2011 Pandey และ Paul [52] นำเสนอวงจร DDCCTA (differential difference current conveyor transconductance amplifier) ซึ่งพัฒนาขึ้นจาก การรวมคุณสมบัติของวงจร DDCC ร่วมกับวงจร OTA ทำให้วงจรมีคุณสมบัติด้วยวิธีการทาง อิเล็กทรอนิกส์ ทำให้ได้รับการนำไปออกแบบวงจรประมวลสัญญาณอนาล็อก ทำให้ลดจำนวนการต่อ ตัวต้านทานจากภายนอก ทำให้ช่วยลดการใช้อุปกรณ์พาสซีฟจากภายนอก เมื่อนำวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DDCCTA มาสร้างเป็นวงจรรองความถี่พบว่า วงจรไม่สามารถปรับความถี่ธรรมชาติกับตัวประกอบคุณภาพได้อิสระต่อกันและไม่สามารถสังเคราะห์ความถี่ได้ครบทุกรูปแบบ

จากเหตุผลที่ได้กล่าวมาข้างต้นในวิทยานิพนธ์ฉบับนี้จึงมีแนวคิดในการออกแบบวงจรรองความถี่ไบควอดราติกแบบหลายอินพุต โดยใช้วงจร CDTAs และ DDCCTA โดยแบ่งออกเป็นสองวงจร วงจรแรกคือ วงจรรองความถี่ไบควอดราติกที่สร้างขึ้นด้วยวงจร CDTA แบบสี่อินพุตและหนึ่งเอาต์พุต สร้างขึ้นจากวงจร CDTA และวงจรที่สองคือ วงจรรองความถี่ไบควอดราติกที่สร้างขึ้นด้วยวงจร DDCCTA แบบสามอินพุตและสี่เอาต์พุต วงจรที่นำเสนอทั้งหมดออกแบบด้วยเทคโนโลยีซีมอส โดยวงจรที่ออกแบบสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกรูปแบบและสามารถปรับความถี่ธรรมชาติกับตัวประกอบคุณภาพได้อิสระต่อกันและวงจรสามารถควบคุมความถี่

1.2 ความมุ่งหมายและวัตถุประสงค์ของการทำวิจัย

วิทยานิพนธ์ฉบับนี้เป็นการออกแบบวงจรรองความถี่ไบควอดราติกแบบหลายอินพุต โดยแบ่งออกเป็นสองวงรดังนี้คือ

1.2.1 วงจรรองความถี่ไบควอดราติกแบบหลายอินพุตที่สร้างขึ้นด้วยวงจร CDTA แบบสี่อินพุตและหนึ่งเอาต์พุต สร้างขึ้นจากวงจร CDTA จำนวนสี่วงจรต่อร่วมกับตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัวและตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว

1.2.2 วงจรรองความถี่ไบควอดราติกแบบหลายอินพุตที่สร้างขึ้นด้วยวงจร DDCCTA ภายในวงจรประกอบด้วยวงจร DDCCTA จำนวนหนึ่งวงจร ต่อร่วมกับตัวต้านทานแบบลอยตัวจำนวนสองตัวและตัวเก็บประจุแบบลอยตัวจำนวนสองตัว

โดยมีวัตถุประสงค์เพื่อศึกษาวิจัยและนำเสนอการออกแบบวงจรวงจรรองความถี่ไบควอดราติกแบบหลายอินพุต ซึ่งวงจรที่นำเสนอทั้งสองวงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชัน ได้แก่ ความถี่ต่ำผ่าน ความถี่สูงผ่าน แแถบความถี่ผ่าน แแถบความถี่หยุดและกรองผ่านทุกความถี่ โดยไม่เปลี่ยนแปลงโครงสร้างของวงจรและสามารถกำหนดฟังก์ชันการกรองความถี่ด้วยการป้อนสัญญาณอินพุต วงจรสามารถควบคุมค่าความถี่ธรรมชาติและตัวประกอบคุณภาพได้อิสระจากกัน นอกจากนี้ค่าความไวของค่าความถี่ธรรมชาติและตัวประกอบคุณภาพต่อการเปลี่ยนแปลงของอุปกรณ์พาสซีฟและแอคทีฟมีค่าต่ำ

1.3 ทฤษฎีและแนวคิดที่นำเสนอ

จากงานวิจัยที่นำเสนอการออกแบบวงจรวงจรรองความถี่ด้วยวงจร CDTA และ DDCCTA ที่ผ่านมาพบว่า วงจรที่นำเสนอส่วนใหญ่ไม่สามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชันและไม่สามารถปรับค่าความถี่ธรรมชาติและตัวประกอบคุณภาพได้อิสระต่อกันและอาจังเงื่อนไขความสมพงษ์กันของอุปกรณ์ รวมถึงใช้อุปกรณ์แอคทีฟและพาสซีฟเป็นจำนวนมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรรองความถี่แบบหลายอินพุตโดยแบ่งออกเป็นสองวงจรดังนี้คือ วงจรรองความถี่ไบควอดราติกแบบหลายอินพุตที่สร้างขึ้นด้วยวงจร CDTA แบบสี่อินพุตและหนึ่งเอาต์พุต สร้างขึ้นจากวงจร CDTA จำนวนสี่วงจรต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว และตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัว โดยตัวต้านทานสร้างขึ้นจากวงจรซีมอสเพื่อทดแทนตัวต้านทานแบบพาสซีฟ วงจรที่สองนำเสนอ วงจรรองความถี่ไบควอดราติกแบบหลายอินพุตที่สร้างขึ้นด้วยวงจร DDCCTA ภายในวงจรประกอบด้วยวงจร DDCCTA จำนวนหนึ่งวงจร ต่อร่วมกับตัวต้านทานแบบลอยตัวจำนวนสองตัวและตัวเก็บประจุแบบลอยตัวจำนวนสองตัว ซึ่งวงจรที่นำเสนอทั้งสองวงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชันด้วยการกำหนดสัญญาณอินพุตให้กับวงจร อีกทั้งวงจรสามารถควบคุมค่าความถี่ธรรมชาติและตัวประกอบคุณภาพได้อิสระจากกันและสามารถแปรค่าได้อย่างมีเงื่อนไขจากการกำหนดกระแสไบอัสให้กับอุปกรณ์แอกทีฟ ค่าความไวของควมถี่ธรรมชาติและตัวประกอบคุณภาพต่อการเปลี่ยนแปลงของอุปกรณ์พาสซีฟและแอกทีฟมีค่าต่ำ

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรรองความถี่ไบควอดราติกแบบหลายอินพุต โดยใช้ วงจร CDTA และวงจร DDCCTA เป็นอุปกรณ์แอกทีฟหลักในการสังเคราะห์วงจร ซึ่งมีขอบเขตของวิทยานิพนธ์ดังนี้

1.4.1 นำเสนอวงจรรองความถี่ไบควอดราติกที่สร้างขึ้นด้วยวงจร CDTA แบบสี่อินพุตและหนึ่งเอาต์พุต วงจรประกอบด้วยวงจร CDTA จำนวนสี่วงจรต่อร่วมกับตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัวและตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชันและวงจรสามารถควบคุมความถี่ธรรมชาติกับตัวประกอบคุณภาพได้อิสระ ค่าความไวของควมถี่ธรรมชาติและตัวประกอบคุณภาพต่อการเปลี่ยนแปลงของอุปกรณ์พาสซีฟและแอกทีฟมีค่าต่ำ

1.4.2 นำเสนอวงจรรองความถี่ไบควอดราติกที่สร้างขึ้นด้วยวงจร DDCCTA แบบสามอินพุตและสี่เอาต์พุต วงจรประกอบด้วยวงจร DDCCTA จำนวนหนึ่งวงจร ต่อร่วมกับตัวต้านทานแบบลอยตัวจำนวนสองตัวและตัวเก็บประจุแบบลอยตัวจำนวนสองตัว วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชันและวงจรสามารถควบคุมความถี่ธรรมชาติกับตัวประกอบคุณภาพได้อิสระ ค่าความไวของควมถี่ธรรมชาติและตัวประกอบคุณภาพต่อการเปลี่ยนแปลงของอุปกรณ์พาสซีฟและแอกทีฟมีค่าต่ำ

1.4.3 คุณสมบัติทางทฤษฎีและการทำงานของวงจรรองความถี่ไบควอดราติกแบบหลายอินพุต ทั้งสองวงจรสามารถยืนยันการจำลองการทำงานได้ด้วยโปรแกรม PSPICE นอกจากนี้ในวงจร

กรองความถี่ไบควอดราติกที่สร้างขึ้นด้วยวงจร DDCCTA ได้ทดลองต่อวงจรจริงโดยใช้ไอซีสำเร็จรูปเบอร์ AD844 และ LM13600

1.5 รายละเอียดของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งเนื้อหาออกเป็น 6 บท โดยมีรายละเอียดดังนี้

บทที่ 1 กล่าวถึง ที่มาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการทำวิจัย ทฤษฎีและแนวคิดที่นำเสนอ ขอบเขตของวิทยานิพนธ์และรายละเอียดของวิทยานิพนธ์แต่ละบท

บทที่ 2 กล่าวถึง หลักการของอุปกรณ์แอกทีฟได้แก่ วงจรสายพานกระแส วงจร DDCC วงจร CDBA วงจร OTA วงจร CDTA และ วงจร DDCCTA รวมถึงหลักการของวงจรกรองความถี่ไบควอดราติก และค่าความไว

บทที่ 3 กล่าวถึงงานวิจัยที่เกี่ยวข้องกับวงจรกรองความถี่แบบหลายหน้าที่ จากงานวิจัยที่ผ่านมาของวงจร CDTA และวงจร DDCCTA

บทที่ 4 นำเสนอการออกแบบวงจรกรองความถี่อันดับสองแบบหลายอินพุตด้วยวงจร CDTA พร้อมทั้งการวิเคราะห์การทำงานในอุดมคติและไม่เป็นอุดมคติของวงจร

บทที่ 5 นำเสนอการออกแบบวงจรกรองความถี่อันดับสองแบบหลายอินพุตด้วยวงจร DDCCTA พร้อมทั้งการวิเคราะห์การทำงานในอุดมคติและไม่เป็นอุดมคติของวงจร

บทที่ 6 บทสรุปและข้อเสนอแนะ ประกอบด้วยสรุปผลการวิจัย และแนวทางในการพัฒนาวงจรที่นำเสนอในวิทยานิพนธ์ต่อไป

ภาคผนวก ก แบบจำลองของมอสทรานซิสเตอร์ที่ใช้ภายในวิทยานิพนธ์

ภาคผนวก ข ผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียนวิทยานิพนธ์

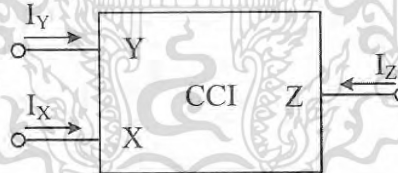
อุปกรณ์แอกทีฟและหลักการวงจรรองความถี่

2.1 วงจรสายพานกระแส

วงจรสายพานกระแส เป็นอุปกรณ์แอกทีฟที่สร้างขึ้นจากโครงสร้างทรานซิสเตอร์ ประกอบด้วย 3 พอร์ต และเป็นที่ยอมรับนำมาใช้งานและเป็นพื้นฐานในการสร้าง อุปกรณ์แอกทีฟต่างๆ เช่น วงจร DVCC DDCC CDTA DDCCTA เป็นต้น เนื่องจากวงจรสายพานกระแสสามารถทำงานในด้านการประมวลสัญญาณทั้งโหมดแรงดัน (voltage-Mode) และโหมดกระแส (current-Mode) และนำไปประยุกต์ใช้งานในการออกแบบวงจรต่างๆ ได้อีกมากมาย เช่น วงจรรองความถี่ และวงจรกำเนิดสัญญาณ เป็นต้น โดยในส่วนนี้จะกล่าวถึงคุณสมบัติของวงจรสายพานกระแสในยุคที่หนึ่ง ยุคที่สอง และยุคที่สองแบบควบคุมได้ด้วยกระแส ตามลำดับ

2.1.1 วงจรสายพานกระแสยุคที่หนึ่ง

วงจรสายพานกระแส ได้มีการนำเสนอขึ้นครั้งแรกในปี ค.ศ.1968 โดย A.Sedra และ K.C. Smith [4] ซึ่งเรียกว่า วงจรสายพานกระแสยุคที่หนึ่ง (First-Generation Current Conveyor: CCI) เป็นอุปกรณ์แอกทีฟที่ประกอบด้วย 3 พอร์ต คือ พอร์ต X, Y และ Z ซึ่งเป็นพอร์ตของจุดสัญญาณทางด้านเอาต์พุต ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 วงจรสายพานกระแสยุคที่หนึ่ง (CCI)

โดยหลักการการทำงานของวงจรสายพานกระแสยุคที่หนึ่งคือ เมื่อเกิดแรงดันตกคร่อมด้านอินพุตที่พอร์ต Y ขึ้นทำให้เกิดแรงดันที่มีขนาดเท่ากับแรงดันตกคร่อมพอร์ต Y เกิดขึ้นที่พอร์ต X และเมื่อมีกระแสไฟฟ้าผ่านพอร์ต X ไหลผ่านจุดสัญญาณทางด้านอินพุตที่พอร์ต X ก็จะทำให้เกิดกระแสไฟฟ้าที่มีขนาดเท่ากันไหลผ่านที่พอร์ต Y และกระแสขนาดเดียวกันนี้จะส่งผ่านไปเป็นกระแสที่จุดสัญญาณเอาต์พุตที่พอร์ต Z ซึ่งเป็นพอร์ตของอุปกรณ์ที่มีค่าอิมพีแดนซ์สูง นอกจากนี้แรงดันไฟฟ้าที่ปรากฏขึ้นที่พอร์ต X ที่เกิดขึ้นจากแรงดันที่ตกคร่อมทางด้านอินพุตพอร์ต Y จะไม่แปรผันกับขนาดของกระแสไฟฟ้าที่ไหลผ่านพอร์ต X และ พอร์ต Y ซึ่งกระแสไฟฟ้าที่พอร์ต Y ถูกกำหนดจากกระแสไฟฟ้า

ทางด้านพอร์ต X จะไม่แปรผันตามแรงดันไฟฟ้าที่ตกคร่อมที่พอร์ต Y เช่นเดียวกัน โดยความสัมพันธ์ระหว่างแรงดันและกระแสของวงจรสายพานกระแสยุคที่หนึ่ง คำนวณได้ดังสมการ

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.1)$$

จากสมการที่ (2.1) จะได้ว่า

$$I_Y = I_X \quad (2.2)$$

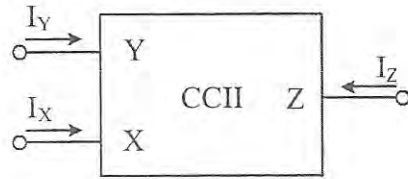
$$V_X = V_Y \quad (2.3)$$

$$I_Z = \pm I_X \quad (2.4)$$

จากสมการที่ (2.4) พบว่าความสัมพันธ์ระหว่างกระแส I_Z ที่พอร์ต Z และกระแส I_X ที่พอร์ต X มีค่าเป็น $I_Z = \pm I_X$ ซึ่งค่าบวกแสดงถึงทิศทางการไหลของกระแสไฟฟ้าที่พอร์ต X และพอร์ต Z กล่าวคือ เมื่อ $I_Z = I_X$ หมายถึงกระแสที่พอร์ต Z และกระแสที่พอร์ต X มีทิศทางการไหลในทิศทางเดียวกัน เรียกว่าวงจรสายพานกระแสชนิดบวก (CCI+) และเมื่อ $I_Z = -I_X$ หมายถึงกระแสที่พอร์ต Z และกระแสที่พอร์ต X มีทิศทางการไหลตรงกันข้าม เรียกว่าวงจรสายพานกระแสชนิดลบ (CCI-) โดยความสัมพันธ์ระหว่างกระแสที่พอร์ต Y จะมีขนาดเท่ากับกระแสที่พอร์ต X

2.1.2 วงจรสายพานกระแสยุคที่สอง

วงจรสายพานกระแสยุคที่สอง (Second-Generation Current Conveyor: CCI) ได้นำเสนอในปี ค.ศ. 1970 โดย A. Sedra และ K.C. Smith [4] จากการรวมคุณสมบัติของวงจรตามแรงดัน (voltage follower) และวงจรตามกระแส (current follower) เข้าไว้ด้วยกันจากการปรับค่าอิมพีแดนซ์ด้านอินพุตที่พอร์ต Y ในวงจรสายพานกระแสยุคที่หนึ่งให้มีค่าสูงขึ้น ซึ่งต่อมาได้พัฒนาวงจรสายพานกระแสยุคที่สองสามารถควบคุมได้จากกระแส โดยสัญลักษณ์ของวงจรสายพานกระแสยุคที่สองจะแสดงดังรูปที่ 2.2 โดยความสัมพันธ์ระหว่างแรงดันและกระแสของวงจรสายพานกระแสยุคที่สอง คำนวณได้ดังสมการ (2.5)

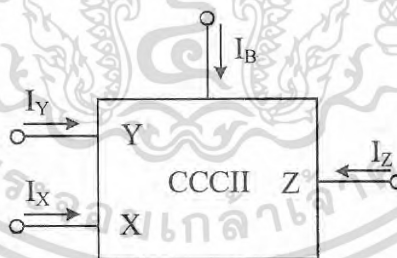


รูปที่ 2.2 วงจรสายพานกระแสยุคที่สอง (CCII)

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.5)$$

จากสมการที่ (2.5) จะพบว่า การทำงานของวงจรสายพานกระแสยุคที่สองขนาดของกระแสที่พอร์ต Y มีค่าเป็น 0 กล่าวคือค่าอิมพีแดนซ์ที่พอร์ต Y จะต้องมีความสูงมากๆ ในขณะที่แรงดันพอร์ต Y จะถูกส่งผ่านไปที่พอร์ต X ทำให้ค่าความสัมพันธ์ระหว่างแรงดันที่พอร์ต X กับแรงดันที่พอร์ต Y มีขนาดเท่ากัน ซึ่งเป็นคุณสมบัติของวงจรตามแรงดัน และกระแสที่ไหลผ่านพอร์ต X จะถูกส่งไปยังพอร์ต Z ซึ่งเป็นคุณสมบัติของวงจรตามกระแส โดยกระแสที่พอร์ต Z และกระแสที่พอร์ต X มีทิศทางไหลในทิศทางเดียวกันเรียกว่า วงจรสายพานกระแสรุ่นที่สองแบบบวก (CCII+) แต่ในกรณีที่กระแสที่พอร์ต Z และกระแสที่พอร์ต X มีทิศตรงกันข้ามกันเรียกว่า วงจรสายพานกระแสรุ่นที่สองแบบลบ (CCII-)

2.1.3 วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส



รูปที่ 2.3 วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส (CCCII)

วงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแส (Second-Generation Controlled Current Conveyors: CCCII) ได้นำเสนอในปี ค.ศ. 1995 โดย A. Fabre ซึ่ง R. Senani, D.R. Bhaskar, A.K.Singh ได้รวบรวมไว้ใน [41] ซึ่งได้นำวงจรทรานส์ลิเนียร์รูปมาต่อร่วมกับวงจรสะท้อนกระแส โดยวงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแสมีคุณสมบัติคล้ายกับวงจรสายพานกระแสยุคที่สอง แต่ที่แตกต่างกันคือ เมื่อป้อนกระแสไปอัสให้กับวงจรสายพานกระแสยุคที่

แบบควบคุมได้ด้วยกระแสใช้การรวมเซลล์ทรานส์ลิเนียร์ (mixed-translinear-cell: MTC) ซึ่งประกอบด้วยมอสทรานซิสเตอร์ M_{n1} , M_{n2} , M_{p5} และ M_{p6} ซึ่งเขียนอยู่ในรูป

$$\frac{\mu_p W_p}{L_p} \cong \frac{\mu_n W_n}{L_n} \quad (2.7)$$

เมื่อทำการวิเคราะห์ห้วงจรทรานส์ลิเนียร์ที่อยู่ภายในของวงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแสที่สร้างขึ้นด้วยเทคโนโลยีซีมอส โดยมีส่วนประกอบเป็นวงจรถานส์ลิเนียร์ ซึ่งวงจรดังกล่าวมีคุณลักษณะดังสมการ

$$V_x \cong V_y + \frac{I_x}{\sqrt{2I_B C_{ox}} \left(\sqrt{\frac{\mu W}{L}} \right)} \quad (2.8)$$

โดยค่าความต้านทานแฝงที่พอร์ต X จะเกิดขึ้นระหว่างพอร์ต Y กับพอร์ต X ซึ่งวงจรสายพานกระแสยุคที่สองแบบควบคุมได้ด้วยกระแสที่สร้างขึ้นจากมอสทรานซิสเตอร์ โดยที่กำหนดให้มอสทรานซิสเตอร์ทำงานในสถานะอิ่มตัว ทำให้สามารถคำนวณค่าความต้านแฝงภายในพอร์ต X ได้ดังสมการ

$$R_x = \frac{1}{\sqrt{2I_B C_{ox} \mu \frac{W}{L}}} \quad (2.9)$$

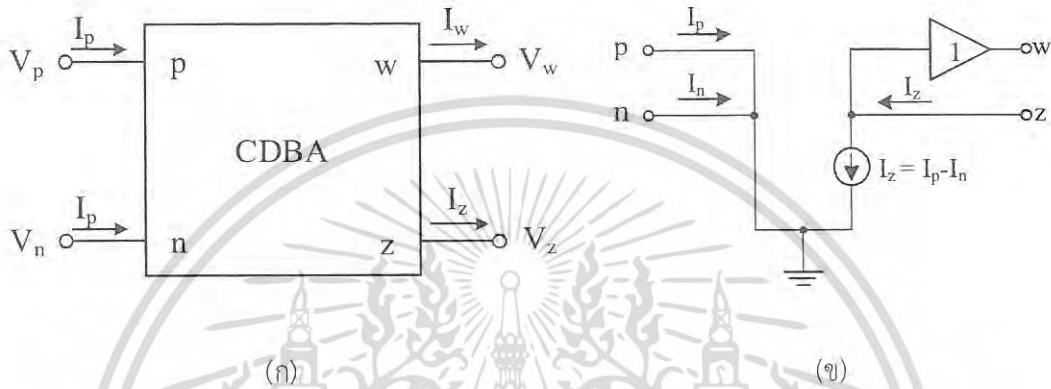
เมื่อ μ คือ ค่าความคล่องตัวของอิเล็กตรอน (electron mobility) และ C_{ox} คือ ค่าความจุไฟฟ้าชั้นออกไซด์ต่อหน่วยพื้นที่ (oxide capacitance per unit area) W และ L คือ ความกว้างและความยาวของช่องนำกระแส (channel width and length) ตามลำดับ จากสมการ (2.8) พบว่าค่าของ R_x สามารถปรับได้จากกระแสไบอัส I_B

2.2 วงจร CDDBA

วงจรถานส์ลิเนียร์ (Current Differencing Buffered Amplifier) เป็นอุปกรณ์ที่ได้ถูกนำเสนอขึ้นเป็นครั้งแรกในปี ค.ศ.1999 โดย C. Acar และ S. Ozoguz [43] โดยวงจรถานส์ลิเนียร์เป็นอุปกรณ์แอคทีฟแบบหลายพอร์ตประกอบด้วยพอร์ตทั้งหมดสี่พอร์ต แบ่งออกเป็นพอร์ตอินพุตจำนวนสองพอร์ต ได้แก่ พอร์ต p และ n และพอร์ตเอาต์พุตจำนวนสองพอร์ต ได้แก่ พอร์ต z และ w ซึ่งวงจรถานส์ลิเนียร์ได้พัฒนามาจากวงจรถานส์ลิเนียร์แบบป้อนกลับ (Current Feedback Amplifier : CFA) ซึ่งได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความนิยมในการนำมาสร้างฟังก์ชันส่งผ่านแรงดันอันดับสูง ทำให้วงจร CDBA สามารถนำไปสร้างเป็นอุปกรณ์พื้นฐานสำหรับการพัฒนาวงจรประมวลสัญญาณในวงจรกรองความถี่ ทั้งนี้วงจร CDBA จะทำหน้าที่สังเคราะห์วงจรในการสร้างฟังก์ชันถ่ายโอนแรงดันอันดับที่ n ซึ่งสัญลักษณ์ของวงจร CDBA แสดงดังรูปที่ 2.5(ก) โดยที่พอร์ต p และ n เป็นพอร์ตอินพุต และพอร์ต w และ z เป็นพอร์ตเอาต์พุต วงจรสมมูลของวงจร CDBA แสดงได้ดังรูปที่ 2.5 (ข) เป็นแบบจำลองแหล่งจ่ายแรงดันและกระแสแบบไม่อิสระ สามารถคำนวณได้จากสมการ (2.10)



รูปที่ 2.5 แสดงวงจร CDBA (ก) สัญลักษณ์ (ข) วงจรสมมูล

$$\begin{pmatrix} I_z \\ V_w \\ V_p \\ V_n \end{pmatrix} = \begin{pmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} V_z \\ I_w \\ I_p \\ I_n \end{pmatrix} \quad (2.10)$$

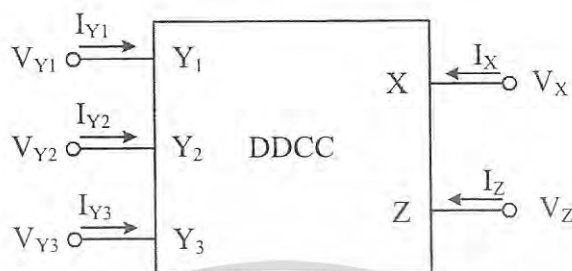
จากสมการที่ (2.9) และวงจรสมมูลวงจร CDBA พบว่า กระแสที่ไหลผ่านพอร์ต z เป็นผลจากผลต่างกระแสระหว่างพอร์ต p และ n จึงกำหนดให้พอร์ต z เป็นกระแสเอาต์พุต เมื่อพอร์ต p เป็นอินพุตพอร์ตบวก และพอร์ต n เป็นอินพุตพอร์ตลบ และแรงดันเอาต์พุตที่พอร์ต w ตามแรงดันที่พอร์ต z ดังนั้นเมื่อต่ออินพุตพอร์ต p และ n ลงกราวด์ดังรูปที่ 2.5

2.3 วงจร DDCC

วงจร DDCC (Differential Difference Current Conveyor) เป็นอุปกรณ์แอกทีฟที่เกิดขึ้นในปี ค.ศ. 1996 และนำเสนอโดย W.Y. Chiu [20]-[21] โดยวงจร DDCC ประกอบด้วยพอร์ต Y ทั้งหมดสามพอร์ต คือ Y_1 , Y_2 และ Y_3 ซึ่งมีค่าอิมพีแดนซ์สูงทำให้กระแสที่เกิดขึ้นที่พอร์ต Y มีค่าเป็นศูนย์ กล่าวคือ $I_{Y1} = 0$, $I_{Y2} = 0$ และ $I_{Y3} = 0$ ในขณะที่ $I_z = \pm I_x$ โดยแรงดันที่พอร์ต X เป็นผลรวมของพอร์ต Y ($V_x = V_{Y1} - V_{Y2} + V_{Y3}$) เนื่องจากวงจร DDCC พัฒนาขึ้นจาก วงจรสายพานกระแสรุ่นที่สอง โดยการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มพอร์ต Y จากสองพอร์ตเป็นสามพอร์ต ร่วมกับการนำหลักการของวงจร DDA (Differential Difference Amplifier) โดยสัญลักษณ์ของวงจร DDCC และโครงสร้างของวงจร DDCC ที่สร้างด้วย ซีมอส แสดงดังรูปที่ 2.6 และรูปที่ 2.7



รูปที่ 2.6 สัญลักษณ์ของวงจร DDCC

จากรูปที่ 2.7 พบว่า สถานะของวงจรผลต่างทั้งสองประกอบด้วยทรานซิสเตอร์ $M_1 - M_2$ และ $M_3 - M_4$ ต่อร่วมกับวงจรสะท้อนกระแสคือ $M_5 - M_6$ ทำหน้าที่ในการกลับพอร์ตวงจรผลต่างทั้งสอง ทำให้กระแสเอาต์พุตที่เกิดขึ้นกับมอสทรานซิสเตอร์ M_7 สามารถคำนวณได้ดังสมการ

$$V_X = A_o [(V_{Y1} - V_{Y2}) - (V_{G3} - V_{Y3})] \quad (2.11)$$

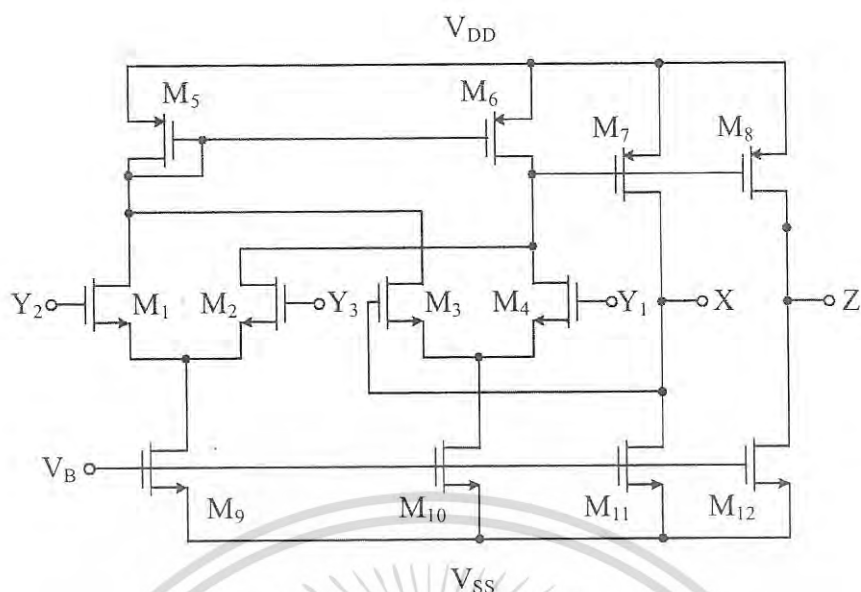
โดยที่ A_o คือ อัตราขยายรูปเปิด และ V_{G3} คือ แรงดันขาทของมอสทรานซิสเตอร์ M_3 และความสัมพันธ์ของแรงดันสามารถคำนวณได้จากสมการ

$$V_X = \frac{A_o}{A_o + 1} (V_{Y1} - V_{Y2} + V_{Y3}) \quad (2.12)$$

จากสมการพบว่ากระแสที่พอร์ต X และที่พอร์ต Z จะมีค่าเท่ากัน เมื่อวงจร DDCC แบบพอร์ตบวก ทิศทางการไหลของกระแสที่พอร์ต X และที่พอร์ต Z มีทิศทางเดียวกัน เมื่อทิศทางการไหลของกระแสที่พอร์ต X และที่พอร์ต Z มีทิศตรงข้ามกันเป็นวงจร DDCC แบบพอร์ตลบ ซึ่งไม่มีผลกระทบจากตัวต้านทานดังนี้

$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \quad (2.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 โครงสร้างวงจร DCC ที่สร้างขึ้นจากซีมอส

จากสมการที่ (2.13) สามารถสรุปลักษณะของวงจร DCC คือ พอร์ต Y เป็นพอร์ตที่มีแรงดันอินพุตอิมพีแดนซ์สูงและพอร์ต X เป็นพอร์ตที่มีกระแสอินพุตที่มีอิมพีแดนซ์ต่ำ และกระแสเอาท์พุตที่พอร์ต Z มีค่าอิมพีแดนซ์สูง และความสัมพันธ์ของแรงดันกับกระแสของวงจร DCC เป็นดังนี้

$$I_{Y1} = I_{Y2} = I_{Y3} = 0 \quad (2.14)$$

$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \quad (2.15)$$

$$I_Z = \pm I_X \quad (2.16)$$

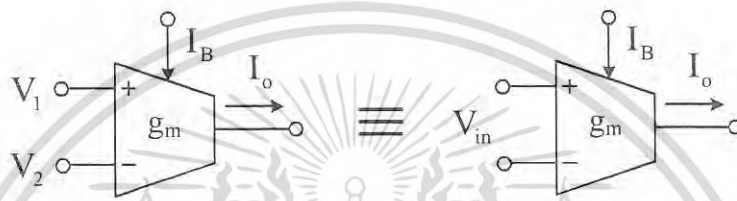
วงจร DCC สามารถนำไปสร้างเป็นอุปกรณ์แอกทีฟชนิดต่างๆได้ เช่นวงจร DCCII และวงจร CCDDCC และวงจร DCCCTA ซึ่งสามารถนำไปประยุกต์สร้างเป็นวงจรกำเนิดสัญญาณและวงจรกรองความถี่ได้

2.4 วงจร OTA

วงจรขยายความนำถ่ายโอน (Operational Transconductance Amplifier: OTA) เป็นอุปกรณ์แอกทีฟที่มีการทำงานในลักษณะวงจรขยายที่ทำหน้าที่เปลี่ยนสัญญาณจากแรงดันเป็นสัญญาณกระแส ในรูปแบบของสัญญาณแรงดันควบคุมแหล่งจ่ายกระแส (Voltage Control Current Source : VCCS) โดยอัตราการเปลี่ยนจากสัญญาณแรงดันเป็นสัญญาณกระแสคือ ค่าความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำถ่ายโอน (transconductance ; g_m) ซึ่งสามารถปรับค่าความนำถ่ายโอนได้จากกระแสไบอัส โดย วงจร OTA จะสร้างขึ้นจากสารกึ่งตัวนำที่อยู่ในรูปแบบของวงจรรวม ทำให้วงจร OTA มีคุณสมบัติ พื้นฐานคือ วงจร OTA มีค่าอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์สูง ทำให้ไม่จำเป็นต้องอาศัยตัว ต้านทานจากภายนอก และสามารถปรับค่าความนำถ่ายโอนของวงจร OTA ด้วยกระแสไบอัสจาก ภายนอกสำหรับสัญลักษณ์ของวงจร OTA จะแสดงดังในรูปที่ 2.7 ทั้งนี้การสร้างวงจร OTA สามารถ สร้างด้วยไบโพลาร์ทรานซิสเตอร์และมอสทรานซิสเตอร์ ในวิทยานิพนธ์ฉบับนี้กล่าวถึง วงจร OTA ที่มี โครงสร้างแบบสมมาตร (balanced OTA) สร้างขึ้นจากมอสทรานซิสเตอร์ [47],[48] แสดงดังในรูปที่ 2.8



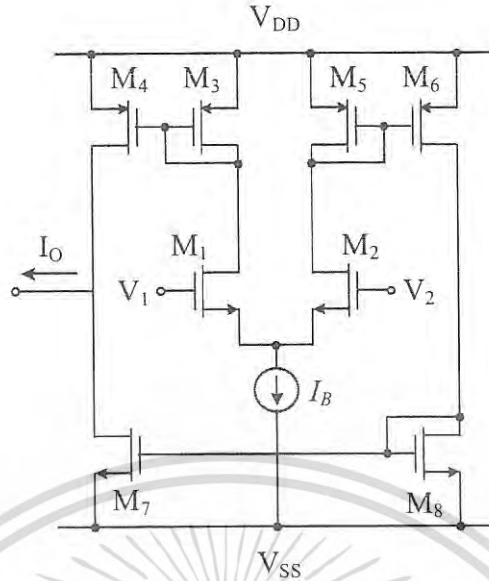
รูปที่ 2.8 สัญลักษณ์ของ OTA

โดยในรูปที่ 2.9 เป็นวงจร OTA แบบสมมาตรที่สร้างขึ้นจากมอสทรานซิสเตอร์ ประกอบด้วย วงจรขยายผลต่าง (differential amplifier) และวงจรสะท้อนกระแส (current mirror) โดย วงจรขยายผลต่างประกอบด้วยมอสทรานซิสเตอร์ M_1 และ M_2 จะทำการส่งกระแสไปที่วงจรสะท้อน กระแสประกอบด้วย M_3 ถึง M_8 ทำให้การส่งผ่านกระแสเอาต์พุตมีขนาดเท่ากับกระแสเดรนของมอส ทรานซิสเตอร์ M_1 และ M_2 เมื่อมอสทรานซิสเตอร์ในวงจร OTA แบบสมมาตรทำงานในย่านอิมิตัวและ มีความสมพงษ์กันทุกประการ จะทำให้กระแสเดรนของมอสทรานซิสเตอร์ I_D ถูกกำหนดคุณสมบัติ ด้วยแบบจำลองกำลังสองดังสมการ (2.17)

$$I_D = K(V_{GS} - V_T)^2 \quad \text{เมื่อ } V_{GS} > V_T \quad (2.17)$$

จากสมการที่ (2.17) ในกรณีที่ $V_{GS} > V_T$ และ $I_D = 0$ ในกรณีที่ $V_{GS} \leq V_T$ กำหนดให้ค่า K คือ พารามิเตอร์ของค่าความนำ $K = \mu C_{ox}(W/2L)$ โดยค่า μ คือ ความคล่องตัวของพาหะ C_{ox} คือ ค่าตัว เก็บประจุที่ขาเกตต่อหนึ่งหน่วยพื้นที่ W คือ ความกว้างของช่องนำกระแส และ L คือ ความยาวของ ช่องนำกระแส ค่า V_{GS} คือแรงดันระหว่างเกตกับซอร์ต และค่า V_T คือแรงดันเทรลโฮลตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 โครงสร้างภายในของวงจร OTA แบบสมมาตร

โดยแรงดันอินพุต V_{in} เป็นผลต่างแรงดันอินพุต $V_m = V_1 - V_2 = V_{GS1} - V_{GS2}$ และ ค่า I_O คือ กระแสเอาต์พุต และ ค่า I_B คือ กระแสไบอัส ซึ่งสมมติว่า มอสทรานซิสเตอร์ M_1 และ M_2 มีความสมพงษ์ทุกประการ ทำให้พารามิเตอร์ $K_1 = K_2 = K$ และวงจรสะท้อนกระแสจาก มอสทรานซิสเตอร์ M_3 และ M_4 มีอัตราขยายกระแสหนึ่งเท่า และกระแสไบอัสมีขนาดเท่ากับผลรวมกระแสของอินพุต $I_B = I_1 + I_2$ จากสมการที่ (2.17) ทำให้สามารถคำนวณผลต่างกระแสเอาต์พุตของวงจรในรูปที่ 2.9 ดังนี้

$$I_O = I_2 - I_1 \quad (2.18)$$

จากความสัมพันธ์ดังกล่าวทำให้สามารถคำนวณกระแสเอาต์พุต[10]ได้ดังนี้

$$I_O = \sqrt{2I_B K V_{in}} \sqrt{1 - \frac{KV_{in}^2}{2I_B}} \quad \text{เมื่อ} \quad -\sqrt{\frac{I_B}{K}} \leq V_{in} \leq \sqrt{\frac{I_B}{K}} \quad (2.19)$$

อัตราขยายความนำ (g_m) ของวงจรขยายผลต่าง OTA สามารถคำนวณได้จากการอนุพันธ์ระหว่างกระแสเอาต์พุตในจากสมการที่ (2.19) กับแรงดันอินพุต ดังสมการ

$$g_m = \left. \frac{dI_O}{dV_{in}} \right|_{V_{in}=0} = \sqrt{2I_B K} \quad \text{เมื่อ} \quad -\sqrt{\frac{I_B}{K}} \leq V_{in} \leq \sqrt{\frac{I_B}{K}} \quad (2.20)$$

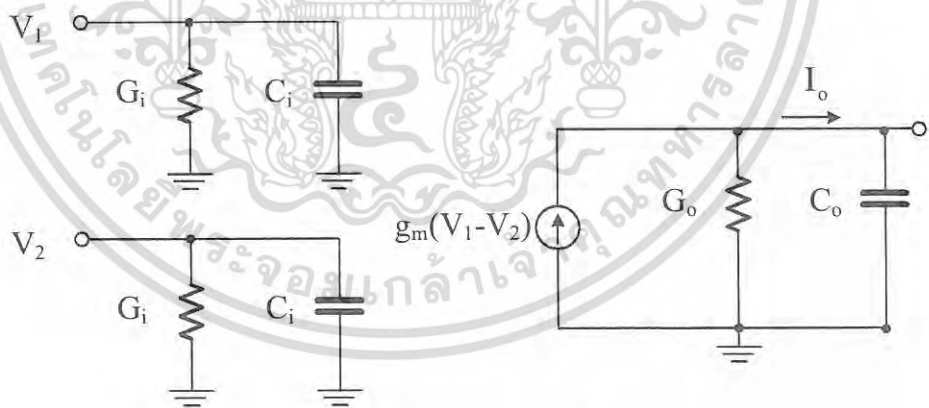
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.19) สามารถคำนวณค่ากระแสเอาต์พุตได้ดังสมการ

$$I_O = g_m V_{in} = \sqrt{2I_B K V_{in}} \quad (2.21)$$

จากสมการที่ (2.21) พบว่า อัตราขยายความนำของวงจร OTA สามารถปรับค่าได้ด้วยกระแสไบอัส ที่อยู่ในรูปแบบฟังก์ชันรากที่สอง นอกจากนี้การทำงานในช่วงการผิดเพี้ยนของสัญญาณต่ำ เมื่อทรานซิสเตอร์ทั้งหมดทำงานในย่านอิมิตัว โดยแรงดันอินพุตอยู่ในช่วง $V_{in} \leq \sqrt{I_B / K}$ [47] โดยในการปฏิบัติงานในช่วงที่เป็นเชิงเส้น เมื่อสัญญาณอินพุตมีขนาดสูงกว่าค่าดังกล่าว ทำให้มอสทรานซิสเตอร์ที่เป็นโครงสร้างของวงจร OTA ทำงานอยู่ในช่วงอิมิตัว ทำให้กระแสเอาต์พุตมีขนาดเท่ากับกระแสไบอัสอินพุต (I_B) ส่วนทิศทางการไหลของกระแสเอาต์พุตขึ้นอยู่กับพอร์ตผลต่างของแรงดันอินพุต จากคุณสมบัติเหล่านี้ทำให้วงจร OTA เป็นที่นิยมในการนำมาพัฒนาเป็นอุปกรณ์แอกทีฟ และการนำไปสร้างเป็นวงจรประมวลสัญญาณ วงจรกรองความถี่ และวงจรออสซิลเลเตอร์ เป็นต้น

โดยวงจร OTA ที่ไม่เป็นอุดมคติ [48] เกิดขึ้นจากความต้านทานแฝงและความจุไฟฟ้าแฝงภายในของวงจร เนื่องจากวงจร OTA เป็นอุปกรณ์แอกทีฟที่สร้างขึ้นจากโครงสร้างมอสทรานซิสเตอร์ ทำให้กระแสเอาต์พุตที่เกิดขึ้นกับวงจรมีผลต่อความถี่ของสัญญาณแรงดันอินพุต ทำให้ผู้ทำการพัฒนาวงจร OTA ต้องพิจารณาถึงความเสถียรของวงจรที่สร้างขึ้นจากวงจร OTA โดยได้แสดงวงจรสมมูลของวงจร OTA ที่ไม่เป็นอุดมคติ ได้ดังนี้



รูปที่ 2.10 วงจรสมมูลของวงจร OTA ที่ไม่เป็นไปตามอุดมคติ

เมื่อ G_i และ G_o คือ ค่าความนำแฝงทางด้านอินพุตและเอาต์พุต และ C_i และ C_o คือ ค่าความจุไฟฟ้าแฝงทางด้านอินพุตและเอาต์พุตตามลำดับ โดยวงจร OTA ที่ไม่เป็นไปตามอุดมคติจะไม่นำค่าความนำและความจุไฟฟ้าอินพุตแบบโหมตร่วมเนื่องจากมีค่าน้อยมาก โดยเมื่อพิจารณาจากวงจรสมมูลพบว่าผลรวมของความจุแฝงและค่าความนำแฝงทางด้านอินพุตและเอาต์พุตสามารถคำนวณได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Y_i = G_i + sC_i \quad (2.22)$$

$$Y_o = G_o + sC_o \quad (2.23)$$

จากค่าแอดมิตแตนซ์ของอินพุตและเอาต์พุต ทำให้สามารถพิจารณาถึงผลตอบสนองทางความถี่ของวงอัตราย้ายค่าความนำถ่ายโอนได้ดังนี้

$$g_m = \frac{g_{mo}}{1 + \frac{s}{\omega_g}} = \frac{g_{mo}\omega_g}{s + \omega_g} \quad (2.24)$$

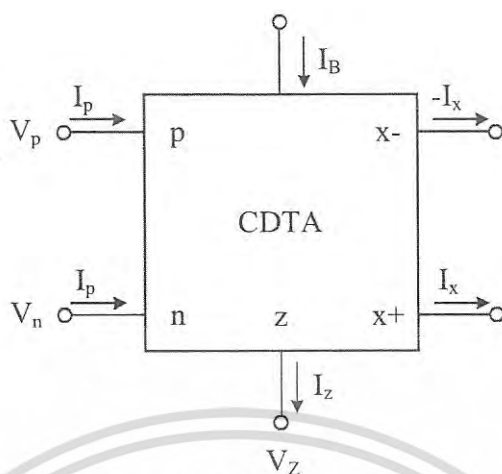
โดยค่า ω_g คือ ค่าโพลความถี่อันดับที่หนึ่งที่เกิดขึ้นจากพารามิเตอร์แฝงภายในวงจร OTA และ ค่า g_{mo} คือ ค่าอัตราย้ายความนำของวงจร OTA ที่ความถี่ต่ำ

2.5 วงจร CDTA

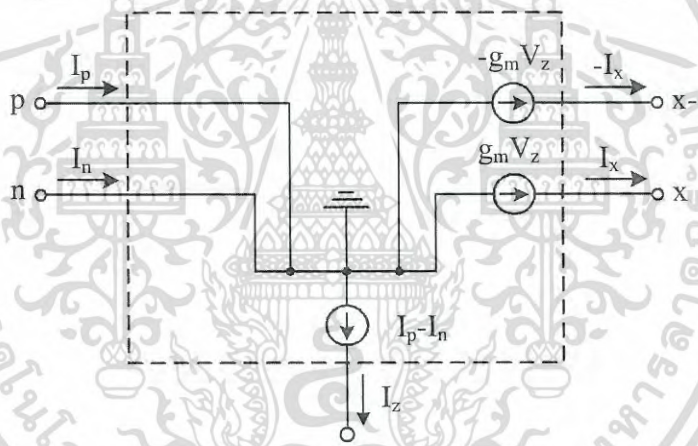
วงจร CDTA (Current Differencing Transconductance Amplifier) เป็นอุปกรณ์แอกทีฟ โหมดกระแสที่นำเสนอโดย D. Birolek [16] ด้วยการพัฒนาขึ้นมาจากการนำวงจร CDBA มาต่อคาสเคสกับวงจร OTA วงจร CDTA เป็นอุปกรณ์ชนิดแอกทีฟที่ทำงานในโหมดกระแสแบบหกพอร์ต โดยอินพุตพอร์ตประกอบด้วยพอร์ตอินพุตได้แก่ พอร์ต p และ n และพอร์ตเอาต์พุตได้แก่ พอร์ต x และ z ซึ่งสัญลักษณ์ของวงจร CDTA แสดงในรูปที่ 2.11 ทั้งนี้วงจร CDTA พัฒนาขึ้นจากวงจร CDBA ต่อคาสเคสร่วมกับวงจร OTA เป็นวงจรที่ทำงานในโหมดกระแส เนื่องจาก โครงสร้างของวงจร CDBA ประกอบด้วยวงจรผลต่างกระแส และวงจรตามแรงดันที่มีอัตราย้ายเท่ากับหนึ่ง ทำให้ไม่สะดวกต่อการใช้งานและไม่สามารถปรับค่ากระแสและแรงดันได้ ดังนั้นจึงได้นำวงจร OTA มาต่อคาสเคสกับวงจร CDBA เพื่อให้วงจร CDTA สามารถปรับกระแสเอาต์พุตของวงจรด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการปรับอัตราย้ายความนำถ่ายโอนจากการปรับกระแสไป้อสจากภายนอก โดยโครงสร้างของวงจรมีอินพุตอิมพีแดนซ์ต่ำ และมีเอาต์พุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสในโหมดกระแส

วงจร CDTA เป็นอุปกรณ์แอกทีฟที่ทำการประมวลสัญญาณแบบกระแสอินพุตและเอาต์พุต โดยวงจรสมมูลของวงจร CDTA แสดงในรูปที่ 2.12 แสดงถึงวงจร CDTA ที่เป็นวงจรที่มีกระแสต่างกันระหว่างพอร์ตอินพุต p และ n ที่เป็นผลมาจากทิศทางการไหลของกระแสที่ต่างกันจากพอร์ต z ที่ไหลลงภายนอก ซึ่งการข้ามแรงดันที่พอร์ต z จะถูกเปลี่ยนโดยค่าความนำ g_m เป็นกระแสที่ถูกนำออกด้วยคู่กระแสที่พอร์ต x โดยที่ค่าอัตราย้ายความนำสามารถควบคุมได้จากกระแสไป้อสภายนอก โดยความสัมพันธ์ระหว่างแรงดันและกระแสสามารถคำนวณได้ดังสมการที่ (2.25)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



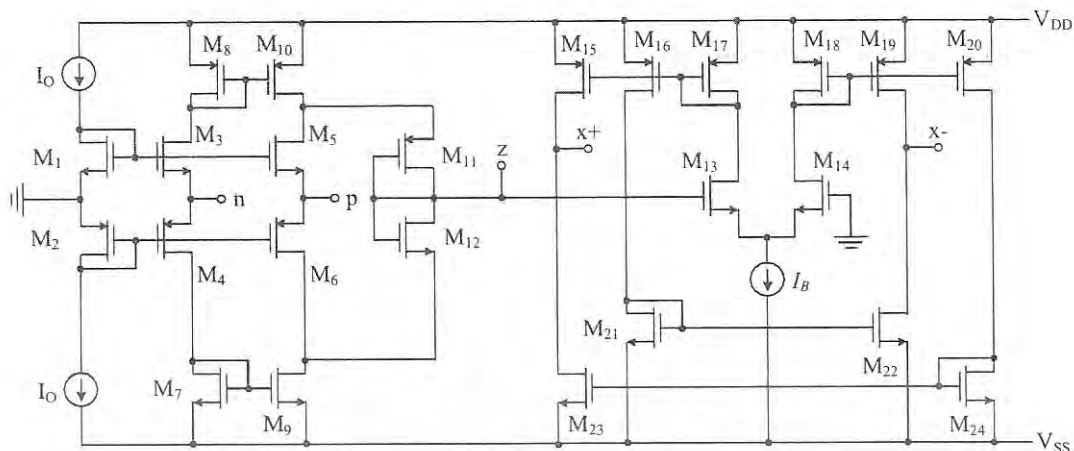
รูปที่ 2.11 สัญลักษณ์ของวงจร CDTA



รูปที่ 2.12 วงจรสมมูลของวงจร CDTA

$$\begin{pmatrix} I_z \\ I_{x^+} \\ I_{x^-} \\ V_p \\ V_n \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 1 & -1 \\ g_m & 0 & 0 & 0 & 0 \\ -g_m & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} V_z \\ V_{x^+} \\ V_{x^-} \\ I_p \\ I_n \end{pmatrix} \tag{2.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจร CDTA ที่มีโครงสร้างแบบมอสทรานซิสเตอร์

จากสมการที่ (2.25) พบว่า พอร์ต p และ n เป็นพอร์ตกระแสอินพุต และพอร์ต z และ x เป็นพอร์ตกระแสเอาต์พุต โดยที่ $x+$ มีทิศทางกระแสเข้า และ $x-$ จะมีทิศทางกระแสออกของกระแส โดยค่า g_m คือ อัตราขยายความนำของวงจร โดยผลต่างของกระแสที่พอร์ต z เป็นผลต่างของวงจรผลต่างกระแสไหลเข้าที่พอร์ต p และ n โดยในทางอุดมคติจะไม่มีที่ความต้านทานของพอร์ต p และ n ทำให้ไม่เกิดแรงดันที่พอร์ต p และ n ซึ่งกระแสที่พอร์ต x เกิดจากการข้ามแรงดันที่พอร์ต z ด้วยการส่งผ่านกระแสจากอัตราขยายความนำ ทำให้ที่พอร์ต z จะเกิดแรงดันด้วยการต่อไหลจากภายนอก โดยที่ค่าอัตราขยายความนำควบคุมด้วยกระแสไบอัสจากภายนอก

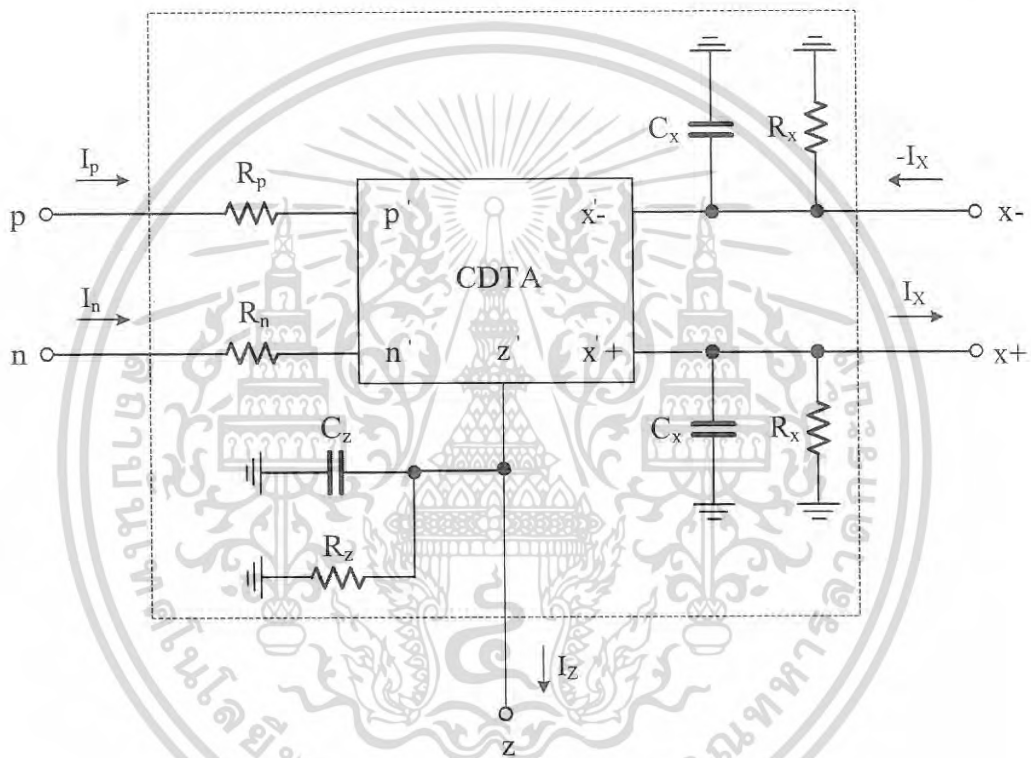
จากรูปที่ 2.13 แสดงโครงสร้างของวงจร CDTA ที่สร้างขึ้นจากมอสทรานซิสเตอร์ ประกอบด้วย วงจรผลต่างกระแส สร้างขึ้นจากมอสทรานซิสเตอร์ $M_1 - M_{12}$ ต่อคาสเคดกับวงจร OTA สร้างขึ้นจากมอสทรานซิสเตอร์ $M_{13} - M_{24}$ โดยที่พอร์ต p และ n ของวงจรจะถูกไบอัสด้วยกระแสจากภายนอก I_O ซึ่งทำให้เกิดความต้านทานแฝงภายในพอร์ต p และ n โดยความต้านทานแฝงที่เกิดขึ้นจะแปรผกผันกับกระแสไบอัสจากภายนอก ซึ่งการลดผลกระทบของความต้านทานแฝงด้วยการไบอัสกระแส I_O ให้มีค่ามากๆ โดยส่วนของวงจร OTA จะใช้กระแสไบอัส I_B ด้วยการควบคุมค่าอัตราขยายความนำ กำหนดจากมอสทรานซิสเตอร์ $M_{13} - M_{14}$ ให้มีขนาด W/L มีค่าเท่ากันและมีความสมพงษ์กันทุกประการ ทำงานในย่านอิมิตัว โดยคำนวณอัตราขยายความนำของวงจрдังสมการ

$$g_m = \sqrt{\mu C_{OX} (W/L) I_B} \quad (2.26)$$

เมื่อ I_B คือ ค่ากระแสไบอัส μ คือ ความคล่องตัวของพาหะ C_{OX} คือ ค่าตัวเก็บประจุที่ขาคัดต่อหนึ่งหน่วยพื้นที่ W คือ ความกว้างของช่องนำกระแส และ L คือ ความยาวของช่องนำกระแส โดย

วงจร CDTA มีคุณสมบัติคือ มีแบนด์วิดท์กว้าง การใช้กำลังงานต่ำและ ค่าอัตราขยายความนำสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการปรับกระแสไบอัส I_B

เนื่องจากวงจร CDTA ถูกสร้างขึ้นด้วยมอสทรานซิสเตอร์ทำให้เกิดผลกระทบจากความต้านทานแฝงและตัวเก็บประจุแฝงขึ้นภายในวงจรทำให้เกิดความไม่เสถียรขึ้น ดังนั้นจึงต้องวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจร CDTA[12] โดยการวิเคราะห์จากความไม่เป็นไปตามอุดมคติของวงจร CDTA ที่ทำให้เกิดผลกระทบต่อประสิทธิภาพการทำงานของวงจร ซึ่งเกิดขึ้นจากค่าอิมพีแดนซ์แฝงภายในพอร์ตต่างๆ เมื่อพิจารณาผลกระทบดังกล่าวแสดงได้ดังรูปที่ 2.14



รูปที่ 2.14 วงจรสมมูลทางไฟฟ้าของวงจร CDTA ในกรณีที่ไม่เป็นไปตามอุดมคติ

จากรูปที่ 2.14 พบว่า วงจร CDTA ในความไม่เป็นอุดมคติประกอบด้วยอิมพีแดนซ์แฝง ซึ่งสามารถคำนวณหาความสัมพันธ์ระหว่างกระแสกับแรงดันของวงจร CDTA ได้ดังสมการ

$$\begin{pmatrix} V_p \\ V_n \\ I_z \\ I_x \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha_p & -\alpha_n & 0 & 0 \\ 0 & 0 & 0 & \pm\beta g_m \end{pmatrix} \begin{pmatrix} I_p \\ I_n \\ V_x \\ V_z \end{pmatrix} \tag{2.27}$$

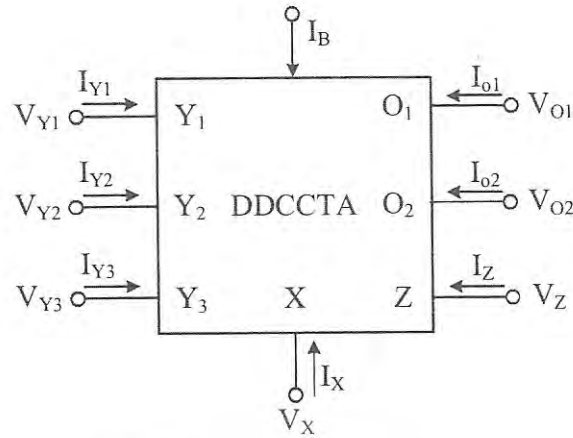
โดยที่ α คือ ค่าความผิดพลาดของการส่งผ่านกระแส และ β คือ ค่าความผิดพลาดของการเอกสการนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งผ่านความนำจากพอร์ต z กับพอร์ต x จากสมการที่ (4.26) ทำให้กระแสที่พอร์ต z และ พอร์ต x มีค่าเป็น $I_z = \alpha_p I_p - \alpha_n I_n$ และ $I_x = \pm \beta g_m V_z$ ตามลำดับ ทั้งนี้ค่า $\alpha_p = 1 - \varepsilon_p$ โดย $\varepsilon_p (|\varepsilon_p| \ll 1)$ คือ ค่าความผิดพลาดในการติดตามกระแสที่พอร์ต p กับพอร์ต z และ $\alpha_n = 1 - \varepsilon_n$ โดย $\varepsilon_n (|\varepsilon_n| \ll 1)$ คือ ค่าความผิดพลาดในการติดตามกระแสที่พอร์ต n กับพอร์ต z และ g_{mn} คืออัตราความนำถ่ายโอนของวงจร CDTA โดยวงจรสมมูลของวงจร CDTA ที่ไม่เป็นอุดมคติ ประกอบด้วยอิมพีแดนซ์แฝงภายในพอร์ตต่างๆ ของวงจร พบว่า ผลของค่าอิมพีแดนซ์แฝงทำให้เกิด ความต้านทานแฝง R_p และ R_n ที่มีปริมาณต่ำ ซึ่งที่พอร์ต z และที่พอร์ต x จะมีค่าความจุแฝง C_z และ C_x ที่มีค่าน้อยและต่อขนานกับตัวต้านทานแฝง R_z และ R_x ที่มีปริมาณสูงมากตามลำดับ ดังนั้นค่าพารามิเตอร์แฝงภายในวงจร CDTA สามารถกำหนดให้ ค่าความผิดพลาดของการส่งผ่านกระแสและแรงดันมีค่าประมาณหนึ่ง ($\alpha_n = \alpha_p = \beta \cong 1$) ทำให้ความไม่เป็นอุดมคติของวงจร CDTA ไม่ส่งผลกระทบต่อการทำงานในช่วงความถี่ของวงจรที่ออกแบบ แต่ค่าความจุแฝงและตัวต้านทานแฝงจะส่งผลกระทบต่อความถี่ของวงจรทำให้การออกแบบวงจรที่สร้างขึ้นจากวงจร CDTA จึงมีความจำเป็นต้องพิจารณาในเรื่องความไม่เป็นอุดมคติของวงจรด้วย

2.6 วงจร DDCCTA

วงจร DDCCTA (Differential Difference Current Conveyor Transconductance Amplifier) เป็นอุปกรณ์แอกทีฟที่ถูกค้นพบโดย N. Pandey และ S.k.Paul [52] สำหรับวงจรประมวลสัญญาณอนาล็อก โดยวัดประสิทธิภาพการทำงานของวงจรด้วยโปรแกรม PSPICE ด้วยการใช้เทคโนโลยีซีมอส TSMC ขนาด $0.25 \mu\text{m}$ โดยการนำไปสร้างเป็นวงจรรองความถี่และวงจรรอสซิชเลเตอร์ในโหมดแรงดันและโหมดกระแส ทั้งนี้การออกแบบวงจรรวมแบบอนาล็อกในโหมดกระแสได้รับความนิยมในกลุ่มนักพัฒนาวงจร เนื่องจากสามารถพัฒนาในเรื่องของ การเพิ่มแบนด์วิดท์ให้กว้างขึ้น ความซับซ้อนของโครงสร้างวงจรมีน้อยกว่าวงจรอื่น ย่านโดนามิกกว้าง การใช้กำลังงานต่ำและทำงานที่ความถี่สูง ซึ่งการใช้อุปกรณ์แอกทีฟโหมดกระแสให้เหมาะสำหรับการทำงานด้วยสัญญาณกระแสหรือสัญญาณแรงดัน และอัตราขยายที่เหมาะสมต่อการออกแบบเพื่อเพิ่มประสิทธิภาพในการทำงานของวงจรให้สูงขึ้น โดยในปัจจุบันมีการพัฒนาอุปกรณ์ในโหมดกระแสเช่น วงจรสายพานกระแส วงจร DVCC และวงจร DDCC เป็นต้น ซึ่งวงจร DDCCTA ถูกพัฒนาขึ้นด้วยการนำวงจร DDCC มาต่อкасกับวงจร TA โดยวงจร DDCC ประกอบด้วย วงจรขยายผลต่างและวงจรถ่ายโอนกระแส ข้อดีของวงจร DDCC คือสามารถใช้อินพุตผลต่างหรืออินพุตแบบลอยตัว และวงจร DDCC เป็นวงจรที่มีอินพุตอิมพีแดนซ์สูง นอกจากนี้วงจรขยายความนำสามารถปรับค่าพารามิเตอร์ในการประมวลผลด้วยค่าอัตราขยายความนำ ทำให้วงจร DDCCTA สะดวกต่อการนำไปประยุกต์ใช้งานสำหรับการสร้างวงจรประมวลสัญญาณได้ ซึ่งสัญลักษณ์ของวงจร DDCCTA ได้แสดงดังรูปที่ 2.15 และความสัมพันธ์ระหว่างกระแสกับแรงดันของวงจร DDCCTA แสดงดังสมการที่ (2.28)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

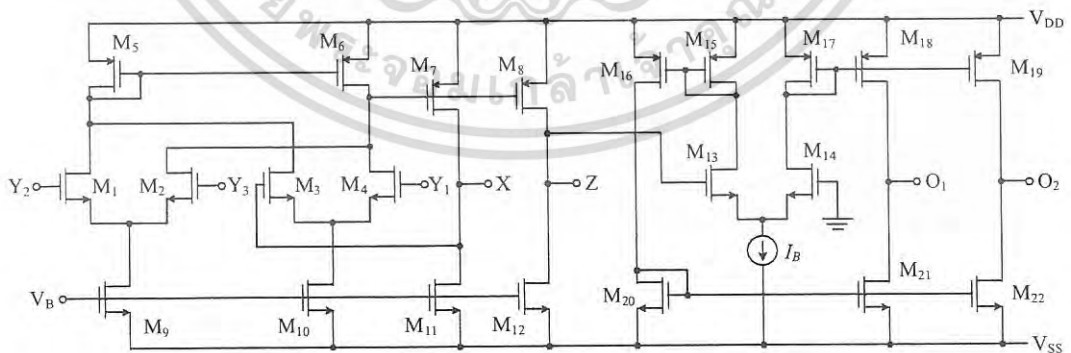


รูปที่ 2.15 สัญลักษณ์ของวงจร DDCCTA

จากรูปที่ 2.15 สามารถคำนวณหาความสัมพันธ์ของกระแสและแรงดันได้ดังสมการ

$$\begin{bmatrix} I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ V_X \\ I_{Z1+} \\ I_{Z2+} \\ I_{O1} \\ I_{O2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -g_m & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -g_m & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \\ V_{Z1+} \\ V_{Z2+} \\ V_{O1} \\ V_{O2} \end{bmatrix} \quad (2.29)$$

เมื่อ g_m คือค่าความนำของวงจร DDCCTA



รูปที่ 2.16 โครงสร้างของวงจร DDCCTA แบบใช้เทคโนโลยีซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร DDCCTA ที่สร้างขึ้นด้วยซีมอสแสดงดังรูปที่ 2.16 ซึ่งประกอบด้วยวงจรวงจร DDCC คือ มอสทรานซิสเตอร์ $M_1 - M_{14}$ ทำหน้าที่ในการรวมสัญญาณและส่งผ่านกระแส ส่วนวงจรขยายค่าความนำคือ มอสทรานซิสเตอร์ $M_{15} - M_{24}$ โดยความสัมพันธ์ระหว่างแรงดันที่พอร์ต X และพอร์ต Y สามารถวิเคราะห์ในส่วนผลต่างเชิงอนุพันธ์ ประกอบด้วยซีมอสทรานซิสเตอร์ $M_1 - M_{10}$ ดังนี้

$$V_X = \beta_1 V_{Y1} - \beta_2 V_{Y2} + \beta_3 V_{Y3} \quad (2.30)$$

เมื่อ $\beta_1, \beta_2, \beta_3$ คือ อัตราขยายที่เกิดขึ้นที่ที่พอร์ต Y_1, Y_2 และ Y_3 ตามลำดับ และ ε_V คือ ค่าความผิดพลาดการส่งผ่านแรงดันของวงจร DDCCTA ซึ่งสามารถคำนวณได้ดังนี้

$$\left. \begin{aligned} \beta_1 &= \frac{1}{P_1} \left(g_{m3} g_{m6} + \frac{g_{m3} (g_{m4} g_{m5} - g_{m3} g_{m6})}{g_{m3} + g_{m4}} \right), \\ \beta_2 &= \frac{1}{P_1} \left(g_{m1} g_{m5} + \frac{g_{m1} (g_{m1} g_{m5} - g_{m2} g_{m6})}{g_{m1} + g_{m2}} \right), \\ \beta_3 &= \frac{1}{P_1} \left(g_{m2} g_{m6} + \frac{g_{m2} (g_{m1} g_{m5} - g_{m2} g_{m6})}{g_{m1} + g_{m2}} \right), \\ \varepsilon_V &= \frac{I_B}{P_1} \left(\frac{g_{m1} g_{m5} - g_{m2} g_{m6}}{g_{m1} + g_{m2}} + \frac{g_{m4} g_{m5} - g_{m3} g_{m6}}{g_{m3} + g_{m4}} \right), \\ P_1 &= g_{m4} g_{m5} - \frac{g_{m4} (g_{m4} g_{m5} - g_{m3} g_{m6})}{g_{m3} + g_{m4}} \end{aligned} \right\} \quad (2.31)$$

โดยที่ I_B คือกระแสที่ไหลผ่านซีมอสทรานซิสเตอร์ M_i เมื่อ i คือ 7, 8, 10, 12 และ 14 ด้วยค่าความนำที่สมพหุกัน $g_{m1} = g_{m2} = g_{m3} = g_{m4}$ และ $g_{m5} = g_{m6}$ ดังนั้นแรงดันที่พอร์ต X จึงคำนวณได้ดังสมการ

$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \quad (2.32)$$

ความสัมพันธ์กระแสระหว่างพอร์ต Z_{1+} พอร์ต Z_{2+} และพอร์ต X โดยวิเคราะห์จากซีมอสทรานซิสเตอร์ $M_9 - M_{14}$ ในรูปที่ 2 ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{Z1+} = \alpha_1 I_X + \varepsilon_{I1}, \quad (2.33)$$

$$I_{Z2+} = \alpha_2 I_X + \varepsilon_{I2}$$

โดยที่ α_1, α_2 คือ อัตราขยายกระแส และ $\varepsilon_{I1}, \varepsilon_{I2}$ คือ ค่าความผิดพลาดการส่งผ่านกระแส กำหนดได้ดังสมการ

$$\alpha_1 = \frac{g_{m11}}{g_{m9}}, \quad \varepsilon_{I1} = \left(1 - \frac{g_{m11}}{g_{m9}}\right) I_B \quad (2.34)$$

$$\alpha_2 = \frac{g_{m13}}{g_{m9}}, \quad \varepsilon_{I2} = \left(1 - \frac{g_{m13}}{g_{m9}}\right) I_B$$

จากความสัมพันธ์กันของความนำ $g_{m9} = g_{m11} = g_{m13}$ ทำให้กระแสที่พอร์ต X สามารถคำนวณได้ดังสมการ

$$I_{Z1+} = I_{Z2+} = I_X \quad (2.35)$$

โดยความสัมพันธ์ของกระแสเอาต์พุตที่พอร์ต O_1 และพอร์ต O_2 สามารถวิเคราะห์จากมอสทรานซิสเตอร์ $M_{15} - M_{24}$ โดยอนุมานว่า แรงดันที่ขาเกตของมอสทรานซิสเตอร์ M_{17} และ M_{18} คือ V_{T1} และ V_{T2} ซึ่งกระแสเอาต์พุต I_{O1} และ I_{O2} สามารถคำนวณได้ดังสมการ

$$I_{O1-} = -(\gamma_1 V_{T1} - \gamma_2 V_{T2} + \varepsilon_{T1}), \quad (2.36)$$

$$I_{O2-} = -(\gamma_3 V_{T1} - \gamma_4 V_{T2} + \varepsilon_{T2})$$

เมื่อกำหนดค่าพารามิเตอร์ในวงจรดังนี้

$$\gamma_1 = g_{m17} \left(\frac{g_{m16} g_{m22}}{g_{m15} g_{m21}} - \frac{1}{g_{m15} g_{m19} g_{m21}} \left(\frac{g_{m16} g_{m17} g_{m19} g_{m22} - g_{m15} g_{m18} g_{m20} g_{m21}}{g_{m17} + g_{m18}} \right) \right) \quad (2.37)$$

$$\gamma_2 = g_{m18} \left(\frac{g_{m20}}{g_{m19}} - \frac{1}{g_{m15} g_{m19} g_{m21}} \left(\frac{g_{m16} g_{m17} g_{m19} g_{m22} - g_{m15} g_{m18} g_{m20} g_{m21}}{g_{m17} + g_{m18}} \right) \right) \quad (2.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\gamma_3 = g_{m17} \left(\frac{g_{m16}g_{m24}}{g_{m15}g_{m21}} - \frac{1}{g_{m15}g_{m19}g_{m21}} \left(\frac{g_{m16}g_{m17}g_{m19}g_{m24} - g_{m15}g_{m18}g_{m23}g_{m21}}{g_{m17} + g_{m18}} \right) \right) \quad (2.39)$$

$$\gamma_4 = g_{m18} \left(\frac{g_{m23}}{g_{m19}} + \frac{1}{g_{m15}g_{m19}g_{m21}} \left(\frac{g_{m16}g_{m17}g_{m19}g_{m24} - g_{m15}g_{m18}g_{m23}g_{m21}}{g_{m17} + g_{m18}} \right) \right) \quad (2.40)$$

$$\varepsilon_{T1} = -\frac{I_{Bias}}{g_{m15}g_{m19}g_{m21}} \left(\frac{g_{m16}g_{m17}g_{m19}g_{m22} - g_{m15}g_{m18}g_{m20}g_{m21}}{g_{m17} + g_{m18}} \right) \quad (2.41)$$

$$\varepsilon_{T2} = -\frac{I_{Bias}}{g_{m15}g_{m19}g_{m21}} \left(\frac{g_{m16}g_{m17}g_{m19}g_{m24} - g_{m15}g_{m18}g_{m23}g_{m21}}{g_{m17} + g_{m18}} \right) \quad (2.42)$$

จากสมการที่ (2.31) เมื่อ $g_{m17} = g_{m18}$, $g_{m21} = g_{m22} = g_{m24}$ และ $g_{m15} = g_{m16} = g_{m19} = g_{m20} = g_{m23}$ ดังนั้นกระแสเอาต์พุต I_{O1} และ I_{O2} จะถูกลดรูปลง ทำให้สามารถคำนวณได้ดังสมการที่ (2.32)

$$I_{O1} = I_{O2} = -(g_{m17}V_{T1} - g_{m18}V_{T2}) \quad (2.43)$$

โดยที่ $g_{m17} = \sqrt{2\mu C_{ox} (W/L)_{17} I_B}$ เมื่อ I_B คือ ค่ากระแสไบอัส μ คือ ความคล่องตัวของพาหะ C_{ox} คือ ค่าตัวเก็บประจุที่ขาเกตต่อหนึ่งหน่วยพื้นที่ W คือ ความกว้างของช่องนำกระแส และ L คือ ความยาวของช่องนำกระแสในกรณีที่ทรานซิสเตอร์ทำงานในย่านต่ำกว่าแรงดันเทรชโฮล (subthreshold region) สามารถปรับค่าความนำได้ด้วยกระแสไบอัส (I_B)

2.7 วงจรกรองความถี่

วงจรกรองความถี่เป็นวงจรที่เป็นส่วนสำคัญต่องานในด้านอิเล็กทรอนิกส์และโทรคมนาคม รวมถึงระบบควบคุม โดยวงจรกรองความถี่ทำหน้าที่ในการกรองสัญญาณที่ไม่ต้องการออกจากระบบ ด้วยการกำหนดขนาดและเฟสในโดเมนความถี่ ซึ่งจะแบ่งสัญญาณที่ต้องการในช่วงความถี่จะเรียกว่า แถบความถี่ผ่าน (Pass band) และช่วงความถี่ที่กรองกันไม่ให้ผ่านเรียกว่า แถบความถี่หยุด (Stopband) โดยวงจรกรองความถี่แบ่งได้ห้าประเภท ได้แก่ วงจรกรองแบบต่ำผ่าน (Low pass filter: LP) วงจรกรองแบบสูงผ่าน (High pass filter: HP) วงจรกรองผ่านแถบความถี่ (Band pass filter: BP) วงจรกรองกำจัดแถบความถี่ (Notch filter, Band stop filter: BS) และวงจรกรองผ่านทุกความถี่ (All pass filter : AP) ตามลำดับ ทั้งนี้ประสิทธิภาพของวงจรกรองความถี่จะมีความละเอียดและแม่นยำขึ้นอยู่กับการกำหนดอันดับของวงจรกรองความถี่ เมื่อวงจรกรองความถี่มีอันดับที่สูงขึ้น ทำให้ขนาดและเฟสที่เกิดขึ้นในกระบวนการกรองความถี่จะมีความเที่ยงตรงมากขึ้น โดยใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยานิพนธ์ฉบับนี้จะกล่าวถึงรูปแบบสมการถ่ายโอนของวงจรกรองความถี่อันดับที่สอง ที่อยู่ในรูปแบบฟังก์ชันไบควอดราติก (Biquadratic function) [3]-[4] แสดงได้ดังสมการ

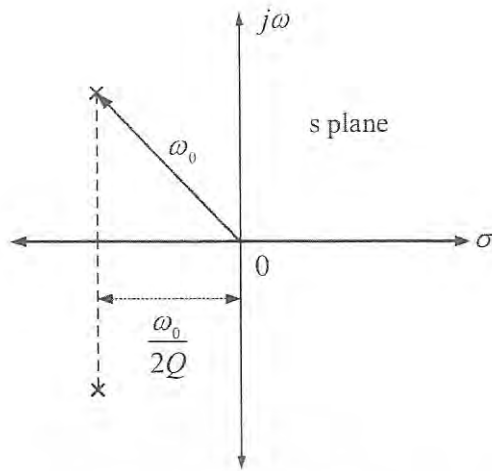
$$H(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (2.44)$$

โดยที่ $H(s)$ เป็นผลจากการแปลงลาปลาซของสัญญาณตอบสนองแบบอิมพัลส์หรือเป็นการตอบสนองเชิงความถี่ของวงจร ซึ่งเป็นอัตราส่วนของสัญญาณเอาต์พุตและอินพุตของวงจร ในวงจรกรองความถี่จะพิจารณาให้ระบบมีคุณสมบัติเชิงเส้นและไม่แปรเปลี่ยนตามเวลา โดยที่ $s = j\omega$ การตอบสนองทางเฟสของเชิงเส้นกำหนดจากการสูญเสียทางขนาดสัญญาณในช่วงแถบผ่านเป็นศูนย์ และการสูญเสียทางขนาดสัญญาณในช่วงแถบหยุดของวงจรมีค่านันต์ เมื่อ ω_0 และ Q คือความถี่โพลและตัวประกอบคุณภาพเป็นค่าที่กำหนดโหมดธรรมชาติ ดังนี้

$$p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0 \sqrt{1 - \left(\frac{1}{4Q^2}\right)} \quad (2.45)$$

เมื่อพิจารณากรณีการสั่งยุคเชิงซ้อนโหมดธรรมชาติ เมื่อกำหนดให้ตัวประกอบคุณภาพมากกว่า 0.5 แสดงดังรูปที่ 2.17 แสดงค่าโพลเชิงซ้อนอยู่ที่บริเวณด้านขวาของแนวระนาบ s ซึ่งรัศมีของโพลที่วัดจากจุดเริ่มต้น $(0,0)$ คือความถี่โพล (ω_0) และตัวประกอบคุณภาพ เป็นระยะห่างระหว่างโพลกับแกน $j\omega$ เมื่อตัวประกอบคุณภาพมีค่ามากกว่าโพล ในแกน $j\omega$ จะปิดทำให้สามารถเลือกผลตอบสนองความถี่จะเพิ่มขึ้นจนถึงค่านันต์ ซึ่งสามารถนำไปประยุกต์ใช้ในการสร้างวงจรรออสซิลเลเตอร์ ในกรณีที่ตัวประกอบคุณภาพมีค่าเป็นลบ ค่าโพลจะอยู่ด้านขวาในระนาบ s เป็นหลักการของวงจรกำเนิดสัญญาณทำให้ค่าตัวประกอบคุณภาพและโพลมีผลต่อการออกแบบวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 นิยามของ ω_0 และ Q ของคู่วงจรเชิงซ้อน

โดยการส่งผ่านศูนย์ของวงจรรองความถี่อันดับที่สองจะกำหนดจาก จำนวนเศษของค่าสัมประสิทธิ์คือ a_0 , a_1 และ a_2 เป็นตัวแปรสำหรับการกำหนดฟังก์ชันการกรองแบบต่างๆ ในฟังก์ชันไบควอดราติกคือ LP, HP, BP, BS และ AP ตามลำดับ โดยฟังก์ชันการกรองที่ได้กล่าวแสดงดังรูปที่ 2.17 ประกอบด้วย ฟังก์ชันถ่ายโอน โดยกราฟที่แสดงตำแหน่งโพลและซีโรของฟังก์ชันรวมถึงขนาดผลตอบสนองทางความถี่ ซึ่งความถี่โพลและตัวประกอบคุณภาพจะเป็นตัวแปรในการกำหนดด้วยลักษณะจากการสังยุคเชิงซ้อนของคู่วงจรเชิงซ้อน

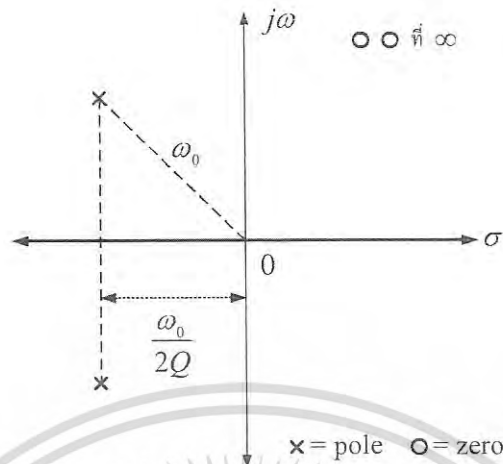
2.7.1 วงจรรองความถี่แบบต่ำผ่าน

วงจรรองแบบต่ำผ่านเป็นวงจรรองความถี่ผ่านในช่วงระหว่างศูนย์ถึงความถี่คัทออฟ ในช่วงความถี่สูงกว่าความถี่คัทออฟเป็นช่วงความถี่แถบหยุด ซึ่งคุณสมบัติของวงจรรองแบบต่ำผ่านแสดงได้ดังสมการ

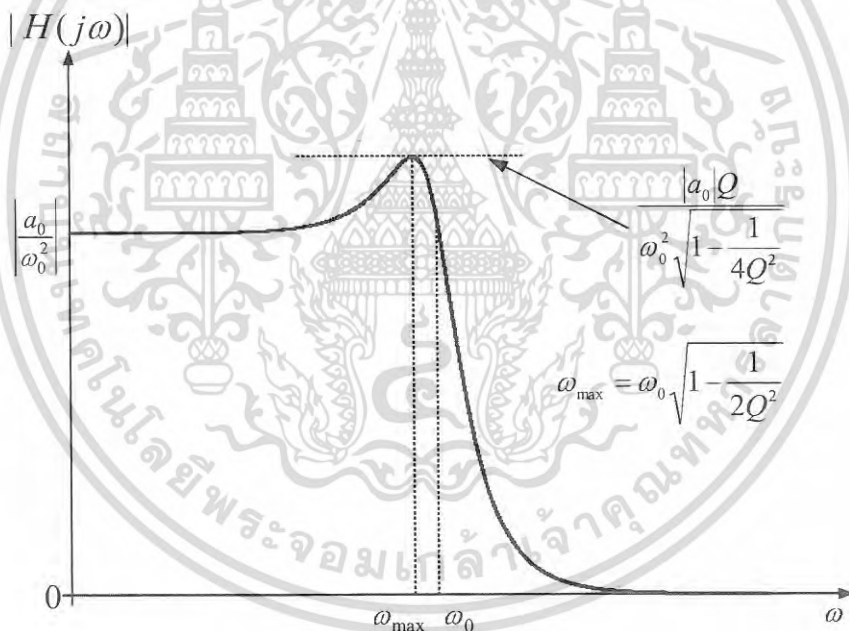
$$H(s) = \frac{a_0}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (2.46)$$

โดยวงจรรค่าโพลและซีโรที่เกิดขึ้นในวงจรรองแบบต่ำผ่านแสดงในรูปที่ 2.18 แสดงถึงวงจรรองความถี่แบบต่ำผ่านโดยการส่งผ่านของซีโรทั้งสองอยู่ที่ $s = \infty$ ซึ่งขนาดผลตอบสนองทางความถี่ ที่จุดยอดกับทิศทางของซีโร ทั้งนี้จุดยอดจะเกิดขึ้นเมื่อตัวประกอบคุณภาพมีค่ามากกว่า 0.707 โดยผลตอบสนองทางความถี่ เมื่อตัวประกอบคุณภาพเป็น 0.707จะเป็นลักษณะวงจรรองแบบบัตเทอร์เวิร์ทหรือแบบแกนราบสูงสุด โดยขนาดของสัญญาณของวงจรรองความถี่ต่ำผ่านมีขนาดเป็น a_0 / ω_0^2 กราฟการตอบสนองทางขนาดในเชิงความถี่ของวงจรมีลักษณะดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 ค่าโพลและซีโรบนระนาบ s ของวงจรรองแบบความถี่ต่ำผ่านอันดับสอง



รูปที่ 2.19 การตอบสนองทางขนาดเชิงความถี่ของวงจรรองแบบความถี่ต่ำผ่านอันดับสอง

2.7.2 วงจรรองความถี่แบบสูงผ่าน

วงจรรองความถี่แบบสูงผ่านเป็นวงจรรองความถี่ที่มีแถบหยุดอยู่ในช่วงความถี่ต่ำระหว่าง ศูนย์กับความถี่คัทออฟ ในขณะที่ช่วงแถบผ่านอยู่ในช่วงความถี่มากกว่าความถี่คัทออฟ โดยคุณสมบัติ ของวงจรรองความถี่แบบสูงผ่านแสดงดังสมการ (2.47) โดยในรูปที่ 2.20 แสดงถึงตำแหน่งของโพล และซีโรภายในวงจรรองความถี่แบบสูงผ่าน ซึ่งการส่งผ่านของซีโรทั้งสองอยู่ที่ $s = 0$ ทั้งนี้ขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองทางความถี่ที่จุดยอดกับทิศทางของซีโร โดยจุดยอดจะเกิดขึ้นเมื่อตัวประกอบคุณภาพมีค่ามากกว่า 0.707 แสดงถึงผลตอบสนองทางความถี่ ของวงจรกรองแบบสูงผ่าน

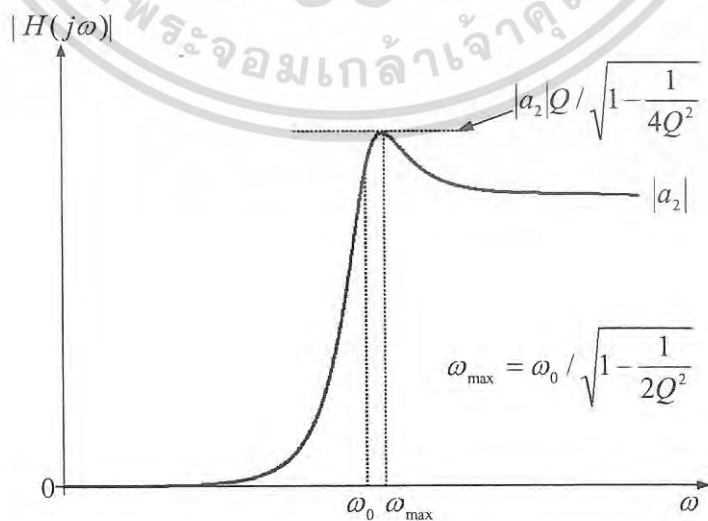
ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่แบบความถี่สูงผ่านอันดับสองโดยมีรูปแบบดังสมการ

$$H(s) = \frac{a_2 s^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \tag{2.47}$$

เมื่อ a_2 คือ ค่าอัตราขยายที่ความถี่สูง (High-Frequency Gain) กราฟการตอบสนองทางขนาดในเชิงความถี่ของวงจรมีลักษณะดังรูปที่ 2.21



รูปที่ 2.20 ค่าโพลและซีโรบนระนาบ s ของวงจรกรองแบบความถี่สูงผ่านอันดับสอง



รูปที่ 2.21 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแบบความถี่สูงผ่านอันดับสอง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.3 วงจรกรองผ่านแถบความถี่

วงจรกรองผ่านแถบความถี่ เป็นวงจรที่แถบความถี่ผ่านของวงจรรออยู่ระหว่างความถี่คัทออฟคือ ω_1 และ ω_2 ส่วนแถบความถี่หยุดจะอยู่ในช่วงระหว่างศูนย์ถึง ความถี่คัทออฟ ω_1 และช่วงความถี่ที่สูงกว่าความถี่คัทออฟ ω_2 โดยคุณสมบัติของวงจรกรองผ่านแถบความถี่แสดงดังสมการ (2.48) และ บริเวณที่โพลและซีโรเกิดขึ้นในระนาบ s แสดงในรูปที่ 2.22 พบว่า การส่งผ่านของซีโรที่ $s = 0$ และ $s = \infty$ โดยจุดยอดของผลตอบสนองทางความถี่ที่ $\omega = \omega_0$ ทำให้ความถี่กลางของวงจรกรองผ่านความถี่มีความถี่เดียวกับความถี่โพล ทั้งนี้การเลือกความแตกต่างระหว่างผลตอบสนองทางความถี่ ω_1 และ ω_2 ที่ขนาดต่ำกว่าขนาดสูงสุดที่ ω_0 เป็น 3 dB แสดงได้ดังสมการ

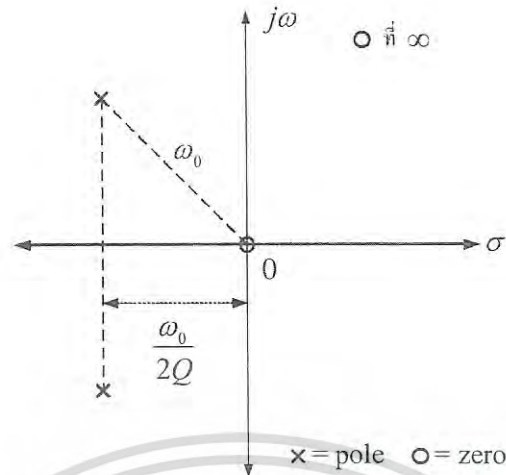
$$\omega_1, \omega_2 = \omega_0 \sqrt{1 + \left(\frac{1}{4Q^2}\right) \pm \frac{\omega_0}{2Q}} \quad (2.48)$$

ดังนั้น
$$BW = \omega_2 - \omega_1 = \frac{\omega_0}{Q} \quad (2.49)$$

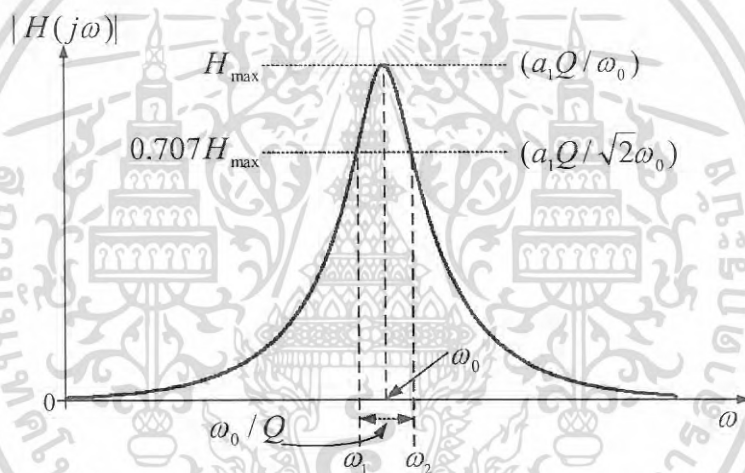
จากสมการที่ (2.49) พบว่า เมื่อตัวประกอบคุณภาพเพิ่มขึ้นทำให้แบนด์วิดท์มีค่าลดลง(แถบขึ้น) จึงเหมาะสมต่อการนำไปสร้างวงจรกรองผ่านความถี่

$$H(s) = \frac{a_1 s}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (2.50)$$

โดยที่ $a_1 Q / \omega_0$ คือ อัตราการขยายที่ความถี่ศูนย์กลาง (Central-Frequency Gain) และผลตอบสนองทางขนาดเชิงความถี่จะมีค่าสูงสุดที่ $\omega = \omega_0$ หรือค่าความถี่ศูนย์กลางของวงจรซึ่งจะมีค่าเท่ากับความถี่ของโพลของสมการ กราฟการตอบสนองทางขนาดเชิงความถี่ของวงจรแบบแถบความถี่ผ่านอันดับสองมีลักษณะดังรูปที่ 2.23



รูปที่ 2.22 ค่าโพลและซีโรบนระนาบ s ของวงจรกรองแบบแถบความถี่ผ่านอันดับสอง



รูปที่ 2.23 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแบบแถบความถี่ผ่านอันดับสอง

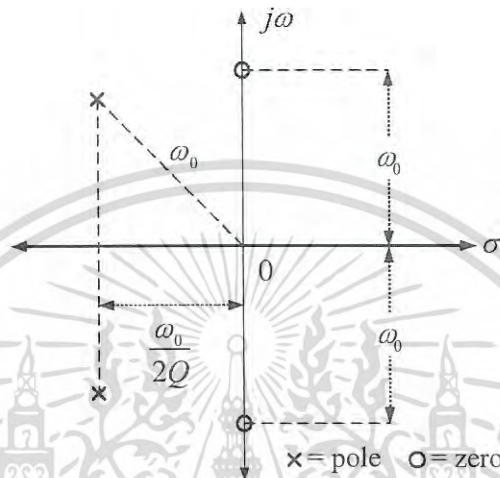
2.7.4 วงจรกรองก้ำจัดแถบความถี่

วงจรกรองก้ำจัดแถบความถี่เป็นวงจรกรองความถี่ที่แถบหยุดอยู่ในช่วงระหว่างความถี่คัทออฟ คือ ω_1 และ ω_2 ส่วนแถบความถี่ผ่านจะอยู่ในช่วงระหว่างศูนย์ถึง ความถี่คัทออฟ ω_1 และช่วงความถี่ที่สูงกว่าความถี่คัทออฟ ω_2 โดยคุณสมบัติของวงจรกรองก้ำจัดแถบความถี่แสดงดังสมการ (2.51) และบริเวณที่โพลและซีโรเกิดขึ้นในระนาบ s แสดงในรูปที่ 2.24 พบว่า ในกรณีที่ค่าซีโรของสมการมีตำแหน่งอยู่บนแกน $j\omega$ ในระนาบ s

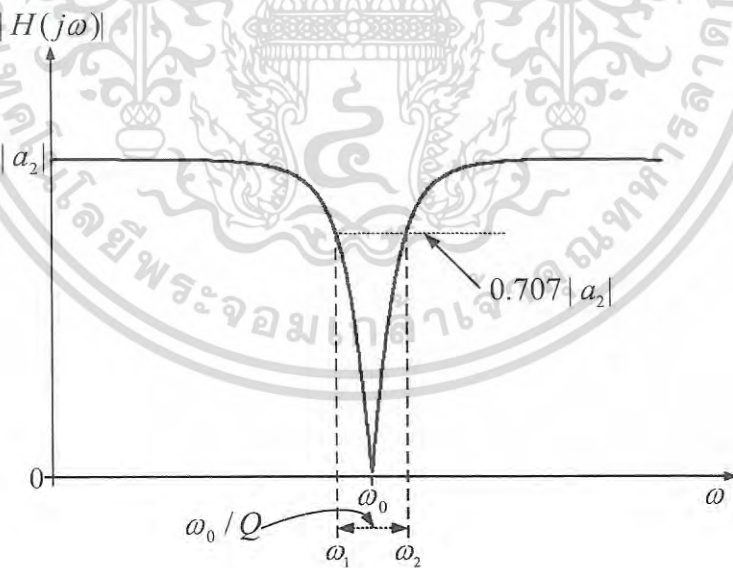
$$H(s) = a_2 \left(\frac{s^2 + \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \right) \tag{2.51}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยคุณสมบัติของวงจรกรองกำจัดความถี่แสดงดังสมการที่ (2.51) พบว่า ค่าอัตราขยายความถี่ของวงจรมีค่าเท่ากับ a_2 กราฟการตอบสนองทางขนาดเชิงความถี่ของวงจรมีลักษณะดังรูปที่ 2.25 และค่า ω_0 นี้คือ ความถี่น็อทช์ (Notch Frequency)



รูปที่ 2.24 ค่าโพลและซีโรบนระนาบ s ของวงจรกรองกำจัดแถบความถี่อันดับสอง



รูปที่ 2.25 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองกำจัดแถบความถี่อันดับสอง

2.7.5 วงจรกรองผ่านทุกความถี่

วงจรกรองผ่านทุกความถี่ เป็นการส่งผ่านความถี่โดยมีคุณสมบัติสามารถคำนวณได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

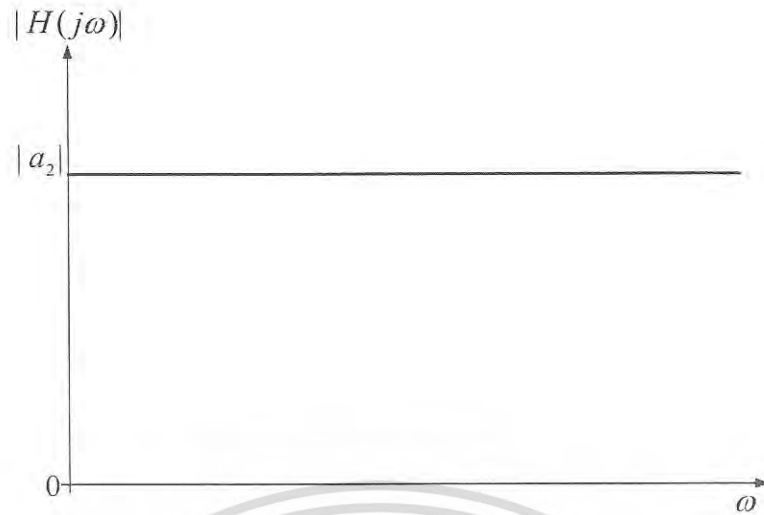
$$H(s) = a_2 \left(\frac{s^2 - \frac{\omega_0}{Q}s + \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \right) \quad (2.52)$$

จากสมการที่ (2.52) พบว่าค่าโพลและซีโรของวงจรรองผ่านทุกความถี่สามารถแสดงดังรูปที่ 2.26 เป็นการแสดงลักษณะของวงจรรองผ่านทุกความถี่ที่มีค่าซีโรทั้งสองอยู่ด้านขวาของระนาบ s และตรงข้ามกับโพล ซึ่งขนาดของผลตอบสนองความถี่ของฟังก์ชันกรองผ่านทุกความถี่จะมีขนาดและความถี่คงที่ โดยอัตราขยายแบบราบมีขนาดเท่ากับ $|a_2|$ ทำให้การเลือกความถี่ของฟังก์ชันกรองผ่านทุกความถี่จะขึ้นอยู่กับผลตอบสนองทางเฟสของวงจร

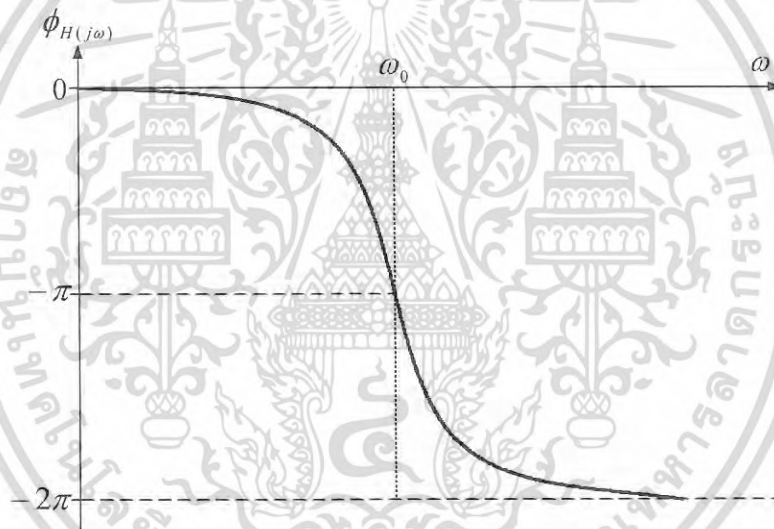


รูปที่ 2.26 ค่าโพลและซีโรบนระนาบ s ของวงจรรองผ่านทุกความถี่ผ่านอันดับสอง

โดยที่ $|a_2|$ คือค่าอัตราขยายแบบราบของวงจร โดยกราฟการตอบสนองทางขนาดและทางเฟสเชิงความถี่ของวงจรมีลักษณะดังรูปที่ 2.27 และ 2.28 ตามลำดับ ซึ่งจากพบว่า ชนิดของวงจรรองความถี่สามารถปรับเปลี่ยนได้ด้วยการกำหนดที่ค่าสัมประสิทธิ์จำนวนเศษของฟังก์ชันถ่ายโอนไบควอดราติก



รูปที่ 2.27 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองผ่านทุกความถี่ผ่านอันดับสอง



รูปที่ 2.28 การตอบสนองทางเฟสเชิงความถี่ของวงจรกรองผ่านทุกความถี่ผ่านอันดับสอง

2.8 ค่าความไว

กระบวนการแปลงจากฟังก์ชันส่งผ่านในการให้ผลตอบสนองต่อการกรองความถี่ เป็นขั้นตอนถัดจากกระบวนการออกแบบวงจรด้วยการกำหนดค่าอุปกรณ์ และขั้นตอนการวิเคราะห์ห้วงจร ซึ่งหนึ่งในทางเลือกของการสร้างวงจรสำหรับวงจรกรองความถี่ด้วยการกำหนดให้อุปกรณ์มีความสมบูรณ์ ซึ่งอาจจะเกิดผลต่างที่ส่งผลต่อการเปลี่ยนแปลงของวงจรที่สร้างขึ้น โดยในทางปฏิบัติจะเกิดความคลาดเคลื่อนของอุปกรณ์จากค่าที่กำหนดไว้ เนื่องจาก ข้อจำกัดเริ่มต้นเป็นผลจากการผลิต ผลกระทบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสภาวะภายนอกของอุณหภูมิและความชื้น และการเปลี่ยนแปลงทางเคมี เนื่องจากการเสื่อมลงของอุปกรณ์ เป็นผลทำให้ประสิทธิภาพของการกรองความถี่ที่มีความคลาดเคลื่อนไปจากการออกแบบ ซึ่งวิธีการในการลดผลกระทบดังกล่าวให้ให้น้อยที่สุดด้วยการเลือกอุปกรณ์ที่มีข้อจำกัดจากการผลิตน้อย และค่าสัมประสิทธิ์ของอุณหภูมิ การเสื่อมสภาพและความชื้นที่ต่ำ อย่างไรก็ตามการแก้ปัญหาผลการทำงานของวงจร มีราคาแพงเกินความจำเป็น โดยในทางปฏิบัติจะแก้ปัญหาดังกล่าวด้วยการทำให้วงจรมีความไว (sensitivity, S) [5] ที่ต่ำ ซึ่งวงจรที่มีความไวต่ำ การลดผลกระทบที่ทำให้ประสิทธิภาพเปลี่ยนแปลงจากเดิม ที่มีผลจากการเปลี่ยนแปลงของอุปกรณ์ โดยสภาวะผลต่างของความถี่ที่ต่ำ ทำให้ลดผลจากเงื่อนไขความสอดคล้องกันของอุปกรณ์ลง ซึ่งเป็นสาเหตุให้การใช้ความไวเป็นเกณฑ์ที่สำคัญในการเปรียบเทียบการเปลี่ยนแปลงของอุปกรณ์ภายในวงจร ซึ่งในวิทยานิพนธ์ฉบับนี้นำเสนอการพิจารณา ความไวของค่าตัวประกอบคุณภาพและ ความถี่โพล

ในการตรวจวัดคุณภาพ ค่าความไวของโครงข่ายวัดจากระดับการเปลี่ยนแปลงประสิทธิภาพของวงจรที่ออกแบบเดิม เนื่องจากการเปลี่ยนแปลงของอุปกรณ์ที่ประกอบขึ้นเป็นโครงข่าย เช่น ฟังก์ชันของวงจรกรองความถี่อันดับที่สอง ประกอบด้วยเทอมของพารามิเตอร์ดังนี้ $\omega_p, \omega_z, Q_p, Q_z$ และ K

$$T(s) = K \frac{\left(s^2 + \frac{\omega_z}{Q_z} s + \omega_z^2 \right)}{\left(s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2 \right)} \quad (2.53)$$

เมื่อพิจารณาถึงค่าความไวของความถี่โพล (ω_p) ที่เปลี่ยนแปลงอยู่ในรูปตัวต้านทาน (R) ซึ่งค่าความไวของโพล ถูกนิยามเป็นการเปลี่ยนแปลงต่อหน่วย อยู่ในรูปความถี่โพล ($\Delta\omega_p/\omega_p$) จากการเปลี่ยนแปลงต่อหน่วยในตัวต้านทาน ($\Delta R/R$) ตามกระบวนการทางคณิตศาสตร์สามารถคำนวณได้ดังสมการ

$$S_R^{\omega_p} \triangleq \lim_{\Delta R \rightarrow 0} \frac{(\Delta\omega_p / \omega_p)}{(\Delta R / R)} \quad (2.54)$$

$$S_R^{\omega_p} = \frac{R}{\omega_p} \frac{\partial \omega_p}{\partial R} \quad (2.55)$$

ทำให้สมการสมมูลแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_R^{\omega_p} = \frac{\partial(\ln \omega_p)}{\partial(\ln R)} \quad (2.56)$$

โดยค่าความไวของอุปกรณ์อยู่ในรูปแบบฟังก์ชันของอัตราร้อยละ ต่อการเปลี่ยนแปลง $(100 \times \Delta R/R)$ มากกว่าค่าสมบูรณการเปลี่ยนแปลงของอุปกรณ์ (ΔR) จากสมการที่ (2.54)

ค่าความไวของพารามิเตอร์ ω_z, Q_p, Q_z และ K สำหรับอุปกรณ์ของโครงข่ายสามารถคำนวณด้วยวิธีการเดียวกัน ดังนี้

$$S_R^{Q_p} = \frac{R}{Q_p} \frac{\partial Q_p}{\partial R} \quad S_R^K = \frac{R}{K} \frac{\partial K}{\partial R} \quad (2.57)$$

จากสมการที่ (2.56) สามารถพัฒนาเป็นหลักการในการคำนวณค่าความไวได้ โดยค่าความไวของพารามิเตอร์ p ถึงอุปกรณ์ x ดังนี้

$$S_x^p \triangleq \frac{x}{p} \frac{\partial p}{\partial x} = \frac{\partial(\ln p)}{\partial(\ln x)} \quad (2.58)$$

เมื่อ p ไม่เป็นฟังก์ชันของ x (เช่น $p = a$ เป็นค่าคงที่)

$$S_x^p = 0 \quad (2.59)$$

เมื่อ $p = cx$ โดยที่ c เป็นค่าคงที่

$$S_x^{cx} = \frac{\partial(\ln cx)}{\partial(\ln x)} = \frac{\partial(\ln c)}{\partial(\ln x)} + \frac{\partial(\ln x)}{\partial(\ln x)} = 1 \quad (2.60)$$

ความสัมพันธ์ที่นิยมใช้ดังนี้

$$S_x^p = -S_x^{1/p} \quad (2.61)$$

จากสมการ (2.56)

$$-S_x^{1/p} = -\frac{\partial(\ln 1/p)}{\partial(\ln x)} = -\frac{\partial(-(\ln p))}{\partial(\ln x)} = S_x^p \quad (2.62)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งแสดงในรูปแบบสมการเดียวกับ

$$S_x^p = -S_{1/x}^p \quad (2.63)$$

นอกจากนี้การใช้ความสัมพันธ์ที่ทำได้ง่ายต่อการพิสูจน์ดังนี้

$$S_x^{p_1 p_2} = S_x^{p_1} + S_x^{p_2} \quad (2.64)$$

$$S_x^{p_1 / p_2} = S_x^{p_1} - S_x^{p_2} \quad (2.65)$$

$$S_{x^n}^p = \frac{1}{n} S_x^p \quad (2.66)$$

$$S_x^{p^n} = n S_x^p \quad (2.67)$$

$$S_x^{p_1 + p_2} = \frac{p_1 S_x^{p_1} + p_2 S_x^{p_2}}{p_1 + p_2} \quad (2.68)$$

$$S_x^{cf(x)} = S_x^{f(x)} \quad (2.69)$$

เมื่อ c เป็นอิสระต่อ x และ $f(x)$ เป็นฟังก์ชันของ x ทั้งนี้เมื่อขนาดความไวมีค่าต่ำกว่า 1 จะแสดงถึง อัตราการเปลี่ยนแปลงร้อยละ 1 ในอนุกรม เพราะ อัตราการเปลี่ยนแปลงภายในพารามิเตอร์ ร้อยละ 1 จากสมการที่ (2.54) แสดงถึง ค่าความไวต่ำ ในกรณีที่ค่าความไวของ ω_p เทียบกับ R ในสมการที่ (2.55) เป็น ศูนย์ ดังนั้นการปรับเปลี่ยน R จะไม่ส่งผลกระทบต่อความถี่โพล ซึ่งใช้สำหรับพิจารณาถึงการปรับค่าตัวประกอบคุณภาพ Q_p ได้อย่าอิสระต่อความถี่โพล ω_p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

งานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์

3.1 บทนำ

ในวิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองความถี่อันดับที่สองด้วยการใช้อุปกรณ์แอคทีฟคือ วงจร CDTA และวงจร DDCCTA โดยที่ผ่านมาการออกแบบวงจรกรองความถี่ด้วยอุปกรณ์แอคทีฟได้รับการพัฒนาอย่างต่อเนื่องเช่น วงจรออปแอมป์ วงจรสายพานกระแส วงจร DVCC วงจร DDCC วงจร OTA วงจร CDTA และวงจร DDCCTA เป็นต้น เพื่อนำไปสร้างวงจรรวมในการประยุกต์ใช้กับวงจรอิเล็กทรอนิกส์แบบอนาล็อกและดิจิตอล ซึ่งเป็นไปตามหลักการของกระบวนการผลิตวงจรรวมขนาดใหญ่ คือ การลดขนาดพื้นที่ของวงจร วงจรจะต้องทำงานด้วยความเร็วสูงขึ้น และใช้กำลังไฟฟ้าน้อยลง ดังนั้นในวิทยานิพนธ์ฉบับนี้ จึงได้ทำการศึกษาและวิเคราะห์ถึงข้อดีและข้อเสียของงานวิจัยที่ผ่านมาในอดีต เพื่อเป็นแนวทางในการศึกษา สังเคราะห์ และออกแบบวงจรกรองความถี่แบบหลายหน้าที่ที่สร้างวงจร CDTA และวงจร DDCCTA

3.2 งานวิจัยที่เกี่ยวข้องกับวงจร CDTA

วงจรกรองความถี่อันดับที่สองโหมดกระแสแบบหลายหน้าที่ ด้วยวงจร CDTA เป็นอุปกรณ์แอคทีฟหลักในการออกแบบ ดังนั้นในวิทยานิพนธ์ฉบับนี้ จึงได้ทำการศึกษาและวิเคราะห์ถึงข้อดีและข้อเสียของงานวิจัยที่ผ่านมาในอดีต เพื่อเป็นแนวทางในการศึกษา สังเคราะห์ และออกแบบวงจรกรองความถี่แบบหลายหน้าที่ได้ดังนี้

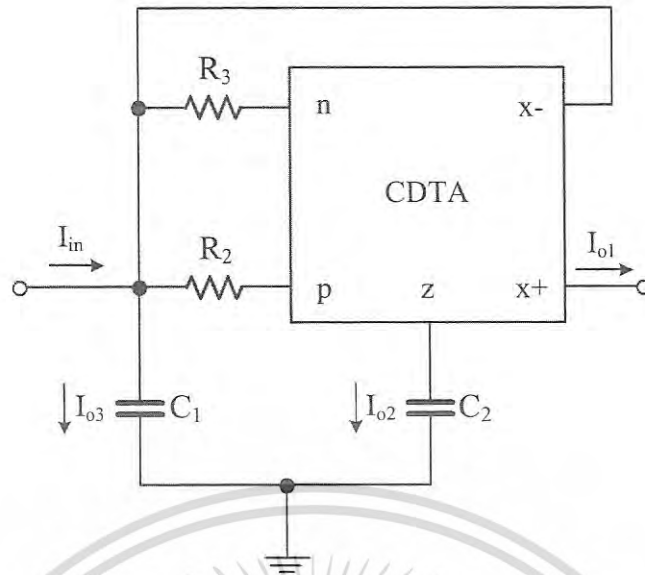
3.2.1 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [12]

วงจรกรองความถี่แบบหลายหน้าที่ในโหมดกระแส ด้วยโครงสร้างแบบสามอินพุต หนึ่งเอาต์พุต ด้วยการใช่วงจร CDTA จำนวนหนึ่งวงจร และตัวเก็บประจุ จำนวนสองตัว และตัวต้านทาน จำนวนสองตัว ดังรูปที่ 3.1

จากวงจรในรูปที่ 3.1 พบว่า การออกแบบวงจรกรองความถี่ที่นำเสนอใน [12] ประกอบด้วยตัวต้านทาน จำนวนสองตัว และตัวเก็บประจุทั้งหมดต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิดจากอิมพีแดนซ์แฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

$$\frac{I_{o1}}{I_{in}} = \frac{\frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)}{s^2 + \frac{s}{C_1} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) + \frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [12]

$$\frac{I_{o2}}{I_{in}} = \frac{\frac{s}{C_1} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)}{s^2 + \frac{s}{C_1} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) + \frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.2)$$

$$\frac{I_{o3}}{I_{in}} = \frac{s^2}{s^2 + \frac{s}{C_1} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) + \frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.3)$$

$$\frac{I_{o4}}{I_{in}} = \frac{I_{o1} + I_{o3}}{I_{in}} = \frac{s^2 + \frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)}{s^2 + \frac{s}{C_1} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) + \frac{g_m}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.4)$$

จากสมการที่ (3.1) ถึง (3.4) แสดงการสังเคราะห์ที่ฟังก์ชันการกรองความถี่แบบ LP, BP, HP และ BS แทนด้วย I_{o1} , I_{o2} , I_{o3} และ I_{o4} โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_{m1}}{C_1 C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.5)$$

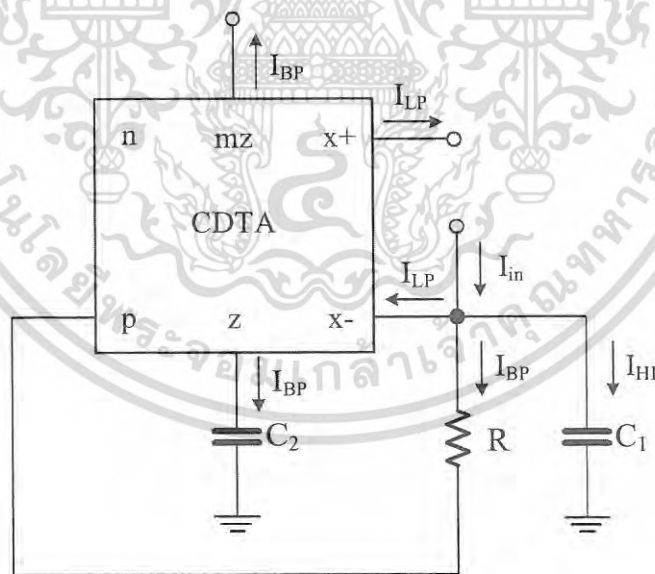
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \left(\frac{1}{R_2} + \frac{1}{R_3} \right) \sqrt{\frac{g_{m1} C_1}{C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)} \quad (3.6)$$

จากสมการที่ (3.5) และ (3.6) พบว่า ความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพ ไม่สามารถควบคุมได้อิสระต่อกัน ซึ่งข้อดีของวงจรถือ ภายใต้อุปกรณ์เดียว นอกจากนี้ภายใน โครงสร้างของวงจรรองความถี่ประกอบด้วยตัวเก็บประจุต่อลงกราวด์และปราศจากตัว ด้านทานภายนอก และไม่ต้องการเงื่อนไขความสมพงษ์กันของอุปกรณ์ และมีอินพุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสร่วมกับวงจรอื่นได้ ซึ่งข้อเสียคือ วงจรรองความถี่แบบหลายหน้าที่ ใช้อุปกรณ์จำนวนมากในการสร้างวงจร และไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ และตัว ประกอบคุณภาพ ได้อิสระต่อกัน วงจรไม่สามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานได้ ทั้งห้ารูปแบบ

3.2.2 วงจรรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจรร CDTA [13]

วงจรรองความถี่แบบหลายหน้าที่ในโหมดกระแส ด้วยโครงสร้างแบบสามอินพุต หนึ่งเอาท์พุต ด้วยการใช่วงจร CDTA จำนวนหนึ่งวงจร และตัวเก็บประจุ จำนวนสองตัว และตัวด้านทาน จำนวน หนึ่งตัว ดังรูปที่ 3.2



รูปที่ 3.2 วงจรรองความถี่แบบหลายหน้าที่ด้วยวงจรร CDTA [13]

จากวงจรรูปที่ 3.2 พบว่า การออกแบบวงจรรองความถี่ที่นำเสนอใน [13] ประกอบด้วย ตัวด้านทาน จำนวนหนึ่งตัว และตัวเก็บประจุทั้งหมดต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิด จากอิมพีแดนซ์แฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{o1}}{I_{in}} = \frac{\frac{g_m}{RC_1C_2}}{s^2 + \frac{s}{RC_1} + \frac{g_m}{RC_1C_2}} \quad (3.7)$$

$$\frac{I_{o2}}{I_{in}} = \frac{\frac{s}{RC_1}}{s^2 + \frac{s}{RC_1} + \frac{g_m}{RC_1C_2}} \quad (3.8)$$

$$\frac{I_{o3}}{I_{in}} = \frac{s^2}{s^2 + \frac{s}{RC_1} + \frac{g_m}{RC_1C_2}} \quad (3.9)$$

จากสมการที่ (3.7) ถึง (3.9) แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, BP และ HP แทนด้วย I_{o1} , I_{o2} และ I_{o3} โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_m}{RC_1C_2}} \quad (3.10)$$

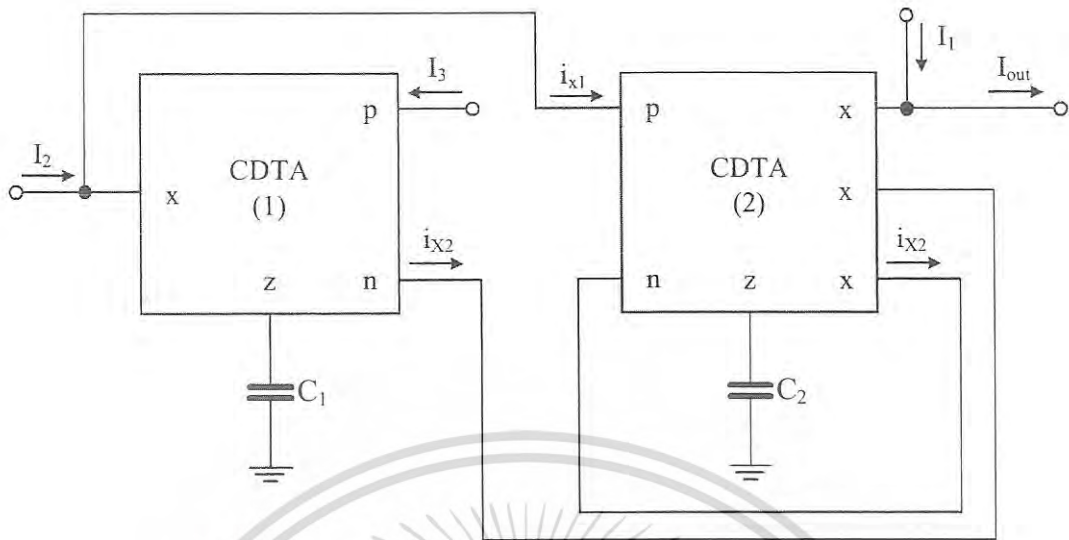
$$Q = \sqrt{g_m R \frac{C_1}{C_2}} \quad (3.11)$$

จากสมการที่ (3.10) และ (3.11) พบว่า ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ไม่สามารถควบคุมได้อิสระต่อกัน ซึ่งข้อดีของวงจรคือ ภายในโครงสร้างเดียว นอกจากนี้ภายในโครงสร้างของวงจรกรองความถี่ ประกอบด้วยการนำตัวเก็บประจุต่อลงกราวด์และปราศจากตัวต้านทานภายนอก และไม่ต้องการเงื่อนไขความสมพงษ์กันของอุปกรณ์ และมีอินพุตอิมพีแดนซ์สูงเหมาะสำหรับการนำไปต่อкасесร่วมกับวงจรอื่นได้ ซึ่งข้อเสียคือ วงจรกรองความถี่แบบหลายหน้าที่ใช้อุปกรณ์จำนวนมากในการสร้างวงจร และไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ได้อิสระต่อกัน วงจรไม่สามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานได้ทั้งห้ารูปแบบ

3.2.3 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [27]

วงจรกรองความถี่แบบหลายหน้าที่ ด้วยโครงสร้างแบบหลายอินพุต หนึ่งเอาต์พุต ด้วยการใช่วงจร CDTA เป็นอุปกรณ์แอกทีฟหลักในการออกแบบวงจรกรองความถี่ ประกอบด้วยวงจร CDTA จำนวนสองวงจร และตัวเก็บประจุ จำนวนสองตัว ดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [27]

จากวงจรในรูปที่ 3.3 พบว่า การออกแบบวงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA ได้นำตัวเก็บประจุต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิดจากอิมพีแดนซ์แฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

$$i_{x1} = \left(\frac{g_{m1}}{sC_1} \right) (I_3 - i_{x2}) \quad (3.12)$$

$$i_{x2} = \left(\frac{g_{m2}}{sC_2 + g_{m2}} \right) (I_2 + i_{x1}) \quad (3.13)$$

โดยที่ i_{xi} และ g_{mi} ($i = 1, 2$) ซึ่งกระแส i_x และค่าขยายความนำ g_m ของลำดับแต่ละวงจร CDTA ซึ่งจากสมการที่ (3.12) และ (3.13) ทำให้

$$i_{x2} = \frac{\left(\frac{sC_1}{g_{m1}} \right) I_2 + I_3}{\left(\frac{s^2 C_1 C_2}{g_{m1} g_{m2}} + \frac{sC_1}{g_{m1}} + 1 \right)} \quad (3.14)$$

โดยกระแสเอาต์พุต I_{out} สามารถคำนวณได้ดังสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{out} = \frac{\left(s^2 + \frac{g_{m2}}{C_2} s + \frac{g_{m1}g_{m2}}{C_1C_2}\right) I_1 + \left(\frac{g_{m2}}{C_2} s\right) I_2 + \left(\frac{g_{m1}g_{m2}}{C_1C_2}\right) I_3}{s^2 + \frac{g_{m2}}{C_2} s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.15)$$

จากสมการที่ (3.15) พบว่า วงจรกรองความถี่ที่นำเสนอใน [25] สามารถสังเคราะห์ฟังก์ชันการกรองความถี่อันดับที่สองตามมาตรฐานทั้งห้าแบบ โดยการสังเคราะห์ผลตอบสนองความถี่แบบ LP ด้วยการกำหนดให้ สัญญาณกระแสอินพุต $I_{in} = I_3$ และ $I_1 = I_2 = 0$ และ การสังเคราะห์ผลตอบสนองความถี่แบบ BP ด้วยการกำหนดให้ $I_{in} = I_2$ และ $I_1 = I_3 = 0$ การสังเคราะห์ผลตอบสนองความถี่แบบ HP ด้วยการกำหนดให้ $I_{in} = I_1 = -I_2 = I_3$ การสังเคราะห์ผลตอบสนองความถี่แบบ BS ด้วยการกำหนดให้ $I_1 = -I_2 = I_{in}$ และ $I_3 = 0$ รวมถึง การสังเคราะห์ผลตอบสนองความถี่แบบ AP ด้วยการกำหนดให้ $I_1 = -I_2 / 2 = I_{in}$ และ $I_3 = 0$ โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

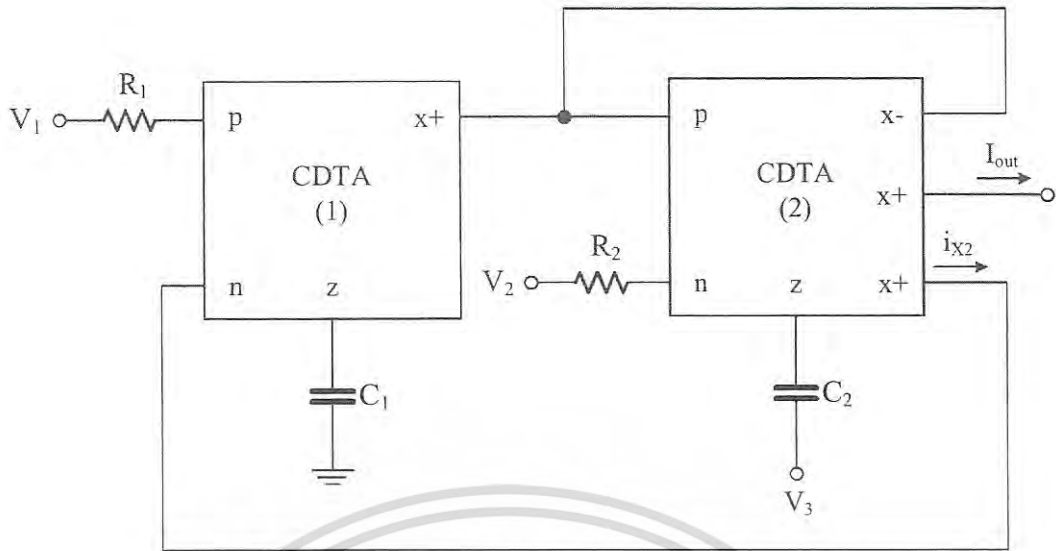
$$\omega_o = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.16)$$

$$Q = \sqrt{\frac{g_{m1}C_2}{g_{m2}C_1}} \quad (3.17)$$

จาก สมการที่ (3.16) และ (3.17) พบว่า วงจรกรองความถี่ที่ออกแบบไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ กับตัวประกอบธรรมชาติ ได้อิสระต่อกัน ซึ่งจากการวิเคราะห์วงจรพบว่า ข้อดีของวงจรคือ วงจรออกแบบโดยใช้ตัวเก็บประจุแบบต่อลงกราวด์เพื่อลดผลกระทบจากอิมพีแดนซ์แฝง และไม่ต้องใช้ความสมพียงกันของอุปกรณ์ นอกจากนี้วงจรมีค่าอินพุตอิมพีแดนซ์สูง ซึ่งเหมาะสำหรับการนำไปต่อคาสเคสในการทำงานโหมดแรงดัน แต่ข้อเสียคือ วงจรไม่สามารถสังเคราะห์ฟังก์ชันการกรองได้ครบทั้งห้าแบบ และวงจรดังกล่าวไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพได้อิสระต่อกัน

3.2.4 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [28]

วงจรกรองความถี่แบบหลายหน้าที่ในโหมดทรานส์แอตมิตแดนซ์ ด้วยโครงสร้างแบบสามอินพุต หนึ่งเอาต์พุต ด้วยการใช่วงจร CDTA จำนวนสองวงจร และตัวเก็บประจุ จำนวนสองตัว และตัวต้านทาน จำนวนสองตัว ดังรูป



รูปที่ 3.4 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [28]

จากวงจรในรูปที่ 3.4 พบว่า การออกแบบวงจรกรองความถี่ที่นำเสนอใน [28] ประกอบด้วย ตัวต้านทาน จำนวนสองตัว และตัวเก็บประจุทั้งหมดต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิดจากอิมพีแดนซ์แฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

$$I_{out} = G_2 \frac{(s^2 C_1 C_2 R_1 R_2) V_3 - (s C_1 R_1) V_2 - (R_2 G_1) V_1}{s^2 C_1 C_2 R_1 R_2 + s C_1 R_1 R_2 G_2 + R_1 R_2 G_1 G_2} \quad (3.18)$$

จากสมการที่ (3.18) พบว่า วงจรกรองความถี่ที่นำเสนอใน [28] สามารถสังเคราะห์ฟังก์ชันการกรองความถี่อันดับที่สองตาม มาตรฐานทั้งห้าแบบ โดยการสังเคราะห์ผลตอบสนองความถี่แบบ LP ด้วยการกำหนดให้ $V_{in} = V_1$ และ $V_2 = V_3 = 0$ และการสังเคราะห์ผลตอบสนองความถี่แบบ BP ด้วยการกำหนดให้ $V_{in} = V_2$ และ $V_1 = V_3 = 0$ การสังเคราะห์ผลตอบสนองความถี่แบบ HP ด้วยการกำหนดให้ $V_{in} = V_3$ และ $V_1 = V_2 = 0$ การสังเคราะห์ผลตอบสนองความถี่แบบ BS ด้วยการกำหนดให้ $V_{in} = V_1 = V_3$ และ $V_2 = 0$ โดย $G_2 = 1/R_1$ รวมถึง การสังเคราะห์ผลตอบสนองความถี่แบบ AP ด้วยการกำหนดให้ $V_{in} = V_1 = V_2 = V_3$ โดย $G_2 = 1/R_1 = 1/R_2$ โดยความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad (3.19)$$

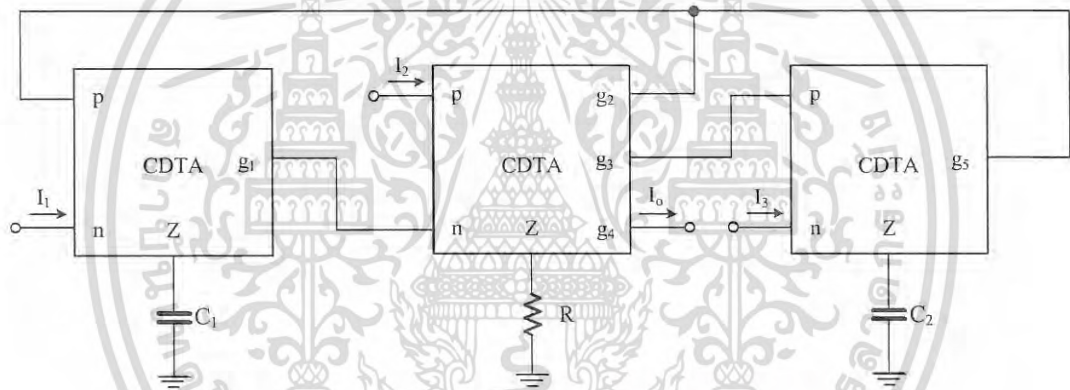
$$Q = \sqrt{\frac{G_1 C_2}{G_2 C_1}} \quad (3.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.19) และ (3.20) พบว่า วงจรกรองความถี่ที่ออกแบบไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพได้อิสระต่อกัน และต้องอาศัยความสัมพันธ์ของอุปกรณ์ในการสังเคราะห์ฟังก์ชันการกรอง ซึ่งจากการวิเคราะห์วงจรพบว่า ข้อดีของวงจรคือ การต่อตัวเก็บประจุลงกราวด์เพื่อลดผลกระทบจากอิมพีแดนซ์แฝง และวงจรมีค่าอินพุตอิมพีแดนซ์สูง ซึ่งเหมาะสำหรับการนำไปต่อคาสเคสในการทำงานโหมดแรงดัน แต่ข้อเสียคือ วงจรไม่สามารถสังเคราะห์ฟังก์ชันการกรองได้ครบทั้งห้าแบบ และวงจรดังกล่าวไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพได้อิสระต่อกัน

3.2.5 วงจรกรองความถี่แบบหลายหน้าที่ โดยสร้างขึ้นจากวงจร CDTA [29]

วงจรกรองความถี่แบบหลายหน้าที่ในโหมดทรานส์แอตมิตแดนซ์ ด้วยโครงสร้างแบบสามอินพุต หนึ่งเอาต์พุต ด้วยการใช่วงจร CDTA จำนวนสามวงจร และตัวเก็บประจุ จำนวนสองตัว และตัวต้านทาน จำนวนหนึ่งตัว ดังรูปที่ 3.5



รูปที่ 3.5 วงจรกรองความถี่แบบหลายหน้าที่ด้วยวงจร CDTA [29]

จากวงจรในรูปที่ 3.5 พบว่า การออกแบบวงจรกรองความถี่ที่นำเสนอใน [29] โดยนำตัวเก็บประจุทั้งหมดต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิดจากอิมพีแดนซ์แฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

$$I_{out} = \frac{(s^2 g_4 R) I_2 + \left(\frac{s g_1 g_4 R}{C_1} \right) I_1 + \left(\frac{g_1 g_4 g_5 R}{C_1 C_2} \right) I_3}{s^2 + \frac{s g_1 g_2 R}{C_1} + \frac{g_1 g_3 g_5 R}{C_1 C_2}} \quad (3.21)$$

จากสมการที่ (3.21) พบว่า วงจรกรองความถี่ที่นำเสนอใน [27] สามารถสังเคราะห์ฟังก์ชันการกรองความถี่อันดับที่สองตามมาตรฐานทั้งห้าแบบ โดยการสังเคราะห์ผลตอบสนองความถี่แบบ LP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยการกำหนดให้ $I_3 = I_m$ และ $I_1 = I_2 = 0$ และ การสังเคราะห์ผลตอบสนองความถี่แบบ BP ด้วยการกำหนดให้ $I_1 = I_m$ และ $I_2 = I_3 = 0$ การสังเคราะห์ผลตอบสนองความถี่แบบ HP ด้วยการกำหนดให้ $I_2 = I_m$ และ $I_1 = I_3 = 0$ การสังเคราะห์ผลตอบสนองความถี่แบบ BS ด้วยการกำหนดให้ $I_2 = I_3 = I_m$ และ $I_1 = 0$ รวมถึงการสังเคราะห์ผลตอบสนองความถี่แบบ AP ด้วยการกำหนดให้ $I_2 = I_1 = I_3 = I_m$ โดยที่ $g_2 = g_3 = g_4 = R$ โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_1 g_3 g_5 R}{C_1 C_2}} \quad (3.22)$$

$$Q = \frac{1}{g_2} \sqrt{\frac{g_3 g_5 C_1}{g_1 R C_2}} \quad (3.23)$$

จากสมการที่ (3.22) และ (3.23) พบว่า วงจรกรองความถี่ที่ออกแบบสามารถควบคุม ความถี่เชิงมุมธรรมชาติ กับตัวประกอบธรรมชาติ ได้อิสระต่อกัน และไม่ต้องอาศัยความสัมพันธ์กันของอุปกรณ์ในการสังเคราะห์ฟังก์ชันการกรอง ซึ่งจากการวิเคราะห์วงจรพบว่า ข้อดีของวงจรคือ วงจรสามารถสังเคราะห์ฟังก์ชันการกรองได้ครบทั้งห้าแบบการต่อตัวเก็บประจุลงกราวด์เพื่อลดผลกระทบจากอิมพีแดนซ์แฝง วงจรสามารถควบคุมความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้อิสระต่อกัน โดยวงจรมีค่าอินพุตอิมพีแดนซ์ต่ำ เอาท์พุตอิมพีแดนซ์สูง แต่ข้อเสียคือ วงจรที่นำเสนอใช้อุปกรณ์จำนวนมาก

ตารางที่ 3.1 ตารางเปรียบเทียบคุณสมบัติของวงจรกรองความถี่อันดับที่สองที่สร้างขึ้นจากวงจร CDTA

วงจร กรอง ความ ถี่	จำนวนอุปกรณ์ แอคทีฟ	จำนวน อุปกรณ์ พาสซีฟ		สังเคราะห์ ฟังก์ชันการ กรองความถี่ ทั้งห้าแบบ	ปรับค่า Q โดยไม่ส่งผล กระทบ ต่อ ω_o	ปราศจาก เงื่อนไข ความ สมพงษ์ ของอุปกรณ์	ใช้ อุปกรณ์ พาสซีฟ ต่อลง กราวด์	อินพุตอิมพี แดนซ์ต่ำ เอาท์พุต อิมพีแดนซ์ สูง
		R	C					
11	2 CDTA	-	2	ไม่ใช่	ใช่	ใช่	ใช่	ใช่
12	1 CDTA	2	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
13	1 CDTA	1	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
14	2 CDTA	1	3	ไม่ใช่	ใช่	ไม่ใช่	ใช่	ใช่
27	1 DO-CDTA	-	2	ใช่	ไม่ใช่	ไม่ใช่	ใช่	ใช่
28	2 CDTA	2	2	ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

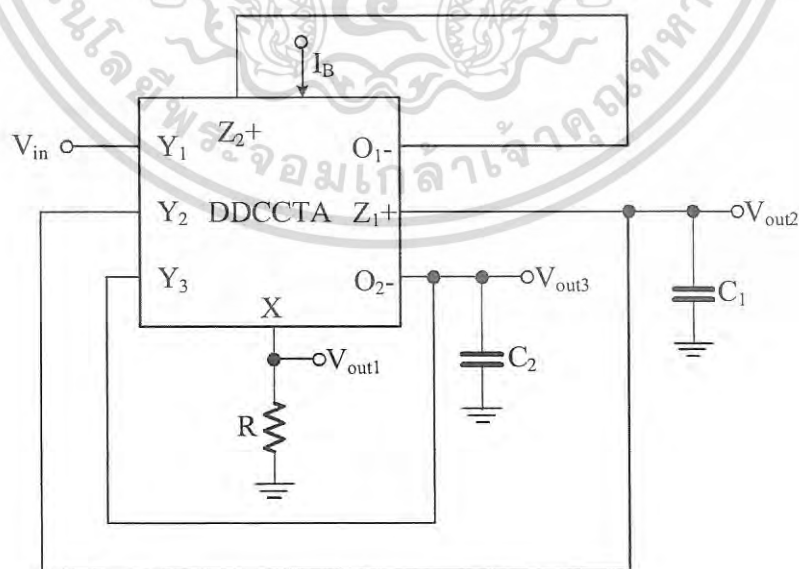
วงจร กรง ความ ถี่	จำนวนอุปกรณ์ แอคทีฟ	จำนวน อุปกรณ์ พาสซีฟ		สังเคราะห์ ฟังก์ชันการ กรงความถี่ ทั้งห้าแบบ	ปรับค่า Q โดยไม่ส่งผล กระทบ ต่อ ω_0	ปราศจาก เงื่อนไข ความ สมพงษ์ ของอุปกรณ์	ใช้ อุปกรณ์ พาสซีฟ ต่อลง กราวด์	อินพุตอิมพี แดนซ์ต่ำ เอาต์พุต อิมพีแดนซ์ สูง
		R	C					
39	4 CDTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ใช่

3.3 งานวิจัยที่เกี่ยวข้องกับวงจร DDCCTA

วงจรกรงความถี่อันดับที่สองแบบหลายหน้าที่ ด้วยวงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลักในการออกแบบ โดยที่ผ่านมามีการนำเสนอการออกแบบวงจรกรงความถี่แบบหลายหน้าที่ด้วยการใช้อุปกรณ์แอคทีฟชนิดต่างๆ เช่น ออปแอมป์ วงจรสายพานกระแส วงจร DDCC และวงจร DDCCTA เป็นต้น ดังนั้นในวิทยานิพนธ์ฉบับนี้ จึงได้ทำการศึกษาและวิเคราะห์ถึงข้อดีและข้อเสียของงานวิจัยที่ผ่านมาในอดีต เพื่อเป็นแนวทางในการศึกษา สังเคราะห์ และออกแบบวงจรกรงความถี่ได้ดังนี้

3.3.1 วงจรกรงความถี่ที่สร้างขึ้นจากวงจร DDCCTA [52]

วงจรกรงความถี่แบบหลายหน้าที่ที่สร้างขึ้นด้วยวงจร DDCCTA ที่นำเสนอใน [52] โดยใช้โครงสร้างแบบหนึ่งอินพุต สามเอาต์พุต โดยวงจรกรงความถี่แบบหลายหน้าที่ประกอบด้วยวงจร DDCCTA หนึ่งวงจร ต่อกับตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว และตัวต้านทานแบบต่อลงกราวด์หนึ่งตัว ดังรูปที่ 3.6



รูปที่ 3.6 วงจรกรงความถี่ที่สร้างขึ้นจากวงจร DDCCTA [52]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 3.6 พบว่า การออกแบบวงจรกรองความถี่แบบหลายหน้าที่ ได้นำตัวเก็บประจุต่อลงกราวด์ ทำให้สามารถลดผลกระทบที่เกิดจากความต้านทานแฝงของอุปกรณ์ ซึ่งสามารถคำนวณหาสมการฟังก์ชันถ่ายโอนได้ดังนี้

$$\frac{V_{out1}}{V_{in}} = \frac{s^2 C_1 C_2 R}{s^2 C_1 C_2 R + s C_2 + g_m} \quad (3.24)$$

$$\frac{V_{out2}}{V_{in}} = \frac{s C_2}{s^2 C_1 C_2 R + s C_2 + g_m} \quad (3.25)$$

$$\frac{V_{out3}}{V_{in}} = \frac{-g_m}{s^2 C_1 C_2 R + s C_2 + g_m} \quad (3.26)$$

จากสมการที่ (3.24) ถึง (3.26) สามารถแสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ HP, BP และ LP ได้จาก V_{out1} , V_{out2} , V_{out3} โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_m}{R_1 C_1 C_2}} \quad (3.27)$$

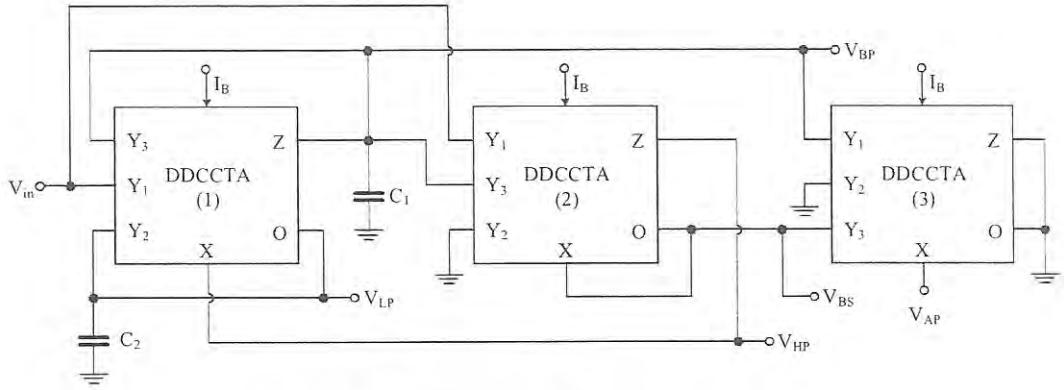
$$Q = \sqrt{\frac{g_m R_1 C_1}{C_2}} \quad (3.28)$$

โดยวงจรกรองความถี่ในรูปที่ 3.8 มีข้อดีคือ วงจรใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์ ทำให้ลดผลกระทบเนื่องจากค่าอิมพีแดนซ์แฝงที่ต่อขนานกัน วงจรไม่ต้องการความสมพ้องกันของอุปกรณ์ แต่ข้อด้อยของวงจรคือ วงจรไม่สามารถสังเคราะห์ความถี่ได้ครบทุกฟังก์ชันการกรองความถี่ และวงจรไม่สามารถควบคุมความถี่เชิงมุมกับตัวประกอบคุณภาพได้อย่างอิสระต่อกัน

3.3.2 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ โดยไม่ใช้ตัวต้านทาน [54]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ ด้วยวงจร DDCCTA โดยไม่ใช้ตัวต้านทานที่นำเสนอใน [54] โดยใช้โครงสร้างแบบหนึ่งอินพุต ห้าเอาต์พุต วงจรกรองความถี่ที่นำเสนอประกอบด้วย วงจร DDCCTA จำนวนสามวงจร และตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว ซึ่งภายในวงจรไม่ใช้ตัวต้านทานจากภายนอก มาเป็นส่วนประกอบของวงจรกรองความถี่ แสดงได้ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรกรองความถี่แบบหลายหน้าที่ใน [54]

จากรูปที่ 3.7 พบว่า วงจรกรองความถี่แบบหลายหน้าที่ที่นำเสนอใน [54] ได้นำตัวเก็บประจุ ต่อลงกราวด์ทั้งหมด เพื่อลดความต้านทานแฝงของวงจร DDCCTA ทำให้เหมาะสำหรับการนำไปประยุกต์ใช้เป็นวงจรรวม ซึ่งวงจรกรองความถี่ปราศจากการนำตัวต้านทานแบบพาสซีฟจากภายนอก มาใช้งาน และวงจรมีอินพุตอิมพีแดนซ์สูง ทำให้สามารถนำไปต่อкасесกับวงจรอื่นได้สะดวก โดยโครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่ที่สามารถคำนวณฟังก์ชันถ่ายโอนได้ดังนี้

$$\frac{V_{LP}(s)}{V_{in}(s)} = \frac{g_{m1}g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \quad (3.29)$$

$$\frac{V_{BP}(s)}{V_{in}(s)} = \frac{-sC_2g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \quad (3.30)$$

$$\frac{V_{HP}(s)}{V_{in}(s)} = \frac{s^2C_1C_2}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \quad (3.31)$$

$$\frac{V_{BS}(s)}{V_{in}(s)} = \frac{s^2C_1C_2 + g_{m1}g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \quad (3.32)$$

$$\frac{V_{AP}(s)}{V_{in}(s)} = \frac{s^2C_1C_2 - sC_2g_{m2} + g_{m1}g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \quad (3.33)$$

จากสมการที่ (3.29) ถึง (3.33) แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, BP, HP, BS และ AP โดยวงจรที่นำเสนอใน [54] ปราศจากเงื่อนไขความสมพงษ์กันของอุปกรณ์แอกทีฟและพาสซีฟ ในการสร้างผลตอบสนองของวงจรกรองความถี่ ซึ่งเมื่อวิเคราะห์หาค่าความถี่เชิงมุมธรรมชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และตัวประกอบคุณภาพได้ดังนี้

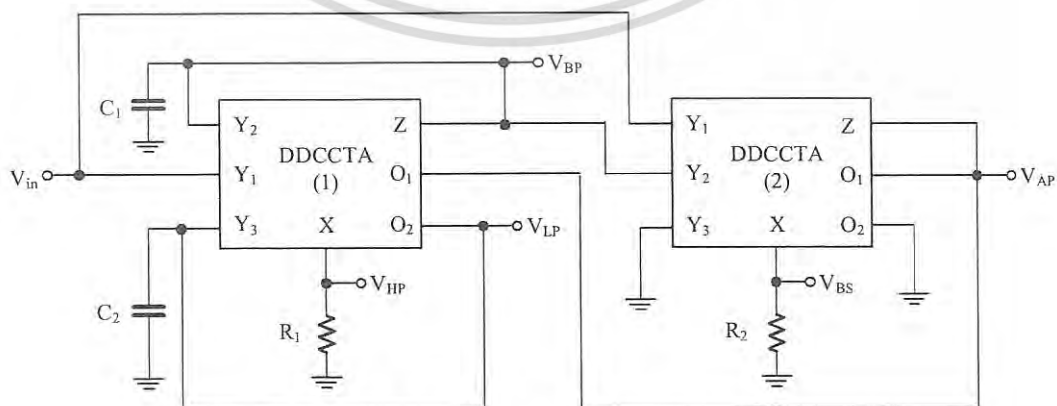
$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.34)$$

$$Q = \sqrt{\frac{g_{m1}C_1}{g_{m2}C_2}} \quad (3.35)$$

จากสมการที่ (3.34) และ (3.35) พบว่า ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ไม่สามารถควบคุมได้อิสระต่อกัน เนื่องจากพารามิเตอร์ความนำ g_{m1} และ g_{m2} เป็นส่วนประกอบของธรรมชาติ และตัวประกอบคุณภาพ ซึ่งข้อดีของวงจรถือ วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานได้ทั้งห้ารูปแบบ ภายในโครงสร้างเดียว นอกจากนี้ภายในโครงสร้างของวงจรกรองความถี่ประกอบด้วยการนำตัวเก็บประจุต่อลงกราวด์และปราศจากตัวต้านทานภายนอก และไม่ต้องการเงื่อนไขความสมพียงกันของอุปกรณ์ และมีอินพุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสร่วมกับวงจรรีอื่นได้ ซึ่งข้อเสียคือ วงจรกรองความถี่แบบหลายหน้าที่ใช้อุปกรณ์จำนวนมากในการสร้างวงจร และไม่สามารถควบคุมความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ได้อิสระต่อกัน

3.3.3 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [55]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ด้วยโครงสร้างแบบ SIMO โดยใช้วงจร DDCCTA ที่สร้างขึ้นด้วยซีมอส [55] ซึ่งใช้โครงสร้างวงจรแบบหนึ่งอินพุต หลายเอาต์พุต คือมีขั้วสัญญาณอินพุตเดียว และมีขั้วสัญญาณเอาต์พุตทั้งหมดห้าขั้ว ประกอบด้วย วงจร DDCCTA จำนวนสองวงจรต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว และตัวต้านทานที่สร้างขึ้นจากวงจรมอส โดยสร้างวงจรกรองความถี่ได้ดังรูปที่ 3.8



รูปที่ 3.8 วงจรกรองความถี่ SIMO [55]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของวงจรในรูปที่ 3.8 พบว่า วงจรกรองความถี่ดังกล่าวสร้างขึ้นด้วย วงจร DDCCTA จำนวนสองวงจร ร่วมกับอุปกรณ์พาสซีฟจำนวนสี่ตัวต่อเทียบกราวด์ ซึ่งการนำอุปกรณ์พาสซีฟต่อลงกราวด์นั้นเหมาะสำหรับการนำมาสร้างเป็นวงจรรวมและเป็นการลดอิมพีแดนซ์แฝงที่ต่อขนานกับวงจร โดยป้อนแรงดันอินพุต (V_{in}) ที่ขั้ว Y_1 ของวงจร DDCCTA ซึ่งวงจรมีอินพุตอิมพีแดนซ์สูง ทำให้สะดวกต่อการนำไปต่อคาสเคส โดยไม่ต้องต่อร่วมกับอุปกรณ์แอคทีฟอื่น โดยวงจรสามารถปรับความต้านทานได้ด้วยวิธีการอิเล็กทรอนิกส์ด้วยการควบคุมแรงดัน V_C ซึ่งสามารถวิเคราะห์หาฟังก์ชันการถ่ายโอนได้ดังนี้

$$LP = \frac{V_{LP}(s)}{V_{in}(s)} = \frac{-g_{m1}}{s^2 R_1 C_1 C_2 + s C_2 + g_{m1}} \quad (3.36)$$

$$BP = \frac{V_{BP}(s)}{V_{in}(s)} = \frac{s C_2}{s^2 R_1 C_1 C_2 + s C_2 + g_{m1}} \quad (3.37)$$

$$HP = \frac{V_{HP}(s)}{V_{in}(s)} = \frac{s^2 R_1 C_1 C_2}{s^2 R_1 C_1 C_2 + s C_2 + g_{m1}} \quad (3.38)$$

$$BS = \frac{V_{BS}(s)}{V_{in}(s)} = \frac{s^2 R_1 C_1 C_2 + g_{m1}}{s^2 R_1 C_1 C_2 + s C_2 + g_{m1}} \quad (3.39)$$

$$AP = \frac{V_{AP}(s)}{V_{in}(s)} = \left(\frac{1}{g_{m2} R_2} \right) \left[\frac{s^2 R_1 C_1 C_2 - s g_{m1} R_2 C_2 + g_{m1}}{s^2 R_1 C_1 C_2 + s C_2 + g_{m1}} \right] \quad (3.40)$$

จากสมการที่ (3.36) ถึง (3.40) แสดงความสามารถในการสังเคราะห์ฟังก์ชันการกรองความถี่ทั้งห้าแบบตามาตรฐานการกรองความถี่อันดับที่สอง และแสดงให้เห็นว่า การสังเคราะห์ผลตอบสนองแบบ AP ไม่ต้องอาศัยเงื่อนไขความสมพงษ์กันของอุปกรณ์ โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_{m1}}{R_1 C_1 C_2}} \quad (3.41)$$

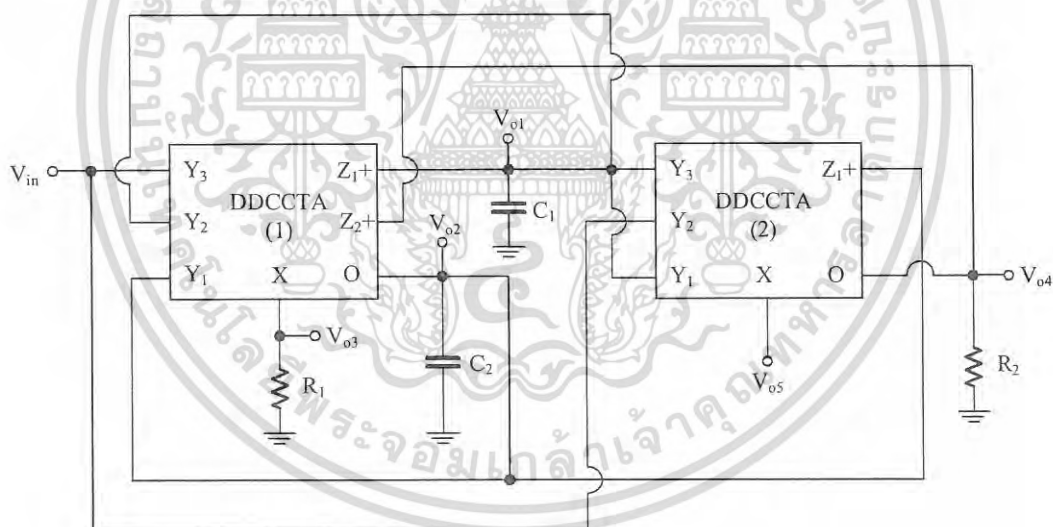
$$Q = \sqrt{\frac{g_{m1} R_1 C_1}{C_2}} \quad (3.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยวงจรกรองความถี่ในรูปที่ 3.10 มีข้อดีคือ วงจรกรองความถี่สามารถควบคุมความถี่เชิงมุมกับตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ จากสมการที่ (3.41) และ (3.42) วงจรสามารถสังเคราะห์ความถี่ได้ครบทุกฟังก์ชันการกรองความถี่ โดยไม่ต้องเปลี่ยนรูปแบบของวงจร วงจรใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์ ทำให้ลดผลกระทบเนื่องจากค่าอิมพีแดนซ์แฝงที่ต่อขนานกัน วงจรมีค่าอินพุตอิมพีแดนซ์สูง ซึ่งเหมาะสำหรับการนำไปต่อคาสเคสในการทำงานโหมดแรงดัน รวมถึงไม่ต้องการเงื่อนไขความสมพงษ์กับของอุปกรณ์ที่ใช้ในวงจร เพื่อสังเคราะห์ฟังก์ชันการกรองความถี่แบบ AP โดยวงจรดังกล่าวมีข้อดีคือ วงจรที่ออกแบบใช้มอสทรานซิสเตอร์จำนวนมากในการออกแบบ

3.3.4 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที้นำเสนอใน [56]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าทีด้วยโครงสร้างแบบ SIMO โดยต่ออุปกรณ์พาสซีฟลงกราวด์ ประกอบด้วย วงจร DDCCTA ที่สร้างขึ้นด้วยซีมอส [56] ซึ่งใช้โครงสร้างวงจรแบบหนึ่งอินพุต หลายเอาต์พุต คือมีขั้วสัญญาณอินพุตเดียว และมีขั้วสัญญาณเอาต์พุตทั้งหมดห้าขั้ว โดยวงจร DDCCTA จำนวนสองวงจรต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว และตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัว ดังรูปที่ 3.9



รูปที่ 3.9 วงจรกรองความถี่ SIMO ด้วยการต่ออุปกรณ์พาสซีฟลงกราวด์ [56]

จากโครงสร้างของวงจรในรูปที่ 3.9 พบว่า วงจรกรองความถี่ดังกล่าวสร้างขึ้นด้วย วงจร DDCCTA จำนวนสองวงจร ร่วมกับอุปกรณ์พาสซีฟจำนวนสี่ตัวต่อเทียบกราวด์ ซึ่งป้อนแรงดันอินพุต (V_{in}) ที่ขั้ว Y ของวงจร DDCCTA ซึ่งวงจรมีอินพุตอิมพีแดนซ์สูง ทำให้สะดวกต่อการนำไปต่อคาสเคส โดยไม่ต้องต่อร่วมกับอุปกรณ์แอคทีฟอื่น โดยวงจรมีตัวเก็บประจุต่อลงกราวด์ ซึ่งเหมาะสำหรับการนำมาสร้างเป็นวงจรรวม เนื่องจากการต่อตัวเก็บประจุลงกราวด์แทนที่ตัวเก็บประจุแฝงที่โหนดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจร ซึ่งการต่อตัวต้านทานลงกราวด์สามารถสร้างได้ด้วยวิธีทางอิเล็กทรอนิกส์ที่สามารถปรับค่าได้ โดยฟังก์ชันถ่ายโอนแรงดันทั้งห้าแบบสามารถคำนวณได้ดังนี้

$$\frac{V_{o1}}{V_{in}} = \frac{sC_2}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \quad (3.43)$$

$$\frac{V_{o2}}{V_{in}} = \frac{-g_{m1}}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \quad (3.44)$$

$$\frac{V_{o3}}{V_{in}} = \frac{s^2R_1C_1C_2}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \quad (3.45)$$

$$\frac{V_{o4}}{V_{in}} = \frac{s^2R_1C_1C_2 + g_{m1}g_{m2}R_2}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \quad (3.46)$$

$$\frac{V_{o5}}{V_{in}} = \frac{-s^2R_1C_1C_2 + sC_2 - g_{m1}}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \quad (3.47)$$

จากสมการที่ (3.43) ถึง (3.47) แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ BP แทนด้วย V_{o1} ซึ่ง V_{o2} , V_{o3} , V_{o4} และ V_{o5} แทนด้วย การสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, HP, BS และ AP ซึ่งแสดงถึงความสามารถในการสังเคราะห์ฟังก์ชันการกรองความถี่ทั้งห้าแบบตามมาตรฐานการกรองความถี่อันดับที่สอง โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_{m1}}{R_1C_1C_2}} \quad (3.48)$$

$$Q = \sqrt{\frac{g_{m1}R_1C_1}{C_2}} \quad (3.49)$$

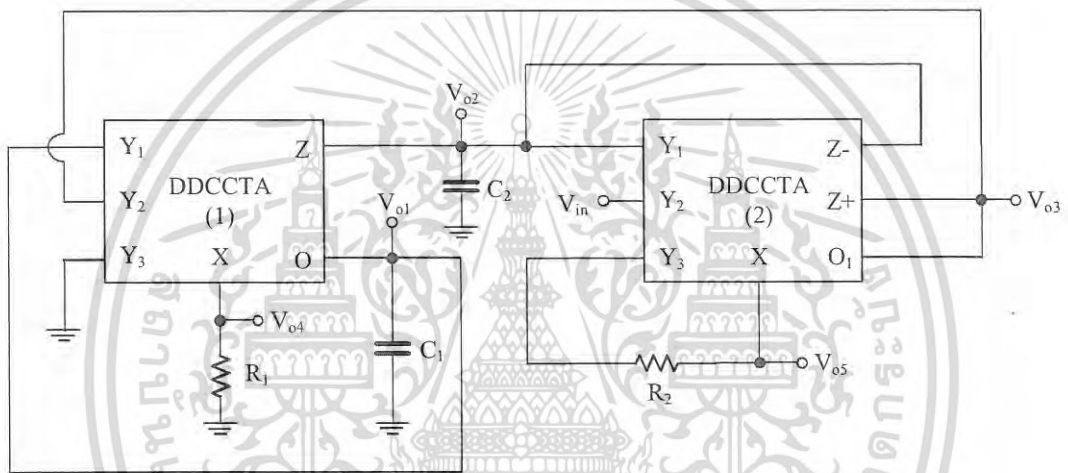
โดยวงจรกรองความถี่ในรูปที่ 3.12 มีข้อดีคือ วงจรสามารถสังเคราะห์ความถี่ได้ครบทุกฟังก์ชันการกรองความถี่ โดยไม่ต้องเปลี่ยนรูปแบบของวงจร วงจรใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์ ทำให้ลดผลกระทบเนื่องจากค่าอิมพีแดนซ์แฝงที่ต่อขนานกัน โดยวงจรดังกล่าวมีข้อด้อยคือ วงจรไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถควบคุมความถี่เชิงมุมกับตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ และใช้มอเตอร์ชิสเตอร์จำนวนมากในการออกแบบวงจร

3.3.5 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [57]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ด้วยการใช้วงจร DDCCTA จากโครงสร้างแบบ SIMO [57] ซึ่งเป็นโครงสร้างแบบหนึ่งอินพุต หลายเอาต์พุต คือมีขั้วสัญญาณอินพุตเดียว และมีขั้วสัญญาณเอาต์พุตทั้งหมดห้าขั้ว ประกอบด้วยวงจร DDCCTA จำนวนสองวงจรต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว และตัวต้านทานจำนวนสองตัว แสดงการออกแบบวงจรกรองความถี่ได้ดังรูปที่ 3.10



รูปที่ 3.10 วงจรกรองความถี่ SIMO ที่นำเสนอใน [57]

จากโครงสร้างของวงจรในรูปที่ 3.10 พบว่า วงจรกรองความถี่ดังกล่าวสร้างขึ้นด้วย วงจร DDCCTA จำนวนสองวงจร ร่วมกับตัวเก็บประจุ จำนวนสองต่อเทียบกราวด์ และตัวต้านทานจำนวนสองตัว ซึ่งการนำตัวเก็บประจุต่อลงกราวด์นั้นเหมาะสำหรับการนำมาสร้างเป็นวงจรรวม โดยป้อนแรงดันอินพุต (V_{in}) ที่ขั้ว Y ของวงจร DDCCTA ซึ่งวงจรมีอินพุตอิมพีแดนซ์สูง ทำให้สะดวกต่อการนำไปต่อคาสเคส โดยไม่ต้องต่อร่วมกับอุปกรณ์แอคทีฟอื่น และสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ ซึ่งวงจรในรูปที่ 3.10 สามารถวิเคราะห์หาฟังก์ชันการถ่ายโอนได้ดังนี้

$$\frac{V_{o1}}{V_{in}} = \frac{-\left(\frac{g_{m1}}{R_1 R_2}\right)}{s^2 C_1 C_2 g_{m2} + s\left(\frac{C_1}{R_1 R_2}\right) + \left(\frac{g_{m1} g_{m2}}{R_1 R_2}\right)} \quad (3.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{o2}}{V_{in}} = \frac{sC_1 \left(\frac{1}{R_1 R_2} \right)}{s^2 C_1 C_2 g_{m2} + s \left(\frac{C_1}{R_1 R_2} \right) + \left(\frac{g_{m1} g_{m2}}{R_1 R_2} \right)} \quad (3.51)$$

$$\frac{V_{o3}}{V_{in}} = - \frac{s^2 C_1 C_2 \left(\frac{1}{R_2} \right) + \left(\frac{g_{m1}}{R_1 R_2} \right)}{s^2 C_1 C_2 g_{m2} + s \left(\frac{C_1}{R_1 R_2} \right) + \left(\frac{g_{m1} g_{m2}}{R_1 R_2} \right)} \quad (3.52)$$

$$\frac{V_{o4}}{V_{in}} = \frac{s^2 C_1 C_2 \left(\frac{1}{R_2} \right)}{s^2 C_1 C_2 g_{m2} + s \left(\frac{C_1}{R_1 R_2} \right) + \left(\frac{g_{m1} g_{m2}}{R_1 R_2} \right)} \quad (3.53)$$

$$\frac{V_{o5}}{V_{in}} = \frac{s^2 C_1 C_2 g_{m2} + s \left(\frac{C_1}{R_1 R_2} \right) - \left(\frac{g_{m1} g_{m2}}{R_1 R_2} \right)}{s^2 C_1 C_2 g_{m2} + s \left(\frac{C_1}{R_1 R_2} \right) + \left(\frac{g_{m1} g_{m2}}{R_1 R_2} \right)} \quad (3.54)$$

จากสมการที่ (3.50) ถึง (3.54) แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP แทนด้วย V_{o1} ซึ่ง V_{o2} , V_{o3} , V_{o4} และ V_{o5} แทนด้วย การสังเคราะห์ฟังก์ชันการกรองความถี่แบบ BP, BS, HP และ AP ซึ่งแสดงถึงความสามารถในการสังเคราะห์ฟังก์ชันการกรองความถี่ทั้งห้าแบบตามมาตรฐานการกรองความถี่อันดับที่สอง โดยความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_{m1}}{R_1 C_1 C_2}} \quad (3.55)$$

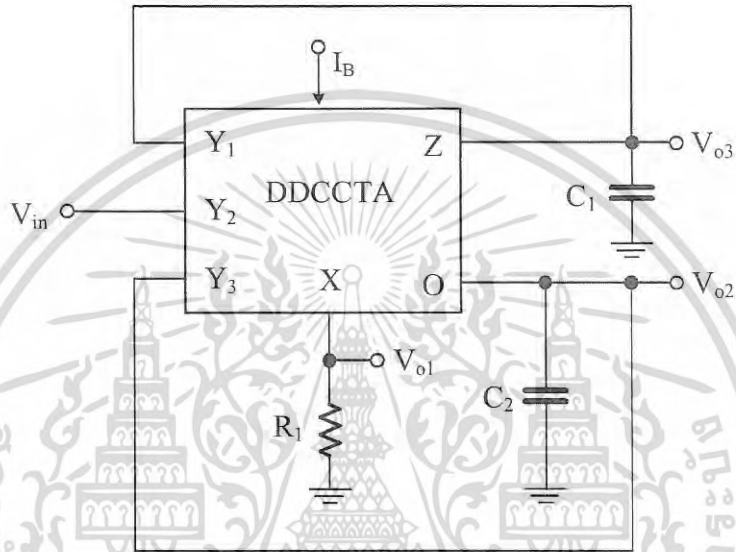
$$Q = g_{m2} R_2 \sqrt{\frac{g_{m1} R_1 C_2}{C_1}} \quad (3.56)$$

โดยวงจรกรองความถี่ในรูปที่ 3.10 มีข้อดีคือ วงจรสามารถสังเคราะห์ความถี่ได้ครบทุกฟังก์ชันการกรองความถี่ โดยไม่ต้องเปลี่ยนรูปแบบของวงจร และสามารถควบคุมความถี่เชิงมุมกับตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ และปราศจากเงื่อนไขความสมพงษ์กับของอุปกรณ์ที่ใช้ในวงจร ซึ่งวงจรดังกล่าวมีข้อดีคือ วงจรที่ออกแบบใช้มอสทรานซิสเตอร์จำนวนมากในการสร้างวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ นำเสนอใน [59]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ด้วยโครงสร้างแบบ SIMO โดยใช้วงจร DDCCTA ซึ่งใช้โครงสร้างวงจรแบบหนึ่งอินพุต หลายเอาต์พุต คือมีขั้วสัญญาณอินพุตเดียว และมีขั้วสัญญาณเอาต์พุตทั้งหมดสามขั้ว โดยใช้วงจร DDCCTA เพียงวงจรเดียวต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว และตัวต้านทานจำนวนหนึ่งตัว แสดงการออกแบบวงจรกรองความถี่ได้ดังรูปที่ 3.11



รูปที่ 3.11 วงจรกรองความถี่ SIMO ที่นำเสนอใน [59]

จากโครงสร้างของวงจรในรูปที่ 3.11 พบว่า วงจรกรองความถี่ดังกล่าวสร้างขึ้นด้วย วงจร DDCCTA เพียงวงจรเดียว ร่วมกับตัวต้านทานจำนวนหนึ่งตัว และตัวเก็บประจุจำนวนสองตัวต่อเทียบกราวด์ ซึ่งการนำอุปกรณ์พาสซีฟต่อลงกราวด์นั้นเหมาะสำหรับการนำมาสร้าง โดยป้อนแรงดันอินพุตที่ขั้ว Y_1 ของวงจร DDCCTA ซึ่งวงจรมีอินพุตอิมพีแดนซ์สูง ทำให้สะดวกต่อการนำไปต่อคาสเคส โดยไม่ต้องต่อร่วมกับอุปกรณ์แอคทีฟอื่น ซึ่งสามารถวิเคราะห์หาฟังก์ชันการถ่ายโอนได้ดังนี้

$$\frac{V_{o1}(s)}{V_{in}(s)} = \frac{s^2}{s^2 + \left(\frac{s}{R_1 C_1}\right) + \left(\frac{g_m}{R_1 C_1 C_2}\right)} \quad (3.57)$$

$$\frac{V_{o2}(s)}{V_{in}(s)} = \frac{\left(\frac{-g_m}{R_1 C_1 C_2}\right)}{s^2 + \left(\frac{s}{R_1 C_1}\right) + \left(\frac{g_m}{R_1 C_1 C_2}\right)} \quad (3.58)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{o3}(s)}{V_{in}(s)} = \frac{\left(\frac{s}{R_1 C_1}\right)}{s^2 + \left(\frac{s}{R_1 C_1}\right) + \left(\frac{g_m}{R_1 C_1 C_2}\right)} \quad (3.59)$$

จากสมการที่ (3.57) ถึง (3.59) สามารถสังเคราะห์ผลตอบสนองแบบ HP, LP และ BP ผ่านแรงดัน V_{o1} , V_{o2} และ V_{o3} ตามลำดับ โดยไม่ต้องอาศัยเงื่อนไขความสมพงษ์กันของอุปกรณ์ ซึ่งความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพสามารถแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_m}{R_1 C_1 C_2}} \quad (3.60)$$

$$Q = \sqrt{\frac{g_m R_1 C_1}{C_2}} \quad (3.61)$$

โดยวงจรกรองความถี่ในรูปที่ 3.14 มีข้อดีคือ วงจรไม่ต้องอาศัยเงื่อนไขความสมพงษ์กันของอุปกรณ์ที่ใช้ในวงจร โดยวงจรดังกล่าวมีข้อด้อยคือ วงจรที่ออกแบบไม่สามารถปรับความถี่เชิงมุมธรรมชาติกับตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ และสังเคราะห์ความถี่ได้ไม่ครบทุกฟังก์ชัน

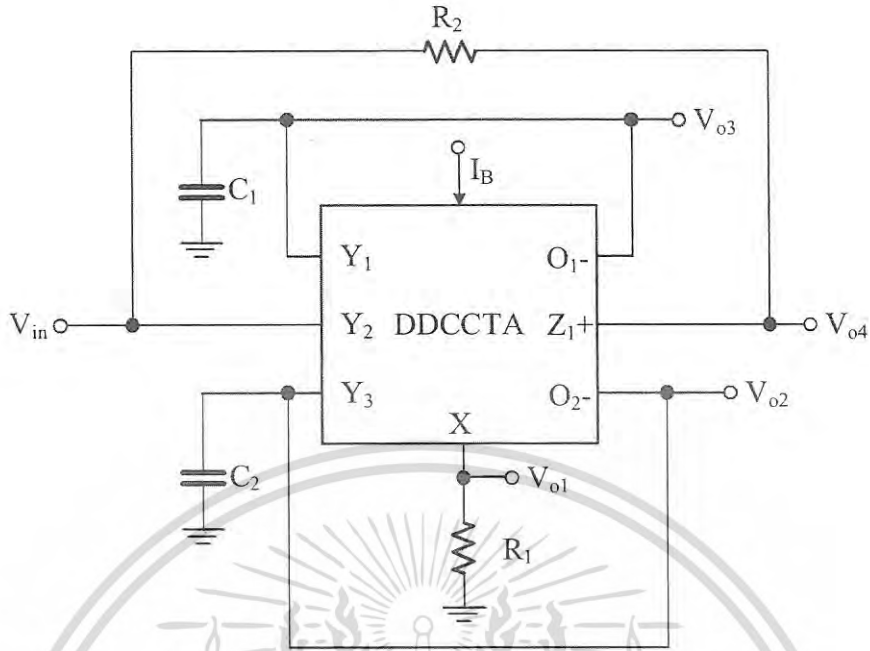
3.3.7 วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ [60]

วงจรกรองความถี่อันดับที่สองแบบหลายหน้าที่ ด้วยวงจร DDCCTA ที่นำเสนอนี้ [42] โดยใช้โครงสร้างแบบหนึ่งอินพุต สี่เอาต์พุต วงจรกรองความถี่ที่นำเสนอนี้ประกอบด้วย วงจร DDCCTA เพียงวงจรเดียว ต่อกับ ตัวเก็บประจุแบบต่อลงกราวด์ จำนวนสองตัว ตัวต้านทานแบบต่อลงกราวด์จำนวนหนึ่งตัว และตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัว โดยวงจรกรองความถี่โหมดแรงดันแบบหลายหน้าที่แสดงได้ดังรูปที่ 3.12

จากรูปที่ 3.12 พบว่า วงจรกรองความถี่แบบหลายหน้าที่ที่นำเสนอนี้ [60] ได้นำตัวเก็บประจุต่อลงกราวด์ทั้งหมด เพื่อลดความต้านทานแฝงของวงจร DDCCTA ทำให้เหมาะสำหรับการนำไปประยุกต์ใช้เป็นวงจรรวม นอกจากนี้วงจรกรองความถี่ปราศจากการต่ออนุกรมของตัวเก็บประจุ ที่ขั้ว X ของวงจร DDCCTA และสามารถควบคุมความนำได้ด้วยการปรับกระแสไบอัสจากภายนอก โดยโครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่สามารถคำนวณฟังก์ชันถ่ายโอนได้ดังนี้

$$\frac{V_{o1}(s)}{V_{in}(s)} = \frac{s^2 R_1 C_1 C_2}{s^2 R_1 C_1 C_2 + s C_2 + g_m} \quad (3.62)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรกรองความถี่แบบหลายหน้าที่ใน [60]

$$\frac{V_{o2}(s)}{V_{in}(s)} = \frac{-g_m}{s^2 R_1 C_1 C_2 + s C_2 + g_m} \quad (3.63)$$

$$\frac{V_{o3}(s)}{V_{in}(s)} = \frac{s C_2}{s^2 R_1 C_1 C_2 + s C_2 + g_m} \quad (3.64)$$

$$\frac{V_{o4}(s)}{V_{in}(s)} = \frac{s^2 R_1 C_1 C_2 + s(1 + g_m R_2) C_2 + g_m}{s^2 R_1 C_1 C_2 + s C_2 + g_m} \quad (3.65)$$

จากสมการที่ (3.62) ถึง (3.65) แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่แบบ HP, LP และ BP ด้วย V_{o1} , V_{o2} , V_{o3} โดยปราศจากเงื่อนไขความสมพงษ์กันของอุปกรณ์ แต่ในกรณีที่ทำการสังเคราะห์ฟังก์ชันการกรองแบบ BS ด้วย V_{o4} จำเป็นต้องกำหนดให้ $g_m R_2 = 1$ และเมื่อทำการสังเคราะห์ฟังก์ชันการกรองแบบ AP ด้วย V_{o4} ด้วยการกำหนดให้ $g_m R_2 = 2$ โดยวงจรที่นำเสนอใน [60] มีเอ๊าท์พุทอิมพีแดนซ์สูง ทำให้สามารถเพิ่มวงจรถักขนในการขับอิมพีแดนซ์โหลด กล่าวคือสามารถนำไปต่อร่วมกับวงจรอื่นโดยไม่ต้องอาศัยวงจรถักขนได้ โดยค่าความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพได้ดังนี้

$$\omega_0 = \sqrt{\frac{g_m}{R_1 C_1 C_2}} \quad (3.66)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \sqrt{\frac{g_m R_1 C_1}{C_2}} \quad (3.67)$$

จากสมการที่ (3.66) และ (3.67) พบว่า ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพไม่สามารถควบคุมได้อิสระต่อกัน โดยวงจรรองความถี่ที่นำเสนอมีข้อดีคือใช้อุปกรณ์ในการสร้างวงจรจำนวนน้อย และต่อตัวเก็บประจุลงกราวด์ เพื่อลดผลกระทบที่เกิดจากอิมพีแดนซ์แฝงที่เกิดขึ้นกับวงจร แต่ข้อเสียคือวงจรไม่สามารถสังเคราะห์ฟังก์ชันการกรองความถี่ได้ครบทุกฟังก์ชันโดยสามารถสังเคราะห์ฟังก์ชันการกรองแบบ LP, BP และ HP ภายในโครงสร้างเดียว และ วงจรไม่สามารถควบคุมตัวประกอบคุณภาพ และความถี่เชิงมุมธรรมชาติได้อิสระต่อกัน

ตารางที่ 3.2 ตารางเปรียบเทียบคุณสมบัติของวงจรกรองความถี่อันดับที่สองที่สร้างขึ้นจากวงจร DDCCTA

วงจรกรองความถี่	จำนวนอุปกรณ์แอคทีฟ	จำนวนอุปกรณ์พาสซีฟ		สังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานทั้งห้าแบบ	ปรับค่า Q โดยไม่กระทบกับ ω_0	ปราศจากเงื่อนไขความสมพงษ์ของอุปกรณ์	ใช้ อุปกรณ์พาสซีฟ ต่อลงกราวด์	อินพุตอิมพีแดนซ์สูง เอาท์พุตอิมพีแดนซ์ต่ำ
		R	C					
52	1 DDCCTA	1	2	ไม่ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
54	2 DDCCTA	2	2	ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
55	3 DDCCTA	-	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
56	2 DDCCTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
57	2 DDCCTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
59	2 DDCCTA	2	2	ใช่	ใช่	ใช่	ไม่ใช่	ไม่ใช่
60	1 DDCCTA	1	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรรองความถี่อันดับสองแบบสี่อินพุต หนึ่งเอาต์พุต ด้วยใช้วงจร CDTA

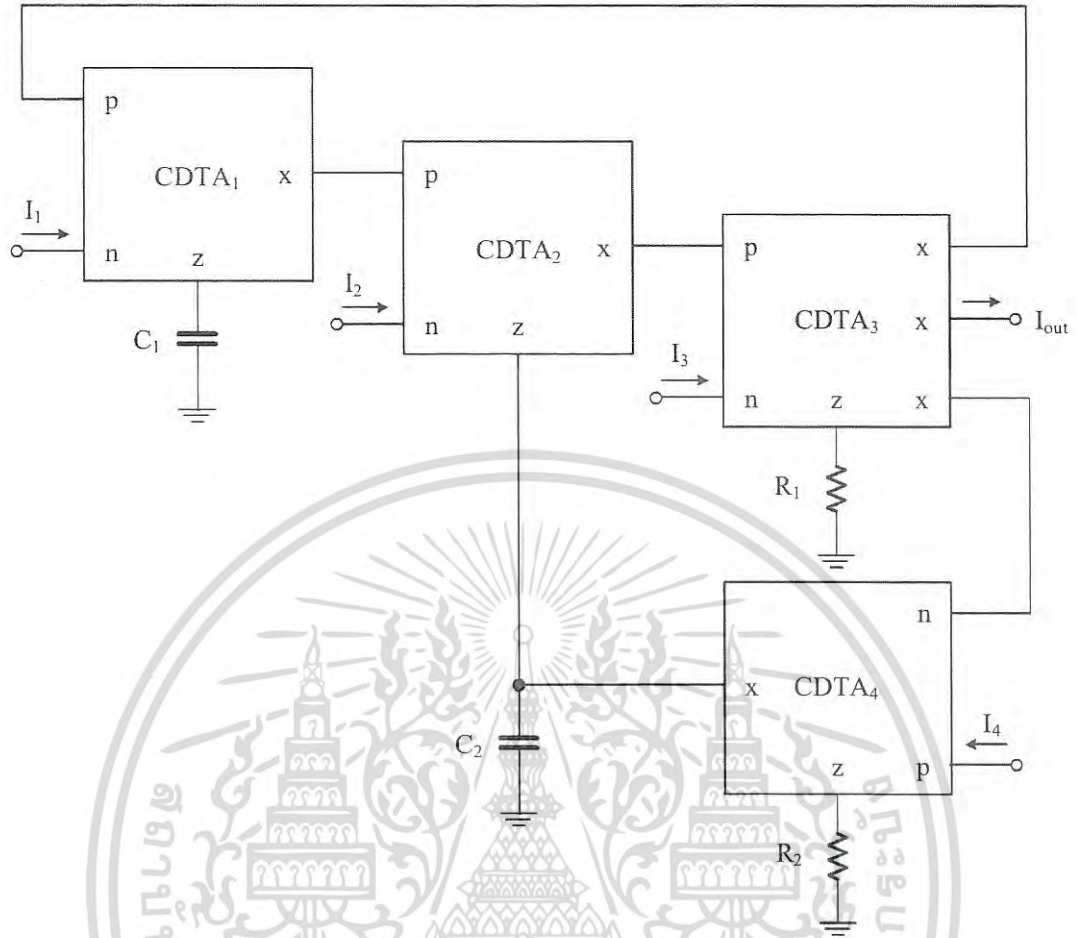
4.1 บทนำ

การออกแบบวงจรรองความถี่อันดับสองแบบหลายหน้าที่ในวิทยานิพนธ์นำเสนอการสังเคราะห์และการออกแบบวงจรรองความถี่อันดับสองด้วยการใช้อุปกรณ์แอกทีฟคือ วงจร CDTA ที่ออกแบบจากซีมอสขนาด $0.25 \mu\text{m}$ จากเทคโนโลยี TSMC โดยใช้โครงสร้างแบบสี่อินพุต หนึ่งเอาต์พุต วงจรรองความถี่ที่นำเสนอในบทนี้ประกอบด้วยวงจร CDTA จำนวนสี่วงจรถือร่วมกับตัวเก็บประจุแบบต่อลงกราวด์จำนวนสองตัว และ ตัวต้านทานแบบต่อลงกราวด์จำนวนสองตัว โดยวงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานได้ครบทุกแบบ และปราศจากเงื่อนไขความสมพียงกันของอุปกรณ์ และสามารถควบคุมค่าความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์จากการปรับอัตราขยายความนำถายโอน รวมถึงวงจรมีอินพุตและเอาต์พุตอิมพีแดนซ์ที่สูง รวมถึงความไวของอุปกรณ์ของวงจรต่ำ วงจรรองความถี่อันดับสองที่ออกแบบได้จำลองการทำงานด้วยโปรแกรม PSPICE

4.2 วงจรรองความถี่อันดับสองที่นำเสนอด้วยวงจร CDTA

วงจรรองความถี่อันดับสองแบบหลายหน้าที่ ที่ได้นำเสนอในบทนี้ ประกอบด้วยวงจร CDTA จำนวนสี่วงจรถือร่วมกับ ตัวเก็บประจุและตัวต้านทานที่ต่อลงกราวด์ จำนวนอย่างละสองตัว ดังที่แสดงในรูปที่ 4.1

โดยสัญญาณกระแสอินพุตของวงจรรองความถี่ที่นำเสนอประกอบด้วย I_1, I_2, I_3 และ I_4 เป็นสัญญาณกระแสอินพุตของวงจรรองความถี่ที่นำเสนอต่อเข้าที่ขั้ว p หรือ ขั้ว n ของวงจร CDTA ทั้งหมด ในขณะที่สัญญาณกระแสเอาต์พุตต่อเข้าที่ขั้ว z ของวงจร CDTA โดยคุณลักษณะของวงจรมีอินพุตอิมพีแดนซ์ต่ำ และเอาต์พุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสสำหรับการทำงานในโหมดกระแส ซึ่งการนำอุปกรณ์พาสซีฟต่อลงกราวด์ทั้งหมด มีข้อดีคือ ลดผลกระทบจากอิมพีแดนซ์แฝงในวงจรทำให้เหมาะสำหรับการนำไปสร้างเป็นวงจรรวม โดยความสัมพันธ์ระหว่างกระแสกับแรงดันของวงจร CDTA แสดงได้ดังสมการที่ (4.1)



รูปที่ 4.1 วงจรกรองความถี่แบบหลายหน้าที่ใหม่ดกระแสที่สร้างด้วยวงจร CDTA

$$\begin{pmatrix} V_p \\ V_n \\ I_z \\ I_x \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & \pm g_m \end{pmatrix} \begin{pmatrix} I_p \\ I_n \\ V_x \\ V_z \end{pmatrix} \tag{4.1}$$

จากรูปที่ 4.1 สามารถวิเคราะห์โหนดของวงจร พบว่า สัญญาณกระแสเอาต์พุต (I_{out}) สามารถแสดงได้ดังนี้

$$I_{z1} = g_{m3}V_{z3} - I_1 \tag{4.2}$$

$$I_{z2} = g_{m1}V_{z1} - I_2 \tag{4.3}$$

$$I_{z3} = g_{m2}V_{z2} - I_3 \tag{4.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{z4} = -g_{m3}V_{z3} + I_4 \quad (4.5)$$

กระแสที่เข้า x ของวงจร CDTA ภายในวงจรกรองความถี่แบบหลายหน้าที่สามารถคำนวณได้ดังนี้

$$I_{x1} = g_{m1}V_{z1} \quad (4.6)$$

$$I_{x2} = g_{m2}V_{z2} \quad (4.7)$$

$$I_{x3} = g_{m3}V_{z3} \quad (4.8)$$

$$I_{x4} = g_{m4}V_{z4} \quad (4.9)$$

แรงดันที่เข้า z ของวงจร CDTA ภายในวงจรกรองความถี่แบบหลายหน้าที่สามารถคำนวณได้ดังนี้

$$V_{z1} = \frac{I_{z1}}{sC_1} \quad (4.10)$$

$$V_{z2} = \frac{I_{z2} + I_{x4}}{sC_2} \quad (4.11)$$

$$V_{z3} = I_{z3}R_1 \quad (4.12)$$

$$V_{z4} = I_{z4}R_2 \quad (4.13)$$

เมื่อแทนกระแสที่เข้า z และกระแสที่เข้า x ลงในแรงดันที่เข้า z สามารถแสดงได้ดังสมการ

$$V_{z1} = \frac{g_{m3}V_{z3} + I_1}{sC_1} \quad (4.10)$$

$$V_{z2} = \frac{(g_{m1}V_{z1} - I_2) + g_{m4}V_{z4}}{sC_2} \quad (4.11)$$

$$V_{z3} = (g_{m2}V_{z2} - I_3)R_1 \quad (4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{z4} = (-g_{m3}V_{z3} + I_4)R_2 \quad (4.13)$$

โดยกำหนดให้กระแสเอาต์พุตออกจากขั้วกระแส x ของวงจร CDTA₃ กล่าวคือ $I_{Out} = I_{x3}$ ดังนี้

$$I_{Out} = -g_{m3}V_{z3} \quad (4.14)$$

$$\frac{I_{Out}}{g_{m3}} = -V_{z3} \quad (4.15)$$

แทนสมการที่ (4.12) ลงในสมการที่ (4.15)

$$\frac{I_{Out}}{g_{m3}} = -R_1(g_{m2}V_{z2} + I_3) \quad (4.16)$$

แทนสมการที่ (4.11) ลงในสมการที่ (4.16)

$$\frac{I_{Out}}{R_1g_{m3}} = -g_{m2} \left(\frac{(g_{m1}V_{z1} - I_2) + g_{m4}V_{z4}}{sC_2} \right) + I_3$$

$$\frac{I_{Out}}{R_1g_{m3}} = \left(\frac{(g_{m2}I_2 - g_{m1}g_{m2}V_{z1}) + g_{m2}g_{m4}V_{z4} + sC_2I_3}{sC_2} \right)$$

$$\frac{sC_2I_{Out}}{R_1g_{m3}} = g_{m2}I_2 - g_{m1}g_{m2}V_{z1} + g_{m2}g_{m4}V_{z4} + sC_2I_3 \quad (4.17)$$

แทนสมการที่ (4.13) ลงในสมการที่ (4.17)

$$\frac{sC_2I_{Out}}{R_1g_{m3}} = g_{m2}I_2 - g_{m1}g_{m2}V_{z1} + R_2g_{m2}g_{m4}(-g_{m3}V_{z3} + I_4) + sC_2I_3$$

$$\frac{sC_2I_{Out}}{R_1g_{m3}} = g_{m2}I_2 - g_{m1}g_{m2}V_{z1} - R_2g_{m2}g_{m4}(g_{m3}V_{z3}) + R_2g_{m2}g_{m4}I_4 + sC_2I_3 \quad (4.18)$$

แทนสมการที่ (4.10) ลงในสมการที่ (4.18)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}\frac{sC_2I_{Out}}{R_1g_{m3}} &= -g_{m2}I_2 - g_{m1}g_{m2}\left(\frac{g_{m3}V_{z3} - I_1}{sC_1}\right) - R_2g_{m2}g_{m4}(g_{m3}V_{z3}) + R_2g_{m2}g_{m4}I_4 + sC_2I_3 \\ \frac{sC_2I_{Out}}{R_1g_{m3}} &= -g_{m2}I_2 + \left(\frac{-g_{m1}g_{m2}(g_{m3}V_{z3}) + g_{m1}g_{m2}I_1}{sC_1}\right) - R_2g_{m2}g_{m4}(g_{m3}V_{z3}) + R_2g_{m2}g_{m4}I_4 + sC_2I_3 \\ \frac{s^2C_1C_2I_{Out}}{R_1g_{m3}} &= -sC_1g_{m2}I_2 - g_{m1}g_{m2}(g_{m3}V_{z3}) + g_{m1}g_{m2}I_1 - sC_1R_2g_{m2}g_{m4}(g_{m3}V_{z3}) \\ &\quad + sC_1R_2g_{m2}g_{m4}I_4 + s^2C_1C_2I_3\end{aligned}\quad (4.19)$$

โดยกำหนดให้กระแสเอาต์พุตออกจากขั้วกระแส \times ของวงจร CDTA₃ กล่าวคือ $I_{Out} = I_{x3}$ ในสมการที่ (4.9) ดังนี้

$$\begin{aligned}\frac{s^2C_1C_2I_{Out}}{R_1g_{m3}} &= s^2C_1C_2I_3 - sC_1g_{m2}I_2 - g_{m1}g_{m2}I_{Out} - sC_1R_2g_{m2}g_{m4}I_{Out} \\ &\quad + sC_1R_2g_{m2}g_{m4}I_4 + g_{m1}g_{m2}I_1 \\ \frac{s^2C_1C_2I_{Out}}{R_1g_{m3}} + sC_1R_2g_{m2}g_{m4}I_{Out} + g_{m1}g_{m2}I_{Out} &= s^2C_1C_2I_3 - sC_1g_{m2}I_2 \\ &\quad + sC_1R_2g_{m2}g_{m4}I_4 + g_{m1}g_{m2}I_1\end{aligned}\quad (4.20)$$

$$D(s) = s^2C_1C_2 + sC_1R_1R_2g_{m2}g_{m3}g_{m4} + R_1g_{m1}g_{m2}g_{m3}\quad (4.21)$$

$$I_{Out} = \frac{\left(s^2C_1C_2R_1g_{m3}I_3 - sC_1R_1g_{m2}g_{m3}I_2 + sC_1R_1R_2g_{m2}g_{m3}g_{m4}I_4 + R_1g_{m1}g_{m2}g_{m3}I_1\right)}{D(s)}\quad (4.22)$$

จากสมการที่ (4.21) พบว่า วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานการกรองความถี่ทั้งห้าแบบ โดยผลตอบสนองทางความถี่แบบ LP ด้วยการกำหนดกระแส $I_{in} = I_1$ และ $I_2 = I_3 = I_4 = 0$ ผลตอบสนองทางความถี่แบบ BP ด้วยการกำหนดกระแส $I_{in} = I_4$ และ $I_1 = I_2 = I_3 = 0$ ผลตอบสนองทางความถี่แบบ HP ด้วยการกำหนดกระแส $I_{in} = I_3$ และ $I_1 = I_2 = I_4 = 0$ ผลตอบสนองทางความถี่แบบ BS ด้วยการกำหนดกระแส $I_{in} = I_1 = I_3$ และ $I_2 = I_4 = 0$ และผลตอบสนองทางความถี่แบบ AP ด้วยการกำหนดกระแส $I_{in} = I_1 = I_2 = I_3$ และ $I_4 = 0$

จากสมการ (4.22) พบว่า วงจรที่นำเสนอในบทนี้สามารถสังเคราะห์ฟังก์ชันการกรองได้ โดยไม่ต้องใช้เงื่อนไขความสมพงษ์กันของอุปกรณ์และการกลับเฟสของสัญญาณอินพุต อดความถี่จะมีอินพุตเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิมพีแดนซ์สูง ซึ่งเหมาะสมในการนำไปต่อร่วมกับกระบวนการในโหมดกระแส โดยอัตราขยายช่วงความถี่ผ่าน (H) ของผลตอบสนองแบบ LP, BP, BS, HP และ AP สามารถแสดงได้ดังสมการ

$$\left. \begin{aligned} H_{LP} &= H_{BP} = 1 \\ H_{HP} &= H_{BS} = g_{m3}R_1 \\ H_{AP} &= g_{m3}R_1 + g_{m2}R_4 \end{aligned} \right\} \quad (4.23)$$

นอกจากนี้วงจรสามารถควบคุมความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ สามารถคำนวณได้ดังนี้

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}g_{m3}R_1}{C_1C_2}} \quad (4.24)$$

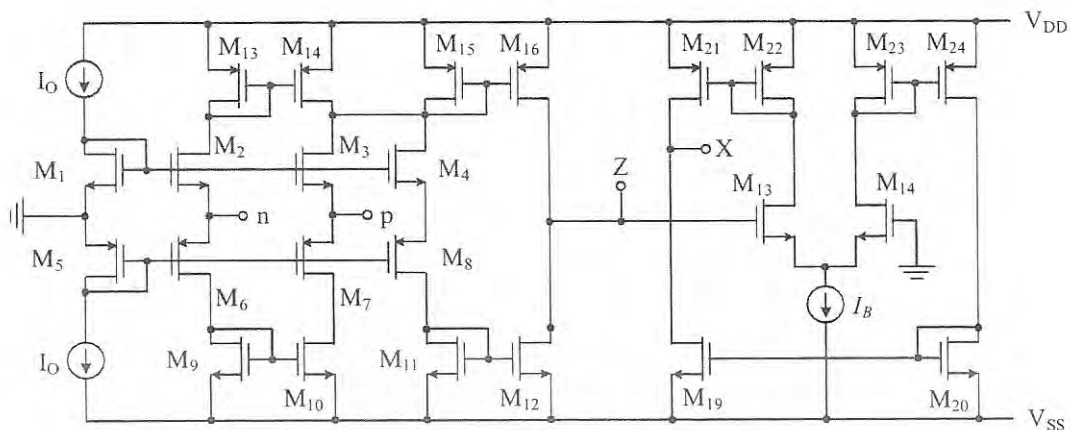
$$Q = \frac{1}{R_2g_{m4}} \sqrt{\frac{g_{m1}C_1}{g_{m2}g_{m3}C_2R_1}} \quad (4.25)$$

จากสมการ (4.24) และ (4.25) สามารถควบคุม ความถี่เชิงมุมธรรมชาติ (ω_0) จากค่าความนำ (g_m) โดยกำหนดให้ $g_{m1} = g_{m2}$ และตัวเก็บประจุ $C_1 = C_2$ ในขณะที่ตัวประกอบคุณภาพ (Q) โดยปรับได้จาก g_{m4} ดังนั้นวงจรกรองความถี่ที่นำเสนอนี้จึงสามารถควบคุมความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพได้อิสระต่อกันด้วยวิธีทางอิเล็กทรอนิกส์จากการปรับกระแสไบอัสจากวงจร CDTA โดยรูปที่ 4.2 แสดงวงจร CDTA ที่สร้างด้วยมอสทรานซิสเตอร์ โดยสมมติให้ มอสทรานซิสเตอร์ M_{17} และ M_{18} มีความเท่ากันและอยู่ในสภาวะการทำงานในช่วงอิมิตัว ซึ่งอัตราขยายความนำ สามารถคำนวณได้ดังสมการ

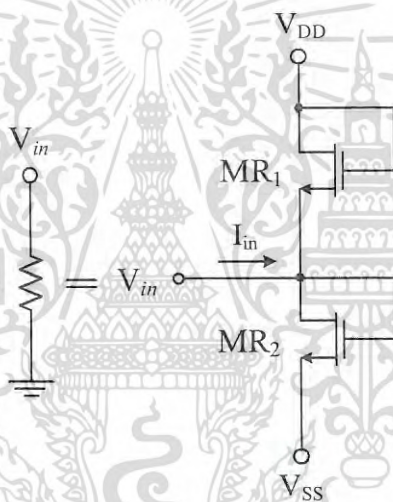
$$g_m = \sqrt{I_B \mu C_{ox} (W/L)} \quad (4.26)$$

เมื่อ I_B คือ ค่ากระแสไบอัส μ คือ ความคล่องตัวของพาหะ C_{ox} คือ ค่าตัวเก็บประจุที่ขาคัดต่อหนึ่งหน่วยพื้นที่ W คือ ความกว้างของช่องนำกระแส และ L คือ ความยาวของช่องนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจร CDTA ที่สร้างด้วยมอสทรานซิสเตอร์



รูปที่ 4.3 ตัวต้านทานที่สร้างด้วยวงจรมอสทรานซิสเตอร์

จากรูปที่ 4.1 ตัวต้านทาน R_1 และ R_2 แทนด้วย R_{eq} สร้างขึ้นจากวงจรมอสทรานซิสเตอร์ [64] ในรูปที่ 4.3 โดยสมมติให้มอสทรานซิสเตอร์ MR_1 และ MR_2 เหมือนกันและทำงานอยู่ในช่วงอิมิตัว ซึ่งสามารถคำนวณความต้านทานได้ดังสมการ

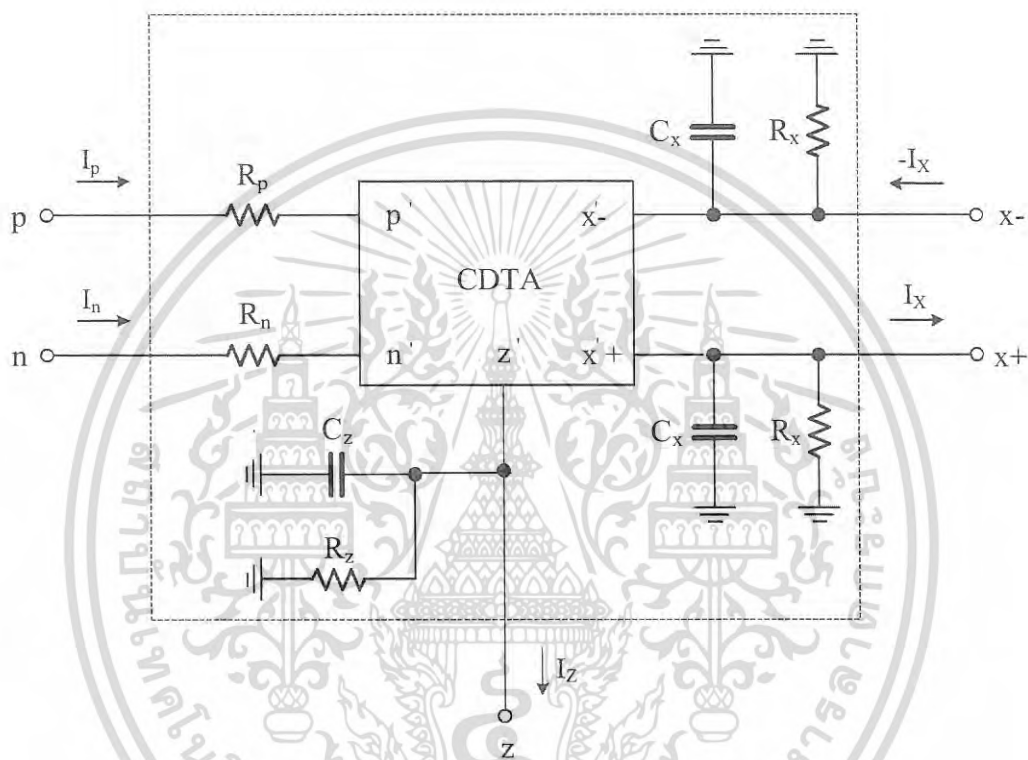
$$R_{eq} = \frac{1}{2K(V_{DD} - V_{TH})} \tag{4.27}$$

เมื่อ $K = \mu_n C_{ox}(W/L)$ และ V_{TH} คือ แรงดันเทรชโฮลด์ และ V_{DD} เป็นแหล่งจ่ายแรงดัน จากการสร้างตัวต้านทานด้วยมอสทรานซิสเตอร์ทำให้วงจรไม่ต้องใช้ตัวต้านทานที่เป็นอุปกรณ์พาสซีฟ เหมาะสำหรับการนำไปสร้างเป็นวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรที่นำเสนอ

เมื่อทำการวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรรองความถี่ที่นำเสนอ ในวิทยานิพนธ์ฉบับนี้ โดยการวิเคราะห์จากความไม่เป็นไปตามอุดมคติของวงจร CDTA ที่ทำให้เกิดผลกระทบต่อประสิทธิภาพการทำงานของวงจรรองความถี่ ซึ่งเกิดขึ้นจากค่าอิมพีแดนซ์แฝงภายในขั้วต่างๆ เมื่อพิจารณาผลกระทบดังกล่าวแสดงได้ดังรูปที่ 4.4



รูปที่ 4.4 วงจรสมมูลทางไฟฟ้าของวงจร CDTA ในกรณีที่ไม่เป็นไปตามอุดมคติ

จากรูปที่ 4.4 พบว่า วงจร CDTA ในความไม่เป็นอุดมคติประกอบด้วยอิมพีแดนซ์แฝง ซึ่งสามารถคำนวณหาความสัมพันธ์ระหว่างกระแสกับแรงดันของวงจร CDTA ได้ดังสมการ

$$\begin{pmatrix} V_p \\ V_n \\ I_z \\ I_x \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha_p & -\alpha_n & 0 & 0 \\ 0 & 0 & 0 & \pm\beta g_m \end{pmatrix} \begin{pmatrix} I_p \\ I_n \\ V_x \\ V_z \end{pmatrix} \quad (4.28)$$

โดยที่ α คือ ค่าความผิดพลาดของการส่งผ่านกระแส และ β คือ ค่าความผิดพลาดของการส่งผ่านความนำจากขั้ว z กับขั้ว x จากสมการที่ (4.28) ทำให้กระแสที่ขั้ว z และ ขั้ว x มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$I_z = \alpha_p I_p - \alpha_n I_n$ และ $I_x = \pm \beta g_m V_z$ ตามลำดับ ทั้งนี้ค่า $\alpha_p = 1 - \varepsilon_p$ โดย $\varepsilon_p (|\varepsilon_p| = 1)$ คือ ค่าความผิดพลาดในการติดตามกระแสที่ขั้ว p กับขั้ว z และ $\alpha_n = 1 - \varepsilon_n$ โดย $\varepsilon_n (|\varepsilon_n| = 1)$ คือ ค่าความผิดพลาดในการติดตามกระแสที่ขั้ว n กับขั้ว z และ g_{mn} คืออัตราความนำถ่ายไอออนของวงจร CDTA โดยวงจรสมมูลของวงจร CDTA ที่ไม่เป็นอุดมคติ ประกอบด้วยอิมพีแดนซ์แฝงภายในขั้วต่างๆ ของวงจร พบว่า ผลของค่าอิมพีแดนซ์แฝงทำให้เกิด ความต้านทานแฝง R_p และ R_n ที่มีปริมาณต่ำ ซึ่งที่ขั้ว z และที่ขั้ว x จะมีค่าความจุแฝง C_z และ C_x ที่มีค่าน้อยและต่อขนานกับตัวต้านทานแฝง R_z และ R_x ที่มีปริมาณสูงมากตามลำดับ

เมื่อพิจารณาถึงความไม่เป็นอุดมคติของวงจร CDTA ที่นำมาสร้างวงจรรองความถี่แบบหลายหน้าที่ที่น่าเสนอ โดยนำความสัมพันธ์ของสมการที่ (4.28) มาทำการวิเคราะห์วงจรทำให้ได้สมการของวงจรรองความถี่แบบหลายหน้าที่ดังนี้

$$D(s) = s^2 C_1' C_2' + s C_1' R_1' R_3' \alpha_3 \alpha_4 \beta_2 \beta_3 \beta_4 g_{m2} g_{m3} g_{m42} + R_1' \alpha_1 \alpha_2 \alpha_3 \beta_1 \beta_2 \beta_3 g_{m1} g_{m2} g_{m3} \quad (4.29)$$

เมื่อกำหนดให้ตัวเก็บประจุเป็น $C_1' = C_1 + C_{z1}$ และ $C_2' = C_2 + C_{z2}$ ตัวต้านทานเป็น $R_1' = R_1 \parallel R_{z3}$ และ $R_2' = R_2 \parallel R_{z4}$ จากสมการที่ (4.27) ผลกระทบจากความไม่เป็นอุดมคติของวงจร CDTA ทำให้คุณลักษณะของวงจรเปลี่ยนแปลงไปจากค่าความเป็นอุดมคติ ซึ่งผลกระทบจากอิมพีแดนซ์แฝงภายในวงจร CDTA ทำให้สามารถคำนวณความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ได้จากสมการดังนี้

$$\omega_0 = \sqrt{\frac{\alpha_1 \alpha_2 \alpha_3 \beta_1 \beta_2 \beta_3 g_{m1} g_{m2} g_{m3} R_1'}{C_1 C_2}} \quad (4.30)$$

$$Q = \frac{1}{R_1 g_{m4} \beta_4 \alpha_4} \sqrt{\frac{\alpha_1 \alpha_2 \beta_2 g_{m1} C_1}{\alpha_3 \beta_1 \beta_3 g_{m2} g_{m3} C_2}} \quad (4.31)$$

จากสมการที่ (4.30) และ (4.31) พบว่า ความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพของวงจร CDTA ที่มีความไม่เป็นอุดมคติมีการเปลี่ยนแปลงเพียงเล็กน้อยเท่านั้น ซึ่งผลกระทบจากความไม่เป็นอุดมคตินั้น สามารถที่จะชดเชยได้ด้วยการปรับค่าความนำถ่ายไอออน g_m ให้เหมาะสม

โดยค่าความไวของความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพของวงจรต่อการเปลี่ยนแปลงของอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟ สามารถคำนวณได้จากสมการดังต่อไปนี้

$$S_{g_{m1}}^{\omega_0} = S_{g_{m2}}^{\omega_0} = S_{g_{m3}}^{\omega_0} = -S_{C_1}^{\omega_0} = -S_{C_2}^{\omega_0} = S_{R_1}^{\omega_0} = 0.5 \quad (4.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{g_{m4}}^{\omega_o} = S_{R_2}^{\omega_o} = 0 \quad (4.33)$$

$$S_{g_{m1}}^Q = -S_{g_{m2}}^Q = -S_{g_{m3}}^Q = S_{C_1}^Q = -S_{C_2}^Q = -S_{R_1}^Q = 0.5 \quad (4.34)$$

$$-S_{g_{m4}}^Q = S_{R_2}^Q = 1 \quad (4.35)$$

จากสมการที่ (4.32) ถึง (4.35) พบว่า ความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟมีขนาดต่ำกว่าหรือเท่ากับหนึ่ง แสดงว่าวงจรกรองความถี่ที่นำเสนอมีค่าความไวของอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟที่ต่ำ

4.4 ผลการจำลองการทำงานของวงจรกรองความถี่ที่นำเสนอ

เพื่อเป็นการยืนยันถึงสมรรถนะการทำงานของวงจรกรองความถี่อันดับสองแบบหลายหน้าที่ โดยจำลองการทำงานด้วยโปรแกรม PSPICE ซึ่งจำลองผลการทำงานของวงจรกรองความถี่ที่นำเสนอ ในรูปที่ 4.1 ด้วยโปรแกรม PSPICE ซึ่งวงจร CDTA ออกแบบด้วยทรานซิสเตอร์ PMOS และ NMOS ที่แสดงดังรูปที่ 4.2 โดยพารามิเตอร์ซีมอสขนาด $0.25 \mu\text{m}$ จากเทคโนโลยี TSMC โดยอัตราส่วนของทรานซิสเตอร์ในวงจร CDTA ได้ระบุไว้ในตารางที่ 4.1 ดังนี้

ตารางที่ 4.1 แสดงการกำหนดขนาดของมอสทรานซิสเตอร์ของวงจร CDTA

มอสทรานซิสเตอร์	$W (\mu\text{m})$	$L (\mu\text{m})$
M_1 - M_4	2	1
M_4 - M_8	7	1
M_{17} - M_{18}	4	1
M_n	4	1
M_p	14	1

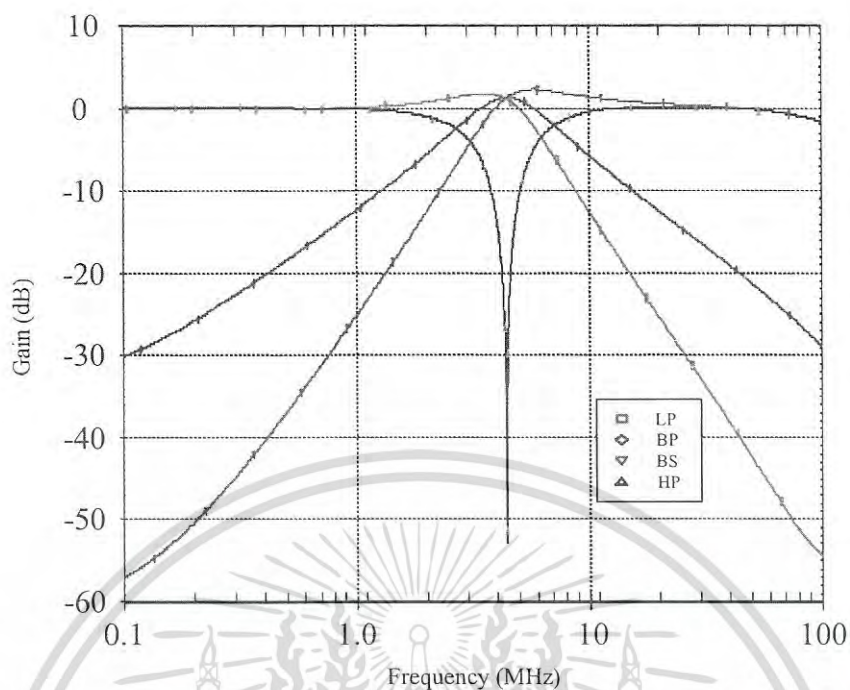
โดยกำหนดแหล่งจ่ายไฟ $V_{DD} = -V_{SS} = 1.2 \text{ V}$ โดยกำหนดกระแสไบอัส $I_O = 20 \mu\text{A}$ โดยการจำลองการทำงานของวงจรจากโปรแกรม PSPICE ด้วยการปรับกระแสไบอัส I_B เพิ่มขึ้นจาก $1 \mu\text{A}$ ถึง $140 \mu\text{A}$ ทำให้อัตราขยายความนำ $g_m = 14.87 \mu\text{A/V}$ ถึง $624.9 \mu\text{A/V}$ และกำหนดพารามิเตอร์ในการจำลองผลการทำงานของวงจรที่นำเสนอในวิทยานิพนธ์ดังตารางที่ 4.2

ตารางที่ 4.2 พารามิเตอร์ที่ใช้ในการจำลองผลการทำงานของวงจร CDTA

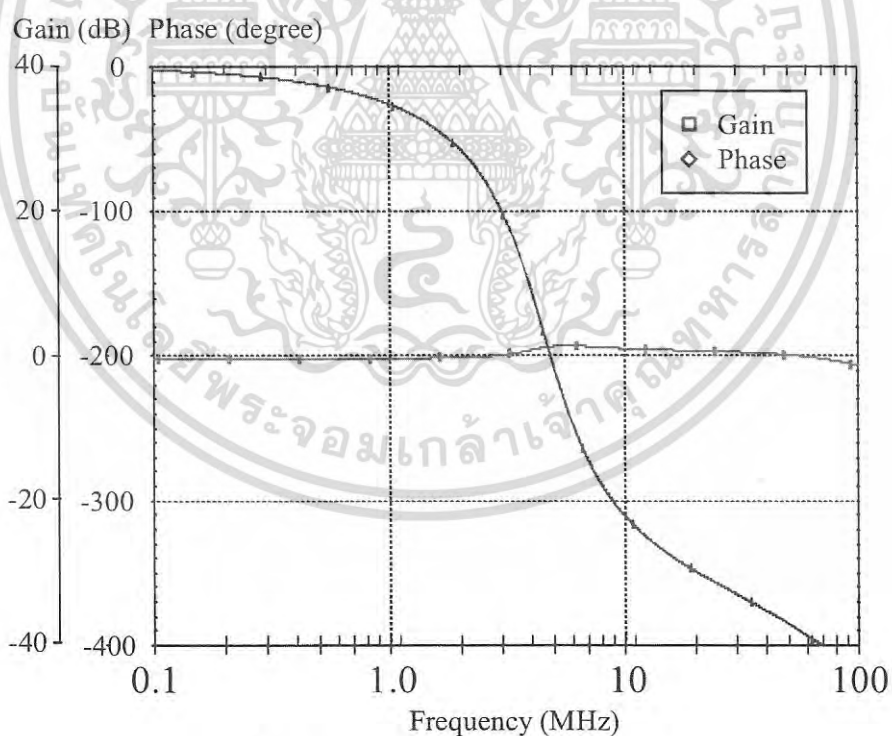
พารามิเตอร์ในโปรแกรม PSPICE	ค่าที่กำหนด
I_z/I_p (แบนด์วิดท์ ที่ -3 dB)	497 MHz
I_z/I_n (แบนด์วิดท์ ที่ -3 dB)	301 MHz
$R_p // C_p$	2.93 k Ω //65 nF
$R_n // C_n$	2.93 k Ω //38.6 nF
$R_z // C_z$	179.98 k Ω //32.09 fF
$R_x // C_x$	168.5 k Ω //5.29 fF
กำลังไฟฟ้าสูญเสีย	0.704 mW

โดยการจำลองการทำงานของวงจรจากโปรแกรม PSPICE ด้วยการปรับกระแสไบอัส I_B เพิ่มขึ้นจาก 1 μ A ถึง 140 μ A ทำให้อัตราขยายความนำ $g_m = 14.87 \mu$ AV ถึง 624.9 μ AV สำหรับตัวอย่างการออกแบบวงจรกรองความถี่ที่นำเสนอในบทนี้ ด้วยการกำหนดค่าอุปกรณ์ที่นำมาใช้ในวงจรกรองความถี่ คือ กระแสไบอัส $I_{B1} = I_{B2} = I_{B3} = I_{B4} = 40 \mu$ A ทำให้ค่าความนำถ่ายโอนมีค่าเป็น $g_m = 283.72 \mu$ AV และตัวเก็บประจุ $C = C_1 = C_2 = 10$ pF รวมถึงตัวต้านทานที่สร้างขึ้นด้วยมอสทรานซิสเตอร์ $R_1 = R_2 = 3.4$ k Ω โดยการกำหนดขนาด W และ L คือ 0.6 μ m และ 0.4 μ m กับ R_{gs} ซึ่งในการออกแบบวงจรกรองความถี่แบบหลายหน้าที่ด้วยพารามิเตอร์ที่กำหนด ทำให้ได้คุณสมบัติของวงจรดังนี้ ความถี่ตัด $f_c = 4.58$ Hz และตัวประกอบคุณภาพประมาณหนึ่ง

จากรูปที่ 4.5 แสดงผลตอบสนองทางความถี่แบบ LP, BP, BS และ HP โดยความถี่โพลอยู่ที่ 4.38 MHz ซึ่งมีค่าความคลาดเคลื่อนจากที่คำนวณเพียง 4.36 เปอร์เซ็นต์ โดยรูปที่ 4.6 แสดงผลตอบสนองทางความถี่ของอัตราขยายและเฟสที่เป็นคุณสมบัติของวงจรกรองความถี่แบบ AP ซึ่งจากวงจรในรูปที่ 4.5 และรูปที่ 4.6 สามารถยืนยันถึงประสิทธิภาพการกรองความถี่ได้ตามมาตรฐานการกรองความถี่ที่ทั้งห้าแบบ ทั้งนี้ในรูปที่ 4.7 แสดงผลตอบสนองทางความถี่แบบ BP เมื่อกำหนดให้กระแสไบอัส $I_B = I_{B1} = I_{B2}$ โดยปรับกระแสไบอัสเป็น 10 μ A, 20 μ A, 40 μ A และ 100 μ A ตามลำดับ ในขณะที่กำหนดให้ตัวเก็บประจุมีค่าเป็น $C = C_1 = C_2 = 10$ pF โดยจากรูปที่ 4.8 แสดงผลตอบสนองทางความถี่แบบ BP ด้วยการปรับกระแสไบอัส I_{B4} ดังนี้ 3 μ A, 4 μ A, 10 μ A และ 40 μ A ตามลำดับ ในขณะที่ $I_{B1} = I_{B2} = I_{B3} = 40 \mu$ A ซึ่งผลการจำลองการทำงานเป็นไปตามสมการที่ (4.23) โดยผลการจำลองการทำงานของวงจรกรองความถี่ พบว่า วงจรสามารถควบคุมความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์

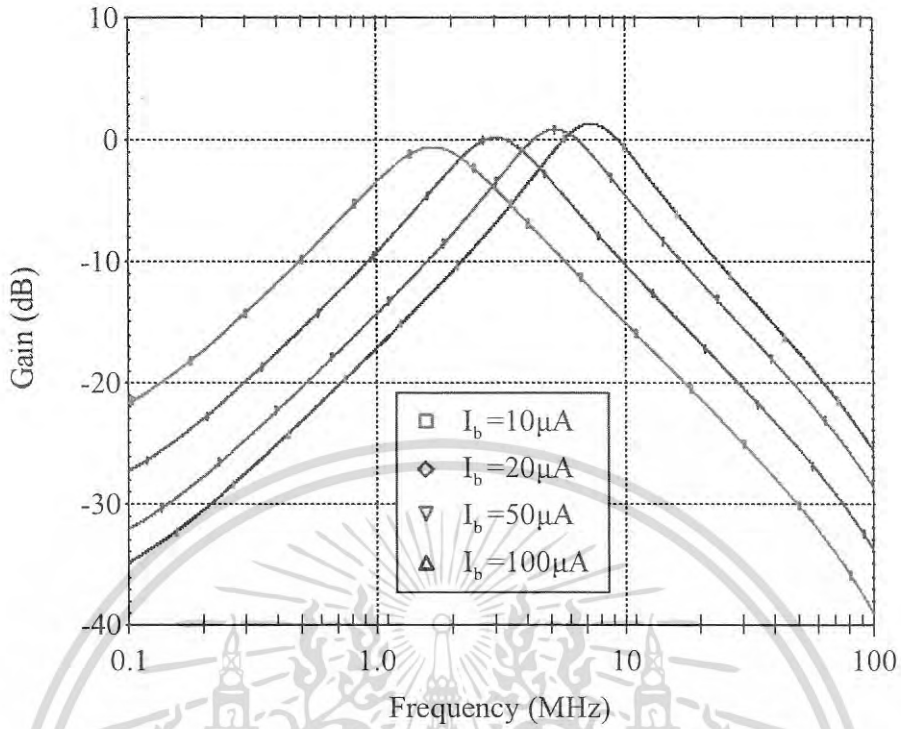


รูปที่ 4.5 ผลตอบสนองทางความถี่แบบ LP, BP, BS และ HP ของวงจรกรองความถี่ที่นำเสนอ

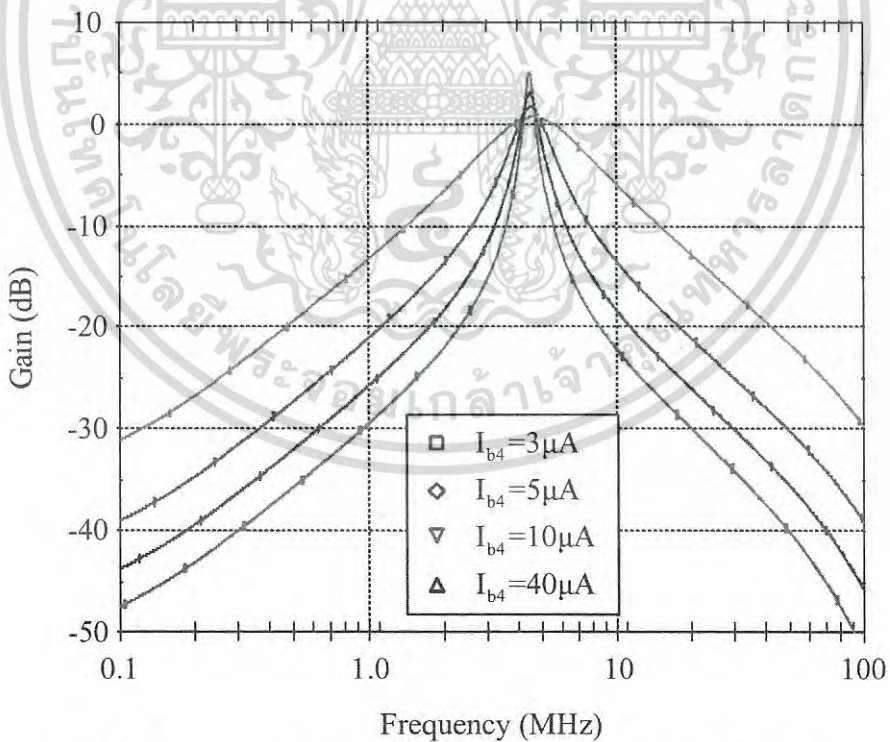


รูปที่ 4.6 ผลตอบสนองทางความถี่แบบ AP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

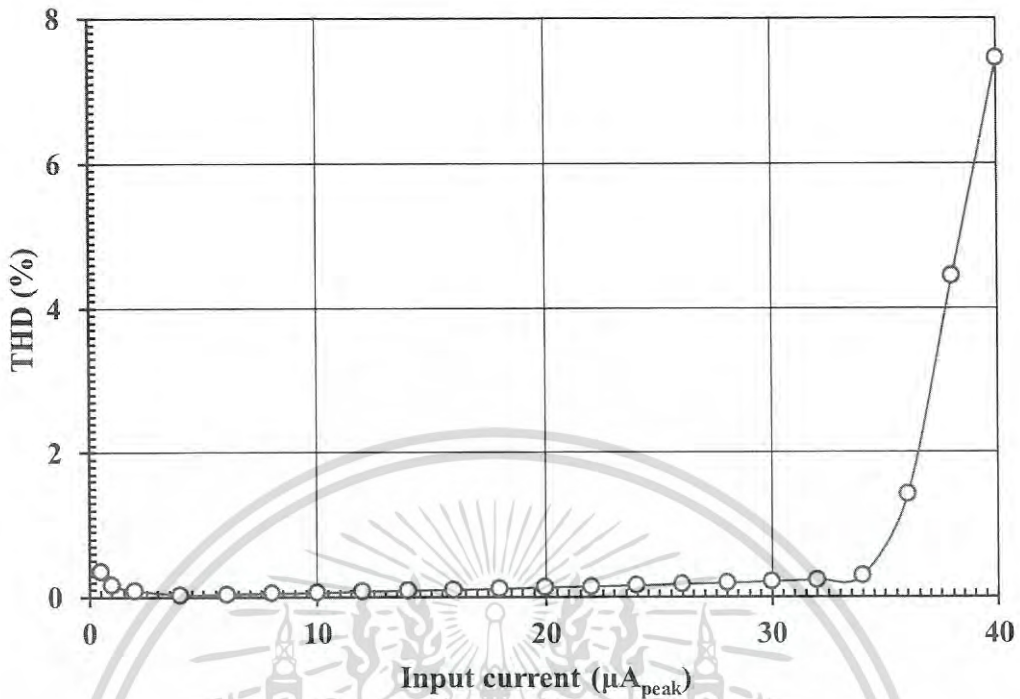


รูปที่ 4.7 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่ากระแสไบอัส I_B



รูปที่ 4.8 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่ากระแสไบอัส I_{B4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

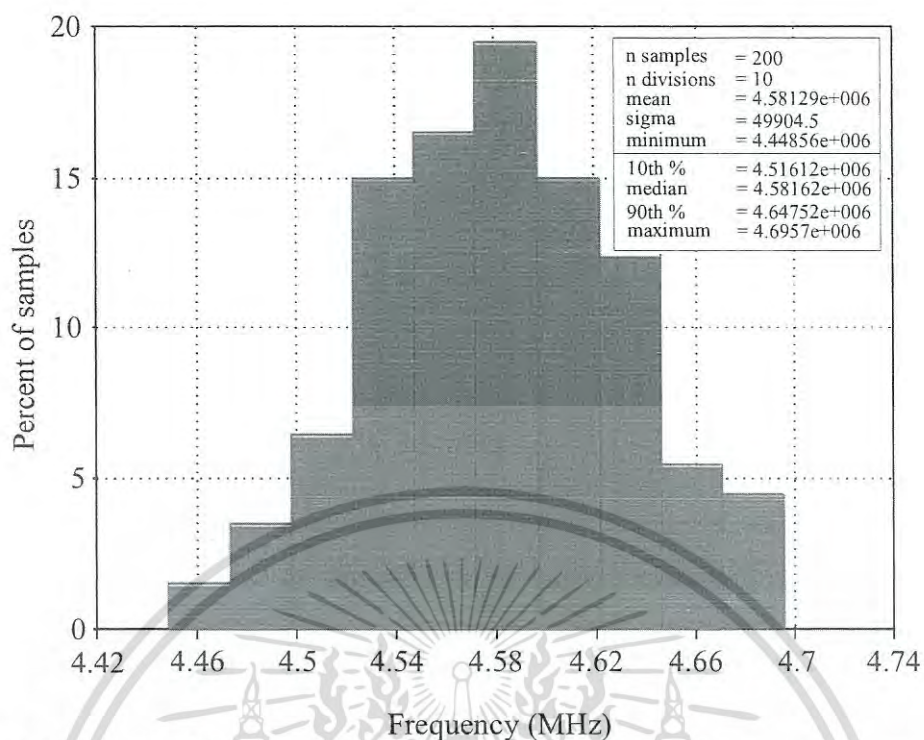


รูปที่ 4.9 ความผิดเพี้ยนทางฮาร์โมนิกสร่วมของวงจรกรองความถี่ต่ำ เมื่อปรับขนาดสัญญาณอินพุต

จากรูปที่ 4.9 แสดงผลการทดลองจากการสังเคราะห์ในทางเวลา โดยการป้อนสัญญาณอินพุตรูปคลื่นไซน์ ที่มีขนาด $20 \mu\text{A}$ (peak) ที่ความถี่ 100 kHz ให้กับวงจรกรองความถี่แบบ LP พบว่า เปอร์เซ็นต์ค่าความผิดเพี้ยนทางฮาร์โมนิกสร่วม (total harmonic distortion : THD) มีค่าประมาณ 0.13% และการสูญเสียกำลังไฟฟ้า เป็น 2.75 mW โดย THD ที่ 1% ขนาดกระแสอินพุตคือ $35 \mu\text{A}$ (peak)

โดยวงจรกรองความถี่ที่นำเสนอในวิทยานิพนธ์ฉบับนี้นำการวิเคราะห์ผลการตอบสนองความถี่ด้วยการทำนายแนวโน้มเชิงสถิติถึงผลการตอบสนองทางความถี่ที่เกิดขึ้นด้วยการนำการสังเคราะห์แบบมอนติคาร์โล (Monte Carlo analysis) ด้วยการพิจารณาถึงการเปลี่ยนแปลงของความถี่ตัด f_c เนื่องจากการเบี่ยงเบนของอุปกรณ์พาสซีฟไปจากค่าจริง ซึ่งในกรณีนี้ผลการจำลองการทำงานของวงจรกรองความถี่แบบ BS ด้วยการกำหนดค่าความเบี่ยงเบนเริ่มต้นของตัวต้านทานและตัวเก็บประจุของวงจรมีค่าเป็น 1% ที่ความถี่ $f_c = 4.581 \text{ MHz}$ โดยการใช้การแจกแจงแบบเกาส์เซียน (Gaussian distribution) จำนวน 200 ครั้ง พบว่าค่าความเบี่ยงเบนมาตรฐานหรือซิกมาของความถี่ตัด f_c คือ 49.904 kHz โดยในกรณีที่แย่ที่สุดความถี่ตัด พบว่าระหว่างช่วงความถี่ที่ 4.449 MHz and 4.695 MHz แสดงในรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 กราฟค่าเบี่ยงเบนทางสถิติของการวิเคราะห์ด้วยวิธีมอนติคาร์โลสำหรับวงจรรองความถี่แบบ BP เมื่อปรับตัวเก็บประจุ C_1 , C_2 มีการเบี่ยงเบนเป็น 1 %

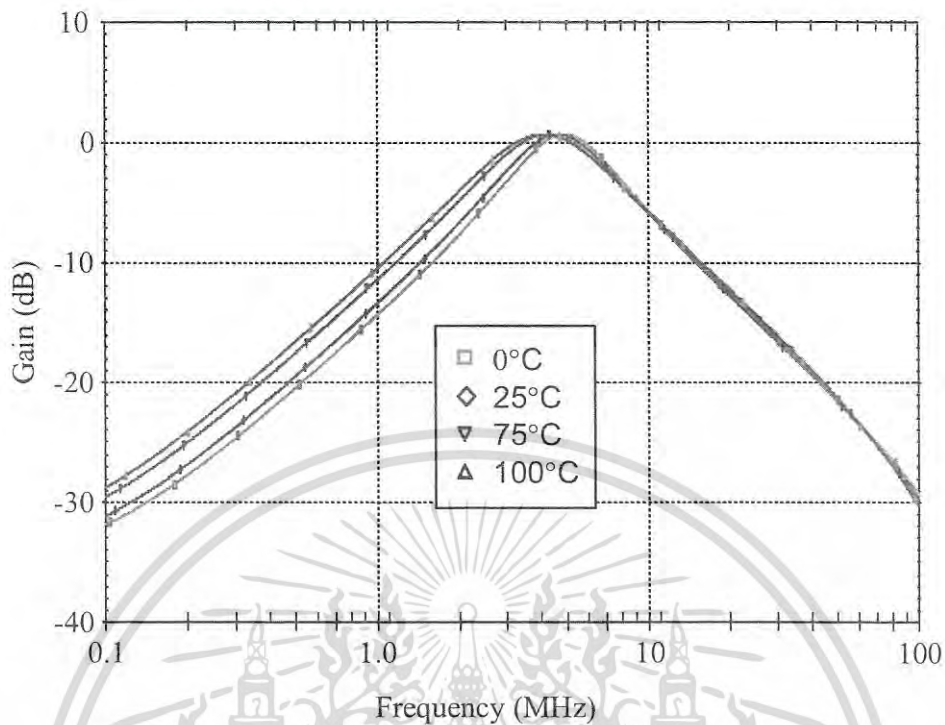
จากรูปที่ 4.10 แสดงกราฟค่าเบี่ยงเบนทางสถิติเชิงความถี่ f_0 เมื่อตัวต้านทานและตัวเก็บประจุมีค่าเบี่ยงเบนไป 1% โดยผลการสังเคราะห์แบบมอนติคาร์โลกับความแตกต่างระหว่างความเบี่ยงเบนของอุปกรณ์พาสซีฟได้สรุปได้ดังตารางที่ 4.3 โดยผลการวิเคราะห์เชิงสถิติพบว่า ค่าความเบี่ยงเบนของอุปกรณ์พาสซีฟมีค่าสูง แสดงถึงมีการกระจายความถี่ตัด f_c ที่สูง

ตารางที่ 4.3 ผลการวิเคราะห์ด้วยมอนติคาร์โลของผลตอบสนองทางความถี่ของวงจรรองความถี่แบบ BP (200 runs). Tolerances (%)

C_1	C_2	Mean (MHz)	Min (MHz)	Max (MHz)	Sigma (kHz)
1	1	4.14989	4.02933	4.25269	44.9728
1	5	4.14398	3.61884	4.69936	223.079
5	1	4.14951	4.00284	4.25675	50.8116
5	5	4.14364	3.59601	4.70189	224.471

จากรูปที่ 4.11 แสดงผลตอบสนองทางความถี่เมื่ออุณหภูมิเปลี่ยนแปลงเป็น 0 25 75 และ 100 องศาเซลเซียส พบว่าค่าความถี่ธรรมชาติมีค่า 4.931 MHz, 4.656 MHz, 4.256 MHz และ 4.115 MHz ซึ่งเป็นไปผลจากการเปลี่ยนแปลงของค่าความนำในสมการที่ 2.43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงผลตอบสนองทางความถี่เมื่ออุณหภูมิเปลี่ยนแปลงเป็น 0 25 75 และ 100 องศาเซลเซียส

4.5 บทสรุป

วงจรรองความถี่อันดับสองแบบหลายหน้าที่ โดยมีโครงสร้างแบบสี่อินพุต หนึ่งเอาต์พุต สร้างขึ้นจาก วงจร CDTA จำนวนสี่วงจร ต่อกับออปแอมพลิฟายเออร์จำนวนสี่ตัวต่อลงกราวด์คือ ตัวเก็บประจุ จำนวนสองตัว และตัวต้านทานที่สร้างขึ้นจากมอสทรานซิสเตอร์จำนวนสองตัว ซึ่งวงจรรองความถี่ที่นำเสนอในบทนี้มีคุณสมบัติคือ วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, BP, BS, HP และ AP โดยปราศจากเงื่อนไขความสมพงษ์กันของอุปกรณ์และการกลับเฟสของสัญญาณอินพุต และวงจรดังกล่าวได้ต่อตัวเก็บประจุลงกราวด์ ซึ่งลดค่าอิมพีแดนซ์แฝงภายในวงจรทำให้เหมาะสำหรับการนำไปสร้างเป็นวงจรรวม อีกทั้งยังสามารถปรับค่าความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการกำหนดค่าอุปกรณ์จากวงจร เช่น การปรับค่ากระแสไบอัสที่ไบอัสให้กับวงจร CDTA ซึ่งวงจรมีอินพุตอิมพีแดนซ์ต่ำและเอาต์พุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสในการทำงานโหมดกระแส นอกจากนี้วงจรถูกนำเสนอในบทนี้มีความไวของอุปกรณ์แอกทีฟและพาสซีฟที่ต่ำ โดยผลการจำลองการทำงานของวงจรรองความถี่แบบหลายหน้าที่ที่นำเสนอในบทนี้เป็นไปตามทฤษฎีและคุณสมบัติของวงจรที่นำเสนอสามารถยืนยันได้จากการจำลองการทำงานด้วยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วงจรรองความถี่อันดับที่สองแบบสามอินพุต สี่เอาต์พุต

โดยใช้วงจร DDCCTA

5.1 บทนำ

การออกแบบวงจรรองความถี่อันดับสองแบบหลายหน้าที่ในวิทยานิพนธ์นำเสนอการสังเคราะห์และการออกแบบวงจรรองความถี่อันดับสองด้วยการใช้อุปกรณ์แอกทีฟคือ วงจร DDCCTA ที่ออกแบบจากซีโมสขนาด $0.5 \mu\text{m}$ จากเทคโนโลยี MIETEC โดยใช้โครงสร้างแบบสามอินพุต สี่เอาต์พุต วงจรรองความถี่ที่นำเสนอในบทนี้ประกอบด้วยวงจร DDCCTA พร้อมทั้งวิเคราะห์สมรรถนะของวงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ในการทำงานทั้งแบบอุดมคติและไม่เป็นอุดมคติ

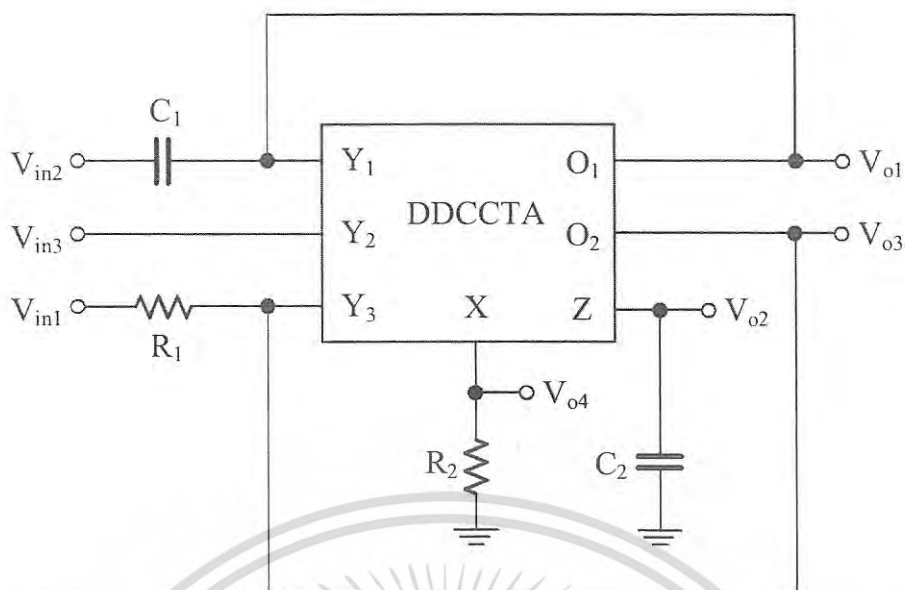
โดยวงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่ตามมาตรฐานได้ครบทุกแบบ และปราศจากเงื่อนไขความสมพงษ์กันของอุปกรณ์ และสามารถควบคุมค่าความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์จากการปรับอัตราขยายความนำถ่ายโอน รวมถึงวงจรมีอินพุตและเอาต์พุตอิมพีแดนซ์ที่สูง รวมถึงค่าความไวของอุปกรณ์ของวงจรถ่ำ วงจรรองความถี่อันดับสองที่ออกแบบได้จำลองการทำงานด้วยโปรแกรม PSPICE และการต่อวงจรด้วยไอซี AD844 ร่วมกับ LM13600 ในการทดสอบการทำงานของวงจรที่ออกแบบ

5.2 วงจรรองความถี่อันดับสองที่นำเสนอด้วยวงจร DDCCTA

วงจรรองความถี่อันดับสองแบบหลายอินพุตแบบหลายหน้าที่ ประกอบด้วย วงจร DDCCTA จำนวนหนึ่งวงจร ตัวเก็บประจุ จำนวนสองตัว และตัวต้านทานจำนวนสองตัว ซึ่งวงจรรองความถี่ที่นำเสนอประกอบด้วย พอร์ตอินพุตสามพอร์ต และพอร์ตเอาต์พุตสี่พอร์ต แสดงดังรูปที่ 5.1

จากรูปที่ 5.1 เป็นการพัฒนาขึ้นจากงานวิจัยที่นำเสนอใน [62] ซึ่งข้อดีของวงจรรองความถี่ที่นำเสนอคือ วงจรใช้อุปกรณ์จำนวนน้อยและการใช้กำลังไฟฟ้าน้อย ซึ่งจากการวิเคราะห์วงจรในรูปที่ 5.1 โดยอาศัยคุณสมบัติของวงจร DDCCTA ดังสมการที่ (2.29) โดยพิจารณาหาความสัมพันธ์ของวงจรรองความถี่ที่นำเสนอ จะได้ฟังก์ชันถ่ายโอน

วงจรรองความถี่อันดับสองในโหมดแรงดันแบบหลายหน้าที่ โดยใช้วงจร DDCCTA ที่นำเสนอ ดังรูปที่ 5.1 โดยใช้คุณสมบัติของวงจร DDCCTA จากสมการที่ (2.29) โดยกำหนดให้พอร์ตแรงดันอินพุตของวงจร DDCCTA คือ V_{in1} , V_{in2} และ V_{in3} และพอร์ตแรงดันเอาต์พุตของวงจรคือ V_{o1} , V_{o2} , V_{o3} และ V_{o4} โดยทำการพิจารณาที่ V_{in3} กำหนดให้ $V_{Y1} = V_{o1}$, $V_{Y2} = V_{in3}$, $V_{Y3} = V_{o3}$, $V_Z = V_{o2}$ และ $V_X = V_{o4}$ ซึ่ง จากสมการที่ (2.29) จะได้



รูปที่ 5.1 วงจรกรองความถี่อันดับสองแบบหลายหน้าที่ที่นำเสนอด้วยวงจร DDCCTA

$$V_{o4} = V_{o1} - V_{in3} + V_{o3} \quad (5.1)$$

เมื่อพิจารณากระแสที่พอร์ต X และพอร์ต Z พบว่า

$$I_x = \frac{V_{o4}}{R_2} \quad (5.2)$$

$$I_z = -V_{o2} s C_2 \quad (5.3)$$

นำสมการที่ (5.1) แทนในสมการที่ (5.2)

$$I_x R_2 = V_{o1} - V_{in3} + V_{o3}$$

$$I_x = \frac{V_{o1} - V_{in3} + V_{o3}}{R_2} \quad (5.4)$$

จากคุณสมบัติของวงจร DDCCTA คือ $i_x = i_z$ จากสมการที่ (5.3) และสมการที่ (5.4)

$$\frac{V_{o1} - V_{in3} + V_{o3}}{R_2} = -V_{o2} s C_2 \quad (5.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของวงจร DDCCTA คือ $I_o = g_m V_Z$ จะได้ดังสมการที่ (3.6)

$$I_{o1} = I_{o2} = g_m V_{o2} \quad (5.6)$$

จากวงจรในรูปที่ 5.1 พบว่า

$$V_{o1} = \frac{I_{o1}}{sC_1} \quad (5.7)$$

แทนสมการที่ (5.6) ลงในสมการที่ (5.7) ดังนี้

$$V_{o1} = \frac{g_m V_{o2}}{sC_1} \quad (5.8)$$

$$V_{o3} = g_m V_{o2} R_1 \quad (5.9)$$

นำสมการที่ (5.8) และสมการที่ (5.9) แทนลงในสมการที่ (5.5) จะได้สมการดังนี้

$$\frac{V_{o2}}{V_{in3}} = \frac{-s \left(\frac{1}{C_2 R_2} \right)}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.10)$$

เมื่อนำสมการที่ (5.10) แทนลงในสมการที่ (5.8) จะได้

$$\frac{V_{o1}}{V_{in3}} = \frac{\frac{g_m}{C_1 C_2 R_2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.11)$$

นำสมการที่ (5.11) แทนลงในสมการที่ (5.9)

$$\frac{V_{o3}}{V_{in3}} = \frac{s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของวงจร DDCCTA คือ $i_x = i_z$ จึงสมการที่ (5.2) และ สมการที่ (5.3) จะได้

$$V_{o4} = -R_2 V_{o2} s C_2 \quad (5.13)$$

นำสมการที่ (5.10) แทนลงในสมการที่ (5.13)

$$\frac{V_{o4}}{V_{in3}} = \frac{-s^2}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.14)$$

จากสมการที่ (2.22) เมื่อพิจารณาที่ V_{in2} และ V_{in1} โดยนำพอร์ต V_{in3} เทียบกราวด์ที่ทำให้ $V_{in3} = 0$ จะได้

$$V_{o4} = V_{o1} + V_{o3} \quad (5.15)$$

เมื่อนำสมการที่ (5.15) แทนค่าลงในสมการที่ (5.12) เพื่อหากระแสที่พอร์ต x และ z ดังสมการ

$$I_x = \frac{V_{o1} + V_{o3}}{R_2} \quad (5.16)$$

$$s C_2 V_{o2} = \frac{V_{o2} + V_{o2}}{R_2} \quad (5.17)$$

โดยจากรูปที่ 5.1 สามารถคำนวณแรงดันที่พอร์ต O_2 ได้จากสมการ

$$I_{o2} = \frac{(V_{o1} - V_{in2})}{R_1}$$

$$V_{o3} = I_{o2} R_1 + V_{in1} \quad (5.18)$$

จากสมการที่ (5.6) แทนค่าลงในสมการที่ (5.18)

$$V_{o3} = -g_m R_1 V_{o2} + V_{in1} \quad (5.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสมการที่ (5.8) และสมการที่ (5.19) แทนค่าลงในสมการที่ (3.18)

$$sC_2R_2V_{o2} = -\frac{g_mV_{o2}}{sC_1} - g_mR_1V_{o2} + V_{in1}$$

$$\frac{V_{o2}}{V_{in1}} = \frac{s\left(\frac{1}{C_2R_2}\right)}{s^2 + s\left(\frac{g_mR_1}{C_2R_2}\right) + \frac{g_m}{C_1C_2R_2}} \quad (5.20)$$

เมื่อนำสมการที่ (5.20) แทนลงในสมการที่ (5.19)

$$V_{o3} = V_{in1} \left(\frac{sg_mR_1\left(\frac{1}{C_2R_2}\right)V_{in1}}{s^2 + s\left(\frac{g_mR_1}{C_2R_2}\right) + \frac{g_m}{C_1C_2R_2}} \right)$$

$$\frac{V_{o3}}{V_{in1}} = \frac{\left(s^2 + \frac{g_m}{C_1C_2R_2}\right)}{s^2 + s\left(\frac{g_mR_1}{C_2R_2}\right) + \frac{g_m}{C_1C_2R_2}} \quad (5.21)$$

นำสมการที่ (5.21) แทนลงในสมการที่ (5.8)

$$V_{o1} = \frac{\frac{g_m}{C_1C_2R_2}V_{in1}}{s^2 + s\left(\frac{g_mR_1}{C_2R_2}\right) + \frac{g_m}{C_1C_2R_2}}$$

$$\frac{V_{o1}}{V_{in1}} = \frac{\frac{g_m}{C_1C_2R_2}}{s^2 + s\left(\frac{g_mR_1}{C_2R_2}\right) + \frac{g_m}{C_1C_2R_2}} \quad (5.22)$$

นำสมการที่ (5.21) และสมการที่ (5.22) แทนลงในสมการที่ (5.15)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{o4} = \frac{s^2 V_{in1}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$\frac{V_{o4}}{V_{in1}} = \frac{s^2}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.23)$$

เมื่อพิจารณาที่แรงดัน V_{in1} โดยการ $V_{in3}=0$ และทำการพิจารณาแรงดันที่พอร์ต O_1 จากรูปที่ 5.1 พบว่า

$$I_{o1} = (V_{o1} - V_{in2}) s C_1$$

$$V_{o1} = \frac{I_{o1}}{s C_1} + V_{in2} \quad (5.24)$$

โดยนำสมการที่ (5.6) แทนลงในสมการที่ (5.24)

$$V_{o1} = \frac{-g_m V_{o2}}{s C_1} + V_{in2} \quad (5.25)$$

$$V_{o3} = -g_m R_1 V_{o2} \quad (5.26)$$

สมการที่ (5.25) และสมการที่ (5.26) แทนลงในสมการที่ (5.17)

$$s C_2 R_2 V_{o2} = -\frac{g_m V_{o2}}{s C_1} - g_m R_1 V_{o2} + V_{in2}$$

$$\frac{V_{o2}}{V_{in2}} = \frac{s \left(\frac{1}{C_2 R_2} \right)}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.27)$$

นำสมการที่ (5.27) แทนลงในสมการที่ (5.26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{o3} = \frac{-s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$\frac{V_{o3}}{V_{in2}} = \frac{-s \left(\frac{g_m R_1}{C_2 R_2} \right)}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.28)$$

เมื่อทำการจัดรูปสมการที่ (5.25) เพื่อให้สะดวกต่อการคำนวณดังนี้

$$V_{o1} = \frac{-g_m V_{o2} + s C_1 V_{in2}}{s C_1} \quad (5.29)$$

สมการที่ (5.27) แทนลงในสมการที่ (5.29)

$$s C_1 V_{o1} = \frac{-g_m s \left(\frac{1}{C_2 R_2} \right) V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$V_{o1} = \frac{\left(s^2 + s \frac{g_m R_1}{C_2 R_2} \right) V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$\frac{V_{o1}}{V_{in2}} = \frac{\left(s^2 + s \frac{g_m R_1}{C_2 R_2} \right)}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.30)$$

สมการที่ (3.30) แทนลงในสมการที่ (3.15)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{o4} = \frac{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} - \frac{s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$V_{o4} = \frac{s^2 V_{in2}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}}$$

$$\frac{V_{o4}}{V_{in2}} = \frac{s^2}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.31)$$

จากการวิเคราะห์วงจรรองความถี่อันดับที่สองโหมดแรงดันแบบหลายหน้าที่ตั้งสมการที่ (5.1) ถึงสมการที่ (5.31) สามารถหาแรงดันเอาต์พุตแต่ละส่วนได้ตั้งสมการที่ (5.32) ถึงสมการที่ (5.35) ดังนี้

$$V_{o1}(s) = \frac{-\frac{g_m}{C_1 C_2 R_2} V_{in1} + \left(s^2 + s \frac{g_m R_1}{C_2 R_2} \right) V_{in2} + \frac{g_m}{C_1 C_2 R_2} V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.32)$$

$$V_{o2}(s) = \frac{s \left(\frac{1}{C_2 R_2} \right) V_{in1} + s \left(\frac{1}{C_2 R_2} \right) V_{in2} - s \left(\frac{1}{C_2 R_2} \right) V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.33)$$

$$V_{o3}(s) = \frac{\left(s^2 + \frac{g_m}{C_1 C_2 R_2} \right) V_{in1} - s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in2} + s \left(\frac{g_m R_1}{C_2 R_2} \right) V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.34)$$

$$V_{o4}(s) = \frac{s^2 V_{in1} + s^2 V_{in2} - s^2 V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2} \right) + \frac{g_m}{C_1 C_2 R_2}} \quad (5.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (5.32) ถึงสมการที่ (5.35) พบว่า เมื่อกำหนดให้พอร์ตแรงดันอินพุตแต่ละพอร์ตลงกราวด์ กล่าวคือ $V_{in} = 0$ และป้อนแรงดันอินพุตให้กับวงจรกรองความถี่ที่นำเสนอตามที่ได้สรุปไว้ในตารางที่ 5.1 สามารถสังเคราะห์ฟังก์ชันการกรองได้ ดังนี้

ตารางที่ 5.1 แสดงการสังเคราะห์ฟังก์ชันการกรองความถี่

แรงดันเอาต์พุต	ฟังก์ชันการกรอง	แรงดันอินพุต	เงื่อนไขการสังเคราะห์ฟังก์ชัน	คุณสมบัติอินพุตอิมพีแดนซ์สูง
V_{o1}	กลับเฟส LP	V_{in1}	$V_{in2} = V_{in3} = 0$	ไม่ใช่
	ไม่กลับเฟส LP	V_{in3}	$V_{in1} = V_{in2} = 0$	ใช่
V_{o2}	ไม่กลับเฟส BP	V_{in1}	$V_{in2} = V_{in3} = 0$	ไม่ใช่
	ไม่กลับเฟส BP	V_{in2}	$V_{in1} = V_{in3} = 0$	ไม่ใช่
	กลับเฟส BP	V_{in3}	$V_{in1} = V_{in2} = 0$	ใช่
V_{o3}	ไม่กลับเฟส BS	V_{in1}	$V_{in2} = V_{in3} = 0$	ไม่ใช่
	กลับเฟส BP	V_{in2}	$V_{in1} = V_{in3} = 0$	ไม่ใช่
	ไม่กลับเฟส BP	V_{in3}	$V_{in1} = V_{in2} = 0$	ใช่
	ไม่กลับเฟส AP	$V_{in1} = V_{in2}$	$V_{in3} = 0$	ไม่ใช่
	ไม่กลับเฟส AP	$V_{in1} = -V_{in3}$	$V_{in2} = 0$	ไม่ใช่
V_{o4}	ไม่กลับเฟส HP	V_{in1}	$V_{in2} = V_{in3} = 0$	ไม่ใช่
	ไม่กลับเฟส HP	V_{in2}	$V_{in1} = V_{in3} = 0$	ไม่ใช่
	กลับเฟส HP	V_{in1}	$V_{in1} = V_{in2} = 0$	ใช่

จากตารางที่ 5.1 พบว่า วงจรกรองความถี่ที่นำเสนอในวิทยานิพนธ์ฉบับนี้สามารถสังเคราะห์ได้ตามมาตรฐานฟังก์ชันการกรองความถี่ทั้ง 5 รูปแบบ โดยปราศจากเงื่อนไขการสมพ้องกันของอุปกรณ์ และไม่มี การกลับเฟสของสัญญาณ หรือการป้อนสัญญาณอินพุตเป็นเพิ่มสองเท่า นอกจากนี้ ในกรณีที่แรงดันเอาต์พุตพอร์ตที่สองต่อลงกราวด์ แต่แรงดันอินพุตที่พอร์ตที่สอง วงจรจะยังคงมีข้อดี คือการใช้เป็นตัวเก็บประจุที่ต่อลงกราวด์ ซึ่งเหมาะสมต่อการนำไปสร้างวงจรรวม [65],[66] นอกจากนี้ในกรณีที่ พอร์ตแรงดันอินพุตเป็น V_{in3} สามารถนำไปประยุกต์เป็นพอร์ต Y_2 ของวงจร DDCCTA ดังนั้น วงจรกรองความถี่จะมีอินพุตอิมพีแดนซ์สูง ซึ่งเหมาะสมในการนำไปต่อร่วมกับกระบวนการในโหมดแรงดัน โดยอัตราขยายช่วงความถี่ผ่าน (H) ของผลตอบสองแบบ LP, BP, BS, HP และ AP สามารถแสดงได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left. \begin{aligned} H_{LP} &= -1 \\ H_{BP} &= \frac{1}{g_m R_1} \\ H_{BS} &= H_{HP} = H_{AP} = 1 \end{aligned} \right\} \quad (5.36)$$

จากสมการที่ (5.32) ถึงสมการที่ (5.35) พบว่า ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ของ วงจรแสดงได้ดังนี้

$$\omega_o = \sqrt{\frac{g_m}{C_1 C_2 R_2}} \quad (5.37)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{C_2 R_2}{g_m C_1}} \quad (5.38)$$

เมื่อกำหนด $C_1 = C_2 = C_3$ ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ แสดงได้ดังสมการ

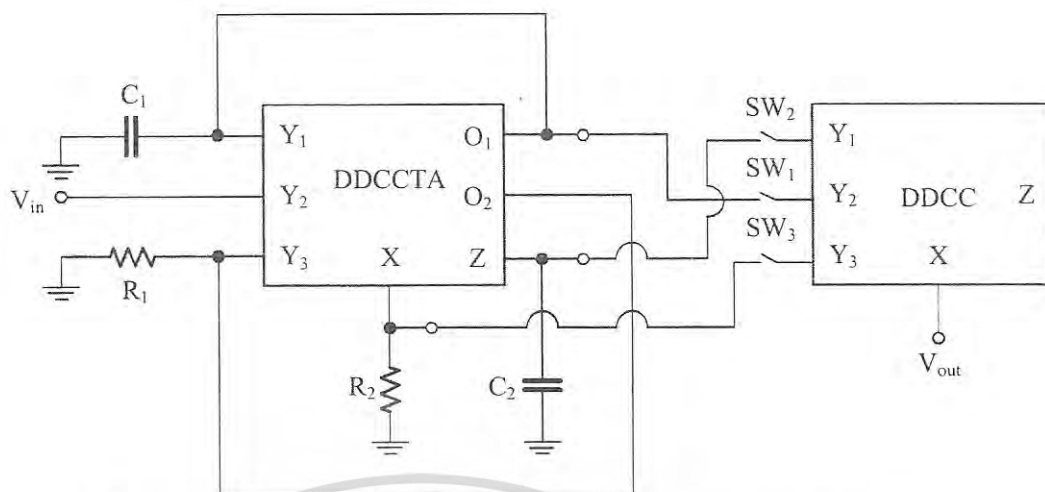
$$\omega_o = \frac{1}{C} \sqrt{\frac{g_m}{R_2}} \quad (5.39)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{R_2}{g_m}} \quad (5.40)$$

จากสมการที่ (5.39) และ (5.40) พบว่าวงจรสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยปรับ ความถี่เชิงมุมธรรมชาติ ได้ที่ตัวเก็บประจุ C โดยไม่ส่งผลกระทบต่อตัวประกอบคุณภาพ เนื่องจาก อัตราส่วนของ g_m/R_2 ยังคงมีค่าเท่าเดิม นอกจากนี้ในส่วนของตัวประกอบคุณภาพ สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการปรับค่าตัวต้านทาน R_1 ซึ่งไม่ส่งผลกระทบต่อ ความถี่เชิงมุมธรรมชาติ เนื่องจากอัตราขยายของ g_m/R_2 มีค่าคงเดิม

ดังนั้นจึงสามารถสรุปได้ว่า วงจรกรองสัญญาณที่นำเสนอในวิทยานิพนธ์ฉบับนี้สามารถปรับ ความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพ ได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยไม่ส่งผลกระทบต่อ กัน เนื่องจาก การปรับให้ค่าตัวเก็บประจุ C_1 และ C_2 ให้มีค่าเท่ากันได้โดยการกำหนดค่ารีเลย์ของตัว เก็บประจุของวงจร [65]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรกรองความถี่อันดับสองแบบหลายหน้าที่ ที่มีอินพุตอิมพีแดนซ์สูง และเอาต์พุตอิมพีแดนซ์ต่ำ

เนื่องจากการออกแบบวงจรกรองความถี่อันดับสองแบบหลายหน้าที่ สามารถสังเคราะห์ให้เป็น วงจรกรองความถี่อันดับที่สูง แต่ข้อเสียที่เกิดขึ้นคือ ผลกระทบของโหลดที่เกิดขึ้นจากการต่อวงจร แบบคาสเคส ดังนั้นการออกแบบวงจรกรองความถี่ที่นำเสนอในรูปที่ 5.1 ไปประยุกต์จึงต้องใช้ วงจร กันชั้นแรงดัน สำหรับการสร้างวงจรกรองความถี่ที่มีอันดับสูงขึ้น ซึ่งวงจรในรูปที่ 5.1 เป็นอุปกรณ์แอคทีฟชนิดเดียวคือวงจร DDCCTA มาต่อร่วมกับ วงจร DDCC โดยวงจรกรองความถี่อันดับที่สองแบบ หลายหน้าที่มีค่าอินพุตอิมพีแดนซ์สูง และเอาต์พุตอิมพีแดนซ์ต่ำ แสดงดังรูปที่ 5.2 ด้วยการนำตัว ต้านทานและตัวเก็บประจุที่ต่อลงกราวด์มาต่อร่วมกับวงจร DDCC ทำให้วงจรกรองความถี่อันดับสอง แบบหลายหน้าที่เหมาะสมต่อการทำงานที่ความถี่สูง และการนำไปสร้างเป็นวงจรรวม

โดยวงจรกรองความถี่ที่นำเสนอในวิทยานิพนธ์ มีคุณสมบัติคือ อินพุตอิมพีแดนซ์สูง คือ สัญญาณอินพุตที่พอร์ต Y_2 ของวงจร DDCCTA ในขณะที่วงจรกรองความถี่มีเอาต์พุตอิมพีแดนซ์ต่ำ ด้วยการเชื่อมต่อสัญญาณจากพอร์ต X ของวงจร DDCC โดยกำหนดฟังก์ชันการกรองจากการกำหนด สวิตช์จากตารางที่ 5.2 ซึ่งในทางปฏิบัติแล้วการออกแบบอุปกรณ์สวิตช์เหล่านี้ด้วยมอสทรานซิสเตอร์ หรืออุปกรณ์อนาล็อกชนิดอื่นๆ

ตารางที่ 5.2 การกำหนดฟังก์ชันการกรองด้วยการทำงานของสวิตช์

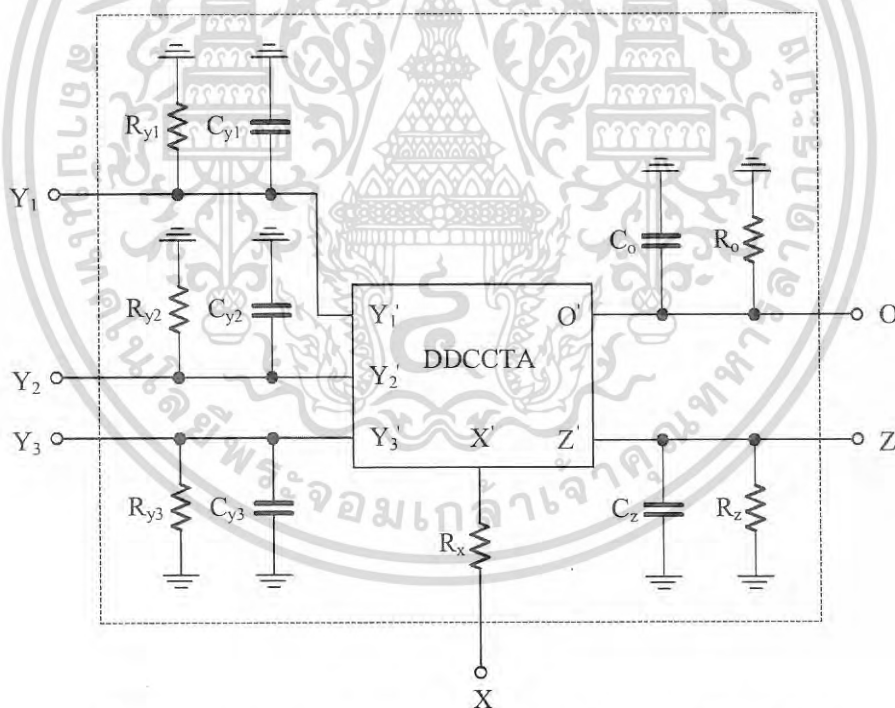
ฟังก์ชันการกรอง	เงื่อนไขการทำงานของสวิตช์		
	สวิตช์ที่ 1	สวิตช์ที่ 2	สวิตช์ที่ 3
LP	เปิด	ปิด	ปิด
BP	ปิด	เปิด	ปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันการกรอง	เงื่อนไขการทำงานของสวิตช์		
	สวิตช์ที่ 1	สวิตช์ที่ 2	สวิตช์ที่ 3
HP	ปิด	ปิด	เปิด
BS	เปิด	ปิด	เปิด
AP	เปิด	เปิด	เปิด

5.3 การวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรที่นำเสนอ

เมื่อทำการวิเคราะห์ผลกระทบจากความไม่เป็นไปตามอุดมคติของวงจรกรองความถี่ที่นำเสนอ ในวิทยานิพนธ์ฉบับนี้ โดยการวิเคราะห์จากความไม่เป็นไปตามอุดมคติของวงจร DDCCTA ที่ทำให้เกิดผลกระทบต่อประสิทธิภาพการทำงานของวงจรกรองความถี่ ซึ่งเกิดขึ้นจากค่าอิมพีแดนซ์แฝงภายในพอร์ตต่างๆ เมื่อพิจารณาผลกระทบดังกล่าวแสดงได้ดังรูปที่ 5.3



รูปที่ 5.3 วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA ในกรณีที่ไม่เป็นไปตามอุดมคติ

จากรูปที่ 5.3 พบว่า วงจร DDCCTA ในความไม่เป็นอุดมคติประกอบด้วยอิมพีแดนซ์แฝง ซึ่งสามารถหาความสัมพันธ์ระหว่างกระแสกับแรงดันของวงจร DDCCTA ได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left. \begin{aligned} I_{Y1} = I_{Y2} = I_{Y3} = 0 \\ V_x = \beta_1 V_{Y1} - \beta_2 V_{Y2} + \beta_3 V_{Y3} \\ I_z = \alpha I_x \\ I_{o1} = I_{o2} = g_{mn} V_z \end{aligned} \right\} \quad (5.41)$$

เมื่อ $\beta_1(s) = \beta_1 = 1 - \varepsilon_{1v}$ และ $\varepsilon_{1v} (|\varepsilon_{1v}| \ll 1)$ คือ ค่าความผิดพลาดของแรงดันระหว่าง V_{Y1} กับ V_x

$\beta_2(s) = \beta_2 = 1 - \varepsilon_{2v}$ และ $\varepsilon_{2v} (|\varepsilon_{2v}| \ll 1)$ คือ ค่าความผิดพลาดของแรงดันระหว่าง V_{Y2} กับ V_x

$\beta_3(s) = \beta_3 = 1 - \varepsilon_{3v}$ และ $\varepsilon_{3v} (|\varepsilon_{3v}| \ll 1)$ คือ ค่าความผิดพลาดของแรงดันระหว่าง V_{Y3} กับ V_x

α คือ ค่าความผิดพลาดของกระแสระหว่าง I_z และ I_x และ g_{mn} คืออัตราความนำถ่ายไอออนของวงจร DDCCTA

โดยจากรูปที่ 5.3 แสดงวงจรสมมูลของวงจร DDCCTA ที่ไม่เป็นอุดมคติ ประกอบด้วยอิมพีแดนซ์แฝงภายในพอร์ตต่างๆ ของวงจร พบว่า ผลของค่าอิมพีแดนซ์แฝงทำให้เกิดความต้านทานแฝงที่มีปริมาณต่ำต่ออนุกรมที่พอร์ต X (R_x) และที่พอร์ต Y จะเกิดความต้านทานแฝงคือ R_{Y1} , R_{Y2} และ R_{Y3} ที่มีปริมาณสูง ที่พอร์ต Z เกิดความต้านทานแฝง R_z ที่มีปริมาณสูงต่อขนานกับค่าความจุแฝง C_z ที่มีปริมาณต่ำ และพอร์ต O จะเกิดความต้านทานแฝง R_o ที่มีปริมาณต่ำต่อขนานกับค่าความจุแฝง C_o ที่มีปริมาณต่ำ

เมื่อพิจารณาถึงอัตราความนำถ่ายไอออน g_{mn} ของความไม่เป็นไปตามอุดมคติของวงจร DDCCTA กำหนดได้ดังนี้

$$g_{mn} = \frac{g_m \omega_g}{s + \omega_g} \quad (5.42)$$

เมื่อ ω_g คือค่าโพลอันดับที่ 1 ของวงจร TA ในช่วงความถี่ที่สนใจสามารถเขียนสมการใหม่ดังนี้[66]

$$g_{mn} \cong g_m (1 - \mu s) \quad (5.43)$$

จากสมการที่ (5.41) และสมการที่ (5.43) ในรูปที่ 5.3 ซึ่งเป็นผลจากความไม่เป็นอุดมคติของวงจร DDCCTA ทำให้ค่าฟังก์ชันถ่ายโอนในรูปที่ 5.1 เปลี่ยนไปดังนี้

$$D(s) = s^2 \left(1 - \frac{\alpha \beta_3 g_m R_1 \mu}{C_2' R_2'} \right) + s \frac{\alpha \beta_3 g_m R_1}{C_2' R_2'} \left(1 - \frac{\beta_1 \mu}{\beta_3 R_1 C_1} \right) + \frac{\alpha \beta_1 g_m}{C_1 C_2' R_2'} \quad (5.44)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $R'_2 = R_2 + R_x$ และ $C'_2 = C_2 \parallel C_x$ จากสมการที่ (5.44) ผลกระทบจากความไม่เป็นอุดมคติของวงจร DDCCTA ทำให้คุณลักษณะของวงจรเปลี่ยนแปลงไปจากค่าความเป็นอุดมคติ ซึ่งผลกระทบจากอิมพีแดนซ์แฝงภายในวงจร DDCCTA เป็นไปตามเงื่อนไขดังสมการดังนี้

$$\left. \begin{aligned} \frac{\alpha\beta_3 g_m R_1 \mu}{C'_2 R'_2} &\ll 1 \\ \frac{\beta_1 \mu}{\beta_3 R_1 C_1} &\ll 1 \end{aligned} \right\} \quad (5.45)$$

ดังนั้นความถี่เชิงมุมธรรมชาติ และตัวประกอบคุณภาพสามารถคำนวณได้จากสมการดังนี้

$$\omega_o = \sqrt{\frac{\alpha\beta_1 g_m}{C_1 C'_2 R'_2}} \quad (5.46)$$

$$Q = \frac{1}{\beta_3 R_1} \sqrt{\frac{\beta_1 C'_2 R'_2}{\alpha g_m C_1}} \quad (5.47)$$

จากสมการที่ (5.46) และ (5.47) พบว่า ความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพของวงจร DDCCTA ที่มีความไม่เป็นอุดมคติมีการเปลี่ยนแปลงเพียงเล็กน้อยเท่านั้น ซึ่งผลกระทบจากความไม่เป็นอุดมคตินั้น สามารถที่จะชดเชยได้ด้วยการปรับค่าความนำถ่ายโอน g_m ให้เหมาะสม

โดยค่าความไวของความถี่เชิงมุมธรรมชาติ กับตัวประกอบคุณภาพของวงจรต่อการเปลี่ยนแปลงของอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟ สามารถคำนวณได้จากสมการดังต่อไปนี้

$$S_{\alpha}^{\omega_o} = S_{\beta_1}^{\omega_o} = S_{g_m}^{\omega_o} = -S_{C_1}^{\omega_o} = -S_{C'_2}^{\omega_o} = -S_{R_1}^{\omega_o} = 0.5 \quad (5.48)$$

$$S_{\beta_3}^Q = S_{R_1}^Q = -1 \quad (5.49)$$

$$S_{\beta_1}^Q = S_{C_2}^Q = S_{R_2}^Q = -S_{\alpha}^Q = -S_{g_m}^Q = S_{C_1}^Q = 0.5 \quad (5.50)$$

จากสมการที่ (5.48) ถึง (5.50) พบว่า ความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟมีขนาดต่ำกว่าหนึ่ง แสดงว่าวงจรรองความถี่ที่นำเสนอมีค่าความไวของอุปกรณ์แอกทีฟและอุปกรณ์พาสซีฟที่ต่ำ

โดยวงจรรองความถี่แบบหลายหน้าที่สามารถสร้างขึ้นจากระบบอินทิเกรเตอร์รูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Integrator loop) 2 ระบบ ประกอบด้วยการป้อนกลับ 2 ลูป ซึ่งมีความยากต่อการสังเคราะห์ความเสถียรของวงจรรองความถี่ที่นำเสนอ จึงเลือกใช้วิธีการหาค่าความเสถียรตามวิธีของเรทท์เฮอร์วิทท์ (Routh–Hurwitz) ซึ่งจากการสังเคราะห์ความไม่เสถียรของวงจรร โดยพารามิเตอร์แฝง ทำให้เกิดผลกระทบต่อผลตอบสนองแบบลำดับ จากกรณีที่เป็นอูตมคติด้วยการเพิ่มตัวประกอบการป้อนกลับขึ้น จึงทำให้รักษาการทำงานของระบบการกรองความถี่ได้อย่างเหมาะสม โดยการตั้งเงื่อนไขของอุปกรณ์ด้วยการกำหนดให้ $R_2 \gg R_x$ และ $C_2 \gg C_x$ และกำหนดค่าอุปกรณ์พาสซีฟที่เหมาะสม โดยการกำหนดให้ R_2 และ C_2 มีค่าน้อยที่สุดที่ทำให้พารามิเตอร์แฝงเข้าใกล้ศูนย์ ในการสังเคราะห์ฟังก์ชันถ่ายโอน

5.4 ผลการจำลองการทำงานของวงจรรองความถี่ที่นำเสนอ

เพื่อเป็นการยืนยันถึงสมรรถนะการทำงานของวงจรรองความถี่อันดับที่สองโหมดแรงดันแบบหลายหน้าที่ โดยจำลองการทำงานด้วยโปรแกรม PSPICE และการต่อวงจรจริงพร้อมทั้งเปรียบเทียบกับผลที่วิเคราะห์ทางทฤษฎี โดยการจำลองผลการการทำงานของวงจรรองความถี่ที่นำเสนอในรูปที่ 3.1 ด้วยโปรแกรม PSPICE ซึ่งวงจรร DDCCTA ออกแบบด้วยทรานซิสเตอร์ PMOS และ NMOS ที่แสดงดังรูปที่ 5.2 โดยพารามิเตอร์ซีมอสขนาด $0.5 \mu\text{m}$ จากเทคโนโลยี MIETEC โดยอัตราส่วนของทรานซิสเตอร์ในวงจรร DDCCTA ได้ระบุไว้ในตารางที่ 5.3 ดังนี้

ตารางที่ 5.3 แสดงการกำหนดขนาดของมอสทรานซิสเตอร์ของวงจรร DDCCTA

มอสทรานซิสเตอร์	$W (\mu\text{m})$	$L (\mu\text{m})$
M_1 - M_4	1.8	0.7
M_5 - M_8	5.2	0.7
M_7 - M_{10}	20	0.7
M_{11} - M_{12}	58	0.7
M_{13} - M_{22}	4	1

โดยกำหนดแหล่งจ่ายไฟ $V_{DD} = -V_{SS} = 2 \text{ V}$ แรงดันไบอัส $V_B = -1.22 \text{ V}$ โดยกำหนดกระแสไบอัสตั้งแต่ $I_B = 5$ ถึง $200 \mu\text{A}$ ซึ่งทำให้อัตราขยายความนำ $g_m = 53.29 \mu\text{A/V}$ ถึง $267.12 \mu\text{A/V}$ และกำหนดพารามิเตอร์ในการจำลองผลการการทำงานของวงจรรที่นำเสนอในวิทยานิพนธ์ดังตารางที่ 5.4

ตารางที่ 5.4 พารามิเตอร์ที่ใช้ในการจำลองผลการการทำงานของวงจรร DDCCTA

พารามิเตอร์ในโปรแกรม PSPICE	ค่าที่กำหนด
อัตราขยายแรงดัน (V_x/V_y)	0.968

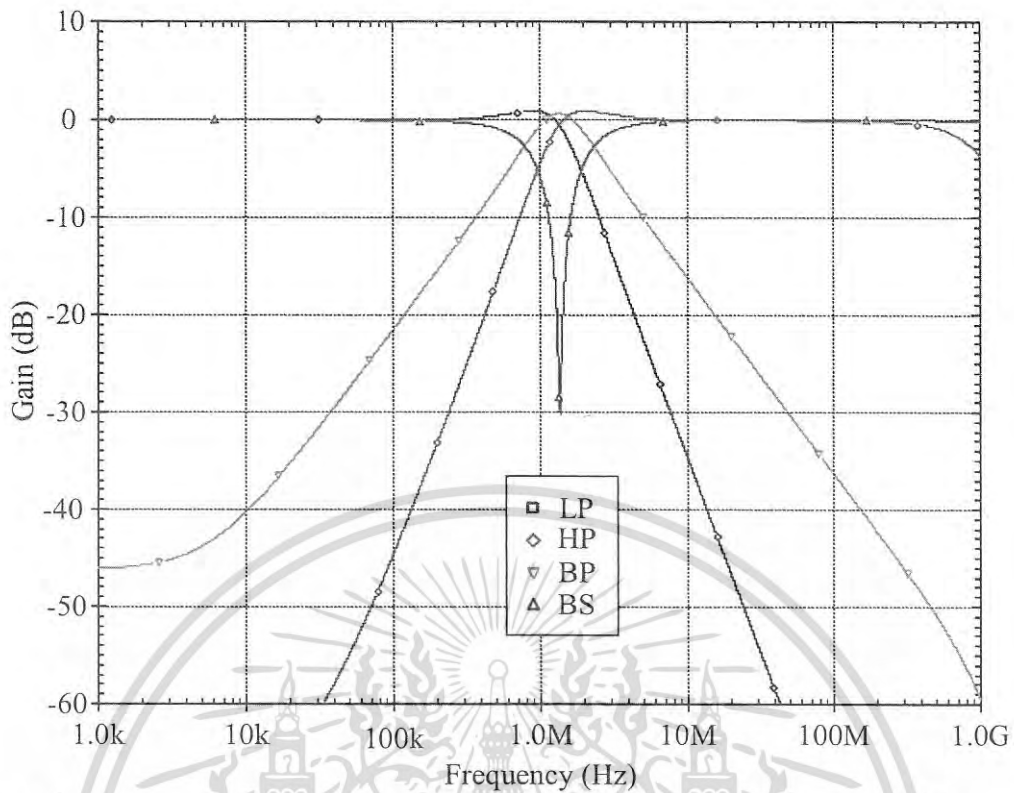
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พารามิเตอร์ในโปรแกรม PSPICE	ค่าที่กำหนด
อัตราขยายกระแส (I_Z/I_X)	0.968
ช่วงการทำงานของแรงดัน DC โดยไม่มีโหลด	-0.8 V ถึง 0.8V
ช่วงการทำงานของกระแส DC โดยไม่มีโหลด	-300 μ A ถึง 300 μ A
V_X/V_Y ขณะที่มีโหลด 1 k Ω (แบนด์วิดท์ ที่ -3 dB)	237 MHz
พารามิเตอร์ในโปรแกรม PSPICE	ค่าที่กำหนด
I_Z/I_X (แบนด์วิดท์ ที่ -3 dB)	204 MHz
I_O/I_Z (แบนด์วิดท์ ที่ -3 dB)	198 MHz
$(R_{Y1}, R_{Y2}, R_{Y3}) // (C_{Y1}, C_{Y2}, C_{Y3})$	100 T Ω //20 fF
R_X	31.34 Ω
$R_Z // C_Z$	118.32k Ω //0.2 pF
$R_O // C_O$	519.51 M Ω //0.16 pF
กำลังไฟฟ้าสูญเสีย ($I_B = 50 \mu A$)	5.37 mW

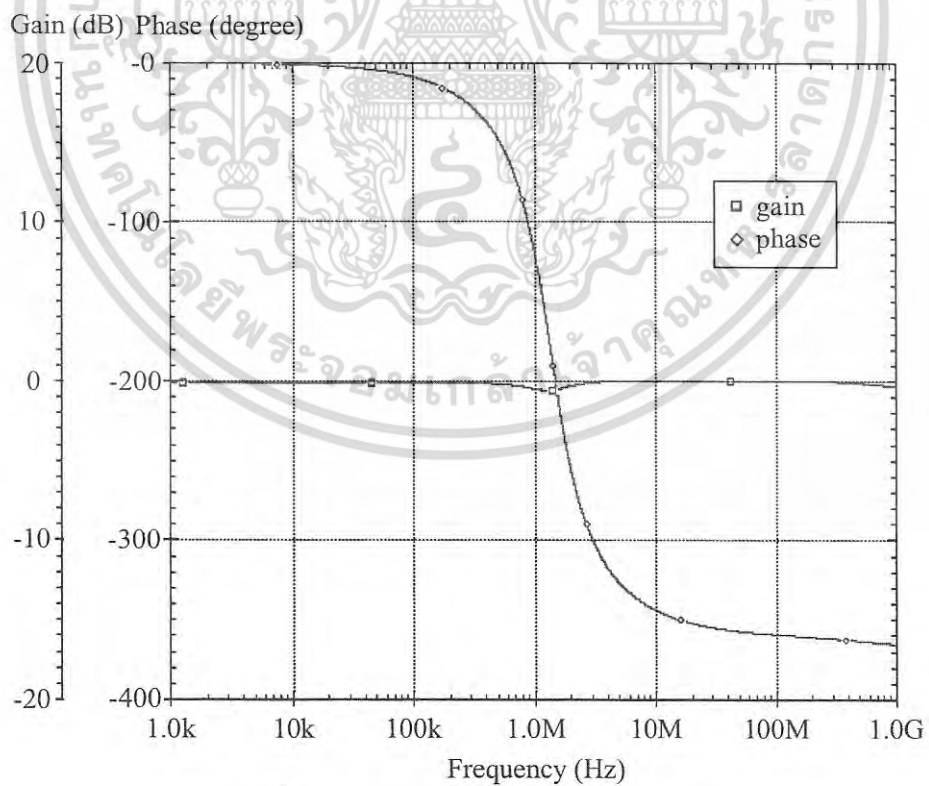
สำหรับตัวอย่างการออกแบบวงจรด้วยการกำหนดค่าอุปกรณ์ที่นำมาใช้ในวงจรกรองความถี่ โดยกำหนดให้ กระแสไบอัส $I_B = 125 \mu A$ ซึ่งทำให้ค่าความนำถ่ายโอนมีค่าเป็น $g_m = 230 \mu A/V$ ตัวเก็บประจุ $C_1 = C_2 = C = 30$ pF และตัวต้านทานดังนี้ $R_1 = 4$ k Ω และ $R_2 = 3.5$ k Ω

โดยการออกแบบวงจรกรองความถี่แบบหลายหน้าที่ตามพารามิเตอร์ที่กำหนดจากเงื่อนไขที่กำหนด ในสมการที่ (5.32) โดยป้อนแรงดันอินพุตตามตารางที่ 5.1 และวัตเอาท์พดที่ V_{o1} จากสมการที่(5.33) ทำให้ได้คุณสมบัติของวงจรดังนี้ ความถี่ตัด $f_o = \omega_o/2\pi = 1.361$ MHz และตัวประกอบคุณภาพมีค่าประมาณ 1. จากรูปที่ 5.4 แสดงผลตอบสนองทางความถี่ของวงจรกรองแบบ LP, BP, BS และ HP ซึ่งพบว่าความถี่จากการจำลองการทำงานของวงจรคือ 1.364 MHz ซึ่งค่าความผิดพลาดทางความถี่ที่เกิดขึ้นระหว่างผลการจำลองการทำงานกับผลที่ได้จากทฤษฎีมีค่าผิดพลาดประมาณ 0.22% และจากรูปที่ 5.5 แสดงผลตอบสนองทางความถี่ทางอัตราขยายและเฟสของวงจรกรองความถี่แบบ AP โดยในรูปที่ 5.4 และรูปที่ 5.5 แสดงให้เห็นว่าการทำงานของวงจรกรองสามารถทำงานได้ตามมาตรฐานของฟังก์ชันการกรองทั้ง 5 แบบได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

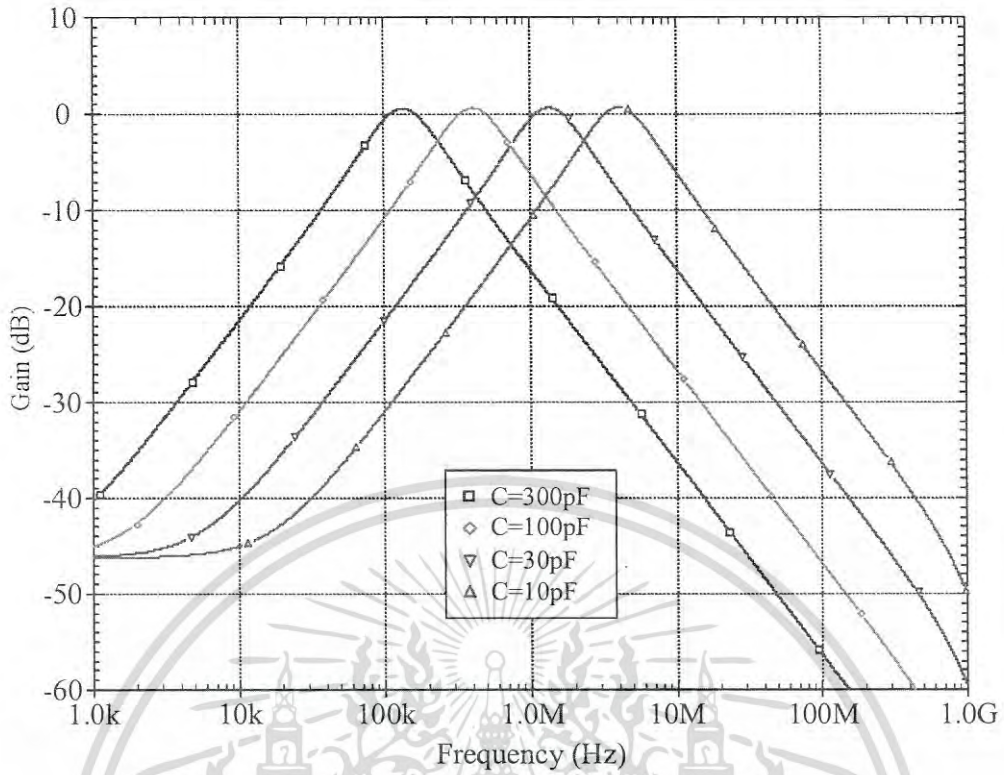


รูปที่ 5.4 ผลตอบสนองทางความถี่แบบ LP, BP, BS และ HP ของวงจรกรองความถี่ที่นำเสนอง

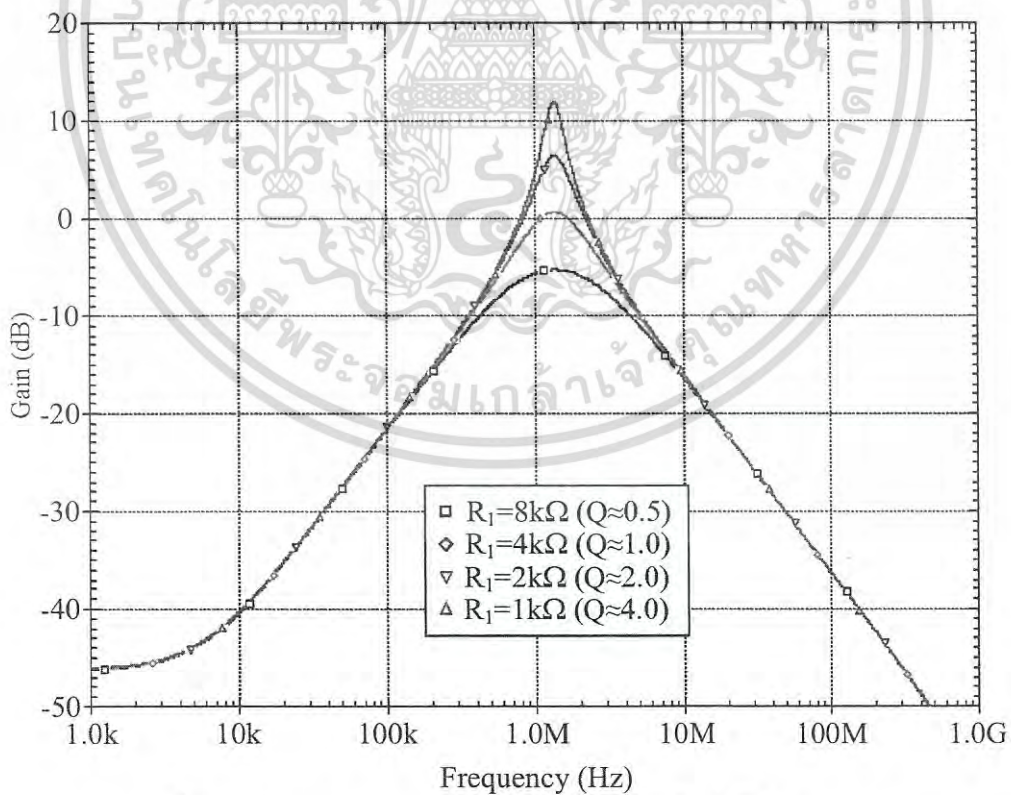


รูปที่ 5.5 ผลตอบสนองทางความถี่แบบ AP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่าตัวเก็บประจุ



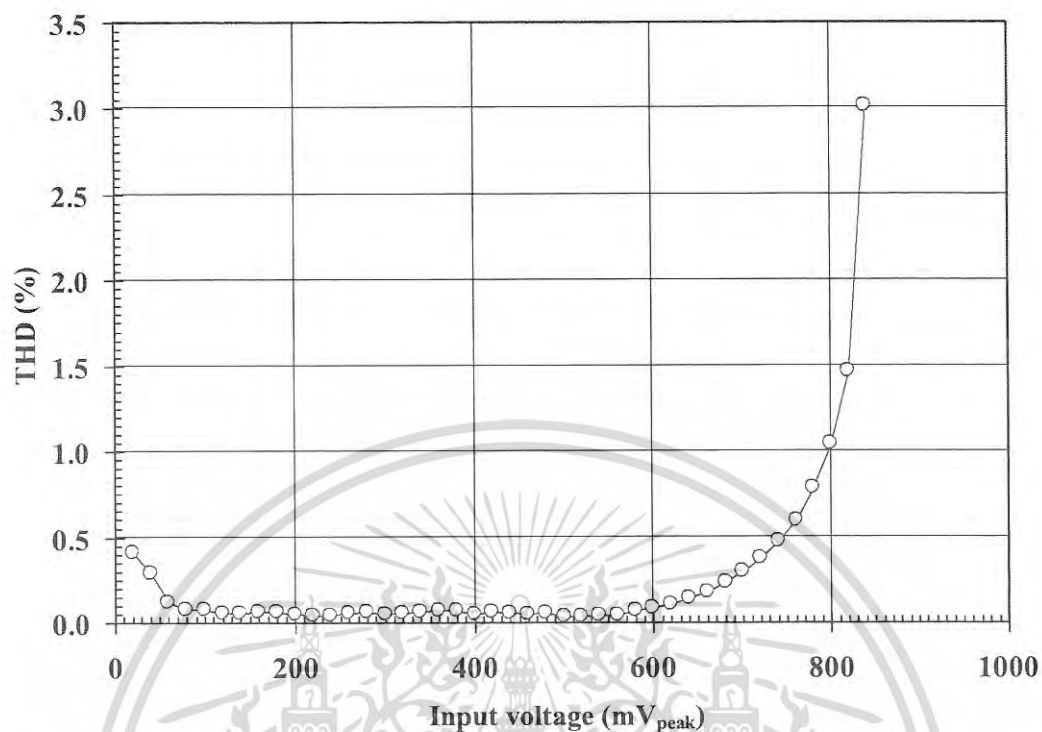
รูปที่ 5.7 ผลตอบสนองทางความถี่แบบ BP เมื่อปรับค่าตัวต้านทาน R_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

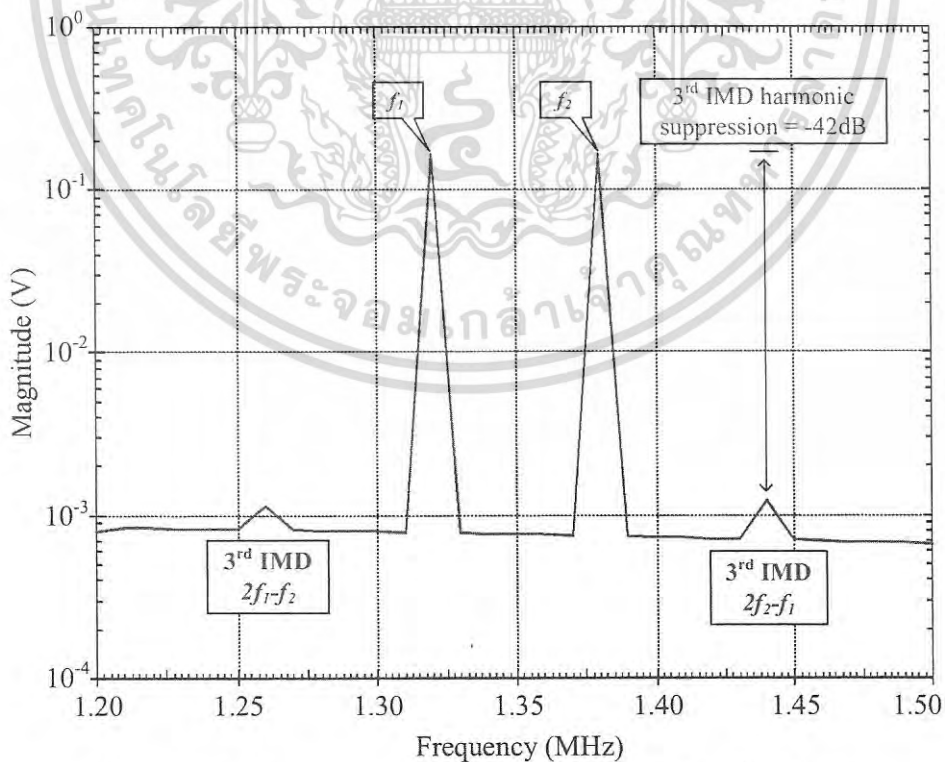
จากรูปที่ 5.6 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบ BP โดยการปรับค่าอุปกรณ์เพื่อให้ความถี่ตัด f_o ที่เหมาะสม ด้วยการปรับตัวเก็บประจุ ($C = C_1 = C_2$) ให้มีค่าเป็น 300 pF, 100 pF, 30 pF และ 10 pF ในขณะที่กำหนดให้กระแสไบอัส $I_B = 125 \mu\text{A}$ และตัวต้านทาน $R_1 = 4 \text{ k}\Omega$ และ $R_2 = 3.5 \text{ k}\Omega$ เพื่อที่ทำให้ตัวประกอบคุณภาพ $Q = 1$ โดยจากผลตอบสนองความถี่แบบ BP จากการจำลองการทำงานพบว่า ความถี่ตัด f_o ที่เกิดขึ้นจากการปรับค่าตัวเก็บประจุ คือ 135.8 kHz, 407.7 kHz, 1.364 MHz และ 4.068 MHz ซึ่งมีค่าใกล้เคียงจากความถี่ตัดในการคำนวณทางทฤษฎีพบว่า $f_o = 136.1 \text{ kHz}$, 408.2 kHz, 1.361 MHz และ 4.082 MHz ตามลำดับ

รูปที่ 5.7 แสดงผลตอบสนองทางความถี่ของวงจรกรองแบบ BP ด้วยการปรับค่าตัวประกอบคุณภาพ โดยป้อนแรงดันอินพุตที่ V_{in2} และวัดเอาต์พุตที่ V_{o2} เช่นปรับจาก 0.5, 1, 2 และ 4 เป็นต้น ในกรณีที่กำหนดให้ R_1 มีค่าเป็น 8 k Ω , 4 k Ω , 2 k Ω และ 1 k Ω ตามลำดับ โดยที่กำหนดให้ กระแสไบอัส $I_B = 125 \mu\text{A}$ ตัวต้านทาน $R_2 = 3.5 \text{ k}\Omega$ และตัวเก็บประจุคือ $C_1 = C_2 = 30 \text{ pF}$ ให้มีค่าคงที่ ทั้งนี้เพื่อให้ความถี่ตัดมีค่าคงที่คือ $f_o = 1.364 \text{ MHz}$ พบว่าความถี่คงที่ อัตราขยายเพิ่มขึ้นเมื่อค่าตัวประกอบคุณภาพเพิ่มขึ้น

ซึ่งผลการจำลองการทำงานแสดงถึงค่าตัวประกอบคุณภาพ สามารถควบคุมได้โดยไม่มีผลกระทบต่อความถี่ตัด โดยอธิบายได้จากสมการที่ (5.39) และสมการที่ (5.40) ซึ่งในสมการที่ (5.40) พบว่าวงจรกรองมีตัวประกอบคุณภาพสูง คือ ($Q > 4$) สามารถปรับได้ด้วยการลดค่าตัวต้านทาน R_1 ลง แต่ความต้านทานไม่ควรที่จะเป็นศูนย์ ซึ่งเมื่อค่าตัวประกอบคุณภาพมีค่าเพิ่มขึ้น ทำให้อัตราขยายแรงดันของวงจรกรองเพิ่มขึ้นตาม ซึ่งอัตราขยายดังกล่าวสามารถทำให้วงจรทำงานในย่านอิมพัลส์

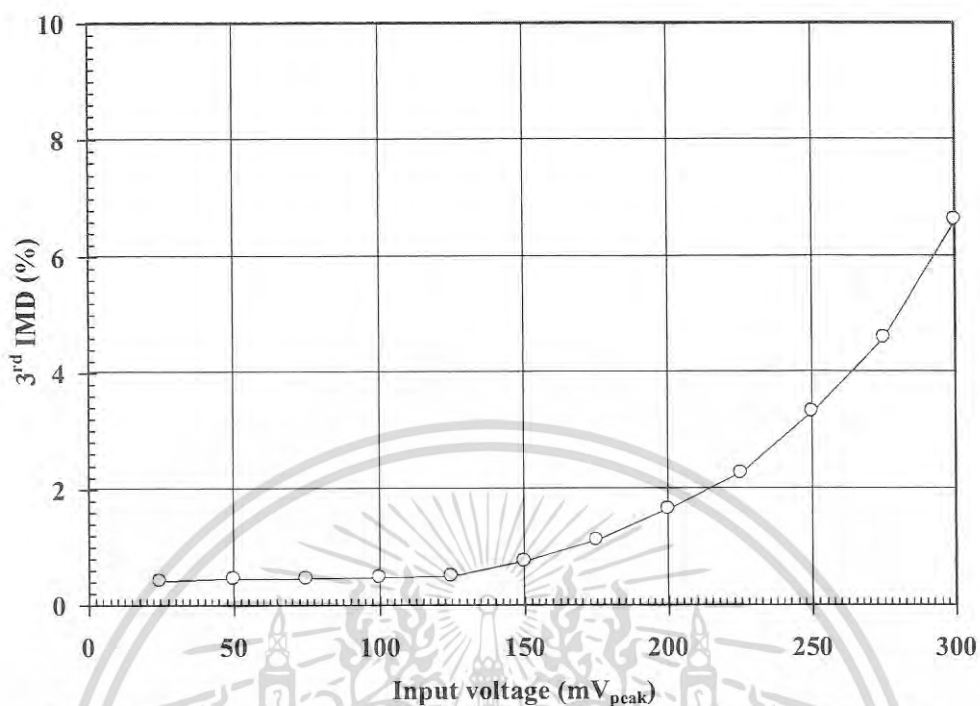


รูปที่ 5.8 ความผิดเพี้ยนทางฮาร์โมนิกส์รวมของวงจรกรองความถี่ต่ำ เมื่อแรงดันอินพุตมีการเปลี่ยนแปลง



รูปที่ 5.9 สเปกตรัมของวงจรกรองความถี่แบบ BP ด้วยอินพุตที่ต่างกัน 2 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 IMD อันดับที่ 3 ของวงจรกรองความถี่แบบ BP เมื่อแรงดันอินพุตมีการเปลี่ยนแปลง

ผลการทดลองจากการสังเคราะห์ในทางเวลา โดยการป้อนสัญญาณอินพุตรูปคลื่นไซน์ ที่มีขนาด 600 mV (peak) ที่ความถี่ 1.364 MHz ให้กับวงจรกรองความถี่แบบ BP พบว่า เปอร์เซ็นต์ค่าความผิดเพี้ยนทางฮาร์มอนิกส์รวม (total harmonic distortion : THD) มีค่าประมาณ 2.84% และการสูญเสียกำลังไฟฟ้า เป็น 4.6 mW

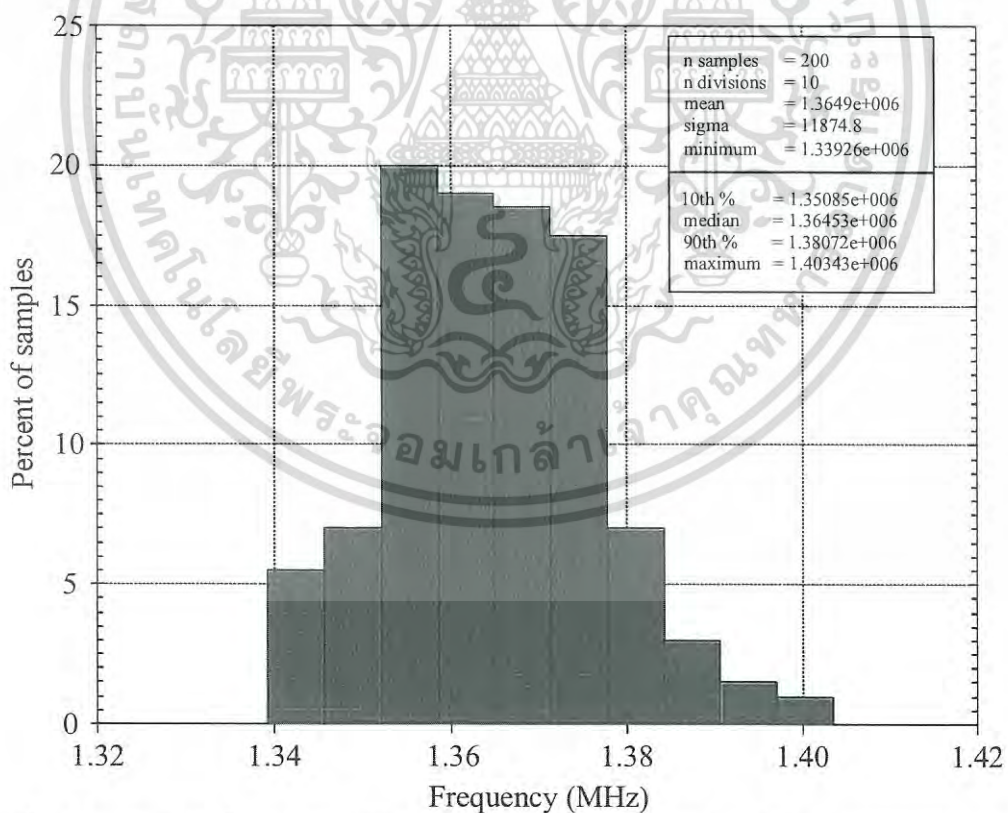
โดยตรวจสอบการเปลี่ยนแปลงของความผิดเพี้ยนของสัญญาณฮาร์มอนิกส์ของวงจรกรองความถี่ต่ำ เมื่อป้อนสัญญาณอินพุตรูปคลื่นไซน์ ที่ความถี่ 100 kHz สรุปได้ดังรูปที่ 5.8 ซึ่งพบว่า ค่าความผิดเพี้ยนทางฮาร์มอนิกส์รวม มีค่าประมาณ 3% เมื่อสัญญาณอินพุตมีขนาดเพิ่มขึ้นถึง 825 mV(peak) โดยนำการวัดความเป็นเชิงเส้นของอุปกรณ์แอกทีฟและพาสซีฟในวงจรด้วยความเพี้ยนของการมอดูเลตข้าม (Intermodulation distortion : IMD) เนื่องจากระบบความเป็นเชิงเส้นไม่สามารถ สร้างขึ้นจากการมอดูเลตข้าม (Intermodulation) ซึ่งเมื่อเปรียบเทียบระหว่างความผิดเพี้ยนทางฮาร์มอนิกส์ ซึ่งเป็นความผิดเพี้ยนแบบระดับเดียว กับ IMD ซึ่งเป็นความผิดเพี้ยนแบบหลายระดับ ซึ่งผลการทำงานของวงจรเกิดสัญญาณ 2 ระดับหรือมากกว่าที่อินพุตของวงจรที่ไม่เป็นเชิงเส้น

เพื่อทำการตรวจสอบ IMD ของวงจรกรองความถี่แบบ BP โดยการทดสอบทั้งสองระดับ โดยการเว้นระยะที่ใกล้กับระดับความถี่ที่ $f_1 = 1.32$ MHz และ $f_2 = 1.38$ MHz โดยกำหนดให้มีค่าแอมพลิจูดเท่ากับสัญญาณอินพุตคือ 150 mV (peak) ซึ่งได้นำไปประยุกต์ใช้กับการจำลองผลการทำงานของวงจรที่อินพุตของวงจรกรองความถี่ ในรูปที่ 5.9 แสดงสเปกตรัมเอาท์พุตที่ได้จากวงจรกรองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BP เมื่อระดับอัตราขยายของอินพุตหยุดที่ฮาร์มอนิกส์ IMD อันดับที่ 3 คือ -42 dB ที่สัญญาณ IMD อันดับที่สามของวงจรกรองความถี่แบบ BP ขึ้นอยู่กับขนาดของสัญญาณอินพุตทั้งสอง แสดงดังรูปที่ 5.10 เป็นการเว้นระยะห่างของระดับสัญญาณที่ความถี่ $f_1 = 1.32$ MHz และ $f_2 = 1.38$ MHz เป็นขนาดของสัญญาณอินพุตของวงจร ซึ่งพบว่า IMD อันดับที่สามมีค่ามากที่สุดที่ 2.28% เพื่อที่จะเพิ่มขนาดของสัญญาณอินพุตให้ถึง 225 mV (peak)

โดยวงจรกรองความถี่ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ นำการวิเคราะห์ผลการตอบสนองความถี่ ด้วยการทำนายแนวโน้มเชิงสถิติถึงผลการตอบสนองทางความถี่ที่เกิดขึ้นด้วยการนำการสังเคราะห์แบบมอนติคาร์โล (Monte Carlo analysis) โดยการพิจารณาถึงการเปลี่ยนแปลงของความถี่ตัด f_c เนื่องจากการเบี่ยงเบนของอุปกรณ์พาสซีฟไปจากค่าจริง ซึ่งในกรณีที่ผลการจำลองการทำงานของวงจรกรองความถี่แบบ BS ด้วยการกำหนดค่าความเบี่ยงเบนเริ่มต้นของตัวต้านทานและตัวเก็บประจุของวงจรมีค่าเป็น 1% ที่ความถี่ $f_c = 1.364$ MHz โดยใช้การแจกแจงแบบเกาส์เซียน (Gaussian distribution) จำนวน 200 ครั้ง พบว่าค่าความเบี่ยงเบนมาตรฐานหรือซิกม่าของความถี่ตัด f_c คือ 11.874 kHz โดยในกรณีที่แย่มากที่สุดความถี่ตัด f_c จะพบระหว่างช่วงความถี่ที่ 1.339 MHz และ 1.403 MHz



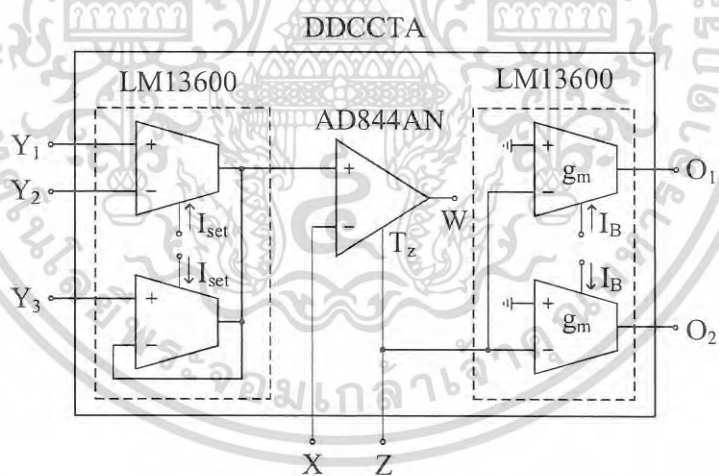
รูปที่ 5.11 กราฟค่าเบี่ยงเบนทางสถิติของการวิเคราะห์ด้วยวิธีมอนติคาร์โลสำหรับวงจรกรองความถี่แบบ BP เมื่อตัวต้านทานและตัวเก็บประจุมีการเบี่ยงเบน 1 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.11 แสดงกราฟค่าเบี่ยงเบนทางสถิติเชิงความถี่ f_o เมื่อตัวต้านทานและตัวเก็บประจุ มีการค่าเบี่ยงเบน 1% โดยผลการสังเคราะห์แบบมอนติคาร์โลกับความแตกต่างระหว่างความเบี่ยงเบนของอุปกรณ์พาสซีฟได้สรุปได้ดังตารางที่ 5.5 โดยผลการวิเคราะห์เชิงสถิติพบว่า ค่าความเบี่ยงเบนของอุปกรณ์พาสซีฟมีค่าสูง แสดงถึงมีการกระจายความถี่ตัด f_o ที่สูง

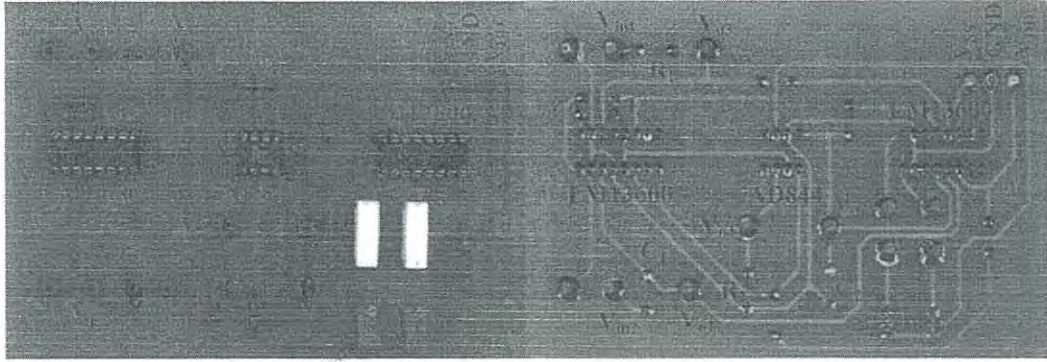
ตารางที่ 5.5 ผลการวิเคราะห์ด้วยมอนติคาร์โลของผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบ BP (200 runs).Tolerances(%)

R_1, R_2	C_1, C_2	Mean (MHz)	Min (MHz)	Max (MHz)	Sigma (kHz)
1	1	1.364	1.339	1.403	11.874
1	5	1.367	1.255	1.561	50.955
5	1	1.366	1.297	1.484	35.112
5	5	1.368	1.245	1.580	60.570



รูปที่ 5.12 วงจร DDCCTA ที่สร้างจากไอซี AD844 และ LM13600s

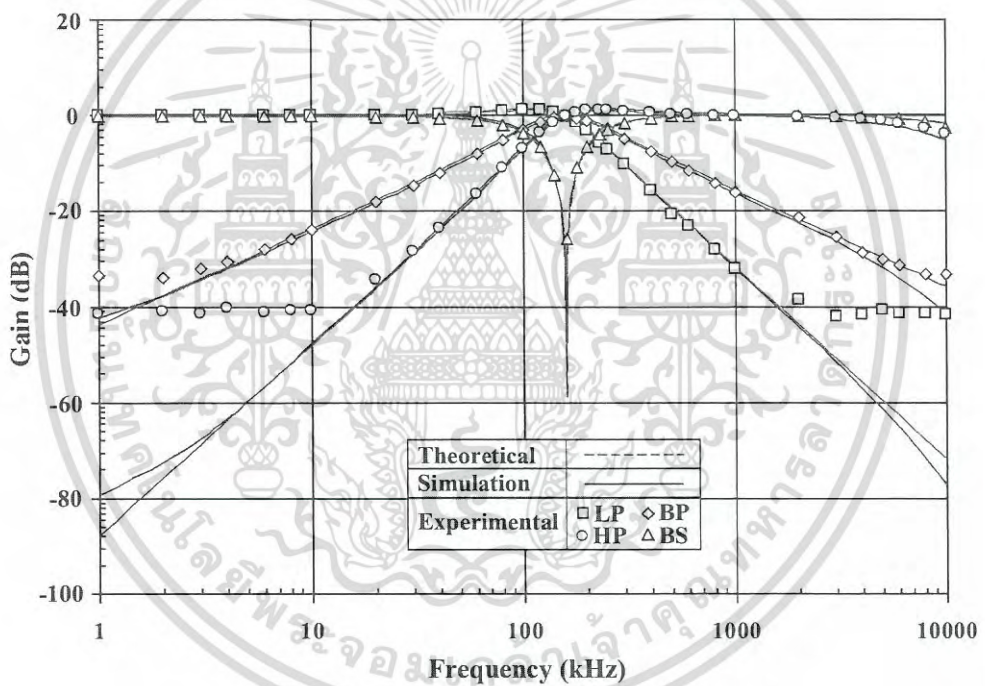
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

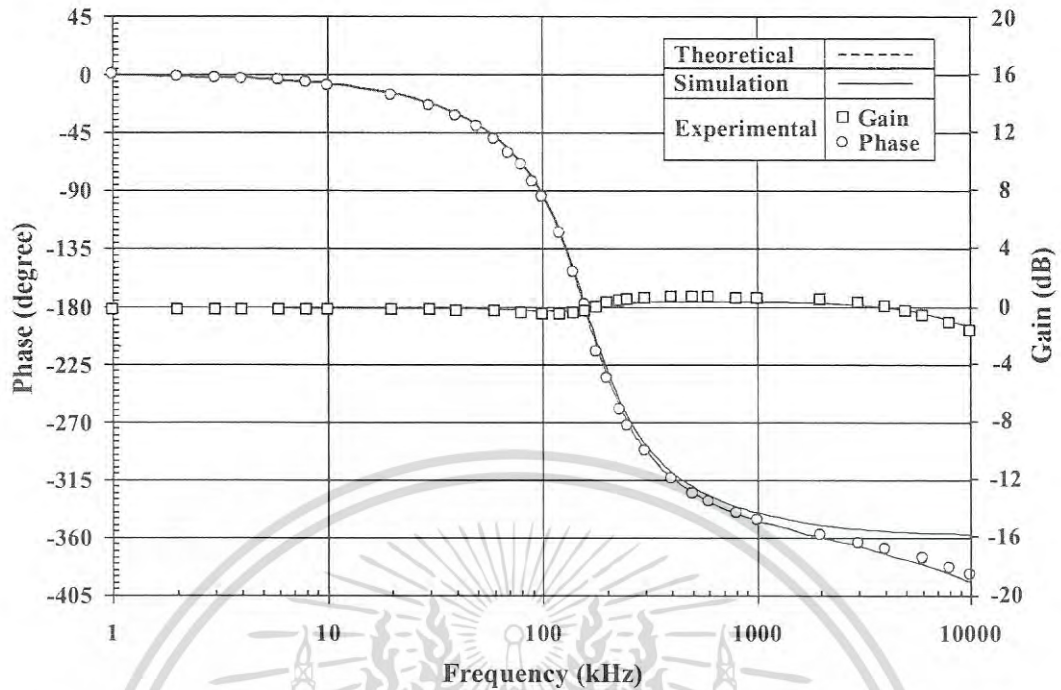
(ข)

รูปที่ 5.13 วงจร DDCCTA ที่สร้างขึ้นจากไอซี AD844 และ LM13600s (ก) ด้านบน (ข) ด้านล่าง

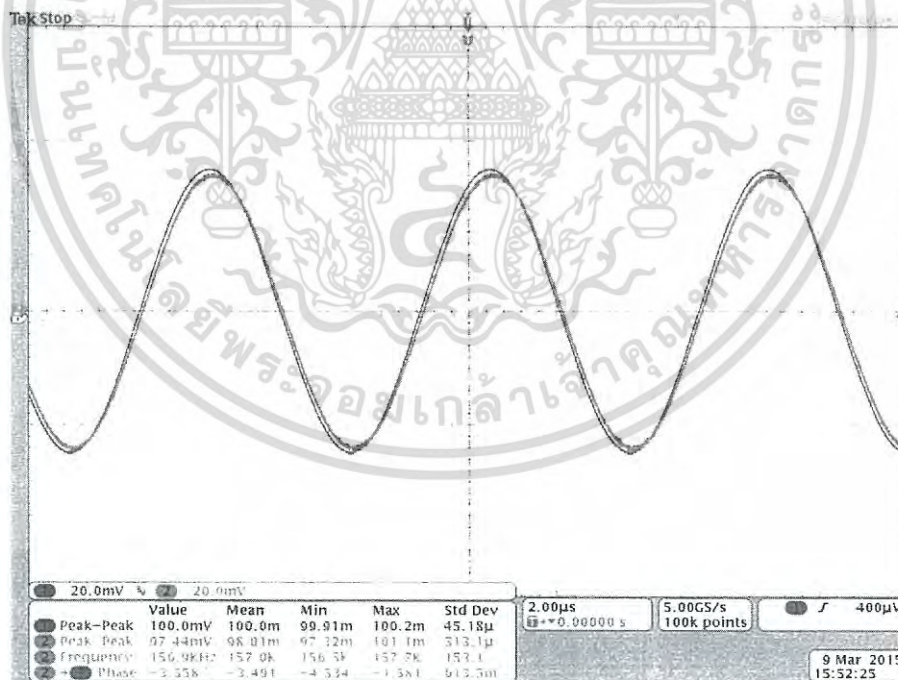


รูปที่ 5.14 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบ LP, BP, HP และ BS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

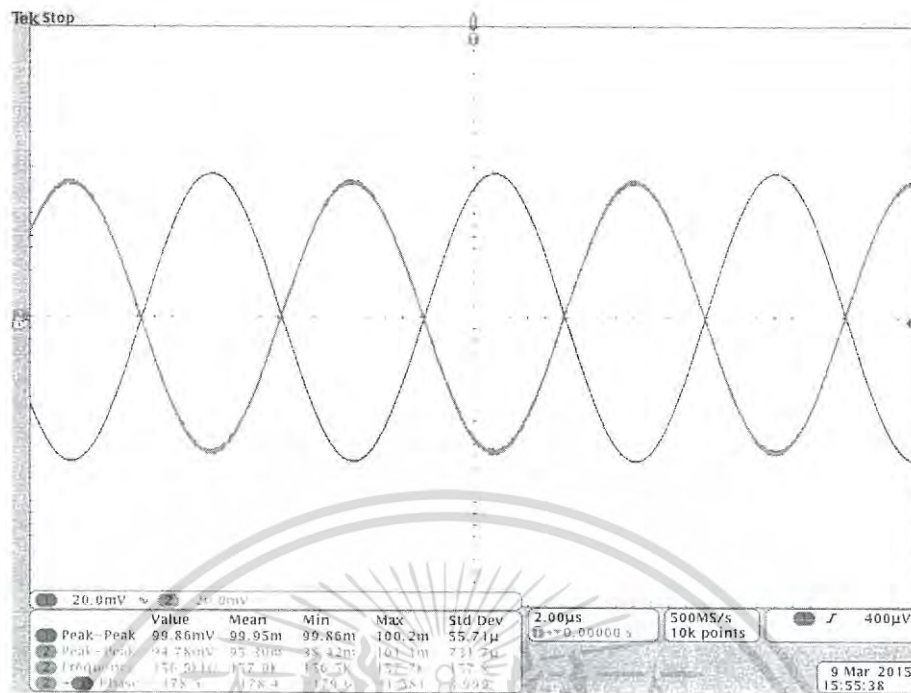


รูปที่ 5.15 ผลตอบสนองทางความถี่ของการกรองแบบ AP จากวงจรจริง



รูปที่ 5.16 รูปคลื่นอินพุตและเอาต์พุตของวงจรกรองแบบ BP สำหรับความถี่ 157 kHz เมื่อสัญญาณอินพุตเป็นรูปคลื่นไซน์มีขนาด 50 mV (peak)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 รูปคลื่นอินพุตและเอาต์พุตของวงจรกรองแบบ AP สำหรับความถี่ 157 kHz เมื่อสัญญาณอินพุตเป็นรูปคลื่นไซน์มีขนาด 50 mV (peak)

เมื่อทำการทดสอบการทำงานของวงจรกรองความถี่ที่นำเสนอในรูปที่ 5.1 ด้วยอุปกรณ์จริง โดยการสร้างวงจร DDCCTA ขึ้นจากวงจรรวมเบอร์ AD844 และ LM13600 แสดงดังรูปที่ 5.12 ซึ่งในรูปที่ 5.13 แสดงการทดลองการต่อวงจรกรองความถี่แบบหลายหน้าที่ด้วยอุปกรณ์จริง ซึ่งกำหนดให้แหล่งจ่ายไฟ $\pm 5V$ กระแสไบอัส $50 \mu A$ สำหรับ I_{set} และ $I_B = 52 \mu A$ ทำให้ค่าความนำถ่ายโอนมีค่าเป็น ($g_m = 1 \text{ mAV}$) ตัวเก็บประจุ $C_1 = C_2 = 1 \text{ nF}$ และตัวต้านทาน $R_1 = R_2 = 1 \text{ k}\Omega$ ซึ่งในการออกแบบให้ความถี่ตัดมีค่าเป็น 159.23 kHz และตัวประกอบคุณภาพเป็น 1 ตามลำดับ

จากรูปที่ 5.14 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบ LP, BP, HP, และ BS โดยมีความถี่ธรรมชาติอยู่ที่ 157 kHz ซึ่งค่าความถี่ธรรมชาติในทางทฤษฎีอยู่ที่ 159.23 kHz ทำให้เกิดความคลาดเคลื่อนจากการคำนวณในสมการที่ (5.10) ประมาณ 1.4% ซึ่งผลการตอบสนองทางความถี่ของวงจรที่ทำการทดลองกับทฤษฎี มีความสอดคล้องกับคุณลักษณะ อัตราขยาย และเฟสของวงจรกรองความถี่แบบ AP แสดงดังรูปที่ 5.15 ซึ่งผลการทดลองเป็นไปตามทฤษฎี เมื่อทำการทดลองจากวงจรจริงด้วยการป้อนสัญญาณอินพุตในรูปคลื่นไซน์ขนาด 50 mV (peak) ที่ความถี่ 157 kHz เพื่อแสดงผลการทำงานของวงจรกรองความถี่ในโดเมนเวลา จากรูปที่ 5.16 แสดงรูปคลื่นอินพุตกับเอาต์พุตของผลตอบสนองของวงจรกรองความถี่แบบ BP ที่พอร์ตเอาต์พุต V_{o2} ซึ่งมีขนาดแอมพลิจูดที่ 50 mV (peak) โดยไม่มีความผิดเพี้ยนของสัญญาณ และในรูปที่ 5.17 แสดงรูปคลื่นอินพุตกับเอาต์พุตของผลตอบสนองของวงจรกรองความถี่แบบ AP ที่พอร์ตเอาต์พุต V_{o3}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 บทสรุป

วงจรรองความถี่อันดับที่สองโหมดแรงดันแบบหลายหน้าที่ ด้วยโครงสร้างแบบสามอินพุต ซี เอชท์พุต ประกอบด้วย DDCCTA จำนวนหนึ่งวงจรต่อกับอุปกรณ์พาสซีฟจำนวนสี่ตัว โดยเหมาะสำหรับสัญญาณแรงดันอินพุต และวงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, BP, BS, HP และ AP ได้ภายในโครงสร้างเดียว อีกทั้งยังสามารถปรับค่าความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการกำหนดค่าอุปกรณ์จากวงจร เช่น การปรับค่ากระแสไบอัสที่ไบอัสให้กับวงจร DDCCTA ซึ่งจากวงจรที่นำเสนอในบทนี้ไม่ต้องอาศัยเงื่อนไขความสัมพันธ์ของอุปกรณ์และการกลับเฟสของสัญญาณแรงดันอินพุต และมีความไวของอุปกรณ์ต่ำ ซึ่งสามารถต่อวงจร DDCC เพิ่มเพื่อปรับเปลี่ยนอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์ โดยจากทฤษฎีและคุณสมบัติของวงจรที่นำเสนอสามารถยืนยันได้โดยการจำลองการทำงานด้วยโปรแกรม PSPICE และผลจากการทดลอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุป

6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองความถี่ใบบคควอดราติกแบบหลายอินพุตสร้าง ขึ้นด้วยวงจร CDTA และวงจร DDCCTA โดยใน ส่วนแรกเป็นวงจรกรองความถี่โหมดกระแสแบบ หลายหน้าที่ที่สร้างขึ้นด้วยวงจร CDTA โดยมีโครงสร้างแบบสี่อินพุต หนึ่งเอาต์พุต ประกอบด้วยวงจร CDTA จำนวนสี่วงจร ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสี่ตัวต่อลงกราวด์คือ ตัวเก็บประจุ จำนวนสอง ตัว และตัวต้านทานที่สร้างขึ้นจากมอสทรานซิสเตอร์จำนวนสองตัว ซึ่งวงจรกรองความถี่ที่นำเสนอใน บทนี้มีคุณสมบัติคือ วงจรสามารถสังเคราะห์ฟังก์ชันการกรองความถี่แบบ LP, BP, BS, HP และ AP โดยปราศจากเงื่อนไขความสมพงษ์กันของอุปกรณ์และการกลับเฟสของสัญญาณอินพุต และวงจร ดังกล่าวได้ต่อตัวเก็บประจุลงกราวด์ ซึ่งลดค่าอิมพีแดนซ์แฝงภายในวงจรทำให้เหมาะสำหรับการนำไป สร้างเป็นวงจรรวม อีกทั้งวงจรสามารถปรับค่าความถี่เชิงมุมธรรมชาติและตัวประกอบคุณภาพได้ด้วยวิธีทางอิเล็กทรอนิกส์ด้วยการปรับค่ากระแสไบอัสที่ไบอัสให้กับวงจร CDTA โดยวงจรมีคุณสมบัติคือมี อินพุตอิมพีแดนซ์ต่ำและเอาต์พุตอิมพีแดนซ์สูง เหมาะสำหรับการนำไปต่อคาสเคสในการทำงานโหมด กระแส นอกจากนี้วงจรที่นำเสนอมีความไวของอุปกรณ์แอกทีฟและพาสซีฟที่ต่ำ แต่ข้อเสียคือ วงจรมี ขนาดใหญ่เนื่องจากใช้อุปกรณ์แอกทีฟจำนวนมากโดยผลการจำลองการทำงานของวงจรที่นำเสนอ เป็นไปตามทฤษฎีและคุณสมบัติของวงจรที่นำเสนอสามารถยืนยันได้จากการจำลองการทำงานด้วย โปรแกรม PSPICE ซึ่งวงจรที่นำเสนอมีคุณสมบัติที่ดีกว่าวงจรที่ผ่านมาแสดงได้ดังตารางที่ 6.1

ในส่วนที่สองคือ วงจรกรองความถี่อันดับสองแบบอินพุตสร้าง ขึ้นด้วยวงจร DDCCTA ด้วย โครงสร้างแบบหลายอินพุต หลายเอาต์พุต ที่นำเสนอทั้งสองวงจรโดยใช้วงจร DDCCTA ต่อร่วมกับ อุปกรณ์พาสซีฟจำนวนสี่ซึ่งเหมาะสมในการเชื่อมต่อขั้วอิน ตัวพุตและขั้วเอาต์พุต ทำให้วงจรสามารถ ให้ผลตอบสนองแรงดันในวงจรกรองได้ครบทุกฟังก์ชันการกรองคือ LP, BP, BS, HP และ AP ใน โครงสร้างเดียว สำหรับการสร้างผลตอบสนองทางแรงดัน โดยวงจรกรองที่ออกแบบไม่มีเงื่อนไขการ สมพงษ์กันของอุปกรณ์ และ ไม่มีสัญญาณแรงดันอินพุตแบบกลับเฟส โดยตัวประกอบคุณภาพ (Q) กับค่าความถี่เชิงมุมธรรมชาติ ของฟังก์ชันการกรองทั้งหมดสามารถควบคุมได้อย่างอิสระต่อกัน โดย ปรับค่าเพียงเล็กน้อย โดยการติดตั้งค่าด้วยอุปกรณ์พาสซีฟและอุปกรณ์แอกทีฟ ซึ่งความไวของอุปกรณ์ พาสซีฟและแอกทีฟของวงจรกรองความถี่ที่ออกแบบต่ำ ซึ่งวงจรที่นำเสนอมีคุณสมบัติที่ดีกว่าวงจรที่ ผ่านมาแสดงได้ดังตารางที่ 6.2

โดยวงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้สามารถปรับเปลี่ยนอินพุตและเอาต์พุตอิมพีแดนซ์ ของวงจรกรองความถี่อันดับสองแบบอินพุตด้วยการเพิ่มวงจร DDCCTA หรือวงจร DDCC โดยผลการ ทำงานของวงจรสามารถยืนยันได้จากโปรแกรม PSPICE และผลการทดสอบการทำงานจากอุปกรณ์ จริง แสดงได้ถึงการทำงานของวงจรกรองความถี่ที่นำเสนอสอดคล้องกับทฤษฎี เหมาะสำหรับการ นำไปสร้างเป็นวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่ที่สร้างขึ้นจากวงจร CDTA

วงจรรอง ความถี่	จำนวนอุปกรณ์ แอคทีฟ	จำนวนอุปกรณ์ พาสซีฟ		สังเคราะห์ฟังก์ชันการ กรองความถี่ตาม มาตรฐานทั้งห้าแบบ	สามารถควบคุม Q โดยไม่ส่ง ผลกระทบต่อ ω_0	ปราศจากเงื่อนไข ความสมพงษ์ ของอุปกรณ์	อุปกรณ์พาส ซีฟทั้งหมด ต่อลงกราวด์	อินพุตอิมพีแดนซ์ต่ำ เอาต์พุตอิมพีแดนซ์สูง
		R	C					
11	2 CDTA	-	2	ไม่ใช่	ใช่	ใช่	ใช่	ใช่
12	1 CDTA	2	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
13	1 CDTA	1	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
14	2 CDTA	1	3	ไม่ใช่	ใช่	ไม่ใช่	ใช่	ใช่
27	1 DO-CDTA	-	2	ใช่	ไม่ใช่	ไม่ใช่	ใช่	ใช่
28	2 CDTA	2	2	ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่
29	3 CDTA	1	2	ใช่	ไม่ใช่	ไม่ใช่	ใช่	ใช่
39	4 CDTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ใช่
วงจรที่รูป ที่ 3.1	4 CDTA	2	2	ใช่	ใช่	ใช่	ใช่	ใช่

ตารางที่ 6.2 ตารางเปรียบเทียบคุณสมบัติของวงจรรองความถี่อันดับที่สองที่สร้างขึ้นจากวงจร DDCCTA

วงจรรอง ความถี่	จำนวนอุปกรณ์ แอคทีฟ	จำนวนอุปกรณ์ พาสซีฟ		สังเคราะห์ฟังก์ชันการ กรองความถี่ตาม มาตรฐานทั้งห้าแบบ	สามารถควบคุม Q โดยไม่ส่ง ผลกระทบต่อ ω_0	ปราศจากเงื่อนไข ความสมพงษ์ ของอุปกรณ์	อุปกรณ์พาส ซีฟทั้งหมด ต่อลงกราวด์	อินพุตอิมพีแดนซ์สูง เอาต์พุตอิมพีแดนซ์ต่ำ
		R	C					
52	1 DDCCTA	1	2	ไม่ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
54	2 DDCCTA	2	2	ใช่	ไม่ใช่	ไม่ใช่	ใช่	ไม่ใช่
55	3 DDCCTA	-	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
56	2 DDCCTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
57	2 DDCCTA	2	2	ใช่	ไม่ใช่	ใช่	ใช่	ไม่ใช่
59	2 DDCCTA	2	2	ใช่	ใช่	ใช่	ไม่ใช่	ไม่ใช่
60	1 DDCCTA	1	2	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่	ไม่ใช่
วงจรที่รูป ที่ 5.1	1 DDCCTA	2	2	ใช่	ใช่	ใช่	ไม่ใช่	ไม่ใช่
วงจรที่รูป ที่ 5.2	1 DDCCTA 1 DDCC	2	2	ใช่	ใช่	ใช่	ใช่	ใช่

6.2 ข้อเสนอแนะ

ในการออกแบบวงจรรวมจากมอสทรานซิสเตอร์ที่สร้างเป็นอุปกรณ์แอกทีฟ เช่น วงจร DDCC วงจร OTA วงจร CDTA และวงจร DDCCTA เป็นต้น จากอุปกรณ์จริงที่ได้ออกแบบเป็นวงจรอิเล็กทรอนิกส์ เพื่อเป็นการเปรียบเทียบประสิทธิภาพและสมรรถนะการทำงานของวงจรที่สร้างขึ้นจากการออกแบบเทียบกับผลที่ได้จากการจำลองด้วยโปรแกรม PSPICE โดยวงจรรองความถี่อันดับสองที่สร้างขึ้นจากวงจร CDTA ที่นำเสนอในวิทยานิพนธ์ควรพัฒนาให้ลดจำนวนอุปกรณ์แอกทีฟและพาสซีฟลง เพื่อให้ขนาดของวงจรลดลงให้เหมาะสมต่อการนำไปสร้างเป็นวงจรรวมที่มีขนาดเล็กลง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] W. H. Hayt, J. E. Kemmerly, S. M. Durbin, **Engineering Circuit Analysis**, New York, McGraw-Hill, 2002.
- [2] M. N. O. Sadiku, S. M. Musa and C. K. Alexander. **Applied Circuit Analysis**. New York : McGraw-Hill, 2012.
- [3] R. Raut and M. N. S. Swamy. **Modern Analog Filter Analysis and Design : A Practical Approach**. New York : John Wiley & Sons, 2010.
- [4] A. S. Sedra and K. C. Smith. **Microelectronic Circuits**, New York, Oxford, 2004.
- [5] G. Daryanani. **Principles of active network synthesis and design**, New York, John Wiley & Sons, 1976.
- [6] M. T. Abuelmatti, A. Bentrchia and S. M. AlShahrani. "A novel mixed-mode current conveyor based filter.", **Int. J. Electron. Commun.**, vol.91, 2004. Pp. 191-197.
- [7] S. Minaei, E. Yuce and O. Cicekoglu. "ICCI-based voltage-mode filter with single input and six outputs employing grounded capacitors." **Circuits Syst. Signal Process.**, vol. 25, 2006. Pp. 559-566.
- [8] M. T. Abuelmatti and N. A. Tasadduq. "A novel single-input multiple-output current-mode current-controlled universal filter." **Microelectron.J.**, vol. 29, 1998. Pp. 901-905.
- [9] H.-P. Chen, "Single FDCCII-based universal voltage-mode filter," **Int. J. Electron. Commun.**, vol. 62, 2008, Pp. 320-323.
- [10] C.-N. Lee, C.-M. Chang, "Single FDCCII-based mixed-mode biquad filter with eight outputs," **Int. J. Electron. Commun.**, vol. 63, 2009, Pp. 736-742.
- [11] A. U. Keskin, D. Biolkova, E. Hancioglu, V. Biolkova, "Current-mode KHN filter employing current differencing transconductance amplifiers," **Int. J. Electron. Commun.**, vol. 60, 2006, Pp. 443-446.
- [12] D. Prasada, D. R. Bhaskar, A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier," **Int. J. Electron. Commun.**, vol. 63, 2009, Pp. 497-501.
- [13] D. Biolkova, V. Biolkova, Z. Kolka, "Current-mode biquad employing single CDTA," **Indian Journal of Pure & Applied Physics**, vol. 47, 2009, Pp. 535-537.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] Y. Li, "A modified CDTA (MCDTA) and its applications: desinging current-mode sixth-order elliptic band-pass filter," **Circuits, Systems and Signal Processing**, vol. 30, 2011, Pp. 1383-1390.
- [15] A. M. Soliman, "Current mode universal filter," **Electronics Letters**, vol. 31, 1995, Pp. 1420-1421.
- [16] D. Birolek, "CDTA-building block for current-mode analog signal processing," **Proc. Int. Euro. Conf. Circuit Theory and Design (ECCTD)**, Poland, vol. 3, 2003, Pp. 397-400.
- [17] M. Kumngern. "Multiple-input single-output current-mode universal filter using translinear current conveyors." **Int. J. Electr. Electron. Eng.**, Res. 3, 2011. Pp. 162-170.
- [18] J.Koton,N.Herencsar and K.Vrba. "KHN-equivalent voltage-mode filters using universal voltage conveyors." **Int. J. Electron. Commun.**, vol. 65, 2011. Pp. 154-160.
- [19] H. P. Chen and K. H. Wu. "Voltage-mode DDCC-based multifunction filters." **J. Circuits, Syst. Comput.**, vol. 16, 2007. Pp. 93-104.
- [20] W.-Y. Chiu and J.-W. Horng. "Voltage-mode biquadratic filters with one input and five outputs using DDCCs." **Indian J. Eng. Mater. Sci.**, vol. 18, 2011. Pp. 97-101.
- [21] W.-Y. Chiu and J.-W. Horng. "High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs." **IEEE Trans. Circuits Syst.**, vol. 54, 2007. Pp. 649-652.
- [22] M. Kumngern and S. Junnapiya. "Voltage-mode universal filter with three-input single- output using DDCCs." **Proc. 2010 Int. Conf. Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Thailand, 2010.** Pp. 746-749.
- [23] I. Myderrizi, S. Minaei and E. Yuce. "An electronically fine-tunable multi-input-single-output universal filter." **IEEE Trans. Circuits Syst. II.**, vol. 58, 2011. Pp. 356-360.
- [24] M. Kumngern, B. Knobnob and K. Dejhan. "Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs." **Int. J. Electron. Commun.**, vol. 64, 2010. Pp. 934-939.

- [25] M. Kumngern, P. Suwanjan and K. Dejhan. "Electronically tunable voltage-mode universal filter with single-input five-output using simple OTAs." *Int.J.Electron.*, vol. 100, 2013. Pp. 1118-1133.
- [26] N. Herencsar, O. Cicekoglul, R. Sotner, J. Koton and K. Vrba. "New resistorless tunable voltage-mode universal filter using single VDIBA." *Analog Integr. Circuits Signal Process.*, vol. 76, 2013. Pp. 251-1260.
- [27] W. Tangsrirat, T. Dumawipata, W. Surakamponorn, "Multiple- input single-output current-mode multifunction filter using current differencing transconductance amplifiers," *Int. J. Electron. Commun.* vol. 61, 2007, Pp. 209-214.
- [28] N. A. Shah, M. Quadri, S. Z. Iqbal, "CDTA based universal transadmittance filter," *Analog Integrated Circuits and Signal Processing*, vol. 52, 2007, Pp. 65-69.
- [29] N. A. Shah, M. Quadri, S. Z. Iqbal, "Three input one output current mode cascadable universal filter employing CDTAs," *J. Active and Passive Electronic Devices*, vol. 4, 2010, Pp. 347-352.
- [30] J. W. Horng, "High input impedance voltage-mode universal biquadratic filters with three inputs using plus-type CCIs," *Int. J.ournal of Electronics*, vol. 91, 2004, Pp. 465-475.
- [31] B. Wilson, "Recent developments in conveyor and current-mode circuits, *IEE Proceeding, Parr G*, vol. 137, 1990, Pp. 63-77.
- [32] H.-P. Chen. "Single FDCCII-based voltage-mode filters." *Int. J. Electron. Commun.*, vol. 63, 2009. Pp. 713-719.
- [33] J.-W. Horng, "High input impedance voltage-mode universal biquadratic filter with three inputs using DDCCs," *Circuits, Systems and Signal Processing*," vol. 27, 2008, Pp. 553-562.
- [34] M. Kumngern, F. Khateb, K. Dejhan, P. Phasukkit and S. Tungjitusolmun. "Voltage- mode multifunction biquadratic filters using new ultra-low-power differential difference current conveyors." *Radioengineering.*, vol. 22, 2013. Pp. 448-457.
- [35] H.-P. Chen. "Versatile universal voltage-mode filter employing DDCCs." *Int. J. Electron. Commun.*, vol. 63, 2009. Pp. 78-82.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [36] M. A. Ibrahim, S. Minaei, H. Kuntman, "A 22.5 MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements," *Int. J. Electron. Commun.*, vol. 59, 2005, Pp. 311-318.
- [37] P.Prommee and T.Pattanatadapong. "Realization of tunable pole-Q current-mode OTA-C universal filter." *Circuits Syst. Signal Process.*, vol. 29, 2010. Pp. 913-924.
- [38] M. Siripruchyanun, W. Jaikla, "Electronically controllable current-mode universal biquad filter using single DO-CCCDTA," *Circuits, Systems and Signal Processing*, vol. 27, 2008, Pp. 113-122.
- [39] W. Tangsrirat, T. Pukkalanun, "Structural generation of two integrator loop filters using CDTAs and grounded capacitors," *International Journal of Circuit Theory and Applications*, vol. 39, 2011, Pp. 31-45.
- [40] H.-P. Chen. "Versatile multifunction universal voltage-mode biquadratic filter." *Int. J. Electron. Commun.*, vol. 64, 2010. Pp. 983-987.
- [41] R. Senani, D.R. Bhaskar and A. K. Singh. *Current Conveyors*. New York : Springer, Inc. 2015.
- [42] C. Acar, S. Ozoruz. "A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters." *Microelectronics J.*, vol. 88, 2006. Pp. 353-356.
- [43] A.U.Keskin. "Multi-function biquad using single CDBA." *Electr.Eng.*, vol. 30, 1999. Pp. 157-160.
- [44] Chiu W, L. Si, T. HW, Chen JJ. "CMOS differential difference current conveyors and their applications." *IEE Proc Circ Devices Syst.*, vol. 143, 1996. Pp. 91-96.
- [45] H.P. Chen. "Versatile voltage-mode DDCC-based universal filter." *J. Circuits, Syst. Comput.*, vol. 20, 2011. Pp. 681-696.
- [46] J.-W.Horng, T.-Y.Chiu and Z.-Y.Jhao. "Tunable versatile high input impedance voltage-mode universal biquadratic filter based in DDCCs." *Radioengineering.*, vol. 21, 2012. Pp. 1260-1268.
- [47] K.Kaewdang, W. Surakamponorn. "On the realization of electronically current-tunable CMOS OTA," *Int.J.Electron.*, vol. AEU-61, 2007, Pp. 300-306.
- [48] E. S. Sinencio, R. L. Geiger, H. N. Lozano, "Generation of continuous-time two

- integrator loop OTA filter structure,” *IEEE Transactions on Circuits and Systems*, vol. CAS-35, 1988, Pp. 936-949.
- [49] W. Tangsrirat, W. Surakamponorn, “Systematic realization of cascadable current-mode filters using current differencing transconductance amplifiers,” *Frequenz*, vol. 60, 2006, Pp. 241-245.
- [50] A. Uygur, H. Kuntman, “Seventh-order elliptic video with 0.1 dB pass band ripple employing CMOS CDTAs,” *Int. J. Electron. Commun.*, vol. 61, 2007, Pp. 320-328.
- [51] C. Acar, S. Ozoguz, “A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters,” *Microelectron. J.*, vol. 30, 1999, Pp. 157-160.
- [52] N. Pandey and S. K. Paul. “Differential difference current conveyor transconductance amplifier.” A new analog building block for signal processing., *J.Electr.Compu.Eng.*2011., 2011. 10 pp. DOI: <http://dx.doi.org/10.1155/2011/361384>.
- [53] O. Channumsin, T. Pukkalanun and W. Tangsrirat. “Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components.” *Microelectron. J.*, vol. 43, 2012. Pp. 555-561.
- [54] W. Tangsrirat, O. Channumsin and T. Pukkalanun. “Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter.” *Microelectron. J.*, vol. 44, 2013. Pp. 210-215.
- [55] W. Tangsrirat, O. Channumsin and T. Pukkalanun. Universal voltage-mode SIMO-type biquad with fully MOS-C realization using DDCCTAs.” *Indian J. Pure Appl. Phys.*, vol. 51, 2013. Pp. 516-522.
- [56] H.-P. Chen. “High-input impedance voltage-mode differential difference current conveyor transconductance amplifier-based universal filter with single input and five outputs using only grounded passive components.” *IET Circuits Devices Syst.*, vol. 8, 2014. Pp. 280–290.
- [57] H.-P. Chen, S.-F. Wang, W.-Y. Huang and M.-Y. Hsieh. “Voltage-mode universal biquadratic filter with one input and five outputs using two DDCCTAs.” *IEICE Electron. Express.*, vol. 11, 2015. Pp. 1-9.

- [58] J. Koton, N. Herencsar, K. Vrba and B. Metin. "Voltage-mode multifunction filter with mutually independent Q and ω_0 control feature using VDDAs." **Analog Integr.Circuits Signal Process.**, vol. 81, 2014. Pp. 53-60.
- [59] W. Tangsrirat and O. Channumsin. "High-input impedance voltage-mode multifunction Filter using a single DDCCTA and grounded passive elements." **Radioengineering.**, vol. 20, 2011. Pp. 905-910.
- [60] O. Channumsin and W. Tangsrirat. "Single-input four-output voltage-mode universal filter using single DDCCTA." **Microelectron. J.**, vol. 44, 2013. Pp. 1084-1091.
- [61] W. Chiu, S. I. Liu, H. W. Tsao and J. J. Chen. "CMOS differential difference current conveyor and their applications." **IEE Proc. Circuits Devices Syst.**, vol. 143, 1996. Pp. 91-96.
- [62] P. Lamun, P. Phatsornsiri, M. Kumngern and U. Torteanchai. "Voltage-mode universal biquadratic filter using a single DDCCTA." **Proc. 2013 Int. Computer. Sci. Eng. Conf. (ICSEC), Thailand, 2013.** pp. 371-374.
- [63] M.Bhusan and R.W.Newcomb. "Grounding of capacitors in integrated circuits." **Electron. Letter**, vol. 3, 1967. Pp. 148-149.
- [64] Z. Wang, "2-MOSFET transistor with extremely low distortion for output reaching supply voltage," **Electronics Letters**, vol. 26, 1990, Pp. 951-952.
- [65] M. T. Abuelma'atti, A. A. Al-Ghumaiz and M. H. Khan. "Novel CCI-based single-element controlled oscillators employing grounded resistors and capacitors." **Int.J.Electron.**, vol.78, 1995. Pp. 1107-1112.
- [66] S. Mahmoud. "Digitally controlled balanced output transconductor and application to variable gain amplifier and GM-C filter on field programmable analog array." **J. Circuits Syst. Comput.**, vol. 14, 2005. Pp. 667-684.
- [67] T.Tsukutani, M.Higashimura, N.Takahashi, Y.Sumi and Y.Fukui. "Novel voltage-mode biquad without external passive elements." **Int. J. Electron.**, vol.88, 2001. Pp. 13-22.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้ในการจำลองการทำงาน ด้วยโปรแกรม PSPICE

ก.1 พารามิเตอร์ของมอสทรานซิสเตอร์ 250 nm TSMC

MODEL CMOSN

```
.MODEL CMOSN NMOS (LEVEL= 49 VERSION= 3.1 TNOM= 27 TOX= 5.8E-9 XJ= 1E-7
NCH= 2.3549E17 VTH0= 0.3907535 K1= 0.4376003 K2= 8.265151E-3 K3= 4.214601E-3
K3B= -3.7220937 W0= 2.517345E-6 NLX= 2.310668E-7 DVT0W= 0 DVT1W= 0 DVT2W=
0 DVT0= 0.2411602 DVT1= 0.3707226 DVT2= -0.5 U0= 316.5922683 UA= -9.89493E-10
UB= 2.154013E-18 UC = 2.474632E-11 VSAT= 1.254499E5 A0= 1.2735648 AGS=
0.2428704 B0= 2.579719E-8 B1= -1E-7 KETA= 4.87168E-4 A1= 0 A2= 0.5196633
RDSW= 120 PRWG= 0.5 PRWB = -0.2 WR= 1 WINT= 2.357855E-8 LINT= 1.210018E-9
XL= 3E-8 XW= 0 DWG= 2.292632E-9 DWB= -9.94921E-10 VOFF= -0.1039771
NFACTOR= 1.3905578 CIT= 0 CDSC= 2.4E-4 CDSCD= 0 CDSCB= 0 ETA0= 3.894977E-3
ETAB= 7.800632E-4 DSUB= 0.0307944 PCLM= 1.7312397 PDIBLC1= 0.999135 PDIBLC2
= 4.850036E-3 PDIBLCB = -0.0866866 DROUT= 0.8612131 PSCBE1= 7.995844E10
PSCBE2= 1.457011E-8 PVAG= 0.0099984 DELTA= 0.01 RSH= 5 MOBMOD = 1 PRT= 0
UTE= -1.5 KT1= -0.11 KT1L= 0 KT2= 0.022 UA1= 4.31E-9 UB1= -7.61E-18 UC1= -5.6E-
11 AT= 3.3E4 WL= 0 WLN= 1 WW= -1.22182E-16 WWN= 1.2127 WWL= 0 LL= 0 LLN=
1 LW= 0 LWN= 1 LWL= 0 CAPMOD= 2 XPART= 0.4 CGDO= 3.11E-10 CGSO= 3.11E-10
CGBO= 1E-12 CJ= 1.741905E-3 PB= 0.9876681 MJ= 0.4679558 CJSW= 3.653429E-10
PBSW= 0.99 MJSW= 0.2943558 CF= 0 PVTH0= -0.01 PRDSW= 0 PK2= 2.589681E-3
WKETA= -1.866069E-3 LKETA = -0.0166961)
```

MODEL CMOSP

```
.MODEL CMOSP PMOS (LEVEL= 49 VERSION = 3.1 TNOM= 27 TOX= 5.8E-9 XJ= 1E-7
NCH= 4.1589E17 VTH0= -0.583228 K1= 0.5999865 K2= 6.150203E-3 K3= 0 K3B=
3.6314079 W0= 1E-6 NLX= 1E-9 DVT0W= 0 DVT1W= 0 DVT2W= 0 DVT0= 2.8749516
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DVT1= 0.7488605 DVT2= -0.0917408 U0= 136.076212 UA= 2.023988E-9 UB= 1E-21
 UC= -9.26638E-11 VSAT= 2E5 A0 = 0.951197 AGS= 0.20963 B0= 1.345599E-6 B1= 5E-6
 KETA= 0.0114727 A1= 3.851541E-4 A2= 0.614676 RDSW= 1.496983E3 PRWG= -
 0.0440632 PRWB= -0.2945454 WR= 1 WINT= 7.879211E-9 LINT= 2.894523E-8 XL= 3E-8
 XW= 0 DWG= -1.112097E-8 DWB= 9.815716E-9 VOFF= -0.1204623 NFACTOR=
 1.2259401 CIT= 0 CDSC= 2.4E-4 CDSCD= 0 CDSCB= 0 ETA0= 0.3325261 ETAB= -
 0.0623452 DSUB= 0.9206875 PCLM= 0.833903 PDIBLC1 = 9.948506E-4 PDIBLC2=
 0.0191187 PDIBLCB= -1E-3 DROUT= 0.9938581 PSCBE1= 2.887413E10 PSCBE2=
 8.325891E-9 PVAG= 0.8478443 DELTA= 0.01 RSH= 3.6 MOBMOD= 1 PRT= 0 UTE= -1.5
 KT1= -0.11 KT1L= 0 KT2= 0.022 UA1= 4.31E-9 UB1= -7.61E-18 UC1= -5.6E-11 AT=
 3.3E4 WL= 0 WLN= 1 WW= 0 WWN= 1 WWL= 0 LL= 0 LLN= 1 LW= 0 LWN= 1 LWL= 0
 CAPMOD = 2 XPART= 0.4 CGDO= 2.68E-10 CGSO= 2.68E-10 CGBO= 1E-12 CJ=
 1.864957E-3 PB= 0.976468 MJ= 0.4614408 CJSW= 3.118281E-10 PBSW= 0.6870843
 MJSW= 0.3021929 CF= 0 PVTH0= 6.397941E-3 PRDSW = 30.410214 +PK2=
 2.100359E-3 WKETA= 5.428923E-3 LKETA= (-0.0111599)

ก.2 พารามิเตอร์ของมอสทรานซิสเตอร์ 500 nm MIETEC

MODEL NMOS

.MODEL CMOSN NMOS (LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62 JS=1.08E-6
 +XJ=0.15U RS=417 RSH=2.73 LD=0.04U VMAX=130E3 NSUB=1.71E17 +PB=0.761
 ETA=0.00 THETA=0.129 PHI=0.905 GAMMA=0.69 KAPPA=0.10 +CJ=76.4E-5 MJ=0.357
 CJSW=5.68E-10 MJSW=0.302 CGSO=1.38E-10 +CGDO=1.38E-10 CGBO=3.45E-10
 KF=3.07E-28 AF=1 WD=0.11U DELTA=0.42 +NFS=1.2E11 DELL=0U LIS=2 ISTMP=10
 TT=0.1E-9)

MODEL PMOS

.MODEL CMOSP PMOS (LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 JS=0.38E-6
 +XJ=0.10U RS=886 RSH=1.81 LD=0.03U VMAX=113E3 NSUB=2.08E17 +PB=0.911
 ETA=00 THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2 +CJ=85E-5 MJ=0.429
 CJSW=4.67E-10 MJSW=0.631 CGSO=1.38E-10 +CGDO=1.38E-10 CGBO=3.45E-10
 KF=1.08E-29 AF=1 WD=0.14U +DELTA=0.81 NFS=0.52E11 DELL=0U LIS=2 ISTMP=10
 TT=0.1E-9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

บทความวิจัยที่ได้รับการตีพิมพ์

1. P. Phatsornsiri, P. Lamun, P. Phasukkit, M. Kumngern and K. Dejhan, "Electronically Tunable Current-mode Quadrature Oscillator Using Only Plus-type CCDVCCs," In Proc. of the 2nd International Symposium on Technology for Sustainability (ISTS 2012), Bangkok, Thailand, Nov. 21-24, 2012, pp. 241-244.
2. M. Kumngern, P. Phatsornsiri and K. Dejhan, "Four Inputs and One Output Current-Mode Multifunction filter Using CDTAs and All-Grounded Passive Components," In Proc. Of the 2012 10th International Conference on ICT and Knowledge Engineering (ICT & Knowledge Engineering 2012), Bangkok, Thailand, 2012, pp. 52-62.
3. P. Lamun, P. Phatsornsiri, M. Kumngern and U. Torteanchai, "Voltage-mode Universal Biquadratic Filter Using a Single DDCCTA," In Proc. of the 2013 International Computer Science and Engineering Conference (ICSEC 2013), Bangkok, Thailand, 2013, pp. 371-374.
4. M. Kumngern, P. Phatsornsiri and K. Dejhan, "Tunable Sinusoidal Oscillator Using CCII with Variable Current Gain," In Proc. Of the 2013 11th International Conference on ICT and Knowledge Engineering (ICT & Knowledge Engineering 2013), Bangkok, Thailand, 2013, pp. 73-76.
5. P. Phatsornsiri, P. Lamun and K. M. Kumngern, "Current-mode Third-order Quadrature Oscillator Using VDTAs and Grounded Capacitors," In Proc. of the 4th Information and Communication Technology, Electronic and Electrical Engineering (JICTEE2014), Chiang Rai, Thailand, March. 5-8, 2014, pp. 283-286.
6. P. Phatsornsiri, P. Lamun and K. M. Kumngern, "Realization of Electronically Tunable Current-mode Quadrature Oscillator using CFTAs," In Proc. of the 2015 International Symposium on Multimedia and Communication Technology (ISMAC 2015), Ayutthaya, Thailand, 2015, pp. 42-45.
7. P. Phatsornsiri, P. Lamun and K. M. Kumngern, "A Voltage-Mode Universal Biquadratic Filter Using DDCCTA", *Journal of Circuits, System and Computers*, Vol. 25, No. 5, Article ID 1650034, 24 pages, DOI: 10.1142/S0218126616500341, 2016.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Conference Guide & Abstract Book

2012

International Symposium on Technology for Sustainability

November 21 - 24, 2012

The Swissotel Le Concorde, Bangkok, Thailand

Co-organized by:

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Thailand

Institute of National Colleges of Technology, Japan

Nagaoka University of Technology, Japan

Toyohashi University of Technology, Japan



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronically Tunable Current-mode Quadrature Oscillator Using Only Plus-type CCDVCCs

Punnavech Phatsornsiri, Panit Lamun, Pattarapong Phasukkit, Montree Kumngern, Kobchai Dejhan

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

E-mails: hai_sg85@hotmail.com, panitlamun@hotmail.com

Abstract—In this paper, a new electronically tunable current-mode quadrature oscillator circuit using current-controlled differential voltage current conveyors (CCDVCCs) as active elements is presented. The proposed circuit consists of two plus-type CCDVCCs, two grounded capacitors and one grounded resistor. The circuit is beneficial to monolithic integrated circuit implementation by the use of only grounded passive elements. The oscillator provides two current outputs with 90° phase difference from high output impedance terminals and enjoys low sensitivity figures. The oscillation condition and the oscillation frequency are orthogonally controllable. Moreover, the oscillation frequency can be electronically controlled by adjusting the bias current of CCDVCC. Effects of the non-idealities of the developed circuit are also discussed. PSPICE simulations using $0.25 \mu\text{m}$ TSMC CMOS technology parameters and experimental results verifying the workability of the proposed oscillator are included.

Keywords—Quadrature oscillator; current-mode; current-controlled differential voltage current conveyor

I. INTRODUCTION

Quadrature oscillator typically provides two sinusoids with 90° phase difference for a variety of applications, such as in telecommunication, signal processing and power controllers. For this reason, a number of quadrature oscillators have been realized by using different active components and different techniques [1]–[12]. In [1]–[3], many quadrature oscillators have been reported which use a second-generation current conveyor (CCII) as an active component. The transconductance-based quadrature oscillator circuits proposed in [4]–[6] possess electronic tunability. Most of the reported circuits suffer from the use of more passive and active components and they also generate only in voltage-mode.

Recently, the current-mode approach to signal processing has offered elegant solutions for analog circuit problems [13]. The main advantages of this operation mode are wide bandwidth, high slew rate and low power consumption. Several current-mode quadrature oscillators based on different design technique are available in the literature [7]–[12]. In [7] and [8], two quadrature oscillator circuits have been proposed which use a current follower and a four-terminal floating nullor (FTFN) as an active component. However, the reported circuits employ floating passive components which are not ideal for integration. In addition, they require additional current followers to avoid the loading problem. The current-mode oscillator can easily be cascaded to the next stage

without additional current buffer, because it has the property of high impedance outputs [14]. Although, the current differencing transconductance amplifier (CDTA)-based quadrature oscillator circuit proposed in [9] provides high output impedance, the circuit uses floating capacitors. The oscillator is attractive for monolithic integrated circuit implementation, if it employs only grounded capacitors [15]. Differential voltage current conveyor (DVCC)-based quadrature oscillators using grounded passive components have been reported in [10]–[11]. In [10], the circuits provide both voltage and current outputs, but employ three DVCCs and three capacitors, so they are not oscillators with low component count. The realization in [11] employs two DVCCs and two grounded capacitors while the realization in [12] employs a single fully-differential second-generation current conveyor (FDCCII) and two grounded capacitors. However, its oscillation condition is controlled by adjusting the values of two external passive capacitors, which are not well controlled. For integrated circuits, controlling the circuit parameters electronically is much easier to realize than changing the value of the capacitors.

This paper proposes a new electronically tunable current-mode quadrature oscillator circuit using two plus-type CCDVCCs and three grounded passive elements, which is suitable for integrated circuit implementation. The oscillation condition and the oscillation frequency of the proposed configuration can be orthogonally controlled. The oscillator circuit exhibits low active and passive sensitivities. PSPICE simulation and experimental results are used to verify the performance of the proposed circuit.

II. CIRCUIT DESCRIPTIONS

A. Basic concept of CCDVCC

The CCDVCC has been proposed in [16]. It is the circuit that has a finite input resistance R_X at X terminal. The intrinsic resistance (R_X) can be controlled by the bias current I_B . This particular property makes it different from the conventional differential difference current conveyor (DDCC) or DVCC [17]–[18]. It is well-known that the CCDVCC and CCDDCC [19] have been designed with the same technique. Hence, by connecting Y_3 of CCDDCC to ground, CCDVCC can be achieved. The schematic symbol and equivalent circuit of the CCDVCC are illustrated in Fig. 1(a) and (b), respectively.

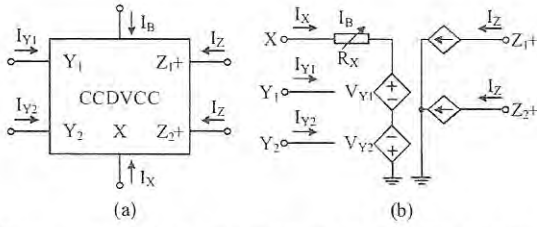


Figure 1. CCDVCC: (a) schematic symbol; (b) equivalent circuit.

The relationships between port currents and voltages of the CCDVCC is defined by following hybrid matrix equation

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_Z \end{bmatrix} \quad (1)$$

Where $R_X = 1/\sqrt{8\mu C_{ox}(W/L)I_B}$ [16]; I_B is an external bias current and μ , C_{ox} , W and L are, respectively; surface mobility, oxide capacitance, channel width and length of MOS transistors (M_{19} and M_{20}). A possible CMOS-based CCDVCC circuit realization is given in Fig. 2.

B. Proposed quadrature oscillator circuit

The proposed current-mode quadrature oscillator circuit using two plus-type CCDVCCs, two grounded capacitors, and one grounded resistor is shown in Fig. 3. The characteristic equation of the circuit can be expressed as

$$s^2 C_1 C_2 R_{X1} R_{X2} R_3 + s C_2 R_{X2} (R_{X1} - R_3) + R_3 = 0. \quad (2)$$

The oscillation condition and the oscillation frequency are obtained as

$$R_3 \geq R_{X1} \quad (3)$$

$$\omega_o = \frac{1}{\sqrt{C_1 C_2 R_{X1} R_{X2}}}. \quad (4)$$

Where R_{X1} and R_{X2} are parasitic resistances at X terminals of $CCDVCC_1$ and $CCDVCC_2$, respectively. From (3) and (4), the oscillation condition can be adjusted by varying grounded resistor R_3 , and the oscillation frequency can be tuned by varying R_{X2} through the bias current I_{B2} without disturbing the oscillation condition. This means that the oscillation condition and the oscillation frequency are orthogonally controllable. Moreover, it implies that the proposed circuit can work as a current control oscillator. From Fig. 3, under sinusoidal steady state, the current transfer function between two outputs I_{o1} and I_{o2} can be expressed as

$$\frac{I_{o1}(j\omega_o)}{I_{o2}(j\omega_o)} = \omega_o C_2 R_{X2} e^{j90^\circ} \quad (5)$$

From (5), it is evident that the phase difference is 90° . This guarantees that the proposed oscillator circuit provides the quadrature output currents. The active and passive sensitivities of the parameter ω_o derived from (4) are

$$S_{R_{X1}}^{\omega_o} = S_{R_{X2}}^{\omega_o} = S_{C_1}^{\omega_o} = S_{C_2}^{\omega_o} = -0.5. \quad (6)$$

It is clear from (6) that all the incremental parametric sensitivities for ω_o are within 0.5 in magnitude. Thus, the proposed circuit exhibits good sensitivity performance. It should be noted that the proposed quadrature oscillator employs only plus-type CCDVCCs. In general, the positive current conveyor configuration is simpler than the negative current conveyor counterpart. From the point of ease of the oscillator implementations, it is preferable to realize the current conveyor-based active oscillator by using only plus-type current conveyor [20]. However, if a four-phase quadrature output current of proposed oscillator is required, it needs plus/minus current conveyors. For this proposed, the circuit provides two current outputs with a phase shift of 90° . All the current outputs are at high impedance Z terminals of CCDVCCs, thus ensuring insensitive current outputs that require no additional current followers to be sensed.

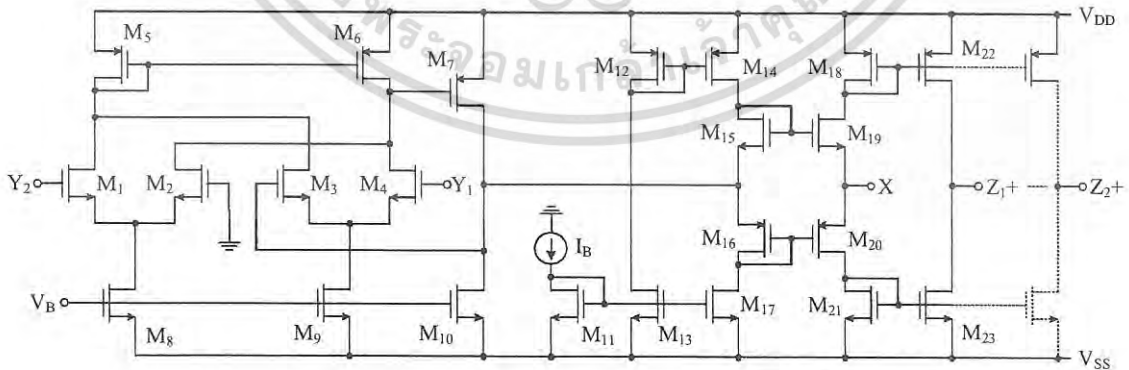


Figure 2. CMOS current-controlled differential voltage current conveyor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

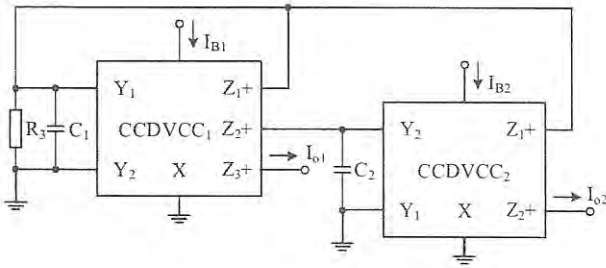


Figure 3. Electronically tunable current-mode quadrature oscillator.

III. NON-IDEAL ANALYSIS

Taking the non-idealities of the CCDVCC into account, the relationship of the port voltages and currents can be rewritten as

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & \alpha_{k1} & -\alpha_{k2} & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \beta_k & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_Z \end{bmatrix} \quad (7)$$

Where α_{k1} and α_{k2} are the non-ideal voltage transfer gains from Y_1 and Y_2 terminals to X terminal of the k -th CCDVCC, respectively and β_k is the non-ideal current transfer gain from X terminal to Z terminal of the k -th CCDVCC. All these gains slightly differ from their ideal values of unity by voltage- and current-tracking errors.

Re-analysis the proposed oscillator of Fig. 3 by taking the non-idealities of the CCDVCC yields the following modified characteristic equation

$$s^2 C_1 C_2 R_{X1} R_{X2} R_3 + s C_2 R_{X2} (R_{X1} - \alpha_{11} \beta_1^2 R_3) + \alpha_{11} \alpha_{22} \beta_1 \beta_2 R_3 = 0 \quad (8)$$

In this case, the oscillation condition and the oscillation frequency are changed as

$$\alpha_{11} \beta_1^2 R_3 \geq R_{X1}, \quad (9)$$

$$\omega_o = \sqrt{\frac{\alpha_{11} \alpha_{22} \beta_1 \beta_2}{C_1 C_2 R_{X1} R_{X2}}} \quad (10)$$

From (9) and (10), we can see that the oscillation condition and the oscillation frequency are slightly changed by the effects of the CCDVCC voltage and current transfer gains. However, they can still be orthogonally controlled.

IV. SIMULATION AND EXPERIMENTAL RESULTS

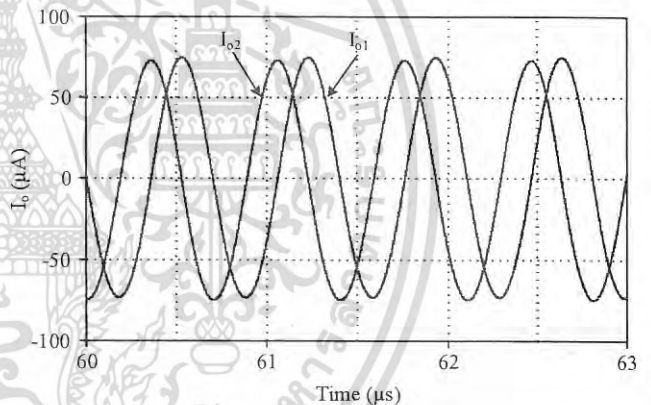
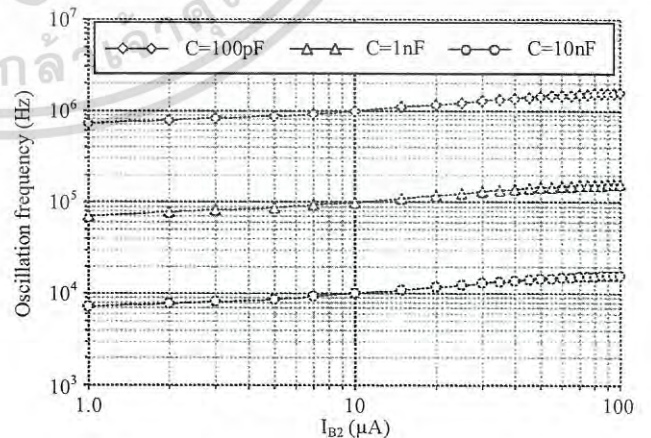
A. Simulation results

To verify the theoretical prediction of the proposed circuit, Fig. 3 was simulated using PSPICE. The PMOS and NMOS transistors in Fig. 2 have been simulated by using the parameters of a 0.25 μm TSMC CMOS technology [19]. The transistor aspect ratios of CCDVCC are listed in Table I. The DC supply voltages and bias voltage were, respectively, selected as: $V_{DD} = -V_{SS} = 1.25$ V and $V_B = -0.55$ V.

As an example design, the active and passive components were chosen as $I_{B1} = I_{B2} = 50$ μA ($R_{X1} = R_{X2} \approx 1.12$ k Ω), $C_1 = C_2 = C = 100$ pF, and $R_3 = 1.14$ k Ω , where R_3 is designed slightly larger than R_{X1} to start-up the oscillation. The simulated waveforms of the quadrature current outputs in steady-state are shown in Fig. 4. In this case, the simulated value of frequency (f_o) is 1.42 MHz, which is in close agreement with the calculated value of 1.421 MHz. In this figure, the total harmonic distortions (THDs) for I_{o1} and I_{o2} are about 2.27 % and 2.46 %, respectively, and the quadrature phase error between I_{o1} and I_{o2} is about 2 %. The electronic tuning of the oscillation frequency with the bias current I_{B2} for different capacitor values is shown in Fig. 5. This result is confirmed by (4).

TABLE I. TRANSISTOR ASPECT RATIO OF CCDVCC.

MOS transistors	W (μm)	L (μm)
M_1 – M_4	1	0.25
M_{15} , M_{19}	5	0.25
M_{16} , M_{20}	8	0.25
M_8 – M_{10} , M_{11} , M_{13} , M_{17} , M_{21} , M_{23}	3	0.25
M_5 – M_7 , M_{12} , M_{14} , M_{18} , M_{22}	5	0.25

Figure 4. Simulated quadrature output waveforms of I_{o1} and I_{o2} .Figure 5. Frequency tuning with bias current I_{B2} .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

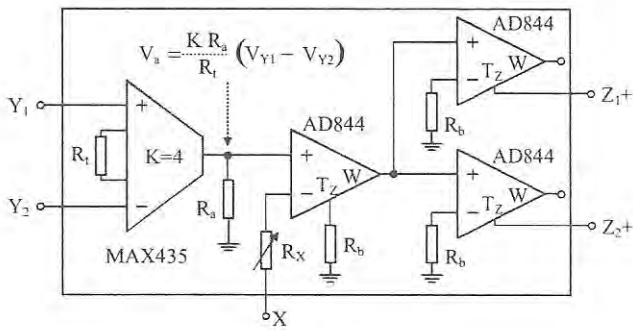


Figure 6. CCDVCC realized using MAX435 and AD844s.

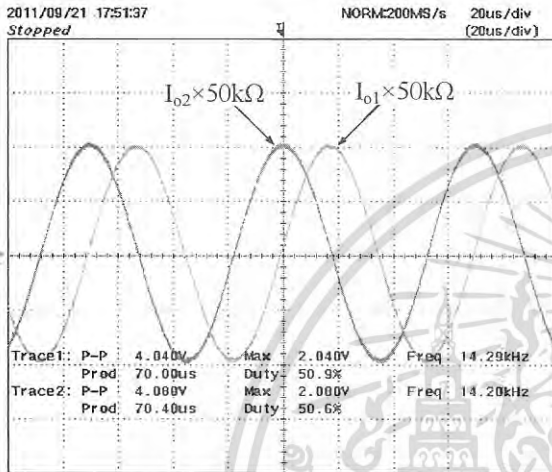


Figure 7. Measured output quadrature waveforms.

B. Experimental results

Since CCDVCC is currently not commercially available product. Therefore, the proposed circuit in Fig. 3 is required to be constructed using other commercially available devices. In experiment, the CCDVCC is invented using IC MAX435 and AD844s [21]–[22], which use supply voltage of ± 5 V, as shown in Fig. 6. Exemplary for test, the circuit has been designed with the component values: $R_t = 2$ k Ω , $R_a = R_b = 0.5$ k Ω , $C_1 = C_2 = 10$ nF, $R_{X1} = R_{X2} = 1$ k Ω , and the value of R_3 is varied to satisfy the oscillation condition in (3). The measured output waveforms of quadrature currents I_{o1} and I_{o2} are shown in Fig. 7. In this figure, current outputs I_{o1} and I_{o2} are connected to the load resistors 50 k Ω . The oscillation frequency (f_o) achieved was 14.2 kHz against the calculated value of 15.92 kHz. The little variation in experimental value of oscillation frequency may be due to tolerance of the component values.

V. CONCLUSIONS

This paper presents a new electronically tunable current-mode quadrature oscillator which is created using two plus-type CCDVCCs, two grounded capacitors and one grounded resistor. The proposed circuit provides two quadrature current outputs; enjoys the advantages of the orthogonal control of the oscillation condition and the oscillation frequency, suitability

for integration and low incremental parametric sensitivities. The simulation and experimental results obtained were found to be in good agreement with the theory.

REFERENCES

- [1] J.-W. Horng, "Current conveyors based allpass filters and quadrature oscillator employing grounded capacitors and resistors," *Computers and Electrical Eng.*, vol. 31, pp. 81–92, 2005.
- [2] J.-W. Horng, C.-L. Hou, C.-M. Chang, W.-Y. Chung, H.-W. Tang, and Y.-H. Wen, "Quadrature oscillator using CCII's," *Int. J. Electron.*, vol. 92, pp. 21–31, 2005.
- [3] N. Minhaj, "Current-conveyor-based voltage-mode two-phase and four-phase quadrature oscillators," *Int. J. Electron.*, vol. 94, pp. 663–669, 2007.
- [4] M. T. Ahmed, I. A. Khan, and N. Minhaj, "On transconductance-C quadrature oscillators," *Int. J. Electron.*, vol. 83, pp. 201–207, 1997.
- [5] I. A. Khan and S. Khwaja, "An integrable gm-C quadrature oscillator," *Int. J. Electron.*, vol. 87, pp. 1353–1357, 2000.
- [6] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *Int. J. Electron.*, vol. 89, pp. 365–379, 2002.
- [7] J.-J. Chen, C.-C. Chen, H.-W. Tsao, and S.-I. Liu, "Current-mode oscillators using single current follower," *Electronics Letters*, vol. 27, pp. 2056–2059, 1991.
- [8] S.-I. Liu and Y.-H. Liao, "Current-mode quadrature sinusoidal oscillator using single PTFN," *Int. J. Electron.*, vol. 81, pp. 171–175, 1996.
- [9] A. U. Keskin and D. Biölek, "Current mode quadrature oscillator using current differencing transconductance amplifier (CDTA)," *IEE Proc. Circuits Devices Syst.*, vol. 153, pp. 214–218, 2006.
- [10] S. Maheshwari, "Quadrature oscillator using grounded components with current and voltage outputs," *IET Circuits Devices Syst.*, vol. 3, pp. 153–160, 2009.
- [11] J.-W. Horng, "Current-mode quadrature oscillator with grounded capacitors and resistors using two DVCCs," *IEICE Trans. Fundamentals Electron., Commun. Computer Sci.*, vol. E86-A, pp. 2152–2154, 2003.
- [12] J.-W. Horng, C.-L. Hou, C.-M. Chang, H.-P. Chou, C.-T. Lin, and Y.-H. Wen, "Quadrature oscillators with grounded capacitors and resistors using FDCCII's," *ETRI Journal*, vol. 28, pp. 486–494, 2006.
- [13] B. Wilson, "Trends in current conveyors and current-mode amplifier design," *Int. J. Electron.*, vol. 73, pp. 573–583, 1992.
- [14] U. Cam, A. Toker, O. Cicekdoglu, and H. Kuntaman, "Current-mode high output impedance sinusoidal oscillator configuration employing single PTFN," *Analog Integr. Circ. Sig. Process.*, vol. 24, pp. 231–234, 2000.
- [15] M. Bhusan and R. W. Newcomb, "Grounding of capacitors in integrated circuits," *Electronics Letters*, 3, 148–149, 1967.
- [16] W. Jaikla and M. Siriruchyanan, "Dual-output current controlled differential voltage current conveyor and its applications," *International Symposium on Communications and Information Technologies (ISCIT 2006)*, pp. 340–343, 2006.
- [17] W. Chiu, S.-I. Liu, H.-W. Tsao, and J.-J. Chen, "CMOS differential difference current conveyors and their applications," *IEE Proc. Circuits Devices Syst.*, vol. 143, pp. 91–96, 1996.
- [18] H. O. Elwan and M. Soliman, "Novel CMOS differential voltage current conveyor and its applications," *IEE Proc. Circuits Devices Syst.*, vol. 144, pp. 195–200, 1997.
- [19] P. Prommee and M. Somdunyanok, "CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter," *Int. J. Electron. Commun.*, vol. 65, pp. 1–8, 2011.
- [20] M. T. Abuelma'atti, "New sinusoidal oscillators with fully uncoupled control of oscillation frequency and condition using three CCII's," *Analog Integr. Circ. Sig. Process.*, vol. 24, pp. 253–261, 2000.
- [21] MAX435/436 Wideband Transconductance Amplifiers, Datasheet. [online]. Available: <http://www.maxim-ic.com>.
- [22] AD844 Monolithic Op Amp, 60MHz, 2000V/ μ s, Datasheet. [online]. Available: <http://www.analog.com>.



Proceedings 2012 10th International Conference on ICT and Knowledge Engineering



November 21-23, 2012 Siam University, Bangkok, Thailand

The 10th International Conference on ICT and Knowledge Engineering

Regular Paper

- Algorithms and Data Structures
- Applications of Knowledge and Data Engineering
- Data Mining
- Databases and Data Modeling
- Distributed Services
- E-Learning, E-Business, E-Academic, E-Government
- Emerging Issues in Data Management
- Expert & Knowledge-Based Systems
- Information Retrieval
- Intelligent Agents
- Knowledge Acquisition in Intelligence
- Knowledge Engineering and Intelligent Systems
- Knowledge Management
- Knowledge-Based Systems
- Logic Programming
- Machine Learning
- Mobile Agents
- Multimedia Storage Management
- Object-Oriented Analysis
- Object-Oriented Databases
- Optimization Problems
- Specialized Databases

APD



Four Inputs and One Output Current-Mode Multifunction Filter Using CDTAs and All-Grounded Passive Components

Montree Kumngern, Punnavich Phatsornsiri, Kobchai Dejhan

Department of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
kkmontre@kmitl.ac.th

Abstract—This paper presents a new current-mode universal filter with four inputs and one output using four current differencing transconductance amplifiers, two grounded capacitors and two grounded resistors. The proposed circuit can realize of low-pass, band-pass, high-pass, band-stop and all-pass current responses, without component-matching conditions and inverting-type input signals requirements. The natural frequency and the quality factor can be set orthogonally and electronically by adjusting the transconductance gains. The filter also offers the features of low input and high output impedances, low active and passive sensitivities and use of only grounded passive components which is ideal for integration point of view. The characteristics of the proposed circuit are simulated using PSPICE simulators to confirm the presented theory.

Keywords—Universal biquadratic filter, current-mode circuit, current differencing transconductance amplifier (CDTA)

I. INTRODUCTION

The filters are widely applied in communications, automatic control, electronics, and instrumentation systems. For example, it can be used in crossover network used in a three-way high-fidelity loud-speaker, global system for mobile (GSM) cellular telephone used in receiver/transmitter part and touch-tone telephone used for tone decoding [1], [2]. As a result, a number of filters based on different design techniques have been developed in the literature; see, for example, [1]-[19]. In [3]-[6], universal filters using current conveyors that can realize simultaneously all the standard filter functions; i.e., low-pass (LP), high-pass (HP), band-pass (BP), band-stop (BS) and all-pass (AP) from the same circuit configuration, were proposed. However, these filters suffer from the lack of electronic tunability. Note that the input and output signals of the circuits in [3]-[7] are voltage-mode form. At present, there is a growing interest in developing analogue current-mode signal processing circuits. The use of current-mode active devices has many advantages such as larger dynamic range, higher bandwidth, greater linearity, simple circuitry and low power consumption compared with the voltage-mode counterparts for example operational amplifier (op-amp) [20]. Besides, the current-mode active filters with low input and high output impedance are of great interest because several cells of this kind can be directly connected in cascade to

implement high-order filters [20]. As a current-mode active device, a current differencing transconductance amplifier (CDTA) has the advantages of two current inputs and two kinds of current output [21]. This device is a synthesis of the well-known advantages of the CDBA [22] and an output transconductance gain [23] to facilitate the implementation of current-mode analog signal processing. Therefore, many current-mode universal filters using CDTAs have been presented in the literature [8]-[18]. However, these filters suffer from one or more of the following drawbacks: (i) not provide low impedance input and/or high impedance output for realizing all of the standard filter responses [8], [12], [14], [15], (ii) use the capacitor injection of excitation signals and/or floating resistor in the circuit design [10], [12], (iii) some filter responses are requires parameter-matching conditions [11], [13], [16], (iv) not provide five standard filter responses [8], [9], [18], (v) need input current inverter to realize some filter responses [11], [13], [16], (vi) not provide orthogonal control of parameters ω_0 and Q [8]-[18].

In this paper, a new low-input and high-output impedance current-mode multifunction biquadratic filter employing four current differencing transconductance amplifiers (CDTAs), two grounded capacitors and two grounded resistors is presented. The proposed circuit can simultaneously realize LP, HP, BP, BS and AP filter functions by appropriately connecting the input terminals. The proposed circuit provides the following advantages: (i) possession of low input and high output impedance which can be directly connected in cascade to implement high order filters, (ii) employment only grounded capacitors, which is especially interesting from the integrated circuit (IC) fabrication point of view, (iii) no requirement of component-matching conditions and inverting-type input signals for realizing all the standard filter responses, (iv) possession of low active and passive sensitivities, (v) orthogonal and electronic controls of parameters ω_0 and Q .

II. CIRCUIT REALIZATIONS

The circuit symbol and equivalent circuit of the CDTA are shown in Fig. 1 (a) and (b), respectively. Its characteristic can be described by:

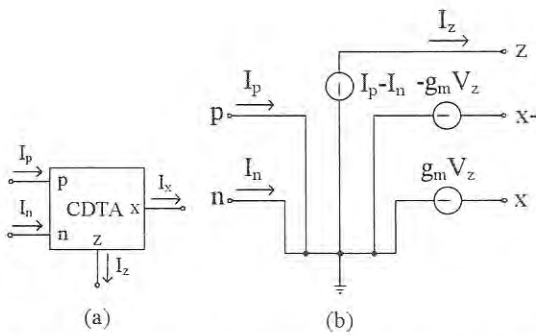


Figure 1. CDTA: (a) its circuit symbol, (b) its equivalent circuit.

$$\begin{pmatrix} V_p \\ V_n \\ I_z \\ I_x \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & \pm g_m \end{pmatrix} \begin{pmatrix} I_p \\ I_n \\ V_x \\ V_z \end{pmatrix} \quad (1)$$

where p and n are the input ports, z, x- and x+ are the output ports, g_m is the transconductance amplifier. Ideally, p and n terminals possess low-impedance level while z and x terminals possess high-impedance level.

The proposed current-mode multifunction biquadratic filter is shown in Fig. 2. The circuit is consisted of four CDTAs, two grounded capacitors and two grounded resistors. It should be noted that the input currents I_1, I_2, I_3 and I_4 of the proposed filter are applied into the p or n terminals of the CDTAs while the output current I_{out} is connected at the z terminal of the CDTA₃. Thus, the circuit has a feature of low-input impedance and high-output impedance, which is suitable for cascading in current-mode operation. The use of all grounded passive components makes the proposed circuit particularly attractive for integrated circuit point of view [24]. Using (1) and nodal analysis of circuit in Fig. 2, the output current I_{out} can be expressed as

$$I_{out} = \{s^2 C_1 C_2 R_1 g_{m3} I_3 - s C_1 g_{m2} g_{m3} R_1 I_2 + s C_1 R_1 R_2 g_{m2} g_{m3} g_{m4} I_4 + R_1 g_{m1} g_{m2} g_{m3} I_1\} / D(s) \quad (2)$$

where $D(s) = s^2 C_1 C_1 + s C_1 R_1 R_2 g_{m2} g_{m3} g_{m4} + R_1 g_{m1} g_{m2} g_{m3}$.

It is evident from (2) that five standard filtering functions can be obtained as:

- The LP response: $I_2=I_3=I_4=0, I_1=I_{in}$.
- The BP response: $I_1=I_3=I_3=0, I_4=I_{in}$.
- The HP response: $I_1=I_2=I_4=0, I_3=I_{in}$.
- The BS response: $I_2=I_4=0, I_1=I_3=I_{in}$.
- The AP response: $I_1=I_3=I_3=I_{in}, I_{in4}=0$.

Thus, five characteristics can be easily obtained. It should be noted that the realization without component-matching conditions and inverting-type input signals requirements.

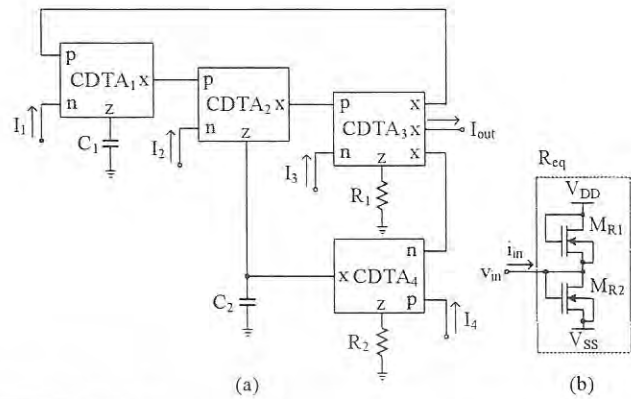


Figure 2. (a) Proposed current-mode universal filter, (b) MOS resistor.

The parameters ω_o and Q of the proposed filter can be expressed as

$$\omega_o = \sqrt{\frac{R_1 g_{m1} g_{m2} g_{m3}}{C_1 C_2}} \quad (3)$$

$$Q = \frac{1}{R_2 g_{m4}} \sqrt{\frac{C_1}{C_2}} \frac{g_{m1}}{R_1 g_{m2} g_{m3}} \quad (4)$$

From (3) and (4), the ω_o can be controlled by g_m (i.e. $g_{m1}=g_{m2}$) with $g_{m3}=1/R_1$ and $C_1=C_2$ while the Q factor can be controlled by g_{m4} with $g_{m1}=g_{m2}, g_{m3}=1/R_1$ and $C_1=C_2$. Therefore, the parameters ω_o and Q can be orthogonally controlled. It should be noted that both ω_o and Q can also be electronically controlled by adjusting the biasing currents of CDTAs. Fig. 3 shows the CMOS implementation of CDTA. Assuming MOS transistors M_{17} and M_{18} are matched and operated in saturation regions, the transconductance gain (g_m) can be given by

$$g_m = \sqrt{\mu_n C_{ox} (W/L) I_b} \quad (5)$$

where I_b is the biasing current, μ_n is the carrier mobility, C_{ox} is the gate oxide capacitance per unit area, W and L are the channel width and length, respectively.

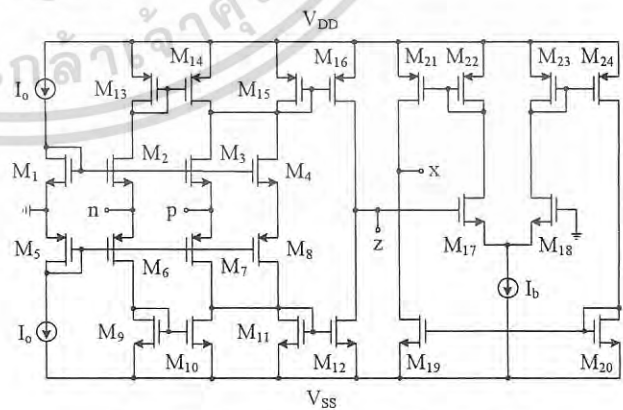


Figure 3. CMOS implementation of the CDTA.

TABLE I. SENSITIVITIES OF CIRCUIT COMPONENTS.

X	$S_x^{\omega_0}$	S_x^Q
g_{m1}	0.5	0.5
g_{m2}	0.5	-0.5
g_{m3}	0.5	-0.5
g_{m4}	0.0	-1.0
C_1	-0.5	0.5
C_2	-0.5	-0.5
R_1	0.5	-0.5
R_2	0.0	1.0

From Fig.2, the resistors R_1 and R_2 are replaced by MOS resistor as shown in Fig 2(b) [25]. Assume that MOS transistors M_{R1} and M_{R2} are matched and operated in the saturation region. The resistance value can be expressed as

$$R_{eq} = \frac{1}{2K(V_{DD} - V_{TH})} \quad (6)$$

where $K = \mu_n C_{ox}(W/L)$, V_{TH} is the threshold voltage and $V_{DD} = |V_{SS}|$ are the supply voltages. Then, the proposed circuit will be absented from passive resistor by using this MOS resistor which makes it more suitable for IC implementation.

III. SIMULATION RESULTS

The proposed filter of Fig. 2 was simulated using PSPICE simulators. The CDTA given in Fig. 3 were realized by using 0.25 μm CMOS process from TSMC and the aspect ratios of pMOS and nMOS are: $W/L = 2 \mu\text{m}/1 \mu\text{m}$ for M_1 - M_4 , $W/L = 7 \mu\text{m}/1 \mu\text{m}$ for M_5 - M_8 , $W/L = 5 \mu\text{m}/1 \mu\text{m}$ for M_{17} , M_{18} , all M_n and $W/L = 15 \mu\text{m}/1 \mu\text{m}$ for all M_p . The power supplies are selected as $V_{DD} = -V_{SS} = 1.2 \text{ V}$. The biasing currents I_o are chosen as $20 \mu\text{A}$. PSPICE simulations have been verified that when the biasing current I_b is increased from 1 to $150 \mu\text{A}$, achieved transconductance gain g_m is increased proportionally to the logarithm of I_b from 15.87 to $624.9 \mu\text{A/V}$.

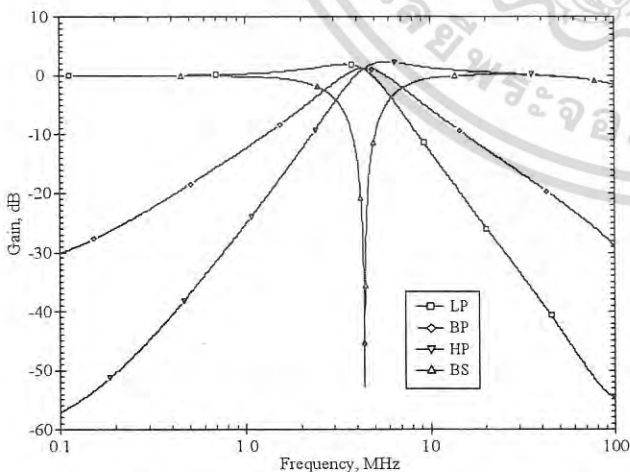


Figure 4. Simulated LP, BP, HP and BS of the proposed filter.

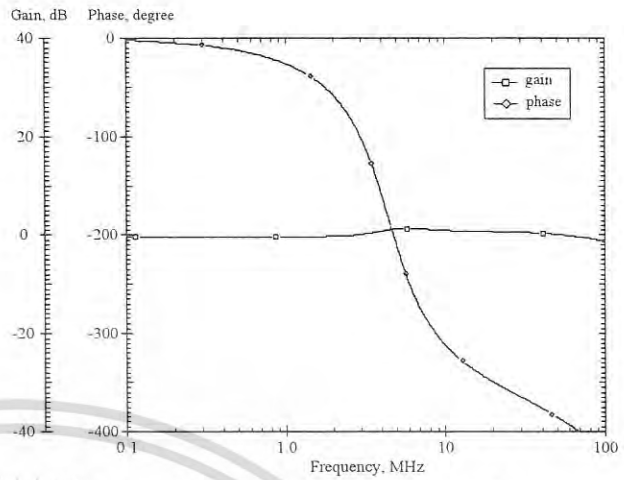


Figure 5. Simulated gain and phase responses of AP filter.

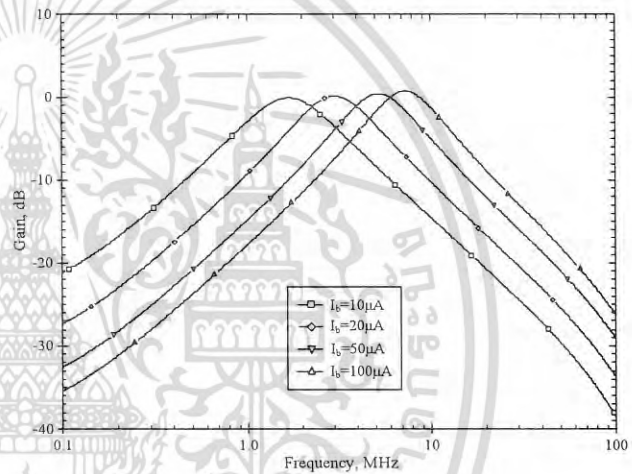


Figure 6. Simulated frequency responses of BP filter when I_b is varied.

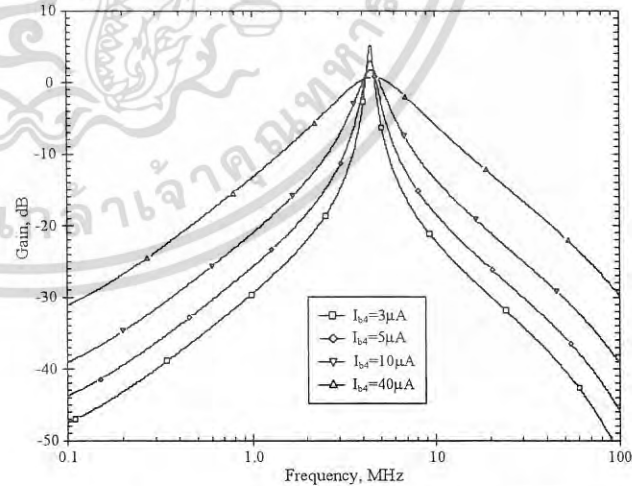


Figure 7. Simulated frequency responses of BP filter when I_{b4} is varied.

As an example design, the capacitors $C_1 = C_2 = 10 \text{ pF}$, the biasing currents $I_{b1}=I_{b2}=I_{b3}=I_{b4} = 40 \mu\text{A}$ ($g_m = 283.72 \mu\text{A/V}$)

and $W/L = 0.6 \mu\text{m}/0.5 \mu\text{m}$ for M_{RS} ($R_1=R_2=3.5\text{k}\Omega$) are given. This setting has been designed to obtain the LP, BP, HP, BS and AP filter responses with $f_o \cong 4.58 \text{ MHz}$ and $Q \cong 1$. Fig. 4 shows the simulated responses of the LP, BP, HP and BS filters of the proposed filter. In this figure, the pole frequency of 4.38 MHz is obtained. Fig. 5 shows the simulated frequency responses of the gain and phase characteristics of the AP filter. It is evident from Figs. 4 and 5 that the proposed circuit performs five standard filtering functions well. Fig. 6 shows the simulated a BP filter response when the biasing currents I_b (i.e., $I_{b1}=I_{b2}=I_{b3}$) were simultaneously adjusted for the values 10, 20, 50 and 100 μA , respectively, while keeping $C_1 = C_2 = 10 \text{ pF}$. This result is confirmed by (3). Fig. 7 shows the simulated a BP filter response when the biasing current I_{b4} was simultaneously varied for the values 3, 5, 10, and 40 μA , respectively, while $I_{b1} = I_{b2} = I_{b3} = 40 \mu\text{A}$. This result is also confirmed by (4). Therefore, it can be concluded that the proposed circuit provides orthogonal and electronics controls for the parameters ω_o and Q .

IV. CONCLUSIONS

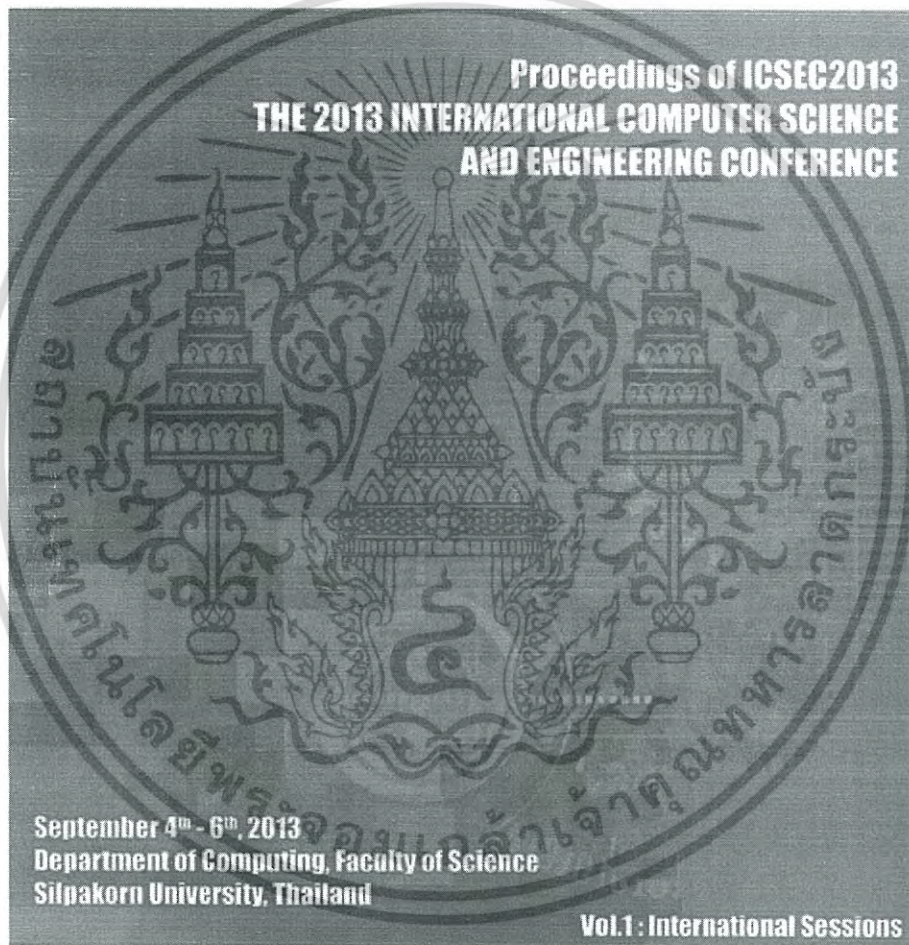
In this paper, a new current-mode universal filter with four inputs and one output using four CDTAs, two grounded capacitors and two grounded resistors was proposed. It possesses the properties as the followings: (i) employment of only grounded capacitors which is suitable for IC implementation; (ii) ability of realizing the LP, BP, HP, BS and AP filter responses without any component-matching conditions and inverting-type input signals requirements; (iii) orthogonal and electronic controls of the parameters ω_o and Q ; (iv) possession low input and high impedance output levels, then it is a property enables easy cascading in current-mode operation, (v) active and passive sensitivities are very low. PSPICE simulators are given to demonstrate the effectiveness of our schemes. The simulation results obtained were found to be in good agreement with the theory.

REFERENCES

- [1] W. H. Hayt, J. E. Kemmerly, S. M. Durbin, *Engineering Circuit Analysis*, New York, McGraw-Hill, 2002.
- [2] M. A. Ibrahim, S. Minaei, H. Kuntman, "A 22.5 MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements," *International Journal of Electronics and Communications*, vol. 59, pp. 311-318, 2005.
- [3] H.-P. Chen, "Single FDCCII-based universal voltage-mode filter," *International Journal of Electronics and Communications*, vol. 62, pp. 320-323, 2008.
- [4] J. W. Horng, "High input impedance voltage-mode universal biquadratic filters with three inputs using plus-type CCII," *International Journal of Electronics*, vol. 91, pp. 465-475, 2004.
- [5] J.-W. Horng, "High input impedance voltage-mode universal biquadratic filter with three inputs using DDCCs," *Circuits, Systems and Signal Processing*, vol. 27, pp. 553-562, 2008.
- [6] C.-N. Lee, C.-M. Chang, "Single FDCCII-based mixed-mode biquad filter with eight outputs," *International Journal of Electronics and Communications*, vol. 63, pp. 736-742, 2009.
- [7] S. Nikoloudis, C. Psychalinos, "Multiple input single output universal biquad filter with current feedback operational amplifiers," *Circuits, Systems, and Signal Processing*, vol. 29, pp. 1167-1180, 2010.
- [8] A. U. Keskin, D. Biolek, E. Hancioglu, V. Biolkova, "Current-mode KHN filter employing current differencing transconductance amplifiers," *International Journal of Electronics and Communications*, vol. 60, pp. 443-446, 2006.
- [9] W. Tangsrirat, W. Surakamponorn, "Systematic realization of cascaded current-mode filters using current differencing transconductance amplifiers," *Frequenz*, vol. 60, pp. 241-245, 2006.
- [10] A. Uygur, H. Kuntman, "Seventh-order elliptic video with 0.1 dB pass band ripple employing CMOS CDTAs," *International Journal of Electronics and Communications*, vol. 61, pp. 320-328, 2007.
- [11] W. Tangsrirat, T. Dumawipata, W. Surakamponorn, "Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers," *International Journal of Electronics and Communications*, vol. 61, pp. 209-214, 2007.
- [12] N. A. Shah, M. Quadri, S. Z. Iqbal, "CDTA based universal transadmittance filter," *Analog Integrated Circuits and Signal Processing*, vol. 52, pp. 65-69, 2007.
- [13] M. Siripruchyanun, W. Jaikla, "Electronically controllable current-mode universal biquad filter using single DO-CCDTA," *Circuits, Systems and Signal Processing*, vol. 27, pp. 113-122, 2008.
- [14] D. Prasada, D. R. Bhaskar, A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier," *International Journal of Electronics and Communications*, vol. 63, pp. 497-501, 2009.
- [15] D. Biolek, V. Biolkova, Z. Kolka, "Current-mode biquad employing single CDTA," *Indian Journal of Pure & Applied Physics*, vol. 47, pp. 535-537, 2009.
- [16] N. A. Shah, M. Quadri, S. Z. Iqbal, "Three input one output current-mode cascaded universal filter employing CDTAs," *Journal of Active and Passive Electronic Devices*, vol. 4, pp. 347-352, 2010.
- [17] W. Tangsrirat, T. Pukkalanun, "Structural generation of two integrator loop filters using CDTAs and grounded capacitors," *International Journal of Circuit Theory and Applications*, vol. 39, pp. 31-45, 2011.
- [18] Y. Li, "A modified CDTA (MCDTA) and its applications: desinging current-mode sixth-order elliptic band-pass filter," *Circuits, Systems and Signal Processing*, vol. 30, pp. 1383-1390, 2011.
- [19] A. M. Soliman, "Current mode universal filter," *Electronics Letters*, vol. 31, pp. 1420-1421, 1995.
- [20] B. Wilson, "Recent developments in conveyor and current-mode circuits," *IEE Proceeding, Part G*, vol. 137, pp. 63-77, 1990.
- [21] D. Biolek, "CDTA-building block for current-mode analog signal processing," in *Proceedings of European Conference on Circuit Theory and Design (ECCTD)*, Poland, 2003, pp. 397-400, vol. III.
- [22] C. Acar, S. Ozoguz, "A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters," *Microelectronics Journal*, vol. 30, pp. 157-160, 1999.
- [23] E. Sanchez-Sinencio, R. L. Geiger, H. Nevarez-Lozano, "Generation of continuous-time two integrator loop OTA filter structure," *IEEE Transactions on Circuits and Systems*, vol. CAS-35, pp. 936-949, 1988.
- [24] M. Bhusan, R. W. Newcomb, "Grounding of capacitors in integrated circuits," *Electronics Letters*, vol. 3, pp. 148-149, 1967.
- [25] Z. Wang, "2-MOSFET transistor with extremely low distortion for output reaching supply voltage," *Electronics Letters*, vol. 26, pp. 951-952, 1990.

17th ICSEC

International Computer Science
and Engineering Conference 2013



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage-mode Universal Biquadratic Filter Using a Single DDCCTA

Panit Lamun^{1,4}, Punnavech Phatsornsiri^{2,5}, Montree Kumngern^{2,6}, Usa Torteanchai^{3,7}

¹ School of Engineering, King Mongkut's Institute of Technology Ladkrabang Chumphon Campus, Chumphon 86160, Thailand

² Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

³ Civil Aviation Training Center, Bangkok 10900, Thailand

E-mails: ⁴klpanit@kmitl.ac.th, ⁵hai_sg85@hotmail.com, ⁶kkmontree@kmitl.ac.th, ⁷usa@catc.or.th

Abstract—In this paper, a novel two-input four-output voltage-mode universal biquadratic filter is presented. The filter circuit uses only one differential difference current conveyor transconductance amplifier (DDCCTA) and four passive components. The circuit can provide low-pass (LP), band-pass (BP), band-stop (BS), high-pass (HP), and all-pass (AP) biquadratic functions. The natural angular frequency (ω_0) and the quality factor (Q) can be orthogonally tuned by adjusting the circuit components. The proposed configuration has a low component count and low active and passive sensitivities. PSPICE simulations with 0.5 μm MIETEC CMOS process parameters are given to confirm the theoretical predictions.

Keywords- voltage-mode circuit; biquadratic filter; Differential difference current conveyor transconductance amplifier (DDCCTA)

I. INTRODUCTION

Analog universal filters have always been an important part of electronic systems. Today, these filters are widely applied for continuous-time signal processing, as for example in communications, instrumentations, and control systems [1]–[2]. Therefore, many configurations for the realization voltage-mode universal filter using different active elements were introduced, for example [3]–[7], [9]–[15]. The circuits in [3]–[4] proposed voltage-mode universal filters with three inputs and one output structure. However, these configurations require at least three active elements. The circuits reported in [5]–[6] employ two differential difference current conveyors (DDCCs) and five passive components. However, these circuits could not provide orthogonal control of the natural angular frequency (ω_0) and the quality factor (Q). Moreover, they require resistive component-matching conditions to realize the AP filter responses. In [7] proposed the structure with one input and five outputs, which can realize all the five standard filters by using two DDCCTAs and four passive elements. But it still needs component-matching condition to realize the AP filter response and also complicates with the use of two active elements.

Recently, a compact voltage-mode universal filter circuit, with minimum area, is required to reduce the device size and cost. In addition to area and cost, it is very important to reduce the voltage supply and the power dissipation [8]. From our survey, it was found that several compact filters have been introduced [9]–[15]. However, the circuits in [9]–[10] use a lot

of passive components and hence are not canonical for biquadratic filter function. The compact universal biquadratic filters with multi-input single output were presented [11]–[12]. However, these circuits require resistive/capacitive component-matching conditions, and also could not enjoy orthogonal control of ω_0 and Q, whereas the circuit of [13] uses inverting-type input voltage signal or double input voltage signal to realize some filter responses. The recently reported circuits with single-input three-output structure can be found in [14]–[15]. However, although these circuits provide an orthogonal control of ω_0 and Q, they can realize only three standard filter functions (i.e., LP, HP and BP) simultaneously.

Therefore, the purpose of this paper is to propose a novel compact voltage-mode universal biquadratic filter employing a single DDCCTA, two resistors and two capacitors. The proposed configuration has two inputs and four outputs. It can realize all the five standard filters by proper selection of input voltages from the same configuration without any inverting-type input voltages. Also, the proposed filter can be set an orthogonal control of the natural angular frequency and the quality factor. PSPICE simulation results are included to confirm the feasibility of proposed circuit.

II. CIRCUIT DESCRIPTION

A. Differential difference current conveyor transconductance amplifier

The DDCCTA [7] is an eight-terminal active building block and its circuit symbol is illustrated in Fig. 1. Relations between the voltage and current terminals of DDCCTA can be described by the following equations:

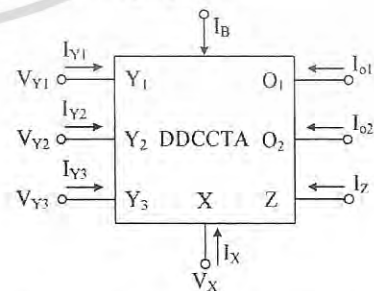


Figure 1. Circuit symbol of the DDCCTA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

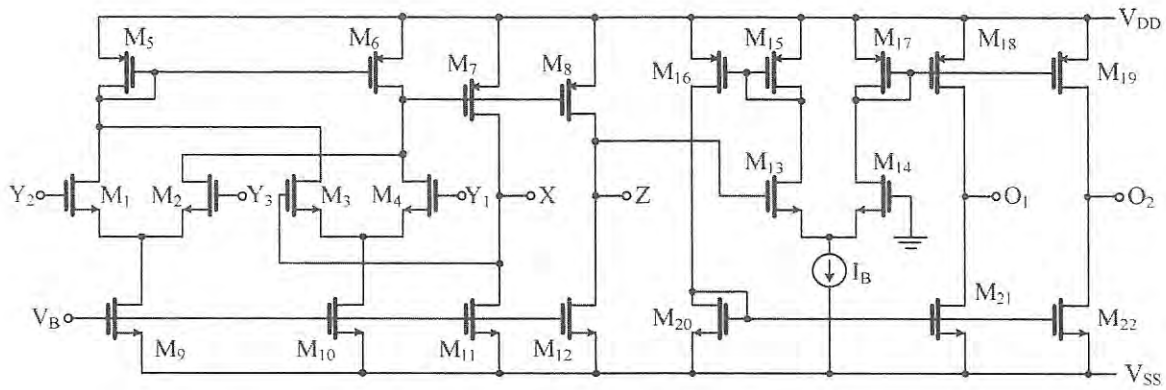


Figure 2. CMOS internal structure of the DDCCTA.

$$\left. \begin{aligned} I_{Y1} = I_{Y2} = I_{Y3} = 0 \\ V_x = V_{Y1} - V_{Y2} + V_{Y3} \\ I_z = I_x \\ I_{O1} = I_{O2} = g_m V_z \end{aligned} \right\} \quad (1)$$

where g_m is the transconductance gain of the DDCCTA.

Internal structure of the DDCCTA circuit based on CMOS technology is shown in Fig. 2 [7]. It consists of the circuit of DDCC [16] (transistors M_1 to M_{12}) followed by a transconductance amplifier [17] (transistors M_{13} to M_{22}). It should be pointed out that MOS transistors M_{13} and M_{14} are matched and operated in saturation regions, thus g_m can be expressed as

$$g_m = \sqrt{\mu C_{ox} (W/L)_{M_{13}, M_{14}} I_B} \quad (2)$$

where I_B is an external dc bias current of the DDCCTA and is used to control the g_m . The physical parameters, μ , C_{ox} , W and L , are, respectively, the free electron mobility in channel, the gate oxide capacitance per unit area, the channel width and the channel length of MOS transistor.

B. Proposed filter configuration

The proposed voltage-mode universal biquadratic filter with two input terminals and four output terminals is illustrated in Fig. 3. The circuit uses only one DDCCTA, two resistors and two capacitors. Routine analysis of this circuit with $V_{in1} = V_m$ and $V_{in2} = 0$ (the capacitor C_1 is grounded) then the following voltage transfer functions are given below:

$$\frac{V_{o1}}{V_{in}} = \frac{-g_m/C_1 C_2 R_2}{s^2 + s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)} \quad (3)$$

$$\frac{V_{o2}}{V_{in}} = \frac{s/C_2 R_2}{s^2 + s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)} \quad (4)$$

$$\frac{V_{o3}}{V_{in}} = \frac{s^2 + (g_m/C_1 C_2 R_2)}{s^2 + s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)} \quad (5)$$

$$\frac{V_{o4}}{V_{in}} = \frac{s^2}{s^2 + s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)} \quad (6)$$

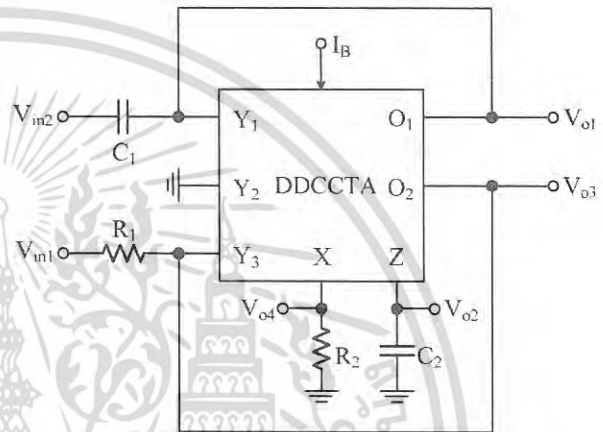


Figure 3. Proposed voltage-mode universal biquadratic filter.

It can be observed from (3)-(6) that the LP, BP, BS and HP responses are available simultaneously at the node voltages V_{o1} , V_{o2} , V_{o3} and V_{o4} , respectively. An AP filter response is easily obtained by setting $V_{in1} = V_{in2} = V_{in}$. Thus, AP transfer function from the node of V_{o3} can be calculated as

$$\frac{V_{o3}}{V_{in}} = \frac{s^2 - s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)}{s^2 + s(g_m R_1/C_2 R_2) + (g_m/C_1 C_2 R_2)} \quad (7)$$

Also, it can be seen that the gain constants of the LP, BP, BS, HP and AP responses are given by

$$H_{LP} = -1, H_{BP} = 1/g_m R_1 \text{ and } H_{BS} = H_{HP} = H_{AP} = 1. \quad (8)$$

Obviously, the proposed circuit is capable of realizing all the five standard functions without component-matching condition requirements as well as requires no inverting-type input voltage signals. From (3)-(7), the natural angular frequency (ω_o) and the quality factor (Q) are found as

$$\omega_o = \sqrt{\frac{g_m}{C_1 C_2 R_2}} \quad (9)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{C_2 R_2}{g_m C_1}} \quad (10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Letting $C_1 = C_2 = C$, the filtering parameters in (9)-(10) are simplified as

$$\omega_o = \frac{1}{C} \sqrt{\frac{g_m}{R_2}}, \quad (11)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{R_2}{g_m}}. \quad (12)$$

From (11) and (12), the parameter ω_o can be set by capacitance C , whereas the parameter Q can be set by adjusting resistor R_1 without disturbing the ω_o . Therefore, the proposed filter has orthogonal controlling capability for the filtering parameters ω_o and Q .

III. NON-IDEAL ANALYSIS AND SENSITIVITY STUDY

In this section, the effects of DDCCTA non idealities on the filter performances have been studied. By taking into consideration the non-ideal DDCCTA, the relationship of the terminals given in (1) can be expressed as:

$$\left. \begin{aligned} I_{Y1} = I_{Y2} = I_{Y3} = 0 \\ V_x = \beta_1 V_{Y1} - \beta_2 V_{Y2} + \beta_3 V_{Y3} \\ I_z = \alpha I_x \\ I_{O1} = I_{O2} = g_m V_z \end{aligned} \right\} \quad (13)$$

where β_1 , β_2 and β_3 are, respectively, the non-ideal voltage transfer gains between Y_1 - X , Y_2 - X and Y_3 - X terminals and α is the non-ideal current transfer gain between X - Z terminals of the DDCCTA. These non-ideal gains slightly differ from unity by voltage- and current-tracking errors of the DDCCTA. Thus, using the conditions in (13), the denominator of the voltage transfer functions of Fig. 3 becomes

$$D(s) = s^2 + s(\alpha\beta_3 g_m R_1 / C_2 R_2) + (\alpha\beta_1 g_m / C_1 C_2 R_2) \quad (14)$$

In this case, the filtering parameters ω_o and Q of the proposed circuit are modified as

$$\omega_o = \sqrt{\frac{\alpha\beta_1 g_m}{C_1 C_2 R_2}}, \quad (15)$$

$$Q = \frac{1}{\beta_3 R_1} \sqrt{\frac{\beta_1 C_2 R_2}{\alpha g_m C_1}}. \quad (16)$$

It should be noted from above equations that ω_o and Q are little changed by the non-idealities of DDCCTA. However, these effects can be compensated by adjusting g_m -values properly.

The active and passive sensitivities of the filtering parameters are calculated as follows:

$$S_{\alpha}^{\omega_o} = S_{\beta_1}^{\omega_o} = S_{g_m}^{\omega_o} = -S_{C_1}^{\omega_o} = -S_{C_2}^{\omega_o} = -S_{R_1}^{\omega_o} = 1/2, \quad (17)$$

$$S_{\beta_3}^Q = S_{R_1}^Q = -1, \quad (18)$$

$$S_{\beta_1}^Q = S_{C_2}^Q = S_{R_2}^Q = -S_{\alpha}^Q = -S_{g_m}^Q = -S_{C_1}^Q = 1/2. \quad (19)$$

From (17)-(19), the incremental sensitivities of the filtering parameters are no more than unity in magnitude. Hence, the active and passive sensitivities of the proposed circuit are low.

IV. SIMULATION RESULTS

To verify the theoretical prediction of the proposed circuit, Fig. 3 has been simulated using PSPICE program. The PMOS and NMOS transistors in Fig. 2 were performed by using the parameters of a $0.5 \mu\text{m}$ MIETEC CMOS technology [7]. The transistor aspect ratios of DDCCTA are listed in Table I. The supply voltages and bias voltage were, respectively, chosen as: $V_{DD} = -V_{SS} = 3 \text{ V}$ and $V_B = -1.22 \text{ V}$.

TABLE I. TRANSISTOR ASPECT RATIO OF DDCCTA

MOS transistors	W (μm)	L (μm)
M_1 - M_4	1.8	0.7
M_5 - M_6	5.2	0.7
M_7 - M_{10}	20	0.7
M_{11} - M_{12}	58	0.7
M_{13} - M_{22}	4	1

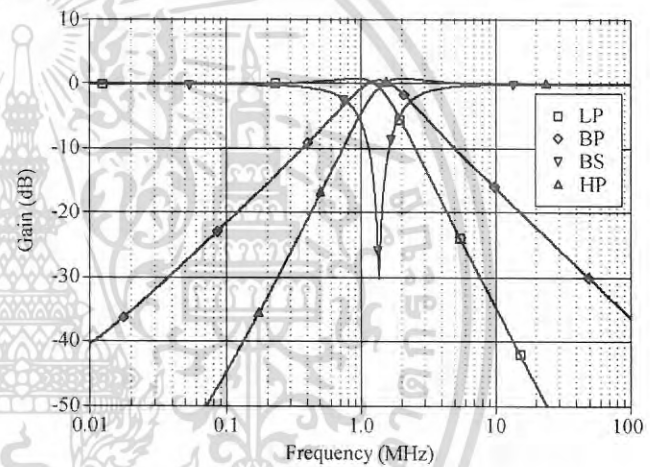


Figure 4. Simulated frequency responses of the LP, BP, BS and HP filters.

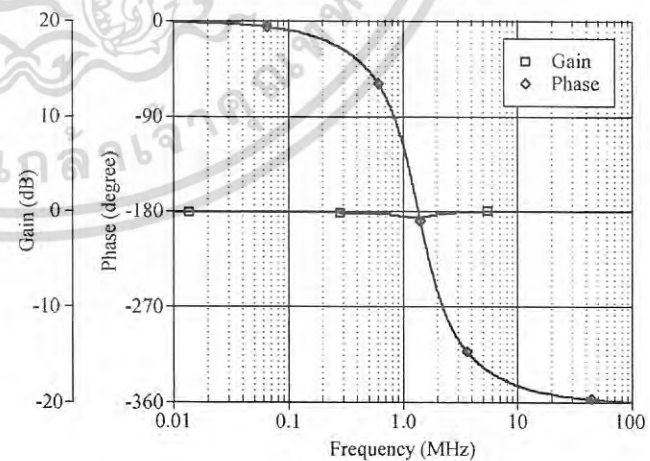


Figure 5. Simulated frequency responses of the AP filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

As an example design, the component values of the proposed filter were selected as: $C_1 = C_2 = 30$ pF, $I_B = 125$ μ A ($g_m \approx 230$ μ A/V), $R_1 = 4$ k Ω and $R_2 = 3.5$ k Ω . This setting has been designed to obtain a universal biquadratic filter with $f_o = 1.361$ MHz and $Q \approx 1$. The simulated magnitude responses of the LP, BP, BS and HP filters are shown in Fig. 4. In this figure, the simulated natural frequency of 1.358 MHz is received. Thus, natural frequency error is about 0.22 %. With the same component values setting, the simulated frequency responses of the gain and phase characteristics of the AP filter are also shown in Fig. 5. Therefore, it can observe from Figs. 4 and 5 that the proposed filter operates five standard biquadratic filtering functions well.

Time-domain analysis result is given in Fig. 6 for 100 mV (peak) sinusoidal wave at 1.358 MHz input for BP filter. In this case, the total harmonic distortion (THD) and the total power dissipation are about 0.05 % and 4.6 mW, respectively. Furthermore, the variations of the output harmonic distortion of BP filter on input amplitude signal at 1.358 MHz are summarized in Fig. 7. It may be observed that the THD is about 2.85 % when the input amplitude is increased to 600 mV (peak). Thus, the simulation results shown in Fig. 4-7 are seen to confirm the workability of the proposed filter.

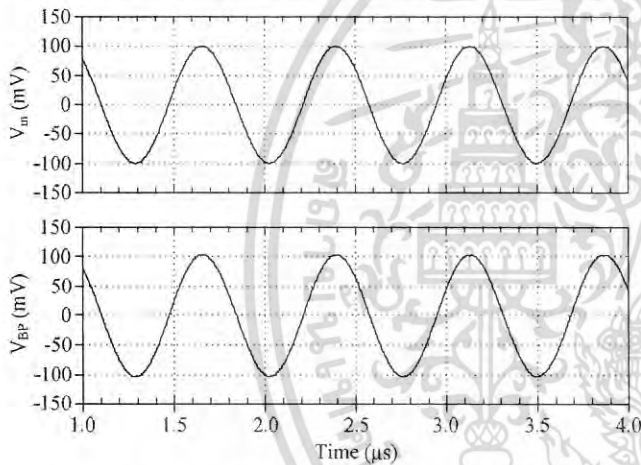


Figure 6. Time-domain response of BP filter at $f_o = 1.358$ MHz.

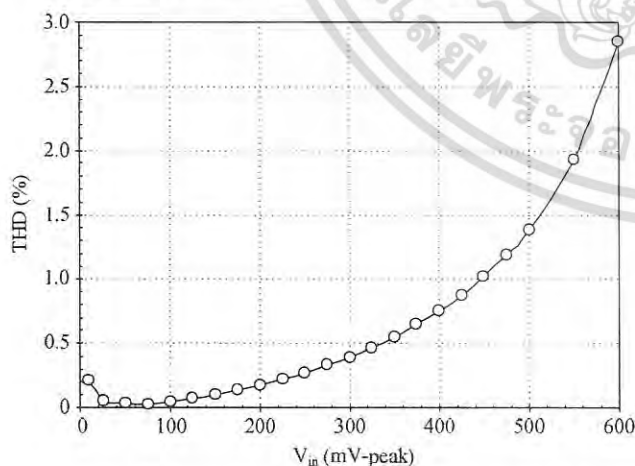


Figure 7. THD variations of BP filter on input voltage amplitude.

V. CONCLUSION

A novel compact voltage-mode universal biquadratic filter with two-input four-output has been presented in this work. The proposed circuit uses only one DDCCTA and four passive components. By suitably attaching the input voltage signals, the circuit can provide LP, BP, BS, HP and AP voltage responses from the same circuit structure. The filtering parameters ω_o and Q are adjustable orthogonally by setting the circuit components. The circuit also requires no component matching condition; no inverting-type input voltage signals and has low active and passive sensitivities. The simulations obtained by PSPICE show good functionality of the proposed circuit.

REFERENCES

- [1] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 3rd ed., Florida (USA), Holt, Rinehart and Winston, 1991.
- [2] M. A. Ibrahim, S. Minaei, and H. Kuntman, "A 22.5 MHz current-mode KHN-biquad using different voltage current conveyor and grounded passive elements," *Int. J. Electron. Commun.*, vol. 59, pp. 311-318, 2005.
- [3] W. Y. Chiu and J. W. Horng, "High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs," *IEEE Trans. Circuits Syst., II: Express briefs*, vol. 54, no. 8, pp. 649-652, 2007.
- [4] M. Kumngern and S. Junnapiya, "Voltage-mode universal filter with three-input single-output using DDCCs," in *Proc. of International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, Thailand, 2010, pp. 746-749.
- [5] H. P. Chen, "Versatile universal voltage-mode filter employing DDCCs," *Int. J. Electron. Commun. (AEU)*, vol. 63, no. 1, pp. 78-82, 2009.
- [6] W. Y. Chiu and J. W. Horng, "Voltage-mode biquadratic filters with one input and five outputs using DDCCs," *Indian J. Eng. Mater. Sci.*, vol. 18, pp. 97-101, 2011.
- [7] O. Channumsin, T. Pukkalanun, and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components," *Microelectronics J.*, vol. 43, pp. 555-561, 2012.
- [8] L. B. Oliveira, J. R. Fernandes, I. M. Filanovsky, C. J. M. Verhoeven, and M. M. Silva, *Analysis and Design of Quadrature Oscillator*, Springer Science+Business Media B.V., 2008.
- [9] A. U. Keskin, "Multi-function biquad using single CDDBA," *Electr. Eng.*, vol. 88, pp. 353-356, 2006.
- [10] E. Yuce, "Voltage-mode multifunction filters employing a single DVCC and grounded capacitors," *IEEE Trans. Instrum. Meas.*, vol. 58, no. 7, pp. 2216-2221, 2009.
- [11] S. Maheshwari, "High performance voltage-mode multifunction filter with minimum component count," *WSEAS Trans. Electronics*, vol. 5, no. 6, pp. 244-249, 2008.
- [12] K. L. Pushkar, D. R. Bhaskar, and D. Prasad, "Voltage-mode universal biquad filter employing single voltage differencing differential input buffered amplifier," *Circuit Syst.*, vol. 4, pp. 44-48, 2013.
- [13] M. Siripruchyanun and W. Jaikla, "Current controlled current conveyor transconductance amplifier (CCCTA): a building block for analog signal processing," *Electr. Eng.*, vol. 90, no. 6, pp. 443-453, 2008.
- [14] W. Tangsrirat and O. Channumsin, "High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements," *Radioengineering*, vol. 20, no. 4, pp. 905-910, 2011.
- [15] N. Pandey and S. K. Paul, "Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing," *J. Electr. Comput. Eng.*, 2011, Article ID 361384.
- [16] W. Chiu, S. I. Liu, H. W. Tsao, and J. J. Chen, "CMOS differential difference current conveyor and their applications," *IEE Proc. Circuits Devices Syst.*, vol. 143, no. 2, pp. 91-96, 1996.
- [17] D. R. Bhaskar, A. K. Singh, R. K. Sharma, and R. Senani, "New OTA-C universal current-mode/trans-admittance biquads," *IEICE Electronics Express*, vol. 2, no. 1, pp. 8-13, 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Proceedings 2013 Eleventh International Conference on ICT and Knowledge Engineering



November 29-29, 2013 Siam University Bangkok, Thailand

The 11th International Conference on ICT and Knowledge Engineering

Regular Paper

- Algorithms and Data Structures
- Applications of Knowledge and Data Engineering
- Data Mining
- Databases and Data Modeling
- Distributed Services
- E-Learning, E-Business, E-Academic, E-Government
- Expert & Knowledge-Based Systems
- Information Retrieval
- Intelligent Agents
- Knowledge Acquisition in Intelligence
- Knowledge Engineering and Intelligent Systems
- Knowledge Management
- Knowledge-Based Systems
- Logic Programming
- Machine Learning
- Mobile Agents
- Multimedia Storage Management
- Object-Oriented Analysis
- Object-Oriented Databases
- Specialized Databases
- Optimization Problems
- Web Technologies and other related topics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tunable Sinusoidal Oscillator Using CCII with Variable Current Gain

Montree Kumngern, Punnavich Phatsornsiri, Kobchai Dejhan

Department of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
E-mail: kkmontre@kmitl.ac.th

Abstract—This paper presents a new electronically tunable sinusoidal oscillator. The proposed oscillator is consisted of two second-generation current conveyors with variable current gain, two grounded capacitors, one grounded resistor and one floating resistor. Unlike previously oscillators, the condition and the frequency of oscillation of this oscillator can be controlled electronically and independently by adjusting the current gains of current conveyors. The proposed circuit is beneficial to monolithic integrated circuit implementation using only grounded capacitors. Simulation results that confirm the theoretical predictions are also given.

Keywords—sinusoidal oscillator, second-generation current conveyor, analogue circuit

I. INTRODUCTION

Sinusoidal oscillators have found widely applications in many systems such as telecommunication, measurement and instrument, control and electronic. Therefore, many sinusoidal oscillators based on different design techniques have been developed in the literature [1]-[11]. The early circuits are operational amplifier (op-amp)-based sinusoidal oscillators [1], [2], but these circuits suffer from the use of large numbers of floating passive components. Moreover, it is well-known that the finite gain bandwidth product of the op-amp affects both the condition and the frequency of oscillation. To overcome this problem the second-generation current conveyor (CCII) is used to replace of the op-amp. Several CCII-based sinusoidal oscillators have been published [3]-[6]. However, the oscillators using CCII as active element suffers from a lack of electronic tunability. To achieve this property, sinusoidal oscillators should be used operational transconductance amplifier (OTA) or current-controlled current conveyor (CCCII) as active component [7]-[11]. The CCCII has a finite input impedance R_x at x terminal [12]. This R_x can be tuned by the bias current of CCCII. While it is well-known that the transconductance gain of OTA can be tuned by its bias currents. However, changing the bias current the performances of the devices will be changed, i.e. input dynamic range, bandwidth and linearity.

Recently, CCII with variable current gain (KCCII) has been proposed [13]-[16]. This active building block, the current gain at z-terminal can be obtained. This property makes it different from a conventional CCII. The current conveyors with arbitrary current gain are more attractive, especially for the realization of the current-mode counterparts

of the classical voltage-mode analogue signal processing circuits. Several KCCII-based analogue signal processing have been proposed [17]-[20].

In this paper, a new electronically tunable sinusoidal oscillator using KCCII as active building block is proposed. The circuit employs two KCCIIs, two grounded capacitors, one grounded resistor and one floating resistor. The condition and the frequency of oscillation of the proposed circuit can be controlled electronically and independently by adjusting the current gains of KCCIIs. The oscillator also exhibits low active and passive sensitivities and is very suitable for integration by using grounded capacitors. PSPICE simulation results that confirm the theoretical prediction are also given.

II. PROPOSED CIRCUIT

The electrical symbol of KCCII is shown in Fig. 1. The characteristics can be given by

$$\begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & k & 0 \end{pmatrix} \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix} \quad (1)$$

Fig. 2 shows the schematic of KCCII [14]. The circuit can be obtained by modifying the original circuit of the CCII and by adding additional current mirror with adjustable gain to obtain the required current gain at z terminal. A KCCII has a unity voltage gain between terminals y and x and tunable k current gain between terminals x and z. The latter property makes it different from a conventional current conveyor. The current gain k of Fig. 2 can be given by

$$k = \frac{I_a}{I_b} \quad (2)$$

Thus, it is evident that the output current is amplified by the factor k and this factor can be linearly controlled by adjusting the current ratio (I_a/I_b).

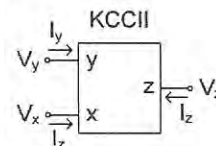


Figure 1. Electrical symbol of KCCII.

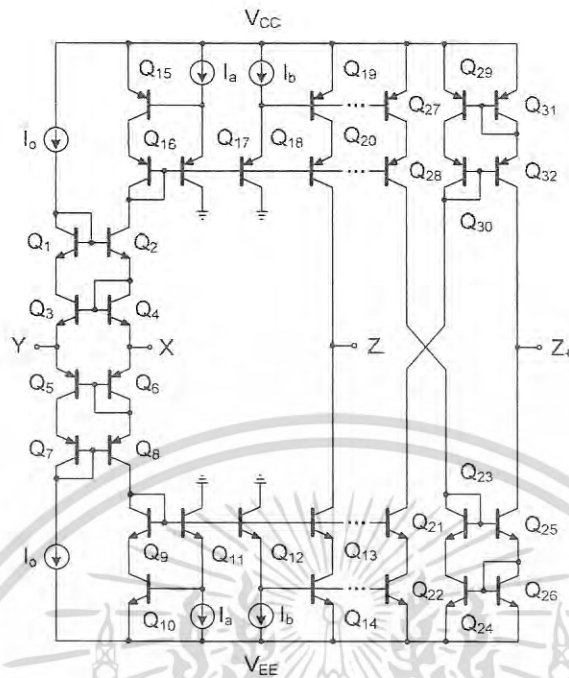


Figure 2. BJT implementation for KCCII [14].

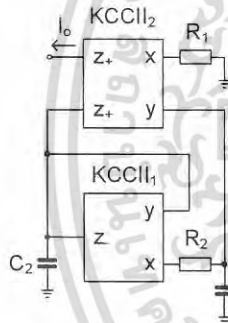


Figure 3. Proposed oscillator using KCCII.

The proposed sinusoidal oscillator is shown in Fig. 3. It should be noted that the circuit employs grounded capacitor which is ideal for integrated circuit implementation [21]. The characteristic equation of Fig. 3 can be expressed as

$$s^2 C_1 C_2 R_1 R_2 + s R_1 (C_2 - k_1 C_1) + k_2 = 0 \quad (3)$$

The condition of oscillation and the frequency of oscillation can be obtained, respectively, as

$$C_2 = k_1 C_1 \quad (4)$$

$$\omega_o = \sqrt{\frac{k_2}{C_1 C_2 R_1 R_2}} \quad (5)$$

Using equation (2), equations (4) and (5) can be rewritten as

$$C_2 = \left(\frac{I_{a1}}{I_{b1}} \right) C_1 \quad (6)$$

$$\omega_o = \sqrt{\frac{\left(\frac{I_{a2}}{I_{b2}} \right)}{C_1 C_2 R_1 R_2}} \quad (7)$$

It can see from equations (7) and (8) that the condition of oscillation can be controlled by the current gain k_1 via the bias current I_{a1} and the frequency of oscillation can be controlled by the current gain k_2 via the bias current I_{a2} with fix the bias currents I_{b1} and I_{b2} , where I_{a1} and I_{b1} are the bias currents of KCCII₁ and I_{a2} and I_{b2} are the bias currents of KCCII₂. Thus, the condition of oscillation and the frequency of oscillation can be controlled independently and electronically. With respect to the CCI-based oscillators in [9]-[11], the proposed structure is simpler for controlling the condition of oscillation and the frequency of oscillation.

III. NON-IDEAL EFFECTS

The previous realization has been based on the assumptions that the KCCII have ideal characteristics. However, in a practical realization, the non-ideal current transfer and voltage transfer that contribute to error from the ideal performance are present. Taking the non-idealities of the KCCII into account, the relationship of the terminal voltage and current can be rewritten as

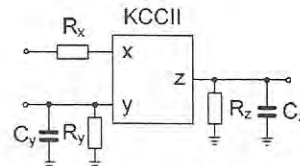


Figure 4. Non-ideal of KCCII at high frequency operation.

$$\begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ \alpha & 0 & 0 \\ 0 & \beta & 0 \end{pmatrix} \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix} \quad (8)$$

where $\alpha=1-\varepsilon$, $|\varepsilon|\ll 1$ represents the voltage tracking error and $\beta=1-\delta$, $|\delta|\ll 1$ represents the current tracking error.

To consider the KCCII operating at the high frequency, the non-ideal KCCII symbol showing various parasitic elements is expressed in Fig. 4. Using equation (8) and KCCII symbol in Fig. 4, the characteristic equation of Fig. 3 becomes

$$s^2 C_1' C_2' R_1' R_2' + s R_1' (C_2' - \alpha_2 \beta_2 k_1 C_1') + \alpha_1 \beta_1 \beta_2 k_2 = 0 \quad (9)$$

where α_1 and α_2 are the voltage gain error between y-terminal and x-terminal of KCCII₁ and KCCII₂, respectively, β_1 and β_2 are the current gain error between x-terminal and z-terminal of KCCII₁ and KCCII₂, respectively, β_1 and β_2 are the current gain error between x-terminal and z-terminal of KCCII₁ and KCCII₂, respectively, $R_1' = R_1 + R_{y1} + R_{z1} + R_{z2}$, $R_2' = R_2 + R_{x1}$, $R_3' = R_3 + R_{x2}$, $C_1' = C_1 + C_{y1} + C_{z1} + C_{z2}$, $C_2' = C_2 + C_{z1} + C_{y2}$.

The condition of oscillation and the frequency of oscillation can be modified, respectively, are

$$C_2' = \alpha_2 \beta_2 k_1 C_1' \quad (10)$$

$$\omega_o = \sqrt{\frac{\alpha_1 \beta_1 \beta_2 k_2}{C_1' C_2' R_1' R_2'}} \quad (11)$$

From equations (11) and (12), the tracking errors slightly change the condition of oscillation and also it will affect to the frequency of oscillation. However, this affection can be easily improved by increasing the current gain of current conveyors. Moreover, the condition of oscillation and the frequency of oscillation still can be independently controlled. The active and passive sensitivities of ω_o are analysed and found within 0.5 in magnitude, thus ensuring a good sensitivity performance of the circuit.

IV. SIMULATION RESULTS

The proposed oscillator was simulated using PSPICE simulators. The KCCII in Fig. 2 was performed with the transistor model of NR100N and PR100N of the bipolar arrays ALA400 from AT&T [22]. The voltage supply was taken as $V_{CC} = -V_{EE} = 3V$ and the bias currents were given as $I_o = 50\mu A$, $I_{a1} = 170\mu A$, $I_{b1} = I_{b2} = 100\mu A$ where I_{a1} was designed to be larger than I_{b2} to ensure the oscillations will start. As an example design, $C_1 = C_2 = 1nF$, $R_1 = R_2 = 10k\Omega$ were given. Fig. 5 shows the sinusoidal output waveforms for $I_{a1} = 200\mu A$ ($k_2 = 2$). The design frequency using these values was 22.4 kHz. The simulated result shows a frequency of 22 kHz. The frequency of oscillation was 22 kHz instead of 22.4 kHz owing the effect described in Section III. According to (11), this drop-off would be caused by voltage and current tracking errors of KCCIIs. Fig. 6 shows the plots of the frequency of oscillation of varying the value of resistor I_{a2} from 100 to 1000 μA while I_{b2} was fixed as 100 μA . The deviation between the simulation

and the theoretical results can be improved by using accuracy current gain.

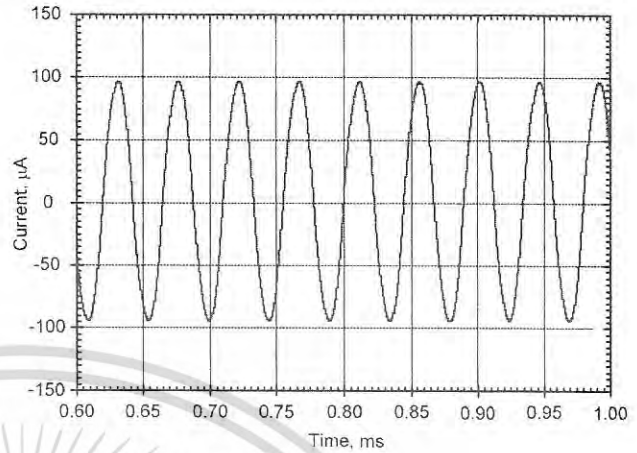


Figure 5. The simulated output waveform at 22 kHz ($k_2=2$).

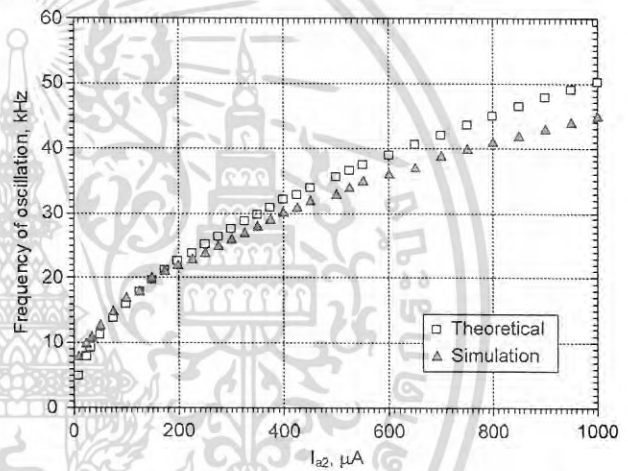


Figure 6. Electronic frequency tuning with bias current I_{a2} .

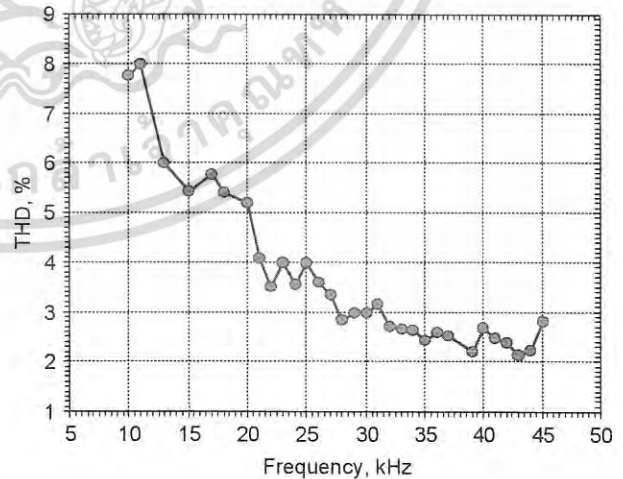


Figure 7. Total harmonic distortion as a function of the frequency of oscillation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

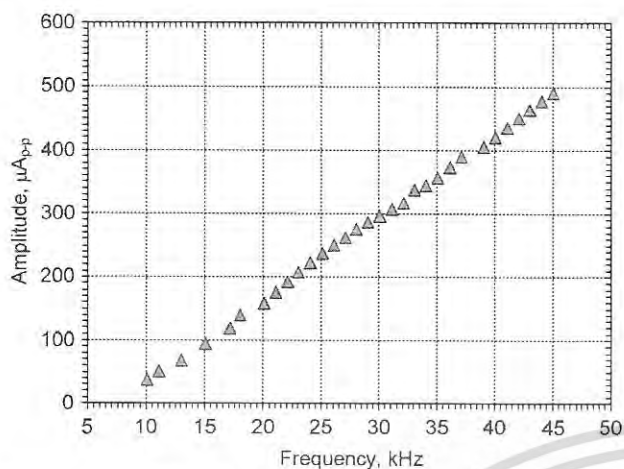


Figure 8. The amplitude of the output signal as a function of the frequency of oscillation.

The total harmonic distortion (THD) was shown in Fig. 7. The lower THD can be achieved by using low-pass filter. Typically, tuning the frequency of oscillation by the bias current of CCCII or the resistor, the amplitude of the output signal will be changed [9]-[11]. The amplitudes of current output signal of the proposed circuit was investigated and shown in Fig. 8. It can see from this figure that the constant amplitude can be obtained.

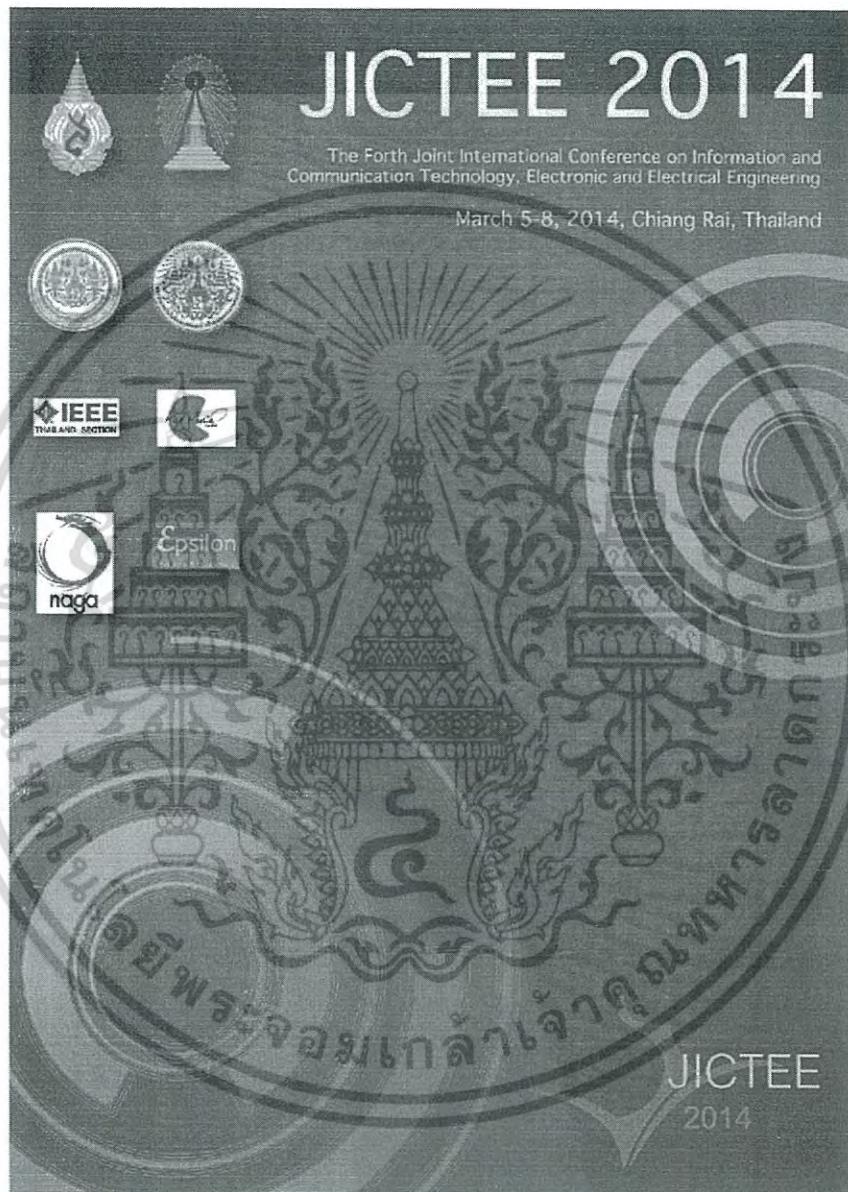
V. CONCLUSIONS

In this paper, a new sinusoidal oscillator using KCCII was presented. The proposed circuit employs two KCCII, two grounded capacitors, one grounded resistor and one floating resistor. The condition of oscillation and the frequency of oscillation can be controlled electronically and independently through adjusting the current gains of the KCCII. The use of grounded capacitors makes the circuit ideal for IC implementation. The simulation results obtained were found to be in good agreement with the theory.

REFERENCES

- [1] N. Boutin, "Two new single op-amp RC bridge-T oscillator circuits," IEE Proceedings G, Electronic Circuits and Systems, vol. 130, pp. 222-224, 1983.
- [2] B. B. Bhattacharyya, M. T. Darkani, "A unified approach to the realization of canonic RC-active, single as well as variable, frequency oscillators using operational amplifiers," Journal of the Franklin Institute, vol. 317, pp. 413-439, 1984.
- [3] S. Celma, P. A. Martinez, A. Carlosena, "Minimal realisation for single resistor controlled sinusoidal oscillator using single CCII," Electronics Letters, vol. 28, pp. 443-444, 1992.
- [4] R. Nandi, "New RC oscillators using current conveyors," International Journal of Electronics, vol. 42, pp. 309-311, 1977.
- [5] M. T. Abuelma'atti, A. A. Al-Ghumaiz, M. H. Khan "Novel CCII-based single-element-controlled oscillators employing grounded resistors and capacitors," International Journal of Electronics, vol. 78, pp. 1107-1112, 1995.
- [6] J.-W. Horng, C.-W. Chang, M.-H. Lee, "Single-element-controlled sinusoidal oscillators using CCII," International Journal of Electronics, vol. 6, pp. 831-836, 1997.
- [7] H. Kuntman, A. Ozpinar, "On the realization of DO-OTA-C oscillators," Microelectronics Journal, vol. 29, pp. 991-997, 1998.

- [8] C.-M. Chang, T.-S. Liao, "Novel sinusoidal oscillators using a single dual current output OTA," International Journal of Electronics, vol. 86, pp. 493-503, 2002.
- [9] J.-W. Horng, "A sinusoidal oscillator using current-controlled conveyors," International Journal of Electronics, vol. 88, 659-664, 2001.
- [10] C. Fongsamut, K. Anuntahirunrat, K. Kumwachara, W. Surakampontrorn, "Current-conveyor-based single-element-controlled and current-controlled conveyors," International Journal of Electronics, vol. 93, pp. 467-478, 2006.
- [11] M. Kumngern, S. Junnapiya, "A new sinusoidal oscillator using translinear current conveyors," in Proceeding of 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Malaysia, 2010, pp. 740-743.
- [12] A. Fabre, O. Saaid, F. Wiest, C. Boucheron, "Current controlled bandpass filter based on translinear conveyors," Electronics Letters, vol. 31, pp. 1727-1728, 1995.
- [13] W. Surakampontrorn, K. Kumwachara, "CMOS-based electronically tunable current conveyor," Electronics Letters, vol. 28, pp. 1316-1317, 1992.
- [14] A. Fabre, N. Mimeche, "Class A/AB second generation current conveyor with controlled current gain," Electronics Letters, 43, pp. 82-91, 1996.
- [15] S. Minaei, O. K. Sayin, H. Kuntman, "A new CMOS electronically tunable current conveyor and its application to current-mode filters," IEEE Transactions on Circuits and Systems-I, vol. 53, pp. 1448-1457, 2006.
- [16] M. Kumngern, "A new CMOS second generation current conveyor with variable current gain," in Proceeding of 2012 IEEE International Conference on Circuits & Systems (ICCCAS), Malaysia, 2012, pp. 272-275.
- [17] M. Kumngern, W. Jongchanavawat, K. Dejhan, "New electronically tunable current-mode universal biquad filter using translinear current conveyors," International Journal of Electronics, vol. 97, pp. 511-523, 2010.
- [18] M. Kumngern, J. Chanwutitum, K. Dejhan, "Electronically tunable multiphase sinusoidal oscillator using translinear current conveyors," Analog Integrated Circuits and Signal Processing, vol. 65, pp. 327-334, 2010.
- [19] M. Kumngern, "Multiple-input single-output current-mode universal filter using translinear current conveyors," Journal of Electrical and Electronics Engineering Research (JEEER), vol. 3, pp. 162-170, 2011.
- [20] M. Kumngern, "A new current-mode universal filter with single-input five-output using translinear current conveyors," Australian Journal of Electrical & Electronics Engineering (AJEEE), vol. 9, pp. 177-184, 2012.
- [21] M. Bhusan, R. W. Newcomb, "Grounding of capacitors in integrated circuits," Electronics Letters, vol. 3, pp. 148-149, 1967.
- [22] D. R. Frey, "Log domain filtering: an approach to current mode filtering," IEE Proceedings of Circuits, Devices and Systems, vol. 140, pp. 406-416, 1993.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current-mode Third-order Quadrature Oscillator Using VDTAs and Grounded Capacitors

Punnavich Phatsornsiri^{1,4}, Panit Lamun^{2,5}, Montree Kumngern^{1,6}, Usa Torteanchai^{3,7}

¹ Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

² School of Engineering, King Mongkut's Institute of Technology Ladkrabang Prince of Chumphon Campus, Chumphon 86160, Thailand

³ Avionics Division, Civil Aviation Training Center, Bangkok 10900, Thailand

E-mails: ⁴ hai_sg85@hotmail.com, ⁵ klpanit@kmitl.ac.th, ⁶ kkmontree@kmitl.ac.th, ⁷ usa@catc.or.th

Abstract—This paper presents a novel electronically tunable current-mode third-order quadrature oscillator based on voltage differencing transconductance amplifier (VDTA). The proposed oscillator is constructed using two VDTAs and three grounded capacitors, which is advantageous for integrated circuit implementation. The circuit provides two current outputs with 90° phase difference from high output impedance terminals. The condition of oscillation and the frequency of oscillation can be electronically tuned by adjusting the bias current of the VDTAs. The sensitivity studies of the circuit have been carried out. PSPICE simulations with 0.35 μm TSMC CMOS process parameters are given to confirm the theoretical analysis.

Keywords—current-mode circuit; quadrature oscillator; Voltage Differencing Transconductance Amplifier (VDTA)

I. INTRODUCTION

Quadrature oscillators (QOs) find a wide range of applications in telecommunications, signal processing and instrumentation systems [1]–[2]. Several QO structures based on different design techniques are thus available in the literature [3]–[19]. However, high performance circuits reported in [3]–[6] are second-order QOs. Compared second-order QO, third-order QO enjoys higher accuracy and lower harmonic distortion [7]. Therefore, many QOs based on third-order configurations have been reported in [7]–[19]. Three QOs using operational transconductance amplifiers (OTAs) are proposed in [7]–[8]. In [9]–[10], Horng et al. describe several QO circuits using second-generation current conveyors (CCII) as active components. Current controlled current conveyer (CCCII)-based QOs and using grounded passive components have been introduced [11]–[12]. In [13]–[14] proposed two mixed-mode (current- and voltage-mode) QOs that are realized based on the low-pass biquad filter and the inverting integrator as building blocks using differential voltage current conveyors (DVCCs). The current-mode third-order QO circuits using three current differencing transconductance amplifiers (CDTAs) and three grounded capacitors are introduced in [15]–[17]. However, most of third-order QOs mentioned above suffers from extensive number of passive and active components so they are not suitable for integrated circuit implementation. Moreover, some QO circuits could not provide non-interactive control for the condition of oscillation (CO) and the frequency of oscillation (FO).

Recently, the compact current-mode third-order QOs with minimum number of active components are presented [18]–[19]. These circuits exhibit good performance in terms of electronic tunability, high-output impedances, and orthogonal control of the CO and FO. However, the internal structure of used active components complicates with the use of more CMOS transistors.

Therefore, the purpose of this paper is to present a novel electronically tunable current-mode third-order quadrature oscillator using two voltage differencing transconductance amplifiers (VDTAs) and three grounded capacitors, which is ideal for integration [20]. Two high output impedance current-mode signals with 90° phase difference are available in the proposed oscillator. Moreover, the circuit has an attractive feature of orthogonal electronic setting of the CO and FO. The sensitivity studies of the circuit are carried out. The proposed circuit is tested by PSPICE program, and the simulation results agree well with the theoretical predictions.

II. CIRCUIT DESCRIPTION

A. Basic concept of the VDTA

The electrical symbol and behavior model of the VDTA are illustrated in Fig. 1, where p and n are the input terminals, and z , z_c , $x+$ and $x-$ are the output terminals. All terminals of VDTA exhibit high impedances. The internal structure of the VDTA is created by cascading of two dual-output operational transconductance amplifiers (DO-OTAs) [21]. The first DO-OTA forms the input stage that transfers the voltage across the p and n terminals to the currents flowing out of the z and z_c terminals. The second DO-OTA converts the voltage at the z terminal to currents flowing out of the $x+$ and $x-$ terminals. Therefore, the terminal relations of an ideal VDTA can be described by the following matrix:

$$\begin{bmatrix} I_z \\ I_{x+} \\ I_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \end{bmatrix} \quad (1)$$

where g_{mF} and g_{mS} are first and second transconductance gains of VDTA, which are controllable electronically by the external bias currents I_{BF} and I_{BS} , respectively [22]–[23].

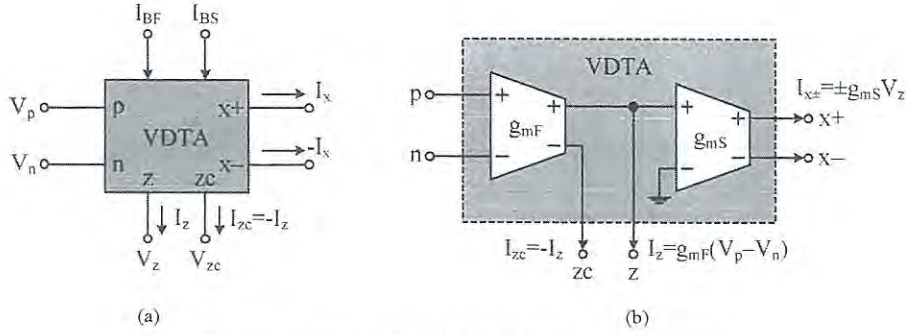


Figure 1. (a) Electrical symbol; (b) behavior model of VDTA.

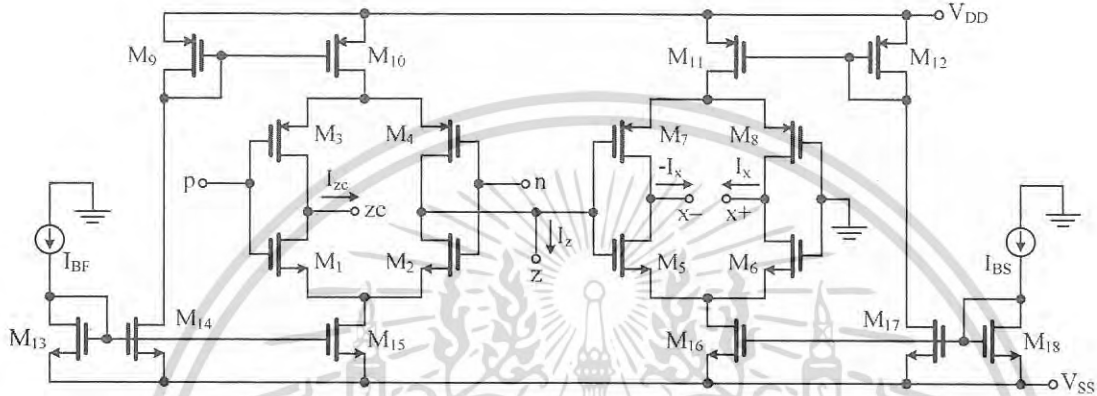


Figure 2. CMOS implementation of the VDTA.

The simple structure of VDTA circuit based on CMOS technology is shown in Fig. 2 [23]. It consists of two DO-OTAs. The first and second transconductances of VDTA in the circuit can be approximated as

$$g_{mF} \cong \left(\frac{g_1 g_2}{g_1 + g_2} \right) + \left(\frac{g_3 g_4}{g_3 + g_4} \right), \quad (2)$$

$$g_{mS} \cong \left(\frac{g_5 g_6}{g_5 + g_6} \right) + \left(\frac{g_7 g_8}{g_7 + g_8} \right) \quad (3)$$

where $g_i = \sqrt{I_{Bi} \mu C_{ox} \frac{W_i}{L_i}}$ is the transconductance value of the

i -th transistor, I_{Bi} is the dc bias current of the i -th transistor, μ is the free electron mobility in channel, C_{ox} is the gate oxide capacitance per unit area, W and L are the channel width and channel length of the i -th MOS transistor, respectively.

B. Proposed third-order quadrature oscillator

The proposed current-mode third-order quadrature oscillator is designed by using a second-order low-pass filter and the inverting lossless integrator cascaded in a loop as shown in Fig. 3. It is composed of two VDTAs and three grounded capacitors. Routine analysis of this circuit with $g_{mS1} = g_{mF2} = g_{mA}$ ($I_{BS1} = I_{BF2}$) yields the characteristic equation as

$$s^3 C_1 C_2 C_3 + s^2 g_{mF1} C_3 (C_1 + C_2) + s g_{mF1} g_{mA} C_3 + g_{mF1} g_{mS2} g_{mA} = 0. \quad (4)$$

Here, g_{mFj} and g_{mSj} are the transconductance gains, where $j=1, 2$ denotes the number of VDTAs. From (4) the CO and FO can be expressed, respectively, as

$$\text{CO: } \frac{g_{mF1} (C_1 + C_2)}{C_1 C_2} = \frac{g_{mS2}}{C_3}, \quad (5)$$

$$\text{FO: } f_o = \frac{1}{2\pi} \sqrt{\frac{g_{mF1} g_{mA}}{C_1 C_2}}. \quad (6)$$

It is found from (5) and (6) that for fixed values of capacitors, the CO can be electronically controlled by varying g_{mS2} via the bias current I_{BS2} . Also, the FO can be electronically tuned by adjusting g_{mA} via the bias currents of VDTAs without disturbing the CO. This means that the CO and FO are orthogonally controlled. From the circuit in Fig. 3, VDTA₂ along with C_3 forms of the lossless integrator. The relation between the two output currents at the oscillating frequency is

$$\frac{I_{o2}(j\omega_o)}{I_{o1}(j\omega_o)} = \frac{g_{mS2}}{\omega_o C_3} e^{-j90^\circ}. \quad (7)$$

The currents are also shifted 90° and this guarantees that proposed circuit provides the quadrature output currents. All the outputs are at high impedance x -terminals of VDTA, thus the output current terminals can be directly connected to the next stage without additional buffering circuits. Note from (7) that the magnitudes of the quadrature current signals are not same. Thus, for applications requiring equal magnitudes quadrature outputs, other amplifying circuits are needed.

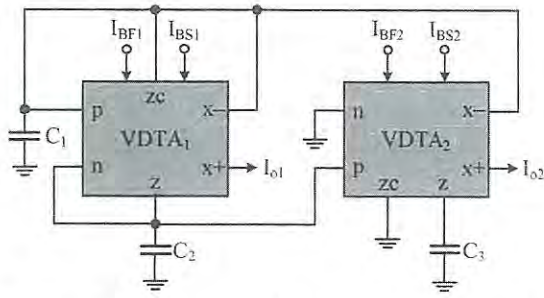


Figure 3. Proposed current-mode third-order quadrature oscillator.

The various active and passive sensitivities of parameter f_o derived from (6) are

$$S_{g_{mF1}, g_{mA}}^{f_o} = -S_{C_1, C_2}^{f_o} = \frac{1}{2} \quad (8)$$

Equation (8) shows that all the incremental parametric sensitivities of the proposed circuit with respect to active and passive components are 0.5 in absolute values, which implies good sensitivity performance.

III. SIMULATION RESULTS

In order to verify the workability of the designed current-mode third-order quadrature oscillator given in Fig. 3, it has been simulated using PSPICE simulation program. The CMOS implementation of VDTA used in simulation is shown in Fig. 2. The transistors are modeled by using the 0.35 μm TSMC process parameters. Dimensions of transistors are same as in [23]. The supply voltages are taken as: $V_{DD} = -V_{SS} = 2\text{V}$.

As a particular example, the component values of the proposed circuit were chosen as: $C_1 = C_2 = 60\text{pF}$, $C_3 = 30\text{pF}$, $I_{BF1} = I_{BS1} = I_{BF2} = 50\mu\text{A}$ ($g_{mF1} = g_{mS1} = g_{mF2} \approx 410\mu\text{A/V}$), and $I_{BS2} = 65\mu\text{A}$, where the I_{BS2} was designed slightly larger than I_{BF1} to start-up the oscillation. The simulated waveforms of the quadrature current outputs in steady-state are shown in Fig. 4. The simulated frequency of oscillations obtained was 1.054 MHz against the designed value of 1.10 MHz having frequency error of 4.2%. The simulated frequency spectrums of the current outputs are shown in Fig. 5. The total harmonic distortions (THDs) for current outputs I_{o1} and I_{o2} are 0.9% and 1.8%, respectively. The results of the THD analysis are

summarized in Table I. It can be seen from Table I that phase angles of I_{o1} and I_{o2} are -25.03° and -114.2° , respectively. Thus, the quadrature phase error of the current outputs is about 0.9%. The quadrature relationship between the two current waveforms has been verified using X-Y plot, as shown in Fig. 6. The electronic tuning of the oscillator is shown in Fig. 7 that gives a variation of oscillating frequency from 0.71 MHz to 1.42 MHz with bias currents in the range 10 μA to 160 μA , respectively. It can be observed from Fig. 7 that the results of circuit simulations are in agreement with theoretical predictions.

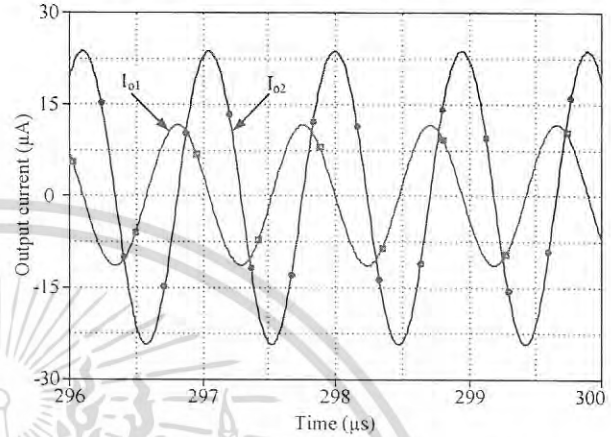


Figure 4. Simulated waveforms of the quadrature current outputs.

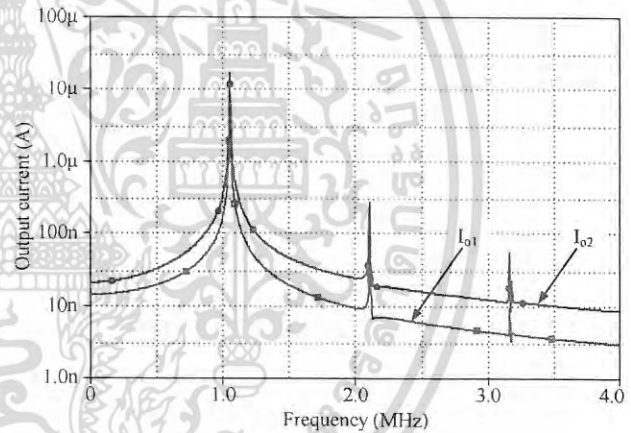


Figure 5. Simulated frequency spectrums of the current outputs.

TABLE I. THD ANALYSIS FOR I_{o1} AND I_{o2} OF THE PROPOSED OSCILLATOR

Harmonic (No.)	Frequency (Hz)	Fourier component	Normalized component	Phase (Deg)	Normalized phase (Deg)
Output I_{o1}					
1	1.054E+06	1.034E-05	1.000E+00	-2.503E+01	0.000E+00
2	2.107E+06	9.080E-08	8.783E-03	-8.462E+01	-3.456E+01
3	3.161E+06	1.860E-08	1.799E-03	-3.227E+01	4.282E+01
4	4.214E+06	8.709E-09	8.424E-04	-2.644E+01	7.367E+01
5	5.268E+06	1.024E-08	9.901E-04	-1.291E+01	1.122E+02
Output I_{o2}					
1	1.054E+06	2.167E-05	1.000E+00	-1.142E+02	0.000E+00
2	2.107E+06	3.940E-07	1.818E-02	-1.467E+02	8.181E+01
3	3.161E+06	5.827E-08	2.688E-03	1.761E+01	3.603E+02
4	4.214E+06	1.519E-08	7.009E-04	-1.708E+02	2.861E+02
5	5.268E+06	6.188E-09	2.855E-04	-1.674E+02	4.038E+02
I_{o1} : DC component = 7.666146E-08; THD = 9.058828E-01 percent					
I_{o2} : DC component = 1.668178E-06; THD = 1.839275E+00 percent					

เอกสารนี้เป็นเอกสารที่สวชนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

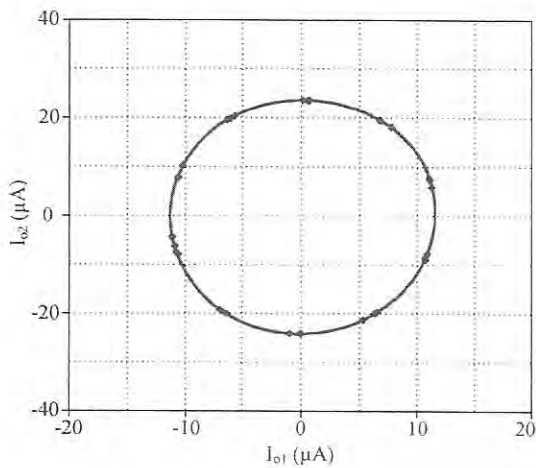


Figure 6. X-Y plot of quadrature current outputs.

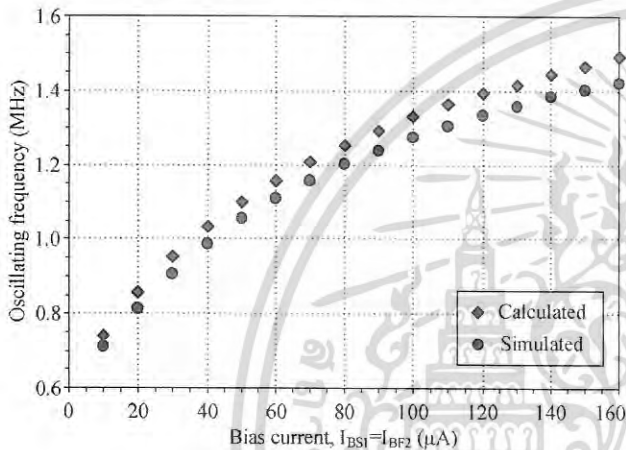


Figure 7. Electronic frequency tuning with bias currents.

IV. CONCLUSIONS

A novel electronically tunable current-mode third-order quadrature sinusoidal oscillator based on two VDTAs as active component and three grounded capacitors is presented. The proposed circuit provides two explicit quadrature current outputs with 90° phase difference; enjoys the advantages of the orthogonal electronic controlling for the condition of oscillation and the frequency of oscillation, suitability for integration and low incremental parametric sensitivities. The simulation results achieved from PSPICE showed good functionality of the proposed circuit, low total harmonic distortions, low quadrature phase error, and electronic adjustability in a wide range.

REFERENCES

[1] J. D. Gibson, *The communications handbook*, CRC Press, Boca Raton, 1997.
 [2] W. Bolton, *Measurement and instrumentation systems*, Newnes, Oxford, 1996.
 [3] A. U. Keskin, C. Aydin, E. Hancioglu, and C. Acar, "Quadrature oscillator using current differencing buffered amplifiers (CDBA)," *Frequenz*, vol. 60, pp. 21-23, 2006.

[4] A. U. Keskin and D. Birolek, "Current-mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)," *IEE Proc. Circuits Devices Syst.*, vol. 153, no. 3, pp. 214-218, 2006.
 [5] W. Tangsrirat, D. Prasertsom, T. Piyat, and W. Surakamponorn, "Single resistance-controlled quadrature oscillator using current differencing buffered amplifier," *Int. J. Electron.*, vol. 95, no. 11, pp. 1119-1126, 2008.
 [6] M. Kumngern, P. Lamun, and K. Dejhan, "Current-mode quadrature oscillator using current differencing transconductance amplifiers," *Int. J. Electron.*, vol. 99, no. 7, pp. 971-986, 2012.
 [7] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *Int. J. Electron.*, vol. 89, no. 5, pp. 365-379, 2002.
 [8] T. Tsukutani, Y. Sumi, and Y. Fukui, "Electronically controlled current-mode oscillators using MO-OTAs and grounded capacitors," *Frequenz*, vol. 60, pp. 220-223, 2006.
 [9] J.-W. Horng, C.-L. Hou, C.-M. Chang, W.-Y. Chung, H.-W. Tang, and Y.-H. Wen, "Quadrature oscillator using CCIIs," *Int. J. Electron.*, vol. 92, no. 1, pp. 21-31, 2005.
 [10] J.-W. Horng, "Current/voltage-mode third order quadrature oscillator employing two multiple outputs CCIIs and grounded capacitors," *Indian J. Pure & Applied Physics*, vol. 49, pp. 494-498, 2011.
 [11] S. Maheshwari and I. A. Khan, "Current controlled third order quadrature oscillator," *IEE Proc. Circuits Devices Syst.*, vol. 152, no. 6, pp. 605-607, 2005.
 [12] S. Maheshwari, "Current-mode third-order quadrature oscillator," *IET Circuits Devices Syst.*, vol. 4, no. 3, pp. 188-195, 2010.
 [13] S. Maheshwari, "Quadrature oscillator using grounded components with current and voltage outputs," *IET Circuits Devices Syst.*, vol. 3, no. 4, pp. 153-160, 2009.
 [14] B. Chaturvedi and S. Maheshwari, "Third-order quadrature oscillator circuit with current and voltage outputs," *ISRN Electronics*, vol. 2013, pp. 1-8, 2013, Article ID 385062.
 [15] J.-W. Horng, "Current-mode third-order quadrature oscillator using CDTAs," *Active and Passive Electronic Components*, vol. 2009, pp. 1-5, 2009, Article ID 789171.
 [16] J.-W. Horng, H. Lee, and J.-Y. Wu, "Electronically tunable third-order quadrature oscillator using CDTAs," *Radioengineering*, vol. 19, no. 2, pp. 326-330, 2010.
 [17] M. Kumngern and J. Chanwuthitum, "Electronically tunable current-mode quadrature oscillator," in *Proc. of the International Conference on Robotics, Vision, Signal Processing & Power Applications (RoViSP'09)*, Langkawi Malaysia, 2009.
 [18] M. Kumngern and S. Junnapiya, "Current-mode third-order quadrature oscillator using minimum elements," in *Proc. of the International Conference on Electrical Engineering and Informatics (ICEEI'11)*, Bandung Indonesia, 2011, pp. 1-4.
 [19] S. Lawanwisut and M. Siriprachyanun, "High output-impedance current-mode third-order quadrature oscillator based on CCCCTAs," in *Proc. of the IEEE Region 10 International Conference (TENCON'09)*, Bangkok Thailand, 2009, pp. 1-4.
 [20] M. Bhusan and R. W. Newcomb, "Grounding of capacitors in integrated circuits," *Electronics Letters*, vol. 3, pp. 148-149, 1967.
 [21] D. Birolek, R. Senani, V. Biolkova, and Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposal," *Radioengineering*, vol. 17, no. 4, pp. 15-32, 2008.
 [22] A. Yesil, F. Kacar, and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application," *Radioengineering*, vol. 20, no. 3, pp. 632-637, 2011.
 [23] J. Satansup, T. Pukkalanun, and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements," *Circuits Syst Signal Process*, vol. 32, pp. 945-957, 2013, doi:10.1007/s00034-012-9492-0.



Abstract of ISMAC 2015



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Realization of Electronically Tunable Current-mode Quadrature Oscillator using CFTAs

Punnavich Phatsornsiri^{1,a}, Panit Lamun^{2,b}, Montree Kumngern^{1,c}

¹ Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

² School of Electronics Engineering, King Mongkut's Institute of Technology Ladkrabang
Prince of Chumphon Campus, Chumphon 86160, Thailand

E-mails: ^appunnavich@gmail.com, ^bklpanit@kmitl.ac.th, ^ckkmontre@kmitl.ac.th

Abstract—A new electronically tunable current-mode quadrature oscillator constructing with two current follower transconductance amplifiers (CFTAs), two virtually grounded resistors, and two grounded capacitors is presented. The proposed oscillator offers the advantages of independent control of the frequency of oscillation (FO) and condition of oscillation (CO), availability of two explicit quadrature current outputs, and low active and passive sensitivities. Moreover, the circuit possesses high output impedance level which is directly connected to the loads without additional current buffers. PSPICE simulation and experimental results are given to confirm the theoretical predictions.

Keywords—quadrature oscillator; current-mode circuit; current follower transconductance amplifier (CFTA)

I. INTRODUCTION

Quadrature oscillator (QO) is an important building block used to generate two sinusoidal signals 90 degrees out of phase with each other, as for example in telecommunication, signal processing, measurement and instrumentation systems [1], [2]. Therefore, many QO structures based on different active components have been introduced [3]–[15]. In [3], [4], several QOs, which use second-generation current conveyors (CCII) as active components, have been proposed. Two QO circuits using operational transconductance amplifiers (OTAs) are reported in [5]. Current differencing buffered amplifier (CDBA)-based QOs and using virtually grounded passive components are introduced [6], [7]. Most of QOs mentioned above suffer from the use of more active and passive components and they operate in voltage-mode; thus the voltage buffers are required to obtain the voltage output signals. The realization in [8] presents a QO, which uses a minimum number of active and passive components. However, this configuration still operates in voltage-mode.

Recently, the applications and advantages of high performance current-mode QOs have been receiving considerable attention. Several realizations of current-mode QOs are thus reported in the literature, for example [9]–[14]. Although the circuits in [9], [10] provide non-interactive control for the condition of oscillation (CO) and the frequency of oscillation (FO), they contain a lot of passive components. The QOs based on current differencing transconductance amplifier (CDTA) have been presented in [11], [12]. The study in [11] provides four-phase current outputs, but employs three CDTAs and two

grounded capacitors, so it occupies a large area for fabrication. The circuit implemented in [12] employs only one CDTA and three passive components. However, this circuit uses floating capacitor, which is not suitable for integration. Moreover, the CO and FO cannot be independently adjusted. The resistorless QOs have been proposed in [13], [14]. These circuits utilize the intrinsic resistances of used active components for controlling the CO or/and FO. However, the intrinsic resistances depend on the manufacturing deviations, supply voltage, biasing current, temperature, etc. Therefore it causes some problems with accuracy in the applications. In addition, the manufacturing tolerances of the intrinsic resistance can be tens of percent [4].

The aim of this paper is to present a new electronically tunable current-mode quadrature oscillator. The proposed circuit consists of two CFTAs, two virtually grounded resistors and two grounded capacitors. The circuit provides current outputs with 90° phase difference, all at high output impedance terminals. The CO and FO are independently controllable by varying the bias currents of CFTAs. The non-ideal analysis and the sensitivity performance of the proposed circuit are studied. The PSPICE simulation and experimental results are included to verify the theoretical analysis.

II. PROPOSED CIRCUIT

A. Description of the CFTA

The CFTA is one of current-mode components, which can be modified from the conventional CDTA [15]. This device consists of an input current follower that transfers the input current to the z terminal and a balance-output operational transconductance amplifier (BOTA) stage, which is used to transform the voltage at the z terminal to dual output currents with the transconductance parameter (g_m). The relationship between the terminal voltages and currents can be characterized by the following equations [8], [16]:

$$V_f = 0, I_z = I_f, I_{x\pm} = \pm g_m V_z, \quad (1)$$

and
$$g_m = I_B / 2V_T, \quad (2)$$

where $V_T \approx 26$ mV at 27°C is the thermal voltage and I_B is the external bias current used to control the g_m .

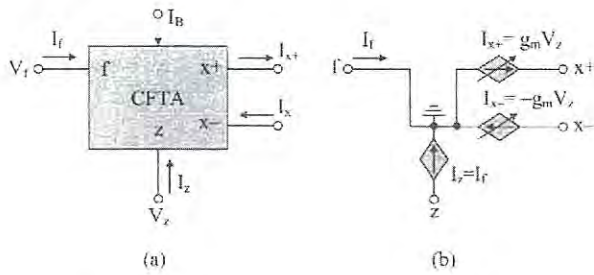


Fig. 1. CFTA: (a) symbol and (b) equivalent circuit.

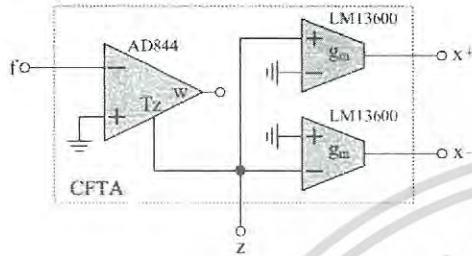


Fig. 2. Implementation of the CFTA using commercially available ICs.

The CFTA circuit representation and equivalent circuit are shown in Fig. 1(a) and (b), respectively. Generally, the CFTA can be constructed by using several well-known circuit techniques; one possible to realization of CFTA is use commercially available active components as shown in Fig. 2.

B. Proposed oscillator configuration

The proposed electronically tunable current-mode quadrature oscillator is shown in Fig. 3. It consists of two CFTAs, two virtually grounded resistors and two grounded capacitors. Note that the use of all grounded capacitors is particularly attractive from a monolithic integration perspective, because grounded capacitor circuits compensate for parasitic capacitances at their nodes [17]. In addition, each virtually grounded resistor may easily be realized as an active resistor using a BOTA [18]. A routine analysis of the circuit in Fig. 3 yields the following characteristic equation:

$$s^2 C_1 C_2 R_1 + s C_2 (1 - g_{m1} R_2) + g_{m2} = 0 \quad (3)$$

From (3), the condition of oscillation (CO) and the frequency of oscillation (FO) can be obtained as

$$\text{CO: } g_{m1} R_2 \geq 1, \quad (4)$$

$$\text{FO: } f_o = \frac{1}{2\pi} \sqrt{\frac{g_{m2}}{C_1 C_2 R_1}} \quad (5)$$

It is evident from (4) and (5) that the CO can be adjusted by varying the g_{m1} -value through the bias current I_{B1} , whereas the FO can be tuned by varying the g_{m2} -value through the bias current I_{B2} without affecting the CO. This indicates that the proposed circuit is an electronically controlled oscillator and provides the independent control of the CO and FO.

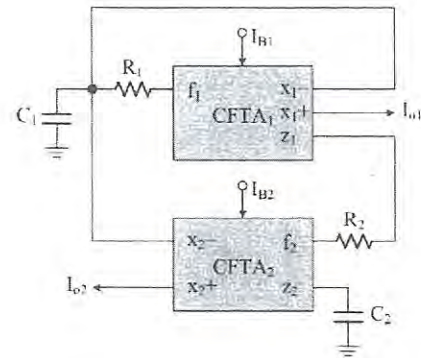


Fig. 3. Proposed current-mode quadrature oscillator.

From Fig. 3, CFTA₂ along with C₂ form of the lossless integrator. Therefore, the relationship between two output currents can be expressed as

$$\frac{I_{o2}(s)}{I_{o1}(s)} = \frac{g_{m2}}{s C_2 g_{m1} R_2} \quad (6)$$

From (6), under the sinusoidal steady state, the current transfer function from I_{o2} to I_{o1} is

$$\frac{I_{o2}(j\omega_o)}{I_{o1}(j\omega_o)} = \frac{g_{m2}}{\omega_o C_2 g_{m1} R_2} e^{-j90^\circ} \quad (7)$$

It is clearly seen from (7) that the phase difference between I_{o1} and I_{o2} is $\phi = \pi/2$. This means that the currents I_{o1} and I_{o2} are in quadrature form. Because the output impedances of the currents I_{o1} and I_{o2} are very high, the two output terminals, I_{o1} and I_{o2} can also be directly connected to the loads without additional buffering devices. It should be noted from (7) that the amplitudes of the quadrature current waveforms are not same. Thus, for applications requiring equal amplitudes quadrature outputs, other amplifying circuits are needed.

III. NON-IDEAL ANALYSIS AND SENSITIVITY PERFORMANCE

Taking the non-idealities of the CFTA into account, the relationship of terminals described by (1) can be modified by (8) which is as follows

$$V_f = 0, I_z = \alpha I_f, I_{x\pm} = \pm \beta g_m V_z, \quad (8)$$

where α is the non-ideal current transfer gain between f - z terminals and β is the transconductance inaccuracy factor between z - x^+ and z - x^- terminals of CFTA. Therefore, re-analysis using the conditions in (8), the characteristic equation of Fig. 3 becomes

$$s^2 C_1 C_2 R_1 + s C_2 (1 - \alpha \beta_1 g_{m1} R_2) + \alpha_1 \alpha_2 \beta_1 \beta_2 g_{m2} = 0, \quad (9)$$

where α_i and β_i are non-ideal gains of each CFTA. With involved non-ideality, the CO and FO are modified as

$$\text{CO: } \alpha_1 \beta_1 g_{m1} R_2 \geq 1, \quad (10)$$



$$FO: f_o = \frac{1}{2\pi} \sqrt{\frac{\alpha_1 \alpha_2 \beta_1 \beta_2 g_{m2}}{C_1 C_2 R_1}} \quad (11)$$

From (10) and (11), it is evident that the CO and FO are little changed from the ideal case because the values of α_1 , α_2 , β_1 and β_2 are slightly less than unity. To compensate these effects, it can improve by adjusting the transconductance g_{m1} and g_{m2} values through the external bias currents I_{B1} and I_{B2} , respectively.

Sensitivity analysis of the proposed oscillator with respective to active and passive components yields

$$S'_{\alpha_1, \alpha_2, \beta_1, \beta_2, g_{m2}} = -S'_{C_1, C_2, R_1} = \frac{1}{2} \quad (12)$$

From above results, it can be found that all the f_o active and passive sensitivities are within 0.5 in magnitude and hence, the proposed circuit exhibits a satisfactory sensitivity performance.

IV. SIMULATION AND EXPERIMENTAL RESULTS

To verify the above given theoretical study, the proposed oscillator has been simulated with the PSPICE program and the simulation results have also been confirmed by experimental testing. In the simulation and experiment tests, the CFTA component was constructed by using CFA AD844 and OTA LM13600 [19], [20] as shown in Fig. 2. The used supply voltage was ± 5 V.

As an example, the component values used in Fig.3 were chosen with $C_1 = C_2 = 1$ nF, $R_1 = R_2 = 1$ k Ω , $I_{B1} = 55$ μ A ($g_{m1} = 1.057$ mA/V) and, $I_{B2} = 52$ μ A, ($g_{m2} = 1$ mA/V) respectively. Note that the parameter $g_{m1} R_2$ in (4) is kept slightly larger than unity to start-up the oscillations. The simulated waveforms of the quadrature output currents are shown in Fig.4. The oscillating frequency (f_o) of the simulated circuit is 150 kHz, which is lower than the calculated value of 159.23 kHz. Thus, frequency error is about 5.7%. Fig. 5 shows the simulated frequency spectrums of output current waveforms of Fig. 4. The total harmonic distortions (THDs) for I_{o1} and I_{o2} are approximately 2.52% and 3.49%, respectively. The results of the THD analysis achieved from the simulations are summarized in Table 1. It can be observed from Table 1 that phase angles of I_{o1} and I_{o2} are -130.4° and -39.53° , respectively. Thus, the quadrature phase error of the output currents is about 1%.

For the experiment tests, the proposed oscillator was implemented in the laboratory with the same components that used in simulation. The measured output waveforms of quadrature currents are shown in Fig. 6. In this figure, the output currents I_{o1} and I_{o2} are connected to the load resistors 20 k Ω , and the obtained oscillating frequency is about 149.7 kHz. Fig. 7 shows the theoretical, simulation and experimental results for the variation of the oscillating frequency by adjusting the bias current I_{B2} from 25 μ A to 300 μ A. It can be seen from Fig. 7 that the simulated and measured values illustrate a close correspondence with the theoretical predictions. It should be noted that the inconsistencies in oscillating frequencies are due to the non-idealities discussed in section III.

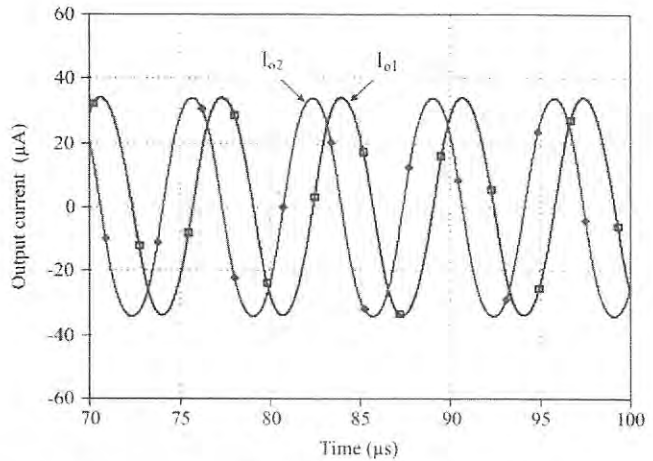


Fig. 4. Simulated quadrature waveforms of I_{o1} and I_{o2} .

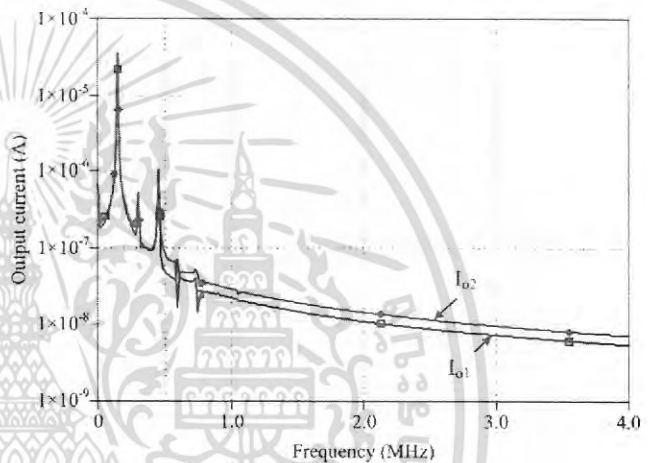


Fig. 5. Simulated frequency spectrums of I_{o1} and I_{o2} .

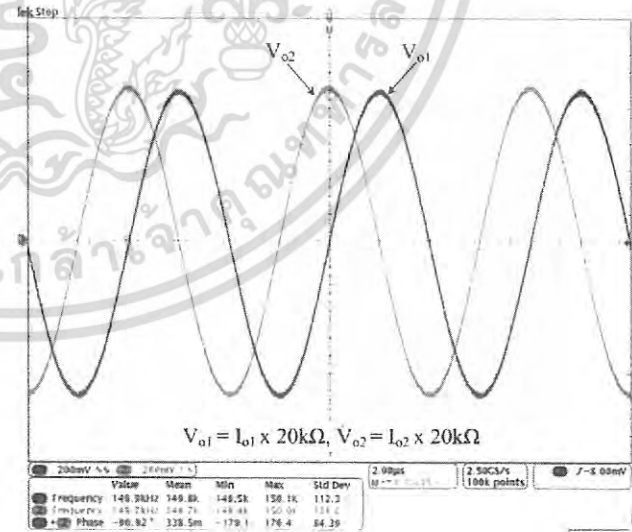
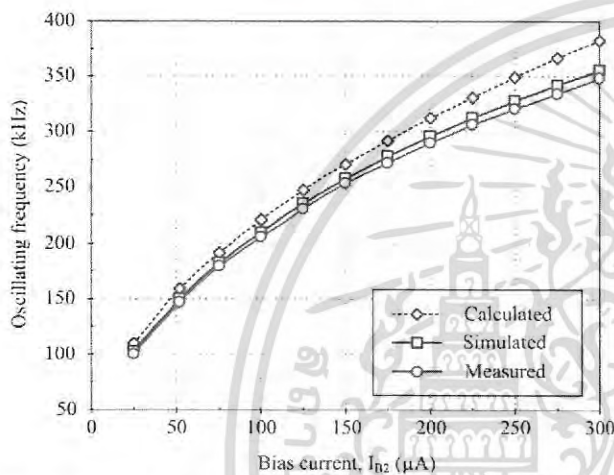


Fig. 6. Measured output waveforms across the resistors 20k Ω .

TABLE I THD ANALYSIS FOR I_{o1} AND I_{o2} OF THE PROPOSED OSCILLATOR

Harmonic (No.)	Frequency (Hz)	Fourier component	Normalized component	Phase (Deg)	Normalized phase (Deg)
Output I_{o1}					
1	1.500E+05	3.485E-05	1.000E+00	-1.304E+02	0.000E+00
2	3.000E+05	3.116E-07	8.942E-03	1.300E+02	3.909E+02
3	4.500E+05	8.234E-07	2.362E-02	-6.134E+01	3.300E+02
4	6.000E+05	6.199E-08	1.778E-03	-1.612E+02	3.606E+02
5	7.500E+05	2.414E-08	6.927E-04	-4.511E+01	6.071E+02
Output I_{o2}					
1	1.500E+05	3.547E-05	1.000E+00	-3.953E+01	0.000E+00
2	3.000E+05	5.134E-07	1.447E-02	-1.624E+02	-8.335E+01
3	4.500E+05	1.127E-06	3.117E-02	-1.106E+02	7.977E+00
4	6.000E+05	2.471E-08	6.966E-04	6.802E+01	2.261E+02
5	7.500E+05	4.146E-08	1.169E-03	-1.763E+02	2.140E+01
DC component & Total Harmonic Distortion (THD)					
I_{o1} : DC component = 1.880545E-07; THD = 2.529624E+00 percent					
I_{o2} : DC component = -2.199296E-06; THD = 3.494135E+00 percent					


 Fig. 7. Variation of the oscillating frequency by varying bias current I_{b2} .

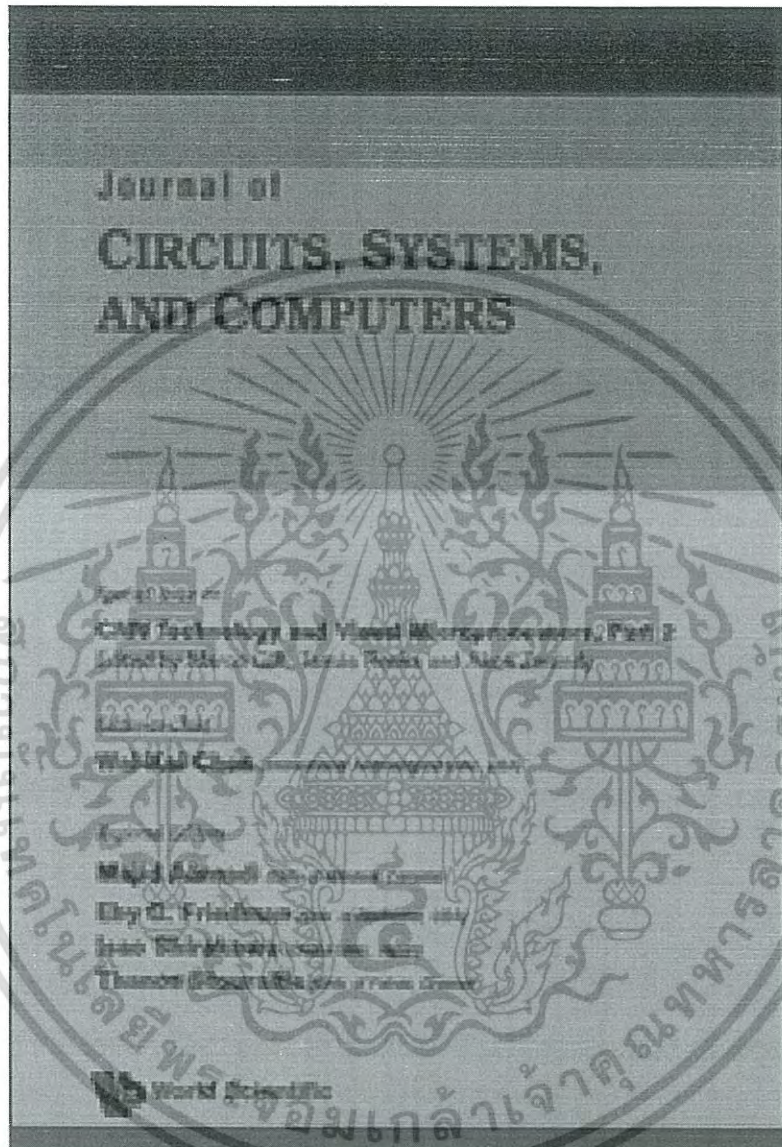
V. CONCLUSIONS

This article presents a new electronically tunable current-mode quadrature oscillator using two CFTAs, two virtually grounded resistors, and two grounded capacitors. The circuit provides two explicit quadrature current outputs with 90° phase difference; enjoys the advantages of the electronic independent control for the condition of oscillation and the frequency of oscillation, suitability for monolithic integration, and low active and passive sensitivities. PSPICE simulation and experimental results show good functionality of the proposed oscillator, low quadrature phase error, and electronic tuning in a wide range.

REFERENCES

- [1] J. D. Gibson, The communications handbook, CRC Press, Boca Raton, 1997.
- [2] W. Bolton, Measurement and instrumentation systems, Newnes, Oxford, 1996.
- [3] J-W. Horng, "Current conveyors based allpass filters and quadrature oscillators employing grounded capacitors and resistors," *Comput. Elect. Eng.*, vol. 31, pp. 81-92, 2005.
- [4] R. Sotner, Z. Hrubos, B. Sevcik, J. Slezak, J. Petrzela, and T. Dostal, "An example of easy synthesis of active filter and oscillator using signal flow graph modification and controllable current conveyors," *J. Elect. Eng.*, vol. 62, pp. 258-266, 2011.

- [5] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *Int. J. Electron.*, vol. 89, pp. 365-379, 2002.
- [6] A. U. Keskin, C. Aydin, E. Hancioglu, and C. Acar, "Quadrature oscillator using current differencing buffered amplifiers (CDBA)," *Frequenz*, vol. 60, pp. 21-23, 2006.
- [7] W. Tangsrirat, D. Prasertsom, T. Piyatad, and W. Surakamponrom, "Single resistance-controlled quadrature oscillator using current differencing buffered amplifier," *Int. J. Electron.*, vol. 95, pp. 1119-1126, 2008.
- [8] N. Herencsar, K. Vrba, J. Koton, and A. Lahiri, "Realisations of single-resistance-controlled quadrature oscillators using a generalised current follower transconductance amplifier and a unity-gain voltage-follower," *Int. J. Electron.*, vol. 97, pp. 897-906, 2010.
- [9] D. Biolek, A. Lahiri, W. Jaikla, M. Siripruchyanun, and J. Bajer, "Realization of electronically tunable voltage-mode/current-mode quadrature sinusoidal oscillator using ZC-CG-CDBA," *Microelectronics J.*, vol. 42, pp. 1116-1123, 2011.
- [10] A. U. Keskin and D. Biolek, "Current-mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)," *IEE Proc. Circuits Devices Syst.*, vol. 153, pp. 214-218, 2006.
- [11] W. Tangsrirat, "Current differencing transconductance amplifier-based current-mode four-phase quadrature oscillator," *Indian J. Engineering & Materials Sci.*, vol. 14, pp. 289-294, 2007.
- [12] W. Jaikla, M. Siripruchyanun, J. Bajer, and D. Biolek, "A simple current-mode quadrature oscillator using CDTA," *Radioengineering*, vol. 17, pp. 33-40, 2008.
- [13] C. Sakul, W. Jaikla, and K. Dejhan, "New resistorless current-mode quadrature oscillators using 2 CCCDTAs and grounded capacitors," *Radioengineering*, vol. 20, pp. 890-897, 2011.
- [14] P. Lamun, M. Kumngern, U. Torteanchai, and K. Sarsithithum, "Tunable current-mode quadrature oscillator employing CCCFTAs and grounded capacitors," in *Proc. of the ISMS 2013, Bangkok, Thailand, 2013*, pp. 665-668.
- [15] D. Biolek, "CDTA-building block for current-mode analog signal processing," in *Proc. of the ECCTD'03, III, Krakow, Poland, 2003*, pp.397-400.
- [16] N. Herencsar, J. Koton, K. Vrba, and I. Lattenberg, "Current follower transconductance amplifier (CFTA) – a useful building block for analog signal processing," *J. Active and Passive Electronic Devices*, vol. 6, pp. 217-229, 2011.
- [17] M. Bhusan and R. W. Newcomb, "Grounding of capacitors in integrated circuits," *Electronics Letters*, vol. 3, 148-149, 1967.
- [18] C.S. Den Brinker and W. Gosling, "The development of the voltage-to-current transconductor (VCT)," *Microelectronics J.*, vol.8, pp. 9-18, 1997.
- [19] AD844 Monolithic Op Amp, 60MHz, 2000V/ μ s, Datasheet. Available: <http://www.analog.com>.
- [20] LM13600 Dual Operational Transconductance Amplifiers with Linearizing Diodes and Buffers, Datasheet. Available: <http://www.national.com>.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Voltage-Mode Universal Biquadratic Filter Using DDCCTA*

Punnavich Phatsornsiri and Montree Kumngern†

*Department of Telecommunications Engineering,
Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang,
Bangkok 10520, Thailand
†kkmontre@gmail.com*

Panit Lamun

*School of Electronics Engineering,
King Mongkut's Institute of Technology Ladkrabang,
Prince of Chumphon Campus, Chumphon 86160, Thailand
panitlamun@gmail.com*

Received 7 August 2015

Accepted 11 October 2015

Published 21 December 2015

This paper presents a new voltage-mode (VM) universal biquadratic filter using differential difference current conveyor transconductance amplifier (DDCCTA) as an active element. The circuit employs one DDCCTA, two floating resistors and two floating capacitors which can realize five biquadratic filters, namely low-pass (LP), band-pass (BP), band-stop (BS), high-pass (HP) and all-pass (AP) into one single topology. For realizing these filtering functions, passive component-matching conditions, inverting-type and/or doubling-input signal requirements and changing circuit configuration are absent. The natural angular frequency and quality factor of the filter can be orthogonally controlled deliberately. The VM biquadratic filter using grounded passive components with high-input and low-output impedances can be obtained by adding an additional DDCCTA or differential difference current conveyor (DDCC). The simulation results with 0.5 μm CMOS process from MIETEC are given to confirm the theoretical predictions and the experimental results are also included to verify the workability of the proposed structure.

Keywords: Biquadratic filter; voltage-mode circuit; differential difference current conveyor transconductance amplifier.

*This paper was recommended by Regional Editor Piero Malcovati.

†Corresponding author.

1. Introduction

Analog active filters are essential building block that can be widely applied to communications, instrumentations and control systems.^{1,2} On the one hand, the biquadratic filters are second-order filters which can be used to realize high-order filters.³ The circuits are universal biquadratic filters if five standard filtering functions, namely low-pass (LP), high-pass (HP), band-pass (BP), band-stop (BS) and all-pass (AP) filters can be obtained simultaneously into a single topology. To achieve five filtering functions into one single topology is possible by appropriately connecting the input and output terminals. Considering the input and output terminals, universal filters can be classified as a single-input multiple-output (SIMO) structure, a multiple-input single-output (MISO) structure and a multiple-input multiple-output (MIMO) structure. A number of voltage-mode (VM) and current-mode (CM) universal biquadratic filters are available in technical literatures, such as the VM SIMO filters,⁴⁻⁷ the CM SIMO filters,^{4,8} the VM MISO filter,⁹ the CM MISO filter,¹⁰ the VM MIMO filter¹¹ and the CM MIMO filter.¹² However, some structures suffer from the use of several active elements. Although this point seems to be drawback, but these filters exhibit some advantages such as greater degrees of freedom when optimizing the circuit, lower sensitivities, higher quality factor (Q) and greater freedom in tuning natural angular frequency (ω_o) and Q when compared with single active element-based filters. Thus, filters⁴⁻¹² exhibit high potential for realizing variant the responses of filtering functions. There are other VM universal biquadratic filters using different active device available in technical literature see, for example Refs. 13-43. The circuits in Refs. 13-16 proposed VM universal filters with SIMO structure using various active devices. One study in Ref. 13 proposed two VM universal filters using two differential difference current conveyers (DDCCs), two capacitors and three resistors. Other studies in Ref. 14 proposed two VM universal filters; each proposed filter uses two DDCCs, three resistors and two capacitors, while the study in Ref. 15 proposed a voltage-mode universal filter using universal voltage conveyors (UVCs) as active elements. Another study in Ref. 16 introduced an electronically tunable universal filter using only simple operational transconductance amplifiers (OTAs). VM universal filters with MISO structure are developed in Refs. 17-20; two MISO filters employing three DDCCs, two capacitors and two resistors are proposed in Refs. 17 and 18; one MISO filter employing seven MOS transistors as active elements and four passive elements is proposed in Ref. 19; two MISO filters employing one voltage differencing inverting buffered amplifier (VDIBA), two capacitors and one resistor (or MOS resistor) are proposed in Refs. 20 and 21. The VM universal biquadratic filters with MIMO structures are developed in Refs. 22 and 24. The circuit in Ref. 22, three-input five-output filter using a single fully differential current conveyor (FDCCII) is proposed. The MIMO structure in Ref. 23 uses DDCCs while the MIMO structure in Ref. 24 uses DDCC and FDCCII. Compared with SIMO and MISO structures, an MIMO structure provides a variety

of circuit characteristics with different input and output terminals: hence minimum active elements can be achieved. However, the main problem of these MIMO structures²²⁻²⁴ is that they cannot provide orthogonal control with constraint parameters ω_o and Q . Moreover, for realizing the AP response, some circuits require passive component-matching condition. Several universal filters that enjoy orthogonal control with constraint parameters ω_o and Q are introduced in Refs. 25–28. However, all of these structures employ a larger number of active elements, such as four current-feedback operational amplifiers (CFOAs),²⁵ three CFOAs²⁷ and three DDCCs.²⁸

Recently, a new active building block with three voltage inputs and two kinds of current outputs, namely the DDCC transconductance amplifier (DDCCTA) is introduced.²⁹ The idea of DDCCTA is the combination of the DDCC and the transconductance amplifier (TA) in monolithic form. Therefore, the advantages of both DDCC (such as high-input impedance and arithmetic operation capability) and OTA (such as electronic tuning capability and suitable for integrated circuit (IC)) can be obtained into one single active element. The DDCCTA-based universal filters are already introduced.³⁰⁻³⁴ These structures provide SIMO filters that can realize five standard filtering functions simultaneously but all of these configurations use greater than or equal to two DDCCTAs and some filters^{30,31} still need component-matching condition for realizing AP response. Universal filter with MIMO structure employing three voltage differencing differential difference amplifier (VDDDA) (other name of DDCCTA) is proposed in Ref. 35. This structure provides high potential for realizing filtering functions, such as orthogonal control with constraints of ω_o and Q , high-impedance inputs and low-impedance outputs.

In general, a single active device-based circuit is very attractive, compared with the circuit using a large number active device. From the point of ease of the filter implementations, it is preferable to realize the active filters using minimum number of active devices as low as possible. This work focuses on the VM universal filters using a single active device, which is attractive for an IC fabrication process and also preferable low power consumption. When the filter used a single active device, the available parameters will be limited. This point is a challenge for researchers to develop full capability of the filters under the limitation of equipments, which is the main development of this paper. From our survey, several universal filters using a single active device have been introduced, see, for example Refs. 36–42. In Refs. 36 and 37, two universal filters using only a current differencing buffered amplifier (CDBA) and one single differential voltage current conveyor (DVCC) are respectively proposed but the circuits use many passive components which are not canonical for biquadratic filters. The compact universal filters using a single active device are presented in Ref. 38, but these structures require resistive/capacitive component-matching conditions for realizing some filtering functions, such as BS and AP responses³⁸ and cannot enjoy orthogonal control of the parameters ω_o and Q .³⁹ The filter in Ref. 40 employs a single current-controlled current conveyor

Table 1. Comparison of proposed filter with those of some previous works.

Circuits	Number of active elements	Number of resistors (R) and capacitors (C)	Offer five standard filters simultaneously	Controlling Q without affecting ω_c	Without matching-conditions	All-grounded passive components	High-input/low-output impedance
Proposed filters							
Fig. 3	1 DDCCTA	2-R & 2-C	Yes	Yes	Yes	No	No
Fig. 4	1 DDCCTA & 1 DDCC	2-R & 2-C	Yes	Yes	Yes	Yes	Yes
Ref. 7	2 ICCII	4-R & 2-C	No	No	Yes	No	Yes
Ref. 9	6 OTA	2-C	Yes	No	Yes	Yes	No
Ref. 13	2 DDCC	3-R & 2-C	Yes	Yes	Yes	No	Yes
Ref. 15	3 UVC	5-R & 2-C	No	Yes	Yes	No	Yes
Ref. 17	3 DDCC	2-R & 2-C	Yes	No	Yes	Yes	Yes
Ref. 20	1 VDIBA	2-C	Yes	No	Yes	No	No
Ref. 21	1 VDIBA	1-R & 2-C	Yes	No	Yes	No	No
Ref. 22	1 FDCCII	3-R & 2-C	Yes	Yes	Yes	No	No
Ref. 24	1 DDCC & 1 FDCCII	2-R & 2-C	Yes	No	Yes	Yes	No
Ref. 25	3 CFOA	4-R & 2-C	Yes	Yes	Yes	No	Yes
Ref. 28	3 DDCC	4-R & 2-C	Yes	Yes	Yes	No	Yes
Ref. 29 (Fig. 6)	1 DDCCTA	1-R & 2-C	No	No	Yes	Yes	No
Ref. 30	2 DDCCTA	2-R & 2-C	Yes	No	No	Yes	No
Ref. 31	3 DDCCTA	2-C	Yes	No	No	Yes	No
Ref. 32	2 DDCCTA	2-R & 2-C	Yes	No	Yes	Yes	No
Ref. 33	2 DDCCTA	2-R & 2-C	Yes	No	Yes	Yes	No

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Continued)

Circuits	Number of active elements	Number of resistors (R) and capacitors (C)	Offer five standard filters simultaneously	Controlling Q without affecting ω_0	Without matching-conditions	All-grounded passive components	High-input/low-output impedance
Ref. 34	2 DDCCTA	2- R & 2- C	Yes	Yes	Yes	No	No
Ref. 35	3 VDDDA	1- R & 2- C	Yes	Yes	No	Yes	Yes
Ref. 36	1 CDBA	4- R & 4- C	Yes	No	No	No	No
Ref. 37	1 DVCC	3- R & 2- C	No	No	No	No	No
Ref. 38	1 DVCC	2- R & 2- C	No	No	No	No	No
Ref. 39	1 DDBA	1- R & 2- C	Yes	No	No	No	No
Ref. 40 (Fig. 11)	1 CCCCTA	2- C	No	No	No	No	No
Ref. 41	1 DDCCTA	1- R & 2- C	No	No	Yes	No	No
Ref. 42	1 DDCCTA	1- R & 2- C	No	No	No	No	No

transconductance amplifier (CCCCTA) but the circuit uses inverting-type or doubling-input voltage signal to realize some filtering functions which is difficult for implementation. Two universal biquadratic filters using a single DDCCTA were already introduced.^{41,42} However, these filters are SIMO structures. Moreover, the structure in Ref. 41 provides only three filtering functions, i.e., LP, HP and BP filters while the structure in Ref. 42 requires component-matching condition for realizing some responses, i.e., BS and AP responses.

Therefore, the purpose of this paper is to propose a new VM universal biquadratic filter employing only one DDCCTA, two resistors and two capacitors. The proposed topology has three inputs four outputs that can realize five standard filtering functions (LP, BP, HP, BS and AP) by appropriately applying the input signals and selecting the output terminals. To obtain these filtering functions, without changing the circuit topology, without requiring any inverting-type input signals and without requiring passive component-matching condition are possessed. The parameters ω_o and Q of filter can be orthogonally controlled deliberately by setting the circuit components. The simulation results are included to confirm the feasibility of proposed circuit and the experimental results are also used to confirm the proposed theory. A comparison between proposed filter and some previously filters is summarized in Table 1.

2. Circuit Description

The DDCCTA is a six-terminal active building block and its circuit symbol is illustrated in Fig. 1. The relations between the voltage and current terminals of DDCCTA can be described by the following equations²⁹:

$$\left. \begin{aligned} I_{Y1} = I_{Y2} = I_{Y3} = 0, \\ V_x = V_{Y1} - V_{Y2} + V_{Y3}, \\ I_z = I_x, \\ I_{o1} = I_{o2} = g_m V_z, \end{aligned} \right\} \quad (1)$$

where g_m is the transconductance gain of the DDCCTA.

The internal structure of the DDCCTA circuit based on CMOS technology is shown in Fig. 2. It consists of the circuit of DDCC⁴³ (transistors M_1 to M_{12}) followed by a TA⁴⁴ (transistors M_{13} to M_{22}). Assume that MOS transistors M_{13} and M_{14} are perfectly matched and operated in saturation regions, thus g_m can be expressed as

$$g_m = \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right) I_B}, \quad (2)$$

where I_B is an external DC bias current of the DDCCTA. The physical parameters, μ_n , C_{ox} , W and L are, respectively, the free electron mobility in channel, the gate oxide capacitance per unit area, the channel width and the channel length of MOS transistor. It should be noted that g_m can be controlled by the I_B .

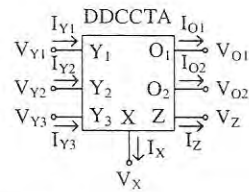


Fig. 1. Circuit symbol of DDCCTA.

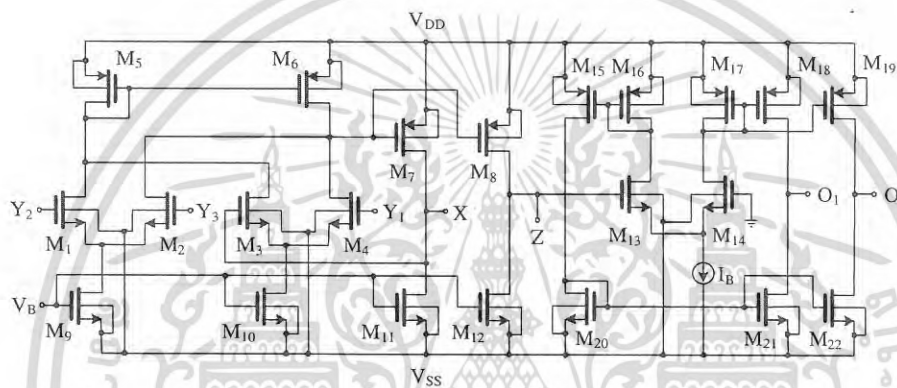


Fig. 2. CMOS internal structure of the DDCCTA.

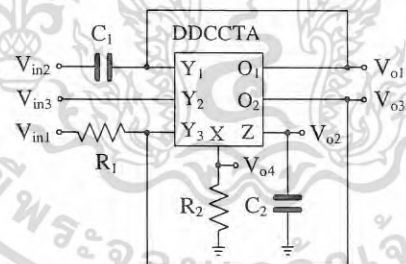


Fig. 3. Proposed VM universal filter using a single DDCCTA.

The proposed VM universal biquadratic filter with three inputs and four outputs is shown in Fig. 3. The circuit is configured by only one DDCCTA, two resistors and two capacitors. It is continuously developed from the previously proposed in Ref. 45. The proposed circuit has an advantage of using low component counts which results low power consumption. If V_{in1} , V_{in2} and V_{in3} are the input terminals, using nodal

analysis, the output voltages V_{o1} , V_{o2} , V_{o3} and V_{o4} can be expressed as

$$V_{o1}(s) = \frac{-\frac{g_m}{C_1 C_2 R_2} V_{in1} + \left(s^2 + s \frac{g_m R_1}{C_2 R_2}\right) V_{in2} + \frac{g_m}{C_1 C_2 R_2} V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2}\right) + \frac{g_m}{C_1 C_2 R_2}}, \quad (3)$$

$$V_{o2}(s) = \frac{s \left(\frac{1}{C_2 R_2}\right) V_{in1} + s \left(\frac{1}{C_2 R_2}\right) V_{in2} - s \left(\frac{1}{C_2 R_2}\right) V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2}\right) + \frac{g_m}{C_1 C_2 R_2}}, \quad (4)$$

$$V_{o3}(s) = \frac{\left(s^2 + \frac{g_m}{C_1 C_2 R_2}\right) V_{in1} - s \left(\frac{g_m R_1}{C_2 R_2}\right) V_{in2} + s \left(\frac{g_m R_1}{C_2 R_2}\right) V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2}\right) + \frac{g_m}{C_1 C_2 R_2}}, \quad (5)$$

$$V_{o4}(s) = \frac{s^2 V_{in1} + s^2 V_{in2} - s^2 V_{in3}}{s^2 + s \left(\frac{g_m R_1}{C_2 R_2}\right) + \frac{g_m}{C_1 C_2 R_2}}. \quad (6)$$

From (3)–(6), filtering functions can be obtained as Table 2. It is evident from Table 2 that the proposed circuit is capable of realizing several filtering functions. All the five standard filtering functions without component-matching condition requirements can be obtained, as well as no inverting-type or double input voltage signals are required. In addition, in case of $V_{in2} = 0$ (grounded), the circuit has also an advantage of using grounded capacitors, which conducts to IC implementation.^{46,47} Moreover, in case of V_{in3} is the input terminal, the voltage V_{in3} will be applied to the Y_2 terminal of the DDCCTA. Thus, the circuit has feature of high-input impedance,

Table 2. Obtainable filtering functions of proposed filter in Fig. 3.

Output	Filtering function	Input apply	Condition	High-input impedance
V_{o1}	Inverting LP	V_{in1}	$V_{in2} = V_{in3} = 0$	No
	Non-inverting LP	V_{in3}	$V_{in1} = V_{in2} = 0$	Yes
V_{o2}	Non-inverting BP	V_{in1}	$V_{in2} = V_{in3} = 0$	No
	Non-inverting BP	V_{in2}	$V_{in1} = V_{in3} = 0$	No
	Inverting BP	V_{in3}	$V_{in1} = V_{in2} = 0$	Yes
V_{o3}	Non-inverting BS	V_{in1}	$V_{in2} = V_{in3} = 0$	No
	Inverting BP	V_{in2}	$V_{in1} = V_{in3} = 0$	No
	Non-inverting BP	V_{in3}	$V_{in1} = V_{in2} = 0$	Yes
	Non-inverting AP	$V_{in1} = V_{in2}$	$V_{in3} = 0$	No
V_{o4}	Non-inverting AP	$V_{in1} = -V_{in3}$	$V_{in2} = 0$	No
	Non-inverting HP	V_{in1}	$V_{in2} = V_{in3} = 0$	No
	Non-inverting HP	V_{in2}	$V_{in1} = V_{in3} = 0$	No
	Inverting HP	V_{in3}	$V_{in1} = V_{in2} = 0$	Yes

Note: $V_{in} = 0 =$ grounded.

which is suitable for cascading in voltage-mode operation. The pass-band gains (H) of the LP, BP, BS, HP and AP responses are also given by

$$\left. \begin{aligned} H_{LP} &= -1, \\ H_{BP} &= \frac{1}{g_m R_1}, \\ H_{BS} &= H_{HP} = H_{AP} = 1. \end{aligned} \right\} \quad (7)$$

From (3)–(6), the natural angular frequency (ω_o) and the quality factor (Q) can be obtained as

$$\omega_o = \sqrt{\frac{g_m}{C_1 C_2 R_2}}, \quad (8)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{C_2 R_2}{g_m C_1}}. \quad (9)$$

By setting $C_1 = C_2 = C$, the filtering parameters in (8) and (9) are simplified as

$$\omega_o = \frac{1}{C} \sqrt{\frac{g_m}{R_2}}, \quad (10)$$

$$Q = \frac{1}{R_1} \sqrt{\frac{R_2}{g_m}}. \quad (11)$$

From (10) and (11), the parameter ω_o can be tuned by adjusting C -value, while keeping the ratio of g_m/R_2 constant, whereas the parameter Q can be controlled by adjusting R_1 -value without disturbing the ω_o by keeping the ratio of R_2/g_m constant. Therefore, the proposed filter has an orthogonal control capability for the filtering parameters ω_o and Q . It should be noted that for tuning the value of C_1 and C_2 simultaneously, it is possible by using capacitor arrays.¹⁸

The biquadratic filters can be used to realize high-order filters but the main disadvantage is that the loading effect caused by cascading. Thus, the proposed filter in Fig. 3 is actually required the voltage buffers for applying to realize high-order filters. Note that Fig. 3 is realized based on a single active device. If an additional DDCC is used, the universal biquadratic filter with high-input and low-output impedances can be obtained as Fig. 4. It should be noted that each node of the biquadratic has capacitors and resistors to ground which is suited for high frequency operation and integrated implementation. High-input impedances of the filter can be obtained by applying the signal into Y_2 -terminal of DDCCCTA while low-output impedance of the filter can be obtained by connecting the signal from X -terminal of DDCC. The filtering functions can be obtained using switches which is expressed as Table 3. In practice, these switches can be implemented using MOS switches or analog switches.

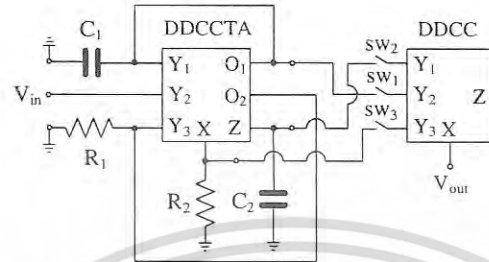


Fig. 4. Proposed VM universal filter with high-input and low-output impedances.

Table 3. Obtainable filtering functions of proposed filter in Fig. 4.

Filtering function	Condition		
LP	SW ₁ =ON	SW ₂ =OFF	SW ₃ =OFF
BP	SW ₁ =OFF	SW ₂ =ON	SW ₃ =OFF
HP	SW ₁ =OFF	SW ₂ =OFF	SW ₃ =ON
BS	SW ₁ =ON	SW ₂ =OFF	SW ₃ =ON
AP	SW ₁ =ON	SW ₂ =ON	SW ₃ =ON

3. Non-Ideal Analysis

In this section, the effects of DDCCTA non-idealities on the filter performances have been studied. By taking into consideration the non-ideal DDCCTA, the relationship of the terminals given in (1) can be expressed as

$$\left. \begin{aligned} I_{Y1} = I_{Y2} = I_{Y3} = 0, \\ V_x = \beta_1 V_{Y1} - \beta_2 V_{Y2} + \beta_3 V_{Y3}, \\ I_z = \alpha I_x, \\ I_{o1} = I_{o2} = g_{mn} V_z, \end{aligned} \right\} \quad (12)$$

where β_1 , β_2 and β_3 are, respectively, the non-ideal voltage transfer gains between Y_1 - X , Y_2 - X and Y_3 - X terminals, α is the non-ideal current transfer gain between X - Z terminal and g_{mn} is the non-ideal transconductance gain of the DDCCTA.

The non-ideal DDCCTA symbol showing various parasitic elements is shown in Fig. 5. It is shown that the terminal X exhibits low-value parasitic serial resistance R_x , the terminals Y_1 , Y_2 and Y_3 exhibit high-value parasitic resistances R_{y1} , R_{y2} and R_{y3} , the terminal Z exhibits high-value parasitic resistance R_z in parallel with low-value parasitic capacitance C_z and the terminal O exhibits high-value parasitic resistance R_o in parallel with low-value parasitic capacitance C_o .

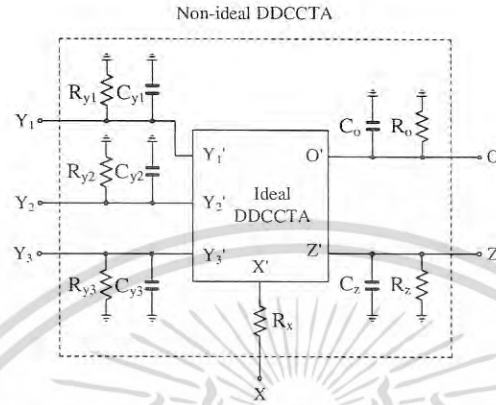


Fig. 5. DDCCTA with its parasitic components.

Considering the non-ideality of transconductance gain g_{mn} of DDCCTA, the g_{mn} can be given as

$$g_{mn} = \frac{g_m \omega_g}{s + \omega_g}, \quad (13)$$

where ω_g denotes the first-order pole of the TA. In the frequency range of our interest, g_{mn} is modified to¹⁹

$$g_{mn} \cong g_m (1 - \mu s). \quad (14)$$

Re-analysis using the conditions of (12), (14) and Fig. 5, the denominator of the transfer functions of Fig. 3 becomes

$$D(s) = s^2 \left(1 - \frac{\alpha \beta_3 g_m R_1 \mu}{C_2' R_2'} \right) + s \frac{\alpha \beta_3 g_m R_1}{C_2' R_2'} \left(1 - \frac{\beta_1 \mu}{\beta_3 R_1 C_1} \right) + \frac{\alpha \beta_1 g_m}{C_1 C_2' R_2'}, \quad (15)$$

where $R_2' = R_2 + R_x$ and $C_2' = C_2 \parallel C_z$. From (15), non-idealities of the DDCCTA affect the circuit characteristics which depart from ideal values. For the parasitic effects from the DDCCTA, it can be made negligible by satisfying the following condition:

$$\left. \begin{aligned} \frac{\alpha \beta_3 g_m R_1 \mu}{C_2' R_2'} &\ll 1, \\ \frac{\beta_1 \mu}{\beta_3 R_1 C_1} &\ll 1. \end{aligned} \right\} \quad (16)$$

Therefore, the non-ideal of parameters ω_o and Q can be obtained by

$$\omega_o = \sqrt{\frac{\alpha \beta_1 g_m}{C_1 C_2' R_2'}}, \quad (17)$$

$$Q = \frac{1}{\beta_3 R_1} \sqrt{\frac{\beta_1 C_2' R_2'}{\alpha g_m C_1}}. \quad (18)$$

It should be noted from (17) and (18) that the parameters ω_o and Q are slightly changed by the non-idealities of the DDCCTA. However, these effects can be compensated by adjusting g_m -values properly. The active and passive sensitivities of the filtering parameters are calculated as follows:

$$S_{\alpha}^{\omega_o} = S_{\beta_1}^{\omega_o} = S_{g_m}^{\omega_o} = -S_{C_1}^{\omega_o} = -S_{C_2'}^{\omega_o} = -S_{R_1}^{\omega_o} = 0.5, \quad (19)$$

$$S_{\beta_3}^Q = S_{R_1}^Q = -1, \quad (20)$$

$$S_{\beta_1}^Q = S_{C_2'}^Q = S_{R_2'}^Q = -S_{\alpha}^Q = -S_{g_m}^Q = -S_{C_1}^Q = 0.5. \quad (21)$$

From (19)–(21), the incremental sensitivities of the active and passive parameters are not more than unity in magnitude. Hence, the proposed filter offers low active and passive sensitivities.

Normally, a negative feedback system can be tested its stability by expressing its response in the form of step response. The speed of step response is dependent on its feedback factor. The biquad filter is typically realized using two integrator loop systems that consist of two feedback loops. In order to analyze the stability problem of the proposed filter, the Routh–Hurwith stability criterion^{35,50} can be adopted. From non-ideal analysis, parasitic parameters will effect to the step response from ideal case by increasing their feedback factors. Thus, to maintain the filter system proper operation, the following conditions should be given: $R_2 \gg R_x$ and $C_2 \gg C_z$. The use of appropriate values of R_2 and C_2 will minimize the influence of the parasitic parameters to zero for the transfer function.

4. Simulation and Experimental Results

To establish the workability of the proposed filter, Fig. 3 was simulated using PSPICE program. The PMOS and NMOS transistors in Fig. 2 were performed using $0.5 \mu\text{m}$ CMOS process from MIETEC. The transistor aspect ratios of DDCCTA were listed in Table 4. The supply voltages and bias voltage were chosen as

Table 4. Transistor aspect ratio of DDCCTA.

MOS transistors	$W (\mu\text{m})$	$L (\mu\text{m})$
M ₁ –M ₄	1.8	0.7
M ₅ –M ₆	5.2	0.7
M ₇ –M ₁₀	20	0.7
M ₁₁ –M ₁₂	58	0.7
M ₁₃ –M ₂₂	4	1

Table 5. Simulated parameters of DDCCTA.

Parameters	Value
Technology	0.5 μm
Supply voltage	$\pm 2\text{ V}$
g_m ($I_B = 5 - 200\ \mu\text{A}$)	53.29 to 267.12 ($\mu\text{A/V}$)
Voltage gain (V_X/V_Y)	0.968
Current gain (I_Z/I_X)	0.998
DC voltage range (no load)	-0.8 to 0.8 (V)
DC current range (no load)	-300 to 300 (μA)
-3 dB bandwidth:	
V_X/V_Y (load 1 k Ω)	237 MHz
I_Z/I_X	204 MHz
I_O/I_Z ($I_B = 200\ \mu\text{A}$)	198 MHz
$(R_{Y1}, R_{Y2}, R_{Y3})/(C_{Y1}, C_{Y2}, C_{Y3})$	100 T Ω //20 fF
R_X	31.34 Ω
$R_Z//C_Z$	118.32 k Ω //0.2 pF
$R_O//C_O$	519.51 M Ω //0.16 pF
Static power dissipation ($I_B = 50\ \mu\text{A}$)	5.37 mW

$V_{DD} = -V_{SS} = 2\text{ V}$ and $V_B = -1.22\text{ V}$, respectively. Table 5 shows simulated parameters of the DDCCTA used in this paper.

As an example design, the component values of the proposed filter were selected as $C_1 = C_2 = C = 30\text{ pF}$, $I_B = 125\ \mu\text{A}$ ($g_m \approx 230\ \mu\text{A/V}$), $R_1 = 4\text{ k}\Omega$ and $R_2 = 3.5\text{ k}\Omega$. This setting was designed to obtain a universal biquadratic filter with $f_o = \omega_o/2\pi = 1.361\text{ MHz}$ and $Q \approx 1$.

The simulated magnitude responses of the LP, BP, BS and HP filters were shown in Fig. 6. In this figure, the simulated natural frequency of 1.364 MHz was achieved.

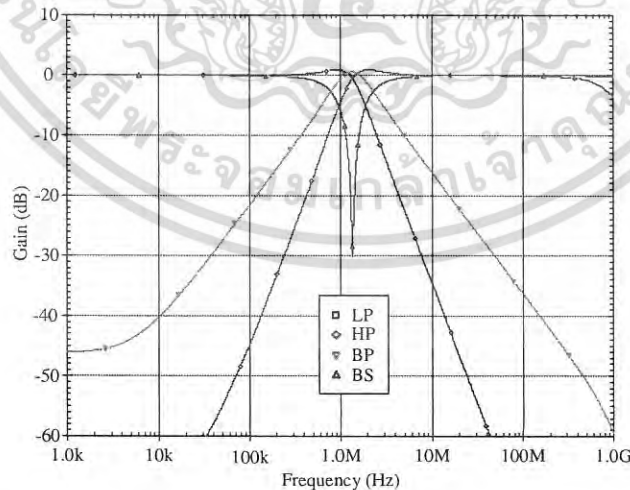


Fig. 6. Simulated frequency responses of the LP, BP, BS and HP filters (color online).

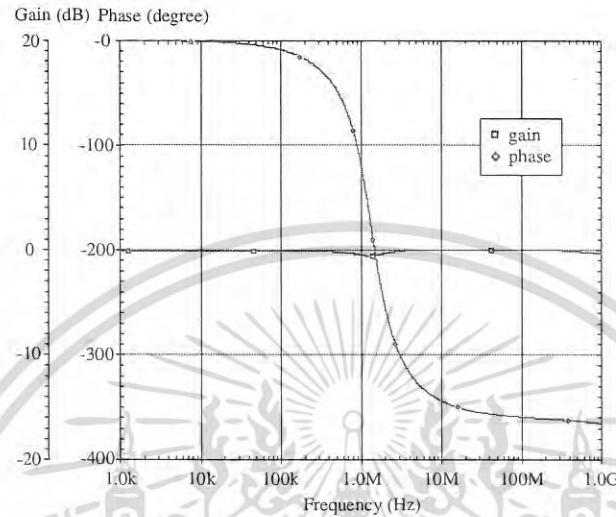


Fig. 7. Simulated frequency responses of the AP filter (color online).

Thus, the natural frequency error was about 0.22%. With the same previous component values, the simulated frequency responses of the gain and phase characteristics of the AP filter were also shown in Fig. 7. It was evident from Figs. 6 and 7 that the proposed filter provides all the five standard biquadratic filtering functions well.

To illustrate the tunable property of the f_o , the tuning capacitors C (i.e., $C = C_1 = C_2$) were, respectively, changed as 300 pF, 100 pF, 30 pF and 10 pF, while keeping $I_B = 125 \mu\text{A}$, $R_1 = 4 \text{ k}\Omega$ and $R_2 = 3.5 \text{ k}\Omega$ for constant quality factor of $Q \approx 1$. The simulated frequency responses of the BP filter corresponding to different capacitances were shown in Fig. 8. From the simulation results, the corresponding f_o were found as 135.8 kHz, 407.7 kHz, 1.364 MHz and 4.068 MHz, which very well match with calculated values: $f_o = 136.1 \text{ kHz}$, 408.2 kHz, 1.361 MHz and 4.082 MHz, respectively.

Figure 9 shows the simulated frequency responses of BP filter with Q -tuning (i.e., $Q \approx 0.5, 1, 2$ and 4). In this case, the resistor R_1 was given as 8 k Ω , 4 k Ω , 2 k Ω and 1 k Ω , respectively, while setting $I_B = 125 \mu\text{A}$, $R_2 = 3.5 \text{ k}\Omega$ and $C_1 = C_2 = 30 \text{ pF}$ for a constant $f_o = 1.364 \text{ MHz}$. This result shows that the Q -value can be easily controlled without affecting the f_o -value, as described in (10) and (11). It should be noted from (11) that high- Q filter ($Q > 4$) can be obtained by decreasing the value of R_1 but this resistance should be avoided the zero-value. However, when the Q -value was increased, the voltage gain of the filter will also increase and this gain will be taken to the circuit for operating as saturation.

Time-domain analysis result was tested by applying 600 mV (peak) sinusoidal signal at 1.364 MHz input for BP filter. In this case, the total harmonic distortion (THD) and the total power dissipation were about 2.84% and 4.6 mW, respectively.

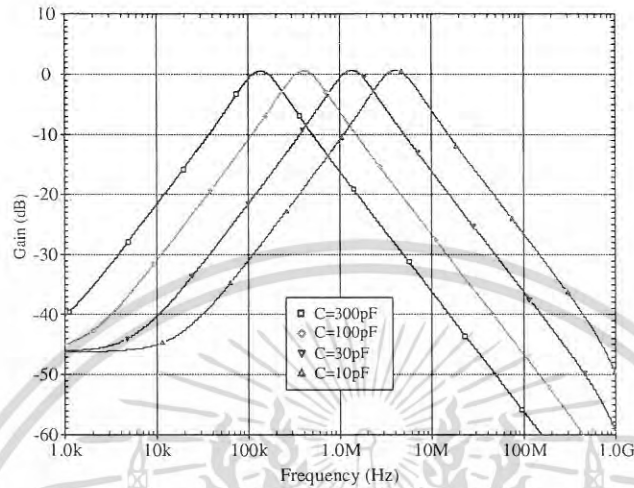


Fig. 8. Simulated frequency responses of the BP filter at different values of C (color online).

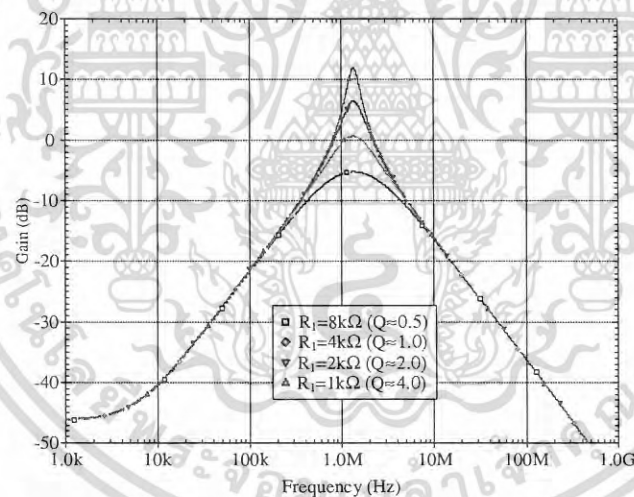


Fig. 9. Simulated frequency responses of the BP filter at different values of R_1 (color online).

Furthermore, the variation of the output harmonic distortion of LP filter on input amplitude signal at 100 kHz was summarized in Fig. 10. It was observed that the THD was about 3% when the input amplitude signal was increased to 825 mV (peak). The intermodulation distortion (IMD) is used to measure the linearity of active and passive electronic circuits because the linear system cannot produce intermodulation. Compared with harmonic distortion (single-tone distortion), IMD is a multi-tone distortion product that results when two or more signals are present at

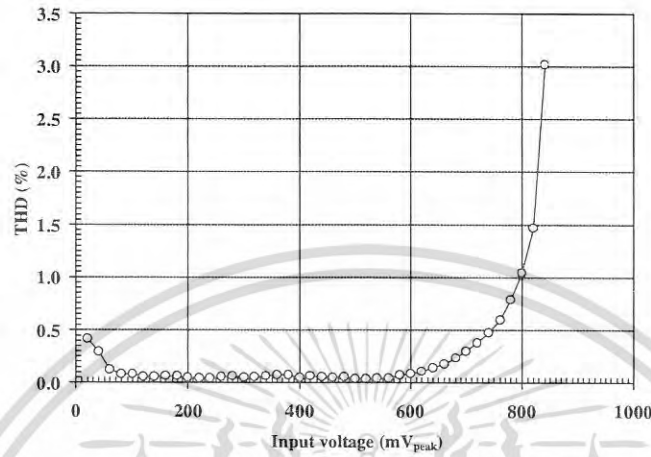


Fig. 10. THD variations of the LP filter on input voltage amplitude.

the input of the nonlinear circuit. In order to investigate the IMD of the BP filter, a two-tone test was performed. Two closely spaced tones, $f_1 = 1.32$ MHz and $f_2 = 1.38$ MHz, were used with equal input signal amplitudes of 150 mV (peak) which were applied simultaneously at the input of the filter. Figure 11 presents the output spectrum of the BP filter with the two input tones and -42 dB suppression of the third IMD harmonic.

The dependence of the 3rd IMD of BP filter on two input signal amplitudes is illustrated in Fig. 12, two closely spaced tones of $f_1 = 1.32$ MHz and $f_2 = 1.38$ MHz

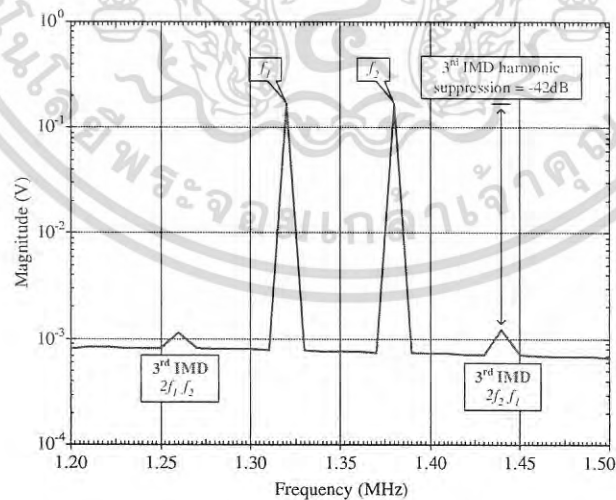


Fig. 11. Spectrum of the BP filter with two input tones.

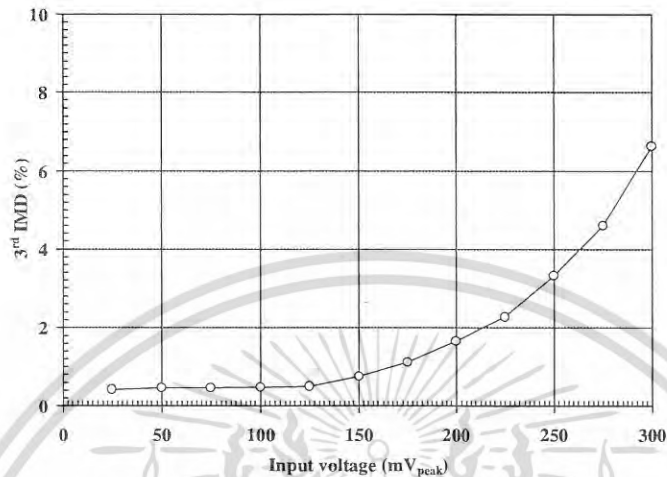


Fig. 12. Dependence of the 3rd IMD of BP filter on input voltage amplitudes.

were used with equal input signal amplitudes. It is clear that the 3rd IMD is maximum 2.28% for the input signals up to 225 mV (peak). The proposed filter was statistically calculated using a Monte Carlo analysis. Our main purpose of interest was the fluctuation of f_o changes caused by deviations of the passive components. In this study, the BP filter was simulated by initial setting for 1% tolerances of all resistors and capacitors at $f_o = 1.364$ MHz. After 200 Gaussian distribution runs, the obtained standard deviation (sigma) of f_o was 11.874 kHz (f_o can be found between the minimal and maximal values, i.e., 1.339 MHz and 1.403 MHz — the worst case). Figure 13 shows the derived histogram of f_o , which set 1% tolerances of resistors and capacitors. The results of Monte Carlo analysis with different tolerances were also summarized in Table 6. It was clear from statistical results that high tolerances of passive components mean high dispersion of expected f_o .

In order to test the stability of the proposed filter, LP response (V_{o1}/V_{in3}) was used by setting as follows $C_1 = C_2 = 30$ pF, $R_1 = 4$ k Ω , $R_2 = 3.5$ k Ω and $I_B = 125$ μ A. Figure 14 shows the step response of LP filter which was expressed that the settling time was approximately 0.53 μ s if the standard 10% error band was assumed.³⁵

The proposed filter in Fig. 3 was experimentally tested. The DDCCTA was realized using commercial available IC AD844 and LM13600s as shown in Fig. 15. Figure 16 shows the proposed universal filter for an experiment for the first case. The supply voltage ± 5 V and the bias currents 50 μ A for I_{set} and 52 μ A for I_B ($g_m = 1$ mA/V) were given. For experimental test, the capacitors $C_1 = C_2 = 1$ nF and the resistors $R_1 = R_2 = 1$ k Ω were given. This design to obtain the natural frequency f_o and quality factor Q were 159.23 kHz and 1, respectively.

Figure 17 shows the experimental frequency responses of the LP, BP, HP, and BS filters of the proposed filter with the natural frequency was 157 kHz, whereas the

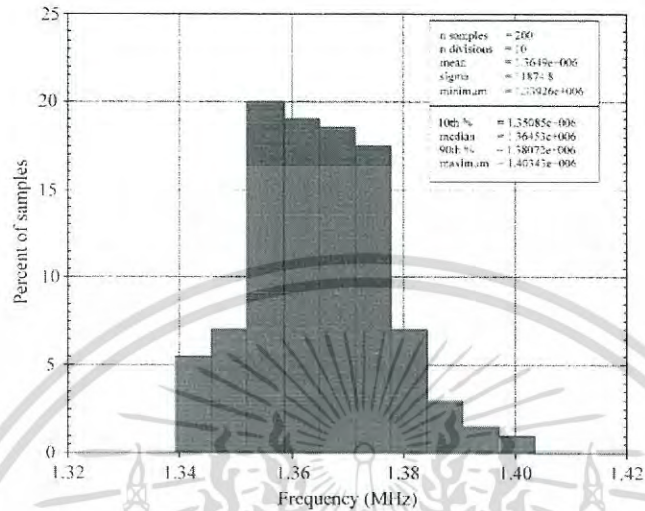


Fig. 13. Histogram of Monte Carlo analysis for BP filter.

Table 6. Results of Monte Carlo analysis of the BP frequency responses (200 runs).

Tolerances (%)					
R_1, R_2	C_1, C_2	Mean (MHz)	Min (MHz)	Max (MHz)	Sigma (kHz)
1	1	1.364	1.339	1.403	11.874
1	5	1.367	1.255	1.561	50.955
5	1	1.366	1.297	1.484	35.112
5	5	1.368	1.245	1.580	60.570

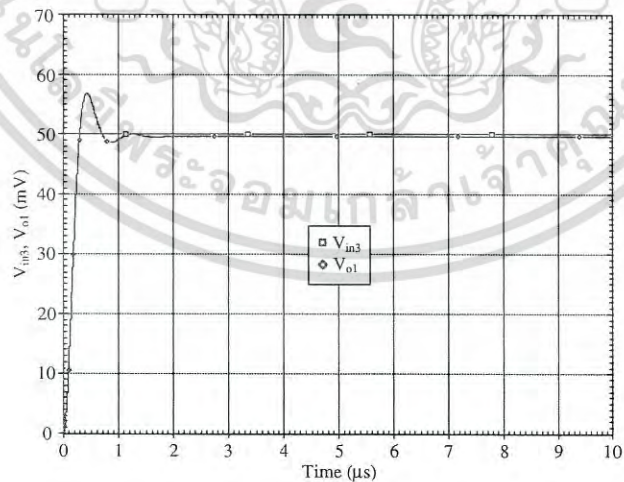


Fig. 14. This step response of the LP filter (color online).

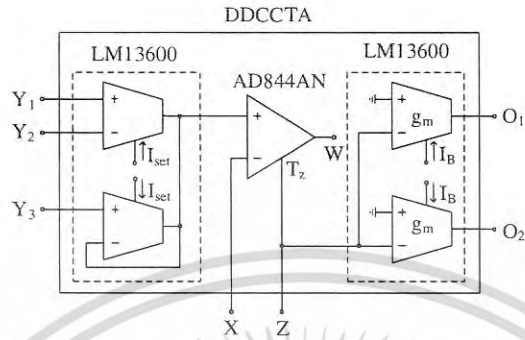


Fig. 15. DDCCTA realized using AD844 and LM13600s.

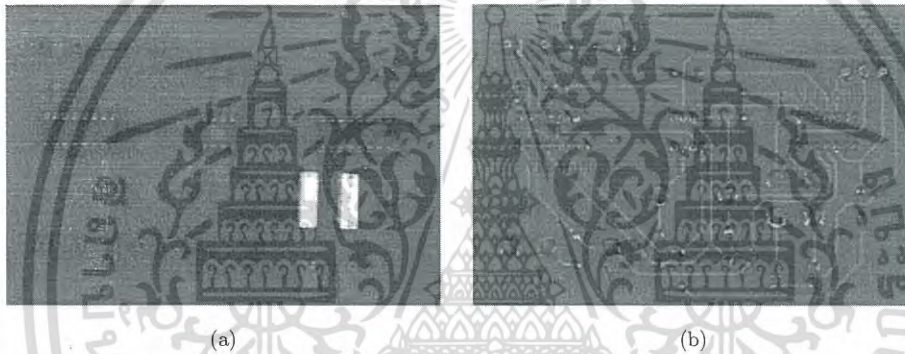


Fig. 16. Measured prototype: (a) Top side and (b) bottom side.

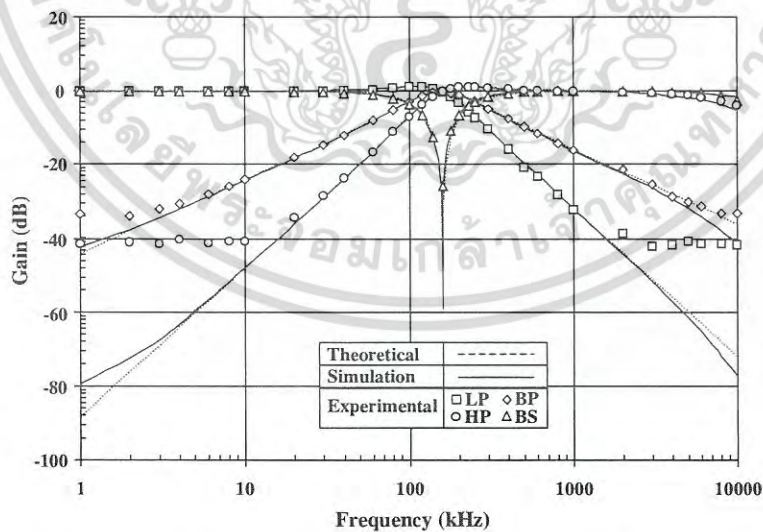


Fig. 17. Experimental frequency responses of the LP, BP, HP and BS filters (color online).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

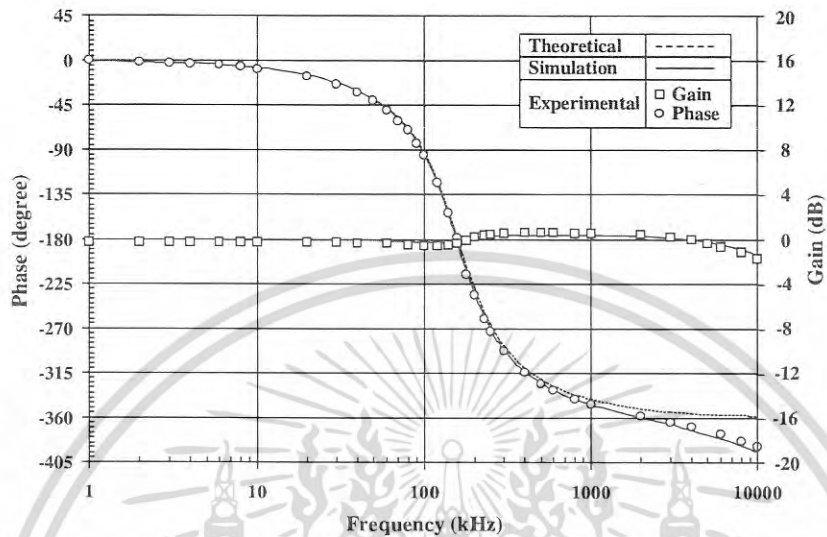


Fig. 18. Experimental frequency responses of the AP filter (color online).

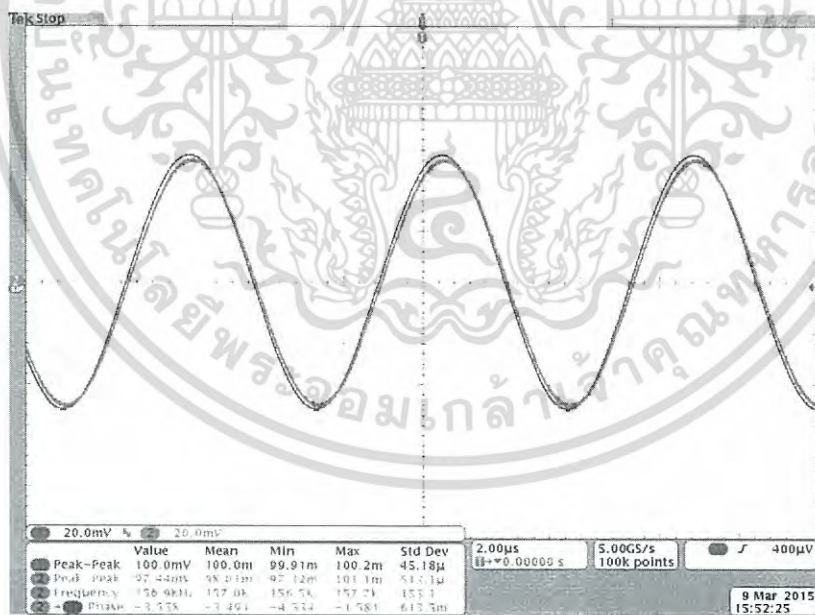


Fig. 19. The experimental input and output waveforms of the BP filter for a 157 kHz sinusoidal input voltage of 50 mV (peak).

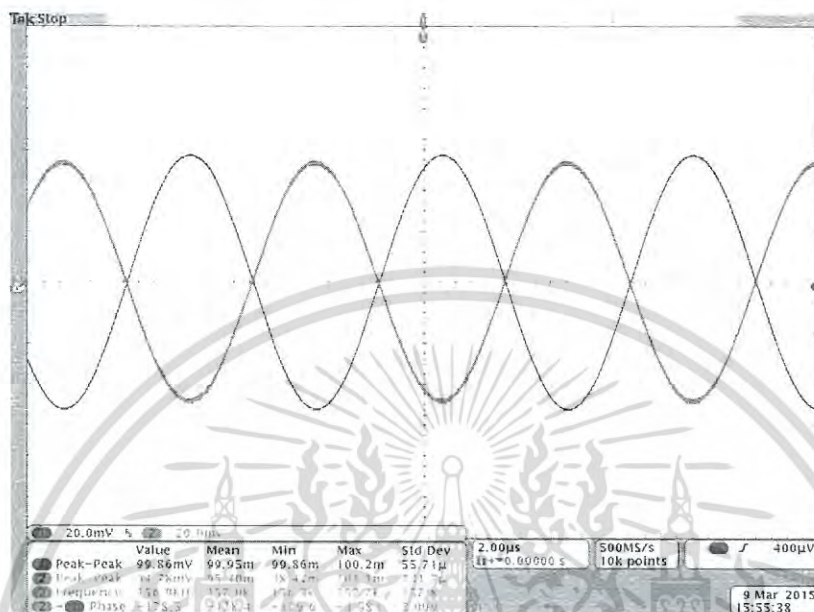


Fig. 20. The experimental input and output waveforms of the AP filter for a 157 kHz sinusoidal input voltage of 50mV (peak).

theoretically predicted was 159.23 kHz. It was about 1.4% deviated from the prediction value of (10). The experimental frequency response and the theoretical behavior of gain and phase characteristics of the AP filter were shown in Fig. 18. It notes that the experimental result agrees well with the theory.

The experiment is repeated for a sinusoidal input signal at 157 kHz to show the operation of the filter in time-domain. Figure 19 shows the input and output waveforms of the BP response at V_{o2} output terminal which indicates amplitude of 50 mV (peak) without significant distortion. Figure 20 shows the input and output waveform of the AP response at V_{o3} output terminal.

5. Conclusion

In this paper, a new VM universal biquadratic filter with three-input four-output employing one DDCCTA and four passive components has been presented. By suitably connecting the input and output terminals, the circuit can realize LP, BP, BS, HP and AP voltage responses into a single topology. For realizing these voltage responses, the circuit also requires no component-matching condition and no inverting-type input voltage signals. The parameters ω_o and Q of all filters are orthogonally adjusted deliberately by setting the passive and active components. The active and passive sensitivities of the filter are within unity of magnitude. The proposed circuit can be modified to high-input and low-output impedances universal

filter by using additional DDCCTA or DDCC. The results obtained by PSPICE simulation and experiment showed good functionality of the proposed circuit.

Acknowledgment

The authors would like to express sincere appreciation to the anonymous reviewers for their valuable comments.

References

1. C. Psychalinos, Log-domain SIMO and MISO low-voltage universal biquads, *Analog Integr. Circuits Signal Process.* **67** (2011) 201–211.
2. M. N. O. Sadiku, S. M. Musa and C. K. Alexander, *Applied Circuit Analysis* (McGraw-Hill, New York, 2012).
3. R. Raut and M. N. S. Swamy, *Modern Analog Filter Analysis and Design: A Practical Approach* (John Wiley & Sons, New York, 2010).
4. M. T. Abuelma'atti, A. Bentreia and S. M. Al-Shahrani, A novel mixed-mode current-conveyor-based filter, *Int. J. Electron.* **91** (2004) 191–197.
5. S. Minaei and E. Yuce, All-grounded passive elements voltage-mode DVCC-based universal filters, *Circuits Syst. Signal Process.* **29** (2010) 295–302.
6. W. Jaikla, D. Biolek, S. Siripongdee and J. Bajer, High input impedance voltage-mode biquad filter using VD-DIBAs, *Radioengineering* **23** (2014) 914–921.
7. S. Minaei, E. Yuce and O. Cicekoglul, ICCII-based voltage-mode filter with single input and six outputs employing grounded capacitors, *Circuits Syst. Signal Process.* **25** (2006) 559–566.
8. M. T. Abuelma'atti and N. A. Tasadduq, A novel single-input multiple-output current-mode current-controlled universal filter, *Microelectron. J.* **29** (1998) 901–905.
9. M. Kumngern, B. Knobnob and K. Dejhan, Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs, *Int. J. Electron. Commun.* **64** (2010) 934–939.
10. M. Kumngern, Multiple-input single-output current-mode universal filter using trans-linear current conveyors, *J. Electr. Electron. Eng. Res.* **3** (2011) 162–170.
11. M. Kumngern, F. Khateb, K. Dejhan, P. Phasukkit and S. Tungjitkusolmun, Voltage-mode multifunction biquadratic filters using new ultra-low-power differential difference current conveyors, *Radioengineering* **22** (2013) 448–457.
12. P. Prommee and T. Pattanatadapong, Realization of tunable pole-Q current-mode OTA-C universal filter, *Circuits Syst. Signal Process.* **29** (2010) 913–924.
13. H. P. Chen and K. H. Wu, Voltage-mode DDCC-based multifunction filters, *J. Circuits, Syst. Comput.* **16** (2007) 93–104.
14. W.-Y. Chiu and J.-W. Horng, Voltage-mode biquadratic filters with one input and five outputs using DDCCs, *Indian J. Eng. Mater. Sci.* **18** (2011) 97–101.
15. J. Koton, N. Herencsar and K. Vrba, KHN-equivalent voltage-mode filters using universal voltage conveyors, *Int. J. Electron. Commun.* **65** (2011) 154–160.
16. M. Kumngern, P. Suwanjan and K. Dejhan, Electronically tunable voltage-mode universal filter with single-input five-output using simple OTAs, *Int. J. Electron.* **100** (2013) 1118–1133.
17. W.-Y. Chiu and J.-W. Horng, High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs, *IEEE Trans. Circuits Syst. II* **54** (2007) 649–652.

18. M. Kumngern and S. Junnapiya, Voltage-mode universal filter with three-input single-output using DDCCs, *Proc. Int. Conf. Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)* (Thailand, 2010), pp. 746–749.
19. I. Myderrizi, S. Minaei and E. Yuce, An electronically fine-tunable multi-input-single-output universal filter, *IEEE Trans. Circuits Syst. II* **58** (2011) 356–360.
20. N. Herencsar, O. Cicekoglu, R. Sotner, J. Koton and K. Vrba, New resistorless tunable voltage-mode universal filter using single VDIBA, *Analog Integr. Circuits Signal Process.* **76** (2013) 251–1260.
21. K. L. Pushkar, D. R. Bhaskar and D. Prasad, Voltage-mode new universal biquad filter configuration using a single VDIBA, *Circuits Syst. Signal Process.* **33** (2014) 275–285.
22. H.-P. Chen, Single FDCCII-based voltage-mode filters, *Int. J. Electron. Commun.* **63** (2009) 713–719.
23. H.-P. Chen, Versatile universal voltage-mode filter employing DDCCs, *Int. J. Electron. Commun.* **63** (2009) 78–82.
24. H.-P. Chen, Versatile multifunction universal voltage-mode biquadratic filter, *Int. J. Electron. Commun.* **64** (2010) 983–987.
25. S. Nikoloudis and C. Psychalinos, Multiple input single output universal biquad filter with current feedback operational amplifiers, *Circuits Syst. Signal Proc.* **29** (2010) 1167–1180.
26. H.-P. Chen, Versatile voltage-mode DDCC-based universal filter, *J. Circuits, Syst. Comput.* **20** (2011) 681–696.
27. S. Topaloglu, M. Sagbas and F. Anday, Three-input single-output second-order filters using current-feedback amplifiers, *Int. J. Electron. Commun.* **66** (2012) 683–686.
28. J.-W. Horng, T.-Y. Chiu and Z.-Y. Jhao, Tunable versatile high input impedance voltage-mode universal biquadratic filter based in DDCCs, *Radioengineering* **21** (2012) 1260–1268.
29. N. Pandey and S. K. Paul, Differential difference current conveyor transconductance amplifier: A new analog building block for signal processing, *J. Electr. Compu. Eng.* **2011** (2011) 10 pp. doi: <http://dx.doi.org/10.1155/2011/361384>.
30. O. Channumsin, T. Pukkalanun and W. Tangsrirat, Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components, *Microelectron. J.* **43** (2012) 555–561.
31. W. Tangsrirat, O. Channumsin and T. Pukkalanun, Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter, *Microelectron. J.* **44** (2013) 210–215.
32. W. Tangsrirat, O. Channumsin and T. Pukkalanun, Universal voltage-mode SIFO-type biquad with fully MOS-C realization using DDCCTAs, *Indian J. Pure Appl. Phys.* **51** (2013) 516–522.
33. H.-P. Chen, High-input impedance voltage-mode differential difference current conveyor transconductance amplifier-based universal filter with single input and five outputs using only grounded passive components, *IET Circuits Devices Syst.* **8** (2014) 280–290.
34. H.-P. Chen, S.-F. Wang, W.-Y. Huang and M.-Y. Hsieh, Voltage-mode universal biquadratic filter with one input and five outputs using two DDCCTAs, *IEICE Electron. Express* **11** (2015) 1–9.
35. J. Koton, N. Herencsar, K. Vrba and B. Metin, Voltage-mode multifunction filter with mutually independent Q and ω_0 control feature using VDDAs, *Analog Integr. Circuits Signal Process.* **81** (2014) 53–60.
36. A. U. Keskin, Multi-function biquad using single CDBA, *Electr. Eng.* **88** (2006) 353–356.

37. E. Yuce, Voltage-mode multifunction filters employing a single DVCC and grounded capacitors, *IEEE Trans. Instrum. Meas.* **58** (2009) 2216–2221.
38. M. A. Ibrahim, H. Kuntman and O. Cicekoglu, Single DDCC biquads with high input impedance and minimum number of passive elements, *Analog Integr. Circuits Signal Process.* **43** (2005) 71–79.
39. J.-W. Horng, Voltage-mode multifunction biquadratic filter employing single DVCC, *Int. J. Electron.* **99** (2012) 153–162.
40. M. Siripruchyanun and W. Jaikla, Current controlled current conveyor transconductance amplifier (CCCCTA): A building block for analog signal processing, *Electr. Eng.* **90** (2008) 443–453.
41. W. Tangsrirat and O. Channumsin, High-input impedance voltage-mode multifunction filter using a single DDCCCTA and grounded passive elements, *Radioengineering* **20** (2011) 905–910.
42. O. Channumsin and W. Tangsrirat, Single-input four-output voltage-mode universal filter using single DDCCCTA, *Microelectron. J.* **44** (2013) 1084–1091.
43. W. Chiu, S. I. Liu, H. W. Tsao and J. J. Chen, CMOS differential difference current conveyor and their applications, *IEE Proc. Circuits Devices Syst.* **143** (1996) 91–96.
44. E. Sanchez-Sinencio, J. Ramirez-Angulo, B. Linares-Barranco and A. Rodriguez-Vazquez, Operational transconductance amplifier-based nonlinear function syntheses, *IEEE J. Solid-State Circuits* **24** (1989) 1576–1586.
45. P. Lamun, P. Phatsornsiri, M. Kumngern and U. Torteanchai, Voltage-mode universal biquadratic filter using a single DDCCCTA, *Proc. 2013 Int. Comput. Sci. Eng. Conf. (ICSEC)* (Thailand, 2013), pp. 371–374.
46. M. Bhusan and R. W. Newcomb, Grounding of capacitors in integrated circuits, *Electron. Lett.* **3** (1967) 148–149.
47. M. T. Abuelma'atti, A. A. Al-Ghumaiz and M. H. Khan, Novel CCII-based single-element controlled oscillators employing grounded resistors and capacitors, *Int. J. Electron.* **78** (1995) 1107–1112.
48. S. Mahmoud, Digitally controlled balanced output transconductor and application to variable gain amplifier and GM-C filter on field programmable analog array, *J. Circuits Syst. Comput.* **14** (2005) 667–684.
49. T. Tsukutani, M. Higashimura, N. Takahashi, Y. Sumi and Y. Fukui, Novel voltage-mode biquad without external passive elements, *Int. J. Electron.* **88** (2001) 13–22.
50. K. Ogata, *Modern Control Engineering* (Prentice Hall, New York, 2009).

ประวัติผู้เขียน

ชื่อ-นามสกุล นายปณณวิษณุ ภัทร์สรณ์ศิริ
วัน เดือน ปีเกิด 7 ตุลาคม 2530
ที่อยู่ 833/36 ถนน พระราม1 แขวง วังใหม่ เขต ปทุมวัน
จังหวัด กรุงเทพมหานคร
ประวัติการศึกษา 2553 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
2555 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน 1.) ระบบโทรคมนาคม การสื่อสารแบบมีสายและไร้สาย
2.) การออกแบบและเขียนโปรแกรมไมโครคอนโทรลเลอร์
ประสบการณ์การทำงานและผลงานวิจัย
พ.ศ.2556-ปัจจุบัน อาจารย์ ประจำหลักสูตร วิศวกรรมเมคคาทรอนิกส์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีปทุมวัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้