

การออกแบบวงจรมีทริกเกอร์สามสถานะแบบสามระดับ

TERNARY CMOS SCHMITT TRIGGER CIRCUIT DESIGN



วิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMTT-2013-EN-M-010-028

การออกแบบวงจรขมิตริกเกอร์ซีมอสแบบสามระดับ

TERNARY CMOS SCHMITT TRIGGER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรณีสืบค้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TERNARY CMOS SCHMITT TRIGGER CIRCUIT DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2013
KMITL-2013-EN-M-010-028

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

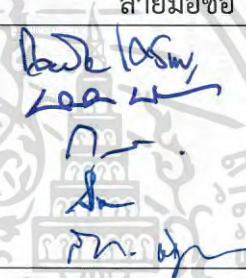
FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรขมิตริกเกอร์ซีมอสแบบสามระดับ
Thesis Title Ternary CMOS Schmitt Trigger Circuit Design
นักศึกษา นายเอกลักษณ์ เล็กเลิศศิริวงศ์
รหัสประจำตัว 53611407
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.สิรภาพ ตู๊ประกาย
หมายเลขวิทยานิพนธ์ KMITL-2013-EN-M-010-028

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.กอบชัย	เดชหาญ	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.กฤษณ์	อ่างแก้ว	
ผศ.ดร.มนตรี	คำเงิน	
ดร.สิรภาพ	ตู๊ประกาย	

วัน / เดือน / ปี ที่สอบ วันพุธที่ 1 พฤษภาคม พ.ศ. 2556 เวลา 13.00-15.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์
วันที่ 1 พฤษภาคม พ.ศ. 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์

นักศึกษา

รหัสประจำตัว

ปริญญา

สาขาวิชา

พ.ศ.

อาจารย์ที่ปรึกษาวิทยานิพนธ์

การออกแบบวงจรมิติทริกเกอร์ซิมอสแบบสามระดับ

นายเอกลักษณ์ เล็กเลิศศิริวงศ์

53611407

วิศวกรรมศาสตรมหาบัณฑิต

วิศวกรรมโทรคมนาคม

2556

ดร.สิรภพ ตู้ประกาย

บทคัดย่อ

บทความนี้นำเสนอวงจรมิติทริกเกอร์ซิมอสแบบสามระดับโดยใช้วงจรมิติทริกเกอร์ซิมอส และวงจรถาษาทรานซิสเตอร์แบบสามระดับ ทำงานในแบบแรงดัน เพื่อนำมาใช้ในการปรับปรุงรูปสัญญาณให้มีลักษณะที่ดีขึ้น ผลการจำลองการทำงานของวงจรมิติทริกเกอร์ซิมอส โดยใช้เทคโนโลยีซิมอส 90nm และทำงานที่ความถี่ 100 MHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Ternary CMOS Schmitt Trigger Circuit Design
Student Mr.Aekaluck Leklerdsiriwong
Student ID. 53611407
Degree Master of Engineering
Program Telecommunications Engineering
Year 2013
Thesis Advisor Dr.Siraphop tooprakai

Abstract

This paper proposes the CMOS ternary Schmitt trigger circuit design is based on the well-known CMOS Schmitt trigger circuit and basic CMOS ternary circuit. All simulation results have been carried out by using HSpice program simulator based on 90nm CMOS technology and operation at 100 MHz.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ผู้วิจัยขอขอบพระคุณ ดร. สิริภพ ตู้ประกาย ที่ให้คำแนะนำและช่วยเหลือสนับสนุนที่เป็นประโยชน์ต่อการทำวิจัยและทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณพี่ๆ น้องๆ และเพื่อนๆ ที่ให้การช่วยเหลือ ให้คำปรึกษาต่างๆที่เกี่ยวกับการทำวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

เอกลักษณ์ เล็กเลิศศิริวงศ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา III ะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ที่มาของงานวิจัย.....	1
1.3 วัตถุประสงค์ของงานวิจัย.....	3
บทที่ 2 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....	5
2.1 นิยามและคำจำกัดความ.....	5
2.2 พีชคณิตของโพสต์และวงจร m ค่า.....	9
2.3 วงจร m-valued.....	9
2.4 เทรตโฮลด์ฟังก์ชัน.....	11
2.5 การแทนค่าของสัญญาณในวงจรมหลายระดับสัญญาณ.....	12
2.6 การควอนไทซ์ค่า.....	13
2.7 โหมดในการทำงานของวงจร.....	13
2.7.1 โหมดประจุ.....	13
2.7.2 โหมดกระแส.....	14
2.7.3 โหมดแรงดัน.....	15
2.8 วงจร m-valued ที่ทำงานในโหมดแรงดัน.....	16
2.9 วงจร m-valued ที่ใช้ในเทคโนโลยี NMOS.....	16
2.9.1 วงจรถอดรหัส.....	17
2.9.2 วงจรเข้ารหัส.....	17
2.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS.....	19
2.10.1 วงจรเข้ารหัส.....	19
2.10.2 วงจรถอดรหัส.....	21
2.11 วงจร m-valued ที่ทำงานในโหมดกระแส.....	21
2.11.1 เทคโนโลยีไบโพลาร์.....	21

สารบัญ (ต่อ)

	หน้า
บทที่ 3 วงจรสามระดับ.....	25
3.1 นิยามและคำจำกัดความ.....	25
3.2 วงจรสามระดับ.....	30
บทที่ 4 วงจรขมิตริกเกอร์ซึ่มอสแบบสามระดับที่นำเสนอ.....	32
บทที่ 5 สรุปผลการวิจัย.....	40
บรรณานุกรม.....	41
ภาคผนวก.....	42
ผลงานที่ได้รับการตีพิมพ์.....	50
ประวัติผู้เขียน.....	56



สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	7
3.1 ตารางค่าความจริงของฟังก์ชันสามระดับ.....	26
4.1 ตารางค่าความจริงของสัญญาณที่ผ่านการเปรียบเทียบแรงดันเมื่อทำการเพิ่มแรงดันของ สัญญาณอินพุตจาก 0 – 1 V และลดแรงดันของสัญญาณอินพุตจาก 1 – 0 V....	34
4.2 ตารางค่าความจริงของสัญญาณเอาต์พุตของแรงดันสามระดับจากการเปรียบเทียบแรงดัน เทรสเตอร์ของซิมิทริกเกอร์สามระดับ.....	37



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
1.1 สัญลักษณ์วงจรมิติทริกเกอร์แบบไม่กลับเฟส.....	2
1.2 สัญลักษณ์วงจรมิติทริกเกอร์แบบกลับเฟส.....	2
1.3 คุณสมบัติในการโอนถ่ายสัญญาณของวงจรมิติทริกเกอร์ชนิดไม่กลับเฟส.....	2
1.4 คุณสมบัติในการโอนถ่ายสัญญาณของวงจรมิติทริกเกอร์ชนิดกลับเฟส.....	3
1.5 คุณสมบัติการถ่ายโอนแรงดันของวงจรมิติทริกเกอร์แบบสามระดับ ซึ่งจะมีแรงดันเทรตโฮลต์ 4 ค่าคือ $V_{th}+V_{tl}+V_{th}$ -และ V_{tl} -.....	3
1.6 บล็อกไดอะแกรมของวงจรมิติทริกเกอร์แบบสามระดับที่ใช้วงจรถreshold-t gate แบบ DCVS.....	4
2.1 ตารางความจริง คุณลักษณะการส่งผ่านและสัญลักษณ์ของเกท.....	6
2.2 วงจรอินเวอร์เตอร์พื้นฐาน.....	10
2.3 บล็อกไดอะแกรมของวงจรถ m ค่า.....	10
2.4 คุณลักษณะการส่งผ่านของวงจรถอินเวอร์เตอร์แบบ 4 ค่า.....	11
2.5 บล็อกไดอะแกรมของเทรตโฮลต์ฟังก์ชัน.....	12
2.6 คุณลักษณะทางไฟตรงของวงจรถอนาล็อกอินเวอร์เตอร์แบบ 4 ค่า.....	12
2.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL.....	14
2.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L	14
2.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	15
2.10 วงจรถรวจจับเทรตโฮลต์โดยใช่วงจรถเลื่อนแรงดัน.....	17
2.11 วงจรถรวจจับแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS.....	18
2.12 วงจรถรวจจับแบบ 4 ค่า.....	18
2.13 วงจรถรวจจับแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS.....	20
2.14 วงจรถรวจจับเทรตโฮลต์โดยใช้เทคโนโลยี CMOS.....	21
2.15 เกทพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I^2L	22
2.16 วงจรถรวจจับกระแสโดยใช้เทคโนโลยี I^2L	22
2.17 วงจรถรวมเชิงเส้นโดยใช้เทคโนโลยี I^2L	23
2.18 วงจรถรวจจับเทรตโฮลต์โดยใช้เทคโนโลยี I^2L	23
2.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L	24
3.1 วงจรถ pass-transistor สำหรับการดำเนินการ $C * x'$ และ $C * 'x$	26
3.2 วงจรถสามระดับแบบพื้นฐาน.....	30
4.1 วงจรมิติทริกเกอร์ซีมอสแบบสามระดับ.....	32
4.2 ส่วนแรกของวงจรมิติทริกเกอร์ซีมอสแบบสามระดับ.....	33
4.3 สัญญาณที่ได้จากวงจรถส่วนแรก เปรียบเทียบกับสัญญาณอินพุตที่ความถี่ 100 MHz.....	35
4.4 ส่วนที่สองของวงจรมิติทริกเกอร์แบบสามระดับ.....	36

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.5 สัญญาณที่ได้จากวงจรส่วนที่สองของวงจรซิมิทริกเกอร์แบบสามระดับ เมื่อทำการบ่อนอินพุตรูปสามเหลี่ยม เปรียบเทียบกับเอาต์พุตจากวงจรส่วนแรก และสัญญาณอินพุตที่ความถี่ 100MHz.....	37
4.6 สัญญาณที่ได้จากวงจรส่วนที่สองของวงจรซิมิทริกเกอร์แบบสามระดับ เมื่อทำการบ่อนอินพุตรูปสัญญาณไซน์ เปรียบเทียบกับเอาต์พุตจากวงจรส่วนแรก และสัญญาณอินพุตที่ความถี่ 100MHz.....	38
4.7 สัญญาณเอาต์พุตของวงจรซิมิทริกเกอร์แบบสามระดับ เมื่อทำการเปรียบเทียบกับสัญญาณอินพุต.....	38
4.8 ผลการจำลองคุณสมบัติการถ่ายโอนแรงดันของวงจรซิมิทริกเกอร์สามระดับ.....	39



บทที่ 1

บทนำ

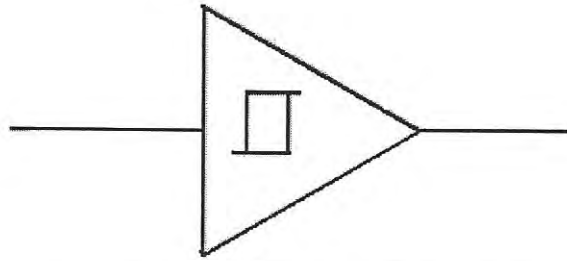
1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการพัฒนาเทคโนโลยีทางด้านวงจรรวม มีการพัฒนาไปอย่างรวดเร็ว และมีความต้องการทางด้านประสิทธิภาพการทำงานที่สูงขึ้น จึงทำให้ต้องมีพัฒนาทางด้านเทคโนโลยีที่เกี่ยวข้องกับการออกแบบด้วย ทั้งทางด้านอนาล็อก และดิจิทัล ซึ่งในการออกแบบวงจรรวมทางดิจิทัล นิยม ทำเป็นแบบ วงจรรวม (IC ; Integrated Circuit) โดยที่ใช้เทคโนโลยี VLSI (Very Large Scale Integration) ในการออกแบบวงจรรวม ซึ่งจะส่งผลให้วงจรรวมที่ได้มีขนาดเล็กลงอย่างมาก และการออกแบบวงจรรวมที่ใช้เทคโนโลยีซีมอส เป็นที่นิยมอย่างมาก เนื่องจากทำให้วงจรรวมที่มีการสูญเสียของกำลังงานที่ต่ำ ขนาดของวงจรรวมที่เล็ก และมีความสะดวกในการออกแบบ

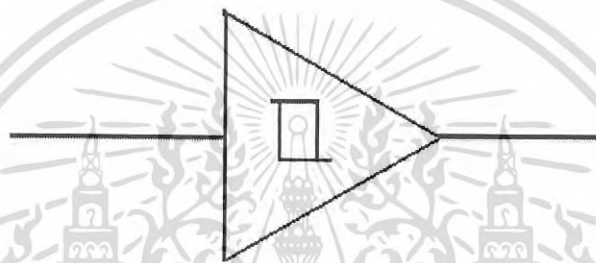
โดยที่ในปัจจุบันเกิดความต้องการการทำงานของวงจรรวมที่มีความเร็วในการทำงานสูง แต่เกิดข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลของข้อมูลในปริมาณมากได้ จึงได้มีการพัฒนาการเพิ่มระดับสัญญาณในวงจรรวม หรือการแบ่งระดับของสัญญาณในวงจรรวม เช่น วงจรรวมสามระดับ (Ternary) และ วงจรรวมสี่ระดับ (Quaternary) เป็นต้น

1.2 ที่มาของงานวิจัย

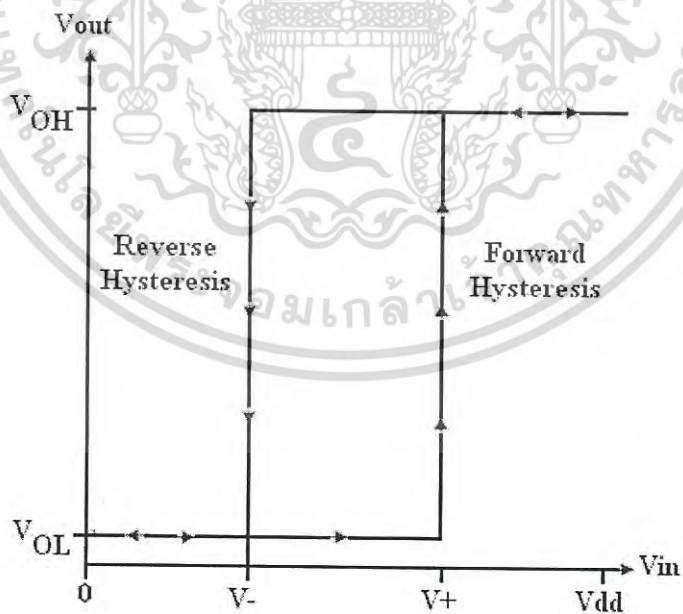
วงจรรวมที่มีทรานซิสเตอร์ [1] เป็นวงจรรวมแบบไบสแตเบิลชนิดหนึ่งที่ใช้ทั้งทางวงจรรวมอนาล็อกและวงจรรวมดิจิทัลในการจัดรูปสัญญาณเพื่อแก้ปัญหาการลดทอนของสัญญาณและป้องกันสัญญาณรบกวนและให้ต้นเอาต์พุตมีสถานะเป็น "0" ตามค่าแรงดันวิกฤติของวงจรรวม หลักการทำงานคล้ายกับวงจรรวมเปรียบเทียบสัญญาณ (Comparator Circuit) แต่มีคุณสมบัติพิเศษ คือมีค่าแรงดันวิกฤติอยู่สองค่าซึ่งขึ้นอยู่กับสถานะของแรงดันอินพุตและเอาต์พุตเรียกคุณสมบัติพิเศษนี้ว่า ฮิสเทอรีซิส (Hysteresis) สัญลักษณ์ของวงจรรวมที่มีทรานซิสเตอร์ ชนิดไม่กลับวงจรรวมที่มีทรานซิสเตอร์ชนิดไม่กลับเฟสแสดงดังรูปที่ 1.1 และชนิดกลับเฟสแสดงดังรูปที่ 1.2 ส่วนคุณสมบัติในการโอนถ่ายสัญญาณ (Transfer Characteristic Curve) แบบไม่กลับเฟสแสดงดังรูปที่ 1.3 และแบบกลับเฟสแสดงดังรูปที่ 1.4



รูปที่ 1.1 สัญลักษณ์วงจรมิติที่ทรริกเกอร์แบบไม่กลับเฟส

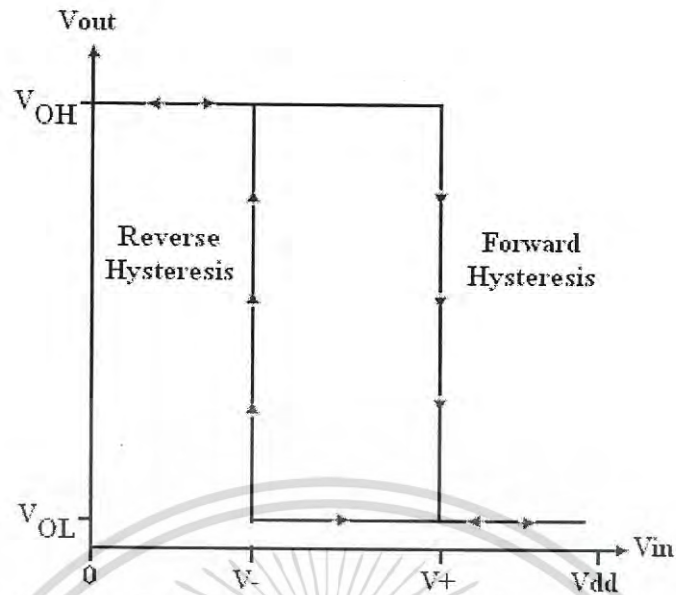


รูปที่ 1.2 สัญลักษณ์วงจรมิติที่ทรริกเกอร์แบบกลับเฟส



รูปที่ 1.3 คุณสมบัติในการโอนถ่ายสัญญาณของวงจรมิติที่ทรริกเกอร์ชนิดไม่กลับเฟส

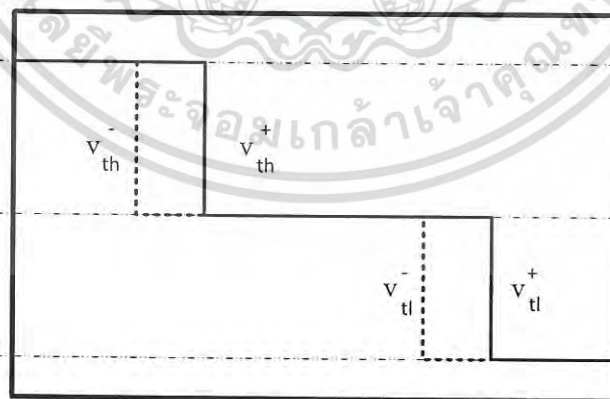
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 คุณสมบัติในการโอนถ่ายสัญญาณของวงจรขมิทท์ทริกเกอร์ชนิดกลับเฟส

1.3 วัตถุประสงค์ของงานวิจัย

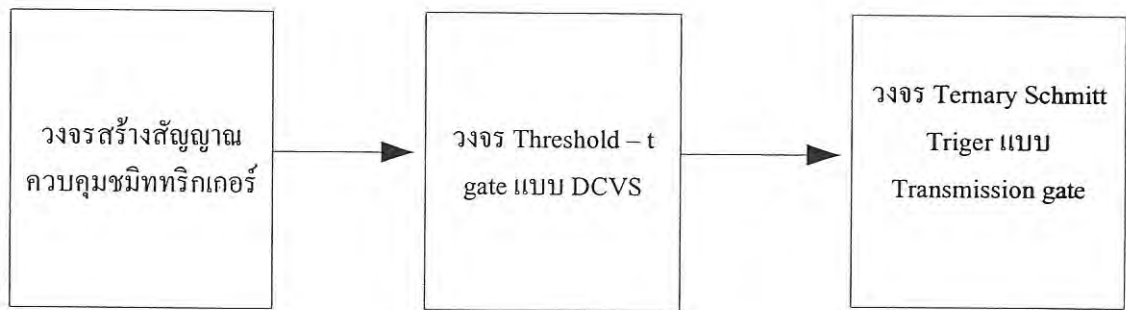
การออกแบบวงจรในปัจจุบันมีความซับซ้อน และความต้องการส่งผ่านข้อมูลที่เพิ่มขึ้น [2] จึงมีการพัฒนาวงจร ขมิทท์ทริกเกอร์แบบสามระดับในรูปแบบต่าง ๆ เช่น วงจร ขมิทท์ทริกเกอร์แบบสามระดับ [3] ที่มีการใช้ ตัวต้านทานมาช่วย ในการปรับระดับของสัญญาณ และในรูปแบบของ วงจร ขมิทท์ทริกเกอร์ซีมอสแบบสามระดับ ในแบบกระแส [4-5] โดยวงจรขมิทท์ทริกเกอร์แบบสามระดับนั้น จะมีคุณสมบัติการถ่ายโอนแรงดันเป็นลักษณะเฉพาะตัวที่มีอีพิตรีซิสลูป 2 ลูป ดังรูปที่ 1.5



รูปที่ 1.5 คุณสมบัติการถ่ายโอนแรงดันของวงจรขมิทท์ทริกเกอร์ แบบสามระดับ

จากรูปที่ 1.5 แสดงคุณสมบัติการถ่ายโอนแรงดันของวงจรขมิทท์ทริกเกอร์แบบสามระดับ ซึ่งจะมีแรงดัน เทรสโฮลด์ 4 ค่าคือ $V_{th+} + V_{tl+} + V_{th-}$ และ V_{tl-}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 บล็อกไดอะแกรมของวงจรขมิตริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS [6]

จากรูปที่ 1.6 แสดงบล็อกไดอะแกรมวงจรขมิตริกเกอร์ แบบแบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS ซึ่งวงจรนี้ จะทำการนำสัญญาณเข้าสู่ วงจรสัญญาณควบคุมขมิตริกเกอร์ ขึ้นมาก่อน แล้วจากนั้นจึงนำไปเข้าวงจรเปรียบเทียบสัญญาณเทรโซลแบบ DCVS เพื่อให้ได้สัญญาณอินพุตสำหรับวงจรสามระดับ จากนั้นจึงนำสัญญาณที่ได้ ไปเข้าสู่วงจรขมิตริกเกอร์แบบสามระดับที่ใช้ Transmission gate ในการสร้าง ซึ่งในวงจรนี้เมื่อต่อครบทั้งวงจรแล้วจะใช้ทรานซิสเตอร์ทั้งหมด 44 ตัว

ซึ่งบทความนี้นำเสนอการออกแบบวงจรขมิตริกเกอร์ซิมอสแบบสามระดับ ในแบบแรงดัน โดยนำวงจรขมิตริกเกอร์พื้นฐาน มาใช้สร้างวงจรเปรียบเทียบสัญญาณ ร่วมกับวงจรพาสทรานซิสเตอร์ [7] เพื่อให้สัญญาณที่ออกมาเป็นสามระดับ และใช้ทรานซิสเตอร์ทั้งหมด 28 ตัว ซึ่งน้อยกว่าวงจรขมิตริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS ซึ่งการนำวงจรพาสทรานซิสเตอร์มาใช้ทำให้ง่ายต่อการเข้าใจและออกแบบ

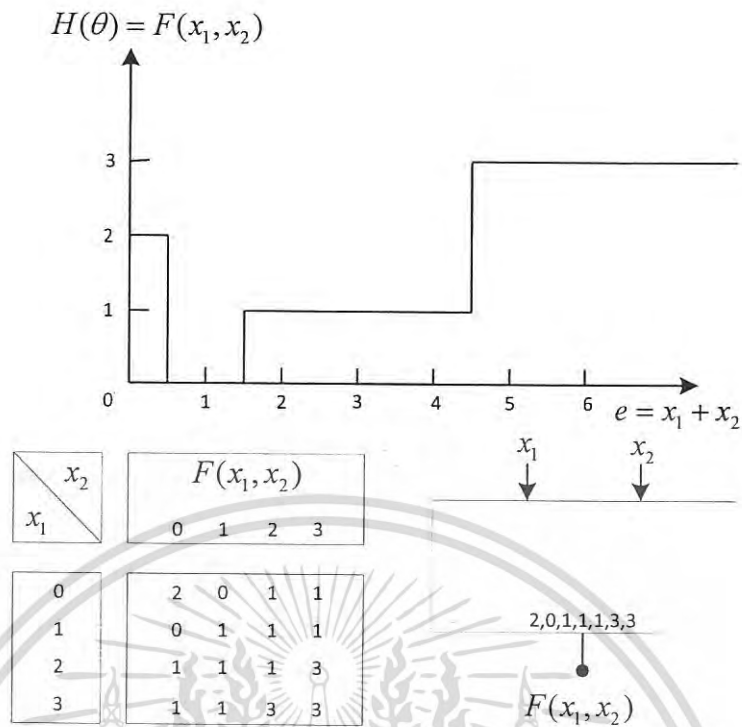
บทที่ 2

ทฤษฎีของลอจิกหลายระดับสัญญาณ

2.1 นิยามและคำจำกัดความ [8]

สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเซตค่าของสัญญาณที่มีการเปลี่ยนแปลง ซึ่งอาจจะอยู่ในรูปของแรงดัน กระแส หรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ เซตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย $0, 1, 2, 3, \dots, (R-2), (R-1)$ ซึ่งเป็นเซตของ R ประการที่สองเรียกว่า Balance จะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงคงที่ โดยที่ $R=2k+1$ และค่า $(-k), (1-k), \dots, -2, -1, 0, 1, 2, \dots, (k-1), (k)$ ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ $(0,1,2,3,\dots,R-1)$ เมื่อมีการใช้คำจำกัดความอื่น ๆ แทนอินพุทของสัญญาณอินพุทของอุปกรณ์ เช่นการใช้ label แสดงรายชื่อของค่าต่าง ๆ ที่สัมพันธ์กันยกตัวอย่างเช่น ในวงจรเลขฐาน 4 ซึ่งสมมติอินพุทให้เป็น $(0,1,2,3)$ และมีค่า Label $(1,2,3,0)$ ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุทอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า $(R-1)$ เช่นวงจร Successor, $Suc(x)=(x+1) \bmod R$ ซึ่งจะเรียกเกท ประเภทนี้ว่า Clockwise Cycle ได้แก่ $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(1,4)$ หรือ Counter clockwise cycle $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(3,4)$

ในกรณีที่มีวงจรมี 2 อินพุทหรือมากกว่า คำจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ R ของ R^n ในกรณีที่มี n อินพุต R ค่า วงจรจะสามารถจำกัดความได้ หรือสามารถใช้ตารางที่แสดงในรูปที่ 2.1 ได้



รูปที่ 2.1 ตารางความจริง คุณลักษณะการส่งผ่านและสัญลักษณ์ของเกท

จากตารางที่ 2.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมากรวมไปถึงตัวอย่างของค่าจำกัดความทางบวกที่กล่าวไปแล้ว ฟังก์ชันนี้จะมีอยู่ 2 เซต ซึ่งง่ายต่อการสร้างวิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตามทั้ง 2 เซตนี้ยังไม่สามารถแยกความสัมพันธ์กันได้อย่างสมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือ ความสัมพันธ์ระหว่างฟังก์ชัน ดังแสดงในตารางที่ 2.1 ตัวอย่างของเกท Cycling จะมีอยู่ 2 ชนิด โดยจะพิจารณาแต่ละตัวเป็นฟังก์ชัน 2 ตัวแปร ซึ่งมีความสัมพันธ์ ดังนี้

$$\overline{X^y} = \overline{X^z} \text{ เมื่อ } Z = R - y \quad (2.1)$$

เช่นเดียวกับ interval และ Literal เกทจะถูกสร้างให้มีความสัมพันธ์ ดังนี้

$${}^a X^b = (R - 1) [{}^a X^b] \quad (2.2)$$

และ

$$[{}^a X^b] = \min(1, {}^a X^b) \quad (2.3)$$

โดย $(R - 1)$ หมายถึงการคูณ

ตารางที่ 2.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positional Base 4 Example $a=1, b=2, y=x$	
1	Restoring Identity	X		$\langle 0\ 1\ 2\ 3 \rangle$	X Standardized
2	(Diametrical)Inverse or Complement	\bar{x}		$\langle 3\ 2\ 1\ 0 \rangle$	$(R-1) - x$
3	Maximum	$\max(xy)$	$X + y$ $X \vee y$	$\langle 3\ 2\ 2\ 3 \rangle$	X if $x \geq y$, else y
4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	$\langle 0\ 1\ 1\ 0 \rangle$	X if $x \leq y$, else y
5	Successor	\bar{x}	$Suc(x)$	$\langle 1\ 2\ 3\ 0 \rangle$	$(x+1) \bmod R$
6	Cycle,(Clockwise Cycle)	\bar{x}^{-b}	$x^{-1} = \bar{x}$	$\langle 2\ 3\ 0\ 1 \rangle$	$(x+b) \bmod R$
7	Counter Cycle	\bar{x}^{-b}	$x^1 = \bar{x}$	$\langle 2\ 3\ 0\ 1 \rangle$	$(x-b) \bmod R$
8	Literal Function	${}^a x^b$	$X(a,b)$	$\langle 0\ 3\ 3\ 0 \rangle$	$(R-1)$ if $a \leq x \leq d$, else 0
9	Delta Literal J Function	${}^a x$	$J(x)a$	$\langle 0\ 3\ 0\ 0 \rangle$	$(R-1)$ if $a = x$, else 0
10	Close Interval	$[{}^a x^b]$		$\langle 0\ 1\ 0\ 0 \rangle$	1 if $a \leq x \leq d$, else 0
11	Open Interval	$]{}^a x^b[$		$\langle 0\ 0\ 0\ 0 \rangle$	1 if $a < x < d$, else 0
12	Delta Interval	${}^a x$	$[{}^a x^a]$	$\langle 0\ 1\ 0\ 0 \rangle$	1 if $a = x$, else 0
13	Upper Close Semi-Interval	$[{}^a x$		$\langle 0\ 1\ 1\ 1 \rangle$	1 if $a \leq x$, else 0
14	Lower Close Semi-Interval	$x^a]$		$\langle 1\ 1\ 0\ 0 \rangle$	1 if $a \leq x$, else 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 (ต่อ) แสดงฟังก์ชันต่างๆ ของสัญญาณหลายระดับ

15	Lower Open Semi-Interval	${}^a x$		<1 0 0 0>	1 if $x < a$, else 0
16	Upper Open Semi-Interval	x^a		<0 0 1 1>	1 if $a < a$, else 0
17	Threshold Literal(Up)	${}^U a^{(a)}$		<0 1 1 1>	1 if $x \geq a$, else 0
18	Step Literal(Up)	${}^D a^{(a)}$		<1 1 0 0>	1 if $x \leq a$, else 0
19	Truncated Difference	$X \square a$		<0 0 1 2>	$X - a$ if $x \geq a$, else 0
20	Limited Sum Truncated Sum	$X \square a$		<1 2 3 3>	$X - a$ if $<(R - 1)$, else $R - 1$
21	Multiplex, selection Transmission, tree	$T(x, y, q)$		<0 1 2 3> <3 2 1 0>	X if $q = 0$ Y if $q = 1$
22	Multithreshold MT(R)			<p q r s>	Use a thresholded Sum to look up table of values
23	MV NOR	$\overline{\min(xy)}$	$\overline{Min(xy)}$	<0 1 1 0>	\overline{x} if $x \geq y$, else \overline{y}
24	MYNAND	$\overline{\max(xy)}$	$\overline{Max(xy)}$	<3 2 2 3>	\overline{x} if $x \leq y$, else \overline{y}

ในส่วนหลังของสมการแรก que แสดงการวนรอบอย่างง่าย $\overline{X^1}$ ถึง \overline{X} จะมีความสอดคล้องกับฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเดลต้าของตัวอักษรและเดลต้าของช่องว่างเมื่อ ${}^a X^a$ และ ${}^a X^a$ จะถูกลดให้อยู่ในรูป X^a ซึ่งในบางกรณีนั้น อาจมีค่าไม่เท่ากันก็ได้แต่ในสถานการณ์ที่แสดงนี้โดยปกติใช้ได้ มีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ $T(x_0, x_1 \dots x_{R-1}, q)$ ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพล็กซ์หรือฟังก์ชันตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ (q) โดยทั่วๆ ไปค่า q มีค่า k ทำให้สัญญาณ x_k จำนวน k ตัวเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต แม้ว่าแนวคิดนี้จะเป็แนวคิดแบบตรงและมีการให้คำจำกัดความเมื่อไม่นานนี้ แต่ในบางเทคโนโลยีเราอาจไม่สามารถสร้าง T เกทได้ง่ายนัก ในอีกกรณีหนึ่งเกทแบบมัลติเทรตโฮลด์ฐาน R แทนด้วย MT(R) เกท ซึ่งเป็นเกทที่ทำงานได้หลายหน้าที่สามารถดำเนินการได้มากกว่าเกทตัวอื่นๆ ด้วย ฟังก์ชันลอจิกแบบที่ 2 จะได้มาจาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง จากรูปที่ 2.1 จะแสดงเกทแบบ MT(R) ซึ่งอินเทรตแต่ละตัวจะถูกถ่วงน้ำหนัก (weight) และถูกรวมและเปรียบเทียบรวมอีกครั้งกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วงน้ำหนักจะกำหนดเอาต์พุตโดยเฉพะลักษณะของกระบวนการคล้ายกับตารางเอกสาร์ ROM นี้เพื่คั่นหาแอดเดรสของสัญญาณหลายระดับและเอาต์พุตในตารางที่เอาต์พุตประกอบด้วยไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

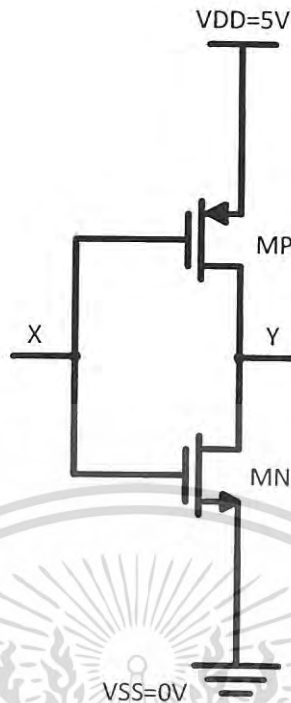
ค่า $H1-Hm$ เมื่อ m คือจำนวนที่หาค่าได้จากกรณำสัญญาณอินพุตถ่วงน้ำหนักรวมวิธีการนี้จะใช้ในส่วนของการเขียนเป็นกราฟได้ น้ำหนักของอินพุตจะถูกกำหนดในรายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุต โดยเงื่อนไขบางอย่างหรือการติดลาเบลไปกับอินพุตแต่ละตัวบนสัญญาณของลอจิก ซึ่งแสดงให้เห็นว่า MT(R) เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก,ลบ) แต่ถ้าจะเหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ $[MAX, MIN]$ ในการสร้างวงจรลอจิกฟังก์ชันของระบบไบนารีที่มีเลขฐานต่ำอาจจะใช้รีเลย์ Vacuum tube หรือ ทรานซิสเตอร์ซึ่งง่ายต่อการกำหนดให้มันทำงานหรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (Middle) ซึ่งจะอยู่ระหว่างค่า 2 ค่า โดยการกำหนดให้ตัวอุปกรณ์ให้ทำงานทั้งคู่หรือไม่ก็ไม่ทำงานทั้งคู่ สำหรับเลขฐานสี่ขอยกตัวอย่างเช่นการเข้ารหัสของเลขไบนารี ซึ่งอยู่ในรูปของ $R=2^n$ ถ้าเลขฐานสูงขึ้น วงจรก็ต้องการเทคนิคที่สูงขึ้น

2.2 พีชคณิตของโพสต์และวงจรมค่า m ค่า

ในการออกแบบวงจรรวมของทางไบนารีจะประกอบด้วยตัวโอเพอร์เรเตอร์ที่ใช้พื้นฐานของพีชคณิตบูลีน นั่นคือระดับของค่าลอจิกจะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m -valued ในการออกแบบโดยทั่วไป จะใช้พีชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง $m-1$ แต่ถ้าวงจรมีการทำงานในโหมดกระแสจะใช้เทร็ดโฮลด์ฟังก์ชันแทน

2.3 วงจร m -valued

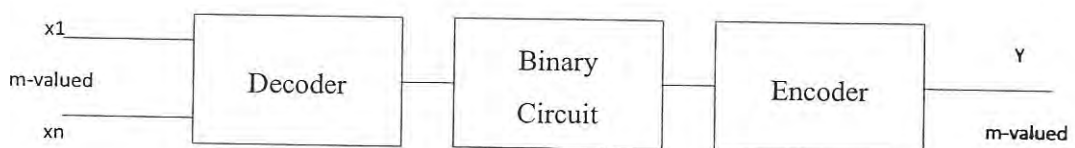
จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจรมค่า m -valued สามารถใช้เทคโนโลยี 3 แบบ คือ การอัดประจุ (charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแสมากกว่าในวงจรมค่า CCD ซึ่งเป็นการอัดประจุจะแสดงดังรูปที่ 2.2 เป็นวงจรมค่าอินเวอร์เตอร์พื้นฐาน



รูปที่ 2.2 วงจรอินเวอร์เตอร์พื้นฐาน

โดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า $X < V_{TN}$ เมื่อ V_{TN} ถูกแทนด้วยแรงดันเทรชโฮลด์ของ NMOS MN จะไม่ทำงาน MP จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ $X > 5V - V_{TP}$ โดย V_{TP} จะถูกแทนด้วยแรงดันเทรชโฮลด์ของ PMOS MP จะไม่ทำงานและ MN จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 0 โวลต์ เอาต์พุตของค่า Y จะมีอยู่ 2 ค่า คือ (0V และ 5V) นั่นคือค่าของลอจิก 0 และ 1 ตามลำดับ ในกรณีของวงจร m-valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับ และใช้พีชคณิตของโพสต์เมื่อ m มีกำลังเป็น 2 สามารถใช้พีชคณิตบูลีนได้ แต่ถ้า m มีกำลังมากขึ้นคือ $m = 4$ และ $m = 8$ พีชคณิตของโพสต์จะถูกกำหนดโอเปอร์เรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

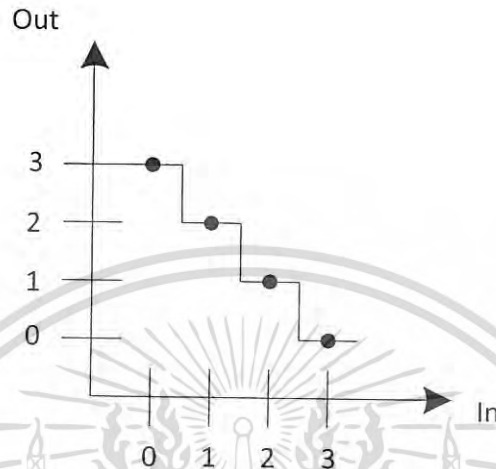
1. ค่า m จะถูกแทนให้อยู่ในรูปของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารีแต่ได้อินพุตเป็น m-valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ $D_i(x)$ และ $U_i(x)$ ซึ่งจะนำไปใช้เป็นวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m-valued แต่จะได้เป็นเอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไปจะแสดงดังรูปที่ 2.3



รูปที่ 2.3 บล็อกไดอะแกรมของวงจร m ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกมัดให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถอดรหัสที่สร้างขึ้นมานี้ใหม่คือการสังเคราะห์ตัวเลขไบนารีของฟังก์ชันย่อย ส่วนวงจรถอดรหัสคือผลจากการใช้พีชคณิตของโพลต์ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจรม- valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 2.4 คุณลักษณะการส่งผ่านของวงจรถอดรหัสแบบ 4 ค่า

การเปรียบเทียบระหว่าง m-valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัส การสร้าง m-valued จะมีฟังก์ชันที่เหมือนวงจรถอดรหัส Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay time) และพื้นที่ของชิป

2.4 เทรตโฮลด์ฟังก์ชัน

เทรตโฮลด์ฟังก์ชันเป็นสับเซตของไบนารีฟังก์ชัน ซึ่งเทรตโฮลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนเป็นสมการได้ดังนี้

$$Y = 1 \text{ ถ้า } \sum_{i=1}^n a_i x_i \geq T \quad (2.4)$$

0 เป็นกรณีอื่นๆ

x_i คือการเปลี่ยนแปลงของอินพุต

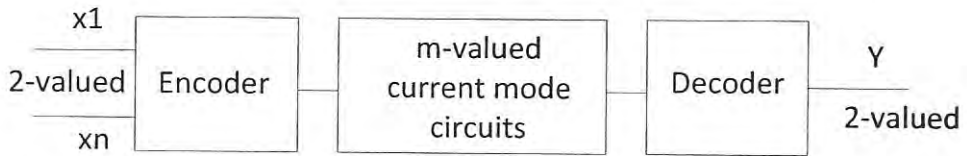
a_i คือน้ำหนักของค่าสัมประสิทธิ์

T คือ ค่าเทรตโฮลด์

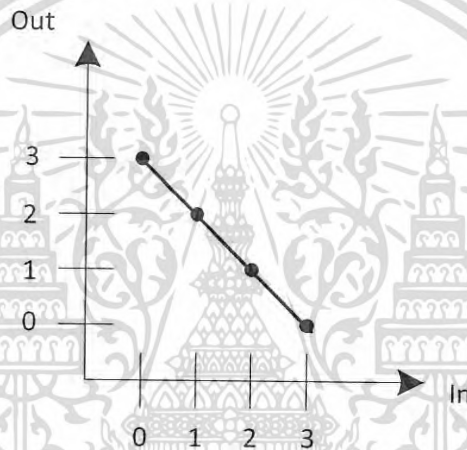
ดังนั้น $a_i, T \in \mathbb{N}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทรตโฮลต์ฟังก์ชันจะเป็นผลรวมกันทางอนาล็อก (ε) ซึ่งคูณด้วยค่าคงที่ (α, x_i) และทำการเปรียบเทียบค่าเทรตโฮลต์ (T) ผลรวมกันทางอนาล็อกถ้าจะให้ง่ายต่อการคิดควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟฟ์) ดังแสดงในรูปที่ 2.5 วงจร m-valued จะได้จากฟังก์ชันเทรตโฮลต์ของไบนารี



รูปที่ 2.5 บล็อกไดอะแกรมของเทรตโฮลต์ฟังก์ชัน



รูปที่ 2.6 คุณลักษณะทางไฟตรงของวงจรมอนาโลกอินเวอร์เตอร์แบบ 4 ค่า

2.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธี คือ โดยการอัดประจุ (charge) โดยกระแสและแรงดัน โดยวิธีการอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Devices (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory การออกแบบวงจรลอจิกโดยใช้กฎของเคอร์ชอฟฟ์ ในวงจร Memory และการออกแบบวงจรลอจิกแบบ Clock Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในเป็นตัวคัปปลิ่ง และเชื่อมต่อระหว่างอินพุตกับเอาต์พุต โดยปกติแล้วในการอินเตอร์เฟสจะใช้ในการเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่ นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี I^2L (MVI^2L) แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic) ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVI^2L การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรตโฮลต์ของตัวอุปกรณ์ เช่นการเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟส โดยกำหนดค่าเทรตโฮลต์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูงๆ คือ ($R \geq 4$) การออกแบบโดยใช้ประตูและกระแสแต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้งานมาก เพราะมีความต้านทานต่ำและมีค่าออฟเซตเป็นศูนย์ แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของ GaAs

2.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรถลอจิกไม่ว่าจะเป็นวงจรแบบไบนารีหรือวงจรหลายระดับสัญญาณจะมีคุณสมบัติอยู่ 3 ประการ คือ Generation, Transmission และ Detection

Generation จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Logic Network

Transmission จะอ้างถึงคุณสมบัติทาง Nonrestoring หรือ Nonstandardizing ยกตัวอย่างเช่นไดโอดและบางส่วนของ MVI^2L

Detection จะอ้างถึงสัญญาณลจิกที่ตรวจสอบความถูกต้องของจำนวน Information

Range Over คือ การตรวจลจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ "Noise Margin" โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ crosstalk จากตัวอุปกรณ์ตัวอื่น และแหล่งจ่ายไม่คงที่ เป็นต้น อย่างไรก็ตาม ในระบบลจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified เกตมากกว่า เช่น I^2L โดยมีขาคีมิตเตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขาคีมิตเตอร์หลายขาเป็นเอาต์พุต

2.7 โหมดในการทำงานของวงจร

2.7.1 โหมดประจุ

พื้นฐานของอุปกรณ์ประเภทประจุ นั่นคือการคงค่าของประจุไว้ ซึ่งค่าความนี้จะอยู่ได้ เงื่อนไขของค่าทางเรขาคณิตและแรงดันควบคุม โดยค่าเก็บประจุสูงสุดจะได้ดังสมการ ดังนี้

$$Q_{MAX} = C * (V_1 - V_2) * A \quad (2.5)$$

A คือ พื้นที่ในการเก็บประจุของตัวเกต

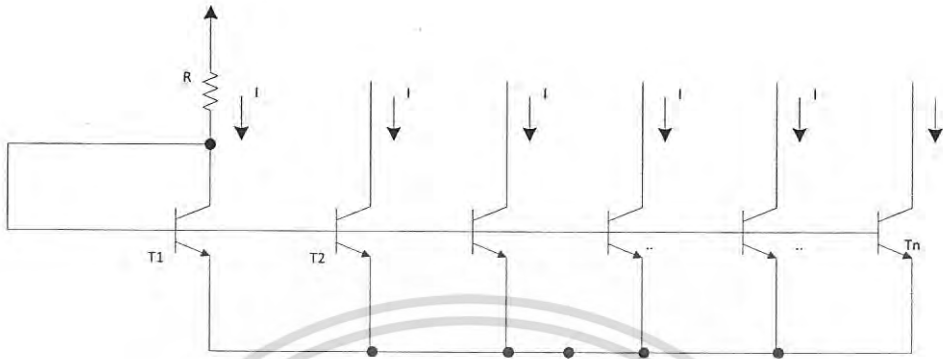
V_1 คือ ระดับของแรงดันไฟฟ้า

V_2 คือ ระดับของแรงดันไฟฟ้าที่สูงกว่า

C คือ ค่าประจุ

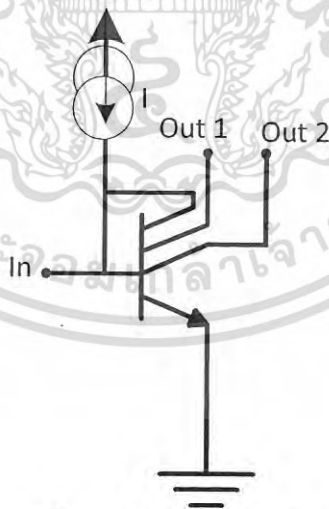
2.7.2 โหมดกระแส

ในวงจรหลายระดับสัญญาณที่ทำงานในโหมดกระแส อุปกรณ์แต่ละตัวก็จะมีหน้าที่กำเนิดตังเช่นในการสร้างวงจรรวม จะเห็นว่าการกำเนิดกระแสจะใช้วงจรสะท้อนกระแส แสดงดังรูปที่ 2.7



รูปที่ 2.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL

จากรูปที่ 2.7 จะแสดงให้เห็นว่ากระแสจะไหลผ่านค่าความต้านทานจากนั้นจะไหลเข้าสู่ทรานซิสเตอร์ T_1 ซึ่งถูกต่อแบบไดโอดคอนเน็ค โดยแรงดันเบสอีมีสเตอร์ของแต่ละตัวตั้งแต่ T_2 ถึงจะมีกระแสไหลเหมือนกัน ซึ่งมีกระแสเท่ากับ 1 และสามารถแยกออกไปเป็น $2I$, $3I$ เป็นต้น



รูปที่ 2.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L

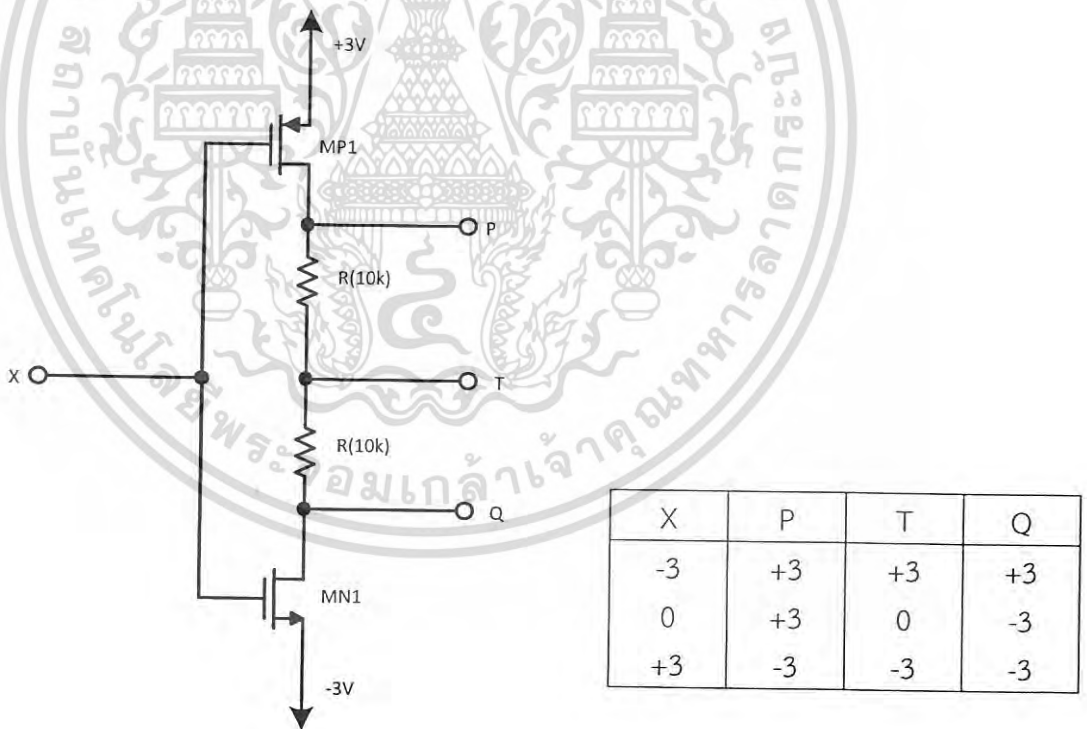
ในรูปที่ 2.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ MVI^2L จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาคอลเลคเตอร์หลายขา จากคุณสมบัติข้างต้นสามารถนำไปใช้ในรูปของวงจรรูปที่ 2.7 ซึ่งกระแสที่ขาคอลเลคเตอร์แต่ละขาจะไม่มีผลต่อโหลดหรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าลองเปิดวงจรพิจารณาที่อินพุทค่า β ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแส I (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปขาคอลเลคเตอร์เพราะผลรวม

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการเชิงพาณิชย์ในท้องถิ่น ไม่อยู่ในเขตลิขสิทธิ์ของหน่วยงานราชการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของกระแสเอาต์พุตจะมีค่าเป็น I (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุตของกระแส X สามารถคิดได้ดังนี้ จะมีกระแส $(I - X)$ เมื่อ X มากกว่า I ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อย จนหยุดทำงาน แรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลคเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นว่าเอาต์พุตจะมีการสวิทช์ซึ่งแบบไบนารี ซึ่งกระแส I จะเป็นอินพุตของ 0 และกระแส 0 จะเป็นอินพุตที่มากกว่า I ดังนั้นจากพื้นฐานของ I^2L จะมีข้อกำหนดดังนี้ การบวก (จะเกิดจากการต่อร่วมกันของคอลเลคเตอร์) การลบ (เกิดจากผลรวมกระแสอินพุต $< I$) ซึ่งจะเป็นค่าเทรตโฮลต์ และการสวิทช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุต $> I$)

2.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตเทรตโฮลต์และกำหนดระดับเอาต์พุต ข้อจำกัดในโหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทรตโฮลต์น้อยและมีการจำกัดค่าเทรตโฮลต์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 2.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นฮานซ์เมนต์และมีลักษณะของการสวิทช์ซึ่งแบบไบนารี



รูปที่ 2.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่าเทรตโฮลด์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP1 จะไม่ทำงานแต่ MP2 จะทำงานแต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP1 จะทำงานแต่ MP2 จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลางก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงานเอาท์พุทจะอยู่ในสภาวะตรงกันข้ามกับอินพุท แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่เอาท์พุทจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุท) ดังนั้นค่า T จะเป็นอินเวอร์ตของอินพุท

$$T = X \quad (2.6)$$

P และ Q จะเป็น Linear ฟังก์ชัน

$$P = X = X \text{ และ } Q = X = X \quad (2.7)$$

ดังแสดงในรูปที่ 2.9 จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาท์พุทออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอกแต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน

2.8 วงจร m-valued ที่ทำงานในโหมดแรงดัน

ในส่วนนี้จะพูดถึงวงจร m-valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอส และ ไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกเป็น PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบด้วย NMOS และ PMOS ทรานซิสเตอร์ ที่ CMOS ถูกนำมาใช้แทน NMOS จะใช้ทั้ง 2 ชนิดคือเอ็นฮานเมนต์ และ ดีพลีทชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานเมนต์ ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรตโฮลด์เฉพาะตัวเองขึ้นอยู่กับารปลูกผลึก

2.9 วงจร m-valued ที่ใช้ในเทคโนโลยี CMOS

ค่าแรงดันและระดับเทรตโฮลด์ที่ใช้ในวงจร CMOS m-valued [9] จะใช้เหมือนกับทางไบนารี ในวงจรเข้ารหัส หรือถอดรหัสจะต้องปรับค่าแรงดันเทรตโฮลด์ หรือค่าทางเรขาคณิตของ ทรานซิสเตอร์

2.9.1 วงจรถอดรหัส

วงจรมีจะเป็นวงจรถอดรหัสที่คอยตรวจจับค่าเทรตโฮลต์ โดยที่อินพุตจะได้ค่า m -valued ส่วนเอาต์พุตจะได้ค่าไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของสวิตช์ซึ่ง คือ การกำหนดแรงเทรตโฮลต์ของทรานซิสเตอร์ชนิดเอ็นฮานเมนต์และดีพลีทชันให้มีค่าคงที่ค่าหนึ่ง การกำหนดขึ้นอยู่กับอัตราส่วนของเรขาคณิต เช่นในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ให้ค่าเทรตโฮลต์ V_{TS} และ V_{TL} มีค่าคงที่ค่าหนึ่งซึ่งผลต่างของแรงดันในการสวิตช์ซึ่งจะต้องอยู่ระหว่างผลต่างของเอาต์พุต อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดันเพื่อเลื่อนการสวิตช์ซึ่งของแรงดันออกไป รูปที่ 2.10 แสดงตัวอย่างของวงจร Threshold Detector MN_2 MN_1 ($X \geq 2V_T$)

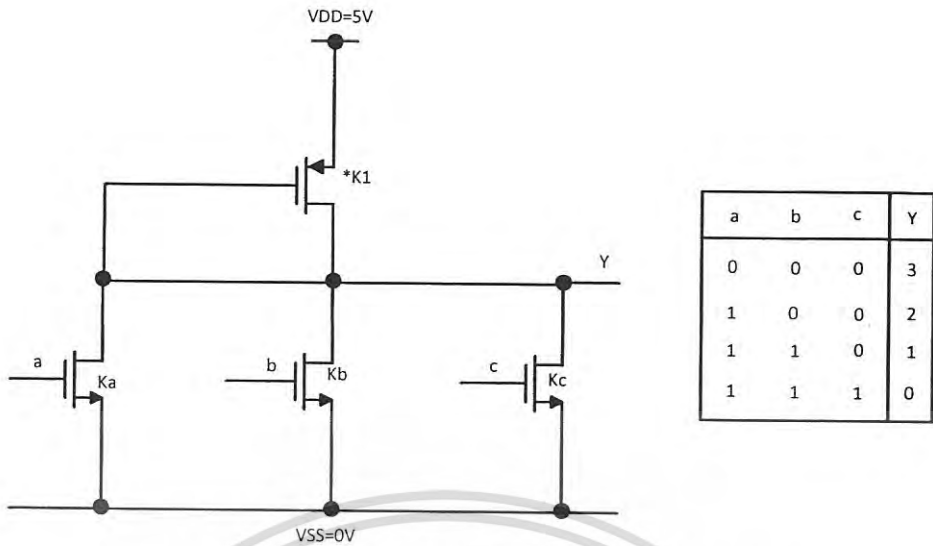


รูปที่ 2.10 วงจรตรวจจับเทรตโฮลต์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดแรงดันเทรตโฮลต์ให้ประมาณขนาดของทรานซิสเตอร์ให้มีขนาดต่างๆ ไว้ก่อน

2.9.2 วงจรเข้ารหัส

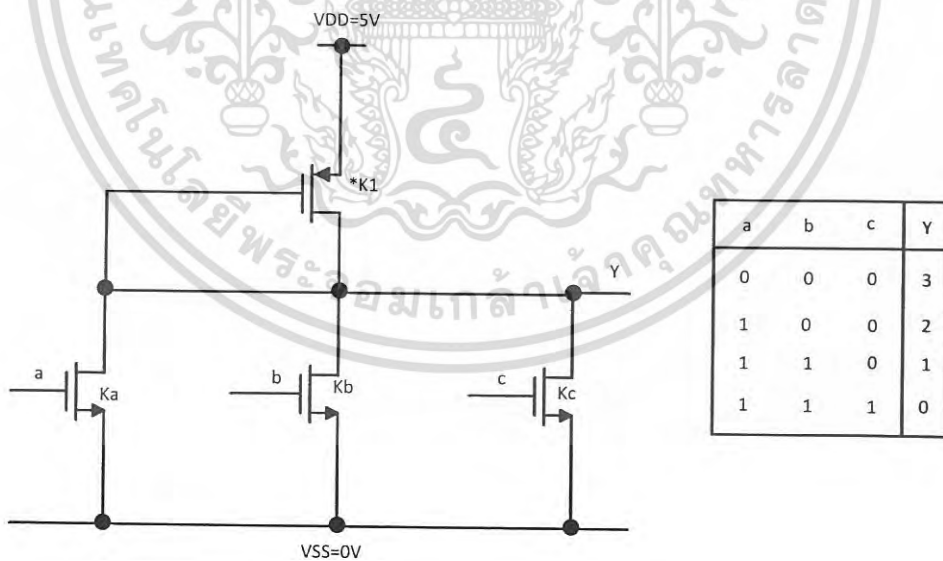
ในวงจรเข้ารหัสค่าอินพุตของวงจรมีจะเป็นไบนารี แต่เอาต์พุตของวงจรมีจะเป็น m -valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความแตกต่างกันในตอนแรกจะใช้แรงดันแหล่งจ่ายที่ต่างกันเพื่อให้ค่า $(m-1)$ ซึ่งค่านั้นคือ V_{SS} อย่างที่ 2 คือจะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า $(m-1)$ ไว้ที่ระดับแรงดันบวก (High) คือ V_{DD} แต่ในระดับอื่นๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรตโฮลต์



รูปที่ 2.11 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี CMOS

รูปที่ 2.11 จะแสดงตัวอย่างของวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 จะเป็นตัวกำหนดค่าแพคเตอร์ K_b และ K_c เมื่อ $a=1$ และ $b=c=0$ ค่า y จะถูกกำหนดโดยอัตราส่วน $\frac{K_1}{K_a}$ เมื่อ $a=b=c=1$ ซึ่งจะถูกกำหนดโดยอัตราส่วน

$$\frac{K_1}{K_a + K_b + K_c} \tag{2.8}$$



รูปที่ 2.12 วงจรเข้ารหัสแบบ 4 ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.12 จะแสดงการเข้ารหัสแบบ 4 ค่า ซึ่งจะใช้ค่าแรงดันเทรตโฮลด์เพียงค่าเดียว ส่วน Voltage Shift จะขึ้นอยู่กับข้อกำหนดค่าทางเรขาคณิตของทรานซิสเตอร์ (W/L) วงจรเหล่านี้เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

2.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต $V_{OH} = V_{DD}$ เมื่อ MP ทำงานและ $V_{OL} = V_{SS}$ เมื่อ MN ทำงาน ดังนั้น ระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่งจ่ายในวงจร NMOS การสวิทช์ซิ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน $\frac{K_n}{K_p}$ เมื่อ

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n} \quad (2.9)$$

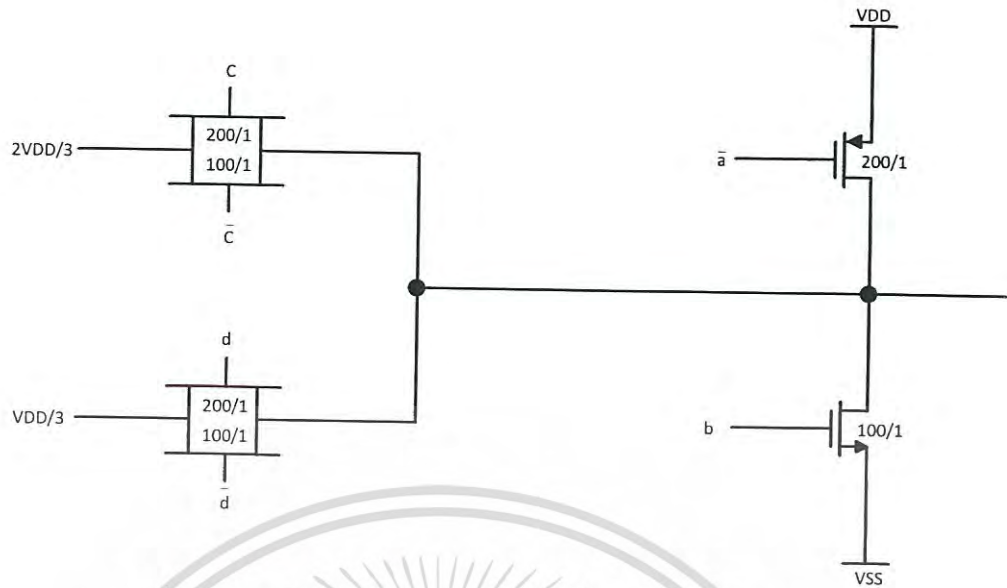
$$K_p = \mu_p C_{ox} \frac{W_p}{L_p} \quad (2.10)$$

$$V_{sw} = \frac{V_{dd} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (2.11)$$

$$\alpha = \sqrt{\frac{K_n}{K_p}} \quad (2.12)$$

2.10.1 วงจรเข้ารหัส

เอาต์พุตจะสวิทช์ระหว่างเอาต์พุตของการเข้ารหัส และค่า m ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือไม่ใช่แหล่งจ่ายต่างกันก็ต้องใช้วงจรอ้างอิงแรงดันโดยทั่วๆ ไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้น ถ้าทำงานก็จะทำทั้งคู่แต่ถ้าไม่ทำก็ไม่ทำทั้งคู่

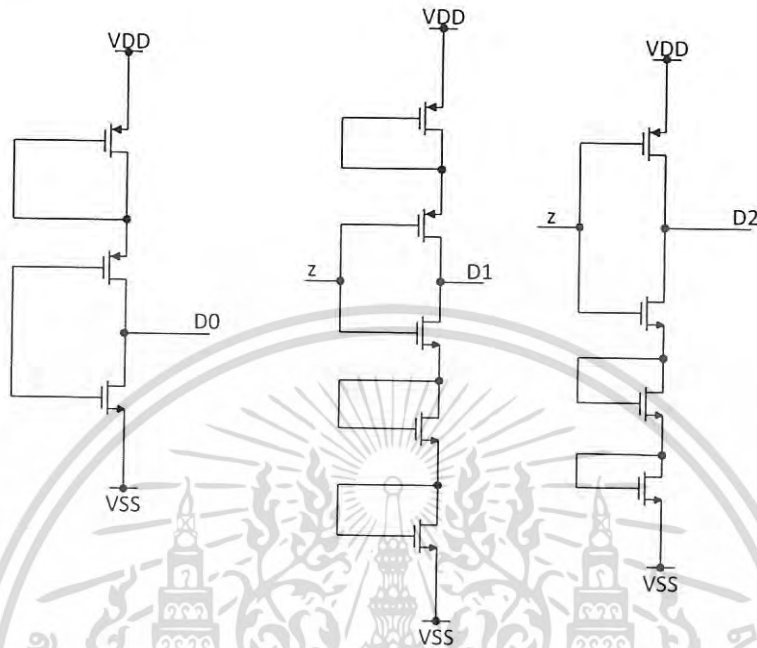


รูปที่ 2.13 วงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

รูปที่ 2.13 แสดงวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ $2\frac{V_{DD}}{3}$ และ $\frac{V_{DD}}{3}$ ในรูปที่ 2.13 จะเห็นว่ามีความถี่สูง เพราะนำไปประยุกต์ใช้งานนอกชิป

2.10.2 วงจรถอดรหัส

วงจรที่ใช้ในการถอดรหัสจะขึ้นกับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 2.14 จะแสดงวงจรตรวจจับเทรตโฮลต์โดยวงจรอินเวอร์เตอร์ เพื่อเลื่อนแรงดัน



รูปที่ 2.14 วงจรตรวจจับเทรตโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่ว ๆ ไป ในการสร้างฟังก์ชัน $D_i(x)$ และ $U_i(x)$ จะเป็นวงจรเปรียบเทียบแรงดัน ซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P หรือ N ก็ได้

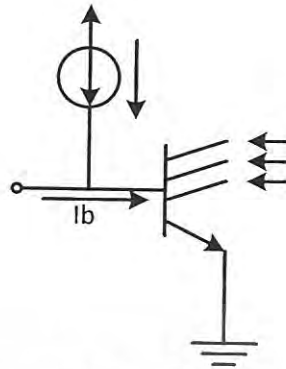
2.11 วงจร m-valued ที่ทำงานในโหมดกระแส

ในส่วนี้จะยกตัวอย่างของเทคโนโลยีไบโพลาร์และซีมอส

2.11.1 เทคโนโลยีไบโพลาร์

จะประกอบด้วยเทคโนโลยี I^2L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic)

2.11.1.1 วงจร I^2L ที่ทำงานในโหมดกระแส

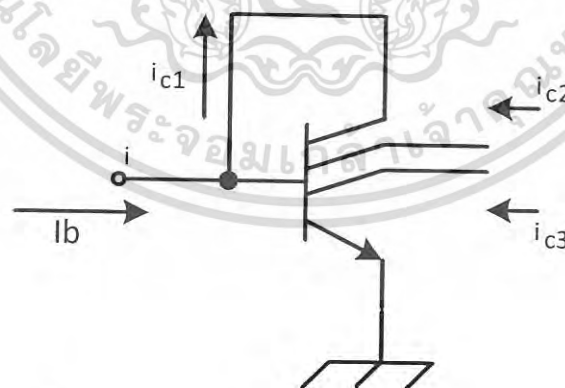


รูปที่ 2.15 เกทพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I^2L

ในรูปที่ 2.15 จะแสดงเกทพื้นฐานของ I^2L ในรูปนี้จะเป็นทรานซิสเตอร์แบบ NPN เอ้าท์พุทที่ขาคอลเลคเตอร์จะเป็นอิสระต่อกัน แรงดันระดับ Low จะมีค่าเท่ากับ $V_{CE(sat)}$ กระแสไบอัสที่ขาเบสจะถูกแทนด้วย I_b เมื่อขั้วอินพุทจะถูกต่อกับเกทตัวก่อนหน้านี ซึ่งจะมีระดับแรงดันเป็น Low

เทคโนโลยี I^2L ที่ใช้ในโหมดของกระแสจะมีดังนี้

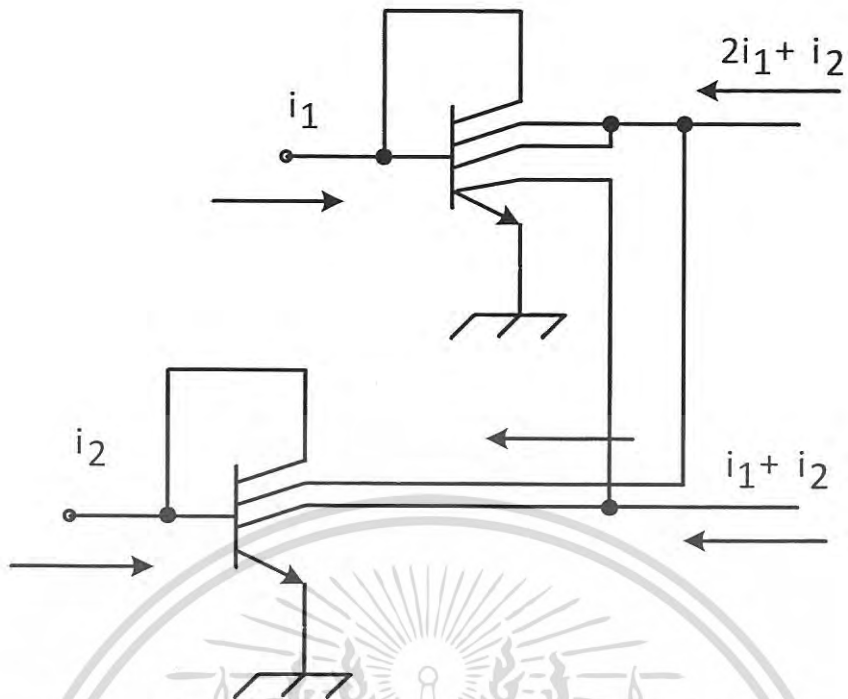
- วงจรสะท้อนกระแส
- วงจรผลรวมเชิงเส้นของกระแส
- เทอร์ตไฮลด์
- Sink-to-Source Conversion



รูปที่ 2.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I^2L

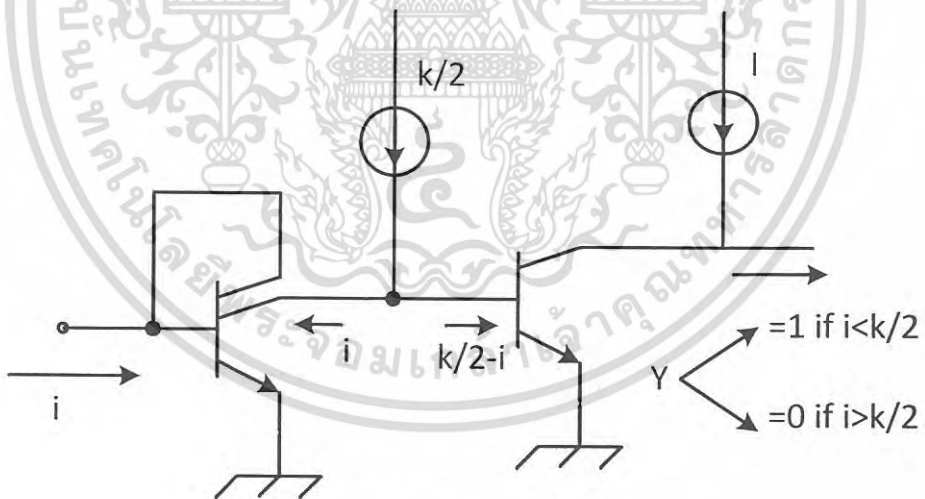
วงจรสะท้อนกระแส จะมีการป้อนกลับระหว่างขาเบสและขาคอลเลคเตอร์ วงจรสะท้อนกระแสจะถูกใช้ในการคัดลอกกระแสและคูณกระแสโดยขึ้นอยู่กับค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี I^2L

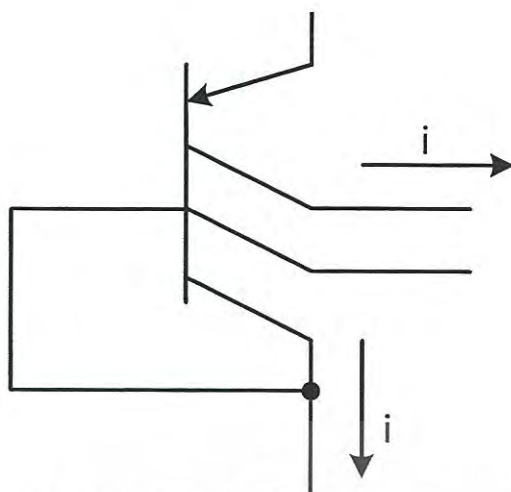
จากรูปที่ 2.18 เป็นวงจรผลรวมเชิงเส้นของกระแสมีลักษณะการทำงานตามกฎของเคอร์ชอฟฟ์



รูปที่ 2.18 วงจรเทรตโฮลต์โดยใช้เทคโนโลยี I^2L

ค่าเทรตโฮลต์ที่กล่าวถึงนี้จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและทรานซิสเตอร์ทั่วไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L

Sink - to - Source Conversion จากรูปจะเห็นว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมีลติคอลเลคเตอร์ซึ่งทำหน้าที่กระแส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรสามระดับ

3.1 นิยามและคำจำกัดความ [14]

กำหนดให้วงจรสามระดับมีฟังก์ชัน $f(x, y)$ ที่มีสองอินพุต คือ x และ y เป็นไปตามตารางความจริง (ดังตารางที่ 3.1) และมีผลลัพธ์ของวงจรเป็น C_i โดยที่ $x, y, C_i \in \{0, 1, 2\}$ และกำหนดนิยามของตัวดำเนินการต่าง ๆ ดังนี้

ตัวดำเนินการของการเปรียบเทียบแรงดันเทอร์สโพลด์ขั้นต่ำ

$$x \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (3.1)$$

ตัวดำเนินการของ การเปรียบเทียบแรงดันเทอร์สโพลด์ขั้นสูง

$$x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (3.2)$$

ตัวดำเนินการของการส่งผ่าน

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (3.3)$$

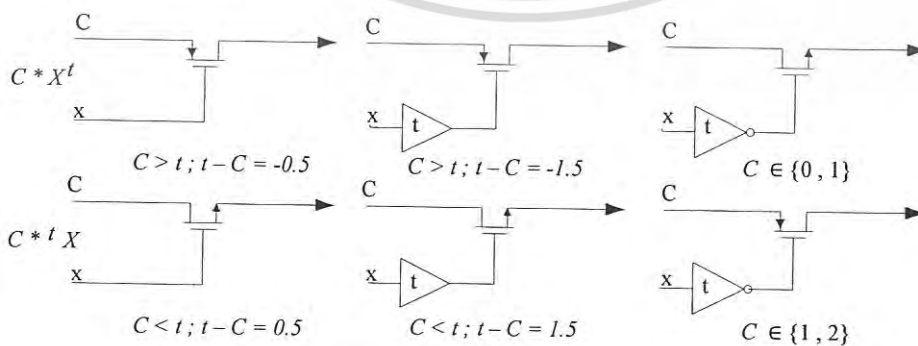
ตารางที่ 3.1 ตารางค่าความจริงของฟังก์ชันสามระดับ

x	y	f(x,y)
0	1	C ₀
0	1	C ₁
0	2	C ₂
1	0	C ₃
1	1	C ₄
1	2	C ₅
2	0	C ₆
2	1	C ₇
2	2	C ₈

ตารางที่ 3.1 ตารางแสดงค่าความจริงของฟังก์ชันสามระดับ จากตารางนี้สามารถสร้างฟังก์ชันสามระดับ f(x,y) ได้ดังนี้

$$\begin{aligned}
 f(x,y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot 0.5 \cdot y^{0.5}) \# \\
 & C_2 * (x^{0.5} \cdot 1.5 \cdot y) \# C_3 * (0.5 \cdot x \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (0.5 \cdot x \cdot x^{1.5} \cdot 0.5 \cdot y \cdot y^{1.5}) \# \\
 & C_5 * (0.5 \cdot x \cdot x^{1.5} \cdot 1.5 \cdot y) \# C_6 * (1.5 \cdot x \cdot y^{0.5}) \# \\
 & C_7 * (1.5 \cdot x \cdot 0.5 \cdot y \cdot y^{1.5}) \# C_8 (1.5 \cdot x \cdot 1.5 \cdot y)
 \end{aligned}
 \tag{3.4}$$

โดยที่ ตัวดำเนินการ \cdot แทนการดำเนินการแบบ AND ในฟังก์ชันสองระดับ
 ตัวดำเนินการ $\#$ แทนการดำเนินการแบบ OR ในฟังก์ชันสองระดับ
 และจะสามารถสร้างวงจรพาสทรานซิสเตอร์ได้ดังนี้



รูปที่ 3.1 วงจร pass-transistor สำหรับการดำเนินการ C * x' และ C * 'x

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 แสดงวงจร pass-transistor สำหรับการดำเนินการ $C * x'$ และ $C * 'x$ โดยจะนำวงจรดังกล่าวไปใช้ในการออกแบบวงจรสามระดับต่าง ๆ โดยใช้ नियามซึ่งกำหนดไว้ดังนี้
 नियามการดำเนินการการเปรียบเทียบแรงดัน เทรสโวลต์ ชั้นต่ำ

$$x' \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (3.5)$$

นियามการดำเนินการการเปรียบเทียบแรงดัน เทรสโวลต์ ชั้นสูง

$$'x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (3.6)$$

โดยที่ ตัวตรวจสอบเทรสโวลต์ t จะมีค่าระหว่างกึ่งกลางของระดับลอจิก สำหรับวงจรสามระดับ $t \in (0.5, 1.5)$ และผลลัพธ์ที่ได้จากการดำเนินการเปรียบเทียบจะเป็นค่า T และ F

นियามของการดำเนินการบูลีน (AND, OR, NOT)

การดำเนินการนี้สำหรับการเปลี่ยนแปลงในระดับสองระดับนั้นรู้จักกันดีในชื่อของ พีชคณิตบูลีน และจะใช้สัญลักษณ์ $\cdot, +$, และ \sim

นियามของการดำเนินการการส่งผ่าน

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (3.7)$$

โดยที่ C_i คือ ตัวแปรการส่งผ่านซึ่งจะถูกกำหนดให้ผ่านไปได้หรือไม่ ตามค่าของ B
 नियามของการดำเนินการ Union

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i \text{ if } B_i = T \text{ and } B_j = F \\ C_j \text{ if } B_i = F \text{ and } B_j = T \\ \phi \text{ if } B_i = B_j = F \\ \text{not allowed} \\ \text{if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากนิยามที่กล่าวมาข้างต้น เราสามารถสรุปความสัมพันธ์ต่าง ๆ ได้ดังนี้

$$\tilde{x}^i = {}^i x \quad (3.9)$$

$${}^i \tilde{x} = {}^i x \quad (3.10)$$

$$B = {}^i (2 * B \# 0 * \tilde{B}) = (2 * \tilde{B} \# 0 * B)^i \quad (3.11)$$

$$C * (B_1 + B_2) = C * B_1 \# C * B_2 \quad (3.12)$$

$$C * (B_1 \cdot B_2) = (C * B_1) * B_2 \quad (3.13)$$

$$(C_1 * B_1 \# C_2 * B_2) * B_3 = C * (B_1 \cdot B_3) \# C * (B_2 \cdot B_3) \quad (3.14)$$

$$f(x) = f(0) * x^{0.5} \# f(1) * ({}^{0.5} x \cdot x^{1.5}) \# f(2) * {}^{1.5} x \quad (3.15)$$

$$f = 0 * B_0 \# 1 * B_1 \# 2 * B_2 \quad (3.16)$$

และเราสามารถกำหนดนิยามต่อมาดังนี้

นิยามการอินเวอร์ส เอادتพุตสองระดับ แบบ เทรสโฮลด์-ที (Threshold-t Inverse with binary output)

$$\overline{x(t)} \triangleq \begin{cases} 2 & (\text{if } x < t) \\ 0 & (\text{if } x > t) \end{cases} \quad (3.17)$$

นิยามการอินเวอร์ส สามระดับ

$$\bar{x} \triangleq \begin{cases} 2 & (\text{if } x = 0) \\ 1 & (\text{if } x = 1) \\ 0 & (\text{if } x = 2) \end{cases} \quad (3.18)$$

นิยาม Modulo-3 Addition

$$x \oplus i \triangleq \text{mod}_3(x \text{ plus } i) \quad (3.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 1-of-2 Threshold-t Multiplexing

$$f(y_0, y_2; x, t) \triangleq \begin{cases} y_0 & (\text{if } x < t) \\ y_2 & (\text{if } x > t) \end{cases} \quad (3.20)$$

นิยาม 1-of-3 Multiplexing

$$f(y_0, y_1, y_2; x) \triangleq \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases} \quad (3.21)$$

จากนิยามดังกล่าวจะสามารถนำมาสร้างเป็นสมการได้ดังนี้

$$\overline{x(t)} = 2 * x' \# 0 * 'x \quad (3.22)$$

$$\overline{x} = 2 * x^{0.5} \# 1 * (^{0.5}x \cdot x^{1.5}) \# 0 * ^{1.5}x \quad (3.23)$$

$$x \oplus 1 = 1 * x^{0.5} \# 2 * (^{0.5}x \cdot x^{1.5}) \# 0 * ^{1.5}x \quad (3.24)$$

$$x \oplus 2 = 2 * x^{0.5} \# 0 * (^{0.5}x \cdot x^{1.5}) \# 1 * ^{1.5}x \quad (3.25)$$

$$f(y_0, y_2; x, t) = y_0 * x' \# y_2 * 'x \quad (3.26)$$

$$f(y_0, y_1, y_2; x) = y_0 * x^{0.5} \# y_1 * (^{0.5}x \cdot x^{1.5}) \# y_2 * ^{1.5}x \quad (3.27)$$

และสามารถเขียนฟังก์ชัน Identity ได้ดังนี้

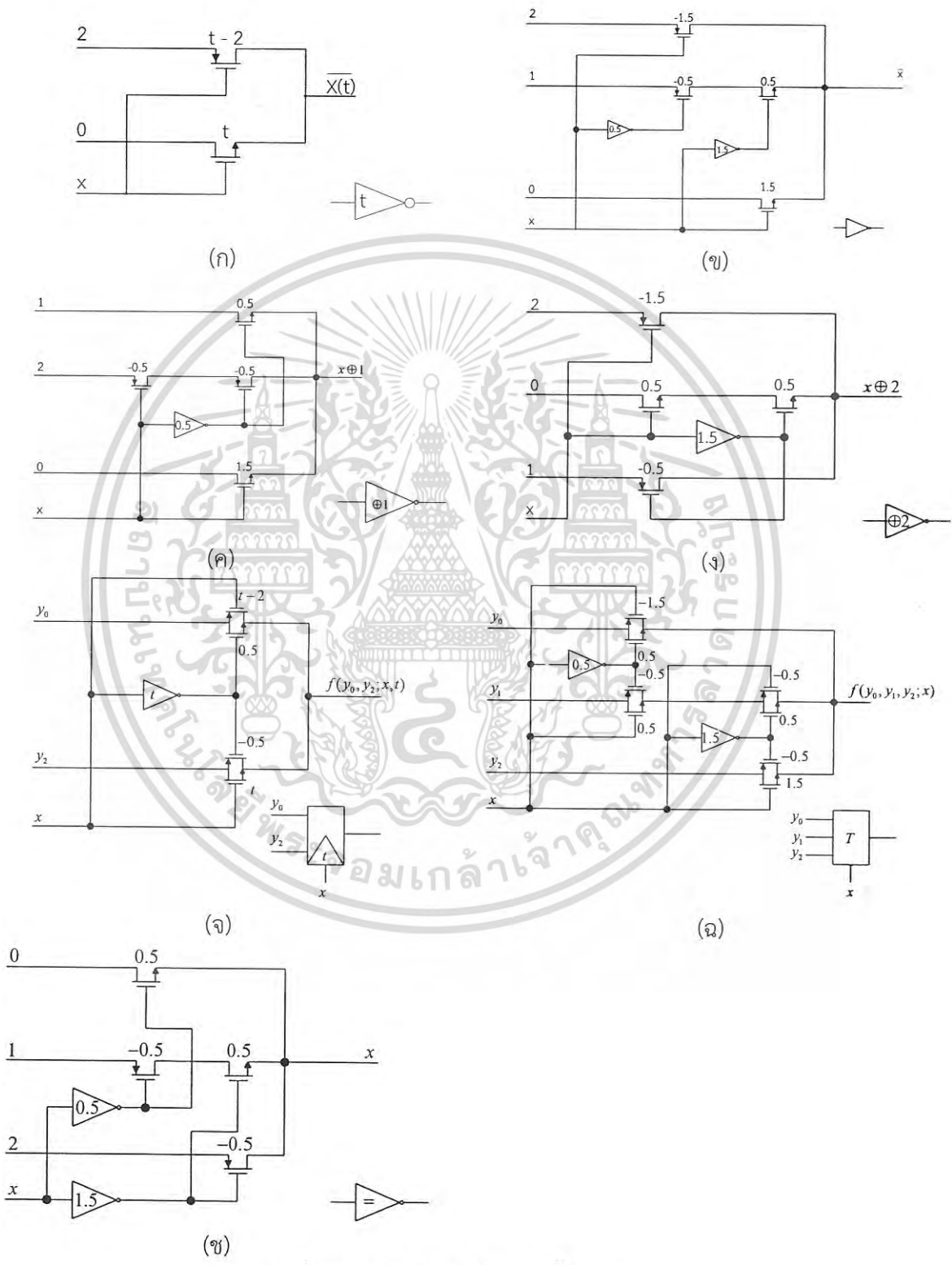
$$x = 0 * x^{0.5} \# 1 * (^{0.5}x \cdot x^{1.5}) \# 2 * ^{1.5}x \quad (3.28)$$

ซึ่งจากสมการที่ 3.22 – 3.28 เราสามารถนำมาสร้างเป็น วงจรสามระดับทั่วไปแบบซิมอสได้ ดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรสามระดับ

เมื่อเราทำการนำนิยาม ที่ได้กำหนดไว้มาทำการสร้างเป็นวงจรแบบพาสทรานซิสเตอร์ โดยใช้สมการที่ได้ทำการกำหนดไว้ ซึ่งจะสามารถออกแบบวงจรสามระดับแบบพื้นฐานได้ดังนี้



รูปที่ 3.2 วงจรสามระดับแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 แสดง วงจรซีมอสแบบสามระดับแบบพื้นฐาน โดยที่ (ก) แสดงวงจรอินเวอร์เตอร์ เอาต์พุตสองระดับ แบบ เทรสโพล- ที (ข) แสดงวงจรอินเวอร์เตอร์ แบบสามระดับ (ค) วงจรไซคิงเกต (ง) วงจรอินเวอร์สไซคิงเกต (จ) วงจร 1-of-2 threshold-t multiplexer (ฉ) วงจรที่เกต (ซ) วงจร identity cell

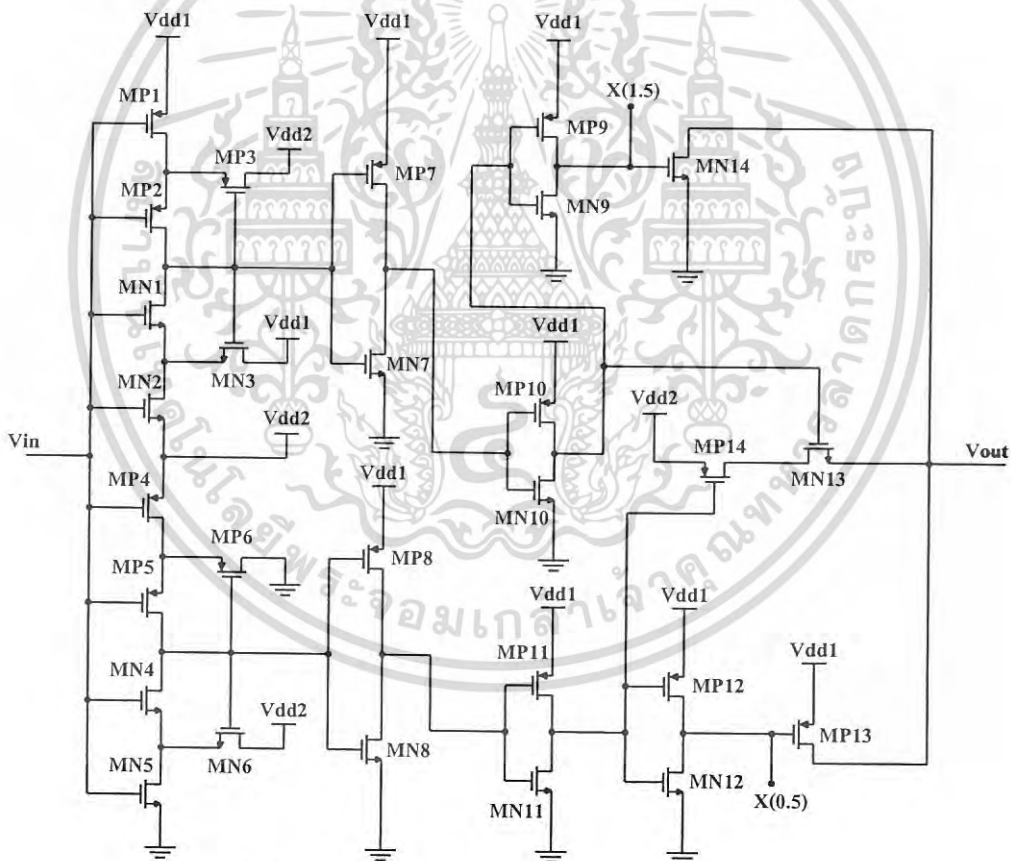


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

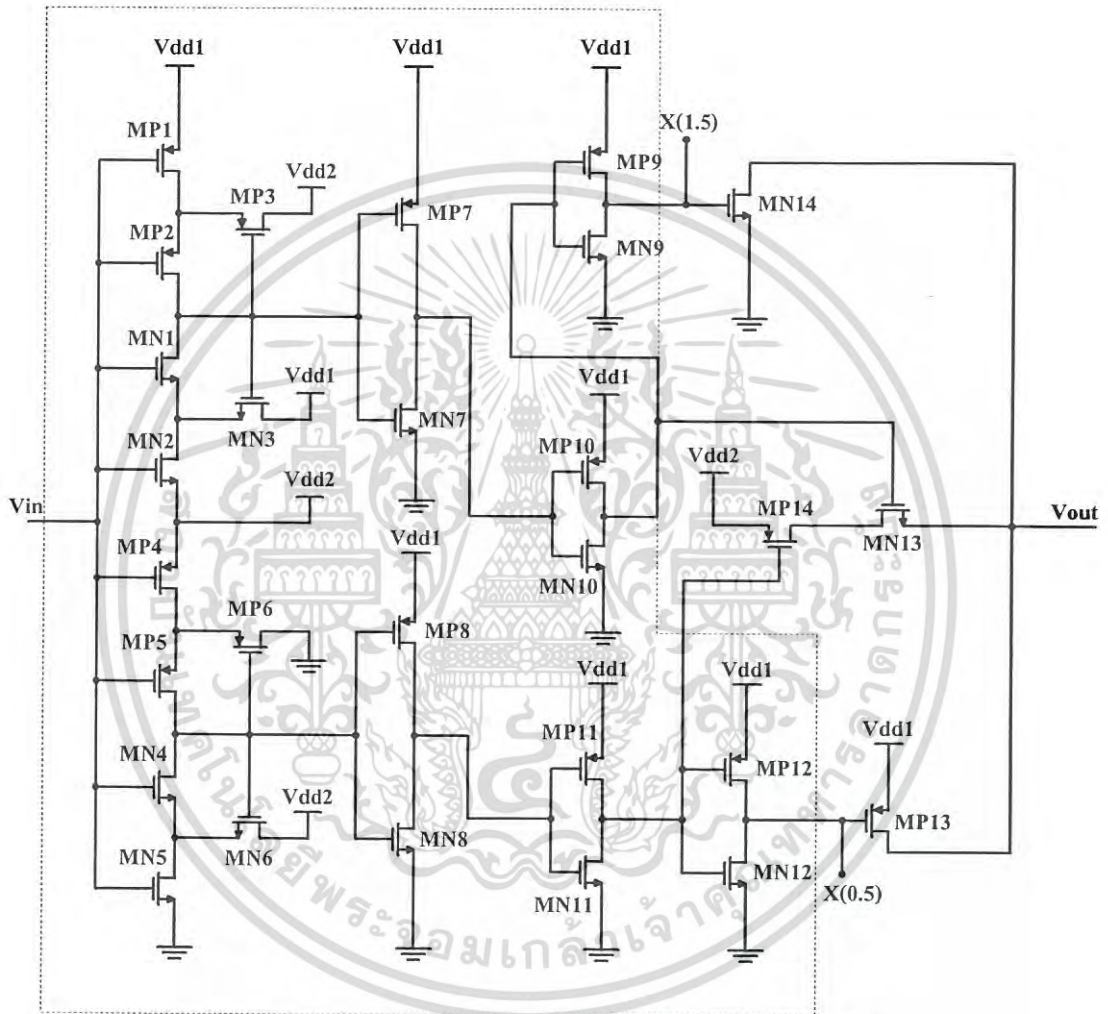
วงจรมิติทริกเกอร์ซีมอสแบบสามระดับที่นำเสนอ

ในการออกแบบวงจรมิติทริกเกอร์ซีมอสแบบสามระดับที่นำเสนอนั้นจะมีการออกแบบสองส่วน คือส่วนที่ใช้ในการสัญญาณเปรียบเทียบในลักษณะของมิติทริกเกอร์ และส่วนของพาสทรานซิสเตอร์ ซึ่งวงจรถูกได้ออกแบบจะมีพาสทรานซิสเตอร์ทั้งหมด 28 ตัวดังรูปที่ 4.1 โดยจะแบ่งวงจรถูกออกเป็นสองส่วน ซึ่งในการทำงานของวงจรมิติทริกเกอร์นั้นจะมีการแบ่งอินพุตที่เข้ามาเป็นช่วงคือ ช่วงระดับลอจิกที่เป็น 0, 1, 2 ซึ่งในวงจรมิติทริกเกอร์นั้นจะใช้แรงดันแหล่งจ่ายทั้งหมด 2 ค่าคือ 0.5 V และ 1 V เมื่อมีแรงดันเข้ามาที่ขาอินพุต V_{in} วงจรมิติทริกเกอร์หน้าจะทำการแปลงสัญญาณที่เข้ามาให้เป็นสัญญาณลอจิกแบบไบนารี สองสัญญาณ เพื่อนำไปเข้าสู่ส่วนหลังที่เป็นส่วนของพาสทรานซิสเตอร์ในรูปแบบของวงจรมิติทริกเกอร์เพื่อทำการแปลงสัญญาณให้กลายเป็นสัญญาณสามระดับ



รูปที่ 4.1 วงจรมิติทริกเกอร์ซีมอสแบบสามระดับ

จากรูปที่ 4.1 เป็นวงจรมิติทริกเกอร์ซีมอสแบบสามระดับที่นำเสนอประกอบด้วย มอสทรานซิสเตอร์ทั้งหมด 28 ตัว โดยจะเป็นทรานซิสเตอร์แบบ PMOS จำนวน 14 ตัว และ ทรานซิสเตอร์แบบ NMOS จำนวน 14 ตัว โดยในวงจรมิติ จะใช้แรงดันแหล่งจ่ายสองระดับ โดยจะใช้ เป็น $V_{dd1} = 1V$ เป็นแรงดันแหล่งจ่ายระดับสูง และ $V_{dd2} = 0.5V$ เป็นแรงดันแหล่งจ่ายระดับต่ำ ซึ่งในวงจรมิติ จะมีการทำงานแบ่งออกเป็น ส่วนแรกของวงจรมิติคือวงจรมิติสร้างสัญญาณมิติทริกเกอร์และ เปรียบเทียบแรงดันเทรโซลซึ่งมีลักษณะดังนี้



รูปที่ 4.2 ส่วนแรกของวงจรมิติทริกเกอร์ซีมอสแบบสามระดับ

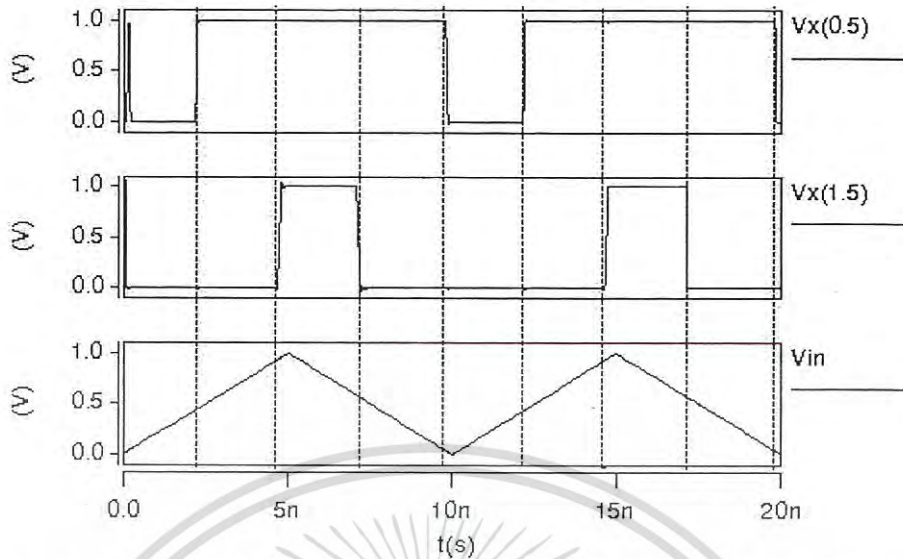
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.2 แสดงวงจรส่วนแรก ประกอบด้วยทรานซิสเตอร์ทั้งหมด 24 ตัว ซึ่งในวงจรส่วนนี้ จะทำหน้าที่รับอินพุตเข้ามา และจะทำการแปลงสัญญาณอินพุตที่ได้ให้เป็นสัญญาณขมิตริกเกอร์ โดยวงจรส่วนนี้ประกอบไปด้วยวงจรไบนาารีขมิตริกเกอร์ 2 วงจร เรียงต่อกัน วงจรส่วนบน ประกอบด้วยทรานซิสเตอร์ MP1 - MP3 และ MN1 - MN3 ซึ่งจะต่อกับแรงดันแหล่งจ่าย $V_{dd1} = 1V$ ซึ่งส่วนนี้จะได้สัญญาณขมิตริกเกอร์ที่มีช่วงแวงของสัญญาณอยู่ที่ $V_{dd1} - V_{dd2}$ หรือเท่ากับ $1V - 0.5V$ จากนั้นสัญญาณนี้จะผ่านส่วนเปรียบเทียบแรงดันระดับสูงซึ่งประกอบด้วย ทรานซิสเตอร์ MP7 MP9 MP10 และ MN7 MN9 MN10 ทำให้ได้สัญญาณระดับสูง ($t=1.5$) ซึ่งสัญญาณนี้จะมีสถานะเป็น High เมื่อ สัญญาณอินพุต V_{in} มีค่ามากกว่า V_{th+} และจะเปลี่ยนสถานะ เป็น Low เมื่อสัญญาณอินพุต มีค่าน้อยกว่า V_{th-}

และวงจรส่วนล่างประกอบด้วยทรานซิสเตอร์ MP4 - MP6 และ MN4 - MN6 ซึ่งต่อกับแรงดันแหล่งจ่าย $V_{dd2} = 0.5V$ ซึ่งจะทำให้ได้สัญญาณขมิตริกเกอร์ที่มีช่วงแวงของสัญญาณอยู่ที่ $V_{dd2} - \text{Ground}$ หรือเท่ากับ $0.5V - 0V$ จากนั้นสัญญาณที่ได้จะผ่านส่วนเปรียบเทียบแรงดันระดับต่ำซึ่งประกอบด้วยทรานซิสเตอร์ MP8 MP11 MP 12 และ MN8 MN11 MN12 ซึ่งจะได้สัญญาณระดับต่ำออกมา ซึ่งสัญญาณนี้จะมีสถานะเป็น High เมื่อสัญญาณอินพุต V_{in} มีค่ามากกว่า V_{tl+} และ จะเปลี่ยนสถานะเป็น Low เมื่อสัญญาณอินพุต มีค่าน้อยกว่า V_{tl-}

ตารางที่ 4.1 ตารางค่าความจริงของสัญญาณที่ผ่านการเปรียบเทียบแรงดันเมื่อทำการเพิ่มแรงดันของสัญญาณอินพุตจาก $0 - 1 V$ และลดแรงดันของสัญญาณอินพุตจาก $1 - 0 V$

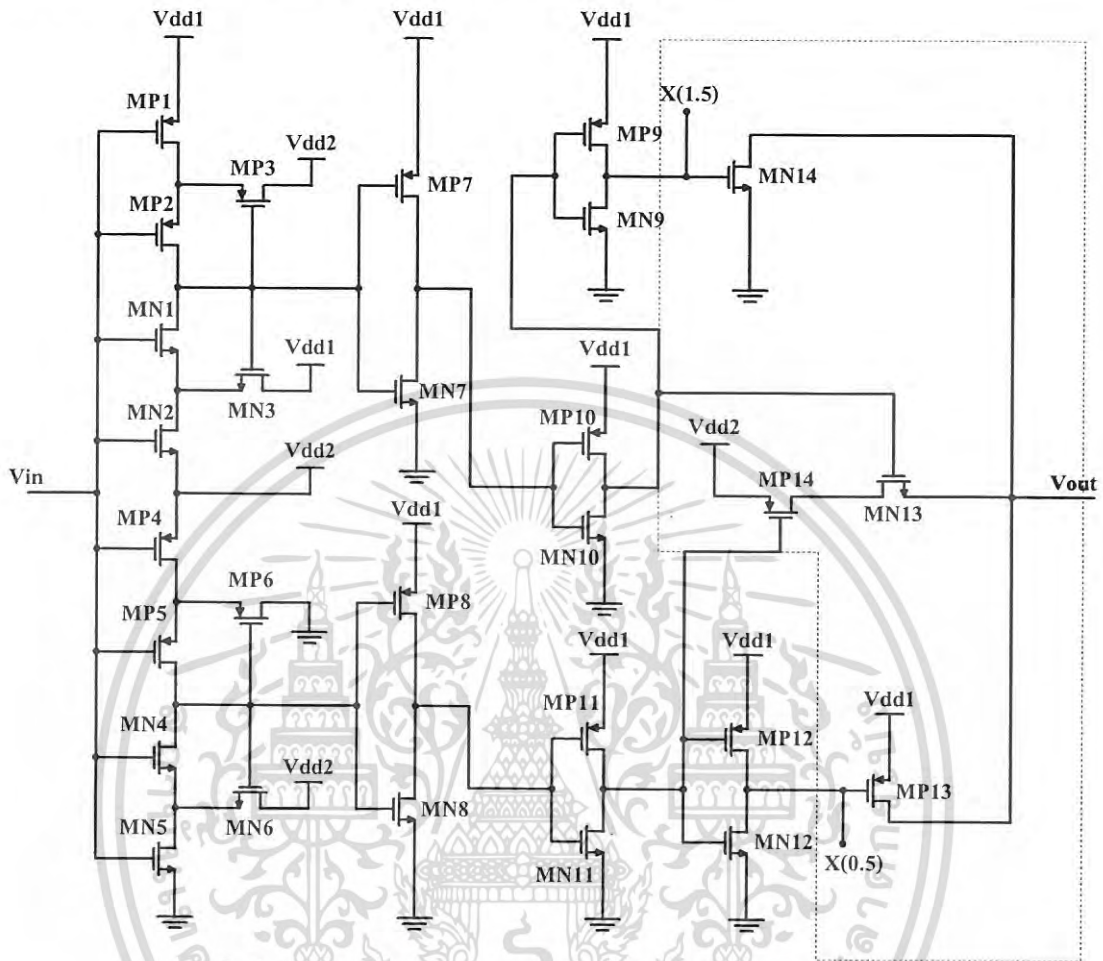
V_{in}	X(0.5)	X(1.5)
0	Low	Low
เพิ่มขึ้น $> V_{tl+} < V_{th+}$	High	Low
เพิ่มขึ้น $> V_{th+}$	High	High
1	High	High
ลดลง $< V_{th-} > V_{tl-}$	High	Low
ลดลง $< V_{tl-}$	Low	Low
0	Low	Low



รูปที่ 4.3 สัญญาณที่ได้จากวงจรส่วนแรก เปรียบเทียบกับสัญญาณอินพุตที่ความถี่ 100 MHz

จากตารางที่ 4.1 จะแสดงให้เห็นถึงลักษณะการทำงานของวงจร ซึ่งทำการเปลี่ยนแปลงค่าอินพุต ตั้งแต่ 0 – 1 V และ ลดลงจาก 1 - 0 V ซึ่งลักษณะของสัญญาณเอาต์พุตของวงจรจะมีลักษณะดังรูปที่ 4.3

วงจรส่วนที่สอง จะเป็นวงจรอินเวอร์เตอร์แบบสามระดับซึ่งจะนำอินพุตที่ผ่านการเปรียบเทียบแรงดันเทอร์สโสลแล้วมาใช้ซึ่งวงจรมีลักษณะดังนี้

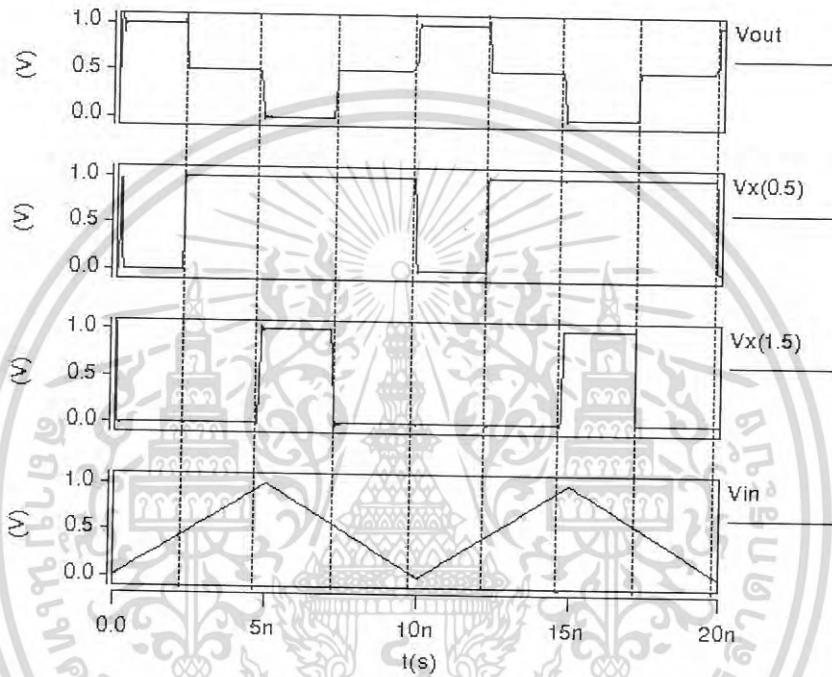


รูปที่ 4.4 ส่วนที่สองของวงจรหมิตริกเกอร์แบบสามระดับ

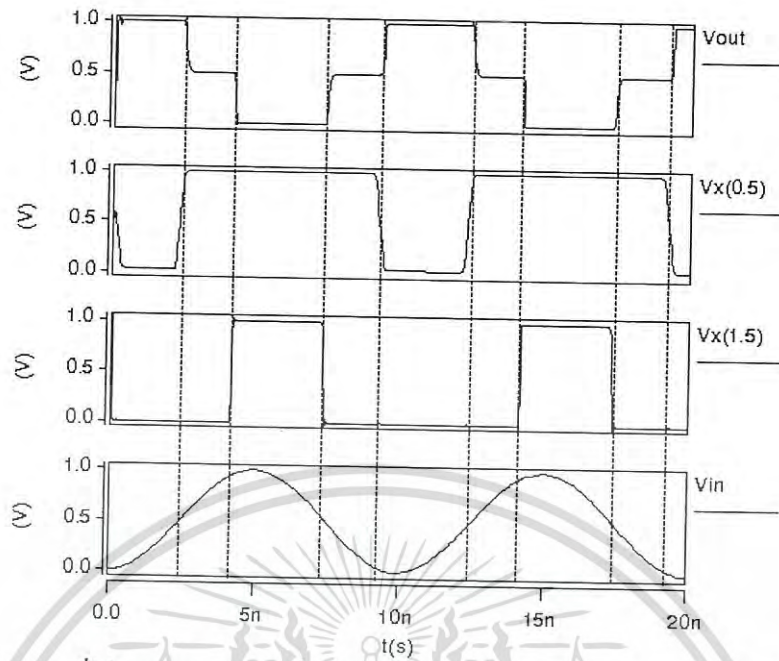
จากรูปที่ 4.4 แสดงวงจรส่วนที่สองประกอบด้วยทรานซิสเตอร์ 4 ตัว คือ MN13 MN14 MP13 MP14 ซึ่งวงจรมีการทำงานหลังจากได้รับอินพุตที่ผ่านการเปรียบเทียบแรงดันเทอร์สโสลแล้ว โดยที่ถ้า X(0.5) มีสถานะเป็น Low จะทำให้ทรานซิสเตอร์ MP13 ทำงาน ทำให้แรงดันเอาต์พุต Vout มีค่าเท่ากับ Vdd1 หรือ 1V ถ้า X(0.5) มีสถานะเป็น High และ X(1.5) มีสถานะเป็น Low จะทำให้ทรานซิสเตอร์ MP14 และ MN13 ทำงาน และทรานซิสเตอร์ MP13 และ MN14 ไม่ทำงาน ซึ่งจะทำให้ Vout มีค่าเท่ากับ Vdd2 หรือ 0.5V และถ้า X(1.5) มีสถานะเป็น High จะทำให้ทรานซิสเตอร์ MN14 ทำงาน ซึ่งทำให้ Vout มีค่าเท่ากับ 0V ซึ่งสามารถเขียนตารางค่าความจริงได้ดังนี้

ตารางที่ 4.2 ตารางค่าความจริงของสัญญาณเอาต์พุตของแรงดันสามระดับจากการเปรียบเทียบแรงดันเทอร์สโวลของซิมิทริกเกอร์สามระดับ

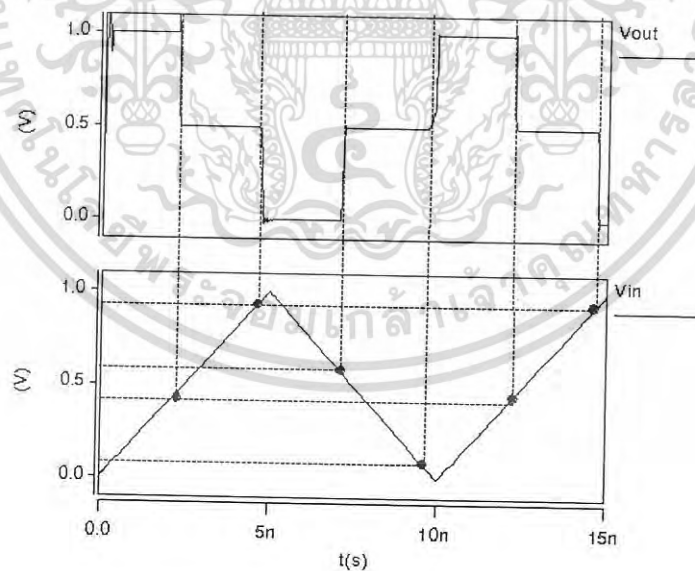
output	$X(0.5)$	$X(1.5)$
2	Low	Low
1	High	Low
0	High	High



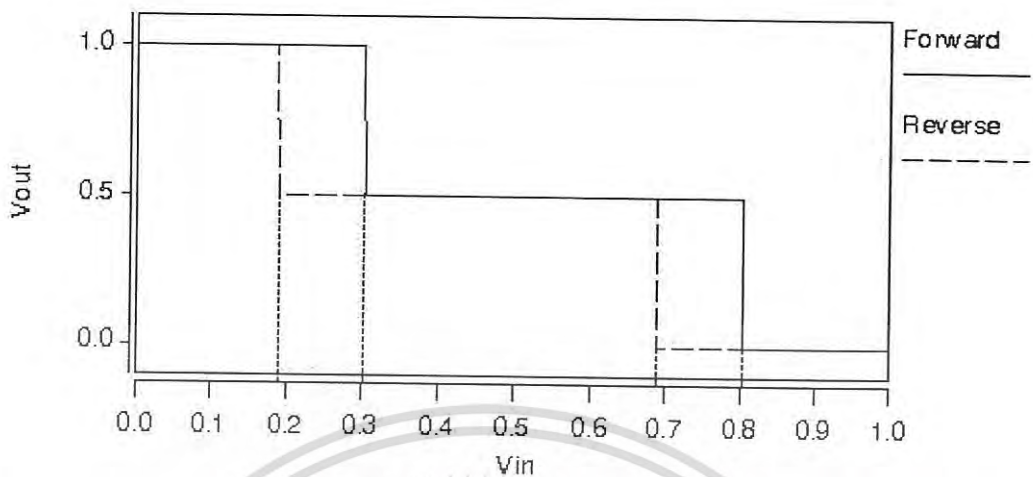
รูปที่ 4.5 สัญญาณที่ได้จากวงจรส่วนที่สองของวงจรซิมิทริกเกอร์แบบสามระดับเมื่อทำการป้อนอินพุตรูปสามเหลี่ยม เปรียบเทียบกับเอาต์พุตจากวงจรส่วนแรกและสัญญาณอินพุตที่มีความถี่ 100MHz



รูปที่ 4.6 สัญญาณที่ได้จากวงจรส่วนที่สองของวงจรขมิตริกเกอร์แบบสามระดับ เมื่อทำการป้อนอินพุตรูปสัญญาณไซน์ เปรียบเทียบกับเอาต์พุตจากวงจรส่วนแรกและสัญญาณอินพุตที่มีความถี่ 100MHz



รูปที่ 4.7 สัญญาณเอาต์พุตของวงจรขมิตริกเกอร์แบบสามระดับเมื่อทำการเปรียบเทียบกับสัญญาณอินพุต



รูปที่ 4.8 ผลการจำลองคุณสมบัติการถ่ายโอนแรงดันของวงจรขมิทริกเกอร์สามระดับ

จากรูปที่ 4.5 และ รูปที่ 4.6 ซึ่งเป็นการแสดงผลการจำลองการทำงานของวงจรขมิทริกเกอร์แบบสามระดับ ซึ่งจำลองการทำงานโดยใช้โปรแกรม HSpice และใช้เทคโนโลยี 90nm ที่ความถี่ 100MHz ซึ่งแสดงให้เห็นถึงคุณลักษณะของขมิทริกเกอร์ที่มีแรงดันเทรสโฮล เมื่อทำการเพิ่มและลดแรงดันของอินพุต ซึ่งแสดงให้เห็นว่า วงจรนี้มีแรงดันเทรสโฮล $V_{th+} = 0.68V$ $V_{th-} = 0.8V$ $V_{tl+} = 0.18V$ $V_{tl-} = 0.3V$ ซึ่งจะมีความกว้างของฮิสทีรีซิสเท่ากับ 0.12V ดังแสดงในรูปที่ 4.8

บทที่ 5

สรุปผลการวิจัย

วงจรมิติทริกเกอร์ซีมอสแบบสามระดับ ทำการจำลองการทำงานของวงจรมิติด้วยโปรแกรม HSpice โดยใช้เทคโนโลยีซีมอส 90 nm และใช้ทรานซิสเตอร์ทั้งหมด 28 ตัว เมื่อป้อนสัญญาณรูปสามเหลี่ยมที่ความถี่ 100 MHz ซึ่งจะเห็นได้ว่าวงจรมิติที่ออกแบบนั้น สามารถให้ เอาท์พุทออกมาในรูปแบบสามระดับได้ ซึ่งสามารถนำไปประยุกต์ใช้ในการ ติดต่อสื่อสาร โดย นำไปใช้ในการตัดรูป คลื่น หรือ แปลงคลื่น จาก อนุาลอก เป็น ดิจิตอลได้ และจากการใช้ เทคโนโลยีซีมอส ทำให้วงจรมิติที่ ออกแบบมีขนาดเล็ก และสูญเสียพลังงานที่น้อย ซึ่งในการทดลองนี้ ใช้แรงดันแหล่งจ่ายสูงสุดที่ 1 โวลต์

โดยวงจรมิติที่ออกแบบจะมีการทำงานเป็นสองส่วน ซึ่งคือส่วนแปลงสัญญาณ ดังรูปที่ 4.2 ซึ่ง หลังจากสัญญาณอินพุทเข้าไปในส่วนนี้ แล้วจะได้สัญญาณที่มีดังรูปที่ 4.3 ออกมา ซึ่งจะมีสัญญาณสองสัญญาณ เพื่อเป็นอินพุทเข้าไปในส่วนที่สอง ดังรูปที่ 4.4 ซึ่งจะทำให้สัญญาณที่ได้ออกมาเป็นสามระดับ ดังรูปที่ 4.5 และรูปที่ 4.6

ซึ่งช่วงที่สัญญาณเปลี่ยนแปลงจะมีทั้งหมด 4 ช่วงคือเมื่อทำการเพิ่มแรงดันจาก 0 V เมื่อแรงดันที่ได้มากกว่า 0.3 V จะทำให้แรงดันเอาท์พุทเปลี่ยนจาก 1 V เป็น 0.5 V และเมื่อเพิ่มแรงดันไปเรื่อย ๆ จนมากกว่า 0.8 V แรงดันเอาท์พุทที่ได้จะเปลี่ยนจาก 0.5 V เป็น 0 V

จากนั้นเมื่อทำการลดแรงดันอินพุทจาก 1 V ลงจนน้อยกว่า 0.68 V จะทำให้แรงดันเอาท์พุทเกิดการเปลี่ยนแปลงจาก 0 V เป็น 0.5 V และเมื่อทำการลดแรงดันอินพุทไปเรื่อยจนน้อยกว่า 0.18 V ก็จะทำให้แรงดันเอาท์พุทเปลี่ยนจาก 0.5 V เป็น 1 V นั่นก็คือว่า วงจรมิติมีแรงดันเทรสโฮล $V_{th+} = 0.68V$ $V_{th-} = 0.8V$ $V_{tl+} = 0.18V$ $V_{tl-} = 0.3V$ โดยที่การเปลี่ยนแปลงดังกล่าวนี้ดูได้ในรูปที่ 4.7

ซึ่งเมื่อทำการเปรียบเทียบค่า V_{out} ต่อ V_{in} จะทำให้เห็นถึงลูปฮิสทีรีซิส 2 ลูป ซึ่งแต่ละลูปจะมีความกว้างเท่ากับ 0.12 V ดังแสดงในรูปที่ 4.8

บรรณานุกรม

- [1] B. L. Dokic, "CMOS Schmitt triggers," IEE Proc. G Electronic Circuits Systems, vol.131, no. 5, pp. 197-202, October 1984.
- [2] Z. G. Vranesic, "Multiple-Valued Logic: An Introduction and Overview," IEEE Trans. on Computers, vol.C-26, no. 12, pp. 1181-1182, Dec. 1977.
- [3] K. Ramkumar, K. Nagaraj, "A ternary Schmitt trigger," IEEE Trans. on Circuits and Systems, vol. 32, no. 7, pp. 732- 735, Jul 1985.
- [4] K. Angkeaw, S. Wisetphanichkij, K. Dejhan, F. Cheevasuvit, S. Junnapiya and C. Soonyeeakan, "A Design of Ternary Schmitt Trigger Circuit," Proc. of the 8th (ISIC'99), Singapore, pp. 282-285, Sep. 8-10, 1999.
- [5] G. Hang, "Theory of current transmission switches and its application to design of a novel current-mode CMOS ternary Schmitt trigger," Proc. 6th Int. Conf. on ASIC (ASICON2005), vol. 1, pp. 295-299, 24-0 Oct. 2005.
- [6] สมปอง วิเศษพานิชกิจ, ชัยณรงค์ หาญชนะ และ กอบชัย เดชหาญ, การออกแบบวงจรเทอร์นาเรียมิตต์ทริกเกอร์, วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ 3 (กันยายน 2552) หน้า 7 - 12
- [7] X. Wu, F. Prosser, "Ternary CMOS sequential circuits," Proc. of 18th Int. Symp. on Multiple-Valued Logic, 1988, pp. 307-313, 24-26 May 1988.
- [8] พิชัย สุวรรณลอยล่อง, การออกแบบวงจรเทอร์นาเรียมิตต์ทริกเกอร์, วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2551.
- [9] E. J. McCluskey, "Logic design of MOS ternary logic," Proc. 10th Int. Symp. Multiple-Valued Logic, pp. 1-5, June 1980.
- [10] H. T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuit," IEEE Trans. Computer, pp. 281-288, 1977.
- [11] O. Ishizaka, "Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic," Proc. IBID, pp. 51-57, 1986.
- [12] J. P. Uyemura, "Circuit Design for CMOS VLSI," Kluwer Academic Publishers, Norwell, MA, 1992.
- [13] T. Higuchi and M. Kamiyama, "Ternary logic system based on T-gate," Proc 5th Int. Symp. Multiple-valued Logic, Bloomington, IN, pp. 290-304, May 1975.
- [14] X. Wu, F. P. Prosser, "CMOS ternary logic circuits," IEE Proc. G Circuits, Devices and Systems, vol. 137, no. 1, pp. 21-27, Feb 1990.



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

โปรแกรม HSpice ที่ใช้ในการวิเคราะห์วิทยานิพนธ์

Propose Ternary Schmitt trigger

.OPTION LIST NODE POST

.OP

.PARAM V1=1V V2=0.5V V3=0V TD=0mS TR=0.01mS TF=0.01mS PW=0.325mS
PER=0.67mS

*schmitttriger2-1v

MP1 3 2 1 1 PMOS L=130n W=8u

MP2 4 2 3 3 PMOS L=130n W=8u

MP3 7 4 3 3 PMOS L=130n W=8u

MN1 4 2 5 5 NMOS L=130n W=5u

MN2 5 2 7 7 NMOS L=130n W=5u

MN3 1 4 5 5 NMOS L=130n W=5u

*schmitttriger1-0v

MP4 6 2 7 7 PMOS L=130n W=32u

MP5 8 2 6 6 PMOS L=130n W=32u

MP6 0 8 6 6 PMOS L=130n W=32u

MN4 8 2 9 9 NMOS L=130n W=5u

MN5 9 2 0 0 NMOS L=130n W=5u

MN6 7 8 9 9 NMOS L=130n W=5u

*inverter2,1

MP7 10 4 1 1 PMOS L=130n W=40u

MN7 10 4 0 0 NMOS L=130n W=20u

MP8 11 8 1 1 PMOS L=130n w=40u

MN8 11 8 0 0 NMOS L=130n W=20u

*inverter for 2v node x 1.5 node 15

MP12 15 12 1 1 PMOS L=130n w=60u

MN12 15 12 0 0 NMOS L=130n W=4u

*inverter for signal 1V xbar 1.5 node 12

MP9 12 10 1 1 PMOS L=130n W=40u

MN9 12 10 0 0 NMOS L=130n W=4u

*inverter for signal 0-1 x 0.5 node 17 xbar 0.5 node 16

MP10 16 11 1 1 PMOS L=130n W=40u

MN10 16 11 0 0 NMOS L=130n W=4u

MP11 17 16 1 1 PMOS L=130n W=40u

MN11 17 16 0 0 NMOS L=130n W=4u

*ternary inverter output node 18

MP13 18 17 1 1 PMOS L=130n W=40u

MP14 19 16 7 7 PMOS L=130n W=40u

MN13 19 12 18 18 NMOS L=130n W=4u

MN14 0 15 18 18 NMOS L=130n W=4u

* Predictive Technology Model Beta Version

* 90nm NMOS SPICE Parametersv (normal one)

*

.model NMOS NMOS

+Level = 49

+Lint = 1.5e-08 Tox = 2.5e-09

+Vth0 = 0.2607 Rdsw = 180

+lmin=1.0e-7 lmax=1.0e-7 wmin=1.0e-7 wmax=1.0e-4

+Tref=27.0 version = 3.1

+Xj= 4.0000000E-08 Nch= 9.7000000E+17

+lln= 1.0000000 lwn= 1.0000000 wln= 0.00

+wwn= 0.00 ll= 0.00

+lw= 0.00 lwl= 0.00 wint= 0.00

+wl= 0.00 ww= 0.00 wwl= 0.00

+Mobmod= 1 binunit= 2 xl= 0.00

+xw= 0.00	binflag= 0	
+Dwg= 0.00	Dwb= 0.00	
+ACM= 0	ldif=0.00	hdif=0.00
+rsh= 7	rd= 0	rs= 0
+rsc= 0	rdc= 0	
+K1= 0.3950000	K2= 1.0000000E-02	K3= 0.00
+Dvt0= 1.0000000	Dvt1= 0.4000000	Dvt2= 0.1500000
+Dvt0w= 0.00	Dvt1w= 0.00	Dvt2w= 0.00
+Nlx= 4.8000000E-08	W0= 0.00	K3b= 0.00
+Ngate= 5.0000000E+20		
+Vsat= 1.1000000E+05	Ua= -6.0000000E-10	Ub= 8.0000000E-19
+Uc= -2.9999999E-11		
+Prwb= 0.00	Prwg= 0.00	Wr= 1.0000000
+U0= 1.7999999E-02	A0= 1.1000000	Keta= 4.0000000E-02
+A1= 0.00	A2= 1.0000000	Ags= -1.0000000E-02
+B0= 0.00	B1= 0.00	
+Voff= -2.9999999E-02	NFactor= 1.5000000	Cit= 0.00
+Cdsc= 0.00	Cdscb= 0.00	Cdscd= 0.00
+Eta0= 0.1500000	Etab= 0.00	Dsub= 0.6000000
+Pclm= 0.1000000	Pdiblc1= 1.2000000E-02	Pdiblc2= 7.5000000E-03
+Pdiblc3= -1.3500000E-02	Drout= 2.0000000	Pscbe1= 8.6600000E+08
+Pscbe2= 1.0000000E-20	Pvag= -0.2800000	Delta= 1.0000000E-02
+Alpha0= 0.00	Beta0= 30.0000000	
+kt1= -0.3700000	kt2= -4.0000000E-02	At= 5.5000000E+04
+Ute= -1.4800000	Ua1= 9.5829000E-10	Ub1= -3.3473000E-19
+Uc1= 0.00	Kt1l= 4.0000000E-09	Prt= 0.00
+Cj= 0.0015	Mj= 0.72	Pb= 1.25
+Cjsw= 2E-10	Mjsw= 0.37	Php= 0.773
+Cjgate= 2E-14	Cta= 0	Ctp= 0
+Pta= 0	Ptp= 0	JS=1.50E-08
+JSW=2.50E-13	N=1.0	Xti=3.0
+Cgdo=3.493E-10	Cgso=3.493E-10	Cgbo=0.0E+00

+Capmod= 2	NQSMOD= 0	Elm= 5
+Xpart= 1	cgsl= 0.582E-10	cgdl= 0.582E-10
+ckappa= 0.28	cf= 1.177e-10	clc= 1.0000000E-07
+cle= 0.6000000	Dlc= 2E-08	Dwc= 0

*

* Predictive Technology Model Beta Version
 * 90nm PMOS SPICE Parametersv (normal one)

*

.model PMOS PMOS

+Level = 49

+Lint = 1.5e-08 Tox = 2.5e-09

+Vth0 = -0.303 Rds = 300

+lmin=1.0e-7 lmax=1.0e-7 wmin=1.0e-7 wmax=1.0e-4

+Tref=27.0 version =3.1

+Xj= 4.0000000E-08 Nch= 1.0400000E+18

+lln= 1.0000000 lwn= 0.00 wln= 0.00

+wwn= 1.0000000 ll= 0.00 lw= 0.00

+lwl= 0.00 wint= 0.00 wl= 0.00

+ww= 0.00 wwl= 0.00 Mobmod= 1

+binunit= 2 xt= 0.00 xw= 0.00

+binflag= 0 Dwg= 0.00 Dwb= 0.00

+ACM= 0 ldif=0.00 hdif=0.00

+rsh= 7 rd= 0 rs= 0

+rsc= 0 rdc= 0

+K1= 0.3910000 K2= 1.0000000E-02 K3= 0.00

+Dvt0= 2.6700001 Dvt1= 0.5300000 Dvt2= 5.0000000E-02

+Dvt0w= 0.00 Dvt1w= 0.00 Dvt2w= 0.00

+Nlx= 7.5000000E-08 W0= 0.00 K3b= 0.00

+Ngate= 5.0000000E+20

+Vsat= 1.0500000E+05 Ua= -5.0000000E-10 Ub= 1.5000000E-18

+Uc= -2.9999999E-11

+Prwb= 0.00 Prwg= 0.00 Wr= 1.0000000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+U0= 5.5000000E-03	A0= 2.0000000	Keta= 4.0000000E-02
+A1= 0.00	A2= 0.9900000	Ags= -0.1000000
+B0= 0.00	B1= 0.00	
+Voff= -7.0000000E-02	NFactor= 1.5000000	Cit= 0.00
+Cdsc= 0.00	Cdscb= 0.00	Cdscd= 0.00
+Eta0= 0.2500000	Etab= 0.00	Dsub= 0.8000000
+Pclm= 0.1000000	Pdiblc1= 1.2000000E-02	Pdiblc2= 7.5000000E-03
+Pdiblc3= -1.3500000E-02	Drout= 0.9000000	Pscbe1= 8.6600000E+08
+Pscbe2= 1.0000000E-20	Pvag= -0.2800000	Delta= 1.0100000E-02
+Alpha0= 0.00	Beta0= 30.0000000	
+kt1= -0.3400000	kt2= -5.2700000E-02	At= 0.00
+Ute= -1.2300000	Ua1= -8.6300000E-10	Ub1= 2.0000001E-18
+Uc1= 0.00	Kt1l= 4.0000000E-09	Prt= 0.00
+Cj= 0.0015	Mj= 0.7175511	Pb= 1.24859
+Cjsw= 2E-10	Mjsw= 0.3706993	Php= 0.7731149
+Cjgate= 2E-14	Cta= 9.290391E-04	Ctp= 7.456211E-04
+Pta= 1.527748E-03	Ptp= 1.56325E-03	JS=2.50E-08
+JSW=4.00E-13	N=1.0	Xti=3.0
+Cgdo=3.49E-10	Cgso=3.49E-10	Cgbo=0.0E+00
+Capmod= 2	NQSMOD= 0	Elm= 5
+Xpart= 1	cgsL= 0.582E-10	cgdL= 0.582E-10
+ckappa= 0.28	cf= 1.177e-10	clc= 5.4750000E-08
+cle= 6.4600000	Dlc= 2E-08	Dwc= 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

VDD1 1 0 V1
VDD2 7 0 V2
*VIN 2 0 dc 0.5v
cload 18 0 0.1pf
*VIN 2 0 PWL(0nS V3 1nS V2 2nS V1 3nS V2 4nS V3 R)
*VIN 2 0 PWL(0ns V3 0.25us V2 0.5us V1 0.75us V2 1us V3 R)
*VIN 2 0 PWL(0mS V3 250uS V2 500uS V1 0.75mS V2 1mS V3 1.25mS V2 1.5mS V1
1.75mS V2 2mS V3 2.25mS V2 2.50mS V1 2.75mS V2 3mS V3 3.250mS V2 3.50mS V1
3.75mS V2 4.000mS V3 4.25mS V2 4.50mS V1 4.75mS V2 5mS V3 5.25mS V2 5.50mS
V1 5.75mS V2 6.000mS V3)
*VIN 2 0 PWL(0us V3 0.0025us v2 0.005us V1 0.0075us v2 0.01us R)
VIN 2 0 SIN(0.5 0.5 100MEG)
*.dc VIN 0 2 0.01
*.dc VIN 2 0 0.01
*.print dc v(12)
.TRAN 1nS 20nS UIC
.END

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
ผลงานทางวิชาการที่ได้รับการตีพิมพ์

เอกลักษณ์ เล็กเลิศศิริวงศ์ และ สิริภพ ตู้ประกาย “การออกแบบวงจรมิติทริกเกอร์ช็อสแบบสามระดับ”
วิศวกรรมลาดกระบัง ปีที่ 29 ฉบับที่ 4 กันยายน 2555



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

ปีที่ 29 ฉบับที่ 4

ธันวาคม 2555

บทความวิชาการ

- 1. การจัดพลาสดึงและการหดตัวของชิ้นงาน
วิฑู ศรีสืบสาย 1
- 2. ทิศทางและแนวโน้มการพัฒนาและวิจัยลิเทียมไอออนแบตเตอรี่สำหรับรถยนต์ไฟฟ้า
กมลฤศ ปัญญาวุธโต 7

บทความวิจัย

- 3. การวิเคราะห์รูปแบบการทรงตัวของความชื้นจากเนื้อหาร่วมกับการรับรองจากมนุษย์สำหรับ
การสื่อสารโทรศัพท์เคลื่อนที่
อำนาจ สะมัยกลาง ก. สุวิมล สหิตติขันธ์ 13
- 4. การออกแบบบางจรรยาวิธีทริกเกอร์ซีมอลแบบสามระดับ
เอกศักดิ์ เสกสรรค์วิวัฒน์ สิวภาพ ตูประดาวย 19
- 5. การศึกษาปัจจัยที่มีผลต่อค่าสัมประสิทธิ์การนำความร้อนของฉนวนกันความร้อนแบบสุญญากาศ
ที่มีเคลือบเซมิคอนดักเตอร์เป็นแกน
กัญญาพัชญ์ ปุรินทรวิภาส อภินันท์ นันทนิลสรณ์ 25
- 6. ประสิทธิภาพการผลิตของผลิตภัณฑ์อิฐมวลเบาจากส่วนผสมกากตะกอนน้ำตาล
กรกฎ เพ็ชรหัสฉะโยธิน สุชน เสถียรชานนท์ สมบัติ ทิพย์ทรัพย์ โยธิน อังอุบล 31
- 7. ผลของอุณหภูมิต่อการลดหย่อนของความคล่องตัวของประจุพาหะและความต้านทานอนุกรม
แฝงของเอนมอสเฟต
อนุชา เรืองพาณิช รุ่งทวี ปิยะนันท์จรัสศรี ณัฐพล สกฤณา สุรศักดิ์ เนียมเจริญ 37
- 8. การปรากฏพิเศษของทอง (Au) จากการเปลี่ยนแปลงระดับโมเลกุลในคอนกรีตมวลเบาอบไอน้ำ
แบบผสมตะกอนน้ำตาล
โยธิน อังอุบล วิมลวิลาศ เจตย์ภัทรนาท 43
- 9. การศึกษาความเป็นไปได้ของโครงการลดต้นทุนในแผนกส่งออกชิ้นส่วนรถยนต์ : กรณีศึกษา
บริษัท โตโยต้า มอเตอร์ ประเทศไทย จำกัด
นภณัฐ เกตุภาพ สรรพสิทธิ์ สิมบวรรัตน์ 49
- 10. การศึกษาความเป็นไปได้ในการนำพลังงานความร้อนที่สูญเสียของหม้อไอน้ำกลับมาใช้ใหม่
ด้วยชุดแลกเปลี่ยนความร้อน กรณีศึกษาโรงงานท่อน้ำกระป๋อง
จิณภาภา แฉ่เหี้ย สกนธ์ คล่องบุญจิต 55
- 11. การสังเคราะห์โครงสร้างนาโนคาร์บอนบนนิกเกิลจากแอลกอฮอล์ด้วยกระบวนการตกตะกอนไอเคมี
สิทธิโชค ชำนาญอาสา วิมลดา วงศ์วิริยะพันธ์ ปัญญา ชัมป์สุวรรณ 61
- 12. วิธีใช้โครงตาข่ายสำหรับปัญหาการนำความร้อน
จารุวัตร เจริญสุข ภาสกร เวสสะโกศล 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น ลิดทั้งนี้ให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรมิททริกเกอร์ซิมอสแบบสามระดับ

Ternary CMOS Schmitt Trigger Circuits Design

เอกลักษณ์ เล็กเลิศศิริวงศ์ สิริภพ ตู้ประกาย

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอวงจรมิททริกเกอร์ซิมอสแบบสามระดับ โดยใช้วงจรมิททริกเกอร์ซิมอสและวงจรมิททริกเกอร์แบบสามระดับ ทำงานในแบบแรงดัน เพื่อนำมาใช้ในการปรับปรุงรูปสัญญาณให้มีลักษณะที่ดีขึ้น ผลการจำลองการทำงานของวงจรด้วยโปรแกรม HSpice โดยใช้เทคโนโลยีซิมอส 90nm และทำงานที่ความถี่ 100 MHz

คำสำคัญ : ลอจิกหลายระดับ; วงจรมิททริกเกอร์ซิมอส; วงจรสามระดับ

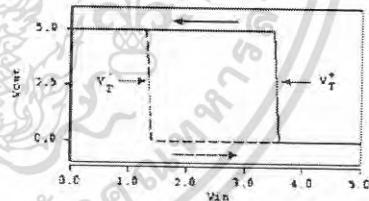
Abstract

This paper proposes the CMOS ternary Schmitt trigger circuits design is based on the well-known CMOS Schmitt trigger circuit and basic CMOS ternary circuit. All simulation results have been carried out by using HSpice program simulator based on 90nm CMOS technology and operation at 100 MHz.

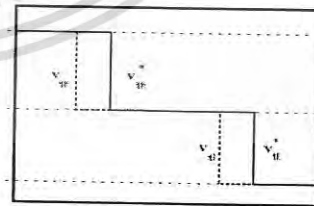
Keywords : Multivalue-logic; CMOS Ternary Schmitt trigger; Ternary circuit

1. บทนำ

วงจรมิททริกเกอร์ [1] ถูกใช้งานอย่างกว้างขวางในวงจรรอกและดิจิทัลโดยเป็นวงจรปรับปรุงรูปคลื่นเพื่อลดทอนสัญญาณรบกวนและการรบกวนกันของคลื่นในการออกแบบวงจรสำหรับการสื่อสารในรูปแบบดิจิทัล การออกแบบวงจรในปัจจุบันมีความซับซ้อน และความต้องการส่งผ่านข้อมูลที่เพิ่มขึ้น [2] จึงมีการพัฒนาวงจรมิททริกเกอร์แบบสามระดับในรูปแบบต่าง ๆ เช่น วงจรมิททริกเกอร์แบบสามระดับ [3] ที่มีการใช้ตัวต้านทานมาช่วยในการปรับระดับของสัญญาณ และในรูปแบบของวงจรมิททริกเกอร์ซิมอสแบบสามระดับ ในแบบกระแส [4],[5] โดยวงจรมิททริกเกอร์แบบสามระดับนั้นจะมีคุณสมบัติการถ่ายโอนแรงดันเป็นลักษณะเฉพาะตัวที่มีฮิสทีรีซิสลูป 2 ลูป ดังรูปที่ 1



(a)

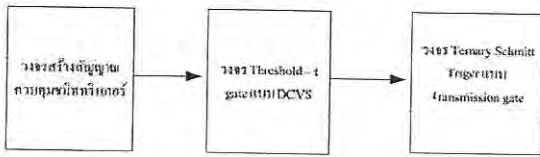


(b)

รูปที่ 1 คุณสมบัติการถ่ายโอนแรงดันของวงจรมิททริกเกอร์ (a) แบบสองระดับ (b) แบบสามระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1 แสดงคุณสมบัติการถ่ายโอนแรงดันของ วงจรขมิททริกเกอร์ รูป 1 (a) เป็นรูปในแบบสองระดับ ซึ่ง จะมีแรงดันเทรสโลดต์ 2 ค่าคือ V_L^+ และ V_L^- และรูปที่ 1(b) จะเป็นแบบสามระดับ ซึ่งจะมีแรงดันเทรสโลดต์ 4 ค่าคือ $V_{th}^+, V_{th}^-, V_{th}^+$ และ V_{th}^-



รูปที่ 2 บล็อกไดอะแกรมของวงจรขมิททริกเกอร์แบบสาม ระดับที่ใช้วงจร threshold-t gate แบบ DCVS [6]

จากรูปที่ 2 แสดงบล็อกไดอะแกรมของวงจรขมิททริกเกอร์ แบบแบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS ซึ่งวงจรนี้จะทำการนำสัญญาณเข้าสู่วงจรสัญญาณ ความคมชัดที่ทรกเกอร์ ขึ้นมาก่อน แล้วจากนั้นจึงนำไปเข้า วงจรเปรียบเทียบสัญญาณเทรสโลดต์แบบ DCVS เพื่อให้ได้ สัญญาณอินพุตสำหรับวงจรสามระดับ จากนั้นจึงนำ สัญญาณที่ได้ ไปเข้าสู่ขมิททริกเกอร์แบบสามระดับที่ใช้ Transmission gate ในการสร้าง ซึ่งในวงจรนี้เมื่อต่อ ครบทั้งวงจรแล้วจะใช้ทรานซิสเตอร์ทั้งหมด 44 ตัว

บทความนี้นำเสนอการออกแบบวงจรขมิททริกเกอร์ ซีมอสแบบสามระดับ ในแบบแรงดัน โดยนำวงจร ขมิท ทริกเกอร์พื้นฐาน มาใช้สร้างวงจรเปรียบเทียบสัญญาณ ร่วมกับวงจรพาสทรานซิสเตอร์ [7] เพื่อให้สัญญาณที่ ออกมาเป็นสามระดับ และใช้ทรานซิสเตอร์ทั้งหมด 28 ตัว ซึ่งน้อยกว่าวงจรขมิททริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS ซึ่งการนำวงจรพาส ทรานซิสเตอร์มาใช้ทำให้ง่ายต่อการเข้าใจและออกแบบ

เมื่อสัญญาณอินพุต เข้าสู่ส่วนเปรียบเทียบแรงดัน เทรสโลดต์ จะได้สัญญาณลอจิก สองส่วนโดยส่วนแรกคือ สัญญาณระดับสูง ($t = 1.5$) ส่วนที่สอง คือสัญญาณระดับ ต่ำ ($t = 0.5$) จากนั้นสัญญาณทั้งสองนี้จะถูกนำมารวมกัน ด้วยวงจรอินเวอร์เตอร์แบบสามระดับ

2. วงจรอินเวอร์เตอร์ซีมอสสามระดับ

จากรูปที่ 3 แสดงการสร้างวงจรเปรียบเทียบเทรสโลดต์ ขึ้นมา โดยจะแบ่งเป็นระดับ 0.5 และ 1.5 ดังนั้นสัญญาณ อินพุตที่เข้ามาจะถูกแบ่งเป็นสองส่วน โดยจะถูกกำหนด ดังตารางที่ 1

ตารางที่ 1 ตารางค่าความจริงของฟังก์ชันสามระดับ

x	y	f(x,y)
0	0	C_0
0	1	C_1
0	2	C_2
1	0	C_3
1	1	C_4
1	2	C_5
2	0	C_6
2	1	C_7
2	2	C_8

โดยนิยามของตัวดำเนินการต่างๆดังนี้ :

ตัวดำเนินการของการเปรียบเทียบแรงดันเทรสโลดต์ขั้นต่ำ

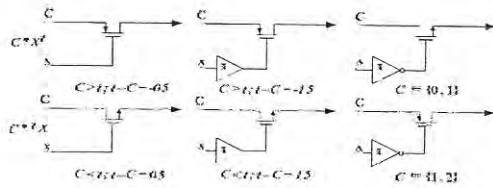
$$x^t = \begin{cases} T(\text{if } x < t) \\ F(\text{if } x > t) \end{cases} \quad (1)$$

ตัวดำเนินการของ การเปรียบเทียบแรงดันเทรสโลดต์ขั้นสูง

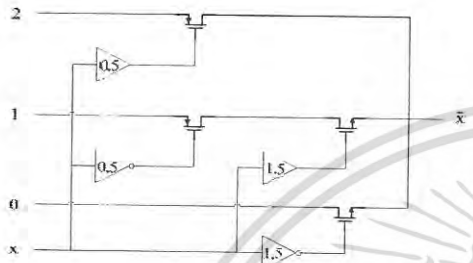
$${}^t x = \begin{cases} T(\text{if } x > t) \\ F(\text{if } x < t) \end{cases} \quad (2)$$

ตัวดำเนินการของการส่งผ่าน

$$C_i * B = \begin{cases} C_i(\text{if } B = T) \\ \phi(\text{if } B = F) \end{cases} \quad (3)$$



รูปที่ 3. วงจรพาสทรานซิสเตอร์สำหรับการดำเนินการ $C * x'$ และ $C * 'x$ [7]



รูปที่ 4. วงจรอินเวอร์เตอร์แบบสามระดับ [8]

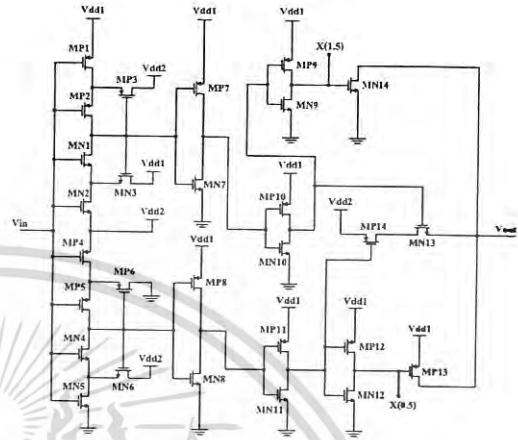
เมื่อสัญญาณอินพุตได้ผ่านการเปรียบเทียบเทรคโฮลด์แล้วจะถูกนำมาใช้ในการสร้างวงจรถึ่งลักษณะของวงจรถึ่งอินเวอร์เตอร์แบบสามระดับดังรูปที่ 4 โดยที่ 0.5 คือสัญญาณที่ผ่านการเปรียบเทียบเทรคโฮลด์ขั้นต่ำ และ 1.5 คือสัญญาณที่ผ่านการเปรียบเทียบเทรคโฮลด์ขั้นสูง

ซึ่งเมื่ออินพุตเข้ามาในระดับ 0 อินพุตที่ผ่านการเปรียบเทียบแรงดันเทรคโฮลด์แล้วที่ $t = 0.5$ จะเป็น 1 และที่ $t = 1.5$ จะเป็น 0 ซึ่งจะทำให้พีมอสทรานซิสเตอร์ที่แรงดันระดับสองทำงานและ เอ็นมอสทรานซิสเตอร์ที่แรงดันระดับ 0 ไม่ทำงาน ทำให้เอาท์พุตที่ได้ออกมาเป็นระดับ 2 และเมื่ออินพุตที่เข้ามาอยู่ในระดับ 1 แล้วเมื่อผ่านการเปรียบเทียบแรงดันเทรคโฮลด์แล้วที่ $t = 0.5$ จะเป็น 0 และที่ $t = 1.5$ จะเป็น 0 ดังนั้นจะมีแต่ทรานซิสเตอร์ที่แรงดันระดับ 1 เท่านั้นที่ทำงานเอาท์พุตที่ออกมาจึงมีค่าเป็น 1 และเมื่อ อินพุตที่เข้ามามีค่าอยู่ที่ระดับ 2 เมื่อผ่านการเปรียบเทียบแรงดันเทรคโฮลด์ที่ $t = 0.5$ จะมีค่าเป็น 0 และที่ $t = 1.5$ จะมีค่าเป็น 1 ซึ่งจะทำให้เอ็นมอสทรานซิสเตอร์ที่แรงดันระดับ 0 ทำงาน ทำให้แรงดันเอาท์พุตเท่ากับ 0

วงจรถึ่งได้นำเสนอนั้นจะทำการสร้างวงจรถึ่งเปรียบเทียบสัญญาณเทรคโฮลด์ แล้วนำไปประยุกต์ใช้กับวงจรถึ่ง

อินเวอร์เตอร์แบบสามระดับทำให้ได้เป็นวงจรถึ่งทริกเกอร์ซิมอสแบบสามระดับ

3. วงจรถึ่งทริกเกอร์ซิมอสแบบสามระดับ



รูปที่ 5 วงจรถึ่งทริกเกอร์ซิมอสแบบสามระดับที่เสนอ

วงจรถึ่งทริกเกอร์ซิมอสแบบสามระดับที่ออกแบบใช้ทรานซิสเตอร์จำนวน 28 ตัวประกอบด้วยทรานซิสเตอร์แบบ PMOS จำนวน 14 ตัวและทรานซิสเตอร์แบบ NMOS จำนวน 14 ตัว โดยมีแรงดัน $V_{dd1} = 1V$ และแรงดัน $V_{dd2} = 0.5V$ การทำงานของวงจรถึ่งได้เป็นสองส่วนส่วนแรกเป็นวงจรถึ่งเปรียบเทียบแรงดันและส่วนที่สองเป็นวงจรถึ่งอินเวอร์เตอร์ที่จะทำให้สัญญาณกลายเป็นสามระดับ

ในการสร้างวงจรถึ่งทริกเกอร์สามระดับนั้น จะต้องสร้างสัญญาณอินพุตสำหรับเข้าสู่วงจรถึ่งอินเวอร์เตอร์แบบพาสทรานซิสเตอร์นั้น ต้องทำจัดให้อินพุตอยู่ในลักษณะที่ผ่านการเปรียบเทียบแรงดันเทรคโฮลด์ก่อน ซึ่งจะได้สัญญาณระดับต่ำ $x_1 (t = 0.5)$ และระดับสูง $x_2 (t = 1.5)$ สามารถสร้างตารางค่าความจริงของสัญญาณเอาท์พุตของแรงดันสามระดับจากการเปรียบเทียบแรงดันเทรคโฮลด์ของทริกเกอร์สามระดับดังตารางที่ 2

ตารางที่ 2 ตารางค่าความจริงของสัญญาณเอาต์พุตของแรงดันสามระดับจากการเปรียบเทียบแรงดันเทรตโฮลของขมิททริกเกอร์สามระดับ

output	x (0.5)	x (1.5)
0	0	0
1	2	0
2	2	2

ส่วนวงจรเปรียบเทียบแรงดัน จะเป็นวงจรส่วนหน้าที่ทำการสร้างสัญญาณควบคุมขมิททริกเกอร์ จะประกอบด้วยวงจรขมิททริกเกอร์แบบสองระดับสองวงจรมารเรียงต่อกัน โดยส่วนบนมีแรงดันระดับ 0.5-1 โวลต์ ประกอบด้วยทรานซิสเตอร์ MP1-MP3, MP7 และ MN1-MN3, MN7 ซึ่งส่วนนี้จะทำอินพุตที่เข้ามานั้นกลายเป็นสัญญาณขมิททริกเกอร์ที่พร้อมจะเป็นอินพุตที่อยู่ในระดับสูงเข้าสู่ส่วนที่สอง และส่วนล่างของวงจรส่วนหน้าจะมีแรงดันระดับ 0-0.5 โวลต์จะประกอบด้วยทรานซิสเตอร์ MP4-MP6, MP8 และ MN4-MN6, MN8 ซึ่งจะให้อินพุตในระดับต่ำเข้าสู่ส่วนที่สอง

ในการทำงานของส่วนหน้านี้จะทำงานโดยเมื่อมีอินพุตเข้ามาเป็น ตั้งแต่ 0 - 0.5 โวลต์ วงจรส่วนล่างจะทำงานเมื่ออินพุตเป็น 0 สัญญาณที่ออกมาจะเป็นสถานะต่ำ และจะยังคงสถานะอยู่จนกระทั่งอินพุตมีค่าเพิ่มมากกว่า V_{TL}^+ แล้วสัญญาณเอาต์พุตของส่วนนี้จะเปลี่ยนเป็นสถานะสูง และในทางกลับกัน เมื่อสัญญาณอินพุตเข้ามาเป็น 0.5 เอาต์พุตของส่วนนี้จะเปลี่ยนเป็นสถานะสูง และคงสถานะไว้จนกระทั่งอินพุตลดลงจนน้อยกว่า V_{TL}^- แล้วถึงจะเปลี่ยนสถานะจากสูงเป็นสถานะต่ำ

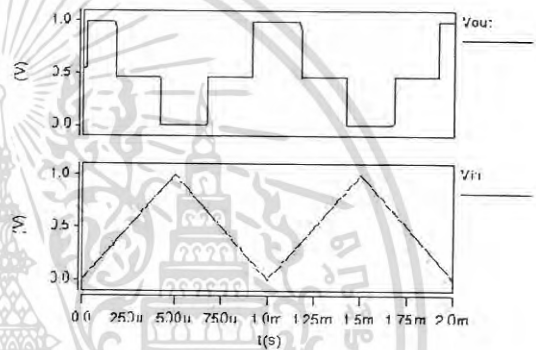
เมื่ออินพุตเข้ามาตั้งแต่ 0.5 - 1 โวลต์ ส่วนบนของวงจรจะทำงานเมื่ออินพุตเข้ามาเป็น 0.5 แล้วสถานะของเอาต์พุตของส่วนนี้จะเปลี่ยนเป็นสถานะสูง และคงสถานะไปจนกระทั่งอินพุตที่เข้ามามีค่ามากกว่า V_{TH}^+ แล้วสถานะของตัวนี้จะเปลี่ยนเป็นสถานะต่ำ เช่นเดียวกันเมื่ออินพุตเป็น 1 แล้วสถานะของเอาต์พุตของส่วนนี้จะอยู่ในสถานะ

ต่ำและคงสถานะไปจนกระทั่งอินพุตที่เข้ามามีค่าน้อยลงจนน้อยกว่า V_{TH}^-

แล้วจากนั้นสัญญาณที่ผ่านการเปรียบเทียบเทรตโฮลแล้วจะถูกนำไปเข้าสู่ส่วนที่สองซึ่งเป็นวงจรอินเวอร์เตอร์แบบพาสทรานซิสเตอร์เพื่อให้ได้สัญญาณ ขมิททริกเกอร์แบบสามระดับออกมา

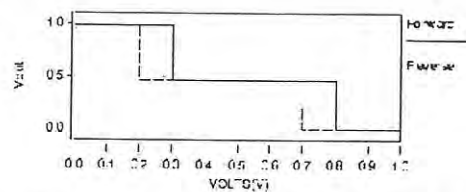
4.ผลการจำลองการทำงาน

ในการจำลองการทำงานทั้งหมดนั้นทำโดยใช้โปรแกรมจำลองการทำงาน HSpice โดยใช้เทคโนโลยี 90 nm



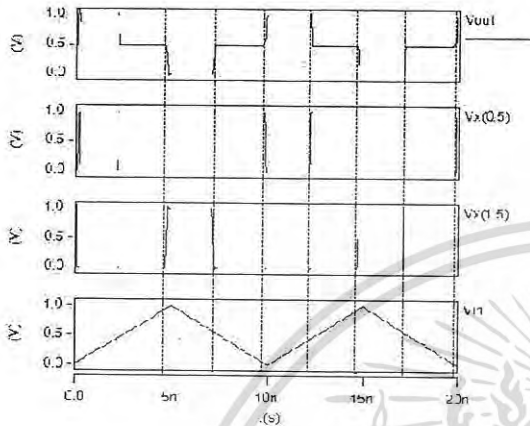
รูปที่ 6 สัญญาณเอาต์พุตของวงจรขมิททริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS

จากรูปที่ 6 แสดงถึงลักษณะสัญญาณเอาต์พุตที่ออกมาของวงจรขมิททริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS เมื่อใส่สัญญาณสามเหลี่ยมเข้าไปในวงจร โดยทำงานที่ความถี่ 1 kHz ที่แรงดัน $V_{dd1} = 1V$ และ $V_{dd2} = 0.5V$ และจะมีคุณสมบัติการถ่ายโอนแรงดันดังรูปที่ 7



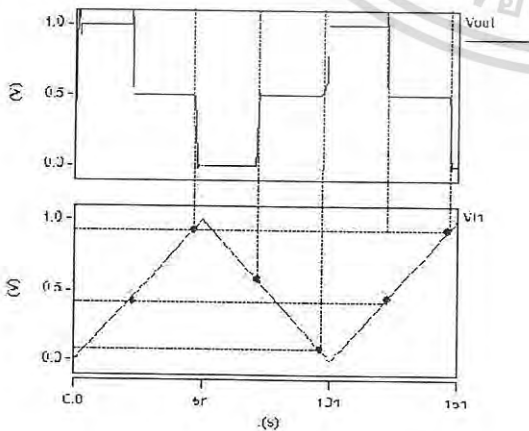
รูปที่ 7 คุณสมบัติการถ่ายโอนแรงดันของวงจรขมิททริกเกอร์แบบสามระดับที่ใช้วงจร threshold-t gate แบบ DCVS

ผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม HSpice โดยใช้เทคโนโลยีซีมอส 90nm ทำงานที่ความถี่ 100 MHz โดยใช้แรงดันแหล่งจ่าย $V_{dd1} = 1V$ และ $V_{dd2} = 0.5V$ เมื่อป้อนสัญญาณอินพุตรูปสามเหลี่ยม ดังรูปที่ 8

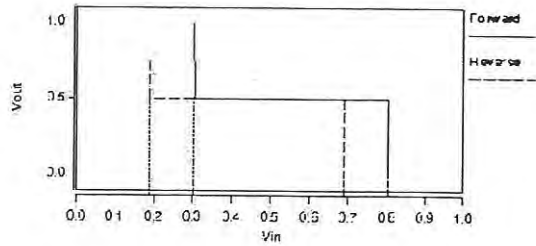


รูปที่ 8 รูปสัญญาณของวงจรที่นำเสนอ

จากรูปที่ 8 เมื่อป้อนสัญญาณรูปสามเหลี่ยม ที่มีแรงดันตั้งแต่ 0 โวลต์ ถึง 1 โวลต์ จะพบว่าที่โหนด x1 และ x2 จะมีค่าตามตารางที่ 2 และสัญญาณเอาต์พุตจะเป็นสัญญาณสามระดับในลักษณะกลับเฟสกับสัญญาณอินพุต เมื่อนำสัญญาณอินพุต และสัญญาณเอาต์พุตมาเปรียบเทียบกันจะเห็นได้ว่าจุดที่สัญญาณเกิดการเปลี่ยนระดับ หรือแรงดันทรานซิสเตอร์ของวงจรมีทรานซิสเตอร์จะมีทั้งหมดสี่จุด ซึ่งก็คือ V_{TH}^+ , V_{TH}^- , V_{TL}^+ และ V_{TL}^- ดังแสดงในรูปที่ 9



รูปที่ 9 เอาต์พุตและอินพุตของวงจรที่นำเสนอ



รูปที่ 10 คุณสมบัติการถ่ายโอนแรงดันของวงจรที่นำเสนอ

จากรูปที่ 10 แสดงคุณสมบัติการถ่ายโอนแรงดันของวงจรที่นำเสนอ โดยเป็นกราฟระหว่าง V_{out} ต่อ V_{in} ซึ่งกราฟที่ได้จะมีฮิสเทอรีซิสลูปเกิดขึ้น ทั้งหมดสองลูป โดยที่แต่ละลูปนั้นจะมีความกว้างคือ 0.12 โวลต์

5. บทสรุป

วงจรมีทรานซิสเตอร์ซีมอสแบบสามระดับจำลองการทำงานด้วยโปรแกรม HSpice โดยใช้เทคโนโลยีซีมอส 90 nm และใช้ทรานซิสเตอร์ทั้งหมด 28 ตัว เมื่อป้อนสัญญาณรูปสามเหลี่ยมที่ความถี่ 100 MHz จะได้ฮิสเทอรีซิสลูป $V_{TL}^+ = 0.68V$, $V_{TL}^- = 0.8V$, $V_{TH}^+ = 0.18V$, $V_{TH}^- = 0.3V$ และมีความกว้างของฮิสเทอรีซิสของทั้งสองลูป $V_H = 0.12V$

6. เอกสารอ้างอิง

- [1] B. L. Dokic, "CMOS Schmitt triggers," IEE Proc. G (Electronic Circuits Systems), vol.131, no. 5, pp. 197-202, October, 1984.
- [2] Z. G. Vranesic, "Multiple-Valued Logic: An Introduction and Overview," IEEE Trans. on Computers, vol.C-26, no. 12, pp. 1181-1182, Dec., 1977.
- [3] K. Ramkumar, K. Nagaraj, "A ternary Schmitt trigger," IEEE Trans. on Circuits and Systems, vol. 32, no. 7, pp. 732- 735, Jul 1985.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [4] K. Angkeaw, S. Wisetphanichkij, K. Dejhan, F. Cheevasavit, S. Junnapiya and C. Soonyeeekan, "A Design of Ternary Schmitt Trigger Circuit," Proc. of the 8th (ISIC'99), Singapore, pp. 282-285, Sep. 8-10, 1999.
- [5] G. Hang, "Theory of current transmission switches and its application to design of a novel current-mode CMOS ternary Schmitt trigger," Proc. 6th Int. Conf. on ASIC (ASICON2005), vol. 1, pp. 295-299, 24-0 Oct. 2005.
- [6] สมปอง วิเศษพานิชกิจ, ชัยณรงค์ หาญชนะ และ กอบชัย เดชหาญ, การออกแบบวงจรเทอร์นารีชนิดตรีกรีทริกเกอร์, วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ 3 (กันยายน 2552) หน้า 7 - 12
- [7] X. Wu, F. Prosser, "Ternary CMOS sequential circuits," Proc. of 18th Int. Symp. on Multiple-Valued Logic, 1988, pp. 307-313, 24-26 May 1988.
- [8] X. Wu, F. P. Prosser, "CMOS ternary logic circuits," IEE Proc. G (Circuits, Devices and Systems), vol. 137, no. 1, pp. 21-27, Feb 1990.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นายเอกลักษณ์ เล็กเลิศศิริวงศ์
 วัน เดือน ปีเกิด 25 กุมภาพันธ์ 2530
 ที่อยู่ 60/12 ม.2 ต.ไร่ขิง อ.สามพราน จ.นครปฐม 73210 โทร.083-243-9010
 ประวัติการศึกษา 2552 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมสารสนเทศ
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้