การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง โดยอาศัยเทคนิคเฟสล็อคลูป

THE QPSK MODULATOR WITH CONTINUOUS PHASE BASED ON PHASE-LOCKED LOOP TECHNIQUE

เลอสรรค์ กิรสมุทรานนท์

LERSON KIRASAMUTHRANON

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2560

KMITL-2017-EN-D-018-033

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง โดยอาศัยเทคนิคเฟสล็อคลูป

THE QPSK MODULATOR WITH CONTINUOUS PHASE BASED ON PHASE-LOCKED LOOP TECHNIQUE

T148810

เลอสรรค์ กิรสมุทรานนท์

LERSON KIRASAMUTHRANON

สจหมู่.....
เลขทะเบียน 148810
วัน.เดือน.ปี 23 เม.ย. 2560

b. 00266917
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2560
KMITL-2017-EN-D-018-033

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE QPSK MODULATOR WITH CONTINUOUS PHASE BASED ON PHASE-LOCKED LOOP TECHNIQUE

LERSON KIRASAMUTHRANON

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2017

KMITL-2017-EN-D-018-033

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2017
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยเทคนิคเฟสล็อคลูป
Thesis Title The QPSK Modulator with Continuous Phase Based on Phase-locked Loop Technique
นักศึกษา นายเลอสรรค์ กิรสมุทรานนท์
รหัสประจำตัว 56601040
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.จีรสุดา โกษียาภรณ์
หมายเลขวิทยานิพนธ์ KMITL-2017-EN-D-018-033

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.ลัญฉกร	วุฒิสิทธิกุลกิจ	
ผศ.ดร.ศรวัฒน์	ชิวปรีชา	
ผศ.ดร.พิชญ	สุพรรณกูล	
ผศ.ดร.ตุลยา	ลิมปิติ	
รศ.ดร.จีรสุดา	โกษียาภรณ์	

วัน / เดือน/ ปี ที่สอบ วันอังคารที่ 16 พฤษภาคม พ.ศ. 2560 เวลา 10.00-12.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)
คณบดี คณะวิศวกรรมศาสตร์
วันที่ 16 พฤษภาคม พ.ศ. 2560

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยเทคนิคเฟสล็อคลูป
นักศึกษา	นายเลอสรรค์ กิรสมุทรานนท์
รหัสประจำตัว	56601040
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.จีรสุดา โกษียาภรณ์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ (ร่วม)	รศ.ดร.ปราโมทย์ วาดเขียน

บทคัดย่อ

ในบรรดาการมอดูเลต M-ary phase shift keying (M-PSK) การมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิง (QPSK) ได้รับความนิยมเป็นอย่างมากเนื่องจากมีการใช้แบนด์วิดท์ที่มีประสิทธิภาพ แต่อย่างไรก็ดีสัญญาณดังกล่าวนั้นจะเกิดการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้นเมื่อมีการเปลี่ยนเฟสแบบกระทันหัน ก่อให้เกิดองค์ประกอบความถี่สูงรบกวนช่องสัญญาณข้างเคียง ดังนั้นวิทยานิพนธ์ฉบับนี้จึงนำเสนอการมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยเทคนิคเฟสล็อคลูป โดยวงจรเฟสล็อคลูปที่นำเสนอมีส่วนแตกต่างไปจากเฟสล็อคลูปแบบทั่วไปคือใช้ xor gate 3 อินพุตเป็นวงจรตรวจจับความต่างเฟสและมีการเพิ่มวงจรขยายหรือวงจรรวมสัญญาณเข้าไปด้วย ซึ่งส่งผลให้สัญญาณ QPSK ที่ได้มีการเปลี่ยนเฟสแบบต่อเนื่อง ซึ่งผลการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่สร้างจากวิธีการนำเสนอเปรียบเทียบกับวิธีดั้งเดิม พบว่าวิธีที่นำเสนอสามารถลดการรบกวนช่องสัญญาณข้างเคียงได้ดีกว่า ทั้งนี้ผลการวิเคราะห์ของระบบที่เสนอสอดคล้องกับผลการทดลองและผลการจำลองการทำงานซึ่งยืนยันได้ว่าเทคนิคที่นำเสนอสามารถนำไปประยุกต์ใช้งานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	THE QPSK MODULATOR WITH CONTINUOUS PHASE BASED ON PHASE-LOCKED LOOP TECHNIQUE
Student	Mr. Lerson Kirasamuthranon
Student ID.	56601040
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2017
Thesis Advisor	Assoc. Prof. Dr. Jeerasuda Koseeyaporn
Thesis Co-Advisor	Assoc. Prof. Dr. Paramote Wardkein

Abstract

Among M-ary phase shift keying (M-PSK) schemes, quadrature phase-shift keying (QPSK) is used most often because of its efficient bandwidth consumption. However, its rapid phase change can lead to a sudden fluctuation in the signal amplitude causing high frequency components interference. Hence, this thesis proposes a QPSK modulator with continuous phase technique based on phase-locked loop. The PLL circuit in the proposed system differs from conventional PLL circuits due to the addition of summing amplifier circuit and using a three-input XOR gate as the phase detector. By such modification, the proposed technique can provide a continuous phase change in the QPSK signal. The compared spectral of the QPSK signals obtained from the proposed technique with the conventional one show that the proposed scheme is superior in reducing interference. The analysis study shows the coherence of the results obtained from theoretical analysis, experiment, and simulation, which affirms that the proposed technique could be realized in actual applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงลงได้ด้วยดีนั้น เป็นผลมาจากความกรุณาอย่างสูงของ รศ.ดร.ปราโมทย์ วาดเขียน และ รศ.ดร.จีรสุดา โกษียาภรณ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ที่ให้คำปรึกษา ตลอดจนแนะนำปรับปรุงแก้ไขข้อบกพร่องต่างๆ ด้วยความเอาใจใส่อย่างดียิ่ง ข้าพจ้าตระหนักถึงความตั้งใจจริงและความทุ่มเทของอาจารย์ทั้งสองตลอดมา และขอกราบขอบพระคุณเป็นอย่างสูงไว้ ณ ที่นี้ ถึงแม้ว่าบัดนี้ข้าพเจ้าได้สำเร็จการศึกษาไปแล้วแต่ข้าพเจ้าขอน้อมนำคำสั่งสอนของอาจารย์ทั้งในทางวิชาการและคุณธรรมในการทำงานไปใช้ในการดำเนินชีวิตและถ่ายทอดแก่บุคคลอื่นต่อไป

ขอขอบคุณทุนการศึกษาจาก สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่สนับสนุนค่าเล่าเรียน, ค่าใช้จ่ายรายเทอม, ค่าวิจัย ตลอดจนค่าใช้จ่ายในการเดินทางไปเข้าร่วมงานประชุมวิชาการต่างๆ จนจบการศึกษาในชั้นสูงสุดของสถาบัน ข้าพเจ้าสำนึกในความกรุณานี้มาตลอดและหวังว่าในวันหน้าจะสามารถนำความรู้ที่ได้ไปสร้างชื่อเสียงแก่สภาบันฯเพื่อเป็นการตอบแทนต่อไป

เบื้องหลังความสำเร็จของข้าพเจ้ามาจากครอบครัวที่อบอุ่น ขอขอบพระคุณบิดามารดาญาติสนิทมิตรสหายทุกท่านที่เป็นกำลังใจและแรงผลักดันให้ข้าพเจ้าได้ร่ำเรียนจนสำเร็จ อีกทั้งการอบรมสั่งสอนที่ดีในวัยเด็กจากมาสเตอร์และมิสของโรงเรียนอัสสัมชัญ สำโรง (สมุทรปราการ) อันเป็นพื้นฐานที่สำคัญจนนำไปสู่การศึกษาในระดับต่อมา อีกทั้งการมอบโอกาสครั้งสำคัญที่สุดในการเรียน ที่ยินยอมให้ข้าพเจ้าย้ายแผนกการเรียนจากแผนกศิลป์-คำนวณไปเป็นแผนกวิทย์-คณิต ระหว่างปีการศึกษา ทำให้ข้าพเจ้าได้เข้าศึกษาในคณะวิศวกรรมศาสตร์ในเวลาต่อมา

ขอขอบใจตนเองที่มีความวิริยะอุตสาหะและมีระเบียบในการเรียนจนทำให้คนที่เรียนหนังสือไม่เก่ง ประสบความสำเร็จในการเรียนได้ขนาดนี้นับว่าเกินความคาดหวังของตนเองไปมาก ปริญญาใบนี้ได้มาไม่ได้หมายความว่าข้าพเจ้ามีความเก่งกว่าผู้อื่นแต่ประการใด แต่หากแสดงถึงความตั้งใจศึกษาของข้าพเจ้าที่ทุ่มเทตลอดมา และข้าพเจ้าได้พิสูจน์ด้วยตนเองแล้วว่าความตั้งใจจะทำให้ข้าพเจ้าประสบความสำเร็จได้ และไม่เคยนึกเสียใจระหว่างเรียนเลยที่ใช้เวลาในช่วงชีวิตดังกล่าวศึกษาหาความรู้ในขณะที่ผู้อื่นได้เริ่มสร้างชีวิตกันแล้ว วุฒิการศึกษานี้จะทำให้ข้าพเจ้าภูมิใจไปตลอดจนวันที่ข้าพเจ้าจากโลกนี้ไป

(นายเลอสรรค์ กิรสมุทรานนท์)

ผู้เขียนวิทยานิพนธ์

"การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยเทคนิคเฟสล็อคลูป"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
สารบัญตาราง	X
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์	3
1.3 สมมติฐานของการศึกษา	3
1.4 ขอบเขตการวิจัย	4
1.5 โครงประกอบของวิทยานิพนธ์	4
บทที่ 2 ทฤษฎีพื้นฐานที่ใช้ในการวิจัย	6
2.1 กล่าวนำ	6
2.2 การมอดูเลตสัญญาณ QPSK แบบดั้งเดิม	6
2.3 การมอดูเลตสัญญาณ OQPSK	9
2.4 การมอดูเลตสัญญาณ $\pi/4$–QPSK	10
2.5 ระบบเฟสล็อคลูป	12
บทที่ 3 การมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิงโดยอาศัยเฟสล็อคลูปและ การมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิงด้วยเทคนิคทางตรีโกณมิติ	27
3.1 กล่าวนำ	27
3.2 การเลื่อนเฟสโดยอาศัยเฟสล็อคลูป	27
3.3 การประยุกต์วงจรเฟสล็อคลูปในการมอดูเลตสัญญาณ QPSK	39
3.4 วงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมโดยอาศัยเทคนิคทางตรีโกณมิติ	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 4 การวิเคราะห์ค่าความคลาดเคลื่อน	47
4.1 กล่าวนำ	47
4.2 ค่าความคลาดเคลื่อนทางเฟส	47
4.3 สัญญาณรบกวนทางเฟส	49
4.4 ค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์ที่ผิดพลาด	52
บทที่ 5 ผลการทดลอง	55
5.1 กล่าวนำ	55
5.2 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย	55
5.3 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	61
5.4 ผลการจำลองและผลการทดลองการลดเวลาเลื่อนเฟสโดยปรับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน	68
5.5 ผลการจำลองและผลการทดลองค่าความคลาดเคลื่อนทางเฟสจากเอาต์พุตวงจรกรองความถี่ต่ำผ่าน	70
5.6 ผลการจำลองสัญญาณรบกวนทางเฟส	74
5.7 ผลการจำลองค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์	76
5.8 วงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	77
5.9 ผลการจำลองการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง และมีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง	80
บทที่ 6 บทสรุปและข้อเสนอแนะ	81
เอกสารอ้างอิง	83
ภาคผนวก	84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่		หน้า
2.1	บล็อกไดอะแกรมการมอดูเลตสัญญาณ QPSK แบบดั้งเดิม	7
2.2	ความสัมพันธ์ของสัญญาณบิตข้อมูล สัญญาณ I_n, Q_n และสัญญาณ QPSK	7
2.3	ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ QPSK บนระนาบ *I-Q*	8
2.4	บล็อกไดอะแกรมการมอดูเลตสัญญาณ OQPSK	9
2.5	ความสัมพันธ์สัญญาณบิตข้อมูล สัญญาณ I_n, Q_n และสัญญาณ OQPSK	9
2.6	ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ OQPSK บนระนาบ *I-Q*	10
2.7	ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ $\pi/4$–QPSK บนระนาบ *I-Q*	10
2.8	บล็อกไดอะแกรมการมอดูเลตสัญญาณ $\pi/4$–QPSK	12
2.9	บล็อกไดอะแกรมระบบเฟสล็อคลูป	12
2.10	บล็อกไดอะแกรมตัวตรวจจับความต่างเฟส	13
2.11	โครงสร้างตัวตรวจจับความต่างเฟสชนิด xor gate	13
2.12	ความสัมพันธ์ของความต่างเฟสของสัญญาณอินพุตและสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟสชนิด xor gate	14
2.13	ความสัมพันธ์ของสัญญาณอินพุตและเอาต์พุตเมื่อสัญญาณอินพุตมีความต่างเฟสเข้าใกล้ π เรเดียน	14
2.14	สัญญาณความต่างเฟส	15
2.15	แรงดันเฉลี่ยของสัญญาณเอาต์พุตเทียบกับความต่างเฟสแบบ xor gate	15
2.16	โครงสร้างตัวตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและโมโนสเตเบิลมัลติไวเบรเตอร์	16
2.17	ความสัมพันธ์ของความต่างเฟสของสัญญาณอินพุตและสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและโมโนสเตเบิลมัลติไวเบรเตอร์	16
2.18	สัญญาณเปรียบเทียบเฟส เมื่อสัญญาณอินพุตมีความต่างเฟส π เรเดียน	17
2.19	ค่าความต่างเฟสของอินพุตเทียบกับแรงดันเฉลี่ยของสัญญาณเอาต์พุต	17
2.20	บล็อกไดอะแกรมตัวกรองความถี่ต่ำผ่าน	18
2.21	วงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่ง	18
2.22	กราฟผลตอบสนองขนาดทางความถี่ของวงจรกรองความถี่ต่ำผ่าน	19
2.23	กราฟผลตอบสนองเฟสทางความถี่ของวงจรกรองความถี่ต่ำผ่าน	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
2.24	บล็อกไดอะแกรมตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน	20
2.25	กราฟแสดงความสัมพันธ์ของตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน	25
2.26	บล็อกไดอะแกรมตัวทำปริพันธ์	21
2.27	วงจรทำปริพันธ์	21
2.28	กราฟผลตอบสนองความถี่ทางขนาดของตัวทำปริพันธ์	22
2.29	กราฟผลตอบสนองความถี่ทางเฟสของตัวทำปริพันธ์	22
2.30	บล็อกไดอะแกรมเฟสล็อคลูป	23
3.1	บล็อกไดอะแกรมวงจรเฟสล็อกลูปที่เพิ่มวงจรขยายสัญญาณ	28
3.2	กราฟแสดงความสัมพันธ์ระหว่างอัตราขยายและความต่างเฟส	32
3.3	บล็อกไดอะแกรมวงจรเฟสล็อกลูปร่วมกับวงจรรวมสัญญาณ	33
3.4	กราฟแสดงความสัมพันธ์ระหว่างค่าไฟตรงและความต่างเฟส	37
3.5	วงจรตรวจจับความต่างเฟส XOR gate แบบ 3 อินพุต	38
3.6	ภาพประกอบการทำงานของวงจรตรวจจับความต่างเฟสภายใต้การควบคุมการทำงานด้วยบิตข้อมูล	38
3.7	บล็อกไดอะแกรมวงจรมอดูเลต QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย	39
3.8	วงจรขยาย	39
3.9	บล็อคไดอะแกรมวงจรมอดูเลต QPSK ที่นำเสนอ	41
3.10	วงจรรวมสัญญาณแบบกลับเฟส	41
3.11	วงจรขยายแบบกลับเฟส	42
3.12	กราฟแสดงความสัมพันธ์ระหว่างปริมาณเวลาเข้าสู่สภาวะคงตัวที่ค่าความถี่ต่าง	43
3.13	บล็อกไดอะแกรมวงจรมอดูเลต QPSK โดยอาศัยหลักการทางตรีโกณมิติ	45
3.14	วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูล	45
3.15	วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูล เมื่อเมื่อสวิตช์เปิดและปิด	45
3.16	วงจรมอดูเลต QPSK โดยอาศัยหลักการทางตรีโกณมิติ	46
4.1	ความสัมพันธ์ของสัญญาณอินพุตและสัญญาณเอาต์พุตของ xor gate	47
4.2	เวกเตอร์ของสัญญาณบนระนาบ *I-Q*	53
4.3	ภาพประกอบตัวอย่างกรณีที่พิกัดของสัญญาณบนระนาบ *I-Q* ผิดพลาด	53
5.1	การจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์	56
5.2	ผลของสัญญาณ QPSK จากการจำลองเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์	56
5.3	ผลการจำลองลิสซาจูสเคิร์ฟและคอนสเตลเลชันไดอะแกรมของสัญญาณ QPSK	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
5.4	ผลจำลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย	58
5.5	ผลการจำลองการเปลี่ยนเฟสเทียบกับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน	58
5.6	ผลการจำลองเอาต์พุตของวงจรกรองความถี่ต่ำเพื่อสังเกตการณ์หมดไปของค่าผลตอบสนองธรรมชาติ	58
5.7	วงจรมอดูเลตสัญญาณ QPSK	59
5.8	ผลของสัญญาณ QPSK จากการทดลองเฟสล็อคลูปร่วมกับวงจรขยาย	59
5.9	ผลการทดลองลิสซาจูสเคิร์ฟของสัญญาณ QPSK	60
5.10	ผลทดลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย	60
5.11	ผลการทดลองการเปลี่ยนเฟสเทียบกับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน	60
5.12	ผลการทดลองเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเพื่อสังเกตช่วงการเปลี่ยนเฟส	61
5.13	การจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์	62
5.14	ผลการจำลองของสัญญาณ QPSK จากการจำลองเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์	62
5.15	ผลการจำลองลิสซาจูสเคิร์ฟและคอนสเตลเลชันไดอะแกรมของสัญญาณ QPSK	63
5.16	ผลการจำลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	63
5.17	ผลการจำลองการเปลี่ยนเฟสเทียบกับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน	64
5.18	ผลการจำลองเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเพื่อสังเกตช่วงการเปลี่ยนเฟส	64
5.19	วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	65
5.20	ผลของสัญญาณ QPSK จากการทดลองเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	65
5.21	ผลการทดลองลิสซาจูสเคิร์ฟของสัญญาณ QPSK	66
5.22	ผลการทดลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	66
5.23	ผลการทดลองการเปลี่ยนเฟสเทียบกับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน	67
5.24	ผลการทดลองเทียบสัญญาณบิตข้อมูลกับเอาต์พุตวงจรกรองความถี่ต่ำผ่าน	67
5.25	การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 37,037 rad/s	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
5.26	การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 50,000 rad/s	69
5.27	การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 100,000 rad/s	69
5.28	ภาพการจำลองการเปรียบเทียบเอาต์พุตจากวงจรกรองความถี่ต่ำผ่านทั้ง 3 ความถี่ตัด	69
5.29	ผลการทดลองการเพิ่มจำนวนบิตข้อมูลหลังจากปรับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน	70
5.30	สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าดิวตี้ไซเคิล 50% ที่ได้จากการจำลอง	71
5.31	สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่ค่าดิวตี้ไซเคิลที่ 20% ที่ได้จากการจำลอง	72
5.32	สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าดิวตี้ไซเคิ 80% ที่ได้จากการจำลอง	72
5.33	ผลการทดลองเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่มีความถี่ตัด 37,037 rad/sec และ 100,000 rad/sec	73
5.34	ค่าสัญญาณรบกวนทางเฟสที่ได้จากการจำลอง	75
5.35	กราฟเปรียบเทียบค่า EVM	76
5.36	บล็อกไดอะแกรมการจำลองวงจรมอดูเลต QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	77
5.37	สัญญาณ QPSK ที่ได้จากการจำลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	78
5.38	ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการจำลอง	78
5.39	วงจรมอดูเลต QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	79
5.40	สัญญาณ QPSK ที่ได้จากการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	79
5.41	ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการทดลองวงจรมอดูเลตสัญญาณQPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ	79
5.42	ผลการจำลองการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่ได้จากการจำลองหลักการที่นำเสนอทั้ง 3 รูปแบบ	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
2.1	ตัวอย่างความสัมพันธ์ของชุดข้อมูลกับค่าปริมาณเฟสที่เปลี่ยน (φ_n) ของสัญญาณ $\pi/4$–QPSK	11
2.2	ค่าความจริงของ xor gate	14
2.3	ค่าความจริงของอาร์เอสฟลิปฟล็อป	17
3.1	ตารางค่าความจริงของ xor gate แบบ 3 อินพุต	38
3.2	ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย	40
3.3	ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ	42
3.4	ค่าเวลาเข้าสู่สภาวะคงตัวที่ค่าความถี่ตัดต่างๆ	43
3.5	สมการ QPSK ที่เฟสต่างๆ	44
3.6	ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเทคนิคทางตรีโกณมิติ	46
5.1	ตารางเปรียบเทียบค่า EVM จากการคำนวณตามทฤษฎี, การจำลองและการทดลอง	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในยุคแรกของระบบการสื่อสาร การรับส่งข้อมูลจะอยู่ในรูปแบบของสัญญาณแอนะล็อกทั้งหมด ต่อมาเมื่อเทคโนโลยีทางด้านดิจิทัลได้ถูกพัฒนาขึ้นเริ่มมีการนำเทคโนโลยีดิจิทัลเข้าไปทดแทนระบบแอนะล็อกแบบเดิม ทั้งการนำไปทดแทนทั้งหมด เช่น สร้างโครงข่ายชนิดใหม่อย่างเช่นโครงข่ายใยแก้วนำแสง, โครงข่ายโทรศัพท์เคลื่อนที่, โครงข่ายระบบสื่อสารดาวเทียม เป็นต้น หรือนำไปทดแทนบางส่วน เช่น การออกอากาศสัญญาณทีวีดิจิทัล, สัญญาณอินเตอร์เน็ตความเร็วสูง ทั้งนี้เนื่องจากข้อดีของสัญญาณแบบดิจิทัลที่ให้คุณภาพการรับส่งข้อมูลที่เท่ากันหรือดีกว่าแบบแอนะล็อก มีความเร็วในการรับส่งข้อมูลสูง และทนต่อสัญญาณรบกวนได้ดี โดยการสื่อสารจะถูกเชื่อมต่อด้วยช่องสัญญาณหลากหลายประเภท เช่น อากาศ สายไฟ ใยแก้วนำแสง เป็นต้น ดังนั้นการส่งสัญญาณข้อมูลโดยตรงหรือสัญญาณในแบนด์มูลฐาน (baseband signal) ผ่านช่องสัญญาณต่างๆ จึงทำได้ยากหรือทำไม่ได้เลย เพราะสัญญาณที่ส่งขาดความเหมาะสมที่จะส่งผ่านช่องสัญญาณการสื่อสารไปยังผู้รับด้วยเหตุผลที่ว่าสัญญาณข้อมูลมีสเปกตรัมของความถี่อยู่ในย่านที่แตกต่างไปจากย่านความถี่ของช่องการสื่อสารที่มีอยู่ ดังนั้นการย้ายย่านความถี่ของข้อมูลเพื่อให้มีสเปกตรัมเหมาะสมกับช่องสัญญาณจึงถูกนำมาประยุกต์ใช้ โดยกระบวนการดังกล่าวนี้ต้องอาศัยสัญญาณหนึ่งที่เรียกว่าคลื่นพาห์ (carrier) ซึ่งคลื่นพาห์เป็นสัญญาณที่มีความถี่ที่เหมาะสมกับการส่งผ่านช่องสัญญาณนั่นเอง และกระบวนการการย้ายย่านความถี่ของข้อมูลนี้ ถูกเรียกว่าการมอดูเลต (modulation) สามารถสรุปสั้นๆ ว่า การมอดูเลต คือการย้ายย่านความถี่ของข้อมูลโดยอาศัยความถี่ของคลื่นพาห์ ซึ่งรูปแบบการมอดูเลตสัญญาณดิจิทัล (digital modulation) เข้ากับคลื่นพาห์ที่เป็นสัญญาณคลื่นรูปซายน์นั้นมีอยู่หลายรูปแบบ ทั้งนี้เพื่อต้องการให้สัญญาณดิจิทัลเหล่านั้นสามารถส่งผ่านตัวกลางที่ออกแบบมาสำหรับสัญญาณแบบแอนะล็อกได้ เช่น โครงข่ายโทรศัพท์พื้นฐาน, ช่องสัญญาณไมโครเวฟ เป็นต้น ทั้งนี้การมอดูเลตดิจิทัลที่ใช้กันทั่วไปสามารถแบ่งออกได้ดังนี้

- การมอดูเลตเชิงเลขทางแอมพลิจูด (amplitude shift keying : ASK)
- การมอดูเลตเชิงเลขทางความถี่ (frequency shift keying : FSK)
- การมอดูเลตเชิงเลขทางเฟส (phase shift keying : PSK)

โดยการมอดูเลตเชิงเลขทางเฟส หรือ PSK เป็นการมอดูเลตที่ถูกรบกวนโดยสัญญาณรบกวนน้อยที่สุดเมื่อเทียบกับการมอดูเลตแบบ AKS และ FSK ดังนั้นการสื่อสารทางไกลที่ไม่สามารถทวนสัญญาณใหม่ได้ระหว่างส่ง เช่น การสื่อสารผ่านระบบดาวเทียม นิยมใช้รูปแบบของการมอดูเลตสัญญาณแบบ M-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ary phase shift keying (M-PSK) แต่ด้วยข้อจำกัดทางแบนด์วิดท์ เรื่องความคุ้มค่าของแบนด์วิดท์จึงถูกนำมาพิจารณาเพื่อเลือกใช้รูปแบบ M-PSK ต่างๆ ซึ่งการมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิง (quadrature phase shift Keying : QPSK) [1] เป็นการมอดูเลตที่ใช้แบนด์วิดท์ที่คุ้มค่าที่สุดเมื่อเทียบกับการมอดูเลต PSK อื่นๆ ทำให้การมอดูเลตสัญญาณ QPSK ได้รับความนิยมมากที่สุด ทั้งนี้สัญญาณ QPSK เป็นสัญญาณที่ใช้ตำแหน่งเฟส 4 ตำแหน่งในการบอกถึงบิตข้อมูล โดย 1 ตำแหน่งเฟสแทนบิตข้อมูล 2 บิต ซึ่งรูปแบบการเปลี่ยนเฟสจะเปลี่ยนเฟสไปในตำแหน่งตรงข้าม เช่น จากตำแหน่ง $\pi/4$ เรเดียน ไปตำแหน่ง $-3\pi/4$ เรเดียน เป็นต้น โดยจะทำให้เกิดการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้น ส่งผลให้เกิดองค์ประกอบความถี่สูงในสัญญาณ เป็นผลให้ต้องใช้แบนด์วิดท์ที่กว้างในการส่งสัญญาณให้ครบในทุกองค์ประกอบความถี่ หรือถ้านำสัญญาณไปผ่านวงจรกรองความถี่เพื่อให้ได้มาซึ่งองค์ประกอบความถี่ส่วนที่จำเป็นในการส่งก็จะทำให้ส่วนที่เกิดองค์ประกอบความถี่สูงเปลี่ยนไปตามค่าฟังก์ชันถ่ายโอนของวงจรกรองที่ใช้ ดังนั้นจึงเกิดความพยายามที่จะศึกษาและพัฒนารูปแบบการมอดูเลตเพื่อลดขนาดหรือการเกิดองค์ประกอบความถี่สูงในสัญญาณ QPSK เช่น offset quadrature phase-shift keying (OQPSK) [2] และ $\pi/4$ - quadrature phase shift keying ($\pi/4$ -QPSK) [3]

การมอดูเลตสัญญาณ OQPSK เป็นเทคนิคการจำกัดการเปลี่ยนเฟสสูงสุดได้ไม่เกิน $\pi/2$ เรเดียน หรือ 90 องศา ทำให้ช่วงเวลาของการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้นนั้นสั้นลง ในทำนองเดียวกันการมอดูเลตสัญญาณ $\pi/4$–QPSK ก็เป็นเทคนิคที่จำกัดการเปลี่ยนเฟสสูงสุดให้ไม่เกิน $3\pi/4$ เรเดียน หรือ 135 องศา ซึ่งทั้ง 2 วิธีเป็นเพียงการลดขนาดขององค์ประกอบความถี่สูงเท่านั้น

ในวิทยานิพนธ์นี้นำเสนอวงจรมอดูเลตสัญญาณ QPSK ที่ประยุกต์ใช้วงจรเฟสล็อคลูปในการสร้าง ซึ่งอาศัยโครงสร้างวงจรเฟสล็อคลูปแบบดั้งเดิม โดยเพิ่มวงจร xor gate เกต 3 อินพุตเป็นวงจรตรวจจับความต่างเฟส และเพิ่มวงจรรวมสัญญาณในตำแหน่งระหว่างวงจรกรองความถี่ต่ำผ่านและวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO) ด้วยรูปแบบดังกล่าวทำให้สามารถละวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (D/A) และวงจรคูณในวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมได้ และด้วยการทำงานของเฟสล็อคลูปผลที่ได้คือสัญญาณ QPSK ที่เปลี่ยนเฟสแบบต่อเนื่องโดยที่ความถี่ไม่เปลี่ยนแปลง ส่งผลให้ใช้แบนด์วิดท์ในการส่งน้อยกว่า ทั้งนี้ผลการวิเคราะห์ของระบบที่นำเสนอสอดคล้องกับผลการจำลองและผลการทดลอง จึงยืนยันว่าเทคนิคที่นำเสนอสามารถนำไปใช้ได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ความมุ่งหมายของงานในวิทยานิพนธ์ฉบับนี้ ได้นำเสนอการลดองค์ประกอบความถี่สูงในสัญญาณ QPSK อันเนื่องมาจากการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้นในช่วงที่มีการเปลี่ยนค่าเฟสของสัญญาณด้วยวิธีการเปลี่ยนเฟสแบบต่อเนื่อง ซึ่งมีวัตถุประสงค์ของการศึกษาอยู่บนพื้นฐานการทำงานของวงจรเฟสล็อคลูป โดยศึกษาการเลื่อนเฟสสัญญาณเอาต์พุตของวงจรเฟสล็อคลูปด้วยการเปลี่ยนค่าอัตราขยายภายในวงจรหรือการเพิ่ม ลดระดับไฟตรงให้กับสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านตามการเปลี่ยนแปลงของบิตข้อมูล ตลอดจนศึกษาวิธีลดช่วงเวลาของการเปลี่ยนเฟสสัญญาณเอาต์พุตด้วยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน และการวิเคราะห์หาค่าความคลาดเคลื่อนทางเฟสของสัญญาณ QPSK ที่ได้จากวงจรเฟสล็อคลูป นอกจากนี้สำหรับการสร้างสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่องซึ่งเป็นแบบดั้งเดิมที่จะนำมาเปรียบเทียบกับวิธีการที่นำเสนอนั้น วิทยานิพนธ์ฉบับนี้ได้ใช้ การสร้างสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง โดยใช้การออกแบบบนพื้นฐานทางตรีโกณมิติ ซึ่งวงจรที่ได้มีขนาดเล็ก โดยใช้เพียงอุปกรณ์พื้นฐานอย่างออปแอมป์และอะนาล็อกสวิตช์มาประยุกต์เป็นวงจรพื้นฐานเช่น วงจรรวมสัญญาณและวงจรขยายที่สามารถปรับขั้วของการขยายได้ตามบิตข้อมูล ซึ่งสัญญาณ QPSK ที่มีการเปลี่ยนแบบไม่ต่อเนื่องที่สร้างด้วยวิธีการนี้ จะถูกนำมาเปรียบเทียบสเปกตรัมกับสัญญาณ QPSK ที่มีการเปลี่ยนแบบต่อเนื่องที่สร้างจากหลักการที่นำเสนอ

1.3 สมมติฐานของการศึกษา

จากการวิเคราะห์ค่าผลตอบสนองเอาต์พุตของวงจรเฟสล็อคลูป มีความเป็นไปได้ว่าสามารถนำมาประยุกต์ใช้เพื่อให้เกิดการเปลี่ยนเฟสแบบต่อเนื่องของสัญญาณ QPSK โดยการเปลี่ยนเฟสแบบต่อเนื่องของสัญญาณเกิดขึ้นจากการเปลี่ยนแปลงค่าพารามิเตอร์ภายในระบบอย่างทันทีทันใด ไม่ว่าจะเป็นค่าอัตราขยาย หรือระดับไฟตรงที่ถูกเพิ่มเข้าไปตามการเปลี่ยนแปลงของบิตข้อมูล ส่งผลให้เกิดค่าผลตอบสนองธรรมชาติขึ้นทุกครั้งที่มีการเปลี่ยนแปลง พร้อมกับการเลื่อนเฟสของสัญญาณเอาต์พุต ซึ่งเมื่อค่าผลตอบสนองธรรมชาติเข้าสู่ศูนย์ การเลื่อนเฟสของสัญญาณเอาต์พุตก็จะเสร็จสิ้นพร้อมกัน โดยระยะเวลาที่ผลตอบสนองธรรมชาติใช้ในการเข้าสู่ศูนย์เกี่ยวข้องกับค่าอัตราขยายและค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน ซึ่งสมมุติฐานของการศึกษาคือสัญญาณ QPSK สามารถสร้างได้โดยอาศัยวงจรเฟสล็อคลูปที่เพิ่มวงจรขยายหรือวงจรรวมสัญญาณเข้าไประหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO และให้บิตข้อมูลควบคุมการเปลี่ยนเฟส ซึ่งสัญญาณ QPSK ที่ได้จะมีการเปลี่ยนเฟสแบบต่อเนื่อง ทำให้ไม่มีการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้น ซึ่งทำให้องค์ประกอบความถี่สูงได้ลดลงอย่างชัดเจน เมื่อเทียบกับการมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ขอบเขตการวิจัย

ขอบเขตการวิจัยในวิทยานิพนธ์ฉบับนี้คือ วิเคราะห์, จำลอง และทดลองการทำงานของวงจรมอดูเลตสัญญาณ QPSK ที่มีการเลื่อนเฟสแบบต่อเนื่องโดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย หรือวงจรรวมสัญญาณ โดยออกแบบให้ใช้กับความถี่อ้างอิงที่ 70 kHz เนื่องจากมีข้อจำกัดของย่านความถี่ที่อุปกรณ์สามารถทำงานได้ อัตราบิตของข้อมูลที่ 4 kbit/s-16 kbit/s และวงจรมอดูเลตสัญญาณ QPSK ที่มีการเลื่อนเฟสแบบไม่ต่อเนื่อง โดยอาศัยหลักการทางตรีโกณมิติ ซึ่งใช้ความถี่อ้างอิง 70 kHz อัตราบิตของข้อมูลที่ 4 kbit/s-16 kbit/s เช่นเดียวกัน

สำหรับวงจรมอดูเลตสัญญาณ QPSK ที่มีการเลื่อนเฟสแบบต่อเนื่องโดยอาศัยเฟสล็อคลูป สามารถลดช่วงเวลาของการเปลี่ยนเฟสได้ ด้วยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน ซึ่งได้กำหนดค่าความถี่ตัดที่ 37,037 rad/sec, 50,000 rad/sec และ 100,000 rad/sec

นอกจากนี้ยังได้ทำการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง และที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง ด้วยโปรแกรม Matlab Simulink โดยกำหนดให้ใช้ที่อัตราบิตของข้อมูลที่ 9.6 kbit/s และเลือกใช้วงจรกรองความถี่แถบผ่านช่วง 63.7 kHz ถึง 76.3 kHz ซึ่งเป็นความกว้างแบนด์วิดท์ที่แคบที่สุดกับอัตราบิตของข้อมูลที่ 9.6 kbit/s

1.5 โครงประกอบของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ประกอบไปด้วยเนื้อหาดังต่อไปนี้

บทที่ 1 กล่าวถึงความเป็นมา วัตถุประสงค์ สมมติฐาน ทฤษฎีที่ใช้โดยสรุป ขอบเขต และโครงประกอบของวิทยานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีที่เกี่ยวข้อง ซึ่งประกอบไปด้วย ทฤษฎีพื้นฐานของการมอดูเลตสัญญาณที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง ได้แก่ การมอดูเลตสัญญาณ QPSK, OQPSK, $\pi/4$-QPSK และการมอดูเลตสัญญาณที่มีการเปลี่ยนเฟสแบบต่อเนื่อง ได้แก่ สัญญาณ MSK นอกจากนี้ในเนื้อหาได้กล่าวถึง โครงสร้างพื้นฐานของวงจรเฟสล็อคลูป และการวิเคราะห์วงจรเฟสล็อคลูปเพื่อให้ได้มาซึ่งสมการผลตอบสนองสมบูรณ์ของสัญญาณเอาต์พุต

บทที่ 3 กล่าวถึงการสร้างวงจรมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง ในหัวข้อวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย ซึ่งได้เพิ่มวงจรขยายสัญญาณระหว่างวงจรกรองความถี่ต่ำผ่านกับวงจร VCO โดยให้บิตข้อมูลควบคุมค่าอัตราขยาย และหัวข้อวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ ซึ่งได้เพิ่มวงจรรวมสัญญาณระหว่างวงจรกรองความถี่ต่ำผ่านกับวงจร VCO โดยให้บิตข้อมูลควบคุมค่าระดับไฟตรง นอกจากนี้ได้กล่าวถึงการสร้างวงจรมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง ในหัวข้อวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเทคนิคทางตรีโกณมิติ โดยการสร้างใช้เพียงอุปกรณ์อย่างออปแอมป์และอะนาล็อกสวิตช์เท่านั้น ในการประยุกต์เป็นวงจรพื้นฐานอย่างวงจรรวมสัญญาณและวงจรขยายที่สามารถปรับขั้วของการขยายได้ตามบิตข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การวิเคราะห์ค่าความคลาดเคลื่อนทางเฟสของสัญญาณ QPSK ที่ได้จากวงจรเฟสล็อคลูปได้แก่ ค่าความคลาดเคลื่อนทางเฟส, สัญญาณรบกวนทางเฟสและ ค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์

บทที่ 5 ผลการจำลองและผลการทดลอง เพื่อยืนยันการวิเคราะห์ในทางทฤษฎี ซึ่งประกอบไปด้วย

- ผลการจำลองและผลการทดลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย
- ผลการจำลองและผลการทดลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ
- ผลการจำลองและผลการทดลองการลดช่วงเวลาการเปลี่ยนเฟสโดยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน
- ค่าความคลาดเคลื่อนของสัญญาณ QPSK ที่สร้างจากวิธีการที่นำเสนอ ที่ได้จากการจำลองและการทดลองเปรียบเทียบกับการวิเคราะห์ในทางทฤษฎี
- ผลการจำลองและการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมที่สร้างโดยอาศัยหลักการทางตรีโกณมิติ
- ผลการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง และสัญญาณ QPSK ที่มีการเฟสแบบไม่ต่อเนื่อง ด้วยโปรแกรม Matlab Simulink

บทที่ 6 บทสรุปและข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีพื้นฐานที่ใช้ในการวิจัย

2.1 กล่าวนำ

ในหัวข้อนี้กล่าวถึงทฤษฎีพื้นฐานต่างๆ ที่เกี่ยวข้องกับวิทยานิพนธ์ฉบับนี้ อันประกอบไปด้วย การทำงานพื้นฐานของวงจรมอดูเลตสัญญาณ QPSK, OQPSK, $\pi/4$–QPSK, MSK และวงจรเฟสล็อคลูป โดยในหัวข้อวงจรเฟสล็อคลูปจะกล่าวถึงส่วนประกอบพื้นฐานและการวิเคราะห์หาค่าผลตอบสนองสมบูรณ์ของวงจรเฟสล็อคลูป ซึ่งประกอบไปด้วยค่าผลตอบสนองธรรมชาติและค่าผลตอบสนองบังคับ โดยการวิเคราะห์นี้นำไปสู่การออกแบบวงจรมอดูเลตสัญญาณ QPSK ที่อาศัยวงจรเฟสล็อคลูปต่อไป

2.2 การมอดูเลตสัญญาณ QPSK แบบดั้งเดิม

ทุกวันนี้การมอดูเลตแบบดิจิทัลเข้ามามีบทบาทสำคัญในระบบการสื่อสารมากขึ้น เช่น การสื่อสารดาวเทียม การแพร่ภาพสัญญาณโทรทัศน์ แม้กระทั่งการสื่อสารผ่านโทรศัพท์เคลื่อนที่ ด้วยเหตุผลที่ว่าการมอดูเลตแบบดิจิทัลมีความปลอดภัยสูงและทนต่อสัญญาณรบกวนได้ดี ซึ่งการมอดูเลตดิจิทัลมีหลากหลายรูปแบบ เช่น การมอดูเลตเชิงเลขทางแอมพลิจูด (amplitude shift keying : ASK), การมอดูเลตเชิงเลขทางความถี่ (frequency shift keying : FSK), การมอดูเลตเชิงเลขทางเฟส (phase shift keying : PSK) โดยการมอดูเลตควอดดราเจอร์เฟสชิฟคีอิ้ง (quadrature phase shift Keying : QPSK) [1] เป็นหนึ่งในหลายรูปแบบที่ได้รับความนิยม ซึ่งการมอดูเลตสัญญาณ QPSK นี้มีการเลื่อนเฟสของสัญญาณไปทั้งหมด 4 ตำแหน่งด้วยกัน ได้แก่ $\pi/4$, $3\pi/4$, $-3\pi/4$ และ $-\pi/4$ เรเดียน ตามรูปแบบของข้อมูล

โดยทั่วไปสัญญาณคลื่นรูปซายน์สามารถเขียนแสดงในรูปแบบของฟังก์ชันทางคณิตศาสตร์ได้ดังนี้

$$s(t) = A\cos\left(\omega_c t - \theta_n\right) \tag{2.1}$$

ให้ A คือแอมพลิจูดของสัญญาณ, ω_c คือความถี่เชิงมุมของคลื่นพาห์และ θ_n คือค่าของเฟสเริ่มต้น และโดยใช้ความสัมพันธ์ทางตรีโกณมิติ $\cos(A-B) = \cos A\cos B + \sin A\sin B$ สามารถเขียนใหม่ตามได้เป็น

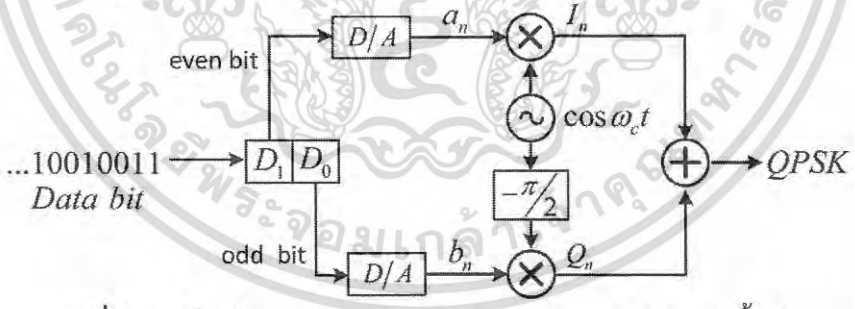
$$s(t) = a_n\cos\left(\omega_c t\right) + b_n\sin\left(\omega_c t\right) \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

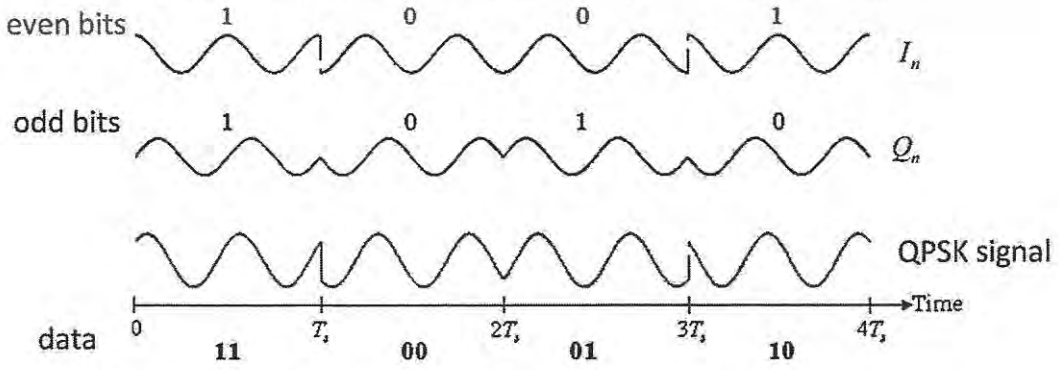
เมื่อกำหนดให้ $a_n = A\cos\theta_n$ และ $b_n = A\sin\theta_n$ ซึ่งจะพบว่า a_n และ b_n เป็นปัจจัยที่ควบคุมตำแหน่งเฟสของสัญญาณ QPSK โดยพารามิเตอร์ทั้งสองนี้คือระดับแรงดันไฟตรงที่สอดคล้องกับข้อมูลบิตดิจิทัล ซึ่งการมอดูเลต QPSK ข้อมูล 1 ชุดจะประกอบด้วยบิตข้อมูล 2 บิต และสามารถมีชุดข้อมูลได้ 4 แบบด้วยกันได้แก่ 00, 01, 10, 11 ซึ่งการสร้างระดับแรงดันไฟตรง a_n และ b_n ในการมอดูเลตต้องใช้การแปลงบิตข้อมูลเป็นระดับแรงดันไฟฟ้า โดยใช้วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (D/A) ดังแสดงบล็อกไดอะแกรมการมอดูเลต QPSK ในรูปที่ 2.1

จากรูปที่ 2.1 บล็อกไดอะแกรมการมอดูเลตสัญญาณ QPSK แบบดั้งเดิม เมื่อบิตข้อมูลเข้ามาในรูปแบบข้อมูลอนุกรม จะถูกเปลี่ยนให้เป็นรูปแบบข้อมูลขนาน โดยจะแยกข้อมูลออกเป็นบิตคู่ (even bits) และบิตคี่ (odd bits) ก่อนเข้าสู่กระบวนการแปลงข้อมูลดิจิทัลเป็นแอนะล็อก ด้วยวงจร D/A เพื่อให้ได้ค่า a_n และ b_n ตามลำดับ จากนั้นเมื่อนำค่าดังกล่าวมาคูณกับสัญญาณคลื่นรูปโคซายน์และสัญญาณคลื่นรูปซายน์ตามลำดับที่มีค่าความถี่เท่ากัน และเมื่อนำเอาต์พุตของวงจรคูณทั้งสองมารวมกันทำให้ได้สัญญาณ QPSK

จากรูปที่ 2.2 ภาพประกอบแสดงความสัมพันธ์ของสัญญาณบิตข้อมูล สัญญาณ I_n, Q_n และสัญญาณ QPSK จากตัวอย่างเมื่อเทียบสัญญาณคลื่นรูปโคซายน์กับสัญญาณ QPSK พบว่าเมื่อบิตคี่และบิตคู่มีค่าเป็น 1 1, 0 0, 1 0 และ 0 1 เฟสของสัญญาณ QPSK จะเลื่อนไปที่ตำแหน่ง $-3\pi/4$, $-\pi/4$, $3\pi/4$ และ $\pi/4$ ตามลำดับ ซึ่งในรูปที่ 2.3 ภาพประกอบการเปลี่ยนเฟสของสัญญาณ QPSK บนระนาบ *I-Q* แสดงถึงการเลื่อนเฟสของสัญญาณในทุกๆ ตำแหน่งเฟส ซึ่งรูปแบบการเปลี่ยนเฟสในตำแหน่งเฟสตรงข้ามของสัญญาณ ทำให้เกิดการเปลี่ยนแปลงแอมพลิจูดของสัญญาณในเวลาอันสั้น ส่งผลให้เกิดองค์ประกอบความถี่สูงในสัญญาณ

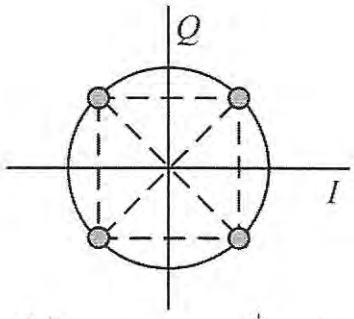


รูปที่ 2.1 บล็อกไดอะแกรมการมอดูเลตสัญญาณ QPSK แบบดั้งเดิม



รูปที่ 2.2 ความสัมพันธ์ของสัญญาณบิตข้อมูล สัญญาณ I_n, Q_n และสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ QPSK บนระนาบ *I-Q*

ทั้งนี้ในปัจจุบันมีการประยุกต์สร้างสัญญาณ QPSK ด้วยวิธีการต่างๆ มากมาย ยกตัวอย่างเช่นในเอกสารอ้างอิงที่ [5-6] เป็นการสร้างสัญญาณ QPSK โดยอาศัยบอร์ด FPGA ซึ่งวิธีดังกล่าวสร้างสัญญาณ QPSK จากบล็อกไดอะแกรมการสร้างแบบดั้งเดิม โดยออกแบบให้สามารถทำงานบนบอร์ดภายใต้ข้อจำกัดของเทคโนโลยีบอร์ด FPGA ตามรุ่นที่เลือกใช้ เช่น ความถี่ที่สามารถใช้ได้, โปรแกรมที่ใช้ออกแบบบน FPGA, อินพุตที่บอร์ดสามารถรับได้ เป็นต้น ในปัจจุบันราคาของบอร์ด FPGA ยังมีราคาค่อนข้างสูง ทำให้ต้นทุนการผลิตแพงกว่าเมื่อเทียบกับการสร้างด้วยวิธีอื่นๆ

ในเอกสารอ้างอิงที่ [7] นำเสนอการสร้างสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูป ซึ่งวิธีดังกล่าวใช้ความสัมพันธ์ของอัตราขยายภายในวงจรเฟสล็อคลูปที่มีผลต่อการเลื่อนเฟสของสัญญาณเอาต์พุต โดยเพิ่มวงจรขยายเข้าไปในตำแหน่งระหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO และให้บิตข้อมูลควบคุมอัตราขยายของวงจรขยาย ทำให้เฟสของสัญญาณเอาต์พุตเลื่อนไปในตำแหน่งที่ต้องการ โดยกระบวนการในวงจรเฟสล็อคลูปสามารถเลื่อนเฟสได้เพียง 2 ตำแหน่งคือ $\pi/4$ และ $3\pi/4$ เรเดียน จึงจำเป็นต้องใช้วงจรขยายที่สามารถปรับค่าอัตราขยายตามบิตข้อมูลอีกวงจร ในการเลื่อนเฟสสัญญาณเอาต์พุตไปในตำแหน่ง $-\pi/4$ และ $-3\pi/4$ เรเดียน ทำให้การเลื่อนเฟสของสัญญาณเอาต์พุตมีทั้งแบบต่อเนื่องและไม่ต่อเนื่องในสัญญาณเดียวกัน ซึ่งยากต่อการออกแบบวงจรดีมอดูเลตสัญญาณ

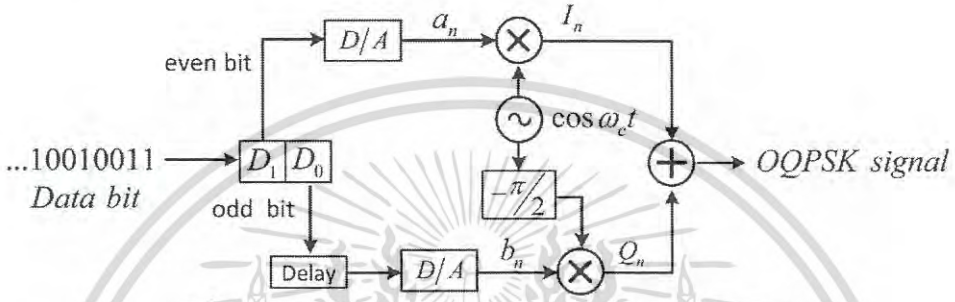
นอกจากนี้ในเอกสารอ้างอิงที่ [8] Nakul Birla, Jasmeen Patel และ Pavithra Balaji ได้สร้างสัญญาณ QPSK โดยใช้การจำลองด้วยโปรแกรมคอมพิวเตอร์ ซึ่งบิตข้อมูลจะถูกแยกออกเป็นบิตคี่และบิตคู่ตามตำแหน่งของลำดับที่เข้ามา เริ่มจากการนำข้อมูลในตำแหน่งบิตคี่ไปสร้างสัญญาณ BASK 2 สัญญาณ ที่มีเฟสต่างกัน $\pi/2$ เรเดียน เป็นคลื่นพาห์ สัญญาณ BASK ที่ 1 เป็นสัญญาณคลื่นพาห์ที่ไม่เลื่อนเฟส โดยจะมีสัญญาณปรากฏเมื่อมีบิตข้อมูลเป็น 1 และมีแอมพลิจูดเป็นศูนย์ เมื่อบิตข้อมูลเป็น 0 สัญญาณ BASK ที่ 2 เป็นสัญญาณคลื่นพาห์ที่ถูกเลื่อนเฟสไป $\pi/2$ เรเดียน โดยจะมีสัญญาณปรากฏเมื่อมีบิตข้อมูลเป็น 0 และไม่มีสัญญาณปรากฏ เมื่อบิตข้อมูลเป็น 1 เมื่อนำสัญญาณ BASK ที่ 1 และ 2 มารวมกันจะได้สัญญาณ BPSK ทำแบบเดียวกันนี้กับบิตคู่โดยใช้สัญญาณคลื่นพาห์ที่มีเฟสต่างกัน $\pi/2$ เรเดียนจากสัญญาณ BPSK ที่ 1 ก็จะได้สัญญาณ BPSK ทั้งหมด 2 สัญญาณ และเมื่อนำสัญญาณ BPSK ทั้งสองมาผ่านวงจรรวมสัญญาณจะได้เอาต์พุตเป็นสัญญาณ QPSK ในงานวิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังกล่าวมีการสร้างสัญญาณหลายประเภทภายในวงจรมอดูเลต ทำให้มีความซับซ้อนและยุ่งยากในการสร้างสัญญาณ QPSK อีกทั้งมีเพียงผลการจำลองทางโปรแกรมทางคอมพิวเตอร์เท่านั้น

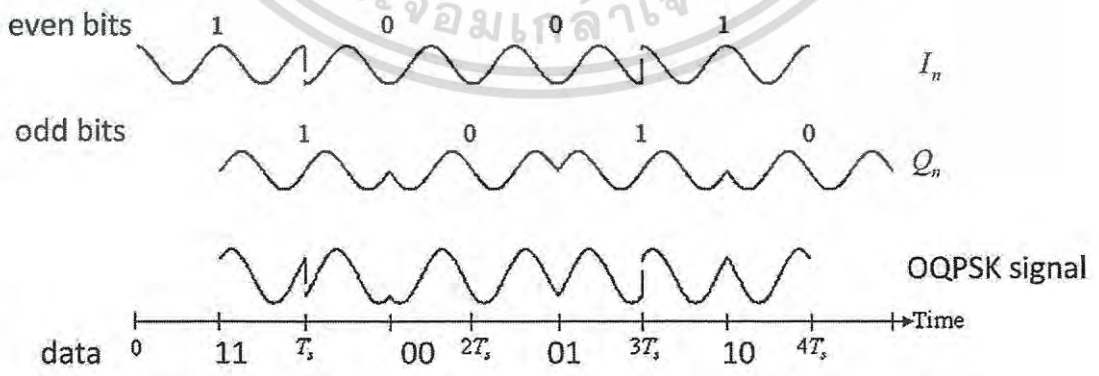
2.3 การมอดูเลตสัญญาณ offset-QPSK (OQPSK)

การมอดูเลตสัญญาณ offset-QPSK (OQPSK) [2] เป็นความพยายามที่จะลดขนาดขององค์ประกอบความถี่สูงที่เกิดในสัญญาณ QPSK ซึ่งมีการทำงานของวงจรมอดูเลตตามบล็อกไดอะแกรมในรูปที่ 2.4



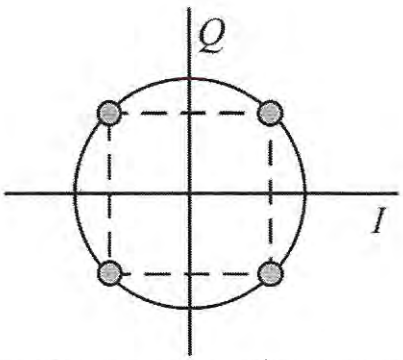
รูปที่ 2.4 บล็อกไดอะแกรมการมอดูเลตสัญญาณ OQPSK

การมอดูเลตสัญญาณ OQPSK ใช้เทคนิคหน่วงเวลาบิตข้อมูลหนึ่งตัว จากรูปที่ 2.4 เป็นการหน่วงเวลาบิตข้อมูล *D0* โดยจะหน่วงเวลาเท่ากับครึ่งหนึ่งของระยะเวลาการเกิดข้อมูลหนึ่งชุด (symbol-period) ในรูปที่ 2.5 แสดงความสัมพันธ์ทางเวลาของสัญญานบิตข้อมูลคู่และคี่ สัญญาณ I_n, Q_n และสัญญาณ OQPSK ซึ่งมีระยะเวลาในการหน่วงเท่ากับ $T_s/2$ ด้วยวิธีการดังกล่าวจะทำให้การเปลี่ยนเฟสเกิดขึ้นในสัญญาณ I_n และ Q_n เกิดขึ้นคนละช่วงเวลา ทำให้สัญญาณ OQPSK เปลี่ยนเฟสทีละบิต จึงมีการเปลี่ยนเฟสสูงสุดเพียง $\pi/2$ เรเดียน ซึ่งน้อยกว่าการเปลี่ยนเฟสในสัญญาณ QPSK ที่มีการเปลี่ยนเฟสสูดสุดถึง π เรเดียน ในรูปที่ 2.6 แสดงการเปลี่ยนเฟสของสัญญาณ OQPSK บนระนาบ *I-Q*



รูปที่ 2.5 ความสัมพันธ์สัญญานบิตข้อมูล สัญญาณ I_n, Q_n และสัญญาณ OQPSK

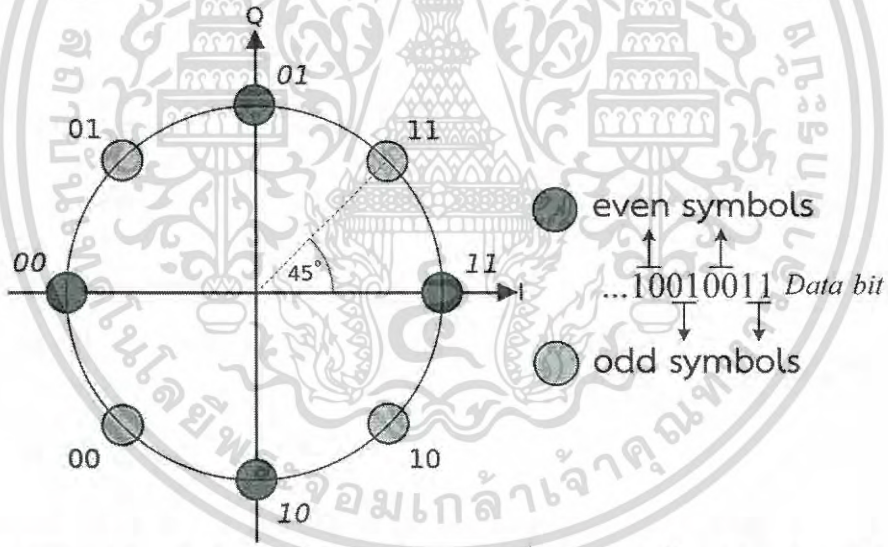
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ OQPSK บนระนาบ *I-Q*

2.4 การมอดูเลตสัญญาณ $\pi/4$–QPSK

การมอดูเลตสัญญาณ QPSK และ OQPSK มีคอนสเตลเลชันไดอะแกรมบนระนาบ *I-Q* 4 ตำแหน่งด้วยกัน แต่สำหรับการมอดูเลตสัญญาณ $\pi/4$–QPSK [3] ใช้ตำแหน่งบนระนาบ *I-Q* ทั้งหมด 8 ตำแหน่ง โดยแยกตำแหน่งสำหรับชุดข้อมูลคู่ (even symbols) และ ชุดข้อมูลคี่ (odd symbols) ออกจากกันดังที่แสดงในรูปที่ 2.7 โดยวิธีการแบ่งชุดข้อมูลเป็นชุดข้อมูลคู่และชุดข้อมูลคี่ ทำให้สามารถลดการเปลี่ยนเฟสสูงสุดเมื่อเทียบกับสัญญาณ QPSK จาก π เรเดียน เหลือ $3\pi/4$ เรเดียน



รูปที่ 2.7 ภาพประกอบคอนสเตลเลชันไดอะแกรมการเปลี่ยนเฟสของสัญญาณ $\pi/4$–QPSK บนระนาบ *I-Q*

นอกจากคอนสเตลเลชันไดอะแกรมที่แตกต่างไปจาก QPSK แบบดั้งเดิมแล้ว การสื่อถึงชุดข้อมูลที่ส่งมาในรูปแบบการเปลี่ยนเฟสก็ต่างออกไปด้วย โดยปกติแล้วสัญญาณ QPSK จะใช้ความต่างเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณ QPSK เพื่อบอกถึงชุดข้อมูลที่ส่ง ทำให้ภาครับต้องหาวิธีการให้ได้มาซึ่งสัญญาณอ้างอิง แต่สัญญาณ $\pi/4$–QPSK ใช้วิธีสื่อถึงชุดข้อมูลที่ส่งด้วยความต่างเฟสระหว่างตำแหน่งเฟสของสัญญาณชุดข้อมูลก่อนหน้ากับตำแหน่งเฟสของสัญญาณชุดข้อมูลชุดถัดมา ทำให้ฝั่งรับไม่จำเป็นต้องมีสัญญาณอ้างอิงเพื่อมาเปรียบเทียบความต่างเฟส ด้วยวิธีการดังกล่าวทำให้การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบวงจรมอดูเลตสัญญาณ $\pi/4$–QPSK ในส่วนของวงจร D/A มีความซับซ้อนกว่าการมอดูเลตสัญญาณ QPSK เนื่องจากต้องมีการพิจารณาตำแหน่งเฟสก่อนหน้า (θ_{n-1}) และปริมาณเฟสที่ต้องเปลี่ยน (φ_n) ในการคำนวนหาตำแหน่งเฟสปัจจุบัน (θ_n) โดยสามารถเขียนสมการของสัญญาณ $\pi/4$–QPSK และแสดงการวิเคราะห์ได้ดังนี้

$$s_{\frac{\pi}{4}QPSK}(t) = A\cos(\omega_c t - \theta_n) \tag{2.3}$$

ให้ A คือแอมพลิจูดของสัญญาณ, ω_c คือความถี่เชิงมุมของคลื่นพาห์และ θ_n คือค่าเฟส ซึ่งสมการที่ 2.3 นี้ เขียนใหม่ตามความสัมพันธ์ทางตรีโกณมิติ $\cos(A-B) = \cos A\cos B + \sin A\sin B$ ได้เป็น

$$s_{\frac{\pi}{4}QPSK}(t) = A\cos\theta_n\cos\omega_c t + A\sin\theta_n\sin\omega_c t \tag{2.4}$$

จากสมการที่ 2.4 ค่าของ $A\cos\theta_n$ และ $A\sin\theta_n$ ไม่สามารถกำหนดค่าให้คงที่เหมือนกับกรณีการมอดูเลต QPSK ทั่วไปได้แต่จะต้องคำนึงถึงเฟสก่อนหน้าด้วย ซึ่งสามารถเขียนเป็นสมการความสัมพันธ์ระหว่างตำแหน่งเฟสปัจจุบัน (θ_n) กับ ตำแหน่งเฟสก่อนหน้า (θ_{n-1}) คือ

$$\theta_n = \theta_{n-1} + \varphi_n \tag{2.5}$$

กำหนดให้ φ_n คือปริมาณเฟสที่เปลี่ยน แทนสมการที่ 2.5 ลงใน สมการที่ 2.4 จะได้

$$s_{\frac{\pi}{4}QPSK}(t) = A\cos(\theta_{n-1} + \varphi_n)\cos\omega_c t + A\sin(\theta_{n-1} + \varphi_n)\sin\omega_c t \tag{2.6}$$

เขียนสมการที่ 2.6 ใหม่ได้ดังนี้

$$\begin{aligned} s_{\frac{\pi}{4}QPSK}(t) &= A[\cos\theta_{n-1}\cos\varphi_n - \sin\theta_{n-1}\sin\varphi_n]\cos\omega_c t \\ &\quad + A[\sin\theta_{n-1}\cos\varphi_n + \cos\theta_{n-1}\sin\varphi_n]\sin\omega_c t \end{aligned} \tag{2.7}$$

ซึ่งค่าปริมาณเฟสที่เปลี่ยน (φ_n) เป็นการกำหนดโดยผู้ส่งและผู้รับ ดังตัวอย่างในตารางที่ 2.1

ตารางที่ 2.1 ตัวอย่างความสัมพันธ์ของชุดข้อมูลกับค่าปริมาณเฟสที่เปลี่ยน (φ_n) ของสัญญาณ $\pi/4$–QPSK

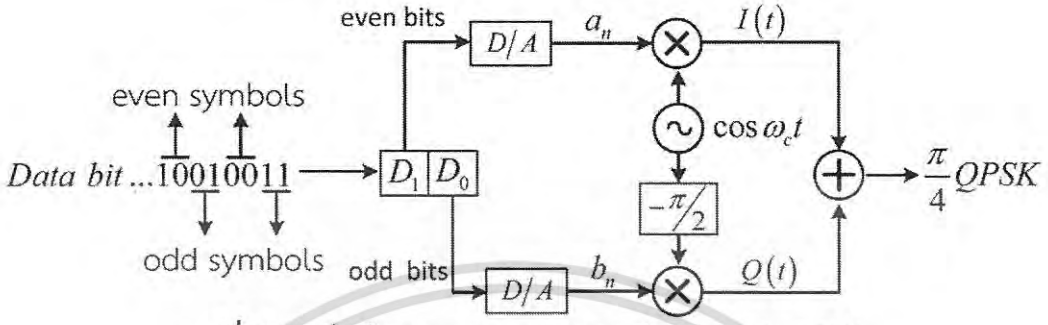
ค่าปริมาณเฟสที่เปลี่ยน (φ_n)	ชุดบิตข้อมูล
$\pi/4$	11
$3\pi/4$	00
$-\pi/4$	01
$-3\pi/4$	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.7 สามารถเขียนค่าสัมประสิทธิ์หน้า $\cos\omega_c t$ และ $\sin\omega_c t$ ในรูป a_n และ b_n ได้คือ

$$s_{\frac{\pi}{4}QPSK}(t) = a_n \cos(\omega_c t) + b_n \sin(\omega_c t) \tag{2.8}$$

ทั้งนี้บล็อกไดอะแกรมการมอดูเลตสัญญาณ $\pi/4$–QPSK แสดงในรูปที่ 2.8



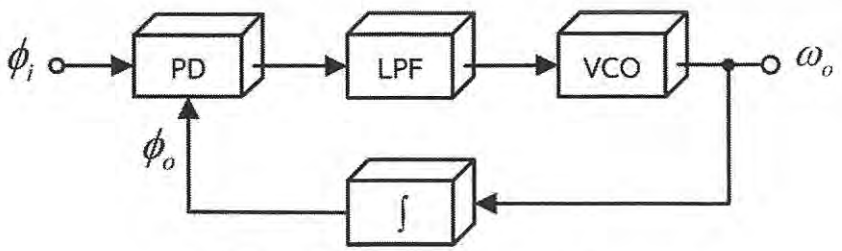
รูปที่ 2.8 บล็อกไดอะแกรมการมอดูเลตสัญญาณ $\pi/4$–QPSK

2.5 ระบบเฟสล็อคลูป (phase locked loop : PLL)

ระบบเฟสล็อคลูป คือ ระบบป้อนกลับที่ทำหน้าที่สร้างสัญญาณเอาต์พุตให้สอดคล้องกับสัญญาณอ้างอิงของระบบ โดยอาศัยการเปรียบเทียบความต่างเฟสของสัญญาณอ้างอิงและสัญญาณเอาต์พุต โดยระบบเฟสล็อคลูปสามารถนำไปประยุกต์ใช้งานได้หลากหลาย เช่น การมอดูเลตเชิงความกว้างพัลส์, การมอดูเลตเชิงตำแหน่งพัลส์, การดีมอดูเลตสัญญาณมอดูเลตทางขนาด, การดีมอดูเลตสัญญาณมอดูเลตทางความถี่ หรือในด้านการควบคุม เช่น การควบคุมความเร็วมอเตอร์ โดยการควบคุมกำลังไฟฟ้าที่ป้อนให้แก่โหลด เป็นต้น องค์ประกอบของระบบเฟสล็อคลูปประกอบไปด้วยระบบย่อย 4 ส่วนหลักๆ ได้แก่

1. ตัวตรวจจับความต่างเฟส (Phase Detector : PD)
2. ตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF)
3. ตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Control Oscillator : VCO)
4. ตัวทำปริพันธ์ (Integrator)

โดยมีการเชื่อมต่อของระบบย่อยเป็นไปตามรูปที่ 2.9 เพื่อทำความเข้าใจส่วนประกอบของระบบเฟสล็อคลูปจึงขออธิบายการทำงานของระบบย่อยแต่ละส่วน ดังต่อไปนี้

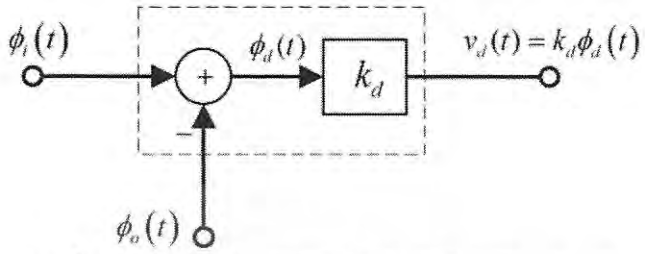


รูปที่ 2.9 บล็อกไดอะแกรมระบบเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 ตัวตรวจจับความต่างเฟส (phase detector : PD)

ตัวตรวจจับความต่างเฟสมีหน้าที่ในการเปรียบเทียบความต่างเฟสของสัญญาณอินพุตที่เข้ามา โดยมีสัญญาณเอาต์พุตคือค่าความต่างเฟสของสองสัญญาณ ซึ่งแสดงได้ตามบล็อกไดอะแกรมรูปที่ 2.10 และสามารถเขียนเป็นสมการที่ 2.9



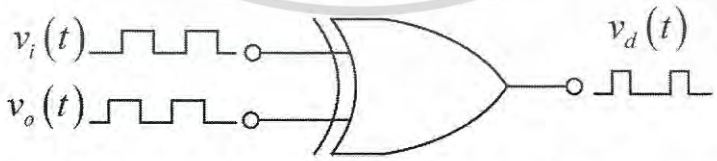
รูปที่ 2.10 บล็อกไดอะแกรมตัวตรวจจับความต่างเฟส

$$\begin{aligned} v_d(t) &= k_d\left(\phi_i(t) - \phi_o(t)\right) \\ &= k_d\phi_d(t) \end{aligned} \tag{2.9}$$

กำหนดให้ $\phi_i(t)$ และ $\phi_o(t)$ คือเฟสของสัญญาณอินพุต, $\phi_d(t)$ คือผลต่างของเฟสสัญญาณอินพุต, ค่า k_d คือค่าคงที่ของตัวตรวจจับความต่างเฟส, $v_d(t)$ คือสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟส ซึ่งสามารถยกตัวอย่างตัวตรวจจับความต่างเฟสและการทำงานได้ดังนี้

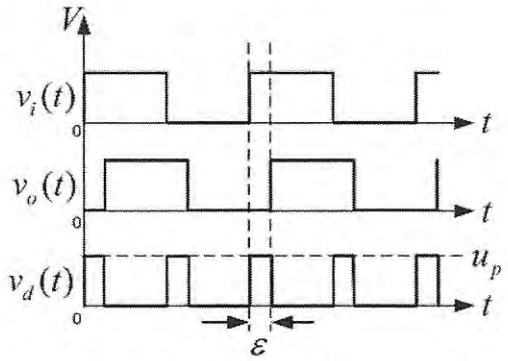
1. ตัวตรวจจับความต่างเฟสชนิด exclusive or gate (xor gate)

xor gate เป็นหนึ่งในเกตพื้นฐานของลอจิกเกต ซึ่งเป็นตัวดำเนินการทางตรรกศาสตร์ ทำงานโดยใช้ข้อมูลอย่างน้อยสองค่าในการคำนวณและให้ผลการคำนวณออกมาเป็นเอาต์พุตหนึ่งค่า ตามรูปที่ 2.11 การนำ xor gate มาประยุกต์เป็นตัวตรวจจับความต่างเฟส จะอาศัยตารางค่าความจริงตามตารางที่ 2.2 ในการทำงาน โดยคุณสมบัติหนึ่งของตัวตรวจจับความต่างเฟสชนิด xor gate คือ ความถี่ของสัญญาณเอาต์พุตจะมีค่าเป็นสองเท่าของสัญญาณอินพุตทั้งสอง ทำให้สามารถตรวจจับความต่างเฟสได้สูงสุด π เรเดียน ดังแสดงตัวอย่างความสัมพันธ์ของสัญญาณอินพุตทั้งสองกับสัญญาณเอาต์พุตในรูปที่ 2.12



รูปที่ 2.11 โครงสร้างตัวตรวจจับความต่างเฟสชนิด xor gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

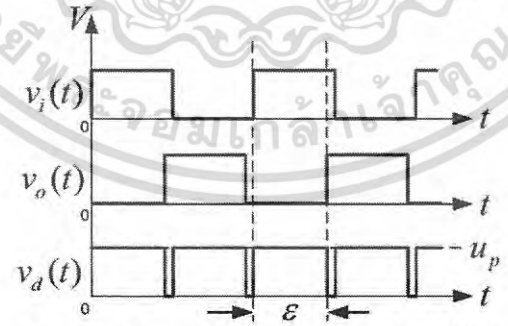


รูปที่ 2.12 ความสัมพันธ์ของความต่างเฟสของสัญญาณอินพุตและสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟสชนิด xor gate

ตารางที่ 2.2 ค่าความจริงของ xor gate

สัญญาณอินพุต		สัญญาณเอาต์พุต
$v_i(t)$	$v_o(t)$	$v_d(t)$
0	0	0
1	0	1
0	1	1
1	1	0

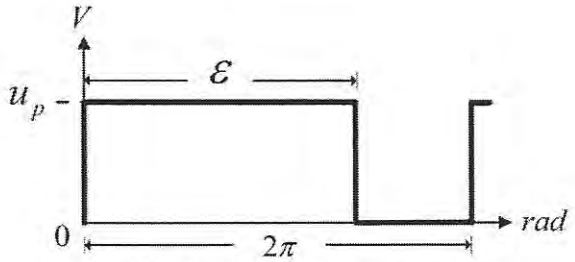
จากรูปที่ 2.12 กำหนดให้สัญญาณอินพุตทั้งสองสัญญาณเป็นสัญญาณรูปสี่เหลี่ยมที่ความถี่เดียวกัน มีค่าแรงดันสูงสุดของสัญญาณ $v_d(t)$ คือ u_p และความกว้างพัลส์ของสัญญาณ $v_d(t)$ คือ ε ซึ่งความกว้างพัลส์ของสัญญาณเอาต์พุตจะแปรผันตามความต่างเฟสของสัญญาณอินพุต และค่าแรงดันเฉลี่ยของสัญญาณเอาต์พุตมีค่ามากขึ้น เมื่อผลต่างเฟสของสัญญาณอินพุตสองตัวเข้าใกล้ π เรเดียน ดังแสดงในรูปที่ 2.13



รูปที่ 2.13 ความสัมพันธ์ของสัญญาณอินพุตและสัญญาณเอาต์พุตเมื่อสัญญาณอินพุตมีความต่างเฟสเข้าใกล้ π เรเดียน

จากรูปที่ 2.12 และ 2.13 เมื่อค่าความต่างเฟสเพิ่มขึ้น ทำให้สัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟสมีค่าความกว้างพัลส์เพิ่มขึ้นด้วย ซึ่งค่าเฉลี่ยไฟตรงก็จะมีค่าเพิ่มขึ้นด้วย โดยการหาค่าเฉลี่ยไฟตรงในสัญญาณจะพิจารณาค่าความกว้างพัลส์ที่เกิดขึ้นใน 1 คาบดังรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 สัญญาณความต่างเฟส

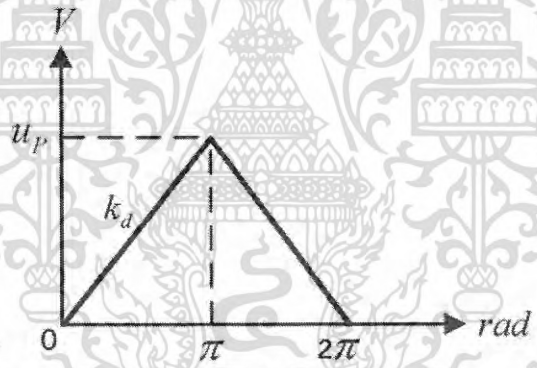
จากรูปที่ 2.14 ค่าเฉลี่ยไฟตรงคืออัตราส่วนของช่วงความกว้างพัลส์บวกต่อคาบเวลา โดยสามารถเขียนได้ตามสมการที่ 2.10

$$DC_p = \frac{u_p \varepsilon}{2\pi} \tag{2.10}$$

กำหนดให้ u_p คือ แอมพลิจูดของสัญญาณความต่างเฟส (Volt)

ε คือ ความกว้างพัลส์ที่มีค่าระดับสัญญาณไฟเป็นบวก (Radian)

เมื่อนำความต่างเฟสของสัญญาณอินพุตทั้งสองเขียนกราฟเทียบกับแรงดันเอาต์พุตเฉลี่ยของสัญญาณ $v_d(t)$ จะได้กราฟตามรูปที่ 2.15 ซึ่งความชันของกราฟคือค่า k_d ดังสมการที่ 2.11



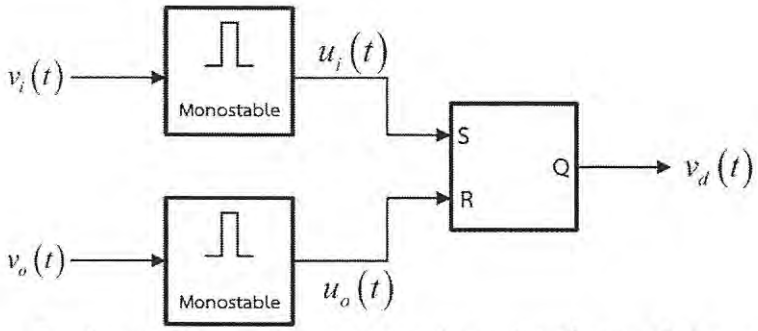
รูปที่ 2.15 แรงดันเฉลี่ยของสัญญาณเอาต์พุตเทียบกับความต่างเฟสแบบ xor gate

$$k_d = \frac{u_p}{\pi} \left(V/_{rad}\right) \tag{2.11}$$

2. วงจรตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและ โมโนสเตเบิลมัลติไวเบรเตอร์

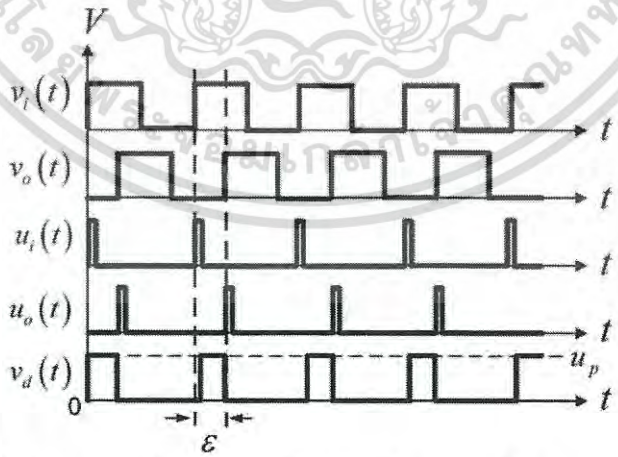
วงจรตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและ โมโนสเตเบิลมัลติไวเบรเตอร์เป็นตัวตรวจจับความต่างเฟสชนิดดิจิทัลอีกชนิดหนึ่ง เช่นเดียวกับตัวตรวจจับความต่างเฟส xor gate ตัวตรวจจับความต่างเฟสชนิดนี้ประกอบด้วย 2 ส่วน คือ ส่วนของอาร์เอสฟลิปฟล็อปและส่วนของวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 โครงสร้างตัวตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและโมโนสเตเบิลมัลติไวเบรเตอร์

จากรูปที่ 2.16 สามารถอธิบายการทำงานของระบบพร้อมยกตัวอย่างการหาความต่างเฟสได้ตามรูปที่ 2.17 โดยกำหนดให้ $v_i(t)$ และ $v_o(t)$ เป็นสัญญาณสี่เหลี่ยมที่มีความถี่เท่ากันเป็นสัญญาณอินพุตให้กับโมโนสเตเบิลมัลติไวเบรเตอร์ ซึ่งจะให้สัญญาณเอาต์พุตเป็นสัญญาณพัลส์ทุกครั้งเมื่อพบสัญญาณขอบขาขึ้น โดยในรูปที่ 2.16 และ 2.17 สัญญาณเอาต์พุตของโมโนสเตเบิลมัลติไวเบรเตอร์คือสัญญาณ $u_i(t)$ และ $u_o(t)$ ซึ่งสัญญาณ $u_i(t)$ จะเป็นสัญญาณอินพุตให้กับอาร์เอสฟลิปฟล็อปที่ขา S และสัญญาณ $u_o(t)$ จะเป็นสัญญาณอินพุตในกับอาร์เอสฟลิปฟล็อปที่ขา R โดยการทำงานของอาร์เอสฟลิปฟล็อปอ้างอิงจากตารางค่าความจริงในตารางที่ 2.3 โดยสัญญาณเอาต์พุต $v_d(t)$ ที่ได้เป็นสัญญาณที่มีความกว้างพัลส์ (ε) แปรผันตามค่าความต่างเฟสของสัญญาณอินพุต ด้วยวิธีการตรวจจับความต่างเฟสดังกล่าวความถี่ของสัญญาณเอาต์พุตจากตัวตรวจจับความต่างเฟสนี้จึงมีความถี่เท่ากับสัญญาณอินพุตและทำให้สามารถตรวจจับความต่างเฟสได้สูงสุด 2π เรเดียน โดยแสดงความสัมพันธ์ของสัญญาณอินพุตและสัญญาณเอาต์พุต เมื่อมีค่าความต่างเฟสเข้าใกล้ 2π เรเดียน ในรูปที่ 2.18



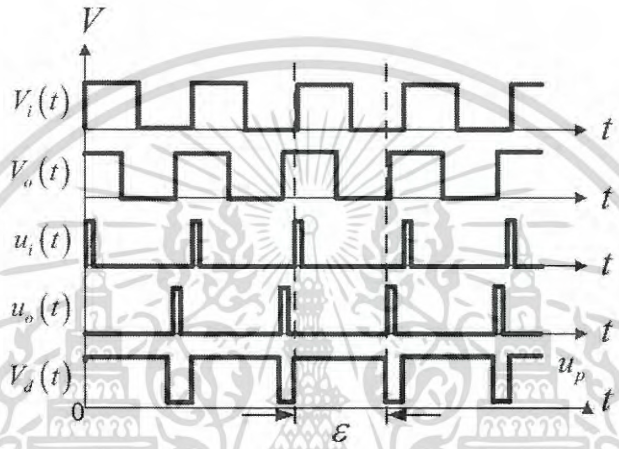
รูปที่ 2.17 ความสัมพันธ์ของความต่างเฟสของสัญญาณอินพุตและสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟสชนิดอาร์เอสฟลิปฟล็อปและโมโนสเตเบิลมัลติไวเบรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

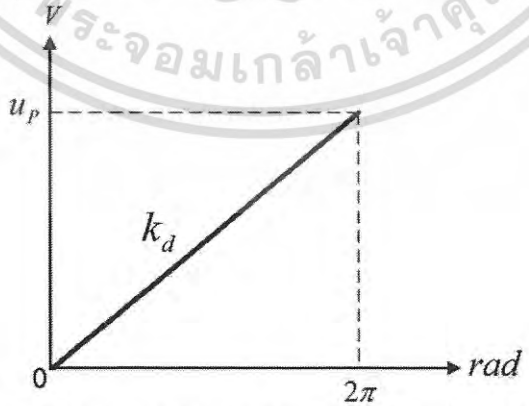
ตารางที่ 2.3 ค่าความจริงของอาร์เอสฟลิปฟล็อปgate

สัญญาณอินพุต		สัญญาณเอาต์พุต
$u_i(t)$	$u_o(t)$	$v_d(t)$
0	0	ไม่เปลี่ยนแปลง
0	1	0
1	0	1
1	1	0



รูปที่ 2.18 สัญญาณเปรียบเทียบเฟส เมื่อสัญญาณอินพุตมีความต่างเฟส 2π เรเดียน

จากรูปที่ 2.18 เมื่อค่าความต่างเฟสมีค่าประมาณ 2π เรเดียน จะทำให้สัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสมีค่าความกว้างพัลส์บวกประมาณเท่ากับหนึ่งคาบเวลา ทั้งนี้เมื่อนำความต่างเฟสของสัญญาณอินพุตทั้งสองเขียนกราฟเทียบกับแรงดันเอาต์พุตเฉลี่ยของสัญญาณ $v_d(t)$ จะได้กราฟตามรูปที่ 2.19 ซึ่งความชันของกราฟคือค่า k_d ดังสมการที่ 2.12



รูปที่ 2.19 ค่าความต่างเฟสของอินพุตเทียบกับแรงดันเฉลี่ยของสัญญาณเอาต์พุต

$$k_d = \frac{u_P}{2\pi};\left(V/_{rad}\right) \tag{2.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
148810

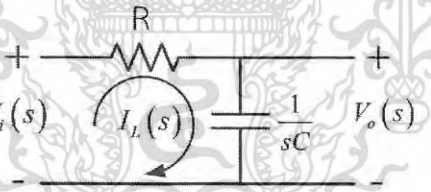
2.5.2 ตัวกรองความถี่ต่ำผ่าน (Low-Pass Filter : LPF)

ตัวกรองความถี่ต่ำผ่านทำหน้าที่กรองความถี่ที่สูงกว่าค่าความถี่ตัด (ω_c) ออกไปให้เหลือแต่ความถี่ที่ต้องการตามฟังก์ชันถ่ายโอนของตัวกรอง โดยในระบบเฟสล็อคลูปตัวกรองความถี่ต่ำผ่านถูกวางในตำแหน่งระหว่างตัวตรวจจับความต่างเฟสและตัว VCO เพื่อทำหน้าที่แปลงค่าความต่างเฟสจากตัวตรวจจับความต่างเฟสเป็นระดับไฟตรงสำหรับเป็นสัญญาณอินพุตให้กับตัว VCO ซึ่งบล็อกไดอะแกรมตัวกรองความถี่ต่ำผ่านแสดงได้ดังรูปที่ 2.20 และเขียนสมการสัญญาณเอาต์พุตของตัวกรองความถี่ต่ำผ่านได้ดังสมการที่ 2.13 โดยที่ $V_d(s)$ คือ สัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟส, $V_L(s)$ คือ สัญญาณเอาต์พุตของตัวกรองความถี่ต่ำผ่าน, $F(s)$ คือ ฟังก์ชันถ่ายโอนของตัวกรองความถี่ต่ำผ่าน

รูปที่ 2.20 บล็อกไดอะแกรมตัวกรองความถี่ต่ำผ่าน

$$V_L(s)=F(s)V_d(s) \tag{2.13}$$

โดยวงจรกรองความถี่ต่ำผ่านที่นิยมใช้ในวงจรเฟสล็อคลูป เป็นวงจรกรองความถี่ต่ำผ่านชนิดพาสซีฟอันดับที่หนึ่ง ซึ่งมีโครงสร้างประกอบไปด้วย ตัวต้านทานและตัวเก็บประจุอย่างละหนึ่งตัว ดังแสดงโครงสร้างได้ในรูปที่ 2.21



รูปที่ 2.21 วงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่ง

จากรูปที่ 2.21 สามารถวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจร โดยกำหนดตัวแปรดังนี้

$V_i(s)$ คือ ความต่างศักดิ์ไฟฟ้าของสัญญาณอินพุต
$V_o(s)$ คือ ความต่างศักดิ์ไฟฟ้าของสัญญาณเอาต์พุต
$I_L(s)$ คือ กระแสไฟฟ้าในตัวกรองความถี่ต่ำผ่าน

จากรูปที่ 2.21 จะได้

$$V_i(s)=I_L(s)R+\frac{I_L(s)}{sC} \tag{2.14}$$

และ

$$V_o(s)=\frac{I_L(s)}{sC} \tag{2.15}$$

ซึ่งฟังก์ชันถ่ายโอน $F(s)$ ของวงจรกรองความถี่ต่ำผ่านคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(s)=\frac{\frac{1}{RC}}{s+\frac{1}{RC}} \tag{2.16}$$

จากสมการที่ 2.16 เมื่อแทน $s=j\omega$ แล้วพิจารณาหาค่าความถี่ตัด (ω_c) ของตัวกรองความถี่ต่ำผ่าน โดยจะถือเอาความถี่ที่กำลังเอาต์พุตลดลงครึ่งหนึ่งจากกำลังสูงสุดของเอาต์พุตเป็นค่าความถี่ตัด ซึ่งเมื่อพิจารณาได้ความสัมพันธ์ของค่าความถี่ตัดกับค่า R และ C ในตัวกรองความถี่คือ

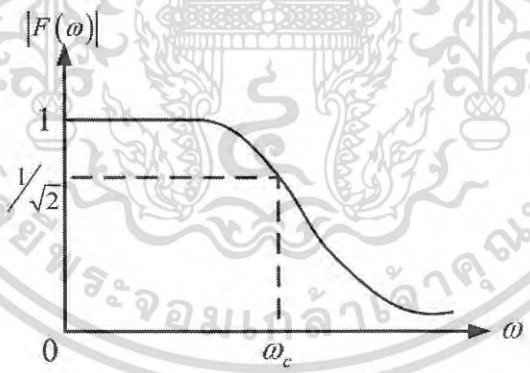
$$\omega_c=\frac{1}{RC} \tag{2.17}$$

และมีค่าผลตอบสนองขนาดทางความถี่ (magnitude response) และผลตอบสนองเฟสทางความถี่ (phase response) แสดงดังสมการที่ 2.18 และ 2.19 ตามลำดับ

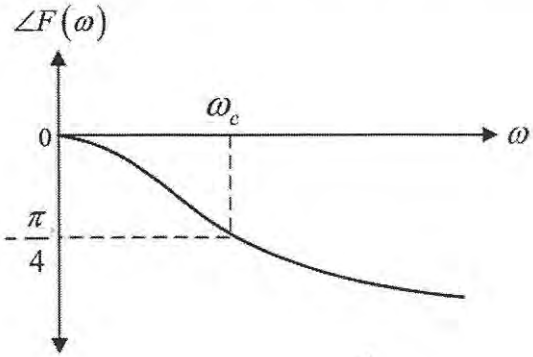
$$|F(\omega)|=\frac{1}{\sqrt{1+(\omega/\omega_c)^2}} \tag{2.18}$$

$$\angle F(\omega)=-\arctan\left(\frac{\omega}{\omega_c}\right) \tag{2.19}$$

จากสมการที่ 2.18 และ 2.19 สามารถแสดงเป็นกราฟของผลตอบสนองขนาดทางความถี่ และผลตอบสนองเฟสทางความถี่ได้ดังรูปที่ 2.22 และ 2.23



รูปที่ 2.22 กราฟผลตอบสนองขนาดทางความถี่ของวงจรกรองความถี่ต่ำผ่าน



รูปที่ 2.23 กราฟผลตอบสนองเฟสทางความถี่ของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 ตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Control Oscillator : VCO)

ตัวออสซิลเลเตอร์ควบคุมด้วยแรงดันทำงานโดยมีสัญญาณอินพุตเป็นระดับแรงดันไฟตรง และให้กำเนิดสัญญาณที่มีคาบเป็นสัญญาณเอาต์พุต โดยประโยชน์ของวงจร VCO สามารถนำมาประยุกต์ใช้สร้างสัญญาณนาฬิกาอ้างอิง (reference clock signal) ให้แก่ระบบ หรือใช้สร้างสัญญาณคลื่นพาห์ (carrier signal) เพื่อใช้ในการมอดูเลตสัญญาณ อย่างเช่น การมอดูเลตแบบ FM หรือ FSK เป็นหนึ่งในระบบย่อยของระบบเฟสล็อคลูป เป็นต้น ซึ่งวงจร VCO โดยทั่วๆ ไปสามารถแบ่งตามลักษณะรูปแบบสัญญาณเอาต์พุตเป็น 2 ประเภท คือ

1.1 สัญญาณเอาต์พุตในรูปแบบคลื่นรูปซายน์ (sinusoidal waveform)

เป็นวงจร VCO ที่ให้สัญญาณเอาต์พุตเป็นสัญญาณคลื่นรูปซายน์ ที่ค่าความถี่ต่างๆ แปรผันตามระดับแรงดันไฟตรงที่เป็นสัญญาณอินพุต

1.2 สัญญาณเอาต์พุตที่ไม่ใช่ในรูปแบบคลื่นรูปซายน์ (non-sinusoidal waveform)

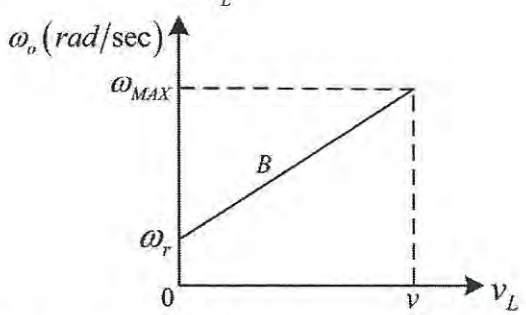
ทำงานเหมือนกับวงจร VCO ที่ให้สัญญาณเอาต์พุตเป็นสัญญาณในรูปแบบคลื่นรูปซายน์ แต่สัญญาณเอาต์พุตที่ได้จะเป็นสัญญาณรูปต่างๆ เช่น สัญญาณสี่เหลี่ยมหรือสามเหลี่ยม เป็นต้น อย่างไรก็ตามวงจร VCO ทั้งสองประเภทต่างมีพื้นฐานการทำงานแบบเดียวกัน ทั้งนี้สามารถเขียนบล็อกไดอะแกรมการทำงานได้ตามรูปที่ 2.24 และสามารถเขียนแสดงสัญญาณเอาต์พุตเป็นสมการทางคณิตศาสตร์ได้ดังสมการที่ 2.20

รูปที่ 2.24 บล็อกไดอะแกรมตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน

$$\omega_o = Bv_L + \omega_r \tag{2.20}$$

โดยกำหนดให้ v_L คือ ค่าแรงดันของสัญญาณอินพุต, ω_o คือ ความถี่ของสัญญาณเอาต์พุต, ω_r คือ ความถี่ของสัญญาณเอาต์พุตเมื่อสัญญาณอินพุตเป็นศูนย์และ B คือ ค่าคงที่ของวงจร VCO เมื่อนำค่า v_L ไปเขียนกราฟเทียบกับค่า ω_o จะได้ดังรูปที่ 2.25 ซึ่งค่าความชันของกราฟคือค่า B ดังสมการที่ 2.21

$$B = \frac{\Delta\omega_o}{\Delta v_L} \tag{2.21}$$

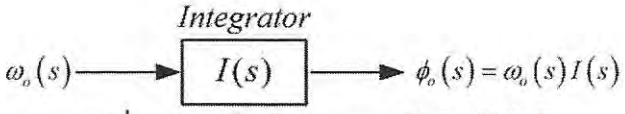


รูปที่ 2.25 กราฟแสดงความสัมพันธ์ของตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 ตัวทำปริพันธ์ (Integrator)

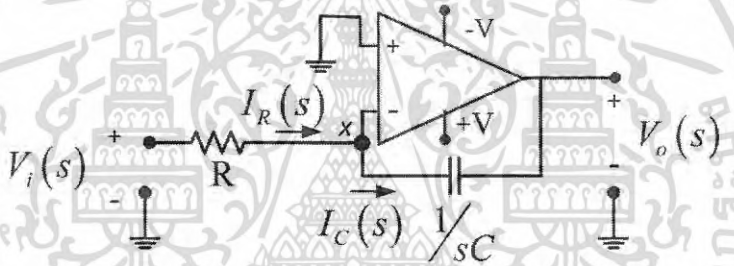
ตัวทำปริพันธ์ เป็นระบบย่อยแบบหนึ่งของระบบควบคุมต่างๆ ซึ่งมีบล็อกไดอะแกรมแสดงในรูปที่ 2.26 และเขียนสมการสัญญาณเอาต์พุตของตัวทำปริพันธ์ได้ดังสมการที่ 2.22 โดยที่ $\omega_o(s)$ คือ สัญญาณเอาต์พุตของ VCO, $\phi_o(s)$ คือ สัญญาณเอาต์พุตของตัวทำปริพันธ์, $I(s)$ คือ ฟังก์ชันถ่ายโอนของตัวทำปริพันธ์



รูปที่ 2.26 บล็อกไดอะแกรมตัวทำปริพันธ์

$$\phi_o(s) = \omega_o(s) I(s) \tag{2.22}$$

สามารถแสดงการหาฟังก์ชันถ่ายโอนของตัวทำปริพันธ์ โดยยกตัวอย่างวงจรทำปริพันธ์ที่สร้างจากออปแอมป์ ดังแสดงโครงสร้างได้ในรูปที่ 2.27



รูปที่ 2.27 วงจรทำปริพันธ์

จากรูปที่ 2.27 สามารถวิเคราะห์หาฟังก์ชันถ่ายโอนของตัวทำปริพันธ์ ในโดเมน s โดยกำหนดตัวแปรดังนี้

$V_i(s)$ คือ ความต่างศักดิ์ไฟฟ้าของสัญญาณอินพุต
$V_o(s)$ คือ ความต่างศักดิ์ไฟฟ้าของสัญญาณเอาต์พุต
$I_R(s)$ คือ กระแสไฟฟ้าที่ผ่านตัวต้านทาน
$I_C(s)$ คือ กระแสไฟฟ้าที่ผ่านตัวเก็บประจุ

พิจารณาผลรวมของกระแสที่โหนด X จะได้

$$I_R(s) = -I_C(s) \tag{2.23}$$

สามารถเขียนสมการที่ 2.23 ได้ใหม่คือ

$$\frac{V_i(s)}{R} = -\frac{V_o(s)}{1/sC} \tag{2.24}$$

ซึ่งสมการของฟังก์ชันถ่ายโอน $I(s)$ หาได้จากสมการที่ 2.25

$$I(s) = \frac{V_o(s)}{V_i(s)} \tag{2.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปสมการที่ 2.24 ตามสมการที่ 2.25 ได้ซึ่งสมการของฟังก์ชันถ่ายโอน คือ

$$I(s) = -\frac{1}{sCR} \tag{2.26}$$

จากสมการที่ 2.26 เมื่อแทน $s = j\omega$ ลงในสมการจะได้

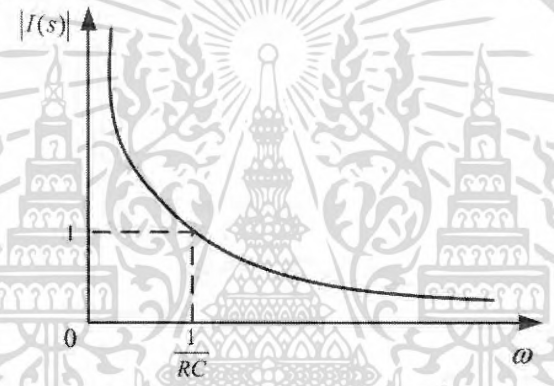
$$I(j\omega) = \frac{-1}{j\omega CR} \tag{2.27}$$

และมีค่าผลตอบสนองขนาดทางความถี่และผลตอบสนองเฟสทางความถี่แสดงดังสมการที่ 2.28 และ 2.29 ตามลำดับ

$$\left|I(j\omega)\right| = \frac{1}{\omega RC} \tag{2.28}$$

$$\angle I(j\omega) = -\frac{\pi}{2} \tag{2.29}$$

จากสมการที่ 2.28 และ 2.29 สามารถแสดงเป็นกราฟของผลตอบสนองขนาดทางความถี่ และผลตอบสนองเฟสทางความถี่ได้ดังรูปที่ 2.28 และ 2.29



รูปที่ 2.28 กราฟผลตอบสนองขนาดทางความถี่ของตัวทำปริพันธ์

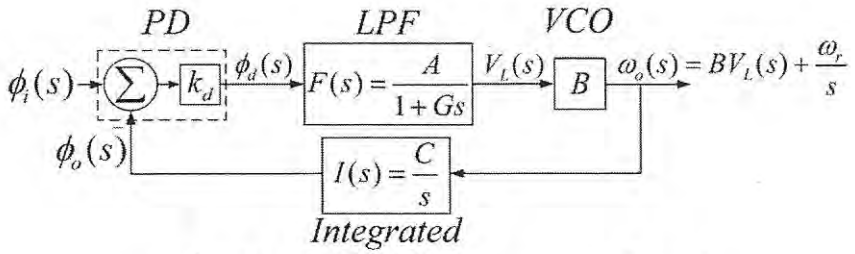
รูปที่ 2.29 กราฟผลตอบสนองเฟสทางความถี่ของตัวทำปริพันธ์

2.5.5 การวิเคราะห์ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปคือระบบควบคุมที่สร้างสัญญาณเอาต์พุตที่มีความถี่และเฟสสอดคล้องกับสัญญาณอินพุต ถึงแม้แนวคิดพื้นฐานของระบบเฟสล็อคลูปจะเป็นเรื่องง่าย แต่การวิเคราะห์ทางคณิตศาสตร์ที่มีหลายระบบย่อยในระบบเฟสล็อคลูปก็มีความซับซ้อน โดยระบบเฟสล็อคลูปถูกแสดงบล็อกไดอะแกรมในรูปที่ 2.30 มีสัญญาณอ้างอิง $(\phi_i(s))$ และสัญญาณเอาต์พุตจาก VCO $(\phi_o(s))$ ผ่านตัวตรวจจับความต่างเฟส โดยสัญญาณเอาต์พุตของตัวตรวจจับความต่างเฟส $(\phi_d(s))$ จะผ่านตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองความถี่ต่ำผ่าน และกลับไปควบคุมการทำงานของตัว VCO ซึ่งการวิเคราะห์สมการแสดงสัญญาณเอาต์พุตและสมการผลต่างเฟสแสดงได้ดังนี้



รูปที่ 2.30 บล็อกไดอะแกรมของระบบเฟสล็อคลูป

กำหนดตัวแปรต่างๆ ดังต่อไปนี้

$\phi_i(s)$ คือ การแปลงลาปลาซของสัญญาณอินพุต $\phi_i(t)$

$\phi_o(s)$ คือ การแปลงลาปลาซของสัญญาณเอาต์พุต $\phi_o(t)$

$\phi_d(s)$ คือ การแปลงลาปลาซของสัญญาณผลต่างเฟส $\phi_d(t)$

$V_L(s)$ คือ การแปลงลาปลาซของสัญญาณเอาต์พุตตัวกรองความถี่ต่ำผ่าน $v_L(t)$

$\omega_o(s)$ คือ การแปลงลาปลาซของสัญญาณเอาต์พุตตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน $\omega_o(t)$

ω_r คือ ความถี่เชิงมุมของความถี่อิสระ

$F(s)$ คือ ฟังก์ชันถ่ายโอนของตัวกรองความถี่ต่ำผ่าน

k_d คือ อัตราขยายของตัวตรวจจับความต่างเฟส

A คือ อัตราขยายของตัวกรองความถี่ต่ำผ่าน

B คือ อัตราขยายตัวออสซิลเลเตอร์ควบคุมด้วยแรงดัน

C คือ อัตราขยายตัวทำปริพันธ์

การวิเคราะห์ระบบของเฟสล็อคลูป สามารถอธิบายสัญญาณเอาต์พุตของระบบ $(\phi_o(t))$ จากรูปที่ 2.30 พิจารณาในส่วนของตัวตรวจจับความต่างเฟส ซึ่งมีอินพุตคือ $\phi_i(s)$ และ $\phi_o(s)$ จะได้

$$\phi_d(s)=k_d\left(\phi_i(s)-\phi_o(s)\right) \tag{2.30}$$

สมการเอาต์พุตตัวกรองความถี่ต่ำผ่าน คือ

$$V_L(s)=\phi_d(s)\cdot F(s) \tag{2.31}$$

สมการแสดงสัญญาณเอาต์พุตของตัว VCO คือ

$$\omega_o(s)=BV_L(s)+\omega_r \tag{2.32}$$

และสมการแสดงสัญญาณเอาต์พุตของตัวทำปริพันธ์ คือ

$$\phi_o(s)=\omega_o(s)\cdot I(s) \tag{2.33}$$

จากสมการที่ 2.30 - 2.33 หาความสัมพันธ์ของ $\phi_i(s)$ และ $\phi_o(s)$ จะได้ดังสมการ

$$\phi_o(s)=F(s)I(s)Bk_d\phi_i(s)-F(s)I(s)Bk_d\phi_o(s)+I(s)\omega_r \tag{2.34}$$

กำหนดสมการฟังก์ชันถ่ายโอนของตัวกรองความต่ำผ่านด้วย

$$F(s)=\frac{A}{1+Gs} \tag{2.35}$$

และสมการฟังก์ชันถ่ายโอนของตัวทำปริพันธ์ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I(s)=\frac{C}{s} \tag{2.36}$$

แทนสมการที่ 2.35 และ 2.36 ลงในสมการที่ 2.34

$$\phi_o(s)=\frac{ABCk_d}{s(1+Gs)}\phi_i(s)-\frac{ABCk_d}{s(1+Gs)}\phi_o(s)+\frac{C}{s}\omega_r \tag{2.37}$$

จัดรูปสมการโดยให้ $D=ABCk_d$ จะได้

$$\phi_o(s)+\frac{D}{s(1+Gs)}\phi_o(s)=\frac{D}{s(1+Gs)}\phi_i(s)+\frac{C}{s}\omega_r \tag{2.38}$$

คูณตลอดสมการที่ 2.38 ด้วย $s(1+Gs)$

$$Gs^2\phi_o(s)+s\phi_o(s)+D\phi_o(s)=D\phi_i(s)+C\omega_r+CGs\omega_r \tag{2.39}$$

จากสมการที่ 2.39 ทำการแปลงกลับลาปลาซ ได้สมการเชิงอนุพันธ์เป็นสมการที่ 2.40

$$G\frac{d^2\phi_o(t)}{dt^2}+\frac{d\phi_o(t)}{dt}+D\phi_o(t)=D\phi_i(t)+C\omega_r+CG\frac{d\omega_r}{dt} \tag{2.40}$$

จากสมการที่ 2.40 สามารถหาค่าคำตอบสมการเชิงอนุพันธ์ของระบบ ได้จากสมการผลตอบสนองสมบูรณ์ $(Complete\ solution:\phi_o(t))$ ซึ่งประกอบไปด้วย 2 ส่วนด้วยกันคือ ส่วนผลตอบสนองธรรมชาติ $(Natural\ response:\phi_{on}(t))$ และส่วนผลตอบสนองบังคับ $(Force\ response:\phi_{of}(t))$ ดังสมการที่ 2.41

$$\phi_o(t)=\phi_{on}(t)+\phi_{of}(t) \tag{2.41}$$

โดยค่าผลตอบสนองธรรมชาติของระบบนี้มีลักษณะเป็นการบวกกันของฟังก์ชันเอกซ์โปเนนเชียลเป็นสมการอนุพันธ์อันดับที่ 2 ดังนี้

$$\phi_{on}(t)=C_1e^{m_1t}+C_2e^{m_2t} \tag{2.42}$$

ทำให้มีคำตอบสมการสองค่าด้วยกันคือ m_1 และ m_2 โดยเมื่อผลตอบสนองธรรมชาติมีค่าเข้าสู่ศูนย์ ระบบเฟสล็อคลูปจะเข้าสู่สภาวะคงตัว *(Steady State)* ทั้งนี้การหาผลตอบสนองธรรมชาติจากสมการเชิงอนุพันธ์ เป็นการพิจารณาระบบขณะที่ไม่มีอินพุต จึงให้พจน์ทางขวามือของสมการที่ 2.40 ซึ่งเป็นอินพุตของระบบมีค่าเป็นศูนย์ ได้สมการดังสมการที่ 2.43

$$G\frac{d^2\phi_{on}(t)}{dt^2}+\frac{d\phi_{on}(t)}{dt}+D\phi_{on}(t)=0 \tag{2.43}$$

จากสมการที่ 2.43 สามารถนำมาเขียนเป็นสมการคุณลักษณะ ได้เป็น

$$Gm^2+m+D=0 \tag{2.44}$$

ซึ่งคำตอบของสมการที่ 2.44 คือค่า m_1 และ m_2 กล่าวคือ

$$m_{1,2}=\frac{-1\pm\sqrt{1-4GD}}{2G} \tag{2.45}$$

แทนค่าคำตอบในสมการที่ 2.45 ลงในสมการที่ 2.42 จะได้ค่าผลตอบสนองธรรมชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการหาค่าผลตอบสนองบังคับ $\left(Force\ response:\phi_{of}(t)\right)$ นั้นจากสมการเชิงอนุพันธ์อันดับที่ 2 ในสมการที่ 2.46 โดยกำหนดสมการสัญญาณอินพุตของระบบ $\left(\phi_i(t)\right)$ เป็นฟังก์ชันเชิงเส้นดังนี้

$$\phi_i(t)=\omega_i t+\theta_i \tag{2.46}$$

โดย

ω_i คือ ความเร็วเชิงมุมของสัญญาณอินพุต $\left(rad/sec\right)$

θ_i คือ เฟสเริ่มต้นของสัญญาณอินพุต $\left(rad\right)$

และโดยกำหนดให้สมการแสดงค่าผลตอบสนองบังคับคือ

$$\phi_{of}(t)=at+b \tag{2.47}$$

แทนค่าสมการที่ 2.46 และ 2.47 ในสมการที่ 2.40 จะได้

$$G\frac{d^2(at+b)}{dt^2}+\frac{d(at+b)}{dt}+D(at+b)=D(\omega_i t+\theta_i)+C\omega_r+CG\frac{d\omega_r}{dt} \tag{2.48}$$

จากสมการที่ 2.48 เมื่อหาค่าอนุพันธ์ลำดับที่ 1 และ 2 โดยค่า ω_r เป็นค่าคงที่ ดังนั้นค่า $\frac{d\omega_r}{dt}=0$ จะได้

$$a+D(at+b)=D(\omega_i t+\theta_i)+C\omega_r \tag{2.49}$$

จัดรูปสมการที่ 2.49 จะได้สมการแสดงค่าผลตอบสนองบังคับ

$$\phi_{of}(t)=at+b=\omega_i t+\theta_i+\frac{C}{D}\omega_r-\frac{a}{D} \tag{2.50}$$

เมื่อพิจารณาเทียบสัมประสิทธิ์หน้าตัวแปร t พบว่า

$$a=\omega_i \tag{2.51}$$

และเมื่อแทนสมการที่ 2.51 ลงในสมการที่ 2.50 จะได้

$$at+b=\omega_i t+\theta_i+\frac{C}{D}\omega_r-\frac{\omega_i}{D} \tag{2.52}$$

จัดรูปสมการที่ 2.52 ได้

$$at+b=\omega_i t+\theta_i+\frac{C\omega_r-\omega_i}{D} \tag{2.53}$$

เมื่อสังเกตสมการที่ 2.53 จะได้พจน์ซึ่งแสดงค่าเฟสสัญญาณเอาต์พุต คือ

$$b=\theta_i+\frac{C\omega_r-\omega_i}{D} \tag{2.54}$$

ดังนั้นจึงได้สมการค่าผลตอบสนองบังคับคือ

$$\phi_{of}(t)=\omega_i t+\theta_i+\frac{C\omega_r-\omega_i}{D} \tag{2.55}$$

แทนสมการที่ 2.42 และสมการที่ 2.55 ลงในสมการที่ 2.41 ได้สมการผลตอบสนองสมบูรณ์คือ

$$\phi_o(t)=\left(C_1e^{m_1t}+C_2e^{m_2t}\right)+\left(\omega_i t+\theta_i+\frac{C\omega_r-\omega_i}{D}\right) \tag{2.56}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.56 สามารถอธิบายการทำงานของระบบเฟสล็อคลูปได้ดังนี้ เมื่อป้อนสัญญาณอินพุตที่เหมาะสมแก่ระบบ ระบบจะเข้าสู่สภาวะคงตัวได้ เมื่อค่าผลตอบสนองธรรมชาติมีค่าเท่ากับศูนย์ และเมื่อระบบเฟสล็อคลูปเข้าสู่สภาวะคงตัวจะสามารถพิจารณาสมการแสดงสัญญาณเอาต์พุตได้จาก

$$\phi_o(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{D} \tag{2.57}$$

โดยเมื่อเทียบสัญญาณอ้างอิงในสมการที่ 2.46 กับสัญญาณเอาต์พุตในสมการที่ 2.57 เห็นได้ว่าความถี่เชิงมุมของสัญญาณอ้างอิงมีค่าเท่ากับความถี่เชิงมุมของสัญญาณเอาต์พุต นอกจากนี้เฟสของสัญญาณเอาต์พุตมีการเลื่อนแตกต่างต่างไปจากเฟสของสัญญาณอ้างอิง โดยมีค่าความต่างเฟสดังแสดงในสมการที่ 2.58

$$\phi_d(t) = \frac{\omega_i - C\omega_r}{D} \tag{2.58}$$

ซึ่งพบว่าค่าความต่างเฟสของสัญญาณเอาต์พุตแปรผันตามค่าของความถี่เชิงมุมของสัญญาณอ้างอิงและอัตราขยายต่างๆ ของระบบ ดังนั้นการปรับค่าอัตราขยายภายในระบบเฟสล็อคลูป จะทำให้มีผลเกิดการเลื่อนเฟสของสัญญาณเอาต์พุตไปจากสัญญาณอินพุตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิงโดยอาศัยเฟสล็อคลูปและการมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิงด้วยเทคนิคทางตรีโกณมิติ

3.1 กล่าวนำ

ในบทนี้กล่าวถึงการประยุกต์ใช้วงจรเฟสล็อคลูปในการเลื่อนเฟสของเอาต์พุต โดยการเพิ่มอัตราขยายหรือการเพิ่มวงจรรวมสัญญาณเข้าไปในวงจรเฟสล็อคลูป รวมไปถึงการออกแบบสำหรับสร้างวงจรมอดูเลตสัญญาณควอดดราเจอร์เฟสชิฟคีอิง (QPSK) ที่มีการเปลี่ยนเฟสแบบต่อเนื่องตามผลการวิเคราะห์ระบบ อีกทั้งนำเสนอการออกแบบวงจรมอดูเลตสัญญาณ QPSK ด้วยเทคนิคทางตรีโกณมิติเพื่อให้ได้สัญญาณ QPSK แบบดั้งเดิมสำหรับใช้ในการเปรียบเทียบกับสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องอีกด้วย

3.2 การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูป

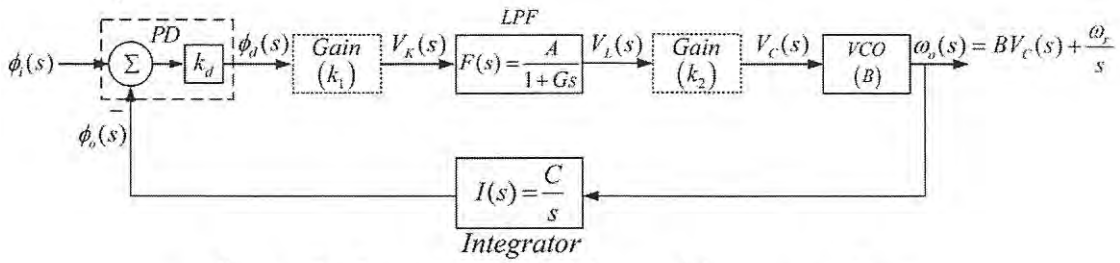
จากบทที่ 2 เมื่อพิจารณาสมการผลตอบสนองบังคับของระบบเฟสล็อคลูป พบว่าสามารถเลื่อนเฟสของสัญญาณเอาต์พุตขณะวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคได้ โดยไม่กระทบกับความถี่สัญญาณเอาต์พุตจากการปรับค่าอัตราขยายในพจน์ทางขวามือของผลตอบสนองบังคับในสมการที่ 2.56 ซึ่งในวิทยานิพนธ์ฉบับนี้นำเสนอวิธีการเลื่อนเฟสของสัญญาณเอาต์พุตของวงจรเฟสล็อคลูปเพื่อสร้างสัญญาณ QPSK ดังต่อไปนี้ การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย, การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ และการกลับเฟสของสัญญาณเอาต์พุตของวงจรเฟสล็อคลูปโดยอาศัยการทำงานของวงจรตรวจจับความต่างเฟส exclusive or gate (xor gate)

3.2.1 การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย [9]

การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย เป็นการปรับค่าของอัตราขยายภายในระบบเฟสล็อคลูป เพื่อให้สัญญาณเอาต์พุตของระบบเลื่อนเฟสไปจากสัญญาณอ้างอิง โดยการปรับค่าอัตราขยายภายในระบบเฟสล็อคลูปแบบดั้งเดิม ที่ประกอบไปด้วยวงจรตรวจจับความต่างเฟส, วงจรกรองความถี่ต่ำผ่าน และวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน ซึ่งการปรับเปลี่ยนดังกล่าวทำได้ยากและอาจกระทบต่อการทำงานของระบบในแบบที่ไม่ต้องการได้ ดังนั้นเพื่อให้ง่ายต่อการควบคุมและการออกแบบ จึงนำเสนอบล็อกไดอะแกรมวงจรเฟสล็อคลูปที่เพิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายสัญญาณในตำแหน่งระหว่างวงจรตรวจจับความต่างเฟสและวงจรกรองความถี่ต่ำผ่าน และตำแหน่งระหว่างวงจรกรองความถี่ต่ำผ่านและวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน ดังรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมวงจรเฟสล็อกลูปที่เพิ่มวงจรขยายสัญญาณ

จากรูปที่ 3.1 เขียนให้สัญญาณต่างๆ อยู่ใน s โดเมนหรือโดเมนทางความถี่ โดยกำหนดให้

$\phi_i(s)$ คือ การแปลงลาปลาซของฟังก์ชันอินพุต $\phi_i(t)$

$\phi_o(s)$ คือ การแปลงลาปลาซของฟังก์ชันเอาต์พุต $\phi_o(t)$

$\phi_d(s)$ คือ การแปลงลาปลาซของผลต่างเฟสอินพุตกับเฟสเอาต์พุต $\phi_d(t)$

k_d คือ ค่าอัตราขยายของวงจรตรวจจับความต่างเฟส

$V_K(s)$ คือ การแปลงลาปลาซของเอาต์พุตวงจรขยาย $v_K(t)$

$V_L(s)$ คือ การแปลงลาปลาซของเอาต์พุตวงจรกรองความถี่ต่ำผ่าน $v_L(t)$

$V_C(s)$ คือ การแปลงลาปลาซของเอาต์พุตวงจรขยาย $v_C(t)$

$\omega_o(s)$ คือ การแปลงลาปลาซของความถี่เอาต์พุตวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน $\omega_o(t)$

ω_r/s คือ การแปลงลาปลาซของความถี่เอาต์พุตวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน เมื่อ $v_C(t)=0$

$F(s)$ คือ ฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน

$I(s)$ คือ ฟังก์ชันถ่ายโอนของตัวทำปริพันธ์

k_1, k_2 คือ ค่าอัตราขยายของวงจรขยายที่เพิ่มเข้าไป

หาค่าความสัมพันธ์ของสัญญาณตามตำแหน่งต่างๆ ในแผนภาพบล็อกไดอะแกรมได้เป็นดังนี้

$$\phi_d(s)=k_d\left[\phi_i(s)-\phi_o(s)\right] \tag{3.1}$$

$$V_K(s)=\phi_d(s)k_1 \tag{3.2}$$

$$V_L(s)=V_K(s)F(s) \tag{3.3}$$

$$V_C(s)=V_L(s)k_2 \tag{3.4}$$

$$\omega_o(s)=BV_C(s)+\frac{\omega_r}{s} \tag{3.5}$$

$$\phi_o(s)=\omega_o(s)I(s) \tag{3.6}$$

เมื่อนำค่า $\phi_d(s)$ จากสมการที่ 3.1 แทนลงในสมการที่ 3.2 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_K(s) = k_d k_1 \left[\phi_i(s) - \phi_o(s)\right] \tag{3.7}$$

ซึ่งจะได้สมการ $V_L(s)$ คือ

$$V_L(s) = k_d k_1 F(s)\left[\phi_i(s) - \phi_o(s)\right] \tag{3.8}$$

และเมื่อแทนค่าของ $V_L(s)$ ลงในสมการที่ 3.4 จะได้

$$V_C(s) = k_d k_1 k_2 F(s)\left[\phi_i(s) - \phi_o(s)\right] \tag{3.9}$$

แทนค่า $V_C(s)$ จากสมการที่ 3.9 ลงในสมการที่ 3.5

$$\omega_o(s) = Bk_d k_1 k_2 F(s)\left[\phi_i(s) - \phi_o(s)\right] + \frac{\omega_r}{s} \tag{3.10}$$

และค่าของ $\phi_o(s)$ จะได้จากการแทน $\omega_o(s)$ ลงในสมการที่ 3.6

$$\phi_o(s) = Bk_d k_1 k_2 F(s) I(s)\left[\phi_i(s) - \phi_o(s)\right] + \frac{\omega_r}{s} I(s) \tag{3.11}$$

ทำการจัดรูปสมการใหม่ จะได้

$$\phi_o(s) + \phi_o(s) Bk_d k_1 k_2 F(s) I(s) = \phi_i(s) Bk_d k_1 k_2 F(s) I(s) + \frac{\omega_r}{s} I(s) \tag{3.12}$$

กำหนดให้วงจรกรองความถี่ต่ำผ่านที่ใช้มีค่าฟังก์ชันถ่ายโอนเป็นดังนี้

$$F(s) = \frac{A}{1+Gs} \tag{3.13}$$

โดยที่ A คืออัตราขยาย, G คือส่วนกลับความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน และค่าของฟังก์ชันถ่ายโอนของตัวทำปริพันธ์ คือ

$$I(s) = \frac{C}{s} \tag{3.14}$$

ซึ่ง C คือค่าอัตราขยายของตัวทำปริพันธ์ และเมื่อแทนสมการที่ 3.13 และ 3.14 ลงในสมการที่ 3.12 ได้

$$\phi_o(s) + \phi_o(s) Bk_d k_1 k_2 \frac{A}{1+Gs}\frac{C}{s} = \phi_i(s) Bk_d k_1 k_2 \frac{A}{1+Gs}\frac{C}{s} + \frac{\omega_r}{s}\frac{C}{s} \tag{3.15}$$

หรือสามารถจัดรูปของสมการได้ใหม่คือ

$$\phi_o(s) + \phi_o(s)\frac{ABCk_d k_1 k_2}{s(1+Gs)} = \phi_i(s)\frac{ABCk_d k_1 k_2}{s(1+Gs)} + \frac{C\omega_r}{s^2} \tag{3.16}$$

ให้ $D = ABCk_d$ และคูณ $s(1+Gs)$ กับสมการที่ 3.16 จะได้

$$\phi_o(s)s(1+Gs) + \phi_o(s)Dk_1 k_2 = \phi_i(s)Dk_1 k_2 + \frac{C\omega_r(1+Gs)}{s} \tag{3.17}$$

ทำการจัดรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Gs^2\phi_o(s)+s\phi_o(s)+\phi_o(s)Dk_1k_2=\phi_i(s)Dk_1k_2+\frac{C\omega_r}{s}+GC\omega_r \tag{3.18}$$

เมื่อแปลงกลับลาปลาซของสมการที่ 3.18 จะได้

$$G\frac{d^2\phi_o(t)}{dt^2}+\frac{d\phi_o(t)}{dt}+\phi_o(t)Dk_1k_2=\phi_i(t)Dk_1k_2+C\omega_r u(t)+GC\omega_r\delta(t) \tag{3.19}$$

พิจารณาช่วงเวลา $t>0$ จะได้

$$G\frac{d^2\phi_o(t)}{dt^2}+\frac{d\phi_o(t)}{dt}+\phi_o(t)Dk_1k_2=\phi_i(t)Dk_1k_2+C\omega_r \tag{3.20}$$

สมการที่ 3.20 คือสมการเชิงอนุพันธ์ซึ่งสามารถหาคำตอบของสมการ $(\phi_o(t))$ ได้จากค่าผลตอบสนองสมบูรณ์ซึ่งประกอบไปด้วย ค่าผลการตอบสนองธรรมชาติ $(\phi_{on}(t))$ และค่าผลการตอบสนองบังคับ $(\phi_{of}(t))$ โดยค่าผลตอบสนองธรรมชาติคือ ค่าจากระบบเมื่อปราศจากอินพุตใดๆ ดังนั้นสามารถเขียนสมการที่ 3.21 ได้ใหม่เป็น

$$G\frac{d^2\phi_{on}(t)}{dt^2}+\frac{d\phi_{on}(t)}{dt}+\phi_{on}(t)Dk_1k_2=0 \tag{3.21}$$

จากสมการที่ 3.21 เขียนใหม่ในรูปของสมการคุณลักษณะคือ

$$Gm^2+m+Dk_1k_2=0 \tag{3.22}$$

โดยที่

$$m=\frac{-1\pm\sqrt{1-4GDk_1k_2}}{2G} \tag{3.23}$$

จากสมการที่ 3.13 ฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน ซึ่งมีความสัมพันธ์ของ G และค่าความถี่ตัด (ω_c) คือ

$$G=\frac{1}{\omega_c} \tag{3.24}$$

แทนค่า G ในสมการที่ 3.24 ลงในสมการที่ 3.23 จะได้

$$m=-\frac{\omega_c}{2}\pm\frac{\omega_c}{2}\sqrt{1-\frac{4Dk_1k_2}{\omega_c}} \tag{3.25}$$

เมื่อพิจารณาพจน์ทางขวามือสุดของสมการที่ 3.25 จัดรูปสมการโดยอ้างอิงสมการอนุกรมเทย์เลอร์ $\sqrt{1+x}=1+\frac{1}{2}x-\frac{1}{8}x^2+\frac{1}{16}x^3-\frac{5}{128}x^4+\ldots$ โดย $|x|\le 1$ และให้ $x=-\frac{4Dk_1k_2}{\omega_c}$ จะได้ค่าประมาณของพจน์ทางขวามือสุดของสมการที่ 3.25 คือ

$$\sqrt{1-\frac{4Dk_1k_2}{\omega_c}}=\frac{\omega_c-2Dk_1k_2}{\omega_c}$$

เขียนสมการที่ 3.25 ใหม่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$m = -\frac{\omega_c}{2} \pm \frac{\omega_c - 2Dk_1k_2}{2} \tag{3.26}$$

ดังนั้นจากสมการที่ 3.26 จะได้คำตอบของสมการคือ $m_1 = -Dk_1k_2$ และ $m_2 = -(\omega_c - Dk_1k_2)$ ทำให้ได้คำตอบของผลตอบสนองธรรมชาติคือ

$$\phi_{on}(t) = \frac{C_1}{e^{Dk_1k_2 t}} + \frac{C_2}{e^{(\omega_c - Dk_1k_2)t}} \tag{3.27}$$

ต่อไปจะกล่าวถึงการหาค่าผลตอบสนองบังคับ $(\phi_{of}(t))$ โดยกำหนดให้ $\phi_i(t)$ เป็นเฟสอินพุตที่เป็นเชิงเส้นกับเวลา ซึ่งแสดงได้ดังต่อไปนี้

$$\phi_i(t) = \omega_i t + \theta_i \tag{3.28}$$

โดย ω_i คือความถี่อินพุตของระบบ และ θ_i คือค่าเฟสเริ่มต้น ทั้งนี้เนื่องจากฟังก์ชันอินพุตเป็นเชิงเส้นกับเวลา ดังนั้นจึงสามารถเขียนค่าคำตอบจากฟังก์ชันอินพุตได้คือ

$$\phi_{of}(t) = at + b \tag{3.29}$$

แทนค่าสมการที่ 3.28 และ 3.29 ลงในสมการที่ 3.20

$$G\frac{d^2}{dt^2}(at+b) + \frac{d}{dt}(at+b) + Dk_1k_2(at+b) = Dk_1k_2(\omega_i t + \theta_i) + C\omega_r$$

$$\therefore Dk_1k_2at + Dk_1k_2b + a = Dk_1k_2\omega_i t + Dk_1k_2\theta_i + C\omega_r \tag{3.30}$$

ใช้หลักการเทียบพจน์กันระหว่างพจน์ทางด้านซ้ายและขวาของสมการที่ 3.30 จะได้ว่า

$$Dk_1k_2at = Dk_1k_2\omega_i t \tag{3.31}$$

ดังนั้น

$$a = \omega_i \tag{3.32}$$

และ

$$Dk_1k_2b + a = Dk_1k_2\theta_i + C\omega_r$$

$$Dk_1k_2b = Dk_1k_2\theta_i + C\omega_r - a$$

$$b = \theta_i + \frac{C\omega_r}{Dk_1k_2} - \frac{a}{Dk_1k_2}$$

$$b = \theta_i + \frac{C\omega_r - \omega_i}{Dk_1k_2} \tag{3.33}$$

ดังนั้นเมื่อแทนค่า a และ b จากสมการที่ 3.32 และ 3.33 ลงในสมการที่ 3.29 จะได้ว่า

$$\phi_{of}(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{Dk_1k_2} \tag{3.34}$$

ดังนั้นค่าผลตอบสนองสมบูรณ์ $(\phi_o(t))$ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_o(t) = \left(\frac{C_1}{e^{Dk_1k_2t}} + \frac{C_2}{e^{(\omega_c - Dk_1k_2)t}}\right) + \left(\omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{Dk_1k_2}\right) \quad (3.35)$$

จากสมการที่ 3.35 มีค่าของผลตอบสนองธรรมชาติเกิดขึ้นเมื่อเริ่มระบบ และเมื่อเวลาผ่านไปค่าของผลตอบสนองธรรมชาติจะมีค่าลดลงจนเข้าสู่ศูนย์ ซึ่งทำให้ระบบเข้าสู่สภาวะคงตัว ดังนั้นค่าคำตอบของสมการผลตอบสนองสมบูรณ์ เมื่อระบบเข้าสู่สภาวะคงตัวจึงเหลือเพียงแต่ค่าผลตอบสนองบังคับเพียงอย่างเดียวตามสมการที่ 3.36

$$\phi_o(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{Dk_1k_2} \quad (3.36)$$

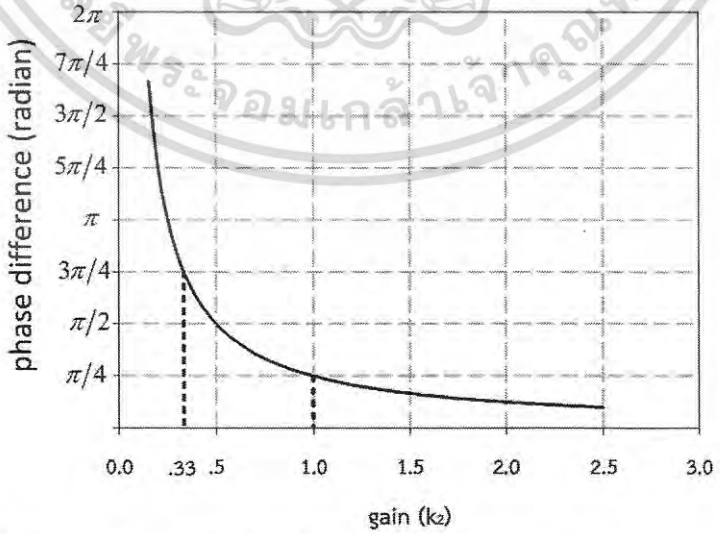
จากสมการที่ 3.36 สมการเอาต์พุตที่ได้มีความถี่เท่ากับความถี่ของสมการอินพุตของระบบ แต่จะมีเฟสที่ต่างออกไป โดยมีค่าความต่างเฟส $\left(\phi_d(t) = \phi_i(t) - \phi_o(t)\right)$ ระหว่างสมการอินพุตและสมการเอาต์พุตคือ

$$\phi_d(t) = \frac{\omega_i - C\omega_r}{Dk_1k_2} \quad (3.37)$$

จากสมการที่ 3.37 ค่าอัตราขยายที่เพิ่มในระบบมีผลต่อความต่างเฟสของสัญญาณเอาต์พุต โดยเมื่อกำหนดค่าคงที่ต่างๆ ในวงจรดังนี้

$$\omega_i = 2\pi \times 70{,}000\, rad/\sec \qquad A = 1$$
$$\omega_r = 2\pi \times 86{,}730\, rad/\sec \qquad B = 2\pi \times -17{,}000\, rad/\sec$$
$$k_2 = 1 \qquad C = 0.919737$$
$$k_d = 0.7955$$

แทนค่าลงในสมการที่ 3.37 สามารถเขียนกราฟแสดงความสัมพันธ์ระหว่างอัตราขยายและความต่างเฟสได้ดังรูปที่ 3.2



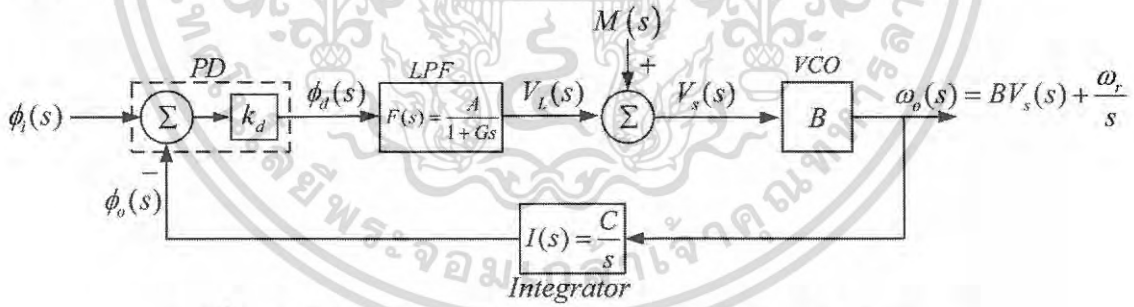
รูปที่ 3.2 กราฟแสดงความสัมพันธ์ระหว่างอัตราขยายและค่าความต่างเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 ความสัมพันธ์ระหว่างอัตราขยายและความต่างเฟสสามารถนำมาประยุกต์ใช้สำหรับการมอดูเลตทางเฟสได้ ซึ่งที่อัตราขยายเท่ากับ 1 และ 0.33 จะทำให้เลื่อนเฟสในตำแหน่ง $\pi/4$ และ $3\pi/4$ เรเดียนตามลำดับ โดยการเปลี่ยนอัตราขยายตามบิตข้อมูล ทำให้เกิดค่าผลตอบสนองธรรมชาติขึ้น ซึ่งช่วงเวลาที่ค่าของผลตอบสนองธรรมชาติใช้เข้าสู่ค่าศูนย์นั้นเป็นช่วงเวลาที่เฟสของสัญญาณเลื่อนจากเฟสหนึ่งไปอีกเฟสหนึ่ง ซึ่งด้วยเทคนิคดังกล่าว ทำให้ได้สัญญาณมอดูเลตทางเฟสที่เลื่อนเฟสแบบต่อเนื่อง ซึ่งส่งผลให้ไม่มีองค์ประกอบทางความถี่สูงในสัญญาณทำให้ลดแบนด์วิดท์ในการส่ง แต่เนื่องจากค่าของผลตอบสนองธรรมชาติไม่คงที่ เนื่องจากค่าอัตราขยายที่ใช้ในการเลื่อนเฟสแต่ละตำแหน่งไม่เท่ากัน ทำให้มีผลต่อค่าผลตอบสนองธรรมชาติที่เกิดขึ้นตามสมการที่ 3.35 ส่งผลให้การดีมอดูเลตสัญญาณต้องออกแบบยากยิ่งขึ้น เนื่องจากไม่สามารถคาดเดาได้ว่าการเลื่อนเฟสของสัญญาณเสร็จสิ้นแล้วหรือไม่ โดยหัวข้อถัดไปได้นำเสนอการแก้ปัญหาการใช้เวลาในการเลื่อนเฟสไม่คงที่ดังกล่าว

3.2.2 การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ [10]

การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ เป็นการทำงานของวงจรเฟสล็อคลูปแบบดั้งเดิมที่เพิ่มวงจรรวมสัญญาณ ในตำแหน่งระหว่างวงจรกรองความถี่ต่ำผ่านและวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน ซึ่งสัญญาณอินพุตของวงจรรวมสัญญาณคือ สัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน และระดับแรงดันไฟตรง โดยมีสัญญาณเอาต์พุตให้กับวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน ดังแสดงบล็อกไดอะแกรมวงจรเฟสล็อกลูปร่วมกับวงจรรวมสัญญาณดังรูปที่ 3.3



รูปที่ 3.3 บล็อกไดอะแกรมวงจรเฟสล็อกลูปร่วมกับวงจรรวมสัญญาณ

จากรูปที่ 3.3 เขียนให้สัญญาณต่างๆ อยู่ใน s โดเมนหรือโดเมนทางความถี่ โดยกำหนดให้

$M(s)$ คือ การแปลงลาปลาซของค่าระดับไฟตรง $m(t)$

$V_s(s)$ คือ การแปลงลาปลาซของเอาต์พุตวงจรรวมสัญญาณ $v_s(t)$

เมื่อหาค่าความสัมพันธ์ของสัญญาณตามตำแหน่งต่างๆ ในแผนภาพบล็อกไดอะแกรมได้เป็นดังนี้

$$\phi_d(s) = k_d\left[\phi_i(s) - \phi_o(s)\right] \tag{3.38}$$

$$V_L(s) = \phi_d(s)F(s) \tag{3.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_s(s) = V_L(s) + M(s) \tag{3.40}$$

$$\omega_o(s) = BV_s(s) + \frac{\omega_r}{s} \tag{3.41}$$

$$\phi_o(s) = \omega_o(s) I(s) \tag{3.42}$$

เมื่อนำค่า $\phi_d(s)$ จากสมการที่ 3.38 แทนลงในสมการที่ 3.39 จะได้

$$V_L(s) = k_d F(s)\left[\phi_i(s) - \phi_o(s)\right] \tag{3.43}$$

แทนค่าสมการที่ 3.43 ลงในสมการที่ 3.40

$$V_s(s) = k_d F(s)\left[\phi_i(s) - \phi_o(s)\right] + M(s) \tag{3.44}$$

ค่าของ $\omega_o(s)$ เมื่อแทนสมการ 3.44 ลงในสมการที่ 3.41 คือ

$$\omega_o(s) = B\left\{k_d F(s)\left[\phi_i(s) - \phi_o(s)\right] + M(s)\right\} + \frac{\omega_r}{s} \tag{3.45}$$

ซึ่งเมื่อนำสมการที่ 3.45 แทนลงในสมการที่ 3.42 จึงเขียนสมการ $\phi_o(s)$ ได้เป็น

$$\phi_o(s) = BI(s)\left\{k_d F(s)\left[\phi_i(s) - \phi_o(s)\right] + M(s)\right\} + \frac{\omega_r}{s} I(s) \tag{3.46}$$

จัดพจน์สมการที่ 3.46 ได้ใหม่คือ

$$\phi_o(s) + Bk_d I(s) F(s) \phi_o(s) = Bk_d I(s) F(s) \phi_i(s) + BI(s) M(s) + \frac{\omega_r}{s} I(s) \tag{3.47}$$

ค่าฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน $(F(s))$ และตัวทำปริพันธ์ $(I(s))$ เป็นไปตามสมการที่ 3.13 และ 3.14 เมื่อแทนค่าฟังก์ชันถ่ายโอนลงไปในสมการที่ 3.47 จะได้

$$\phi_o(s) + Bk_d \frac{C}{s}\left(\frac{A}{1+Gs}\right)\phi_o(s) = Bk_d \frac{C}{s}\left(\frac{A}{1+Gs}\right)\phi_i(s) + B\frac{C}{s} M(s) + \frac{C\omega_r}{s^2} \tag{3.48}$$

หรือ

$$\phi_o(s) + \frac{ABCk_d}{s(1+Gs)}\phi_o(s) = \frac{ABCk_d}{s(1+Gs)}\phi_i(s) + \frac{BCM(s)}{s} + \frac{C\omega_r}{s^2} \tag{3.49}$$

ให้ $D = ABCk_d$ และคูณ $s(1+Gs)$ กับสมการที่ 3.49 จะได้

$$Gs^2\phi_o(s) + s\phi_o(s) + D\phi_o(s) = D\phi_i(s) + BCM + sGBCM(s) + \frac{C\omega_r}{s} + GC\omega_r \tag{3.50}$$

เมื่อแปลงกลับลาปลาซของสมการที่ 3.50 จะได้

$$G\frac{d^2\phi_o(t)}{dt^2} + \frac{d\phi_o(t)}{dt} + D\phi_o(t) = D\phi_i(t) + BCm(t) + GBC\frac{dm(t)}{dt} + C\omega_r u(t) + GC\omega_r \delta(t) \tag{3.51}$$

จากสมการที่ 3.51 $m(t)$ เป็นค่าระดับไฟตรงที่เปลี่ยนแปลงน้อยมากเมื่อเทียบกับการเปลี่ยนแปลง $\phi_i(t)$ ดังนั้นพจน์อนุพันธ์ของค่าระดับไฟตรงจึงสามารถละทิ้งไปได้ และเมื่อพิจารณาช่วงเวลา $t > 0$ สามารถเขียนสมการที่ 3.51 ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G\frac{d^2\phi_o(t)}{dt^2}+\frac{d\phi_o(t)}{dt}+D\phi_o(t)=D\phi_i(t)+BCm(t)+C\omega_r \tag{3.52}$$

จากสมการที่ 3.52 เป็นสมการเชิงอนุพันธ์ซึ่งสามารถหาคำตอบของสมการได้จากค่าผลตอบสนองสมบูรณ์ $(\phi_o(t))$ ซึ่งประกอบไปด้วย ค่าผลการตอบสนองธรรมชาติ $(\phi_{on}(t))$ และค่าผลการตอบสนองบังคับ $(\phi_{of}(t))$ โดยค่าผลตอบสนองธรรมชาติคือ ค่าจากระบบเมื่อปราศจากอินพุตใดๆ ดังนั้นจึงเขียนสมการที่ 3.52 ใหม่คือ

$$G\frac{d^2\phi_o(t)}{dt^2}+\frac{d\phi_o(t)}{dt}+D\phi_o(t)=0 \tag{3.53}$$

จากสมการที่ 3.53 เขียนใหม่ในรูปของสมการคุณลักษณะคือ

$$Gm^2+m+D=0 \tag{3.54}$$

โดยที่

$$m=\frac{-1\pm\sqrt{1-4GD}}{2G} \tag{3.55}$$

จากสมการที่ 3.13 ฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน มีความสัมพันธ์ของค่า G และค่าความถี่ตัด (ω_c) ตามสมการที่ 3.14 คือ $G=\frac{1}{\omega_c}$ ดังนั้นจะได้ว่า

$$m=-\frac{\omega_c}{2}\pm\frac{\omega_c}{2}\sqrt{1-\frac{4D}{\omega_c}} \tag{3.56}$$

เมื่อพิจารณาพจน์ทางขวามือสุดของสมการที่ 3.56 จัดรูปสมการโดยอ้างอิงสมการอนุกรมเทย์เลอร์ $\sqrt{1+x}=1+\frac{1}{2}x-\frac{1}{8}x^2+\frac{1}{16}x^3-\frac{5}{128}x^4+\ldots$ โดย $|x|\le 1$ และให้ $x=-\frac{4D}{\omega_c}$ ทำให้พจน์ท้ายของสมการอนุกรมเทย์เลอร์มีค่าประมาณเป็น 0 เนื่องจากค่า ω_c มีค่ามากเมื่อเทียบกับผลคูณของอัตราขยาย D จะได้สมการที่ 3.56 ใหม่คือ

$$m=-\frac{\omega_c}{2}\pm\frac{\omega_c-2D}{2} \tag{3.57}$$

ดังนั้นจากสมการที่ 3.57 จะได้คำตอบของสมการคือ $m_1=-D$ และ $m_2=-(\omega_c-D)$ ทำให้ได้คำตอบของผลตอบสนองธรรมชาติคือ

$$\phi_{on}(t)=\frac{C_1}{e^{Dt}}+\frac{C_2}{e^{(\omega_c-D)t}} \tag{3.58}$$

ลำดับถัดไปกล่าวถึงการหาค่าผลตอบสนองบังคับ $(\phi_{of}(t))$ ซึ่งเป็นการหาสัญญาณเอาต์พุตของระบบเมื่อมีสัญญาณอินพุต โดยกำหนดให้ $\phi_i(t)$ เป็นเฟสอินพุตที่เป็นเชิงเส้นกับเวลา ซึ่งแสดงได้ดังต่อไปนี้

$$\phi_i(t)=\omega_i t+\theta_i \tag{3.59}$$

โดย ω_i คือความถี่อินพุตของระบบ และ θ_i คือค่าเฟสเริ่มต้น ทั้งนี้เนื่องจากฟังก์ชันอินพุตเป็นเชิงเส้นกับเวลา ดังนั้นจึงสามารถเขียนค่าคำตอบจากฟังก์ชันอินพุตได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_{of}(t) = at + b \tag{3.60}$$

แทนค่าสมการที่ 3.59 และ 3.60 ลงในสมการที่ 3.52 ผลคือ

$$G\frac{d^2(at+b)}{dt^2} + \frac{d(at+b)}{dt} + D(at+b) = D(\omega_i t + \theta_i) + BCm(t) + C\omega_r \tag{3.61}$$

เมื่อทำอนุพันธ์และจัดรูปสมการใหม่จะได้

$$Dat + Db + a = D\omega_i t + D\theta_i + BCm(t) + C\omega_r \tag{3.62}$$

โดยใช้การเทียบพจน์กันระหว่างพจน์ทางด้านซ้ายและขวาของสมการที่ 3.62 พบว่า

$$a = \omega_i \tag{3.63}$$

และ

$$b = \theta_i + \frac{C\omega_r - \omega_i + BCm(t)}{D} \tag{3.64}$$

ดังนั้นเมื่อแทนค่า a และ b จากสมการที่ 3.63 และ 3.64 ลงในสมการที่ 3.60 จะได้ว่า

$$\phi_{of}(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i + BCm(t)}{D} \tag{3.65}$$

ดังนั้นค่าผลตอบสนองสมบูรณ์ $(\phi_o(t))$ คือ

$$\phi_o(t) = \left(\frac{C_1}{e^{Dt}} + \frac{C_2}{e^{(\omega_c - D)t}}\right) + \left(\omega_i t + \theta_i + \frac{C\omega_r - \omega_i + BCm(t)}{D}\right) \tag{3.66}$$

จากสมการที่ 3.66 มีค่าของผลตอบสนองธรรมชาติเกิดขึ้นเมื่อเริ่มระบบ และเมื่อเวลาผ่านไปค่าของผลตอบสนองธรรมชาติจะมีค่าลดลงจนเข้าสู่ศูนย์ ซึ่งเมื่อผลตอบสนองธรรมชาติหมดไปเป็นผลให้ระบบเข้าสู่สภาวะคงตัว ดังนั้นค่าคำตอบของสมการผลตอบสนองสมบูรณ์ เมื่อระบบเข้าสู่สภาวะคงตัวจึงเหลือเพียงแต่ค่าผลตอบสนองบังคับเพียงอย่างเดียวตามสมการที่ 3.67 ทั้งนี้สามารถทำให้ค่าผลตอบสนองธรรมชาติเข้าสู่ศูนย์เร็วขึ้นโดยทำให้เฟสเปลี่ยนด้วยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน

$$\phi_o(t) = \omega_i t + \theta_i - \left(\frac{\omega_i - C\omega_r - BCm(t)}{D}\right) \tag{3.67}$$

จากสมการที่ 3.67 สมการเอาต์พุตที่ได้มีความถี่เท่ากับความถี่ของสมการอินพุตของระบบ แต่จะมีเฟสที่ต่างออกไป โดยมีค่าความต่างเฟส $(\phi_d(t))$ ระหว่างสมการอินพุตและสัญญาณเอาต์พุตคือ

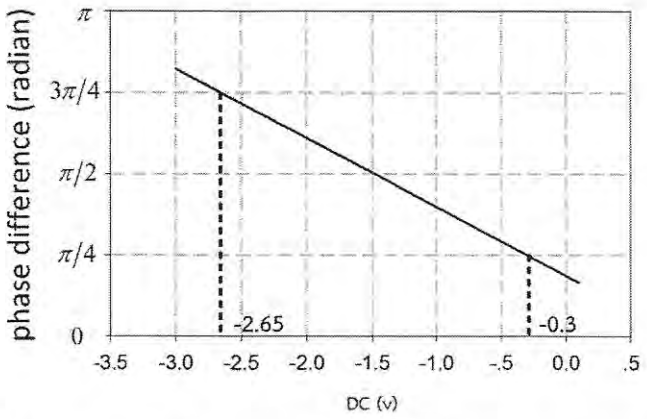
$$\phi_d(t) = \frac{\omega_i - C\omega_r - BCm(t)}{D} \tag{3.68}$$

จากสมการที่ 3.68 ค่าระดับไฟตรงมีผลต่อค่าความต่างเฟสของสัญญาณเอาต์พุต เมื่อกำหนดค่าคงที่ต่างๆ ในวงจร

$$\omega_i = 2\pi \times 70{,}000\, rad/\sec \qquad A = 1$$
$$\omega_r = 2\pi \times 86{,}730\, rad/\sec \qquad B = 2\pi \times -17{,}000\, rad/\sec$$
$$k_d = 0.7955 \qquad C = 0.919737$$

สามารถเขียนกราฟแสดงความสัมพันธ์ระหว่างค่าไฟตรงและความต่างเฟสได้ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 กราฟแสดงความสัมพันธ์ระหว่างค่าไฟตรงและความต่างเฟส

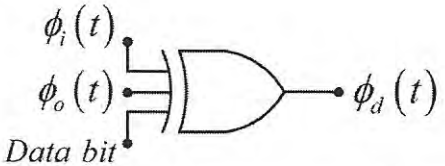
จากรูปที่ 3.4 ที่ระดับไฟตรง -2.65 v และ -0.3 v จะทำให้ค่าความต่างเฟสอยู่ที่ $3\pi/4$ และ $\pi/4$ เรเดียนตามลำดับ ซึ่งความสัมพันธ์ดังกล่าวนำไปสู่การออกแบบวงจรมอดูเลตทางเฟส โดยมีข้อดีที่ต่างจากการเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายคือ เมื่อสัญญาณเปลี่ยนเฟสตามบิตข้อมูล ทำให้เกิดค่าของผลตอบสนองธรรมชาติขึ้น และลดลงจนเข้าสู่สภาวะคงตัว ซึ่งช่วงเวลาที่ใช้ในการเข้าสู่สภาวะคงตัวคือช่วงเวลาที่เฟสของสัญญาณเปลี่ยนจากเฟสหนึ่งไปอีกเฟสหนึ่งจะมีค่าคงที่ตามสมการที่ 3.66 ทำให้การออกแบบการดีมอดูเลตสัญญาณ สามารถออกแบบให้ละทิ้งข้อมูลในช่วงเวลาที่เฟสกำลังเปลี่ยนได้ง่าย

3.2.3 การกลับเฟสสัญญาณเอาต์พุตของวงจรเฟสล็อคลูปโดยอาศัยหลักการทำงานของ xor gate 3 อินพุต

ในหัวข้อนี้กล่าวถึงเทคนิคกลับเฟสสัญญาณเอาต์พุตของวงจรเฟสล็อคลูป โดยอาศัยการทำงานของ xor gate ซึ่งเป็นวงจรตรวจจับความต่างเฟสชนิดดิจิตอล โดยทั่วไปโครงสร้างของวงจรเฟสล็อคลูปที่ใช้ xor gate เป็นวงจรตรวจจับความต่างเฟสมีอินพุตเพียง 2 ขาสำหรับสัญญาณอินพุต $(\phi_i(t))$ และสัญญาณเอาต์พุต $(\phi_o(t))$ เท่านั้น มีสัญญาณความต่างเฟส $(\phi_d(t))$ เป็นเอาต์พุตของวงจร ซึ่งสามารถตรวจจับความต่างเฟสได้ตั้งแต่ 0 ถึง π เรเดียน

การกลับเฟสสัญญาณเอาต์พุตของวงจรเฟสล็อคลูปในหัวข้อนี้อาศัยหลักการทำงานของ xor gate 3 อินพุต โดยให้สัญญาณอินพุตคือ สัญญาณอินพุต $(\phi_i(t))$, สัญญาณเอาต์พุต $(\phi_o(t))$ และบิตข้อมูล มีสัญญาณความต่างเฟส $(\phi_d(t))$ เป็นสัญญาณเอาต์พุตของวงจร ดังแสดงในรูปที่ 3.5 ซึ่งมีตารางค่าความจริงแสดงการทำงานตามตารางที่ 3.1 สังเกตได้ว่าสัญญาณเอาต์พุตที่ได้เมื่อบิตข้อมูลมีค่าสถานะต่ำ (L) มีค่าความจริงเหมือนสัญญาณเอาต์พุตที่ได้จาก xor gate 2 อินพุต และเมื่อบิตข้อมูลมีค่าสถานะสูง (H) ค่าความจริงที่ได้จะเปลี่ยนไปเป็นตรงกันข้ามคือ เมื่อสัญญาณอินพุตที่เหลือของวงจรมีค่าสถานะต่างกันจะให้สัญญาณเอาต์พุตเป็น L และเมื่อมีค่าสถานะเหมือนกันจะให้สัญญาณเอาต์พุตเป็น H ซึ่งแสดงภาพการทำงานได้ในรูปที่ 3.6

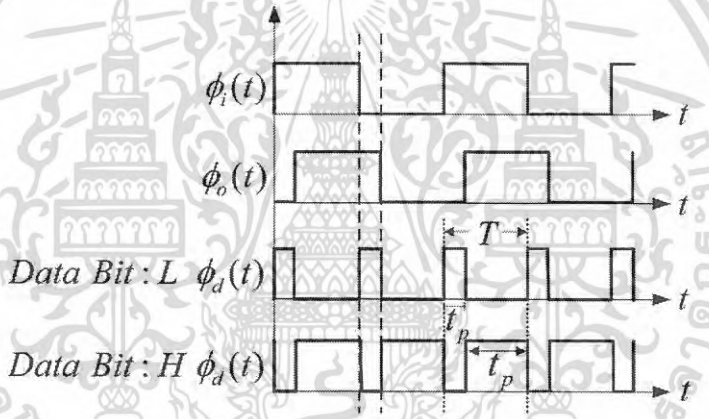
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรตรวจจับความต่างเฟส xor gate แบบ 3 อินพุต

ตารางที่ 3.1 ตารางค่าความจริงของ xor gate 3 อินพุต

บิตข้อมูล	$\phi_i(t)$	$\phi_o(t)$	$\phi_d(t)$
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	L
H	H	L	L
H	H	H	H



รูปที่ 3.6 ภาพประกอบการทำงานของวงจรตรวจจับความต่างเฟสภายใต้การควบคุมการทำงานด้วยบิตข้อมูล

จากรูปที่ 3.6 สามารถเขียนค่าดิวตี้ไซเคิลเป็นสมการทางคณิตศาสตร์ได้ดังนี้
เมื่อบิตข้อมูลเป็น L

$$Duty\ cycle\left(\phi_d(t)\right)=\frac{t_p}{T} \tag{3.69}$$

และเมื่อบิตข้อมูลเป็น H

$$Duty\ cycle\left(\phi_d(t)\right)=1-\frac{t_p}{T} \tag{3.70}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

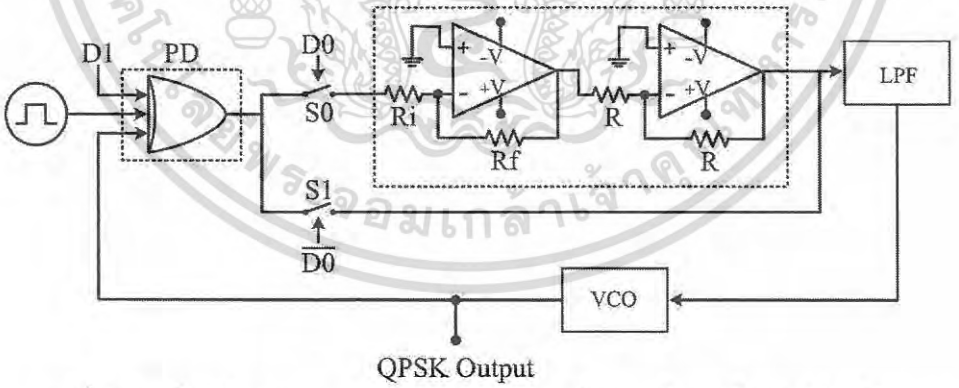
ด้วยหลักการดังกล่าววงจรเฟสล็อคลูปสามารถเลื่อนเฟสของสัญญาณเอาต์พุตไปได้ π เรเดียนซึ่งเทคนิคที่นำเสนอในหัวข้อทั้งหมดสามารถสร้างวงจรมอดูเลต QPSK โดยอาศัยวงจรเฟสล็อคลูปได้ ในหัวข้อถัดไปจะกล่าวถึงการสร้างวงจรมอดูเลต QPSK โดยอาศัยวงจรเฟสล็อคลูปที่เพิ่มส่วนวงจรรวมสัญญาณร่วมกับการควบคุมการทำงานของวงจรตรวจจับความต่างเฟสด้วยบิตข้อมูล

3.3 การประยุกต์วงจรเฟสล็อคลูปในการมอดูเลตสัญญาณ QPSK

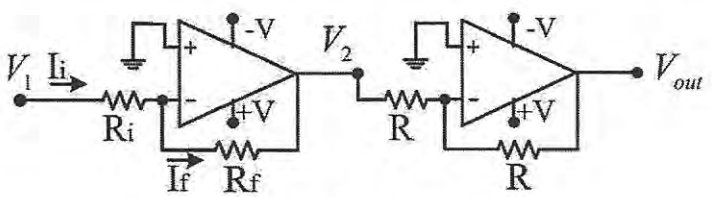
หัวข้อก่อนหน้านี้ได้นำเสนอหลักการเลื่อนเฟสของสัญญาณเอาต์พุตวงจรเฟสล็อคลูป โดยอาศัยความสัมพันธ์จากสมการที่ 3.37 และ 3.68 ซึ่งสามารถประยุกต์สร้างวงจรมอดูเลตสัญญาณ QPSK ได้ 2 แบบคือ วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย และวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

3.3.1 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย

วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย เป็นการประยุกต์ใช้ความสัมพันธ์ในสมการที่ 3.37 ซึ่งความถี่อ้างอิง (ω_r) และ อัตราขยายของวงจรขยาย (k_1, k_2) มีผลต่อการเลื่อนเฟสของสัญญาณเอาต์พุต สามารถแสดงบล็อกไดอะแกรมของวงจรในรูปที่ 3.7 วงจรในเส้นประ คือวงจรขยายแบบกลับเฟส (inverting amplifier) จำนวน 2 ชุด ถูกเพิ่มเข้าไประหว่างวงจรตรวจจับความต่างเฟสและวงจรกรองความถี่ต่ำผ่าน ทำให้สามารถปรับการเลื่อนเฟสของสัญญาณเอาต์พุตได้จากการปรับค่าของอัตราขยาย โดยแสดงการวิเคราะห์การทำงานของวงจรขยายในรูปที่ 3.8 ที่ออปแอมป์ (op-amp) ชุดแรกทางซ้าย ที่โหนดขาลบมีค่าความต่างศักย์เป็น 0 โวลต์ เมื่อเทียบกับกราวด์ ซึ่งแสดงได้ดังสมการที่ 3.71



รูปที่ 3.7 บล็อกไดอะแกรมวงจรมอดูเลต QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย



รูปที่ 3.8 วงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_i = I_f \tag{3.71}$$

จากกฎของโอห์ม $(V = IR)$ จะได้

$$\frac{V_1 - 0}{R_i} = \frac{0 - V_2}{R_f} \tag{3.72}$$

จากสมการที่ 3.72 จะได้อัตราขยายของวงจรคือ

$$Gain = \frac{V_1}{V_2} = -\frac{R_i}{R_f} \tag{3.73}$$

จากสมการที่ 3.73 เพื่อให้อัตราขยายมีค่าเป็นบวกจึงเพิ่มวงจรขยายแบบกลับเฟสที่มีอัตรา -1 ทำให้อัตราขยายที่ได้คือ

$$Gain = \frac{V_{out}}{V_1} = \frac{R_i}{R_f} \tag{3.74}$$

ถึงแม้ว่าการใช้วงจรขยายวิธีนี้ต้องใช้วงจรขยายแบบกลับเฟสถึง 2 ชุด แต่มีข้อดีคือสามารถใช้อัตราขยายที่ต่ำกว่า 1 ได้ นอกจากนี้บล็อกไดอะแกรมวงจรมอดูเลต QPSK ที่นำเสนอ เมื่อไม่ใช้วงจรขยายในการเลื่อนเฟสจะใช้ความสัมพันธ์ของสัญญาณอ้างอิงในการเลื่อนเฟสแทน ทำให้ลดการใช้วงจรขยายไปได้ ทั้งนี้การออกแบบตารางการเข้ารหัสในการมอดูเลตได้ถูกแสดงในตารางที่ 3.2 ซึ่งใช้ข้อมูลบิตในการควบคุมการทำงานของวงจร เมื่อเทียบกับการมอดูเลตแบบดั้งเดิมวิธีที่นำเสนอไม่ต้องใช้วงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อก ทั้งนี้สามารถอธิบายการทำงานของวงจรดังกล่าวได้ดังนี้ สวิตช์ $S0$ ถูกควบคุมโดยบิตข้อมูล $D0$ (สวิตช์ปิดเมื่อ $D0$: High (H) และเปิดเมื่อ $D0$: Low (L)) สวิตช์ $S1$ ถูกควบคุมโดยค่าตรงข้ามของบิตข้อมูล $D0$ สำหรับ $D1$ คืออินพุตให้กับ xor gate โดยถ้า $D1 : L$ จะไม่มีการกลับเฟสของสัญญาณเอาต์พุต แต่ถ้า $D1 : H$ เฟสของสัญญาณเอาต์พุตจะถูกเลื่อนไป 180 องศา

ตารางที่ 3.2 ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลต QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย

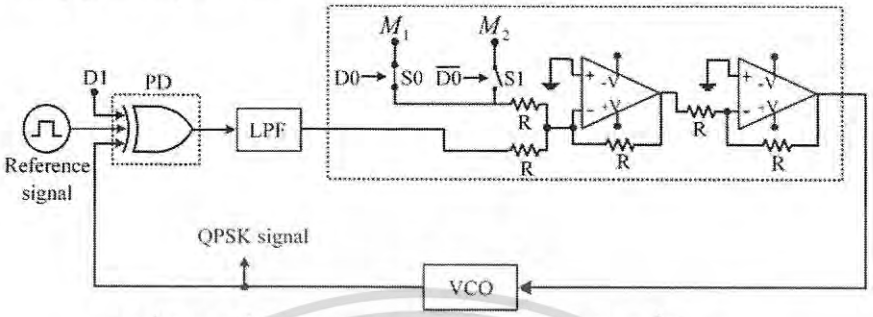
การเลื่อนเฟส	$D1$	$D0$	$S1$	$S0$
$\pi/4$	L	L	ปิด	เปิด
$3\pi/4$	L	H	เปิด	ปิด
$-3\pi/4$	H	L	ปิด	เปิด
$-\pi/4$	H	H	เปิด	ปิด

3.3.2 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณได้เพิ่มวงจรรวมสัญญาณในวงจรเฟสล็อคลูป ระหว่างวงจรกรองความถี่ต่ำผ่านและวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน ซึ่งตามสมการสามารถเลื่อนเฟสได้ตามระดับแรงดันสัญญาณอินพุต (M) ทั้งนี้เมื่อเปลี่ยนระดับสัญญาณอินพุตอย่างทันทีทันใดตามบิตข้อมูลที่มอดูเลต จะมีการเปลี่ยนเฟสแบบต่อเนื่อง ซึ่งทำ

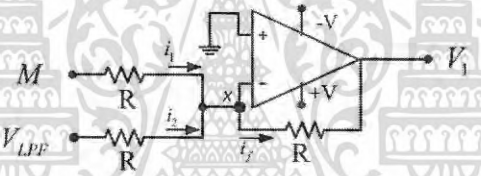
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ใช้แบนด์วิดท์ต่ำกว่าการส่งสัญญาณ QPSK แบบดั้งเดิม อีกทั้งมีระยะเวลาในการเลื่อนเฟสคงที่ ทำให้ดีมอดูเลตสัญญาณง่ายกว่าการดีมอดูเลตสัญญาณ QPSK ที่สร้างมาจากวงจรเฟสล็อคลูปที่ควบคุมอัตราขยายภายในระบบ หลักการสร้างวงจรมอดูเลต QPSK ใช้บิตข้อมูลควบคุมการทำงานของสวิตช์เพื่อสลับระดับสัญญาณอินพุตที่ใช้ในการเลื่อนเฟสแต่ละตำแหน่ง ดังรูปที่ 3.9



รูปที่ 3.9 บล็อกไดอะแกรมวงจรมอดูเลต QPSK ที่นำเสนอ

จากรูปที่ 3.9 วงจรในเส้นประ คือวงจรรวมสัญญาณแบบกลับเฟส และวงจรขยายแบบกลับเฟส เหตุผลที่ใช้ทั้ง 2 วงจรร่วมกันเพราะต้องการให้ผลรวมของแรงดันไฟฟ้าเป็นค่าบวกเพื่อเป็นอินพุตให้กับวงจร VCO โดยวงจรรวมสัญญาณแบบกลับเฟสรูปที่ 3.10 สามารถแสดงการวิเคราะห์วงจรได้ดังนี้



รูปที่ 3.10 วงจรรวมสัญญาณแบบกลับเฟส

กำหนดให้ M คือ ค่าแรงดันไฟฟ้าที่ใช้ในการเลื่อนเฟส

V_{LPF} คือ ค่าแรงดันไฟฟ้าที่ได้จากวงจรกรองความถี่ต่ำผ่าน

V_1 คือ เอาต์พุตที่ได้จากวงจรรวมสัญญาณแบบกลับเฟส

V_{out} คือ เอาต์พุตสุดท้ายก่อนเข้า VCO

พิจารณาการวิเคราะห์ในส่วนวงจรรวมสัญญาณที่โหนด X จะได้ว่า

$$i_1 + i_2 - i_f = 0$$

$$i_f = i_1 + i_2 \tag{3.75}$$

จากกฎของโอห์ม $(V = IR)$

$$\frac{V_x - V_1}{R} = \frac{M - V_x}{R} + \frac{V_{LFP} - V_x}{R} \tag{3.76}$$

จากรูปที่ 3.10 ค่าแรงดัน V_x มีค่าเท่ากับ 0

$$-V_1 = M + V_{LFP} \tag{3.77}$$

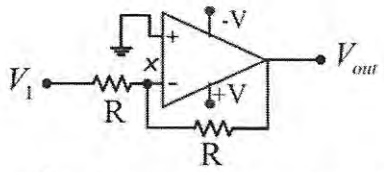
หรือ

$$V_1 = -(M + V_{LPF}) \tag{3.78}$$

จากสมการที่ 3.78 สัญญาณเอาต์พุตจากวงจรรวมสัญญาณเป็นระดับแรงดันไฟลบ แต่เนื่องจากการทำงานของวงจร VCO โดยทั่วไป รับอินพุตเป็นแรงดันไฟฟ้าค่าบวก ดังนั้นจึงต้องเพิ่มวงจรขยายแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับเฟสที่มีอัตราขยายเท่ากับ -1 เพื่อให้ได้สัญญาณเอาต์พุตเป็นแรงดันไฟฟ้าค่าบวก ในรูปที่ 3.11 แสดงวงจรขยายแบบกลับเฟส ซึ่งมีการวิเคราะห์ต่อไปนี้



รูปที่ 3.11 วงจรขยายแบบกลับเฟส

จากรูปที่ 3.11 ความสัมพันธ์ของกระแสที่โหนด x แสดงได้ดังนี้

$$i_1 - i_f = 0 \tag{3.79}$$

จากกฎของโอห์ม $(V = IR)$

$$\frac{V_1 - V_x}{R} - \frac{V_x - V_{out}}{R} = 0 \tag{3.80}$$

จะได้

$$V_{out} = -\frac{R}{R}(V_1) \tag{3.81}$$

เมื่อแทนสมการที่ 3.78 ลงในสมการที่ 3.81 จะได้

$$V_{out} = M + V_{LPF} \tag{3.82}$$

ดังนั้นเมื่อเพิ่มหรือลดค่าแรงดันไฟฟ้า M จึงทำให้ค่าของสัญญาณอินพุตวงจร VCO มีการเปลี่ยนแปลงและส่งผลโดยตรงต่อการเปลี่ยนเฟสของสัญญาณเอาต์พุต ซึ่งนำไปสู่การสร้างวงจรมอดูเลต QPSK บนพื้นฐานวงจรเฟสล็อคลูปในงานที่นำเสนอ

การมอดูเลตที่นำเสนอสามารถใช้ข้อมูลในการควบคุมสวิตช์และเป็นสัญญาณอินพุตให้กับวงจรตรวจจับความต่างเฟสได้ทันที โดยบิตข้อมูล $D0$ และ $\overline{D0}$ ควบคุมการทำงานของสวิตช์ $S0$ และ $S1$ ตามลำดับ (สวิตช์เป็นวงจรปิดเมื่อมีสถานะที่ควบคุมเป็น High (H)) ส่วนบิตข้อมูล $D1$ เป็นอินพุตให้วงจรตรวจจับความต่างเฟส เมื่อบิตข้อมูล $D1$ มีสถานะเป็น Low (L) จะไม่มีการกลับเฟสของสัญญาณ QPSK แต่เมื่อบิตข้อมูล $D1$ มีสถานะเป็น H จะกลับเฟสของสัญญาณ QPSK โดยสามารถเขียนตารางการเข้ารหัสในการมอดูเลตได้ ตามตารางที่ 3.3

ตารางที่ 3.3 ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

การเลื่อนเฟส	$D1$	$D0$	$S1$	$S0$
$3\pi/4$	L	L	ปิด	เปิด
$\pi/4$	L	H	เปิด	ปิด
$-3\pi/4$	H	L	ปิด	เปิด
$-\pi/4$	H	H	เปิด	ปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 การลดเวลาเลื่อนเฟสโดยปรับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน

จากการวิเคราะห์ค่าผลตอบสนองของระบบเฟสล็อคลูป เมื่อมีการเปลี่ยนแปลงค่าพารามิเตอร์ของระบบตามการเปลี่ยนแปลงของบิตข้อมูลเพื่อให้เฟสของสัญญาณเอาต์พุตเลื่อนไปตำแหน่งที่ต้องการ จะเกิดค่าผลตอบสนองธรรมชาติขึ้นทุกครั้งและมีค่าเข้าสู่ศูนย์เมื่อเฟสของเอาต์พุตเลื่อนเสร็จสิ้น ซึ่งสามารถคำนวณค่าเวลาของการเลื่อนเฟสได้จากเวลาที่ค่าผลตอบสนองธรรมชาติใช้จนเข้าสู่ศูนย์ ค่าเวลาเข้าสู่สภาวะคงตัว (t) นั้นสามารถหาได้จากค่าเวลาคงตัว (τ) จากสมการที่ 3.66 ซึ่งประกอบไปด้วยส่วนของฟังก์ชันก์เอ็กซ์โพเนนเชียล 2 พจน์ด้วยกัน โดยค่าเวลาคงตัวมีค่าโดยประมาณดังสมการที่ 3.83

$$\tau = \frac{1}{D} + \frac{1}{\omega_c + D} \tag{3.83}$$

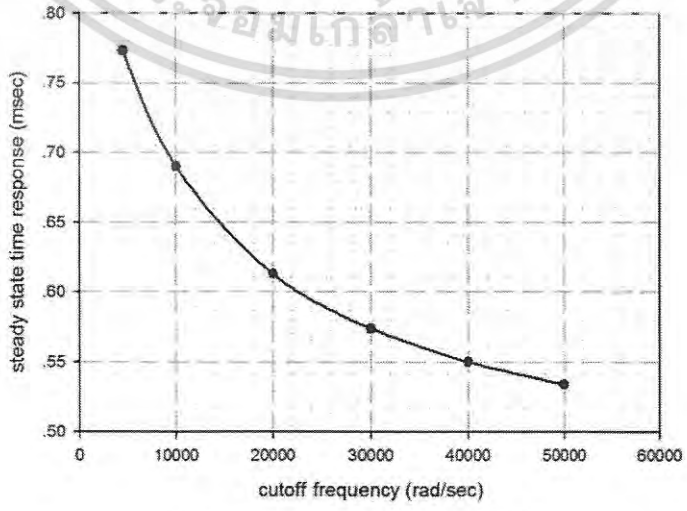
ซึ่งทำให้สามารถหาค่าเวลาเข้าสู่สภาวะคงตัว (t) ได้จาก

$$t = 5\tau \tag{3.84}$$

จากสมการที่ 3.84 ทำให้ทราบว่าสามารถลดค่าเวลาเข้าสู่สภาวะคงตัวของเฟสล็อคลูป โดยไม่มีผลต่อตำแหน่งเฟสได้โดยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน ซึ่งสามารถแสดงค่าเวลาเข้าสู่สภาวะคงตัวที่ค่าความถี่ตัดต่างๆตามตารางที่ 3.4 และเขียนกราฟแสดงความสัมพันธ์ได้ดังรูปที่ 3.12

ตารางที่ 3.4 ค่าเวลาเข้าสู่สภาวะคงตัวที่ค่าความถี่ตัดต่างๆ

ค่าความถี่ตัดของ LPF (rad/sec)	ค่าเวลาเข้าสู่สภาวะคงตัว (msec)
4,545	0.7730
10,000	0.6900
20,000	0.6130
30,000	0.5740
40,000	0.5500
50,000	0.5340



รูปที่ 3.12 กราฟแสดงความสัมพันธ์ระหว่างปริมาณเวลาเข้าสู่สภาวะคงตัวที่ค่าความถี่ตัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมโดยอาศัยเทคนิคทางตรีโกณมิติ

ในหัวข้อนี้กล่าวถึงสัญญาณ QPSK แบบดั้งเดิมที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่องโดยอาศัยเทคนิคทางตรีโกณมิติ [11] เพื่อใช้ในการเปรียบเทียบกับสัญญาณ QPSK ที่ได้จากวงจรเฟสล็อคลูปซึ่งมีการเปลี่ยนเฟสแบบต่อเนื่อง ซึ่งวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเทคนิคทางตรีโกณมิติแตกต่างจากการมอดูเลตสัญญาณ QPSK แบบดั้งเดิมทั่วไป คือสามารถละทิ้งวงจรคูณและวงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อกได้ ทั้งนี้การมอดูเลตดังกล่าวจะใช้เพียงวงจรพื้นฐานอย่างวงจรรวมสัญญาณและวงจรขยายร่วมกับสวิตช์เท่านั้น

เป็นที่ทราบกันดีว่าสัญญาณ QPSK คือสัญญาณคลื่นรูปซายน์ที่ถูกเลื่อนเฟสไปจากสัญญาณอ้างอิง 4 ตำแหน่งคือ $\frac{\pi}{4}, \frac{3\pi}{4}, -\frac{3\pi}{4}$ และ $-\frac{\pi}{4}$ เรเดียน สามารถเขียนด้วยสมการฟังก์ชันทางคณิตศาสตร์สำหรับสัญญาณ QPSK เมื่อกำหนดให้ m เป็นจำนวนเต็มบวกได้ดังนี้

$$s(t)=\cos\left(\omega_c t+(2m-1)\frac{\pi}{4}\right) \tag{3.85}$$

ใช้ความสัมพันธ์ของมุมผลบวกฟังก์ชันโคซายน์ คือ $\cos(A+B)=\cos A\cos B-\sin A\sin B$ จะได้

$$s(t)=\cos(\omega_c t)\cos\left(\frac{m\pi}{2}-\frac{\pi}{4}\right)-\sin(\omega_c t)\sin\left(\frac{m\pi}{2}-\frac{\pi}{4}\right) \tag{3.86}$$

นำสมการที่ 3.86 จัดรูปอีกครั้ง

$$\begin{aligned} s(t)=&\cos\left(\frac{\pi}{4}\right)\left[\cos(\omega_c t)\cos\left(\frac{m\pi}{2}\right)-\sin(\omega_c t)\sin\left(\frac{m\pi}{2}\right)\right]\\ &+\sin\left(\frac{\pi}{4}\right)\left[\cos(\omega_c t)\sin\left(\frac{m\pi}{2}\right)+\sin(\omega_c t)\cos\left(\frac{m\pi}{2}\right)\right] \end{aligned} \tag{3.87}$$

โดยกำหนดให้ $s_1(t)=\cos(\omega_c t)\cos\left(\frac{m\pi}{2}\right)$, $s_2(t)=\sin(\omega_c t)\sin\left(\frac{m\pi}{2}\right)$, $s_3(t)=\cos(\omega_c t)\sin\left(\frac{m\pi}{2}\right)$ และ $s_4(t)=\sin(\omega_c t)\cos\left(\frac{m\pi}{2}\right)$ จะได้ว่า

$$s(t)=\cos\left(\frac{\pi}{4}\right)\left[s_1(t)-s_2(t)\right]+\sin\left(\frac{\pi}{4}\right)\left[s_3(t)+s_4(t)\right] \tag{3.88}$$

เมื่อกำหนดค่า m เป็น 1, 2, 3 และ 4 สามารถเขียนสมการที่ 3.88 ในขณะเลื่อนเฟส (θ) ต่างๆ ดังตารางที่ 3.5

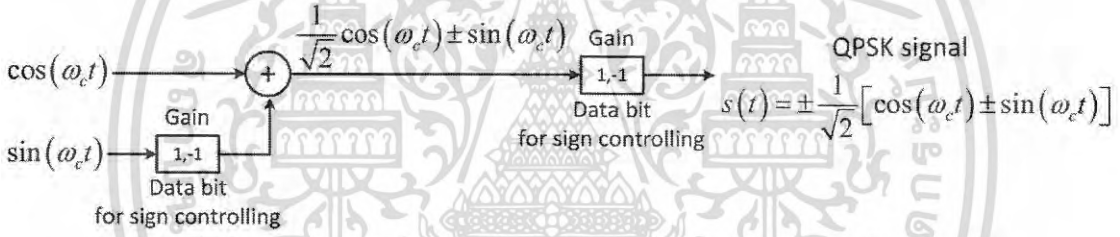
ตารางที่ 3.5 สมการ QPSK ที่เฟสต่างๆ

m	θ	$s_1(t)$	$s_2(t)$	$s_3(t)$	$s_4(t)$	$s(t)$
1	$\pi/4$	0	$\sin(\omega_c t)$	$\cos(\omega_c t)$	0	$1/\sqrt{2}\left[\cos(\omega_c t)-\sin(\omega_c t)\right]$
2	$3\pi/4$	$-\cos(\omega_c t)$	0	0	$-\sin(\omega_c t)$	$-1/\sqrt{2}\left[\cos(\omega_c t)+\sin(\omega_c t)\right]$
3	$-3\pi/4$	0	$-\sin(\omega_c t)$	$-\cos(\omega_c t)$	0	$-1/\sqrt{2}\left[\cos(\omega_c t)-\sin(\omega_c t)\right]$
4	$-\pi/4$	$\cos(\omega_c t)$	0	0	$\sin(\omega_c t)$	$1/\sqrt{2}\left[\cos(\omega_c t)+\sin(\omega_c t)\right]$

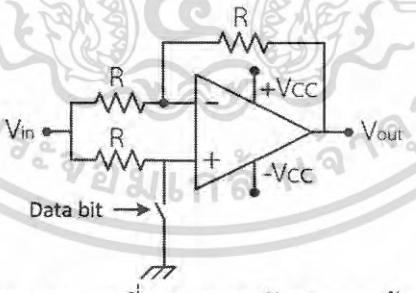
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 3.5 เมื่อสังเกตสมการ $s(t)$ สามารถสร้างสัญญาณ QPSK ที่เลื่อนเฟสไปที่ $\pi/4, -\pi/4$ เรเดียน ได้จากผลรวมระหว่างสัญญาณ $\cos(\omega_c t)$ และ $\pm\sin(\omega_c t)$ โดยเมื่อนำผลบวกนี้เลื่อนเฟสไป π เรเดียน ด้วยวงจรขยายที่มีอัตราขยาย -1 จะได้สัญญาณที่เลื่อนเฟสไป $-3\pi/4$ และ $3\pi/4$ เรเดียน ตามลำดับ โดยสามารถเขียนบล็อกไดอะแกรมแสดงการทำงานได้ดังรูปที่ 3.13 อัตราขยายของวงจรขยายสามารถมีค่าเป็น 1 หรือ -1 ตามบิตข้อมูล เมื่อทำงานร่วมกับวงจรรวมสัญญาณ ทำให้ได้สัญญาณ QPSK ตามหลักการที่นำเสนอ ซึ่งเทคนิคการควบคุมอัตราขยายด้วยบิตข้อมูลและวงจรมอดูเลต QPSK จะประกอบด้วยออปแอมป์และแอนะล็อกสวิตช์ และมีเทคนิคการทำงานของวงจรดังรูปที่ 3.14 วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูลสามารถให้อัตราขยาย 2 ค่าด้วยกันคือ 1 และ -1 ตามการทำงานของสวิตช์ ซึ่งทำให้วงจรมี 2 รูปแบบ โดยสามารถอธิบายการทำงานของวงจรได้ดังนี้

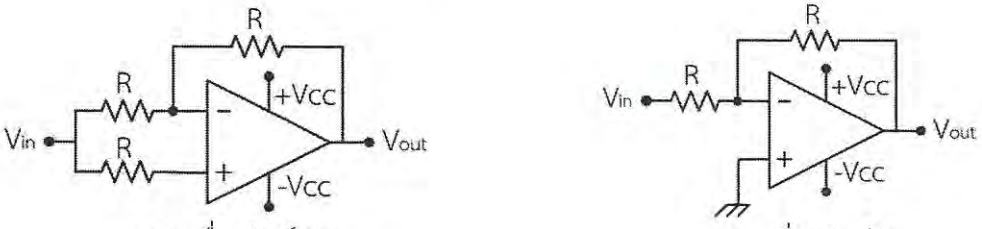
เมื่อบิตควบคุมเป็น "Low" สถานะของสวิตช์เปิด แสดงวงจรได้ดังรูปที่ 3.15 (ก) ค่าแรงดันไฟฟ้าที่ขาบวกและขาลบของออปแอมป์จะมีค่าเท่ากัน โดยสามารถเขียนเป็นสมการความสัมพันธ์ระหว่างแรงดันไฟฟ้าสัญญาณอินพุต (V_{in}) และแรงดันไฟฟ้าสัญญาณเอาต์พุต (V_{out}) ได้ดังสมการที่ 3.87



รูปที่ 3.13 บล็อกไดอะแกรมวงจรมอดูเลต QPSK โดยอาศัยเทคนิคทางตรีโกณมิติ



รูปที่ 3.14 วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูล



(ก) เมื่อสวิตช์เปิด (ข) เมื่อสวิตช์ปิด

รูปที่ 3.15 วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูล เมื่อเมื่อสวิตช์เปิดและปิด

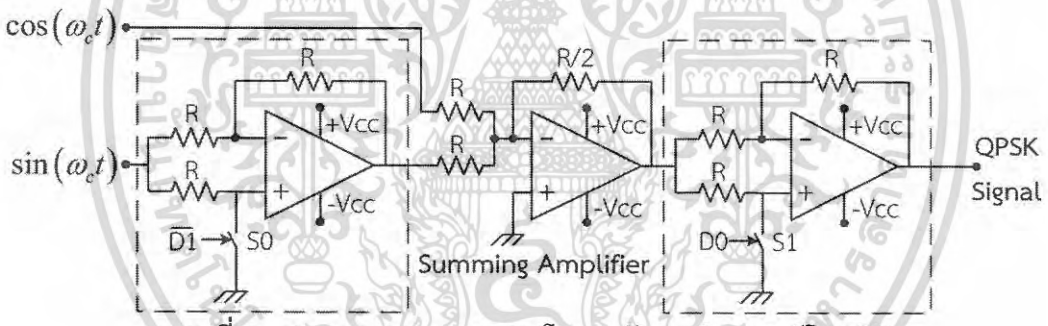
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} = V_{out} \tag{3.89}$$

และเมื่อบิตควบคุมเป็น "High" สถานะของสวิตช์ปิด วงจรทำหน้าที่เป็นวงจรขยายแบบกลับเฟสที่มีอัตราขยายเป็น -1 ดังแสดงในรูปที่ 3.15(ข.) โดยสามารถเขียนเป็นสมการความสัมพันธ์ระหว่างแรงดันไฟฟ้าสัญญาณอินพุต (V_{in}) และแรงดันไฟฟ้าสัญญาณเอาต์พุต (V_{out}) ได้คือ

$$V_{in} = -V_{out} \tag{3.90}$$

ด้วยเทคนิคการควบคุมอัตราขยายด้วยบิตข้อมูลทำให้สามารถออกแบบวงจรมอดูเลต QPSK ได้ตามรูปที่ 3.16 โดยวงจรมอดูเลต QPSK จะประกอบไปด้วย วงจรขยายที่ถูกควบคุมอัตราขยายด้วยบิตข้อมูลและวงจรรวมสัญญาณ กำหนดการทำงานของวงจรมอดูเลตที่นำเสนอให้บิต $\overline{D1}$ ควบคุมการทำงานวงจรขยายชุดที่ 1 และบิต $D0$ ควบคุมการทำงานวงจรขยายชุดที่ 2 จากการทำงานของวงจรขยายชุดที่ 1 ได้สัญญาณเอาต์พุตเป็น $\pm\sin(\omega_c t)$ ตามบิตข้อมูล $\overline{D1}$ ซึ่งเมื่อนำมารวมกับสัญญาณ $\cos(\omega_c t)$ ด้วยวงจรรวมสัญญาณจะได้สัญญาณที่เลื่อนเฟสไป $\pi/4$ และ $-\pi/4$ เรเดียน และเมื่อนำสัญญาณไปผ่านวงจรขยายชุดที่ 2 ซึ่งทำงานภายใต้การควบคุมของบิต $D0$ จะทำให้เฟสของสัญญาณ QPSK เลื่อนไปได้ทั้ง 4 ตำแหน่ง โดยแสดงวงจรมอดูเลต QPSK ที่อาศัยเทคนิคทางตรีโกณมิติในรูปที่ 3.16 และสามารถเขียนเงื่อนไขการทำงานเป็นตารางการเข้ารหัสในการมอดูเลตตามตารางที่ 3.6



รูปที่ 3.16 วงจรมอดูเลต QPSK โดยอาศัยเทคนิคทางตรีโกณมิติ

ตารางที่ 3.6 ตารางการเข้ารหัสในการมอดูเลตของวงจรมอดูเลต QPSK โดยอาศัยเทคนิคทางตรีโกณมิติ

การเลื่อนเฟส	$\overline{D1}$	$D1$	$D0$	$S0$	$S1$
$\pi/4$	L	H	L	เปิด	เปิด
$3\pi/4$	H	L	H	ปิด	ปิด
$-3\pi/4$	L	H	H	เปิด	ปิด
$-\pi/4$	H	L	L	ปิด	เปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

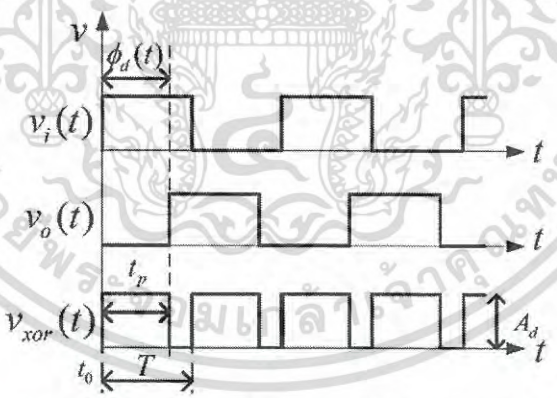
การวิเคราะห์ค่าความคลาดเคลื่อน

4.1 กล่าวนำ

ในบทนี้แสดงการวิเคราะห์ค่าความคลาดเคลื่อนทางเฟส, สัญญาณรบกวนทางเฟส และค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์ที่ผิดพลาดของสัญญาณ QPSK ที่ได้จากการมอดูเลตด้วยวิธีประยุกต์ใช้วงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณที่นำเสนอในบทที่ 3 ซึ่งมีการเลื่อนเฟสแบบต่อเนื่องและเวลาในการเปลี่ยนเฟสคงที่ ซึ่งสามารถลดช่วงเวลาที่ใช้ในการเปลี่ยนเฟสได้โดยการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน แต่จะมีผลต่อค่าความคลาดเคลื่อนของสัญญาณได้

4.2 ค่าความคลาดเคลื่อนทางเฟส

ในหัวข้อนี้วิเคราะห์ความผิดพลาดทางเฟส (θ_{error}) ของสัญญาณ QPSK ที่นำเสนอ ซึ่งเป็นที่ทราบกันดีว่าวงจรตรวจจับความต่างเฟสแบบดิจิตอล โดยเฉพาะ xor gate ในวงจรเฟสล็อคลูปให้สัญญาณเอาต์พุตออกมาในรูปแบบของสัญญาณมอดูเลตความกว้างพัลส์ (pulse width modulation : PWM) ดังรูปที่ 4.1



รูปที่ 4.1 ความสัมพันธ์ของสัญญาณอินพุตและสัญญาณเอาต์พุตของ xor gate

จากรูปที่ 4.1 $v_i(t)$ คือสัญญาณอ้างอิงของวงจรเฟสล็อคลูป, $v_o(t)$ คือสัญญาณเอาต์พุตที่ได้จากวงจร VCO และ $v_{xor}(t)$ คือสัญญาณเอาต์พุตของ xor gate ซึ่งมีช่วงเวลาการเกิดพัลส์บวก (t_p) แปรผันตรงตามความต่างเฟส $(\phi_d(t))$ โดยที่ค่า

A_d คือ ขนาดของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟส
t_p คือ เวลาในการเกิดพัลส์บวก
T คือ คาบเวลาของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 สามารถเขียนสมการความสัมพันธ์ของช่วงเวลาการเกิดพัลส์บวกกับค่าความต่างเฟส ได้ดังสมการที่ 4.1

$$t_p = \frac{T\phi_d(t)}{2\pi} \tag{4.1}$$

จากสมการที่ 4.1 ช่วงเวลาการเกิดพัลส์บวกแปรผันโดยตรงกับค่าความต่างเฟสทำให้สัญญาณเอาต์พุตของ xor gate $(v_{xor}(t))$ ในวงจรเฟสล็อคลูปคือสัญญาณมอดูเลตความกว้างพัลส์ $(v_{PWM}(t))$ ที่มีความกว้างพัลส์แปรผันตรงกับค่าความต่างเฟสและเมื่อพิจารณาองค์ประกอบของสัญญาณ PWM สามารถเขียนสมการองค์ประกอบของสัญญาณ PWM [12] ได้ดังสมการที่ 4.2

$$v_{PWM}(t) = \frac{A_d t_p}{T} + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\frac{1}{n}\sin(n\omega_0 t) - \frac{1}{n}\sin\left(n\omega_0\left(t - t_p\right)\right)\right] \tag{4.2}$$

โดยที่ค่า

ω_0 คือ ความถี่เชิงมุมของ $\phi_d(t)$

แทนสมการที่ 4.1 ลงในสมการที่ 4.2 จะได้

$$v_{PWM}(t) = \frac{\phi_d(t)}{2\pi} + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\frac{1}{n}\sin(n\omega_0 t) - \frac{1}{n}\sin\left(n\omega_0\left(t - \frac{T\phi_d(t)}{2\pi}\right)\right)\right] \tag{4.3}$$

เมื่อ $v_{PWM}(t)$ ผ่านวงจรกรองความถี่ต่ำผ่านที่มีผลตอบสนองขนาดทางความถี่ และ ผลตอบสนองเฟสทางความถี่ แสดงดังสมการที่ 4.4 และ 4.5 ตามลำดับ

$$\left|H_{LPF}(\omega)\right| = \frac{1}{\sqrt{1+(\omega/\omega_c)^2}} \tag{4.4}$$

$$\angle H_{LPF}(\omega) = -\arctan\left(\frac{\omega}{\omega_c}\right) \tag{4.5}$$

โดย ω_c คือ ความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน

สามารถเขียนสมการแสดงสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่าน $(v_L(t))$ ซึ่งมี $v_{PWM}(t)$ เป็นสัญญาณอินพุต ได้ดังสมการที่ 4.6

$$v_L(t) = \frac{\phi_d(t)}{2\pi} + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\begin{array}{l}\frac{1}{n}\times\frac{1}{\sqrt{1+(n\omega_0/\omega_c)^2}}\sin\left(n\omega_0 t - \arctan\left(\frac{n\omega_0}{\omega_c}\right)\right) \\ -\frac{1}{n}\times\frac{1}{\sqrt{1+(n\omega_0/\omega_c)^2}}\sin\left(\begin{array}{l}n\omega_0\left(t - \frac{T\phi_d(t)}{2\pi}\right) \\ -\arctan\left(\frac{n\omega_0}{\omega_c}\right)\end{array}\right)\end{array}\right] \tag{4.6}$$

จากสมการที่ 4.6 โดยใช้การประมาณค่า กล่าวคือ $\sqrt{1+(n\omega_0/\omega_c)^2} \approx n\omega_0/\omega_c$ จึงเขียนสมการใหม่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_L(t)=\frac{\phi_d(t)}{2\pi}+\frac{A_d\omega_c}{\pi\omega_0}\sum_{n=1}^{\infty}\left[\begin{array}{l}\dfrac{1}{n^2}\sin\left(n\omega_0 t-\arctan\left(\dfrac{n\omega_0}{\omega_c}\right)\right)\\ -\dfrac{1}{n^2}\sin\left(n\omega_0\left(t-\dfrac{T\phi_d(t)}{2\pi}\right)-\arctan\left(\dfrac{n\omega_0}{\omega_c}\right)\right)\end{array}\right] \tag{4.7}$$

จากสมการที่ 4.7 พจน์ที่ 1 ทางขวามือคือ ส่วนประกอบของไฟตรง $(\phi_d(t)/2\pi)$ และพจน์ที่ 2 ทางขวามือของสมการที่ 4.7 เป็นสัญญาณสามเหลี่ยมที่มีค่าของความชัน ด้านบวกและด้านลบไม่เท่ากัน ซึ่งสำหรับในวงจรเฟสล็อคลูปแล้วสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะเป็นสัญญาณอินพุตให้กับวงจร VCO ซึ่งควรเป็นระดับไฟตรง ดังนั้นจึงกล่าวได้ว่าขนาดของสัญญาณสามเหลี่ยมคือค่าความคลาดเคลื่อนทางเฟสของระบบที่แปรผันตามค่าศักย์ไฟฟ้า เขียนเป็นสมการได้คือ

$$Error\ voltage=\pm\frac{A_d\omega_c}{\pi\omega_0} \tag{4.8}$$

ในวงจรเฟสล็อคลูปมีกรณีค่าความต่างเฟสสูงสุดได้ 2π เรเดียน ซึ่งให้ค่าขนาดของสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่ค่าแรงดันไฟฟ้าสูงสุดเท่ากับ A_d โดยใช้สมการที่ 4.8 ประกอบสามารถแสดงสมการค่าความคลาดเคลื่อนทางเฟส (θ_{error}) สูงสุดได้ดังสมการที่ 4.9

$$Phase\ error\,(\theta_{error})=\frac{2\omega_c}{\omega_0} \tag{4.9}$$

จากสมการที่ 4.9 แสดงให้เห็นว่าค่าความคลาดเคลื่อนทางเฟสแปรผันโดยตรงกับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน การวิเคราะห์นี้บ่งบอกถึงการเปลี่ยนแปลงของสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน เมื่อเพิ่มค่าความถี่ตัดเพื่อเพิ่มความเร็วให้กับการเลื่อนเฟสของวงจรมอดูเลตสัญญาณ QPSK ที่อาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ ส่งผลโดยตรงกับตำแหน่งเฟสของสัญญาณ QPSK ที่จะไม่คงที่เมื่อค่าสัญญาณอินพุตของวงจร VCO ไม่คงที่ ดังนั้นจึงเรียกสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านในสมการที่ 4.7 ว่า phase error signal ซึ่งนำไปสู่การวิเคราะห์หาค่าเฟสของสัญญาณ QPSK ที่ถูกทำให้คลาดเคลื่อนไปในหัวข้อสัญญาณรบกวนทางเฟส (phase noise)

4.3 สัญญาณรบกวนทางเฟส

สัญญาณรบกวนทางเฟส (phase noise) สำหรับการมอดูเลต QPSK ที่นำเสนอ เกิดจากสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านหรือ phase error signal ที่มีแอมพลิจูดไม่คงที่ตามที่ได้กล่าวในหัวข้อก่อนหน้า การหาค่าสัญญาณรบกวนทางเฟสสามารถหาได้จาก power spectral density (PSD : $S(\omega)$) ของ phase error signal ซึ่งเป็นสัญญาณที่มีคาบจึงหาสามารถค่า PSD ได้จากสมการที่ 4.10 [12]

$$S(\omega)=\sum_{n=-\infty}^{\infty}|c_n|^2\,\delta(\omega-n\omega_0) \tag{4.10}$$

กำหนดให้ $|c_n|$ คือขนาดของสเปกตรัมที่ความถี่ $n\omega_0$

ω_0 คือความถี่เชิงมุมมูลฐานของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาการหาค่า PSD ของ phase error signal โดยการหา PSD ของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟสและนำไปผ่านฟังก์ชันถ่ายโอนวงจรกรองความถี่ต่ำผ่าน ซึ่งสัญญาณเอาต์พุตที่ได้จากวงจรตรวจจับความต่างเฟสเป็นสัญญาณ PWM ตามรูปที่ 4.1 และมีฟังก์ชันคือ

$$v_{xor}(t)=\begin{cases} A_d \ ; \ t_0 \le t \le t_p \\ 0 \ ; \ t_p < t < T \end{cases} \tag{4.11}$$

การหาค่าองค์ประกอบของสัญญาณต้องหาค่า a_n และ b_n ซึ่งก็คือขนาดหรือแอมพลิจูดของสัญญาณซายน์และโคซายน์ของ $n\omega_0$ ความถี่ต่างๆ ที่ประกอบกันเป็นสัญญาณ $v_{xor}(t)$ โดย

$$a_n=\frac{2}{T}\int_{t_0}^{t_0+T} v_{xor}(t)\cos(n\omega_0 t)dt \tag{4.12}$$

และ

$$b_n=\frac{2}{T}\int_{t_0}^{t_0+T} v_{xor}(t)\sin(n\omega_0 t)dt \tag{4.13}$$

เมื่อแทนสมการที่ 4.11 ลงในสมการที่ 4.12 จะได้

$$a_n=\frac{2}{T}\left[\int_{t_0}^{t_p} A_d\cos(n\omega_0 t)dt+\int_{t_p}^{T} 0\cos(n\omega_0 t)dt\right] \tag{4.14}$$

เมื่อหาค่าปริพันธ์ของสมการที่ 4.14 โดยให้ $t_0=0$ จะได้

$$a_n=\frac{2A_d}{T}\left[\frac{\sin(n\omega_0 t)}{n\omega_0}\Bigg|_{t_0=0}^{t_p}\right] \tag{4.15}$$

จัดรูปใหม่

$$a_n=\frac{2A_d}{nT\omega_0}\sin(n\omega_0 t_p) \tag{4.16}$$

และเมื่อแทนสมการที่ 4.11 ลงในสมการที่ 4.13 เพื่อหาค่า b_n จะได้

$$b_n=\frac{2}{T}\left[\int_{t_0}^{t_p} A_d\sin(n\omega_0 t)dt+\int_{t_p}^{T} 0\sin(n\omega_0 t)dt\right] \tag{4.17}$$

หาค่าปริพันธ์ของสมการที่ 4.17 ได้คือ

$$b_n=\frac{2}{T}\left[A_d\left(\frac{-\cos(n\omega_0 t)}{n\omega_0}\right)\Bigg|_{t_0=0}^{t_p}\right] \tag{4.18}$$

จะได้

$$b_n=\frac{2A_d}{nT\omega_0}\left[-\cos(n\omega_0 t_p)+1\right] \tag{4.19}$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$b_n = -\frac{2A_d}{nT\omega_0}\left[\cos\left(n\omega_0 t_p\right)-1\right] \tag{4.20}$$

เมื่อได้ค่า a_n และ b_n ตามสมการที่ 4.16 และ 4.20 จะได้ค่าของ $|c_n| = \sqrt{a_n^2 + b_n^2}$ คือ

$$|c_n| = \sqrt{\left(\frac{2A_d}{nT\omega_0}\sin\left(n\omega_0 t_p\right)\right)^2 + \left(-\frac{2A_d}{nT\omega_0}\left[\cos\left(n\omega_0 t_p\right)-1\right]\right)^2} \tag{4.21}$$

ให้ $d = \frac{2A_d}{nT\omega_0}$ จะได้

$$|c_n| = \sqrt{d^2\sin^2\left(n\omega_0 t_p\right) + d^2\left[\cos\left(n\omega_0 t_p\right)-1\right]^2} \tag{4.22}$$

จัดรูปสมการที่ 4.22 โดยใช้วิธีกำลังสองสมบูรณ์

$$|c_n| = \sqrt{d^2\sin^2\left(n\omega_0 t_p\right) + d^2\left[\cos^2\left(n\omega_0 t_p\right) - 2\cos\left(n\omega_0 t_p\right)+1\right]} \tag{4.23}$$

กระจาย d^2 เข้าในพจน์ทางขวามือ

$$|c_n| = \sqrt{d^2\sin^2\left(n\omega_0 t_p\right) + d^2\cos^2\left(n\omega_0 t_p\right) - 2d^2\cos\left(n\omega_0 t_p\right) + d^2} \tag{4.24}$$

จากความสัมพันธ์ของ $\sin^2\theta + \cos^2\theta = 1$ เขียนสมการที่ 4.24 ใหม่คือ

$$|c_n| = \sqrt{2d^2 - 2d^2\cos\left(n\omega_0 t_p\right)} \tag{4.25}$$

จากสมการที่ 4.25 จัดรูปใหม่ได้เป็น

$$|c_n| = \sqrt{4d^2\left(\frac{1-\cos\left(n\omega_0 t_p\right)}{2}\right)} \tag{4.26}$$

จากความสัมพันธ์ $\sin^2\left(\frac{\theta}{2}\right) = \frac{(1-\cos\theta)}{2}$ จึงได้รูปสมการ

$$|c_n| = \sqrt{4d^2\sin^2\left(\frac{\left(n\omega_0 t_p\right)}{2}\right)} \tag{4.27}$$

จากสมการที่ 4.27 แสดงถึงขนาดของสเปกตรัมของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟส ซึ่งมีความกว้างพัลส์บวก $\left(t_p\right)$ แปรผันตามค่าความต่างเฟส ดังนั้นเมื่อแทนค่า $|c_n|$ ในสมการที่ 4.27 ลงในสมการที่ 4.10 จะได้ค่า PSD ของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟส $\left(S_{PD}(\omega)\right)$ คือ

$$S_{PD}(\omega) = \sum_{n=-\infty}^{\infty} 4d^2\sin^2\left(\frac{\left(n\omega_0 t_p\right)}{2}\right)\delta\left(\omega - n\omega_0\right) \tag{4.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผ่านวงจรกรองความถี่ต่ำผ่านที่มีขนาดฟังก์ชันส่งผ่าน $H(\omega)$ คือ

$$|H(\omega)| = \frac{1}{\sqrt{1+(\omega/\omega_c)^2}} \tag{4.29}$$

จะได้สมการ PSD $(S_{LPF}(\omega))$ ของสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านคือ

$$S_{LPF}(\omega) = |H(\omega)|^2 S_{PD}(\omega) \tag{4.30}$$

แทนสมการที่ 4.28 และ 4.29 และในสมการที่ 4.30 จะได้

$$S_{LPF}(\omega) = \sum_{n=-\infty}^{\infty} \frac{1}{1+(\omega/\omega_c)^2} \left(\frac{4A_d \sin(n\omega_0 t_p/2)}{nT\omega_0} \right)^2 \delta(\omega - n\omega_0) \tag{4.31}$$

จากสมการที่ 4.31 เนื่องจากระบบตอบสนองตรงกับสัญญาณอินพุตตามความถี่ใดๆ ที่เข้ามาดังนั้น $\omega = n\omega_0$ และเขียนสมการที่ 4.31 ใหม่ในหน่วย dB ได้ดังนี้

$$phase\ noise(dB) = 10\log\left[\sum_{n=-\infty}^{\infty} \frac{1}{1+(n\omega_0/\omega_c)^2} \left(\frac{4A_d \sin(n\omega_0 t_p/2)}{nT\omega_0} \right)^2 \right] \tag{4.32}$$

จากสมการที่ 4.32 ค่าของสัญญาณรบกวนทางเฟสแปรผกผันกับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านและแปรผันกับค่าความกว้างพัลส์บวกในรูปของฟังก์ชันซายน์

4.4 ค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์ที่ผิดพลาด

ในหัวข้อนี้กล่าวถึงการแสดงสัญญาณ QPSK ในรูปแบบของเวกเตอร์บนระนาบ I-Q ซึ่งโดยทั่วไปมีรูปสมการตามสมการที่ 4.33

$$s_{QPSK}(t) = A\cos(\omega_q t + \theta_n) \tag{4.33}$$

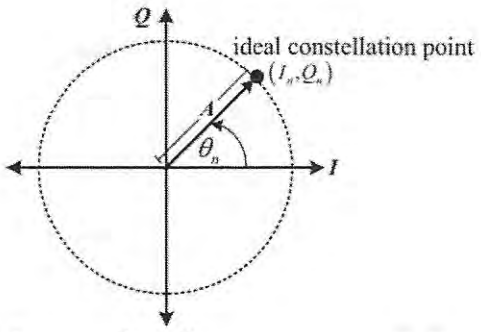
โดยที่ A คือ ขนาดเวกเตอร์ของสัญญาณ

ω_q คือ ความถี่เชิงมุมของคลื่นพาห์

θ_n คือ เฟสที่ต้องการ

จากสมการที่ 4.33 สามารถแสดงรูปเวกเตอร์บนระนาบ I-Q ได้ดังรูปที่ 4.2 ซึ่งมีพิกัดของคู่อันดับในอุดมคติคือ (I_n, Q_n)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 เวกเตอร์ของสัญญาณบนระนาบ *I-Q*

โดยคู่อับดับในอุดมคติสามารถหาขนาดของ I_n และ Q_n ได้จากการจัดรูปสมการที่ 4.33 ตามความสัมพันธ์ $\cos(A+B) = \cos(A)\cos(B)-\sin(A)\sin(B)$ จะได้

$$s_{QPSK}(t) = A\cos(\theta_n)\cos(\omega_q t) - A\sin(\theta_n)\sin(\omega_q t) \tag{4.34}$$

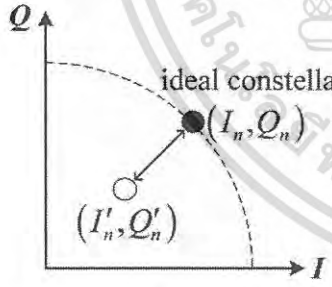
จากสมการที่ 4.34 ขนาดของเวกเตอร์ตามแนวแกน I คือ

$$I_n = A\cos(\theta_n) \tag{4.35}$$

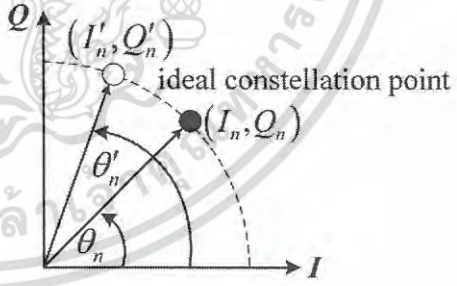
และมีขนาดของเวกเตอร์ตามแนวแกน Q คือ

$$Q_n = A\sin(\theta_n) \tag{4.36}$$

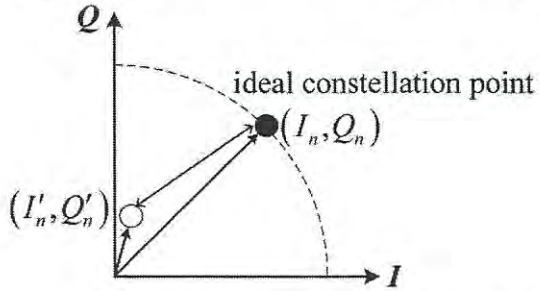
จากตัวแปรในสมการที่ 4.33 สามารถแสดงความผิดพลาดที่อาจจะเกิดขึ้นกับพิกัดบนระนาบ *I-Q* ได้ดังรูปที่ 4.3 ซึ่งสามารถแบ่งออกเป็น 3 กรณีคือ กรณีขนาดของสัญญาณผิดพลาด, กรณีเฟสของสัญญาณผิดพลาด และกรณีขนาดและเฟสของสัญญาณผิดพลาด



(ก) กรณีขนาดของสัญญาณผิดพลาด



(ข) กรณีเฟสของสัญญาณผิดพลาด



(ค) กรณีขนาดและเฟสของสัญญาณผิดพลาด

รูปที่ 4.3 ภาพประกอบตัวอย่างกรณีที่พิกัดของสัญญาณบนระนาบ *I-Q* ผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.3 (ก) แสดงถึงกรณีที่ขนาดของสัญญาณผิดพลาด แต่เฟสของสัญญาณถูกต้อง ทำให้พิกัดของจุด (I_n, Q_n) คลาดเคลื่อนไปจากพิกัดในอุดมคติ ซึ่งในทำนองเดียวกันหากเฟสของสัญญาณผิดพลาดแต่ขนาดของสัญญาณถูกต้องจะได้ดังรูปที่ 4.3 (ข) และหากเกิดความผิดพลาดทั้งขนาดและเฟสของสัญญาณจะทำให้ได้รูปที่ 4.3 (ค) โดยในหัวข้อนี้กล่าวถึงข้อผิดพลาดของสัญญาณ QPSK จากวงจรมอดูเลตที่นำเสนอ ซึ่งได้สัญญาณเอาต์พุตจากวงจร VCO ซึ่งมีขนาดของสัญญาณเอาต์พุตคงที่ ดังนั้นกรณีของความผิดพลาดที่เกิดขึ้นได้ คือกรณีความผิดพลาดทางเฟสของสัญญาณ จึงสามารถเขียนพิกัดที่ผิดพลาดของสัญญาณ (I'_n, Q'_n) ได้คือ

$$I'_n = A\cos(\theta'_n) \tag{4.37}$$

และ

$$Q'_n = A\sin(\theta'_n) \tag{4.38}$$

ซึ่งค่าความคลาดเคลื่อนทางเฟส (θ_{error}) ที่เกิดจากการมอดูเลตสามารถหาได้จากสมการที่ 4.9 เมื่อพิจารณาค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์หรือ Error vector magnitude (EVM) จากพิกัดในอุดมคติ (I_n, Q_n) ถึงพิกัดที่ได้จริงจากการมอดูเลต (I'_n, Q'_n) ทั้ง 4 จุดตามการทำงานของสัญญาณ QPSK จะสามารถเขียนเป็นสมการได้ดังนี้

$$EVM = \frac{\sqrt{\sum_{n=0}^{3}\left\{(I'_n - I_n)^2 + (Q'_n - Q_n)^2\right\}}}{\sum_{n=0}^{3}\left(I_n^2 + Q_n^2\right)} \tag{4.39}$$

จากสมการที่ 4.39 สังเกตพบว่าค่า EVM จะแปรผันตามค่า I'_n และ Q'_n ซึ่งค่าดังกล่าวจากสมการที่ 4.37 และ 4.38 จะเปลี่ยนแปลงตามค่าความคลาดเคลื่อนทางเฟส (θ_{error}) ในรูปของฟังก์ชันซายน์และโคซายน์ ซึ่งค่าความคลาดเคลื่อนทางเฟสแปรผันตรงกับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน (ω_c) ตามสมการที่ 4.9 ดังนั้นค่า EVM จึงมีการเปลี่ยนแปลงตามค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านในรูปของค่า I'_n และ Q'_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

5.1 กล่าวนำ

ในบทนี้นำเสนอผลจากการจำลองและการทดลองเพื่อยืนยันการวิเคราะห์การมอดูเลตสัญญาณ QPSK ที่อาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย และวงจรรวมสัญญาณที่มีการเลื่อนเฟสแบบต่อเนื่อง และเปรียบเทียบสเปกตรัมระหว่างสัญญาณ QPSK ที่เลื่อนเฟสแบบต่อเนื่องและแบบไม่ต่อเนื่อง รวมไปถึงผลการจำลองค่าความคลาดเคลื่อนทางเฟสของสัญญาณ QPSK ที่ได้จากวิธีการที่นำเสนอ

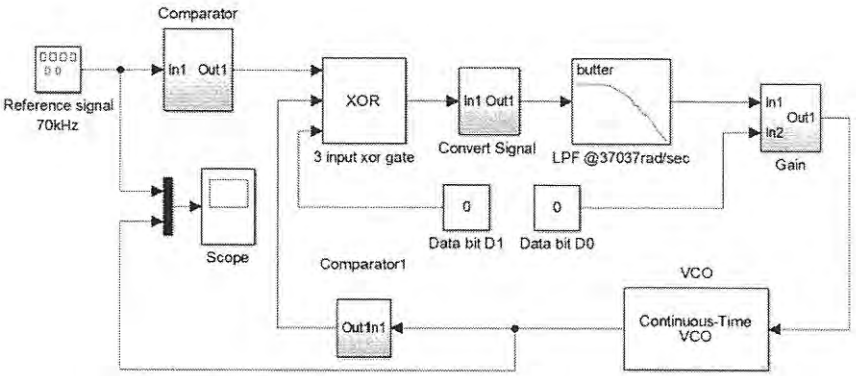
5.2 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย

ในหัวข้อ 3.2.1 การเลื่อนเฟสโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย ได้หาความสัมพันธ์ของอัตราขยายและการเลื่อนเฟสของสัญญาณเอาต์พุตในรูปแบบของสมการผลต่างเฟสและกราฟความสัมพันธ์ นำไปสู่การออกแบบวงจรมอดูเลตสัญญาณ QPSK ซึ่งในหัวข้อนี้ได้กล่าวถึงผลของสัญญาณ QPSK ที่ได้จากการจำลองวงจรด้วยโปรแกรมคอมพิวเตอร์และจากการทดลองวงจรอิเล็กทรอนิกส์ในห้องปฏิบัติการ

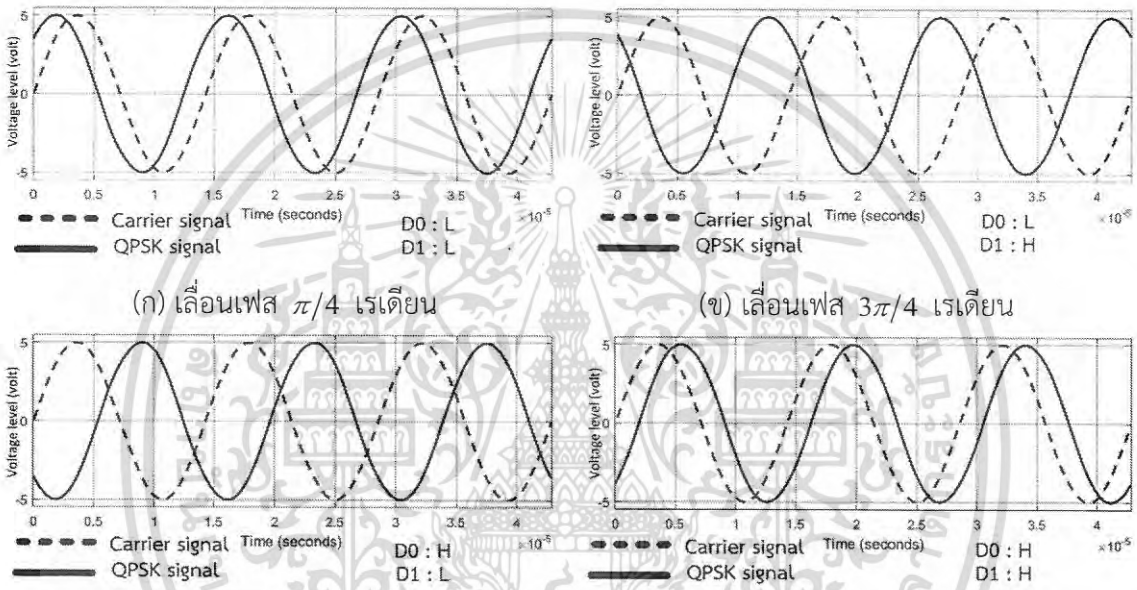
5.2.1 ผลการจำลองวงจรมอดูเลต QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์

การเลื่อนเฟสของเอาต์พุตของเฟสล็อคลูปด้วยการเปลี่ยนแปลงค่าอัตราขยาย จากสมการที่ 3.37 บ่งชี้ว่าค่าความต่างเฟสแปรผกผันกับอัตราขยาย โดยการออกแบบวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยายนั้นใช้การเพิ่มวงจรขยายระหว่างวงจรตรวจจับความต่างเฟสและวงจรกรองความถี่ต่ำผ่าน ทั้งนี้ได้เลือกใช้วงจรขยายแบบกลับเฟส 2 วงจรต่อกัน เพื่อที่จะสามารถใช้ค่าอัตราขยายที่น้อยกว่า 1 ได้และยังมีเฟสที่ถูกต้องตามหลักการที่วิเคราะห์ การจำลองเลือกใช้โปรแกรม Matlab Simulink ซึ่งกำหนดค่าต่างๆ เช่นเดียวกับการวิเคราะห์ดังต่อไปนี้ วงจรตรวจจับความต่างเฟสชนิด 3 อินพุต, วงจรขยายที่อัตรา 0.33 เท่า, วงจรกรองความถี่ต่ำผ่านโดยกำหนดค่าความถี่ตัดที่ 5.89 kHz หรือ 37,037 rad/s , วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันความถี่เริ่มต้น 86.73 kHz อัตราขยาย -17 kHz/v ใช้สัญญาณอ้างอิงที่ 70 kHz ให้บิต $D1$ เป็นอินพุตให้กับ xor gate และบิต $D0$ ควบคุมอัตราขยายที่ใช้ในการเลื่อนเฟสดังแสดงในรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 การจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์



(ก) เลื่อนเฟส $\pi/4$ เรเดียน (ข) เลื่อนเฟส $3\pi/4$ เรเดียน

(ค) เลื่อนเฟส $-3\pi/4$ เรเดียน (ง) เลื่อนเฟส $-\pi/4$ เรเดียน

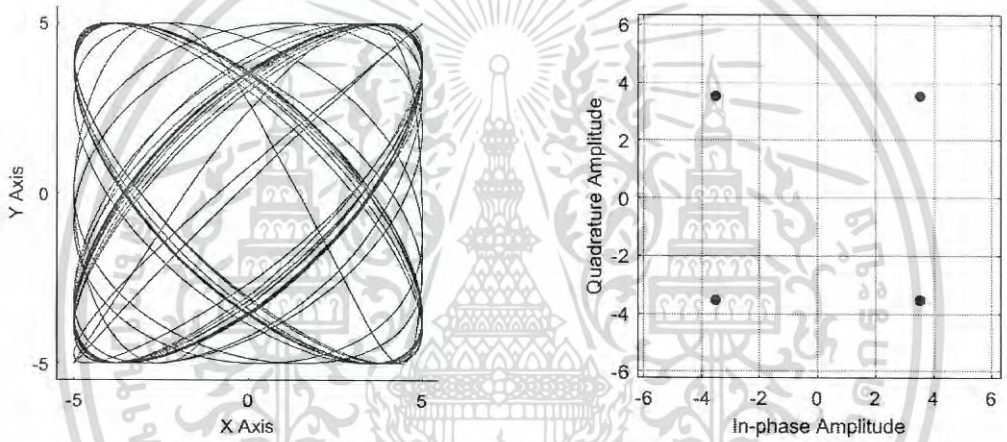
รูปที่ 5.2 ผลของสัญญาณ QPSK จากการจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์

การจำลองสัญญาณที่เฟสต่างๆ ตามตารางการเข้ารหัสในการมอดูเลตทั้ง 4 เฟส เป็นไปดังรูปที่ 5.2 โดยในรูปที่ 5.2 (ก) เมื่อบิตข้อมูล $D0$ และ $D1$ เป็น L ตำแหน่งของการเลื่อนเฟสคือ $\pi/4$ เรเดียน ซึ่งเป็นการเลื่อนเฟสโดยใช้ความสัมพันธ์ของความถี่สัญญาณอ้างอิง (ω_i) และเลื่อนเฟสสัญญาณเอาต์พุตไปที่ตำแหน่ง $3\pi/4$ เรเดียน เมื่อ $D0$ เป็น L และ $D1$ เป็น H ตามรูปที่ 5.2 (ข) ซึ่งผลการเลื่อนเฟสทั้งสองกรณี เป็นการเลื่อนเฟสด้วยอัตราขยายที่เพิ่มให้กับวงจรเฟสล็อคลูป และเมื่อทำการกลับเฟสของสัญญาณโดยให้สัญญาณอินพุตของ xor gate $D0$ เป็น H ผลของการเลื่อนเฟสที่ได้เป็นไปตามรูปที่ 5.2 (ค) และ 5.2 (ง) ในตำแหน่ง $-3\pi/4$ และ $-\pi/4$ เรเดียน ตามลำดับ

นอกจากนี้ในรูปที่ 5.3 แสดงถึงผลการจำลองภาพลิสซาจูสเคิร์ฟ (lissajous curve) และคอนสเตลเลชันไดอะแกรม (constellation diagram) ของสัญญาณ QPSK

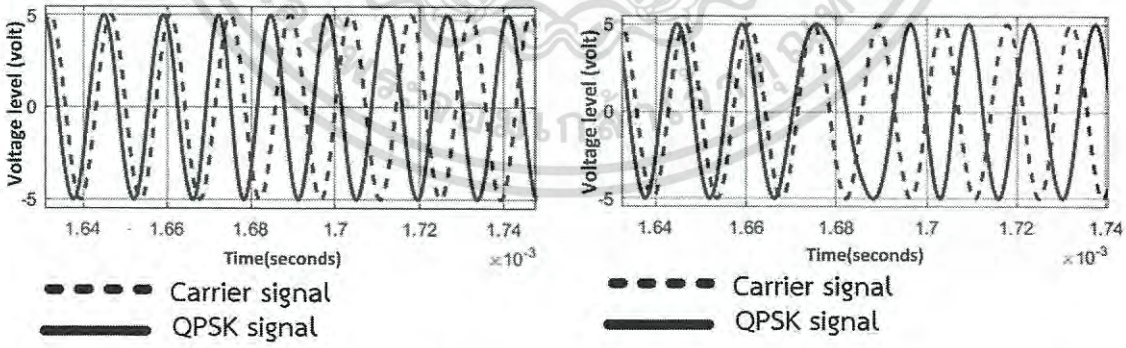
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกเหนือจากความถูกต้องของตำแหน่งเฟสแล้ว ความพิเศษของการมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายที่แตกต่างไปจากการมอดูเลตแบบดั้งเดิม คือช่วงของการเปลี่ยนเฟสแบบต่อเนื่อง ซึ่งเป็นผลให้องค์ประกอบความถี่สูงนั้นน้อยกว่าอย่างชัดเจน ดังแสดงผลการจำลองได้ดังรูปที่ 5.4 โดยในรูปที่ 5.4 (ก) แสดงการเปลี่ยนเฟสจาก $\pi/4$ เรเดียนเป็น $3\pi/4$ เรเดียน และรูปที่ 5.4 (ข) แสดงการกลับเฟสจาก $\pi/4$ เรเดียน เป็น $-3\pi/4$ เรเดียน ซึ่งเป็นการเปลี่ยนเฟสแบบต่อเนื่อง จากการวิเคราะห์การเปลี่ยนเฟสแบบต่อเนื่อง พบว่าเกิดจากค่าผลตอบสนองธรรมชาติของระบบ โดยค่าของอัตราขยายมีผลต่อระยะเวลาที่ค่าผลตอบสนองธรรมชาติเข้าสู่ศูนย์ ดังนั้นในการเปลี่ยนเฟสที่ใช้อัตราขยายไม่เท่ากันจะใช้ระยะเวลาในการเปลี่ยนเฟสไม่เท่ากัน จุดสังเกตผลการจำลองสำหรับการหาระยะเวลาในการเลื่อนเฟสสามารถดูได้จากเอาต์พุตของวงจรกรองความถี่ต่ำผ่านซึ่งเมื่อผลตอบสนองธรรมชาติสิ้นสุดไป สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะมีค่าคงที่ ดังแสดงได้ในผลการจำลองรูปที่ 5.5



(ก) ลิสซาจูสเคิร์ฟ (ข) คอนสเตลเลชันไดอะแกรม

รูปที่ 5.3 ผลการจำลองลิสซาจูสเคิร์ฟและคอนสเตลเลชันไดอะแกรมของสัญญาณ QPSK



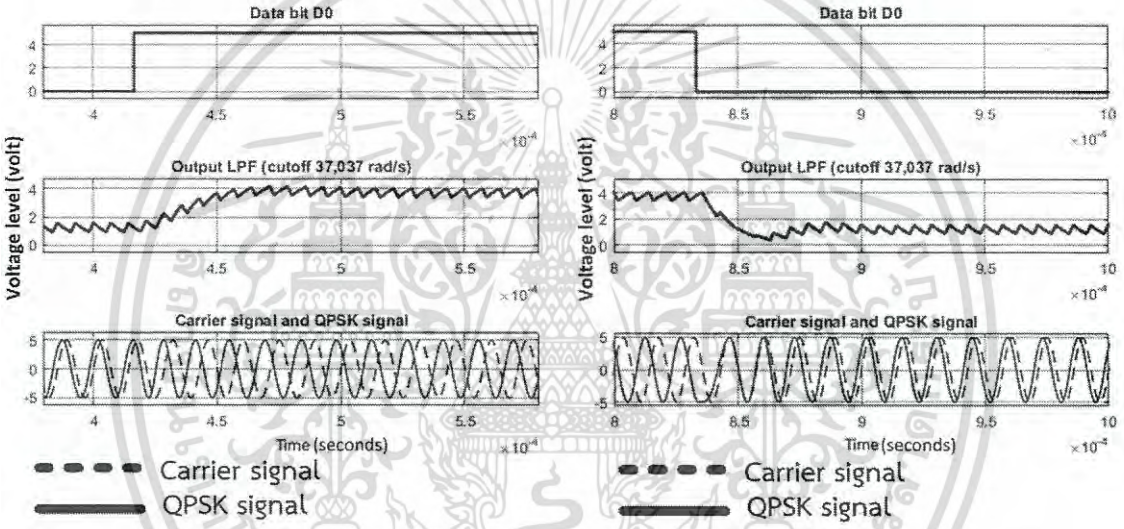
(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

(ข) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $-3\pi/4$ เรเดียน

รูปที่ 5.4 ผลจำลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

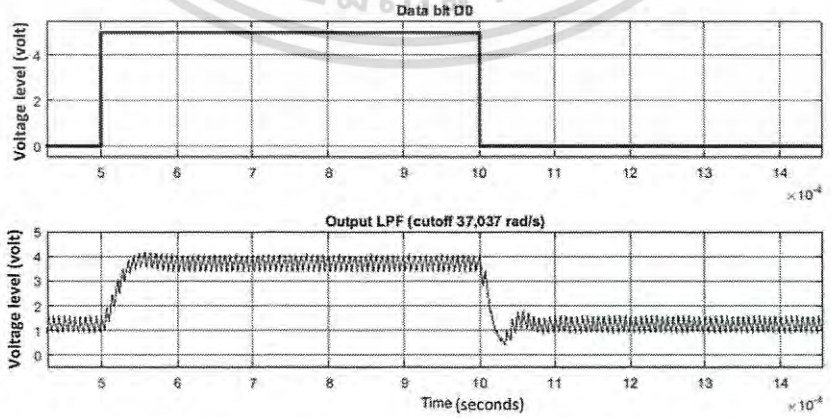
จากรูปที่ 5.5 สัญญาณในรูปบนสุด แสดงการเปลี่ยนแปลงของบิตข้อมูล $D0$, สัญญาณในรูปกลางคือเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน และในรูปล่างคือสัญญาณ QPSK เทียบกับสัญญาณอ้างอิงเพื่อให้เห็นการเปลี่ยนเฟส เมื่อบิตข้อมูลเปลี่ยนทำให้อัตราขยายในวงจรเปลี่ยนตามที่ได้ออกแบบไว้ ส่งผลให้เกิดการเปลี่ยนแปลงของเฟส และในขณะเดียวกันก็ทำให้เกิดค่าผลตอบสนองธรรมชาติขึ้น เมื่อเวลาผ่านไปค่าผลตอบสนองธรรมชาติจะเข้าสู่ศูนย์การเปลี่ยนเฟสก็เข้าสู่ค่าเฟสที่ได้ออกแบบไว้ ในรูปที่ 5.6 แสดงถึงสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน เทียบกับบิตข้อมูล $D0$ โดยจากรูปที่ 5.6 สัญญาณด้านบนคือบิตข้อมูล $D0$ และสัญญาณด้านล่างคือสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน พบว่าผลการจำลองสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายด้วยโปรแกรมคอมพิวเตอร์นี้ เมื่อบิตข้อมูล $D0$ มีค่าเป็น L มีจะค่าอัตราขยายเป็น 1 เท่า และเมื่อบิตข้อมูลเป็น H จะมีค่าอัตราขยายเท่ากับ 0.33 ซึ่งทำให้ช่วงเวลาที่ทำให้ผลตอบสนองธรรมชาติมีค่าเป็นศูนย์ไม่เท่ากัน ทำให้ช่วงเวลาการเปลี่ยนเฟสแตกต่างกัน ตามข้อสรุปที่ได้จากการวิเคราะห์



(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

(ข) การเปลี่ยนเฟสจาก $3\pi/4$ เรเดียน เป็น $\pi/4$ เรเดียน

รูปที่ 5.5 ผลการจำลองการเปลี่ยนเฟสเทียบกับสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

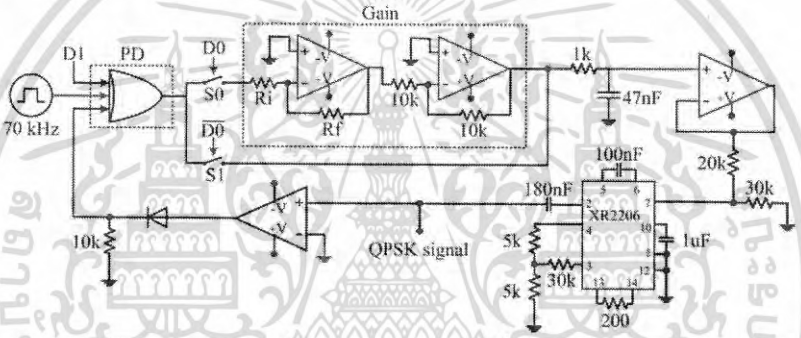


รูปที่ 5.6 ผลการจำลองเอาต์พุตของวงจรกรองความถี่ต่ำเพื่อสังเกตการณ์หมดไปของค่าผลตอบสนองธรรมชาติ

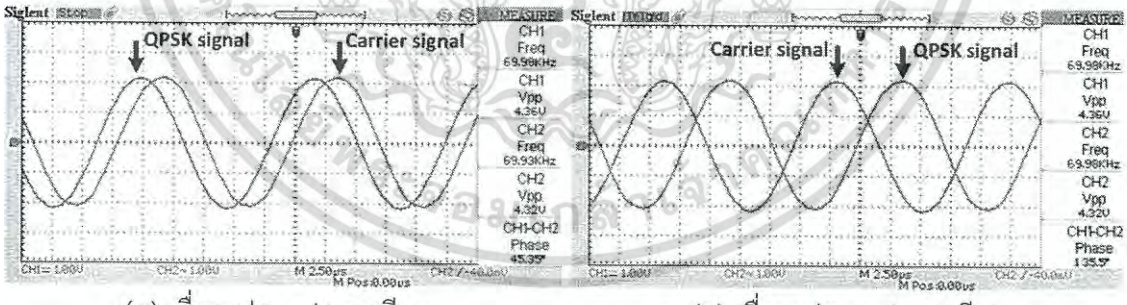
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 ผลการทดลองวงจรมอดูเลต QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย

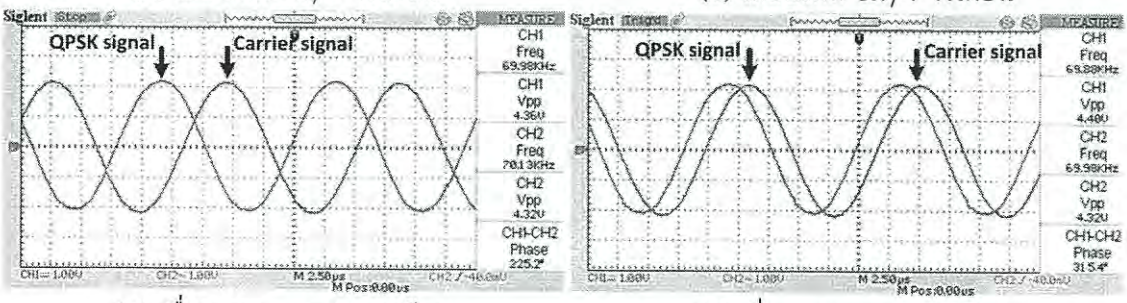
จากผลการจำลองด้วยโปรแกรมคอมพิวเตอร์ นำไปสู่การสร้างวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายด้วยอุปกรณ์อิเล็กทรอนิกส์ เพื่อยืนยันหลักการวิเคราะห์และผลการจำลองที่ได้ในหัวข้อ 5.2.1 แสดงวงจรได้ตามรูปที่ 5.7 ซึ่งประกอบไปด้วยวงจรตรวจจับความต่างเฟสชนิด 3 อินพุต, วงจรกรองความถี่ต่ำผ่านโดยกำหนดค่าความถี่ตัดที่ 5.89 kHz หรือ 37,037 rad/s, วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันที่สร้างจากไอซี XR2206 โดยมีความถี่เริ่มต้นที่ 86.73 kHz อัตราขยาย -17 kHz/v ใช้สัญญาณอ้างอิง 70 kHz โดยวงจรขยายถูกเพิ่มเข้าไประหว่างวงจรตรวจจับความต่างเฟสและวงจรกรองความถี่ต่ำผ่าน ซึ่งถูกควบคุมการทำงานโดยบิตข้อมูล $D0$ นอกจากนี้วงจรตรวจจับความต่างเฟสชนิด xor gate แบบ 3 ขาถูกนำมาใช้เพื่อกลับเฟสของสัญญาณเอาต์พุต ในที่นี้ให้บิตข้อมูล $D1$ เป็นสัญญาณอินพุตที่เพิ่มเข้ามา ที่นำเสนอ โดยกำหนดค่าพารามิเตอร์ต่างๆ เหมือนกับการจำลองด้วยโปรแกรมพิวเตอร์ ซึ่งผลการเลื่อนเฟสสัญญาณเอาต์พุตทั้ง 4 ตำแหน่งแสดงดังรูปที่ 5.8



รูปที่ 5.7 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยายด้วยอุปกรณ์อิเล็กทรอนิกส์



(ก) เลื่อนเฟส $\pi/4$ เรเดียน (ข) เลื่อนเฟส $3\pi/4$ เรเดียน



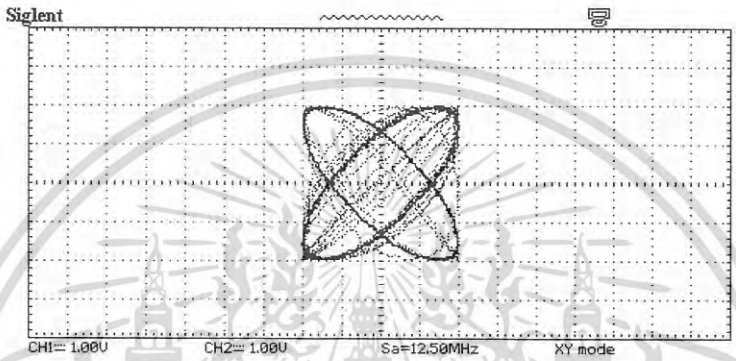
(ค) เลื่อนเฟส $-3\pi/4$ เรเดียน (ง) เลื่อนเฟส $-\pi/4$ เรเดียน

รูปที่ 5.8 ผลของสัญญาณ QPSK จากการทดลองวงจรเฟสล็อคลูปร่วมกับวงจรขยาย

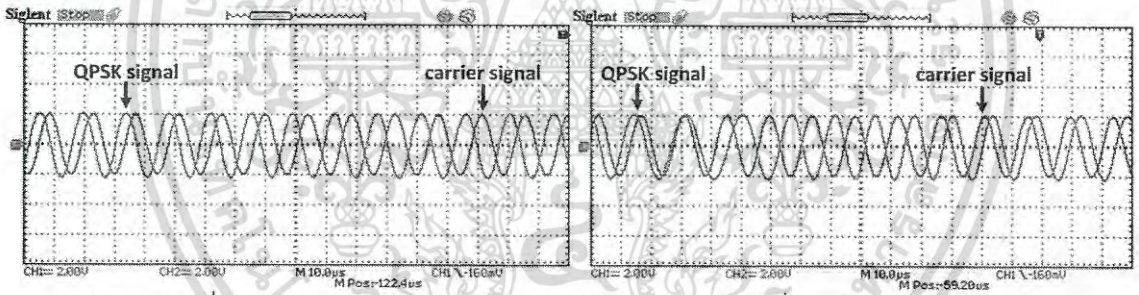
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.8 เป็นการเปลี่ยนเฟสตามตารางที่ 3.2 ซึ่งแสดงการเข้ารหัสในการมอดูเลตทางเฟสผลการทดลองที่ได้สอดคล้องกับผลการจำลองและการวิเคราะห์ในเชิงทฤษฎีเป็นอย่างดี นอกจากนี้ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการทดลองถูกแสดงในรูปที่ 5.9 และส่วนของผลการเปลี่ยนเฟสถูกแสดงในรูปที่ 5.10

จากรูปที่ 5.10 (ก) และ 5.10 (ข) แสดงการเปลี่ยนเฟสและการกลับเฟสของสัญญาณเอาต์พุตเช่นเดียวกับการจำลองด้วยโปรแกรมคอมพิวเตอร์ เพื่อให้สังเกตถึงการสิ้นสุดไปของค่าผลตอบสนองธรรมชาติได้ง่ายในรูปที่ 5.11 จึงแสดงเปรียบเทียบบิตข้อมูล $D0$, สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน และสัญญาณ QPSK เทียบกับสัญญาณอ้างอิง



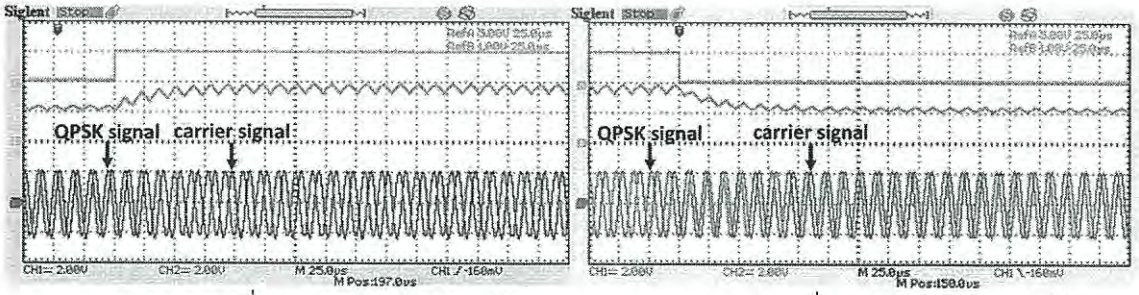
รูปที่ 5.9 ลิสซาจูสเคิร์ฟของสัญญาณ QPSK จากการทดลอง



(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

(ข) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $-3\pi/4$ เรเดียน

รูปที่ 5.10 ผลทดลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย



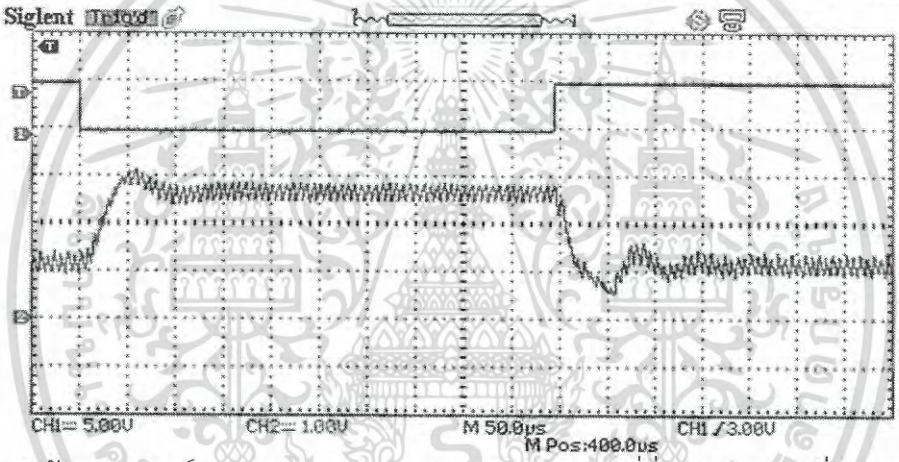
(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

(ข) การเปลี่ยนเฟสจาก $3\pi/4$ เรเดียน เป็น $\pi/4$ เรเดียน

รูปที่ 5.11 ผลการทดลองการเปลี่ยนเฟสเทียบกับสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.11 (ก) และ 5.11 (ข) แสดงสัญญาณบิตข้อมูล $D0$ (บน) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน (กลาง) และสัญญาณ QPSK เทียบกับสัญญาณอ้างอิง (ล่าง) เมื่อมีการเปลี่ยนบิตข้อมูล ทำให้อัตราขยายภายในวงจรมอดูเลตเปลี่ยน และเกิดค่าผลตอบสนองธรรมชาติขึ้น โดยสังเกตได้จากสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะไม่คงที่ และเมื่อผลตอบสนองธรรมชาติมีค่าเป็นศูนย์ ค่าของสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะคงที่ ซึ่งเมื่อสัญญาณเอาต์พุตดังกล่าวคงที่ เฟสของสัญญาณเอาต์พุตก็จะเสร็จสิ้นการเปลี่ยนค่าเฟส โดยทั้งผลการทดลองในรูปที่ 5.11 (ก) และ 5.11 (ข) เป็นผลการทดลองที่ใช้อัตราขยายที่ไม่เท่ากันจึงทำให้ช่วงเวลาของการเปลี่ยนเฟสต่างกัน ซึ่งในรูปที่ 5.12 แสดงผลการเปรียบเทียบช่วงเวลาการสิ้นสุดไปของผลตอบสนองธรรมชาติเมื่อใช้อัตราขยายเพื่อควบคุมการเปลี่ยนเฟสที่แตกต่างกัน จากรูปที่ 5.12 สัญญาณในช่องสัญญาณที่ 1 เป็นบิตข้อมูล $D0$ และในช่องสัญญาณที่ 2 เป็นสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน เมื่อบิต $D0$ มีค่าเป็น L อัตราขยายที่ใช้คือ 1 และเมื่อบิตข้อมูล $D0$ มีค่าเป็น H จะมีค่าอัตราเท่ากับ 0.33 ทำให้ช่วงเวลาที่ผลตอบสนองธรรมชาติหรือช่วงเวลาในการเปลี่ยนเฟสไม่เท่ากันตามที่วิเคราะห์และจำลอง



รูปที่ 5.12 สัญญาณเอาต์พุตจากการทดลองของวงจรกรองความถี่ต่ำผ่าน ในขณะที่มีการเปลี่ยนเฟส

5.3 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ ได้เพิ่มวงจรรวมสัญญาณเข้าไประหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO จากการวิเคราะห์ในหัวข้อที่ 3.3.2 ระดับไฟตรงที่เพิ่มเข้าไปแปรผกผันกับค่าความต่างเฟส ซึ่งจากการคำนวณและเขียนกราฟความสัมพันธ์สามารถนำมาประยุกต์สร้างเป็นวงจรมอดูเลตสัญญาณ QPSK ได้ โดยมีผลการจำลองและผลการทดลองเพื่อยืนยันผลการวิเคราะห์ดังต่อไปนี้

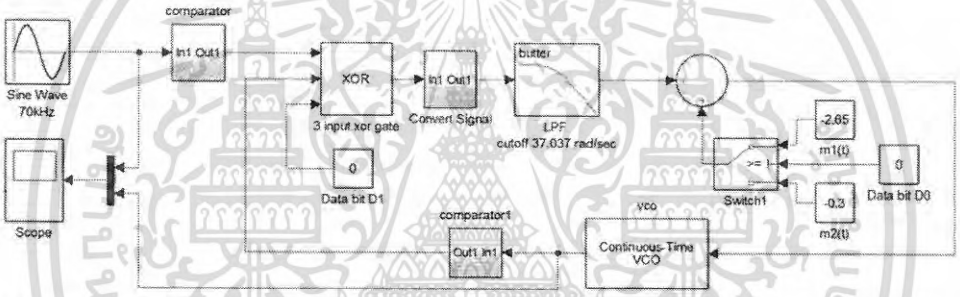
5.3.1 ผลการจำลองวงจรมอดูเลต QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์

ผลการจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์ มีโครงสร้างและค่าพารามิเตอร์ต่างๆ เหมือนกับกรณีของวงจรมอดูเลต

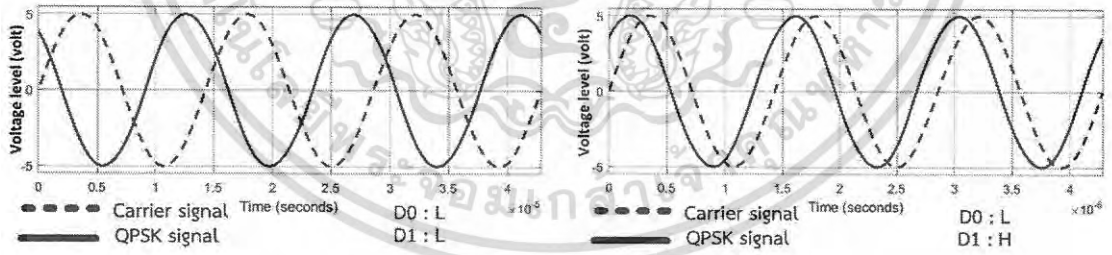
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรขยาย แตกต่างกันในจุดที่วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณจะเพิ่มวงจรรวมสัญญาณเข้าไประหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO ซึ่งให้แรงดันไฟตรงเป็นอินพุตกับวงจรรวมสัญญาณ จากการวิเคราะห์ต้องใช้แรงดันไฟฟ้าที่ -2.65 v และ 0.3 v สำหรับเลื่อนไปตำแหน่ง $3\pi/4$ เรเดียน และ $\pi/4$ เรเดียน

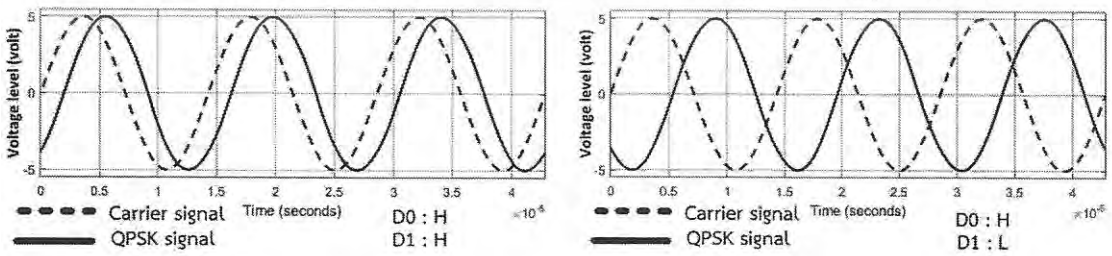
จากรูปที่ 5.13 เมื่อบิตข้อมูล $D1$ มีสถานะเป็น L เป็นอินพุตขาที่ 3 ให้กับ xor gate และบิตข้อมูล $D0$ ควบคุมการทำงานของสวิตซ์ เมื่อบิต $D0$ มีสถานะเป็น H ค่าแรงดันไฟฟ้า -2.65 v จะเป็นสัญญาณอินพุตให้กับวงจรรวมสัญญาณ ทำให้เฟสของสัญญาณเอาต์พุตอยู่ที่ตำแหน่ง $3\pi/4$ เรเดียน และเมื่อบิต $D0$ มีสถานะเป็น L ค่าแรงดันไฟฟ้า -0.3 v จะเป็นสัญญาณอินพุตให้กับวงจรรวมสัญญาณ ส่งผลให้เฟสของสัญญาณเอาต์พุตเลื่อนไปที่ตำแหน่ง $\pi/4$ เรเดียน และเมื่อบิตข้อมูล $D1$ มีสถานะเป็น H ส่งผลให้เกิดการกลับเฟสสัญญาณเอาต์พุตในตำแหน่ง $-\pi/4$ และ $-3\pi/4$ เรเดียน ตามการออกแบบตารางที่ 3.3 ซึ่งแสดงการเข้ารหัสมอดูเลตของสัญญาณ QPSK ด้วยวิธีการนี้ ซึ่งผลการจำลองแสดงในรูปที่ 5.14



รูปที่ 5.13 การจำลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์



(ก) เลื่อนเฟส $3\pi/4$ เรเดียน (ข) เลื่อนเฟส $\pi/4$ เรเดียน



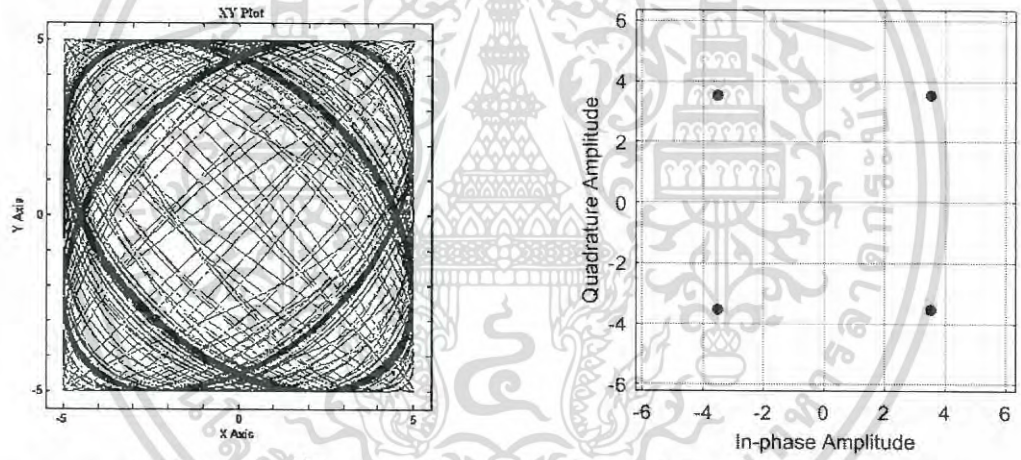
(ค) เลื่อนเฟส $-\pi/4$ เรเดียน (ง) เลื่อนเฟส $-3\pi/4$ เรเดียน

รูปที่ 5.14 ผลการจำลองของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณด้วยโปรแกรมคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

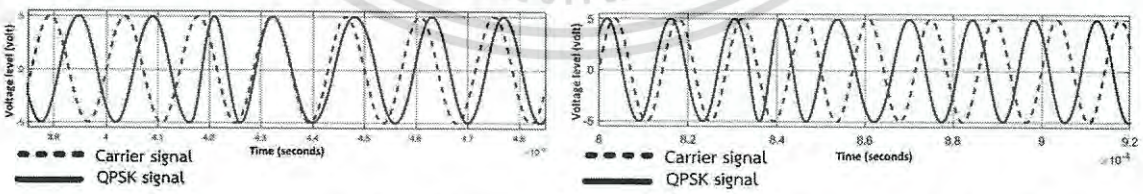
จากรูปที่ 5.14 แสดงการเลื่อนเฟสของสัญญาณเอาต์พุตของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณจากการจำลองด้วยโปรแกรม Matlab Simulink ได้อย่างถูกต้อง นอกจากนี้ผลของลิสซาจูสเคิร์ฟ และคอนสเตลเลชันไดอะแกรมของสัญญาณ QPSK ที่ได้จากการจำลองการทำงานของวงจรถูกแสดงในรูปที่ 5.15 (ก) และ (ข) โดยแสดงถึงตำแหน่งที่สัญญาณ QPSK เลื่อนเฟสไปในตำแหน่งที่ต้องการได้อย่างถูกต้อง ซึ่งจากการวิเคราะห์การเลื่อนเฟสของสัญญาณ QPSK จะมีการเลื่อนเฟสที่ต่อเนื่องและมีช่วงเวลาการเปลี่ยนเฟสที่คงตัว ซึ่งในรูปที่ 5.16 แสดงรูปสัญญาณ QPSK ในขณะเปลี่ยนเฟส

จากรูปที่ 5.16 แสดงการเปลี่ยนเฟสแบบต่อเนื่องของสัญญาณ QPSK ซึ่งแตกต่างจากการเปลี่ยนแบบดั้งเดิม โดยการสังเกตพบว่าการเปลี่ยนเฟสของสัญญาณเสร็จสิ้นเมื่อใดนั้นเป็นสิ่งที่สังเกตได้ยาก ซึ่งจากการวิเคราะห์พบว่าการเปลี่ยนเฟสจะเสร็จสมบูรณ์ได้ ค่าของผลตอบสนองธรรมชาติจะต้องมีค่าเป็นศูนย์ ซึ่งในการจำลองสามารถสังเกตการสิ้นสุดไปของค่าผลตอบสนองธรรมชาติได้จากเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน คือ เมื่อเฟสคงที่ ระดับเอาต์พุตของวงจรกรองความถี่ต่ำผ่านก็จะคงที่เช่นกัน ดังแสดงได้ในรูปที่ 5.17



(ก) ลิสซาจูสเคิร์ฟ (ข) คอนสเตลเลชันไดอะแกรม

รูปที่ 5.15 ลิสซาจูสเคิร์ฟและคอนสเตลเลชันไดอะแกรมของสัญญาณ QPSK ที่ได้จากการจำลอง

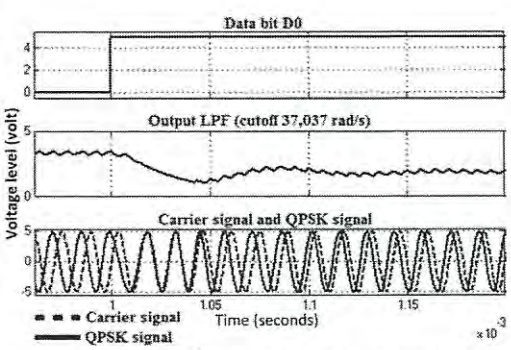


(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

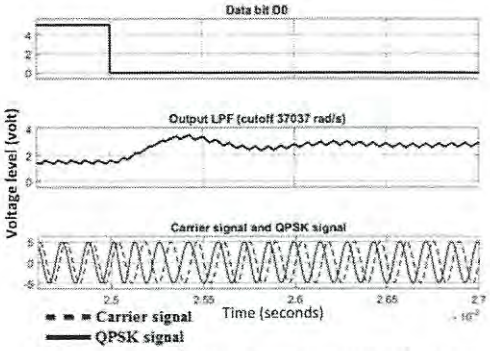
(ข) การเปลี่ยนเฟสจาก $-3\pi/4$ เรเดียน เป็น $-\pi/4$ เรเดียน

รูปที่ 5.16 ผลการจำลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSKโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



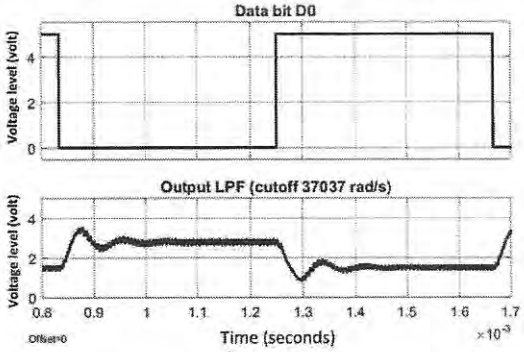
(ก) การเปลี่ยนเฟสจาก $3\pi/4$ เรเดียน เป็น $\pi/4$ เรเดียน



(ข) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

รูปที่ 5.17 ผลการจำลองการเปลี่ยนเฟสเทียบกับสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 5.17 (ก) แสดงการเปลี่ยนเฟสจาก $3\pi/4$ เป็น $\pi/4$ เรเดียน เมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะจาก L เป็น H ทำให้มีค่าของแรงดันไฟฟ้าเข้ามารวมกับสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน เกิดค่าผลตอบสนองธรรมชาติขึ้นโดยสังเกตได้จากสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน เปลี่ยนระดับจากค่าคงที่ค่าหนึ่งเป็นอีกค่าหนึ่งโดยจะใช้เวลาในการเข้าสู่ค่าคงตัวค่าใหม่ ซึ่งสัญญาณ QPSK จะเปลี่ยนจากตำแหน่ง $3\pi/4$ เป็น $\pi/4$ เรเดียน โดยจะเสร็จสิ้นการเปลี่ยนเฟสเมื่อสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านมีค่าคงที่นั่นเอง ในทำนองเดียวกันเมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะจาก H เป็น L สัญญาณ QPSK เปลี่ยนเฟสจาก $\pi/4$ เป็น $3\pi/4$ เรเดียน พร้อมกับสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่เปลี่ยนระดับจากค่าหนึ่งเป็นอีกค่าหนึ่ง และจะสิ้นสุดการเปลี่ยนเฟสเมื่อสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านคงที่ดังแสดงในรูปที่ 5.17 (ข) เพื่อเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนเฟส ในรูปที่ 5.17 ซึ่งจากการวิเคราะห์ช่วงเวลาที่ใช้ในการเปลี่ยนเฟสมีค่าเท่ากันในทุกๆตำแหน่ง ซึ่งต่างกันกับการเปลี่ยนเฟสที่เปลี่ยนอัตราขยายในวงจรเฟสล็อคลูปที่ช่วงเวลาในการเปลี่ยนเฟสไม่คงที่ในแต่ละตำแหน่ง โดยในรูปที่ 5.18 แสดงสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่ได้ เมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะจาก H เป็น L สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะเปลี่ยนระดับจากค่าหนึ่งเป็นอีกค่าหนึ่ง โดยจะใช้ช่วงเวลาในการเข้าสู่ค่าคงที่ และเมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะจาก L เป็น H ค่าของสัญญาณเอาต์พุตวงจกรองความถี่ต่ำผ่านจะกลับเข้าสู่ค่าคงที่ค่าเดิม ซึ่งพบว่าช่วงเวลาที่ใช้ในการสิ้นสุดไปของผลตอบสนองธรรมชาติมีค่าเท่ากันกับที่ได้จากตามการวิเคราะห์ในทางทฤษฎีตามสมการที่ 3.66

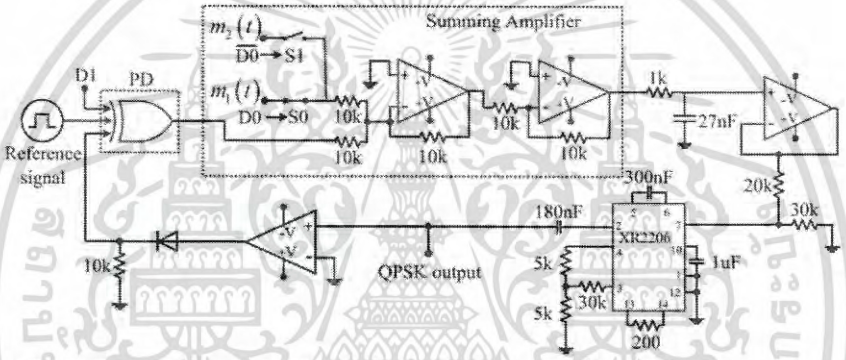


รูปที่ 5.18 สัญญาณเอาต์พุตที่ได้จากการจำลองของวงจรกรองความถี่ต่ำผ่านขณะที่มีการเปลี่ยนเฟส

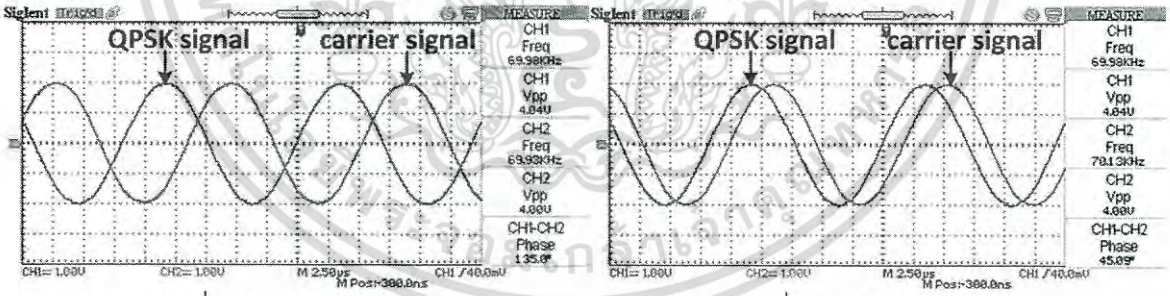
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 ผลการทดลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

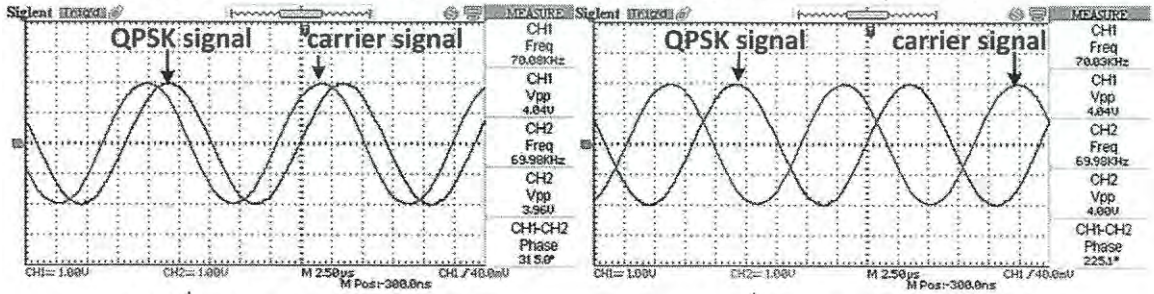
ในหัวข้อนี้เป็นผลการทดลองแสดงสัญญาณ QPSK ที่มีค่าเฟสต่างๆ, การเลื่อนเฟสแบบต่อเนื่อง และช่วงเวลาของการเปลี่ยนเฟสของวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ ซึ่งประกอบไปด้วยวงจรตรวจจับความต่างเฟสชนิด 3 อินพุต, วงจรรวมสัญญาณ, วงจรกรองความถี่ต่ำผ่านโดยกำหนดค่าความถี่ตัดที่ 5.89kHz หรือ 37,037 rad/s, วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันที่สร้างจากไอซี XR2206 โดยมีความถี่เริ่มต้นที่ 86.73 kHz อัตราขยาย -17 kHz/v ใช้สัญญาณอ้างอิง 70 kHz กำหนดให้บิตข้อมูล $D0$ ควบคุมอินพุตให้กับวงจรรวมสัญญาณ ผ่านการทำงานของอะนาล็อกสวิตช์ โดยให้ $m_1(t)$ และ $m_2(t)$ มีค่าเท่ากับ -2.65 v และ -0.3 v ตามลำดับและบิตข้อมูล $D1$ เป็นอินพุตให้กับขาที่ 3 ของ xor gate ดังแสดงได้ในรูปที่ 5.19 และมีผลการทดลองการเลื่อนเฟสทั้ง 4 ตำแหน่งตามตารางที่ 3.3 ดังรูปที่ 5.20



รูปที่ 5.19 วงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ



(ก) เลื่อนเฟส $3\pi/4$ เรเดียน (ข) เลื่อนเฟส $\pi/4$ เรเดียน



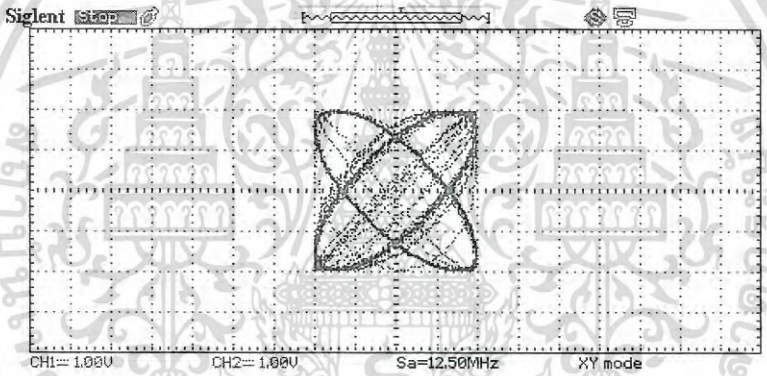
(ค) เลื่อนเฟส $-\pi/4$ เรเดียน (ง) เลื่อนเฟส $-3\pi/4$ เรเดียน

รูปที่ 5.20 ผลการทดลองวงจรมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

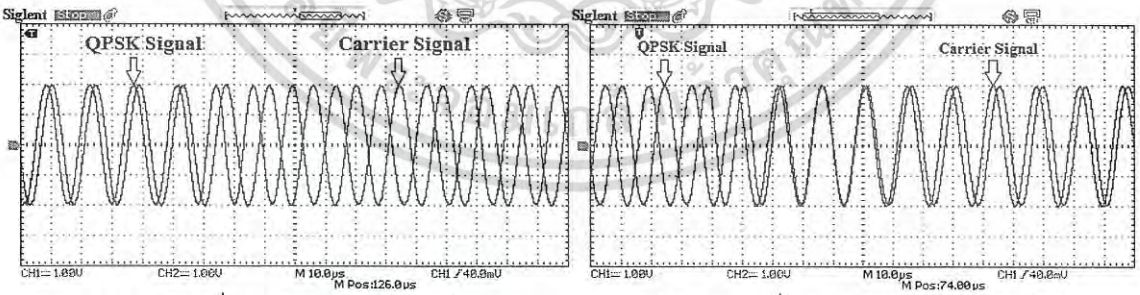
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.20 แสดงตำแหน่งการเลื่อนเฟสทั้ง 4 ตามตางรางที่ 3.3 ซึ่งแสดงการเข้ารหัสมอดูเลตชัน เมื่อให้บิตข้อมูล $D1$ และบิตข้อมูล $D0$ มีสถานะเป็น L ผลของตำแหน่งการเลื่อนเฟสคือ $3\pi/4$ เรเดียน ตามรูปที่ 5.20 (ก) เมื่อบิตข้อมูล $D0$ มีสถานะเป็น H ตำแหน่งของเฟสสัญญาณเอาต์พุตคือ $\pi/4$ เรเดียน ตามรูปที่ 5.20(ข) และเมื่อให้บิตข้อมูล $D1$ เป็น H ส่งผลให้เกิดการกลับเฟส 2 ตำแหน่ง ก่อนหน้าทำให้ได้ตำแหน่งเฟสของสัญญาณเอาต์พุตที่ $-\pi/4$ และ $-3\pi/4$ เรเดียน โดยลิสซาจูสเคิร์ฟของสัญญาณ QPSK แสดงในรูปที่ 5.21 โดยสัญญาณ QPSK ที่ได้จากการทดลองวงจรมอดูเลตมีการเลื่อนเฟสไปในตำแหน่งที่ต้องการ โดยมีการเลื่อนแบบต่อเนื่องเกิดขึ้นกับสัญญาณ QPSK ที่ได้ดังแสดงในรูปที่ 5.22

จากรูปที่ 5.22 ผลการทดลองสอดคล้องกับผลการวิเคราะห์และผลการจำลองการทำงานของวงจรด้วยโปรแกรมคอมพิวเตอร์เป็นอย่างดี เพื่อให้เห็นช่วงเวลาที่สิ้นสุดการเปลี่ยนเฟสอย่างชัดเจน ผลการทดลองเทียบ บิตข้อมูล $D0$, สัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่าน และสัญญาณ QPSK พร้อมสัญญาณอ้างอิงถูกแสดงในรูปที่ 5.23



รูปที่ 5.21 ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการทดลอง

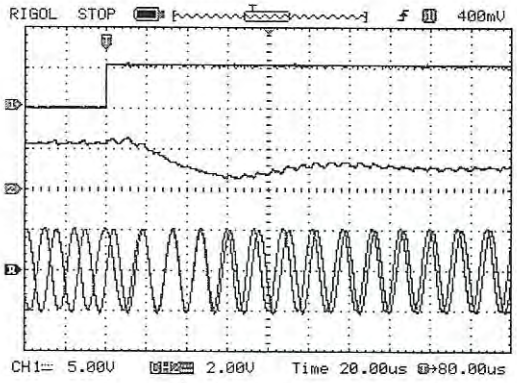


(ก) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

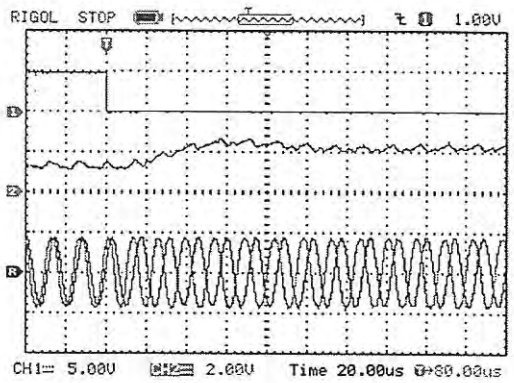
(ข) การเปลี่ยนเฟสจาก $-3\pi/4$ เรเดียน เป็น $-\pi/4$ เรเดียน

รูปที่ 5.22 ผลการทดลองการเปลี่ยนเฟสแบบต่อเนื่องของการมอดูเลตสัญญาณ QPSK โดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



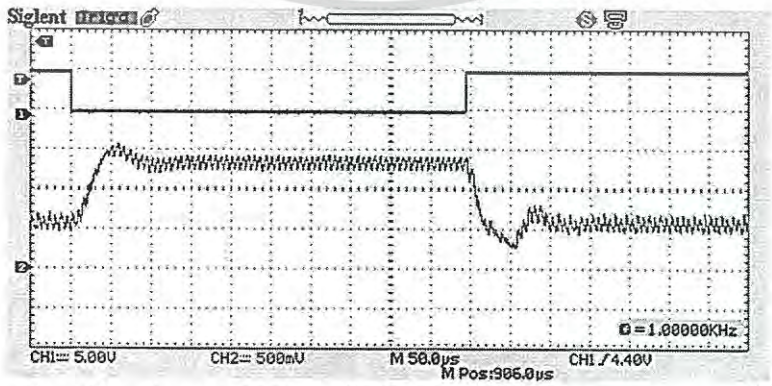
(ก) การเปลี่ยนเฟสจาก $3\pi/4$ เรเดียน เป็น $\pi/4$ เรเดียน



(ข) การเปลี่ยนเฟสจาก $\pi/4$ เรเดียน เป็น $3\pi/4$ เรเดียน

รูปที่ 5.23 ผลการทดลองการเปลี่ยนเฟสเทียบกับสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

รูปที่ 5.23 (ก) ผลการทดลองการเปลี่ยนเฟสเทียบกับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน สัญญาณบนสุดในรูปคือสัญญาณบิตข้อมูล $D0$ สัญญาณที่ 2 คือสัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน และสัญญาณล่างสุดของรูปคือสัญญาณ QPSK เทียบกับสัญญาณอ้างอิง เมื่อบิตข้อมูลเปลี่ยนสถานะจาก L เป็น H ส่งผลให้ค่าระดับแรงดันไฟตรงเปลี่ยนอย่างฉับพลัน ทำให้เกิดค่าผลตอบสนองธรรมชาติขึ้น โดยสังเกตได้จากสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่เปลี่ยนระดับจากค่าคงที่ค่าหนึ่งเป็นอีกค่าหนึ่ง ซึ่งการเปลี่ยนค่านี้ดำเนินไปพร้อมกับการเปลี่ยนเฟสของสัญญาณ QPSK และเมื่อค่าสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านคงที่ การเปลี่ยนเฟสก็จะเสร็จสมบูรณ์ ในทำนองเดียวกันนี้เมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะจาก H เป็น L จะให้ผลดังรูปที่ 5.23 (ข) ทั้งนี้จากผลการวิเคราะห์และผลการจำลองชี้ชัดว่าช่วงเวลาของการเปลี่ยนเฟสของวงจรมอดูเลตสัญญาณ QPSK ที่อาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณนั้น จะมีค่าที่คงที่ ดังแสดงผลการทดลองในรูปที่ 5.24 เมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะทำให้สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเปลี่ยนค่า สังเกตได้ว่าช่วงเวลาที่สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเข้าสู่ค่าคงที่จะมีค่าที่เท่ากันเสมอในทุกตำแหน่ง ซึ่งทำให้ทราบแน่นอนว่าการเปลี่ยนเฟสจะเสร็จสิ้นเมื่อใด ดังนั้นการออกแบบวงจรดีมอดูเลตจึงสามารถออกแบบให้ละทิ้งช่วงเวลาดังกล่าวไปได้ง่าย และเพื่อให้การเลื่อนเฟสเป็นไปอย่างมีประสิทธิภาพ การลดช่วงเวลาการเปลี่ยนเฟสให้ต่ำลงจะถูกแสดงในหัวข้อถัดไป

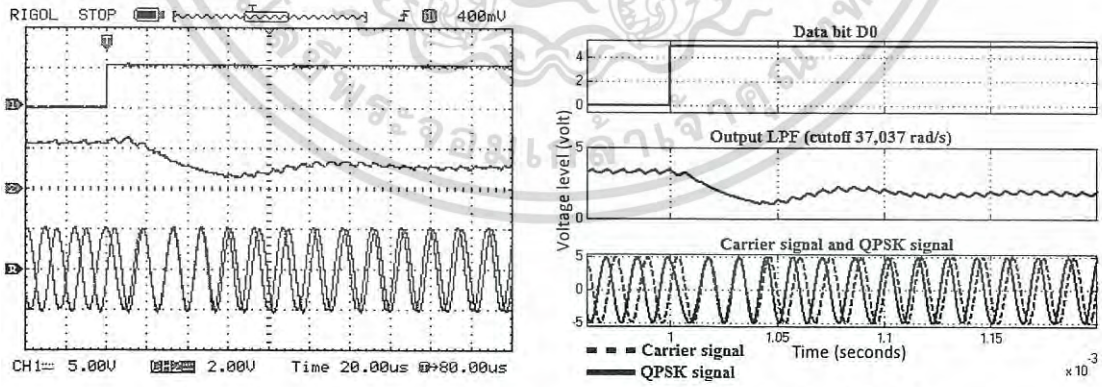


รูปที่ 5.24 การเปรียบเทียบสัญญาณบิตข้อมูลกับสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการจำลองและผลการทดลองการลดเวลาเลื่อนเฟสโดยปรับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน

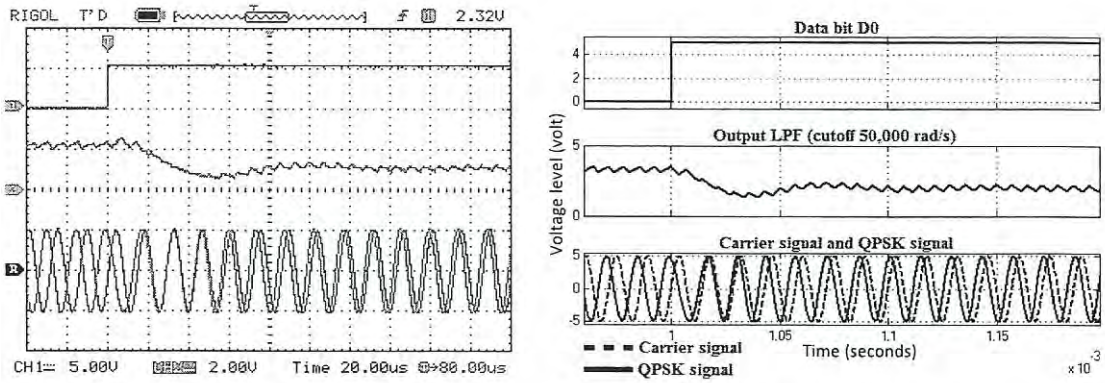
จากการวิเคราะห์ในบทที่ 3 วงจรเฟสล็อคลูปได้ถูกประยุกต์สร้างวงจรมอดูเลตสัญญาณ QPSK และแสดงถึงการเปลี่ยนเฟสของสัญญาณแบบต่อเนื่องตามการวิเคราะห์ และแสดงให้เห็นในผลการจำลองและผลการทดลอง ซึ่งแตกต่างไปจากสัญญาณ QPSK แบบดั้งเดิม ทั้งนี้ช่วงเวลาที่สัญญาณเปลี่ยนเฟสถือเป็นช่วงเวลาที่ไม่ได้ใช้ประโยชน์ จึงควรลดระยะเวลาดังกล่าวโดยไม่กระทบต่อตำแหน่งเฟสของสัญญาณ QPSK จากการวิเคราะห์ช่วงเวลาที่ใช้ในสมการค่าผลตอบสนองสมบูรณ์ของระบบเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณพบว่า การเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านช่วยให้เวลาที่ใช้ในการเลื่อนเฟสของสัญญาณสั้นลง โดยวงจรกรองความถี่ต่ำผ่านที่เลือกใช้ในงานที่นำเสนอคือวงจรกรองความถี่ต่ำชนิดพาสซีพ อันดับที่ 1 ทั้งนี้การสังเกตว่าการเปลี่ยนเฟสของสัญญาณ QPSK เสร็จสิ้นแล้วหรือไม่ ถือเป็นเรื่องยากในการพิจารณา ดังนั้นเพื่อให้การทดลองนี้มีความชัดเจนมากยิ่งขึ้นจึงเพิ่มจุดสังเกตอีกหนึ่งจุดคือ สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านซึ่งเมื่อวงจรเฟสล็อคลูปเข้าสู่สภาวะคงตัว สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะมีระดับคงที่ โดยทันทีที่มีการเปลี่ยนบิตของข้อมูลจะเกิดค่าผลตอบสนองธรรมชาติขึ้น ทำให้สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านเปลี่ยนแปลงระดับ และจะเข้าสู่ระดับใหม่เมื่อเวลาผ่านไป ในการทดลองนี้แสดงการเปลี่ยนเฟส จาก $3\pi/4$ เรเดียน เป็น $\pi/4$ เรเดียน และกำหนดค่าความถี่ตัดที่ 37,037 rad/s, 50,000 rad/s และ 100,000 rad/s ตามลำดับ ซึ่งถูกแสดงในรูปที่ 5.25-5.27 ตามลำดับ โดยในแต่ละรูปแสดงผลการทดลองและผลการจำลองควบคู่กันไป โดยสัญญาณที่หนึ่งคือบิต $D1$ สัญญาณที่สองคือสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่าน และสัญญาณสุดท้ายคือการเปรียบเทียบสัญญาณอ้างอิงและสัญญาณ QPSK



(ก) ผลการทดลอง (ข) ผลการจำลอง

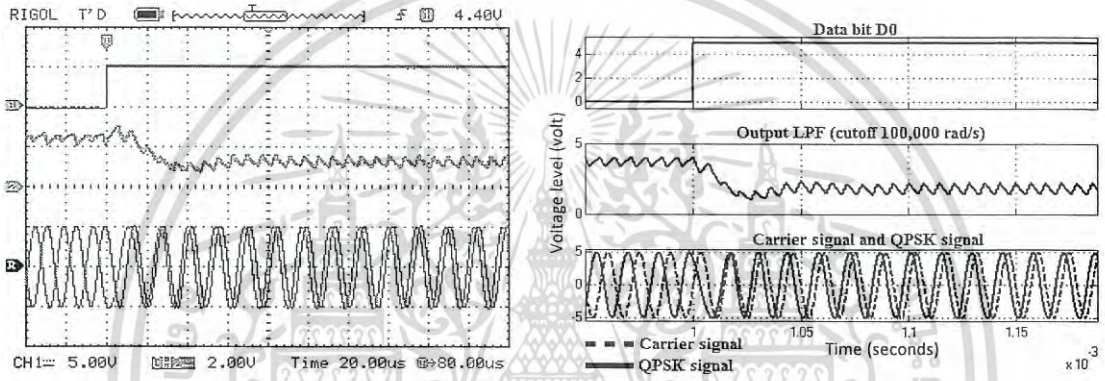
รูปที่ 5.25 การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 37,037 rad/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



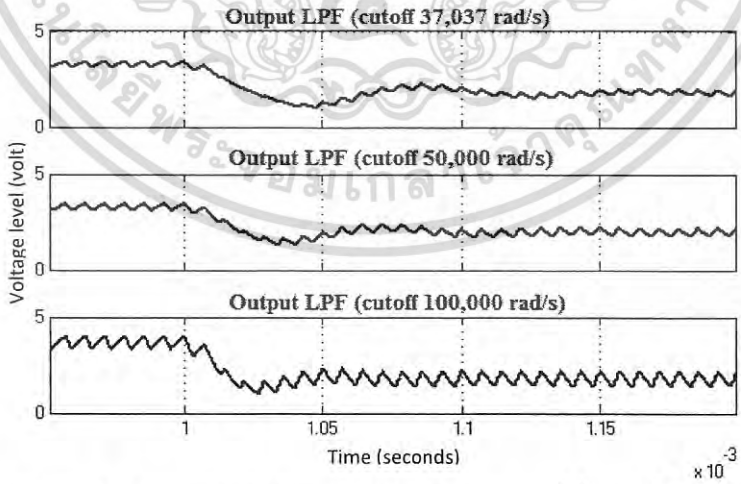
(ก) ผลการทดลอง (ข) ผลการจำลอง

รูปที่ 5.26 การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 50,000 rad/s



(ก) ผลการทดลอง (ข) ผลการจำลอง

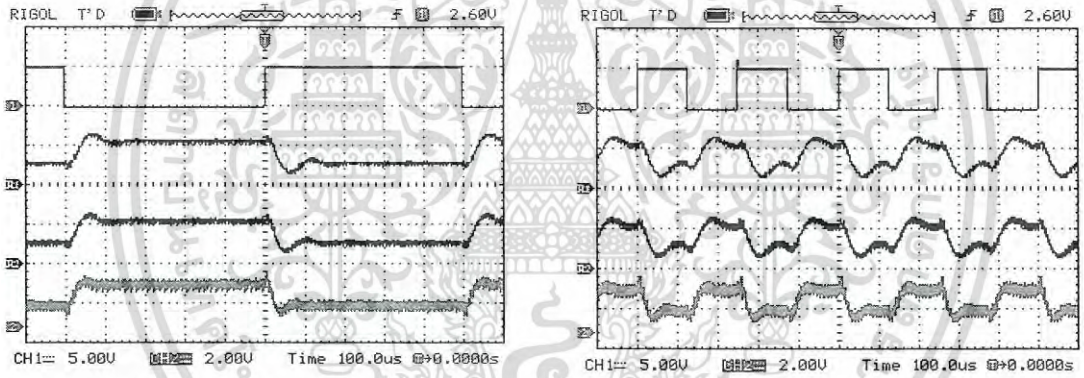
รูปที่ 5.27 การเปลี่ยนเฟสของสัญญาณ QPSK ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 100,000 rad/s



รูปที่ 5.28 การเปรียบเทียบสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัดต่างกัน 3 ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองเพื่อให้ง่ายสำหรับการเปรียบเทียบ ในรูปที่ 5.28 แสดงการจำลองสัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่านทั้ง 3 ความถี่ตัด ซึ่งในรูปที่ 5.28 การเพิ่มค่าความถี่ตัดสามารถลดช่วงเวลาเข้าสู่สภาวะคงตัวหรือช่วงเวลาเปลี่ยนเฟสของสัญญาณได้ นอกจากนี้ข้อดีอีกประการหนึ่งของการลดช่วงเวลาดังกล่าวคือสามารถเพิ่มจำนวนบิตข้อมูลในการส่งได้ด้วย โดยยกตัวอย่างดังแสดงในรูปที่ 5.29 กำหนดให้ ช่องสัญญาณที่ 1 คือบิตข้อมูล $D0$ สัญญาณอ้างอิงที่ 1(R1), 2(R2) และช่องสัญญาณที่ 2 คือ สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่ความถี่ตัด 37,037 rad/s, 50,000 rad/s และ 100,000 rad/s ตามลำดับ โดยจากรูปที่ 5.28 พบว่าเมื่อเพิ่มปริมาณข้อมูลจาก 4 kbit/s เป็น 16 kbit/s ในกรณีของวงจรกรองความถี่ต่ำผ่านที่ค่าความถี่ตัด 37,037 rad/s และ 50,000 rad/s ไม่สามารถทำการเลื่อนเฟสให้เสร็จสิ้นทันการเปลี่ยนบิตครั้งถัดไปได้ เนื่องจากยังคงมีค่าผลตอบสนองธรรมชาติอยู่ โดยสังเกตได้จากสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่ยังไม่เข้าสู่ระดับคงที่ แต่ในกรณีที่ค่าความถี่ตัด 100,000 rad/s จะสามารถทำได้ แต่อย่างไรก็ดีการเพิ่มค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน จะมีผลทำให้การเปลี่ยนเฟสเร็วขึ้นแต่ผลที่ตามมาก็คือ จะเกิดค่าความคลาดเคลื่อนทางเฟส ตามการวิเคราะห์ในบทที่ 4 หัวข้อที่ 4.2 ซึ่งจะแสดงผลการจำลองและผลการทดลองในหัวข้อถัดไป



(ก) ปริมาณข้อมูล 4 kbit/s (ข) ปริมาณข้อมูล 16 kbit/s

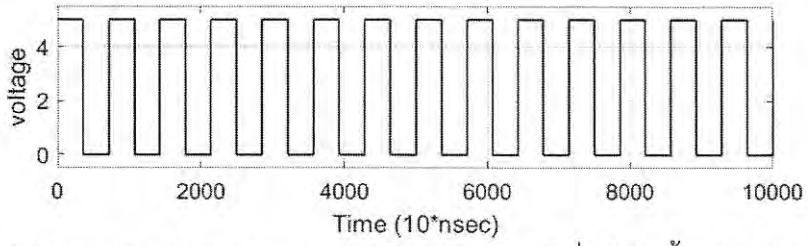
รูปที่ 5.29 ผลการทดลองการเพิ่มจำนวนบิตข้อมูลหลังจากปรับค่าความถี่ตัดวงจรกรองความถี่ต่ำผ่าน

5.5 ค่าความคลาดเคลื่อนทางเฟสจากสัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่ได้จากผลการจำลองและผลการทดลอง

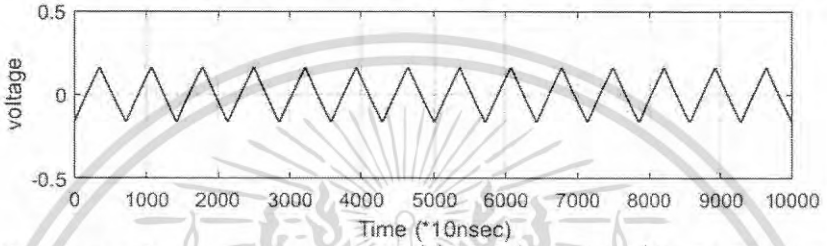
จากการวิเคราะห์ระบบเฟสล็อคลูป เป็นที่ทราบกันดีว่าระดับสัญญาณที่เป็นอินพุตให้กับ VCO มีผลต่อการเลื่อนเฟสของเอาต์พุต ซึ่งในอุดมคติค่าที่ได้จากวงจรกรองความถี่ต่ำผ่านควรเป็นระดับสัญญาณไฟตรง แต่ในทางปฏิบัติแล้วผลการปรับค่าความถี่ตัดในหัวข้อ 5.4 ที่ได้จากการทดลองและจากการจำลอง พบว่าสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน $\left(v_L(t)\right)$ ไม่ได้เป็นระดับไฟตรงที่ราบเรียบแต่มีลักษณะเป็นคลื่นรูปสามเหลี่ยมที่ไม่สมมาตร (asymmetric triangle wave) รวมกับระดับไฟตรง ทำให้เกิดความคลาดเคลื่อนของเฟสในสัญญาณ QPSK ที่ได้ ตามการวิเคราะห์ดังสมการที่ 4.7 เพื่อแสดงความชัดเจนในเรื่องนี้ ในรูปที่ 5.30-5.32 แสดงผลการจำลองพจน์ที่ 2 ทางขวามือของสมการที่ 4.7 เป็นสัญญาณสามเหลี่ยมที่มีค่าของความชัน ด้านบวกและด้านลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

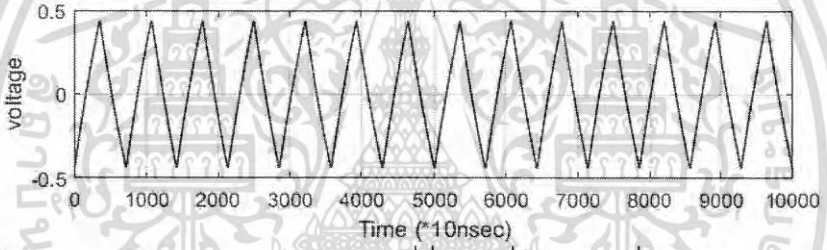
แปรเปลี่ยนตามค่าดิวตี้ไซเคิลของสัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟส ซึ่งการจำลองกำหนดให้ สัญญาณอ้างอิงของวงจรเฟสล็อคลูปที่ 70kHz และค่าดิวตี้ไซเคิลของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟสอยู่ที่ 50%



(ก) สัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสที่มีค่าดิวตี้ไซเคิล 50%



(ข) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec



(ค) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 100,000 rad/sec

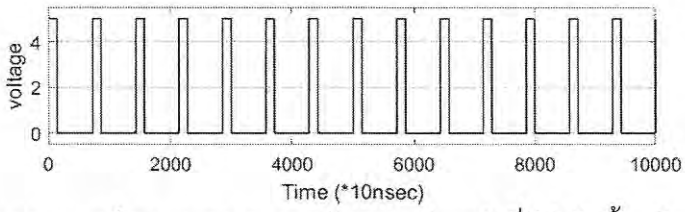
รูปที่ 5.30 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าดิวตี้ไซเคิล 50% ที่ได้จากการจำลอง

จากรูปที่ 5.30 (ก) คือ สัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสที่ค่าดิวตี้ไซเคิล 50% ซึ่งมีความถี่ที่ 140 kHz เมื่อผ่านวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec และ 100,000 rad/sec ได้ผลการจำลองแสดงดังรูปที่ 5.30 (ข) และ 5.30 (ค) ตามลำดับ ซึ่งสังเกตได้ว่าเมื่อเพิ่มค่าความถี่ตัด สัญญาณเอาต์พุตจะมีค่าขนาดของสัญญาณมากขึ้น ซึ่งหมายความว่าสัญญาณอินพุตที่เข้า VCO จะมีค่าผิดพลาดเพิ่มขึ้นด้วยนั่นเอง ในกรณีที่ค่าดิวตี้ไซเคิลต่ำกว่า 50% พิจารณาจากสมการที่ 4.7 ความชันของสัญญาณด้านบวกจะเพิ่มขึ้นและความชันด้านลบจะลดลงส่งผลให้รูปสัญญาณเอียงมาทางซ้าย ดังแสดงผลการจำลองในรูปที่ 5.31

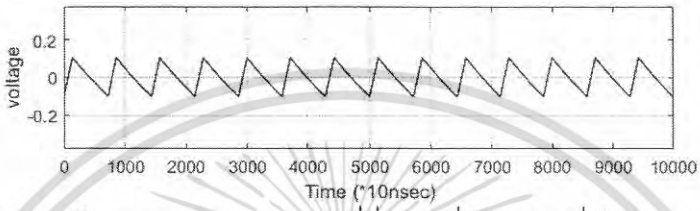
ในการมอดูเลตแบบ QPSK นั้นใช้การเลื่อนเฟสในสัญญาณ ซึ่งตำแหน่งเฟสมีความสัมพันธ์กับค่าความกว้างพัลส์บวกหรือค่าดิวตี้ไซเคิลของสัญญาณเอาต์พุตวงจรตรวจจับความต่างเฟสในวงจรเฟสล็อคลูป โดยยกตัวอย่างกรณีที่ค่าดิวตี้ไซเคิลต่ำกว่าและมากกว่า 50% ดังต่อไปนี้ จากการจำลองสัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสที่ค่าดิวตี้ไซเคิล 20% แสดงในรูปที่ 5.31 (ก) โดยสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec และ 100,000 rad/sec แสดงในรูปที่ 5.31 (ข) และ 5.31 (ค) ตามลำดับ ผลการจำลองสอดคล้องกับสมการที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

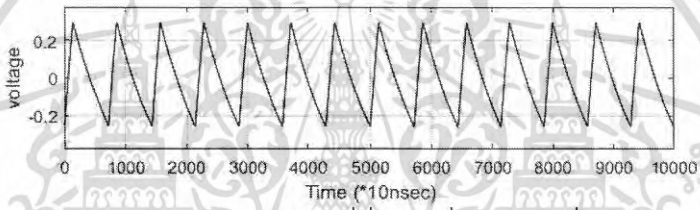
เช่นเดียวกันกับผลการจำลองก่อนหน้า ในทางกลับกันหากเพิ่มค่าดิวตี้ไซเคิลสูงกว่า 50% ผลที่ได้ตามการวิเคราะห์ของสมการบอกได้ว่าความชันของสัญญาณด้านบวกจะลดลงและความชันด้านลบจะเพิ่มขึ้นส่งผลให้รูปสัญญาณเอียงมาทางขวา โดยแสดงผลการจำลองในรูปที่ 5.32



(ก) สัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสที่มีค่าดิวตี้ไซเคิล 20%

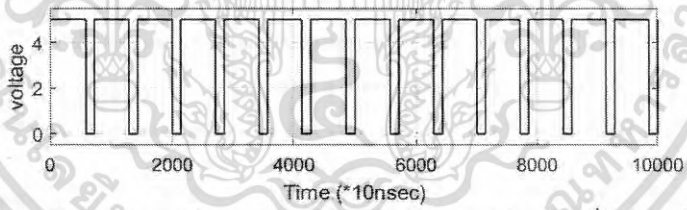


(ข) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec

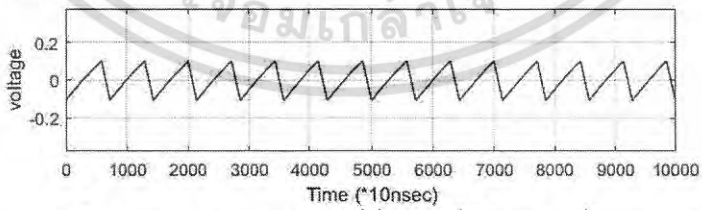


(ค) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 100,000 rad/sec

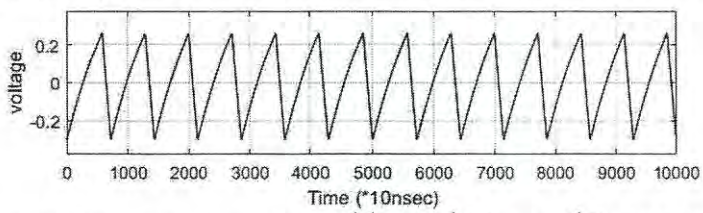
รูปที่ 5.31 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่ค่าดิวตี้ไซเคิลที่ 20% ที่ได้จากการจำลอง



(ก.) สัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสที่มีค่าดิวตี้ไซเคิล 80%



(ข) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec

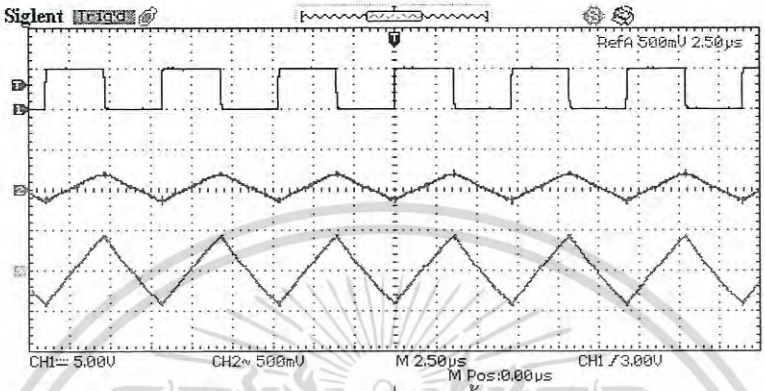


(ค) สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 100,000 rad/sec

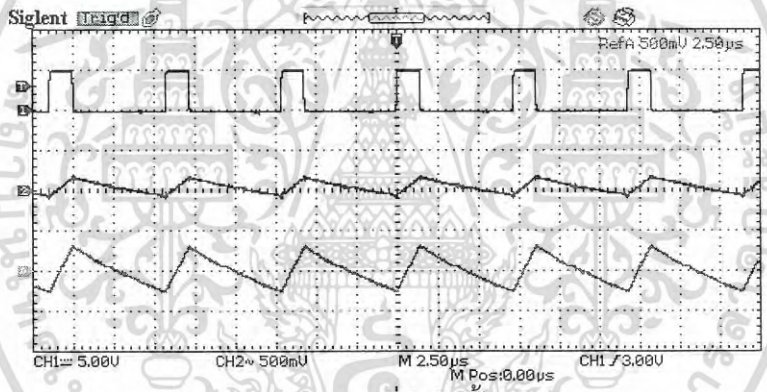
รูปที่ 5.32 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าดิวตี้ไซเคิ 80% ที่ได้จากการจำลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

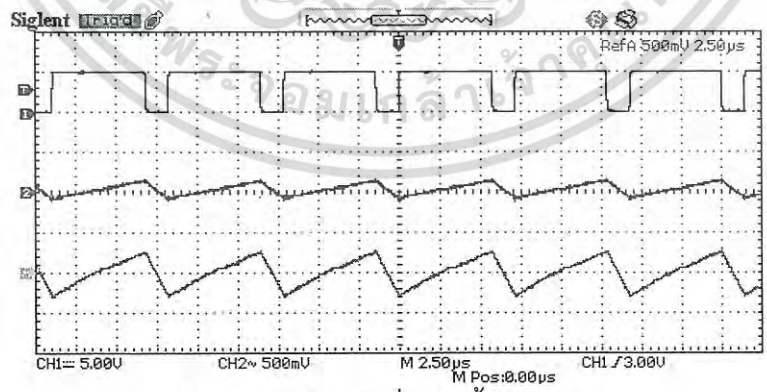
รูปที่ 5.32 (ก), 5.32 (ข) และ 5.32 (ค) แสดงผลการจำลองสมการที่ 4.7 เมื่อสัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสมีค่าดิวตี้ไซเคิล 80% โดยวงจรกรองความถี่ต่ำผ่านมีค่าความถี่ตัดที่ 37,037 rad/sec และ 100,000 rad/sec ตามลำดับ ซึ่งผลการจำลองสอดคล้องกับผลการวิเคราะห์ คือเมื่อค่าความถี่ตัดเพิ่มขึ้นสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านจะมีขนาดสูงขึ้นไม่ว่าจะมีค่าดิวตี้ไซเคิลใดๆก็ตาม



(ก) ผลการทดลองที่ค่าดิวตี้ไซเคิล 50%



(ข) ผลการทดลองที่ค่าดิวตี้ไซเคิล 20%



(ค) ผลการทดลองที่ค่าดิวตี้ไซเคิล 80%

รูปที่ 5.33 ผลการทดลองเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่มีความถี่ตัด 37,037 rad/sec และ 100,000 rad/sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

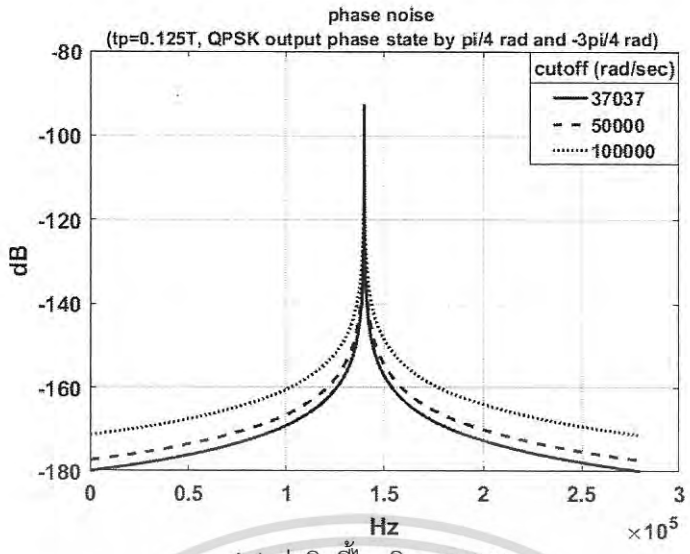
สำหรับรูปที่ 5.33 ได้แสดงสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec และ 100,000 rad/sec โดยค่าดิวตี้ไซเคิลของสัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟสเป็น 50%, 20% และ 80% ถูกแสดงในรูปที่ 5.33 (ก), 5.33 (ข) และ 5.33 (ค) ตามลำดับ เพื่อยืนยันผลการวิเคราะห์และผลการจำลองในข้างต้น โดยในแต่ละรูปย่อย ประกอบไปด้วยสัญญาณบนสุดคือ เอาต์พุตของวงจรตรวจจับความต่างเฟส สัญญาณในช่องกลางคือเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 37,037 rad/sec และสัญญาณล่างสุดคือเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่มีค่าความถี่ตัด 100,000 rad/sec

การวิเคราะห์, การจำลอง และการทดลองที่ได้ของค่าความคลาดเคลื่อนทางเฟสจากเอาต์พุตวงจรกรองความถี่ต่ำผ่าน บ่งบอกถึงการเปลี่ยนแปลงของสัญญาณอินพุตของวงจร VCO (สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน) เมื่อเพิ่มค่าความถี่ตัดเพื่อเพิ่มความเร็วให้กับการเลื่อนเฟสของวงจรมอดูเลตสัญญาณ QPSK ที่อาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ จะส่งผลโดยตรงกับค่าเฟสของสัญญาณ QPSK ที่จะไม่คงที่เมื่อค่าสัญญาณอินพุตของวงจร VCO ไม่คงที่ ดังนั้นจึงเรียกสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านว่า phase error signal ซึ่งการที่เฟสของสัญญาณ QPSK ถูกทำให้คลาดเคลื่อนด้วยแอมพลิจูดของสัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ได้กล่าวไว้ในหัวข้อที่ 4.3

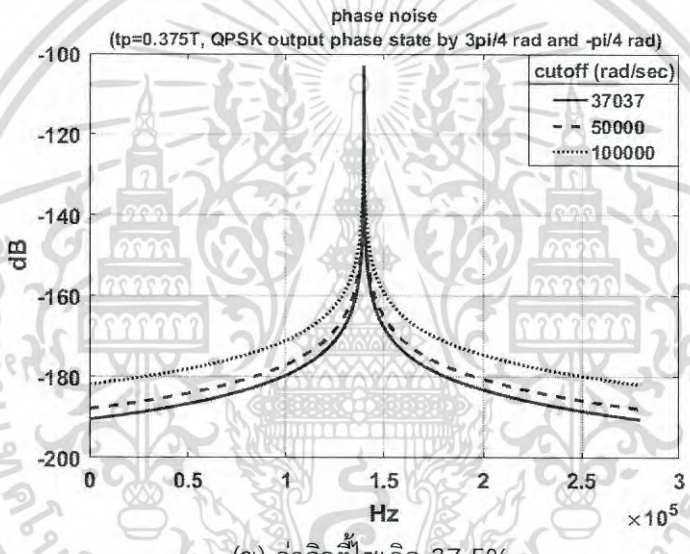
5.6 สัญญาณรบกวนทางเฟสที่ได้จากการจำลอง

ค่าสัญญาณรบกวนทางเฟส สามารถหาได้จาก power spectral density (PSD : $S(\omega)$) ของ phase error signal ซึ่งการวิเคราะห์ถูกแสดงในสมการที่ 4.32 และในการจำลองเพื่อดูผลสัญญาณรบกวนทางเฟสนั้น กำหนดให้ค่าดิวตี้ไซเคิลของสัญญาณเอาต์พุตวงจรกรองตรวจจับความต่างเฟสมีค่า 12.5% ซึ่งเป็นค่าดิวตี้ไซเคิลเมื่อสัญญาณ QPSK ที่ความต่างเฟส $\pi/4$ และ $-3\pi/4$ เรเดียน และ 37.5% เมื่อสัญญาณ QPSK มีความต่างเฟสที่ $3\pi/4$ และ $-\pi/4$ เรเดียน ทั้งนี้จากเทคนิคการกลับเฟสของสัญญาณ QPSK จากการทำงานของ xor gate ทำให้ 1 ค่าดิวตี้ไซเคิลสามารถให้ตำแหน่งของสัญญาณ QPSKได้ 2 ตำแหน่ง ในรูปที่ 5.34 (ก) คือผลการจำลองที่ค่าดิวตี้ไซเคิล 12.5% เมื่อค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านคือ 37,037, 50,000 และ 100,000 rad/sec รูปที่ 5.34 (ข) แสดงผลการจำลองสมการที่ 4.33 กรณีค่าดิวตี้ไซเคิล 37.5% เมื่อค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านทั้ง 3 ค่าเช่นเดียวกัน จะเห็นได้ว่าค่าสัญญาณรบกวนทางเฟส แปรผกผันกับค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแต่แปรผันตรงกับค่าความกว้างพัลส์บวกในรูปฟังก์ชันซายน์ ซึ่งสอดคล้องกับการวิเคราะห์ในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ค่าดิวตี้ไซเคิล 12.5%



(ข) ค่าดิวตี้ไซเคิล 37.5%

รูปที่ 5.34 ค่าสัญญาณรบกวนทางเฟสที่ได้จากการจำลอง

5.7 การเปรียบเทียบค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์ (EVM)

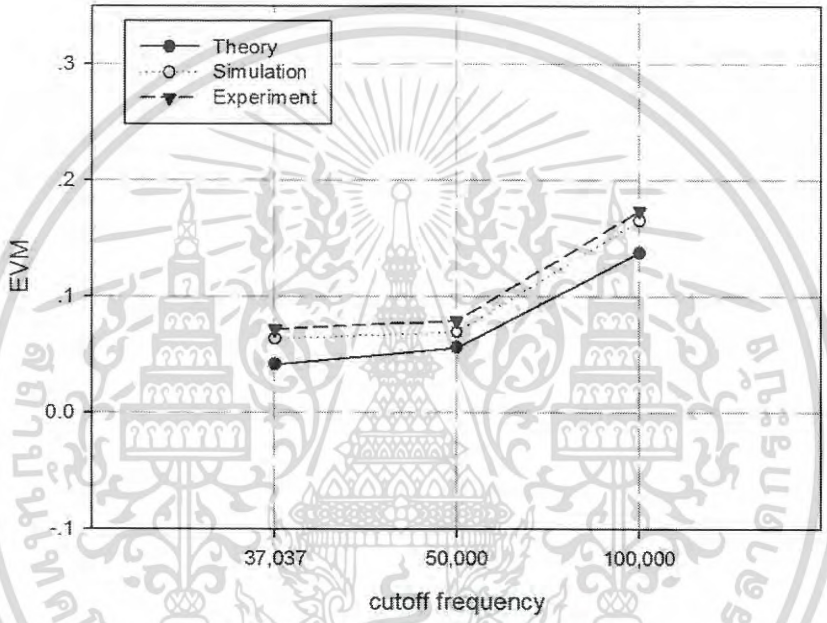
ค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์ ซึ่งเป็นค่าความคลาดเคลื่อนทางเฟส (θ_{error}) ที่เกิดจากการมอดูเลตสามารถหาได้จากสมการที่ 4.9 เมื่อพิจารณาค่าเฉลี่ยกำลังสองของขนาดเวกเตอร์หรือ Error vector magnitude (EVM) จากพิกัดในอุดมคติ (I_n, Q_n) ถึงพิกัดที่ได้จริงจากการมอดูเลต (I_n', Q_n') ทั้ง 4 จุดตามการทำงานของวงจรมอดูเลตสัญญาณ QPSK โดยสามารถแสดงได้ดังสมการที่ 4.39 ซึ่งผลเปรียบเทียบค่า EVM จากการคำนวณตามทฤษฎี, การจำลอง และการทดลองแสดงได้ตามตารางที่ 5.1 ซึ่งเป็นการหาค่า EVM ที่ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน 3 ความถี่คือ 37,037, 50,000 และ 100,000 rad/sec กราฟเปรียบเทียบค่า EVM ที่ได้จากการคำนวณตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจำลอง และการทดลอง เมื่อค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน คือ 37,037, 50,000 และ 100,000 rad/sec แสดงดังรูปที่ 5.35

ตารางที่ 5.1 ตารางเปรียบเทียบค่า EVM จากการคำนวณตามทฤษฎี, การจำลอง และการทดลอง

ค่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน (ω_c)	EVM		
	ทฤษฎี	การจำลอง	การทดลอง
37,037	0.0420	0.0640	0.0720
50,000	0.0565	0.0695	0.0795
100,000	0.1380	0.1660	0.1740



รูปที่ 5.35 กราฟเปรียบเทียบค่า EVM

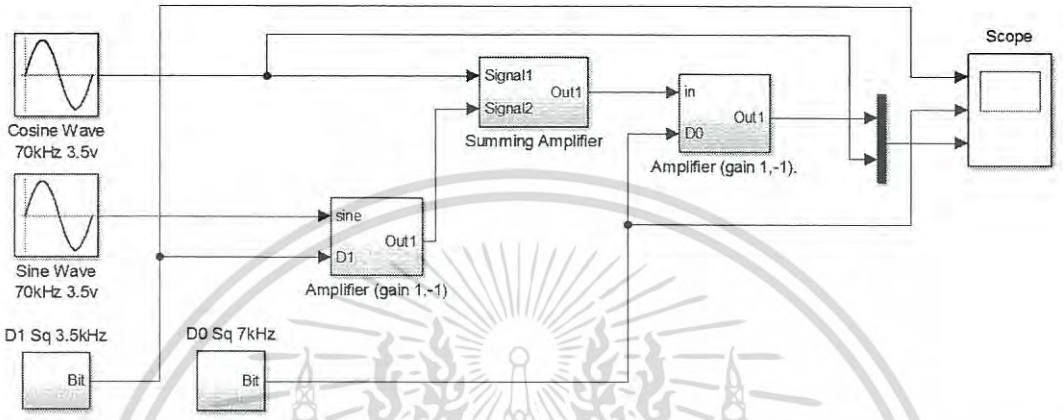
5.8 วงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

ในหัวข้อนี้จะกล่าวถึงการสร้างวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ ซึ่งมีการเปลี่ยนเฟสแบบไม่ต่อเนื่องเหมือนสัญญาณ QPSK ทั่วไป แต่การสร้างง่ายกว่าวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิม ซึ่งสามารถละทิ้งวงจรแปลงดิจิตอลเป็นแอนะล็อก และวงจรคูณได้ โดยวงจรมอดูเลตใช้เพียงอุปกรณ์พื้นฐานคือออปแอมป์และแอนะล็อกสวิทช์เท่านั้น ซึ่งการออกแบบจะทำให้บิตข้อมูลควบคุมอัตราขยายของวงจรขยายภายในวงจรมอดูเลต โดยให้มีอัตราขยายเป็น 1 และ -1 โดยผลการจำลองและผลการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติมีรายละเอียดดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8.1 ผลการจำลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

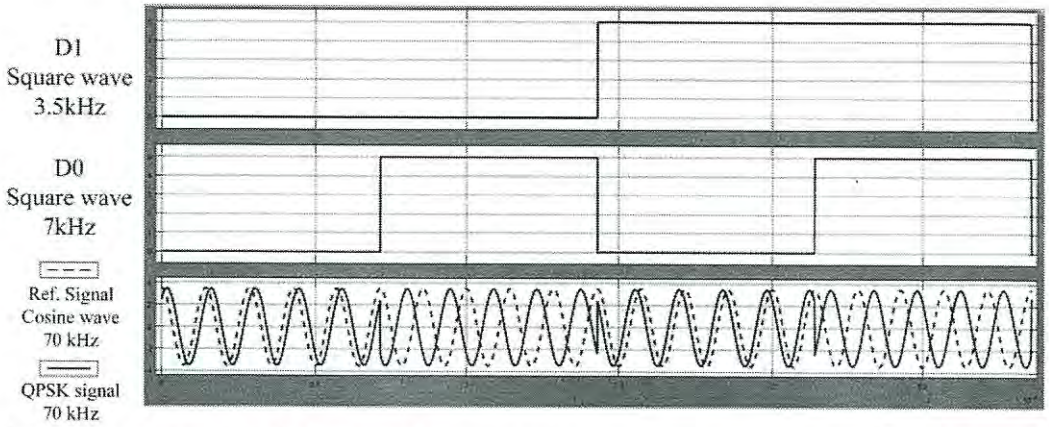
เพื่อยืนยันผลการวิเคราะห์ในสมการที่ 3.86 จึงทำการจำลองวงจรมอดูเลตสัญญาณ QPSK ด้วยเทคนิคทางตรีโกณมิติ โดยใช้โปรแกรม Matlab Simulink โดยใช้การกำหนดค่าต่างๆ เช่นเดียวกับการวิเคราะห์ ซึ่งแสดงได้ในบล็อกไดอะแกรมรูปที่ 5.36 ซึ่งบล็อกไดอะแกรมของการจำลองการมอดูเลต QPSK นี้ได้ออกแบบการเข้ารหัสตามตารางที่ 3.5



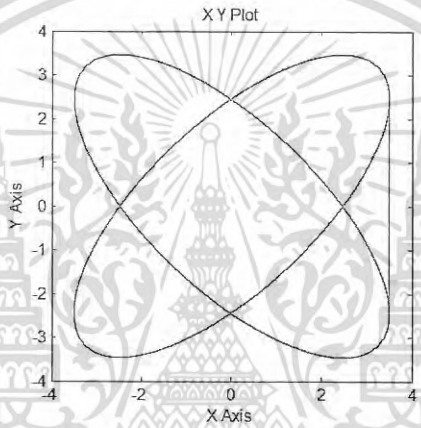
รูปที่ 5.36 บล็อกไดอะแกรมการจำลองวงจรมอดูเลต QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

จากรูปที่ 5.36 กำหนดให้สัญญาณอินพุตของวงจรมอดูเลตคือ สัญญาณคลื่นรูปโคซายน์ และสัญญาณคลื่นรูปซายน์ ความถี่ 70kHz แอมพลิจูด 3.5v บิตข้อมูล $D0$ เป็นสัญญาณรูปสี่เหลี่ยม 7 kHz TTL บิตข้อมูล $D1$ เป็นสัญญาณรูปสี่เหลี่ยม 3.5 kHz TTL ซึ่งมีผลการจำลองเมื่อบิตข้อมูล $D0$ และบิต $D1$ มีสถานะเป็น L สัญญาณ QPSK จะเลื่อนเฟสไปที่ตำแหน่ง $-\pi/4$ เรเดียน เมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะเป็น H สัญญาณ QPSK จะเลื่อนเฟสไปที่ตำแหน่ง $3\pi/4$ เรเดียน ต่อมาเมื่อบิตข้อมูล $D0$ เปลี่ยนสถานะเป็น L และบิตข้อมูล $D1$ เปลี่ยนสถานะเป็น H สัญญาณ QPSK จะเลื่อนเฟสไปที่ตำแหน่ง $\pi/4$ เรเดียน และเมื่อบิตข้อมูล $D0$ และบิต $D1$ มีสถานะเป็น H สัญญาณ QPSK จะเลื่อนเฟสไปที่ตำแหน่ง $3\pi/4$ เรเดียน ซึ่งแสดงสัญญาณบิตข้อมูล (บนและกลาง) และสัญญาณ QPSK เทียบกับสัญญาณอ้างอิง (ล่าง) ได้แสดงในรูปที่ 5.37 นอกจากนี้ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ได้แสดงในรูปที่ 5.38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.37 สัญญาณ QPSK ที่ได้จากการจำลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ



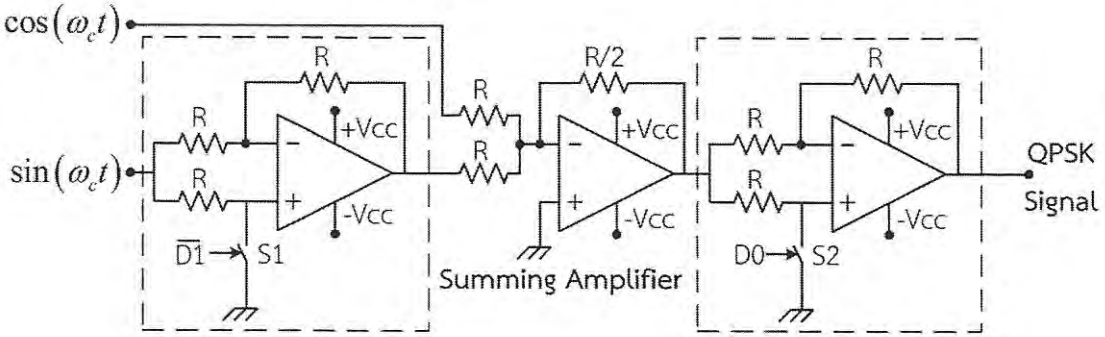
รูปที่ 5.38 ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการจำลอง

5.8.2 ผลการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

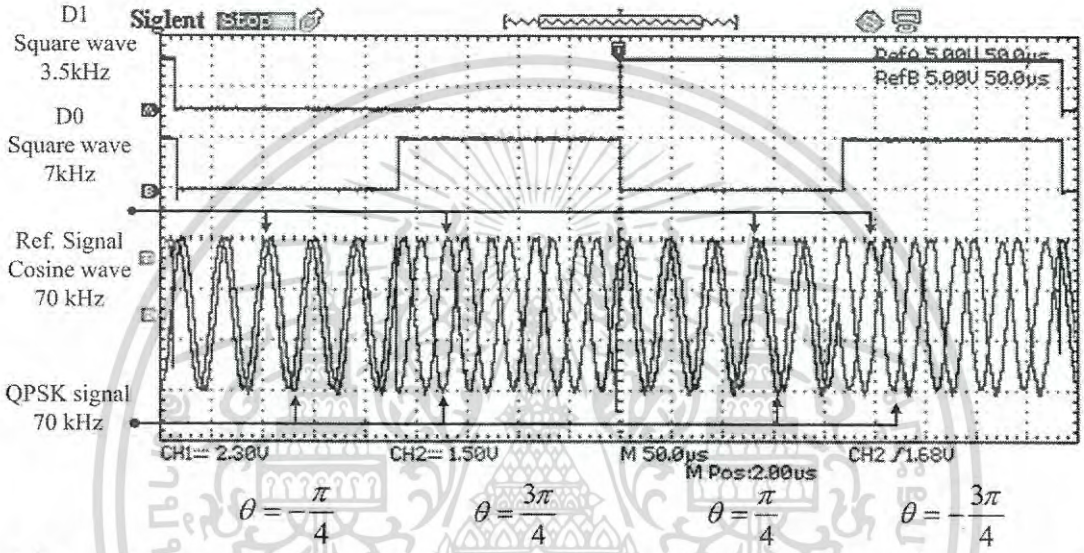
สำหรับการทดลองวงจรมอดูเลต QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิตินั้นได้ สร้างตามแบบวงจรรูปที่ 5.39 โดยกำหนดค่า R คือ 10 kΩ, ออปแอมป์เบอร์ LM353N และ แอนะล็อกสวิตช์เบอร์ 74HCT4066 สัญญาณอินพุตที่ใช้ในการทดลองเป็นรูปแบบเดียวกับที่ใช้ในการจำลองด้วยโปรแกรมคอมพิวเตอร์ ซึ่งในการทดลองได้รับสัญญาณคลื่นรูปโคซายน์ และสัญญาณคลื่นรูปซายน์จากวงจรกำเนิดสัญญาณแบบควอดดราเจอร์ (quadrature oscillator)

สัญญาณ QPSK ที่ได้จากการทดลองแสดงตามรูปที่ 5.40 ซึ่งมีผลการทดลองการสอดคล้องกับผลการวิเคราะห์และผลการจำลองเป็นอย่างดี โดยในรูปที่ 5.41 แสดงลิสซาจูสเคิร์ฟของสัญญาณ QPSK ในโหมด X-Y ของออสซิโลสโคป โดยให้ช่องสัญญาณที่ 1 เป็นสัญญาณซายน์ และช่องสัญญาณที่ 2 เป็นสัญญาณ QPSK เพื่อแสดงการเปรียบเทียบตำแหน่งเฟสของสัญญาณอ้างอิงและสัญญาณ QPSK ที่ได้จากวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

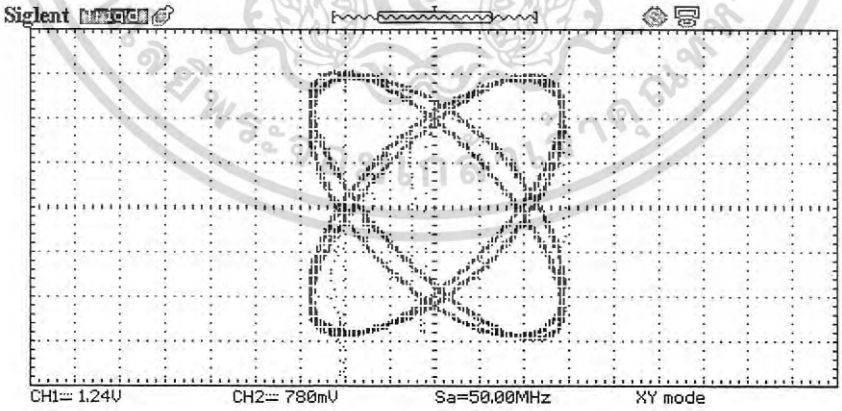
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.39 วงจรมอดูเลต QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ



รูปที่ 5.40 สัญญาณ QPSK ที่ได้จากการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

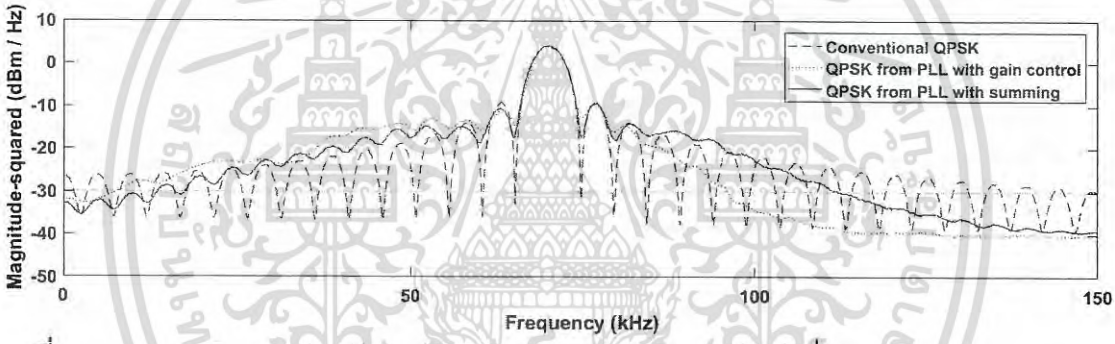


รูปที่ 5.41 ลิสซาจูสเคิร์ฟของสัญญาณ QPSK ที่ได้จากการทดลองวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.9 การเปรียบเทียบผลการจำลองสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง และมีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง

ในหัวข้อนี้แสดงการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง และสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่องที่ได้จากการวงจรมอดูเลตสัญญาณ QPSK แบบดั้งเดิมด้วยเทคนิคทางตรีโกณมิติ ซึ่งในกรณีที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่องนั้น ในขณะที่เปลี่ยนเฟสจะเกิดการเปลี่ยนแปลงแอมพลิจูดของสัญญาณที่เปลี่ยนแอมพลิจูดไปอีกระดับหนึ่งอย่างทันทีทันใดในเวลาอันสั้น เป็นผลให้เกิดองค์ประกอบความถี่สูงในสัญญาณซึ่งองค์ประกอบความถี่ดังกล่าวจะรบกวนช่องสัญญาณข้างเคียง เมื่อเปรียบเทียบสเปกตรัมสัญญาณ QPSK ที่เปลี่ยนเฟสแบบต่อเนื่องจากวงจรมอดูเลตที่อาศัยวงจรเฟสล็อคลูป ในรูปที่ 5.42 แสดงผลการจำลองการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่ได้จากการจำลองหลักการที่นำเสนอทั้ง 3 รูปแบบ ซึ่งสังเกตได้ว่าในส่วนขององค์ประกอบความถี่สูงของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องมีขนาดต่ำกว่า สเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง



รูปที่ 5.42 ผลการจำลองการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่ได้จากการจำลองหลักการที่นำเสนอทั้ง 3 รูปแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลและข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยเฟสล็อคลูป และที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง โดยอาศัยเทคนิคทางตรีโกณมิติ สามารถสรุปการนำเสนอได้ดังนี้

การมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยวงจรเฟสล็อคลูป มีหลักการวิเคราะห์วิธีเลื่อนเฟสสัญญาณเอาต์พุตของวงจรเฟสล็อคลูป โดยเริ่มจากการวิเคราะห์เฟสล็อคลูปแบบดั้งเดิม เพื่อหาค่าพารามิเตอร์ที่มีผลต่างเฟสสัญญาณเอาต์พุต ซึ่งในวิทยานิพนธ์ฉบับนี้นำเสนอบล็อกไดอะแกรมสองแบบคือ

- วงจรเฟสล็อคลูปที่เพิ่มวงจรขยายเข้าไประหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO
- วงจรเฟสล็อคลูปที่เพิ่มวงจรรวมสัญญาณเข้าไประหว่างวงจรกรองความถี่ต่ำผ่านและวงจร VCO

จากการวิเคราะห์ การจำลอง และการทดลองความสัมพันธ์ของค่าอัตราขยายและค่าระดับไฟตรงต่อการเลื่อนเฟสของสัญญาณเอาต์พุตจากวงจรเฟสล็อคลูป พบว่าการเปลี่ยนแปลงค่าอัตราขยายและค่าระดับไฟตรงดังกล่าวไม่สามารถเลื่อนเฟสของสัญญาณเอาต์พุตให้ครบ 4 ตำแหน่งตามการเปลี่ยนเฟสของสัญญาณ QPSK ได้ ดังนั้นในวิทยานิพนธ์ฉบับนี้ได้เสนอเทคนิคการกลับเฟสของสัญญาณเอาต์พุตเฟสล็อคลูป ด้วยการเพิ่มขาอินพุตที่สามให้กับวงจรตรวจจับความต่างเฟสชนิด xor gate โดยการทำงานของ xor gate ตามตารางค่าความจริงทำให้สามารถกลับเฟสของสัญญาณเอาต์พุตได้ ส่งผลให้สามารถออกแบบการมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยวงจรเฟสล็อคลูปได้

การนำเสนอวงจรมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรขยาย สัญญาณเอาต์พุตมีการเปลี่ยนเฟสแบบต่อเนื่องตามการเปลี่ยนแปลงของบิตข้อมูล โดยระยะเวลาที่ใช้ในการเปลี่ยนเฟสแต่ละตำแหน่งไม่เท่ากัน เนื่องจากค่าอัตราขยายที่แตกต่างกันนำมาใช้ในการเปลี่ยนเฟสแต่ละตำแหน่ง มีผลต่อระยะเวลาที่ค่าผลตอบสนองธรรมชาติของระบบใช้ในการลู่เข้าสู่ศูนย์ ซึ่งต่างกันกับการเปลี่ยนเฟสที่ได้จากวงจรมอดูเลตสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องโดยอาศัยวงจรเฟสล็อคลูปร่วมกับวงจรรวมสัญญาณ ซึ่งมีระยะเวลาของการเปลี่ยนเฟสของสัญญาณมีค่าเท่ากันเสมอ เนื่องจากไม่มีการเปลี่ยนแปลงค่าผลตอบสนองธรรมชาติในขณะมีการมอดูเลต ทำให้สามารถทราบถึงเวลาการเลื่อนเฟสได้อย่างแน่นอน นอกจากนี้วิทยานิพนธ์นี้ได้นำเสนอการลดช่วงเวลาการเปลี่ยนเฟสของสัญญาณ โดยการเพิ่มค่าความถี่ตัดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่าน และการวิเคราะห์ค่าความคลาดเคลื่อนต่างๆ รวมไปถึงการหาค่าเวลาของการเปลี่ยนเฟสอีกด้วย

จากรูปแบบการเปลี่ยนเฟสของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่อง ทำให้ไม่เกิดเกิดการเปลี่ยนแปลงแอมพลิจูดของสัญญาณอย่างฉับพลันในเวลาอันสั้นเหมือนกับกรณีของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง ส่งผลให้การเกิดองค์ประกอบความถี่สูงในสัญญาณลดลง ผลการเปรียบเทียบสเปกตรัมของสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องและแบบไม่ต่อเนื่อง พบว่าสัญญาณ QPSK ที่มีการเปลี่ยนเฟสแบบต่อเนื่องที่สร้างจากหลักการที่นำเสนอสามารถลดการรบกวนโดยสัญญาณจากโลปย่อยด้านข้างลำดับสูงได้ดีกว่า

การมอดูเลตสัญญาณ QPSK แบบดั้งเดิมที่มีการเปลี่ยนเฟสแบบไม่ต่อเนื่อง ในวิทยานิพนธ์ฉบับนี้ได้อาศัยเทคนิคทางตรีโกณมิติ ทำให้สามารถออกแบบวงจรมอดูเลตสัญญาณ QPSK ที่เรียบง่ายได้ โดยใช้เพียงอุปกรณ์พื้นฐานคือออปแอมป์และสวิตช์แบบแอนะล็อก มาประยุกต์เป็นวงจรพื้นฐานได้แก่วงจรรวมสัญญาณและวงจรขยายที่สามารถปรับขั้วของการขยายได้ตามบิตข้อมูล โดยผลการวิเคราะห์ การจำลอง และการทดลองสอดคล้องกันเป็นอย่างดี

ในด้านข้อจำกัดของวิธีการมอดูเลตสัญญาณ QPSK โดยอาศัยค่าเฟสล็อคลูปที่นำเสนอนั้น คือ ความถี่ของคลื่นพาห์ที่ใช้จะต้องอยู่ในย่านการทำงานของวงจร VCO หากมีการเปลี่ยนค่าความถี่ของคลื่นพาห์ จะมีผลต่อการเลื่อนเฟส ดังนั้นจะต้องปรับอัตราขยายหรือระดับไฟตรงใหม่เพื่อให้ได้การเลื่อนเฟสตามที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Fuqin Xiong, **Digital modulation techniques**, 2nd.Ed., Boston, Artech House, 2006.

[2] Stephen G. Wilson, **Digital modulation and coding**, 2nd.Ed., Upper Saddle River, NJ : Prentice-Hall, 1996.

[3] John B. Anderson, Tor Aulin, Carl-Erik Sundberg, **Digital phase modulation**, New York, Plenum Press, 1986.

[4] Subbarayan Pasupathy, "**Minimum Shift Keying : A Spectrally Efficient Modulation**", IEEE Communications Magazine, Vol. 17, July 1979, pp.14-22.

[5] S.O. Popescu, A.S. Gontean, and D. Ianchis, "**QPSK Modulator on FPGA**", IEEE 9th SISY 2011, pp.359-364, Subotica, Serbia, 8-10 September 2011.

[6] T. Kazaz, M. Kulin, and M. Hadzialic, "**Design and Implementation of SDR Based QPSK Modulator on FPGA**", MIPRO 2013, pp.513-518, Opatija, Croatia, 20-24 May 2013.

[7] P. Wisartpong, J. Koseeyaporn, and P. Wardkein,"**QPSK Modulator Based on Phase Locked Loop**", ECTI-CON 2007, pp.868-871, Chiang Rai, Thailand, May 2007.

[8] N. Birla, N. Gautam, J. Patel, and P. Balaji, "**A Novel QPSK Modulator**", IEEE ICACCCT 2014, pp.653-656, Ramanathapuram, India, 8-10 May 2014.

[9] L. Kirasamuthranon, S. Satamahachalasin, J. Koseeyaporn, and P.Wardkein, "**New QPSK Modulator Based on Phase Locked Loop**", ITC-CSCC 2014, pp.1174-1177, Phuket, Thailand, 1-4 July 2014.

[10] L. Kirasamuthranon, J. Koseeyaporn, and P.Wardkein, "**QPSK Modulator with Continuous Phase and Fast Response Based on Phase-Locked Loop**", Radioengineering Journal, Vol.26, June 2017.

[11] L. Kirasamuthranon, J. Koseeyaporn, and P.Wardkein, "**Non-Multiplier QPSK Modulator Using Simple Trigonometric Function**", ITC-CSCC 2016, pp.1021-1024, Okinawa, Japan, 10-13 July 2016.

[12] รศ.ดร.ปราโมทย์ วาดเขียน, **สัญญาณและระบบต่อเนื่องขั้นสูงทางอิเล็กทรอนิกส์**, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 1, พ.ศ. 2553

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 29th International Technical Conference on Circuit/Systems Computers and Communications (ITC-CSCC), Phuket, Thailand, July 1-4, 2014

New QPSK Modulator Based On Phase Locked Loop

L. Kirasamuthranon, S. Satamahachalasin, J. Koseeyaporn, and P.Wardkein
Department of Telecommunications Engineering, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok, Thailand 10520
E-mail : s3611423@kmitl.ac.th

***Abstract* — Typically, building a quadrature phase-shift keying (QPSK) modulating circuit is somewhat complex, especially, a bipolar non-return-to-zero (NRZ) coder which is an important part of a system. To make the QPSK modulating circuit less complicate, a new technique based on a phase-locked loop (PLL) scheme is introduced. The PLL circuit employed in this work is modified from the conventional PLL circuit by adding a three-input XOR gate and an amplifier circuit. The amplifier circuit which is placed between a phase detector and a low-pass filter provides continuous changing of phase in the QPSK signal. Consequently, the required bandwidth for transmitting the QPSK signal obtained from the proposed circuit is less than that of the QPSK signal whose phase is discontinuous changed. In addition, a three-input XOR gate as a phase detector provides an ability to directly control phase of the QPSK signal. With these additional circuits, they help generating the QPSK output without aiding of a bipolar NRZ coder. The proposed QPSK modulating circuit is therefore less complicate than the conventional one. The analytical results of the proposed system in time-domain agree well with the experimental results of the circuit. Both theoretical and experimental results thus confirm that the propose technique can be realized in read world application.**

Keywords* — *QPSK, PLL.

I. Introduction

Nowadays, digital modulation plays a vital role in communications system such as satellite communications, television broadcastings or even mobile communications. This is because digital modulation provides high security, immunes to noise interference and requires less bandwidth. Among various types of digital modulation, e.g. amplitude shift keying (ASK), frequency shift keying (FSK), phase shift keying (PSK), or quadrature amplitude modulation (QAM), QPSK modulation is one of popular digital modulation. QPSK modulation is phase shift keying whose phase of the PSK signal can be one of four assigned phases, e.g. 45°, 135°, -135°, -45°.

In general, the M-ary digital phase modulation has the signal in the following form, $s(t) = A\cos(\omega_c t - \phi_n)$, where ϕ_n is one of M-ary phases. This relationship can be rewritten as $s(t) = a_n \cos(\omega_c t) + b_n \sin(\omega_c t)$, where $a_n = A\cos\phi_n$ and $b_n = A\sin\phi_n$. It is seen that key factors to control phase of the M-ary PSK signal are a_n and b_n. Both parameters are voltage levels corresponding to each set of digital data bits (n bits/set). For example, $M = 2^2 = 4$, which is QPSK modulation, hence, four possible 2-digital bits which are 0 0, 0 1, 1 0, 1 1 must be converted to analog level using a D/A converter to generate the associated a_n and b_n. Finally, the phase-modulated signal is obtained.

In literature review, the QPSK technique has been applied in many applications [1-5]. For [5], it is found that not only the practical implementation of [5] is complicated but also the PLL of [5] can shift phase only between 0°-180°. Therefore, to obtain the QPSK signal, the output of the PLL must be passed through an inverting circuit. In this paper, it thus focuses on improving the circuit of [5] to provide a new less complicate QPSK modulating circuit. The proposed circuit is based on the modified PLL which has two additional circuits, a three-input XOR gate and an amplifier circuit. The three-input XOR gate provides an ability to control phase between 0°-360°. Therefore, an inverting circuit is not needed. In addition, the amplifier circuit provides continuous changing of phase in the QPSK signal, resulting in less bandwidth of the obtained QPSK signal. The principle of the proposed circuit and its experimental results will be given in the following sections.

II. Principle

The Phase ShifterBased PLL

In this section, a brief review of the proposed phase shift scheme of a PLL as shown by the block diagram in Fig. 1. where the notations in this figure are as following :

$\phi_i(s)$: Laplace transform of a phase input function ($\phi_i(t)$)
$\phi_o(s)$: Laplace transform of a phase output function ($\phi_o(t)$)
$\phi_d(s)$: Laplace transform of a phase error ($\phi_d(t)$)
$V_K(s)$: Laplace transform of a phase gain output ($v_K(t)$)
$V_L(s)$: Laplace transform of a loop filter output ($v_L(t)$)
$\omega_o(s)$: Laplace transform of a frequency output of VCO (ω_o(t))
$F(s)$: Transfer function of a loop filter
$\omega_r(s)$: Laplace transform of a running frequency of a VCO
K_G : A phase-gain constant
D : A constant, where $D = A \cdot B \cdot C$

King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok, Thailand

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

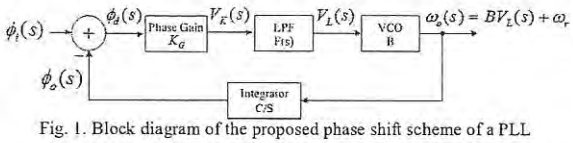


Fig. 1. Block diagram of the proposed phase shift scheme of a PLL

From Fig.1, the relationship of the system can be written as

$$\phi_o(s) = \frac{K_G BCF(s)}{S}\left(\phi_i(s) - \phi_o(s)\right) + \frac{C}{S}\omega_r \qquad (1)$$

where B is the sensitivity of a VCO and C is a gain of an integrator. By substituting a transfer function of the loop filter, which is $F(s) = \frac{A}{1+GS}$, where A is a gain of the filter, into (1), it then yields

$$GS^2\phi_o(s) + S\phi_o(s) + K_G D\phi_o(s) = K_G D\phi_i(s) + C\omega_r + CGS\omega_r \qquad (2)$$

By taking inverse Laplace transform to both sides of (2), it thus becomes

$$G\frac{d^2\phi_o(t)}{dt} + \frac{d\phi_o(t)}{dt} + K_G D\phi_o(t) = K_G D\phi_i(t) + C\omega_r + CG\frac{d\omega_r}{dt} \qquad (3)$$

From (3), the solution for $\phi_o(t)$ can be determined by solving this differential equation. In general, $\phi_o(t)$ is composed of two parts which are a homogeneous solution (natural response) and a particular solution (forced response). For this work, only a steady state response is of interest, a natural response is therefore ignored. To determine the forced response, let $\phi_i(t)$ be assumed as follows

$$\phi_i(t) = \omega_i t + \theta_i \qquad (4)$$

where ω_i is an input frequency. Then $\phi_o(t)$ has the following form,

$$\phi_o(t) = at + b \qquad (5)$$

where a, b are constant. By replacing $\phi_o(t)$ as shown in (5) into (3), hence,

$$\phi_o(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{DK_G} \qquad (6)$$

From (6), it can be concluded that $\phi_o(t)$ is proportional to $\frac{1}{K_G}$ as shown in (7).

$$\phi_d(t) \propto \frac{1}{K_G} \qquad (7)$$

III. The Proposed QPSK Modulator

Based on the proposed phase shift scheme described in previous section, the reference frequency (ω_i) and the phase gain (K_G) as given in (6) have an effect on the phase output. To apply the proposed phase shift structure for the application of QPSK modulator, the block diagram of the circuit is depicted in Fig. 2. As shown in Fig. 2, the circuit shown inside the dash line is the gain controller which can shift phase by adjusting its gain. In addition, the design of the modulation codes is given in Table I. As shown in Table I, the switch S0 is controlled by D0 (close if D0 =1 and open if D0=0). Contrarily, the switch S1 is controlled by the inverse of D0. For D1, it is an input to the XOR gate, if D1=0 the phase output will not be shifted, but if logic D1=1 the phase output will be 180° shifted.

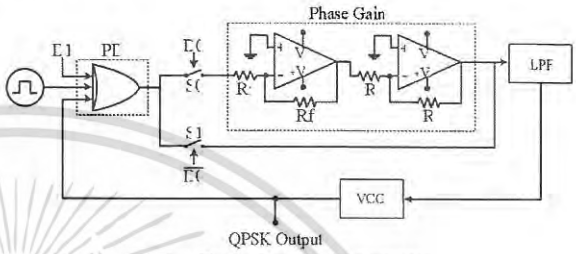


Fig. 2. The proposed QPSK modulator

TABLE I. Modulation Code Design

Phase shift	D1	D0	S1	S0
45°	0	0	ON	OFF
135°	0	1	OFF	ON
−135°(225°)	1	0	ON	OFF
−45°(315°)	1	1	OFF	ON

IV. Experimental Results

A. Relationship of phase gain (K_G) and phase shifting of the QPSK signal

To confirm the proposed phase shifter by PLL technique, the experiment is set up by using the circuit shown in Fig.3. With the conditions that D1=0, the status of S0 is closed, the 90-shifted-phase signal can be generated by adjusting R_f.

From Fig.3, the 57 kHz –square wave signal is fed as the reference input of the proposed PLL in order to verify the phase gain circuit. The result has been plotted in Fig. 4 which expresses that the shifted phase of the output is inversely proportional to the overall gain of the phase gain circuit.

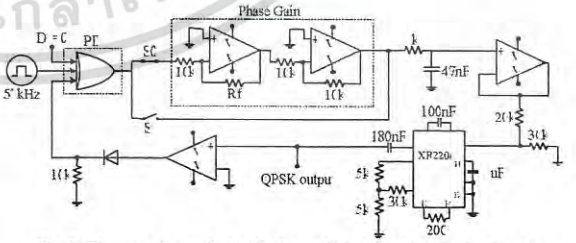


Fig. 3. The experimental circuits for verifying the phase-gain circuit's performance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

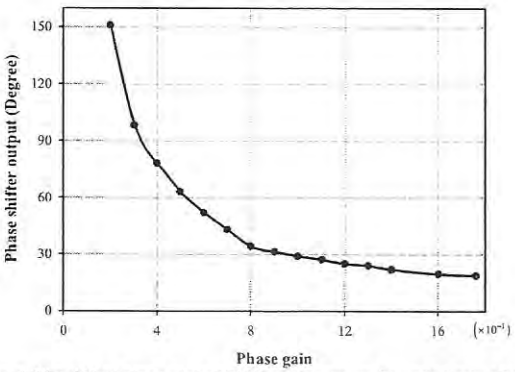


Fig. 4. The shifted phase of the 57 kHz output versus the varied gain of the proposed phase gain circuit

B. QPSK Modulator

For experiment of QPSK modulation as shown in Fig. 5, a VCO, a PD and a loop filter of the traditional PLL have been replaced by an ICXR-2206, a three-input XOR and a first order RC circuit, respectively. In addition, D0 and $\overline{D0}$ are used to control the switches S0 and S1, sequentially. It is noted that D1 is the input of a three-input XOR in order to shift phase of the QPSK signal.

For the experiment of the QPSK modulation, the experimented circuit for the proposed QPSK modulator is set as shown in Fig. 5. Examples of the experimental results are given in Fig. 6.-8. In Fig. 6, the 4 phase of QPSK signals are illustrated. Fig.7(a) shows continuous changing of the phase transition from 45 to 135 degree and Fig.7(b) shows the continuous changing of the phase transition from 45 to -135(225) degree. In addition, the lissajous curve of the QPSK modulation signals is given in Fig. 8. The transition of continuous phase changing is clearly seen. The obtained QPSK signals from experiment confirm that the proposed phase shift scheme can be applied in practical.

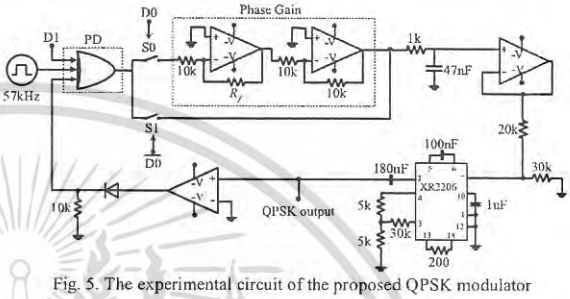


Fig. 5. The experimental circuit of the proposed QPSK modulator

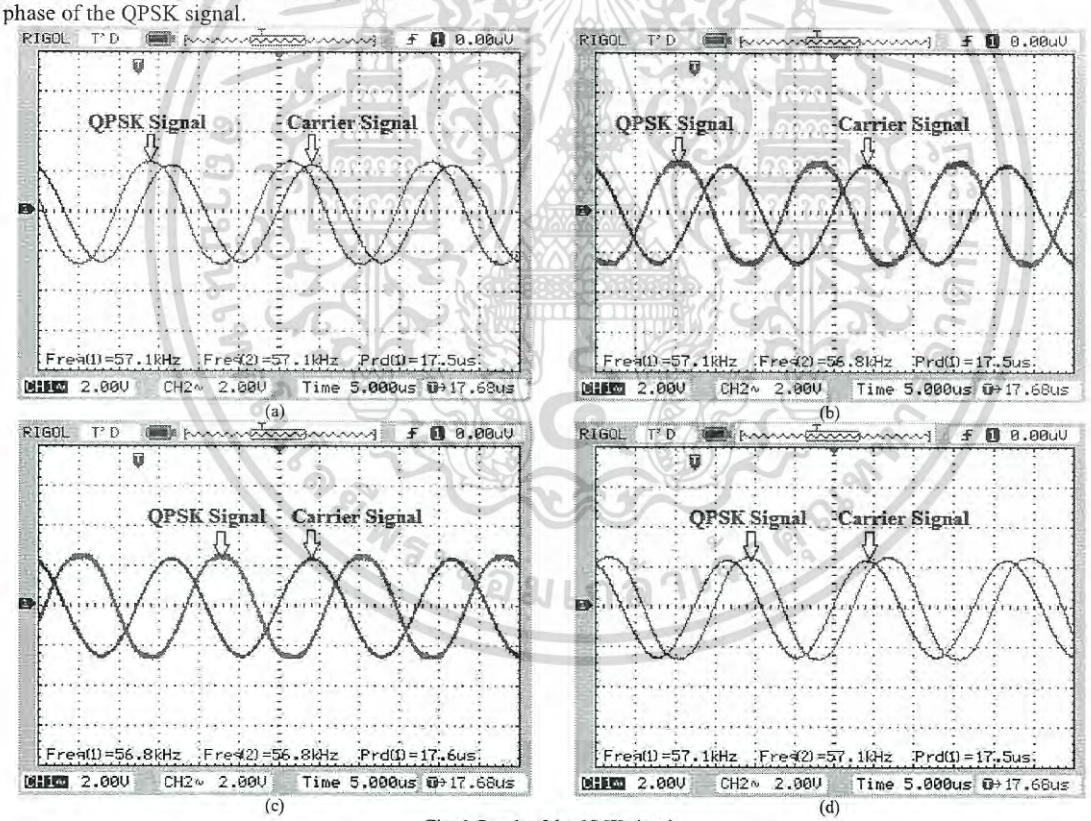
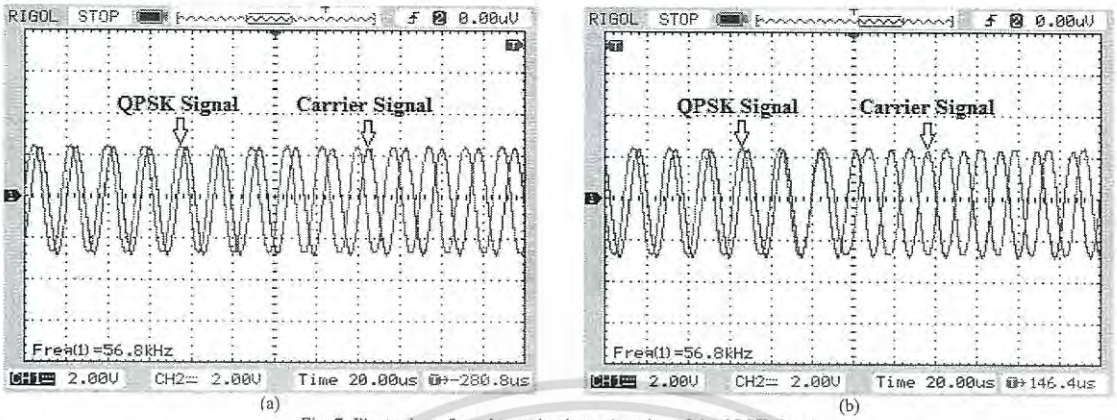


Fig. 6. Result of the QPSK signals

(a) for 45° phase shift
(b) for 135° phase shift
(c) for -135° phase shift
(d) for -45° phase shift

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) (b)

Fig. 7. Illustration of continuously phase changing of the QPSK signal
(a) phase changed from 45° to 135° (b) phase changed from 45° to -135°

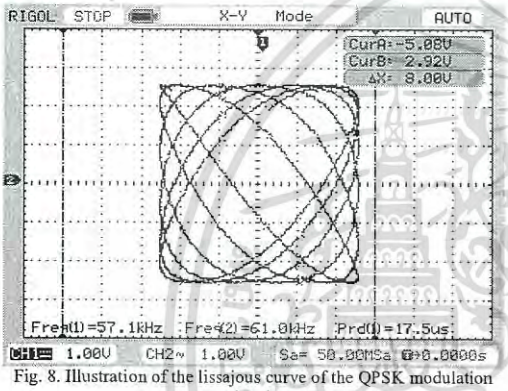


Fig. 8. Illustration of the lissajous curve of the QPSK modulation signals

V. CONCLUSIONS

A new scheme for phase shifting is proposed in this work. The concept of the proposed technique is to control phase shifting based on phase gain circuit. Within the conventional PLL circuit, this phase gain is placed between the phase detector and loop filter. The QPSK modulator has been used to verify the performance of the proposed phase gain circuit. From the results, the phase transition of the QPSK signal is continuous, so its bandwidth is less than the conventional one. Additionally, the experimental result confirms the contribution of the proposed technique. Also, the proposed circuit is small and cost-effective compared to the general QPSK modulator circuit.

ACKNOWLEDGMENT

The authors would like to thank Telecommunication Engineering Department KMITL for encouragement.

REFERENCES

[1] S.R. Kim, J.G. Lee, Hun Lee, B.S. Kang, and J.W. Jeong, "A Coherent dual-channel QPSK modulation for CDMA system" *IEEE 46th Vehicular Technology Conference*, vol.3, pp.1848-1852,Atlanta, USA, May, 1996.

[2] Y. Guo, K. Feher, "Frequency hopping F-QPSK for power and spectrally efficient cellular systems",*IEEE 43rd Vehicular Technology Conference*, vol.1, pp.799-802,Secaucus, USA, May 1993.

[3] A.W. Houghton, P.V. Brennan, "Phased array control using phase-locked-loop phase shifter",*IEEE Proceedings H*, vol.139, No.1, pp.31-37,February 1992.

[4] I.S. Morrison, "ACE-QPSK: A new method of coding QPSK for the nonlinear transmitter",*Proc.IEEE Int. Conf. Information Engineering*, vol.2,pp.862-866, Singapore, September 1993.

[5] P. Wisartpong, J. Kosceyapon, P.Wardkein,"QPSK Modulator Based On Phase Locked Loop", *ECTI-CON 2007*,pp.868-871, Chiang Rai Thailand, May 2007.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK Modulator with Continuous Phase and Fast Response Based on Phase-Locked Loop

Lerson KIRASAMUTHRANON, Jeerasuda KOSEEYAPORN, Paramote WARDKEIN

Dept. of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang (KMITL), Ladkrabang, Bangkok, 10520, Thailand

56601040@kmitl.ac.th

Submitted December 4, 2016 / Accepted February 24, 2017

Abstract. *Among M-phase shift keying (M-PSK) schemes, quadrature phase-shift keying (QPSK) is used most often because of its efficient bandwidth consumption. However, in comparison with minimum-shift keying, which has continuous phase transitions, QPSK requires a higher bandwidth to transmit a signal. This article focuses on the phase transitions in QPSK signals, and a QPSK modulator based on a phase-locked loop (PLL) is proposed. The PLL circuit in the proposed system differs from that of conventional PLL circuits because a three-input XOR gate and a summing circuit are used. With these additional components, the proposed PLL provides a continuous phase change in the QPSK signal. Consequently, the required bandwidth for transmitting the QPSK signal when using the proposed circuit is less than that for a conventional QPSK signal with a discontinuous phase. The analytical results for the proposed system in the time domain agree well with the experimental and simulation results of the circuit. Both the theoretical and experimental results thus confirm that the proposed technique can be realized in real-world applications.*

Keywords

QPSK, Phase Locked Loop (PLL), phase shift

1. Introduction

Digital modulation currently plays a vital role in communication systems such as satellite communication [1–4], television broadcasting, asymmetrical digital subscriber lines (ADSL) [5], and mobile communication [6], [7]. This is because digital modulation provides high security, is not subject to interfering noise, and requires less bandwidth than analogue modulation. Various types of digital modulation exist, including amplitude shift keying (ASK), frequency shift keying (FSK) and phase shift keying (PSK). In PSK modulation, the phase of the output signal is shifted from the reference phase according to the input data bit. There are multiple variants of PSK, such as binary phase-shift keying (BPSK), quadrature phase-shift keying (QPSK) and M-phase shift keying (M-PSK). Among the PSK variants, QPSK modulation is one of the most popular ones, and four different phases are assigned for it: i.e., 45°, 135°, −135°, and −45°.

In general, M-PSK digital phase modulation involves a signal of the form $s(t) = A\cos(\omega_c t - \phi_n)$, where ϕ_n is one of the M-PSK phases. This expression can be rewritten as $s(t) = a_n \cos(\omega_c t) + b_n \sin(\omega_c t)$, where $a_n = A\cos\phi_n$ and $b_n = A\sin\phi_n$. It can be seen that the key factors for controlling the phase of the M-PSK signal are a_n and b_n, which are the voltage levels corresponding to each set of digital data bits (n bits/set). For example, in the case of 2 bits/set, $M = 2^2 = 4$, which is equivalent to QPSK modulation; hence, four possible two-bit combinations (00, 01, 10, 11) are converted to analogue voltage levels by using a D/A converter to generate the associated a_n and b_n. Finally, a phase-modulated signal is obtained.

This basic principle for generating a QPSK signal has led to many modulation techniques, such as QPSK modulation using FPGA [8], [9], VLSI [10] or CMOS [11–14]. All these techniques are based on the application of the aforementioned basic principle by using modern technology. Some limitations exist such as applicable frequencies, power consumption, unsupported electronic components, and high cost. In 2007, a QPSK modulating circuit that controls the gain of a phase-locked loop (PLL) to shift the phase was proposed, along with external circuits [15]. However, the reference frequency used for the PLL in this approach is fairly low; as a result, it cannot be implemented using current technology. In addition, the requirement of external circuits also increases the level of complexity of this technique. Furthermore, the continuous phase change in the PSK signal owing to the operation of the PLL is not mentioned in the study. In [16], a QPSK modulating circuit constructed with basic electronic components (e.g., op-amps, D flip-flops, inverters, and BJTs) was proposed. This structure not only is complex but also lacks flexibility owing to the mandatory requirement of a 90° phase difference in the input signals.

It is well known that the phase in a QPSK signal is discontinuous, which results in signal components of high frequency; thus, QPSK signals require a high bandwidth for transmission. The bandwidth required can be reduced by using minimum-shift keying (MSK) [17], which is

DOI: 10.13164/re.2017.0504

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

known as continuous phase shift keying. There are no phase discontinuities because the frequency changes occur at the carrier's zero-crossing points. Therefore, MSK requires less bandwidth than QPSK. However, it should be noted that an MSK signal uses more than one frequency for signal transmission, whereas a QPSK signal uses only one frequency.

In this paper, a technique for generating a QPSK signal based on a PLL circuit is proposed. Given that the PLL has a natural response every time the parameters in the system are changed, the outputs of the PLL (the QPSK signal) has a continuous phase change and a constant frequency. Hence, this technique requires less bandwidth than conventional QPSK and uses only one constant frequency, unlike MSK, which uses multiple frequencies. In the demodulation process, the principle of demodulating conventional QPSK signals can be applied to the proposed approach. Although the demodulation process necessarily starts after the phase transition in the modulated signal is complete, this is not important because the phase transition time of the modulated signal is constant. In addition, the phase transition time can be adjusted by modifying the cut-off frequency of the low-pass filter.

2. Principles

A PLL is a control system that generates an output signal whose phase is related to the phase of the input signal. Although the basic concepts of PLL operation are relatively simple, the associated mathematical analysis, which involves many elements, can become complicated. A block diagram of a conventional PLL is shown in Fig. 1(a). The reference signal and the output signal from the voltage-controlled oscillator (VCO) are fed into the phase detector. The output from the phase detector is passed through the loop filter and then applied to the VCO.

2.1 Conventional Phase-Locked Loops

In this section, a brief overview of conventional PLLs, which consist of a phase detector (PD), a low-pass filter (LPF), a VCO, and an integrator, is presented. The notation used in the figures is as follows:

$\phi_i(s)$: Laplace transform of the input function $\phi_i(t)$
$\phi_o(s)$: Laplace transform of the output function $\phi_o(t)$
$\phi_d(s)$: Laplace transform of the phase error $\phi_d(t)$
$V_L(s)$: Laplace transform of the loop filter output $v_L(t)$
$\omega_o(s)$: Laplace transform of the frequency output of the VCO $\omega_o(t)$
$F(s)$: Transfer function of the loop filter
$I(s)$: Transfer function of the integrator
ω_r: Running frequency of the VCO
k_d: Gain of the phase detector
A: Gain of the loop filter
B: Sensitivity of the VCO
C: Gain of the integrator
D: A constant, where $D=A\times B\times C$

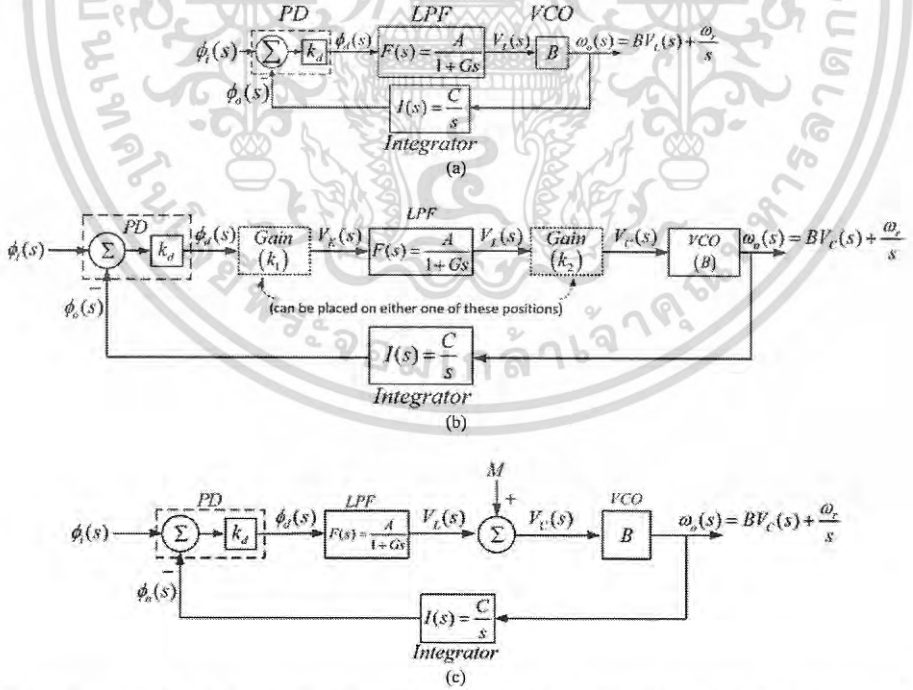


Fig. 1. Block diagrams of different PLLs: (a) Block diagram of a conventional PLL. (b) Block diagram of a PLL with gain control. (c) Block diagram of a PLL with a summing circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The aim of conventional PLL analysis is to obtain the complete solution $\phi_o(t)$ of the system. From Fig. 1(a), the relationship of the parameters in the system can be written as

$$\phi_o(s) = F(s)I(s)Bk_d\phi_i(s) - F(s)I(s)Bk_d\phi_o(s) + I(s)\frac{\omega_r}{s}. \quad (1)$$

Substituting the transfer function of the loop filter, $F(s) = A/(1 + Gs)$, and the transfer function of the integrator, $I(s) = C/s$, in (1) yields

$$Gs^2\phi_o(s) + s\phi_o(s) + D\phi_o(s) = D\phi_i(s) + \frac{C\omega_r}{s} + CG\omega_r. \quad (2)$$

By taking the inverse Laplace transform of both sides of (2), it becomes a second-order differential equation.

$$G\frac{d^2\phi_o(t)}{dt^2} + \frac{d\phi_o(t)}{dt} + D\phi_o(t) = D\phi_i(t) + C\omega_r u(t) + CG\omega_r\delta(t). \quad (3a)$$

In reality, all systems have the causality property. For this system, t in (3a) is said to be greater than zero ($t > 0$), and applying this property to (3a) gives rise to (3b).

$$\frac{Gd^2\phi_o(t)}{dt^2} + \frac{d\phi_o(t)}{dt} + D\phi_o(t) = D\phi_i(t) + C\omega_r. \quad (3b)$$

From (3b), the solution for $\phi_o(t)$ can be determined by solving the differential equation. In general, $\phi_o(t)$ is composed of two parts: a homogeneous solution (the natural response $\phi_{on}(t)$) and a particular solution (the forced response $\phi_{of}(t)$). The natural response can be found from the second-order differential equation when there is no input applied to the system,

$$G\frac{d^2\phi_{on}(t)}{dt^2} + \frac{d\phi_{on}(t)}{dt} + D\phi_{on}(t) = 0. \quad (4)$$

From (4), the characteristic equation is given by (5), and the solutions of (5) are expressed in (6).

$$Gm^2 + m + D = 0, \quad (5)$$

$$m_{1,2} = \frac{-1 \pm \sqrt{1-4GD}}{2G}. \quad (6)$$

In the transfer function of the loop filter, ω_c is specified as the cut-off frequency. Hence, the relationship equation between G and ω_r is defined as $G = 1/\omega_r$, and (6) can be rewritten as

$$m_{1,2} = -\frac{\omega_c}{2} \pm \frac{\omega_c}{2}\sqrt{1-\frac{4D}{\omega_c}}. \quad (7)$$

By using the Taylor series $\sqrt{1+x} = 1 + \frac{x}{2} - \frac{x^2}{8} + \frac{x^3}{16} - \ldots$ for $|x| \le 1$ and $x = -4D/\omega_c$, (7) can be rewritten as

$$m_{1,2} = -\frac{\omega_c}{2} \pm \frac{\omega_c - 2D}{2}. \quad (8)$$

From (8), the solutions are $m_1 = -D$ and $m_2 = -(\omega_c + D)$, and thus the solution of the natural response is

$$\phi_{on}(t) = \frac{C_1}{\exp(Dt)} + \frac{C_2}{\exp((\omega_c - D)t)}. \quad (9)$$

Next, the forced response $\phi_{of}(t)$ will be analyzed from the second-order differential equation. Let the input signal of the system $\phi_i(t)$ be a linear function of time, given as

$$\phi_i(t) = \omega_i t + \theta_i \quad (10)$$

where ω_i is the reference frequency and θ_i is the initial phase of the input signal. Then, $\phi_{of}(t)$ can be expressed in the following form

$$\phi_{of}(t) = at + b \quad (11)$$

where a and b are constants. Replacing $\phi_i(t)$ and $\phi_{of}(t)$ in (3) with (10) and (11) yields

$$\phi_{of}(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{D}. \quad (12)$$

Thus, the complete response is

$$\phi_o(t) = \left(\frac{C_1}{\exp(Dt)} + \frac{C_2}{\exp((\omega_c - D)t)}\right) + \left(\omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{D}\right). \quad (13)$$

From (13), the process of the PLL can be described as follows: when a proper input is fed to the PLL, the system will reach the "steady-state" mode if the natural response is zero. It should be noted that parameters of the PLL (e.g., all gains in the PLL and the cut-off frequency) have an effect on the time required to reach the steady state. When the PLL is in the steady state, its output is

$$\phi_o(t) = \omega_i t + \theta_i + \frac{C\omega_r - \omega_i}{D}. \quad (14)$$

By comparing the reference signal in (10) with the output in (14), it can be seen that the angular frequency of the reference signal is equal to that of the output signal, but the phase is shifted, as given by

$$\phi_d(t) = \frac{\omega_i - C\omega_r}{D}. \quad (15)$$

The shifted phase depends on the angular frequency of the reference signal and all gains in the system. It should be noted that a QPSK modulator using this technique was presented in [15].

2.2 QPSK Modulator Based on a PLL with a Gain Control

According to the analysis shown in the previous subsection, the phase of the output signal can be controlled by the system gain. However, it is fairly difficult to change the gain of a conventional PLL, and the PLL may not be able to reach its locking state as a result of any change made to the system. Therefore, the simplest way to shift the phase of the signal is by adding a gain controller between the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

phase detector and the low-pass filter or between the low-pass filter and the VCO, as shown in the block diagram of the PLL with gain control in Fig. 1(b). In this figure, it should be noted that k_1 is a gain constant that is placed between the phase detector and the loop filter and that k_2 is a gain constant that is placed between the loop filter and the VCO. The PLL system is analyzed using Fig. 1(b); the complete response is calculated as in (16) and the phase difference is calculated as in (17).

$$\phi_o(t)=\left(\frac{C_1}{\exp(k_1k_2Dt)}+\frac{C_2}{\exp\left((\omega_c-k_1k_2D)t\right)}\right)+\left(\omega_i t+\theta_i+\frac{C\omega_r-\omega_i}{k_1k_2D}\right), \tag{16}$$

$$\phi_d(t)=\frac{\omega_i-C\omega_r}{k_1k_2D}. \tag{17}$$

From (16) and (17), reference [15] shows that the output phase can be correctly shifted to two positions: $\pi/4$ and $3\pi/4$ radians, and that additional circuits are required to shift the phase to $-\pi/4$ and $-3\pi/4$ radians. The natural response that occurs for each instance of phase shifting causes continuous phase shift modulation. The benefits of such a modulation system are decreased bandwidth usage and high-order harmonic component prevention. However, the gain required for shifting from $\pi/4$ to $3\pi/4$ is not the same for shifting from $3\pi/4$ to $\pi/4$. For this reason, the natural response occurring for each instance of phase shifting is definitely not equal. Because of the gain variation required for the different phase changes, the non-persistent natural response of the QPSK-PLL modulation with a gain control circuit causes demodulation difficulty. To control phase changes so that the natural response is consistent and to reduce complexity of demodulation, the PLL structure has been improved, as presented in the following section.

2.3 QPSK Modulator Based on a PLL with a Summing Circuit

Another method for generating the QPSK signal is to place a summing circuit between the low pass-filter and the VCO, as depicted in Fig. 1(c). A DC level, M, is employed to obtain the desired phase shift. This technique also provides a continuous phase shift in the QPSK signal. The complete response of the system is given by

$$\phi_o(t)=\left(\frac{C_1}{\exp(Dt)}+\frac{C_2}{\exp\left((\omega_c-D)t\right)}\right)+\left(\omega_i t+\theta_i+\frac{C\omega_r-\omega_i+BCM}{D}\right). \tag{18}$$

Equation (18) shows that the DC level can control the output phase shift, which results in

$$\phi_d(t)=\frac{\omega_i-C\omega_r-BCM}{D}. \tag{19}$$

As shown in (18), the DC level M, which is used for phase shifting, has no effect on the natural response, as opposed to the case when a PLL with a gain control is used. In addition, the time between phase changes is always constant; as a result, the demodulation procedure when using this technique can be easily managed. Furthermore, the phase-shifting speed can also be controlled by adjusting the cut-off frequency of the low-pass filter. However, only two phase positions can be obtained. Therefore, to achieve the other two phase shift positions, phase reversing is required, which will be discussed in the next section.

2.4 π-Radian Phase Shifting Based on the Data Bit

In this subsection, the theory for adapting operations for π-radian phase shifting based on the data bit of the phase detector is described. In a conventional PLL, the phase detector has two input signals (a reference signal $\phi_i(t)$ and its output signal $\phi_o(t)$), and can detect phase differences ranging from 0 to π radians.

Hence, in a three-input phase detector based on an XOR gate, as shown in Fig. 2(a), two inputs are used to detect the phase difference between two signals, while the other input is used for π-radian phase shifting. The truth table is given in Tab. 1, and it can be seen that when the data bit is in the low state (L), the three-input phase detec-

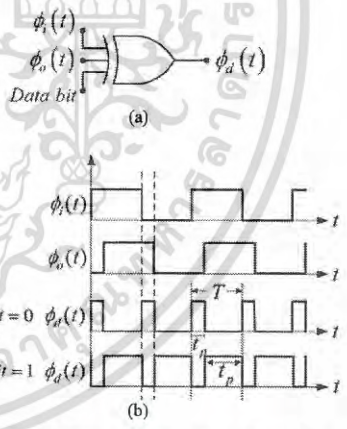


Fig. 2. Phase detector based on an XOR gate: (a) Three-input phase detector based on an XOR gate. (b) Three-input phase detector timing diagram.

Data bit	$\phi_i(t)$	$\phi_o(t)$	$\phi_d(t)$
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	L
H	H	L	L
H	H	H	H

Tab. 1. Truth table of a 3-input XOR gate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tor will operate in the same manner as the conventional phase detector. However, when the data bit is in the high state (H), this phase detector's output is the inverse of the output of the low state (L). The relationship between the input signals of the phase detector is demonstrated in Fig. 2(b). From Fig. 2(b), the duty cycle when the data bit is L and H can be expressed as (20) and (21), respectively.

$$Duty\ cycle\left(\phi_d(t)\right)=\frac{t_p}{T}, \tag{20}$$

$$Duty\ cycle\left(\phi_d(t)\right)=1-\frac{t_p}{T}. \tag{21}$$

With this principle, the proposed PLL can shift the phase by π radians, and this principle can be used to generate a QPSK signal with a PLL. The next section will describe the proposed QPSK modulator, which is based on a summing circuit, and the adaptation of the operation of the phase detector by using the data bit.

3. Proposed QPSK Modulator

As it is clear from the previous subsections, one advantage of a QPSK modulator based on a PLL with a summing circuit is that the QPSK signal produced has a continuous phase change, thus requiring less bandwidth than that of conventional QPSK transmissions. Moreover, demodulation when using this QPSK modulating technique is less complex compared to that when the QPSK modulator based on a PLL with gain control is used, because of the constant phase shifting. In addition, the phase detector based on a three-input XOR gate provides full-range phase shifting. Hence, a new QPSK modulator is proposed, as depicted in Fig. 3. As shown in the figure, the input data bits are used as the switching control signal and the input signal of the phase detector. Thus, the D/A component is not required in this system. The data bits D0 and $\overline{D0}$ are used as the switching control signals for S0 and S1, respectively. The data bit D1, which is also an input signal of the phase detector, is employed to control the phase detector output, either inverting or non-inverting for the low state or the high state, respectively. The designed modulation code is given in Tab. 2.

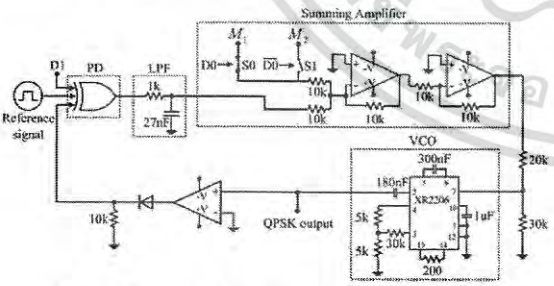


Fig. 3. Proposed QPSK modulator.

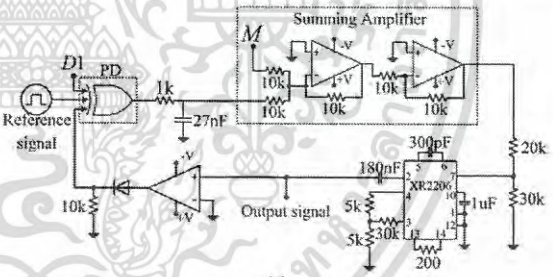
Phase shift	D1	D0	S1	S0
-3π/4	L	L	OFF	ON
−π/4	L	H	ON	OFF
π/4	H	L	OFF	ON
3π/4	H	H	ON	OFF

Tab. 2. The designed modulation code.

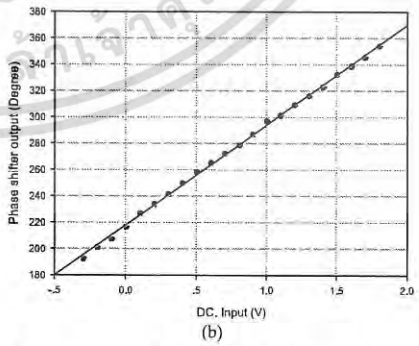
4. Experimental and Simulation Results

4.1 Relationship between the DC Level and the Phase Shift of the QPSK Signal

An experiment using the proposed technique was conducted to verify that this technique can be implemented in real-world applications. The experimental setup and the results are presented in this subsection. A circuit based on the proposed PLL is illustrated in Fig. 4(a). It is composed of a three-input phase detector based on an XOR gate, a summing circuit, a low-pass filter (with its cut-off frequency at 5.89 kHz), and a voltage-controlled oscillator using the XR2206 integrated circuit (which generates a signal whose maximum frequency is 86.73 kHz and has a gain of −17 kHz/V). The relationship between the DC level M and the phase shift was first examined in this experiment. The data bit D1 was set to 0 (the low state), the reference signal frequency was set to 70 kHz, and the information signal of the summing circuit was set to be a DC signal. The obtained phase shift output in accordance with



(a)



(b)

Fig. 4. Experimental circuit and its phase shift results: (a) Experimental circuit for verifying the relationship between the information signal and the phase shift output. (b) Phase shift of the output signal versus the DC input voltage of the proposed QPSK modulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the input DC level M is demonstrated in Fig. 4(b). It can be seen that for DC input voltage levels varying from −0.02 V to 1.32 V, the output signal phase is shifted from $-3\pi/4$ to $-\pi/4$ radians.

4.2 QPSK Modulating Signal

The experimental setup for the proposed QPSK modulator circuit illustrated in Fig. 3 is described in this section. The D0 and $\overline{D0}$ data bits are used to control switches S0 and S1, respectively. The D1 data bit is the input of the phase detector. In addition, two DC levels, M_1 and M_2, are set as −0.02 V and 1.32 V, respectively, to obtain phase shifts of $-3\pi/4$ radians (225°) and $-\pi/4$ radians (315°). The resulting QPSK signals for $-3\pi/4$, $-\pi/4$, $\pi/4$ and $3\pi/4$ phase shifts are shown in Fig. 5.

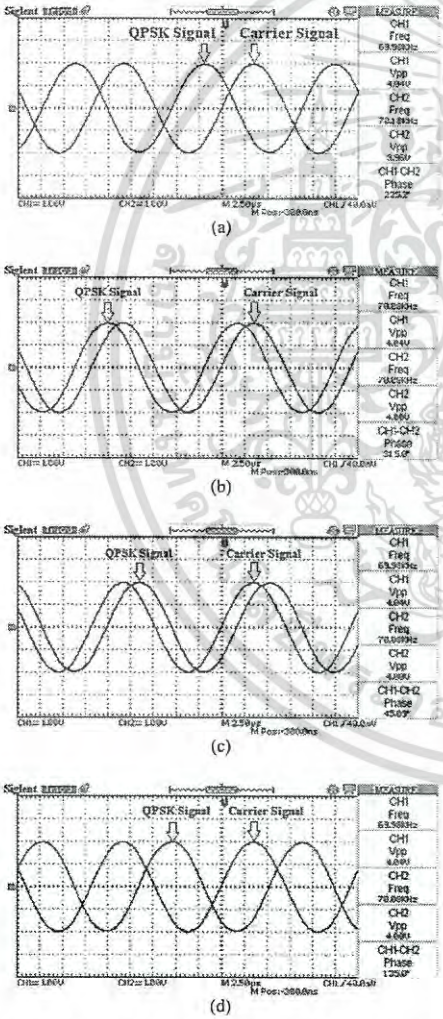


Fig. 5. Resulting QPSK signals: (a) For a phase shift of $-3\pi/4$ radians. (b) For a phase shift of $-\pi/4$ radians. (c) For a phase shift of $\pi/4$ radians. (d) For a phase shift of $3\pi/4$ radians.

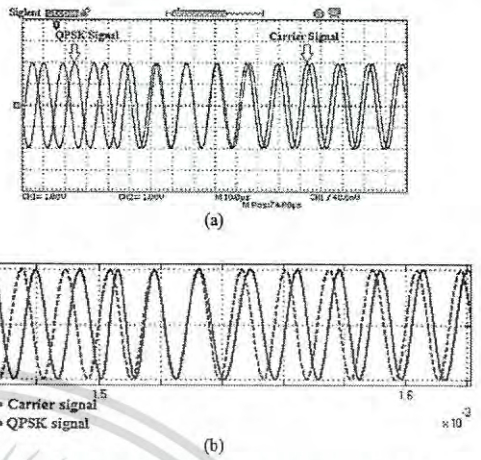


Fig. 6. Example of the continuously changing phase of the QPSK signal: (a) Phase changing from $3\pi/4$ radians to $\pi/4$ radians (experimental results). (b) Phase changing from $3\pi/4$ radians to $\pi/4$ radians (simulation results).

For each change in the data bits, the natural response is conclusively removed, and the system reaches the steady state as the phase of the QPSK signal simultaneously reaches the specified value. Because of the continuous phase shift characteristic of the proposed modulator, no high-frequency harmonics occur, and less bandwidth is required than for a conventional QPSK modulator. Figure 6 shows an example of the output phase changing from $3\pi/4$ radians to $\pi/4$ radians.

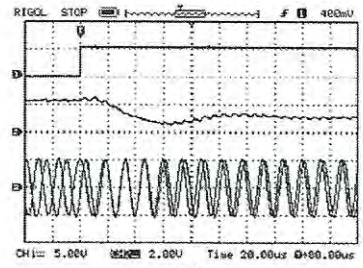
In addition, the proposed technique was verified by computer simulation using MATLAB/Simulink. The simulation results obtained for an example phase change are shown in Fig. 6(b).

4.3 Reducing Phase-Shifting Time by Changing the Filter's Cut-Off Frequency

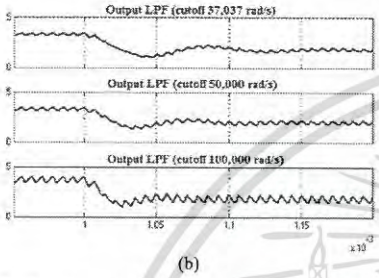
According to the analysis and experimental results, it can be seen that the generated QPSK signal has a continuous phase shift when the input data bit is changed. The phase-shifting time can be reduced without affecting the system output by adjusting the cut-off frequency of the low-pass filter in (18). As observed in (18), the cut-off frequency of the low-pass filter affects only the natural response. Hence, making the natural response vanish quickly makes the phase-shifting process faster as well. In other words, phase-shifting time is directly proportional to convergence time to the steady state of the natural response. However, in practice, the complete phase-shifting process is unknown. To determine the completion time of the phase-shifting process, the output of the loop filter must be considered, because the phase-shifting process is truly complete only when the output of the loop filter is in the steady state.

In the experiment and the simulation, phase shifts from $-3\pi/4$ radians to $-\pi/4$ radians were obtained when the cut-off frequency was set to 37,037 rad/s, 50,000 rad/s, and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



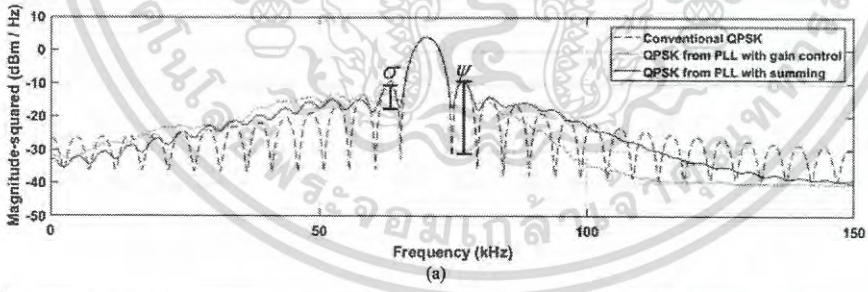
(b)

Fig. 7. Experimental and simulation results for different cut-off frequencies: (a) Phase transition of the QPSK signal for a cut-off frequency of 37,037 rad/s. (b) Simulation results of the LPF output for cut-off frequencies of 37,037 rad/s, 50,000 rad/s and 100,000 rad/s.

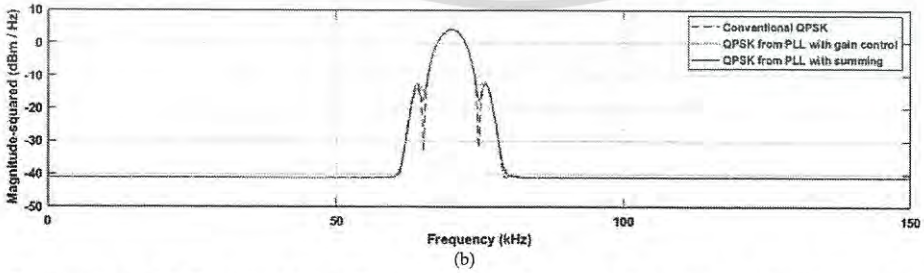
100,000 rad/s. Figure 7(a) shows an example of phase transition of the QPSK signal for a cut-off frequency of 37,037 rad/s. In this subfigure, the top, middle, and bottom traces are the data, the low-pass filter output, and the QPSK signal and its reference signal, respectively. In addition, the simulation results for the low-pass filter outputs for the three different cut-off frequencies are shown in Fig. 7(b). From this subfigure, it can be seen that an increase in the cut-off frequency can decrease the time it takes for the filter output to reach the steady-state (thus reducing phase-shifting time). As a result, the system will be able to increase the transmission bit rate.

4.4 Power Spectral Densities for Conventional QPSK, QPSK from PLL with a Gain Control and QPSK from PLL with a Summing Circuit

The simulation results for comparing the power spectral densities (PSDs) obtained from conventional QPSK, QPSK from PLL with gain control, and QPSK from PLL with a summing circuit are shown in Fig. 8. The theoretical analysis and the experimental results coherently show that the proposed QPSK modulator provides continuous phase change, which directly affects the PSD of the signal. From Fig. 8(a), it can be seen that the main lobe and the first nulls of the conventional QPSK spectrum occur at the same frequencies as that of the spectra of QPSK from PLL with a summing circuit and the QPSK from PLL with a gain control. However, the difference between the null and peak of its side lobe Ψ is greater than that of the proposed QPSK based on PPL σ. This shows that most of the proposed QPSK signal is contained within the main lobe of the spectrum, resulting in a lower bandwidth than that of conventional QPSK. The spectrums of the bandpass filter outputs can be compared in Fig. 8(b) when the frequency range of the bandpass filter used in the simulation is placed between 63.7-76.3 kHz. According to Fig. 8(b), the spectrum of the filtered QPSK from PLL with summing shows the superior null and peak of the sidelobe than that of the conventional QPSK.



(a)



(b)

Fig. 8. The comparison of PSDs obtained from different modulation techniques: (a) The spectrum of QPSK signals before filtering. (b) The spectrum of QPSK signals after filtering.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Error Analysis

An analysis of phase error in the QPSK signal is presented in this section. Generally, phase detectors, especially XOR gates, generate an output in the form of a pulse-width modulated (PWM) signal, as exemplified in Fig. 9(a). Hence, the phase difference resulting from the phase detector is directly proportional to the DC component of the PWM signal [18], as expressed by the following equation.

$$v_{PWM}(t) = \frac{A_d t_p}{T} + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\frac{1}{n}\sin(n\omega_0 t) - \frac{1}{n}\sin\left(n\omega_0\left(t-t_p\right)\right)\right]. \quad (22)$$

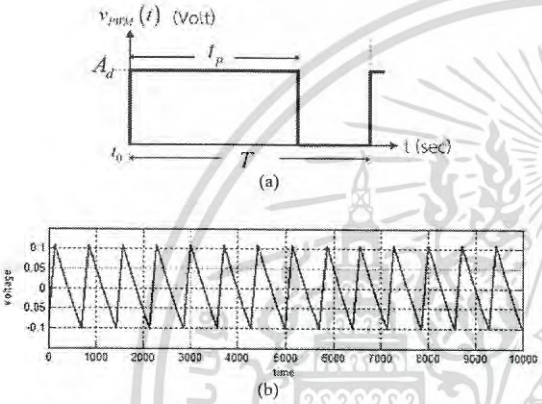


Fig. 9. Error analysis of fluctuating-output of LPF that affects phase shifting of QPSK signal: (a) Realization of the phase detector output. (b) Illustration of the second term of equation (28) using computer simulation.

In (22), A_d is the amplitude of the PWM signal from the XOR gate, t_p is the time for which the signal is high, T is the total period of the signal, and ω_0 is the angular frequency of $\phi_d(t)$. Therefore, the relationship between t_p and the DC component of $v_{PWM}(t)$ can be rewritten as

$$t_p = \frac{Tk_d\phi_d(t)}{A_d} \quad (23)$$

where k_d is the gain of the phase detector. Substituting (23) in (22) yields (24).

$$v_{PWM}(t) = k_d\phi_d(t) + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\frac{1}{n}\sin(n\omega_0 t) - \frac{1}{n}\sin\left(n\omega_0\left(t-\frac{Tk_d\phi_d(t)}{A_d}\right)\right)\right]. \quad (24)$$

After $v_{PWM}(t)$ passes through the low-pass filter, the magnitude and phase responses are (25) and (26), respectively.

$$\left|\frac{v_o(\omega)}{v_i(\omega)}\right| = \frac{1}{\sqrt{1+(\omega/\omega_c)^2}}, \quad (25)$$

$$\angle v_o = -\arctan\left(\frac{\omega}{\omega_c}\right) \quad (26)$$

where v_i is the magnitude of the input signal, v_o is the magnitude of the output signal, $\angle v_o$ is the output phase, and ω_c is the low-pass filter's cut-off frequency. The low-pass filter output for the input signal $v_{PWM}(t)$ is thus expressed in (27). By using the approximation $\sqrt{1+(n\omega_0/\omega_c)^2} \approx n\omega_0/\omega_c$, (27) can be rewritten as (28).

$$v_L(t) = k_d\phi_d(t) + \frac{A_d}{\pi}\sum_{n=1}^{\infty}\left[\frac{1}{n}\cdot\frac{1}{\sqrt{1+\left(\frac{n\omega_0}{\omega_c}\right)^2}}\sin\left(n\omega_0 t - \arctan\left(\frac{n\omega_0}{\omega_c}\right)\right) - \frac{1}{n}\cdot\frac{1}{\sqrt{1+\left(\frac{n\omega_0}{\omega_c}\right)^2}}\sin\left(n\omega_0\left(t-\frac{Tk_d\phi_d(t)}{A_d}\right) - \arctan\left(\frac{n\omega_0}{\omega_c}\right)\right)\right], \quad (27)$$

$$v_L(t) = k_d\phi_d(t) + \frac{A_d\omega_c}{\pi\omega_0}\sum_{n=1}^{\infty}\left[\frac{1}{n^2}\sin\left(n\omega_0 t - \arctan\left(\frac{n\omega_0}{\omega_c}\right)\right) - \frac{1}{n^2}\sin\left(n\omega_0\left(t-\frac{Tk_d\phi_d(t)}{A_d}\right) - \arctan\left(\frac{n\omega_0}{\omega_c}\right)\right)\right]. \quad (28)$$

By considering (28), it is clear that the first term is the DC component $k_d\phi_d(t)$ and that the second term is a triangular signal with asymmetric slopes, as illustrated in Fig. 9(b). From (28) and Fig. 9(b), the minimum and maximum error voltage range is found to lie between $-A_d\omega_c/\pi\omega_0$ and $+A_d\omega_c/\pi\omega_0$. The magnitude of the error voltage is thus expressed in (29). The PLL can support a maximum phase shift of π radians, corresponding to the highest output voltage of the low pass filter, A_d. Hence, according to (29), the magnitude of the phase error can be expressed by (30).

$$|V_{error}| = \frac{A_d\omega_c}{\pi\omega_0}, \quad (29)$$

$$\left|phase\ error\left(\theta_{error}\right)\right| = \frac{2\omega_c}{\omega_0}. \quad (30)$$

As shown in (30), the phase error is proportional to the low-pass filter's cut-off frequency. A technique to eliminate this phase error is currently under investigation.

5.1 Phase Noise

Phase noise in the proposed QPSK modulator, which is caused by the phase error signal or the amplitude fluctuation of the VCO input signal as described in (28), can be measured by considering the power spectral density $S(\omega)$ of the periodic phase error signal expressed in (31):

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S(\omega)=\sum_{n=-\infty}^{\infty}|c_n|^2\,\delta(\omega-n\omega_0) \tag{31}$$

where $|c_n|$ is the magnitude of the spectrum, and ω_0 is the angular frequency of the signal. The phase error signal is the low-pass filter output signal, and the magnitude of the spectrum $|c_n|$ is calculated from coefficients a_n and b_n of the phase detector output signal as described in (32).

$$|c_n|=\sqrt{a_n^2+b_n^2}= \\ =\sqrt{\left(\frac{2A}{nT\omega_0}\sin\left(n\omega_0 t_p\right)\right)^2+\left(-\frac{2A}{nT\omega_0}\left[\cos\left(n\omega_0 t_p\right)-1\right]\right)^2}. \tag{32}$$

By letting $d=2A/(nT\omega_0)$ and because $\sin^2(\theta/2)=\frac{1}{2}(1-\cos\theta)$, (32) can be rewritten as (33).

$$|c_n|=2d\sin\left(\frac{n\omega_0 t_p}{2}\right). \tag{33}$$

By substituting (33) into (31), the PSD can be expressed as (34).

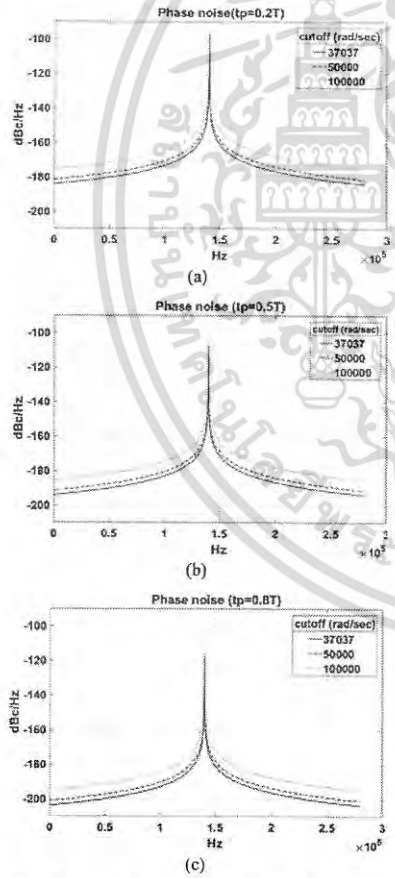


Fig. 10. Phase noise charts for different duty cycle values. (a) Phase noise for a duty cycle of 20%. (b) Phase noise for a duty cycle of 50%. (c) Phase noise for a duty cycle of 80%.

$$S(\omega)=\sum_{n=-\infty}^{\infty}4d^2\sin^2\left(\frac{n\omega_0 t_p}{2}\right)\delta(\omega-n\omega_0). \tag{34}$$

According to the transfer function of the low-pass filter described in (25), the PSD can be expressed by (35)

$$S_o(\omega)=\left|\frac{v_o(\omega)}{v_i(\omega)}\right|^2 S(\omega)= \\ =\frac{1}{1+(\omega/\omega_c)^2}\sum_{n=-\infty}^{\infty}\left(\frac{4A\sin\left(\frac{n\omega_0 t_p}{2}\right)}{nT\omega_0}\right)^2\delta(\omega-n\omega_0). \tag{35}$$

Thus, the phase noise can be described as (36)

$$phase\ noise=10\log\left(S_0(\omega)\right)= \\ =10\log\left[\frac{1}{1+\left(\frac{\omega}{\omega_c}\right)^2}\sum_{n=-\infty}^{\infty}\left(\frac{4A\sin\left(\frac{n\omega_0 t_p}{2}\right)}{nT\omega_0}\right)^2\delta(\omega-n\omega_0)\right]. \tag{36}$$

According to (36), phase noise charts, such as the ones presented in Fig. 10, can be generated, showing the inverse proportionality between the phase noise and the duty cycle t_p. As can be seen, the more the duty cycle is the less phase noise in the QPSK signal of the proposed scheme.

5.2 Error Vector Magnitude (EVM)

The concept of error vector magnitude (EVM) is explained in this subsection. An error vector is a vector in the I-Q plane between the error point (I_{error}, Q_{error}) and the ideal constellation point (I_n, Q_n), which can be calculated from the expression of QPSK as shown in (37):

$$s(t)=A\cos\left(\omega_c t+\theta_n\right) \tag{37}$$

which can be rewritten as (38)

$$s(t)=A\cos(\theta_n)\cos(\omega_c t)-A\sin(\theta_n)\sin(\omega_c t). \tag{38}$$

Hence, the ideal constellation point can be described by (39) and (40) as follows

$$I_n=A\cos(\theta_n), \tag{39}$$

$$Q_n=A\sin(\theta_n). \tag{40}$$

Likewise, the error point (I_{error}, Q_{error}) of the proposed QPSK technique can be described by (41) and (42)

$$I_{error}=A\cos(\theta_{error}), \tag{41}$$

$$Q_{error}=A\sin(\theta_{error}). \tag{42}$$

From (30), the calculated phase error (θ_{error}) is directly proportional to the LPF's cut-off frequency, which affects to the EVM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$EVM = \frac{\sqrt{\sum_{n=0}^{3}\left\{\left(I_{\text{error}} - I_n\right)^2 + \left(Q_{\text{error}} - Q_n\right)^2\right\}}}{\sqrt{\sum_{n=0}^{3}\left(I_n^2 + Q_n^2\right)}}. \quad (43)$$

Using (43), the EVM ratios obtained from the theoretical calculations and the experimental results can be compared, as shown in Tab. 3. The cut-off frequency ω_c is inversely proportional to EVM value.

Low-pass filter cut-off frequency ω_c [rad/s]	EVM		
	Prediction	Simulation	Experimental
100,000	0.275	0.341	0.356
50,000	0.329	0.382	0.392
37,037	0.343	0.403	0.421

Tab. 3. Comparison of the error vector magnitude ratios.

6. Conclusion

In this article, a QPSK modulator was proposed based on a new scheme for phase shifting using a PLL. The PLL employed in the proposed technique is able to control phase shifting by using a summing circuit and an input DC level. It is also able to invert the phase of the QPSK signal by controlling the phase detector. In comparison to the conventional PLL circuit, the proposed system consists of a summing circuit between the loop filter and the VCO, and it uses a three-input phase detector instead of the conventional phase detector. Furthermore, the D/A component is not required in the proposed scheme, which differs from the conventional QPSK modulator circuit. The simulation and experimental results confirm that the proposed technique provides continuous phase shift in the QPSK signal. Hence, the bandwidth consumption of a QPSK signal obtained from the proposed QPSK modulator is less than that of a QPSK signal obtained from a conventional modulator. In addition, the time required for phase shifting when using the proposed technique is always constant, and thus, there are no complications in the implementation of the demodulation process. Furthermore, the phase-shifting speed can be adjusted by varying the cut-off frequency of the low-pass filter. From the study of phase noise and EVM, it is found that the cut-off frequency ω_c is inversely proportional to phase noise and EVM of the QPSK signal based on the proposed scheme.

References

[1] SAH, K. L., DASGUPTA, K. S., JIT, S. Novel performance of QPSK modulator subsystem with matched filters for GSAT-4 satellite. In *International Conference on Emerging Trends in Electronic and Photonic Devices and Systems (ELECTRO '09)*. Varanasi (India), December 2009, p. 281–284.

[2] NAZARETH MOTTA MARINS, C., KAUFMANN, P., ALVES FERREIRA, A., et al. Power reduction on QPSK modulation coding for geopositioning application using LEO satellites. In *SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC)*. Belem (Brazil), November 2009, p. 282–285. DOI: 10.1109/IMOC.2009.5427582

[3] CARTIER, N., HUSSONNOIS, M., TRANIER, B., et al. X-band full MMIC QPSK modulator with direct oscillator for the spot 5 earth observation satellite payload. In *29th European Microwave Conference*. Munich (Germany), October 1999, p. 115–118. DOI: 10.1109/EUMA.1999.338354

[4] MORRISON, I. S. ACE-QPSK: A new method of coding QPSK for the nonlinear transmitter. In *Proceedings of IEEE International Conference on Information Engineering*. Singapore, September 1993, p. 862–866. DOI: 10.1109/SICON.1993.515709

[5] CHOW, P. S., CIOFFI, J. M. A multi-drop in-house ADSL distribution network. In *IEEE International Conference on Communication SUPERCOMM/ICC '94*. New Orleans, (LA, USA), May 1994, p. 456–460. DOI: 10.1109/ICC.1994.368862

[6] KIM, S. R., LEE, J. G., LEE H., et al. A coherent dual-channel QPSK modulation for CDMA system. In *IEEE 46th Vehicular Technology Conference*. Atlanta (USA), May 1996, p. 1848–1852. DOI: 10.1109/VETEC.1996.504078

[7] GUO, Y., FEHER, K. Frequency hopping F-QPSK for power and spectrally efficient cellular systems. In *IEEE 43rd Vehicular Technology Conference*. Secaucus (USA), May 1993, p. 799–802. DOI: 10.1109/VETEC.1993.508811

[8] POPESCU, S. O., GONTEAN, A. S., IANCHIS, D. QPSK modulator on FPGA. In *IEEE 9th International Symposium on Intelligent Systems and Informatics SISY 2011*. Subotica (Serbia), September 2011, p. 359–364. DOI: 10.1109/SISY.2011.6034353

[9] KAZAZ, T., KULIN, M., HADZIALIC, M. Design and implementation of SDR based QPSK modulator on FPGA. In *36th International Convention on Information & Communication Technology Electronics & Microelectronics MIPRO 2013*. Opatija (Croatia), May 2013, p. 513–518.

[10] KHANNA, A., JAISWAL, A., JAIN, H. Design and synthesis of bandwidth efficient QPSK modulator for low power VLSI design. In *2nd International Conference on Electronics and Communication Systems (ICECS)*. Coimbatore (India), February 2015, p. 1235–1240. DOI: 10.1109/ECS.2015.7124781

[11] EL-GABALY, A. M., JACKSON, B. R., SAAVEDRA, C. E. An L-band direct-digital QPSK modulator in CMOS. In *International Symposium on Signals, Systems and Electronics, ISSSE '07*. Montreal (Quebec, Canada), 2007, p. 563–566. DOI: 10.1109/ISSSE.2007.4294538

[12] TANG, A., YUAN, F., LAW, E. A new CMOS active transformer QPSK modulator with optimal bandwidth control. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2008, vol. 55, no. 1, p. 11–15. DOI: 10.1109/TCSII.2007.909867

[13] LEE, S. Y., ITO, H., ISHIHARA, N., et al. A novel direct injection-locked QPSK modulator based on ring VCO in 180nm CMOS. *IEEE Microwave and Wireless Components Letters*, 2014, vol. 24, no. 4, p. 269–271. DOI: 10.1109/LMWC.2014.2299534

[14] FUSCO, V. F., WANG, C., POCHIRAJU, T. 35-65GHz MMIC QPSK modulator. In *European Microwave Integrated Circuit Conference EuMIC 2008*. Amsterdam (the Netherlands), October 2008, p. 242–245. DOI: 10.1109/EMICC.2008.4772274

[15] WISARTPONG, P., KOSEEYAPON, J., WARDKEIN, P. QPSK modulator based on phase locked loop. In *Proceedings of the 2007 Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI) International Conference ECTI 2007*. Chiang Rai (Thailand), May 2007, p. 868–871.

[16] BIRLA, N., GAUTAM, N., PATEL, J., et al. A novel QPSK modulator. In *International Conference on Advanced Communication Control and Computing Technologies (ICACCCT)*. Ramanathapuram (India), 2014, p. 653–656. DOI: 10.1109/ICACCCT.2014.7019170

[17] PASUPATHY, S. Minimum shift keying: A spectrally efficient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

modulation. *IEEE Communications Magazine*, 1979, vol. 17, no. 4, p. 14–22. DOI: 10.1109/MCOM.1979.1089999

[18] SUN, J. *Pulse-Width Modulation*. Chapter in Dynamics and Control of Switched Electronic Systems. Springer Science & Business Media, 2012, 1st ed., p. 25–61.

About the Authors ...

Lerson KIRASAMUTHRANON received B.Eng and M.S. degree in Telecommunication Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2009 and 2012. He is currently pursuing his Ph.D. degree at the same institute in the area of telecommunication engineering. His current research interests include signal processing and control system.

Jeerasuda KOSEEYAPORN graduated M.S. and Ph.D. degrees in Electrical Engineering from Vanderbilt University, Nashville, TN, USA, in 1999 and 2003, respectively. She is now an associate professor of Telecommunications Engineering Department, Faculty of Engineering, (KMITL), Thailand. Her current research interests include analog circuits in telecommunication systems and digital signal processing.

Paramote WARDKEIN received his M.E. and D.Eng. degree in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1990 and 1997, respectively. He is now an associate professor of Telecommunications Engineering Department, Faculty of Engineering, (KMITL), Thailand. His current research interests include not only the field of signal processing but also analog-digital communications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Radioengineering

Proceedings of Czech and Slovak Technical Universities
and URSI Committees

Lerson Kirasamuthranon

Dept. of Telecommunications Engineering
Faculty of Engineering
King Mongkut's Institute of Technology
Ladkrabang (KMITL)
Ladkrabang, Bangkok
10520, Thailand

Brno, the 2nd of March, 2017

Dear Lerson Kirasamuthranon,

Reviewers recommended your paper

Paper no. 16-563

Title QPSK modulator with continuous phase and fast response based on phase-locked loop

Author(s) Lerson Kirasamuthranon, Jeerasuda Koseeyaporn, Paramote Wardkein

to be published in the Radioengineering Journal. The editorial board accepted the recommendation and decided to publish the paper in the foregoing issue of the Journal:

Volume 26 (2017)
Number 2 (June)
Pages to be defined

ISSN: 1210-2512
Impact factor (2016): 0.590

Thank you for your interest in publishing in the Radioengineering Journal and look forward to further cooperation.

Best regards

Zbynek Raida

Prof. Zbynek Raida, Radioengineering Editor-in-Chief
Dept. of Radio Electronics, Brno University of Technology, Technicka 12, 616 00 Brno, Czechia
Phone: +420 541 146 555 Fax: +420 541 146 597 E-mail: chief@radioeng.cz
http://www.radioeng.cz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 31st International Technical Conference on Circuits/Systems,
Computers and Communications (ITC-CSCC 2016)

Non-Multiplier QPSK Modulator Using Simple Trigonometric Function

L. Kirasamuthranon, J. Koseeyaporn, and P.Wardkein
Department of Telecommunications Engineering, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok, Thailand 10520
E-mail: s6601040@kmitl.ac.th

Abstract: The quadrature phase-shift keying (QPSK) is one of the digital modulation techniques using four different phases in order to represent the data bits. Building the QPSK modulating circuit is somewhat complex because of the need of two local frequencies whose phases need to be exactly 90 degree differences. A new technique, which uses just basic Op-Amp circuits in order to create the amplifier circuit and the summing amplifier circuit and also simplifies the QPSK modulation system, is proposed. The designed amplifier circuit is controlled by data bit. Consequently, phase shifting of QPSK signal is regulated by data bit. The data bits are applied so as to control the designed amplifier circuit's gain which also regulated the QPSK signal's phases. From this reason, the proposed QPSK modulating circuit is therefore less complicate than the conventional one. Both theoretical and experimental results thus confirm that the propose technique can be realized in real world application.

Keywords — QPSK, Phase shift keying, Trigonometry

1. Introduction

At present, digital modulation plays a vital role in communications system such as satellite communications [1], television broadcastings or even mobile communications. This is because digital modulation provides high security, immunes to noise interference and requires less bandwidth. Among various types of digital modulations, e.g. amplitude shift keying (ASK), frequency shift keying (FSK), phase shift keying (PSK), or quadrature amplitude modulation (QAM), QPSK modulation is one of popular digital modulation techniques. The QPSK modulation is phase shift keying whose phase of the PSK signal can be one of the four assigned phases, i.e. $\pi/4$, $3\pi/4$, $-3\pi/4$ and $-\pi/4$ radian.

In general, the QPSK modulation is expressed in a mathematical form as written in (1).

$$s(t) = A\cos(\omega_c t - \theta_n) \tag{1}$$

where A : the amplitude of QPSK signal,
ω_c : the angular frequency of QPSK signal,
θ_n : the phase shift of QPSK signal. (n is positive integer.)

Eq. (1) is rewritten by

$$s(t) = a_n\cos(\omega_c t) + b_n\sin(\omega_c t) \tag{2}$$

where a_n is $A\cos\theta_n$, and b_n is $A\sin\theta_n$. Both a_n and b_n are voltage accordance with data bit. As QPSK modulation has 4 symbols (2 bits per symbol) includes 00, 01, 10 and 11 for 4 different phases. In order to generate QPSK, data bit need to be split and converted by using bit splitters and digital to analog converter to generate a_n and b_n. The block diagram of QPSK modulator is shown in Fig. 1.

In literature review, there are many types of modulation techniques for example the QPSK modulation using FPGA board [6-7]. There are limitations of QPSK signal from FPGA board such as frequency of carrier, program for

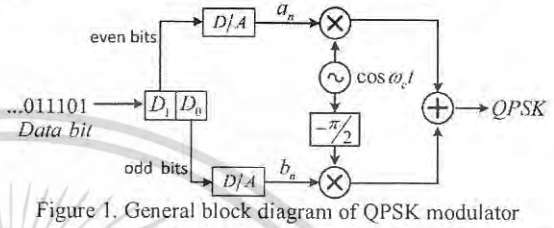


Figure 1. General block diagram of QPSK modulator

design on FPGA board. However, the limitations will be changed by FPGA technology. At the present time, QPSK modulation using FPGA board is more expensive than other methods. In 2007, the QPSK modulating circuit, based on controlling the gain of phase locked loop (PLL) to shift the phase along with external circuits, is proposed [8]. In this study, it is found that when the frequency of carrier or the reference frequency used for PLL is changed, the gain of PLL must always change according to the relations. In [9], the QPSK modulating circuit constructed by using basic electronic components, for example D-Flip flop, inverter, op-amp and BJTs, is proposed. To obtain a QPSK modulator using the aforementioned technique, two BPSK modulators are needed. However, these two modulators are made of four BASK modulators. Hence, the QPSK modulator of [9] is somewhat complicated to construct in practical.

In this paper, it is focused on developing the circuit to provide less complicate QPSK modulator by applying sum/difference angle trigonometric principle. With this simple principle, the accurate phase shifting is obtained and no phase error in the proposed technique. In addition, a digital-to-analog converter is not required resulting in the minimized circuit structure. Moreover, the proposed circuit furnishes hassle-free parameters-adjusting whilst most of phase shift techniques do require parameter-adjusting. The principle of the proposed circuit and its experimental results will be given in the following sections.

2. Principle

In this section, a brief note about the QPSK signal is reviewed mathematically. The QPSK signal is assumed that the number of phase shifts is limited to only four states. The carrier undergoes four changes in phase i.e. $\pi/4$, $3\pi/4$, $-3\pi/4$ and $-\pi/4$ radian. From (1), it can be generally shown as

$$s(t) = \cos\left(\omega_c t + (2m-1)\frac{\pi}{4}\right) \tag{3}$$

where m is positive integer. By using trigonometry property, cos(A+B)=cosAcosB-sinAsinB, eq (3) is rewritten as follows.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s(t)=\cos(\omega_c t)\cos\left(\frac{m\pi}{2}-\frac{\pi}{4}\right)-\sin(\omega_c t)\sin\left(\frac{m\pi}{2}-\frac{\pi}{4}\right) \quad (4)$$

Eq. (4) is recast its form to (5).

$$s(t)=\cos\left(\frac{\pi}{4}\right)\left[\cos(\omega_c t)\cos\left(\frac{m\pi}{2}\right)-\sin(\omega_c t)\sin\left(\frac{m\pi}{2}\right)\right] + \sin\left(\frac{\pi}{4}\right)\left[\cos(\omega_c t)\sin\left(\frac{m\pi}{2}\right)+\sin(\omega_c t)\cos\left(\frac{m\pi}{2}\right)\right] \quad (5)$$

From (5), let $s_1(t)=\cos(\omega_c t)\cos\left(\frac{m\pi}{2}\right)$,

$s_2(t)=\sin(\omega_c t)\sin\left(\frac{m\pi}{2}\right)$, $s_3(t)=\cos(\omega_c t)\sin\left(\frac{m\pi}{2}\right)$ and $s_4(t)=\sin(\omega_c t)\cos\left(\frac{m\pi}{2}\right)$, respectively, hence

$$s(t)=\cos\left(\frac{\pi}{4}\right)\left[s_1(t)-s_2(t)\right]+\sin\left(\frac{\pi}{4}\right)\left[s_3(t)+s_4(t)\right] \quad (6)$$

From (6), the value of m is 1, 2, 3 and 4, respectively. Eq. (6) can rewrite in Table 1. where is phase shifted of QPSK signal. From Table 1, the equation shows that four QPSK signal. The QPSK signal is phase shifted to $\pi/4$ and $-\pi/4$ be generated by using summation of $\cos(\omega_c t)$ and $\pm\sin(\omega_c t)$. In addition, the output of summation can shift phase to π radian by using gain of the amplifier to be -1. The proposed block diagram of QPSK modulating is shown in Fig. 2.

From Fig. 2, the gain of the amplifier can be either 1 or -1 according to the sign of the fed data. Together with summing circuit, the proposed QPSK is accomplished. In the next section, controlling gain of input data and fabricated QPSK modulation circuit will be described.

3. The Propose QPSK Modulator

3.1 Amplifier Circuit

Based on the proposed phase shift scheme described in previous section, the summation and difference of cosine and sine function as give in Table 1 have an effect on the phase output. To apply the proposed phase shift structure for the application of QPSK modulator, the circuit is depicted in Fig. 3. The gain of amplifier circuit is controlled by analog switch, the analog switch is controlled by data bit (open if data bit = 0 and close if data bit = 1). From the operation of the designed amplifier circuit can separate work is 2 modes. The working mode is shown in Fig. 4.

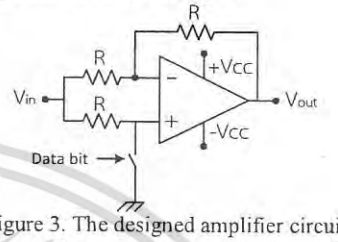
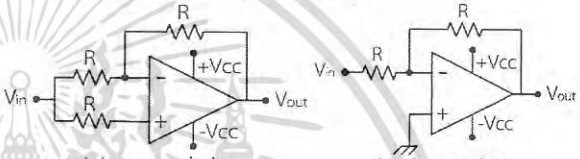


Figure 3. The designed amplifier circuit



(a) open switch (b) close switch

Figure 4. The operation of the designed amplifier circuit

In Fig. 4(a), when the logic of data bit is "0" (LOW), the status of switch is "open", a gain of amplifier is 1. Because of the equal voltage at non-inverting input and inverting input of Op-Amp, then the voltage input (V_{in}) is equal to the voltage output (V_{out}). In Fig. 4(b), the logic of data bit is "1" (HIGH), the status of switch is "close", this circuit is inverting amplifier whose gain is -1.

The proposed technique can control a gain of amplifier by logic of data bit. The QPSK modulator circuit shown in Fig. 5 is composed the amplifier circuit and the summing amplifier circuit. The circuit shown inside the dash line is the amplifier which can adjust its gain by data bit.

TABLE 1 Equation of QPSK signal

m	θ	$s_1(t)$	$s_2(t)$	$s_3(t)$	$s_4(t)$	$s(t)$
1	$\pi/4$	0	$\sin(\omega_c t)$	$\cos(\omega_c t)$	0	$\frac{1}{\sqrt{2}}\left[\cos(\omega_c t)-\sin(\omega_c t)\right]$
2	$3\pi/4$	$-\cos(\omega_c t)$	0	0	$-\sin(\omega_c t)$	$-\frac{1}{\sqrt{2}}\left[\cos(\omega_c t)+\sin(\omega_c t)\right]$
3	$-3\pi/4$	0	$-\sin(\omega_c t)$	$-\cos(\omega_c t)$	0	$-\frac{1}{\sqrt{2}}\left[\cos(\omega_c t)-\sin(\omega_c t)\right]$
4	$-\pi/4$	$\cos(\omega_c t)$	0	0	$\sin(\omega_c t)$	$\frac{1}{\sqrt{2}}\left[\cos(\omega_c t)+\sin(\omega_c t)\right]$

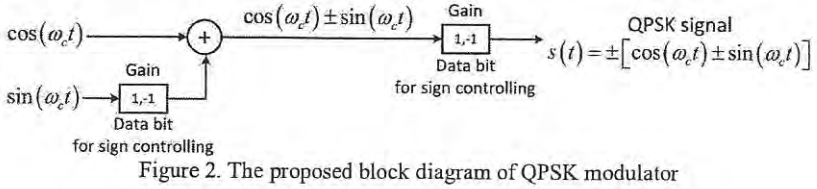


Figure 2. The proposed block diagram of QPSK modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

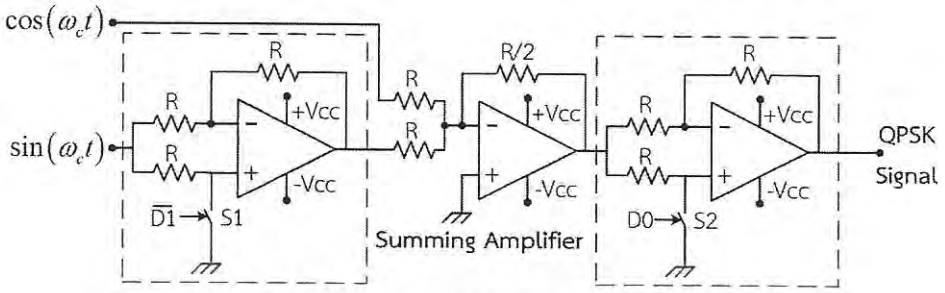


Figure 5. The proposed QPSK modulator circuit

In addition, the design of the modulation codes is given in Table 2. As shown in Table 2, the switch S1 is controlled by the inverse of D1 to obtain an even bit. Likewise, the switch S2 is controlled by D0 to acquire an odd bit.

TABLE 2 Modulation Code Design

θ	$\overline{D1}$	$D1$	$D0$	S1	S2
$\pi/4$	0	1	0	OFF	OFF
$3\pi/4$	1	0	1	ON	ON
$-3\pi/4$	0	1	1	OFF	ON
$-\pi/4$	1	0	0	ON	OFF

4. Simulation and Experimental Results

To confirm the proposed phase shifter by the summation and difference of cosine and sine function. The proposed modulator is examined by using computer simulation and laboratory experiment.

4.1 Simulation Results

The program MATLAB (Simulink) is selected for simulation. The QPSK modulator designed by the proposed technique in MATLAB is depicted in Fig. 6. The carriers are cosine and sine waves whose amplitude is 3.5 volt and frequency is 23 kHz. The data bit input D0 and D1 are square waves with amplitude 5 volt TTL, and frequency 1.15 kHz and 2.3 kHz, respectively. The simulation results of QPSK modulator as shown in Fig. 7(a) and 7(b) are the QPSK signal in time domain and the lissajous curve, respectively.

4.2 Experimental Results

In the experiment, the proposed QPSK modulator is implemented as depicted in Fig. 5. IC LM353N is used for the designed amplifier and summing amplifier circuit as well as IC 74HCT4066 is employed for analog switch in the designed amplifier circuit. The experimental results are given in Fig. 8. The 4 phases of QPSK signal are illustrated in Fig. 8(a). Additionally, the lissajous curve of the QPSK modulating signal is given in Fig. 8(b).

5. Conclusion

This paper presents the circuit for QPSK modulator. The modulator can shift phase to $\pi/4$ and $-\pi/4$ radian by using the summation of $\cos(\omega_c t)$ and $\pm\sin(\omega_c t)$ function, respectively. From the generated phase output, shifting phase π radian to either $3\pi/4$ or $-3\pi/4$ radian is obtained by only adjusting the gain of the designed amplifier circuit to be -1. In the proposed technique, phase can be shifted accurately to the designed value thus phase error does not exist. In addition, the proposed circuit furnishes hassle-free parameters-adjusting. The QPSK modulator circuit uses only Op-amp and analog switch, it is therefore less complicate than the conventional technique. The obtained results examined by using computer simulation and experiment are in accordant and can confirm the contribution of the proposed technique.

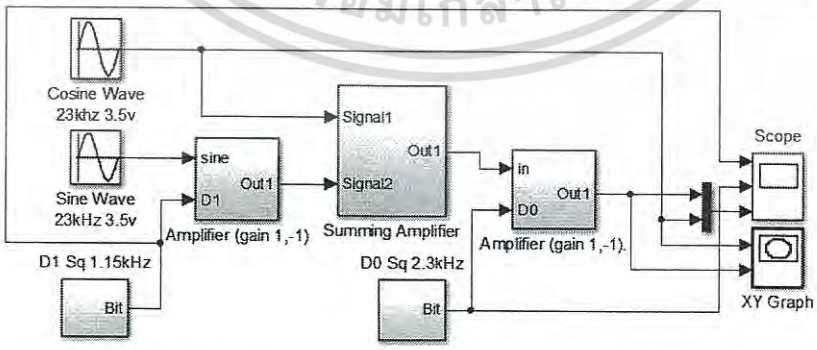
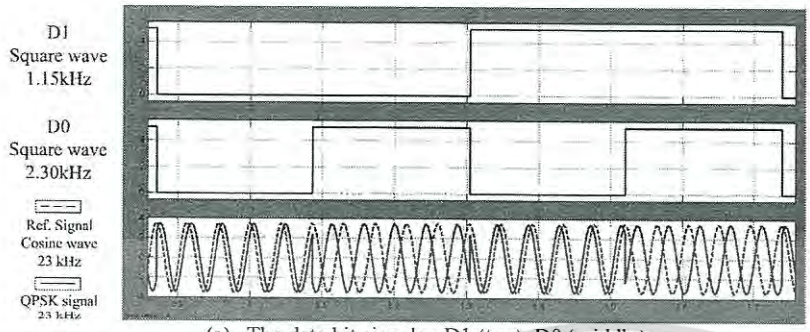
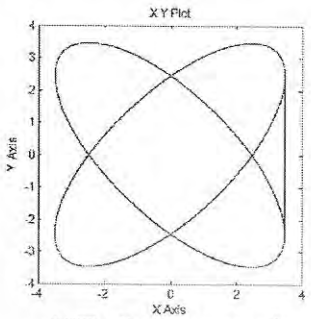


Figure 6. Block diagram of the QPSK modulator in computer simulation (MATLAB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

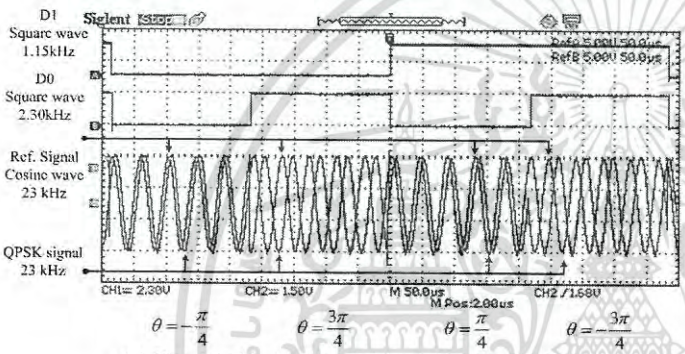


(a) The data bit signals : D1 (top), D0 (middle), the reference signal (cosine) and the QPSK signal (bottom)

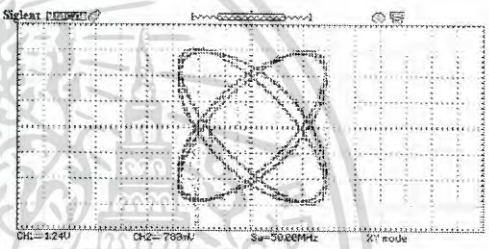


(b) The lissajous curve of the QPSK modulation signal

Figure 7. The QPSK signal of the proposed QPSK modulator using computer simulation



(a) The data bit signals : D1 (top), D0 (middle), the reference signal (cosine) and the QPSK signal (bottom)



(b) The lissajous curve of the QPSK modulation signals

Figure 8. The QPSK signal of the proposed QPSK modulator using laboratory experiment

References

[1] K.L. Sah, K.S. Dasgupta, and S. Jit, "Novel Performance of QPSK Modulator Subsystem with Matched Filters for GSAT-4 Satellite", *IEEE ELECTRO 2009*, pp.281-284, Varanasi, India, 22-24 December 2009.

[2] C. Nazareth, M. Marins, P. Kaufmann, A. Alves, F. Junior, M. Carneiro, J.W. Swart, and A.C. da Silveira, "Power Reduction on QPSK Modulation Coding for Geopositioning Application Using LEO Satellites", *IMOC 2009*, pp.282-285, Belem, Brazil, 3-6 November 2009.

[3] N. Cartier, M. Hussonnois, B. Tranier, P. Maynadier, E. Midan, M. Sutter, P. Boutet, H. Buret, and A. Clerino, "X-Band Full MMIC QPSK Modulator with Direct Oscillator for the Spot 5 Earth Observation Satellite Payload", *Microwave Conference 29th European*, vol.1, pp.115-118, Munich, Germany, October 1999.

[4] S.R. Kim, J.G. Lee, Hun Lee, B.S. Kang, and J.W. Jeong, "A Coherent dual-channel QPSK modulation for CDMA system", *IEEE 46th Vehicular Technology Conference*, vol.3, pp.1848-1852, Atlanta, USA, May, 1996.

[5] Y. Guo, K. Feher, "Frequency hopping F-QPSK for power and spectrally efficient cellular systems", *IEEE 43rd Vehicular Technology Conference*, vol.1, pp.799-802, Secaucus, USA, May 1993.

[6] S.O. Popescu, A.S. Gontean, and D. Ianchis, "QPSK Modulator on FPGA", *IEEE 9th SISY 2011*, pp.359-364, Subotica, Serbia, 8-10 September 2011.

[7] T. Kazaz, M. Kulin, and M. Hadzialic, "Design and Implementation of SDR Based QPSK Modulator on FPGA", MIPRO 2013, pp.513-518, Opatija, Croatia, 20-24 May 2013

[8] P. Wisartpong, J. Koseeyapon, and P. Wardkein,"QPSK Modulator Based On Phase Locked Loop", *ECTI-CON 2007*, pp.868-871, Chiang Rai, Thailand, May 2007.

[9] N. Birla, N. Gautam, J. Patel, and P. Balaji, "A novel QPSK Modulator", *IEEE ICACCCT 2014*, pp.653-656, Ramanathapuram, India, 8-10 May 2014

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้