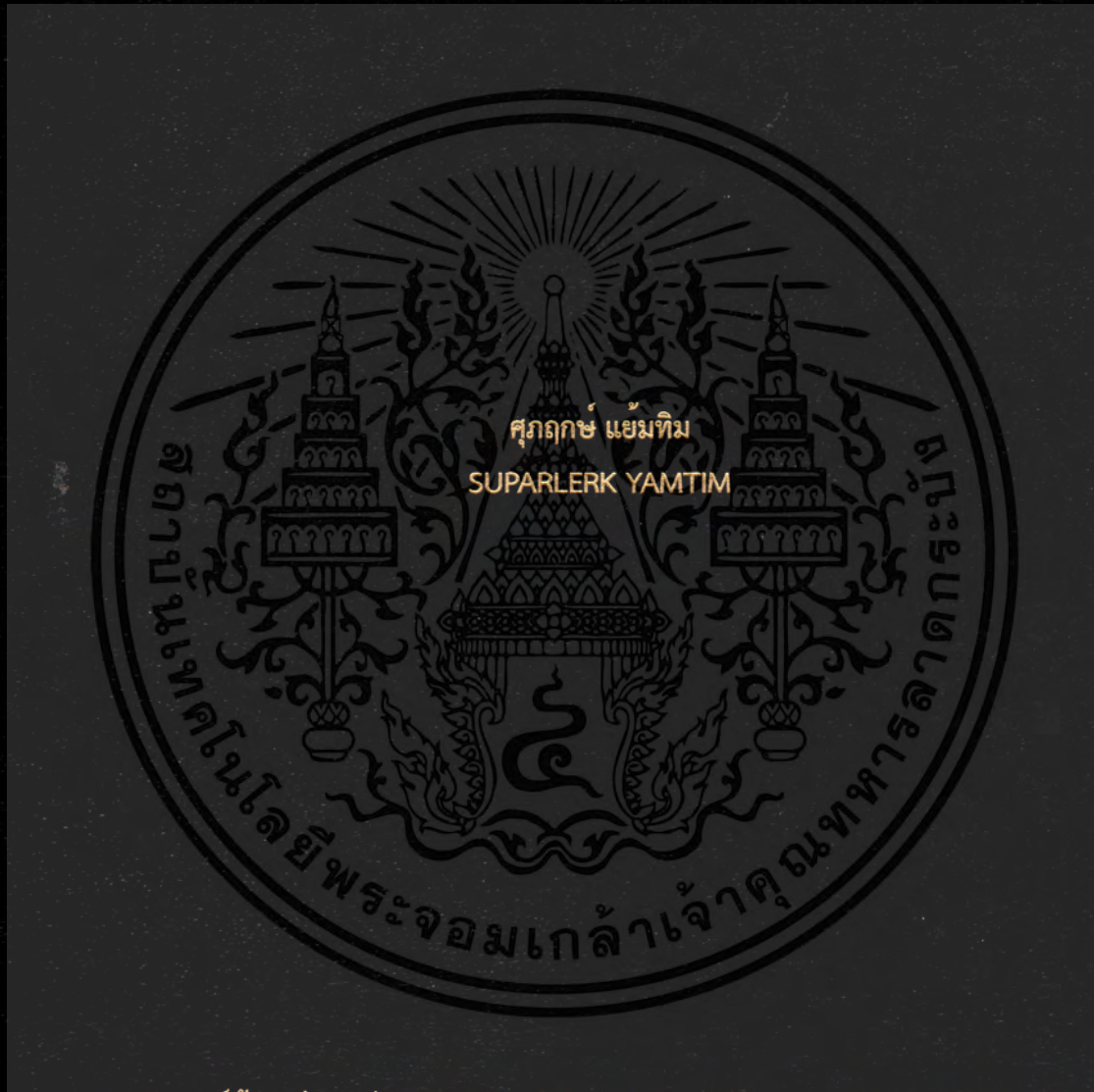


การออกแบบวงจรบวกด้วยซีมอสและเมมริสเตอร์

MEMRISTOR-CMOS FULL ADDER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-010-060

การออกแบบวงจรบวกด้วยซีมอสและเมมริสเตอร์

MEMRISTOR-CMOS FULL ADDER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-010-060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMRISTOR-CMOS FULL ADDER CIRCUIT DESIGN

SUPARLERK YAMTIM



A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2018

KMITL-2018-EN-M-010-060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2018

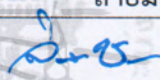
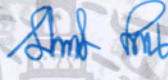
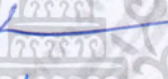

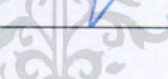
FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรบวกด้วยซีมอสและเมมริสเตอร์
Thesis Title Memristor-CMOS Full Adder Circuit Design
นักศึกษา นายศุภฤกษ์ แยมทิม
รหัสประจำตัว 59601137
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.สิรภพ ตู๊ประกาย
หมายเลขวิทยานิพนธ์ KMITL-2018-EN-M-010-060

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญวุฒิศรรม	
รศ.ดร.มนตรี	คำเงิน	
ผศ.ดร.สมเกียรติ	ฤกษ์วีรัญญู	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.สิรภพ	ตู๊ประกาย	

วัน / เดือน / ปี ที่สอบ วันอังคารที่ 17 กรกฎาคม พ.ศ. 2561 เวลา 15.00-17.00 น.
สถานที่สอบ ณ ห้อง HM-301 อาคารเฉลิมพระเกียรติ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 17 กรกฎาคม พ.ศ. 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรวกด้วยซีมอสและเมมริสเตอร์
นักศึกษา	นายศุภฤกษ์ แยมทิม
รหัสประจำตัว	59601137
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร. สิริภพ ตู้ประกาย

บทคัดย่อ

อุปกรณ์เมมริสเตอร์เป็นอุปกรณ์พาสซีฟตัวที่สี่ใช้ในแอปพลิเคชันจำนวนหนึ่งเช่นโปรแกรมคานวนทางลอจิกหรือหน่วยความจำ วิทยานิพนธ์นี้ได้นำเสนอการออกแบบวงจรวกด้วยซีมอสและเมมริสเตอร์อีกรูปแบบหนึ่ง โดยการนำซีมอสและเมมริสเตอร์ประยุกต์ใช้งานพัฒนาเป็นวงจรวกเกตพื้นฐานและต่อยอดเป็นวงจรวกการออกแบบวงจรวกทดสอบประสิทธิภาพด้วยโปรแกรม LTSPICE เมมริสเตอร์ใช้โมเดลระบบตัดสินค่าความต้านทานเมมริสเตอร์สองขั้วด้วยเทรชโฮลด์และซีมอสเทคโนโลยี 180nm ผลลัพธ์ที่ได้ถูกแสดงเป็นกราฟและตารางเป็นไปตามวงจรวกมาตรฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Memristor-CMOS Full Adder Circuit Design
Student	Mr.Suparlerk Yamtim
Student ID.	59601137
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2018
Thesis Advisor	Dr.Siraphop tooprakai

Abstract

The memristor device is the fourth passive device used in a number of applications, such as program logic or memory logic. This thesis presents Memristor-CMOS Full Adder Circuit Design. Application of CMOS and memristor are developed as a basic logic circuit and adder circuit, performance of circuit test with LTSPICE program. Memristor model use Bipolar Memristive System with Threshold and CMOS technology 180nm. The results are graphed and table follow by the standard adder circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ผู้วิจัย
ขอขอบพระคุณ ดร. สิริภพ ผู้ประกาย ที่ให้คำแนะนำและช่วยเหลือสนับสนุนที่เป็นประโยชน์ต่อการทำวิจัยและ
ทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณพี่ๆ น้องๆ และเพื่อนๆ ที่ให้การช่วยเหลือ ให้คำปรึกษาต่างๆที่
เกี่ยวกับการทำวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็น
อย่างสูง

ศุภฤกษ์ แยมทิม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และแจ้งอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หัวข้อ	หน้า
บทคัดย่อ.....	I
ABSTRACT.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	2
1.3 ขอบเขตของวิทยานิพนธ์.....	2
1.4 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	3
2.1 วงจรลอจิกพื้นฐาน.....	3
2.2 วงจรบวก.....	4
2.3 ซีมอส.....	6
2.4 เมมริสเตอร์.....	8
2.5 แบบจำลองเมมริสเตอร์ทางสมการคณิตศาสตร์.....	9
2.6 แบบจำลองระบบตัดสินค้าความต้านทานเมมริสเตอร์สองขั้วด้วยทรานซิสเตอร์ [4].....	10
2.7 การออกแบบวงจรบวกเต็มโดยซีมอสและเมมริสเตอร์ [3].....	12
2.8 DYNAMIC HAZARDS.....	16
2.9 ขอบขาขึ้นและขอบขาลง (RISE TIME AND FALL TIME).....	17
2.10 ค่าความหน่วงของลอจิกเกต (GATE PROPAGATION DELAY).....	18
2.11 กำลังงานสูญเสีย (POWER CONSUMPTION).....	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ IV ภาษาอังกฤษถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 วงจรที่นำเสนอ.....	19
3.1 วงจรทดสอบคุณสมบัติเมมริสเตอร์.....	19
3.2 การออกแบบวงจรที่นำเสนอ.....	19
บทที่ 4 ผลการทดลอง.....	25
4.1 ผลลัพธ์การทดสอบคุณสมบัติเมมริสเตอร์.....	25
4.2 แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.....	28
4.3 แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz.....	29
4.4 แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz.....	31
4.5 แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz.....	33
4.6 แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz.....	35
4.6 แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz.....	37
4.7 ค่าความเก็บประจุต่อความหน่วงเวลา.....	39
บทที่ 5 สรุปผลการทดลอง.....	43
เอกสารอ้างอิง.....	45
ภาคผนวก.....	46
ผลงานที่ได้รับการตีพิมพ์.....	54
ประวัติผู้เขียน.....	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และวางอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หัวข้อ	หน้า
2.1 สมการและตารางความจริงของลอจิกพื้นฐาน	4
2.2 ตารางความจริงของวงจรวกตรีง.....	5
2.3 ตารางความจริงของวงจรวกเต็ม	6
2.4 ตารางความจริงของอินเวอร์เตอร์ซีมอส	7
2.5 จำนวนอุปกรณ์ที่ใช้ในวงจรที่ออกแบบโดยซีมอสและเมมริสเตอร์	16
3.1 ผลลัพธ์ผลบวกและตัวทศของวงจรถูกนำเสนอ.....	22
3.2 ค่าความต้านทานของเมมริสเตอร์หลังจากป้อนอินพุต.....	23
3.3 สถานะของซีมอสหลังจากป้อนอินพุต	24
4.1 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 3V ความถี่ 5MHz	28
4.2 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 3V ความถี่ 50MHz	30
4.3 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 3V ความถี่ 500MHz.....	32
4.4 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 5V ความถี่ 5MHz	33
4.5 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 5V ความถี่ 50MHz	35
4.6 เอาต์พุตวงจรรออ้างอิง [3] และวงจรถูกนำเสนอจากอินพุตแรงดัน 5V ความถี่ 5MHz	37
4.7 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรรออ้างอิง [3] ที่แรงดัน 3V	39
4.8 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถูกนำเสนอที่แรงดัน 3V	40
4.9 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรรออ้างอิง [3] ที่แรงดัน 5V	41
4.10 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถูกนำเสนอที่แรงดัน 5V	42
5.1 จำนวนอุปกรณ์ที่ใช้ในวงจรถูกนำเสนอและวงจรถูกเปรียบเทียบ	43
5.2 ผลลัพธ์ของวงจรรออ้างอิง [3].....	43
5.3 ผลลัพธ์ของวงจรถูกนำเสนอ	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VI อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 ลอจิกเกตพื้นฐาน (a) NOT gate (b) AND gate (c) NAND gate (d) OR gate (e) NOR gate (f) XOR gate (g) XNOR gate	3
2.2 (a) PMOS (b) NMOS	6
2.3 วงจร NOT GATE จากซีมอส.....	7
2.4 วงจร NAND GATE จากซีมอส	8
2.5 (a) สัญลักษณ์ของเมมริสเตอร์ (b) วงจรสมือนของเมมริสเตอร์.....	9
2.6 คุณสมบัติ PINCHED HYSTERESIS LOOP ของเมมริสเตอร์.....	9
2.7 สเก็ทของฟังก์ชัน $f(V_M)$ [4].....	11
2.8 โมเดลระบบตัดสินใจความต้านทานเมมริสเตอร์สองขั้วด้วยเทรซไฮลด์ [4]	11
2.9 (a) วงจร AND gate (b) วงจร OR gate [2]	13
2.10 (a) วงจร NAND gate (b) วงจร NOR gate [2].....	13
2.11 ออกแบบเอ็ทซ์คลูชิฟออร์เกตโดยซีมอสและเมมริสเตอร์ [3]	14
2.12 ออกแบบวงจรวกครึ่งโดยซีมอสและเมมริสเตอร์ [3].....	14
2.13 ออกแบบวงจรวกเต็มโดยซีมอสและเมมริสเตอร์ [3].....	15
2.14 แสดงตัวอย่างของ Dynamic Hazards	16
2.15 ขอบขาขึ้นและขอบขาลงของฟังก์ชันขึ้นบันได	17
2.16 ค่าความหน่วงของเอาต์พุต	18
3.1 วงจรเมมริสเตอร์.....	19
3.2 วงจรเอ็ทซ์คลูชิฟออร์เกตออกแบบด้วยแนนด์เกต [3].....	20
3.3 วงจรวกครึ่งออกแบบด้วยแนนด์เกต [3].....	20
3.4 วงจรที่นำเสนอ	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VII อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.5 แหล่งจ่ายตัวอย่างในการวิเคราะห์วงจรที่นำเสนอ.....	22
4.1 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.....	25
4.2 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz.....	25
4.3 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz.....	26
4.4 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5000MHz.....	26
4.5 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz.....	26
4.6 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz.....	27
4.7 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz.....	27
4.8 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5000MHz.....	27
4.9 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.....	28
4.10 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.....	29
4.11 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.....	29
4.12 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz.....	30
4.13 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz.....	30
4.14 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz.....	31
4.15 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz.....	31
4.16 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz.....	32
4.17 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz.....	32
4.18 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz.....	33
4.19 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz.....	34
4.20 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz.....	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VIII อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.21 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz	35
4.22 แสดงเอาต์พุตของวงจรวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz.....	36
4.23 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz	36
4.24 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz	37
4.25 แสดงเอาต์พุตของวงจรวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz	38
4.26 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz	38
4.27 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรวงจรอ้างอิง [3] ที่แรงดัน 3V	39
4.28 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรที่นำเสนอที่แรงดัน 3V	40
4.29 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรวงจรอ้างอิง [3] ที่แรงดัน 5V	41
4.30 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรที่นำเสนอที่แรงดัน 5V	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ IX อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ตลอดเวลานักวิทยาศาสตร์และนักวิจัยต้องการพัฒนาอุปกรณ์อิเล็กทรอนิกส์ที่มีความเร็วสูง, ความเสถียรสูงและประหยัดพลังงาน จากนั้นในปี 1971 อุปกรณ์เมมริสเตอร์ถูกคิดค้นและนำเสนอโดย L.Chua [1] เป็นครั้งแรกในฐานะอุปกรณ์พื้นฐานตัวที่สี่ต่อจากตัวเก็บประจุ, ตัวต้านทาน และตัวเหนี่ยวนำ บนพื้นฐานความสัมพันธ์ระหว่างประจุไฟฟ้าและสนามแม่เหล็กไฟฟ้า จากนั้นเมมริสเตอร์ถูกผลิตในทางกายภาพครั้งแรกโดย HP lab ในปี 2008 อุปกรณ์เมมริสเตอร์มีคุณสมบัติของ prince heterolysis loop เป็นคุณสมบัติสำคัญและคุณสมบัติอื่นที่ดีอีกมาก อุปกรณ์เมมริสเตอร์ถูกออกแบบในแอปพลิเคชันจำนวนมาก

ลอจิกเกตเป็นส่วนพื้นฐานในวงจรดิจิทัล หลายงานวิจัยได้ออกแบบและพัฒนาเมมริสเตอร์ให้ประสิทธิภาพดีขึ้นสำหรับวัตถุประสงค์ที่ต้องการ เมมริสเตอร์ถูกนำไปออกแบบวงจรลอจิกเกตซึ่งมีความเร็วกว่าวงจรลอจิกเกตแบบซีมอส อย่างไรก็ตามเมมริสเตอร์ไม่สามารถสร้างลอจิกเกตพื้นฐานทั้งหมดได้ด้วยตัวเองจำเป็นต้องใช้ร่วมกับซีมอสเป็น hybrid memristor หรืออยู่ในรูปของ MeMOS (Memristor + CMOS) [2]

มีโมเดลทางคณิตศาสตร์จำนวนมากที่แสดงถึงอุปกรณ์เมมริสเตอร์ งานวิจัยนี้เลือกใช้โมเดลเมมริสเตอร์ โมเดลระบบตัดสินค่าความต้านทานเมมริสเตอร์สองขั้วด้วยเทรซโฮลด์ (Bipolar Memristive System with Threshold) [4] ซึ่งมีความเร็วและความเสถียรที่สูง สำหรับซีมอสใช้เทคโนโลยี 180nm วงจรลอจิกเกตพื้นฐานและวงจรบวกทุกรูปแบบได้ใช้ตัวแปรซึ่งมีค่าเดียวกันหมดเพื่อเทียบประสิทธิภาพของผลลัพธ์ โดยวัดประสิทธิภาพแต่ละวงจรจากความหน่วงเวลาและพลังงานที่ใช้ด้วย LTSPICE

สำหรับวงจร XOR gate และวงจรบวกมีความสำคัญอย่างมากในวงจรดิจิทัลและหน่วยความจำ ลอจิกเกตสามารถประยุกต์รูปแบบโดยใช้สมการพีชคณิตบูลีนเพื่อปรับเปลี่ยนข้อดีและข้อเสียให้เข้ากับวัตถุประสงค์ที่ต้องการ ในบทความนี้ได้ทำการออกแบบวงจร XOR gate, วงจรบวกครึ่งและวงจรบวกเต็มอย่างละสองรูปแบบคือวงจรบวกที่สร้างขึ้นโดยลอจิกเกตและวงจรบวกที่สร้างโดยใช้เฉพาะ NAND gate

1.2 วัตถุประสงค์ของวิทยานิพนธ์

1.2.1 อธิบายคุณสมบัติและโครงสร้างเมมริสเตอร์เพื่อให้เข้าใจหลักการทางานและคุณสมบัติพื้นฐานของอุปกรณ์เมมริสเตอร์

1.2.2 การประยุกต์ใช้งานร่วมกับวงจรลอจิกพื้นฐานและวงจรวกเพื่อสามารถออกแบบวงจรที่สามารถใช้งานได้จริง

1.2.4 วิเคราะห์จำนวนอุปกรณ์และสมรรถภาพของวงจรวกเพื่อให้ผลลัพธ์มีค่าน่าเชื่อถือและใช้งานแทนในวงจรอื่นๆได้

1.3 ขอบเขตของวิทยานิพนธ์

ในวิทยานิพนธ์ของนาเสนออีกหนึ่งทางเลือกสำหรับออกแบบวงจรวกเลขหนึ่งหลักด้วยการออกแบบวงจรวกด้วยซีมอสและเมมริสเตอร์ ซึ่งมีขอบเขตวิทยานิพนธ์ดังนี้

1.3.1 ศึกษาการท างานและคุณสมบัติของอุปกรณ์ของเมมริสเตอร์เพื่อประยุกต์ใช้งาน

1.3.2 ออกแบบวงจรลอจิกพื้นฐานจากอุปกรณ์เมมริสเตอร์และทดสอบประสิทธิภาพ

1.3.3 ออกแบบวงจรวกจากอุปกรณ์เมมริสเตอร์และทดสอบประสิทธิภาพ

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 5 บท โดยแต่ละบทมีเนื้อหาโดยสังเขปต่อไปนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของการวิจัย ขอบเขตในการท วิทยานิพนธ์และรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงทฤษฎีและงานวิจัยที่เกี่ยวข้องรวมถึงความรู้พื้นฐานด้านอุปกรณ์เมมริสเตอร์, วงจรลอจิกและซีมอส

บทที่ 3 กล่าวถึงการออกแบบวงจรวกด้วยซีมอสและเมมริสเตอร์พร้อมอธิบายการท างานของวงจรเพื่อให้ง่ายต่อการเข้าใจ

บทที่ 4 กล่าวถึงผลลัพธ์ประสิทธิภาพของวงจรเมื่อใช้งานจริง

บทที่ 5 กล่าวถึงสรุปส่วนส าคัญของวิทยานิพนธ์

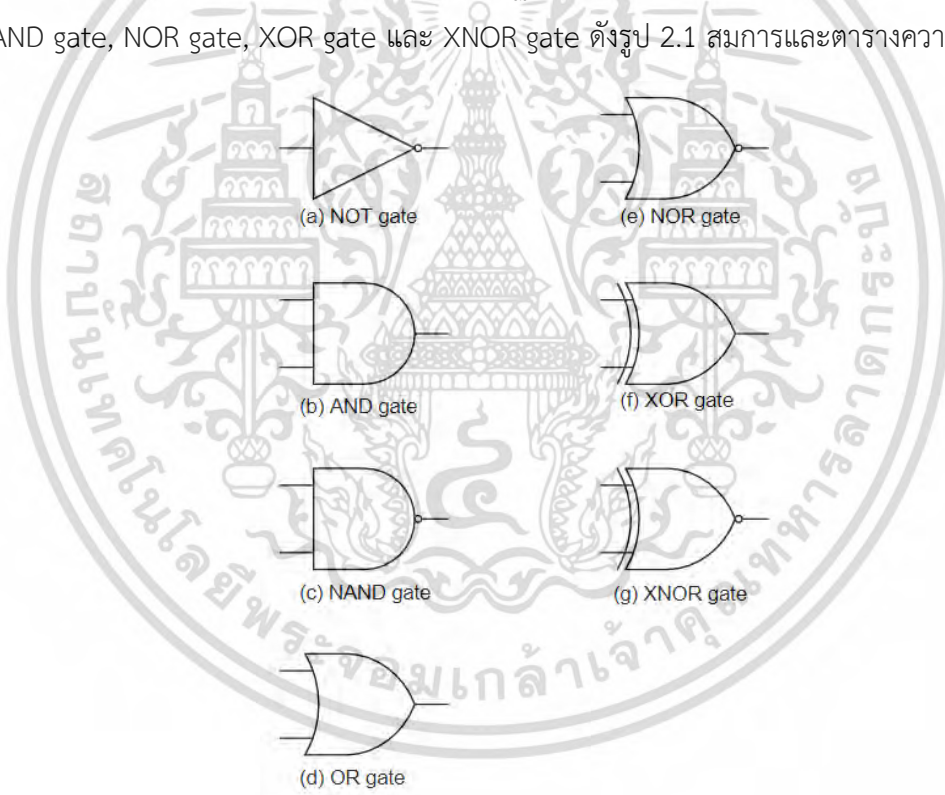
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 วงจรลอจิกพื้นฐาน

อุปกรณ์อิเล็กทรอนิกส์จำนวนมากมีส่วนประกอบของวงจรลอจิกซึ่งถูกประยุกต์ใช้โดยฟังก์ชันบูลีน วงจรลอจิกคานวนไบนารีอินพุตหนึ่งหรือมากกว่าให้ออกมาในรูปแบบเอาต์พุตเดียว ในทางอุดมคติวงจรลอจิกมีขอบขาขึ้น (rise time) และขอบขาลง (fall time) เป็นศูนย์ โดยสามารถต่ออนุกรมได้ไม่จำกัดจำนวน วงจรลอจิกเริ่มแรกใช้งานไดโอดและทรานซิสเตอร์ทำเป็นสวิตซ์ไฟฟ้า จากนั้นได้พัฒนาใช้อย่างกว้างขวางด้วย หลอดสุญญากาศ, โยแก้วนาแสง, ซีมอส จนถึงเมมริสเตอร์ วงจรลอจิกพื้นฐานสามารถน มาต่อเป็นวงจรดิจิทัลได้ เช่น วงจรบวกวงจรรีจิสเตอร์, มัลติเพล็กซ์เซอร์, หน่วยความจำ คอมพิวเตอร์ เป็นต้น วงจรลอจิกพื้นฐานมี 7 ชนิดคือ NOT gate, AND gate, OR gate, NAND gate, NOR gate, XOR gate และ XNOR gate ดังรูป 2.1 สมการและตารางความจริง 2.1



รูปที่ 2.1 ลอจิกเกตพื้นฐาน (a) NOT gate (b) AND gate (c) NAND gate (d) OR gate
(e) NOR gate (f) XOR gate (g) XNOR gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 สมการและตารางความจริงของลอจิกพื้นฐาน

Logic	A	B	Y	Eq.	Logic	A	B	Y	Eq.
NOT	0	0	1	$Y = \bar{A}$	NOR	0	0	1	$Y = \overline{A+B}$
	0	0	1			0	1	0	
	1	1	0			1	0	0	
	1	1	0			1	1	0	
AND	0	0	0	$Y = A \cdot B$	XOR	0	0	0	$Y = A \oplus B$
	0	1	0			0	1	1	
	1	0	0			1	0	1	
	1	1	1			1	1	0	
NAND	0	0	1	$Y = \overline{A \cdot B}$	XNOR	0	0	1	$Y = \overline{A \oplus B}$
	0	1	1			0	1	0	
	1	0	1			1	0	0	
	1	1	0			1	1	1	
OR	0	0	0	$Y = A + B$					
	0	1	1						
	1	0	1						
	1	1	1						

2.2 วงจรบวก

วงจรถูกใช้กันอย่างกว้างขวางในคอมพิวเตอร์และหน่วยประมวลผลต่างๆ นับว่าเป็นส่วนสำคัญอย่างมาก ซึ่งวงจรถูกคำนวณผลลัพธ์ด้วยการรวมตัวเลขด้วยพื้นฐานลอจิก ในส่วนของวงจรถูกสามารถประยุกต์ใช้จากวงจรถูกได้เช่นกัน

2.2.1 วงจรถูกครึ่ง (Half Adder)

วงจรถูกครึ่งสามารถบวกไบนารีสองจำนวน A กับ B ได้ผลลัพธ์อยู่ในรูปของผลบวก sum และตัวทด $carry$ โดยตัวทดจะเป็นค่าที่แสดงในหลักต่อไป วงจรถูกครึ่งสองวงจรถูกสามารถ
 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตเห็นไปใช้ประโยชน์ในการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมกันเป็นวงจรวกเต็มได้ สมการของผลบวกและตัวทศนั้นประยุกต์ได้หลายแบบบนพื้นฐานของสมการลอจิก ตัวอย่างดังสมการผลบวกที่ 2.1 และตัวทศที่ 2.2

$$Y = A \oplus B \quad (2.1)$$

$$Y = A \bullet B \quad (2.2)$$

ตารางที่ 2.2 ตารางความจริงของวงจรวกครึ่ง

Logic	A	B	Sum	Carry
half adder	0	0	0	0
	1	0	0	1
	0	1	0	1
	1	1	1	0

2.2.1 วงจรวกเต็ม (Full Adder)

วงจรวกเต็มบวกด้วยไบนารีอินพุตและตัวทศที่เพิ่มเข้ามา วงจรวกเต็มหนึ่งบิตใช้จำนวนเต็มสามจำนวน A , B และ C_{in} โดย A กับ B เป็นตัวดำเนินการและ C_{in} เป็นบิตทดสอบก่อนหน้า วงจรวกเต็มสามารถนำมาต่อขนาดได้หลายหลักเช่น วงจรวก 8, 16 หรือ 32 บิต เป็นต้น ผลลัพธ์อยู่ในรูปของผลบวก sum และตัวทศ $carry$ โครงสร้างของวงจรวกเต็มคือใช้วงจรวกครึ่งสองวงจรวกต่อกันโดยนำ A กับ B ป้อนเข้าที่วงจรวกครึ่งในครั้งแรกแล้วนำผลลัพธ์ที่ได้ป้อนเป็นอินพุตที่วงจรวกครึ่งหลังคู่กับ C_{in} สมการของผลบวกและตัวทศนั้นประยุกต์ได้หลายแบบบนพื้นฐานสมการผลบวกที่ 2.3 และตัวทศที่ 2.4

$$Y = A \oplus B \oplus C \quad (2.3)$$

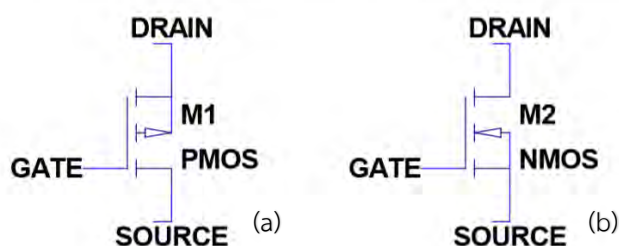
$$Y = (A \bullet B) + (C_{in} \bullet (A \oplus B)) \quad (2.4)$$

ตารางที่ 2.3 ตารางความจริงของวงจรรวมเต็ม

Logic	A	B	C _{in}	Sum	Carry
full adder	0	0	0	0	0
	0	0	1	1	0
	0	1	0	1	0
	0	1	1	0	1
	1	0	0	1	0
	1	0	1	0	1
	1	1	0	0	1
	1	1	1	1	1

2.3 ซีมอส

CMOS ชื่อเต็มคือ Complementary metal-oxide-semiconductor เป็นเทคโนโลยีที่มีโครงสร้างวงจรรวม (integrated circuit) เทคโนโลยีซีมอสถูกใช้อย่างกว้างขวางทั้งในวงจรแอนะล็อกและวงจรรวมดิจิทัล คุณสมบัติที่สำคัญของซีมอสมีสองอย่างคือมีความต้านทานสัญญาณรบกวนสูงและใช้พลังงานต่ำ วงจรลอจิกใช้ซีมอส N-type และ P-type MOSFETs ในการสร้างโครงสร้างของ PMOS ต้องได้รับอินพุตจากแหล่งจ่าย (VDD) หรือจาก PMOS ตัวอื่น เช่นเดียวกับ NMOS ต้องได้รับอินพุตจากกราวด์ (Ground) หรือจาก NMOS ตัวอื่น องค์ประกอบของ PMOS มีความต้านทานต่ำที่ซอร์ส (source) และชาเดรน (drain) เมื่อถูกป้อนด้วยแรงดันต่ำและจะมีค่าความต้านทานสูงเมื่อถูกป้อนแรงดันสูง ในทางตรงกันข้ามองค์ประกอบของ NMOS มีความต้านทานสูงที่ซอร์ส (source) และชาเดรน (drain) เมื่อถูกป้อนด้วยแรงดันต่ำและจะมีค่าความต้านทานต่ำเมื่อถูกป้อนแรงดันสูง ในทางตรงกันข้ามรูปที่ 2.2 แสดงสัญลักษณ์ของ PMOS และ NMOS

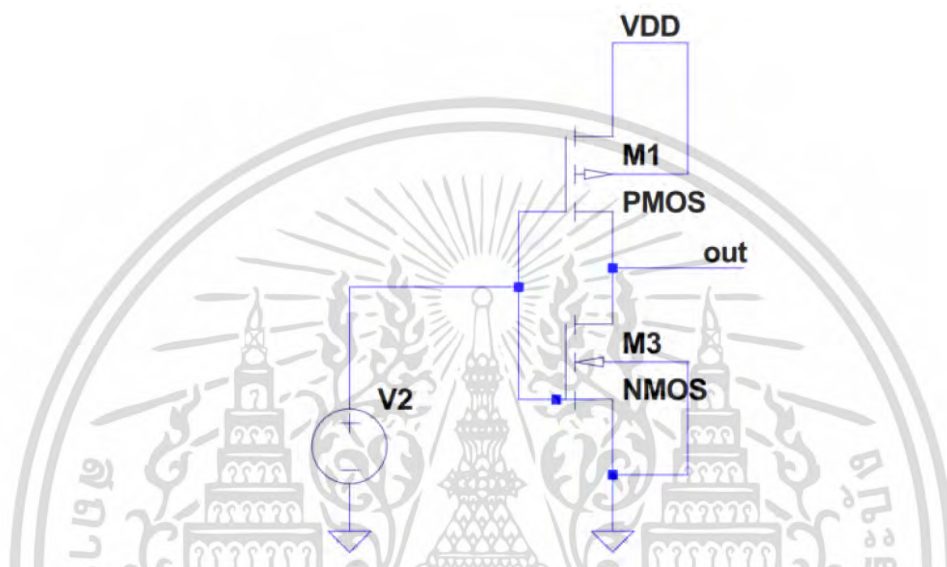


รูปที่ 2.2 (a) PMOS (b) NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 วงจรซีมอสอินเวอร์เตอร์

จากรูปที่ 2.3 แสดงวงจรอินเวอร์เตอร์ เมื่อป้อนแหล่งจ่ายแรงดันสูง ($V_2=V_{DD}$) PMOS_M1 มีสถานะปิด (ค่าความต้านทานสูง) และ NMOS_M3 มีสถานะเปิด (ค่าความต้านทานต่ำ) ทำให้เอาต์พุตมีค่าเท่ากับกราวด์ เมื่อป้อนแหล่งจ่ายแรงดันต่ำ ($V_2=GND$) PMOS_M1 มีสถานะเปิด และ NMOS_M3 มีสถานะปิดทำให้เอาต์พุตมีค่าเท่ากับแหล่งจ่าย ค่าตารางความจริงของวงจรซีมอสอินเวอร์เตอร์เป็นตามตารางที่ 2.4



รูปที่ 2.3 วงจร NOT gate จากซีมอส

ตารางที่ 2.4 ตารางความจริงของอินเวอร์เตอร์ซีมอส

V2	PMOS_M1	NMOS_M3	out
0	OPEN	CLOSE	1
1	CLOSE	OPEN	0

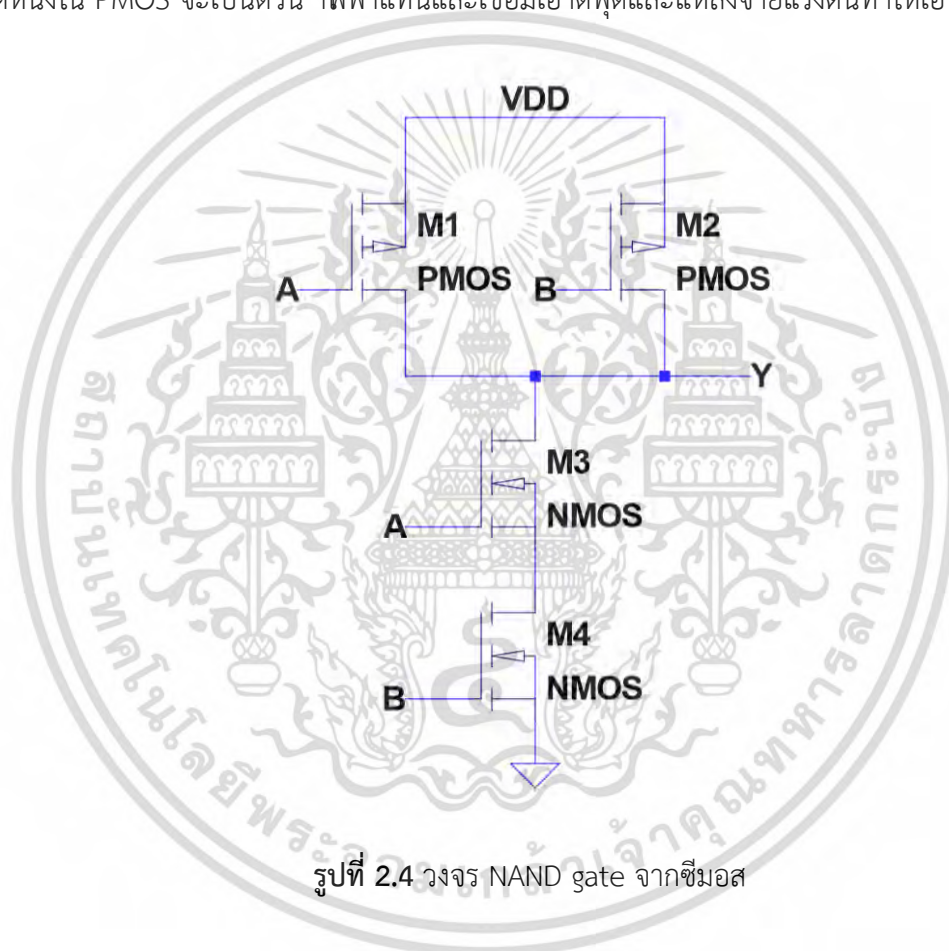
2.3.2 วงจรซีมอสลอจิก

ฟังก์ชันตรรกะที่ซับซ้อนเช่น AND และ OR gate ต้องมีการจัดการเส้นทางระหว่างลอจิกเกต เมื่อเส้นทางประกอบด้วยทรานซิสเตอร์สองตัวอนุกรมกันทรานซิสเตอร์สองตัวนั้นต้องมีความต้านทานต่ำซึ่งสัมพันธ์ต่อแรงดันไฟฟ้าและสร้างเป็นแบบจำลองของ AND เมื่อเส้นทางประกอบด้วยทรานซิสเตอร์สองตัวขนานกันหนึ่งในทรานซิสเตอร์หรือทั้งคู่ต้องมีความต้านทานต่ำเพื่อเชื่อมแรงดันไฟฟ้าสู่เอาต์พุต รูปที่ 2.4 แสดงถึงการสร้างวงจร NAND gate

ถ้าแหล่งจ่าย A และ B เป็นแรงดันสูงทรานซิสเตอร์ NMOS ทั้งคู่จะเป็นตัวนำไฟฟ้า ตรงข้ามกับทรานซิสเตอร์ PMOS จะเป็นฉนวนไฟฟ้า เส้นทางของตัวนำไฟฟ้าจะเชื่อมระหว่างเอาต์พุตและกราวด์ ทำให้เอาต์พุตต่ำ

ถ้าแหล่งจ่าย A และ B เป็นแรงดันต่ำทรานซิสเตอร์ NMOS ทั้งคู่จะเป็นฉนวนไฟฟ้า ในขณะที่ทรานซิสเตอร์ PMOS จะเป็นตัวนำไฟฟ้า เส้นทางของตัวนำไฟฟ้าจะเชื่อมระหว่างเอาต์พุตและแหล่งจ่ายแรงดัน ทำให้เอาต์พุตสูง

ถ้าแหล่งจ่าย A และ B ตัวใดตัวหนึ่งมีค่าแรงดันต่ำ NMOS ตัวหนึ่งจะไม่เป็นตัวนำไฟฟ้า แต่หนึ่งใน PMOS จะเป็นตัวนำไฟฟ้าแทนและเชื่อมเอาต์พุตและแหล่งจ่ายแรงดันทำให้เอาต์พุตสูง



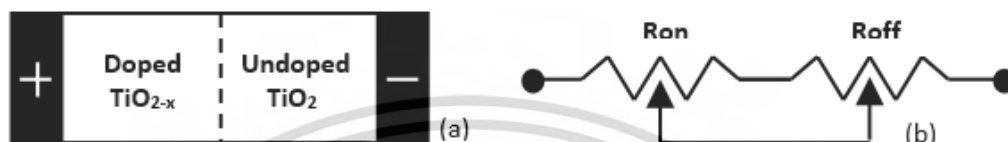
รูปที่ 2.4 วงจร NAND gate จากซีมอส

2.4 เมมริสเตอร์

เมมริสเตอร์เป็นการรวมกันของหน่วยความจำและตัวต้านทาน (memory+resistor) ทฤษฎีของเมมริสเตอร์ถูกรายงานเป็นครั้งแรกโดย Leon Chua ในปี 1971 เขาค้นพบเมมริสเตอร์เป็นองค์ประกอบพาสซีฟที่สี่หลังจากตัวต้านทาน, ตัวเก็บประจุและตัวเหนี่ยวนำ โดยเมมริสเตอร์แสดงถึงเอกลักษณ์ pinched hysteresis loop สัญลักษณ์และวงจรเสมือนของเมมริสเตอร์แสดงดังรูปที่ 2.5 โครงสร้างเมมริสเตอร์หนึ่งตัว มี titanium dioxide (TiO_2) แบบบาง ระหว่างโลหะทั้งสอง

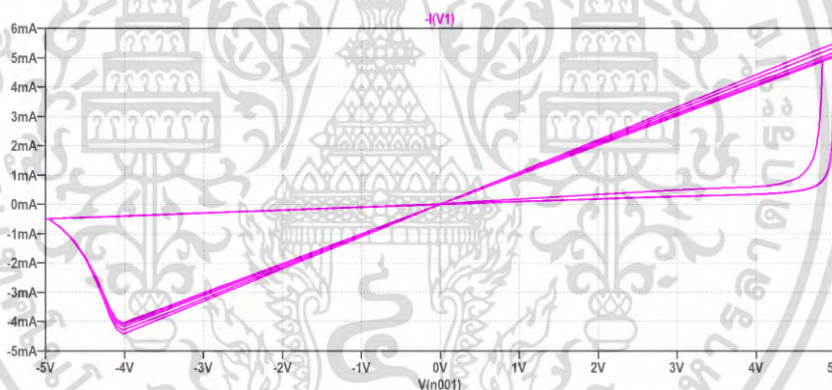
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้าน (Pt) โลหะอยู่ที่บนและล่างของขั้วไฟฟ้า ข้างในแบ่งฟิล์มบาง TiO_2 ถูกประกอบทั้งสองชั้น ชั้นแรกเป็นชั้นของ titanium oxide บริสุทธิ์ เป็นตัวแทนจากฉนวนไฟฟ้าโดยธรรมชาตินอกจากนั้นยังแสดงถึงพื้นที่ไม่โดป (undoped region) และมีความต้านทานสูง ความต้านทานสูงสุดถูกเรียกว่า R_{OFF} ชั้นที่สองเป็น titanium oxide ผสม มีความเป็นตัวนำเนื่องจากมีประจุบวกอยู่ในที่ว่างของออกซิเจน และถูกเรียกว่าตัวนำแสดงถึงพื้นที่โดป (doped region) และมีความต้านทานต่ำ ความต้านทานต่ำสุดถูกเรียกว่า R_{ON}



รูปที่ 2.5 (a) สัญลักษณ์ของเมมริสเตอร์ (b) วงจรเสมือนของเมมริสเตอร์

ด้านขั้วไฟฟ้าของเมมริสเตอร์เป็นขั้วบวกเมื่อป้อนแรงดันไฟฟ้าเข้าทำให้ค่าความต้านทานของเมมริสเตอร์มีค่าต่ำ ลงในทางตรงข้ามหากป้อนแรงดันไฟฟ้าเข้าขั้วลบค่าความต้านทานของเมมริสเตอร์มีค่าสูงขึ้นตามคุณสมบัติ pinched hysteresis loop ดังรูปที่ 2.6



รูปที่ 2.6 คุณสมบัติ pinched hysteresis loop ของเมมริสเตอร์

เมมริสเตอร์ถูกนำไปพัฒนาในหลายแอปพลิเคชันทั้งบนส่วนของ หน่วยความจำ, แบบจำลองระบบประสาท, วงจรแอนะล็อกและวงจรดิจิทัล อุปกรณ์เมมริสเตอร์สามารถสร้างวงจรลอจิกได้แต่สามารถทำได้เพียงวงจร AND gate และ OR gate ในส่วนของวงจรที่เหลืต้องใ้คู่กับ CMOS เป็น hybrid memristor CMOS หรือ MeMOS (Memristor + CMOS)

2.5 แบบจำลองเมมริสเตอร์ทางสมการคณิตศาสตร์

ความกว้างของพื้นที่โดป w และความยาวทั้งหมดของชั้น TiO_2 ถูกเรียกว่า D ผลรวมของพื้นที่โดปและไม่โดปแสดงค่าความต้านทานทั้งหมดของเมมริสเตอร์เรียกว่า R_{MEM} ซึ่ง z คือความกว้างของพื้นที่โดปต่อความยาวทั้งหมด อ้างอิงถึงความยาวทั้งหมด D ของชั้น TiO_2 สมการสำหรับค่าความต้านทานรวมของเมมริสเตอร์แสดงดังสมการที่ (2.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{MEM}(z) = R_{ON}z + R_{OFF}(1-z) \quad (2.5)$$

$$\text{where } z = \frac{w}{D} \in (0,1) \quad (2.6)$$

ที่ x แสดงถึงขอบเขตระหว่างพื้นที่โดปและไม่โดปบนพื้นฐานความสัมพันธ์ระหว่างแรงดันเมมริสเตอร์และกระแสจากกฎของโอร์มจะได้

$$v(t) = R_{MEM}(z)i(t) \quad (2.7)$$

สมการที่ (2.5) ถูกแทนในสมการที่ (2.7) ทำให้ได้สมการที่ (2.8) เมื่อไบแอสภายนอก $v(t)$ ถูกป้อนเข้าสู่อุปกรณ์ แรงดันส่งผลให้สารเจือปนมีการเปลี่ยนแปลง เคลื่อนที่ระหว่างขอบเขตของสองพื้นที่ ดังนั้นมีค่าเปลี่ยนแปลงการเคลื่อนไหวไอออน μ_v ในอุปกรณ์ ขอบเขตของประจุถูกแสดงในสมการที่ (2.9)

$$v(t) = (R_{ON}z(t) + R_{OFF}(1-z(t)))i(t) \quad (2.8)$$

$$\frac{dx(t)}{dt} = \mu_v \frac{R_{ON}}{D^2} i(t) \quad (2.9)$$

ปริพันธ์สมการที่ (2.9) จะได้ผล $z(t)$ เป็นดังสมการที่ (2.10)

$$z(t) = \mu_v \frac{R_{ON}}{D^2} q(t) \quad (2.10)$$

ด้วยจากแทนสมการที่ (2.10) ไปสู่สมการที่ (2.8) (ปกติ $R_{ON} \ll R_{OFF}$) จะได้ค่าความต้านทานเมมริสเตอร์ของระบบ $M(q)$ สมการที่ (2.11) แสดงถึงค่าความต้านทานเมมริสเตอร์แปรผันตามประจุที่วิ่งผ่านอุปกรณ์, ความเร็วที่เปลี่ยนแปลง, ค่าความต้านทานอุปกรณ์และความหนาของ TiO_2

$$M(q) = R_{OFF} \left(1 - \frac{\mu_v R_{ON}}{D^2} q(t) \right) \quad (2.11)$$

2.6 แบบจำลองระบบตัดลีนค่าความต้านทานเมมริสเตอร์สองขั้วด้วยเทรซโฮลต์ [4]

แบบจำลองนี้ค่าความต้านทาน R เปลี่ยนแปลงไปตามค่าตัวแปร x หรือ $x = R$ กำหนดให้ค่าสถานะอุปกรณ์เปลี่ยนตามสมการ

$$I = x^{-1}V_M \quad (2.12)$$

$$\frac{dx}{dt} = f(V_M)W(x, V_M) \quad (2.13)$$

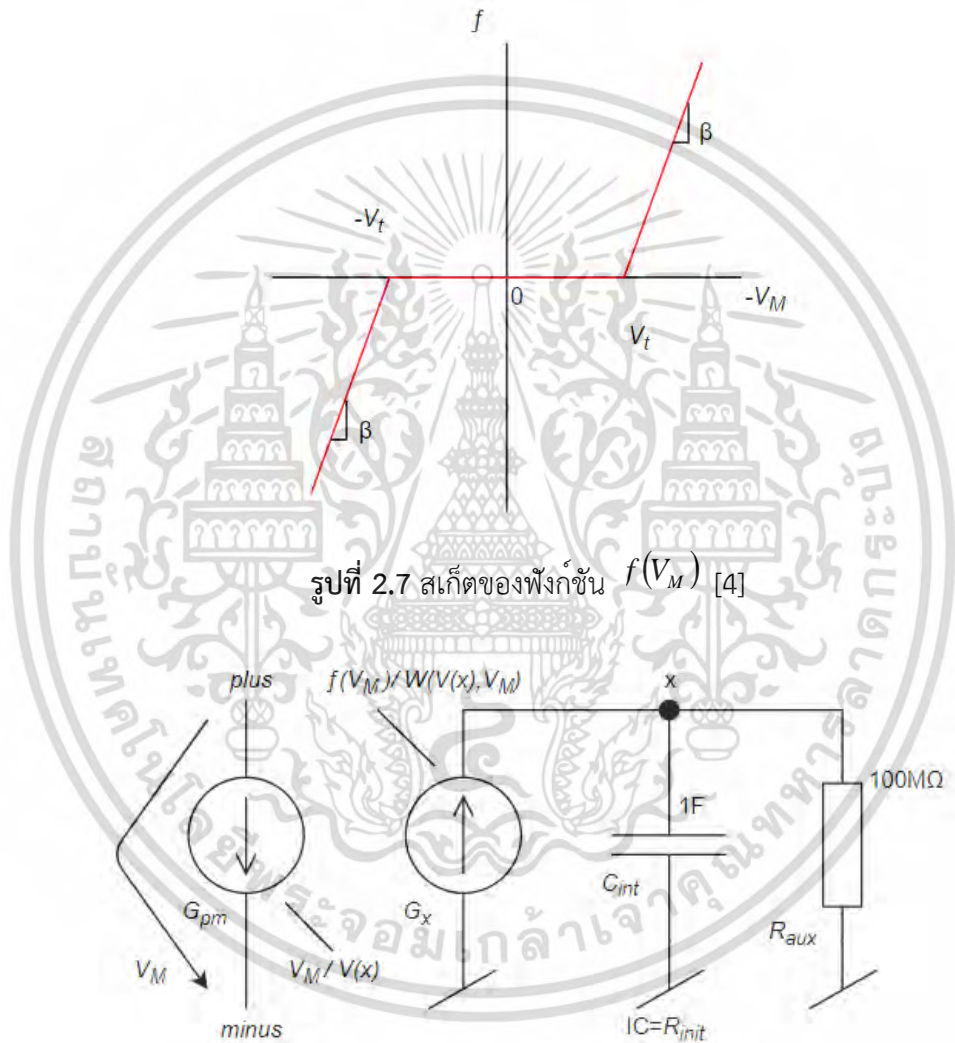
ซึ่ง $f(\cdot)$ เป็นฟังก์ชันการจำลองคุณสมบัติเทรซโฮลต์ตามรูปที่ 2.7 และ $W(\cdot)$ เป็นฟังก์ชันหน้าต่าง (Window function) :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f(V_M) = \beta(V_M - 0.5[|V_M + V_t| - |V_M - V_t|]) \quad (2.14)$$

$$W(x, V_M) = \theta(V_M)\theta(R_{off} - x) + \theta(-V_M)\theta(R_{off} - x) \quad (2.15)$$

ที่ $x(\cdot)$ เป็นฟังก์ชันขั้นบันได (step function) β เป็นค่าจำนวนเต็มบวก อัตราคุณสมบัติพิเศษของค่าความต้านทานเปลี่ยนเมื่อ $|V_M| > V_t$ โดย V_t คือแรงดันเทอร์สโวลต์และ R_{on} และ R_{off} ถูกจำกัดด้วยค่าของค่าความต้านทาน R ในสมการที่ (2.15) บทบาทของ θ ฟังก์ชันคือจำกัดค่าความต้านทานให้เปลี่ยนอยู่ในขอบเขตระหว่าง R_{on} และ R_{off}



รูปที่ 2.7 สเก็ทของฟังก์ชัน $f(V_M)$ [4]

รูปที่ 2.8 โมเดลระบบตัดสินค้าความต้านทานเมมริสเตอร์สองขั้วด้วยเทอร์สโวลต์ [4]

สมการที่ (2.12)-(2.15) จัดเตรียมคุณสมบัติจริงของอุปกรณ์ไบโพลาร์เมมริสเตอร์ แบบจำลองถูกใส่เป็นค่าของค่าความต้านทานและชนิดเทอร์สโวลต์ ในอุปกรณ์เมมริสเตอร์จำนวนมากค่าความต้านทานเปลี่ยนไปตามอะตอมที่เคลื่อนที่ไปตามพื้นที่ที่ใช้ได้และใช้ไม่ได้ด้วยการไหลกระแสไฟฟ้า อย่างไรก็ตามแบบจำลองด้วยแรงดันเทอร์สโวลต์แสดงให้เห็นถึงประสิทธิภาพที่ดีกว่าแบบกระแสเดียว จากจุดสังเกตการวิเคราะห์นิวเมอริคอลของสมการที่ (2.12) การตัดสินสถานะในการเปลี่ยนค่าตัวแปร x ไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นปัญหาเมื่อค่าความต้านทานเปลี่ยนไปตามขอบเขต R_{on} ถึง R_{off} เท่านั้น บนพื้นฐานของสมการที่ (2.12) และ (2.13) แผนผังพื้นฐานของการจำลองด้วย SPICE ถูกแสดงอยู่ในรูปที่ 2.8

ต่อมาค่าปริพันธ์ของความต้านทาน (2.13) ถูกออกแบบด้วยการควบคุมกระแสแหล่งจ่าย G_x และมันรวมเข้ากับค่าความต้านทานในโอห์มที่ค่าเท่ากับแรงดันของโนด x ในแรงดันที่กำหนดโดยสมการที่ (2.12) พอร์ทของเมมริสเตอร์ถูกแบบด้วยแหล่งจ่ายกระแส G_{pm} เป็นกระแสที่ถูกคำนวณด้วยค่าอัตราของแรงดันไฟฟ้าและค่าความต้านทาน ที่สมการ (2.14) และ (2.15) ประกอบด้วยฟังก์ชันขั้นบันไดแบบไม่ต่อเนื่องและฟังก์ชันปริพันธ์ไม่ต่อเนื่อง ซึ่งสามารถเป็นต้นก ชนิดของปัญหาการลู่เข้า (SERIOUS convergence problem) โดยเฉพาะอย่างยิ่งสำหรับแอปพลิเคชันที่นำไปใช้ในแบบจำลองขนาดใหญ่ ในสถานการณ์นี้ฟังก์ชันราบเรียบ (smoothed functions) สามารถถูกใช้บนพื้นฐานแบบจำลองรูปตัวเอส (sigmoid modeling) ของฟังก์ชันขั้นบันไดตามสมการที่ (2.16)

$$\theta_s(x) = \frac{1}{1 + e^{-x/b}} \quad (2.16)$$

ซึ่ง b คือตัวแปรราบเรียบ (smoothing parameter)

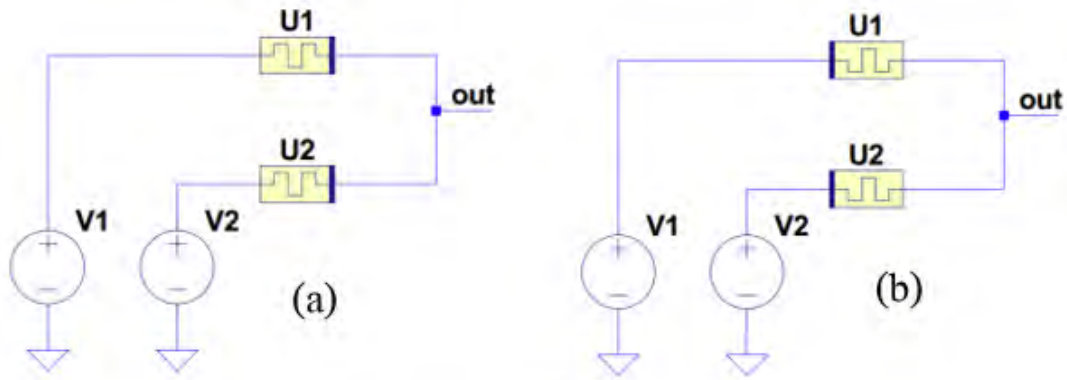
จากนั้นเวอร์ชันราบเรียบ (smoothed version) ของฟังก์ชันค่าสัมบูรณ์ $abs(s)$ สามารถเขียนได้เป็นสมการที่ (2.17)

$$abs_s(x) = x[\theta_s(x) - \theta_s(-x)] \quad (2.17)$$

ถ้าปัญหาการลู่เข้าปรากฏการจับคู่ระหว่างค่าความถูกต้องและค่าความเสถียรสามารถหาได้ผ่านการเปลี่ยนค่าตัวแปร b เพื่อความเรียบง่ายความสอดคล้องของฟังก์ชันราบเรียบ $stp_s(x)$, $abs_s(x)$ และฟังก์ชัน $f_s(x)$ และ $W_s(x)$ ถูกปริพันธ์จากและกำหนดในรหัสเริ่มต้น (source code) ด้วยวงจรร้อยละแต่ละตัว

2.7 การออกแบบวงจรบวกเต็มโดยซีมอสและเมมริสเตอร์ [3]

จากคุณสมบัติของเมมริสเตอร์สามารถออกแบบวงจร AND gate และวงจร OR gate ซึ่งการออกแบบวงจร AND gate สร้างโดยการนำขั้วบวกของเมมริสเตอร์สองตัวต่อเข้าหากันและป้อนอินพุตเข้าทางขั้วลบดังรูปที่ 2.9 (a) แรงดันบวกที่ป้อนเข้าขั้วลบส่งผลให้ค่าความต้านทานของเมมริสเตอร์มีค่าเพิ่มขึ้น ในทางเดียวกันการออกแบบวงจร OR gate ทำโดยการนำขั้วลบของเมมริสเตอร์สองตัวต่อเข้าหากันและป้อนอินพุตเข้าทางขั้วบวกดังรูปที่ 2.9 (b) แรงดันบวกที่ป้อนเข้าขั้วบวกส่งผลให้ค่าความต้านทานของเมมริสเตอร์มีค่าน้อยลง



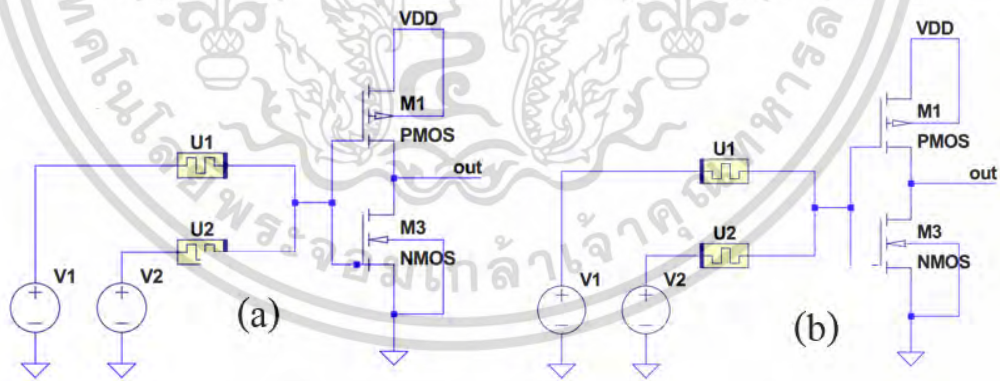
รูปที่ 2.9 (a) วงจร AND gate (b) วงจร OR gate [2]

จากสมการที่ (2.18) กำหนดให้ค่า $V_1=V_{DD}$, $V_2=0V$ ทำให้ได้ค่าสมการลอจิกเป็น AND gate และสมการลอจิกเป็น OR gate ตามลำดับ

$$V_{out} = V_1 \frac{R_1}{R_1 + R_2} \quad (2.18)$$

โดยค่า R_1 คือค่าความต้านทานของเมมริสเตอร์ U1 และค่า R_2 คือค่าความต้านทานของเมมริสเตอร์ U2

ส่วนการออกแบบวงจร NAND gate และวงจร NOR gate โดยการเพิ่มวงจรซีมอสอินเวอร์เตอร์เข้าไป แสดงดังรูปที่ 2.10



รูปที่ 2.10 (a) วงจร NAND gate (b) วงจร NOR gate [2]

การออกแบบวงจรบวกเต็มโดยซีมอสและเมมริสเตอร์ สามารถออกแบบวงจรลอจิกเกตได้หลายแบบรวมถึงวงจรบวก การออกแบบวงจร XOR เป็นดังสมการที่ (2.19) และรูปที่ 2.11 ส่วนตัวทด (carry) ส่วนวงจรบวกครึ่งโดยซีมอสและเมมริสเตอร์เพิ่มด้วย OR gate 1 ชุด ตามสมการที่ (2.20) และรูปที่ 2.12

$$sum = \bar{A}B + A\bar{B} \quad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

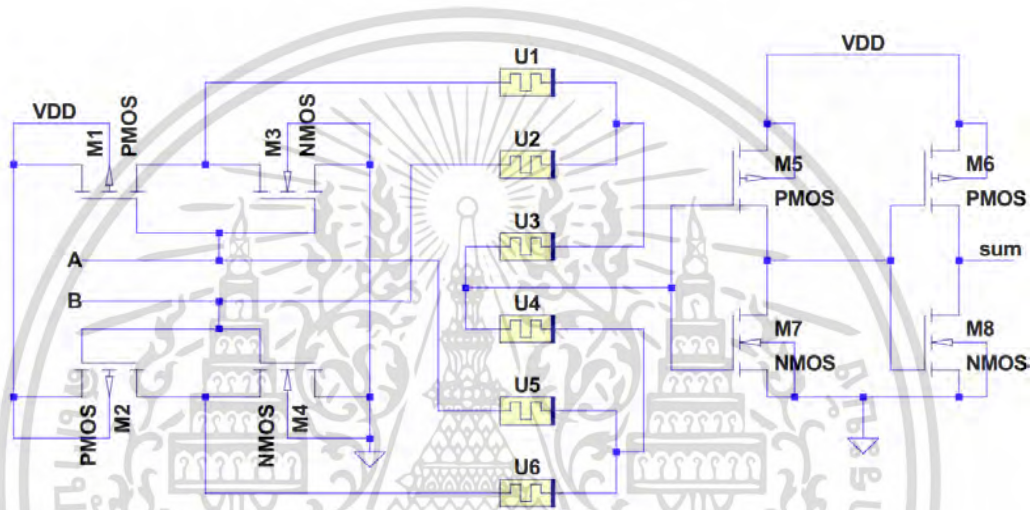
$$C_{out} = AB \tag{2.20}$$

ส่วนการออกแบบวงจรบวกเป็นดังสมการที่ (2.21) และ (2.22) ในการออกแบบประกอบไปด้วยเมมริสเตอร์ 18 ตัวและซีมอส 20 ตัว ดังรูปที่ 2.13

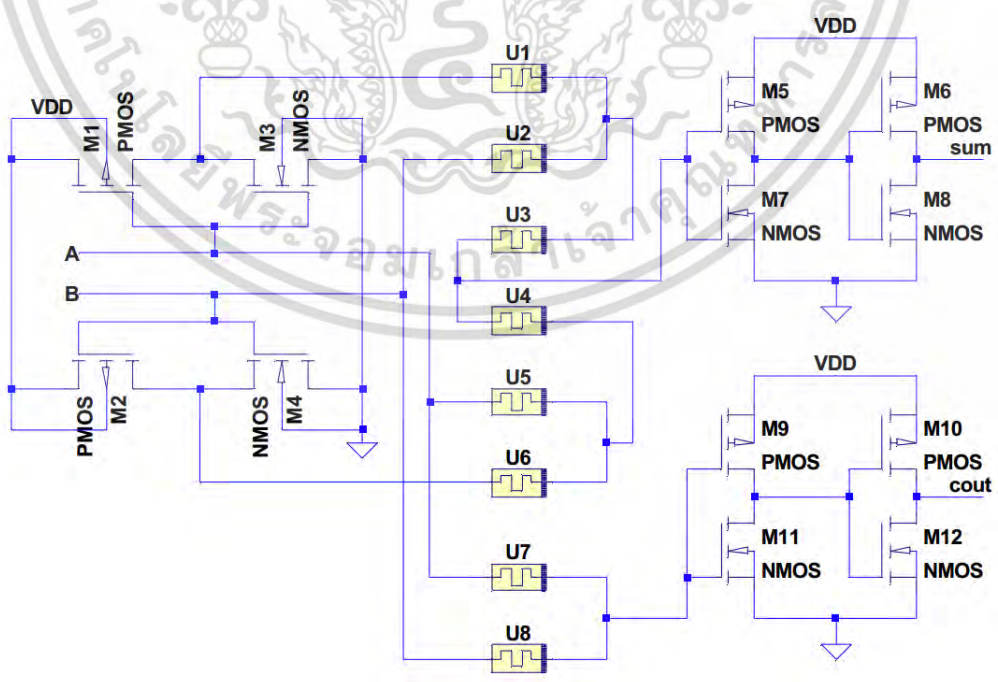
$$sum = C_{in}(AB + \overline{AB}) + C_{in}(\overline{AB} + A\overline{B}) \tag{2.21}$$

$$C_{out} = AB + BC_{in} + AC_{in} \tag{2.22}$$

จำนวนอุปกรณ์แต่ละวงจรที่ใช้ในวงจรที่ออกแบบโดย ซีมอสและเมมริสเตอร์เป็นไปตามตารางที่ 2.5

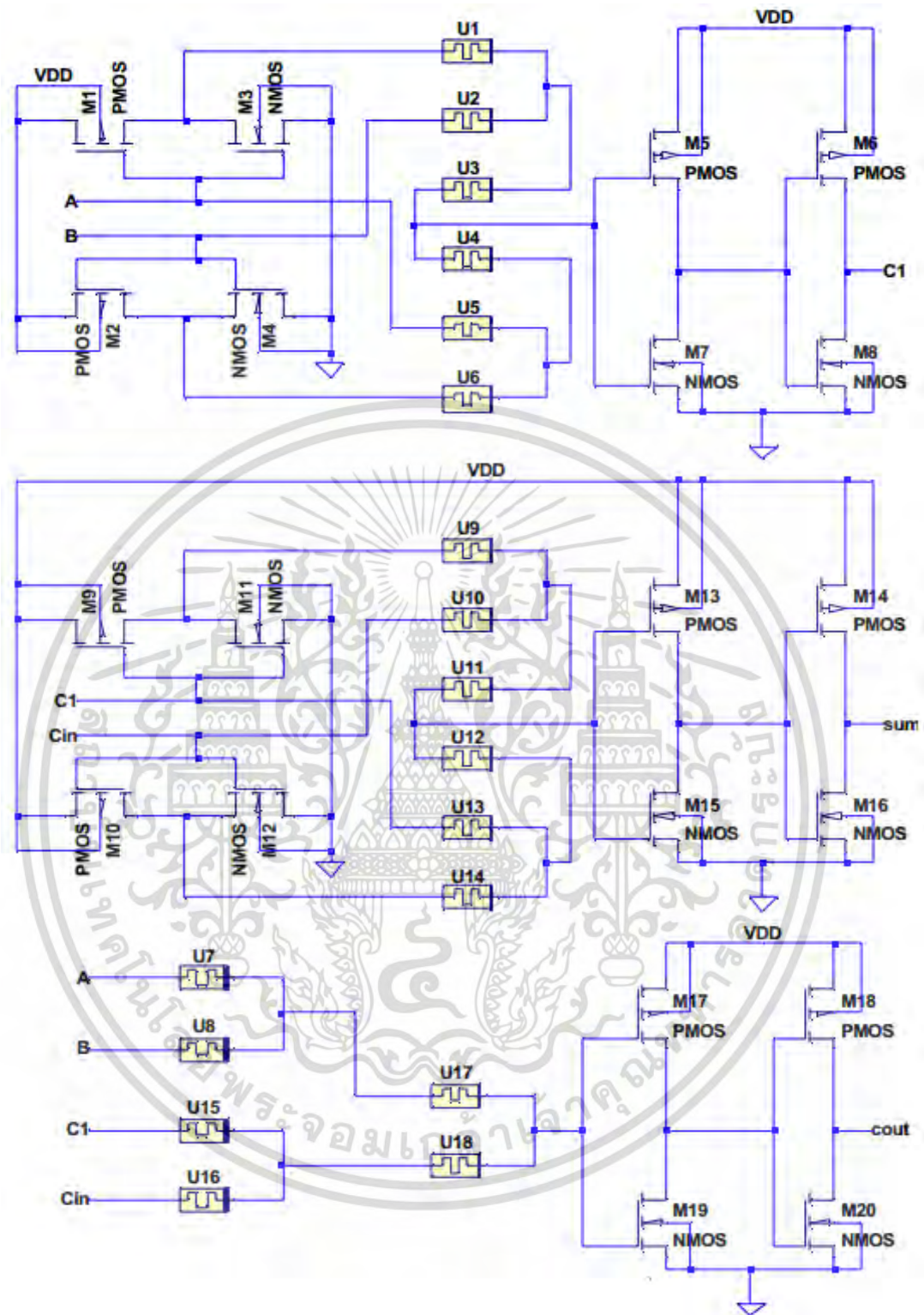


รูปที่ 2.11 ออกแบบเอ็กซ์คลูซีฟออร์เกตโดยซีมอสและเมมริสเตอร์ [3]



รูปที่ 2.12 ออกแบบวงจรบวกครึ่งโดยซีมอสและเมมริสเตอร์ [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 ออกแบบวงจรบวกเต็มโดยซีมอสและเมมริสเตอร์ [3]

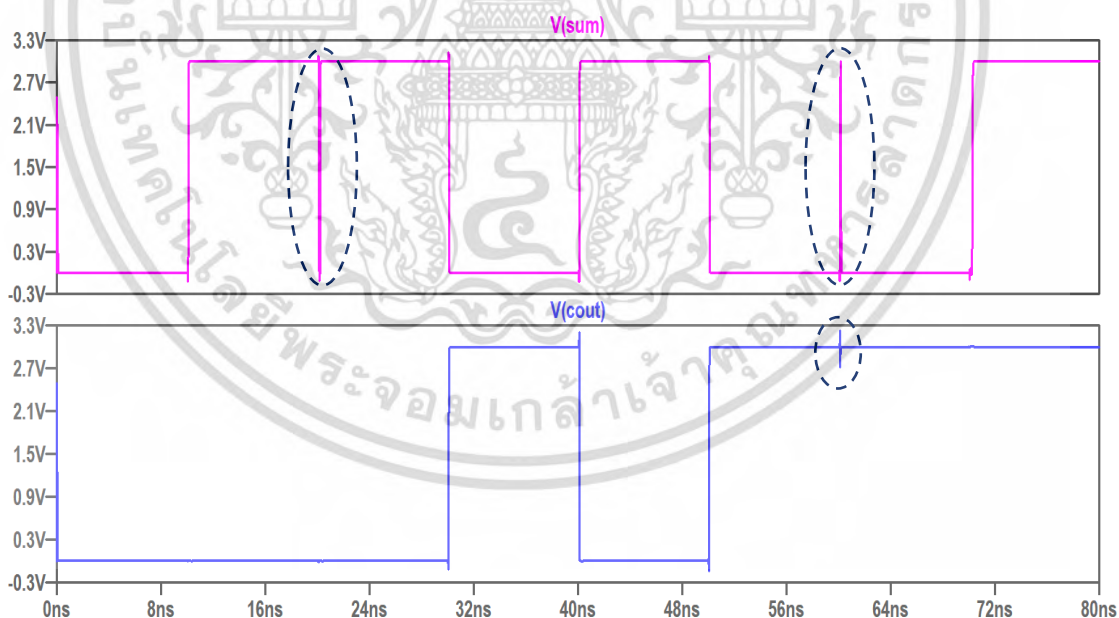
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.5 จ านวนอุปกรณ์ที่ใช้ในวงจรที่ออกแบบโดยซีมอสและเมมริสเตอร์

	เมมริสเตอร์	ซีมอส
นอตเกต	0	2
แอนดเกต	2	0
ออร์เกต	2	0
แนนดเกต	2	2
นอร์เกต	2	2
เอ็กซ์คลูซิฟออร์เกตโดยซีมอสและเมมริสเตอร์	6	8
วงจรวกครึ่งโดยซีมอสและเมมริสเตอร์	8	12
วงจรวกเต็มโดยซีมอสและเมมริสเตอร์	18	20

2.8 Dynamic Hazards

เมื่อป้อนแหล่งจ่ายเข้าวงจรดังรูป 2.13 โดยให้ $V_{DD} = 3V$ จะได้ผลลัพธ์เป็นดังรูป 2.14



รูปที่ 2.14 แสดงตัวอย่างของ Dynamic Hazards

จากผลลัพธ์จะเห็นว่าเอาต์พุตไม่ได้ถูกต้องเสมอไปถ้าอินพุตเกิดการเปลี่ยนแปลงสิ่งที่เกิดขึ้นกับเอาต์พุตเนื่องจากแรงดันจากจุดต่อเชื่อมต่อกับเมมริสเตอร์ที่ความต้านทานต่ำและเมื่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

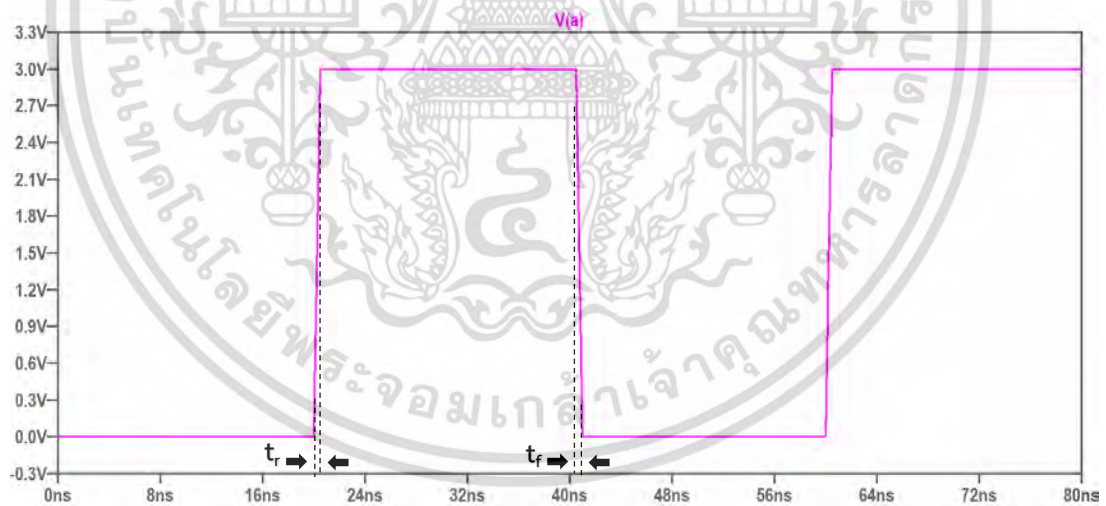
อินพุตเกิดการเปลี่ยนแปลงทำให้ค่าความต้านทานของเมมริสเตอร์เปลี่ยนแปลงส่งผลให้เกิดความหน่วงเวลาต่อเอาต์พุต สิ่งที่เกิดขึ้นเส้นประในรูป 2.14 ถูกเรียกว่า “Dynamic Hazards” ซึ่งสามารถพบเห็นได้มากในวงจรลอจิกเกต [6]

2.9 ขอบขาขึ้นและขอบขาลง (Rise Time and Fall Time)

ขอบขาขึ้นและขอบขาลงมีความสำคัญอย่างมากในวงจรอิเล็กทรอนิกส์ความเร็วสูง เนื่องจากเป็นตัวชี้วัดความสามารถของวงจรเพื่อตอบสนองต่อสัญญาณอินพุตได้อย่างรวดเร็ว ค่าขอบขาขึ้นและขอบขาลงมีความสำคัญทั้งในวงจรดิจิทัลและวงจรแอนะล็อก ที่วงจรดิจิทัลบ่งบอกถึงความเร็วในการเปลี่ยนสถานะจากต่ำไปสูงหรือสูงไปต่อ ที่วงจรแอนะล็อกบ่งบอกถึงความเร็วในการเปลี่ยนสัญญาณ ในวงจรอิเล็กทรอนิกส์เมื่ออธิบายถึงฟังก์ชันขั้นบันได (step function) ขอบขาขึ้น (t_r) คือเวลาที่สัญญาณเปลี่ยนจากค่าต่ำไปสู่ค่าสูง ขอบขาลง (t_f) คือเวลาที่สัญญาณเปลี่ยนจากค่าสูงไปค่าต่ำ โดยอธิบายอยู่ในรูปของอัตราส่วนหรือเปอร์เซ็นต์ ในวงจรแอนะล็อกหรือดิจิทัล คำนวณจาก 10% และ 90% ของความสูงสัญญาณในช่วงเสถียร ตามสมการ 2.23 และ 2.24 ตามลำดับ ตัวอย่างค่าขอบขาขึ้นและขอบขาลงแสดงดังรูปที่ 2.15

$$t_r = t_{0.9(VDD)} - t_{0.1(VDD)} \quad (2.23)$$

$$t_f = t_{0.1(VDD)} - t_{0.9(VDD)} \quad (2.24)$$



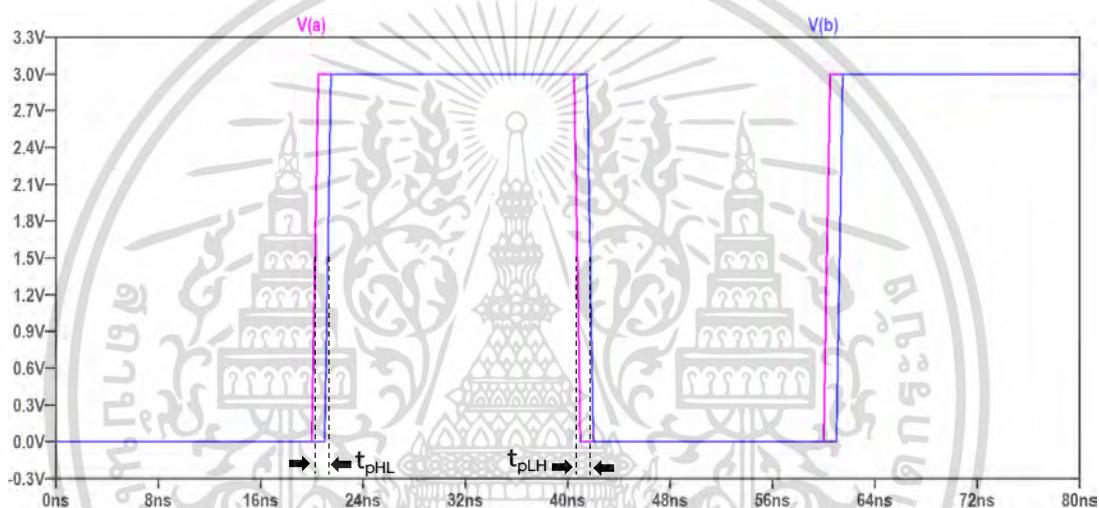
รูปที่ 2.15 ขอบขาขึ้นและขอบขาลงของฟังก์ชันขั้นบันได

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ค่าความหน่วงของลอจิกเกต (Gate Propagation Delay)

ความหน่วงของวงจรสามารถอธิบายได้ถึงประสิทธิภาพของวงจรดิจิทัลโดยค่าความหน่วงคือค่าเฉลี่ยความแตกต่างทางเวลาของอินพุตและเอาต์พุต t_p ในวงจรลอจิกเกตวัดจากช่วงเวลาที่ยินพุตจากช่วงเสถียรและเปลี่ยนแปลงไป 50% t_{pHL} เทียบกับช่วงเวลาที่เอาต์พุตจากช่วงเปลี่ยนแปลง 50% t_{pLH} ไปสู่ช่วงเสถียรโดยวัดจากเส้นทางที่ยาวที่สุดตัวอย่างความหน่วงเวลาแสดงดังรูปที่ 2.16

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (2.25)$$



รูปที่ 2.16 ค่าความหน่วงของเอาต์พุต

2.11 กำลังงานสูญเสีย (Power Consumption)

ลอจิกเกตจำเป็นต้องใช้พลังงานและจะสูญเสียพลังงานในรูปของความร้อนเนื่องจากมีค่าความจุไฟฟ้าแฝงอยู่โดยแบ่งออกเป็นสองประเภทคือพลังงานสูญเสียสถิตเสียพลังงานเมื่อลอจิกเกตไม่มีการเปลี่ยนสถานะ และพลังงานสูญเสียไดนามิกเสียพลังงานเมื่อลอจิกเกตมีการเปลี่ยนสถานะลอจิกปกติแล้วพลังงานสูญเสียไดนามิกจะเสียพลังงานเยอะกว่าพลังงานสูญเสียเนื่องจากตัวลอจิกเกตมีการเปลี่ยนสถานะอยู่ตลอดเวลา

บทที่ 3 วงจรที่นำเสนอ

3.1 วงจรทดสอบคุณสมบัติเมมริสเตอร์

โมเดลของเมมริสเตอร์ถูกจำลองด้วยโปรแกรม LTspice โดยใช้แบบจำลองระบบตัดสลับ ค่าความต้านทานเมมริสเตอร์สองขั้วด้วยเทรซโฮลด์ ทดสอบป้อนแหล่งจ่ายไซน์แรงดัน 5 V ความถี่ 50 MHz แสดงดังรูปที่ 3.1 เพื่อตรวจสอบคุณสมบัติ prince heterolysis loop ของเมมริสเตอร์



รูปที่ 3.1 วงจรเมมริสเตอร์

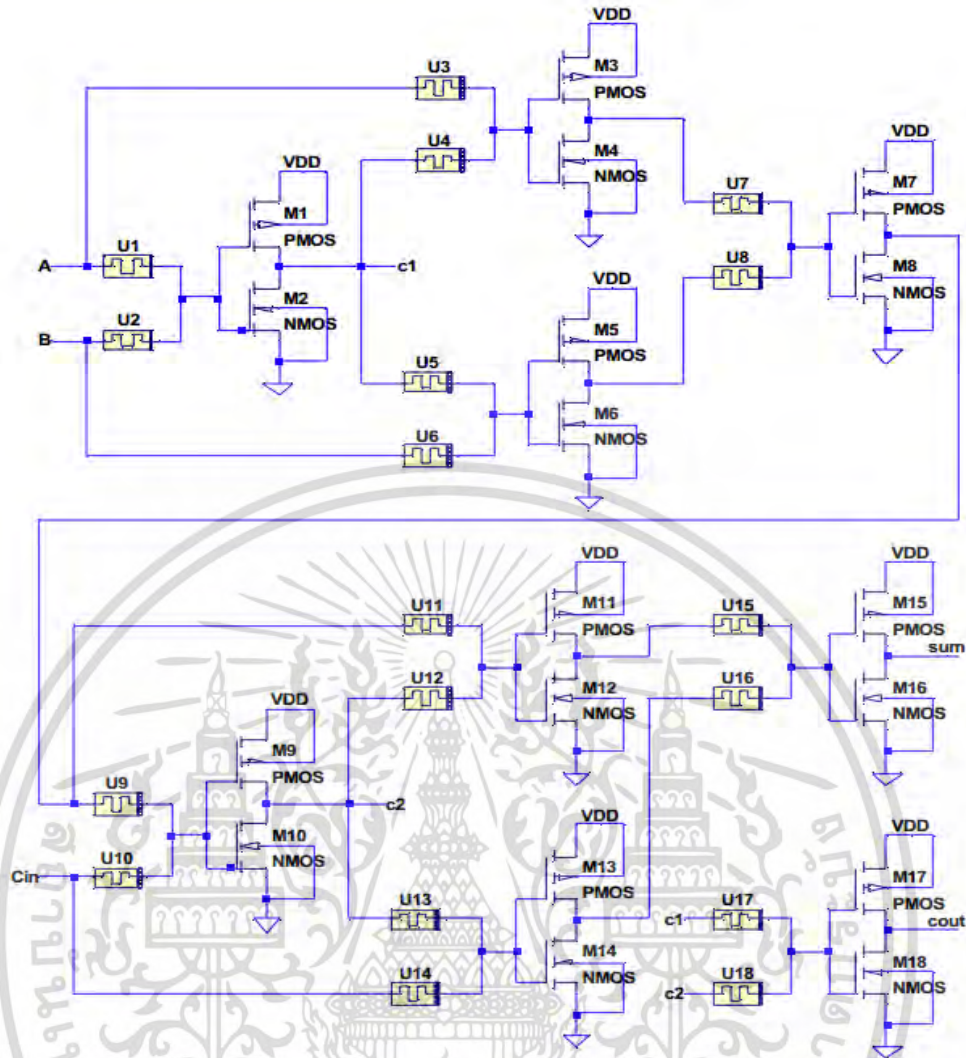
3.2 การออกแบบวงจรที่นำเสนอ

การออกแบบวงจรที่นำเสนอ (Memristor-CMOS half adder circuit using NAND gate) สามารถใช้วงจรเอ็กซ์คลูซีฟออร์เกตสมการที่ (3.1) และรูปที่ 3.2 ด้วยการเพิ่มตัวทวดจะได้บวก ครึ่งดังสมการที่ (3.2) และรูปที่ 3.3

$$sum = X = \overline{\overline{AB} \cdot A} \cdot \overline{\overline{AB} \cdot B} \quad (3.1)$$

$$C_{out} = \overline{\overline{AB}} \quad (3.2)$$

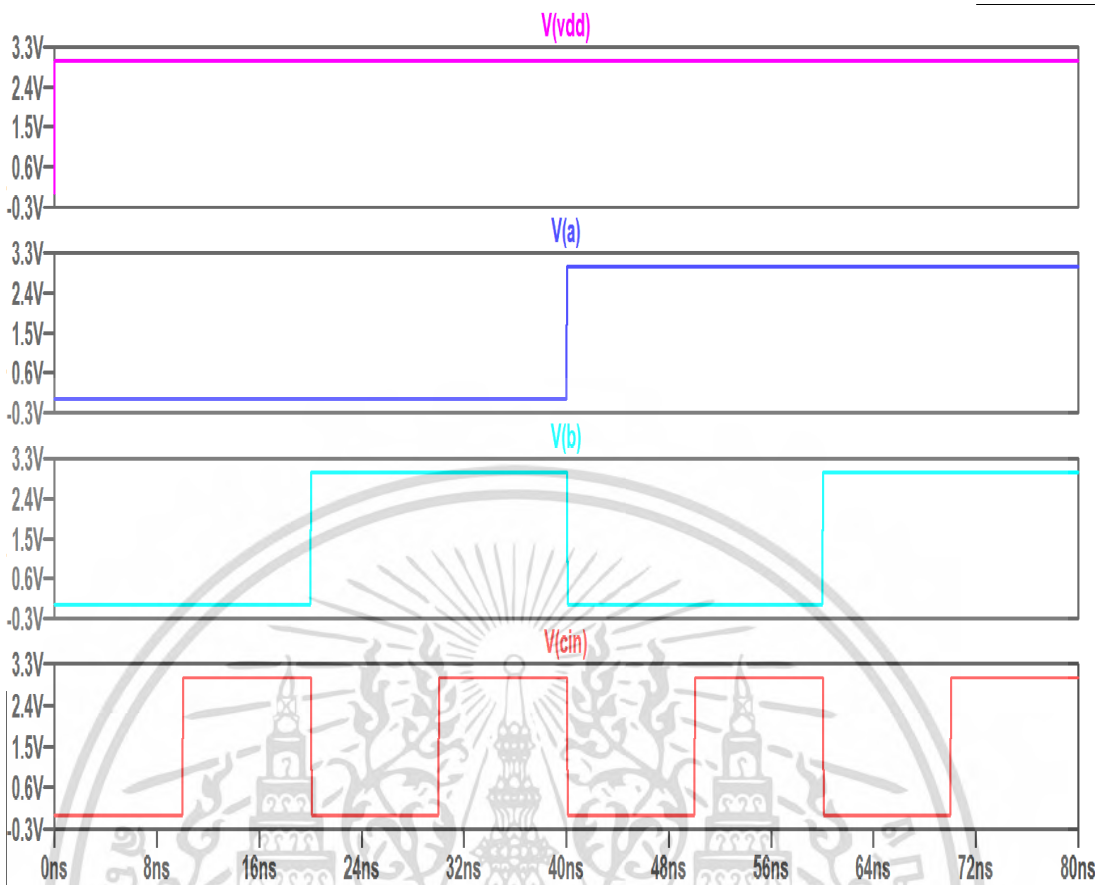
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรที่นำเสนอ

การทดลองลอจิกเกตพื้นฐานและวงจรบวกด้วยการออกแบบโดยซีมอสและเมมริสเตอร์ ทาการวัดประสิทธิภาพของวงจรด้วยค่าขอบขาขึ้น, ขอบขาลง, ค่าความหน่วงและพลังงานสูญเสีย ใน ส่วนวงจรบวกทำการสร้างสองแบบโดยใช้ลอจิกเกตผสมและใช้เฉพาะลอจิกเกตแนนด์ตามลำดับ วัด ประสิทธิภาพเทียบแต่ละวงจรและอุปกรณ์ที่ใช้ในแต่ละวงจรถูกหนดค่าแหล่งจ่ายตัวอย่างเป็น $VDD = 3V, t_r = 50 ps, t_f = 50 ps, T_{on(a)} = 40ns, T_{on(b)} = 20ns, T_{on(cin)} = 10ns, T_{period(a)} = 80ns, T_{period(b)} = 40ns, T_{period(cin)} = 20ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 3.5 ผลลัพธ์ผลบวกและตัวทดของการทดสอบแสดงตารางที่ 3.1 ผลค่าความต้านทานของเมมริสเตอร์ หลังจากป้อนอินพุตแสดงตารางที่ 3.2 และสถานะของซีมอสหลังจากป้อนอินพุตแสดงตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แหล่งจ่ายตัวอย่างในการวิเคราะห์วงจรที่นาเสนอ

ตารางที่ 3.1 ผลลัพธ์ผลบวกและตัวทดของวงจรที่นาเสนอ

		อินพุต A,B,Cin							
		0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
ผลลัพธ์	ผลบวก	0	1	1	0	1	0	1	0
	ตัวทด	0	0	0	1	0	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 ค่าความต้านทานของเมมริสเตอร์หลังจากป้อนอินพุต

		อินพุต A,B,Cin							
		0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
ค่าความต้านทานของเมมริสเตอร์	U1	ลดลง	ลดลง	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U2	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น
	U3	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U4	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง
	U5	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง
	U6	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น
	U7	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น
	U8	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U9	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U10	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น
	U11	ลดลง	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U12	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง
	U13	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง
	U14	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น
	U15	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น
	U16	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น
	U17	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	ลดลง
	U18	เพิ่มขึ้น	เพิ่มขึ้น	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง	เพิ่มขึ้น	ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 สถานะของซีมอสหลังจากบ้อนอินพุต

		อินพุต A,B,Cin								
		0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1	
สถานะของซีมอส	M1	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	ปิด	ปิด
	M2	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	เปิด	เปิด
	M3	เปิด	เปิด	เปิด	เปิด	ปิด	ปิด	เปิด	เปิด	เปิด
	M4	ปิด	ปิด	ปิด	ปิด	เปิด	เปิด	ปิด	ปิด	ปิด
	M5	เปิด	เปิด	ปิด	ปิด	เปิด	เปิด	เปิด	เปิด	เปิด
	M6	ปิด	ปิด	เปิด	เปิด	ปิด	ปิด	ปิด	ปิด	ปิด
	M7	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด
	M8	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด
	M9	เปิด	เปิด	เปิด	ปิด	เปิด	ปิด	เปิด	เปิด	ปิด
	M10	ปิด	ปิด	ปิด	เปิด	ปิด	เปิด	ปิด	ปิด	เปิด
	M11	เปิด	เปิด	ปิด	เปิด	ปิด	เปิด	ปิด	ปิด	เปิด
	M12	ปิด	ปิด	เปิด	ปิด	เปิด	ปิด	เปิด	เปิด	ปิด
	M13	เปิด	ปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด
	M14	ปิด	เปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด
	M15	ปิด	เปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด	ปิด
	M16	เปิด	ปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด	เปิด
	M17	ปิด	ปิด	ปิด	เปิด	ปิด	เปิด	เปิด	เปิด	เปิด
	M18	เปิด	เปิด	เปิด	ปิด	เปิด	ปิด	ปิด	ปิด	ปิด

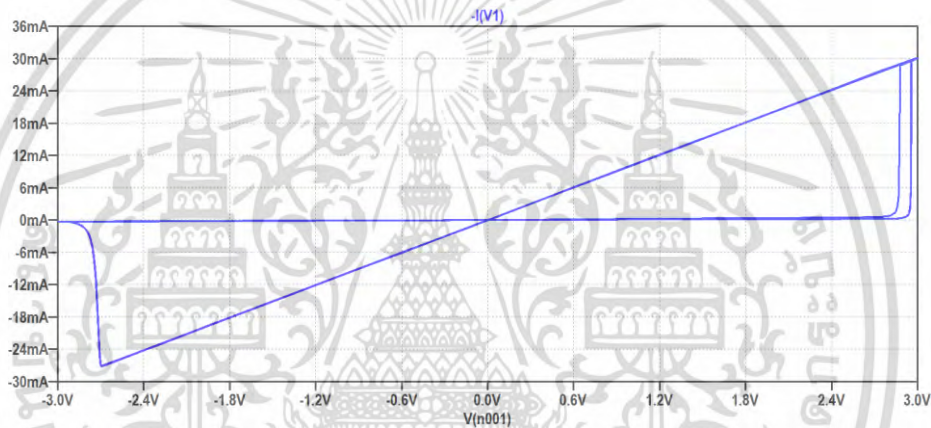
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

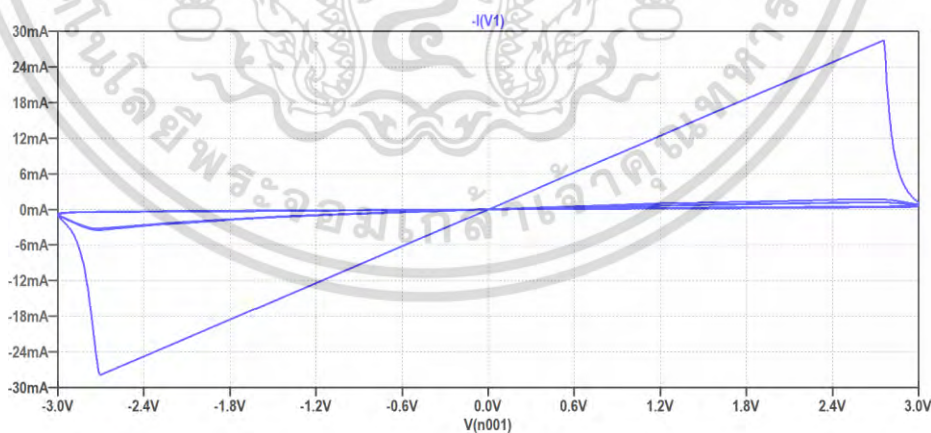
ผลการทดลอง

4.1 ผลลัพธ์การทดสอบคุณสมบัติเมมริสเตอร์

ทำการป้อนแหล่งจ่าย 8 แบบคือ แรงดันไซน์ 3 V ความถี่ 5MHz, แรงดันไซน์ 3V ความถี่ 50MHz, แรงดันไซน์ 3V ความถี่ 500MHz, แรงดันไซน์ 3V ความถี่ 5000MHz, แรงดันไซน์ 5V ความถี่ 5MHz, แรงดันไซน์ 5V ความถี่ 50MHz, แรงดันไซน์ 5V ความถี่ 500MHz และแรงดันไซน์ 5V ความถี่ 5000MHz เข้าวงจรที่ 3.1 ได้ผลลัพธ์กราฟ prince heterolysis loop ดังรูปที่ 4.1-4.8 ตามล าดับ

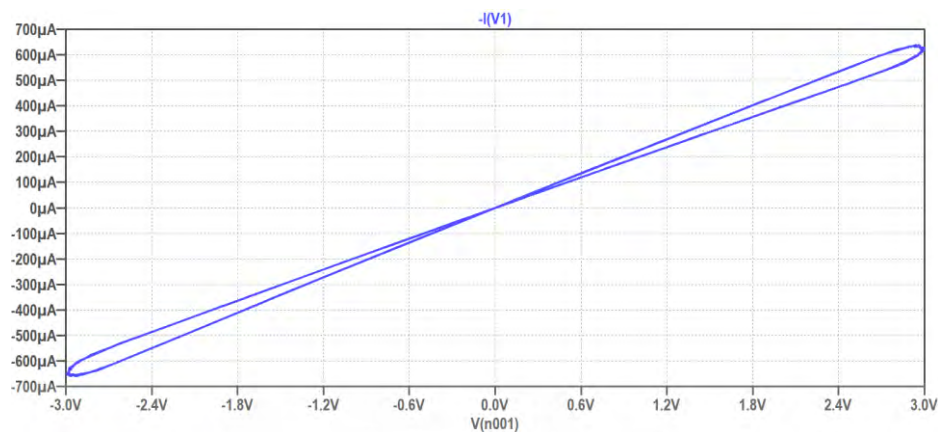


รูปที่ 4.1 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz

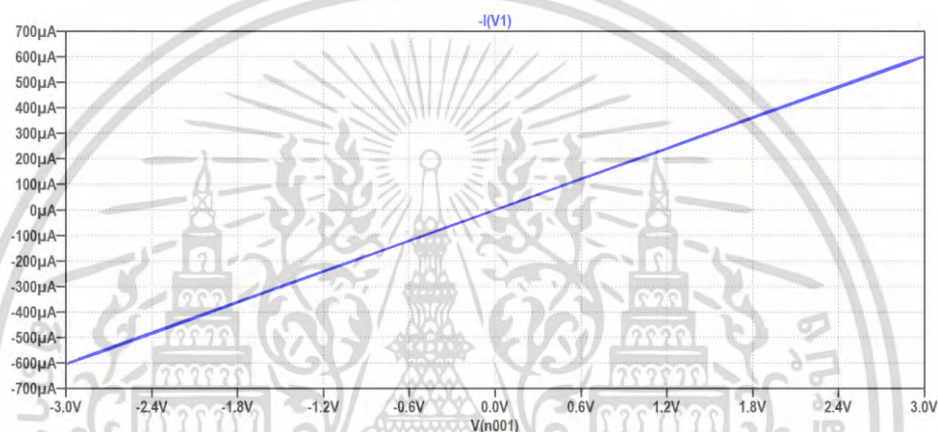


รูปที่ 4.2 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz

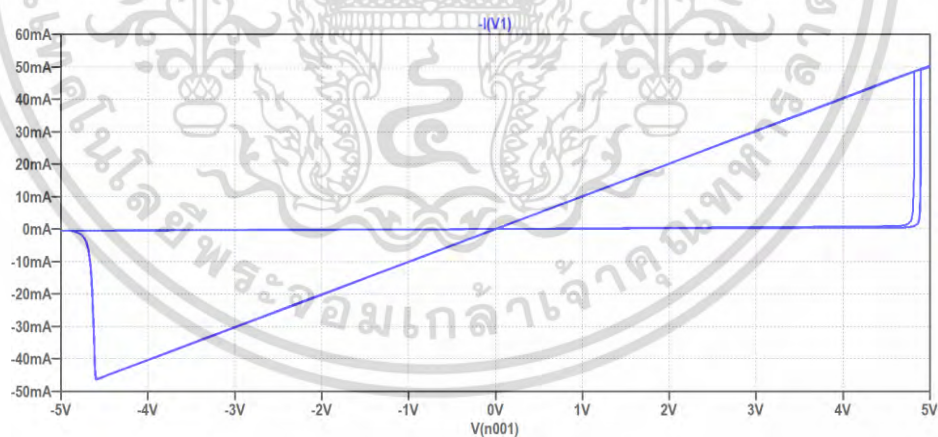
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz

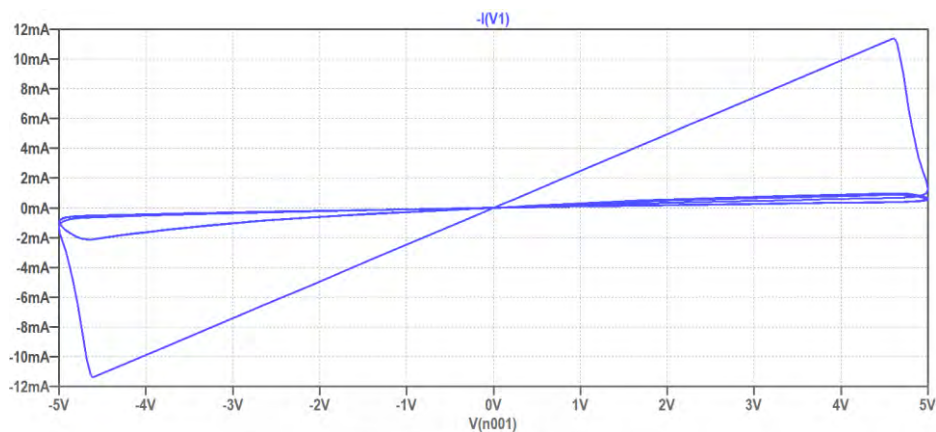


รูปที่ 4.4 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5000MHz

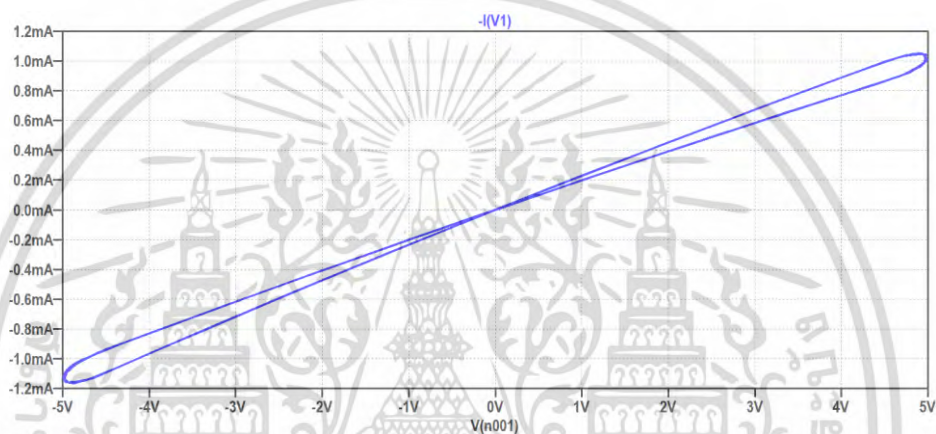


รูปที่ 4.5 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz

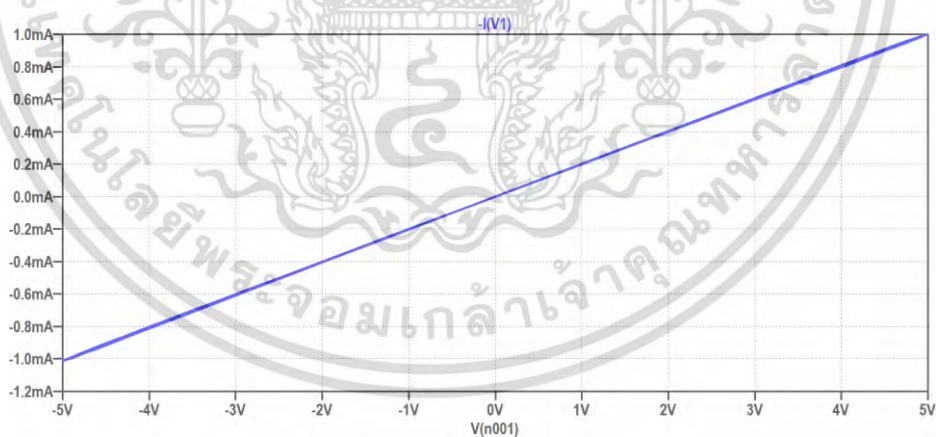
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz



รูปที่ 4.7 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz



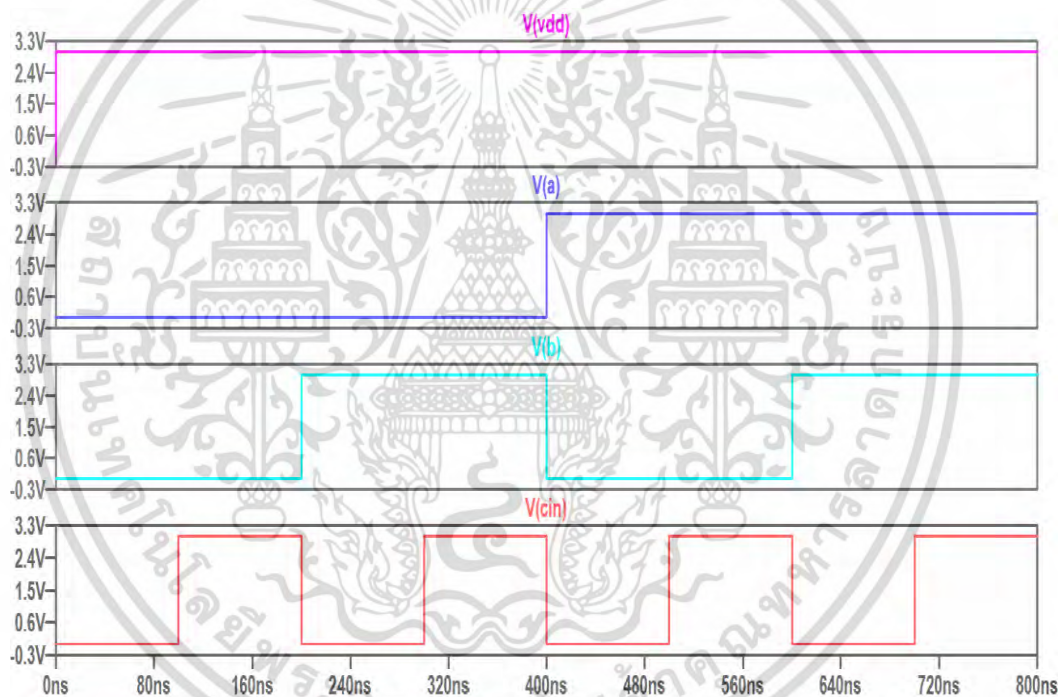
รูปที่ 4.8 แสดงคุณสมบัติเมมริสเตอร์ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5000MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz

ท การบ่อนแหล่งจ่าย 6 แบบคือ แรงดัน 3V ความถี่ 5MHz, แรงดัน 3V ความถี่ 50MHz, แรงดัน 3V ความถี่ 500MHz, แรงดัน 5V ความถี่ 5MHz, แรงดัน 5V ความถี่ 50MHz และแรงดัน 5V ความถี่ 500MHz โดยความถี่แต่ละวงจรถือความถี่ c_{in} ซึ่งเป็นความถี่สูงสุดของวงจร จาลองผลด้วยโปรแกรม LTspice วัดผลวงจรอ้างอิง [3] และวงจรที่นาเสนอ วัดผลขอบขาขึ้น, ขอบขาลง, ความหน่วงเวลาและพลังงานสูญเสีย

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 3V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 400ns$, $T_{on(b)} = 200ns$, $T_{on(cin)} = 100ns$, $T_{period(a)} = 800ns$, $T_{period(b)} = 400ns$, $T_{period(cin)} = 200ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.9 ผลลัพธ์เอาต์พุตของวงจรอ้างอิง [3] และวงจรที่นาเสนอเป็นตามตารางที่ 4.1 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ V_{out} และ V_{cout} ดังรูปที่ 4.10 และ 4.11

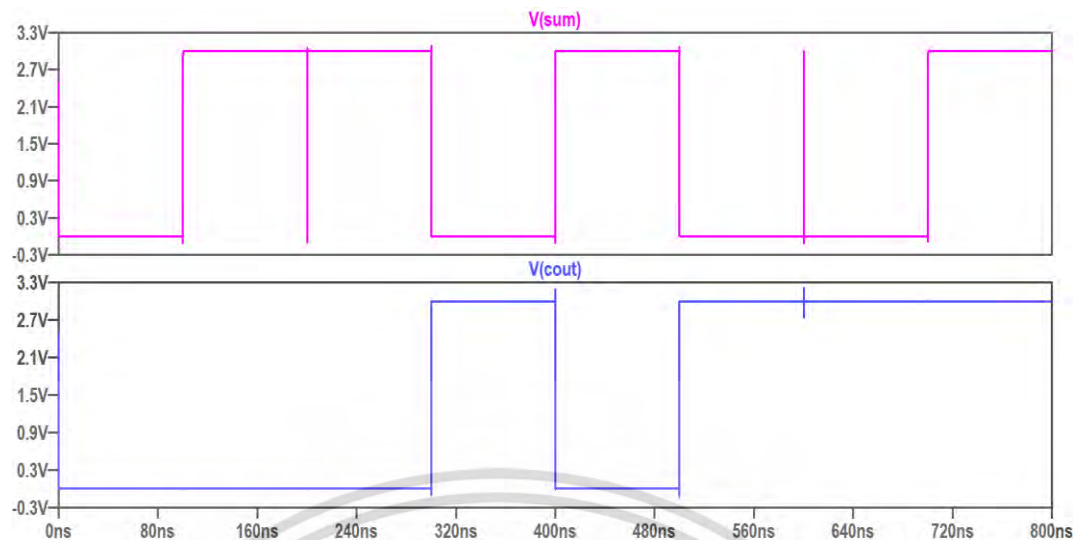


รูปที่ 4.9 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz

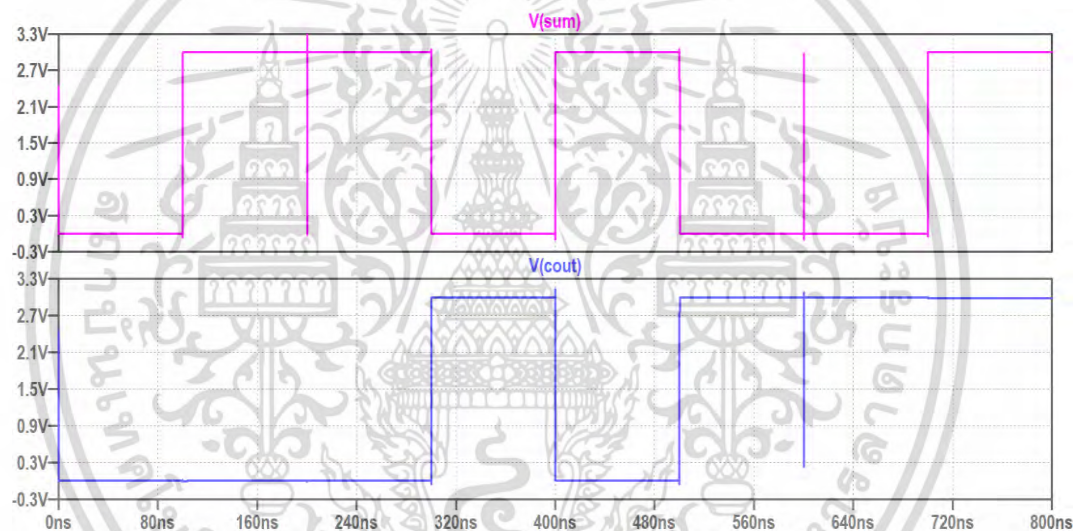
ตารางที่ 4.1 เอาต์พุตวงจรอ้างอิง [3] และวงจรที่นาเสนอจากอินพุตแรงดัน 3V ความถี่ 5MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μW)
วงจรอ้างอิง [3]	28.55	16.70	82.02	3793.55
วงจรที่นาเสนอ	22.88	31.90	68.96	4061.60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz.

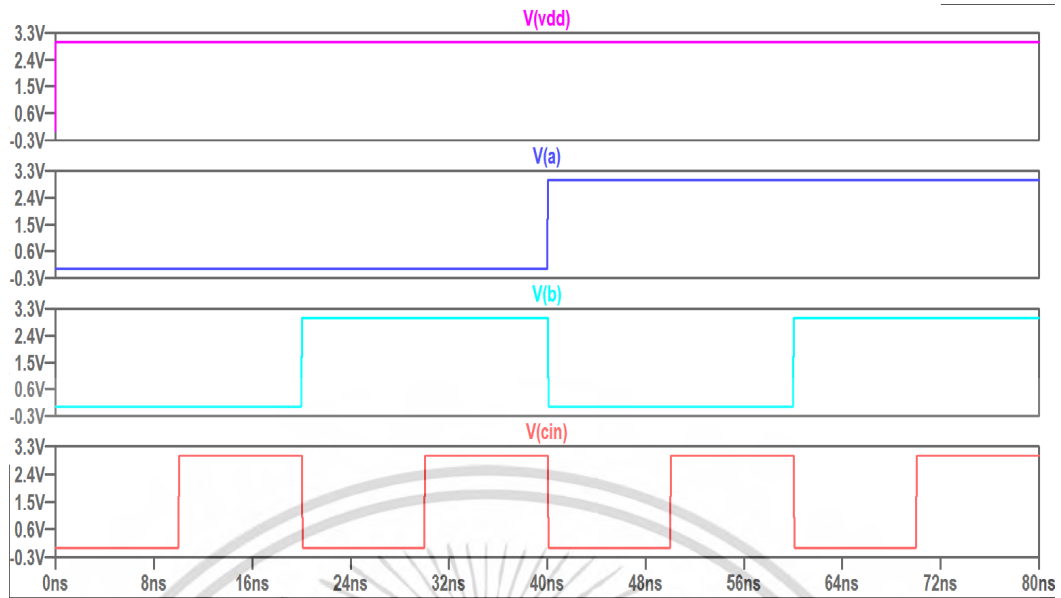


รูปที่ 4.11 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 5MHz

4.3 แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 3V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 40ns$, $T_{on(b)} = 20ns$, $T_{on(cin)} = 10ns$, $T_{period(a)} = 80ns$, $T_{period(b)} = 40ns$, $T_{period(cin)} = 20ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.12 ผลลัพธ์เอาต์พุตของวงจรอ้างอิง [3] และวงจรที่นำเสนอเป็นตามตารางที่ เป็นตามตารางที่ 4.2 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ V_{out} และ V_{cout} ดังรูปที่ 4.13 และ 4.14

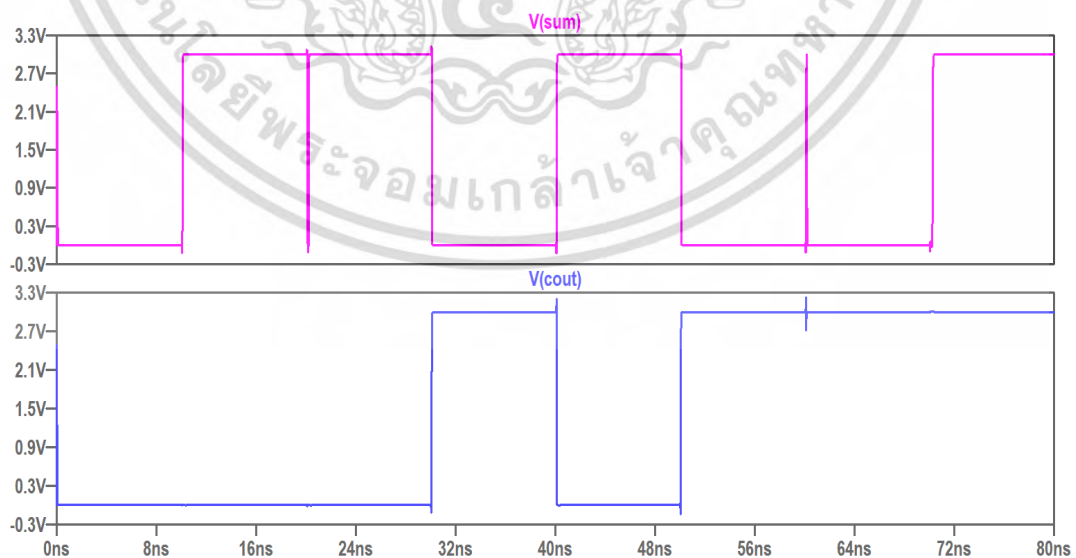
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz

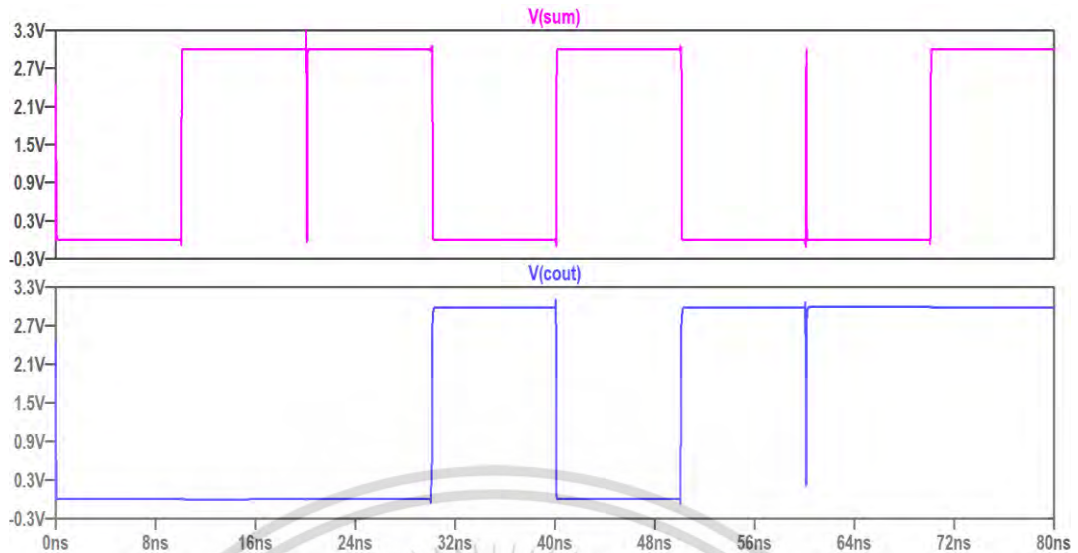
ตารางที่ 4.2 เอาดัฟุตของวงจรวงจรอ้างอิง [3] และวงจรถิ่น าเสนอจากอินพุตแรงดัน 3V ความถี่ 50MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μ W)
วงจรวงจรอ้างอิง [3]	25.13	15.6	80.98	4208.12
วงจรถิ่น าเสนอ	28.82	26.66	65.92	4302.247



รูปที่ 4.13 แสดงเอาต์พุตของวงจรวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz

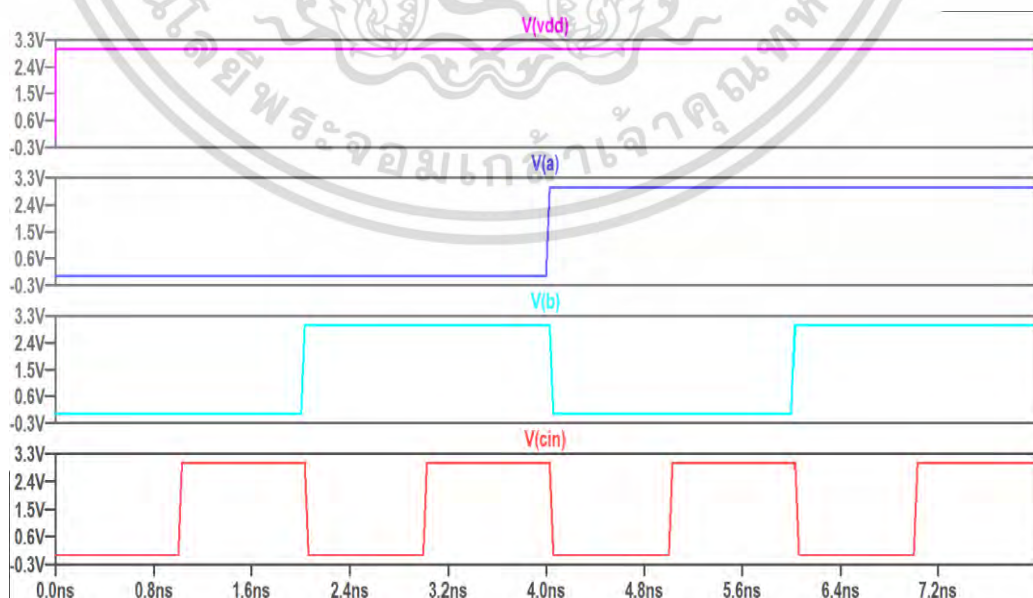
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงเอาต์พุตของวงจรที่น าเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 50MHz

4.4 แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 3V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 4ns$, $T_{on(b)} = 2ns$, $T_{on(cin)} = 1ns$, $T_{period(a)} = 8ns$, $T_{period(b)} = 4ns$, $T_{period(cin)} = 2ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.15 ผลลัพธ์เอาต์พุตของผลลัพธ์เอาต์พุตของวงจรอ้างอิง [3] และวงจรที่น าเสนอเป็นตามตารางที่ เป็นตามตารางที่ 4.3 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ Vout และ Vcout ดังรูปที่ 4.16 และ 4.17

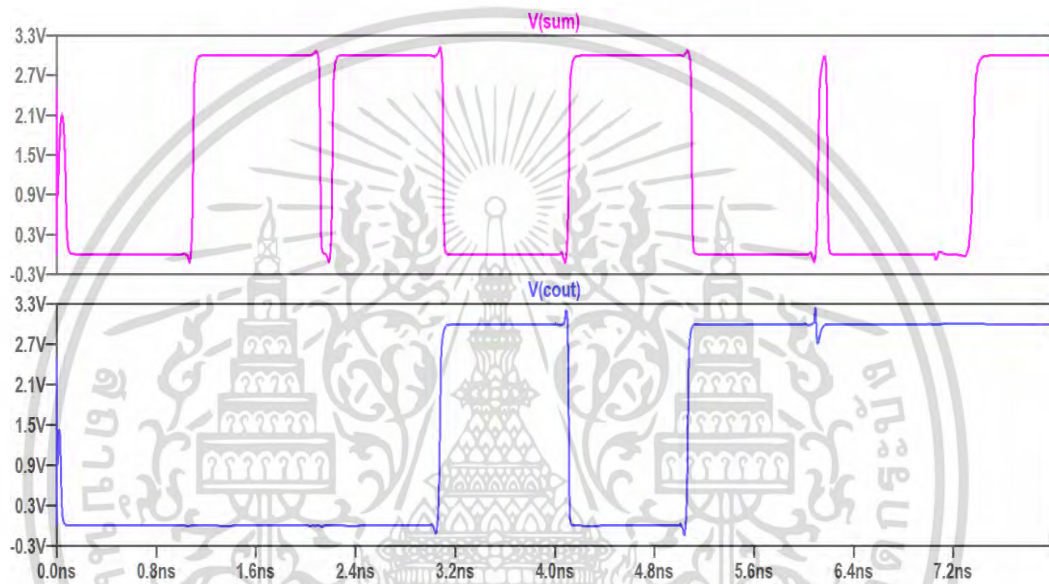


รูปที่ 4.15 แสดงอินพุตที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz

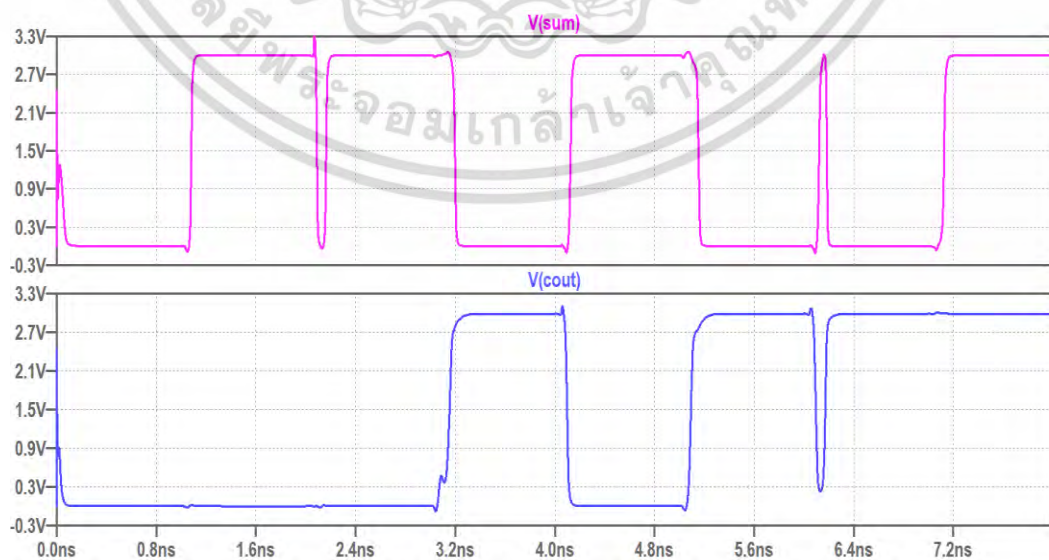
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 เาต์พุตวงจรอ้างอิง [3] และวงจรที่น าเสนอจากอินพุตแรงดัน 3V ความถี่ 500MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μ W)
วงจรอ้างอิง [3]	23.20	13.78	80.55	4359.10
วงจรที่น าเสนอ	20.37	25.56	64.95	4600.88



รูปที่ 4.16 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz

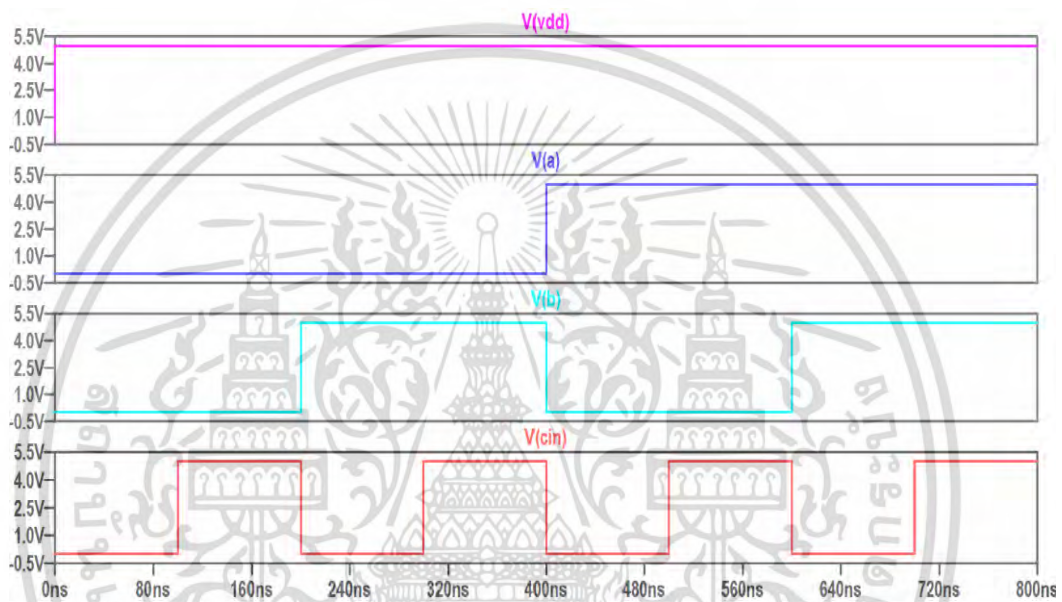


รูปที่ 4.17 แสดงเอาต์พุตของวงจรที่น าเสนอที่แหล่งจ่ายแรงดัน 3V ความถี่ 500MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 5V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 400ns$, $T_{on(b)} = 200ns$, $T_{on(cin)} = 100ns$, $T_{period(a)} = 800ns$, $T_{period(b)} = 400ns$, $T_{period(cin)} = 200ns$
 กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.18 ผลลัพธ์เอาต์พุตของผลลัพธ์เอาต์พุตของวงจรวงอิง [3] และ วงจรที่นำเสนอเป็นตามตารางที่ เป็นตามตารางที่ 4.4 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ V_{out} และ V_{cout} ดังรูปที่ 4.19 และ 4.20

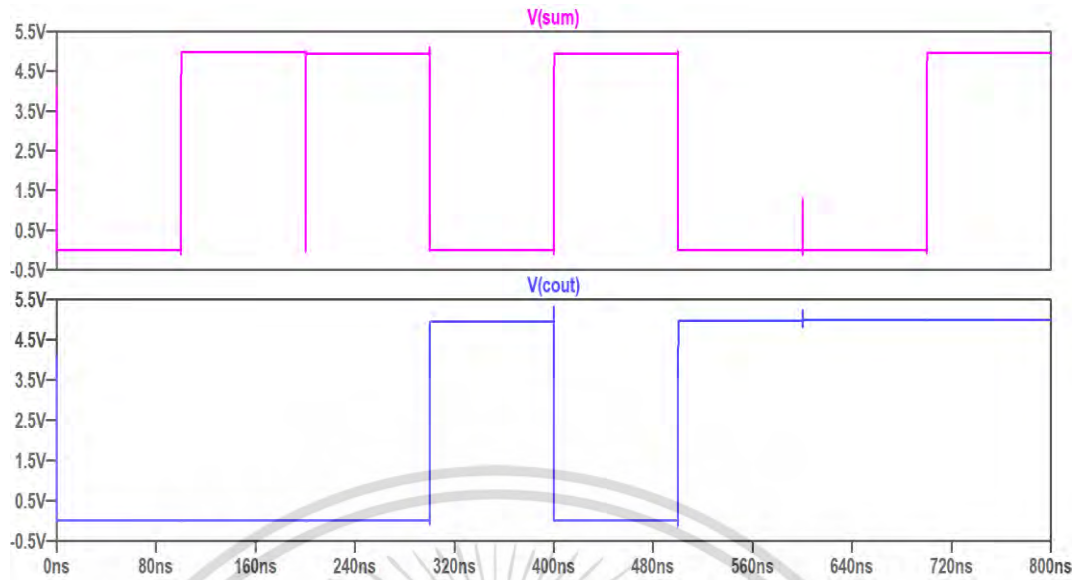


รูปที่ 4.18 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz

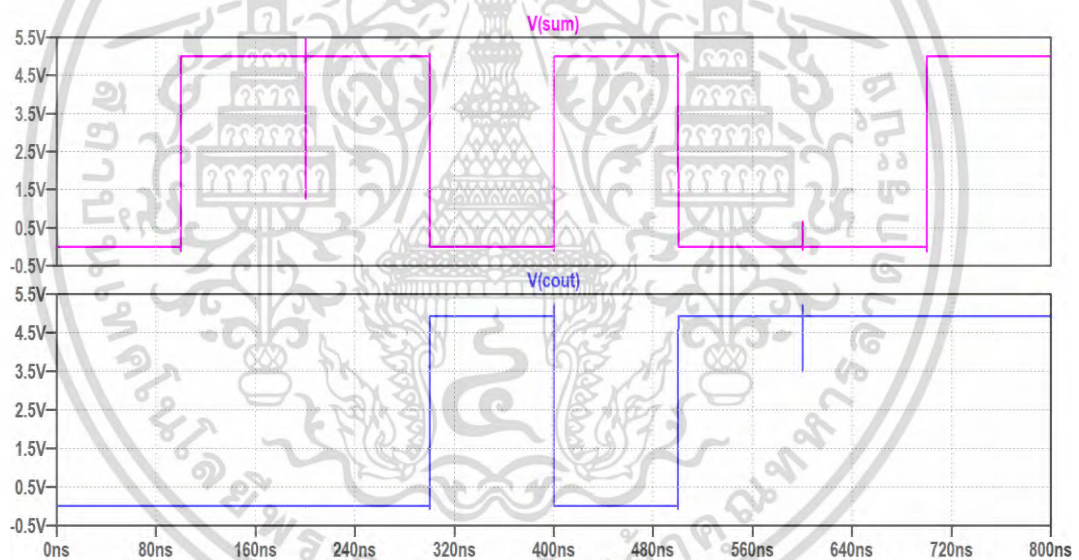
ตารางที่ 4.4 เอาต์พุตวงจรวงอิง [3] และวงจรที่นำเสนอจากอินพุตแรงดัน 5V ความถี่ 5MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μW)
วงจรวงอิง [3]	21.70	15.15	81.97	9896.35
วงจรที่นำเสนอ	21.40	20.67	56.30	12741.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz

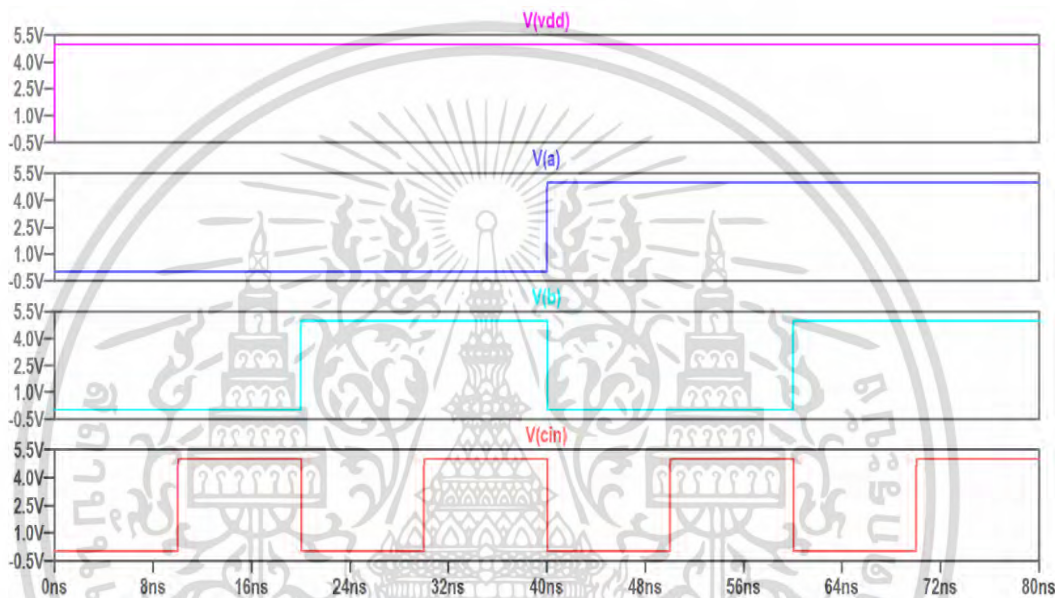


รูปที่ 4.20 แสดงเอาต์พุตของวงจรที่ 1 a เสนอที่แหล่งจ่ายแรงดัน 5V ความถี่ 5MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 5V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 40ns$, $T_{on(b)} = 20ns$, $T_{on(cin)} = 10ns$, $T_{period(a)} = 80ns$, $T_{period(b)} = 40ns$, $T_{period(cin)} = 20ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.21 ผลลัพธ์เอาต์พุตของผลลัพธ์เอาต์พุตของวงจรอ้างอิง [3] และวงจรที่นำเสนอเป็นตามตารางที่ เป็นตามตารางที่ 4.5 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ V_{out} และ V_{cout} ดังรูปที่ 4.22 และ 4.23

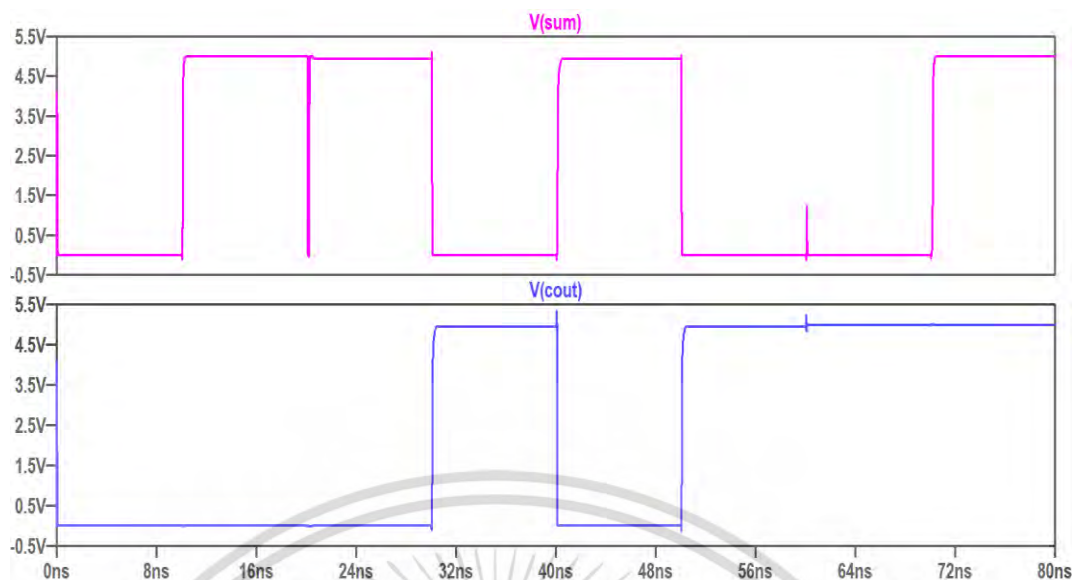


รูปที่ 4.21 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz

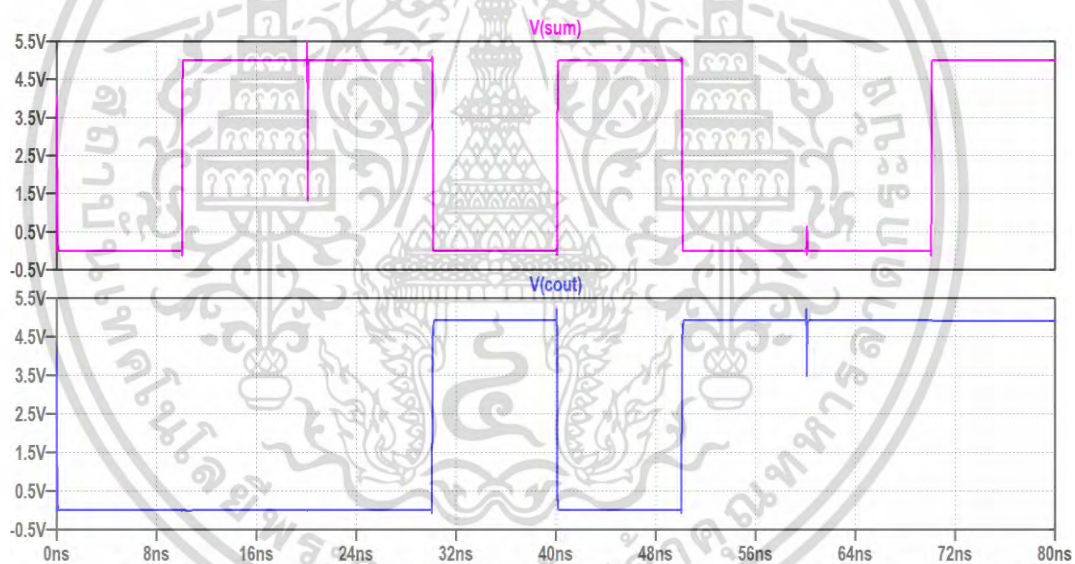
ตารางที่ 4.5 เอาต์พุตวงจรอ้างอิง [3] และวงจรที่นำเสนอจากอินพุตแรงดัน 5V ความถี่ 50MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μW)
วงจรอ้างอิง [3]	21.30	14.88	79.82	10600.18
วงจรที่นำเสนอ	20.93	24.00	55.65	12923.57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz

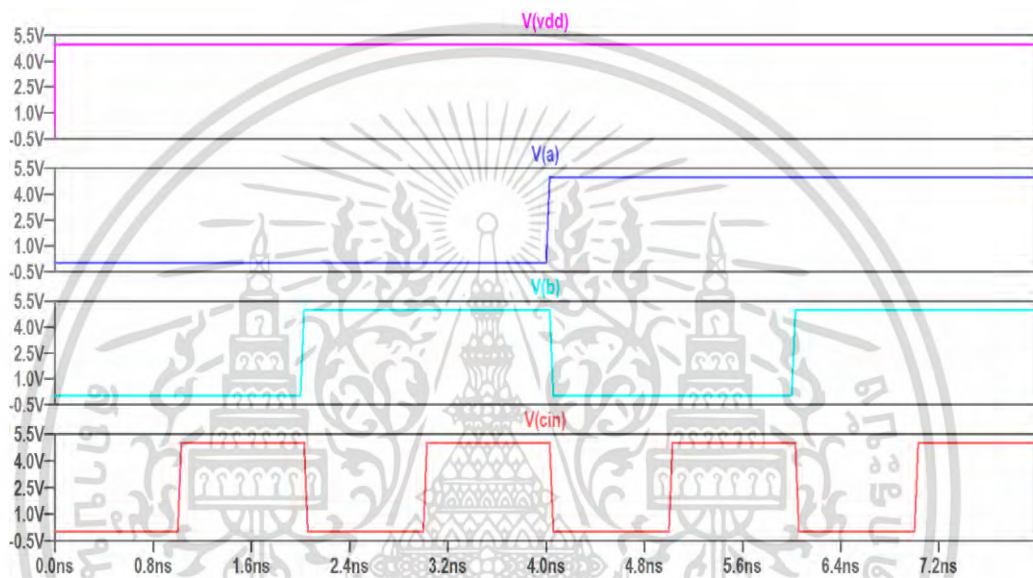


รูปที่ 4.23 แสดงเอาต์พุตของวงจรที่ ๓ แกนที่แหล่งจ่ายแรงดัน 5V ความถี่ 50MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz

กำหนดพารามิเตอร์แหล่งจ่าย $VDD = 5V$, $t_r = 30ps$, $t_f = 30ps$, $T_{on(a)} = 4ns$, $T_{on(b)} = 2ns$, $T_{on(cin)} = 1ns$, $T_{period(a)} = 8ns$, $T_{period(b)} = 4ns$, $T_{period(cin)} = 2ns$ กราฟอินพุตทั้งหมดแสดงดังรูปที่ 4.24 ได้ผลลัพธ์เอาต์พุตของผลลัพธ์เอาต์พุตของวงจรอ้างอิง [3] และวงจรที่นาเสนอเป็นตามตารางที่ เป็นตามตารางที่ 4.6 กราฟเอาต์พุตแบ่งเป็นสองส่วนคือ V_{out} และ V_{cout} ดังรูปที่ 4.25 และ 4.26

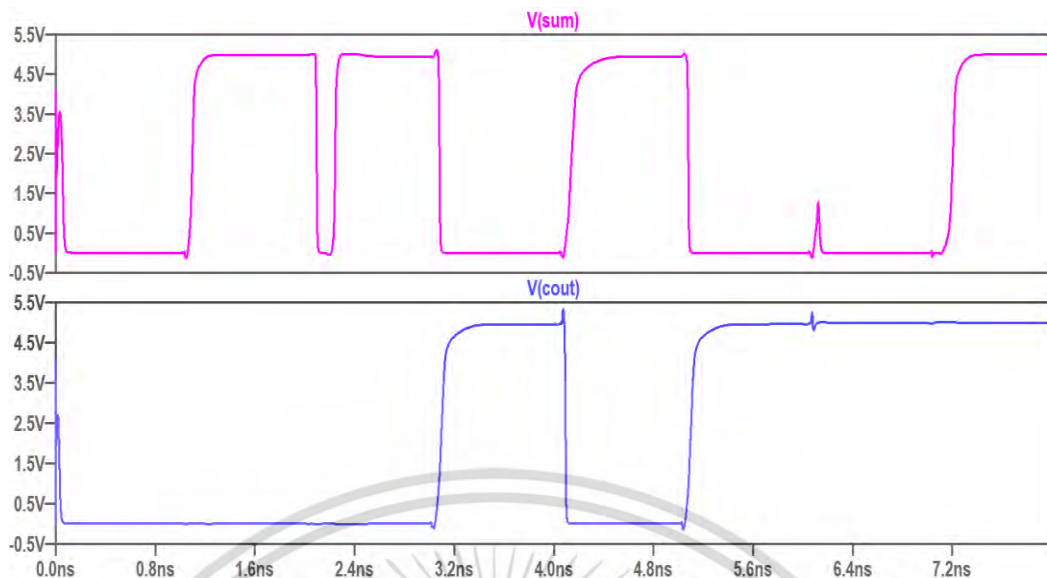


รูปที่ 4.24 แสดงอินพุตที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz

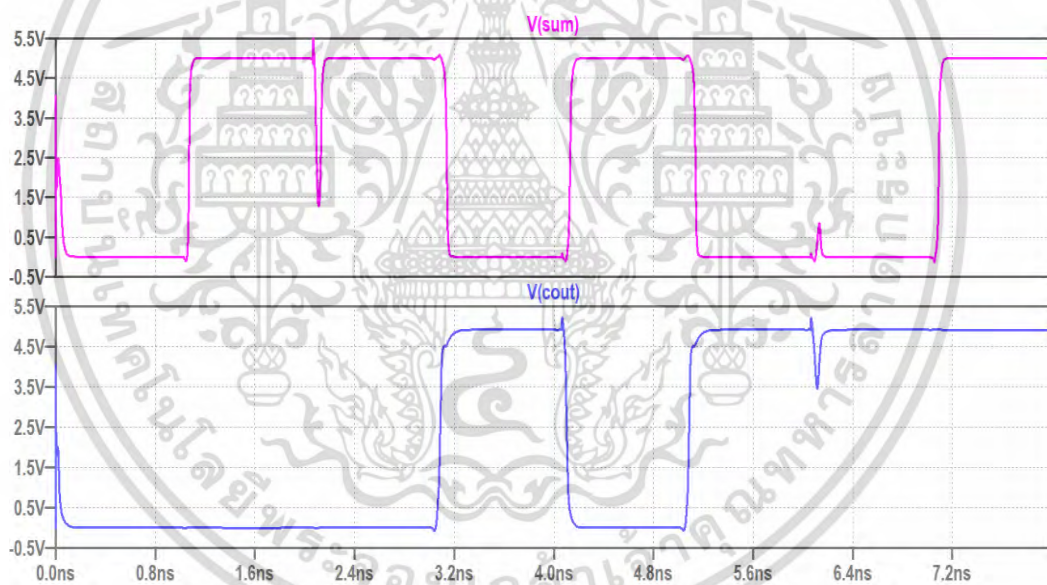
ตารางที่ 4.6 เอาต์พุตวงจรอ้างอิง [3] และวงจรที่นาเสนอจากอินพุตแรงดัน 5V ความถี่ 5MHz

	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)	พลังงานสูญเสีย(μW)
วงจรอ้างอิง [3]	55.76	12.73	75.64	12125.18
วงจรที่นาเสนอ	21.01	21.16	55.23	14954.08

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.25 แสดงเอาต์พุตของวงจรอ้างอิง [3] ที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz



รูปที่ 4.26 แสดงเอาต์พุตของวงจรที่นำเสนอที่แหล่งจ่ายแรงดัน 5V ความถี่ 500MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

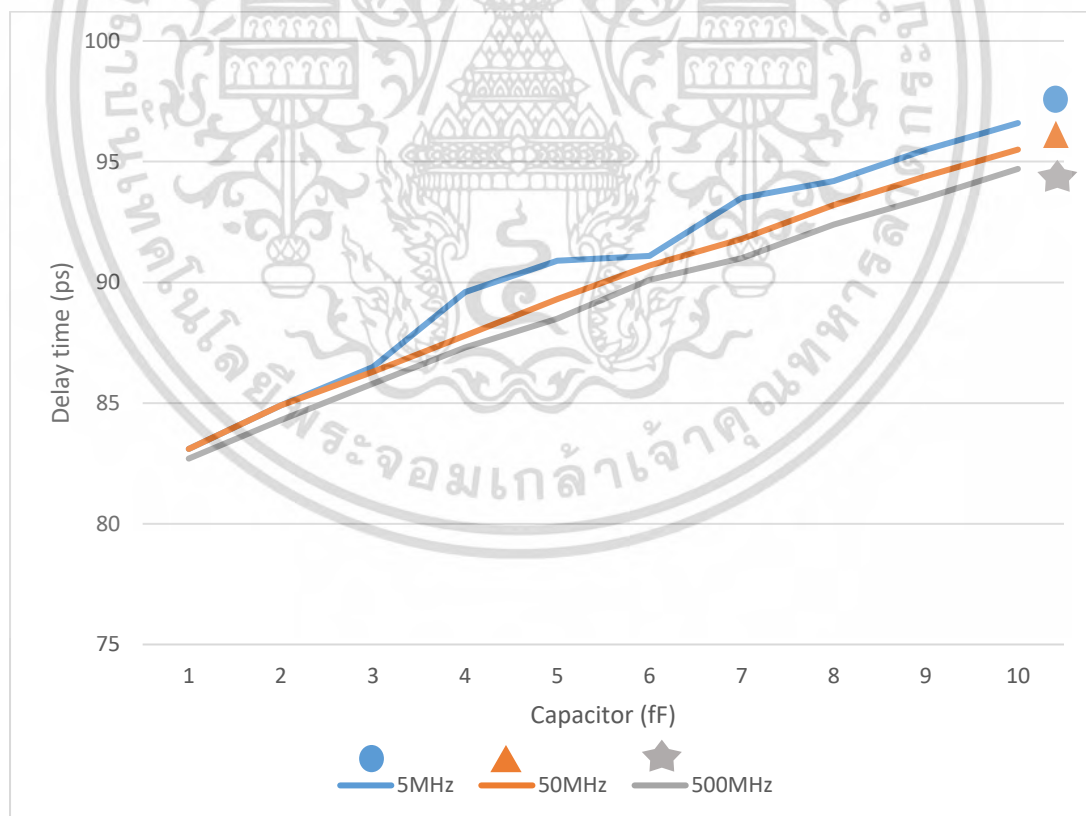
4.7 ค่าความเก็บประจุต่อความหน่วงเวลา

4.7.1 แหล่งจ่ายแรงดัน 3 V

วัดผลวงจรอ้างอิง [3] และวงจรที่นำเสนอได้ผลลัพธ์ตามตารางที่ 4.7 และ 4.8 รูปที่ 4.19 และ 4.20 ตามลำดับ

ตารางที่ 4.7 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรอ้างอิง [3] ที่แรงดัน 3V

	1fF	2fF	3fF	4fF	5fF	6fF	7fF	8fF	9fF	10fF
5MHz	83.1	84.9	86.5	89.6	90.9	91.1	93.5	94.2	95.5	96.6
50MHz	83.0	84.7	86.3	87.8	89.3	90.7	91.8	93.2	94.4	95.5
500MHz	82.7	84.3	85.8	87.3	88.5	90.1	91.0	92.4	93.5	94.7

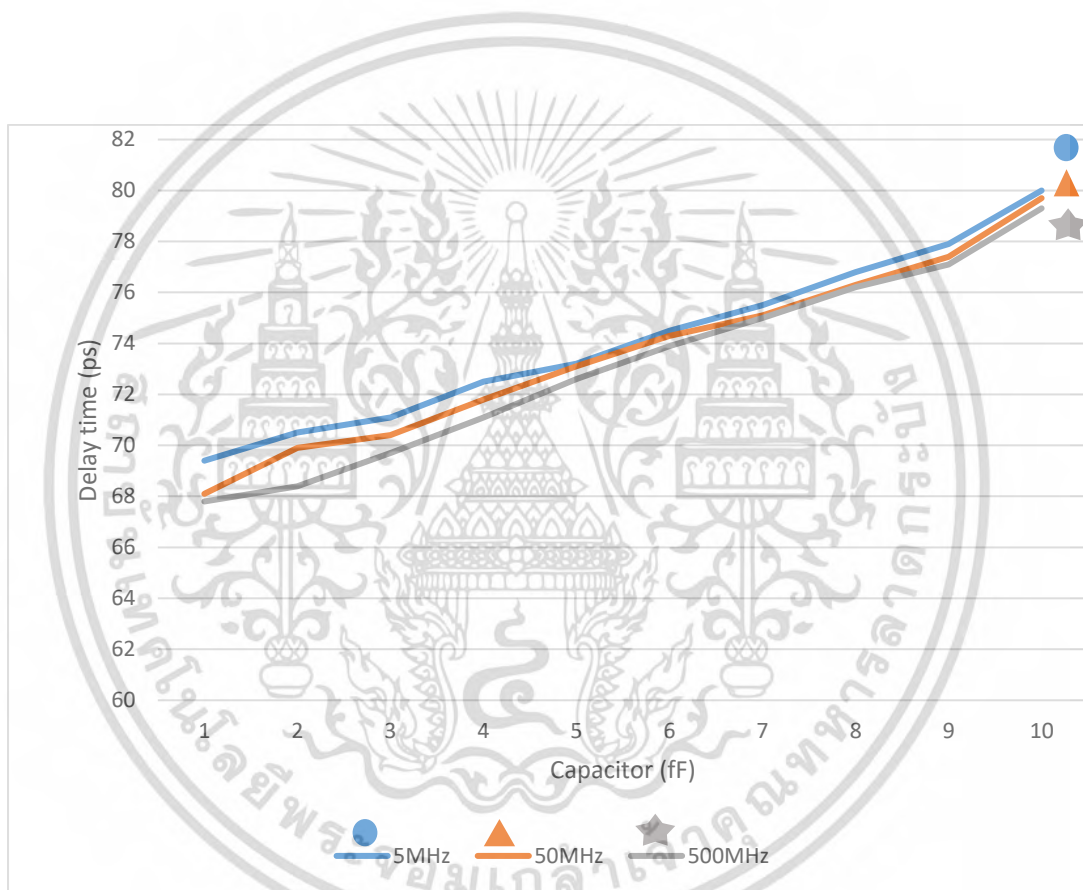


รูปที่ 4.27 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรอ้างอิง [3] ที่แรงดัน 3V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.8 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถิ่นนาเสนอที่แรงดัน 3V

	1fF	2fF	3fF	4fF	5fF	6fF	7fF	8fF	9fF	10fF
5MHz	69.4	70.5	71.1	72.5	73.2	74.5	75.5	76.8	77.9	80.0
50MHz	68.1	69.9	70.4	71.8	73.1	74.3	75.1	76.3	77.4	79.7
500MHz	67.8	68.4	69.7	71.1	72.6	73.9	75.0	76.2	77.1	79.3



รูปที่ 4.28 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถิ่นนาเสนอที่แรงดัน 3V

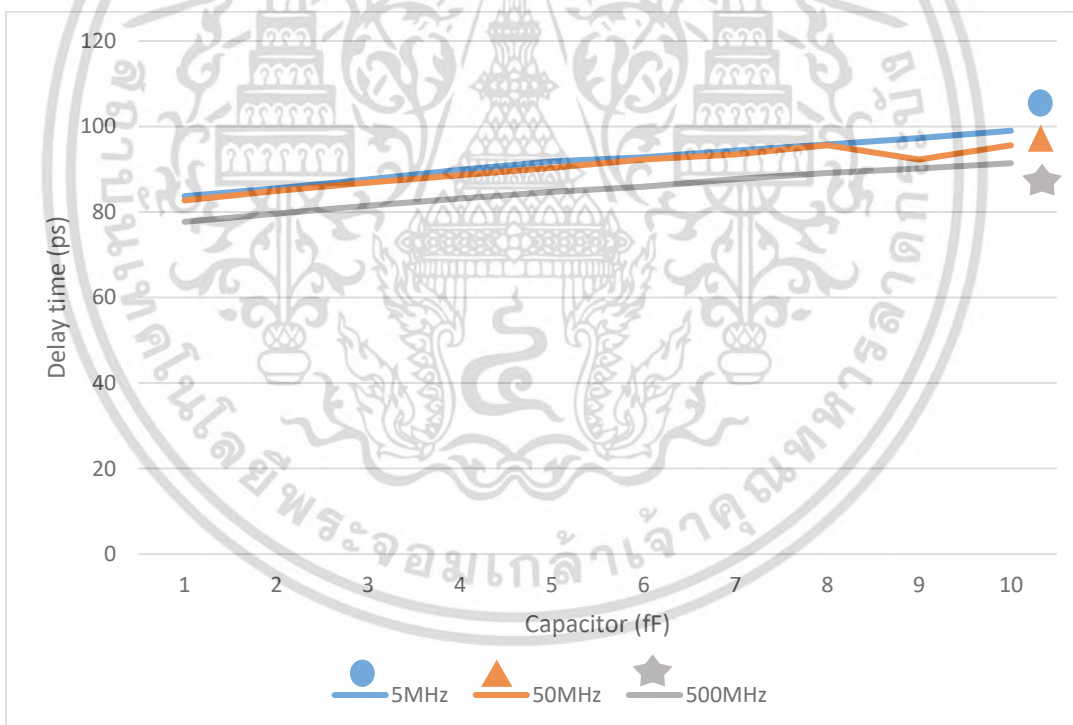
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.2 แหล่งจ่ายแรงดัน 5 V

วัดผลวงจรอ้างอิง [3] และวงจรที่นำเสนอได้ผลลัพธ์ตามตารางที่ 4.9 และ 4.10 รูปที่ 4.20 และ 4.21 ตามลำดับ

ตารางที่ 4.9 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรอ้างอิง [3] ที่แรงดัน 5V

	1fF	2fF	3fF	4fF	5fF	6fF	7fF	8fF	9fF	10fF
5MHz	83.7	85.5	87.6	89.9	91.8	92.8	94.4	95.8	97.3	99.0
50MHz	82.7	84.9	86.9	88.6	90.3	92.3	93.5	95.6	92.3	95.6
500MHz	77.7	79.6	81.5	83.1	84.7	85.9	87.7	89.1	90.2	91.4

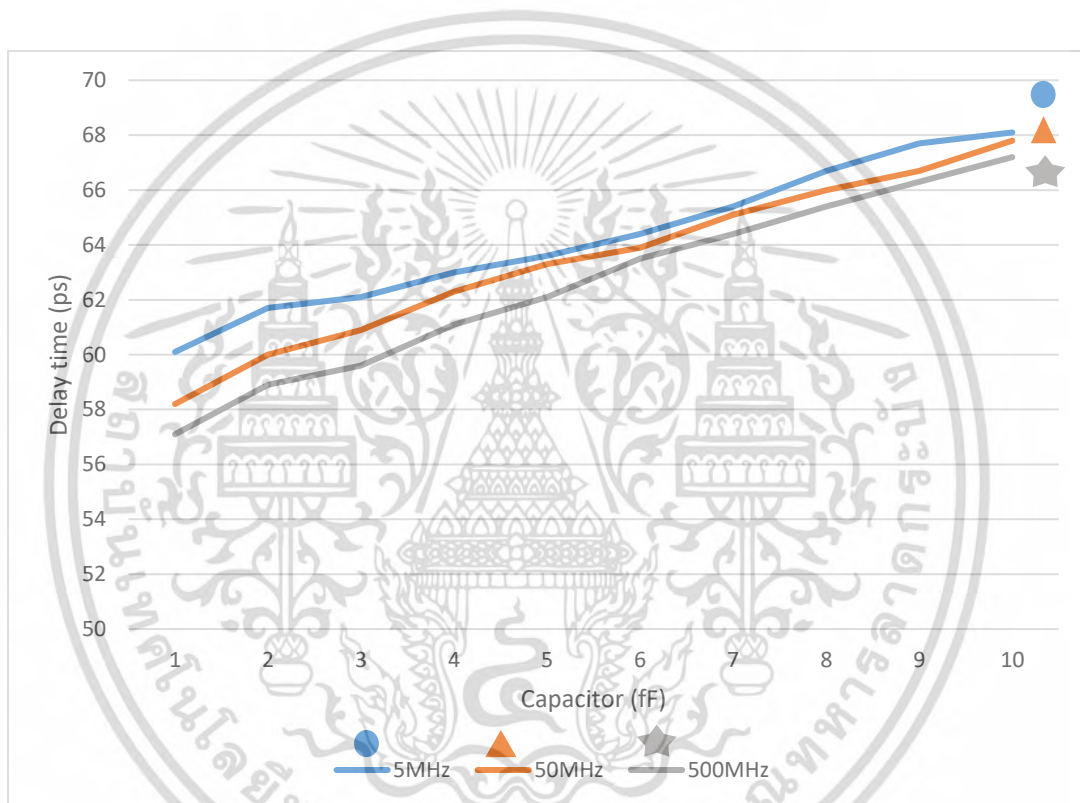


รูปที่ 4.29 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรอ้างอิง [3] ที่แรงดัน 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 ค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถิ่น าสเนาที่แรงดัน 5V

	1fF	2fF	3fF	4fF	5fF	6fF	7fF	8fF	9fF	10fF
5MHz	60.1	61.7	62.1	63.0	63.6	64.4	65.4	66.7	67.7	68.1
50MHz	58.2	60.0	60.9	62.3	63.3	63.9	65.1	66.0	66.7	67.8
500MHz	57.1	58.9	59.6	61.1	62.1	63.5	64.4	65.4	66.3	67.2



รูปที่ 4.30 แสดงค่าความเก็บประจุ (fF) ต่อความหน่วงเวลา (ps) ของวงจรถิ่น าสเนาที่แรงดัน 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

ในวิทยานิพนธ์นี้กล่าวถึงการวางจรรยาที่นาเสนอโดยประกอบด้วยเมมริสเตอร์ 18 ตัวและซีมอส 18 ตัว ซึ่งใช้จำนวนอุปกรณ์น้อยกว่าวงจรรอ้างอิงตามตารางที่ 5.1 ประสิทธิภาพของวงจรถูกเปรียบและวัดด้วยโปรแกรม LTspice วงจรรยาที่นาเสนอมีความหน่วงเวลาที่น้อยกว่าวงจรรอ้างอิง [3] เฉลี่ย 23.69% คัดโดยเฉลี่ยความหน่วงเวลาตามตารางที่ 5.2 และ 5.3 อุปกรณ์เมมริสเตอร์ออกแบบด้วยโมเดลระบบตัดสินค่าความต้านทานเมมริสเตอร์สองขั้วด้วยเทรซไฮลด์ และซีมอสใช้เทคโนโลยี 180nm

ตารางที่ 5.1 จำนวนอุปกรณ์ที่ใช้ในวงจรรยาที่นาเสนอและวงจรรอ้างอิง [3]

	เมมริสเตอร์	ซีมอส
วงจรรยาที่นาเสนอ	18	18
วงจรรอ้างอิง [3]	18	20

ตารางที่ 5.2 ผลลัพธ์ของวงจรรอ้างอิง [3]

แรงดัน	ความถี่	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)
3V	5 MHz	28.55	16.70	82.02
3V	50 MHz	25.13	15.6	80.98
3V	500 MHz	23.20	13.78	80.55
5V	5 MHz	21.70	15.15	81.97
5V	50 MHz	21.30	14.88	79.82
5V	500 MHz	55.76	12.73	75.64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 ผลลัพธ์ของวงจรที่นำเสนอ

แรงดัน	ความถี่	ขอบขาขึ้น(ps)	ขอบขาลง(ps)	ความหน่วงเวลา(ps)
3V	5 MHz	22.88	31.90	68.96
3V	50 MHz	28.82	26.66	65.92
3V	500 MHz	20.37	25.56	64.95
5V	5 MHz	21.40	20.67	56.30
5V	50 MHz	20.93	24.00	55.65
5V	500 MHz	21.01	21.16	55.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] L. O. Chua, “Memristor – The Missing Circuit Element,” IEEE Transactions on Circuit Theory, Vol. 18, No. 5, pp. 507-519, September 1971.
- [2] Siti Musliha Ajmal Binti, and Wan Fazlida Hanim Abdullah. "Re-model fabricated memristor behavior in LT-Spice and applied in logic circuit." Computer Applications and Industrial Electronics (ISCAIE), 2014 IEEE Symposium on. IEEE, 2014.
- [3] Tejinder Singh, “Hybrid Memristor-CMOS (MeMOS) based Logic Gates and Adder Circuits” CoRR, arXiv:1506.06735 [cs.ET], pp. 1-11, June 2015 [Pre-Print].
- [4] D. Biolek, M. Di Ventra, and Y.V. Pershin, Reliable SPICE simulations of memristors, memcapacitors and meminductors, Radioengineering, vol. 22(4), pp. 945-968, 2013.
- [5] LTspice IV user guide. Linear Technology Corporation, 1998-2012.
- [6] Guy Satat, and Nimrod Wald “Logic Design with Memristors” Technion – Israel Institute of Technology, B.S.c Semesterial Project – Winter 2011-12.
- [7] A.R. Neureuther “CMOS Capacitance and Circuit Delay” , Regents of University of California 12/01/01.
- [8] L. O. Chua, “Resistance switching memories are memristors,” Appl. Phys. A, vol. 102, no. 4, pp. 765–783, 2011.
- [9] M. D. Ventra, Y. V. Pershin, and L. O. Chua, “Circuit elements with memory: Memristors, memcapacitors, and meminductors,” Proc. IEEE, vol. 97, no. 10, pp. 1717–1724, Oct. 2009. [Online]. Available: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5247127
- [10] L. Chua, “Device modeling via nonlinear circuit elements,” IEEE Trans. Circuits Syst., vol. 27, no. 11, pp. 1014–1044, Nov. 1980.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

NMOS model Level 7 code LTSPICE

```

.MODEL NMOS NMOS (                                LEVEL = 7

+VERSION = 3.1      TNOM = 27      TOX = 4.1E-9

+XJ = 1E-7      NCH = 2.3549E17    VTH0 = 0.354505

+K1 = 0.5733393   K2 = 3.177172E-3  K3 = 27.3563303

+K3B = -10        W0 = 2.341477E-5   NLX = 1.906617E-7

+DVT0W = 0        DVT1W = 0          DVT2W = 0

+DVT0 = 1.6751718  DVT1 = 0.4282625   DVT2 = 0.036004

+U0 = 327.3736992  UA = -4.52726E-11  UB = 4.46532E-19

+UC = -4.74051E-11 VSAT = 8.785346E4  A0 = 1.6897405

+AGS = 0.2908676   B0 = -8.224961E-9  B1 = -1E-7

+KETA = 0.021238   A1 = 8.00349E-4    A2 = 1

+RDSW = 105        PRWG = 0.5        PRWB = -0.2

+WR = 1            WINT = 0          LINT = 1.351737E-8

*+XL = -2E-8       XW = -1E-8

+ DWG = 1.610448E-9

+DWB = -5.108595E-9  VOFF = -0.0652968    NFACTOR = 2.4901845

+CIT = 0            CDSC = 2.4E-4     CDSCD = 0

+CDSQB = 0          ETA0 = 0.0231564   ETAB = -0.058499

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+DSUB = 0.9467118 PCLM = 0.8512348 PDIBLC1 = 0.0929526
 +PDIBLC2 = 0.01 PDIBLCB = -0.1 DROUT = 0.5224026
 +PSCBE1 = 7.979323E10 PSCBE2 = 1.522921E-9 PVAG = 0.01
 +DELTA = 0.01 RSH = 6.8 MOBMOD = 1
 +PRT = 0 UTE = -1.5 KT1 = -0.11
 +KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
 +UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
 +WL = 0 WLN = 1 WW = 0
 +WWN = 1 WWL = 0 LL = 0
 +LLN = 1 LW = 0 LWN = 1
 +LWL = 0 CAPMOD = 2 XPART = 0.5
 +CGDO = 7.7E-10 CGSO = 7.7E-10 CGBO = 1E-12
 +CJ = 1.010083E-3 PB = 0.7344298 MJ = 0.3565066
 +CJSW = 2.441707E-10 PBSW = 0.8005503 MJSW = 0.1327842
 +CJSWG = 3.3E-10 PBSWG = 0.8005503 MJSWG = 0.1327842
 +CF = 0 PVTH0 = 1.307195E-3 PRDSW = -5
 +PK2 = -1.022757E-3 WKETA = -4.466285E-4 LKETA = -9.715157E-3
 +PU0 = 12.2704847 PUA = 4.421816E-11 PUB = 0
 +PVSAT = 1.707461E3 PETA0 = 1E-4 PKETA = 2.348777E-3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

PMOS model Level 7 code LTSPICE

```

.MODEL PMOS PMOS (                                LEVEL = 7

+VERSION = 3.1      TNOM = 27      TOX = 4.1E-9

+XJ = 1E-7      NCH = 4.1589E17      VTH0 = -0.4120614

+K1 = 0.5590154      K2 = 0.0353896      K3 = 0

+K3B = 7.3774572      W0 = 1E-6      NLX = 1.103367E-7

+DVT0W = 0      DVT1W = 0      DVT2W = 0

+DVT0 = 0.4301522      DVT1 = 0.2156888      DVT2 = 0.1

+U0 = 128.7704538      UA = 1.908676E-9      UB = 1.686179E-21

+UC = -9.31329E-11      VSAT = 1.658944E5      A0 = 1.6076505

+AGS = 0.3740519      B0 = 1.711294E-6      B1 = 4.946873E-6

+KETA = 0.0210951      A1 = 0.0244939      A2 = 1

+RDSW = 127.0442882      PRWG = 0.5      PRWB = -0.5

+WR = 1      WINT = 5.428484E-10      LINT = 2.468805E-8

*+XL = -2E-8      XW = -1E-8

+DWG = -2.453074E-8

+DWB = 6.408778E-9      VOFF = -0.0974174      NFACTOR = 1.9740447

+CIT = 0      CDSC = 2.4E-4      CDSCD = 0

+CDSCB = 0      ETA0 = 0.1847491      ETAB = -0.2531172

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+DSUB = 1.5 PCLM = 4.8842961 PDIBLC1 = 0.0156227
 +PDIBLC2 = 0.1 PDIBLCB = -1E-3 DROUT = 0
 +PSCBE1 = 1.733878E9 PSCBE2 = 5.002842E-10 PVAG = 15
 +DELTA = 0.01 RSH = 7.7 MOBMOD = 1
 +PRT = 0 UTE = -1.5 KT1 = -0.11
 +KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
 +UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
 +WL = 0 WLN = 1 WW = 0
 +WWN = 1 WWL = 0 LL = 0
 +LLN = 1 LW = 0 LWN = 1
 +LWL = 0 CAPMOD = 2 XPART = 0.5
 +CGDO = 7.11E-10 CGSO = 7.11E-10 CGBO = 1E-12
 +CJ = 1.179334E-3 PB = 0.8545261 MJ = 0.4117753
 +CJSW = 2.215877E-10 PBSW = 0.6162997 MJSW = 0.2678074
 +CJSWG = 4.22E-10 PBSWG = 0.6162997 MJSWG = 0.2678074
 +CF = 0 PVTH0 = 2.283319E-3 PRDSW = 5.6431992
 +PK2 = 2.813503E-3 WKETA = 2.438158E-3 LKETA = -0.0116078
 +PU0 = -2.2514581 PUA = -7.62392E-11 PUB = 4.502298E-24
 +PVSAT = -50 PETA0 = 1E-4 PKETA = -1.047892E-4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

memristor model code LTSPICE

```

**** Bipolar memristive system with threshold R2 ****
* D. Biolek, M. DiVentra, Y.V. Pershin *
* Reliable SPICE Simulations of Memristors, Memcapacitors
and Meminductors, 2013*
* Code for PSpice and LTspice; tested with Cadence PSpice v. 16.3 and LTspice v. 4*
*****
.subckt memristor minus plus PARAMS:
+ Ron=100 Roff=10K Rinit=5K beta=1.4E14 Vt=0.07
Gpm plus minus value = {V(plus,minus)/V(x)}
*end of the model of memristive port
*integrator model
Gx 0 x value = {fs(V(plus,minus),b1)*ws(v(x),V(plus,minus),b1,b2)*1p}
Raux x 0 1T
Cx x 0 1p IC={Rinit}
*end of integrator model
*smoothed functions
.param b1=10u b2=10u
.func stps(x,b)={1/(1+exp(-x/b))}
.func abs(x,b)={x*(stps(x,b)-stps(-x,b))}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.func fs(v,b)={beta*(v-0.5*(abss(v+Vt,b)-abss(v-Vt,b)))}
```

```
.func ws(x,v,b1,b2)={stps(v,b1)*stps(1-x/Roff,b2)+stps(-v,b1)*stps(x/Ron-1,b2)}
```

```
*end of smoothed functions
```

```
.ends memristor
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

ศุภฤกษ์ แยมัทธิม และ สิริภพ ตู้ประกาย “Low Power Hybrid Memristor-CMOS Full Adder Circuit using NAND gate” Conference Proceedings ISMAC2017, August 23 – 25, 2017, pp.49-52



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low Power Hybrid Memristor-CMOS Full Adder Circuit using NAND gate

Suparlerk Yamtim Siraphop Tooprakai

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

E-mail: suparlerk_max43@hotmail.com, siraphop@telecom.kmitl.ac.th

Tel: 66-8-12850919, 66-2-3298324

Abstract—This paper proposes the low power 1-bit full adder circuit using Hybrid Memristor-CMOS logic. It is designed by NAND gate which component and power consumption less than 1-bit full adder circuit using Hybrid Memristor-CMOS logic. All simulation results have been carried out with LTspice program based on memristor model bipolar memristive system with threshold and 180nm CMOS technology.

Keywords: memristor, full adder, power dispersion

I. INTRODUCTION

All the time, scientists and researchers wanted to develop high-speed, high-stability and low energy electronic devices. Then, in 1971, the device was invented and proposed by L.chua. [1] For the first time as a fourth base device from capacitors, resistors and inductors. Based on the relationship between electric charge and magnetic flux Memristor was first manufactured physically by the HP lab in 2008. The memristor device has pinched hysteresis loop properties that are important properties and it has many good positive properties[2]. Memristor devices was used for design in many applications.

Logic Gates are fundamental component in digital circuits. Many researches have designed and developed memristor for each purpose. Memristors are designed to build logic circuits that are faster than CMOS logic circuits. However, Memristor never create all the basic logic by itself. It must be used with CMOS as a hybrid memristor or Memristor CMOS (MeMOS).

There are a lot of mathematical models that describe the memristor device. This research utilizes the bipolar memristive system with threshold [4] which has high speed and high stability. Furthermore, CMOS is used technology 180nm. Basic logic circuits and adder circuits use the same parameter values to compare the performance of the results. By measuring the efficiency of each circuit from time delay and energy by LTSPICE [5]

The XOR gate circuits and adder circuits are very important in digital circuits and memory. Logic Gates can be improved using Boolean algebra equations to modify the advantages and disadvantages of desired

purpose. In this paper has designed the XOR circuit, the half adder circuit and full adder circuit.

II. DESIGN LOGIC GATE USING MEMRISTOR

Memristor Structure has thin titanium dioxide (TiO_2) between Platinum (Pt) on both the top and bottom of the electrode. Inside TiO_2 dividing the thin TiO_2 film is bounded by two layers. The first layer is a layer of undoped titanium oxide (TiO_2) with electrical insulation. The maximum resistance value is called R_{off} . The second layer is a doped titanium oxide (TiO_{2-x}) with electrical conductivity. The lowest resistance is called R_{on} as shown in Fig. 1. The memristor device has a pinched hysteresis loop as shown in Fig. 2.



Fig. 1 (a) Memristor structure (b) Equivalent circuit



Fig. 2 Pinched hysteresis loop of memristor

a. Design NAND gate and OR gate using Hybrid Memristor-CMOS logic

Base on memristor properties. AND gate and OR gate are designed. The design of AND gate is designed by connect plus polarity of two memristor together then feed input into minus polarity as shown Fig. 3(a). The positive input that feed into minus polarity lead to increase resistance. Likewise, the design of OR gate is designed by connect minus polarity of two memristor together then feed input into plus polarity as shown Fig. 3(b). The positive input that feed into plus polarity lead to decrease resistance.

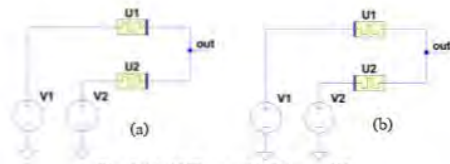


Fig. 3 (a) AND gate (b) OR gate [2]

From the equation (1) define the input $V_1=V_{DD}$ and $V_2=0V$. This method give result be AND gate or OR gate respectively.

$$V_{out} = V_1 \frac{R_1}{R_1 + R_2} \quad (1)$$

Where R_1 is resistance of memristor U1 and R_2 is resistance of memristor U2

NAND gate and NOR gate are designed by add CMOS inverter as shown in Fig. 4



Fig. 4 (a) NAND gate (b) NOR gate [2]

b. Design full adder circuit using Hybrid Memristor-CMOS logic

The full adder circuit using Hybrid Memristor-CMOS logic can be design many logic circuits [3]. In Equation (2) is XOR circuit equation as shown in Fig. 5. Equation (3) is Carry out equation as shown in Fig. 6.

$$sum = \overline{AB} + A\overline{B} \quad (2)$$

$$C_{out} = AB \quad (3)$$

In Equation (4) and (5) are the full adder equations as shown in Fig. 7. Full adder circuit using Hybrid Memristor-CMOS logic is consisted of 18 memristor and 20 CMOS.

$$sum = C_{in}(AB + \overline{AB}) + C_{in}(\overline{AB} + A\overline{B}) \quad (4)$$

$$C_{out} = AB + BC_{in} + AC_{in} \quad (5)$$

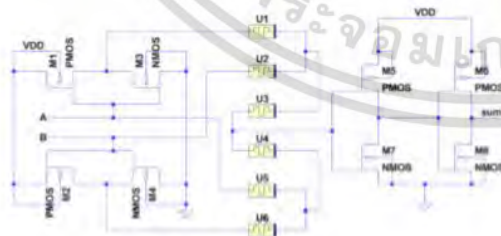


Fig. 5 XOR gate using Hybrid Memristor-CMOS logic [3]

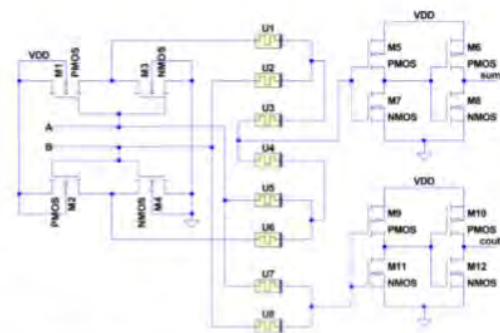


Fig. 6 Half adder circuit using Hybrid Memristor-CMOS logic [3]

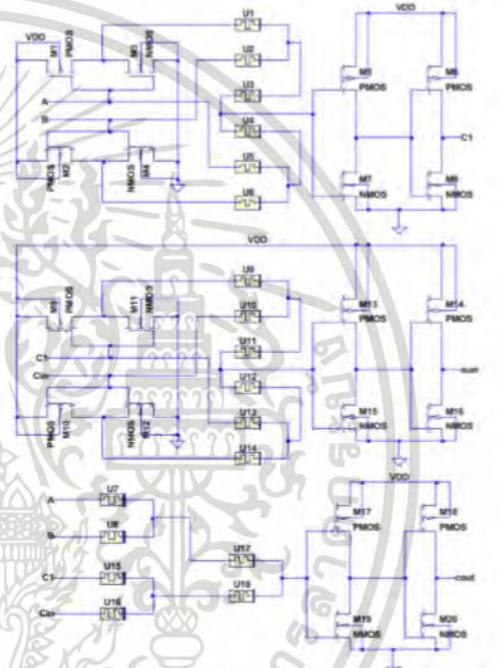


Fig. 7 Full adder circuit using Hybrid Memristor-CMOS logic [3]

III. DESIGN HYBRID MEMRISTOR-CMOS FULL ADDER CIRCUIT USING NAND GATE

In Equation (6) is the half adder equation by using XOR circuit as shown in Fig. 8. Equation (7) is a carry equation as shown in Fig. 9.

$$sum = X = \overline{\overline{AB} \cdot A \cdot \overline{AB} \cdot B} \quad (6)$$

$$C_{out} = \overline{\overline{AB}} \quad (7)$$

In Equations (8) and (9) are used to design hybrid Memristor-CMOS full adder circuit using NAND gate that consist of memristor U1-U18 and CMOS M1-M18 as shown in Fig. 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$sum = \overline{\overline{XC_{in}} \cdot X \cdot \overline{\overline{XC_{in}}} \cdot C_{in}} \quad (8)$$

$$C_{out} = \overline{AB} \cdot \overline{XC_{in}} \quad (9)$$

Fig. 10 shows the Hybrid Memristor-CMOS full adder circuit using NAND gate. When input is A = 0 and B = 0 then the memristors U4, U5, U7 and U8 increase resistance. The other memristor decrease resistance and transistors M1, M3, M5 and M8 are turned ON then the output is 0.

When input is A = 0 and B = 1 then the memristors U2, U4, U5, U6 and U7 increase resistance. The other memristor decrease resistance and transistors M1, M3, M6 and M7 are turned ON then the output is 1.

When input is A = 1 and B = 0 then the memristors U1, U3, U4, U5 and U8 increase resistance. The other memristor decrease resistance and transistors M1, M3, M6 and M7 are turned ON then the output is 1.

When input is A = 1 and B = 1 then memristors U1, U2, U3, U6, U7 and U8 increase resistance. The other memristor decrease resistance and transistors M1, M3, M6 and M7 are turned ON then the output is 0.

Output sum can be considered by the result of first XOR circuit and input C_{in} feed into second XOR circuit.

Carry consider from NAND circuit. When input is c1=0 and c2=0 then memristors U17 and U18 decrease resistance. Transistors M17 are turned ON then the output is 1.

When input is c1=0 and c2=1 then memristor U17 decrease resistance and U18 increase resistance. Transistors M17 are turned ON then the output is 1.

When input is c1=1 and c2=0 then memristor U17 increase resistance and U18 decrease resistance. Transistor M17 are turned ON then the output is 1.

When input is c1=1 and c2=1 then memristor U17 and U18 increase resistance. Transistor M17 are turned ON then the output is 0.

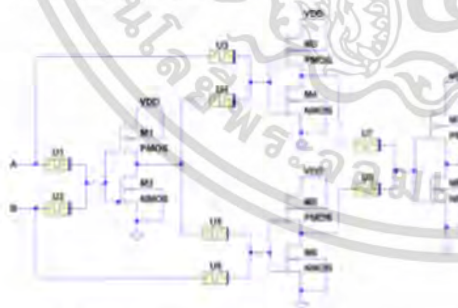


Fig. 8 Hybrid Memristor-CMOS XOR gate using NAND gate

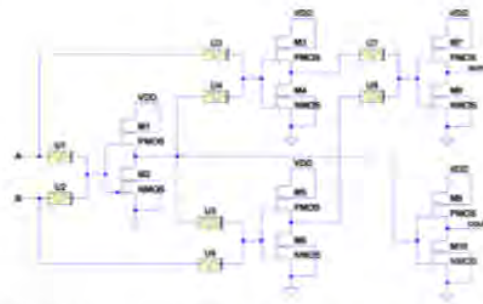


Fig. 9 Hybrid Memristor-CMOS half adder circuit using NAND gate

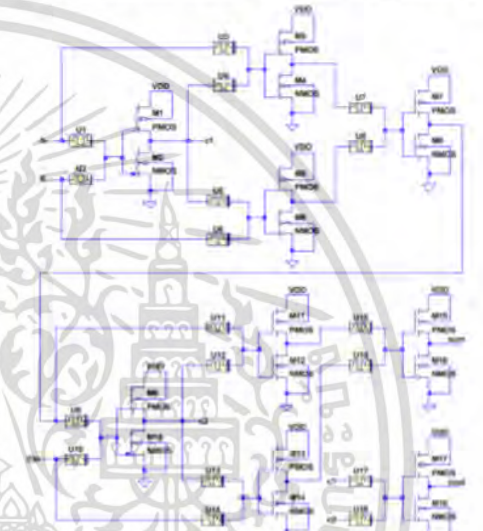


Fig. 10 Hybrid Memristor-CMOS full adder circuit using NAND gate

IV. SIMULATION RESULTS

Simulation results is simulated by LTspice program with memristor model Bipolar Memristive System with Threshold and CMOS technology 180nm. The result input and output of the Hybrid Memristor-CMOS full adder circuit using NAND gate shown as Fig. 11.

The devices are used in the circuit indicate in Table 1. Full adder circuit using Hybrid Memristor-CMOS logic has 18 memristor and 20 CMOS. Full adder circuit using Hybrid Memristor-CMOS NAND gate has 18 memristor and 18 CMOS. In addition, most of the delay in circuits cause of CMOS suggestion from AND gate compare with NAND gate. Hybrid Memristor-CMOS full adder circuit using NAND gate is saved power consumption 149.12 μW or 3.54% indicate in Table 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

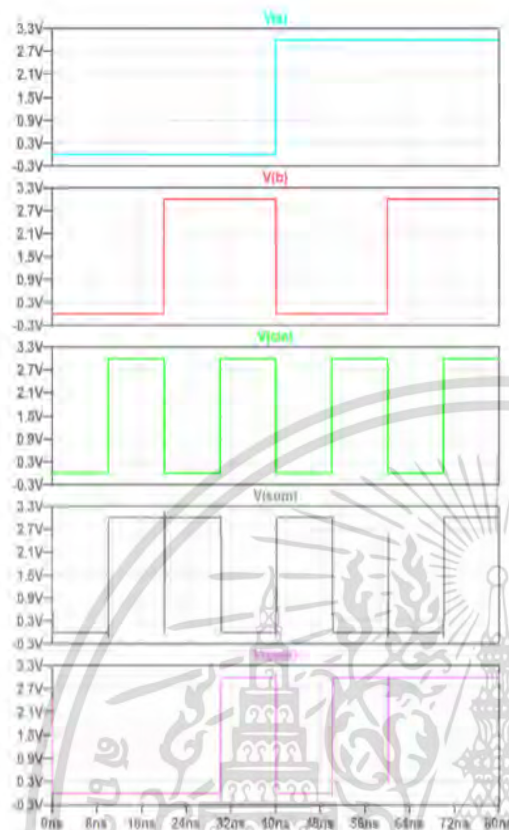


Fig. 11 Input and output of Hybrid Memristor-CMOS full adder circuit using NAND gate

Table 1 Device list for Hybrid Memristor-CMOS circuit

	Memristor	CMOS
NOT gate	0	2
AND gate	2	0
OR gate	2	0
NAND gate	2	2
NOR gate	2	2
XOR gate using MeMOS logic	6	8
XOR gate using NAND gate	8	8
Half adder using MeMOS logic	8	12
Half adder using NAND gate	8	10
full adder using MeMOS logic	18	20
full adder using NAND gate	18	18

Table 2 Simulation Results for Hybrid Memristor-CMOS

	Rise time(ps)	Fall time(ps)	Delay time(ps)	Power(μ W)
NOT gate	8.22	5.52	9.21	1.16
AND gate	4.04	3.99	0.02	409.36
OR gate	4.01	4.01	0.03	411.75
NAND gate	9.09	11.26	14.58	411.81
NOR gate	9.92	13.98	12.59	415.77
XOR gate using MeMOS logic	10.66	16.88	46.15	1422.64
XOR gate using NAND gate	24.04	23.59	71.13	2008.45
Half adder using MeMOS logic	10.66	16.88	46.15	1854.64
Half adder using NAND gate	24.01	23.59	71.13	2008.67
Full adder using MeMOS logic	22.42	16.37	72.78	4208.12
full adder using NAND gate	22.79	12.81	76.97	4059.83

V. CONCLUSION

This paper is proposed low power Hybrid Memristor-CMOS full adder circuit using NAND gate. It is consisted of 18 memristor and 18 CMOS which less than full adder circuit using Hybrid Memristor-CMOS. The performances of Hybrid Memristor-CMOS full adder circuit using NAND gate are compared with another adder circuits are carried out by using LTspice simulator. The Hybrid Memristor-CMOS full adder circuit using NAND gate can be save power consumption 3.54%.

REFERENCES

- [1] L. O. Chua, "Memristor - The Missing Circuit Element," IEEE Transactions on Circuit Theory, Vol. 18, No. 5, pp. 507-519, September 1971.
- [2] Siti Musliha Ajmal Binti, and Wan Fazlida Hanim Abdullah. "Re-model fabricated memristor behavior in LT-SPICE and applied in logic circuit." Computer Applications and Industrial Electronics (ISCAIE), 2014 IEEE Symposium on. IEEE, 2014.
- [3] Tejinder Singh, "Hybrid Memristor-CMOS (MeMOS) based Logic Gates and Adder Circuits" CoRR, arXiv:1506.06735 [cs.ET], pp. 1-11, June 2015 [Pre-Print]
- [4] D. Birolek, M. Di Ventra, and Y.V. Pershin, Reliable SPICE simulations of memristors, memcapacitors and meminductors, Radioengineering, vol. 22(4), pp. 945-968 (2013).
- [5] LTspice IV user guide. Linear Technology Corporation, 1998-2012.2012

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายศุภฤกษ์ แยมทิม
วัน เดือน ปีเกิด	1 ตุลาคม 2536
ที่อยู่	240 ซ.ลาดพร้าว 64 เขตวังทองหลาง แขวงวังทองหลาง กรุงเทพฯ 10310
ประวัติการศึกษา	2557 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้