

วงจรเปรียบเทียบและวงจรอินทิเกรเตอร์โหมดกระแสที่ใช้ไฟเลี้ยง 0.5 โวลต์  
และการประยุกต์ใช้สร้างวงจรซิกมาเดลตามอดูเลเตอร์แบบต่อเนื่องทางเวลา

A 0.5 V CURRENT-MODE COMPARATOR AND INTEGRATOR AND THEIR  
APPLICATION TO CONTINUOUS-TIME SIGMA-DELTA MODULATORS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ.2561  
KMITL-2018-EN-M-040-031

วงจรเปรียบเทียบและวงจรรีโอมดกรเรสที่ใ้ไฟเลี้ยง 0.5 โวลต์  
และการประกุกต์ใ้สร้างวงจรรชกมาเคลต้ามอดูเลเตอร์แบบต่อเนือ่งทางเวลา

A 0.5 V CURRENT-MODE COMPARATOR AND INTEGRATOR AND THEIR  
APPLICATION TO CONTINUOUS-TIME SIGMA-DELTA MODULATORS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-040-031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 0.5 V CURRENT-MODE COMPARATOR AND INTEGRATOR AND THEIR  
APPLICATION TO CONTINUOUS-TIME SIGMA-DELTA MODULATORS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2018

KMITL-2018-EN-M-040-031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2018**

**FACULTY OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์    วงจรเปรียบเทียบและวงจรรวมอินทิเกรเตอร์โหมดกระแสที่ใช้ไฟเลี้ยง 0.5 โวลต์  
และการประยุกต์ใช้สร้างวงจรมอดูเลเตอร์แบบต่อเนื่องทางเวลา

Thesis Title        A 0.5 V Current-Mode Comparator and Integrator and Their Application to  
Continuous-Time Sigma-Delta Modulators

นักศึกษา                นายธงชัย เจนเขตรกิจ






รหัสประจำตัว        56601173

ปริญญา                วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา            วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ที่ปรึกษาวิทยานิพนธ์    ศ.ดร.วรากร เกษมสุวรรณ

หมายเลขวิทยานิพนธ์        KMITL-2018-EN-M-040-031

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ดร.อัมพร	โพธิ์ไย	
รศ.ดร.อภิวัฒน์	ธนชยานนท์	
ดร.เมธา	คงพูน	
ผศ.ดร.กิตติพล	ชิตสกุล	
ศ.ดร.วรากร	เกษมสุวรรณ	

วัน / เดือน / ปี ที่สอบ    วันอังคารที่ 12 มิถุนายน พ.ศ. 2561 เวลา 13.00-15.00 น.  
สถานที่สอบ            ณ ห้องประชุม 3 ชั้น 5 อาคาร A

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องยังอิงอิงเชิงของเอกสารทุกฉบับที่มีการนำไปใช้

วันที่ 12 มิถุนายน พ.ศ. 2561

## หัวข้อวิทยานิพนธ์

วงจรถ่ายเทียบและวงจรถ่ายอินทิเกรเตอร์โหมตกระแสที่ใช้ไฟเลี้ยง 0.5 โวลต์และการประยุกต์ใช้สร้างวงจรถักมาเดลตามอตุเลเตอร์แบบต่อเนื่องทางเวลา

## ชื่อนักศึกษา

นายธงชัย เจนเขตรกิจ

## รหัสประจำตัว

56601173

## ปริญญา

วิศวกรรมศาสตรมหาบัณฑิต

## สาขาวิชา

วิศวกรรมอิเล็กทรอนิกส์

## พ.ศ.

2561

## อาจารย์ที่ปรึกษาวิทยานิพนธ์

ศ.ดร.วรสาร เกษมสุวรรณ

## บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรถ่ายเทียบสัญญาณ และวงจรถ่ายอินทิเกรเตอร์โหมตกระแส วงจรสามารถทำงานได้ที่ไฟเลี้ยงเท่ากับ 0.5 โวลต์ วงจรถูกออกแบบบนพื้นฐานของวงจรถ่ายอินทิเกรเตอร์โหมตกระแส วงจรปริแอมป์ วงจรแลตซ์ การใช้ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor) เพื่อลดความต้านทานอินพุต เทคนิคการป้อนสัญญาณเข้าที่ขาบอดี้ของทรานซิสเตอร์ (Bulk driven) เพื่อให้วงจรถ่ายอินทิเกรเตอร์โหมตกระแสสามารถทำงานได้ที่ไฟเลี้ยงต่ำและใช้การป้อนกลับแบบบวก (positive feedback) เพื่อเพิ่มอัตราขยายและเพิ่มความเร็วของวงจรถ่ายอินทิเกรเตอร์โหมตกระแสโดยใช้เทคโนโลยีซีมอสที่มีขนาดเท่ากับ 0.18  $\mu\text{m}$  แสดงให้เห็นว่าวงจรถ่ายอินทิเกรเตอร์โหมตกระแสสามารถทำงานได้ดีโดยใช้เวลาในการประมวลผลเท่ากับ 2.5 nS ในขณะที่กระแสอินพุตผลต่างมีค่าเท่ากับ 0.1  $\mu\text{A}$  และมีกำลังงานสูญเสียรวมเท่ากับ 37.73  $\mu\text{W}$

เทคนิคต่างๆ ข้างต้นถูกใช้พัฒนางจรถ่ายอินทิเกรเตอร์โหมตกระแส ผลการจำลองการทำงานแสดงให้เห็นว่าวงจรถ่ายอินทิเกรเตอร์โหมตกระแสสามารถทำงานได้โดยมีอัตราขยายที่ความถี่ต่ำเท่ากับ 34.79 dB เมื่อกระแสไบอัสมีค่าเท่ากับ 10.5  $\mu\text{A}$  ความผิดเพี้ยนฮาร์โมนิกส์รวมมีค่าเท่ากับ 1.2% เมื่ออัตราส่วนระหว่างกระแสอินพุตกับกระแสไบอัสมีค่าเท่ากับ 0.75 วงจรถ่ายอินทิเกรเตอร์โหมตกระแสมีกำลังงานสูญเสียเท่ากับ 31.76  $\mu\text{W}$

วงจรถ่ายเทียบกระแสและวงจรถ่ายอินทิเกรเตอร์โหมตกระแสที่นำเสนอข้างต้นถูกนำมาสร้างวงจรถักมาเดลตามอตุเลเตอร์แบบป้อนกลับที่ทำงานในโหมตกระแสเพื่อประยุกต์ใช้งานกับอุปกรณ์ตรวจจับสัญญาณทางชีวภาพโดยมีช่วงความถี่ปฏิบัติงานไม่เกิน 20 kHz ผลการจำลองแสดงให้เห็นว่าวงจรถ่ายอินทิเกรเตอร์โหมตกระแสสามารถมีอัตราส่วนกำลังสัญญาณต่อสัญญาณรบกวนประมาณเท่ากับ 69 dB

<b>Thesis Title</b>	A 0.5 V Current-Mode Comparator and Integrator and Their Application to Continuous-Time Sigma-Delta Modulators
<b>Student</b>	Mr. Thongchai Jankatkit
<b>Student ID</b>	56601173
<b>Degree</b>	Master of Engineering
<b>Program</b>	Electronics Engineering
<b>Year</b>	2018
<b>Thesis Advisor</b>	Prof. Dr. Varakorn Kasemsuwan

## ABSTRACT

This paper presents a design of current-mode comparator and integrator circuit that can operate at the supply voltage of 0.5 volt. The circuits were designed based on current mirror, preamplifier, latch circuits, quasi-floating gate transistor to reduce an input impedance, bulk driven technique for low voltage operation, and positive feedback to increase the overall gain and operation speed. Simulation results demonstrated that the current comparator using a 0.18  $\mu\text{m}$  technology have a propagation delay time of 2.5 nS, when the differential input current is 0.1  $\mu\text{A}$ . The power dissipation was 37.37  $\mu\text{W}$ .

The aforementioned techniques were also used to develop the current-mode integrator circuit. Simulation results showed that the circuit could operate at the same supply voltage and had a low frequency gain of 34.75 dB when biased at 10.5  $\mu\text{A}$ . The total harmonics distortion (THD) was 1.2 % when the ratio of input current to bias current is 0.75. The power dissipation was 31.76  $\mu\text{W}$ .

The current comparator circuit and the current mode integrator were then used to implement a current-mode sigma-delta modulator aiming for biomedical application whose signal frequency was less than 20 kHz. Simulation results showed the signal-to-noise ratio (SNR) of around 69 dB.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ ด้วยความกรุณาจากอาจารย์ที่ปรึกษา ศ.ดร.วรากร เกษมสุวรรณ ที่ได้ให้ความช่วยเหลือและคำชี้แนะต่างๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ผู้วิจัย ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านจึงขอขอบพระคุณเป็นอย่างสูง

ขอขอบคุณห้องปฏิบัติการวิจัย King Mongkut's Integrated Circuit Lab (KMICL) ที่ได้สนับสนุนเครื่องมือตลอดจนข้อมูลและหนังสือต่าง ๆ ที่ใช้ในการทำงานวิจัย

ขอขอบคุณบริษัทแม็กซิมอินทริเกรตเต็ดโปรดักส์ที่ได้สนับสนุนทุนการศึกษา

สุดท้ายขอกราบขอบพระคุณเป็นอย่างสูงต่อ บิดา มารดา ผู้ซึ่งเป็นที่รักและเคารพยิ่งของผู้วิจัย ตลอดจนครูปาอาจารย์ที่เคารพทุกท่าน ทุกสถาบันการศึกษาที่ผู้วิจัยเคยศึกษามา ที่ได้อบรมสั่งสอน มอบความรู้และวิชาการต่างๆ ให้แก่ผู้วิจัย

ธงชัย เจนเขตรกิจ



# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.4 ขอบเขตการวิจัย.....	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	2
1.6 ขั้นตอนการศึกษา.....	2
บทที่ 2 หลักการทำงานและงานวิจัยที่เกี่ยวข้องของวงจรเปรียบเทียบและวงจรรวมอินทิเกรเตอร์ โหมดกระแส.....	4
2.1 วงจรประมวลผลสัญญาณในโหมดกระแส.....	4
2.1.1 ความสำคัญของวงจรประมวลผลสัญญาณในโหมดกระแส.....	4
2.1.2 ข้อดีของวงจรประมวลผลสัญญาณในโหมดกระแส.....	4
2.1.3 วงจรเสมือนของวงจรประมวลผลสัญญาณโหมดแรงดันเทียบกับโหมด กระแส.....	5
2.2 วงจรเปรียบเทียบสัญญาณโหมดกระแส (Current-Mode Comparator).....	8
2.2.1 คุณสมบัติสำคัญของวงจรเปรียบเทียบสัญญาณโหมดกระแส.....	8
2.3 วงจรเปรียบเทียบสัญญาณโหมดกระแสที่ถูกนำเสนอก่อนหน้า.....	9
2.4 วงจรรวมอินทิเกรเตอร์โหมดกระแส (Current-Mode Integrator).....	13
2.5 วงจรรวมอินทิเกรเตอร์โหมดกระแสที่ถูกนำเสนอก่อนหน้า.....	15
บทที่ 3 วงจรเปรียบเทียบสัญญาณและวงจรรวมอินทิเกรเตอร์โหมดกระแสที่นำเสนอ.....	19
3.1 เทคนิคการออกแบบวงจรที่ทำงานภายใต้ไฟเลี้ยงต่ำ.....	19

## สารบัญ (ต่อ)

	หน้า
3.1.1 ทรานซิสเตอร์ที่ใช้การไบแอสที่ขาบอดี้ (Bulk-driven transistor).....	19
3.1.2 ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor).....	21
3.2 วงเปรียบเทียบสัญญาณโหมตกระแสที่นำเสนอ.....	22
3.2.1 หลักการทำงานของวงจร.....	22
3.2.2 การวิเคราะห์ความต้านทานเสมือนด้านอินพุตวงจรเปรียบเทียบกระแส.....	25
3.2.3 การวิเคราะห์ผลการตอบสนองความถี่ของวงจรเปรียบเทียบกระแส.....	27
3.2.4 การวิเคราะห์ผลตอบสนองทางเวลาของวงจรภาคเอาต์พุตแลตซ์.....	29
3.2.5 การวิเคราะห์ออฟเซต.....	31
3.2.6 ผลจำลองการทำงานของวงจรเปรียบเทียบกระแส.....	33
3.3 วงจรอินทิเกรเตอร์โหมตกระแส.....	42
3.3.1 หลักการทำงานของวงจร.....	42
3.3.2 การวิเคราะห์วงจร.....	44
3.3.2.1 ฟังก์ชันการถ่ายโอนในโหมตขยายผลต่าง (Differential mode response).....	44
3.3.2.2 ฟังก์ชันการถ่ายโอนโหมตร่วม (Common mode response).....	46
3.3.3 ผลจำลองการทำงานของวงจรอินทิเกรเตอร์.....	47
บทที่ 4 การประยุกต์ใช้งานวงจรเปรียบเทียบและวงจรอินทิเกรเตอร์โหมตกระแส.....	55
4.1 หลักการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล.....	55
4.1.1 สัญญาณรบกวนหรือความคลาดเคลื่อนที่เกิดขึ้นจากการจัดระดับสัญญาณ (Quantization error).....	56
4.1.2 การสุ่มแบบเกิน (Oversampling).....	59
4.1.3 การจัดสัญญาณรบกวนด้วยวงจรมอดูเลตสัญญาณซิกมาเดลต้า.....	60
4.1.4 การจัดสัญญาณรบกวนด้วยวงจรมอดูเลตสัญญาณซิกมาเดลต้าอันดับสูง.....	63
4.2 วงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา(CT- $\Sigma\Delta$ ).....	65
4.3 การออกแบบระบบซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา(CT- $\Sigma\Delta$ ).....	67
4.3.1 การออกแบบคุณสมบัติ (Specifications).....	67
4.3.2 ฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF).....	68

## สารบัญ (ต่อ)

	หน้า
4.4 การออกแบบวงจรซิกมาเดลต้าออสซิลเลเตอร์แบบต่อเนื่องทางเวลา (CT- $\Sigma\Delta$ ) โหมตกระแส.....	72
4.4.1 การออกแบบวงจรอินทิเกรเตอร์โหมตกระแส.....	73
4.4.2 การออกแบบตัวจัดระดับ (Quantizer) โหมตกระแส.....	74
4.4.3 วงจรแปลงสัญญาณดิจิทัลเป็นแอนาล็อกกระแส (DAC).....	76
4.5 ผลจำลองการทำงานของวงจร CT- $\Sigma\Delta$ โหมตกระแส.....	78
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ.....	84
5.1 สรุปผลการวิจัย.....	84
5.1 ข้อเสนอแนะ.....	84
เอกสารอ้างอิง.....	85
ภาคผนวก.....	89
ภาคผนวก ก. การวิเคราะห์หาความต้านทานเสมือนด้านอินพุต.....	90
ภาคผนวก ข. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	94
ประวัติผู้เขียน.....	101

# สารบัญตาราง

ตารางที่	หน้า
3.1 ขนาดของมอสทรานซิสเตอร์ของวงจรเปรียบเทียบกระแส.....	34
3.2 การเปรียบเทียบคุณสมบัติของวงจรเปรียบเทียบกระแส.....	40
3.3 การเปลี่ยนแปลงความต้านทานเสมือนด้านอินพุตและค่าหน่วยเวลาต่อกระบวนการผลิต...	40
3.4 คุณสมบัติของวงจรเปรียบเทียบกระแสที่นำเสนอและผลการจำลองการทำงาน.....	41
3.5 ขนาดของมอสทรานซิสเตอร์ภายในวงจรอินทิเกรเตอร์.....	47
3.6 คุณสมบัติของวงจรอินทิเกรเตอร์.....	54
3.7 การเปรียบเทียบคุณสมบัติของวงจรอินทิเกรเตอร์.....	54
4.1 คุณสมบัติสำหรับออกแบบวงจรซิกมาเดลต้ามอดูเลเตอร์.....	68
4.2 แสดงจำนวนบิตความละเอียดจากสมการที่ 4.28.....	68
4.3 สัมประสิทธิ์และอัตราขยายของระบบ CT- $\Sigma\Delta$ .....	71
4.4 ตัวเก็บประจุของวงจรอินทิเกรเตอร์โหมดกระแสที่ใช้ในวงจร CT- $\Sigma\Delta$ .....	74
4.5 คุณสมบัติของวงจร CT- $\Sigma\Delta$ โหมดกระแส (สัญญาณอินพุต 6 kHz).....	83
4.6 เปรียบเทียบ FoM ของวงจร $\Sigma\Delta$ .....	83

# สารบัญรูป

รูปที่	หน้า
2.1 วงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน.....	5
2.2 วงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดกระแส.....	6
2.3 วงจรเปรียบเทียบสัญญาณกระแส.....	8
2.4 โครงสร้างภายในวงจรเปรียบเทียบสัญญาณกระแส.....	8
2.5 วงจรเปรียบเทียบสัญญาณกระแสแบบคาสโคดโดย (D. A. FREITAS) [1].....	9
2.6 วงจรเปรียบเทียบสัญญาณกระแสโดย (H. Traff) [2].....	10
2.7 วงจรเปรียบเทียบสัญญาณกระแสโดย (Tang, A.T.K) [3].....	10
2.8 วงจรเปรียบเทียบสัญญาณกระแสโดย (Ravezzi, L) [4].....	11
2.9 วงจรเปรียบเทียบสัญญาณกระแสถูกนำเสนอโดย Lu-Chen [5].....	12
2.10 วงจรเปรียบเทียบสัญญาณกระแสถูกนำเสนอโดย S. Khucharoensin [5].....	12
2.11 วงจรเปรียบเทียบสัญญาณกระแสโดย (S. Sarkar) [6].....	13
2.12 วงจรอินทิเกรเตอร์โหมดกระแสแบบสูญเสีย.....	13
2.13 วงจรอินทิเกรเตอร์โหมดกระแสแบบไม่สูญเสีย.....	14
2.14 การตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบ ก) อุดมคติ และ..... ข) ในทางปฏิบัติ.....	14
2.15 วงจรอินทิเกรเตอร์โหมดกระแสแบบผลต่างโดย (R. H. Zele) [13].....	16
2.16 วงจรอินทิเกรเตอร์โหมดกระแสที่ใช้เทคนิคการต่อแบบคาสโคด.....	17
2.17 วงจรอินทิเกรเตอร์โดย (Z.Yung) [18].....	17
2.18 วงจรอินทิเกรเตอร์โดย (Juhho Bang) [19].....	18
3.1 ก) ทรานซิสเตอร์ที่ป้อนไบอัสขาบอดี้ (ข) กระแสที่ขาเดรน ( $I_D$ ) กับแรงดันไบอัสที่ขาบอดี้.. ( $V_{BS}$ ) เมื่อแรงดันที่ขาเกต ( $V_{GS}$ ) เท่ากับ 0.5 โวลต์.....	20
3.2 กระแสที่ขาเดรน ( $I_D$ ) และกระแสที่ขาบอดี้ ( $I_B$ ) ต่อแรงดันไบอัสที่ขาบอดี้เมื่อกำหนด..... แรงดันที่ขาเกต ( $V_{GS}$ ) เท่ากับ 0.5 โวลต์.....	20
3.3 ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor).....	21
3.4 โครงสร้างวงจรเปรียบเทียบสัญญาณโหมดกระแส.....	22
3.5 วงจรเปรียบเทียบสัญญาณโหมดกระแสที่นำเสนอ (ก) วงจรปรีแอมป์ทรานซิมพีแคนซ์..... (ข) วงจรเปรียบเทียบแรงดันแบบแลตซ์ (ค) วงจรที่ใช้สร้างตัวต้านทานขนาดใหญ่.....	23

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.6 (ก) การป้อนแรงดันทดสอบเพื่อหาค่า $G_m$ ของวงจรจากอินพุตโนด A ถึงโนด C.....	25
(ข) วงจรเสมือนสัญญาณขนาดเล็กของวงจรจากอินพุตโนด A ถึงโนด C.....	25
3.7 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหาค่าความต้านทานเสมือนของวงจรที่โนด C.....	26
3.8 (ก) การป้อนแรงดันทดสอบเพื่อหาค่า $G_{m(C-FB)}$ .....	26
(ข) วงจรเสมือนสัญญาณขนาดเล็กของวงจรจากอินพุตโนด C ถึงโนด FB.....	26
3.9 วงจรเสมือนสัญญาณขนาดเล็กของวงจรปรีแอมป์.....	28
3.10 ก) วงจรภาคเอาต์พุตแลตซ์ ข) วงจรเสมือนสัญญาณขนาดเล็กของวงจรแลตซ์.....	29
3.11 ผลตอบสนองทางเวลาของวงจรแลตซ์.....	29
3.12 ผลตอบสนองทางเวลาของวงจรแลตซ์ช่วงรีเซ็ต.....	31
3.13 วงจรเปรียบเทียบกระแส และออฟเซ็ท.....	32
3.14 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสเมื่อป้อนอินพุตขนาด $\pm 50$ nA.....	36
ที่ความถี่ 25 MHz.....	36
3.15 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสเมื่อป้อนอินพุตขนาด $\pm 10$ $\mu$ A.....	36
ที่ความถี่ 25 MHz.....	36
3.16 ค่าหน่วงเวลาเฉลี่ยเมื่อป้อนกระแสอินพุตจาก 20nA ถึง 10 $\mu$ A.....	37
3.17 ความไวของวงจรเปรียบเทียบกระแส.....	37
3.18 กำลังงานสูญเสียเมื่อป้อนกระแสอินพุตผลต่างระหว่าง 20 nA ถึง 10 $\mu$ A.....	38
3.19 ค่าความต้านทานด้านอินพุตของวงจรเปรียบเทียบกระแส.....	38
3.20 การแจกแจงความถี่กระแสอินพุตออฟเซ็ท (Histogram) ของวงจรเปรียบเทียบกระแส	39
3.21 กราฟความสัมพันธ์ระหว่างกระแสอินพุตผลต่าง แรงดันเอาต์พุต และ $Clk$ (125MHz).....	39
3.22 (ก) ฟังก์ชันในอุดมคติของอินทิเกรเตอร์ (ข) โครงสร้างวงจรอินทิเกรเตอร์กระแส.....	42
3.23 วงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	43
3.24 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์โหมดผลต่าง.....	44
3.25 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์สำหรับวิเคราะห์โหมดรวม.....	46
3.26 (ก) การตอบสนองทางความถี่ (ข) การตอบสนองทางเฟสเมื่อความถี่อัตราขยายเท่ากับ....	50
หนึ่งเท่ากับ 430 kHz.....	50
3.27 (ก) การตอบสนองทางความถี่ (ข) การตอบสนองทางเฟสเมื่อความถี่อัตราขยายเท่ากับ....	51
หนึ่งเท่ากับ 25 MHz.....	51

## สารบัญญรูป (ต่อ)

รูปที่	หน้า
3.28 การตอบสนองทางเวลาของวงจรมอนิเตอร์แบบขยายผลต่าง.....	52
3.29 การตอบสนองทางความถี่เมื่อป้อนอินพุตโหมตร่วม.....	52
3.30 ความผิดเพี้ยนฮาร์มอนิกส์รวมของวงจรมอนิเตอร์.....	53
3.31 สัญญาณรบกวนด้านอินพุตของวงจรมอนิเตอร์.....	53
4.1 ระบบการประมวลสัญญาณดิจิทัล.....	55
4.2 การส่งผ่านสัญญาณของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล.....	56
4.3 ความคลาดเคลื่อนจากการจัดระดับสัญญาณ.....	57
4.4 ความหนาแน่นการกระจายตัวของสัญญาณรบกวน.....	57
4.5 ความหนาแน่นกำลังสัญญาณรบกวน (Power spectrum density, $S_D(f)$ ).....	58
4.6 การต่อวงจรกรองความถี่เพื่อลดผลของ $P_O$ ในช่วง $f_{BW}$ .....	59
4.7 ความหนาแน่นกำลังงาน $S_D(f)$ ของ Nyquist และ Oversampling ADC.....	60
4.8 แสดงโครงสร้างวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า.....	61
4.9 (ก) โครงสร้างพื้นฐานของเดลต้าซิกมามอดูเลเตอร์ (ข) แบบจำลองเชิงเส้นของเดลต้าซิกมามอดูเลเตอร์.....	61
4.10 ความหนาแน่นของกำลังสัญญาณรบกวนที่เปลี่ยนไปจากการมอดูเลชัน.....	62
(ก) กำลังงานของ $e_d(n)$ และ NTF ของการสุ่มแบบ Oversampling.....	62
(ข) ความหนาแน่นของกำลังสัญญาณรบกวนหลังจากการจัดสัญญาณรบกวน (Noise shaping) ภายใน Bandwidth ของสัญญาณอินพุต.....	62
4.11 กำลังงานสัญญาณรบกวนจากการจัดระดับหลังผ่านการมอดูเลเตอร์อันดับ 1, 2, 3.....	64
4.12 โครงสร้างพื้นฐานของ $\Sigma\Delta$ (ก) วงจร DT- $\Sigma\Delta$ (ข) วงจร CT- $\Sigma\Delta$ .....	65
(ค) วงจรรูปเปิดของ DT- $\Sigma\Delta$ (ง) วงจรรูปเปิดของ CT- $\Sigma\Delta$ .....	65
4.13 รูปแบบผลตอบสนองสัญญาณอิมพัลส์ DAC (ก) แบบทั่วไป (ข) แบบสัญญาณไม่กลับเป็นศูนย์ (NRZ) (ค) แบบสัญญาณเอาต์พุตกลับเป็นศูนย์ (RZ).....	66
4.14 ระบบวงจร $\Sigma\Delta$ โดยที่ $L_0$ คือฟังก์ชันถ่ายโอนระหว่างอินพุต และ $L_1$ คือฟังก์ชันถ่ายโอนป้อนกลับ.....	69
4.15 ระบบ CT- $\Sigma\Delta$ แบบป้อนกลับ (CIFB) [26].....	70
4.16 ระบบ CT- $\Sigma\Delta$ แบบป้อนกลับแบบรอบเดียว.....	71
4.17 สเปกตรัมสัญญาณเอาต์พุตของระบบ CT- $\Sigma\Delta$ เปรียบเทียบกับ DT- $\Sigma\Delta$ .....	72

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.18 กำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต.....	72
4.19 โครงสร้างวงจรมอดูเลเตอร์แบบต่อเนื่องทางเวลา(CT- $\Sigma\Delta$ ) โหมดกระแส...	73
4.20 วงจรตัวจัดระดับ (Quantizer) โหมดกระแส.....	74
4.21 (ก) วงจรอาร์เอสแลตช์ (RS Latch) ข) วงจรอินเวอร์เตอร์.....	75
4.22 ผลการทำของวงจร Quantizer ร่วมกับสัญญาณนาฬิกา ( $V_{clk}$ ) ที่ความถี่ 2.56MHz.....	76
4.23 วงจร DAC ต่อร่วมกับวงจรมอดูเลเตอร์โหมดกระแส.....	77
4.24 การทำงานของวงจรมอดูเลเตอร์ DAC ที่ความถี่การสุ่มเท่ากับ 2.56 MHz.....	77
4.25 การแจกแจงความถี่กระแสเอาต์พุต (Histogram) ของวงจรมอดูเลเตอร์.....	79
(ก) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่หนึ่ง.....	79
(ข) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่สอง.....	79
(ค) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่สาม (หรือกระแสอินพุตของ Quantizer).....	79
4.26 ผลการแจกแจงความถี่ (Histogram) ของการสวิงของแรงดันที่โนดต่างๆ.....	80
(ก) แรงดันสวิงที่โนดอินพุตของอินทิเกรเตอร์ทั้งสามโนด.....	80
(ข) แรงดันสวิงที่โนดอินพุตของ Quantizer.....	80
4.27 ผลตอบสนองเอาต์พุตบิต (Bit stream) ต่อสัญญาณกระแสอินพุตต่างไซนุซอยด์.....	80
(Sinusoidal signal) $\pm 4\mu A$ (20 kHz).....	80
4.28 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$ ที่ความถี่สุ่ม 2.56 MHz.....	81
4.29 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$ โดยสัญญาณอินพุตความถี่เท่ากับ.....	81
20 kHz.....	81
4.30 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$ ภายในย่านความถี่แบนด์วิดท์ของ.....	82
สัญญาณอินพุต.....	82
4.31 กำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต.....	82
ก.1 วงจรเปรียบเทียบสัญญาณกระแส.....	91
ก.2 วงจรเปรียบเทียบกระแสสำหรับวิเคราะห์ความต้านทานเสมือนด้านอินพุต.....	91

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันอุปกรณ์อิเล็กทรอนิกส์แบบพกพาเป็นที่นิยมอย่างมาก วงจรอิเล็กทรอนิกส์ภายในอุปกรณ์ดังกล่าวถูกพัฒนาขึ้นอย่างรวดเร็วทั้งด้านประสิทธิภาพการทำงาน และการลดกำลังการสูญเสียลง ดังนั้นการออกแบบวงจรในอุปกรณ์อิเล็กทรอนิกส์แบบพกพาจำเป็นต้องออกแบบให้วงจรทำงานได้ที่แรงดันไฟเลี้ยงต่ำ นอกจากนี้ทรานซิสเตอร์ที่มีขนาดเล็กมากในปัจจุบันจำเป็นต้องใช้แรงดันไฟเลี้ยงต่ำตามไปด้วยเพื่อไม่ให้เกิดปรากฏการณ์พังทลาย การลดลงของแรงดันไฟเลี้ยงส่งผลทำให้การประมวลผลสัญญาณของวงจรแอนะล็อกในโหมดแรงดันมีปัญหในเรื่องการสวิงของสัญญาณแรงดันเพราะถูกจำกัดด้วยไฟเลี้ยงของวงจร วงจรที่ประมวลผลสัญญาณในโหมดกระแสจึงเป็นทางเลือกหนึ่งสำหรับการออกแบบวงจรแอนะล็อกที่สามารถทำงานได้ภายใต้ไฟเลี้ยงต่ำ เหตุผลเนื่องจากความต้านทานเสมือนทุกโหนดในวงจรที่ประมวลผลโหมดกระแสมีค่าน้อยทำให้การสวิงของสัญญาณกระแสสามารถใหญ่ได้โดยไม่ถูกจำกัดโดยแรงดันไฟเลี้ยง

วงจรเปรียบเทียบสัญญาณโหมดกระแส (Current comparator) คือวงจรที่ทำหน้าที่เปรียบเทียบระดับสัญญาณกระแสอินพุต 2 ค่า แล้วให้สัญญาณเอาต์พุตเป็น 1 หรือ 0 โดยขึ้นอยู่กับระดับของสัญญาณกระแสอินพุตทั้งสองค่า วงจรเปรียบเทียบสัญญาณเป็นส่วนสำคัญและถูกนำมาใช้ในวงจรแอนะล็อกมากมาย เช่น วงจรแปลงสัญญาณแอนะล็อกไปเป็นสัญญาณดิจิทัล

วงจรอินทิเกรเตอร์เป็นวงจรหลักอีกวงจรหนึ่งที่ถูกใช้เป็นวงจรพื้นฐานในการออกแบบวงจรกรองความถี่แบบแอคทีฟ (Active filter) วงจรกรองความถี่เป็นวงจรที่มีความสำคัญมากในการประยุกต์ใช้งานต่างๆ เช่น การประมวลผลสัญญาณเสียงและภาพ ระบบการวัด เครื่องมือวัด ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคม

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแส โดยวงจรได้ถูกออกแบบให้สามารถทำงานภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ และมีการสูญเสียกำลังงานน้อย วงจรทั้งสองถูกนำไปประยุกต์ใช้งานเพื่อสร้างวงจรชิกมาเดลตามอตุเลเตอร์โหมดกระแส

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มุ่งเน้นศึกษาการทำงานและออกแบบวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ และการประยุกต์ใช้งานเพื่อออกแบบวงจรชิกมาเดลตามอตุเลเตอร์โหมดกระแส เทคโนโลยีที่ใช้ในการออกแบบคือซีมอส

ทรานซิสเตอร์ที่มีขนาดเท่ากับ 0.18  $\mu\text{m}$  วงจรถูกออกแบบให้สามารถทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 0.5 โวลต์ และมีการสูญเสียกำลังงานน้อย

วัตถุประสงค์ของการศึกษา เพื่อค้นคว้าวิจัยวงจรโหมดกระแสที่ถูกนำเสนอมาก่อนหน้าศึกษาเทคนิคการออกแบบวงจรภายใต้ไฟเลี้ยงต่ำโดยใช้เทคโนโลยีซีมอส และพัฒนาออกแบบวงจรเปรียบเทียบสัญญาณและวงจรอินทิเกรเตอร์โหมดกระแสที่สามารถทำงานภายใต้ไฟเลี้ยงต่ำ และการนำวงจรที่ถูกออกแบบไปประยุกต์ใช้งาน

### 1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

ในการออกแบบวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสให้สามารถทำงานภายใต้ไฟเลี้ยงต่ำ วิทยานิพนธ์ฉบับนี้ออกแบบวงจรบนพื้นฐานของหลักการของวงจรสะท้อนกระแส วงจรปรีแอมป์ และวงจรแลตซ์ โดยใช้เทคนิคการออกแบบวงจรภายใต้ไฟเลี้ยงต่ำต่างๆ ได้แก่ การใช้ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor) เพื่อลดความต้านทานอินพุต เทคนิคการป้อนสัญญาณเข้าที่ขาบอดี้ของทรานซิสเตอร์ (Bulk driven) เพื่อให้วงจรสามารถทำงานที่ไฟเลี้ยงต่ำได้ และใช้การป้อนกลับแบบบวก (Positive feedback) เพื่อเพิ่มความเร็วของวงจร การป้อนกลับแบบลบ (Negative feedback) เพื่อลดความต้านทานด้านอินพุต

### 1.4 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสภายใต้ไฟเลี้ยงต่ำ และการประยุกต์ใช้งานออกแบบวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอลชนิดซิกมาเดลต้ามอดูเลเตอร์ (Delta-Sigma Modulator) สำหรับใช้งานในย่านความถี่ 20 KHz วงจรถูกออกแบบโดยใช้มอสทรานซิสเตอร์เทคโนโลยี 0.18  $\mu\text{m}$  จำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence OrCAD Capture และใช้รูปแบบจำลอง BSIM3V3 model

### 1.5 ประโยชน์ที่คาดว่าจะได้รับ

พัฒนางจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสที่สามารถทำงานภายใต้ไฟเลี้ยง 0.5 โวลต์

การประยุกต์ใช้วงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสเพื่อสร้างวงจรซิกมาเดลต้ามอดูเลเตอร์โหมดกระแส

### 1.6 ขั้นตอนการศึกษา

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 กล่าวถึงความเป็นมาของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ ทฤษฎีที่ใช้  
ขอบเขตของการวิจัย ขั้นตอนการศึกษา และประโยชน์ที่คาดว่าจะได้รับ

บทที่ 2 กล่าวถึงหลักการออกแบบวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมด  
กระแส รวมถึงวงจรที่เคยถูกนำเสนอมาก่อนหน้า

บทที่ 3 กล่าวถึงวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสที่นำเสนอ

บทที่ 4 กล่าวถึงการประยุกต์ใช้งานวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมด  
กระแส เพื่อการออกแบบวงจรซิกมาเดลต้ามอดูเลเตอร์โหมดกระแส

บทที่ 5 กล่าวถึงการสรุปผลการวิจัยและข้อเสนอแนะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

# หลักการดำเนินงานและงานวิจัยที่เกี่ยวข้องของวงจรเปรียบเทียบ และวงจรอินทิเกรเตอร์โหมดกระแส

บทนี้กล่าวถึงทฤษฎีและงานวิจัยที่เกี่ยวข้องของวงจรเปรียบเทียบสัญญาณโหมดกระแสและวงจรอินทิเกรเตอร์โหมดกระแส โดยแบ่งออกเป็น 5 ส่วน ส่วนที่หนึ่งกล่าวถึงความสำคัญในการออกแบบวงจรในโหมดกระแสเมื่อเปรียบเทียบกับวงจรที่ประมวลผลในโหมดแรงดัน และคุณสมบัติที่ดีของวงจรที่ทำงานในโหมดกระแส ส่วนที่สองกล่าวถึงหลักการดำเนินงานของวงจรเปรียบเทียบสัญญาณโหมดกระแส ส่วนที่สามกล่าวถึงวงจรเปรียบเทียบสัญญาณโหมดกระแสที่ถูกพัฒนาขึ้นมา ส่วนที่สี่กล่าวถึงหลักการดำเนินงานของวงจรอินทิเกรเตอร์โหมดกระแส และส่วนสุดท้ายกล่าวถึงวงจรอินทิเกรเตอร์โหมดกระแสที่ถูกพัฒนาขึ้นมา

### 2.1 วงจรประมวลผลสัญญาณในโหมดกระแส

#### 2.1.1 ความสำคัญของวงจรประมวลผลสัญญาณในโหมดกระแส

ปัจจุบันผู้ออกแบบวงจรมีความต้องการอย่างมากในการออกแบบวงจรให้สามารถทำงานได้โดยใช้พลังงานที่ต่ำ โดยเฉพาะอย่างยิ่งสำหรับอุปกรณ์พกพาซึ่งมีข้อจำกัดในเรื่องแหล่งพลังงานที่ได้จากแบตเตอรี่ เพื่อให้สอดคล้องกับความต้องการดังกล่าวจึงมีความจำเป็นต้องออกแบบวงจรหรือระบบให้มีการสูญเสียพลังงานที่ต่ำและสามารถทำงานได้ภายใต้แรงดันไฟเลี้ยงต่ำ เป็นที่ทราบกันดีว่าการลดลงของแหล่งจ่ายไฟเลี้ยงส่งผลให้การสวิงของสัญญาณในโหมดแรงดันถูกจำกัดมากและอาจถูกรบกวนจากสัญญาณรบกวนได้ง่ายเพราะอัตราส่วนของสัญญาณต่อสัญญาณรบกวนมีค่าน้อย วิธีแก้ปัญหาก็ได้รับความนิยมนำมาใช้สำหรับวงจรที่ประมวลผลสัญญาณแอนะล็อกให้ทำงานภายใต้ไฟเลี้ยงต่ำได้คือการใช่วงจรประมวลผลสัญญาณในโหมดกระแส เนื่องจากขนาดสัญญาณของกระแสสามารถมีค่ามากได้ ส่งผลให้อัตราส่วนของสัญญาณต่อสัญญาณรบกวนมีค่ามากได้ นอกจากนี้วงจรที่ประมวลผลในโหมดกระแสสามารถทำงานที่ความถี่สูงได้ดี เพราะความต้านทานเสมือนที่โหนดต่าง ๆ ในวงจรมีค่าต่ำ

#### 2.1.2 ข้อดีของวงจรประมวลผลสัญญาณในโหมดกระแส

วงจรที่ประมวลผลสัญญาณในโหมดกระแสมีข้อดีเมื่อเปรียบเทียบกับวงจรที่ประมวลผลสัญญาณในโหมดแรงดันดังนี้ [9-12]

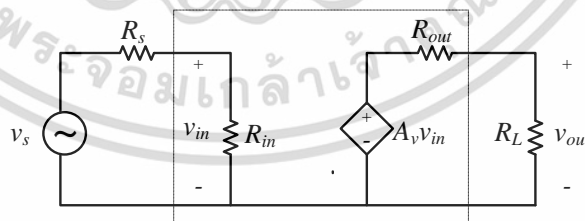
2.1.2.1 วงจรที่ประมวลผลสัญญาณในโหมดกระแสสามารถประมวลผลภายใต้ไฟเลี้ยงต่ำได้ดีกว่าวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน เนื่องจากการสวิงของสัญญาณ (Signal swing) ของวงจรที่ประมวลผลสัญญาณในโหมดกระแสสามารถมีค่ามากได้

2.1.2.2 วงจรที่ประมวลผลสัญญาณในโหมดกระแสมีโครงสร้างที่ไม่ซับซ้อน ยกตัวอย่างเช่น การประมวลผลทางคณิตศาสตร์ การบวก การลบในโหมดกระแสออกแบบได้ง่ายกว่าเมื่อเทียบกับโหมดแรงดัน การประมวลผลทางคณิตศาสตร์ในโหมดแรงดันต้องใช้ใช้ออปแอมป์ ตัวต้านทาน และ/หรือคาปาซิเตอร์ ในขณะที่การประมวลผลทางคณิตศาสตร์ในโหมดกระแสสามารถใช้เพียงวงจรสะท้อนกระแสเท่านั้น

2.1.2.3 วงจรที่ประมวลผลสัญญาณในโหมดกระแสสามารถทำงานที่ความถี่สูงได้ดี เนื่องจากวงจรที่ประมวลผลในโหมดกระแสจะถูกออกแบบให้ทุกโหนดมีความต้านทานเสมือนต่ำและความเร็วของการตอบสนองของวงจรแปรผกผันกับความต้านทานเสมือนและคาปาซิเตอร์ในทุกระยะ

### 2.1.3 วงจรเสมือนของวงจรประมวลผลสัญญาณโหมดแรงดันเทียบกับโหมดกระแส

รูปที่ 2.1 แสดงวงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน วงจรประกอบด้วยแหล่งกำเนิดสัญญาณอินพุตอยู่ในรูปแบบของสัญญาณแรงดันถูกแทนด้วย  $v_s$  ตัวต้านทานภายในของแหล่งจ่ายสัญญาณแรงดันถูกแทนด้วย  $R_s$  และโหลดถูกแทนด้วย  $R_L$  ภายในเส้นประคือวงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดแรงดันซึ่งประกอบด้วยตัวต้านทานเสมือนทางด้านอินพุต  $R_{in}$  ตัวต้านทานเสมือนทางด้านเอาต์พุต  $R_{out}$  และแหล่งจ่ายแรงดันแบบไม่อิสระ  $A_v v_{in}$  เมื่อพิจารณาวงจรเสมือนดังกล่าวเราพบว่าความต้านทานเสมือนทางด้านอินพุต  $R_{in}$  ควรมีค่าสูงเพื่อให้สัญญาณแรงดันอินพุต  $v_{in}$  มีค่าใกล้เคียงสัญญาณแหล่งจ่ายแรงดัน  $v_s$  ให้มากที่สุด ( $v_{in} \approx v_s$ )



รูปที่ 2.1 วงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน

เมื่อพิจารณารูปที่ 2.1 เราสามารถแสดงความสัมพันธ์ระหว่างสัญญาณแหล่งจ่ายแรงดันกับสัญญาณแรงดันอินพุตได้ดังนี้

$$v_{in} = \left( \frac{R_{in}}{R_s + R_{in}} \right) v_s \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

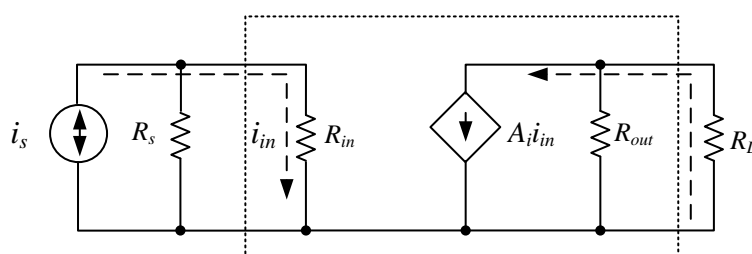
เมื่อพิจารณาสมการที่ 2.1 เราพบว่าหากสมมติให้ความต้านทานเสมือนทางด้านอินพุตมีค่าเป็นอนันต์ ( $R_{in} = \infty$ ) สัญญาณแรงดันอินพุตจะมีค่าเท่ากับสัญญาณแหล่งจ่ายแรงดัน หรือกล่าวได้ว่าแหล่งจ่ายแรงดันอินพุตสามารถป้อนแรงดันเข้าไปสู่วงจรได้ทั้งหมด ( $v_{in} \approx v_s$ ) ในทางปฏิบัติความต้านทานเสมือนทางด้านอินพุตของวงจรที่ประมวลผลสัญญาณในโหมดแรงดันไม่ได้มีค่าเป็นอนันต์ ดังนั้นในการออกแบบวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน จำเป็นต้องออกแบบให้วงจรมีความต้านทานเสมือนทางด้านอินพุตให้มีค่ามาก จากนั้นแหล่งจ่ายแรงดันแบบไม่อิสระก็จะทำหน้าที่ขยายสัญญาณแรงดันอินพุตก่อนที่จะส่งผ่านสัญญาณไปยังโหนดเมื่อพิจารณาความต้านทานเสมือนทางด้านเอาต์พุต  $R_{out}$  เราพบว่าความต้านทานดังกล่าวควรมีค่าน้อย เพื่อให้สัญญาณแรงดันเอาต์พุต  $v_{out}$  ซึ่งถูกส่งผ่านโดยแหล่งจ่ายแรงดันแบบไม่อิสระ อย่างไรก็ตามขนาดสัญญาณเอาต์พุตอาจมีขนาดที่ใหญ่กว่าหรือเล็กกว่าขึ้นอยู่กับอัตราขยายของวงจร

เราสามารถแสดงความสัมพันธ์ระหว่างสัญญาณแหล่งจ่ายแรงดันกับสัญญาณแรงดันอินพุตได้ดังนี้

$$v_{out} = \left( \frac{R_L}{R_{out} + R_L} \right) A_v v_s \quad (2.2)$$

เมื่อพิจารณาสมการที่ 2.2 เราพบว่าหากเราสมมติให้ความต้านทานเสมือนทางด้านเอาต์พุตมีค่าเท่ากับศูนย์ ( $R_{out} = 0$ ) สัญญาณแรงดันเอาต์พุตก็จะมีค่าเท่ากับสัญญาณแหล่งจ่ายแรงดันแบบไม่อิสระ  $A_v v_{in}$  ส่งผลให้สัญญาณแหล่งจ่ายแรงดันแบบไม่อิสระป้อนแรงดันให้กับโหนดของวงจรได้ทั้งหมด ในทางปฏิบัติความต้านทานเสมือนทางด้านเอาต์พุต  $R_{out}$  ไม่ได้มีค่าเป็นศูนย์ ดังนั้นในการออกแบบวงจรที่ประมวลผลสัญญาณในโหมดแรงดัน เราจำเป็นต้องออกแบบให้ความต้านทานเสมือนทางด้านเอาต์พุตมีค่าน้อยที่สุด

รูปที่ 2.2 แสดงวงจรเสมือนของวงจรประมวลผลสัญญาณในโหมดกระแส วงจรประกอบด้วยแหล่งกำเนิดสัญญาณอินพุตอยู่ในรูปแบบของสัญญาณกระแสถูกแทนด้วย  $i_s$  ตัวต้านทานภายในของแหล่งจ่ายสัญญาณกระแสถูกแทนด้วย  $R_s$  และโหนดถูกแทนด้วย  $R_L$  ภายในเส้นประคือวงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดกระแสประกอบด้วยตัวต้านทานเสมือนทางด้านอินพุตถูกแทนด้วย  $R_{in}$  ตัวต้านทานเสมือนทางด้านเอาต์พุตถูกแทนด้วย  $R_{out}$  และแหล่งจ่ายกระแสแบบไม่อิสระถูกแทนด้วย  $A_i i_{in}$



รูปที่ 2.2 วงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาวงจรเสมือนของวงจรที่ประมวลผลสัญญาณในโหมดกระแส เราพบว่าความต้านทานเสมือนทางด้านอินพุต  $R_{in}$  ควรมีค่าน้อย ทั้งนี้เพื่อให้สัญญาณกระแสอินพุต  $i_{in}$  มีค่าใกล้เคียงสัญญาณจากแหล่งจ่ายกระแส  $i_s$  ให้มากที่สุด ( $i_{in} \cong i_s$ )

เมื่อพิจารณารูปที่ 2.2 เราสามารถแสดงความสัมพันธ์ระหว่างสัญญาณแหล่งจ่ายกระแสกับสัญญาณกระแสอินพุตได้ดังนี้

$$i_{in} = \left( \frac{R_s}{R_{in} + R_s} \right) i_s \quad (2.3)$$

เมื่อพิจารณาสมการที่ 2.3 เราพบว่าหากสมมติให้ความต้านทานเสมือนทางด้านอินพุตมีค่าเท่ากับศูนย์ ( $R_{in} = 0$ ) สัญญาณกระแสอินพุตจะมีค่าเท่ากับสัญญาณแหล่งจ่ายกระแส ส่งผลให้สัญญาณแหล่งจ่ายกระแสสามารถป้อนกระแสเข้าไปสู่วงจรที่ประมวลผลสัญญาณในโหมดกระแสได้ทั้งหมด ในทางปฏิบัติความต้านทานเสมือนทางด้านอินพุตไม่ได้มีค่าเท่ากับศูนย์ ดังนั้นในการออกแบบวงจรประมวลผลสัญญาณในโหมดกระแส เราควรออกแบบให้ความต้านทานเสมือนทางด้านอินพุตมีค่าน้อยที่สุด ส่วนแหล่งจ่ายกระแสแบบไม่อิสระทำหน้าที่ขยายสัญญาณกระแสอินพุตก่อนส่งผ่านสัญญาณไปยังโหลด เมื่อพิจารณาความต้านทานทางด้านเอาต์พุต  $R_{out}$  เราพบว่าควรมีค่ามาก เพื่อให้สัญญาณกระแสที่ส่งผ่านไปยังโหลด  $i_{out}$  มีค่าใกล้เคียงกับสัญญาณที่ถูกจ่ายมาจากแหล่งจ่ายกระแสแบบไม่อิสระให้มากที่สุด ( $i_{out} = A i_{in}$ )

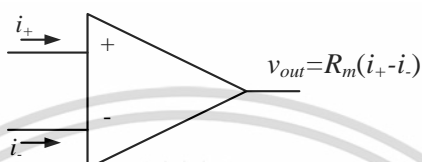
เราสามารถแสดงความสัมพันธ์ระหว่างสัญญาณแหล่งจ่ายกระแสกับสัญญาณกระแสอินพุตได้ดังนี้

$$i_{out} = \left( \frac{R_{out}}{R_L + R_{out}} \right) A i_{in} \quad (2.4)$$

จากที่กล่าวมาข้างต้นเราสามารถสรุปได้ว่าความต้านทานเสมือนทางด้านอินพุตของวงจรที่ประมวลผลสัญญาณในโหมดแรงดันควรมีค่ามาก ในขณะที่ความต้านทานเสมือนทางด้านอินพุตของวงจรที่ประมวลผลสัญญาณในโหมดกระแสควรมีค่าน้อย ในทางตรงข้ามค่าความต้านทานเสมือนทางด้านเอาต์พุตของวงจรที่ประมวลผลสัญญาณในโหมดแรงดันควรมีค่าน้อย ในขณะที่ความต้านทานเสมือนทางด้านเอาต์พุตของวงจรที่ประมวลผลสัญญาณในโหมดกระแสควรมีค่ามาก ทั้งนี้ก็เพื่อให้การส่งผ่านสัญญาณเป็นไปได้อย่างสมบูรณ์

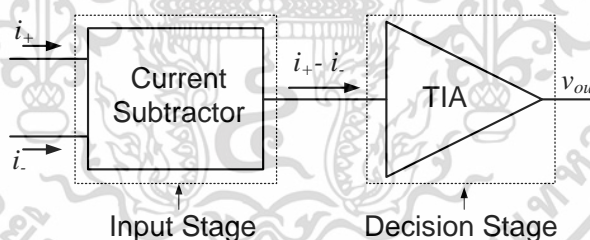
## 2.2 วงจรเปรียบเทียบสัญญาณโหมตกระแส (Current-Mode Comparator)

วงจรเปรียบเทียบสัญญาณกระแสมีลักษณะเดียวกับวงจรเปรียบเทียบแรงดัน กล่าวคือ วงจรประกอบด้วยขาอินพุตสองขา คือ ขาบวก และ ขาลบ รูปที่ 2.3 แสดงสัญลักษณ์ของวงจรเปรียบเทียบสัญญาณกระแส ในการทำงาน ถ้ากระแสที่ขาบวกมีค่ามากกว่ากระแสที่ขาลบ ( $i_+ > i_-$ ) แรงดันเอาต์พุตจะมีค่าเป็นบวก ในทางตรงกันข้าม ถ้าสัญญาณกระแสที่ขาบวกมีค่าน้อยกว่า ( $i_+ < i_-$ ) แรงดันเอาต์พุตจะมีค่าเป็นศูนย์ โดยอัตราขยายของวงจรอยู่ในลักษณะอัตราขยายทรานส์อิมพีแดนซ์



รูปที่ 2.3 วงจรเปรียบเทียบสัญญาณกระแส

รูปที่ 2.4 แสดงโครงสร้างภายในของวงจรเปรียบเทียบสัญญาณกระแส ซึ่งประกอบด้วย 2 ส่วนด้วยกัน ส่วนแรกซึ่งเป็นภาครับสัญญาณกระแส (Input Stage) เป็นวงจรลบกระแส (Current Subtractor) ทำหน้าที่ลบสัญญาณกระแสระหว่าง  $i_+$  และ  $i_-$  ส่วนที่สองคือภาคประมวลผลสัญญาณ (Decision Stage) เป็นวงจรขยายทรานส์อิมพีแดนซ์ (Trans-Impedance Amplifier, TIA) ทำหน้าที่ขยายผลต่างของสัญญาณกระแสอินพุต ( $i_+ - i_-$ ) เป็นแรงดันเอาต์พุตของวงจร  $v_{out}$



รูปที่ 2.4 โครงสร้างภายในของวงจรเปรียบเทียบสัญญาณกระแส

### 2.2.1 คุณสมบัติสำคัญของวงจรเปรียบเทียบสัญญาณโหมตกระแส

2.2.1.1 Offset คือ กระแสที่เราต้องป้อนให้กับวงจรเปรียบเทียบกระแสเพื่อให้ได้แรงดันเอาต์พุตเท่ากับศูนย์ Offset เป็นผลจากความคลาดเคลื่อนในกระบวนการผลิต เช่น ความคลาดเคลื่อนของแรงดันขีดเริ่ม ความคลาดเคลื่อนของขนาดทรานซิสเตอร์ ส่งผลให้พฤติกรรมของวงจรไม่เป็นไปตามที่ออกแบบไว้ นอกจากนี้ Offset อาจเกิดจากความผิดพลาดในการออกแบบวงจรด้วย

2.2.1.2 Input Resolution คือ ค่าผลต่างของสัญญาณกระแสอินพุตที่เปลี่ยนแปลงน้อยสุดที่วงจรสามารถประมวลผลและให้สัญญาณเอาต์พุตที่ถูกต้อง ในการออกแบบเราต้องออกแบบให้ Input resolution มีค่าน้อยที่สุดเพียงพอสำหรับการประยุกต์ใช้งาน

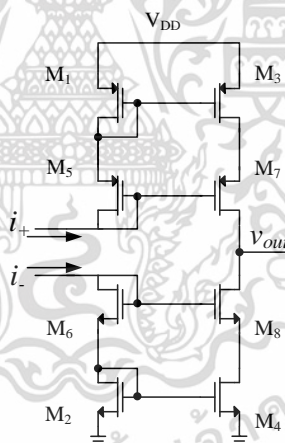
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1.3 Input Common Mode Range (ICMR) คือช่วงสัญญาณกระแสอินพุตของวงจรเปรียบเทียบกับสัญญาณกระแสที่วงจรเปรียบเทียบกับสัญญาณโหมดกระแสยังคงทำงานได้ดี

2.2.1.4 Propagation Delay คือเวลาที่วงจรเปรียบเทียบกับสัญญาณกระแสใช้ในการตอบสนองและให้สัญญาณเอาต์พุตออกมาหลังจากป้อนสัญญาณอินพุตกระแสเข้าสู่วงจร

## 2.3 วงจรเปรียบเทียบกับสัญญาณโหมดกระแสที่ถูกนำเสนอก่อนหน้านี้

จากการศึกษาและค้นคว้างานวิจัย ในช่วงเวลาที่ผ่านมาได้มีการนำเสนอวงจรเปรียบเทียบกับสัญญาณโหมดกระแสออกมามากมาย [1-7] รูปที่ 2.5 วงจรเปรียบเทียบกับโหมดกระแสแบบคาสโคดถูกนำเสนอโดย D. A. FREITAS [1] วงจรประกอบด้วยวงจรสะท้อนกระแสแบบคาสโคด Propagation delay ของวงจรมีค่าประมาณ 10ns ซึ่งค่อนข้างช้าสำหรับการนำไปประยุกต์ใช้งานที่ต้องการความเร็วสูง เนื่องจากความต้านทานเสมือนด้านเอาต์พุต ( $R_{out}$ ) ที่มีค่าสูง  $R_{out}$  ที่มีค่ามากก็เพื่อทำให้การแปลงสัญญาณผลต่างระหว่างกระแสอินพุต ( $i_+ - i_-$ ) ให้เป็นแรงดัน  $v_{out}$  ได้ดีในทางปฏิบัติที่โนด  $v_{out}$  ถูกนำไปต่อกับวงจรซีมอสอินเวอร์เตอร์เพื่อขยายสัญญาณเอาต์พุตออกมาเป็นแรงดันสูงหรือต่ำ ซึ่งการต่อคาปาซิทีฟโหลดส่งผลต่อความเร็วของวงจร



รูปที่ 2.5 วงจรเปรียบเทียบกับสัญญาณกระแสแบบคาสโคดโดย (D. A. FREITAS) [1]

จากวงจรรูปที่ 2.5 ความต้านทานเสมือนทางด้านอินพุต ( $R_{in}$ ) และ เอาต์พุต ( $R_{out}$ ) มีค่าเท่ากับ

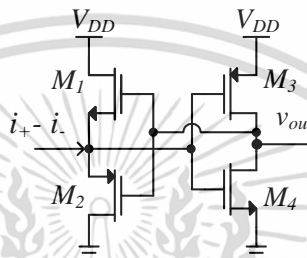
$$R_{in} = \frac{1}{g_{m5,6}} \quad (2.5)$$

$$R_{out} = g_{m7}r_{o3}r_{o7} // g_{m8}r_{o4}r_{o8} \quad (2.6)$$

โดยที่  $g_m$  และ  $r_o$  คือทรานคอนดักแตนซ์และความต้านทานเสมือนระหว่างเดรนและซอสของมอสเฟต

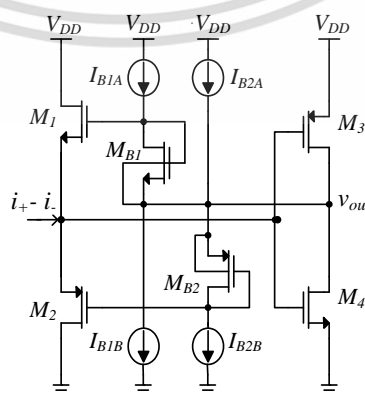
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 2.6 แสดงวงจรเปรียบเทียบสัญญาณกระแส ที่ถูกนำเสนอโดย H. Traff [2] ซึ่งได้พัฒนาวงจรเปรียบเทียบสัญญาณกระแสให้สามารถทำงานที่ความถี่สูงและยังลดความต้านทานเสมือนด้านอินพุต ส่วนของภาคอินพุตประกอบด้วยทรานซิสเตอร์สองตัว  $M_1$  และ  $M_2$  ต่อกับแบบ source follower ทำให้ความต้านทานด้านอินพุตมีค่าต่ำและมีค่าเท่ากับ  $1/2g_{m1(2)}$  วงจรสามารถทำงานได้อย่างรวดเร็วโดยวงจรมี propagation delay ประมาณ 4ns อย่างไรก็ตามในช่วงที่สัญญาณกระแสอินพุตมีค่าน้อยนั้น ทรานซิสเตอร์ด้านอินพุต ( $i_+ - i_-$ ) ทั้งสองตัวคือ  $M_1$  และ  $M_2$  จะทำงานอยู่ในสภาวะคัตออฟพร้อมกัน ทำให้วงจรตอบสนองได้ช้า



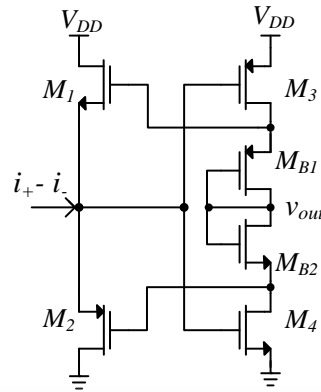
รูปที่ 2.6 วงจรเปรียบเทียบสัญญาณกระแสโดย (H. Traff) [2]

วงจรในรูปที่ 2.7 แสดงวงจรเปรียบเทียบสัญญาณกระแส ที่ถูกนำเสนอโดย Tang, A.T.K [3] ซึ่งได้พัฒนาและแก้ไขปัญหาสภาวะคัตออฟของทรานซิสเตอร์ด้านอินพุตทั้งสองตัว ( $M_1, M_2$ ) โดยการเพิ่มวงจรไบอัสกระแสคงที่ ( $I_{B1A(B)} - I_{B2A(B)}$ ) ต่อกับทรานซิสเตอร์  $M_{B1}$  และ  $M_{B2}$  เพื่อสร้างแรงดันไบอัสให้กับทรานซิสเตอร์  $M_1$  และ  $M_2$  ให้อยู่ในสภาวะอิ่มตัวตลอดเวลาและทำงานในลักษณะคลาส AB วงจรในรูปที่ 2.8 แสดงวงจรเปรียบเทียบสัญญาณกระแส ที่ถูกเสนอโดย Ravezzi, L [4] ซึ่งได้พัฒนาวงจรโดยใช้วงจรทรานซิสเตอร์  $M_{B1}$  และ  $M_{B2}$  เพื่อสร้างแรงดันไบอัสให้กับทรานซิสเตอร์  $M_1$  และ  $M_2$  ให้ทำงานอยู่ในโหมดอิ่มตัวตลอดเวลา วงจรมีข้อได้เปรียบเหนือกว่าวงจรที่นำเสนอโดย Tang, A.T.K [3] กล่าวคือวงจรมีพลังงานสูญเสียต่ำกว่าวงจร [3] เนื่องจากไม่ได้ใช้วงจรไบอัสกระแสคงที่



รูปที่ 2.7 วงจรเปรียบเทียบสัญญาณกระแสโดย (Tang, A.T.K) [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 วงจรเปรียบเทียบสัญญาณกระแสโดย (Ravezzi, L) [4]

วงจรในรูปที่ 2.9 แสดงวงจรเปรียบเทียบสัญญาณกระแส ที่ถูกนำเสนอโดย Lu-Chen [5] วงจรใช้วงจรขยายภาคแรก ( $M_1-M_5$ ) ซึ่งใช้เทคนิคตัวต้านทานป้อนกลับ (Resistive feedback) เพื่อลดความต้านทานด้านอินพุต และใช้วงจรขยายสัญญาณซอร์สรวม ( $M_6-M_9$ ) และใช้วงจรขยายกลับเฟสแบบซิมอส ( $M_{10}-M_{13}$ ) ต่อกันหลายสเตจเพื่อให้  $v_{out}$  สวิงได้เต็มที่ ทรานซิสเตอร์  $M_5$  ทำงานในโหมดเชิงเส้นจึงเปรียบเสมือนตัวต้านทานป้อนกลับ ผลการวิเคราะห์วงจรเหมือนสัญญาณขนาดเล็กได้ค่าความต้านทานเหมือนด้านอินพุต ( $R_{in}$ ) ที่โนด 1 และค่าความต้านทานเหมือนที่โนด 2 ( $R_2$ ) มีค่าเท่ากับ

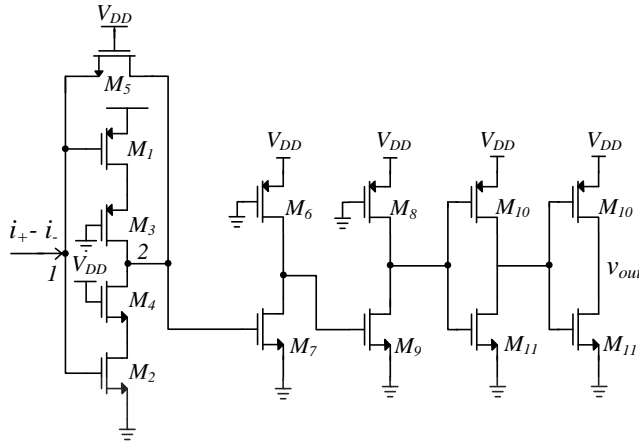
$$R_m = \frac{R_5 + (r_{o1} // r_{o2})}{1 + (g_{m1} + g_{m2})(r_{o1} // r_{o2})} \quad (2.7)$$

$$R_2 = \frac{R_5 + R_c}{1 + (g_{m1} + g_{m2})R_c + (R_5 + R_c)/(r_{o1} // r_{o2})} \quad (2.8)$$

โดยที่  $R_5 = R_{dson}$  ของ  $M_5$  และมีค่าเท่ากับ  $1/(u_n C_{ox} \frac{w}{L} (V_{GS} - V_T))$   $R_c$  คือความต้านทานเหมือนด้านเอาต์พุตของแรงจ่ายสัญญาณกระแส ( $i_+ - i_-$ ) เนื่องจาก  $R_5 \ll R_p$ ,  $R_5 \ll R_c$  และ  $\gg 1$  ส่งผลให้ความต้านทานเหมือนด้านอินพุต  $R_{in}$  และความต้านทานเหมือนที่โนด 2 มีค่าใกล้เคียงกันและเท่ากับ

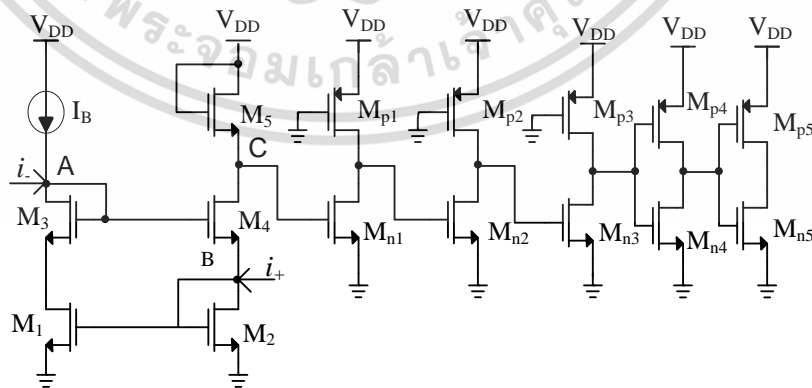
$$R_{in} \approx R_2 \approx \frac{1}{(g_{m1} + g_{m2})} \quad (2.9)$$

เนื่องจากความต้านทานเหมือนมีค่าน้อยส่งผลให้การสวิงของแรงดันที่โนด 1 และโนด 2 มีค่าน้อยเช่นกัน ดังนั้นวงจรจึงตอบสนองต่อสัญญาณกระแสผลต่าง ( $i_+ - i_-$ ) ได้เร็ว



รูปที่ 2.9 วงจรเปรียบเทียบสัญญาณกระแสถูกนำเสนอบนโดย Lu-Chen [5]

เทคนิคและวงจรที่กล่าวมาได้สมมติว่า กระแสอินพุตที่กล่าวถึงคือผลต่างของสัญญาณกระแส ( $i_+ - i_-$ ) ที่ได้ผ่านการลบกันมาแล้วก่อนหน้านี้ โดยที่ตรวจจับว่าสัญญาณกระแสอินพุตไหลเข้าหรือออกที่ โหนดอินพุตและให้สัญญาณเอาต์พุตออกมาเป็นแรงดันสูงหรือต่ำ วงจรไม่ได้กล่าวถึงส่วนของวงจรลบสัญญาณกระแสเลย รูปที่ 2.10 แสดงวงจรเปรียบเทียบสัญญาณกระแสถูกนำเสนอบนโดย S. Khucharoensin [6] ทำงานโดยเปรียบเทียบสัญญาณกระแสอินพุต  $i_+$  และสัญญาณกระแสอ้างอิง  $i_-$  โดยใช้หลักการของวงจรสะท้อนกระแสแบบวิลสันในภาคอินพุตเพื่อลดความต้านทานด้านอินพุตและสร้างสัญญาณผลต่างของกระแสอินพุต ( $i_+ - i_-$ ) ที่โหนด C วงจรขยายสัญญาณซอร์สรวม ( $M_{n(p)1}-M_{p(n)2}$ ) ถูกนำมาใช้เพื่อขยายสัญญาณที่โหนด C และวงจรอินเวอร์เตอร์แบบซิมอส ( $M_{n(p)3}-M_{p(n)5}$ ) ถูกนำมาใช้เพื่อให้สัญญาณเอาต์พุตออกมาเป็นแรงดันสูงหรือต่ำ ความต้านทานเสมือนของวงจรที่โหนด B มีค่าน้อยเนื่องจากการป้อนกลับแบบลบภายในรูปของวงจรสะท้อนกระแสแบบ Wilson ( $M_1-M_4$ ) ความต้านทานเสมือนที่โหนด A ( $R_{in(A)}$ ) และที่โหนด B ( $R_{in(B)}$ ) มีค่าเท่ากับ



รูปที่ 2.10 วงจรเปรียบเทียบสัญญาณกระแสถูกนำเสนอบนโดย S. Khucharoensin [6]

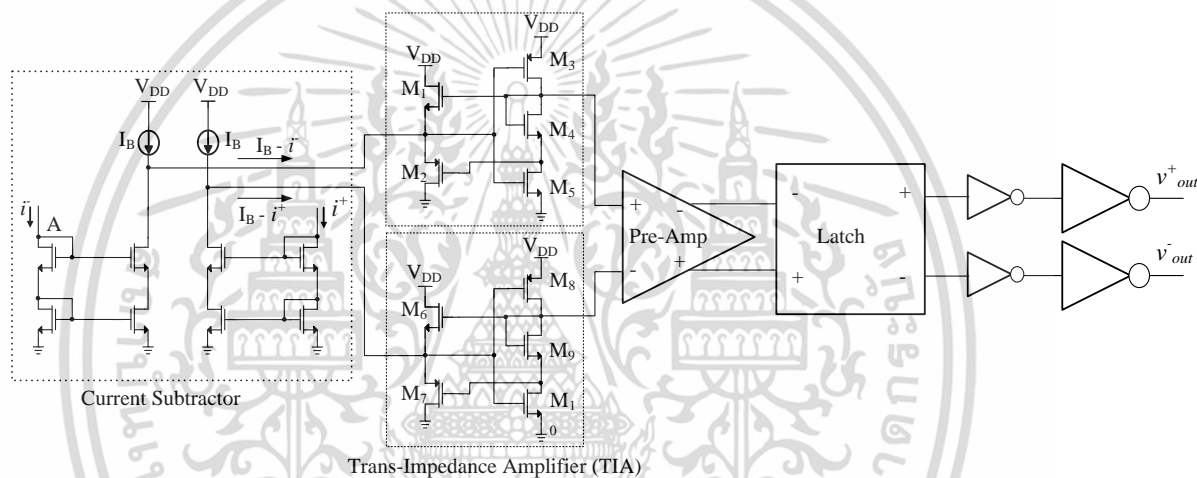
$$R_{m,A} \cong \frac{1}{g_{m2}} \tag{2.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

$$R_{in,B} \cong \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}(r_{o1} // r_{o2})} \tag{2.11}$$

สังเกตได้ว่าความต้านทานเสมือนที่โหนด A และ B มีค่าไม่เท่ากันส่งผลให้เกิด offset ขึ้นระหว่างสัญญาณกระแสที่โหนดอินพุตทั้งสอง

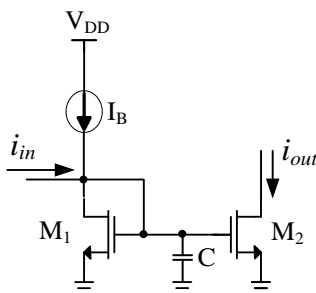
วงจรในรูปที่ 2.11 แสดงวงจรเปรียบเทียบสัญญาณกระแส ที่ถูกนำเสนอโดย S. Sarkar [7] วงจรเปรียบเทียบสัญญาณกระแสทำงานโดยการแปลงสัญญาณกระแสอินพุตเป็นแรงดันก่อนเข้าสู่ วงจรเปรียบเทียบแรงดันแบบแลตช์ที่ใช้ปริแอมป์ วงจรมีการประมวลผลสัญญาณขยายแบบผลต่าง เทคนิคการออกแบบอัตราขยายโดยใช้วงจรขยายปริแอมป์ช่วยลดปัญหาของ offset และช่วยทำให้วงจรทำงานได้อย่างรวดเร็ว



รูปที่ 2.11 วงจรเปรียบเทียบสัญญาณกระแสโดย (S. Sarkar) [7]

### 2.4 วงจรอินทิเกรเตอร์โหมดกระแส (Current-Mode Integrator)

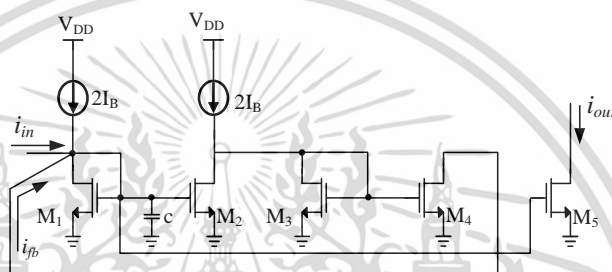
รูปที่ 2.12 แสดงวงจรอินทิเกรเตอร์โหมดกระแสแบบสูญเสีย (Lossy Integrator) โดยใช้ วงจรสะท้อนกระแสอย่างง่าย ( $M_1$  และ  $M_2$ ) ต่อร่วมกับตัวเก็บประจุ ( $C$ ) เราสามารถเขียนฟังก์ชัน ถ่ายโอนได้ดังนี้



รูปที่ 2.12 วงจรอินทิเกรเตอร์โหมดกระแสแบบสูญเสีย

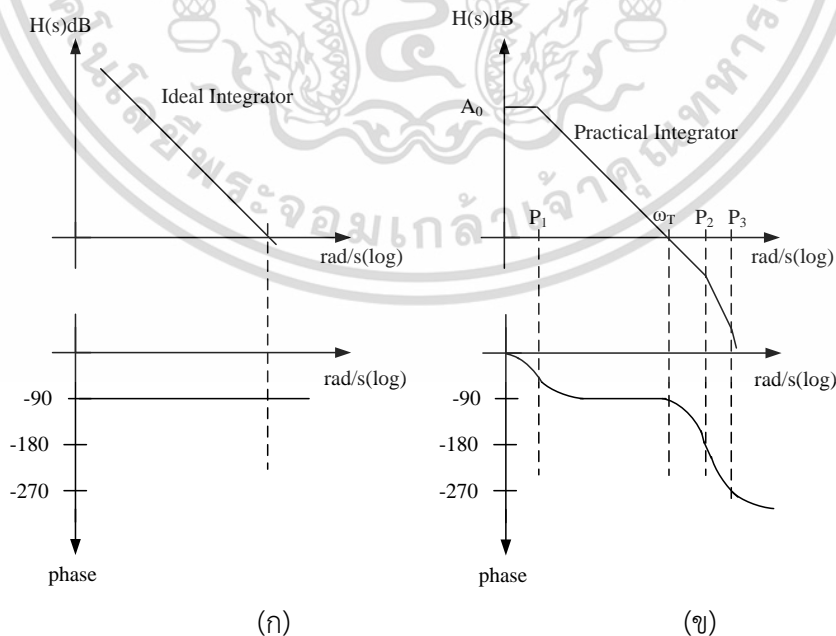
$$H(s) = \frac{i_{out}(s)}{i_{in}(s)} = \frac{1}{s \frac{C}{g_m} + 1} \tag{2.12}$$

รูปที่ 2.13 แสดงวงจรอินทิเกรเตอร์แบบไม่สูญเสีย (Lossless integrator) ทำงานในโหมดกระแส โดยใช้วงจรสะท้อนกระแสอย่างง่าย ( $M_1$  และ  $M_2$ ) ต่อกับตัวเก็บประจุ ( $C$ ) และมีการป้อนกลับแบบบวก (Positive feedback) โดยใช้  $M_3$  และ  $M_4$  ทำหน้าที่ชดเชยการสูญเสียที่เกิดขึ้นในวงจรอินทิเกรเตอร์แบบสูญเสีย ทρανซิสเตอร์  $M_5$  ทำหน้าที่สะท้อนกระแสเอาต์พุตออกไปใช้งาน เราสามารถเขียนฟังก์ชันถ่ายโอนได้ดังนี้



รูปที่ 2.13 วงจรอินทิเกรเตอร์โหมดกระแสแบบไม่สูญเสีย

$$H(s) = \frac{i_{out}(s)}{i_{in}(s)} = \frac{1}{s \frac{C}{g_{m1}}} \tag{2.13}$$



รูปที่ 2.14 การตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบ ก) อุดมคติ และ ข) ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันการถ่ายโอนในสมการที่ 2.12 และสมการที่ 2.13 ยังไม่ได้พิจารณาผลกระทบที่เกิดขึ้นจากความนำไฟฟ้าด้านขาออก และค่าตัวเก็บประจุแฝงที่เกิดขึ้นในมอสทรานซิสเตอร์ รูปที่ 2.14 แสดงการตอบสนองทางความถี่และเฟสของวงจรมิติเกรเตอร์ในแบบอุดมคติ (Ideal) และในทางปฏิบัติ (Practical) การตอบสนองทางความถี่และเฟสแบบอุดมคติสอดคล้องกับสมการที่ 2.13 โดยจะเห็นว่าการตอบสนองทางความถี่ของวงจรมีลักษณะเป็นเส้นตรงและมีค่าเป็นอนันต์ที่ความถี่เท่ากับศูนย์เฮิรตซ์ การตอบสนองทางเฟสมีค่าเท่ากับ 90 องศา วงจรมีโพลแค่หนึ่งโพลเท่านั้น ในทางปฏิบัตินั้นการตอบสนองทางความถี่และเฟสไม่ได้เป็นเช่นนั้นเนื่องจากผลของค่าความนำไฟฟ้าด้านขาออกและตัวเก็บประจุแฝง ส่งผลให้วงจรมีได้มีอัตราขยายเท่ากับอนันต์ที่ความถี่ศูนย์เฮิรตซ์และวงจรมีโพลแค่หนึ่งโพล วงจรมีโพลหลัก (Dominate pole) ที่เกิดจากตัวเก็บประจุ  $C$  และโพลรอง (Parasitic poles) ที่เกิดจากตัวเก็บประจุแฝงในมอสทรานซิสเตอร์

เราสามารถเขียนฟังก์ชันการถ่ายโอนการตอบสนองทางความถี่ในทางปฏิบัติได้เป็น

$$H(s) = \frac{i_{out}(s)}{i_{in}(s)} = \frac{A_0}{(1 + s\tau_1)(1 + s\tau_2)\dots(1 + s\tau_n)} \quad (2.14)$$

วงจรมีอัตราการขยายที่ความถี่ต่ำเท่ากับ  $A_0$  และในกรณีที่  $1/\tau_1 \ll \omega_T \ll 1/\tau_{2,3,\dots,n}$  ความถี่ที่ทำให้อัตราการขยายเท่ากับหนึ่ง (unity gain frequency:  $\omega_T$ ) มีค่าประมาณเท่ากับ  $A_0/\tau_1$  ในการการออกแบบ เราต้องทำให้โพลรองมีความถี่ที่สูงกว่าช่วงสัญญาณความถี่ที่ใช้งานหรือทำให้วงจรมิติเกรเตอร์มีโพลหลักมีค่าน้อยกว่าโพลรองมากๆ จากที่กล่าวข้างต้นเห็นได้ชัดว่าโพลรองมีผลต่อการทำงานของวงจรมิติเกรเตอร์ ดังนั้นตัวเก็บประจุแฝงในมอสทรานซิสเตอร์จึงเป็นตัวจำกัดการทำงานของวงจรมิติเกรเตอร์ ในขณะที่เดียวกันอัตราการขยายของวงจรมิติเกรเตอร์ที่ความถี่ต่ำขึ้นอยู่กับค่าทรานคอนดักแตนซ์และค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ ดังนั้นการออกแบบวงจรมิติเกรเตอร์จึงต้องพิจารณาปัจจัยต่างๆ เพื่อให้วงจรมิติเกรเตอร์สามารถทำงานได้ใกล้เคียงกับอุดมคติ

## 2.5 วงจรมิติเกรเตอร์โหมดกระแสที่ถูกนำเสนอก่อนหน้า

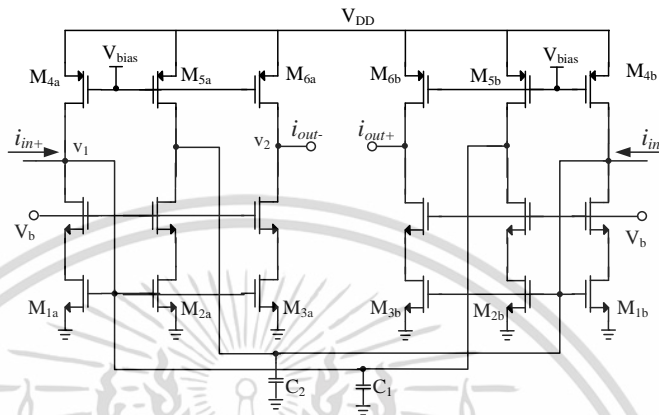
วงจรมิติเกรเตอร์ที่ถูกนำเสนอก่อนหน้านี้แล้วมาส่วนมากถูกออกแบบโดยใช้วงจรมิติเกรเตอร์โหมดกระแสแบบง่าย วงจรมิติเกรเตอร์ที่ถูกนำเสนอมิทั้งแบบขั้วเดียว (Single input) และแบบผลต่าง (Differential input) การประยุกต์ใช้งานของวงจรมิติเกรเตอร์โหมดกระแสในการประมวลสัญญาณ อินพุตและเอาต์พุตของวงจรมิติเกรเตอร์จะอยู่ในรูปแบบผลต่างเพื่อลดผลกระทบจากสัญญาณรบกวนโหมดร่วม

รูปที่ 2.15 แสดงวงจรมิติเกรเตอร์โหมดกระแสแบบขยายผลต่างที่ถูกนำเสนอก่อนหน้าโดย R. H. Zele [13] วงจรประกอบด้วยวงจรมิติเกรเตอร์โหมดกระแสแบบง่ายต่อรวมกับตัวเก็บประจุ  $C_1$  และ  $C_2$  ซึ่งมีค่าเท่ากัน วงจรมิติเกรเตอร์แบบผลต่างประมวลผลสัญญาณกระแสอินพุตผลต่าง ( $i_{in+}$ ,  $i_{in-}$ ) การพิจารณาวงจรสามารถทำได้โดยแบ่งวงจรมิติเกรเตอร์เป็น 2 ด้านที่สมมาตรกัน ทรานซิสเตอร์  $M_{2b}$  ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



[14-16] รูปที่ 2.16 แสดงวงจรอินทิเกรเตอร์โหมดกระแสแบบที่ใช้วงจรสะท้อนกระแสแบบคาสโคด ทำให้วงจรสามารถมีอัตราขยายกระแสที่ความถี่ต่ำใกล้เคียงกับวงจรในอุดมคติยิ่งขึ้น ข้อเสียของวงจรคือต้องใช้แรงดันไฟเลี้ยงที่สูง กล่าวคือแรงดันไฟเลี้ยงต่ำสุดมีค่าเท่ากับ  $2V_{DSAT}+V_T$  โดยที่  $V_{DSAT}$  มีค่าประมาณเท่ากับ  $V_{GS}-V_T$

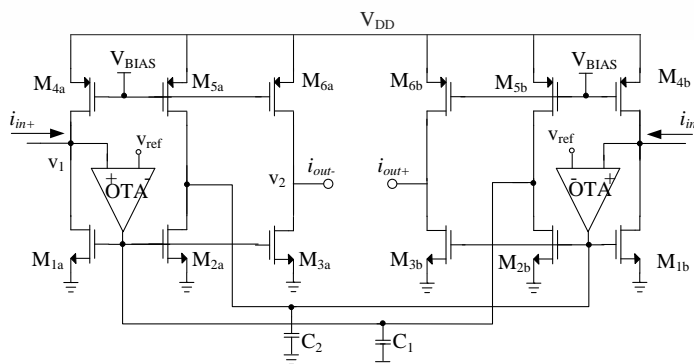


รูปที่ 2.16 วงจรอินทิเกรเตอร์โหมดกระแสที่ใช้เทคนิคการต่อแบบคาสโคด

การลดความต้านทานเสมือนด้านอินพุตด้วยเทคนิคการป้อนกลับแบบลบที่อินพุตได้ถูกนำมาใช้สำหรับออกแบบวงจรอินทิเกรเตอร์ [18] ดังแสดงในรูปที่ 2.17 โดย Z.Yang [18] วงจรถูกสร้างจากวงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบที่อินพุตโดยใช้โอทีเอ (OTA) ทั้งนี้เพื่อกำหนดแรงดันที่โนดอินพุตให้มีค่าเท่ากับ  $v_{ref}$  และขณะเดียวกันก็ลดค่าความต้านทานเสมือนด้านอินพุต ความต้านทานเสมือนด้านอินพุตของวงจร ( $R_{in}$ ) มีค่าเท่ากับ

$$R_{in} = \frac{1}{A_{OTA}g_{m1a(b)}} \tag{2.17}$$

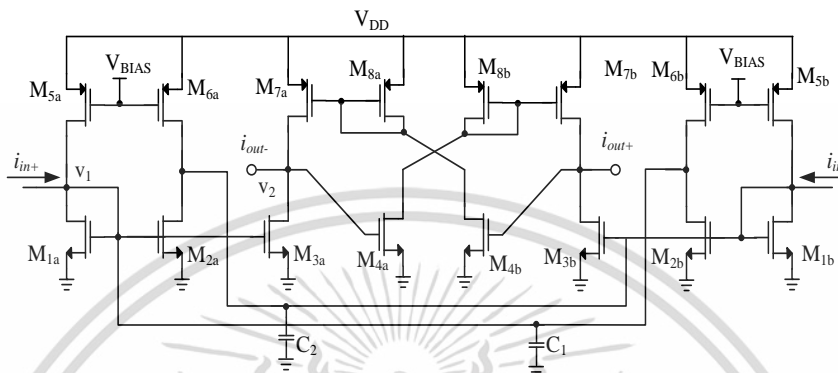
โดยที่  $A_{OTA}$  คืออัตราขยายแรงดันของ OTA



รูปที่ 2.17 วงจรอินทิเกรเตอร์โดย (Z.Yang) [18]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับก... ไม่ว่าการณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.18 แสดงวงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย Juhho Bang [19] ซึ่งพัฒนาจากวงจรอินทิเกรเตอร์ที่ถูกนำเสนอโดย R. H. Zele [13] วงจรสามารถเพิ่มกระแสเอาต์พุตโดยอาศัยการไขว้สัญญาณ (cross-coupled) ของทรานซิสเตอร์  $M_{4a(b)}$  และ  $M_{8a(b)}$  ทำให้กระแสเดรนของ  $M_{3a(b)}$  เพิ่มขึ้น ส่งผลให้อัตราการขยายกระแสที่ความถี่ต่ำมีค่าสูงขึ้น



รูปที่ 2.18 วงจรอินทิเกรเตอร์โดย (Juhho Bang) [19]

วงจรเปรียบเทียบสัญญาณโหมดกระแส และวงจรอินทิเกรเตอร์โหมดกระแสที่ถูกนำเสนอ ก่อนหน้าต้องใช้แรงดันไฟเลี้ยงค่อนข้างสูงโดยมีค่ามากกว่า 1 โวลต์ วิทยานิพนธ์ฉบับนี้ศึกษาการออกแบบวงจรเปรียบเทียบสัญญาณและวงจรอินทิเกรเตอร์ เพื่อประยุกต์ใช้งานการประมวลสัญญาณแอนะล็อกโหมดกระแสที่ทำงานภายใต้ไฟเลี้ยงต่ำโดยมีค่าเท่ากับ 0.5 V

### บทที่ 3

## วงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสที่นำเสนอ

บทนี้กล่าวถึงวงจรเปรียบเทียบสัญญาณโหมดกระแสและวงจรอินทิเกรเตอร์โหมดกระแสที่ได้นำเสนอ ส่วนแรกเป็นการนำเสนอเทคนิคที่ใช้ในการออกแบบวงจรได้แก่ เทคนิคการป้อนแรงดันที่ขาบอดี้ (Bulk-driven transistor) เทคนิคการใช้ขาเกตเสมือนลอย (Quasi-floating gate transistor) ส่วนที่สองเป็นการนำเสนอวงจรเปรียบเทียบสัญญาณและวงจรอินทิเกรเตอร์โหมดกระแส และส่วนสุดท้ายเป็นการวิเคราะห์คุณลักษณะและผลการจำลองการทำงานของวงจรถูกนำเสนอ

### 3.1 เทคนิคการออกแบบวงจรที่ทำงานภายใต้ไฟเลี้ยงต่ำ

#### 3.1.1 ทราานซิสเตอร์ที่ใช้การไบอัสที่ขาบอดี้ (Bulk-driven transistor)

เทคนิคการไบอัสที่ขาบอดี้ถูกนำมาใช้ออกแบบในวงจรประมวลสัญญาณแอนะล็อกที่ทำงานภายใต้ไฟเลี้ยงต่ำ หลักการทำงานของวงจรคือการใช้แรงดันที่ขาบอดี้ ( $V_{BS}$ ) ที่มีผลต่อแรงดันขีดเริ่ม ( $V_{th}$ ) ดังแสดงในสมการที่ 3.1 เนื่องจากกระแสเดรน ( $I_D$ ) ขึ้นกับแรงดันขีดเริ่ม ดังนั้นการเปลี่ยนแปลงของ  $V_{BS}$  จึงทำให้  $I_D$  มีการเปลี่ยนแปลงด้วยโดยอัตราส่วนการเปลี่ยนแปลงของ ( $I_D$ ) เทียบกับ  $V_{BS}$  มีค่าเท่ากับค่าทรานคอนดักแตนซ์ของขาบอดี้  $g_{mb}$  ดังแสดงในสมการที่ 3.2 โดยปกติแล้ว  $g_{mb}$  มีค่าน้อยกว่าทรานคอนดักแตนซ์ของขาเกต  $g_m$  ประมาณ 0.2-0.4 เท่า

$$V_{th} = V_{th0} + \gamma(\sqrt{\Phi_f - V_{BS}} - \sqrt{\Phi_f}) \quad (3.1)$$

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = \frac{\partial I_D}{\partial V_{th}} \frac{\partial V_{th}}{\partial V_{BS}} = -g_m \frac{\partial V_{th}}{\partial V_{BS}} = \frac{\gamma g_m}{2\sqrt{-\Phi_f - V_{BS}}} \quad (3.2)$$

เมื่อ  $V_{th}$  คือแรงดันขีดเริ่มของทรานซิสเตอร์ (V)

$V_{th0}$  คือแรงดันขีดเริ่มของทรานซิสเตอร์เมื่อขาซอร์สต่อกับขาบอดี้ (V)

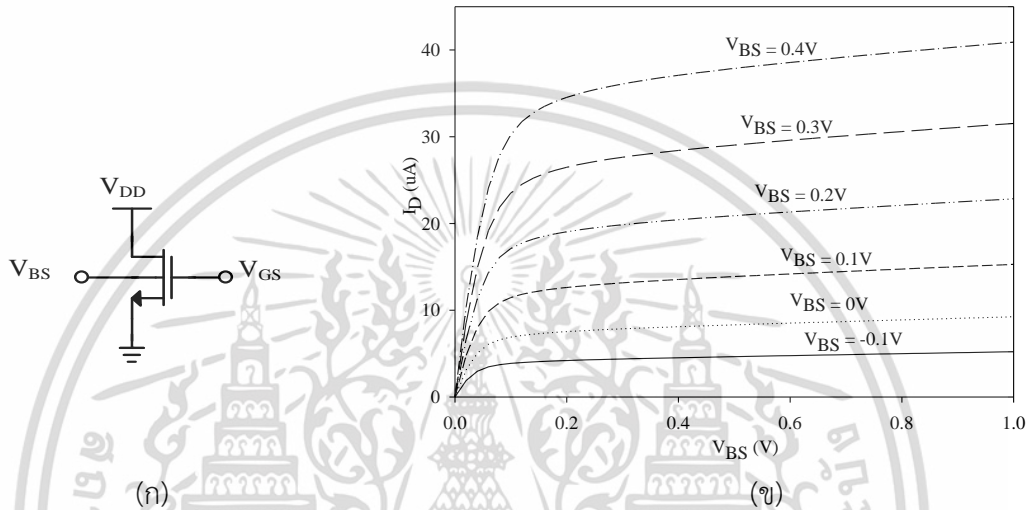
$\gamma$  มีค่าเท่ากับ  $\sqrt{2\epsilon_0\epsilon_{si}N_{sub}} / C_{ox}$  (V)

$N_{sub}$  คือความเข้มข้นของสารเจือในฐานรอง (Substrate doping concentration) ( $\text{cm}^{-3}$ )

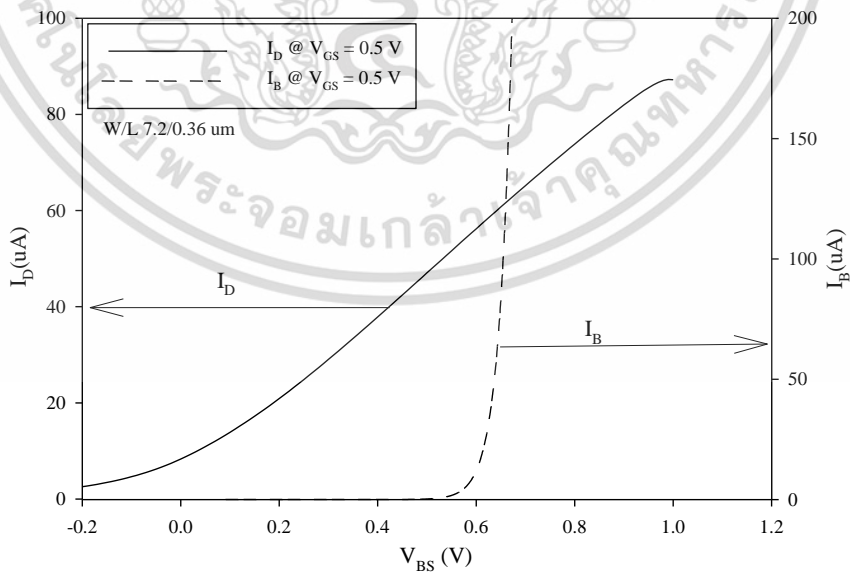
$\Phi_f$  คือแรงดันภายในฐานรอง (V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 แสดงกราฟความสัมพันธ์ระหว่างกระแสเดรน ( $I_D$ ) ของทรานซิสเตอร์กับแรงดันไบอัสที่ขาบอดี้ ( $V_{BS}$ ) โดยที่แรงดันที่ขาเกตมีค่าคงที่เท่ากับ 0.5 โวลต์ รูปที่ 3.1 แสดงให้เห็นว่า  $I_D$  มีค่าเพิ่มขึ้นเมื่อ  $V_{BS}$  มีค่าเพิ่มขึ้น ดังนั้นการไบอัสด้วยการเพิ่มแรงดัน  $V_{BS}$  สามารถทำให้แรงดันขีดเริ่มลดลงได้ รูปที่ 3.2 แสดงกราฟความสัมพันธ์ระหว่างกระแส ( $I_D$ ) และกระแสที่ขาบอดี้ ( $I_B$ ) เมื่อ  $V_{BS}$  เพิ่มขึ้น จากรูปเราจะเห็นได้ว่ากระแสที่ขาบอดี้  $I_B$  มีค่าเพิ่มขึ้นมากเมื่อ  $V_{BS}$  มากกว่า 0.6 โวลต์ ดังนั้นการออกแบบวงจรโดยใช้ขาบอดี้ี้ เราควรออกแบบให้แรงดัน  $V_{BS}$  มีค่าน้อยกว่า 0.6 V



รูปที่ 3.1 (ก) ทรานซิสเตอร์ที่ป้อนไบอัสขาบอดี้ และ (ข) กระแสที่ขาเดรน ( $I_D$ ) กับแรงดันไบอัสที่ขาบอดี้ ( $V_{BS}$ ) เมื่อแรงดันที่ขาเกต ( $V_{GS}$ ) เท่ากับ 0.5 โวลต์

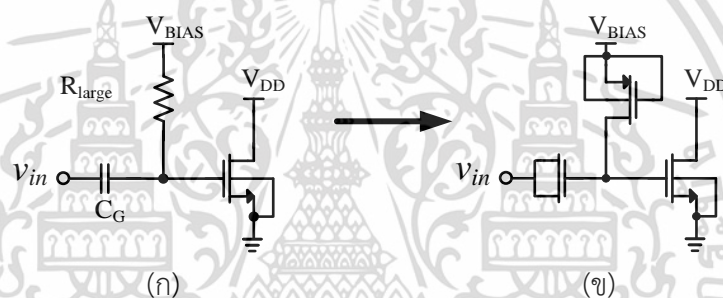


รูปที่ 3.2 กระแสที่ขาเดรน ( $I_D$ ) และกระแสที่ขาบอดี้ ( $I_B$ ) ต่อแรงดันไบอัสที่ขาบอดี้เมื่อ กำหนดแรงดันที่ขาเกต ( $V_{GS}$ ) เท่ากับ 0.5 โวลต์

### 3.1.2 ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor)

รูปที่ 3.3 แสดงสัญลักษณ์ของทรานซิสเตอร์แบบเกตเสมือนลอย จากรูปขาเกตของทรานซิสเตอร์ต่อกับตัวเก็บประจุ  $C_G$  ซึ่งทำหน้าที่ผ่านสัญญาณ  $V_{in}$  ตัวต้านทานขนาดใหญ่  $R_{large}$  ทำหน้าที่ส่งผ่านแรงดันไบอัสให้กับขาเกต เมื่อพิจารณาสัญญาณ  $V_{in}$  ตัวเก็บประจุ  $C_G$  และความต้านทาน  $R_{large}$  ทำหน้าที่เสมือนเป็นวงจรกรองความถี่สูงผ่านโดยที่ความถี่คutoff มีค่าเท่ากับ  $1/2\pi C_G R_{large}$  เนื่องจาก  $R_{large}$  มีค่าสูงมากดังนั้นความถี่คutoff จึงมีค่าน้อย ตัวต้านทานขนาดใหญ่ ( $R_{large}$ ) ดังกล่าวสามารถสร้างได้จากทรานซิสเตอร์  $M_R$  ที่ทำงานในโหมดคutoff ดังแสดงในรูปที่ 3.3 ข) ด้วยเหตุผลดังกล่าวทำให้สัญญาณอินพุตที่มีความถี่ต่ำมากก็ยังคงสามารถเดินทางไปยังขาเกตของทรานซิสเตอร์ได้ในขณะที่แรงดันดีซีที่ขาเกตของทรานซิสเตอร์ถูกกำหนดได้โดยมีค่าเท่ากับแรงดันไบอัส  $V_{BIAS}$

สัญญาณแรงดันที่ขาเกต  $V_G$  ที่ได้จากการส่งผ่านสัญญาณอินพุตผ่านตัวเก็บประจุ  $C_G$  และตัวเก็บประจุแฝงของทรานซิสเตอร์มีค่าดังนี้



รูปที่ 3.3 ทรานซิสเตอร์แบบเกตเสมือนลอย (Quasi-floating gate transistor)

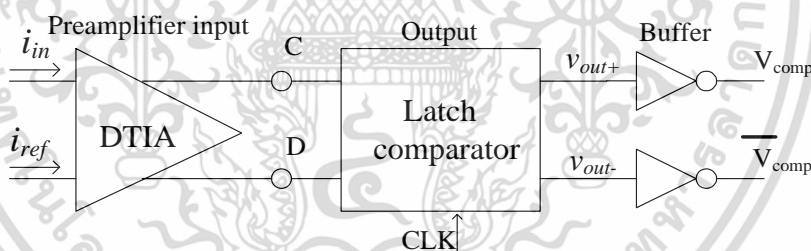
$$V_G = (C_G v_{in} + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S) \left( \frac{SR_{large}}{1 + SR_{large} C_T} \right) \quad (3.3)$$

- เมื่อ  $V_G$  คือสัญญาณแรงดันที่ขาเกตของทรานซิสเตอร์ (V)  
 $C_G$  คือตัวเก็บประจุทางด้านอินพุต (F)  
 $C_{GD}$  คือตัวเก็บประจุแฝงระหว่างขาเกตและขาเดรนของทรานซิสเตอร์ (F)  
 $C_{GB}$  คือตัวเก็บประจุแฝงระหว่างขาเกตและขาบอดี้ของทรานซิสเตอร์ (F)  
 $C_{GS}$  คือตัวเก็บประจุแฝงระหว่างขาเกตและขาซอร์สของทรานซิสเตอร์ (F)  
 $C_T$  คือ  $C_G + C_{GD} + C_{GB} + C_{GS}$

## 3.2 เปรียบเทียบสัญญาณโหมตกระแสนำเสนอ

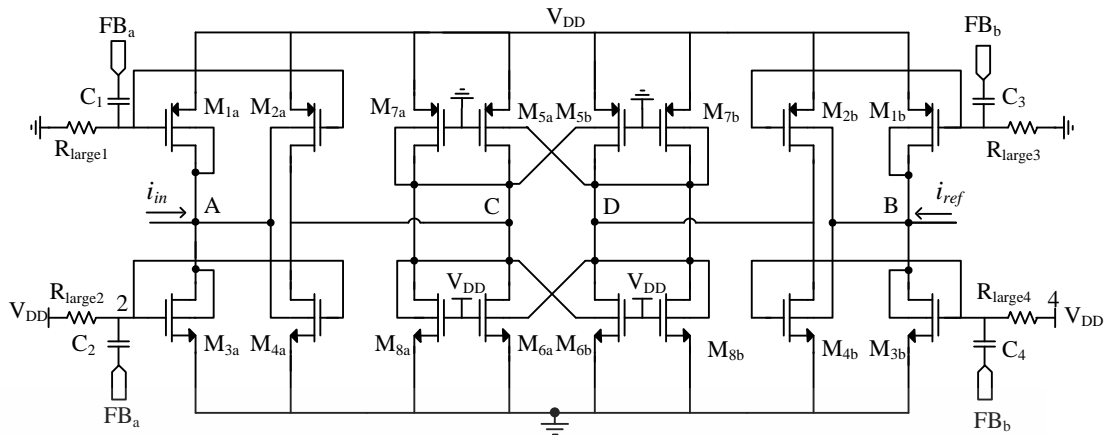
### 3.2.1 หลักการทำงานของวงจร

รูปที่ 3.4 แสดงโครงสร้างของวงจรเปรียบเทียบสัญญาณกระแส วงจรประกอบด้วยภาคอินพุตซึ่งเป็นวงจรปรีแอมป์หรือวงจรรขยายทรานซิมพีแดนซ์ (Differential Trans-Impedance Amplifier, DTIA) และภาคเอาต์พุตซึ่งเป็นวงจรเปรียบเทียบแรงดันแบบแลตซ์ วงจรภาคปรีแอมป์ทรานซิมพีแดนซ์ทำหน้าที่ขยายผลต่างระหว่างกระแสอินพุตและกระแสอ้างอิง ภาคแลตซ์ทำหน้าที่ขยายสัญญาณผลต่างจากภาคปรีแอมป์เพื่อให้ได้แรงดันเอาต์พุต  $v_{out+}$  และ  $v_{out-}$  วงจรอินเวอร์เตอร์ทำหน้าที่ขยายสัญญาณอีกครั้งเพื่อให้แรงดันเอาต์พุตที่ได้สวิงได้กว้างและขณะเดียวกันก็ทำหน้าที่เป็นวงจรบัฟเฟอร์เมื่อต้องต่อกับโหลดในการประยุกต์ใช้งานจริง ข้อดีของโครงสร้างวงจรเปรียบเทียบกระแสแบบนี้คือ 1) การประมวลสัญญาณเป็นแบบผลต่างทำให้ลดผลของสัญญาณรบกวนโหมตร่วม เช่นลดผลกระทบจากสัญญาณรบกวนจากแหล่งจ่ายไฟเลี้ยง 2) ภาคปรีแอมป์ทำให้วงจรเปรียบเทียบมีแรงดันออฟเซตที่ค่อนข้างน้อย 3) วงจรภาคปรีแอมป์และวงจรแลตซ์ช่วยทำให้วงจรสามารถตอบสนองได้อย่างรวดเร็วกล่าวคือ วงจรปรีแอมป์มีการตอบสนองอย่างรวดเร็วในช่วงเริ่มต้นการทำงานในขณะที่วงจรแลตซ์มีผลการตอบสนองต่อสัญญาณค่อนข้างช้าในช่วงเริ่มต้นแต่จะเร็วขึ้นเมื่อแรงดันเพิ่มขึ้น [20] 4) วงจรปรีแอมป์ทำหน้าที่ป้องกันสัญญาณรบกวนย้อนกลับ (Kick back noise) ที่เกิดจากสวิตช์ซิงของภาคเอาต์พุตแลตซ์

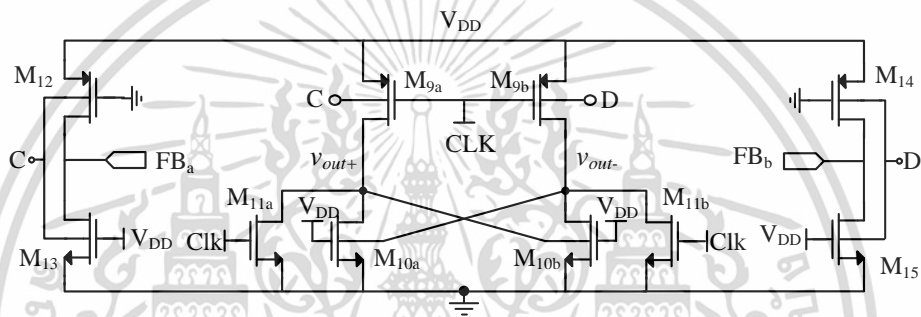


รูปที่ 3.4 โครงสร้างวงจรเปรียบเทียบสัญญาณโหมตกระแสนำเสนอ

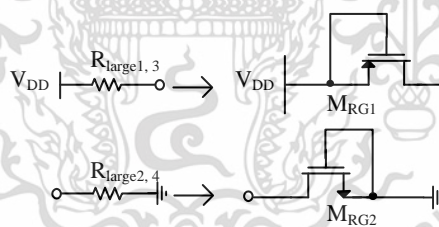
รูปที่ 3.5 แสดงวงจรเปรียบเทียบสัญญาณกระแสทำงานภายใต้แรงดันไฟเลี้ยงต่ำที่นำเสนองานประกอบด้วยภาคอินพุต ( $M_{1a(b)}-M_{4a(b)}$ ) ซึ่งก็คือวงจรปรีแอมป์ทรานซิมพีแดนซ์ วงจรถูกพัฒนาจากวงจรสะท้อนกระแสคลาส AB แบบ Bulk-driven ( $M_{1a(b)}-M_{4a(b)}$ ) ทำงานร่วมกับโหลดที่มีการต่อป้อนกลับแบบบวก ( $M_{5a(b)}-M_{8a(b)}$ ) ภาคเอาต์พุตคือวงจรแลตซ์ ( $M_{9a(b)}-M_{10a(b)}$ ) วงจรทำงานร่วมกับสัญญาณนาฬิกา  $Clk$  กล่าวคือ วงจรจะทำการเปรียบเทียบสัญญาณเมื่อ  $Clk$  เป็น  $low$  และเอาต์พุตจะถูกรีเซ็ตเมื่อ  $Clk$  เป็น  $High$



(ก)



(ข)



(ค)

รูปที่ 3.5 วงจรเปรียบเทียบสัญญาณโหมมดกระแสที่นำเสนอ (ก) วงจรเปรียบเทียบทรานซิสเตอร์ขนาดใหญ่

(ข) วงจรเปรียบเทียบแรงดันแบบแลตซ์ (ค) วงจรที่ใช้สร้างตัวต้านทานขนาดใหญ่

เทคนิคขาคัดเสมือนแบบลอย (Quasi-floating gate) ถูกนำมาใช้งานเพื่อการเชื่อมต่อสัญญาณขาเกตของ  $M_{1a(b)}$  และ  $M_{3a(b)}$  เข้ากับสัญญาณป้อนกลับที่โหนด  $FB$  เพื่อให้วงจรสามารถทำงานได้ดี (ดังจะกล่าวต่อไป) แรงดันไบอัสที่ขาเกตของพีมอสทรานซิสเตอร์ถูกกำหนดให้มีค่าเท่ากับ  $GND$  ในขณะที่แรงดันไบอัสที่ขาเกตของเอ็นมอสทรานซิสเตอร์ถูกกำหนดให้มีค่าเท่ากับ  $V_{DD}$  ทรานซิสเตอร์ทำงานอยู่ในโหมดอิ่มตัวตลอดเวลา ส่งผลให้วงจรสามารถทำงานได้ดีภายใต้ไฟเลี้ยงต่ำ เมื่อพิจารณาเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสะท้อนกระแสคลาส AB แบบ Bulk-driven ทรานซิสเตอร์  $M_{1a(b)}$  และ  $M_{3a(b)}$  ทำหน้าที่เป็น วงจรสะท้อนกระแส ตัวเก็บประจุ  $C_1-C_4$  ทำหน้าที่เชื่อมต่อการป้อนกลับสัญญาณแบบลบจากโหนด  $FB$  จากภาคเอาต์พุตกลับไปยังที่โหนดอินพุตเพื่อลดความต้านทานเสมือนด้านอินพุตที่โหนด  $A$  ส่งผลให้การ สะท้อนกระแสเป็นไปได้อย่างสมบูรณ์ นอกจากนี้การป้อนกลับดังกล่าวยังช่วยเพิ่มย่านการสวิงของ สัญญาณโหมดร่วม (Common mode range; CMR) ที่โหนดอินพุตของวงจรเปรียบเทียบกับสัญญาณอีก ด้วย การไขว้สัญญาณของทรานซิสเตอร์  $M_{5a}$  กับ  $M_{5b}$  และ  $M_{6a}$  กับ  $M_{6b}$  ทำให้เกิดการป้อนกลับ สัญญาณแบบบวกเพื่อเพิ่มความต้านทานเสมือนที่โหนด  $C$  และ  $D$  วงจรภาคอินพุตหรือวงจร ปริ๊อแมมป์ นี้ นอกจากทำหน้าที่ขยายสัญญาณและยังช่วยลด offset แล้ววงจรมังช่วยป้องกันสัญญาณรบกวนจ่าย กลับ (kick back noise) จากวงจรภาคเอาต์พุตกลับไปยังภาคอินพุตของวงจรอีกด้วย

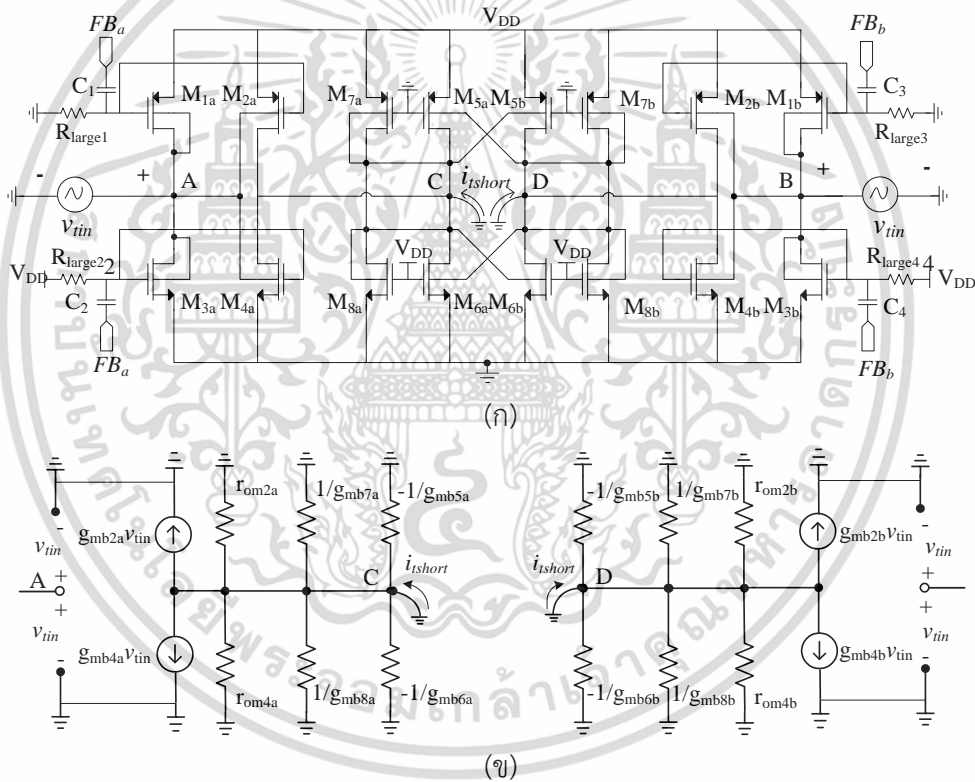
ในการออกแบบอัตราขยายของวงจรภาคปริ๊อแมมป์ เราจะต้องคำนึงถึงสัญญาณกระแสอินพุต น้อยที่สุด กับ offset ของภาคเอาต์พุตแลตซ์ โดยเราต้องออกแบบให้วงจรมีอัตราขยายเพียงพอที่จะ ขยายสัญญาณออกมาที่โหนด  $C$  กับ  $D$  ให้มีค่ามากกว่า offset ของวงจรภาคเอาต์พุตแลตซ์ ภาค เอาต์พุตแลตซ์ ( $M_{9a(b)}-M_{10a(b)}$ ) ซึ่งรับสัญญาณผลต่างแรงดันจากวงจรริ๊อแมมป์ถูกป้อนเข้าที่ขาบอดี้ ของทรานซิสเตอร์  $M_{9a}$  และ  $M_{9b}$   $M_{10a}$  และ  $M_{10b}$  ซึ่งต่อในลักษณะการป้อนกลับแบบบวกเพื่อเพิ่ม ความต้านทานที่โหนดเอาต์พุต และแลตซ์สัญญาณ

การทำงานของวงจรเปรียบเทียบสัญญาณกระแสที่น่าเสนอสามารถอธิบายได้ดังนี้ จากรูปที่ 3.5 (ก) เมื่อ  $clk$  เป็น low และมีกระแสอินพุต  $i_{in}$  และกระแสอ้างอิง  $i_{ref}$  ถูกป้อนให้กับวงจรที่โหนด  $A$  และ  $B$  กระแสจะถูกสะท้อนผ่านทรานซิสเตอร์  $M_{1a}$  และ  $M_{3a}$  ไปยัง  $M_{2a}$  และ  $M_{4a}$  ตามลำดับ ใน ขณะเดียวกันกระแส  $i_{ref}$  ไหลเข้าที่โหนด  $B$  ก็ถูกสะท้อนผ่านทรานซิสเตอร์  $M_{1b}$  และ  $M_{3b}$  ไปยัง  $M_{2b}$  และ  $M_{4b}$  ตามลำดับ ผลรวมของกระแสจากขาเดรนของทรานซิสเตอร์  $M_{2a}$  กับ  $M_{4a}$  ถูกส่งไปยังโหนด  $C$  ในขณะเดียวกันผลรวมของกระแสจากขาเดรนของทรานซิสเตอร์  $M_{2b}$  กับ  $M_{4b}$  จะถูกส่งไปยังโหนด  $D$  ถ้ากระแสไหลเข้าที่โหนดไหนมากกว่าระหว่าง  $C$  กับ  $D$  จะทำให้แรงดันที่โหนดนั้นเพิ่มขึ้นมากกว่าอีก โหนด และอีกโหนดมีแรงดันลดลงอันเป็นผลมาจากการป้อนกลับสัญญาณแบบบวกจาก  $M_{5a(b)} - M_{6a(b)}$  ผลต่างแรงดันระหว่างโหนด  $C$  กับ  $D$  ถูกส่งไปยังขาบอดี้ของทรานซิสเตอร์  $M_{9a}$  และ  $M_{9b}$  ตามลำดับใน กรณีสัญญาณ  $clk$  เป็น low ทรานซิสเตอร์  $M_{9a(b)}$  และ  $M_{10a(b)}$  ทำงานและถ้าแรงดันที่โหนด  $C$  มากกว่า  $D$  โหนด  $v_{out+}$  จะเป็น Low และ  $v_{out-}$  จะเป็น High ซึ่งเป็นผลมาจากการทำงานของ ทรานซิสเตอร์  $M_{10a(b)}$  ในกรณีที่  $clk$  เป็น high  $v_{out+}$  และ  $v_{out-}$  จะถูกรีเซ็ตให้มีค่าเป็น GND โดย ทรานซิสเตอร์  $M_{11a(b)}$

### 3.2.2 การวิเคราะห์ความต้านทานเสมือนด้านอินพุตวงจรเปรียบเทียบกับกระแส

วงจรเปรียบเทียบกับกระแสที่นำเสนอใช้เทคนิคการป้อนกลับสัญญาณแบบลบเพื่อลดค่าความต้านทานที่อินพุต ( $R_{in}$ ) ดังนั้นในการวิเคราะห์หา  $R_{in}$  เราจำเป็นต้องวิเคราะห์หาอัตราขยายแรงดันของวงจรภาคอินพุตจากโนด A ถึงโนด  $FB_{\alpha(b)}$  ( $A_{A-FB}$ ) ซึ่งสามารถทำได้โดยการวิเคราะห์หาอัตราขยายแรงดันจากโนด A ถึงโนด C ( $A_{A-C}$ ) ก่อน จากนั้นก็หาอัตราขยายแรงดันจากโนด C ไปโนด  $FB_{\alpha(b)}$  ( $A_{C-FB}$ ) และ  $A_{A-FB} = A_{A-C} \times A_{C-FB}$

การหา  $A_{A-C}$  ทำได้โดยการหาค่าทรานคอนดักแตนซ์  $G_{m,A-C}$  และความต้านทานเสมือนที่โนด C และ D ( $R_{OC(D)}$ ) รูปที่ 3.6(ก) แสดงการหาค่า  $G_{m,A-C}$  โดยการป้อนแรงดันทดสอบที่อินพุต ( $v_{tin}$ ) ซึ่งมีวงจรเสมือนสัญญาณขนาดเล็กแสดงในรูปที่ 3.6 (ข)  $G_{m,A-C}$  มีค่าเท่ากับอัตราส่วนระหว่าง  $i_{tshort}$  กับ  $v_{tin}$  และมีค่าเท่ากับ

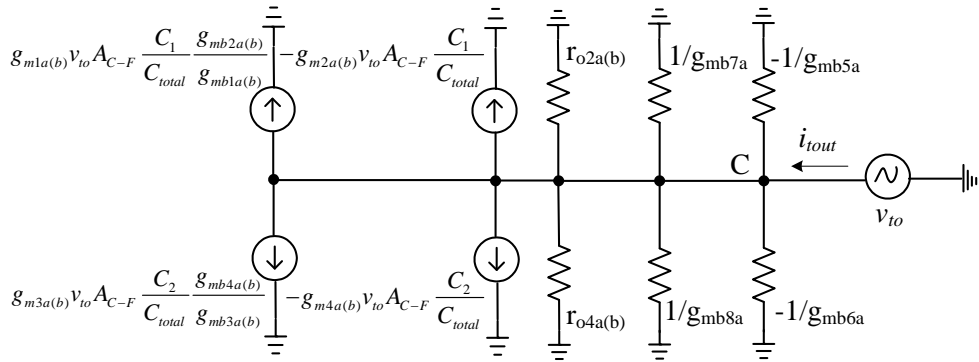


รูปที่ 3.6 (ก) การป้อนแรงดันทดสอบเพื่อหาค่า  $G_m$  ของวงจรจากอินพุตโนด A ถึงโนด C  
 (ข) วงจรเสมือนสัญญาณขนาดเล็กของวงจรจากอินพุตโนด A ถึงโนด C

$$G_{m,A-C} = g_{mb1a(b)} + g_{mb3a(b)} \tag{3.4}$$

การวิเคราะห์หาค่าความต้านทานเสมือนของวงจรที่โนด C ( $R_{OC(D)}$ ) สามารถทำได้โดยวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กในรูปที่ 3.7 ซึ่งมีค่าเท่ากับอัตราส่วนระหว่าง  $v_{to}$  และ  $i_{tout}$  และมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหาค่าความต้านทานเสมือนของวงจรที่โหนด C

$$R_{OC(D)} = r_{o2a(b)} // r_{o4a(b)} // \left( g_{mb7a(b)} + g_{mb8a(b)} - g_{mb5a(b)} - g_{mb6a(b)} \right)^{-1} \quad (3.5)$$

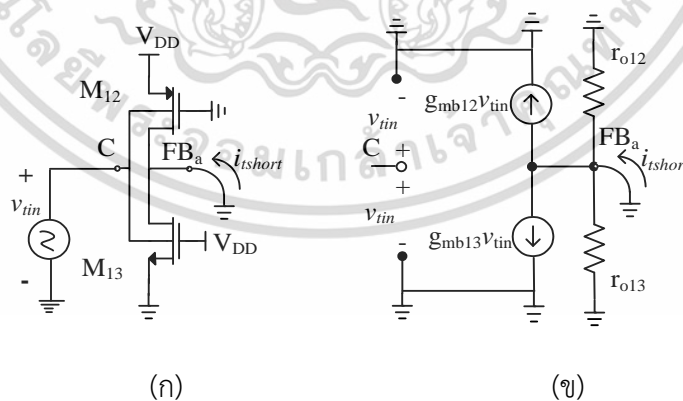
จากการวิเคราะห์ข้างต้น เราสามารถหาอัตราขยายสัญญาณแรงดัน  $A_{A-C}$  ได้เป็น

$$A_{A-C} = -G_{m,A-C} R_{OC(D)} \quad (3.6)$$

$$A_{A-C} = -(g_{mb1a(b)} + g_{mb3a(b)}) \left[ r_{o2a(b)} // r_{o4a(b)} // \left( g_{mb7a(b)} + g_{mb8a(b)} - g_{mb5a(b)} - g_{mb6a(b)} \right)^{-1} \right] \quad (3.7)$$

การหา  $A_{C-FB}$  ทำได้ในลักษณะเดียวกันโดยการหาค่าทรานคอนดักแตนซ์ ( $G_{m,C-FB}$ ) จากโหนด C(D) ไปยังโหนด  $V_{FB0(b)}$  และความต้านทานเสมือนที่โหนด  $V_{FB}$  ( $R_{FB}$ )

รูปที่ 3.8 (ก) แสดงวงจรเสมือนสัญญาณขนาดเล็กเพื่อใช้วิเคราะห์หา  $G_{m,C-FB}$  และ  $R_{FB}$



รูปที่ 3.8 (ก) การป้อนแรงดันทดสอบเพื่อหาค่า  $G_{m(C-FB)}$

(ข) วงจรเสมือนสัญญาณขนาดเล็กของวงจรจากอินพุตโหนด C ถึงโหนด FB

$$G_{m,C-FB} = \frac{i_{tshort}}{v_{in}} = g_{mb12} + g_{mb13} \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทาน  $R_{FB}$  มีค่าเท่ากับ

$$R_{FB} = r_{o12} // r_{o13} \quad (3.9)$$

ดังนั้น

$$A_{C-FB} = -G_{m,C-FB} R_{FB} \quad (3.10)$$

เมื่อทำการวิเคราะห์วงจรในรูปที่ 3.5(ก)  $R_{in}$  ของวงจรมีค่าเท่ากับ

$$R_{in} = \frac{1}{g_{mb1a(b)} + g_{mb3a(b)} + \left( \frac{C_1}{C_{total}} g_{m1a(b)} + \frac{C_2}{C_{total}} g_{m3a(b)} \right) A_{A-FB}} \quad (3.11)$$

โดยที่  $C_{total}$  คือ ตัวเก็บประจุแฝงรวมที่ขาเกตของทรานซิสเตอร์ ( $C_{1(2)} + C_{GD} + C_{GB} + C_{GS}$ )

### 3.2.3 การวิเคราะห์ผลการตอบสนองความถี่ของวงจรเปรียบเทียบกับกระแส

รูปที่ 3.9 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรปรีแอมป์ทรานซิมพีแดนซ์โดยรวมผลของตัวเก็บประจุแฝงต่างๆ

ความสัมพันธ์ระหว่างผลต่างกระแสอินพุตและแรงดันที่โหนด C-D มีค่าเท่ากับ

$$v_{C-D} = Z_{DTIA}(s)(i_{in} - i_{ref}) \quad (3.12)$$

โดยที่  $Z_{DTIA}(s)$  คืออัตราขยายผลต่างทรานซิมพีแดนซ์จากโหนดอินพุต A-B ไปยังโหนด C-D เราสามารถหา  $Z_{DTIA}(s)$  ได้จากการวิเคราะห์สัญญาณขนาดเล็กของวงจรในรูปที่ 3.9 และมีค่าเท่ากับ

$$Z_{DTIA}(s) = \frac{r_{o2a(b)} // r_{o4a(b)} // (g_{mb7a(b)} + g_{mb8a(b)} - g_{mb5a(b)} - g_{mb6a(b)})^{-1}}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (3.13)$$

โดยที่  $\omega_{p1}$  และ  $\omega_{p2}$  มีค่าเท่ากับ

$$\omega_{p1} = \frac{1}{R_{oC(D)} (C_{T2a(4a)} + C_{T7a(8a)} + C_{T5a(6a)})} \quad (3.14)$$

$$\omega_{p2} = \frac{1}{R_{in} C_{T1a(b)}} \quad (3.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ  $C_{T1(3)a}$  คือผลรวมตัวเก็บประจุแฝงของ  $M_{1a}$  และ  $M_{3a}$   
 $C_{T2(4)a}$  คือผลรวมตัวเก็บประจุแฝงของ  $M_{2a}$  และ  $M_{4a}$   
 $C_{T7(8)a}$  คือผลรวมตัวเก็บประจุแฝงของ  $M_{7a}$  และ  $M_{8a}$   
 $C_{T5(6)a}$  คือผลรวมตัวเก็บประจุแฝงของ  $M_{5a}$  และ  $M_{6a}$   
 $C_{T5(6)b}$  คือผลรวมตัวเก็บประจุแฝงของ  $M_{5b}$  และ  $M_{6b}$

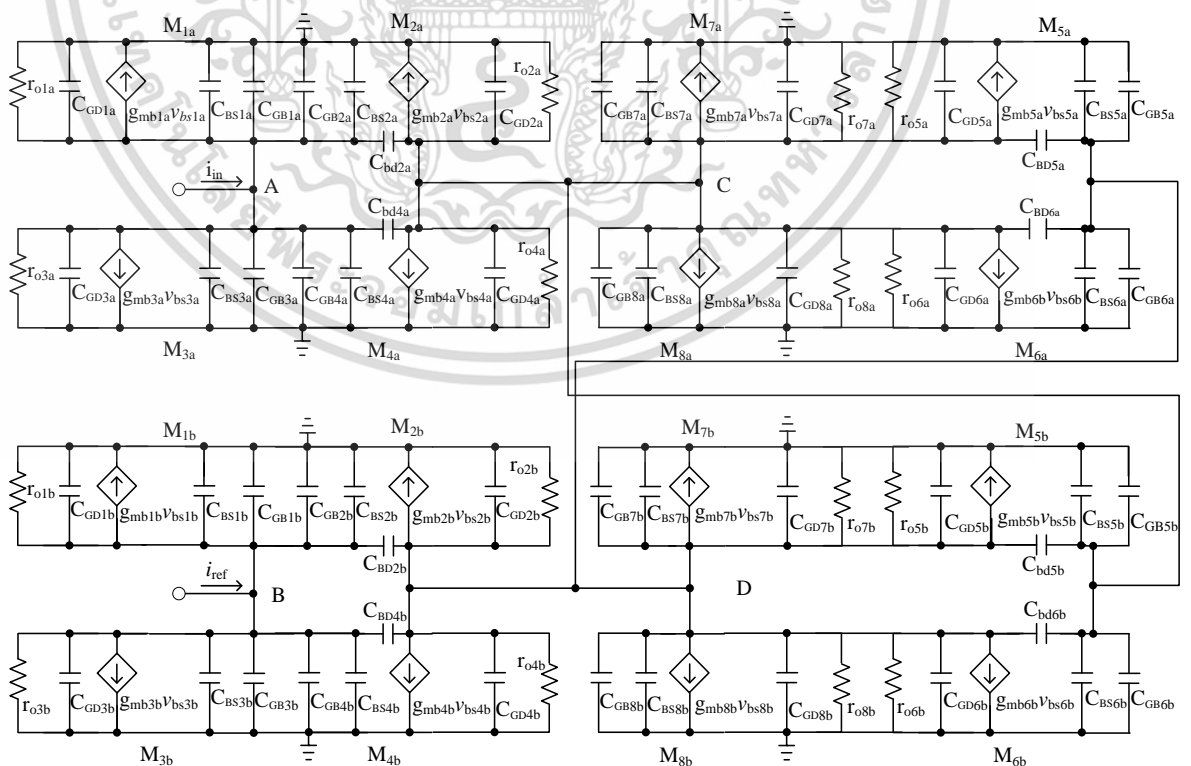
$$C_{T2(4)a} = 2C_{GD2(4)a} + (2C_{BD2(4)a}) \left[ 1 + \frac{1}{(2g_{mb2(4)a})(r_{o2a(b)} // r_{o4a(b)})} \right] \quad (3.16)$$

$$C_{T7(8)a} = 2C_{GB7(8)a} + 2C_{BS7(8)a} + 2C_{GD7(8)a} \quad (3.17)$$

$$C_{T5(6)a} = 2C_{GD5(6)a} \quad (3.18)$$

$$C_{T5(6)b} = 2C_{BS5(6)b} + 2C_{GB5(6)b} + 2C_{BD5(6)b} \left\{ 1 + (2g_{mb5(6)b}) \left[ \left( \frac{2}{g_{mb5(6)b}} \right) // \left( -\frac{2}{g_{mb7(8)b}} \right) \right] \right\} \quad (3.19)$$

$$C_{T1(3)a} = 2C_{GD1(3)a} + 2C_{BS1(3)a} + 2C_{GB1(3)a} + 2C_{BD2(4)a} \left[ 1 + (2g_{mb2(4)a})(r_{o2a(b)} // r_{o4a(b)}) \right] \quad (3.20)$$



รูปที่ 3.9 วงจรเสมือนสัญญาณขนาดเล็กรวมของวงจรปริแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

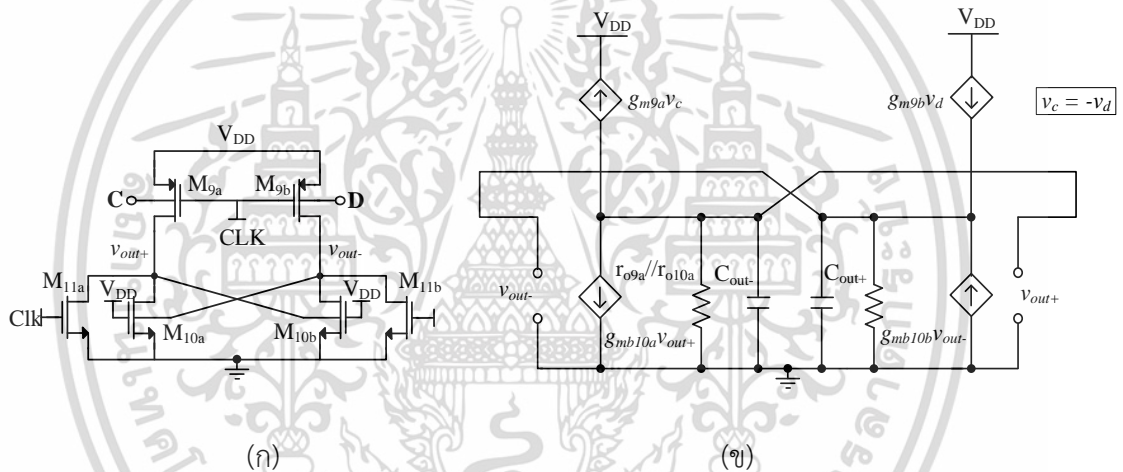
### 3.2.4 การวิเคราะห์ผลตอบสนองทางเวลาของวงจรรภาคเอาต์พุตแลตซ์

รูปที่ 3.10 (ก) แสดงวงจรรภาคเอาต์พุตแลตซ์ และรูปที่ 3.10 (ข) แสดงวงจรมีอนเพื่อใช้วิเคราะห์การตอบสนองทางเวลา เราสามารถวิเคราะห์การตอบสนองทางเวลาของวงจรมีอนได้โดยแบ่งการวิเคราะห์ออกเป็น 2 ช่วง ช่วงแรก ( $t_1$ ) คือ ช่วงเวลาในการชาร์จประจุที่โนดเอาต์พุตทั้งสองด้าน (ดูรูป 3.11) ( $v_{out+(-)}$ ) จนมีแรงดันเพียงพอให้  $M_{10a(b)}$  ทำงานซึ่งมีค่าประมาณเท่ากับแรงดันอิ่มตัว ( $V_{dsat}$ ) ของทรานซิสเตอร์  $M_{10a(b)}$

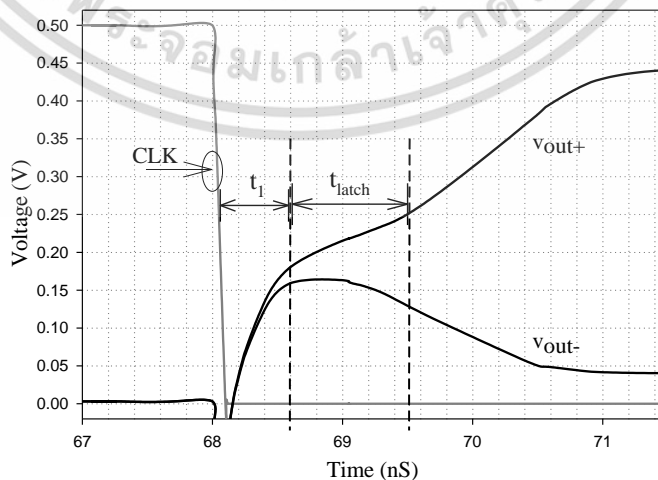
ดังนั้นช่วงเวลา  $t_1$  มีค่าประมาณเท่ากับ

$$t_1 \cong \frac{C_{Tot} V_{dsat}}{I_{D9a(b)}} \tag{3.21}$$

โดยที่  $C_{Tot}$  คือตัวเก็บประจุแผงรวมที่โนด  $v_{out+(-)}$  และ  $I_{D9a(b)}$  คือกระแสของ  $M_{9a(b)}$



รูปที่ 3.10 ก) วงจรรภาคเอาต์พุตแลตซ์ ข) วงจรมีอนสัญญาณขนาดเล็กของวงจรรแลตซ์



รูปที่ 3.11 ผลตอบสนองทางเวลาของวงจรรแลตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{Tot} = C_{DB10a(b)} + C_{BS10a(b)} + C_{GD9a(b)} + C_{GD11a(b)} \quad (3.22)$$

$$I_{D9a(b)} \cong K \frac{W}{2L} \left( V_{GS9a(b)} - V_{th0} - \gamma \sqrt{2\Phi_f - V_{BS9a(b)}} + \gamma \sqrt{2\Phi_f} \right)^2 \quad (3.23)$$

ภายในช่วงเวลา  $t_1$  นี้การป้อนกลับแบบบวกทำงานได้น้อยมาก เนื่องจาก  $M_{10a(b)}$  ยังคงทำงานในโหมดเชิงเส้น (Linear region) ช่วงที่สอง ( $t_{latch}$ ) คือ ช่วงเวลาที่มีการป้อนกลับแบบบวกเริ่มทำงาน (ดูรูป 3.11) จนแรงดันเพิ่มขึ้นจาก  $V_{dsat}$  เป็น  $V_{DD}/2$  ซึ่งเราสามารถวิเคราะห์ห้วงจรเสมือนดังแสดงในรูปที่ 3.10(ข) กล่าวคือ

$$g_{mb10a} v_{out-} + \frac{v_{out+}}{r_{o10a} // r_{o9a}} + C_{Tot} \frac{dv_{out+}}{dt} + g_{mb9a} v_c = 0 \quad (3.24)$$

โดยที่  $v_{out-} = -v_{out+}$  ดังนั้น

$$-g_{mb10a} v_{out+} + \frac{v_{out+}}{r_{o10a} // r_{o9a}} + C_{Tot} \frac{dv_{out+}}{dt} + g_{mb9a} v_c = 0 \quad (3.25)$$

จากสมการที่ 3.24-3.25 และเวลาที่ใช้เพื่อให้แรงดันเอาต์พุตเปลี่ยนจาก  $v_1$  ไปเป็น  $v_2$  ( $\Delta t$ ) มีค่าเท่ากับ

$$\Delta t = \frac{C_{Tot}}{g_{mb10a(b)}} \left( \frac{1}{1 - \frac{1}{g_{mb10a(b)} r_{o10a(b)}}} \right) \ln \left( \frac{v_2}{v_1} \right) \quad (3.26)$$

เนื่องจาก  $g_{mb10a(b)} r_{o10a(b)} \gg 1$  ดังนั้น เราสามารถประมาณได้ว่า

$$\Delta t \cong \frac{C_{Tot}}{g_{mb10a(b)}} \ln \left( \frac{v_2}{v_1} \right) \quad (3.27)$$

เมื่อแทน  $v_1$  และ  $v_2$  ในสมการที่ 3.27 ด้วย  $V_{dsat}$  และ  $0.5V_{DD}$  เราได้

$$t_{latch} = \frac{C_{Tot}}{g_{mb10a(b)}} \ln \left( \frac{0.5V_{DD}}{V_{dsat}} \right) \quad (3.28)$$

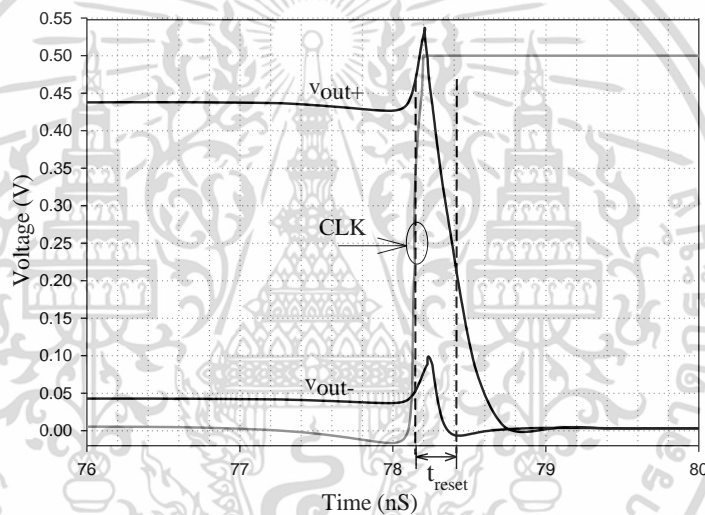
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าหนึ่งเวลา  $t_1+t_{latch}$  หรือ Propagation Delay ขาขึ้น ( $t_{PLH}$ ) ดังแสดงสมการที่ 3.26 และ 3.28 แสดงให้เห็นว่า  $t_{PLH}$  แปรผกผันกับขนาดผลต่างของแรงดันระหว่างโหนด  $C-D$  ในรูปที่ 3.10(ก)

Propagation Delay ขาลง ( $t_{PHL}$ ) คือช่วงเวลา  $t_{reset}$  ในรูปที่ 3.12 แรงดัน  $v_{out+(-)}$  ใช้ในการลดแรงดันลงถึง  $V_{DD/2}$  หลังจากสัญญาณ  $Clk$  เปลี่ยนจาก  $Low$  เป็น  $High$  ช่วงเวลา  $t_{reset}$  แปรผันตามค่าคงที่ทางเวลา ( $\tau$ ) ที่เกิดจากตัวต้านทาน  $R_{dson11a(b)}$  ของทรานซิสเตอร์  $M_{11a(b)}$  กับตัวเก็บประจุแผ่นรวมที่โหนด  $v_{out+(-)}$

$$\tau = R_{dson11a(b)} C_{out} \quad (3.29)$$

เมื่อ  $R_{dson11a(b)}$  มีค่าเท่ากับ  $\left( \mu_n C_{ox} \frac{W_{11a(b)}}{L_{11a(b)}} (V_{GS} - V_T) \right)^{-1}$



รูปที่ 3.12 ผลตอบสนองทางเวลาของวงจรถ่ายกลับขั้ววงรีเซต

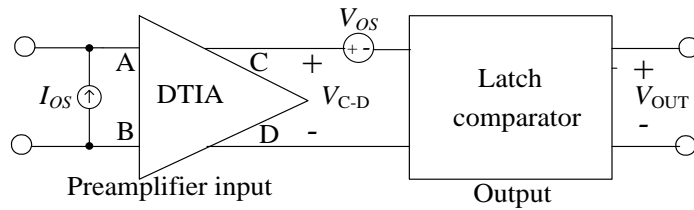
### 3.2.5 การวิเคราะห์ออฟเซต

ความคลาดเคลื่อนของแรงดันขีดเริ่ม และความคลาดเคลื่อนขนาดของทรานซิสเตอร์ที่เกิดจากกระบวนการผลิต ส่งผลให้วงจรถ่ายกลับขั้วขึ้น ลักษณะเช่นนี้ส่งผลให้แรงดันที่โหนดเอาต์พุตของภาคปริแอมป์ ( $V_{C-D}$ ) และเอาต์พุตของวงจรถ่ายกลับ ( $V_{OUT}$ ) มีค่าไม่เท่ากับศูนย์แม้ว่ากระแสอินพุตที่ป้อนให้กับวงจรมีค่าเท่ากับศูนย์

ผลรวมออฟเซตของวงจรถ่ายกลับเปรียบเทียบกับสัญญาณแบบปริแอมป์แลตซ์มีค่าเท่ากับ [28]

$$I_{OS,total}^2 = I_{OS}^2 + \frac{V_{OS}^2}{Z_{DTIA}^2} \quad (3.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรเปรียบเทียบกระแส และออฟเซ็ท

โดยที่  $I_{OS}$  คือกระแสออฟเซ็ทของ DTIA,  $Z_{DTIA}$  คือ อัตราขยายทรานซิมพีแดนซ์ ของปรีแอมป์และมีค่าดังแสดงในสมการที่ (3.13) และ  $V_{OS}$  คือ แรงดันออฟเซ็ทที่เกิดจากวงจรรวมเอาต์พุตแลตซ์

สมการที่ 3.30 แสดงให้เห็นอัตราขยายทรานซิมพีแดนซ์  $Z_{DTIA}$  ช่วยลดออฟเซ็ทที่เกิดจากภาคเอาต์พุตแลตซ์ และสามารถประมาณได้ว่าออฟเซ็ทรวมที่เหลืออยู่ของวงจรจะมีค่าใกล้เคียงกับออฟเซ็ท ( $I_{OS}$ ) ที่เกิดขึ้นในวงจรรวมเอาต์พุตปรีแอมป์

แรงดันออฟเซ็ทที่โนด C-D ( $V_{OS,C-D}$ ) ของวงจรรวมเอาต์พุตปรีแอมป์ในรูปที่ 3.5(ก) มีค่าประมาณเท่ากับ

$$V_{OS,C-D} = I_{OS} Z_{DTIA} \quad (3.31)$$

เราสามารถประมาณค่า  $I_{OS}$  ได้จากการวิเคราะห์ความคลาดเคลื่อนในวงจรรวมเอาต์พุตแลตซ์ ( $M_{1a(b)} - M_{4a(b)}$ ) โดยปกติในการออกแบบภาคปรีแอมป์ เราจะออกแบบให้ขนาดของ  $M_{1a(b),3a(b)}$  และ  $M_{2a(b),4a(b)}$  มีค่าเท่ากัน หากกำหนดให้  $\Delta K = \mu C_{ox} \Delta W / 2L$  และ  $\Delta V_T$  คือความคลาดเคลื่อนของคูทรานซิสเตอร์ที่สร้างวงจรรวมเอาต์พุตแลตซ์ เราจะได้ว่าความคลาดเคลื่อนของการสัทธิมาตรนี้มีค่าประมาณดังนี้

$$\frac{I_{OUT}}{I_{IN}} = \left(1 \pm \frac{\Delta K}{K}\right) \left(1 \pm \frac{\Delta V_T}{V_{GS} - V_T}\right)^2 \quad (3.32)$$

$$\frac{I_{OUT}}{I_{IN}} \cong 1 \pm \frac{\Delta K}{K} \pm \frac{2\Delta V_T}{V_{GS} - V_T} \quad (3.33)$$

เมื่อจัดรูปสมการที่ 3.33 เราได้ว่า

$$I_{OUT} = I_{IN} \pm I_{IN} \left( \frac{\Delta K}{K} \pm \frac{2\Delta V_T}{V_{GS} - V_T} \right) \quad (3.34)$$

หรือกระแสออฟเซ็ทมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{os} = \pm I_{IN} \left( \frac{\Delta K}{K} + \frac{2\Delta V_T}{V_{GS} - V_T} \right) \quad (3.35)$$

เราพบว่า การเพิ่มขนาดของทรานซิสเตอร์ผ่านทางตัวแปร  $K$  ในภาคอินพุตสามารถช่วยลดออฟเซตของวงจรถัดได้ อย่างไรก็ตาม การเพิ่มขนาดของทรานซิสเตอร์มีผลทำให้การตอบสนองของวงจรถ่วงช้าลงเนื่องจากตัวเก็บประจุแฝงของทรานซิสเตอร์ที่เพิ่มขึ้น นอกจากนี้ การเพิ่มแรงดัน  $V_{GS} - V_T$  ก็ช่วยลดผลออฟเซตจากความคลาดเคลื่อนแรงดันขีดเริ่ม  $\Delta V_T$  ได้ด้วย

จากการวิเคราะห์ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรถ่วงช้า ขยายสัญญาณผ่านวงจรถ่วงช้าภาคคู่กันคือ ภาคปรีแอมป์ทรานซิมิตแดนซ์  $Z_{DTA}$  และภาคเอาต์พุตแลตซ์ ในการออกแบบวงจรถ่วงช้าภาคปรีแอมป์นั้น เราต้องพิจารณาอัตราขยาย ความเร็วของวงจรถ่วงช้า และออฟเซตไปพร้อมๆกัน จากสมการที่ 3.13 แสดงให้เห็นว่าอัตราขยายทรานซิมิตแดนซ์มีค่าเท่ากับความต้านทานเสมือนของวงจรถ่วงช้าที่โนด  $C, D$  ในขณะเดียวกัน ค่าความต้านทานเสมือนก็มีผลต่อการตอบสนองทางเวลาของวงจรถ่วงช้า ดังนั้นอัตราขยายภาคทรานซิมิตแดนซ์ควรออกแบบให้เหมาะสมไม่ควรมีค่ามากเกินไป และอัตราขยายยังคงสามารถขยายผลต่างระหว่างกระแสอินพุตและกระแสอ้างอิงเป็นแรงดันที่โนด  $C, D$  เพียงพอสำหรับภาคเอาต์พุตแลตซ์ตอบสนองได้เร็วพอสำหรับการประยุกต์ซึ่งประมาณได้จากสมการที่ 3.28 ขนาดของทรานซิสเตอร์ที่ภาคอินพุตควรออกแบบให้เหมาะสมโดยต้องไม่เล็กเกินไปโดยมุ่งเน้นแต่ความเร็ว ทั้งนี้ก็เพื่อลดผลกระทบของออฟเซตด้วย

### 3.2.6 ผลจำลองการทำงานของวงจรถ่วงช้าเปรียบเทียบกับกระแส

เพื่อตรวจสอบการทำงานของวงจรถ่วงช้า วิชยานิพนธ์ฉบับนี้ได้ทำการจำลองการทำงานของวงจรถ่วงช้าได้นำเสนอโดยใช้โปรแกรม OrCAD Capture PSpice และใช้เทคโนโลยีมอสทรานซิสเตอร์ที่มีขนาด  $0.18 \mu\text{m}$  วงจรถ่วงช้าภายใต้แหล่งจ่ายไฟเลี้ยงเท่ากับ  $0.5 \text{V}$  วงจรถ่วงช้าถูกออกแบบให้ระดับแรงดันที่โนดอินพุตมีค่าประมาณเท่ากับ  $0.25 \text{V}$  ขนาดของมอสทรานซิสเตอร์ถูกแสดงไว้ในตารางที่ 3.1 ขนาดของทรานซิสเตอร์  $M_{1a(b)} - M_{4a(b)}$  ถูกออกแบบโดยคำนึงถึงค่าความต้านทานขาเข้าของวงจรถ่วงช้าและการสวิงของกระแสอินพุตเป็นหลัก การเพิ่มขนาดทรานซิสเตอร์ทำให้ทรานคอนดักแตนซ์สูงขึ้น และค่าความต้านทานที่โนดอินพุตมีค่าลดลงแต่พลังงานสูญเสียของวงจรถ่วงช้าก็จะสูงขึ้น ขนาดของทรานซิสเตอร์  $M_{5a(b)} - M_{8a(b)}$  ถูกออกแบบให้มีขนาดเล็กเพื่อลดผลกระทบจากค่าตัวเก็บประจุแฝงของวงจรถ่วงช้าถูกออกแบบให้มีแรงดันไบอัสที่โนด  $C$  และ  $D$  ประมาณกึ่งกลางของแหล่งจ่ายแรงดันไฟเลี้ยง ขนาดของ  $M_{7a(b)} - M_{8a(b)}$  ต้องมีขนาดใหญ่กว่า  $M_{5a(b)} - M_{6a(b)}$  เพื่อป้องกันการแลตซ์แรงดันที่โนด  $C-D$  อันเป็นผลจากการป้อนกลับแบบบวก ขนาดของทรานซิสเตอร์  $M_9 - M_{14}$  ถูกออกแบบให้มีขนาดเล็กเพื่อลดผลจากตัวเก็บประจุแฝงแต่ในขณะเดียวกันก็ต้องมีขนาดใหญ่เพียงพอเพื่อให้วงจรถ่วงช้าตอบสนองได้อย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ขนาดของทรานซิสเตอร์ของวงจรเปรียบเทียบกระแส

ทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )	ทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
$M_{1a,b}, M_{2a,b}$	7.2/0.36	$M_{12}, M_{14}$	2.16/0.36
$M_{3a,b}, M_{4a,b}$	3.42/0.36	$M_{13}, M_{14}$	0.72/0.36
$M_{7a,b}$	2.34/0.36	$M_{10a,b}$	7.2/0.18
$M_{8a,b}$	0.72/0.36	$M_{9a,b}, M_{11a,b}$	10.8/0.36
$M_{5a,b}$	1.08/0.36	$M_{RG1}, M_{RG2}$	0.27/1.08
$M_{6a,b}$	0.36/0.36	$M_{CG}$	1.5/1.5

รูปที่ 3.14 และ 3.15 แสดงผลการตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสที่ออกแบบ โดยเส้นทึบแสดงกระแสอินพุตผลต่างและเส้นประเป็นแรงดันเอาต์พุต ( $v_{out}$ ) เมื่อป้อนกระแสอินพุตเป็นสัญญาณสี่เหลี่ยมที่มีความถี่เท่ากับ 25 MHz จากรูปสัญญาณเอาต์พุตสามารถสังเกตเห็นได้กว้าง รูปที่ 3.14 แสดงผลตอบสนองเมื่อป้อนกระแสอินพุตเท่ากับ 50 nA มีค่าหน่วงเวลา (Propagation delay) เท่ากับ 2.32 ns และรูปที่ 3.15 แสดงผลตอบสนองเมื่อป้อนกระแสอินพุตเท่ากับ 10  $\mu\text{A}$  และมีค่าหน่วงเวลาเท่ากับ 1.54 ns

รูปที่ 3.16 แสดงค่าหน่วงเวลาเมื่อกระแสอินพุตผลต่างมีค่าต่างๆ กันจาก 20 nA ถึง 10  $\mu\text{A}$  สังเกตว่าค่าหน่วงเวลาของวงจรมีค่าลดลงเมื่อกระแสอินพุตผลต่างมีค่าสูงขึ้น ทั้งนี้ก็เพราะที่กระแสอินพุตที่สูงขึ้นทำให้ผลต่างแรงดันระหว่างโนด C-D มีค่ามากส่งผลให้วงจรภาคเอาต์พุตแลตซ์กำหนดค่าเอาต์พุตได้เร็ว

รูปที่ 3.17 แสดงค่าความไว (Sensitivity) ของวงจรที่ออกแบบโดยป้อนสัญญาณกระแสอินพุตสามเหลี่ยมขนาด  $\pm 0.1 \mu\text{A}$  ที่ความถี่เท่ากับ 12.5 MHz เส้นทึบแสดงสัญญาณกระแสอินพุตและแรงดันเอาต์พุตถูกแทนด้วยเส้นประ ค่าความไวของวงจรเปรียบเทียบกระแสมีค่าเท่ากับ 19.8 nA ค่าความไวขึ้นอยู่กับอัตราขยายทรานซิมิตแดนซ์จากโนดอินพุตถึงโนด C-D การเพิ่มอัตราขยายส่งผลกระทบต่อการตอบสนองของวงจร ในทางปฏิบัติเราจำเป็นต้องออกแบบวงจรให้เหมาะสมสำหรับการประยุกต์ใช้งานโดยพิจารณาความไวและค่าหน่วงเวลา

รูปที่ 3.18 แสดงกำลังงานสูญเสียเมื่อป้อนกระแสอินพุตผลต่างระหว่าง 20 nA ถึง 10  $\mu\text{A}$  กำลังงานสูญเสียของวงจรเปรียบเทียบกระแสมีค่าประมาณเท่ากับ 36.76  $\mu\text{W}$  ที่กระแสอินพุต 10  $\mu\text{A}$  รูปที่ 3.19 แสดงความต้านทานด้านอินพุตของวงจรเปรียบเทียบกระแสที่ความถี่ต่างๆ กัน เมื่อกระแสอินพุตผลต่างมีค่าตั้งแต่ -10  $\mu\text{A}$  ถึง 10  $\mu\text{A}$  ค่าความต้านทานด้านอินพุตที่มากที่สุดมีค่าประมาณเท่ากับ 2.7 กิโลโอห์ม ค่าความต้านทานด้านอินพุตสามารถลดได้โดยการเพิ่มขนาดของทรานซิสเตอร์ด้านอินพุต ในทางปฏิบัติเราควรออกแบบขนาดของทรานซิสเตอร์ด้านอินพุตให้เหมาะสม โดยที่คำนึงถึงค่าสูงสุดของกระแสอินพุตสำหรับการประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.20 แสดงการแจกแจงความถี่ของกระแสอินพุตออฟเซ็ทที่ได้จากการจำลองการทำงานแบบ Monte carlo เพื่อดูผลกระทบจากความคลาดเคลื่อนที่เกิดจากกระบวนการผลิต เราพบว่ากระแสอินพุตออฟเซ็ทมีค่าเท่ากับ 20.05nA (ที่  $3\sigma$ )

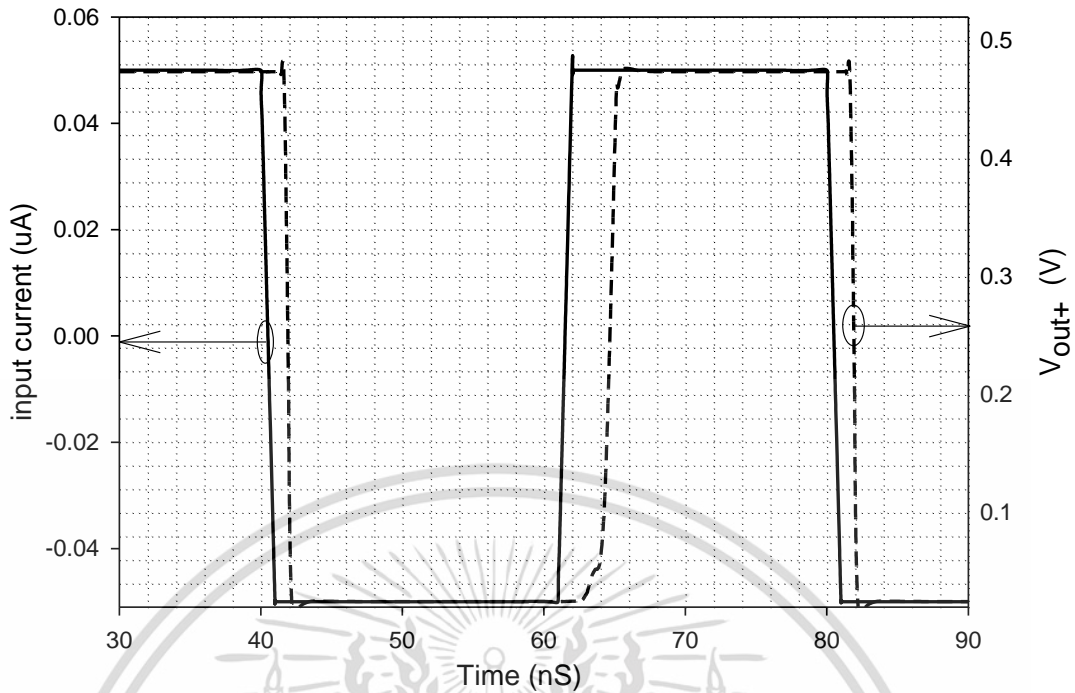
ในการออกแบบวงจร ทราานซิสเตอร์ที่โนดอินพุตควรถูกออกแบบให้มีขนาดค่อนข้างใหญ่ขึ้นนี้ ก็เพื่อลดผลจากความผิดพลาดของการสะท้อนกระแสและออฟเซ็ทที่เกิดจากความไม่สมพงษ์ของทรานซิสเตอร์ เราได้จำลองการทำงานของวงจรเพื่อดูผลกระทบจากความคลาดเคลื่อนจากกระบวนการผลิตโดยให้ความกว้างและความยาวของทรานซิสเตอร์มีความคลาดเคลื่อนเท่ากับ 25% ( $\pm 0.05\mu\text{m}$ ) และ 10% ( $\pm 0.018\mu\text{m}$ ) ของเทคโนโลยีการผลิตทรานซิสเตอร์ตามลำดับและพบว่ากระแสอินพุตออฟเซ็ทมีค่าเท่ากับ 17.67nA

รูปที่ 3.21 แสดงการทำงานของวงจรเปรียบเทียบกระแสร่วมกับสัญญาณนาฬิกาที่มีความถี่ 125 MHz และกระแสอินพุตผลต่างมีค่าเท่ากับ  $\pm 50$  nA รูปแสดงกระแสอินพุตผลต่าง แรงดันเอาต์พุตด้านบวก แรงดันเอาต์พุตด้านลบ และสัญญาณนาฬิกา โดยเรียงตามลำดับจากบนลงล่างตามลำดับ

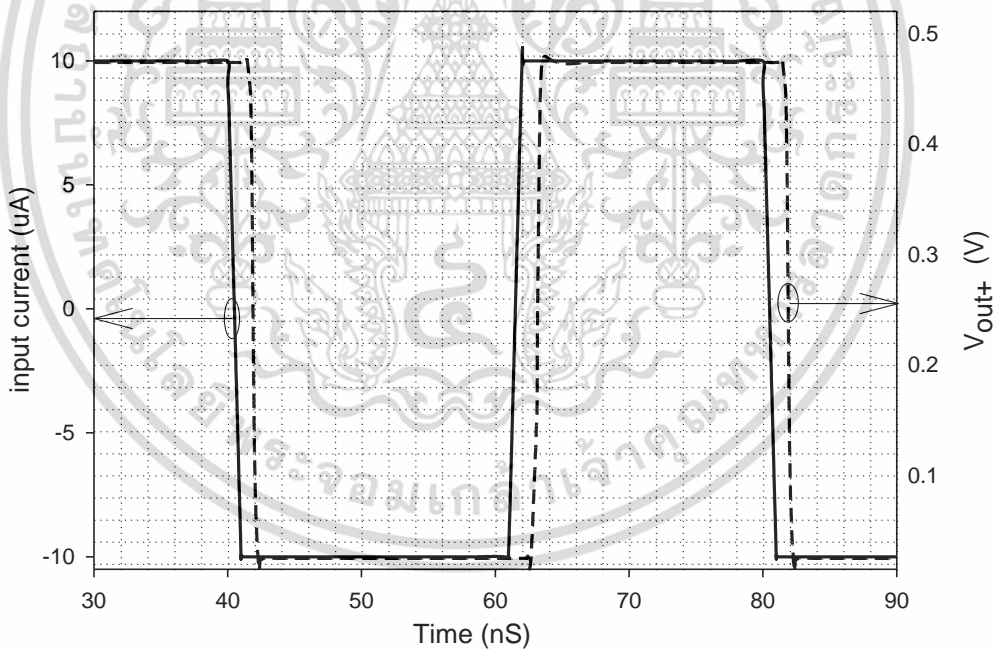
ตารางที่ 3.2 แสดงการเปรียบเทียบคุณสมบัติของวงจรเปรียบเทียบกระแสที่นำเสนอกับวงจรเปรียบเทียบกระแสก่อนหน้านี้ วงจรใช้แรงดันไฟเลี้ยงต่ำกว่าวงจรที่นำเสนอก่อนหน้า และมีพลังงานสูญเสียและค่าพลังงานสูญเสียต่อค่าหน่วยเวลา (Power Delay Product, PDJ) ต่ำ อย่างไรก็ตามวงจรที่นำเสนอมีค่าหน่วยเวลาที่ค่อนข้างมากเนื่องจากการไบอัสกระแส และแรงดันไฟเลี้ยงมีค่าต่ำ

ตารางที่ 3.3 แสดงค่าความต้านทานเสมือนด้านอินพุตเมื่อมีกระแสอินพุตผลต่างเท่ากับ 0.1  $\mu\text{A}$  และค่าหน่วยเวลา เมื่อใช้กระบวนการผลิตที่ต่างกัน จากตารางแสดงให้เห็นว่าวงจรยังสามารถทำงานได้ที่กระบวนการผลิตต่างๆ โดยที่ค่าความต้านทานอินพุตมีค่าเปลี่ยนแปลงอยู่ระหว่าง 1.5 ถึง 2.47 กิโลโอห์ม และค่าหน่วยเวลาที่เปลี่ยนแปลงอยู่ระหว่าง 1.47 nS ถึง 2.66 nS

ตารางที่ 3.4 แสดงคุณสมบัติโดยรวมของวงจรเปรียบเทียบกระแสที่นำเสนอที่ได้จากการจำลองการทำงานผ่านโปรแกรม OrCAD Capture PSPICE

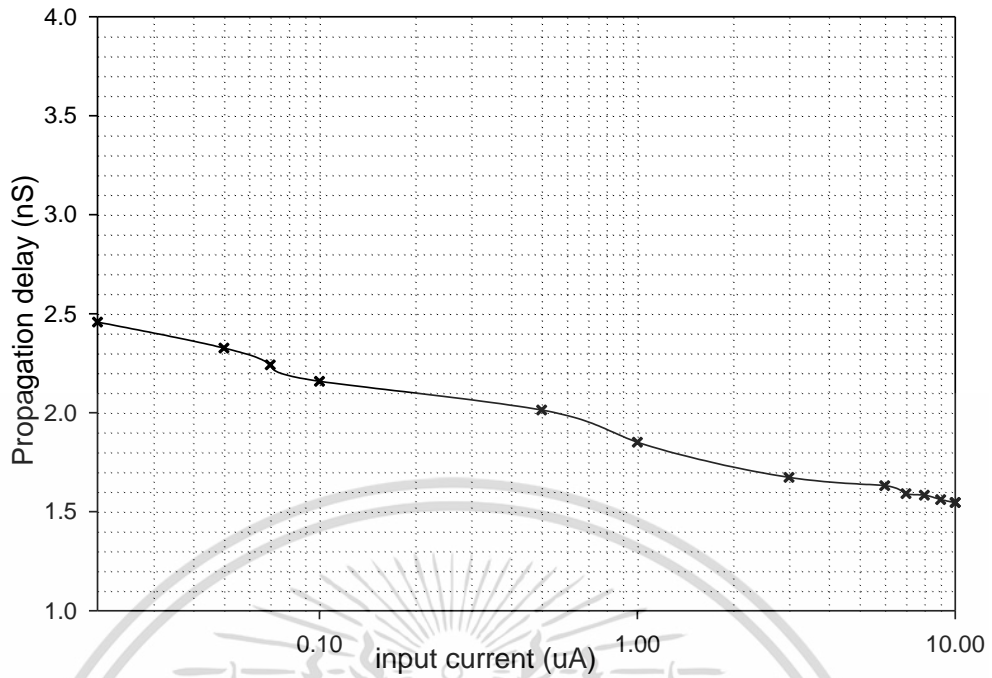


รูปที่ 3.14 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสเมื่อป้อนอินพุตขนาด  $\pm 50$  nA ที่ความถี่ 25 MHz

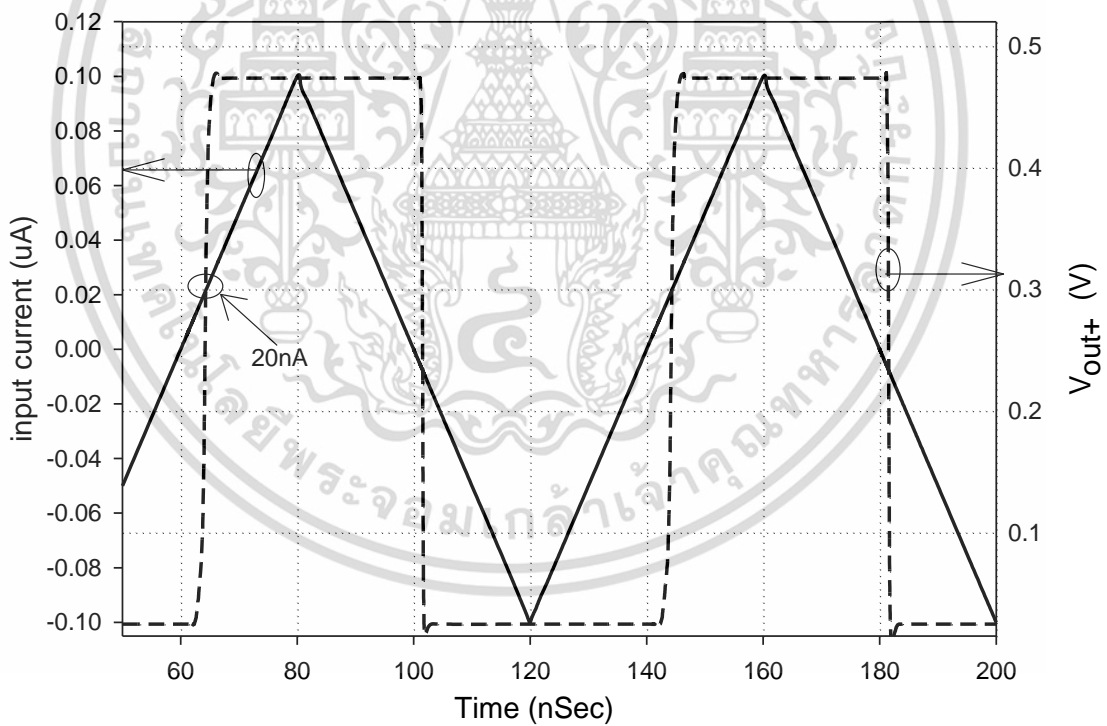


รูปที่ 3.15 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสเมื่อป้อนอินพุตขนาด  $\pm 10$   $\mu$ A ที่ความถี่ 25 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

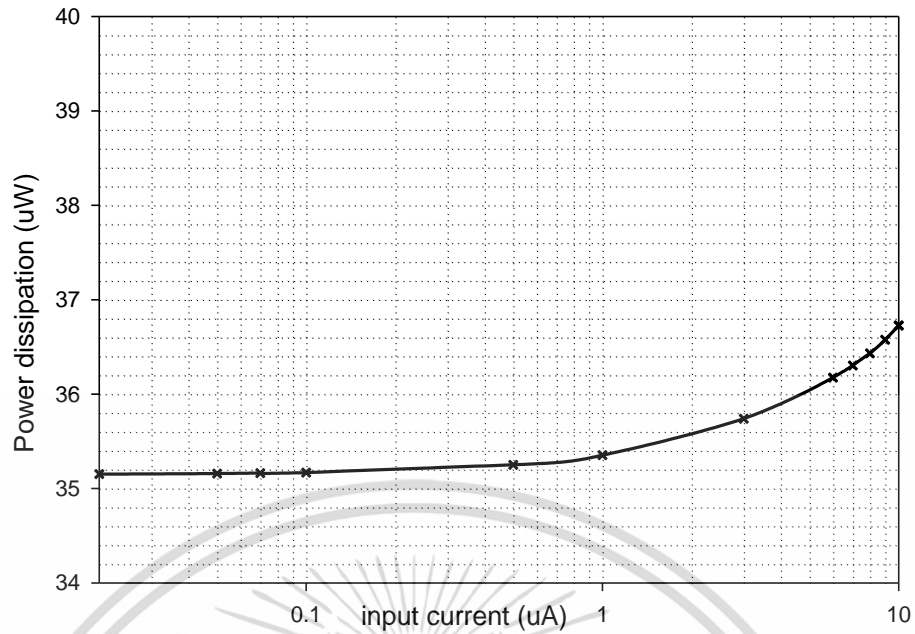


รูปที่ 3.16 ค่าหน่วงเวลาเฉลี่ยเมื่อป้อนกระแสอินพุตจาก 20nA ถึง 10 uA

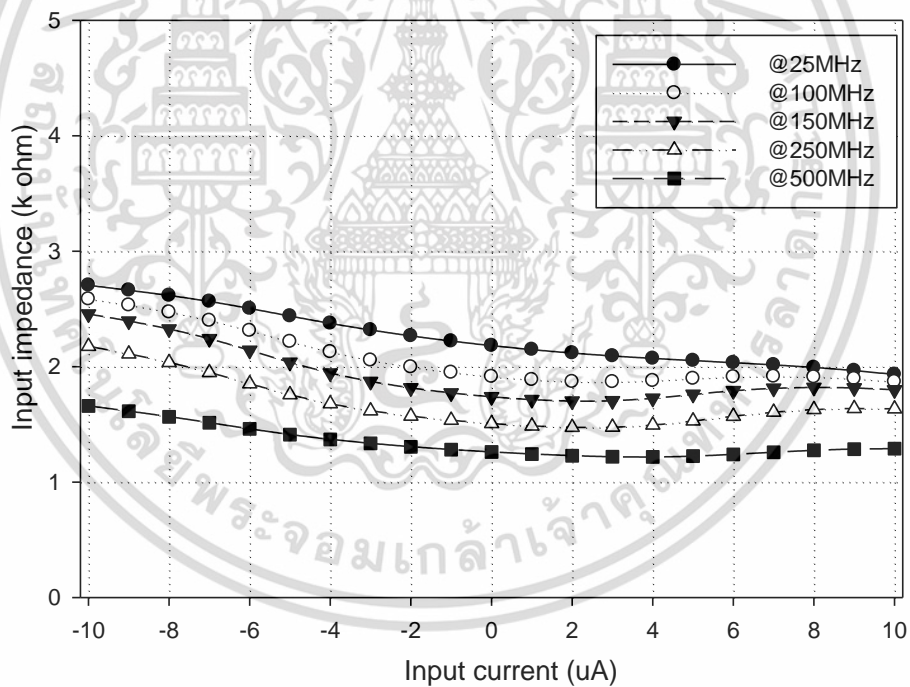


รูปที่ 3.17 ความไวของวงจรเปรียบเทียบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

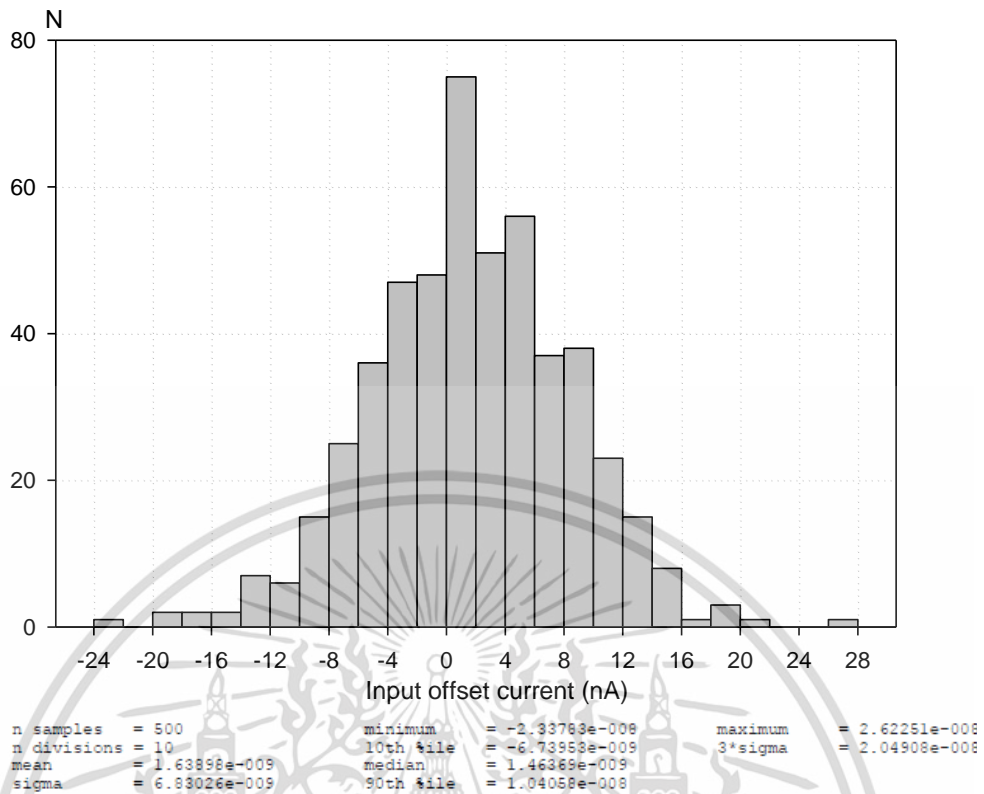


รูปที่ 3.18 กำลังงานสูญเสียเมื่อป้อนกระแสอินพุตผลต่างระหว่าง 20 nA ถึง 10  $\mu$ A

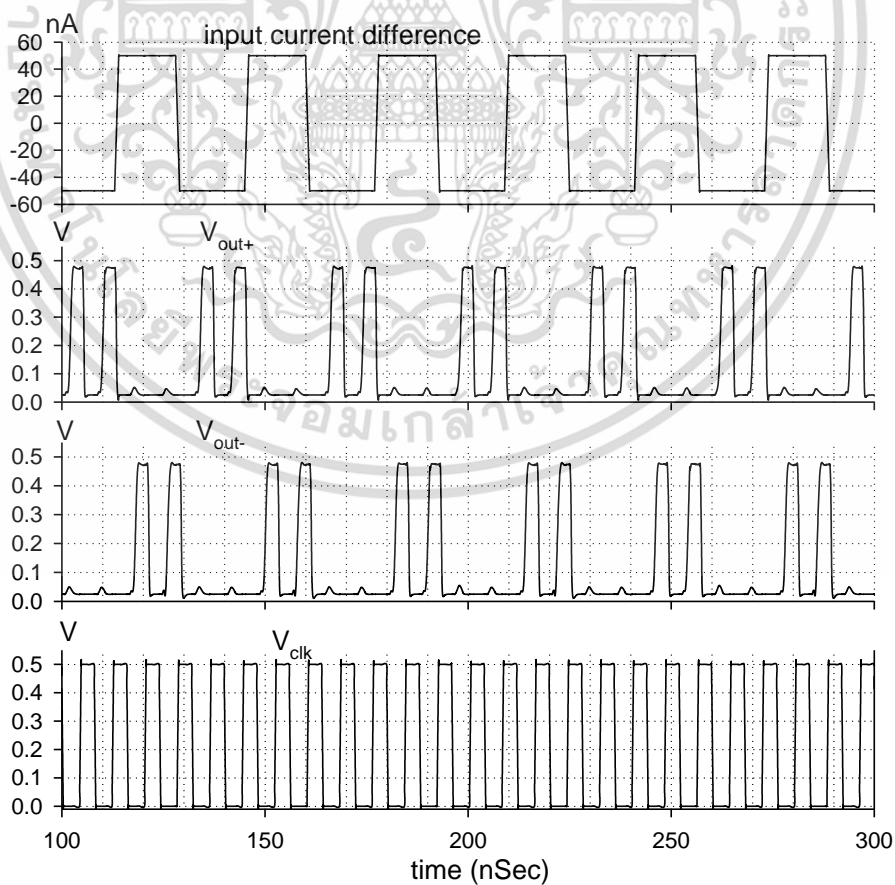


รูปที่ 3.19 ค่าความต้านทานด้านอินพุตของวงจรเปรียบเทียบกับกระแสที่ความถี่ต่างๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 การแจกแจงความถี่ (Histogram) ของกระแสอินพุตออฟเซต



รูปที่ 3.21 กราฟความสัมพันธ์ระหว่างกระแสอินพุตผลต่าง แรงดันเอาต์พุต และ  $Clk$  (125MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 การเปรียบเทียบคุณสมบัติของวงจรเปรียบเทียบกระแส

Ref.	[2] 1992	[3] 1992	[5] 2000	[21] 2012	[7] 2014	This work
Power supply (Volt)	5	5	3	3	1.8	0.5
Power (Watt)	930u	1.4m	0.53m	1.8m	697u	36.76u
Propagation delay time (1 $\mu$ A input)	4	3	1.2	1.6	0.95	1.85
Power Delay Product (J)	$3.72 \times 10^{-12}$	$4.2 \times 10^{-12}$	$6.36 \times 10^{-13}$	$2.88 \times 10^{-13}$	$6.62 \times 10^{-13}$	$6.8 \times 10^{-14}$
Process( $\mu$ m)	NA	1.6	1.2	0.18	0.18	0.18

ตารางที่ 3.3 การเปลี่ยนแปลงความต้านทานเสมือนด้านอินพุตและค่าหน่วงเวลาต่อกระบวนการผลิต

Process corner	Input resistance	Propagation delay time
TT	2.4 k $\Omega$	2.15 ns
FF	1.5 k $\Omega$	1.47 ns
SS	3.9 k $\Omega$	3.3 ns
FS	2.44 k $\Omega$	2.14 ns
SF	2.47 k $\Omega$	2.66 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 คุณสมบัติของวงจรเปรียบเทียบกระแสที่นำเสนอและผลการจำลองการทำงาน

Process technology	0.18 $\mu\text{m}$ CMOS
Supply voltage	Single supply 0.5V
Propagation delay time (0.1 $\mu\text{A}$ input)	2.15 ns
Average power consumption (10 $\mu\text{A}$ input)	36.73 $\mu\text{w}$
Power delay production (0.1 $\mu\text{A}$ input)	0.068 pJ
Input resistance	2.7 k $\Omega$
Transimpedance gain (front-end)	81 dB
Bandwidth (front-end)	125 MHz
Sensitivity	19.8 nA
Input offset current ( $3\sigma$ )	20.05 nA
Total integrated noise	22.3 nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

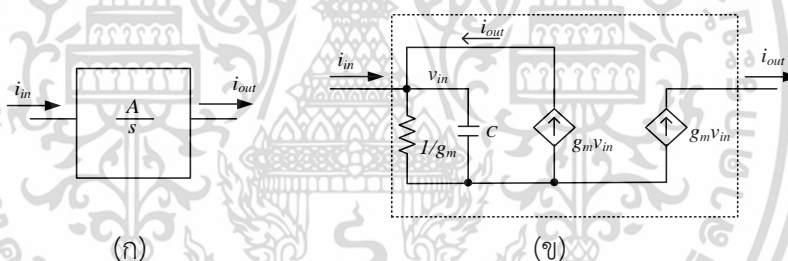
### 3.3 วงจรอินทิเกรเตอร์โหมดกระแส

วงจรอินทิเกรเตอร์แบบไม่สูญเสียเป็นวงจรหลักวงจรหนึ่งที่ถูกใช้ในการออกแบบวงจรกรองความถี่แบบแอกทีฟ (Active filter) กันอย่างแพร่หลาย วงจรกรองความถี่เป็นวงจรที่มีความสำคัญมากในการประยุกต์ใช้งาน เช่น การประมวลผลสัญญาณเสียงและภาพ ระบบการวัด เครื่องมือวัด ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคม หัวข้อนี้นำเสนอวงจรอินทิเกรเตอร์โหมดกระแสแบบผลต่างที่สามารถทำงานภายใต้แรงดันไฟเลี้ยง 0.5 โวลต์

#### 3.3.1 หลักการทำงานของวงจร

รูปที่ 3.22 (ก) แสดงฟังก์ชันในอุดมคติของวงจรอินทิเกรเตอร์แบบไม่สูญเสียในโหมดกระแส รูปที่ 3.22 (ข) แสดงวงจรเสมือนที่ถูกนำมาใช้ในการออกแบบวงจรอินทิเกรเตอร์โหมดกระแสกันอย่างแพร่หลาย โครงสร้างนี้มีการชดเชยการสูญเสียของวงจรทำให้ฟังก์ชันถ่ายโอนระหว่างกระแสเอาต์พุตต่อกระแสอินพุตมีค่าใกล้เคียงกับการอินทิเกรเตอร์ในอุดมคติ

วงจรอินทิเกรเตอร์กระแสที่นำเสนอ ออกแบบโดยใช้โครงสร้างในรูป 3.21 (ข) และเทคนิคการไบอัสทรานซิสเตอร์ขาบอดีและแบบเกตเสมือนลอยเพื่อให้วงจรสามารถทำงานได้ภายใต้ไฟเลี้ยงต่ำ



รูปที่ 3.22 (ก) ฟังก์ชันในอุดมคติของอินทิเกรเตอร์กระแส

(ข) โครงสร้างวงจรอินทิเกรเตอร์กระแส

เมื่อทำการวิเคราะห์กระแสที่โหนด  $v_{in}$  และโหนดเอาต์พุต เราได้

$$i_{in} + i_{out} = \frac{v_{in}}{1/g_m} + \frac{v_{in}}{1/sC} \quad (3.36)$$

จัดรูปสมการข้างต้นทำให้ได้สมการความสัมพันธ์ระหว่างกระแสเอาต์พุตกับอินพุตเป็น

$$\frac{i_o}{i_{in}} = \frac{g_m}{sC} \quad (3.37)$$

โดยที่  $A$  ในรูปที่ 3.22(ก) มีค่าเท่ากับ  $g_m/C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

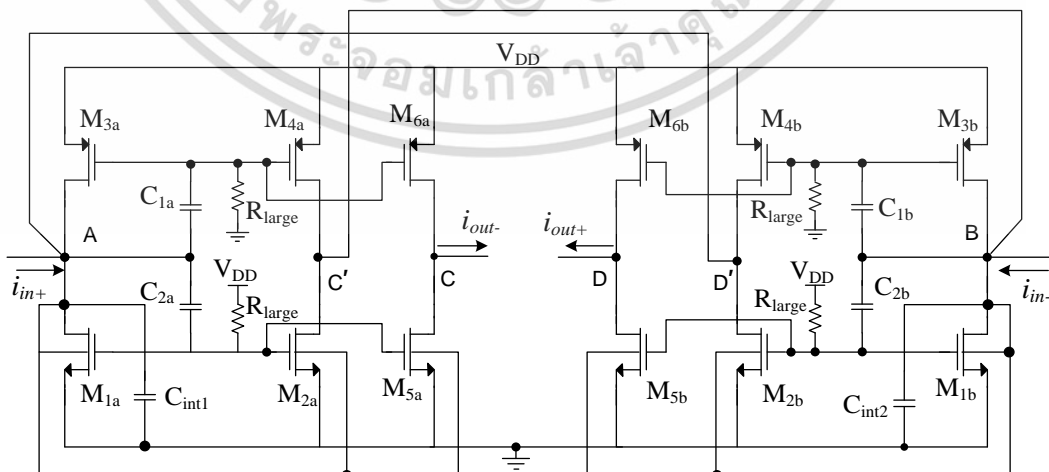
รูปที่ 3.23 แสดงวงจรอินทิเกรเตอร์กระแสผลต่างแบบไม่สูญเสีย วงจรมีการป้อนสัญญาณอินพุต 2 อินพุต ( $i_{in+}$ ,  $i_{in-}$ ) โดยอินพุตทั้งสองกลับเฟสกัน 180 องศา ที่โหนด A และโหนด B ตามลำดับ วงจรมีการป้อนกลับแบบบวกที่โหนดอินพุตเพื่อชดเชยการสูญเสีย วงจรถูกสร้างขึ้นจากวงจรสะท้อนกระแสแบบไบอัสขาบอดีและขาเกตเสมือนแบบลอยตัวร่วมกับตัวเก็บประจุ 2 ชุด ประกอบด้วยทรานซิสเตอร์  $M_{1a(b)}$ - $M_{4a(b)}$  และตัวเก็บประจุ  $C_{int1(2)}$  ทรานซิสเตอร์  $M_{2a}$  และ  $M_{4a}$  ทำหน้าที่สะท้อนกระแสจากเอาต์พุตด้านบวกไปยังโหนดอินพุตด้านลบเพื่อชดเชยการสูญเสียที่โหนด B ในทางตรงกันข้าม  $M_{2b}$  และ  $M_{4b}$  ทำหน้าที่สะท้อนกระแสจากเอาต์พุตด้านลบไปยังโหนดอินพุตด้านบวกเพื่อชดเชยการสูญเสียที่โหนด A ทรานซิสเตอร์  $M_{5a(b)}$ - $M_{6a(b)}$  ทำหน้าที่สะท้อนกระแสเอาต์พุตของวงจร วงจรถูกออกแบบให้ขนาดของทรานซิสเตอร์  $M_{1a(b)}$   $M_{2a(b)}$   $M_{5a(b)}$  มีขนาดเท่ากัน และ  $M_{3a(b)}$   $M_{4a(b)}$   $M_{6a(b)}$  มีขนาดเท่ากัน ในกรณีที่ยังไม่นำผลของตัวเป็นประจุแฝงและค่าความนำไฟฟ้าด้านเอาต์พุตของทรานซิสเตอร์มาคิด กระแสเอาต์พุตผลต่างของวงจรมีค่าเท่ากับ

$$i_{out+} - i_{out-} = \frac{1}{sR_{inA(B)} C_{int1(2)}} (i_{in+} - i_{in-}) \quad (3.38)$$

โดยที่  $R_{inA(B)}$  มีค่าประมาณเท่ากับ

$$R_{inA(B)} \cong \frac{1}{g_{mb1a(b)} + \frac{C_{1a(b)}}{C_{total}} g_{m1a(b)} + \frac{C_{2a(b)}}{C_{total}} g_{m3a(b)}} \quad (3.39)$$

โดยที่  $C_{total}$  คือ ตัวเก็บประจุแฝงรวมที่ขาเกตของทรานซิสเตอร์ ( $C_{1(2),a(b)} + C_{GD} + C_{GB} + C_{GS}$ )



รูปที่ 3.23 วงจรอินทิเกรเตอร์แบบขยายผลต่าง

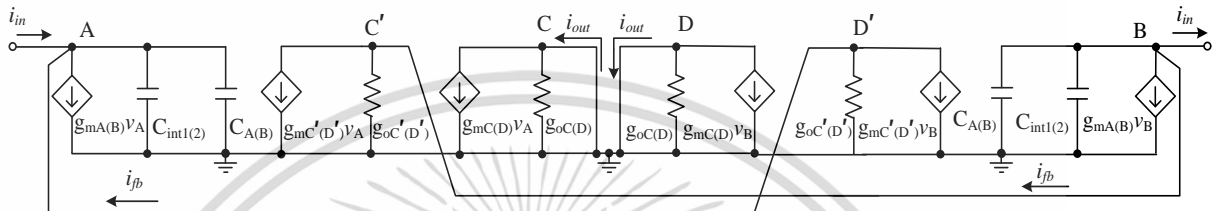
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.2 การวิเคราะห์ห้วงจร

การวิเคราะห์ห้วงจรสามารถทำได้โดยการพิจารณาสัญญาณอินพุต 2 โหมด คือ กรณีที่อินพุตเป็นสัญญาณโหมตผลต่างและอินพุตเป็นสัญญาณโหมตร่วม

#### 3.3.2.1 ฟังก์ชันการถ่ายโอนในโหมตขยายผลต่าง (Differential mode response)

รูปที่ 3.24 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ที่พิจารณาผลของตัวเก็บประจุแฝง และความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์



รูปที่ 3.24 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์โหมตผลต่าง

โดยที่

$$C_{A(B)} = C_{DS3a(b),4a(b)} + C_{GS3a(b),4a(b)} + C_{BS1a(b),2a(b),5a(b)} + C_{GS1a(b),2a(b),5a(b)} + C_{DS1a(b)}$$

$$g_{mA(B)} = g_{mb1a(b)} + \frac{C_{1a(b)}}{C_{total}} g_{m1a(b)} + \frac{C_{3a(b)}}{C_{total}} g_{m3a(b)}$$

$$g_{mC'(D')} = g_{mb2a(b)} + \frac{C_{1a(b)}}{C_{total}} g_{m2a(b)} + \frac{C_{2a(b)}}{C_{total}} g_{m4a(b)}$$

$$g_{mC(D)} = g_{mb5a(b)} + \frac{C_{1a(b)}}{C_{total}} g_{m6a(b)} + \frac{C_{2a(b)}}{C_{total}} g_{m5a(b)}$$

$$g_{oC'(D')} = g_{o4a(b)} + g_{o2a(b)}$$

$$g_{oC(D)} = g_{o5a(b)} + g_{o6a(b)}$$

จากรูปที่ 3.24 เราสามารถวิเคราะห์ฟังก์ชันการถ่ายโอนโหมตผลต่างได้โดยการป้อนกระแส  $i_{in}$  ดังแสดงในรูป เมื่อใช้กฎทางด้านกระแสไฟฟ้า (Kirchhoff's Current Law, KCL) ที่โหนดอินพุต A และ B โดยที่ละเลยค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และตัวเก็บประจุแฝงของทรานซิสเตอร์ เราจะได้กระแสเอาต์พุตมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(i_{in} + i_{out}) \left( \frac{1}{g_{mA(B)} + sC_{int1(2)}} \right) g_{mC(D)} = i_{out} \quad (3.40)$$

$$(i_{in} + i_{out}) = \left( \frac{g_{mC(D)} + sC_{int1(2)}}{g_{mA(B)}} \right) i_{out} \quad (3.41)$$

ในกรณีที่  $M_{1a(b)}$  และ  $M_{2a(b)}$  มีขนาดเท่ากัน และ  $M_{3a(b)}$  และ  $M_{4a(b)}$  มีขนาดเท่ากัน เราได้ว่า  $g_{mC(D)}$  มีค่าเท่ากับ  $g_{mA(B)}$  ทำให้ได้สมการความสัมพันธ์ระหว่างกระแสเอาต์พุตกับอินพุตเป็น

$$(i_{in} + i_{out}) = \left( 1 + \frac{sC_{int1(2)}}{g_{mA(B)}} \right) i_{out} \quad (3.42)$$

$$\frac{i_{out}}{i_{in}} = \frac{g_{mA(B)}}{sC_{int1(2)}} \quad (3.43)$$

สมการที่ 3.43 แสดงให้เห็นว่าถ้าละเลยค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และผลกระทบจากตัวเก็บประจุแฝงของทรานซิสเตอร์ ฟังก์ชันการถ่ายโอนจะอยู่ในรูปแบบวงจรรวมอินทิเกรเตอร์แบบไม่สูญเสีย (Lossless integrator)

อย่างไรก็ตาม หากพิจารณารูปที่ 3.24 อีกครั้งและรวมผลกระทบของวงจรรวมที่เกิดจากค่าความนำไฟฟ้าด้านขาออก และตัวเก็บประจุแฝงในแต่ละโหนดของวงจรรวม เราจะได้ว่ากระแสอินพุตมีค่าเท่ากับ

$$i_{in} = g_{mA(B)}v_A + v_A s[C_{int1(2)} + C_{A(B)}] + v_A g_{oC(D)} + g_{mC(D)}v_B \quad (3.44)$$

เนื่องจาก  $i_{in}$  ไหลเข้าโหนด A และ  $i_{in}$  ไหลออกจากโหนด B ทำให้แรงดันที่โหนด A ( $v_A$ ) เพิ่มขึ้น ขณะที่แรงดันที่โหนด B ( $v_B$ ) ลดลง โดยที่  $v_A = -v_B$  ดังนั้นเราสามารถเขียนสมการกระแสอินพุตใหม่ได้เป็น

$$i_{in} = v_A (g_{mA(B)} + s[C_{int1(2)} + C_{A(B)}] + g_{oC(D)} - g_{mC(D)}) \quad (3.45)$$

กระแสเอาต์พุตมีค่าเท่ากับ

$$i_{out} = g_{mC(D)}v_A \quad (3.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก  $g_{mC(D)}$  มีค่าเท่ากับ  $g_{mA(B)}$  ทำให้ได้สมการความสัมพันธ์ระหว่างกระแสเอาต์พุตกับอินพุตในโหมดผลต่างเป็น

$$\frac{i_{out}}{i_{in}} = \frac{g_{mA(B)}}{s[C_{int1(2)} + C_{A(B)}] + g_{oC(D)}} \tag{3.47}$$

สมการที่ 3.47 แสดงให้เห็นว่าวงจรอินทิเกรเตอร์เป็นแบบชนิดสูญเสีย (Lossy integrator) ค่าสูญเสียที่เกิดขึ้นเกิดจากค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์และมีโพลเท่ากับ

$$p = \frac{g_{oC(D)}}{C_{int1(2)} + C_{A(B)}} \tag{3.48}$$

วงจรมีอัตราขยายที่ความถี่ต่ำ (DC Gain) เท่ากับ

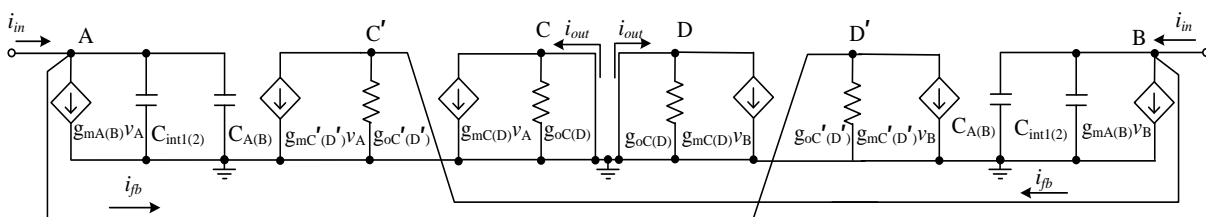
$$A_0 = \frac{g_{mA(B)}}{g_{oC(D)}} \tag{3.49}$$

ความถี่ที่ทำให้อัตราขยายเท่ากับหนึ่ง (unity gain frequency:  $\omega_T$ ) มีค่าเท่ากับ

$$\omega_T = \frac{g_{mA(B)}}{C_{int1(2)} + C_{A(B)}} \tag{3.50}$$

### 3.3.2.2 ฟังก์ชันการถ่ายโอนโหมดร่วม (Common mode response)

จากรูปที่ 3.25 แสดงวงจรเสมือนสำหรับสัญญาณโหมดร่วม เราสามารถวิเคราะห์ฟังก์ชันการถ่ายโอนโหมดร่วมได้โดยการป้อนกระแสอินพุตทั้งสอง ( $i_{in+}$ ,  $i_{in-}$ ) ขนาดและเฟสเดียวกันเข้าที่โหนด A และโหนด B ตามลำดับดังแสดงในรูปที่ 3.25 เมื่อใช้กฎทางด้านกระแสไฟฟ้า (Kirchhoff's Current Law, KCL) ที่โหนดอินพุต A และ B กระแสอินพุตมีค่าเท่ากับ



รูปที่ 3.25 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์สำหรับวิเคราะห์โหมดร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in} = g_{mA(B)}v_A + v_A s(C_{int1(2)} + C_{A(B)}) + v_A g_{oC(D)} + g_{mC(D)}v_A \quad (3.51)$$

กระแสเอาต์พุตมีค่าเท่ากับ

$$i_{out} = g_{mC(D)}v_A \quad (3.52)$$

เนื่องจาก  $g_{mC(D)}$  เท่ากับ  $g_{mA(B)}$  ทำให้เราได้ความสัมพันธ์ระหว่างกระแสเอาต์พุตกับอินพุตใน โหมดร่วมเป็น

$$\frac{i_{out}}{i_{in}} = \frac{g_{mA(B)}}{2g_{mA(B)} + s[C_{int1(2)} + C_{A(B)}] + g_{oC(D)}} \quad (3.53)$$

ผลที่ได้จากการวิเคราะห์วงจรรวมอินทิเกรเตอร์ที่รวมผลของค่าความนำของทรานซิสเตอร์ขาออกและตัวเก็บประจุแฝงในทรานซิสเตอร์ คือ วงจรมีอัตราขยายที่ความถี่ต่ำที่จำกัด

### 3.3.3 ผลจำลองการทำงานของวงจรรวมอินทิเกรเตอร์

เพื่อตรวจสอบการทำงานของวงจรรวมอินทิเกรเตอร์ที่นำเสนอ วงจรรูปที่ 3.23 ถูกจำลองการทำงานโดยใช้โปรแกรม OrCAD Capture PSPICE และใช้เทคโนโลยีซีมอสขนาดความยาว 0.18 ไมโครเมตร วงจรทำงานภายใต้แหล่งจ่ายไฟเลี้ยง 0.5 โวลต์ ขนาดของมอสทรานซิสเตอร์ถูกแสดงไว้ในตารางที่ 3.5 วงจรถูกออกแบบให้แรงดันที่โนดอินพุตมีค่าเท่ากับ 0.25 V เพื่อให้ได้การสวิงของสัญญาณอินพุตสูงสุด ทรานซิสเตอร์ที่ภาคอินพุตถูกออกแบบให้มีขนาดค่อนข้างใหญ่เพื่อลดผลกระทบจากความผันแปรในกระบวนการผลิตที่อาจส่งผลต่อการสะท้อนกระแส เมื่อให้ขนาดความกว้างและความยาวของทรานซิสเตอร์มีความคลาดเคลื่อนเท่ากับ 25% ( $\pm 0.05 \text{ um}$ ) และ 10% ( $\pm 0.018 \text{ um}$ ) ของเทคโนโลยีการผลิตทรานซิสเตอร์ตามลำดับ เราพบว่าแรงดันที่โนดอินพุตมีค่าอยู่ในช่วง 245 mV ถึง 267 mV หรือคลาดเคลื่อนไปเท่ากับ 6.8% การเพิ่มขนาดของทรานซิสเตอร์สามารถลดความคลาดเคลื่อนดังกล่าวได้แต่จะส่งผลทำให้ตัวเก็บประจุแฝงเพิ่มขึ้นและส่งผลกระทบต่อความสามารถในการตอบสนองความถี่ในที่สุด

ตารางที่ 3.5 ขนาดของทรานซิสเตอร์ภายในวงจรอินทิเกรเตอร์

ทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
$M_{1a,b}$ $M_{2a,b}$ $M_{5a,b}$	3.10/0.36
$M_{3a,b}$ $M_{4a,b}$ $M_{6a,b}$	18.58/0.36
$M_{RLarge}$	0.27/1.08
$M_{C1a,b}$ $M_{C2a,b}$	15/15

วงจรถูกออกแบบให้มีค่ากระแสไบอัสเท่ากับ 10.5  $\mu\text{A}$  ค่าทรานคอนดักแตนซ์รวมของภาคอินพุต  $g_{mA, B}$  มีค่าเท่ากับ 808  $\mu\text{A/V}$  จากสมการที่ 3.47 หากออกแบบให้  $C_{int1(2)}$  มีค่าเท่ากับ 0.3 nF และละเลยตัวเก็บประจุแฝงของทรานซิสเตอร์  $C_{A(B)}$  ค่าความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่งสามารถคำนวณได้ค่าเท่ากับ 428.66 kHz ในขณะที่เดียวกันค่าความถี่ที่ทำให้อัตราขยายเท่ากับหนึ่งที่ได้จากการจำลองการทำงานมีค่าเท่ากับ 428.29 kHz หากออกแบบให้  $C_{int1(2)}$  มีค่าเท่ากับ 5 pF ค่าความถี่ที่ทำให้อัตราขยายเท่ากับหนึ่งจากการคำนวณมีค่าเท่ากับ 25.71 MHz ในขณะที่ค่าความถี่ที่ทำให้อัตราขยายเท่ากับหนึ่งที่ได้จากการจำลองการทำงานมีค่าเท่ากับ 24.75 MHz ซึ่งแสดงให้เห็นว่าค่าตัวเก็บประจุแฝงมีผลกระทบมากขึ้นเมื่อความถี่ใช้งานมีค่าสูงขึ้นซึ่งสอดคล้องกับการวิเคราะห์ในสมการที่ 3.47 รูปที่ 2.25 แสดงผลการตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขยายผลต่าง เมื่อความถี่อัตราขยายเท่ากับหนึ่งประมาณเท่ากับ 430 kHz รูปที่ 2.26 แสดงการตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขยายผลต่าง โดยมีความถี่ที่ทำให้อัตราขยายเท่ากับหนึ่งมีค่าประมาณเท่ากับ 25 MHz จากรูปที่ 3.26 (ข) และ 3.27 (ข) แสดงเฟสของสัญญาณกระแสเอาต์พุตที่ความถี่ต่ำมีค่าไม่เท่ากับ -90 องศา เนื่องจากวงจรมีอัตราขยายจำกัด ในขณะที่เดียวกันเฟสมีค่าน้อยกว่า -90 องศาที่ความถี่สูงเนื่องจากผลของโพลแฝงอื่นๆที่เกิดขึ้นในวงจรอินทิเกรเตอร์

รูปที่ 3.28 แสดงการตอบสนองทางเวลาของวงจรอินทิเกรเตอร์เมื่อป้อนสัญญาณกระแสอินพุตที่มีความถี่เท่ากับ 430 kHz เข้าที่โหนด A ( $i_{in+}$ ) และ โหนด B ( $i_{in-}$ ) กระแสอินพุตทั้งสองมีเฟสต่างกัน 180 องศา กระแสทั้งสองมีแอมพลิจูดเท่ากับ 5  $\mu\text{A}$  เส้นทึบแสดงผลต่างกระแสอินพุต ( $i_{in+} - i_{in-}$ ) เส้นประแสดงผลต่างกระแสเอาต์พุต ( $i_{out+} - i_{out-}$ ) จากผลการจำลองการทำงานแสดงให้เห็นว่ากระแสเอาต์พุตมีเฟสตามหลังกระแสอินพุตเท่ากับ 90 องศา

รูปที่ 3.29 แสดงการตอบสนองทางความถี่เมื่อป้อนสัญญาณกระแสอินพุตโหมตร่วม ( $M_{1a(b)}$   $M_{2a(b)}$   $M_{5a(b)}$ ) มีขนาดเท่ากัน และ  $M_{3a(b)}$   $M_{4a(b)}$   $M_{6a(b)}$  มีขนาดเท่ากัน) เนื่องจาก  $g_{mC(D)}$  และ  $g_{mA(B)}$  มีค่าเท่ากัน อัตราขยายโหมตร่วมที่ความถี่ต่ำดังแสดงในสมการที่ 3.53 ซึ่งมีค่าประมาณเท่ากับ 0.5 หรือประมาณ -6.02 dB ผลจากการจำลองการทำงานในรูปที่ 3.29 แสดงให้เห็นอัตราขยายโหมตร่วมที่ความถี่ต่ำมีค่าเท่ากับ -6.17 dB ซึ่งสอดคล้องกับสมการที่ 3.53

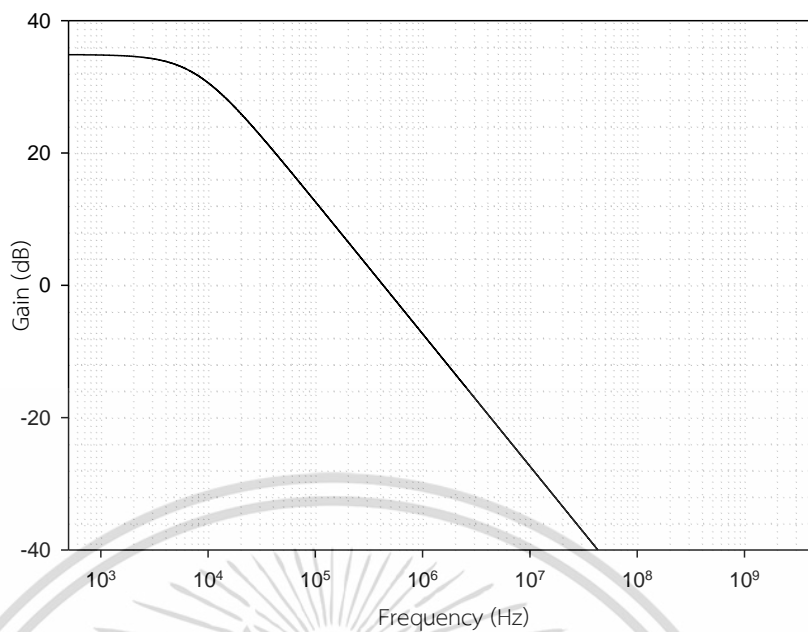
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.30 แสดงความผิดเพี้ยนฮาร์โมนิกสรรวม (Total harmonic distortion, THD) ของ วงจรอินทิเกรเตอร์ที่ความถี่เท่ากับ 25 MHz สัญญาณของกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.05 – 0.75 เท่า ค่าความผิดเพี้ยนฮาร์โมนิกสรรวมมีค่าสูงสุดประมาณ 1.2 % จากผลการจำลองการทำงานแสดงให้เห็นว่าค่าความผิดเพี้ยนฮาร์โมนิกสรรวมจะมีค่าสูงขึ้นเมื่ออัตราส่วนของกระแสอินพุตต่อกระแสไบอัสมีค่าสูงขึ้น

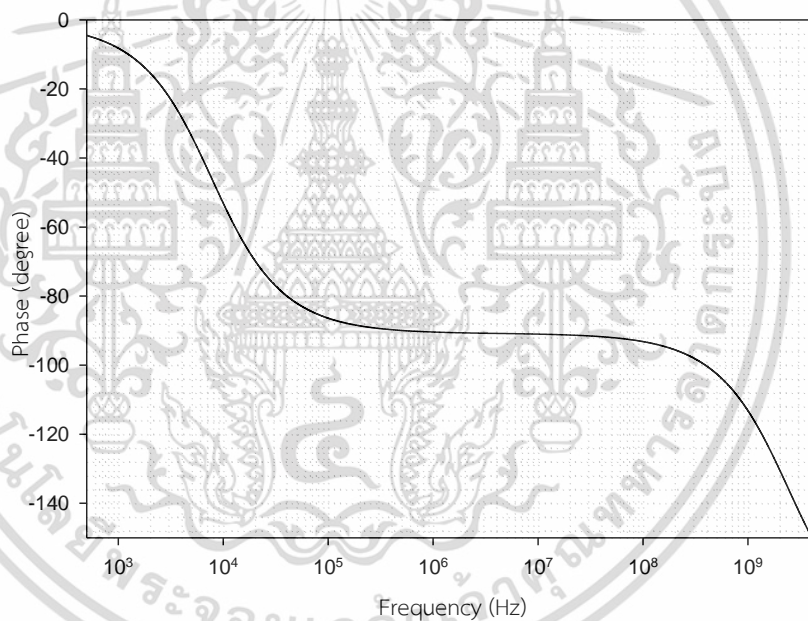
รูปที่ 3.31 แสดงสัญญาณรบกวนด้านอินพุตของวงจรอินทิเกรเตอร์ สัญญาณรบกวนมีค่าเท่ากับ  $3.23 \text{ pA}/\sqrt{\text{Hz}}$  ที่ความถี่ 10 MHz จากผลการจำลองการทำงานเราพบว่าสัญญาณรบกวนทางด้านอินพุตมีค่าสูงขึ้นอย่างเห็นได้ชัดเมื่อความถี่มากกว่า 100 kHz

ตารางที่ 3.6 แสดงคุณสมบัติของวงจรอินทิเกรเตอร์แบบขยายผลต่าง วงจรถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 0.5 โวลต์ ความถี่อัตราขยายเท่ากับหนึ่งเท่ากับ 430 KHz เมื่อ  $C_{int1(2)} = 0.3 \text{ nF}$  และความถี่อัตราขยายเท่ากับหนึ่งเท่ากับ 25 MHz เมื่อ  $C_{int1(2)} = 5 \text{ pF}$  วงจรมีกระแสไบอัสเท่ากับ 10.5  $\mu\text{A}$  อัตราขยายที่ความถี่ต่ำมีขนาดเท่ากับ 34.79 เดซิเบล ความผิดเพี้ยนฮาร์โมนิกสรรวมเท่ากับ 1.2 % ที่อัตราส่วนกระแสอินพุตต่อกระแสไบอัสเท่ากับ 0.75 วงจรมีกำลังสูญเสียเท่ากับ 31.76 ไมโครวัตต์

ตารางที่ 3.7 แสดงการเปรียบเทียบคุณสมบัติของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่ นำเสนอกับวงจรที่ถูกนำเสนอก่อนหน้านี้ เนื่องจากแรงดันไฟเลี้ยงที่ต่างกันค่อนข้างมาก ทำให้ยากต่อการเปรียบเทียบคุณสมบัติของวงจรอย่างจริงจัง อย่างไรก็ตามผลการจำลองแสดงให้เห็นว่าวงจรอินทิเกรเตอร์ที่นำเสนอมีความสามารถที่เพียงพอสำหรับนำไปประยุกต์ใช้งานภายใต้แรงดันไฟเลี้ยงต่ำเท่ากับ 0.5 โวลต์



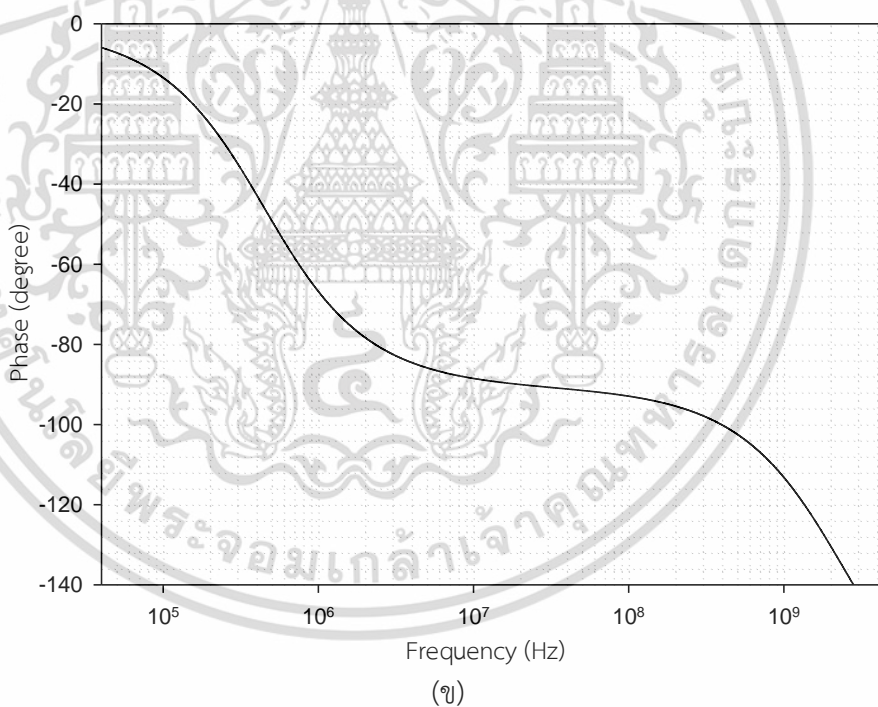
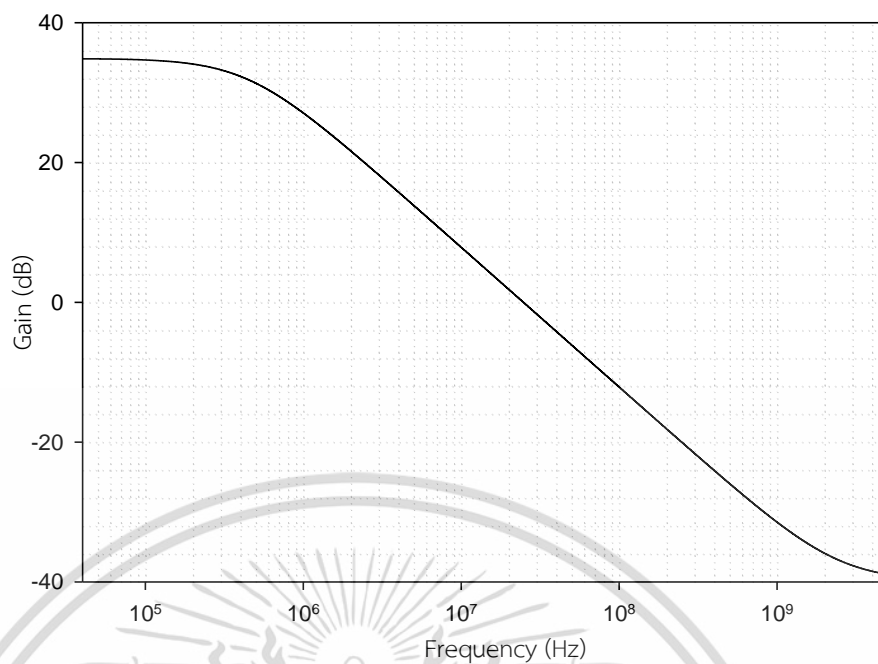
(ก)



(ข)

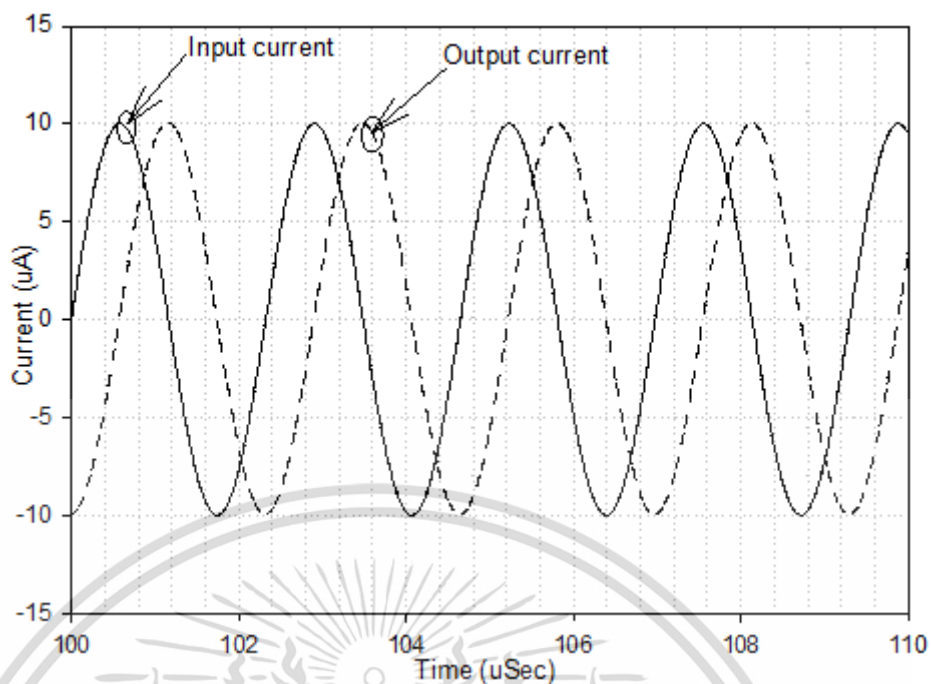
รูปที่ 3.26 (ก) การตอบสนองทางความถี่ (ข) การตอบสนองทางเฟส  
เมื่อความถี่อัตราขยายเท่ากับหนึ่งเท่ากับ 430 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

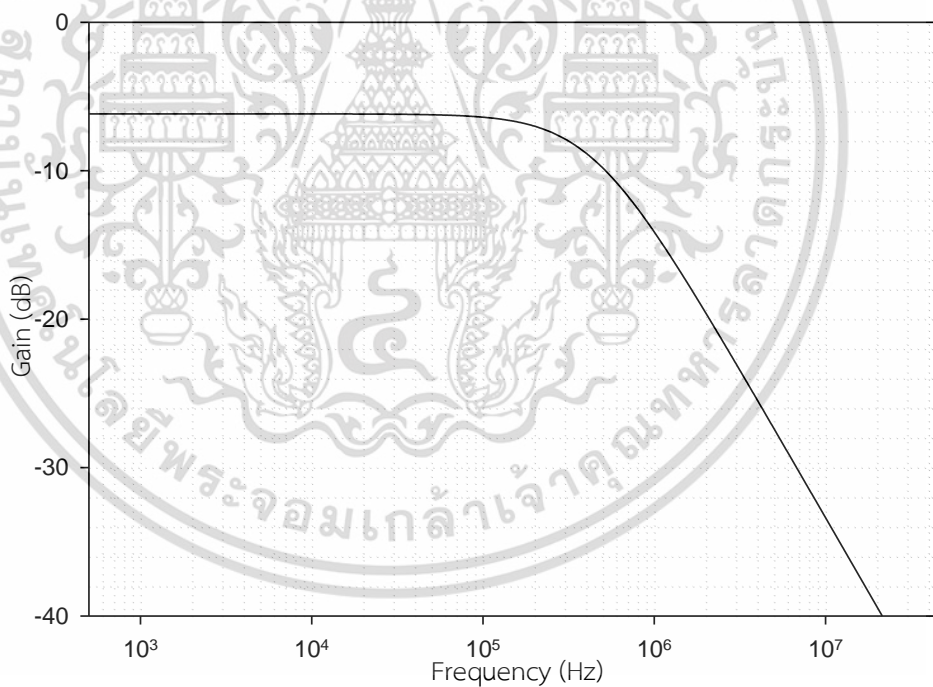


รูปที่ 3.27 (ก) การตอบสนองทางความถี่ (ข) การตอบสนองทางเฟส  
เมื่อความถี่อัตราขยายเท่ากับหนึ่งเท่ากับ 25 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

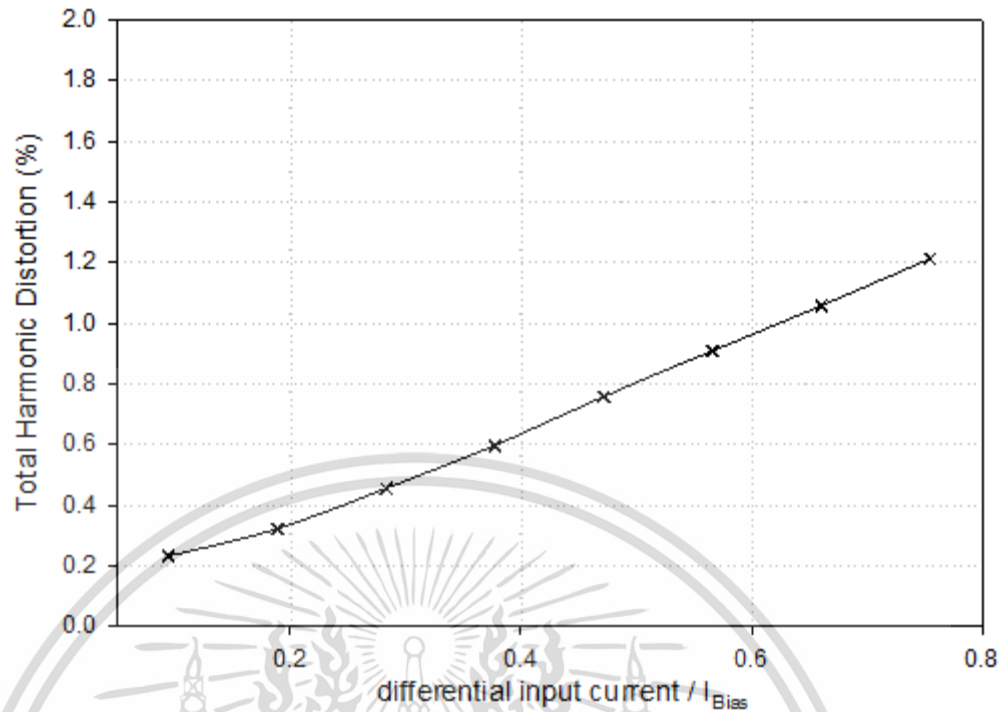


รูปที่ 3.28 การตอบสนองทางเวลาของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

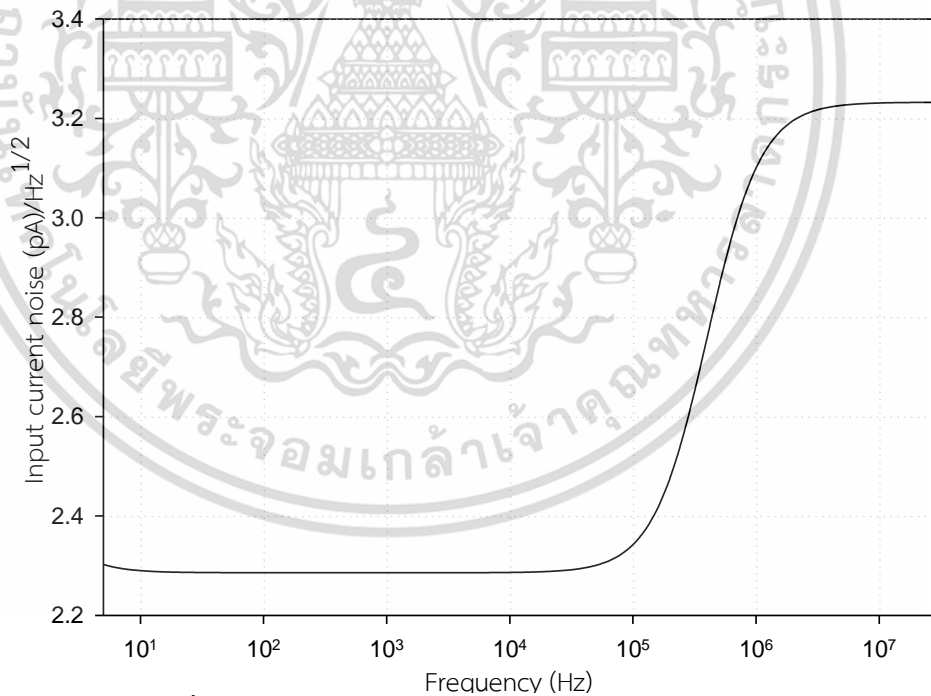


รูปที่ 3.29 การตอบสนองทางความถี่เมื่อป้อนอินพุตโหมตรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.30 ความผิดเพี้ยนฮาร์มอนิกสรรวมของวงจรอินทิเกรเตอร์



รูปที่ 3.31 สัญญาณรบกวนด้านอินพุตของวงจรอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.6 คุณสมบัติของวงจรรวมอินทิเกรเตอร์

Power supply (Volt)	0.5
Power (uW)	31.76
Process (um)	0.18
Total harmonic distortion (THD)	1.2 % @ $i_{in}/I_{Bias}=0.75$ , 25MHz
Total integrated noise (nA)	12.33
Unity gain frequency	430 kHz @ $C_{int1(2)} = 0.3nF$ , 25MHz @ $C_{int1(2)} = 5pF$
DC Gain (dB)	34.79
Dynamic range (dB)	54.44 @25MHz 1%THD

ตารางที่ 3.7 การเปรียบเทียบคุณสมบัติของวงจรรวมอินทิเกรเตอร์

Parameter	[23]	[24]	[25]	Proposed
Power supply (Volt)	1.5	3.3	1.5	0.5V
Power (uW)	70	700	230	31.76
Process (um)	1.2	2	1.2	0.18
Total harmonic distortion @ $i_{out}/I_{bias} = 0.1$	0.13%	0.10%	0.30%	0.32%
Input noise ( pA/ $\sqrt{Hz}$ )	-	-	100 @100MHz	3.232 @25MHz
Unity gain frequency range (MHz)	100	50	300	55
DC Gain (dB)	20	-	58	34.79

จากผลจำลองการทำงานของวงจรรวมอินทิเกรเตอร์โหมดกระแสที่นำเสนอ เราพบว่าวงจรรวมสามารถทำงานที่ระดับแรงดันไฟเลี้ยงเท่ากับ 0.5 โวลต์ วงจรมีอัตราขยายที่ความถี่ต่ำเท่ากับ 34.79 เดซิเบลเมื่อกระแสไบอัสมีค่าเท่ากับ 10.5 uA ความผิดเพี้ยนฮาร์โมนิกส์รวมเท่ากับ 1.2% เมื่ออัตราส่วนระหว่างกระแสอินพุตกับกระแสไบอัสมีค่าเท่ากับ 0.75 วงจรมีกำลังสูญเสียเท่ากับ 31.76 uW

## บทที่ 4

# การประยุกต์ใช้งานวงจรเปรียบเทียบ และวงจรอินทิเกรเตอร์โหมดกระแส

บทนี้กล่าวถึงการประยุกต์ใช้งานวงจรเปรียบเทียบและวงจรอินทิเกรเตอร์โหมดกระแสที่นำเสนอในบทที่ 3 โดยได้นำวงจรทั้งสองมาใช้สร้างวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอลชนิดซิกมาเดลต้ามอดูเลเตอร์ (Delta-Sigma Modulator) สำหรับใช้งานในย่านความถี่ 20 KHz ซึ่งเป็นสัญญาณในช่วงความถี่ที่สามารถประยุกต์งานกับอุปกรณ์ตรวจจับสัญญาณทางชีวภาพ (Biomedical signal) [29]

โดยปกติระบบที่ต้องเชื่อมต่อกับโลกภายนอก จะมีสัญญาณอินพุตและเอาต์พุตเป็นสัญญาณแอนาล็อก อย่างไรก็ตามระบบการประมวลผลสัญญาณโดยทั่วไปมักทำงานด้วยวงจรดิจิตอลซึ่งง่ายต่อการโปรแกรม ดังนั้นในการประมวลผลสัญญาณจำเป็นต้องมีวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล (Analog to digital converters, ADC) ทำหน้าที่เชื่อมต่อระหว่างสัญญาณแอนาล็อกกับส่วนประมวลผลกลางดิจิตอล (Digital signal processing, DSP) และวงจรแปลงสัญญาณดิจิตอลเป็นแอนาล็อก (Digital to Analog converters, DAC) เพื่อติดต่อกับโลกภายนอกดังแสดงในรูปที่ 4.1 บทนี้ได้ออกแบบวงจร ADC แบบซิกมาเดลต้า ซึ่งเป็นวงจรแปลงสัญญาณโดยอาศัยหลักการ 2 อัน คือ วิธีการสุ่มแบบเกิน (Oversampling) ร่วมกับเทคนิคการจัดรูปสัญญาณรบกวน (Noise shaping) เพื่อให้วงจร ADC ที่ได้มีความละเอียด (Resolution) สูง

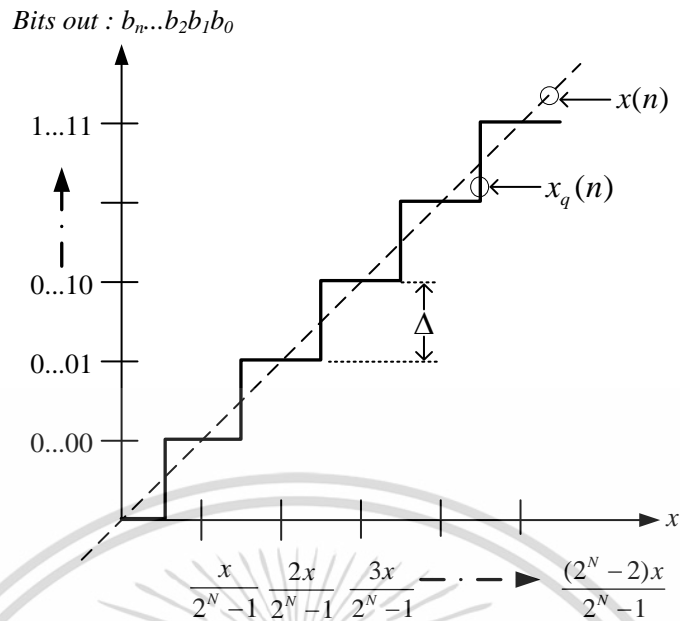


รูปที่ 4.1 ระบบการประมวลผลสัญญาณดิจิตอล

### 4.1 หลักการทำงานของวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล

การแปลงสัญญาณแอนาล็อกเป็นดิจิตอลเป็นการเข้ารหัสให้กับสัญญาณแอนาล็อก โดยทั่วไปการแปลงสัญญาณแอนาล็อกเป็นดิจิตอล จะใช้วิธีการตรวจจับขนาดสัญญาณอินพุตด้วยวงจรเปรียบเทียบสัญญาณ แล้วนำผลที่ได้ไปทำการเข้ารหัสให้อยู่ในรูปของสัญญาณดิจิตอลเช่นหาก ADC ที่มีสัญญาณเอาต์พุตเป็นแบบ  $n$  บิต การเข้ารหัสที่เอาต์พุตก็จะอยู่ในรูปแบบ  $b_{n-1}b_{n-2}b_{n-3}...b_2b_1b_0$  โดยขนาดของสัญญาณแอนาล็อกจะถูกแบ่งเป็นระดับ (Quantization) และแต่ละระดับจะถูกแทนที่ด้วยดิจิตอลบิตดังแสดงอยู่ในรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันฯ เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 การส่งผ่านสัญญาณของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

#### 4.1.1 ความคลาดเคลื่อนที่เกิดขึ้นจากการจัดระดับสัญญาณหรือสัญญาณรบกวน

##### (Quantization error)

การจัดระดับให้กับสัญญาณแอนะล็อกได้จากการเปรียบเทียบขนาดสัญญาณอินพุต ( $x_{in}$ ) กับสัญญาณอ้างอิง ( $x_{ref}$ ) เนื่องจากระดับสัญญาณอ้างอิงถูกแบ่งเป็นช่วง ค่าสัญญาณแอนะล็อกอินพุตในแต่ละช่วงจะถูกจัดระดับด้วยค่าสัญญาณดิจิทัลเพียงหนึ่งกลุ่มรหัสเท่านั้น จากเหตุนี้ทำให้การแปลงสัญญาณแอนะล็อกเป็นดิจิทัลมีความคลาดเคลื่อนเกิดขึ้น (Quantization error)

จากรูปที่ 4.2 เราสามารถหาค่าขนาดของช่วงการจัดระดับสัญญาณ (Least significant bit, LSB) เท่ากับ

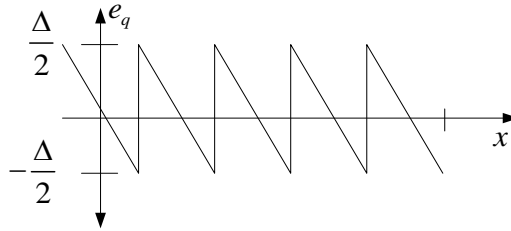
$$LSB = \Delta = \frac{x_{ref}}{2^N} \quad (4.1)$$

ค่าความคลาดเคลื่อนจากการจัดระดับสัญญาณ  $e_q$  ซึ่งมีค่าเท่ากับผลต่างระหว่างสัญญาณอินพุตที่ถูกสุ่ม (Sampled input) และสัญญาณอินพุตที่ถูกจัดระดับ  $x_q[n]$  (Quantized input) ( $e_q = x[n] - x_q[n]$ ) สามารถแสดงได้ดังนี้

$$-\frac{\Delta}{2} \leq e_q \leq \frac{\Delta}{2} \quad (4.2)$$

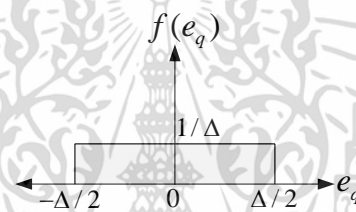
#### รูปที่ 4.3 แสดงให้เห็น $e_q$ เมื่ออินพุตมีค่าต่างๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ความคลาดเคลื่อนจากการจัดระดับสัญญาณ

ค่าความคลาดเคลื่อน  $e_q$  นี้สามารถพิจารณาได้ว่าเป็นสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณซึ่งบ่งบอกถึงความละเอียดในการแปลงสัญญาณ โดยปกติแล้วเราสามารถประมาณว่า  $e_q$  มีคุณสมบัติเป็นสัญญาณแบบสุ่มที่มีการกระจายแบบคงที่ในช่วง  $-\frac{\Delta}{2} \leq e_q \leq \frac{\Delta}{2}$  โดยมีค่าความหนาแน่นการกระจายตัวของสัญญาณรบกวน (Probability density function :  $f(e_q)$ ) ดังนี้



รูปที่ 4.4 ความหนาแน่นการกระจายตัวของสัญญาณรบกวน

จากการประมาณดังแสดงในรูปที่ 4.4 เราสามารถคำนวณหาค่าเฉลี่ยของสัญญาณรบกวนที่เกิดขึ้นจาก  $e_q$  ได้ดังนี้

$$V_{e_q(\text{avg})} = \int_{-\infty}^{\infty} e_q f(e_q) de_q = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e_q de_q = 0 \quad (4.3)$$

และค่ากำลังงานเฉลี่ยของสัญญาณรบกวนที่เกิดขึ้นมีค่าเท่ากับ

$$P_Q = \int_{-\infty}^{\infty} e_q^2 f(e_q) de_q = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e_q^2 de_q = \frac{\Delta^2}{12} \quad (4.4)$$

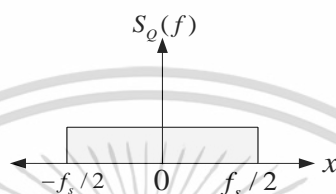
เป็นที่น่าสังเกตว่าค่ากำลังงานเฉลี่ยของสัญญาณรบกวนขึ้นอยู่กับสัญญาณอ้างอิง ( $x_{ref}$ ) และจำนวนบิตของสัญญาณดิจิทัล ( $N$ ) ( $\Delta = x_{ref}/2^N$ ) โดยกำลังงานของสัญญาณรบกวนที่เกิดขึ้นไม่ขึ้นกับความถี่การสุ่มสัญญาณ (Sampling frequency,  $f_s$ ) ของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล หากเราพิจารณาสัญญาณรบกวน  $e_q$  มีคุณสมบัติใกล้เคียงกับสัญญาณรบกวนแบบขาว (white noise)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะได้ว่าค่าความหนาแน่นกำลังงานสัญญาณรบกวนต่อความถี่  $S_Q(f)$  (Power spectral density) มีค่าคงที่เท่ากับ

$$S_Q(f) = \frac{\Delta^2}{12f_s} \quad (4.5)$$

โดยมีการกระจายตัวแบบคงที่ตลอดย่านความถี่  $\pm f_s/2$  ดังแสดงในรูปที่ 4.5



รูปที่ 4.5 ความหนาแน่นกำลังสัญญาณรบกวน (Power spectral density,  $S_Q(f)$ )

จากสมการที่ 4.5 และรูปที่ 4.5 แสดงให้เห็นว่าการแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบ ไนควิสต์ (Nyquist rate analog to digital) ซึ่งมีอัตราการสุ่มสัญญาณ ( $f_s$ ) เป็นสองเท่าของขนาดแบนด์วิดท์สัญญาณ  $f_{BW}$  จะมีกำลังงานสัญญาณรบกวนที่เกิดจากการจัดระดับคลาดเคลื่อนทั้งหมด ( $e_q$ ) จะกระจายตัวอยู่ตลอดย่านความถี่สัญญาณอินพุต

อัตราส่วนระหว่างกำลังงานสูงสุดของสัญญาณกับสัญญาณรบกวน (Signal to noise ratio, SNR) จึงมีค่าเท่ากับ

$$SNR = \frac{P_{signal}}{P_Q} = \left( \frac{((2^N - 1)\Delta / 2)^2}{2} \right) / \left( \frac{\Delta^2}{12} \right) \quad (4.6)$$

$$SNR(dB) = 6.02N + 1.76 \quad (4.7)$$

จำนวนบิตประสิทธิภาพ (Effective number of bit, ENOB) ถูกนิยามให้มีค่าเท่ากับ

$$ENOB = \frac{SNR - 1.76}{6.02} \quad (4.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

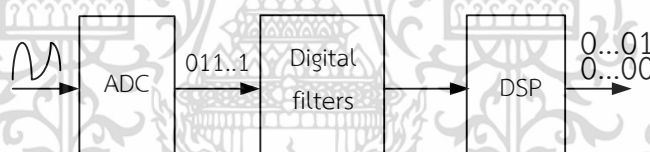
### 4.1.2 การสุ่มแบบเกิน (Oversampling)

จากคุณสมบัติของสัญญาณรบกวนที่กล่าวมานั้น เราพบว่าหากวงจรแปลงสัญญาณมีอัตราการสุ่มสัญญาณเป็นแบบเกิน (Oversampling) คือมีอัตราการสุ่มมากกว่าสองเท่าของแบนด์วิดท์ของสัญญาณอินพุต ( $f_s > 2f_{BW}$ ) ผลที่ได้คือกำลังงานเฉลี่ยของสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ ( $e_q$ ) ในย่านความถี่ของสัญญาณอินพุต ( $f_{BW}$ ) จะมีค่าลดลงส่งผลให้ SNR มีค่าสูงขึ้นได้

อัตราส่วนการสุ่มสัญญาณต่อสองเท่าของขนาดแบนด์วิดท์สัญญาณอินพุต (Oversampling ratio; OSR) มีค่าเท่ากับ

$$OSR = \frac{f_s}{2f_{BW}} \quad (4.9)$$

รูปที่ 4.6 แสดงระบบการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล โดยสัญญาณที่ได้จะถูกส่งผ่านวงจรกรองความถี่ต่ำผ่านสัญญาณแบบดิจิทัล (Digital low pass filter) เพื่อจำกัดสัญญาณรบกวนในย่านความถี่ที่มากกว่าแบนด์วิดท์สัญญาณ ทำให้สัญญาณดิจิทัลที่ได้มีกำลังงานเฉลี่ยของสัญญาณรบกวนน้อยลงส่งผลให้อัตราส่วนกำลังงานของสัญญาณอินพุตต่อกำลังงานของสัญญาณรบกวน (Signal to noise ratio : SNR) เพิ่มขึ้น



รูปที่ 4.6 การต่อวงจรกรองความถี่เพื่อลดผลของ  $P_Q$  ในช่วง  $f_{BW}$

หากพิจารณาว่าสัญญาณอินพุตของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเป็นสัญญาณไซน์ซออยด์ (Sinusoidal signal) และขนาดสูงสุดของสัญญาณอินพุตที่มีค่าไม่เกิน  $(2^N - 1)\Delta/2$  (เพื่อไม่ให้วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเกิด overload) ค่ากำลังงานสูงสุดของสัญญาณอินพุต ( $P_{signal}$ ) มีค่าเท่ากับ

$$P_{signal} = \frac{((2^N - 1)\Delta / 2)^2}{2} \quad (4.10)$$

จากรูปที่ 4.6 ถ้าวางวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (ADC) ที่ใช้ในงานมีการสุ่มสัญญาณแบบ Oversampling ขนาดกำลังงานของสัญญาณรบกวนที่เกิดขึ้นหลังผ่านวงจรกรองสัญญาณความถี่ต่ำผ่านแบบดิจิทัล (Digital lowpass filter) ซึ่งมีฟังก์ชันถ่ายโอน  $H(f)$  จะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_Q = \int_{-f_{BW}}^{f_{BW}} \frac{\Delta^2}{12f_s} df = \frac{\Delta^2 2f_{BW}}{12f_s} = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (4.11)$$

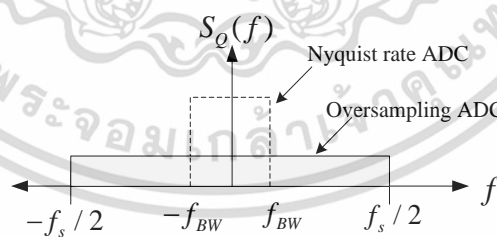
สมการ 4.11 แสดงให้เห็นว่าค่ากำลังงานของสัญญาณรบกวน  $P_Q$  ที่เอาต์พุตของวงจรกรองสัญญาณความถี่ต่ำผ่านแบบดิจิทัล จะแปรผกผันกับอัตราการสุ่มเกิน OSR ส่งผลให้อัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนมีค่าเท่ากับ

$$SNR = \frac{P_{signal}}{P_Q} = \left( \frac{((2^N - 1)\Delta / 2)^2}{2} \right) / \left( \frac{\Delta^2}{12} \frac{1}{OSR} \right) \quad (4.12)$$

$$SNR(dB) \approx 6.02N + 1.76 + 10\log(OSR) \quad (4.13)$$

จากสมการที่ 4.8 และ 4.13 แสดงให้เห็นว่าหากวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลมีการสุ่มแบบ Oversampling เราจะได้อัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) เพิ่มขึ้น 3.01 เดซิเบลเมื่ออัตราการสุ่มเพิ่มขึ้นสองเท่า หรือได้ ENOB เพิ่มขึ้นอีก 0.5 bit

วงจรแปลงสัญญาณแบบ Nyquist และวงจรแปลงสัญญาณแบบ Oversampling ที่มีจำนวนบิตในการแปลงสัญญาณเท่ากัน จะมีขนาดกำลังงานเฉลี่ยของสัญญาณที่เกิดขึ้นเท่ากัน แต่จะมีคุณสมบัติการกระจายกำลังงานสัญญาณรบกวนในระนาบความถี่แตกต่างกัน ดังแสดงในรูปที่ 4.7 กล่าวคือ วงจร ADC แบบ Oversampling จะมีการกระจายตัวในย่านความถี่ที่กว้าง หรือมีค่ากำลังงานสัญญาณรบกวนต่อหนึ่งหน่วยความถี่ (Power spectral density) ต่ำกว่า



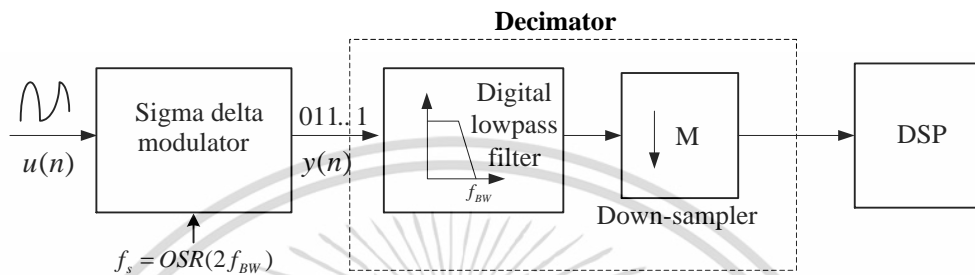
รูปที่ 4.7 ความหนาแน่นกำลังงาน  $S_Q(f)$  ของ Nyquist และ Oversampling ADC

#### 4.1.3 การจัดสัญญาณรบกวนด้วยวงจรมอดูเลตสัญญาณซิกมาเดลต้า

จากหัวข้อที่แล้วเราพบว่า การสุ่มแบบเกินเพียงอย่างเดียวสามารถเพิ่มความละเอียดของข้อมูลได้ เราสามารถเพิ่ม ENOB ได้อีกโดย การนำเทคนิคการจัดสัญญาณรบกวน (Noise shaping) มาใช้ร่วมกับการสุ่มแบบเกิน เนื่องจากเราสามารถลดกำลังงานสัญญาณรบกวนในแบนด์วิดท์ของสัญญาณลงได้อีก รูปที่ 4.8 แสดงโครงสร้างวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมา

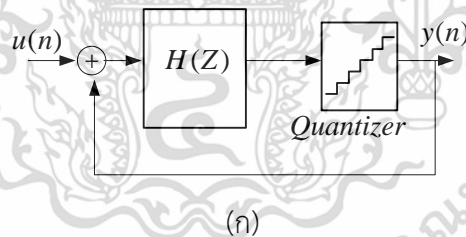
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดลต้า (Sigma delta ADC) สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลต้าจะถูกแปลงเป็นสัญญาณดิจิทัลด้วยการสุ่มแบบ Oversampling เท่ากับ  $f_s$  สัญญาณดิจิทัลที่ได้จากการสุ่มถูกส่งต่อไปยังวงจร Decimator เพื่อลดทอนสัญญาณรบกวน และลดอัตราการสุ่ม (Down-sampler) ให้เท่ากับสองเท่าของแบนด์วิธของสัญญาณอินพุต บทนี้จะกล่าวถึงเฉพาะวงจรมอดูเลตสัญญาณซิกมาเดลต้า

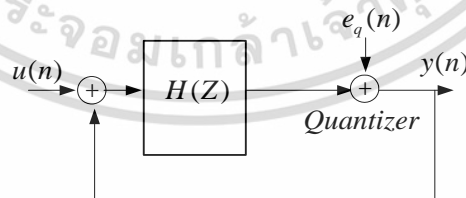


รูปที่ 4.8 โครงสร้างวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า

รูปที่ 4.9 (ก) แสดงโครงสร้างของเดลต้าซิกมามอดูเลเตอร์ ซึ่งประกอบด้วยฟังก์ชันถ่ายโอน  $H(z)$  และตัวจัดระดับ (Quantizer) ระบบรับสัญญาณอินพุตแอนะล็อก  $u(n)$  และให้สัญญาณดิจิทัลเอาต์พุต  $y(n)$  เพื่อส่งไปยัง Decimator เพื่อให้ง่ายต่อการวิเคราะห์เราจะแทนระบบด้วยแบบจำลองเชิงเส้นโดยสามารถแทนที่ Quantizer ด้วยสัญญาณรบกวน  $e(n)$  ดังแสดงอยู่ในรูปที่ 4.9 (ข)



(ก)



(ข)

รูปที่ 4.9 (ก) โครงสร้างพื้นฐานของเดลต้าซิกมามอดูเลเตอร์

(ข) แบบจำลองเชิงเส้นของเดลต้าซิกมามอดูเลเตอร์

ดังนั้นสัญญาณเอาต์พุตของระบบ  $y(n)$  ใน  $Z$  โดเมนมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Y(z) = \frac{H(z)}{1+H(z)}U(z) + \frac{1}{1+H(z)}E_Q(z) \quad (4.14)$$

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E_Q(z) \quad (4.15)$$

โดยที่  $STF$  คือ ฟังก์ชันถ่ายโอนของสัญญาณอินพุต  $U(z)$  และ  $NTF$  คือ ฟังก์ชันถ่ายโอนของสัญญาณรบกวน  $E_Q(z)$

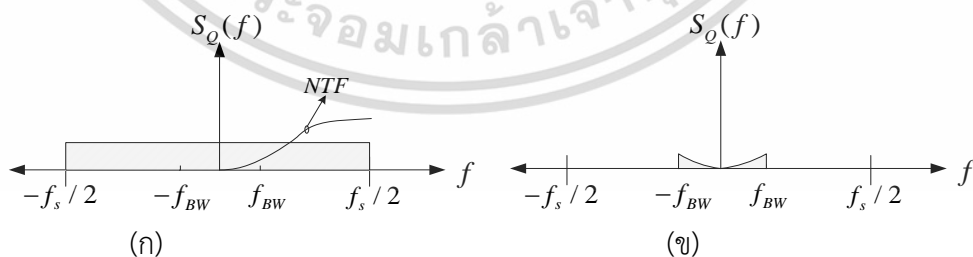
จากสมการที่ 4.14 เพื่อให้ระบบสามารถแปลงสัญญาณโดยให้ความละเอียดสูง และยังคงทำงานอย่างมีเสถียรภาพ (Stable) กล่าวคือมีอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) มาก เราต้องออกแบบให้  $H(z)$  เป็นฟังก์ชันถ่ายโอนที่มีค่ามากที่ความถี่ต่ำเพื่อสามารถถ่ายโอนสัญญาณจากอินพุตไปยังเอาต์พุตได้ดีและในขณะเดียวกันก็สามารถลดขนาดสัญญาณรบกวน  $E_Q(z)$

หากเราแทน  $H(z)$  ในสมการที่ 4.14 ด้วยอินทิเกรเตอร์ซึ่งมีค่าเท่ากับ  $H(z)=Z^1/(1-Z^1)$  เราพบว่าฟังก์ชันถ่ายโอนของสัญญาณอินพุตและสัญญาณรบกวนมีค่าดังนี้

$$STF = \frac{Y(z)}{U(z)} = z^{-1} \quad (4.16)$$

$$NTF = \frac{Y(z)}{E_Q(z)} = 1 - z^{-1} \quad (4.17)$$

สมการที่ 4.16 แสดงให้เห็นว่าสัญญาณอินพุตถูกส่งผ่านไปยังเอาต์พุตโดยมีอัตราขยายเท่ากับหนึ่งโดยมีการหน่วงเวลาเท่ากับหนึ่งคาบเวลาของสัญญาณนาฬิกา (Clock) ในขณะเดียวกันสมการที่ 4.17 แสดงถึงการลบกันของสัญญาณรบกวน  $E_Q(z)$  ซึ่งมีลักษณะการตอบสนองทางความถี่แบบความถี่สูงผ่าน (High pass filter)



**รูปที่ 4.10** ความหนาแน่นของกำลังสัญญาณรบกวนที่เปลี่ยนไปจากการมอดูเลชัน

- ก) กำลังงานของ  $e_q(n)$  และ  $NTF$  ของการสุ่มแบบ Oversampling
- ข) ความหนาแน่นของกำลังสัญญาณรบกวนหลังจากการจัดสัญญาณรบกวน (Noise shaping) ภายใน Bandwidth ของสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.10 (ข) กำลังงานของสัญญาณรบกวนจากการจัดระดับคลาดเคลื่อนตามรูปที่ 4.10 (ก) มีค่าลดลงมากเมื่อเทียบกับกรณีที่ใช้การสุ่มแบบ Oversampling เพียงอย่างเดียว ส่งผลให้การแปลงสัญญาณมี SNR สูงขึ้นและทำให้ ENOB มีค่ามากขึ้นในที่สุด

เราสามารถคำนวณขนาดกำลังงานสัญญาณรบกวนใหม่ได้ดังนี้

$$P_Q = \int_{-f_{BW}}^{f_{BW}} \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2 \sin \left( \frac{\pi f}{f_s} \right) \right)^2 df \quad (4.19)$$

เนื่องจาก  $f_{BW} \ll f_s$  ดังนั้น  $2 \sin \left( \frac{\pi f}{f_s} \right)$  สามารถประมาณได้เป็น  $\left( \frac{\pi f}{f_s} \right)$  ส่งผลให้  $P_Q$  สามารถประมาณได้เท่ากับ

$$P_Q \cong \left( \frac{\Delta^2}{12} \right) \left( \frac{\pi^2}{3} \right) \left( \frac{2B_w}{f_s} \right)^3 \cong \frac{\Delta^2 \pi^2}{36} \left( \frac{1}{OSR} \right)^3 \quad (4.19)$$

เมื่อกำหนดหาอัตราส่วนกำลังงานสัญญาณต่อสัญญาณรบกวนของเอาต์พุต (SNR) เราได้ว่า

$$SNR = \frac{P_{signal}}{P_Q} \cong \left( \frac{((2^N - 1)\Delta / 2)^2}{2} \right) / \left( \frac{\Delta^2 \pi^2}{36} \left( \frac{1}{OSR} \right)^3 \right) \quad (4.20)$$

$$SNR(dB) \cong 6.02N + 1.76 - 5.17 + 30 \log(OSR) \quad (4.21)$$

สัญญาณรบกวนที่ลดลงจากการจัดสัญญาณ (noise shaping) และการสุ่มแบบ Oversampling ทำให้ SNR มีค่าเพิ่มขึ้น 9 เดซิเบล หรือคิดเป็นจำนวนบิต (ENOB) ที่เพิ่มขึ้นเท่ากับ 1.5 บิตทุกสองเท่าของอัตราสุ่มเกิน

#### 4.1.4 การจัดสัญญาณรบกวนด้วยวงจรมอดูเลตสัญญาณซิกมาเดลต้าอันดับสูง

เราสามารถเพิ่มอันดับการมอดูเลต โดยการเพิ่มจำนวนอินทิเกรเตอร์เข้าไปในมอดูเลเตอร์ และใช้การป้อนกลับสัญญาณอย่างเหมาะสม ดังแสดงในสมการที่ 4.22-4.24

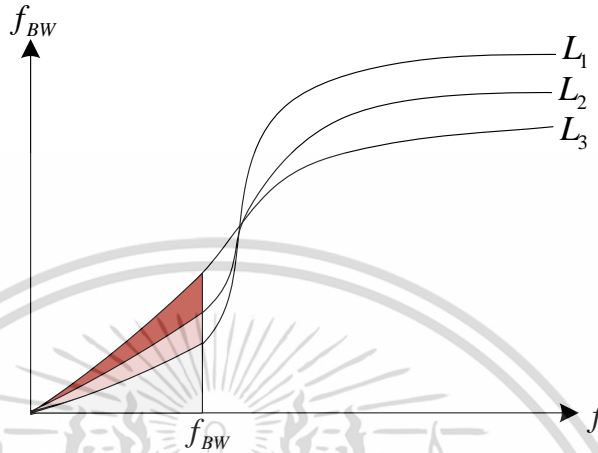
$$STF = \frac{Y(z)}{U(z)} = Z^{-L} \quad (4.22)$$

$$NTF = \frac{Y(z)}{E_Q(z)} = (1 - Z^{-1})^L \quad (4.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่  $L$  คืออันดับ (order) ของการทำมอดูเลชัน

$$NTF = |2\sin(\pi f_{bw} / f_s)|^L \quad (4.24)$$



รูปที่ 4.11 กำลังงานสัญญาณรบกวนจากการจัดระดับหลังผ่านการมอดูเลเตอร์อันดับ 1, 2, 3

รูปที่ 4.11 แสดงให้เห็นกำลังงานของสัญญาณรบกวนซึ่งมีค่าลดลงเมื่อ  $L$  เพิ่มขึ้นทำให้ปริมาณกำลังงานสัญญาณรบกวนจากการจัดระดับภายในแบนด์วิดท์สัญญาณมีค่าลดลงดังแสดงด้วยพื้นที่แรเงาในรูป 4.11

เราสามารถวิเคราะห์หาปริมาณสัญญาณรบกวนจากการจัดระดับในแบนด์วิดท์ของสัญญาณจากการทำมอดูเลชันอันดับ  $L$  ดังนี้

$$P_Q = \int_{-f_{BW}}^{f_{BW}} \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2\sin\left(\frac{\pi f}{f_s}\right) \right)^{2L} df \quad (4.25)$$

$$P_Q \cong \frac{\Delta^2 \pi^{2L}}{12(2L+1)} \left( \frac{1}{(OSR)^{2L+1}} \right) \quad (4.26)$$

ในทำนองเดียวกัน SNR ที่ได้มีค่าเท่ากับ

$$SNR = \frac{P_{signal}}{P_Q} \cong \left( \frac{((2^N - 1)\Delta / 2)^2}{2} \right) / \left( \frac{\Delta^2 \pi^{2L}}{12(2L+1)} \left( \frac{1}{(OSR)^{2L+1}} \right) \right) \quad (4.27)$$

$$SNR(dB) \cong 1.76 + 6.02N - 10\log\left(\frac{\pi^{2L}}{2L+1}\right) + 10(2L+1)\log(OSR) \quad (4.28)$$

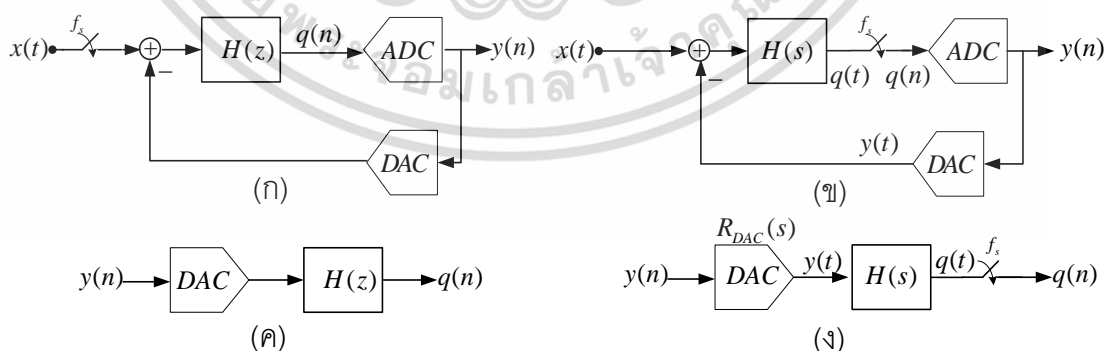
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 4.28 สามารถนำไปใช้คำนวณ ENOB ซึ่งมีค่าเพิ่มขึ้น  $L+0.5$  บิตทุกๆ สองเท่าของการสุ่มเกินที่เพิ่มขึ้น อย่างไรก็ตามในการทำมอดูเลชันอันดับสูงต้องพิจารณาปัญหาเรื่องของเสถียรภาพของระบบเนื่องจากการป้อนกลับด้วย

## 4.2 วงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา (CT- $\Sigma\Delta$ )

วงจรมอดูเลตสัญญาณซิกมาเดลต้าที่กล่าวมาข้างต้นเป็นแบบไม่ต่อเนื่องทางเวลา (Discrete-time sigma delta modulator: DT- $\Sigma\Delta$ ) ดังแสดงในรูปที่ 4.12 (ก) วงจรแบบนี้สามารถสร้างได้โดยใช้วงจรสวิตช์คาปาซิเตอร์ (Switched capacitor, SC) ส่งผลให้วงจรไม่สามารถทำงานที่ความถี่สูงมากได้ เนื่องจากข้อจำกัดของ Gain bandwidth ของออปแอมป์ซึ่งควรมีค่าสูงกว่า 5 เท่าของความถี่สุ่ม รูปที่ 4.12 (ข) แสดงโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลต้าแบบต่อเนื่องทางเวลา (Continuous-time sigma delta modulator : CT- $\Sigma\Delta$ ) ความแตกต่างระหว่าง DT- $\Sigma\Delta$  และ CT- $\Sigma\Delta$  คือ ตำแหน่งของการสุ่มสัญญาณของ CT- $\Sigma\Delta$  อยู่ก่อนหน้าตัวจัดระดับสัญญาณ (Quantizer) ในขณะที่ตำแหน่งของการสุ่มของ DT- $\Sigma\Delta$  อยู่ที่อินพุตของวงจร นอกจากนี้วงจรป้อนกลับและวงจรอินทิเกรเตอร์ของ CT- $\Sigma\Delta$  เป็นวงจรแบบต่อเนื่องทางเวลา เมื่อพิจารณารูปที่ 4.12 (ข) เอาต์พุต  $y(n)$  เป็นสัญญาณดิจิทัลที่อยู่ในรูปแบบไม่ต่อเนื่องทางเวลา ในขณะที่อินพุต  $x(t)$  เป็นสัญญาณแบบต่อเนื่องทางเวลา ดังนั้น CT- $\Sigma\Delta$  ต้องมีการแปลงสัญญาณแบบไม่ต่อเนื่อง  $y(n)$  ให้เป็นแบบต่อเนื่องทางเวลา  $y(t)$  เพื่อให้การป้อนกลับแบบลบทำงานได้จริง การแปลงสัญญาณดังกล่าวทำได้โดยใช้วงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (Digital to analog converter, DAC) ซึ่งเป็นวงจรที่มีความสำคัญมากในการออกแบบ CT- $\Sigma\Delta$

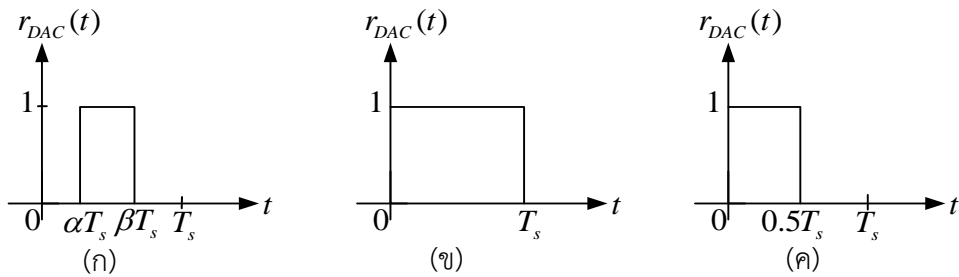
รูปที่ 4.13 แสดงรูปแบบสัญญาณที่นิยมนำมาใช้ในการออกแบบวงจร DAC แปลงสัญญาณจาก  $y(n)$  เป็น  $y(t)$



รูปที่ 4.12 โครงสร้างพื้นฐานของ  $\Sigma\Delta$  ก) วงจร DT- $\Sigma\Delta$  ข) วงจร CT- $\Sigma\Delta$

ค) วงจรรูปเปิดของ DT- $\Sigma\Delta$  ง) วงจรรูปเปิดของ CT- $\Sigma\Delta$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 รูปแบบผลตอบสนองสัญญาณอิมพัลส์ DAC ก) แบบทั่วไป ข) แบบสัญญาณไม่กลับเป็นศูนย์ (NRZ) ค) แบบสัญญาณเอادتพุทกลับเป็นศูนย์ (RZ)

ผลการตอบสนองสัญญาณอิมพัลส์ของ DAC แบบพัลส์สี่เหลี่ยมสามารถเขียนในรูปแบบทั่วไปได้เป็น

$$r_{DAC}(t) = r_{(\alpha, \beta)}(t) = \begin{cases} 1, & \alpha T_s \leq t \leq \beta T_s \\ 0, & \text{otherwise} \end{cases} \quad (4.29)$$

ในกรณีที่  $(\alpha, \beta)$  เท่ากับ  $(0, 1)$  สัญญาณเอادتพุทของ DAC เป็นแบบไม่กลับเป็นศูนย์ (Non return to zero : NRZ) และหาก  $(\alpha, \beta)$  เท่ากับ  $(0, 0.5)$  เราได้สัญญาณเอادتพุทของ DAC เป็นแบบกลับเป็นศูนย์ (Return to zero : RZ)

สัญญาณเอادتพุทของ DAC มีค่าเท่ากับ

$$R_{DAC}(s) = \frac{e^{-s\alpha T_s} - e^{-s\beta T_s}}{s} \quad (4.30)$$

เนื่องจากข้อจำกัดของการจำลองการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลต้าแบบ CT- $\Sigma\Delta M$  ที่ต้องใช้เวลาในการประมวลผลค่อนข้างนานเมื่อเทียบกับการจำลองการทำงานแบบ DT- $\Sigma\Delta M$  การออกแบบวงจร CT- $\Sigma\Delta M$  ที่ได้รับความนิยมจึงมีขั้นตอนดังนี้ ขั้นตอนที่ 1) ออกแบบ DT- $\Sigma\Delta M$  และจำลองการทำงานให้ได้คุณลักษณะของวงจรตรงตามข้อกำหนด ขั้นตอนที่ 2) ทำการแปลงวงจร DT- $\Sigma\Delta M$  ที่ได้ให้เป็น CT- $\Sigma\Delta M$  โดยใช้วิธีผลตอบสนองอิมพัลส์ไม่แปรเปลี่ยน (Impulse Invariance transformation : IIT) เพื่อแปลงฟังก์ชันถ่ายโอน  $H(z)$  ให้เป็น  $H(s)$

เมื่อพิจารณาวงจรมอดูเลตสัญญาณซิกมาเดลต้าแบบ DT- $\Sigma\Delta M$  และ CT- $\Sigma\Delta M$  ในรูปที่ 4.12 (ก) (ข) การแปลงการประมวลผลสัญญาณแบบไม่ต่อเนื่องทางเวลาให้เป็นแบบต่อเนื่องทางเวลานั้นทำได้โดยออกแบบให้สัญญาณที่  $q(n)$  ในรูปที่ 4.12 (ค) เท่ากับ  $q(n)$  ในรูป 4.12 (ง) กล่าวคือ

$$q(n) \Big|_{4.12(ค)} = q(t) \Big|_{t=nT_s, 4.12(ง)} \quad (4.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเงื่อนไขในสมการที่ 4.30 เป็นจริง เอาต์พุตที่ได้จากวงจร  $DT\text{-}\Sigma\Delta$  และ  $CT\text{-}\Sigma\Delta$  จะมีค่าเท่ากันรวมถึงได้คุณลักษณะการจัดการสัญญาณรบกวนต่อความถี่ที่เหมือนกัน จากรูป 4.12(ค) - 4.12(ง) และเงื่อนไขในสมการที่ 4.30 เราสามารถเขียนสมการความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของทั้งสองได้ดังนี้

$$Z^{-1}\{H(z)\} = L^{-1}\{R_{DAC}(s)H(s)\}|_{t=nTs} \quad (4.31)$$

และเขียนในฟังก์ชันของเวลาได้เป็น

$$h(n) = [r_{DAC}(t) * h(t)]|_{t=nTs} = \int_{-\infty}^{\infty} r_{DAC}(\tau)h(t-\tau)d\tau|_{t=nTs} \quad (4.32)$$

เมื่อ “\* ” คือตัวดำเนินการคอนโวลูชัน (convolution operator) และ  $r_{DAC}(t)$  คือผลตอบสนองอิมพัลส์ของ DAC วิธีการถ่ายโอนระหว่าง  $Z$  โดเมนและ  $S$  โดเมนจากสมการที่ 4.30 – 4.32 สามารถใช้ในการแปลงฟังก์ชันถ่ายโอนจากระบบ  $DT\text{-}\Sigma\Delta$  เป็น  $CT\text{-}\Sigma\Delta$  และวิธีการนี้เรียกว่าวิธีผลตอบสนองอิมพัลส์ไม่แปรเปลี่ยน (Impulse invariant)

### 4.3 การออกแบบระบบซิกมาเดลตามอดูเลเตอร์แบบต่อเนื่องทางเวลา( $CT\text{-}\Sigma\Delta$ )

หัวข้อนี้จะกล่าวถึงขั้นตอนการออกแบบระบบของวงจร  $CT\text{-}\Sigma\Delta$  อันดับ 3 การจำลองการทำงานของวงจรซิกมาเดลตามอดูเลเตอร์ในส่วนของวงจร CMOS นั้นใช้เวลาในการประมวลผลนานมากเพื่อให้ได้จำนวนบิตมากพอสำหรับการวิเคราะห์กำลังความหนาแน่นของสัญญาณ (Power spectral density) ดังนั้นในการออกแบบวงจร  $CT\text{-}\Sigma\Delta$  จำเป็นต้องออกแบบและจำลองการทำงาน of ระบบให้ดีกว่าก่อน

การออกแบบวงจรซิกมาเดลตามอดูเลเตอร์โดยทั่วไปจะออกแบบและจำลองการทำงาน of ระบบโดยโปรแกรม MATLAB ซึ่งการออกแบบได้นำ Delta Sigma Toolbox ([24] Richard Schreier) มาใช้ในการออกแบบฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF) ของวงจรซิกมาเดลตามอดูเลเตอร์ และตรวจสอบการทำงาน of ระบบ  $CT\text{-}\Sigma\Delta$  โดยโปรแกรม Simulink

#### 4.3.1 การออกแบบคุณสมบัติ (Specifications)

การออกแบบคุณสมบัติของวงจรซิกมาเดลตามอดูเลเตอร์จำเป็นต้องออกแบบให้ตรงกับการประยุกต์ใช้งาน วงจร  $CT\text{-}\Sigma\Delta$  ในบทนี้ถูกออกแบบให้ทำงานในย่านความถี่แบนด์วิดท์ของสัญญาณอินพุตไม่เกิน 20 KHz ซึ่งสามารถนำไปประยุกต์ใช้งานกับอุปกรณ์ตรวจจับสัญญาณทางชีวภาพ (Biomedical Signal) [29] คุณสมบัติของวงจร  $CT\text{-}\Sigma\Delta$  แสดงดังตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 คุณสมบัติสำหรับออกแบบวงจรซิกมาเดลต้ามอดูเลเตอร์

Resolution (ENOB)	>10 bit (SNR >62 dB) [29]
Signal Bandwidth	20 KHz
Power supply	0.5 V
Technology	CMOS 0.18 um

### 4.3.2 ฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF)

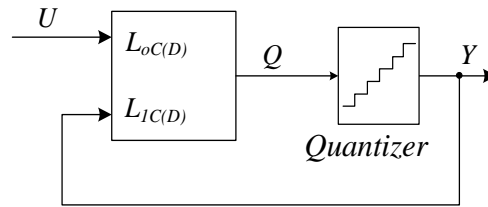
จากสมการที่ 4.28 เราจะเห็นได้ว่า SNR และ ENOB ขึ้นอยู่กับจำนวนอันดับ และอัตราการสุ่มเกิน (Oversampling ,OSR) ของระบบ อย่างไรก็ตามการเพิ่มจำนวนอันดับมีผลต่อเสถียรภาพของระบบ [26] และการเพิ่มอัตราการสุ่มเกินมีผลต่อพลังงานสูญเสีย ตารางที่ 4.2 แสดงผลที่ได้จากการประมาณค่า SNR เมื่อระบบมีอันดับเท่ากับ 2 และ 3 ของสัญญาณในช่วงความถี่เท่ากับ 20 kHz เราสังเกตได้ว่าอัตราการสุ่มเกินของระบบที่มีอันดับเท่ากับ 2 ต้องมีอัตราการสุ่มเกินเท่ากับ 2 เท่าของระบบที่มี order เท่ากับ 3 เพื่อที่จะให้ได้ SNR ประมาณเท่ากันและมากกว่า 62 dB

ดังนั้นการออกแบบวงจร CT- $\Sigma\Delta$  ในบทนี้เลือกออกแบบระบบให้มีอันดับเท่ากับ 3 และอัตราการสุ่มเกินเท่ากับ 64

ตารางที่ 4.2 แสดงจำนวนบิตความละเอียดจากสมการที่ 4.28

Bandwidth	Oder; L	OSR	ENOB	SNR	$f_s$
20KHz	2	64	11	68	2.56MHz
20KHz	2	128	14	88	5.12MHz
20KHz	3	64	14	89	2.56MHz

รูปที่ 4.14 แสดงระบบที่ถูกใช้กันอย่างแพร่หลายสำหรับการออกแบบระบบ CT- $\Sigma\Delta$  โดยที่  $L_{0(CD)}$  คือ ฟังก์ชันถ่ายโอนระหว่างอินพุตถึงตัวจัดระดับ (Quantizer) โดยตัวห้อย C หมายถึงระบบ CT- $\Sigma\Delta$  ( $L_{1C}$ ) และตัวห้อย D ให้หมายถึงระบบแบบ DT- $\Sigma\Delta$  ( $L_{1D}$ )  $L_{1(CD)}$  คือ ฟังก์ชันถ่ายโอนป้อนกลับของระบบ  $\Sigma\Delta$  แบบต่อเนื่องและแบบไม่ต่อเนื่อง



รูปที่ 4.14 ระบบวงจร  $\Sigma\Delta M$  โดยที่  $L_0$  คือฟังก์ชันถ่ายโอนระหว่างอินพุต และ  $L_1$  คือฟังก์ชันถ่ายโอนป้อนกลับ

เราสามารถเขียนฟังก์ชันความสัมพันธ์ของระบบในรูป 4.14 ได้เป็น

$$Q = L_{0C(D)}U + L_{1C(D)}Y \quad (4.33)$$

$$Y = Q + E_Q \quad (4.34)$$

$$Y = \frac{L_{0C(D)}}{1 - L_{1C(D)}}U + \frac{1}{1 - L_{1C(D)}}E_Q \quad (4.35)$$

จากสมการที่ 4.15 และ 4.35 เราสามารถเขียนสมการความสัมพันธ์ระหว่างฟังก์ชันถ่ายโอนของสัญญาณ (STF) และ ฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF) กับ  $L_{0C(D)}$  และ  $L_{1C(D)}$  ได้เป็น

$$STF = \frac{L_{0C(D)}}{1 - L_{1C(D)}}, \quad NTF = \frac{1}{1 - L_{1C(D)}} \quad (4.35)$$

$$L_{1C(D)} = 1 - \frac{1}{NTF}, \quad L_{0C(D)} = \frac{STF}{NTF} \quad (4.36)$$

ในการออกแบบระบบ CT- $\Sigma\Delta M$  มีขั้นตอนดังนี้ 1) สร้างฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF) โดยการออกแบบระบบกรองความถี่สูงผ่านที่เหมาะสม 2) หา  $L_{1D}$  จากสมการที่ 4.36 3) ทำการแปลง  $L_{1D}$  เป็น  $L_{1C}$  โดยใช้ความสัมพันธ์ในสมการที่ 4.30-4.32 3) นำ  $L_{1C}$  ที่ได้ไปคำนวณหา NTF ใน s โดเมนโดยใช้สมการ 4.36 4) หาสัมประสิทธิ์จากความสัมพันธ์ระหว่าง NTF และโครงสร้างของ CT- $\Sigma\Delta M$

เราออกแบบฟังก์ชันถ่ายโอนสัญญาณรบกวน (NTF) โดยใช้โปรแกรม MATLAB ซึ่งการออกแบบในขั้นนี้ใช้ synthesizeNTF โดย Schreier's [26] เมื่อกำหนดอันดับของระบบเท่ากับ 3 อัตราการสุ่มเกิน (OSR) เท่ากับ 64 อัตราขยายนอกแบนด์วิดท์ (out-of-band gain : OBG) เท่ากับ 1.3 dB เราจะได้ NTF ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$NTF = \frac{(z-1)(z^2 - 1.99z + 1)}{(z - 0.7698)(z^2 - 1.708z + 0.7681)} \quad (4.37)$$

จากสมการที่ 4.36 จะได้  $L_1$  ในรูปแบบของ DT- $\Sigma\Delta$  ( $L_{1D}$ ) เท่ากับ

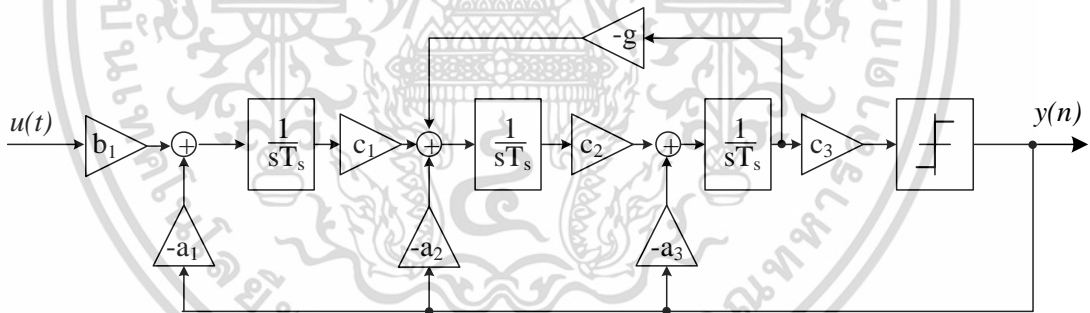
$$L_{1D} = \frac{-0.52097z(z^2 - 1.758z + 0.7845)}{z(z-1)(z^2 - 1.999z + 1)} \quad (4.38)$$

โดยอาศัยสมการ 4.31-4.32 กับระบบที่ถูกออกแบบโดยใช้ DAC แบบ NRZ (รูปที่ 4.13 (ข)) และสมการ 4.35-4.36 เราสามารถหา  $L_1$ ,  $L_0$  และ NTF ในรูปแบบของ CT- $\Sigma\Delta$  ดังนี้

$$L_{1C} = \frac{-0.46264(s^2 + 0.2427s + 0.03001)}{s(s^2 + 0.001446)} \quad (4.39)$$

$$L_{0C} = \frac{0.013886}{s(s^2 + 0.001446)} \quad (4.40)$$

$$NTF = \frac{s^3 + 0.001446s}{s^3 + 0.4626s^2 + 0.1137s + 0.01388} \quad (4.41)$$



รูปที่ 4.15 ระบบ CT- $\Sigma\Delta$  แบบป้อนกลับ (CIFB) [26]

รูปที่ 4.15 แสดงโครงสร้างระบบ CT- $\Sigma\Delta$  แบบป้อนกลับ (CIFB) ซึ่งมี NTF เท่ากับ

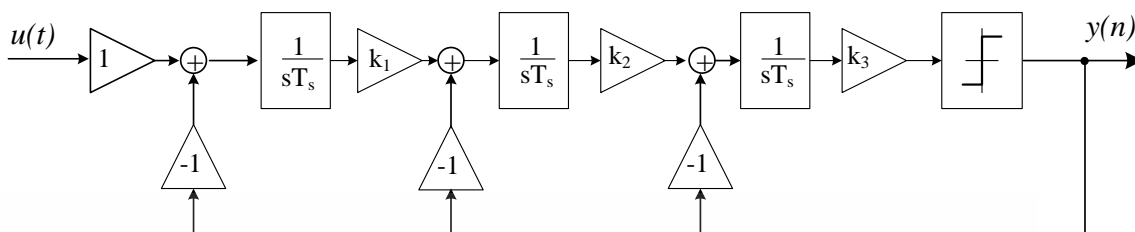
$$NTF_{CIFB} = \frac{s^3 + c_2gs}{s^3 + a_3c_3s^2 + (c_2g_1 + a_2c_2c_3)s + a_1c_1c_2c_3} \quad (4.42)$$

เมื่อพิจารณาสมการ 4.41 และ 4.42 เราสามารถคำนวณหาค่าสัมประสิทธิ์และอัตราขยายของระบบ CT- $\Sigma\Delta$  ได้ดังแสดงในตารางที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 สัมประสิทธิ์และอัตราขยายของระบบ CT- $\Sigma\Delta$ 

a1	a2	a3	b1	c1	c2	c3	g1
0.1073	0.1993	0.2361	0.1073	0.2298	0.2874	1.9597	0.00503

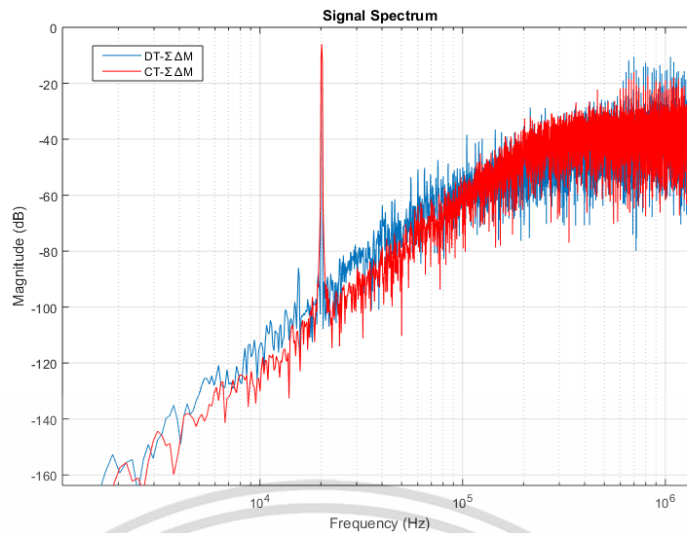
รูปที่ 4.16 ระบบ CT- $\Sigma\Delta$  แบบป้อนกลับแบบรอบเดียว

เราสังเกตเห็นว่าอัตราขยายป้อนกลับ ( $a_1$ - $a_3$ ) คืออัตราขยายของวงจร DAC ซึ่งเป็นค่าที่ไม่ลงตัว ทำให้การออกแบบวงจร DAC จริงในโหมดกระแสเป็นไปได้ยาก ดังนั้นในการออกแบบระบบ CT- $\Sigma\Delta$  โหมดกระแสในบิตนี้ เราได้ออกแบบให้อัตราขยายการป้อนกลับ  $a_1$ - $a_3$  มีค่าเท่ากับหนึ่ง จากนั้นก็ทำการลดรูปการป้อนกลับวงรอบภายใน (g) ให้อยู่ในรูปที่ 4.16 และคำนวณหาค่าสัมประสิทธิ์และอัตราขยายของระบบ CT- $\Sigma\Delta$  ใหม่ดังนี้

$$k_1 = \frac{c_1 a_1}{(g/c_3) + a_2}, \quad k_2 = \frac{c_2 [(g/c_3) + a_2]}{a_3}, \quad k_3 = c_3 a_3 \quad (4.43)$$

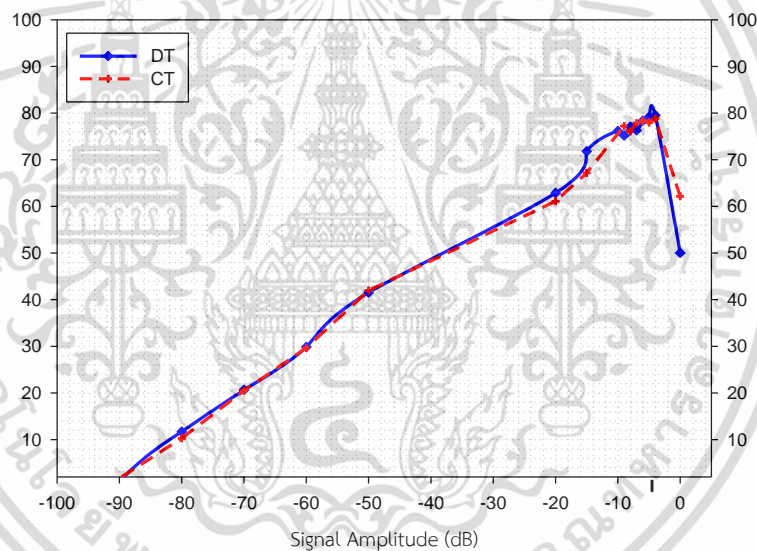
โดยเราสามารถคำนวณได้ว่า  $k_1 = 0.122157$ ,  $k_2 = 0.24571$  และ  $k_3 = 0.462685$

รูปที่ 4.17 แสดงสเปกตรัมของสัญญาณเอาต์พุตที่ได้จากการจำลองการทำงานของระบบ CT- $\Sigma\Delta$  ด้วยโปรแกรม MATLAB Simulink รูปที่ 4.18 แสดงกำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต เราจะเห็นได้ว่า SNR ของระบบมีค่าสูงสุดเท่ากับ 79 เดซิเบล ซึ่ง SNR ของระบบมีค่าสูงกว่าคุณสมบัติของ CT- $\Sigma\Delta$



รูปที่ 4.17 สเปกตรัมสัญญาณเอาต์พุตของระบบ CT- $\Sigma\Delta$  เปรียบเทียบกับ DT- $\Sigma\Delta$  โดย MATLAB

Simulink

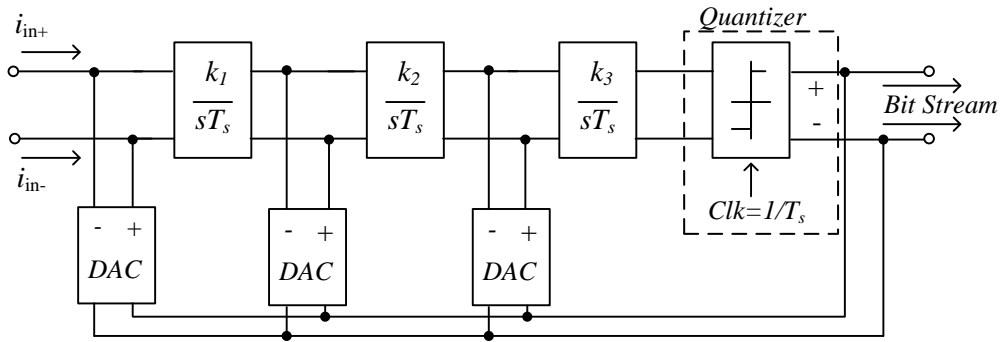


รูปที่ 4.18 กำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต

#### 4.4 การออกแบบวงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา (CT- $\Sigma\Delta$ ) โหมดกระแส

รูปที่ 4.19 แสดงโครงสร้างวงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา (CT- $\Sigma\Delta$ ) โหมดกระแส วงจรประกอบด้วยวงจรหลักสามส่วน คือ วงจรอินทิเกรเตอร์โหมดกระแส วงจรเปรียบเทียบกระแสที่ทำงานร่วมกับสัญญาณนาฬิกา (Clk) และวงจรแปลงสัญญาณดิจิตอลแรงดันเป็นแอนาล็อกกระแส (DAC) การประมวลผลสัญญาณของวงจร CT- $\Sigma\Delta$  โหมดกระแสเป็นแบบผลต่างซึ่งสอดคล้องกับวงจรเปรียบเทียบสัญญาณ และวงจรอินทิเกรเตอร์โหมดกระแสที่ถูกนำเสนอในบทที่ผ่านมา วงจร DAC ที่ถูกนำมาใช้เป็นแบบสวิตช์กระแส [30]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 โครงสร้างวงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา(CT- $\Sigma\Delta$ ) โหมดกระแส

#### 4.4.1 การออกแบบวงจรอินทิเกรเตอร์โหมดกระแส

เมื่อพิจารณาโครงสร้างวงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลา (CT- $\Sigma\Delta$ ) โหมดกระแสในรูปที่ 4.19 เราต้องออกแบบวงจรอินทิเกรเตอร์กระแสทั้งสามตัวให้มีค่า  $k_1-k_3$  สอดคล้องกับค่าที่ได้ออกแบบไว้ในหัวข้อที่ผ่านมา

จากสมการความสัมพันธ์ระหว่างกระแสอินพุตกับเอาต์พุตของวงจรอินทิเกรเตอร์กระแส (นำเสนอในบทที่ 3) เมื่อละเลยตัวเก็บประจุแฝง และค่าความนำด้านเอาต์พุตของวงจรเราสามารถเขียนสมการความสัมพันธ์ระหว่างกระแสอินพุตกับเอาต์พุต (สมการที่ 3.47) ดังนี้

$$\frac{i_{out}}{i_{in}} = \frac{g_{mA(B)}}{sC_{int1(2)}} \quad (4.44)$$

ดังนั้นความสัมพันธ์ของวงจรอินทิเกรเตอร์กระแสกับตัวอินทิเกรเตอร์ในระบบ CT- $\Sigma\Delta$  ในรูปที่ 4.19 เป็นดังนี้

$$\frac{k_{1(2)(3)}}{T_s} = \frac{g_{mA(B)}}{C_{int1(2)}} \quad (4.45)$$

สมการที่ 4.45 ที่ถูกใช้ในการออกแบบตัวเก็บประจุและค่าทรานคอนดักแตนซ์ของวงจรอินทิเกรเตอร์กระแสแต่ละตัว

เมื่อออกแบบขนาดของทรานซิสเตอร์ภายในวงจรอินทิเกรเตอร์โหมดกระแสตามตารางที่ 3.5 ค่าทรานคอนดักแตนซ์  $g_{mA(B)}$  ของวงจรที่ได้มีค่าเท่ากับ 808  $\mu A/V$  ดังนั้นเราสามารถออกแบบค่าตัวเก็บประจุของวงจรอินทิเกรเตอร์แต่ละตัวได้ดังแสดงในตารางที่ 4.4

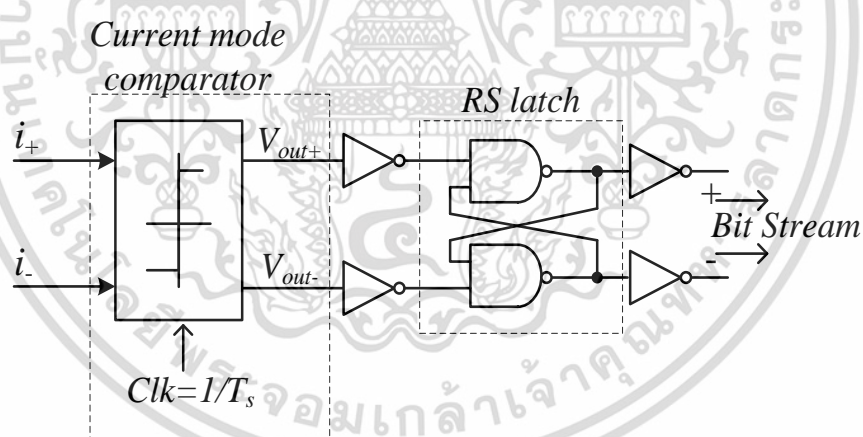
ตารางที่ 4.4 ตัวเก็บประจุของวงจรอินทิเกรเตอร์โหมดกระแสที่ใช้ในวงจร CT- $\Sigma\Delta$

ค่าสัมประสิทธิ์ตัวอินทิเกรเตอร์	ค่าตัวเก็บประจุ
$k_1 = 0.122157$	0.41nF
$k_2 = 0.2457$	0.20nF
$k_3 = 0.462685$	0.11nF

#### 4.4.2 การออกแบบตัวจัดระดับ (Quantizer) โหมดกระแส

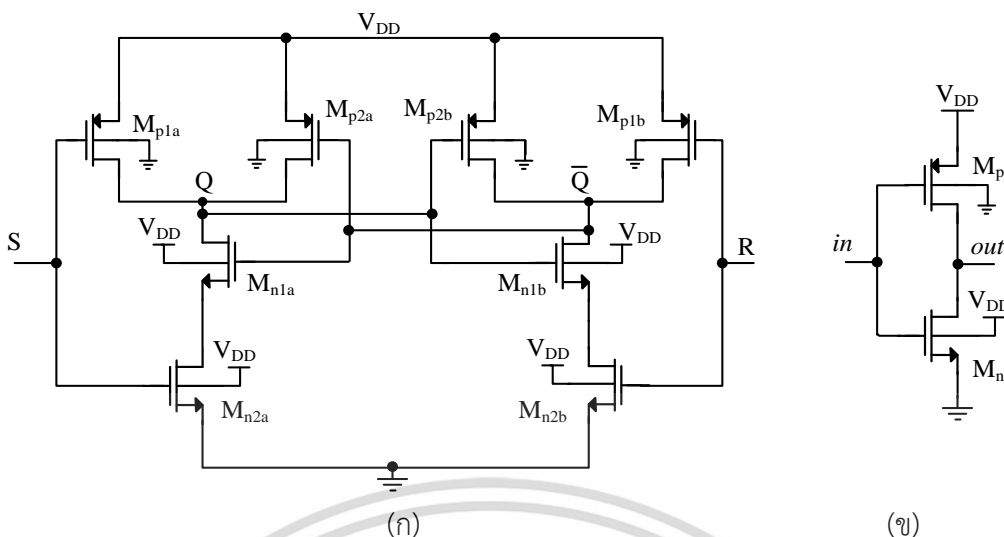
ตัวจัดระดับในบทนี้ใช้วงจรเปรียบเทียบโหมดกระแสที่ถูกนำเสนอในบทที่ 3 ทำงานร่วมกับสัญญาณนาฬิกา (Clk) โดยจะเปรียบเทียบสัญญาณกระแสของอินพุตทั้งสองเมื่อ Clk เป็น low และทำการรีเซ็ตสัญญาณเอาต์พุตเป็น low เมื่อ Clk เป็น high

สัญญาณป้อนกลับของระบบ CT- $\Sigma\Delta$  ดังแสดงในรูปที่ 4.19 เป็นแบบไม่กลับเป็นศูนย์ (NRZ) ดังนั้นในการออกแบบ Quantizer ต้องออกแบบให้คงค่าเอาต์พุตเมื่อ Clk เป็น high ซึ่งเราสามารถนำวงจรอาร์เอสแลตช์ (RS Latch) และวงจรอินเวอร์เตอร์มาใช้ในการออกแบบเพื่อคงค่าเอาต์พุตดังแสดงในรูปที่ 4.20 โดยที่กระแสอินพุตของ Quantizer ( $i_+$ ,  $i_-$ ) คือกระแสเอาต์พุตของวงจรอินทิเกรเตอร์ตัวที่สาม



รูปที่ 4.20 วงจรตัวจัดระดับ (Quantizer) โหมดกระแส

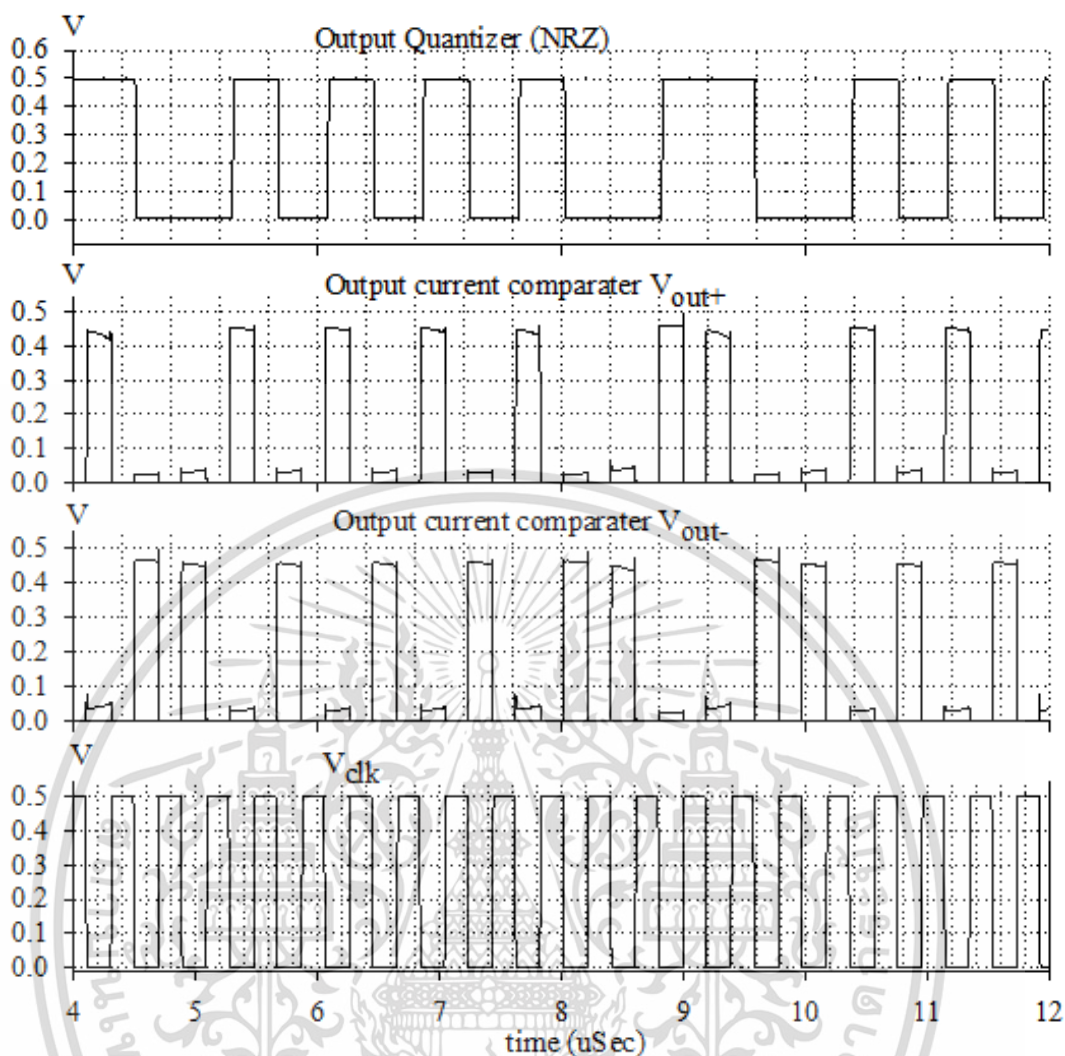
เทคนิคการไบอัสตรงที่ขาบอดี (Forward body-biased, FBB) [31] ถูกนำมาใช้ในการออกแบบวงจรอาร์เอสแลตช์ (RS Latch) และวงจรอินเวอร์เตอร์เพื่อให้ทรานซิสเตอร์สามารถทำงานได้เร็วขึ้นภายใต้แรงดันไฟเลี้ยง 0.5 โวลต์



รูปที่ 4.21 ก) วงจรอาร์เอสแลตช์ (RS Latch) ข) วงจรอินเวอร์เตอร์

การออกแบบขนาดของทรานซิสเตอร์ภายในวงจร RS Latch (รูปที่ 4.21 ก) และวงจรอินเวอร์เตอร์ (รูปที่ 4.21 ข) ออกแบบให้ W/L ของพีมอสทุกตัวให้มีขนาดเท่ากับ 1.7/0.36  $\mu\text{m}$  และเอ็นมอสทุกตัวมีขนาดเท่ากับ 1.5/0.36  $\mu\text{m}$  ขนาดของทรานซิสเตอร์ภายในวงจรเปรียบเทียบกับกระแสมีขนาดตามตารางที่ 3.1

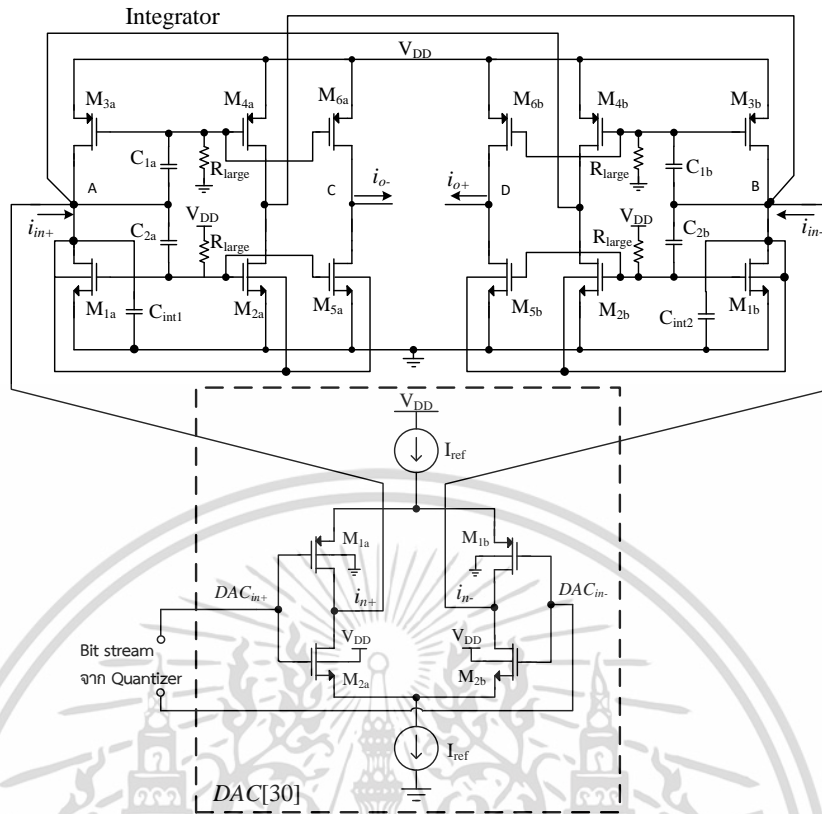
รูปที่ 4.22 แสดงผลการทำของวงจร Quantizer ร่วมกับสัญญาณนาฬิกา ( $V_{\text{clk}}$ ) ที่ความถี่เท่ากับ 2.56 MHz ซึ่งเป็นความถี่ที่จะใช้งานในการสุ่มสัญญาณของวงจร CT- $\Sigma\Delta\text{M}$  โหมดกระแส จากผลการจำลองการทำงานของวงจร Quantizer เราพบว่าวงจรมีค่าหน่วงเวลาประมาณเท่ากับ 19ns และกราฟบนสุดแสดงสัญญาณเอาต์พุตของ Quantizer สัญญาณเป็นแบบ NRZ และกราฟถัดมาแสดงสัญญาณเอาต์พุตของวงจรเปรียบเทียบกับกระแสด้านบวก ด้านลบ และสัญญาณนาฬิกา ( $V_{\text{clk}}$ ) ตามลำดับ ผลการจำลองการทำงานแสดงให้เห็นว่าวงจรสามารถทำงานได้เป็นอย่างดีและเป็นไปตามที่ได้ออกแบบไว้



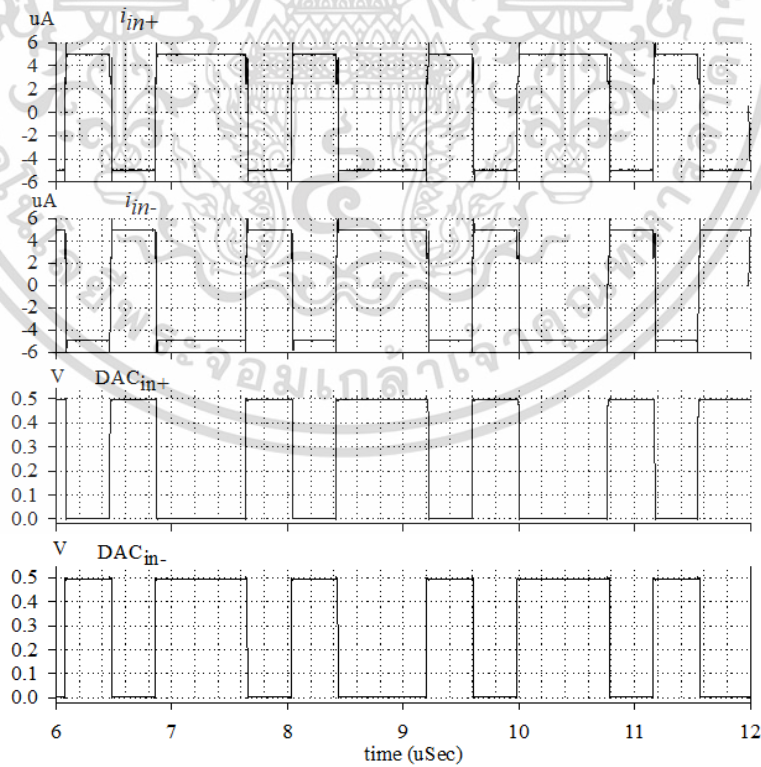
รูปที่ 4.22 ผลการทำงานของวงจร Quantizer ร่วมกับสัญญาณนาฬิกา ( $V_{CLK}$ ) ที่ความถี่ 2.56MHz

#### 4.4.3 วงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกกระแส (DAC)

รูปที่ 4.23 แสดงการต่อวงจรป้อนกลับแบบลบจาก DAC ไปยังอินพุตของวงจรอินทิเกรเตอร์ โหมดกระแส จากรูปที่ 4.19 เราจะเห็นได้ว่าวงจร CT- $\Sigma\Delta$  ประกอบด้วย DAC ทั้งหมด 3 วงจร และอัตราขยายของการป้อนกลับมีค่าเท่ากับหนึ่งเหมือนกันหมด ดังนั้นกระแสอินพุตด้านบวก ( $i_{in+}$ ) และด้านลบ ( $i_{in-}$ ) ของวงจรอินทิเกรเตอร์ทั้งสามจะมีค่าเท่ากันและมีค่าเท่ากับ  $I_{ref}$  ทั้งนี้ก็ขึ้นกับสัญญาณอินพุตของ DAC ดังแสดงในรูปที่ 4.24



รูปที่ 4.23 วงจร DAC ต่อร่วมกับวงจรอินทิเกรเตอร์โหมดกระแส



รูปที่ 4.24 การทำงานของวงจรป้อนกลับ DAC ที่ความถี่การสุ่มเท่ากับ 2.56 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5 ผลจำลองการทำงานของวงจร CT- $\Sigma\Delta$ โหมดกระแส

เพื่อตรวจสอบความถูกต้องจากการออกแบบวงจร CT- $\Sigma\Delta$  โหมดกระแส วงจรถูกจำลองการทำงานโดยใช้โปรแกรม OrCAD Capture PSPICE และใช้เทคโนโลยีซีมอสขนาดความยาว 0.18  $\mu\text{m}$  โดยให้สัญญาณอินพุตที่มีแบนด์วิดท์ในช่วงความถี่เท่ากับ 20 kHz และมีความถี่การสุ่มเท่ากับ 2.56 MHz วงจรทำงานภายใต้แหล่งจ่ายไฟเลี้ยงเท่ากับ 0.5 โวลต์

การตรวจสอบที่สำคัญสำหรับการทำงานของวงจร CT- $\Sigma\Delta$  ที่มีอันดับสูงกว่าหนึ่ง คือ การตรวจสอบว่าขนาดของกระแส และแรงดันทุกโนดภายในวงจรมีค่าเป็นไปได้จริง

กระแสอ้างอิง ( $I_{ref}$ ) ของวงจรถูกออกแบบให้มีค่าเท่ากับ 5  $\mu\text{A}$  และกระแสไบอัสของวงจร อินทิเกรเตอร์ทุกวงจรมีค่าเท่า 10.5  $\mu\text{A}$  ดังนั้นกระแสเอาต์พุตของวงจรอินทิเกรเตอร์ทั้งสามต้องมีค่าน้อยกว่ากระแสไบอัสของวงจรตลอดช่วงการทำงาน รูปที่ 4.25 แสดงผลการแจกแจงความถี่ของขนาดกระแสเอาต์พุตของวงจรอินทิเกรเตอร์แต่ละตัว อินทิเกรเตอร์ตัวที่หนึ่งมีค่าสวิตช์ของกระแสเอาต์พุตสูงสุดประมาณ  $\pm 9 \mu\text{A}$  (รูปที่ 4.25 (ข)) อินทิเกรเตอร์ตัวที่สองมีค่าสวิตช์ของกระแสเอาต์พุตสูงสุดประมาณ  $\pm 8.2 \mu\text{A}$  (รูปที่ 4.25 (ค)) และกระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่สาม (กระแสอินพุตของ Quantizer) มีค่าสวิตช์สูงสุดประมาณ  $\pm 4.6 \mu\text{A}$

รูปที่ 4.26 แสดงการแจกแจงความถี่ของการสวิงของแรงดันที่โนดอินพุตของอินทิเกรเตอร์ทั้งสามวงจร และโนดอินพุตของ Quantizer แรงดันสวิงสูงสุดที่โนดอินพุตของอินทิเกรเตอร์มีค่าประมาณ  $\pm 20 \text{ mV}$  แรงดันสวิงสูงสุดที่โนดอินพุตของ Quantizer มีค่าประมาณ  $\pm 10 \text{ mV}$  ซึ่งแสดงให้เห็นว่าการสวิงของกระแส และแรงดันทุกโนดของวงจรอยู่ในช่วงที่วงจรสามารถทำงานได้

รูปที่ 4.27 แสดงเอาต์พุตบิต (Bit stream) ของวงจร CT- $\Sigma\Delta$  โหมดกระแส เมื่อป้อนสัญญาณกระแสอินพุตผลต่างขนาด 4  $\mu\text{A}$  ที่มีความถี่เท่ากับ 20 kHz การจำลองการทำงานถูกทำอย่างต่อเนื่องจนได้จำนวนบิตเท่ากับ  $2^{14}$  ตัวอย่างเพื่อใช้สำหรับวิเคราะห์คุณสมบัติต่าง ๆ ของวงจร CT- $\Sigma\Delta$  ในบทนี้

รูปที่ 4.28 แสดงสเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$  ตลอดย่านความถี่การสุ่มจะเห็นได้ว่าในช่วงความถี่ในควิซท์ (40 kHz) มีกำลังงานสัญญาณรบกวนต่ำ และกำลังสัญญาณรบกวนจะสูงขึ้นเมื่อความถี่สูงกว่าความถี่ในควิซท์ ซึ่งเป็นผลจากการจัดสัญญาณรบกวน (Noise shaping) ของวงจร  $\Sigma\Delta$

รูปที่ 4.29 แสดงสเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$  ภายในย่านความถี่ในควิซท์ เมื่อสัญญาณอินพุตมีความถี่เท่ากับความถี่แบนด์วิดท์ (20 kHz) จะเห็นได้ว่ากำลังงานสัญญาณต่อสัญญาณรบกวนมีค่าเท่ากับ 72.26 เดซิเบล

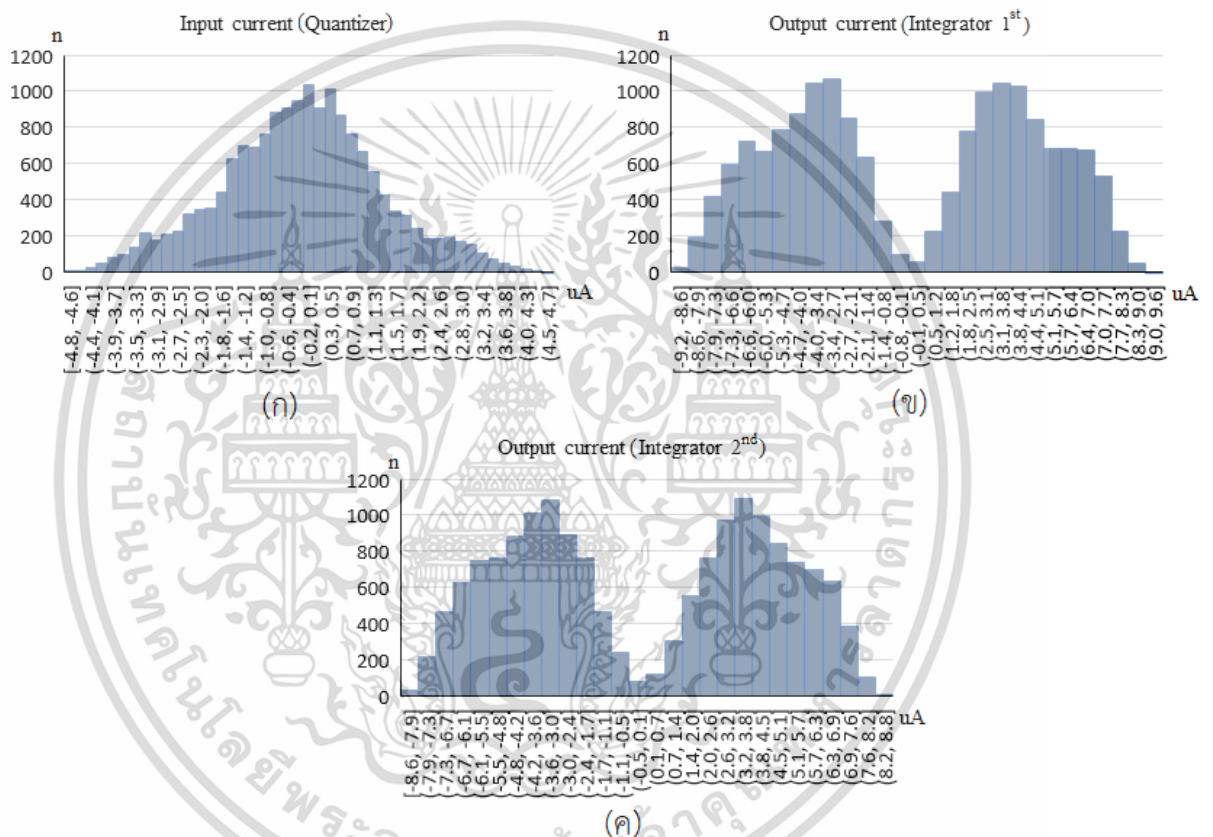
รูปที่ 4.30 แสดงสเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$  ภายในย่านความถี่แบนด์วิดท์ (20 kHz) เมื่อป้อนสัญญาณอินพุตที่มีความถี่เท่ากับ 6 kHz เพื่อดูผลกระทบของฮาร์โมนิกที่ 3 (18 kHz) ซึ่งเห็นได้ว่ากำลังงานสัญญาณต่อสัญญาณรบกวนที่ฮาร์โมนิกที่ 3 มีค่าเท่ากับ 70.73 เดซิ

เบล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.31 แสดงกำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต จะเห็นได้ว่า SNR มีค่าสูงสุดเท่ากับ 72.26 เดซิเบลและ Dynamic Range ของสัญญาณอินพุตมีค่าเท่ากับ 69.4 เดซิเบล

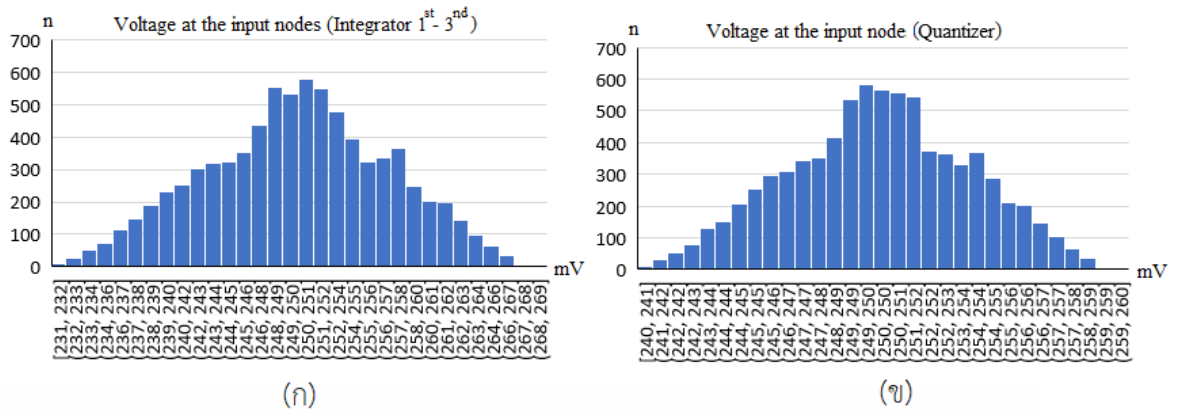
ตารางที่ 4.5 แสดงคุณสมบัติของวงจร CT- $\Sigma\Delta$  โหมดกระแส วงจรมีกำลังงานสูญเสียรวมประมาณ 137.37  $\mu$ W ตารางที่ 4.6 แสดงตารางเปรียบเทียบความสามารถของวงจร CT- $\Sigma\Delta$  โหมดกระแสที่นำเสนอกับวงจรที่ได้ถูกนำเสนอก่อนหน้านี้ การเปรียบเทียบอาศัยดัชนีชี้วัด (Figure of merit, FoM) ดังนี้คือ  $FoM = Power / (2 \times BW \times 2^{ENoB})$  [26]



รูปที่ 4.25 การแจกแจงความถี่กระแสเอาต์พุต (Histogram) ของวงจรอินทิเกรเตอร์

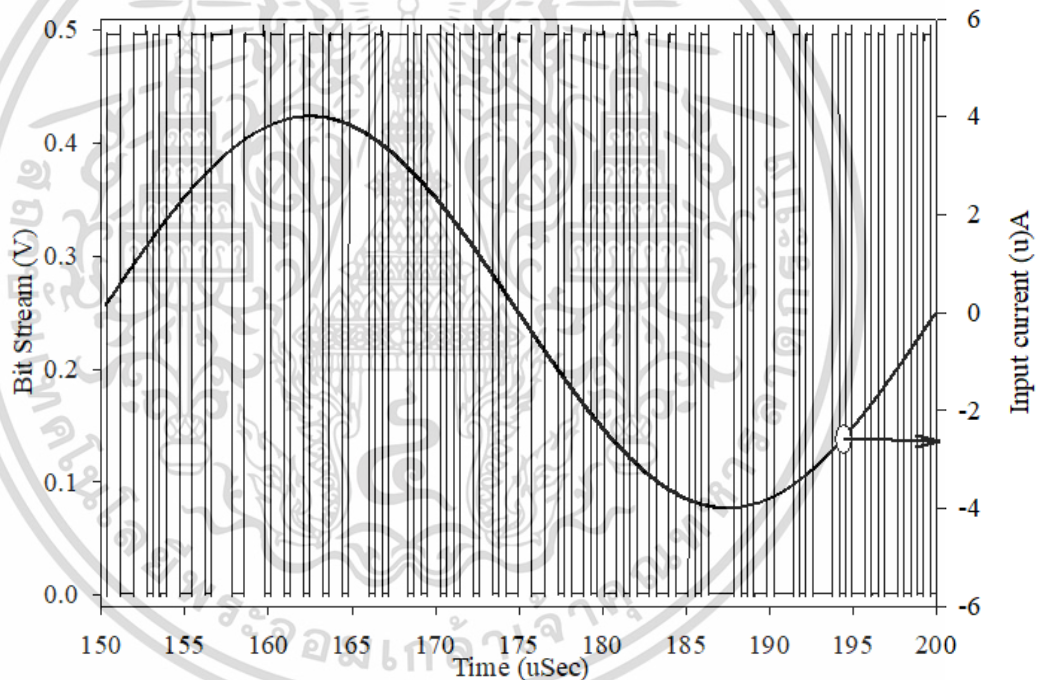
- ก) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่หนึ่ง
- ข) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่สอง
- ค) กระแสเอาต์พุตของอินทิเกรเตอร์ตัวที่สาม (หรือกระแสอินพุตของ Quantizer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



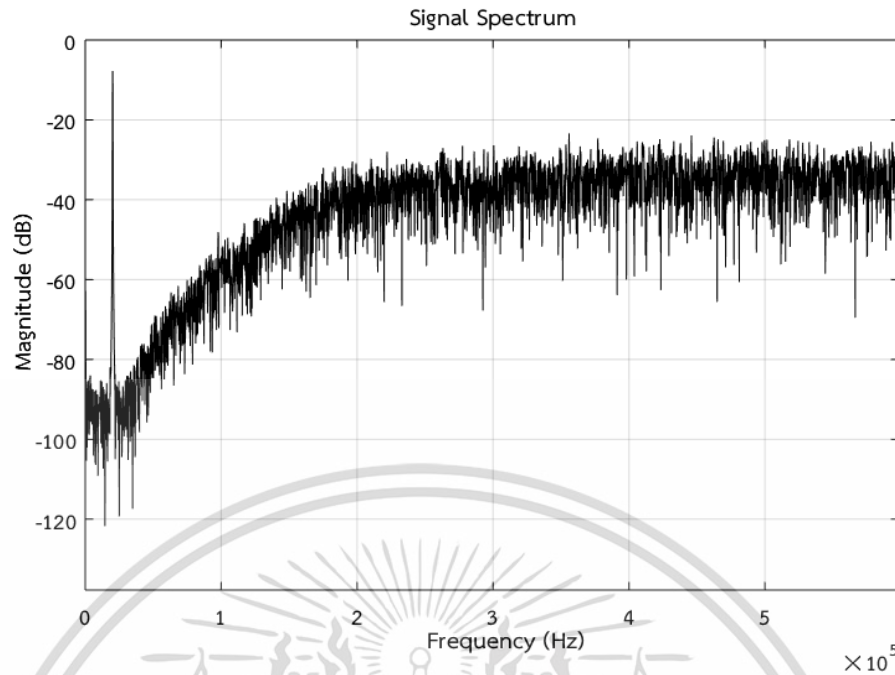
รูปที่ 4.26 ผลการแจกแจงความถี่ (Histogram) ของการสวิงของแรงดันที่โหนดต่างๆ

- ก) แรงดันสวิงที่โหนดอินพุตของอินทิเกรเตอร์ทั้งสามโหนด  
 ข) แรงดันสวิงที่โหนดอินพุตของ Quantizer

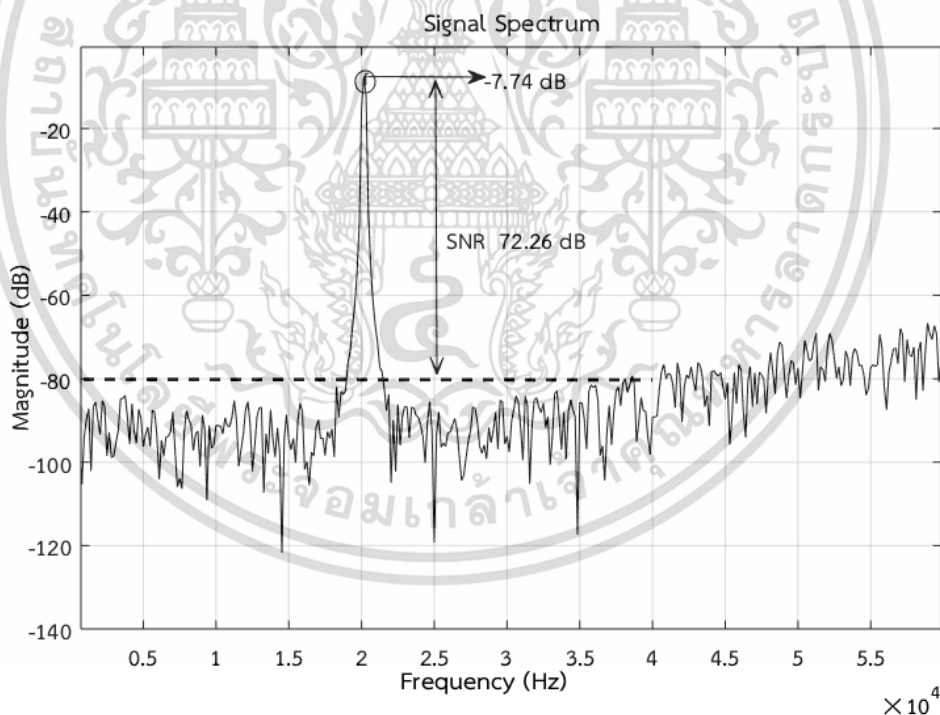


รูปที่ 4.27 ผลตอบสนองเอาต์พุตบิต (Bit stream) ต่อสัญญาณกระแสอินพุต ผลต่างไซน์ซออยด์ (Sinusoidal signal)  $\pm 4$  uA (20 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

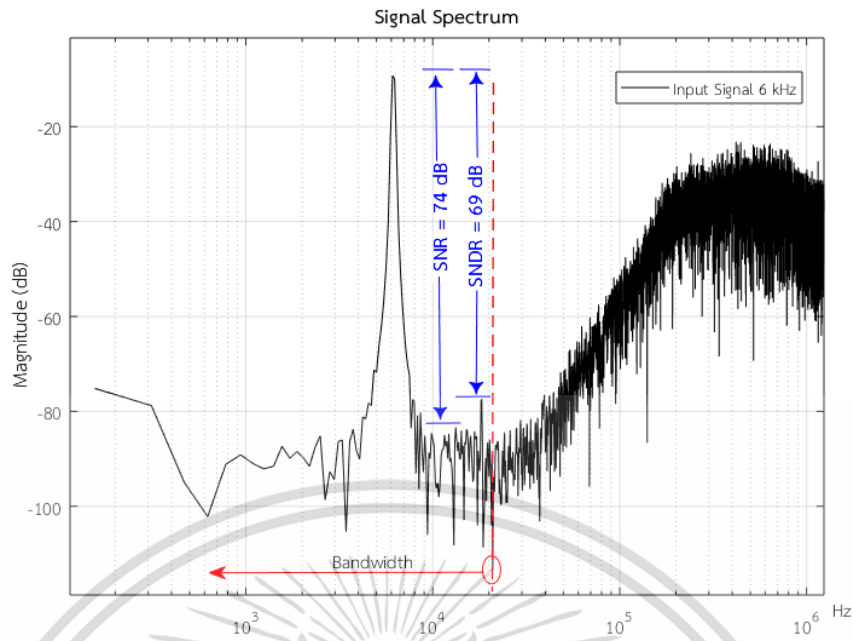


รูปที่ 4.28 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$ M ที่ความถี่สุ่ม 2.56 MHz

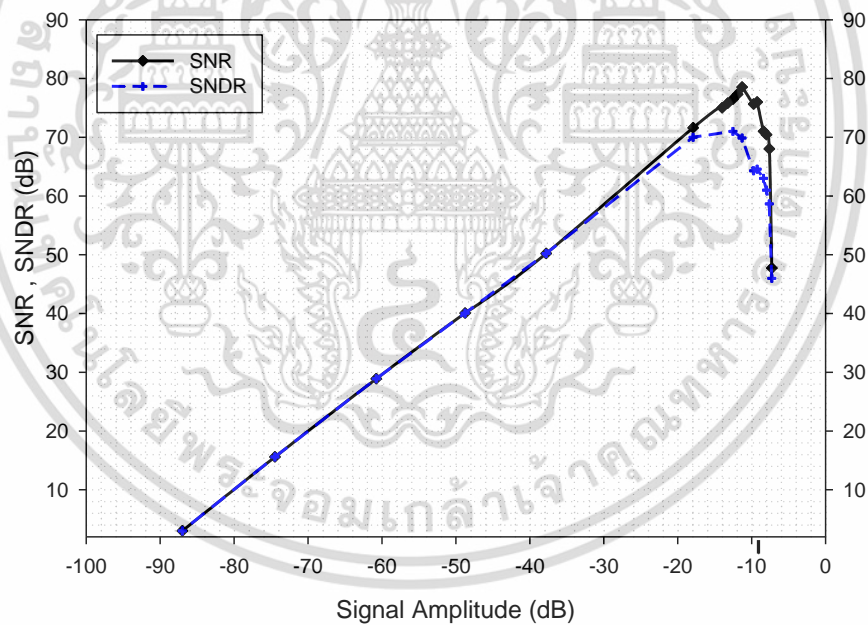


รูปที่ 4.29 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$ M โดยสัญญาณอินพุตความถี่เท่ากับ 20 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30 สเปกตรัมสัญญาณเอาต์พุตของวงจร CT- $\Sigma\Delta$  ภายในย่านความถี่แบนด์วิดท์ของสัญญาณอินพุต



รูปที่ 4.31 กำลังงานสัญญาณต่อสัญญาณรบกวน (SNR) เทียบกับกำลังงานสัญญาณอินพุต (6 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 คุณสมบัติของวงจร CT- $\Sigma\Delta$  โหมดกระแส (สัญญาณอินพุต 6 kHz)

Power supply (Volt)	0.5
Power ( $\mu$ W)	137.37
Process ( $\mu$ m)	0.18
Peak SNR (dB)	74
Peak SNDR (dB)	69
Dynamic Range	74
ENOB	11

ตารางที่ 4.6 ตารางเปรียบเทียบ FoM ของวงจร  $\Sigma\Delta$

Ref.	SNDR (dB)	BW (KHz)	OSR	Power (mW)	Order	FoM (pJ)
[33]	68	4	125	0.4	2	24.35
[34]	65	5000	50	28	1	1.926
[35]	57	0.4	125	0.08	2	172.8
[36]	79	100	130	5	3	3.432
[37]	60.96	10000	35.8	31	3	1.698
[38]	47.7	1000	30	1	3	2.522
This work	69	20	64	0.137	3	1.487

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# สรุปผลการวิจัยและข้อเสนอแนะ

### 5.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรเปรียบเทียบ และวงจรอินทิเกรเตอร์โหมดกระแส ซึ่งวงจรทั้งสองได้ถูกนำมาสร้างวงจรซิกมาเดลต้ามอดูเลเตอร์แบบป้อนกลับที่ทำงานในโหมดกระแสเพื่อประยุกต์ใช้งานกับอุปกรณ์ตรวจจับสัญญาณทางชีวภาพโดยมีช่วงความถี่ปฏิบัติงานไม่เกิน 20 kHz ผลจำลองการทำงานแสดงให้เห็นว่าวงจรที่ออกแบบทั้งหมดสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงขนาดเท่ากับ 0.5 โวลต์ วงจรเปรียบเทียบกระแสมีค่าหน่วงเวลาเท่ากับ 2.15 nS ในขณะที่กระแสอินพุตผลต่างมีค่าเท่ากับ 0.1 uA วงจรอินทิเกรเตอร์โหมดกระแสสามารถนำไปใช้งานได้ไบนย่านความถี่สูงสุดประมาณ 55 MHz โดยมีอัตราขยายที่ความถี่ต่ำเท่ากับ 34.79 dB เมื่อกระแสไบอัสมีค่าเท่ากับ 10.5 uA วงจรซิกมาเดลต้ามอดูเลเตอร์แบบต่อเนื่องทางเวลาโหมดกระแสสามารถทำงานได้ไบนย่านความถี่ 20 kHz โดยมีกำลังงานสัญญาณต่อสัญญาณรบกวนและความผิดเพี้ยนฮาร์โมนิกส์ที่ 3 (SNDR) สูงสุดประมาณเท่ากับ 69 dB

### 5.2 ข้อเสนอแนะ

วงจรที่ประมวลผลโหมดกระแสเป็นอีกทางเลือกหนึ่งสำหรับการออกแบบวงจรที่ต้องทำงานภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ สามารถออกแบบวงจรได้โดยใช้เทคนิคขาเกตเสมือนแบบลอย (Quasi-floating gate) และเทคนิคการป้อนสัญญาณเข้าที่ขาบอดีของทรานซิสเตอร์ (Bulk driven) วงจรโหมดกระแสสามารถนำไปประยุกต์ใช้ในวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล และวงจรกรองความถี่แบบแอกทีฟได้

## เอกสารอ้างอิง

- [1] D.A. Freitas, K.W. Current, “CMOS current comparator circuit,” Electronics Letters., vol. 19, Issue. 17, August 1983.
- [2] H. Traff, “Novel approach to high speed CMOS current comparators,” Electron Lett., vol. 28, no. 3, January 1992, pp. 310-312.
- [3] Tang, A.T.K., and Toumazou, C., “High performance CMOS current comparator,” Electron. Lett., 1994, 30, pp. 5–6.
- [4] Ravezzi, L., Stoppa, D., and Dalla Betta, G.F., “Simple high-speed CMOS current comparator,” Electron. Lett., 33, 1997, pp. 1829–1830.
- [5] L. Chen, B. Shi and C. Lu, “A Robust High-speed and Low-power CMOS Current Comparator Circuit,” Circuits and Systems, IEEE APCCAS 2000, pp174-177.
- [6] S. Khucharoensin, V. Kasemsuwan, “High Speed Low Input Impedance CMOS Current Comparator,” IEEE Trans. Fundamentals vol. E88-A, no. 6, June 2005, pp. 1549-1553.
- [7] S. Sarkar, “S. Banerjee, 500 MHz Differential Latched Current Comparator for Calibration of Current Steering DAC,” Proceeding of the IEEE Students’ Technology Symposium, 2014, pp309-312.
- [8] F. Galvez-Durand, “Low-voltage current-mode filters,” Circuits and Systems, 1996., IEEE 39th Midwest symposium, Aug. 1996.
- [9] Amendra Bhandari, Agha A. Husain, Manveen S. Chadha, Ashish Gupta, “Lossy and Lossless Current-mode Integrators using CMOS Current Mirrors,” International Journal of Scientific and Engineering Research, 9(3):2278-800, December. 2013.
- [10] H. Schmid, “Why the terms current mode and voltage mode neither divide nor qualify circuits,” Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, Phoenix-Scottsdale, AZ, 2002, pp.29-32.
- [11] Toumazou C, Lidgley FJ, Haigh D, “Analogue IC design the current-mode approach,” Presbyterian Publishing Corp, 1990.

## เอกสารอ้างอิง (ต่อ)

- [12] G. Souliotis, C. Psychalinos, “**Current-Mode Linear Transformation Filters Using Current Mirrors,**” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 55, no. 6, June 2008, pp. 541-545.
- [13] R. H. Zele, D. J. Allstot, T. S. Fiez, “**Fully-differential CMOS current-mode circuits,**” in Proc. IEEE ISCAS, 1992, pp. 2411-2414.
- [14] H. Aboushady, M. Louerat, “**Low-Power Design of Low-Voltage Current-Mode Integrators for Continuous-Time Sigma Delta Modulators,**” Circuits and Systems, 2001. ISCAS 2001., May 2001.
- [15] B. Kim, D. Kim, “**Low-Voltage current-mode integrator for channel selection filter,**” IEICE Electronics Express 2013, December 2013.
- [16] Rajesh H. Zele, “**Low-Power CMOS Continuous-Time Filters,**” IEEE JOURNAL ON SOLID-STATE CIRCUITS, VOL. 31, NO. 2, FEBRUARY 1996.
- [17] P. Mandal, V. Visvanathan, “**A self-biased high performance folded cascode Op-Amp,**” IEEE 10th International Conference on VLSI Design, 1997, pp. 429-434.
- [18] Z. Yang, T. Hinck, H.I. Cohen, A.E. Hubbard, “**Current-mode integrator for voltage-controllable low frequency continuous-time filters,**” Electronics Letters, Volume. 39, Issue. 12, 12 Jun 2003.
- [19] J. Bang, J. Song, I. Ryu, “**A CMOS Multi-Output Cross-Coupled Gain-Boosting Current-Mode Integrator,**” International Journal of Control and Automation, December 2013, pp. 139-150.
- [20] P.E. Allen, “**CMOS Analog Circuit Design, 2nd Edition Reference,**” pp 483-487.
- [21] Neeraj K. Chasta, “**High Speed Low Power Current Comparators with Hysteresis,**” International Journal of VLSI design & Communication Systems (VLSICS) Vol.3, No.1, February 2012, pp. 85-96.

## เอกสารอ้างอิง (ต่อ)

- [22] Lee, S, S. Zele H.R, Allstot, “**CMOS continuous-time Current-Mode Filter for High-frequency Applications,**” IEEE Journal of Solid-State Circuits vol.28, no.3: Mar. 1993, pp. 323-329.
- [23] T. Inoue, H. Nakane, Y. Fukuju, E. Sanchez-Sinencio “**A Design of a Low-Voltage Current-Mode Fully-Differential Analog CMOS Integrator Using FG-MOSFETs and Its Implementation,**” Analog Integrated Circuits and Signal Processing 2002, vol.32, pp. 249–256.
- [24] Smith S. L, E. Sanchez-Sinencio, “**Low voltage integrators for high-frequency CMOS filters using current mode techniques,**” IEEE Trans. Circuits Syst. II 43(1), 1996, pp. 39–48.
- [25] Saner Sa-ad, Varakorn Kasemsuwan, “**A Low Voltage Independently Tunable CMOS Current Mode Filters,**” International Conference on Robotics, Vision Information and Signal Processing (ROVISP2005), pp. 63-66.
- [26] R. Schreier and G. C. Temes, “**Understanding Delta-Sigma Data Converters**” IEEE Press, 2005.
- [27] Eugenio Di Gioia, “**An 11-bit, 12.5-MHz, Low-Power,Low-Voltage Continuous-Time Sigma-Delta Modulator in 0.13  $\mu\text{m}$  CMOS Technology,**” Tag der wissenschaftlichen Aussprache: Berlin, Dec. 2011.
- [28] HeungJun Jeon, Yong-Bin Kim, “**Offset Voltage Analysis of Dynamic Latched Comparator,**” Circuits and Systems (MWSCAS), September. 2011.
- [29] G. Zheng, Saraju P. Mohanty, E. Kougianos, “**Design and Modeling of a Continuous-Time Delta-Sigma Modulator for Biopotential Signal Acquisition: Simulink Vs Verilog-AMS Perspective,**” Computing Communication & Networking Technologies (ICCCNT), 2012 Third International Conference, July. 2012.

## เอกสารอ้างอิง (ต่อ)

- [30] H. Aboushady, M. Dessouky, E. de Lira Mendes, P. Loumeau, “**A third-order current-mode continuous-time  $\Sigma\Delta$  modulator,**” Conference: Conference: Electronics, Circuits and Systems, February. 1999.
- [31] D. Albano, M. Lanuzza, R. Taco, F. Crupi, “**Gate-level body biasing for subthreshold logic circuits Analytical modeling and design guidelines,**” International Journal of Circuit Theory and Applications 43, August. 2014, pp. 1523–1540.
- [32] H. Ananthan, Chris H. Kim, K. Roy, “**Larger-than-Vdd Forward Body Bias in Sub-0.5V Nanoscale CMOS,**” Proceedings of the 2004 international symposium on Low power electronics and design, ISLPED’04, August. 2004, pp. 8-13.
- [33] Lee HO-Y, Hsu C-M, Huang S-C, Shih Y-W, Luo C-H. “**Designing low power of sigma delta modulator for biomedical application**” Biomed Eng-Appl Bas C 2005,17 pp 181–185
- [34] Tang A, Yuan F, Law E. “**CMOS current-mode active transformer sigma-delta modulators,**” In: 51st Midwest symp. on circuits and systems; 2008. pp. 625–628.
- [35] Farshidi E, Sheini NA. “**A micropower current-mode sigma-delta modulator for biomedical applications.**” In: 17th IEEE conf. on signal processing and communications applications; 2009. pp. 856–859.
- [36] Aboushady H. “**Design for reuse of current-mode continuous time sigma-delta analog-to-digital converters.**” Ph.D. dissertation. University of Paris; 2002.
- [37] Enright D, Dedic I, Allen G. “**Continuous time sigma-delta ADC in 1.2 V 90 nm CMOS with 61 dB dynamic range in 10 MHz bandwidth,**” Fujitsu Sci Tech J 2008;44(3): pp264–273.
- [38] Musah T, Kwon S, Lakdawala H, Soumyanath K, Moon U-K. “**A 630 lW zero-crossing-based DR ADC using switched-resistor current sources in 45 nm CMOS,**” In: IEEE custom integrated circuits conference (CICC); 2009. pp. 211–214.

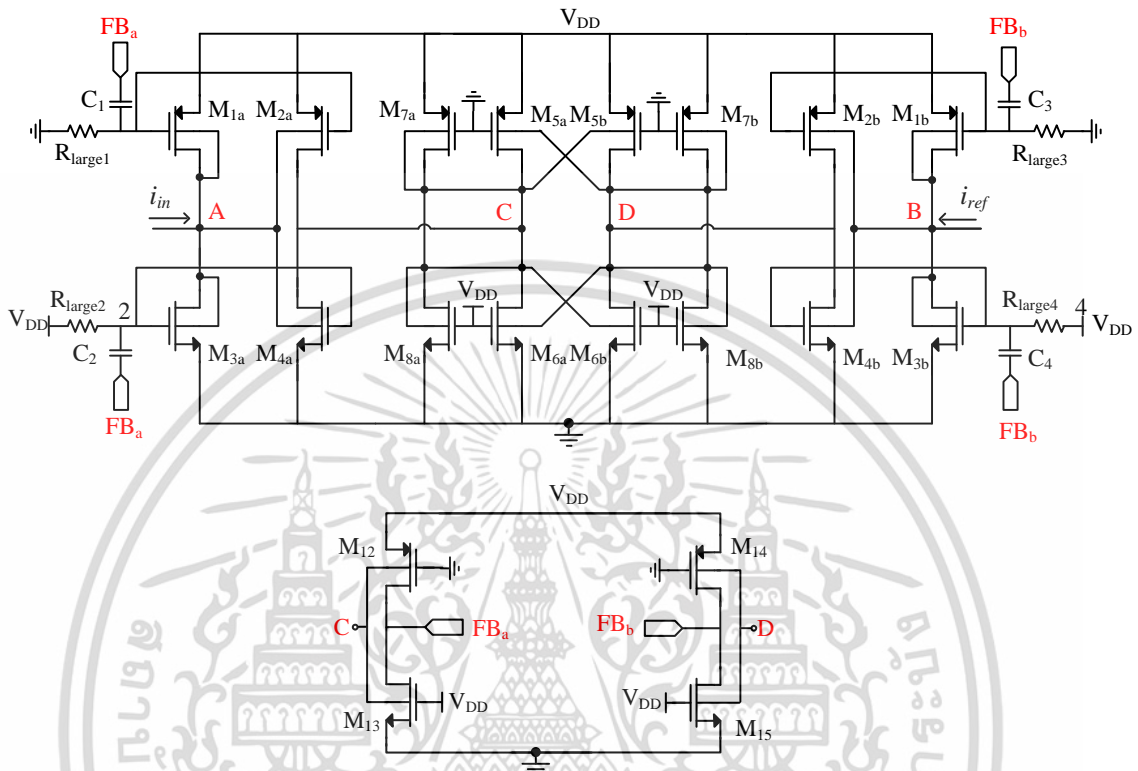


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

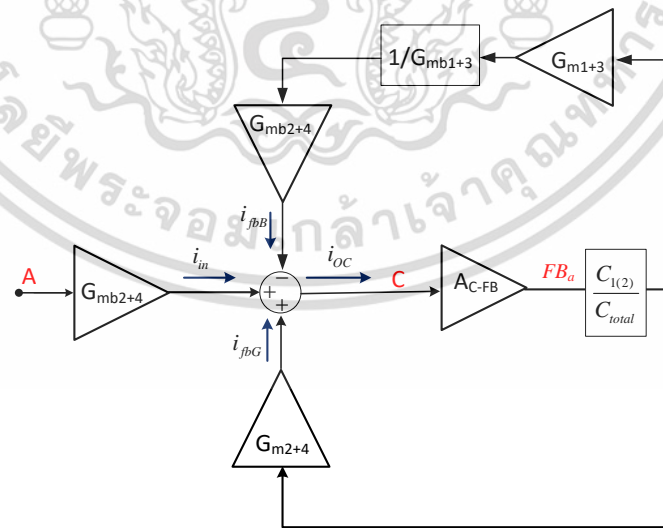


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.1 การวิเคราะห์หาความต้านทานเสมือนด้านอินพุต



รูปที่ ก.1 วงจรเปรียบเทียบสัญญาณกระแส



รูปที่ ก.2 วงจรเปรียบเทียบกระแสสำหรับวิเคราะห์ความต้านทานเสมือนด้านอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์ห้อตราขยายแรงดันจากโนด A ไปยังโนด FB เราสามารถแทนวงจรเปรียบเทียบ กระแสในรูปที่ ก.1 ด้วยวงจรป้อนกลับดังแสดงในรูปที่ ก.2 โดยที่

$$G_{mb2+4} = g_{mb2a(b)} + g_{mb4a(b)} \quad [ก1]$$

$$G_{m2+4} = g_{m2a(b)} + g_{m4a(b)} \quad [ก2]$$

$$G_{m1+3} = g_{m1a(b)} + g_{m3a(b)} \quad [ก3]$$

$$G_{mb1+3} = g_{mb1a(b)} + g_{mb3a(b)} \quad [ก4]$$

ดังนั้นห้อตราขยายจากโนด A ถึง C ( $A_{A-C}$ ) และจากโนด C ถึง FB ( $A_{C-FB}$ ) จึงมีค่าเท่ากับ

$$A_{A-C} = -(g_{mb2a(b)} + g_{mb4a(b)})R_{OC} \quad [ก5]$$

$$A_{C-FB} = -G_{m,C-FB}R_{FBa} \quad [ก6]$$

โดยที่  $R_{OC}$  คือ ความต้านทานเสมือนที่โนด C และ  $R_{FBa}$  คือ ความต้านทานเสมือนที่โนด  $FB_a$  เมื่อพิจารณาวงจรป้อนกลับในรูปที่ ก.2 แรงดันที่โนด  $FB_a$  มีค่าเท่ากับ

$$v_{FBa} = i_{OC}R_{OC}A_{C-FB} \quad [ก7]$$

โดยที่

$$i_{OC} = i_{in} + i_{fbG} - i_{fbB} \quad [ก8]$$

เมื่อ

$$i_{in} = G_{mb2+4}v_A \quad [ก9]$$

$$i_{fbG} = G_{m2+4} \frac{C_{1(2)}}{C_{total}} v_{FBa} \quad [ก10]$$

$$i_{fbB} = G_{m1+3} \frac{G_{mb2+4}}{G_{mb1+3}} \frac{C_{1(2)}}{C_{total}} v_{FBa} \quad [ก11]$$

เนื่องจากทรานซิสเตอร์  $M_{1a(b)}$  สมพจน์กับ  $M_{2a(b)}$  และ  $M_{3a(b)}$  สมพจน์กับ  $M_{4a(b)}$  เราจะได้  $i_{fbB}$  และ  $i_{OC}$  มีค่าเท่ากับ

$$i_{fbB} = G_{m1+3} \frac{C_{1(2)}}{C_{total}} v_{FBa} \quad [ก12]$$

$$i_{OC} = i_{in} + G_{m2+4} \frac{C_{1(2)}}{C_{total}} v_{FBa} - G_{m1+3} \frac{C_{1(2)}}{C_{total}} v_{FBa} \quad [ก13]$$

ดังนั้น

$$i_{OC} = i_{in} \quad [ก14]$$

จากความสัมพันธ์ของสมการ [ก7], [ก9] และ [ก14] เราจะได้อัตราขยายแรงดันจากโนด C ไปยังโนด  $FB_a$  มีค่าเท่ากับ

$$A_{A-FB} = \frac{v_{FBa}}{v_A} = G_{mb2+4} R_{OC} A_{C-FB} \quad [ก15]$$

หรือเขียนสมการใหม่ได้เป็น

$$A_{A-FB} = A_{A-C} A_{C-FB} \quad [ก16]$$

เราจะได้ความต้านทานเสมือนด้านอินพุตที่โนด A มีค่าเท่ากับ

$$R_{in} = \frac{1}{g_{mb1a(b)} + g_{mb3a(b)} + \left( \frac{C_1}{C_{total}} g_{m1a(b)} + \frac{C_2}{C_{total}} g_{m3a(b)} \right) A_{A-FB}} \quad [ก.17]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**ภาคผนวก ข.**

**ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัยที่ได้รับการตีพิมพ์ในวิทยานิพนธ์ฉบับนี้ประกอบด้วย 1 บทความ ดังนี้

[1] T.Jankatkit, V.Kasemsuwan, ‘**Low-voltage current-mode preamplifier based Latch comparator,**’ 13th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2016.



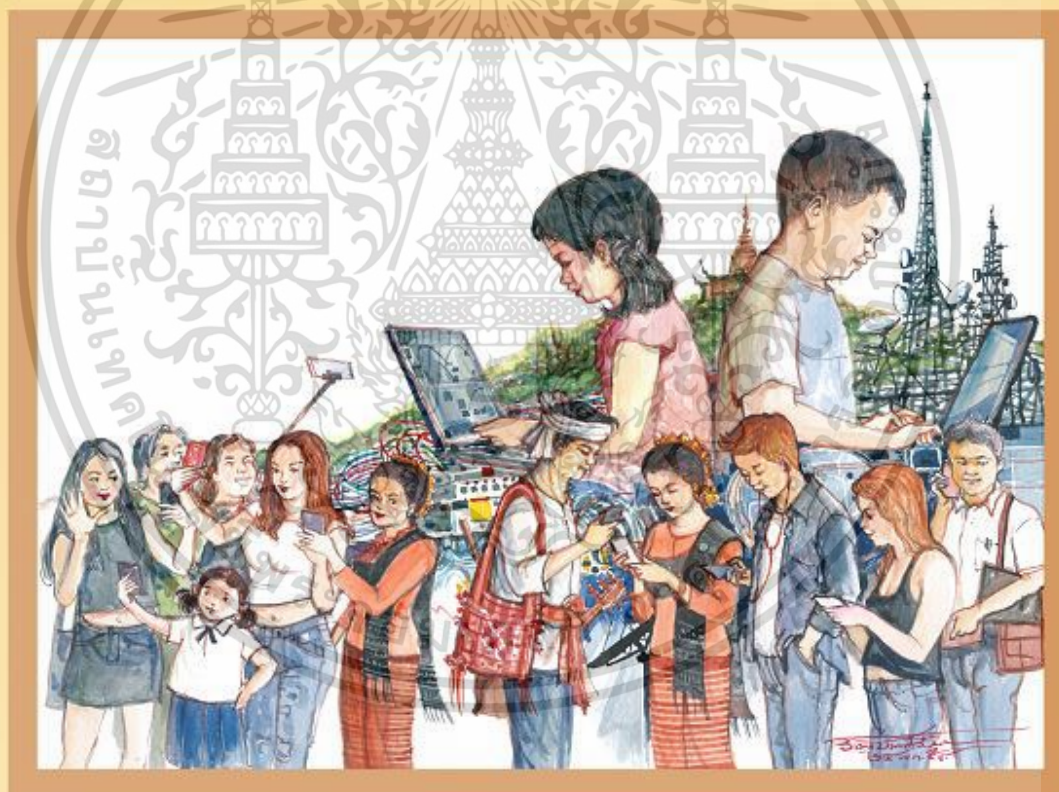
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Final Program

# ECTI-CON 2016

ChiangMai Thailand, June 28 - 1 July , 2016

13<sup>th</sup> International Conference on Electrical Engineering/Electronics  
Computer, Telecommunications and Information Technology



Illustrated by Assoc.Prof. Wichit Chomtaveewiroot

**Rajamangala University of Technology Lanna**  
**ChiangMai, Thailand**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Low-Voltage Current-Mode Preamplifier Based Latch Comparator

Thongchai Jankatkit

School of Electronics Engineering Faculty of Engineering,  
King Mongkut's Institute of Technology Ladkrabang,  
Bangkok 10520, Thailand.  
Thong.Jankatkit@gmail.com

Varakorn Kasemsuwan

School of Electronics Engineering Faculty of Engineering,  
King Mongkut's Institute of Technology Ladkrabang,  
Bangkok 10520, Thailand.  
kkvarako@kmitl.ac.th

**Abstract**— This paper presents a low-voltage latch current comparator. The circuit was designed on the basis of current mirror, preamplifier and latch circuits and also various circuit techniques; quasi-floating gate to reduce the input impedance, bulk driven technique for the circuit to be operable under low supply voltage and positive feedback to increase the gain and the overall speed. From the simulation results, which were presented with 0.18  $\mu\text{m}$  CMOS technology, the circuit can operate well at the supply voltage of 0.5 volt and the resulting propagation delay time were 2.2 nS and 1.4 nS when the input current differences are 1  $\mu\text{A}$  and 10  $\mu\text{A}$ , respectively. The total power dissipation was 79  $\mu\text{W}$ .

**Keywords**—current comparator, low voltage, dynamic latch comparator

## I. INTRODUCTION

The comparator circuit is a circuit that compares the levels of two analog input signals and provides a digital output signal, depending on the difference in the levels of the two signals. This circuit is one among many important building blocks and used in various analog circuits, such as an analog-to-digital converter, which the input signal can be either voltage or current. Furthermore, nowadays, the portable electronic devices are becoming popular, so the designed circuit should be operable at low supply voltage mainly to minimize the power dissipation. With this limitation of the supply voltage, the design of voltage-mode analog circuit is quite difficult because of the limited range of input and output signal swings. The current-mode circuit design is considered an alternative option because it can operate quite well at low supply voltage with less limitation on the signal swing.

There were many proposed current comparator circuits [1-10]. In the first period, the current comparator was comprised of two cascode current mirrors [1]. The output impedance was quite high impedance and, thus, the resulting design could not operate at the high frequencies. Then, a current comparator circuit was designed to operate at high frequencies and to reduce input impedance [2] (see Fig. 1(a)). The input section consisted of two transistors,  $M_1$  and  $M_2$  which are connected to each other in the source follower configuration. The input impedance was inversely proportional to the transconductances of  $M_1$  and  $M_2$ . The circuit can operate at high speed due to its simplicity and relatively small parasitic capacitance. However, when the input current signal was low, the both input transistors would be in

cut-off state simultaneously, causing the input impedance to be high and response time to be large. This problem has been solved by the comparator in [3-5]. A biasing method using current-source [3] was used to alleviate the dead band problem. The diode-connected was employed [4] to create a level shift so that the input transistors were biased to have an appropriate quiescent current. Then, a non-inverting amplifier was added to amplify the voltage signal at the input node [5], so that the circuit can operate much faster during the low input current.

At the same time, a resistive feedback technique [6-7] was used to reduce the input impedance. It is noted that the input current of all mentioned circuits was the difference of the two input current signals. However, the circuit performing such subtraction was not mentioned. The author in [8] used an improved Wilson current mirror to subtract two input currents and the cascade amplifier was used to get rail-to-rail output swing. The circuit suffered from an input offset current since the two input nodes were not fully symmetrical.

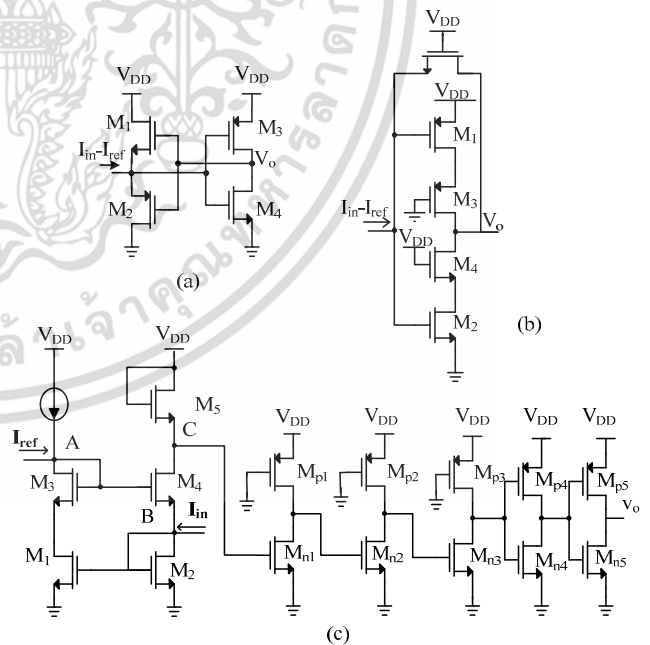


Fig. 1. Current Comparators by (a) H. Traff [2], (b) L. Chen, et al.[6] and (c) V. Kasemsuwan and S. Khucharoensin.[8].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่อนุญาตให้นำไปใช้เพื่อการค้า หรือทำซ้ำโดยไม่ได้รับอนุญาต และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In 2014, the current comparator circuit [9] which converted the current input signal to voltage before entering the preamplifier and latch voltage comparator was used [9]. Their differential structure resulted in better common mode and power supply noise rejection. This paper presented a low-voltage latch current comparator whose structure is developed based the technique used [9]. The proposed comparator can operate at the supply voltage as low as 0.5 V. A negative feedback is used to minimize the input impedance while a positive feedback is used to enhance the overall gain.

## II. CIRCUIT DESCRIPTION

Fig. 2 is a block diagram [9] of our current comparator. It consists of a differential transimpedance preamplifier (DTIA), latch and inverter. DTIA stage has the function of comparing and amplifying the input currents. The Latch comparator is used to determine which of the voltage signals from node C or D is larger by positive feedback action. The inverter stage amplifies the signal from the latch stage and provides a rail-to-rail output signal.

This scheme offers several advantages over other clock comparators; 1) Differential operation circuit shows better common mode and power supply noise rejection. 2) This method is a combination between the advantages of the preamplifier circuit's response time in a negative exponential that step response time is fast at initial (but slows down when voltage increases) and the latch circuit's response time in a positive exponential that its step response time is fast when the voltage level increase [11]. 3) Part of DTIA acts as preamplifier and also isolates the input of comparator from switching noise (or kickback noise) coming from the Latch positive feedback stage.

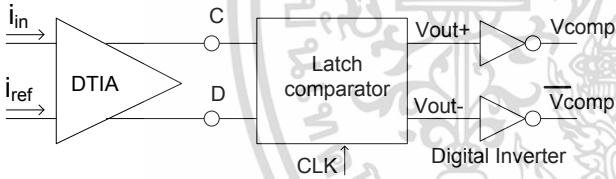


Fig. 2. Block diagram of the current comparator.

Fig. 3 shows the proposed current comparator. As can be seen, the circuit consists of differential transimpedance preamplifier (DTIA) input stage which developed from class-AB bulk-driven current mirror circuit ( $M_{1a,b}$ – $M_{4a,b}$ ) with negative resistance load ( $M_{5a,b}$ – $M_{8a,b}$ ) (see Fig. 3 a) and positive feedback latch output stage ( $M_{9a,b}$ – $M_{10a,b}$ ) (see Fig. 3 b)). The circuit operates under the control of the clock signal (Clk) via transistors  $M_{11a,b}$ . When the clock signal (Clk) is low,  $M_{11a,b}$  will be in the cut off mode and the comparator will compare the input current signals to determine the output voltage. On the contrary, when the clock signal (Clk) is high, the output is reset and the output voltages ( $V_{out+}$  and  $V_{out-}$ ) are at ground.

Quasi-floating gate is used to connect the gates of  $M_{1a,b}$  and  $M_{3a,b}$  to the  $FB_{a,b,c,d}$  nodes and the gate-to-source voltage of these transistors are either at GND or  $V_{DD}$ , respectively. This is to ensure that the transistors are strong inverted all the time.

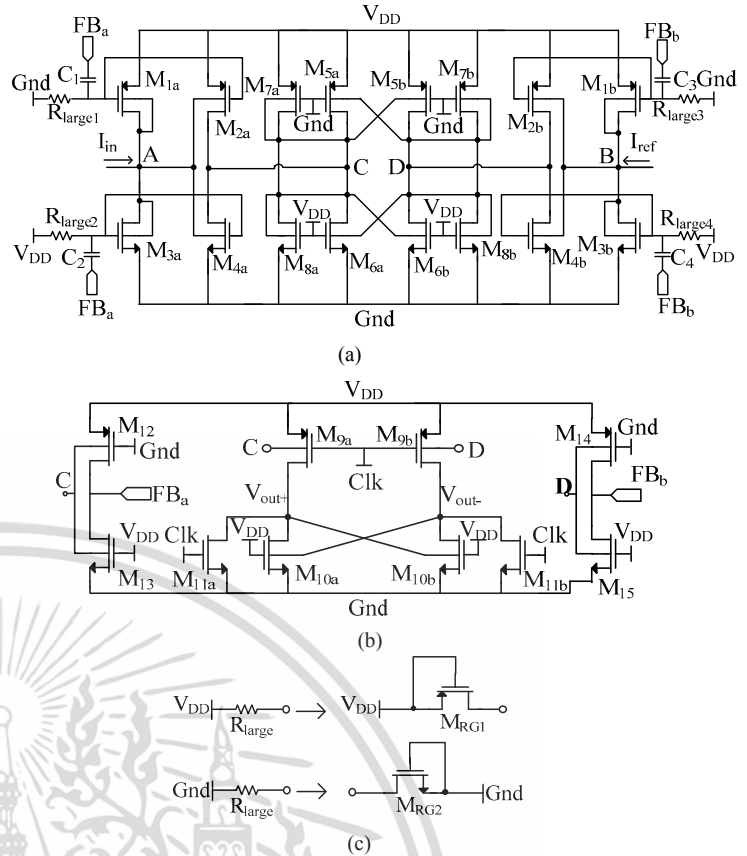


Fig. 3. The proposed low voltage current comparator circuit, (a) differential trans-impedance preamplifier (DTIA) section, (b) Latch comparator section and bulk driven CMOS inverter, (c) Transistor act as  $R_{large}$ .

When considering the class-AB bulk-driven current mirror circuit, transistors  $M_{1a,b}$  and  $M_{3a,b}$  act as current mirror and  $C_1$ – $C_4$  are used to pass the feedback signal from the latch comparator to the input current mirror. This will lower the input impedances of the circuit. The reduced input impedance helps transferring the source current to the comparator and at the same time allows the comparator to achieve a large input common mode range (ICMR).

By using straight forward small signal analysis, the input impedance of the circuit can be derived and shown as

$$R_{in} = \frac{1}{g_{mb1a} + g_{mb3a} + (g_{m1a} + g_{m3a}) \cdot A_1 \cdot A_2} \quad (1)$$

where  $A_1 = -(g_{mb2a} + g_{mb4a})(r_o // R)$ ,  $r_o = (r_{o2a} // r_{o4a} // r_{o7a} // r_{o8a} // r_{o6a})$ ,  $R = (-1/g_{mb5a}) // (-1/g_{mb6a}) // (1/g_{mb7a}) // (1/g_{mb8a})$ ,  $A_2 = -(g_{mb12} + g_{mb13})(r_{o12} // r_{o13})$ ,  $g_{mb12(13)}$  and  $r_{o12(13)}$  are the bulk transconductance and drain-source resistances of  $M_{12(13)}$ , respectively. Similarly,  $g_{mb1(3)a}$ , and  $g_{m1(2)a}$  are the bulk and gate transconductance of  $M_{1(3)a}$  and  $M_{1(2)a}$ , respectively.

It is noted that  $A_1$  can be considered as a voltage gain of node A to C, while  $A_2$  is a voltage gain of the bulk driven inverter. Transistor  $M_{5a,b}$  and  $M_{6a,b}$  are connected as negative resistance circuit to enhance the impedance at node C and D. Transistors  $M_{7a,b}$  and  $M_{8a,b}$  are diode-connected and operated as resistor to ensure the stability of the DTIA. It is noted that not only do

transistors  $M_{5a,b} - M_{8a,b}$ , work as preamplifier, which amplified signal, but also reduce offset voltage and prevent the kick back noise from the latch comparator section to the input section. It is noted that the gain of DTIA depends on the application of the current comparator. For example, if the current comparator is to be employed in analog to digital application, the transimpedance gain of DTIA will depend on the input resolution and offset of the output latch.

The output latch consists of transistors  $M_{9a,b} - M_{10a,b}$ . The latch receives the differential voltage from nodes C and D through the body of transistor  $M_{9a}$  and  $M_{9b}$ . Transistors  $M_{10a}$  and  $M_{10b}$  are cross-coupled inverter while  $M_{11a}$  and  $M_{11b}$  work as set and reset transistors depending on the Clk signal.

The operation of the current comparator circuit can be explained as follows. When the inputs  $i_{in}$  and  $I_{ref}$  are fed to the circuit. The input  $i_{in}$  flows into node A and mirrored through transistors  $M_{1a}$  and  $M_{2a}$  to  $M_{3a}$  and  $M_{4a}$ , respectively. On the other hand, the input  $I_{ref}$  flows into node B and mirrored through  $M_{1b}$  and  $M_{2b}$  to  $M_{3b}$  and  $M_{4b}$ , respectively. The total drain current from transistors  $M_{2a}$  and  $M_{4a}$  are sent to node C and the total drain current from  $M_{2b}$  and  $M_{4b}$  are sent to node D. If the current flows more to either node C or D, the voltage at that node would increase more than the other node, making the voltage at that node decreases. The differential voltage between nodes D and C is transferred to the body of transistors  $M_{9a}$  and  $M_{9b}$ , respectively. As long as Clk is low,  $M_{9a,b}$  and  $M_{10a,b}$  would operate. If the voltage at node C is higher than that at node D,  $V_{out+}$  will be low and  $V_{out-}$  will be high. This is the action of the latch transistor  $M_{10a,b}$ . When the Clk signal is high,  $V_{out+}$  and  $V_{out-}$  will be GND by transistor  $M_{11a,b}$ .

### III. SIMULATION RESULTS

The proposed comparator circuit was simulated with Cadence OrCAD Capture program, using parameters BSIM3V3. The design used 0.18 micron technology and the voltage supply of 0.5 volt. Size of transistors is summarized in Table I. The values of capacitors  $C_1 - C_4$  are 10 fF.

Fig. 4 showed that the output voltage ( $V_{out+}$ ) when the input differential current is 1  $\mu A$  square wave at the frequency of 50 MHz. As can be seen, the rise time and fall time are 1.6 nS and 0.4 nS respectively. However, it is noticed that the fall time of the differential voltage at nodes D and C ( $V_{DC}$ ) is almost 2.38 nS which is 6 times larger than that of the fall time of the output voltage. The large difference in the fall times is significant since if  $V_{DC}$  does not fall to zero, its value could affect the latch operation and result in a wrong digital output. Obviously, one has to design the preamplifier with an appropriate gain to minimize the recovery time, namely, if the gain is too large, voltage signals at node D-C will become too big which results in long fall time (and consequently large recovery time) and finally limits the clock speed. Similarly, if the preamplifier gain is too small, the differential voltage at nodes C and D will be too small and the latch comparator could not operate or the response time of comparator will become too much. Fig. 5 showed transient response of the input current signal (solid line) and output voltage signal (dot line). The input current is 10  $\mu A$  square wave at the frequency of 50 MHz. The propagation delay time was 1.4 ns. Fig. 6 shows the input current difference versus the output voltages from the output inverters and clock signal.

As can be seen, the proposed comparator showed a rail-to-rail output swing. Fig. 7 showed the input impedance of the circuit versus the input current. The maximum input impedance is 7.9 kohm and decreases when the input current is large. Table II shows a performance comparison of our proposed comparator when the input differential current is 1  $\mu A$ . As can be seen, the proposed circuit operates at the lowest supply voltage and has lowest power consumption. The delay is rather high which is mainly due to the low bias current and supply voltage.

TABLE I. TRANSISTORS' GEOMETRICAL DIMENSIONS

Transistor	W/L( $\mu m$ )	Transistor	W/L( $\mu m$ )
$M_{1a,b}, M_{2a,b}$	19.36/0.36	$M_{12}, M_{14}$	2.16/0.36
$M_{3a,b}, M_{4a,b}$	9.9/0.36	$M_{13}$	0.72/0.36
$M_{7a,b}$	2.34/0.36	$M_{10a,b}$	7.2/0.18
$M_{8a,b}$	0.72/0.36	$M_{9a,b}, M_{11a,b}$	10.8/0.36
$M_{5a,b}$	1.44/0.36	$M_{RG1}, M_{RG2}$	0.27/1.08
$M_{6a,b}$	0.36/0.36		

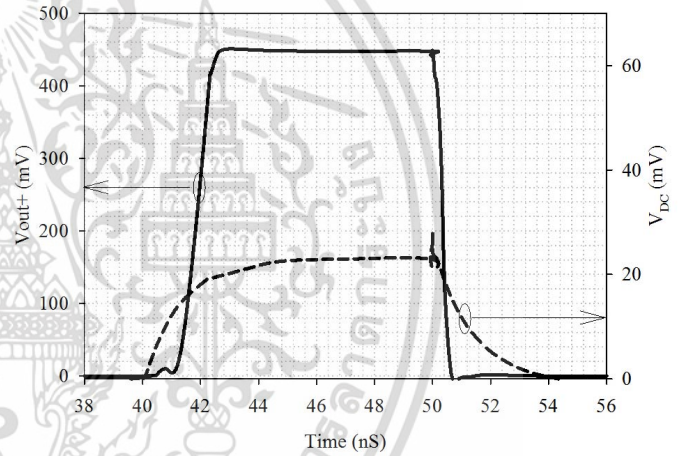


Fig. 4. Step response time of the output voltage ( $V_{out+}$ ) and the differential voltage between nodes D and C ( $V_{DC}$ ).

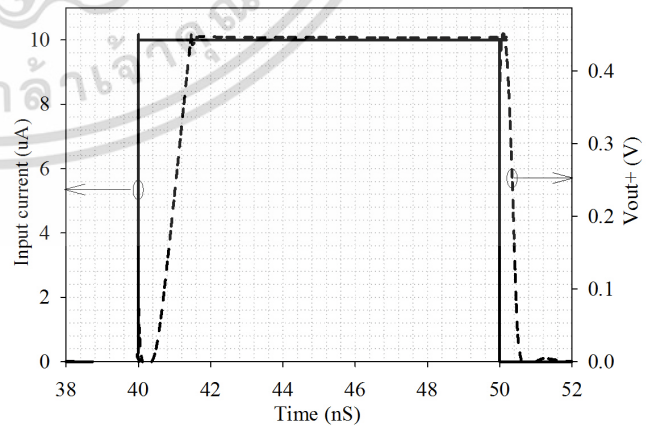


Fig. 5. Transient response (10  $\mu A$  differential input current)

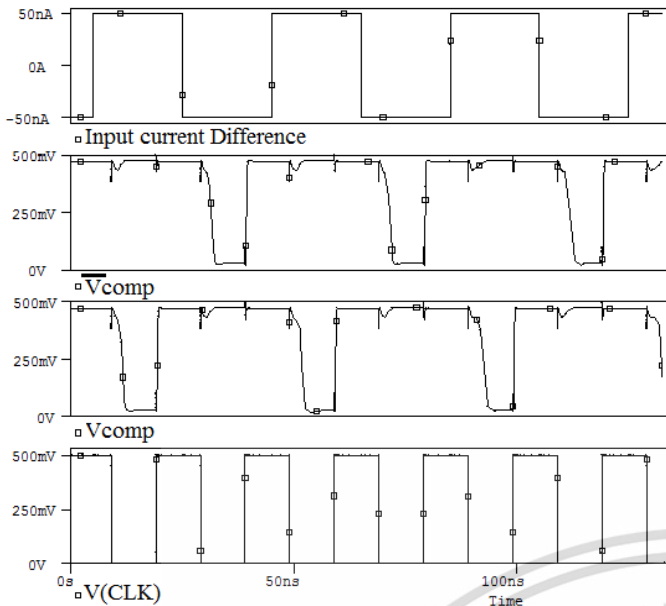


Fig. 6. Output response (50 nA differential input current)

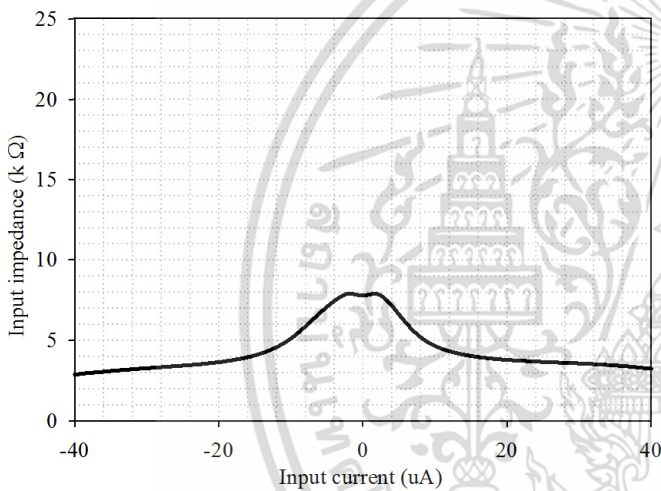


Fig. 7. Input impedance versus input current

TABLE II. PERFORMANCE COMPARISON

Ref.	[2] 1992	[3] 1992	[7] 2000	[5] 2009	[9] 2012	[10] 2014	This work
Power supply (Volt)	5	5	3	1.8	3	1.8	0.5
Power(Watt)	930u	1.4m	0.53m	NA	1.8m	697u	79u
Delay(nS)	4	3	1.2	<1	1.6	0.95	2.2
Process(um)	NA	1.6	1.2	0.18	0.18	0.18	0.18

#### IV. CONCLUSION

The proposed current comparator based on transimpedance and latch comparator is presented. Quasi floating gate and negative feedback techniques are used to allow the circuit to operate at low voltage and lower the input impedance. The

circuit can operate well at a supply voltage of 0.5 volt. The response time was found to be 1.4 ns and 2.2 ns at the 10 uA and 1 uA differential input current, respectively. The power dissipation was 79 uW.

#### REFERENCES

- [1] D. A. Freitas and K. W. Current, 'CMOS current comparator circuit,' *Electron. Lett.*, vol. 19, no. 17, August 1983, pp. 695-697
- [2] H. Traff, 'Novel approach to high speed CMOS current comparators,' *Electron. Lett.*, vol. 28, no. 3, January 1992, pp. 310-312
- [3] Tang, A.T.K., and Toumazou, C.: 'High performance CMOS current comparator', *Electron. Lett.*, 1994, 30, pp. 5-6.
- [4] Ravezzi, L., Stoppa, D., and Dalla Betta, G.F.: 'Simple high-speed CMOS current comparator', *Electron. Lett.*, 1997, 33, pp. 1829-1830.
- [5] X. Tang and K.-P. Pun 'High-performance CMOS current comparator' *ELECTRONICS LETTERS* 24th September 2009 Vol. 45 No. 20. pp. 1007-1009
- [6] L. Chen, B. Shi and C. Lu, 'A Robust High-speed and Low-power CMOS Current Comparator Circuit' *Circuits and Systems*, 2000. *IEEE APCCAS 2000*, pp174-177
- [7] G. Lifian-Cembrano, R. Del Rio-Fernandez, R. Dominguez-Castro and A. Rodriguez-Vazquez, 'Robust high-accuracy high-speed continuous-time CMOS current comparator' *Electronics Letters*, Volume 33, Issue 25, 4 December 1997, pp 2082 - 2084
- [8] V. Kasemsuwan and S. Khucharoensin, 'High Speed Low Input Impedance CMOS Current Comparator' *IEEE Trans. Fundamentals* vol. E88-A, no. 6, June 2005, pp. 1549-1553
- [9] S. Sarkar, 'S. Banerjee, 500 MHz Differential Latched Current Comparator for Calibration of Current Steering DAC' *Proceeding of the IEEE Students' Technology Symposium*, 2014, pp309-312.
- [10] Neeraj K. Chasta, 'High Speed Low Power Current Comparators with Hysteresis' *International Journal of VLSI design & Communication Systems (VLSICS)* Vol.3, No.1, February 2012, pp85-96
- [11] P.E. Allen 'CMOS Analog Circuit Design, 2nd Edition Reference' pp 483-487.

**ประวัติผู้เขียน**

ชื่อ -นามสกุล นาย ธงชัย เจนเขตรกิจ  
 วัน เดือน ปี ที่เกิด 20 มกราคม 2526  
 สถานที่เกิด เพชรบูรณ์  
 ที่อยู่ปัจจุบัน 99/540 ต.นาป่า อ.เมือง จ.ชลบุรี 2000  
 ประวัติการศึกษา

พ.ศ. 2550

วิศวกรรมศาสตรบัณฑิต วศ.บ.

สาขาวิชาวิศวกรรมไฟฟ้า

หลักสูตรวิศวกรรมศาสตรบัณฑิต

สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ (KMUTNB)

**ประวัติการทำงาน**

พ.ศ. 2550-2561

Test Engineer บริษัทแม็กชิมอินทริเกรตเต็ดโปรดักส์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้