

การออกแบบวงจรกรองที่มีฐานบนหึ่งฐานเทคโนโลยีวีเอ็มเอช
DESIGN OF CMOS-BASED MEDIAN FILTERING CIRCUITS



ลิขสิทธิ์นี้เป็นส่วนหนึ่งของงานวิจัยที่สนับสนุนโดยสำนักงานคณะกรรมการการอุดมศึกษา

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. ๒๕๕๑

KMUTL-0016-EM-D-010-111

การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส

DESIGN OF CMOS-BASED MEDIAN FILTERING CIRCUITS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2561

KMITL-2018-EN-D-018-111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF CMOS-BASED MEDIAN FILTERING CIRCUITS

ANAN WONGJAN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2018
KMITL-2018-EN-D-018-111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2018



FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส
Thesis Title Design of CMOS-based Median Filtering Circuits
นักศึกษา นายอนันต์ วงษ์จันทร์
รหัสประจำตัว 55610135
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.อัมพวัน จุลเสรีวงศ์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม Prof. Dr. Kei Eguchi
หมายเลขวิทยานิพนธ์ KMITL-2018-EN-D-018-111

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญวิจิตรธรรม	
รศ.ดร.ไสว	พงศ์สวัสดิ์	
รศ.ดร.พิทยา	ปานนิล	
ผศ.ดร.ธีรวัฒน์	เทพมณี	
รศ.ดร.อัมพวัน	จุลเสรีวงศ์	

วัน / เดือน / ปี ที่สอบ วันศุกร์ที่ 13 กรกฎาคม พ.ศ. 2561 เวลา 16.00-18.00 น.
สถานที่สอบ ณ ห้อง HM-302 อาคารเฉลิมพระเกียรติ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาวันที่ 13 กรกฎาคม พ.ศ. 2561 โดยชนด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส
นักศึกษา	นายอนันต์ วงษ์จันทร์
รหัสประจำตัว	55610135
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. อัมพวัน จุลเสรีวงศ์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม	Prof.Dr. Kei Eguchi

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอเทคนิคในการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสจำนวน 2 เทคนิค คือ เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแสในการสร้างวงจรกรองมัธยฐานที่มีความเร็วสูงและความผิดเพี้ยนของสัญญาณเอาต์พุตต่ำ และเทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองโดยใช้อินเวอร์เตอร์แบบนิรอนซีมอสที่ถูกควบคุมด้วยสัญญาณนาฬิกาในการออกแบบวงจรกรองมัธยฐานที่ใช้กำลังงานต่ำซึ่งเป็นวงจรที่เหมาะสมสำหรับเครื่องมือแพทย์ที่ฝังในร่างกาย โดยสมรรถนะการทำงานของวงจรกรองมัธยฐานทั้งสองวงจรมีความแม่นยำได้จากการเลียนแบบการทำงานด้วยโปรแกรม SPICE ผลการเลียนแบบการทำงานแสดงให้เห็นว่า ไม่เพียงแต่วงจรที่ออกแบบด้วยเทคนิคแรกสามารถลดความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุตประมาณ 30% เมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้วงจรย่อยค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตต่อร่วมกันในโครงข่ายการเรียงลำดับแบบฟองซึ่งถูกนำเสนอในอดีตเท่านั้น แต่วงจรที่ออกแบบด้วยเทคนิคที่สองสามารถลดการใช้กำลังงานประมาณ 37% เมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้วงจรอินเวอร์เตอร์แบบนิรอนซีมอสซึ่งถูกนำเสนอในอดีตอีกด้วย นอกจากนี้ ในวิทยานิพนธ์นี้ยังได้นำเสนอการเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานระดับบิตที่สร้างด้วยอัลกอริทึมการค้นหาระบบฐานสองโดยใช้ผลการเลียนแบบการทำงานด้วยโปรแกรม LabVIEW

Thesis	Design of CMOS-Based Median Filtering Circuits
Student	Mr. Anan Wongjan
Student ID.	55610135
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2018
Thesis Advisor	Assoc.Prof.Dr. Amphawan Julsereewong
Thesis Co-Advisor	Prof.Dr. Kei Eguchi

Abstract

This thesis presents two techniques to design median filtering circuits by using complementary metal oxide semiconductor (CMOS) technology. The first technique based on analog maximum (max) and minimum (min) functions employs three-input max/min cell and current mirrors to realize a current-mode median filtering circuit, which provides high speed operation and small distortion on output signals. The latter technique based on binary search algorithm employs clocked neuron CMOS inverters to realize a low-power median filtering circuit, which is suitable for implantable electronic medical devices. The performances of two proposed median filtering circuits are confirmed by simulation program with integrated circuit emphasis (SPICE) simulations. The simulated results demonstrate that not only the proposed circuit based on the first technique can reduce about 30% corner error from the conventional circuit using two-input max/min cells connected in bubble sort configuration, but also the proposed circuit based on the latter technique can reduce about 37% power consumption from the conventional circuit using CMOS neuron inverters. Moreover, the performance comparison of bit-level median filtering circuits based on binary search algorithm by LabVIEW simulation results is also proposed.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จลุล่วงด้วยดี ด้วยความรู้ ความคิดริเริ่ม คำแนะนำและคำปรึกษาในการแก้ไขปัญหาต่างๆ อย่างทุ่มเทจาก รศ.ดร.อัมพวัน จุลเสรีวงศ์ ซึ่งเป็นอาจารย์ที่ปรึกษาวิทยานิพนธ์ และ Professor Dr. Kei Eguchi ซึ่งเป็นอาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม ที่ได้กรุณาเสียสละเวลาอันมีค่า ตลอดจนสั่งสอนให้คำปรึกษาชี้แนะแนวทางและแนวความคิดในงานวิจัย รวมทั้งเป็นแบบอย่างที่ดี ผู้เขียนรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมการวัดและควบคุม (สาขาวิชาวิศวกรรมอัตโนมัติ) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่าน ที่ได้ประสิทธิ์ประสาทวิชาความรู้ และให้ความอนุเคราะห์ในด้านต่าง ๆ

ขอกราบขอบพระคุณอาจารย์ รศ.ประสิทธิ์ จุลเสรีวงศ์ (สาขาวิชาวิศวกรรมอัตโนมัติ) และ ศ.ดร.วันชัย ธีรวัจจา (สาขาวิชาวิศวกรรมระบบควบคุม) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้กรุณาให้ความรู้ อบรมฝึกฝนขัดเกลาผู้เขียน ให้การสนับสนุน และให้กำลังใจ ตลอดจนให้คำปรึกษาและแนวคิดในการดำรงชีวิต

ขอกราบขอบพระคุณ ดร.อภิรักษ์ ฤกษ์รัตน์ และ ผศ.ดร.วรรณดี เพชรมณีล้ำค่า (สาขาวิชาวิศวกรรมระบบควบคุม) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังสำหรับกำลังใจ และช่วยเหลือตลอดจนให้คำปรึกษาในทุก ๆ ด้าน

ขอกราบขอบพระคุณ บิดา และมารดาที่เป็นกำลังใจ คอยดูแลห่วงใย และให้การสนับสนุน ข้าพเจ้าทุก ๆ เรื่องมาโดยตลอด และญาติพี่น้องทุกคนที่เป็นกำลังใจจนสำเร็จการศึกษาในครั้งนี้

สุดท้ายนี้ข้าพเจ้าหวังเป็นอย่างยิ่งว่า วิทยานิพนธ์นี้จะเป็นประโยชน์ให้กับผู้ที่สนใจและผู้ที่ได้ทำการศึกษาการประยุกต์ใช้การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอสได้

อนันต์ วงษ์จันทร์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	V
สารบัญตาราง.....	IX
สารบัญรูป.....	X
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์.....	3
1.4 ขอบเขตวิทยานิพนธ์.....	3
1.5 รายละเอียดของวิทยานิพนธ์.....	4
บทที่ 2 หลักการและทฤษฎีที่ใช้ในวิทยานิพนธ์.....	5
2.1 กล่าวนำ.....	5
2.2 วงจรหาค่าสูงสุด ค่ากลาง หรือค่าต่ำสุดที่เคยถูกนำเสนอในอดีต.....	5
2.2.1 วงจรหาค่าสูงสุดแบบ 3 อินพุตที่นำเสนอโดย C. Y. Huang และคณะ.....	6
2.2.2 วงจรหาค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอโดย C. J. Wang และคณะ.....	8
2.2.3 วงจรหาค่าสูงสุด ค่ากลาง และค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอโดย M. Kaewrongkool และคณะ.....	10
2.2.4 วงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ.....	14
2.2.5 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตที่นำเสนอโดย S. Keawconthai และคณะ.....	19
2.3 หลักการรองรับมาตรฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง.....	23
2.4 บทสรุป.....	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และv ้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 3 กลุ่มวงจรย่อยที่ใช้ในวิทยานิพนธ์.....	30
3.1 กล่าวนำ.....	30
3.2 วงจรสะท้อนกระแสแบบพื้นฐาน.....	30
3.2.1 การวิเคราะห์คุณสมบัติการทำงาน.....	31
3.2.2 การวิเคราะห์อัตราการขยายผลตอบสนองทางความถี่.....	32
3.2.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	33
3.2.4 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	34
3.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	34
3.3.1 การวิเคราะห์คุณสมบัติการทำงาน.....	35
3.3.2 การวิเคราะห์อัตราการขยายผลตอบสนองทางความถี่.....	35
3.3.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	36
3.3.4 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	36
3.4 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1.....	37
3.4.1 การวิเคราะห์คุณสมบัติการทำงาน.....	37
3.4.2 การวิเคราะห์อัตราการขยายผลตอบสนองทางความถี่.....	38
3.4.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	39
3.4.4 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	40
3.5 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2.....	40
3.5.1 การวิเคราะห์คุณสมบัติการทำงาน.....	40
3.5.2 การวิเคราะห์อัตราการขยายผลตอบสนองทางความถี่.....	41
3.5.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	42
3.5.4 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	43
3.6 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต.....	44
3.7 วงจรควบคุมลอจิก.....	47
3.7.1 วงจรควบคุมลอจิกแบบที่ 1.....	47
3.7.2 วงจรควบคุมลอจิกแบบที่ 2.....	47
3.8 วงจรเลือกข้างมาก.....	48
3.8.1 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอส.....	49
3.8.2 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลง.....	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และVI้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.8.3 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต.....	50
3.8.4 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส.....	50
3.9 บทสรุป.....	53
บทที่ 4 การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซิมอสที่นำเสนอ.....	54
4.1 กล่าวนำ.....	54
4.2 วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ.....	54
4.2.1 การทำงานของวงจร.....	54
4.2.2 ผลการเลียนแบบการทำงาน.....	58
4.3 วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ.....	66
4.3.1 โครงสร้างหลักและการทำงานของวงจร.....	66
4.3.2 วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอสที่นำเสนอ.....	67
4.3.3 การเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานที่ใช้วงจรควบคุมลอจิกและวงจรเลือกข้างมากที่สนใจโดยใช้โปรแกรม LabVIEW.....	70
4.4 บทสรุป.....	74
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะแนวทางการวิจัยต่อ.....	77
5.1 สรุปผลการวิจัย.....	77
5.2 ข้อเสนอแนะแนวในการทำวิจัยต่อ.....	78
เอกสารอ้างอิง.....	79
ภาคผนวก ก. สัญลักษณ์และวงจรสมมูลของมอสเฟต.....	87
ก.1 สัญลักษณ์ของมอสเฟต.....	87
ก.2 วงจรสมมูลแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	89
ก.3 คุณสมบัติการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว.....	91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และVIของอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ภาคผนวก ข. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส.....	95
ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	95
ข.1.1 การวิเคราะห์ผลตอบสนองทางความถี่.....	95
ข.1.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	96
ข.1.3 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	97
ข.2 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	99
ข.2.1 การวิเคราะห์ผลตอบสนองทางความถี่.....	99
ข.3 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1.....	101
ข.3.1 การวิเคราะห์ผลตอบสนองทางความถี่.....	101
ข.3.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	103
ข.3.3 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	104
ข.4 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2.....	106
ข.4.1 การวิเคราะห์ผลตอบสนองทางความถี่.....	106
ข.4.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	108
ข.4.3 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	109
ภาคผนวก ค. ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกและวงจรเลือกข้างมาก โดยใช้โปรแกรม LabVIEW.....	111
ค.1 ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิก	111
ค.2 ขั้นตอนการเลียนแบบการทำงานของวงจรเลือกข้างมาก	117
ค.3 ขั้นตอนการยุบบล็อกของโปรแกรม NI Multisim เพื่อนำไปต่อใช้งานร่วมกับ โปรแกรม LabVIEW.....	119
ภาคผนวก ง. บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารและการประชุมวิชาการระดับนานาชาติ	121
ประวัติผู้เขียน.....	158

สารบัญตาราง

ตารางที่	หน้า
2.1 วงจรกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง โดยมีขนาดหน้าต่าง w เท่ากับ 5 และความยาวบิต N เท่ากับ 4.....	24
2.2 เริ่มต้นจากบิตที่มีความสำคัญที่สุด (MSB) พิจารณาค่าสมาชิกทุกตัว ที่ $k = 3$	24
2.3 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 2$	25
2.4 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 1$	26
2.5 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 0$	27
3.1 ผลการเลียนแบบการทำงานของวงจรควบคุมลอจิก.....	48
4.1 การกำหนดค่าอัตราส่วนของความกว้างและความยาวแขนแนล (W/L) ของ มอสทรานซิสเตอร์ที่ใช้ในการเลียนแบบการทำงานของ.....	58
4.2 การจับคู่ในการเลือกใช้วงจรควบคุมลอจิกและวงจรถูกเลือกข้างมาก.....	67
4.3 การกำหนดค่าอินพุตที่ป้อนให้กับวงจรกรองมัธยฐาน.....	68
4.4 สรุปจำนวนอุปกรณ์ของวงจรกรองมัธยฐานในการเปรียบเทียบ 3 กรณี.....	69
4.5 การจับคู่วงจรควบคุมลอจิกและวงจรถูกเลือกข้างมากที่สนใจ.....	70
4.6 อุปกรณ์ที่ใช้ในการเลียนแบบการทำงานของ.....	70
4.7 ผลการทดลองการเลียนแบบการทำงานของวงจรควบคุมลอจิกแสดงค่าเวลาที่ใช้ในการ ทำงานและค่าการใช้กำลังงานไฟฟ้าของวงจรควบคุมลอจิก.....	71
4.8 ผลการทดลองการเลียนแบบการทำงานมีขนาดหน้าต่าง W ตั้งแต่ 1 ถึง 9 ค่าเวลาที่ใช้ใน การทำงานกับค่าการใช้กำลังงานไฟฟ้าของวงจรถูกเลือกข้างมาก.....	72
4.9 ผลการเลียนแบบการทำงานของเวลาที่ใช้ในการทำงานเมื่อ $N = 4$	72
4.10 ผลการเลียนแบบการทำงานของเวลาที่ใช้ในการทำงานเมื่อ $N = 8$	73
4.11 ค่าการใช้กำลังงานไฟฟ้าเมื่อ $N = 4$	73
4.12 ค่าการใช้กำลังงานไฟฟ้าเมื่อ $N = 8$	73
4.13 ผลการเปรียบเทียบสมรรถนะของวงจรกรองมัธยฐาน.....	74

สารบัญรูป

รูปที่	หน้า
2.1 วงจรหาค่าสูงสุดแบบหลายอินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67].....	6
2.2 วงจรหาค่าต่ำสุดแบบ 3 อินพุตแบบซีมอสที่นำเสนอโดย C. J. Wang และคณะ [68].....	8
2.3 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31].....	11
2.4 โครงสร้างการทำงานวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31]	13
2.5 วงจรหาค่าสูงสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35]....	14
2.6 วงจรหาค่าต่ำสุดชนิดหลายอินพุตที่มีพื้นฐานการทำงานมาจากวงจรหาค่าสูงสุดที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35].....	18
2.7 โครงสร้างการทำงานของวงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตที่นำเสนอโดย S. Keawconthai [37].....	19
2.8 วงจรหาค่าสูงสุดแบบหลายอินพุต.....	21
2.9 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตสำหรับสัญญาณกระแส.....	22
3.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	31
3.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน.....	32
3.3 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสแบบพื้นฐาน...	33
3.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐาน	33
3.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน.....	34
3.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	35
3.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต	36
3.8 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1.....	37
3.9 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1.....	39
3.10 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1.....	39
3.11 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2.....	41
3.12 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2.....	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และ X อังอาจอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.13 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสโดยใช้ เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2.....	43
3.14 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต.....	44
3.15 วงจรควบคุมลอจิกแบบที่ 1 [25].....	47
3.16 วงจรควบคุมลอจิกแบบที่ 2 [44].....	47
3.17 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอส [42].....	49
3.18 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสตัดแปลง [43].....	49
3.19 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25].....	50
3.20 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซีมอส [44].....	51
4.1 โครงสร้างหลักวงจรรองรับฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุด แบบ 3 อินพุตที่นำเสนอ.....	55
4.2 สัญลักษณ์ของวงจรที่นำเสนอ.....	55
4.3 วงจรรองรับฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต ที่นำเสนอ.....	56
4.4 ผลตอบสนองชั่วขณะของวงจรรองรับฐานที่นำเสนอโดยการป้อนกระแสอินพุตเป็น สัญญาณสามเหลี่ยม.....	59
4.5 ผลการเลียนแบบการทำงานของวงจรรองรับฐานที่นำเสนอโดยการป้อนกระแสอินพุต เป็นสัญญาณไฟฟ้ากระแสสลับ.....	60
4.6 ผลการเลียนแบบการทำงานสำหรับการเปลี่ยนแปลงแบบชั่วขณะในการหาค่า ความผิดพลาดที่มุ่งจุดตัดระหว่างสัญญาณอินพุต.....	61
4.7 ผลการทดลองในการหาค่าสูงสุด และหาค่าต่ำสุดแบบ 2 อินพุต [31].....	63
4.8 การป้อนอินพุต i_1 , i_2 และ i_3 เพื่อหาค่าความผิดพลาดที่มุ่งจุดตัดระหว่างสัญญาณอินพุต	64
4.9 ผลการเลียนแบบการทำงานด้วยวงจรโครงข่ายการเรียงลำดับแบบฟอง [31].....	64
4.10 ผลตอบสนองความถี่ของวงจรรองรับฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและ ค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ.....	65
4.11 โครงสร้างหลักของวงจรรองรับฐานที่ใช้อัลกอริทึมหลักการค้นหาในระบบฐานสอง.....	66
4.12 ผลการเลียนแบบการทำงานของวงจรรองรับฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซีมอส	68
4.13 ผลการเลียนแบบการทำงานของวงจรรองรับฐานในการเปรียบเทียบการใช้กำลังงาน ไฟฟ้าของวงจรรองรับฐาน 3 กรณี.....	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และ Xiong อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
ก.1 สัญลักษณ์ของมอสเฟตเอ็นมอส.....	87
ก.2 สัญลักษณ์ของมอสเฟตพีมอส.....	87
ก.3 วงจรสมมูลการทำงานเอ็นมอสที่ทำงานในช่วงอิมิตัวสำหรับสัญญาณขนาดเล็ก.....	89
ก.4 การวิเคราะห์ด้วยมือวงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอส.....	90
ก.5 วงจรการเลียนแบบการทำงานด้วยโปรแกรม SPICE ในการหาค่าพารามิเตอร์ค่าแรงดัน ขีดเริ่มเปลี่ยนของมอสเฟตและการนำกระแส.....	91
ก.6 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	91
ก.7 ตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	92
ก.8 ตัวอย่างวงจรที่ไม่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	92
ก.9 ผลการเลียนแบบการทำงานความเร็วในการสวิตช์ Off ระหว่างมอสเฟต M_3 วงจรที่มี การไบแอสเปรียบเทียบกับมอสเฟต M_5 วงจรที่ไม่มีการไบแอส.....	93
ก.10 ผลการเลียนแบบการทำงานความเร็วในการสวิตช์ On ระหว่างมอสเฟต M_2 วงจรที่มี การไบแอสเปรียบเทียบกับมอสเฟต M_4 วงจรที่ไม่มีการไบแอส.....	93
ก.11 ผลการเลียนแบบการทำงานแสดงกระแสเอาต์พุต i_{D2} วงจรที่มีการไบแอสมอสเฟต.....	94
ก.12 ผลการเลียนแบบการทำงานแสดงกระแสเอาต์พุต i_{D4} วงจรที่ไม่มีการไบแอสมอสเฟต...	94
ค.1 การเลียนแบบการทำงานวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim.....	111
ค.2 การเลียนแบบการทำงานวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim เพื่อหาค่า การใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด.....	111
ค.3 การเลียนแบบการทำงานของวงจรควบคุมลอจิก.....	112
ค.4 วงจรควบคุมลอจิกที่สร้างอุปกรณ์จริงต่อร่วมกับอุปกรณ์ NI ELVIS II ⁺	112
ค.5 ส่วนแสดงผลโปรแกรม LabVIEW 2016 (Display) ในการทดสอบวงจรควบคุมลอจิก.....	113
ค.6 Block Diagram ทดสอบวงจร Logic Circuit (LC).....	113
ค.7 ตัวอย่างการทดลองโดยกำหนดค่าอินพุต 0001.....	114
ค.8 ตัวอย่างการทดลองโดยกำหนดค่าอินพุต 0111.....	115
ค.9 Block Diagram LabVIEW Auto Test ของวงจร Logic Circuit	115
ค.10 ส่วนแสดงผล Display LabVIEW Auto Test ของวงจร Logic Circuit	116
ค.11 การทดสอบวงจร Logic Circuit โดยแสดงการทดสอบโดยแสดงรายละเอียดอินพุต ในเลขไบนารี (Binary) คือ ตัวเลข 6 และ ตัวเลข 12.....	117

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และ XIP อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
ค.12 การเลียนแบบการทำงานวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสด้วยโปรแกรม NI Multisim.....	117
ค.13 การเลียนแบบการทำงานวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสด้วยโปรแกรม NI Multisim เพื่อหาค่าการใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด.....	117
ค.14 การเลียนแบบการทำงานวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลงด้วยโปรแกรม NI Multisim เพื่อหาค่าการใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด.....	118
ค.15 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลง Window Size ขนาด 3 อินพุต ในโปรแกรม NI Multisim.....	119
ค.16 การ Save File แบบ Hierarchical Block from File.....	119
ค.17 บล็อกไดอะแกรมวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลงที่มีหน้าต่างขนาด 3 อินพุต.....	120
ค.18 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลงซึ่งทำการแปลงเป็นบล็อกไดอะแกรมโดยการนำไปใช้ในโปรแกรม LabVIEW.....	120

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

การกรองมัธยฐาน (Median Filtering) [1]-[2] เป็นการหาข้อมูลของสมาชิก ณ จุดกึ่งกลางจัดเป็นประเภทตัวกรองแบบไม่เป็นเชิงเส้น (Nonlinear Filter) โดยอยู่บนพื้นฐานของสถิติเชิงอันดับ (Order Statistics) ในต้นทศวรรษที่ 1970 J. W. Tukey [3] ได้นำเสนอหลักการกรองมัธยฐานสำหรับข้อดีของการกรองมัธยฐานคือ มีการคำนวณที่ไม่ซับซ้อนและสามารถนำไปประยุกต์ใช้ในงานมากมายหลายด้านเช่น การวิเคราะห์ประมวลผลภาพ (Image Processing) [4]-[6] การประยุกต์ใช้งานทางด้านทีวี [7]-[8] การประยุกต์ใช้งานทางด้านวิดีโอ [9] และการประมวลผลทางเสียง [10]-[12] เนื่องจากวงจรกรองมัธยฐานมีคุณสมบัติกำจัดสัญญาณรบกวนแบบอิมพัลส์ (Impulse Noise) [13] ได้ดี และในการประมวลผลภาพมีคุณสมบัติในการรักษาขอบภาพโดยไม่ทำลายข้อมูลภาพ

นอกจากนี้ การกรองมัธยฐานยังสามารถนำไปประยุกต์ใช้กับอุปกรณ์ทางการแพทย์ที่ฝังในร่างกาย (Implantable Electronic Medical Devices) ซึ่งได้รับความสนใจเป็นอย่างมากในช่วงไม่กี่ปีที่ผ่านมาดังเช่น การพัฒนาระบบประสาทผ่านตาเทียม [14]-[16] เป็นหนึ่งในปัญหาที่ทำลายมากที่สุด โดยระบบประสาทผ่านตาเทียมทำหน้าที่ทดแทนประสาทการรับรู้ทางสายตาในการประมวลผลภาพ ซึ่งต้องใช้วงจรกรองมัธยฐาน [17]-[29] เพื่อลดสัญญาณรบกวน (Reduce Noise) จากการนำเข้าของภาพ (Input Image) โดยในการออกแบบไม่เพียงแต่จะต้องให้วงจรมีขนาดเล็ก [24] แต่ยังคงพัฒนาให้มีความเร็วในการประมวลผลและการใช้กำลังงานที่ต่ำอีกด้วย [26]-[29] เพื่อให้มีประสิทธิภาพมีอายุการใช้งานที่ยาวนาน

วงจรกรองมัธยฐานสำหรับสัญญาณแอนะล็อกสามารถสร้างได้จากวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุต [30]-[32] หรือสามารถสร้างได้จากโครงข่ายการเรียงลำดับแบบฟอง (Bubble Sort Configuration) [31], [33] นอกจากนี้ วงจรกรองมัธยฐานยังเหมาะแก่การนำไปสร้างเป็นวงจรรวม (Integrated Circuit) เนื่องจากออกแบบด้วยซีมอสพื้นฐาน แต่อย่างไรก็ตาม ข้อจำกัดหลักของการนำวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตดังกล่าว มีการใช้อุปกรณ์เป็นจำนวนมาก ดังนั้นเพื่อที่จะสร้างวงจรให้มีขนาดเล็กลง จึงได้มีการพัฒนางจรกรองมัธยฐานที่สร้างจากวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต [34] ได้ถูกนำเสนอ แต่อย่างไรก็ตาม วงจรนี้มีโครงสร้างมาจากวงจรสายพานกระแสที่ถูกควบคุมด้วยกระแส (Current-Controlled Current Conveyor) โดยการใช้มอสเฟต (MOSFET) จำนวน 3 ตัว ซึ่งทำให้เกิดความผิดพลาดสูงที่มุมจุดตัดระหว่างสัญญาณอินพุต (Corner Error) เนื่องจากการเปลี่ยนสถานะการทำงานของมอสเฟตจากสถานะการนำกระแส (On) และสถานะไม่นำกระแส (Off) ทำได้ช้า เพื่อต้องการลดความผิดพลาดดังกล่าวจึงได้มีการนำเสนองจรหา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าสูงสุดแบบหลายอินพุต [35] โดยใช้เทคนิคการออกแบบวงจรซีมอสที่ถูกไบอัสให้อยู่บริเวณขอบของการนำกระแสซึ่งช่วยลดความผิดพลาดของคุณสมบัติการสะท้อนกระแสให้น้อยลง ซึ่งได้มีผู้นำเอาหลักการนี้เสนองานวิจัยในเวลาต่อมาบนพื้นฐานฟังก์ชันการหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุต [36]-[37] แต่จะมีเพียงแต่การหาค่าสูงสุดและค่าต่ำสุดเท่านั้น แต่ยังคงขาดการหาค่ามัธยฐาน เพื่อแก้ปัญหาดังกล่าวมาข้างต้นจึงเป็นที่มาและความสำคัญของปัญหาในวิทยานิพนธ์ที่นำเสนอนี้ ซึ่งวิทยานิพนธ์นี้นำเสนอเทคนิคในการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอส จำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส [38] เพื่อใช้ในการหาค่ามัธยฐาน

นอกจากนี้ ยังมีเทคนิคที่น่าสนใจในการออกแบบวงจรกรองมัธยฐาน คือ เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาแบบฐานสอง [25], [39] เพื่อลดสัญญาณรบกวนจากสัญญาณหรือภาพเป็นคุณสมบัติหลักที่จำเป็นต่อการประมวลผลตามเวลาจริง ซึ่งในงานวิจัย [40] ได้นำเสนอวิธีการประมวลผลที่รวดเร็วโดยใช้การเปรียบเทียบการค้นหาในระบบฐานสองแบบกิ่ง (Binary Search Tree) ในการคำนวณค่ามัธยฐานของตัวอย่างอินพุต และการค้นหาแบบฐานสองยังสามารถสร้างเป็นชิ้นงานจริงได้ในงานวิจัย [41]-[44] นอกจากนี้ การใช้ฟังก์ชันบูลีนแบบบวกเพื่อที่จะสร้างวงจรกรองมัธยฐานในระดับบิต (Bit-Level) โดยใช้อัลกอริทึมการค้นหาในระบบฐานสองได้ถูกนำเสนอ [41] และสำหรับตัวอย่างอินพุตที่มีหน้าต่าง (Window) ขนาดใหญ่ ซึ่งนำวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอส [42] มาใช้แทนฟังก์ชันบูลีนแบบบวกที่มีความซับซ้อนและสามารถสร้างชิ้นงานจริงโดยใช้อุปกรณ์ที่น้อยกว่าสำหรับการสร้างวงจรกรองมัธยฐาน นอกจากนี้ ยังได้มีการนำเสนองจรเลือกข้างมากโดยใช้อินเวอร์เตอร์ซีมอสแบบดัดแปลง [43] และวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต (Floating Gate-Inverter) [25] เพื่อที่จะลดค่าการใช้กำลังงานไฟฟ้าของวงจรเลือกข้างมากที่เป็นส่วนหนึ่งของวงจรกรองมัธยฐาน เพื่อแก้ปัญหาค่าการใช้กำลังไฟฟ้างกล่าว จึงเป็นที่มาและความสำคัญของปัญหาในวิทยานิพนธ์ที่นำเสนอนี้ ในการนำเสนอเทคนิคที่สองการออกแบบวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิรอนซีมอส [44] ที่ถูกควบคุมด้วยสัญญาณนาฬิกาในการออกแบบวงจรกรองมัธยฐานโดยใช้กำลังงานไฟฟ้าที่ต่ำ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้ได้มีวัตถุประสงค์เพื่อนำเสนอการออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส เหมาะสำหรับเครื่องมือแพทย์ที่ฝังในร่างกายโดยมีเป้าหมายเพื่อให้ได้วงจรกรองมัธยฐานที่มีขนาดเล็ก ใช้พื้นที่ในการสร้างวงจรมีขนาดเล็ก สามารถใช้กับแหล่งจ่ายไฟแรงดันต่ำได้ และมีการใช้กำลังงานไฟฟ้าที่ต่ำ นอกจากนี้ งานทางด้านการประมวลผลภาพโดยมีเป้าหมายให้มีประสิทธิภาพในการทำงานที่มีความแม่นยำดี มีความเร็วสูงในการทำงาน มีความผิดพลาดของสัญญาณเอาต์พุตต่ำ และช่วงปฏิบัติการทางความถี่ในย่านกว้าง สามารถต่อยอดนำไปพัฒนาสร้างเป็นวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

วิทยานิพนธ์นี้นำเสนอเทคนิคในการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสจำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรร้อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแสสำหรับการประมวลสัญญาณทางแอนะล็อกซึ่งมีการทำงานในโหมดของกระแส โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีการทำงานในช่วงอิมิตัวเป็นหลัก โครงสร้างของวงจรที่ออกแบบเป็นวงจรขยายคลาส AB/B โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (Delay Time) เป็นผลทำให้มีความผิดเพี้ยนของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลงใช้อุปกรณ์น้อย เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ (Very Large Scale Integration: VLSI) ซึ่งเป็นการพัฒนาเทคโนโลยีของทรานซิสเตอร์แบบซีมอสอีกรูปแบบหนึ่ง นอกจากนี้ วงจรที่ออกแบบใช้แหล่งจ่ายไฟแรงดันต่ำสามารถใช้พลังงานจากแบตเตอรี่หรือแหล่งจ่ายไฟแบบพกพาได้ ในการนำเสนอการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอส เทคนิคที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองโดยใช้อินเวอร์เตอร์แบบนิรอนซีมอสที่ถูกควบคุมด้วยสัญญาณนาฬิกาในการออกแบบวงจรกรองมัธยฐานที่ใช้กำลังงานต่ำซึ่งเป็นวงจรที่เหมาะสมสำหรับเครื่องมือแพทย์ที่ฝังในร่างกาย นอกจากนี้ ในวิทยานิพนธ์นี้ยังได้นำเสนอการเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานระดับบิตที่สร้างด้วยอัลกอริทึมการค้นหาระบบเลขฐานสองโดยใช้ผลการเลียนแบบการทำงานด้วยโปรแกรม LabVIEW อีกด้วย

1.4 ขอบเขตวิทยานิพนธ์

การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอสที่ได้นำเสนอในวิทยานิพนธ์นี้ ได้ทำออกแบบพัฒนางจรกรองมัธยฐานขึ้นจากการเลียนแบบการทำงานด้วยโปรแกรม SPICE เพื่อการทดสอบสมรรถนะของวงจรที่ออกแบบ โดยนำเสนอวงจรกรองมัธยฐานจำนวน 2 เทคนิค คือ วงจรกรองมัธยฐานเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรร้อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส วงจรกรองมัธยฐานเทคนิคที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองในการออกแบบ โดยการเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานที่ใช้วงจรควบคุมลอจิกและวงจรเลือกข้างมากที่สนใจ ซึ่งการเลียนแบบการทำงานเพื่อหาค่าเวลาที่ใช้ในการทำงานด้วยโปรแกรม LabVIEW และการเลียนแบบการทำงานเพื่อหาค่าการใช้กำลังงานไฟฟ้าด้วยโปรแกรม NI Multisim นอกจากนี้วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิรอนซีมอสที่น่าสนใจได้ทำการเปรียบเทียบการใช้กำลังไฟฟ้าที่ต่ำกว่าเมื่อเทียบกับวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบโพลติงเกตซึ่งถูกนำเสนอในอดีต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้แบ่งออกเป็น 5 บท และภาคผนวก 4 ภาคผนวก ซึ่งในแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ เป็นการกล่าวถึงความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา หลักการใหม่ที่น่าเสนอในวิทยานิพนธ์ ขอบเขตวิทยานิพนธ์ และรายละเอียดของวิทยานิพนธ์

บทที่ 2 เป็นการกล่าวถึงหลักการและทฤษฎีที่ใช้ในวิทยานิพนธ์ วงจรกรองมัลติฮาร์มอนิกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดที่เคยนำเสนอในอดีตและหลักการวงจรกรองมัลติฮาร์มอนิกบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองบทสรุปจุดเด่นและข้อจำกัดของแต่ละวงจรที่กล่าวมา

บทที่ 3 เป็นการกล่าวถึงกลุ่มวงจรย่อยที่ใช้ในวิทยานิพนธ์ ซึ่งจะประกอบไปด้วยกลุ่มวงจรย่อยได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต วงจรควบคุมลอจิกจำนวน 2 วงจร และวงจรเลือกข้างมากจำนวน 4 วงจร

บทที่ 4 เป็นการกล่าวถึงการออกแบบวงจรกรองมัลติฮาร์มอนิกบนพื้นฐานเทคโนโลยีซีมอสที่น่าเสนอ การทำงานของวงจร ผลการเลียนแบบการทำงานและการวิเคราะห์คุณสมบัติการทำงาน

บทที่ 5 เป็นการกล่าวถึงสรุปผลการวิจัยและข้อเสนอแนะแนวทางการวิจัยต่อ

ภาคผนวก ก. สัญลักษณ์และวงจรสมมูลของมอสเฟต

ภาคผนวก ข. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ภาคผนวก ค. ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกและวงจรเลือกข้างมาก

โดยใช้โปรแกรม LabVIEW

ภาคผนวก ง. บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารและการประชุมวิชาการระดับนานาชาติ

บทที่ 2

หลักการและทฤษฎีที่ใช้ในวิทยานิพนธ์

2.1 กล่าวนำ

การกรองมัลติฮาร์โมนิกมีการประยุกต์ใช้งานอย่างกว้างขวางมากมายหลายด้าน นอกจากดังที่กล่าวความเป็นมาและความสำคัญของปัญหา การกรองมัลติฮาร์โมนิกยังสามารถประยุกต์ใช้งานทางด้านระบบฟัซซี (Fuzzy System) [45]–[47] งานทางด้านระบบนิวรอนเน็ตเวิร์ก (Neural Network) [48]–[49] งานทางด้านการประมวลสัญญาณแอนะล็อก (Analog Signal Processing) [50]–[52] และการออกแบบตัวแปลงผันแอนะล็อกเป็นดิจิทัล (Analog-to-Digital-Converter: ADC) [53]–[54] ดังเหตุผลที่กล่าวมาจึงทำให้วงจรกรองมัลติฮาร์โมนิกได้ถูกพัฒนาอย่างต่อเนื่องมาโดยตลอด เช่น การออกแบบวงจรกรองมัลติฮาร์โมนิกโดยใช้วงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor: CCII) [55] หรือการออกแบบวงจรกรองมัลติฮาร์โมนิกโดยใช้วงจรรขยายความนำหรือโอทีเอ (Operational Transconductance Amplifier: OTA) [56]–[57] หลักการทั้งสองนี้มีการออกแบบให้ทำงานร่วมกับไดโอด เพื่อใช้ไดโอดทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ (Electronics Switch) ทำให้ความเร็วในการทำงานของวงจรถูกจำกัดด้วยช่วงเวลาในการเปลี่ยนสถานะปิดหรือเปิดของไดโอด และช่วงปฏิบัติการของวงจรที่ออกแบบโดยใช้โอทีเอยังถูกจำกัดด้วยภาคอินพุตของโอทีเอเอง นอกจากนี้ ยังได้มีการนำเสนอการออกแบบวงจรกรองมัลติฮาร์โมนิกบนพื้นฐานเทคโนโลยีทรานซิสเตอร์แบบซีมอส เพื่อพัฒนาวงจรในรูปแบบของวงจรรวม (Integrated Circuit) [58]–[66]

วิทยานิพนธ์นี้ได้นำเสนอวงจรกรองมัลติฮาร์โมนิกบนพื้นฐานเทคโนโลยีซีมอส จำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแสสำหรับการประมวลสัญญาณทางแอนะล็อกซึ่งมีการทำงานในโหมดของกระแส วงจรกรองมัลติฮาร์โมนิกที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองโดยใช้วงจรควบคุมลอจิกทำงานร่วมกับวงจรเลือกข้างมากเพื่อใช้ในการหาค่ามัลติฮาร์โมนิก โดยจะขอกล่าวถึงงานวิจัยที่เกี่ยวข้องที่เคยถูกนำเสนอในอดีต ซึ่งมีรายละเอียดหลักการและทฤษฎีที่ใช้ในวิทยานิพนธ์ดังนี้

2.2 วงจรหาค่าสูงสุด ค่ากลาง หรือค่าต่ำสุดที่เคยถูกนำเสนอในอดีต

วงจรหาค่าสูงสุด ค่ากลาง หรือค่าต่ำสุดที่เคยถูกนำเสนอในอดีต จากการศึกษาผลงานวิจัยที่ผ่านมา มีหัวข้อตามลำดับดังนี้ คือ

2.2.1 วงจรหาค่าสูงสุดแบบ 3 อินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67]

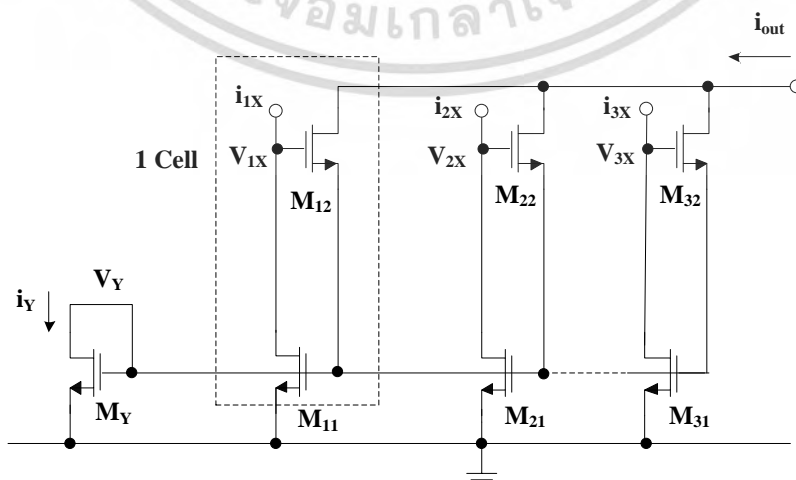
วงจรหาค่าสูงสุดแบบ 3 อินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67] ดังแสดงรูปที่ 2.1 ซึ่งเป็นวงจรหาค่ากระแสสูงสุดแบบ 3 อินพุต โดยกำหนดให้อัตราส่วนความกว้างและความยาวของแซนแนล (W/L) ของมอสทรานซิสเตอร์ทุกตัวในวงจรมีค่าเท่ากัน และสมมติให้มอสทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ โดยหนึ่งเซลล์จะรองรับสัญญาณอินพุตหนึ่งอินพุต โดยแต่ละเซลล์ประกอบไปด้วยมอสทรานซิสเตอร์จำนวน 2 ตัว โดยกระแส i_Y ที่ไหลผ่านมอสทรานซิสเตอร์ M_Y โดยวงจรจะต่ออยู่ในลักษณะแหล่งจ่ายกระแสคงที่ (Current Constant) เพื่อเป็นตัวจ่ายกระแสไบแอสให้กับวงจร เมื่อสมมติให้ค่าของกระแสอินพุตที่มีค่าสูงสุดคือ i_{1X} จะได้สมการว่า

$$i_{1X} = \max(i_{1X}, i_{2X}, i_{3X}) \quad (2.1)$$

ซึ่งแรงดันตกคร่อมระหว่างขาเดรน - ขาซอร์ส V_{1X} ถึง V_{3X} ของมอสทรานซิสเตอร์ M_{11} ถึง M_{31} จะเกิดขึ้นเนื่องมาจาก i_{1X} ถึง i_{3X} ตามลำดับ เมื่อพิจารณาแรงดันที่ตกคร่อมระหว่างขาเดรน - ขาซอร์สของ V_{1X} โดยเกิดขึ้นมาจากกระแสอินพุต i_{1X} ซึ่งสมมติให้มีค่ากระแสสูงสุดในขณะนั้น ดังนั้นแรงดัน V_{1X} จะมีค่าสูงสุดจากจำนวนเซลล์ทั้งหมดของวงจร สำหรับมอสทรานซิสเตอร์ M_{12} ถึง M_{32} จะเปรียบเสมือนกับวงจรขยายความต่าง ซึ่งค่าความแตกต่างระหว่างแรงดัน V_{1X} และ V_{iX} (V_{iD}) สามารถหาค่าได้จากสมการ

$$V_{iD} = |V_{1X} - V_{iX}| > \left(\frac{2i_Y}{K}\right)^{1/2} \quad (2.2)$$

เมื่อ K คือ ค่าทรานส์คอนดักแตนซ์ (Transconductance) พารามิเตอร์ของมอสทรานซิสเตอร์ V_{iD} คือ ค่าความแตกต่างของแรงดัน (Differential Voltage)



รูปที่ 2.1 วงจรหาค่าสูงสุดแบบหลายอินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67]

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของงานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากำหนดให้ $K = \left(\frac{\mu C_{ox}}{2}\right)\left(\frac{W}{L}\right)$ จึงทำให้กระแส i_Y จะไหลผ่านมอสทรานซิสเตอร์ที่มีแรงดันอินพุตที่สูงที่สุด (i_{1X} มีค่ากระแสสูงสุดขณะนั้น) ดังนั้นกระแสเดรน i_{12} ของ M_{12} โดยจะมีค่าเท่ากับ i_Y และกระแส i_{i2} ใน M_{i2} ($i=2,3$) จะมีค่าเป็นศูนย์ จากหลักการพื้นฐานของลูปการป้อนกลับแบบบวก (Positive Feedback Loop) ขาเกตของมอสทรานซิสเตอร์ M_{11} ของแต่ละเซลล์ถูกต่อเข้าด้วยกันจึงทำให้แรงดัน V_Y มีค่าแปรผันตามแรงดัน V_{1X} ดังนั้นแรงดัน V_X จะมีค่าเท่ากับแรงดันที่ตกคร่อมขาเกต - ขาซอร์สของมอสทรานซิสเตอร์ M_{11} ดังนั้นมอสทรานซิสเตอร์ M_Y และ M_{11} ทำงานเป็นวงจรสะท้อนกระแส ซึ่งกระแสเดรน i_Y จะมีค่าเท่ากับกระแสอินพุต i_{1X} ซึ่งเป็นกระแสอินพุตสูงสุดขณะนั้นและกระแสเอาต์พุต i_{out} จะสามารถหาได้จากสมการ

$$i_{out} = i_{12} + i_{22} + i_{32} \quad (2.3)$$

และ
$$i_{12} = i_Y + i_{1X} \quad (2.4)$$

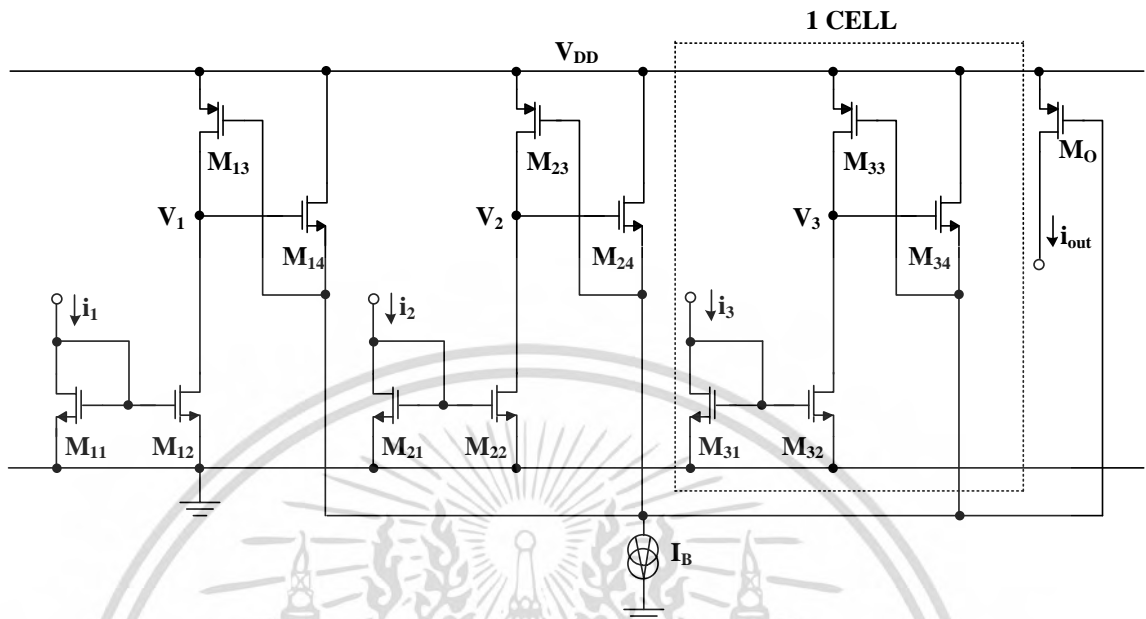
เมื่อ
$$i_{22} = i_{32} = 0 \quad (2.5)$$

จึงทำให้
$$i_{out} = i_{12} = i_Y + i_{1X} = \max(i_{1X}, i_{2X}, i_{3X}) \quad (2.6)$$

เพราะฉะนั้นกระแสเอาต์พุต i_{out} จะมีค่าเท่ากับกระแสอินพุตสูงสุดระหว่าง i_{1X} ถึง i_{3X}

วงจรถ้าค่ากระแสสูงสุดแบบ 3 อินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67] ซึ่งเป็น การนำเสนอวงจรถ้าค่ากระแสสูงสุดแบบ 3 อินพุต นอกจากนี้ยังสามารถเพิ่มจำนวนอินพุตได้ แต่ วงจรยังไม่สามารถหาค่ากระแสต่ำสุดหรือค่ามัธยฐานได้ ซึ่งต้องอาศัยวงจรอื่น ๆ มาประกอบหรือ เปลี่ยนแปลงโครงสร้างของวงจร

2.2.2 วงจรหาค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอโดย C. J. Wang และคณะ [68]



รูปที่ 2.2 วงจรหาค่าต่ำสุดแบบ 3 อินพุตแบบซีมอสที่นำเสนอโดย C. J. Wang และคณะ [68]

วงจรหาค่าต่ำสุดแบบ 3 อินพุตแบบซีมอสที่นำเสนอโดย C. J. Wang และคณะ [68] ดังแสดงรูปที่ 2.2 กระแสเดรนของมอสทรานซิสเตอร์จะทำงานในช่วงกระแสอิ่มตัว (Saturation Current) ซึ่งเป็นไปตามสมการ

$$i_D = K(v_{GS} - V_T)^2 \quad (2.7)$$

โดยที่ $K = \left(\frac{\mu C_{ox}}{2}\right) \left(\frac{W}{L}\right)$, v_{GS} และ V_T คือ แรงดันตกรวมขาเกต - ขาซอร์ส และแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) ของมอสทรานซิสเตอร์ ตามลำดับ จากวงจรจะถูกแบ่งออกเป็นลักษณะเซลล์ ซึ่งในที่นี้จะเรียกว่า Min Cell โดยแต่ละเซลล์นั้นจะรองรับได้หนึ่งอินพุต วงจรจะประกอบด้วยทรานซิสเตอร์สี่ตัว คือ M_{11} , M_{12} , M_{13} , และ M_{14} โดยที่ M_{11} และ M_{12} ต่ออยู่ในลักษณะของวงจรสะท้อนกระแสแบบพื้นฐาน ซึ่งจะทำหน้าที่ส่งผ่านกระแสอินพุตไปสู่ Min Cell ซึ่งมอสทรานซิสเตอร์ M_{13} จะทำหน้าที่เป็นตัวจำกัดกระแส และ M_{14} เป็นรูปแบบของวงจรซอร์สคัปเปิลแบบหลายอินพุต (Multiple Input Source Coupled Circuit) ซึ่งมีกระแส I_B ทำหน้าที่ไบแอสวงจร ส่วนมอสทรานซิสเตอร์ M_O จะถูกใช้ในการตรวจจับค่ากระแสต่ำสุดไปสู่เอาต์พุตของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรมีดังนี้คือ สมมติให้กระแสอินพุตทั้งสามคือ i_1 , i_2 , และ i_3 มีค่าเท่ากัน ซึ่งแรงดัน V_1 , V_2 , และ V_3 ที่เกิดขึ้นจาก i_1 , i_2 และ i_3 จะมีค่าเท่ากันด้วย สำหรับกระแส I_B จะถูกแบ่งออกเท่า ๆ กัน ไปยัง M_{i4} ทั้ง 3 ตัว ของวงจรถอร์สคัปเปิ้ลแบบหลายอินพุต ถัดไปสมมติให้กระแส i_i ลดลง ซึ่งการลดลงนี้จะทำให้แรงดัน V_1 ถูกสร้างขึ้นให้มีขนาดเพิ่มมากขึ้น เนื่องจากมีความต้านทานภายในสูงที่โหนด V_1 ดังนั้นแรงดัน V_1 จะเกิดขึ้นจากกระแสอินพุตต่ำสุด i_i และเป็นค่าแรงดันสูงสุดระหว่าง V_1 , V_2 และ V_3 ถ้าค่าความแตกต่างของแรงดัน (V_{iD}) ระหว่าง V_1 และ V_2 หรือ V_1 และ V_3 มีค่าถึงจุดหนึ่งจะทำให้กระแส I_B ไหลผ่านมอสทรานซิสเตอร์ M_{i4} และทำให้มอสทรานซิสเตอร์ตัวอื่น ๆ ซึ่งก็คือ มอสทรานซิสเตอร์ M_{i4} ($i=2, 3$) จะมีค่าเป็นศูนย์

$$V_{iD} = |V_1 - V_2| \geq \left(\frac{I_B}{K}\right)^{1/2} \quad \text{หรือ} \quad V_{iD} = |V_1 - V_3| \geq \left(\frac{I_B}{K}\right)^{1/2} \quad (2.8)$$

ในส่วนของวงจรถอร์สคัปเปิ้ลแบบหลายอินพุต ชาซอร์สและขาบอดีของมอสทรานซิสเตอร์ M_{i4} ทั้ง 3 ตัวจะถูกต่อเข้าด้วยกันเพื่อหลีกเลี่ยงปรากฏการณ์บอดีเอฟเฟกต์ (Body Effect) จากสมการที่ (2.8) ถ้ากำหนดค่าให้ I_B มีขนาดเล็ก และค่าความนำ K มีขนาดใหญ่จะทำให้ความเร็วในการทำงานของวงจรมีเพิ่มขึ้น นอกจากนี้ค่าแรงดันร่วม (Common Voltage: V_{cm}) ที่ถูกต่อไปยังขาเกตของมอสทรานซิสเตอร์ M_{i3} ทั้ง 3 ตัวจะมีค่าตามแรงดัน V_1 ที่ถูกสร้างขึ้นโดยกระแส i_i ซึ่งเป็นค่าต่ำสุดระหว่างกระแสอินพุตด้วยกัน ดังนั้นแรงดันตกคร่อมชาซอร์ส - เกต ของทรานซิสเตอร์ M_{i3} ทั้ง 3 ตัวจะเท่ากับ $V_{DD} - V_{cm}$ เมื่อ V_{cm} มีค่าเพิ่มขึ้นจะเป็นการช่วยให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์นี้ลดลงด้วยเช่นกัน สำหรับเซลล์อื่น ๆ ที่ไม่มีกระแสต่ำสุดไหลผ่านวงจรถอร์สคัปเปิ้ลของแต่ละเซลล์นั้นจะสูญเสียฟังก์ชันของการสะท้อนกระแสไป จากผลนี้เองจะทำให้เกิดกระแสที่ไหลผ่านเท่ากับกระแสอินพุตต่ำสุดและเมื่อนำทรานซิสเตอร์ M_o ไปต่อขนาน กระแสต่ำสุดระหว่างอินพุตทั้ง 3 ก็จะเป็นกระแสเดรนของทรานซิสเตอร์ M_o นั่นคือ กระแส i_{out}

วงจรถอร์สคัปเปิ้ลแบบ 3 อินพุตแบบซิมอสที่นำเสนอโดย C. J. Wang และคณะ ซึ่งกระแสของมอสทรานซิสเตอร์จะทำงานในช่วงกระแสอิ่มตัว วงจรจะถูกแบ่งออกเป็นลักษณะเซลล์โดยที่แต่ละเซลล์นั้นจะรองรับหนึ่งอินพุต โดยจะประกอบด้วยทรานซิสเตอร์สี่ตัวต่ออยู่ในลักษณะของวงจรถอร์สคัปเปิ้ลแบบพื้นฐาน ซึ่งจะทำหน้าที่ส่งผ่านกระแสอินพุตไปสู่ Min Cell เป็นรูปแบบของวงจรถอร์สคัปเปิ้ลแบบหลายอินพุต แต่วงจรยังไม่สามารถหาค่ากระแสสูงสุดหรือค่ามัธยฐานได้ ซึ่งต้องอาศัยวงจรอื่น ๆ มาประกอบหรือเปลี่ยนแปลงโครงสร้างของวงจรถอร์สคัปเปิ้ล

2.2.3 วงจรหาค่าสูงสุด ค่ากลาง และวงจรหาค่าต่ำสุดแบบ 3 อินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31]

วงจรหาค่าสูงสุด ค่ากลาง และวงจรหาค่าต่ำสุดแบบ 3 อินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31] ดังแสดงในรูปที่ 2.3 ซึ่งนำมาเป็นวงจรหลักในวงจรหาค่าสูงสุด ค่ากลาง และค่าต่ำสุด ทำงานแบบแอนะล็อกภายใต้เทคโนโลยีทรานซิสเตอร์แบบซีมอส มีอินพุตเป็นกระแส i_{in1} และ i_{in2} โดยที่มอสทรานซิสเตอร์จะทำงานในช่วงนำกระแสอิมิตัว และมอสทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการ โดยชุด (CM₁) เอ็นมอสทรานซิสเตอร์ M₁–M₄, ชุด (CM₂) เอ็นมอสทรานซิสเตอร์ M₅–M₆ และชุด (CM₃) เอ็นมอสทรานซิสเตอร์ M₇–M₈ เป็นวงจรสะท้อนกระแสแบบบวก มีอัตราการส่งผ่านกระแสเท่ากับหนึ่งมายังชุด (CM₄) พีมอสทรานซิสเตอร์ M₉–M₁₀, ชุด (CM₅) พีมอสทรานซิสเตอร์ M₁₁–M₁₂, ชุด (CM₆) พีมอสทรานซิสเตอร์ M₁₃–M₁₄ และชุด (CM₇) พีมอสทรานซิสเตอร์ M₁₅–M₁₆ ที่เป็นวงจรสะท้อนกระแสแบบลบมีอัตราการส่งผ่านกระแสเท่ากับหนึ่งเช่นเดียวกัน โดยที่เอ็นมอสทรานซิสเตอร์ M₁₇ และ M₁₈ ทำหน้าที่ไบแอสที่โหนด IP₁ และ IP₂ มอสทรานซิสเตอร์ M₁₉–M₂₀ เป็นสวิตช์อิเล็กทรอนิกส์ โดยที่แหล่งจ่ายกระแสไบแอส I₂ มีค่าเท่ากับ (50 μA) และเอ็นมอสทรานซิสเตอร์ M₂₁ จะทำให้เกิดแรงดันไบแอสค่าหนึ่ง ซึ่งจะทำให้มอสทรานซิสเตอร์ M₁₉ และ M₂₀ ถูกไบแอสที่ขอบการนำของกระแส โดยหลักการการทำงานสามารถอธิบายได้ดังนี้

จากรูปที่ 2.3 พิจารณาที่โหนด IP₁ และ IP₂ จะได้ว่า

$$i_{D1} = i_{in1} + I_2 \quad (2.9)$$

$$i_{D5} = i_{in2} + I_2 \quad (2.10)$$

จากการทำงานของวงจรสะท้อนกระแส CM₁, CM₂, และ CM₄ จะได้ว่า

$$i_{D1} = i_{D2} = i_{D3} = i_{D4} = i_{in1} + I_2 \quad (2.11)$$

$$i_{D5} = i_{D6} = i_{D9} = i_{D10} = i_{in2} + I_2 \quad (2.12)$$

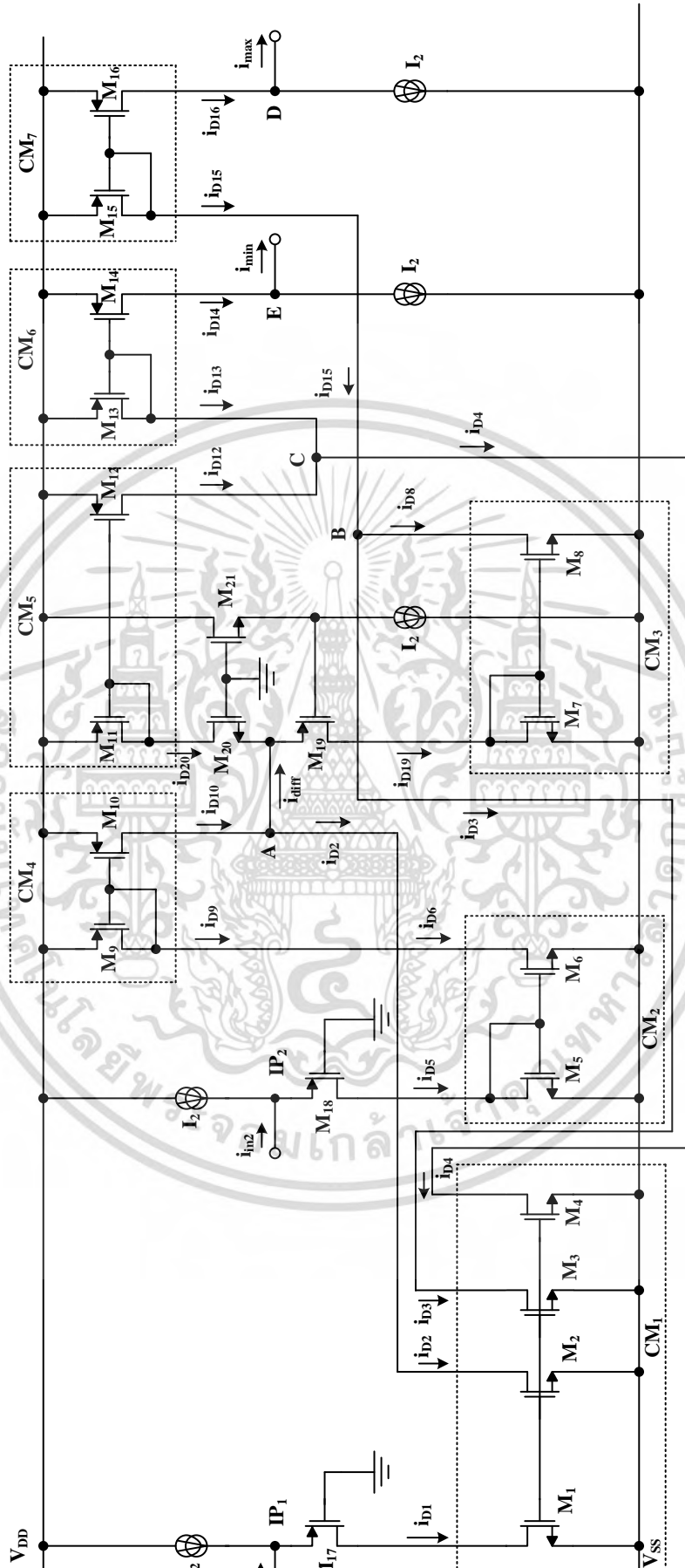
พิจารณากระแส i_{diff} ที่โหนด A จะได้สมการ

$$i_{diff} = i_{D10} - i_{D2} = i_{in2} - i_{in1} \quad (2.13)$$

จากสมการที่ (2.13) เมื่อ $i_{in2} > i_{in1}$ จะได้กระแส $i_{diff} > 0$ ซึ่งทำให้ค่าแรงดันตกคร่อมระหว่างขาซอร์ส - ขาเกตของมอสทรานซิสเตอร์ M₁₉ เพิ่มขึ้นทำให้เกิดกระแส i_{D19} และแรงดันตกคร่อมระหว่างขาซอร์ส - ขาเกตของมอสทรานซิสเตอร์ M₂₀ ลดลงจนทำให้ M₂₀ อยู่ในภาวะไม่นำกระแส ($i_{D20} = 0$) ในทางตรงกันข้ามเมื่อ $i_{diff} < 0$ จะทำให้มอสทรานซิสเตอร์ M₂₀ เกิดนำกระแส i_{D20} และทรานซิสเตอร์ M₁₉ อยู่ในภาวะไม่นำกระแส ($i_{D19} = 0$) ดังสมการที่ (2.14) และสมการที่ (2.15)

ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 บิตสำหรับสัญญาณกระแสที่นำเสนอบนโดย M. Kaewrongkool และคณะ [31]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D19} = \begin{cases} i_{diff} & ; i_{in2} > i_{in1} \\ 0 & ; i_{in1} \geq i_{in2} \end{cases} \quad (2.14)$$

$$i_{D20} = \begin{cases} 0 & ; i_{in2} \geq i_{in1} \\ -i_{diff} & ; i_{in1} > i_{in2} \end{cases} \quad (2.15)$$

วงจรสะท้อนกระแส CM_3 จะสะท้อนกระแส i_{D19} ยังโหนด B และ CM_5 จะสะท้อนกระแส i_{D20} ไปยังโหนด C ตามลำดับ ซึ่งจะได้

เมื่อพิจารณาที่โหนด B

$$i_{D15} = i_{D3} + i_{D19} = (i_{in1} + I_2) + i_{D19} \quad (2.16)$$

เมื่อพิจารณาที่โหนด C

$$i_{D13} = i_{D4} - i_{D20} = (i_{in1} + I_2) - i_{D20} \quad (2.17)$$

ค่ากระแส i_{D15} และ i_{D13} จะถูกสะท้อนกระแส โดยวงจรสะท้อนกระแส CM_7 และ CM_6 ไปยังโหนด D และ E ตามลำดับ จะได้สมการค่ากระแส i_{max} และ i_{min} คือ

$$i_{max} = i_{D15} - I_2 = i_{in1} + i_{19} \quad (2.18)$$

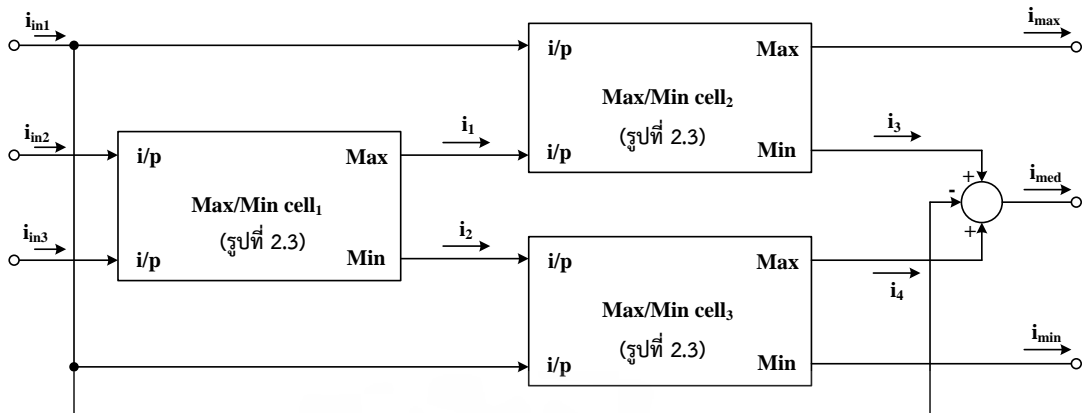
$$i_{min} = i_{D13} - I_2 = i_{in1} - i_{20} \quad (2.19)$$

เมื่อแทนค่าจากสมการ (2.14) และ (2.15) ลงในสมการ (2.18) และ (2.19) จะได้ค่ากระแสสูงสุดและค่ากระแสต่ำสุดดังนี้

$$i_{max} = \begin{cases} i_{in2} & ; i_{in2} > i_{in1} \\ i_{in1} & ; i_{in1} \geq i_{in2} \end{cases} \quad (2.20)$$

$$i_{min} = \begin{cases} i_{in1} & ; i_{in2} \geq i_{in1} \\ i_{in2} & ; i_{in1} > i_{in2} \end{cases} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 โครงสร้างการทำงานวงจรหาค่าสูงสุด ค่ากลาง และค่าต่ำสุดแบบ 3 อินพุต
ที่นำเสนอโดย M. Kaewrongkool และคณะ [31]

โครงสร้างการทำงานของวงจรหาค่ากระแสสูงสุด ค่ากลาง และค่าต่ำสุดแบบ 3 อินพุต ดังแสดงในรูปที่ 2.4 จากโครงสร้างการทำงานประกอบด้วยวงจรหาค่าสูงสุดและต่ำสุดแบบ 2 อินพุต จำนวน 3 วงจรที่นำมาต่อรวมกันเพื่อหาค่ากระแสค่ามัธยฐานได้ดังสมการต่อไปนี้

$$i_{med} = i_3 + i_4 - i_{in1} \quad (2.22)$$

สมมติให้กระแสอินพุต $i_{in1} > i_{in3} > i_{in2}$ เป็นอินพุตของรูปที่ 2.4 และมี i_1 และ i_2 เป็นเอาต์พุตค่ากระแสสูงสุดและต่ำสุดของ Max/Min cell₁ โดยที่ i_3 กับ i_4 เป็นกระแสต่ำสุดและสูงสุดที่ได้จากวงจรหาค่าสูงสุดและต่ำสุด Max/Min cell₂ และ Max/Min cell₃ ค่ากระแสค่ากลางซึ่งจะหาได้จากสมการที่ (2.22) โดยที่กระแส i_{in1} และ i_{in2} เป็นกระแสสูงสุดและต่ำสุดที่ได้จากวงจร

วงจรหาค่าสูงสุด ค่ากลาง และค่าต่ำสุดแบบ 3 อินพุต สำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31] ซึ่งทำงานแบบแอนะล็อกภายใต้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ทำงานในช่วงนำกระแสอิมิตัว จากโครงสร้างการทำงานประกอบด้วยวงจรหาค่าสูงสุดและต่ำสุดแบบ 2 อินพุตจำนวน 3 วงจร ที่นำมาต่อรวมกันลักษณะในโครงข่ายการเรียงลำดับแบบฟอง ซึ่งจากโครงสร้างการทำงานจะเห็นได้ว่า จะมีลักษณะในการเรียงลำดับซึ่งจะต้องใช้การประมวลผลหลายครั้งเพื่อจะได้ค่าสูงสุด ค่ากลาง และค่าต่ำสุด

2.2.4 วงจรหาค่าสูงสุดและวงจรถ้าสุดแบบหลายอินพุตที่นำเสนอโดย

C. Pojanasuwanchai และคณะ [35]

วงจรถ้าสุดแบบหลายอินพุต

วงจรถ้าสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35] ดังแสดงในรูปที่ 2.5 เป็นวงจรถ้าสุดที่มีการทำงานในโหมดกระแส สามารถรองรับจำนวนกระแสอินพุตได้หลายสัญญาณอินพุต โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ และทำงานในช่วงนำกระแสอิ่มตัว สำหรับค่ากระแสเดรนของมอสทรานซิสเตอร์ที่ทำงานในช่วงดังกล่าวสามารถเขียนเป็นสมการได้ดังนี้

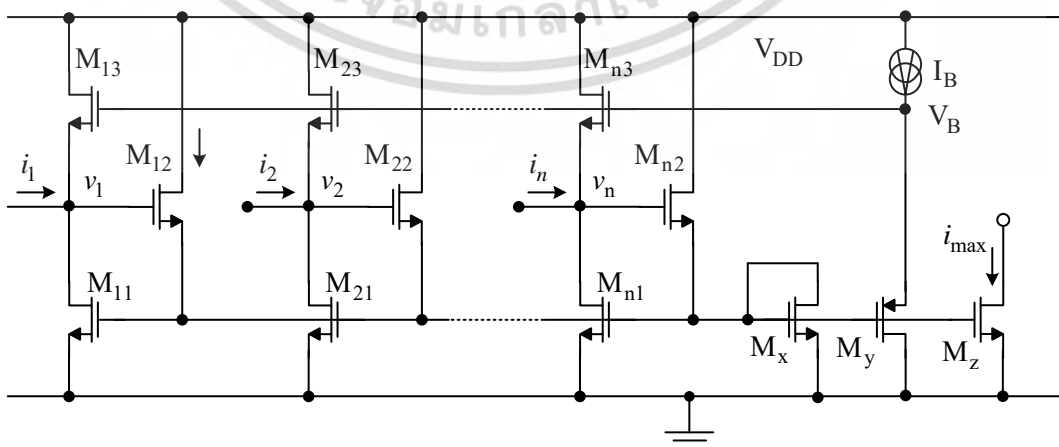
$$i_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (v_{GS} - V_{TH})^2 = K(v_{GS} - V_{TH})^2 \quad (2.23)$$

เมื่อ K คือ ค่าพารามิเตอร์ของค่าความนำกระแส

v_{GS} คือ แรงดันที่ขาเกตกับขาซอร์ส

V_{TH} คือ แรงดันขีดเริ่มเปลี่ยน

ภายในวงจรประกอบด้วยจำนวนทรานซิสเตอร์เท่ากับ $3n+3$ ตัว และแหล่งจ่ายกระแสไบแอส I_B เมื่อ n คือ จำนวนสัญญาณกระแสอินพุตของวงจร โดยมอสทรานซิสเตอร์ M_{j1} , M_{j2} และ M_{j3} เป็นวงจรร้อยสำหรับสัญญาณอินพุตลำดับที่ j ส่วนทรานซิสเตอร์ M_x และ M_z ต่อเป็นวงจรถ้าสวนกระแสแบบบวก (Positive Current Mirror) ที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง การทำงานของวงจรในรูปที่ 2.5 สามารถอธิบายได้ดังนี้



รูปที่ 2.5 วงจรถ้าสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่กระแสอินพุตทุกตัวมีค่าเท่ากับศูนย์ วงจรจะทำงานเป็นวงจรขยายคลาส AB โดยกระแสไบแอส I_B ที่ไหลผ่านทรานซิสเตอร์ M_y จะทำให้เกิดแรงดัน V_B ตกคร่อมระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ M_{j1} , M_{j2} และ M_{j3} ซึ่งมีค่าประมาณ $3V_{TH}$ โดยแรงดันไบแอส V_B นี้จะทำให้ M_{j1} , M_{j2} และ M_{j3} ทำงานอยู่ในช่วงของขอบนำกระแส สามารถเขียนเป็นสมการได้ดังนี้

$$V_B = v_{GSj3} + v_j \approx 3V_{TH} \quad (2.24)$$

เมื่อ

$$v_j = v_{GSj1} + v_{GSj2} \quad (2.25)$$

ในกรณีที่กระแสอินพุตทุกตัวมีค่าเป็นบวกและกระแสอินพุต i_i มีค่าสูงสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่น ๆ วงจรจะทำงานเป็นวงจรขยายคลาส B จากการพิจารณาสมการที่ (2.32) และสมการที่ (2.25) เมื่อกระแสอินพุต i_i ไหลผ่าน M_{i1} มีผลทำให้แรงดันระหว่างขาเกตกับขาซอร์ส (v_{GSi1}) และแรงดันอินพุต v_i มีค่าเพิ่มมากขึ้น เนื่องจากขาเกตของ M_{i1} , M_{2i1}, \dots, M_{ni1} และ M_x ต่อขนานกัน ทำให้แรงดันระหว่างขาเกตกับขาซอร์สของ M_{i1} , M_{2i1}, \dots, M_{ni1} และ M_x มีค่าเท่ากัน เขียนเป็นสมการได้ดังนี้คือ

$$v_{GSi1} = v_{GS2i1} = \dots = v_{GSni1} = v_x \quad (2.26)$$

จากสมการที่ (2.23) และ (2.26) จะได้กระแสเดรนของ M_{i1} , M_{2i1}, \dots, M_{ni1} และ M_x มีค่าเท่ากัน เขียนเป็นสมการได้ว่า

$$i_i = i_{D11} = i_{D21} = \dots = i_{Dn1} = i_{Dx} \quad (2.27)$$

จากสมการที่ (2.24) และสมการที่ (2.25) ในสภาวะที่แรงดันระหว่างขาเกตกับขาซอร์สของ M_{2i1} , M_{3i1}, \dots, M_{ni1} มีค่าเพิ่มขึ้นตามค่าแรงดัน v_{GSi1} เป็นผลทำให้ M_{22} , M_{32}, \dots, M_{n2} อยู่ในสภาวะไม่นำกระแส ดังนั้นกระแสเดรนของ M_{22} , M_{32}, \dots, M_{n2} จะมีค่าเท่ากับศูนย์ เขียนเป็นสมการได้ว่า

$$i_{D22} = i_{D32} = \dots = i_{Dn2} = 0 \quad (2.28)$$

พิจารณาที่โหนด v_x จะได้กระแสเดรนของ M_x เป็นผลรวมของกระแสเดรนของ M_{i2} , M_{22}, \dots, M_{n2} เขียนเป็นสมการได้ ดังนี้

$$i_{Dx} = i_{D12} + i_{D22} + \dots + i_{Dn2} \quad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าแทนค่ากระแสเดรนของ $M_{22}, M_{32}, \dots, M_{n2}$ ในสมการที่ (2.28) ลงในสมการที่ (2.29) จะได้ค่ากระแสเดรนของ M_x มีค่าเป็น

$$i_{Dx} = i_{D12} \quad (2.30)$$

จากสมการที่ (2.27) และสมการที่ (2.30) จะได้ว่า

$$i_1 = i_{D12} = i_{Dx} \quad (2.31)$$

เมื่อทรานซิสเตอร์ M_x และ M_z ต่อเป็นวงจรสะท้อนกระแสแบบบวกที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง จะได้กระแสเอาต์พุต i_{\max} คือ

$$i_{\max} = i_{Dx} \quad (2.32)$$

จากสมการที่ (2.31) และ (2.32) สามารถสรุปได้ว่ากระแสเอาต์พุตสูงสุด i_{\max} จะมีค่าเท่ากับ

$$i_{\max} = i_1 = \max(i_1, i_2, \dots, i_n) \quad (2.33)$$

จากสมการที่ (2.33) จะได้ว่าวงจรในรูปที่ 2.5 เป็นวงจรที่ทำหน้าที่หาค่าสูงสุดของสัญญาณกระแสทั้งหมดจำนวน n อินพุต

วงจรรหาค่าต่ำสุดแบบหลายอินพุต

วงจรรหาค่าสูงสุดที่ได้นำเสนอในรูปที่ 2.5 สามารถนำมาประยุกต์ใช้เป็นวงจรรหาค่าต่ำสุดแบบหลายอินพุตได้ด้วยกฎของเดอมอแกน (De Morgan's law) โดยเขียนเป็นสมการได้ดังนี้

$$\min(i_1, i_2, \dots, i_n) = \overline{\max(\overline{i_1}, \overline{i_2}, \dots, \overline{i_n})} \quad (2.34)$$

เมื่อ $\overline{\quad}$ คือ ฟังก์ชันคอมพลีเมนต์

การปฏิบัติการฟังก์ชันคอมพลีเมนต์ [69] สำหรับสัญญาณกระแส สามารถเขียนได้ว่า

$$\overline{i_j} = I_R - i_j \quad (2.35)$$

เมื่อ i_j คือ ค่ากระแสอินพุตลำดับที่ 1

I_R คือ ค่ากระแสคงที่

จากสมการที่ (2.34) และ (2.35) จะได้กระแสเอาต์พุตต่ำสุด i_{\min} คือ

$$i_{\min} = I_R - i_{\max} \quad (2.36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.6 แสดงวงจรถาค่าต่ำสุดแบบหลายอินพุต ที่มีพื้นฐานการออกแบบมาจากการประยุกต์ใช้งานวงจรถาค่าสูงสุดดังรูปที่ 2.5 โดยวงจรถาค่าต่ำสุดที่นำเสนอประกอบไปด้วยมอสทรานซิสเตอร์ M_{j1} - M_{j5} ใช้เป็นวงจรร้อยสำหรับสัญญาณอินพุตลำดับที่ j และแหล่งจ่ายค่ากระแสคงที่ I_R จำนวน $n+1$ ตัว ทำงานร่วมกับวงจรถาค่าสูงสุดและวงจรถาต่ำอนกระแสแบบบวกที่มีอัตราการส่งผ่านกระแสเท่าหนึ่ง จำนวนวงจรถาต่ำอนกระแสมีค่าเท่ากับ n เมื่อ n คือจำนวนกระแสอินพุตของวงจรถา

การทำงานของวงจรถาค่าต่ำสุดดังรูปที่ 2.6 สามารถอธิบายการทำงานได้ดังนี้ กำหนดให้มอสทรานซิสเตอร์ทุกตัวมีความสมพจน์กันทุกประการและทำงานในช่วงนำกระแสอิ่มตัวทรานซิสเตอร์ M_{j4} และ M_{j5} ทำงานเป็นวงจรถาต่ำอนกระแสแบบบวกที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ซึ่งจะสทอนกระแสอินพุต i_j ไปที่โหนด v_j จะได้ค่ากระแสเดรนของ M_{j5} คือ

$$i_{djs} = i_j \quad (2.37)$$

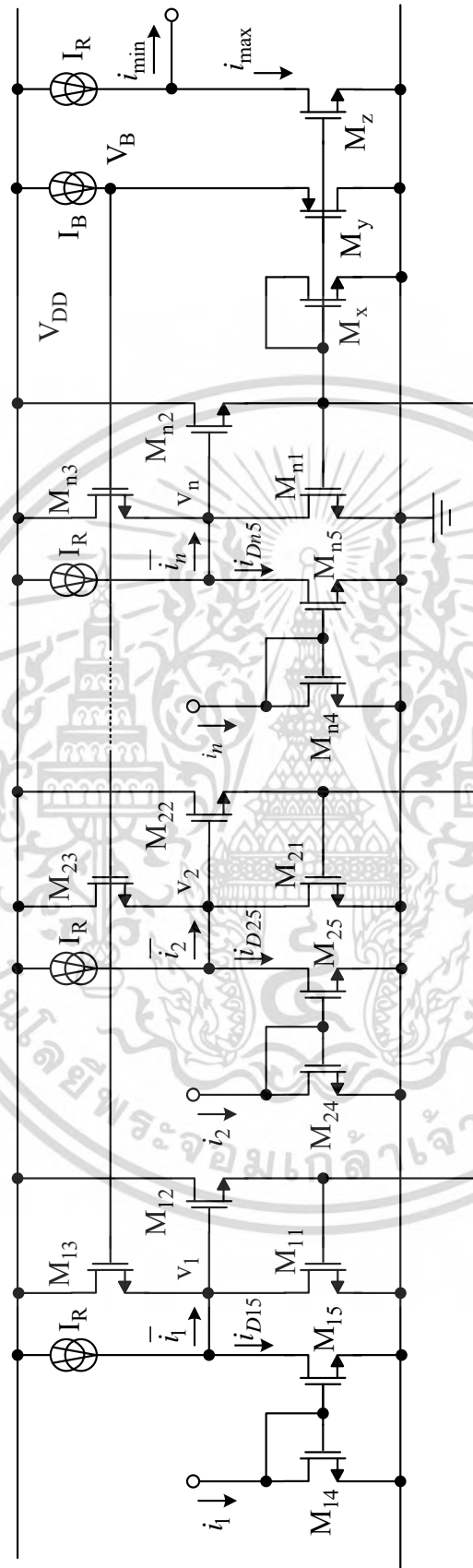
เมื่อพิจารณาที่โหนด v_j จะได้กระแสอินพุตของแต่ละวงจรร้อย M_{j1} - M_{j3} เพื่อหาค่ากระแสสูงสุด คือ

$$\bar{i}_j = I_R - i_j \quad (2.38)$$

ที่โหนดเอาต์พุต จะได้กระแสเอาต์พุตต่ำสุด i_{\min} คือ

$$i_{\min} = I_R - i_{\max} \quad (2.39)$$

จากสมการที่ (2.38) และ (2.39) จะสอดคล้องกับสมการที่ (2.35) และ (2.36) ดังนั้นวงจรถาต่ำสุดเป็นวงจรถาที่ทำหน้าที่หาค่าต่ำสุดของสัญญาณกระแสทั้งหมดของวงจรถา โดยใช้กฎของเดอมอแกนในการออกแบบวงจรถา



รูปที่ 2.6 วงจรหาค่าต่ำสุดชนิดหลายอินพุตที่มีพื้นฐานการทำงานมาจากวงจรหาค่าสูงสุดที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

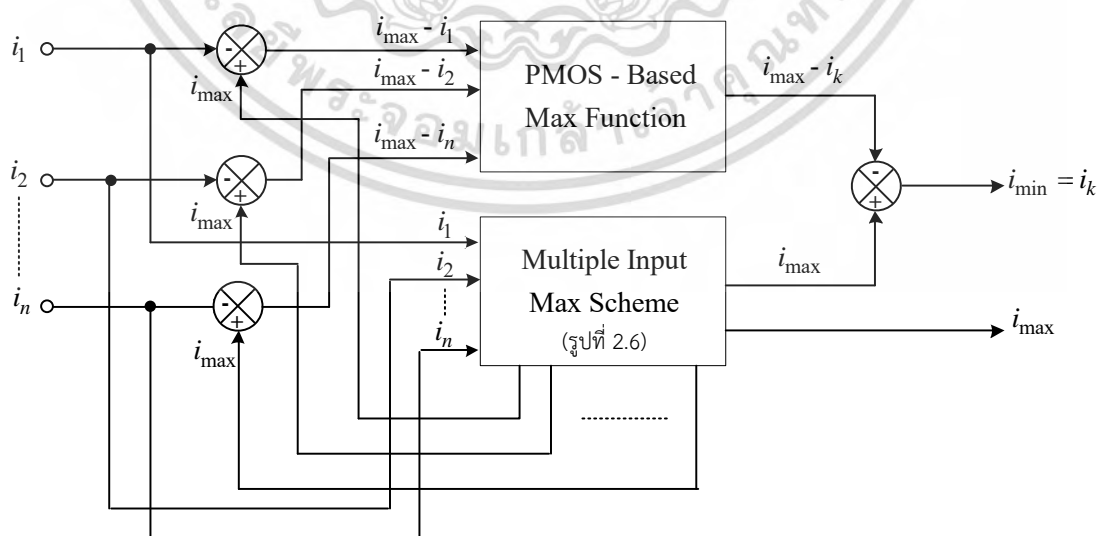
วงจรรหาค่าสูงสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35] เป็นวงจรรหาค่าสูงสุดที่มีการทำงานในโหมดกระแส สามารถรองรับกับจำนวนกระแสอินพุตได้หลายสัญญาณอินพุต โดยการทำงานของวงจรรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (Delay Time) เป็นผลทำให้มีความผิดพลาดของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรรในคลาส B จะเป็นการลดขนาดของวงจรรให้เล็กลง เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ และสามารถใช้งานได้ด้วยแหล่งจ่ายไฟแรงดันต่ำ แต่ในการออกแบบนี้ได้แยกออกเป็นสองวงจรร ซึ่งในแต่ละวงจรรสามารถใช้เป็นวงจรรหาค่าสูงสุดหรือหาค่าต่ำสุดได้เพียงอย่างเดียว

2.2.5 วงจรรหาค่าสูงสุดและค่าต่ำสุดที่นำเสนอโดย S. Keawconthai และคณะ [37]

วงจรรหาค่าสูงสุดและค่าต่ำสุดที่นำเสนอโดย S. Keawconthai และคณะ [37] ในรูปที่ 2.7 แสดงโครงสร้างการทำงานของวงจรร เมื่อป้อนค่ากระแสอินพุต i_1, i_2, \dots, i_n ซึ่งมีค่ามากกว่าศูนย์ โดยการหาค่ากระแสเอาต์พุตสูงสุด i_{\max} หาได้จากการทำงานของวงจรรในรูปที่ 2.8 สำหรับการหาค่ากระแสเอาต์พุตต่ำสุด i_{\min} จะพิจารณาจากค่าสูงสุดของผลต่างระหว่างค่ากระแสอินพุตสูงสุด i_{\max} กับค่ากระแสอินพุตแต่ละสัญญาณ โดยใช้กลุ่มของพีมอสต่อรวมกันเป็นวงจรรที่มีฟังก์ชันการทำงานเป็นการหาค่าสูงสุด (PMOS-Based Maximum Function) ถ้ากำหนดให้กระแสอินพุตลำดับที่ k หรือ i_k เป็นกระแสอินพุตต่ำสุด จะได้ว่า

$$i_{\max} - i_k = \text{Max}(i_{\max} - i_1, i_{\max} - i_2, \dots, i_{\max} - i_n) \quad (2.40)$$

$$i_{\min} = i_{\max} - (i_{\max} - i_k) = i_k \quad (2.41)$$



รูปที่ 2.7 โครงสร้างการทำงานของวงจรรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุต

ที่นำเสนอโดย S. Keawconthai [37]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถ้าค่าสูงสุดในรูปแบบที่ 2.8 แสดงวงจรถ้าค่าสูงสุดหลายอินพุตสำหรับสัญญาณกระแสด้วยเทคโนโลยีซีมอสทรานซิสเตอร์ โดยมีมอสทรานซิสเตอร์ M_a ทำหน้าที่เปลี่ยนกระแส i_a ให้เป็นแรงดัน V_a มอสทรานซิสเตอร์ M_b และกระแสไบแอส I_1 ทำหน้าที่ไบแอสแรงดัน V_b ให้มีค่าประมาณเท่ากับ $2V_{GS}$ เมื่อ V_{GS} เป็นแรงดันตกรวมขาเกตและซอร์สของมอสทรานซิสเตอร์ ดังนั้นมอสทรานซิสเตอร์ M_{11}, M_{12}, M_{13} ถูกบังคับให้ทำงานเริ่มต้นอยู่ที่ขอบการนำกระแสเป็นผลให้เกิดการผิดพลาดของสัญญาณน้อยลง กระแสไบแอสครั้งที่ I_2 และมอสทรานซิสเตอร์ M_c ทำหน้าที่ในการเพิ่มความเร็วกการทำงานของวงจร

เมื่อป้อนกระแสอินพุต i_1, i_2, \dots, i_n เข้าสู่วงจรในรูปแบบที่ 2.8 จะทำให้มอสทรานซิสเตอร์ $M_{12}, M_{22}, \dots, M_{n2}$ มีแรงดันเกิดขึ้นที่ขาเกต เกิดเป็นกระแส $i_{D12}, i_{D22}, \dots, i_{Dn2}$ ไหลผ่านทรานซิสเตอร์ $M_{12}, M_{22}, \dots, M_{n2}$ ตามลำดับ เมื่อพิจารณาที่โหนด v_C จะได้ว่า

$$i_a = i_{D12} + i_{D22} + \dots + i_{Dn2} + I_2 - I_2 \quad (2.42)$$

$$i_a = i_{D12} + i_{D22} + \dots + i_{Dn2} \quad (2.43)$$

เมื่อกระแส i_a มีค่ามากขึ้น แรงดันที่โหนด v_a มีค่าสูงขึ้นตาม สังเกตได้ว่ามอสทรานซิสเตอร์ M_a, M_d และ M_{11}, M_{21}, M_{n1} ต่อขาเกตร่วมไว้ด้วยกัน ในกรณีที่ให้กระแสอินพุต i_1 เป็นกระแสอินพุตสูงสุดของวงจร

$$i_{\max} = \text{Max}(i_1, i_2, \dots, i_n) = i_1 \quad (2.44)$$

เมื่อแรงดันที่โหนด V_a เพิ่มขึ้น มอสทรานซิสเตอร์ M_{11} จะมีกระแส i_{D11} เท่ากับค่ากระแสสูงสุดของวงจรมอสทรานซิสเตอร์ $M_{11}, M_{21}, \dots, M_{n1}, M_a, M_d$ ต่อขาเกตร่วมไว้ด้วยกันจึงเป็นผลให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์แต่ละตัวนั้นมีค่าเท่ากันดังสมการ

$$i_{D11} = i_{D21} = \dots = i_{Dn1} = i_a = i_d = i_1 = i_{\max} \quad (2.45)$$

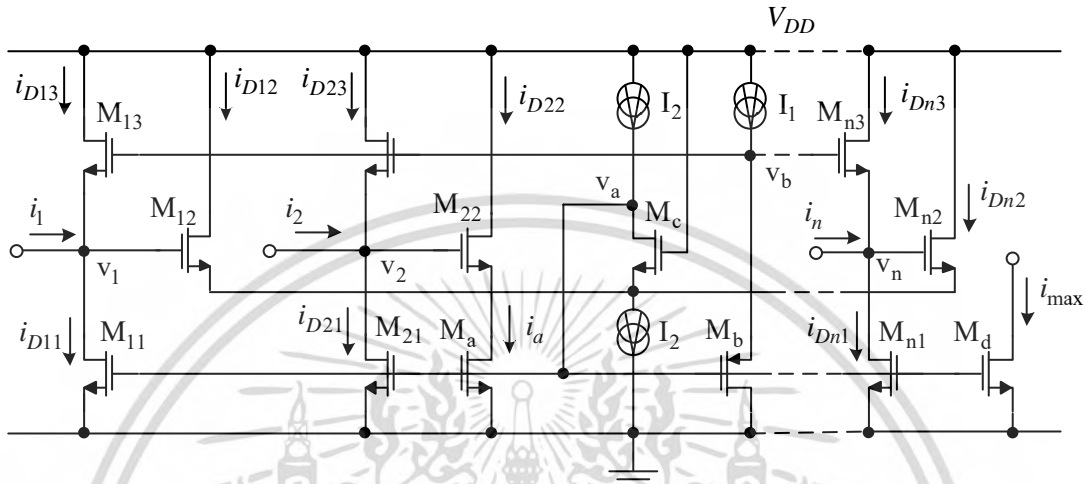
เมื่อพิจารณามอสทรานซิสเตอร์ $M_{13}, M_{23}, \dots, M_{n3}$ จะมีกระแสไหลผ่านได้ดังนี้

$$i_{D13} = i_1 - i_1, i_{D23} = i_1 - i_2, \dots, i_{Dn3} = i_1 - i_n \quad (2.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาที่มอสทรานซิสเตอร์ M_{22} ถึง M_{n2} (กระแสอินพุตน้อยกว่า i_1) การเพิ่มขึ้นของค่าแรงดัน v_a จะทำให้มอสทรานซิสเตอร์ M_{22} ถึง M_{n2} อยู่ในสภาวะไม่นำกระแส ดังนั้นค่ากระแส

$$i_{D22} = i_{D32} = \dots = i_{Dn2} = 0$$



รูปที่ 2.8 วงจรหาค่าสูงสุดแบบหลายอินพุต

วงจรหาค่าสูงสุดและต่ำสุดแบบหลายอินพุตในรูปที่ 2.9 เป็นการนำวงจรหาค่าสูงสุดในรูปที่ 2.8 มาประยุกต์เป็นวงจรหาค่าสูงสุดและค่าต่ำสุดในเวลาเดียวกัน ตามโครงสร้างการทำงานดังรูปที่ 2.7 โดยแต่ละวงจรรย่อยของสัญญาณอินพุตจะประกอบไปด้วยเอ็นมอสทรานซิสเตอร์ M_{11} ถึง M_{13} และเพิ่มมอสทรานซิสเตอร์ M_{14} , M_{15} โดยมีมอสทรานซิสเตอร์ M_c ทำหน้าที่สะท้อนกระแสสูงสุดของวงจรเพื่อไปลบกับค่ากระแสที่ส่งออกมาโดยมอสทรานซิสเตอร์ M_g ดังสมการ

$$i_{\min} = i_{\max} - i_g \quad (2.47)$$

เมื่อให้กระแสอินพุต i_1 เป็นกระแสสูงสุดของวงจร และกระแสอินพุต i_2 เป็นกระแสอินพุตต่ำสุดของวงจร ทำให้กระแสเดรน $i_{D13}, i_{D23}, \dots, i_{Dn3}$ มีค่าดังสมการ

$$i_{D13} = i_{\max} - i_1 = 0 \quad (2.48)$$

$$i_{D23} = i_{\max} - i_2, i_{D33} = i_{\max} - i_3, \dots, i_{Dn3} = i_{\max} - i_n \quad (2.49)$$

จะเห็นว่าค่ากระแส i_{D23} เป็นค่ากระแสสูงสุดเมื่อเทียบกับกระแส i_{D13} , i_{Dn3} ทำให้แรงดันที่โหนด v_2 มีค่ามากที่สุดเป็นผลให้มอสทรานซิสเตอร์ M_{15} , M_{35}, \dots, M_{n5} อยู่ในสภาวะไม่นำกระแส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D15} = i_{D35}, \dots, i_{Dn5} = 0 \quad (2.50)$$

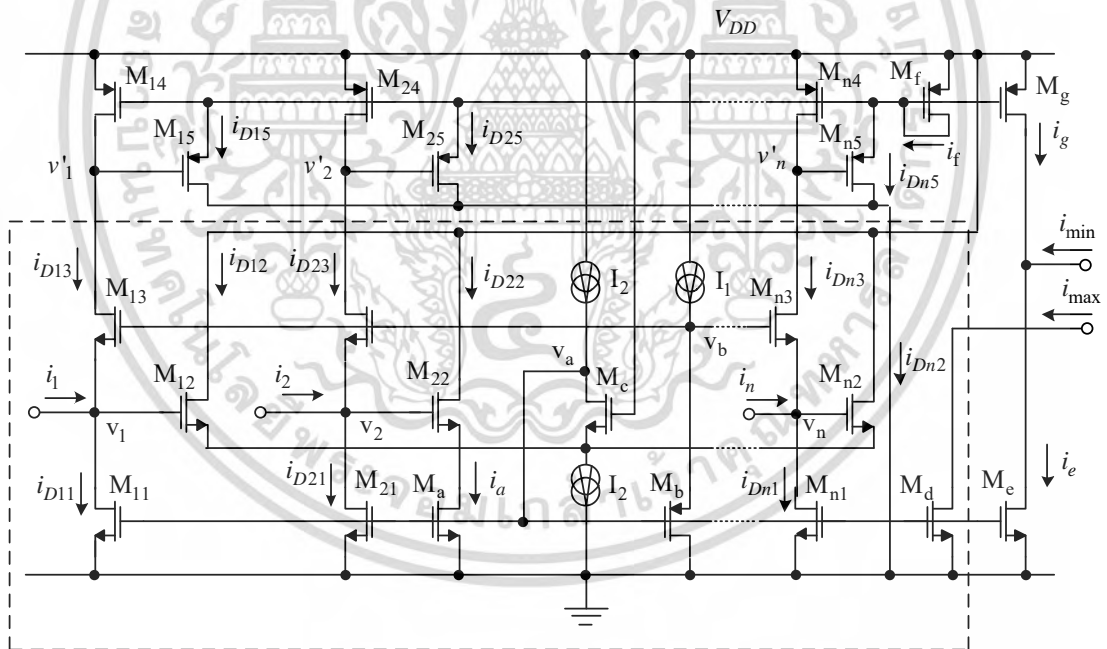
เมื่อพิจารณาแล้วจะพบว่ามอสทรานซิสเตอร์ M_{14} , M_{24} , ..., M_{n4} , M_f และ M_g ต่อขาเกตรวมไว้ด้วยกันทำให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_f มีค่าดังนี้

$$i_f = i_{D15} + i_{D25} + \dots + i_{Dn5} \quad (2.51)$$

$$i_f = i_{D25} = i_{D24} = i_{\max} - i_2 \quad (2.52)$$

และทำให้โนดเอาต์พุตมีกระแสเท่ากับ

$$i_{\min} = i_e - i_g = i_{\max} - (i_{\max} - i_2) = i_2 \quad (2.53)$$



รูปที่ 2.9 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตสำหรับสัญญาณกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถ่ายค่าสูงสุดและค่าต่ำสุดที่นำเสนอโดย S. Keawconthai นี้สามารถที่จะให้สัญญาณค่าสูงสุดและค่าต่ำสุดในเวลาเดียวกัน และยังสามารถเพิ่มจำนวนสัญญาณอินพุตได้หลายอินพุต แต่วงจรมีข้อจำกัดตรงวงจรถ่ายค่าสูงสุดและค่าต่ำสุดนี้ สามารถทำงานได้เพียงกระแสที่มีค่าบวกเท่านั้น และเป็นวงจรที่ต้องการสัญญาณอินพุตในรูปของสัญญาณกระแส ดังนั้นการนำไปประยุกต์ใช้งานสำหรับการประมวลผลสัญญาณในรูปของสัญญาณแรงดัน (Voltage-to-Current Converter) ซึ่งจำเป็นต้องมีวงจรแปลงสัญญาณแรงดันเป็นกระแสที่ส่วนอินพุตของวงจร

2.3 หลักการกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง

หลักการกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง [38], [44] ที่นำเสนอจากการนำเข้าของภาพที่มีขนาด $m \times n$ พิกเซล (Pixels) จะได้อาต์พุตที่ได้จากการกรองมัธยฐาน (Median Value) คือ $M_i[k]$ เมื่อ $i = 1, 2, \dots, m \times n$ และ k คือ ลำดับที่ของบิตของ $M_i[k]$ มีค่าเท่ากับ $(k = 0, 1, \dots, N-1)$ โดยสามารถเขียนสมการของ $M_i[k]$ ได้ดังสมการที่ (2.54) ดังนี้

$$M_i[k] = \begin{cases} 1, & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} > 0.5 \\ 0, & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} \leq 0.5 \end{cases} \quad (2.54)$$

เมื่อ $P_j[k]$ คือค่าของ k ลำดับที่ j พิกเซลในหน้าต่าง เมื่อ $j = 1, 2, \dots, W$ ซึ่ง $P_j[k]$ มีค่าเท่ากับ $\{0, 1\}$ ถ้าค่าข้างมากเป็น “0” แล้วค่าของ $M_i[k]$ จะเท่ากับ “0” ในทางกลับกันถ้าค่าข้างมากเป็น “1” แล้วค่าของ $M_i[k]$ จะเท่ากับ “1” ดังนั้นค่า i -th ของพิกเซล P_i จะมีการเปลี่ยนแปลงดังสมการ

$$P_i[k-1] = \dots = P_i[0] = \begin{cases} 1, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 1 \\ 0, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 0 \end{cases} \quad (2.55)$$

โดยทำซ้ำการทำงานของสมการที่ (2.54) และสมการที่ (2.55) ตั้งแต่ $k=N-1$ จนถึง $k=0$

ซึ่งจะขอยกตัวอย่างหลักการกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ โดยมีขนาดหน้าต่าง (Window Size) w เท่ากับ 5 และความยาวบิต (Bit-Length) N เท่ากับ 4 จากตารางที่ 2.1

ตารางที่ 2.1 วงจรกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง โดยมีขนาดหน้าต่าง w เท่ากับ 5 และความยาวบิต N เท่ากับ 4

Window size $W=5$	(MSB) $k=3$	$k=2$	$k=1$	(LSB) $k=0$
$P_1=\{1,0,0,1\}$ ($= 9_{(10)}$)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)
$P_2=\{0,1,1,1\}$ ($= 7_{(10)}$)	$\{0,0,0,0\}$ (Minor)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Minor)
$P_3=\{1,0,1,0\}$ ($= 10_{(10)}$)	$\{1,0,1,0\}$ (Major)	$\{1,0,1,0\}$ (Major)	$\{1,0,1,1\}$ (Minor)	$\{1,0,1,1\}$ (Major)
$P_4=\{1,1,0,0\}$ ($= 12_{(10)}$)	$\{1,1,0,0\}$ (Major)	$\{1,1,1,1\}$ (Minor)	$\{1,1,1,1\}$ (Minor)	$\{1,1,1,1\}$ (Major)
$P_5=\{0,1,0,0\}$ ($= 4_{(10)}$)	$\{0,0,0,0\}$ (Minor)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Minor)
Median value $M_{ij}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0	0	1

จากตารางที่ 2.1 สำหรับการพิจารณาเพื่อให้ได้ค่ามัธยฐานโดยอาศัยหลักการตามสมการที่ 2.54 และสมการที่ 2.55 โดยมีขนาดหน้าต่าง W เท่ากับ 5 และความยาวบิต N เท่ากับ 4 ซึ่งขั้นตอนในการพิจารณาดังนี้

ตารางที่ 2.2 เริ่มต้นจากบิตที่มีความสำคัญที่สุด (MSB) พิจารณาค่าสมาชิกทุกตัว ที่ $k = 3$

Window size $W=5$	(MSB) $\downarrow k=3$			
$P_1=\{1,0,0,1\}$ ($= 9_{(10)}$)	$\{1,0,0,1\}$ (Major)			
$P_2=\{0,1,1,1\}$ ($= 7_{(10)}$)	$\{0,0,0,0\}$ (Minor)	→		
$P_3=\{1,0,1,0\}$ ($= 10_{(10)}$)	$\{1,0,1,0\}$ (Major)			
$P_4=\{1,1,0,0\}$ ($= 12_{(10)}$)	$\{1,1,0,0\}$ (Major)			
$P_5=\{0,1,0,0\}$ ($= 4_{(10)}$)	$\{0,0,0,0\}$ (Minor)	→		
Median value $M_{ij}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาค่าสมาชิกทุกตัว ที่ $k=3$

$P_1[3]$, $P_3[3]$, และ $P_4[3]$. มีส่วนใหญ่เป็น $\boxed{1}$ จึงทำให้ $M_i[3]=1$

ซึ่ง P_2 และ P_5 กลายเป็น $\boxed{0}$ ที่เหลือทั้งหมด เนื่องจากสมการที่ (2.55)

พิจารณา P_2 ที่ $k=3$

$$P_2[2] = \begin{cases} 1, & \text{if } P_2[3] \neq M_i[3] \text{ and } P_2[3]=1 \\ 0, & \text{if } \underbrace{P_2[3]}_{\boxed{0}} \neq \underbrace{M_i[3]}_{\boxed{1}} \text{ and } \underbrace{P_2[3]=0}_{\boxed{0}} \end{cases}$$

ซึ่งพิจารณาค่าเดิมก่อนว่าเป็น 0 หรือเป็น 1 (ซึ่งค่า $P_2[2]$ ค่าเดิม คือ 0 จึงทำให้ค่าเปลี่ยนแปลงเป็น 0 ทั้งหมด) เนื่องจากสมการที่ (2.55)

พิจารณา P_5 ที่ $k=3$

$$P_5[2] = \begin{cases} 1, & \text{if } P_5[3] \neq M_i[3] \text{ and } P_5[3]=1 \\ 0, & \text{if } \underbrace{P_5[3]}_{\boxed{0}} \neq \underbrace{M_i[3]}_{\boxed{1}} \text{ and } \underbrace{P_5[3]=0}_{\boxed{0}} \end{cases}$$

ซึ่งพิจารณาค่าเดิมก่อนว่าเป็น 0 หรือเป็น 1 (ซึ่งค่า $P_5[2]$ ค่าเดิม คือ 0 จึงทำให้ค่าเปลี่ยนแปลงเป็น 0 ทั้งหมด) เนื่องจากสมการที่ (2.55)

ตารางที่ 2.3 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 2$

Window size $W=5$	(MSB) $k=3$	$k=2$ ↓		
$P_1=\{1,0,0,1\}$ (= $9_{(10)}$)	$\{\boxed{1},0,0,1\}$ (Major)	$\{1,\boxed{0},0,1\}$ (Major)		
$P_2=\{0,1,1,1\}$ (= $7_{(10)}$)	$\{\boxed{0},0,0,0\}$ (Minor)	$\{0,\boxed{0},0,0\}$ (Major)		
$P_3=\{1,0,1,0\}$ (= $10_{(10)}$)	$\{\boxed{1},0,1,0\}$ (Major)	$\{1,\boxed{0},1,0\}$ (Major)		
$P_4=\{1,1,0,0\}$ (= $12_{(10)}$)	$\{\boxed{1},1,0,0\}$ (Major)	$\{1,\boxed{1},1,1\}$ (Minor)	→	
$P_5=\{0,1,0,0\}$ (= $4_{(10)}$)	$\{\boxed{0},0,0,0\}$ (Minor)	$\{0,\boxed{0},0,0\}$ (Major)		
Median value $M_{i,j}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาค่าสมาชิกทุกตัว ที่ $k=2$

$P_1[2], P_2[2], P_3[2]$ และ $P_5[2]$. มีส่วนใหญ่เป็น $\boxed{0}$ จึงทำให้ $M_i[2]=0$

และ P_4 กลายเป็น $\boxed{1}$ ที่เหลือทั้งหมด เนื่องจากสมการที่ (2.55)

พิจารณา P_4 ที่ $k=2$

$$P_4[2-1] = \begin{cases} 1, & \text{if } P_4[2] \neq M_i[2] \text{ and } P_4[2] = 1 \\ 0, & \text{if } P_4[2] \neq M_i[2] \text{ and } P_4[2] = 0 \end{cases}$$

$$P_4[1] = \begin{cases} 1, & \text{if } \overset{\boxed{1}}{\uparrow} P_4[2] \neq \overset{\boxed{0}}{\uparrow} M_i[2] \text{ and } \textcircled{P_4[2]=1} \\ 0, & \text{if } P_4[2] \neq M_i[2] \text{ and } P_4[2] = 0 \end{cases}$$

ซึ่งพิจารณาค่าเดิมก่อนว่าเป็น 0 หรือเป็น 1 (ซึ่งค่า $P_4[1]$ ค่าเดิม คือ 1 จึงทำให้ค่าเปลี่ยนแปลงเป็น 1 ทั้งหมด) เนื่องจากสมการที่ (2.55)

ตารางที่ 2.4 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 1$

Window size $W=5$	(MSB) $k=3$	$k=2$	$k=1$ ↓
$P_1=\{1,0,0,1\}$ ($= 9_{(10)}$)	$\{\boxed{1},0,0,1\}$ (Major)	$\{1,\boxed{0},0,1\}$ (Major)	$\{1,0,\boxed{0},1\}$ (Major)
$P_2=\{0,1,1,1\}$ ($= 7_{(10)}$)	$\{\boxed{0},0,0,0\}$ (Minor)	$\{0,\boxed{0},0,0\}$ (Major)	$\{0,0,\boxed{0},0\}$ (Major)
$P_3=\{1,0,1,0\}$ ($= 10_{(10)}$)	$\{\boxed{1},0,1,0\}$ (Major)	$\{1,\boxed{0},1,0\}$ (Major)	$\{1,0,\boxed{1},1\}$ (Minor)
$P_4=\{1,1,0,0\}$ ($= 12_{(10)}$)	$\{\boxed{1},1,0,0\}$ (Major)	$\{1,\boxed{1},1,1\}$ (Minor)	$\{1,1,\boxed{1},1\}$ (Minor)
$P_5=\{0,1,0,0\}$ ($= 4_{(10)}$)	$\{\boxed{0},0,0,0\}$ (Minor)	$\{0,\boxed{0},0,0\}$ (Major)	$\{0,0,\boxed{0},0\}$ (Major)
Median value $M_{ij}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0	0

พิจารณาค่าสมาชิกทุกตัว ที่ $k=1$

$P_1[1], P_2[1]$, และ $P_5[1]$. มีส่วนใหญ่เป็น $\boxed{0}$ จึงทำให้ $M_i[1]=0$

ซึ่ง P_3 และ P_4 กลายเป็น $\boxed{1}$ ที่เหลือทั้งหมด เนื่องจากสมการที่ (2.55)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา P_3 ที่ $k=1$

$$P_3[1-1] = \begin{cases} 1, & \text{if } P_3[1] \neq M_i[1] \text{ and } P_3[1] = 1 \\ 0, & \text{if } P_3[1] \neq M_i[1] \text{ and } P_3[1] = 0 \end{cases}$$

$$P_3[0] = \begin{cases} 1, & \text{if } \overset{\uparrow 1}{P_3[1]} \neq \overset{\uparrow 0}{M_i[1]} \text{ and } P_3[1] = 1 \\ 0, & \text{if } \overset{\uparrow 1}{P_3[1]} \neq \overset{\uparrow 0}{M_i[1]} \text{ and } P_3[1] = 0 \end{cases}$$

พิจารณา P_4 ที่ $k=1$

$$P_4[1-1] = \begin{cases} 1, & \text{if } P_4[1] \neq M_i[1] \text{ and } P_4[1] = 1 \\ 0, & \text{if } P_4[1] \neq M_i[1] \text{ and } P_4[1] = 0 \end{cases}$$

$$P_4[0] = \begin{cases} 1, & \text{if } \overset{\uparrow 1}{P_4[1]} \neq \overset{\uparrow 0}{M_i[1]} \text{ and } P_4[1] = 1 \\ 0, & \text{if } \overset{\uparrow 1}{P_4[1]} \neq \overset{\uparrow 0}{M_i[1]} \text{ and } P_4[1] = 0 \end{cases}$$

ซึ่งพิจารณาค่าเดิมก่อนว่าเป็น 0 หรือเป็น 1 (ซึ่งค่า $P_3[0]$ และ $P_4[0]$ ค่าเดิม คือ 1 จึงทำให้ค่าเปลี่ยนแปลงเป็น 1 ทั้งหมด) เนื่องจากสมการที่ (2.55)

ตารางที่ 2.5 พิจารณาค่าสมาชิกทุกตัว ที่ $k = 0$

Window size $W=5$	(MSB) $k=3$	$k=2$	$k=1$	(LSB) $k=0 \downarrow$
$P_1 = \{1, 0, 0, 1\}$ (= $9_{(10)}$)	$\{\overset{\uparrow 1}{1}, 0, 0, 1\}$ (Major)	$\{1, \overset{\uparrow 0}{0}, 0, 1\}$ (Major)	$\{1, 0, \overset{\uparrow 0}{0}, 1\}$ (Major)	$\{1, 0, 0, \overset{\uparrow 1}{1}\}$ (Major)
$P_2 = \{0, 1, 1, 1\}$ (= $7_{(10)}$)	$\{\overset{\uparrow 0}{0}, 0, 0, 0\}$ (Minor)	$\{0, \overset{\uparrow 0}{0}, 0, 0\}$ (Major)	$\{0, 0, \overset{\uparrow 0}{0}, 0\}$ (Major)	$\{0, 0, 0, \overset{\uparrow 0}{0}\}$ (Minor)
$P_3 = \{1, 0, 1, 0\}$ (= $10_{(10)}$)	$\{\overset{\uparrow 1}{1}, 0, 1, 0\}$ (Major)	$\{1, \overset{\uparrow 0}{0}, 1, 0\}$ (Major)	$\{1, 0, \overset{\uparrow 1}{1}, 0\}$ (Minor)	$\{1, 0, 1, \overset{\uparrow 1}{1}\}$ (Major)
$P_4 = \{1, 1, 0, 0\}$ (= $12_{(10)}$)	$\{\overset{\uparrow 1}{1}, 1, 0, 0\}$ (Major)	$\{1, \overset{\uparrow 1}{1}, 1, 0\}$ (Minor)	$\{1, 1, \overset{\uparrow 1}{1}, 0\}$ (Minor)	$\{1, 1, 1, \overset{\uparrow 1}{1}\}$ (Major)
$P_5 = \{0, 1, 0, 0\}$ (= $4_{(10)}$)	$\{\overset{\uparrow 0}{0}, 0, 0, 0\}$ (Minor)	$\{0, \overset{\uparrow 0}{0}, 0, 0\}$ (Major)	$\{0, 0, \overset{\uparrow 0}{0}, 0\}$ (Major)	$\{0, 0, 0, \overset{\uparrow 0}{0}\}$ (Minor)
Median value $M_{i,j}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0	0	1

พิจารณา ที่ $k=0$

$P_1[0]$, $P_3[0]$, และ $P_4[0]$. มีส่วนใหญ่เป็น $\overset{\uparrow 1}{1}$ จึงทำให้ $M_i[0]=1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจากสมการที่ (2.54) และจากสมการที่ (2.55) จึงทำให้ได้ค่ามัธยฐานดังตารางที่ 2.1

Window size $W=5$	(MSB) $k=3$	$k=2$	$k=1$	(LSB) $k=0$
$P_1=\{1,0,0,1\}$ ($= 9_{(10)}$)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)	$\{1,0,0,1\}$ (Major)
$P_2=\{0,1,1,1\}$ ($= 7_{(10)}$)	$\{0,0,0,0\}$ (Minor)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Minor)
$P_3=\{1,0,1,0\}$ ($= 10_{(10)}$)	$\{1,0,1,0\}$ (Major)	$\{1,0,1,0\}$ (Major)	$\{1,0,1,1\}$ (Minor)	$\{1,0,1,1\}$ (Major)
$P_4=\{1,1,0,0\}$ ($= 12_{(10)}$)	$\{1,1,0,0\}$ (Major)	$\{1,1,1,1\}$ (Minor)	$\{1,1,1,1\}$ (Minor)	$\{1,1,1,1\}$ (Major)
$P_5=\{0,1,0,0\}$ ($= 4_{(10)}$)	$\{0,0,0,0\}$ (Minor)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Major)	$\{0,0,0,0\}$ (Minor)
Median value $M_{i,j}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0	0	1
	$M_i[3]=1$	$M_i[2]=0$	$M_i[1]=0$	$M_i[0]=1$

ดังนั้นหลักการกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองจะมีค่ามัธยฐานเอาต์พุตเท่ากับ $1, 0, 0, 1 = 9_{(10)}$ เพื่อให้ได้ค่ามัธยฐานเอาต์พุตดังกล่าวนี้จะต้องใช้วงจรตามโครงหลัก ซึ่งจะประกอบไปด้วยวงจรควบคุมลอจิกและวงจรเลือกข้างมากซึ่งจะนำเสนอไว้ในบทที่ 4

2.4 บทสรุป

เนื้อหาในบทนี้เป็นการอธิบายถึงวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส จำนวน 2 เทคนิค เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุด เทคนิคที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง โดยแต่ละวงจรที่กล่าวมานั้นมีคุณสมบัติแตกต่างกันไป ซึ่งวงจรกรองมัธยฐานบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุด แต่ละวงจรซึ่งจากการศึกษางานวิจัยที่เคยถูกนำเสนอในอดีตสามารถสรุปจุดเด่นและข้อจำกัดได้ดังนี้

1. วงจรหาค่ากระแสสูงสุดแบบ 3 อินพุตที่นำเสนอโดย C. Y. Huang และคณะ [67] ซึ่งเป็นการนำเสนอวงจรหาค่ากระแสสูงสุดแบบ 3 อินพุต นอกจากนี้ยังสามารถเพิ่มจำนวนอินพุตได้ แต่วงจรยังไม่สามารถหาค่ากระแสต่ำสุดหรือค่ามัธยฐานได้ ซึ่งต้องอาศัยวงจรอื่น ๆ มาประกอบหรือเปลี่ยนแปลงโครงสร้างของวงจร

2. วงจรหาค่ากระแสต่ำสุดแบบ 3 อินพุตแบบซีมอสที่นำเสนอโดย C. J. Wang และคณะ [68] ซึ่งกระแสของมอสทรานซิสเตอร์จะทำงานในช่วงกระแสอิ่มตัว วงจรจะถูกแบ่งออกเป็นลักษณะเซลล์โดยที่แต่ละเซลล์นั้นจะรองรับหนึ่งอินพุต โดยจะประกอบด้วยทรานซิสเตอร์สี่ตัวต่ออยู่ในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรสะท้อนกระแสแบบพื้นฐาน ซึ่งจะทำหน้าที่ส่งผ่านกระแสอินพุตไปสู่ Min Cell เป็นรูปแบบของวงจรซอร์สคัปเปิ้ลแบบหลายอินพุต แต่วงจรยังไม่สามารถหาค่ากระแสสูงสุดหรือค่ามัธยฐานได้ ซึ่งต้องอาศัยวงจรอื่น ๆ มาประกอบหรือเปลี่ยนแปลงโครงสร้างของวงจร

3. วงจรหาค่าสูงสุด ค่ากลาง และค่าต่ำสุดแบบ 3 อินพุต สำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31] ซึ่งทำงานแบบแอนะล็อกภายใต้เทคโนโลยีทรานซิสเตอร์แบบซีเอ็มอส ทำงานในช่วงนำกระแสอิมิตัว จากโครงสร้างการทำงานประกอบด้วยวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตจำนวน 3 วงจร ที่นำมาต่อรวมกันลักษณะในโครงข่ายการเรียงลำดับแบบฟอง ซึ่งจากโครงสร้างการทำงานจะเห็นได้ว่าจะมีลักษณะในการเรียงลำดับซึ่งจะต้องใช้การประมวลผลหลายครั้งเพื่อจะได้ค่าสูงสุด ค่ากลาง และค่าต่ำสุด

4. วงจรหาค่าสูงสุดแบบหลายอินพุตที่นำเสนอโดย C. Pojanasuwanchai และคณะ [35] เป็นวงจรหาค่าสูงสุดที่มีการทำงานในโหมดกระแส สามารถรองรับกับจำนวนกระแสอินพุตได้หลายสัญญาณอินพุต โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (Delay Time) เป็นผลทำให้มีความผิดพลาดของสัญญาณเอาต์พุตต่ำ และการทำงานวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลง เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ และสามารถใช้งานได้กับแหล่งจ่ายไฟแรงดันต่ำ แต่ในการออกแบบนี้ได้แยกออกเป็นสองวงจร ซึ่งในแต่ละวงจรสามารถใช้เป็นวงจรหาค่าสูงสุดหรือหาค่าต่ำสุดได้เพียงอย่างเดียว

5. วงจรหาค่าสูงสุดและค่าต่ำสุดที่นำเสนอโดย S. Keawconthai [37] สามารถที่จะให้สัญญาณค่าสูงสุดและค่าต่ำสุดในเวลาเดียวกัน และยังสามารถเพิ่มจำนวนสัญญาณอินพุตได้หลายอินพุต แต่วงจรมีข้อจำกัดตรงวงจรหาค่าสูงสุดและค่าต่ำสุดนี้ สามารถทำงานได้เพียงกระแสที่มีค่าบวกเท่านั้น และเป็นวงจรที่ต้องการสัญญาณอินพุตในรูปของสัญญาณกระแส ดังนั้นการนำไปประยุกต์ใช้งานสำหรับการประมวลผลสัญญาณในรูปของสัญญาณแรงดัน จำเป็นต้องมีวงจรแปลงสัญญาณแรงดันเป็นกระแส (Voltage-to-Current Converter) ที่ส่วนอินพุตของวงจร

บทที่ 3

กลุ่มวงจรย่อยที่ใช้ในวิทยานิพนธ์

3.1 กล่าวนำ

ในบทนี้จะกล่าวถึงกลุ่มวงจรย่อยที่เป็นส่วนประกอบของวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอส จำนวน 2 เทคนิค คือเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส ซึ่งจะประกอบไปด้วยกลุ่มวงจรย่อยได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 และวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต โดยได้อธิบายสัญลักษณ์ของมอสเฟต (ภาคผนวก ก.1) วงจรสมมูลแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก (ภาคผนวก ก.2) และคุณสมบัติการไบแอสมอสเฟตที่ชอบของการนำกระแสในช่วงนำกระแสอิมิตัว (ภาคผนวก ก.3)

ซึ่งในส่วนของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการคั่นหาระบบฐานสอง จะใช้วงจรควบคุมลอจิกทำงานร่วมกับวงจรเลือกข้างมากเพื่อใช้ในการหาค่ามัธยฐาน โดยจะประกอบไปด้วยกลุ่มวงจรย่อยได้แก่ วงจรควบคุมลอจิกจำนวน 2 วงจรที่แตกต่างกัน (วงจรควบคุมลอจิกแบบที่ 1 และวงจรควบคุมลอจิกแบบที่ 2) และวงจรเลือกข้างมากจำนวน 4 วงจรที่แตกต่างกัน (วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอส วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดัดแปลง วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต และวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซีมอส) มาประกอบตามโครงสร้างหลักบนพื้นฐานอัลกอริทึมการคั่นหาระบบฐานสอง

กลุ่มวงจรย่อยของวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซีมอสที่ใช้ในวิทยานิพนธ์ โดยจะมีกลุ่มวงจรย่อยดังหัวข้อต่อไปนี้

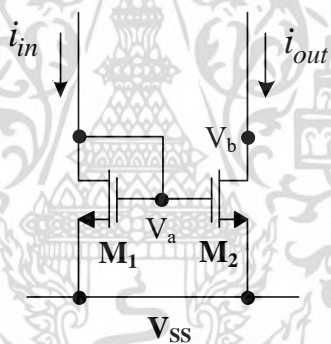
3.2 วงจรสะท้อนกระแสแบบพื้นฐาน

โครงสร้างของวงจรสะท้อนกระแส (Current Mirror) แบบพื้นฐานจะประกอบด้วยมอสเฟต M_1 และ M_2 [63], [70]-[71] ดังรูปที่ 3.1 โดยต่อขาเกตของมอสเฟต M_1 และ M_2 ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตทั้งสองจะมีค่าเท่ากัน คือ v_a จากการป้อนกระแสอินพุต i_{in} ที่ขาเดรนของมอสเฟต M_1 ค่าแรงดัน v_a จะมีค่าสูงขึ้นทำให้ M_1 และ M_2 อยู่ในสภาวะนำกระแสและเกิดการไหลของกระแสเอาต์พุต i_{out} จากการทำงานของมอสเฟตในช่วงนำกระแสอิมิตัวจะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} = \frac{(W/L)_2}{(W/L)_1} \quad (3.1)$$

จากสมการที่ (3.1) พบว่า วงจรสะท้อนกระแส M_1 - M_2 จะทำหน้าที่สำเนากระแสพร้อมทั้งขยายสัญญาณกระแสจากอินพุตโนด v_a ไปสู่อเอาต์พุตโนด v_b โดยค่าอัตราขยายสัญญาณจะขึ้นอยู่กับอัตราส่วนระหว่างความกว้างต่อความยาวของแชนเนล (W/L) ของมอสเฟต M_1 และ M_2 สำหรับกระบวนการผลิตวงจรรวม (Fabrication Process) โดยทั่วไปจากการผลิตจะกำหนดให้ความยาวของแชนเนล L ของมอสเฟต M_1 และ M_2 ให้มีค่าเท่ากันและมีความสมพงษ์กันทุกประการ แต่จะปรับเปลี่ยนค่าความกว้างของแชนเนล W แทน [74] ดังเช่น ถ้ากำหนดให้ $(W/L)_2 = (W/L)_1 = 10\mu\text{m}/5\mu\text{m}$ วงจรสะท้อนกระแส M_1 - M_2 จะสำเนากระแสพร้อมทั้งขยายสัญญาณด้วยค่าอัตราขยายเท่ากับหนึ่ง ($i_{out} \cong i_{in}$) แต่ถ้า $(W/L)_2 = 10\mu\text{m}/5\mu\text{m}$ และ $(W/L)_1 = 5\mu\text{m}/5\mu\text{m}$ วงจรสะท้อนกระแส M_1 - M_2 จะสำเนากระแสพร้อมทั้งขยายสัญญาณกระแสด้วยค่าอัตราขยายเท่ากับสอง ($i_{out} \cong 2i_{in}$) เป็นต้น



รูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐาน

3.2.1 การวิเคราะห์คุณสมบัติการทำงาน

การทำงานของวงจรสะท้อนกระแสในหัวข้อที่ 3.2 เป็นการกำหนดให้มอสเฟต M_1 และ M_2 มีคุณสมบัติเป็นไปตามอุดมคติและมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติมอสเฟตทรานซิสเตอร์ M_1 และ M_2 ไม่สมพงษ์กันทุกประการ และค่าทรานส์คอนดักแตนซ์ g_{m1} และ g_{m2} มีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ซึ่งในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจร (ภาคผนวก ข.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ ของวงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 3.2 จะได้ฟังก์ชันส่งผ่านของวงจร (ภาคผนวก ข.1.1) ดังนี้

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \frac{1}{(T_{CM}s + 1)} \quad (3.2)$$

โดยที่

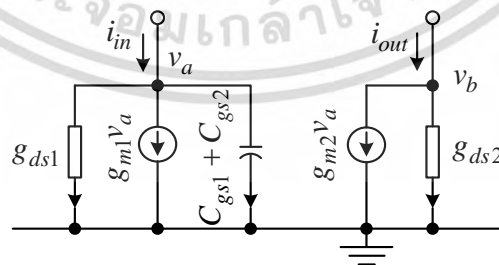
$$T_{CM} = \frac{C_{gs1} + C_{gs2}}{g_{m1}} \quad (3.3)$$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง (DC Gain) และค่าตำแหน่งของโพล (Pole) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน จะมีค่าดังนี้

$$\beta_{CM} = \left. \frac{i_{out}}{i_{in}} \right|_{s=0} = \frac{g_{m2}}{g_{m1}} \quad (3.4)$$

$$f_{p_{CM}} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2})} \quad (3.5)$$

จากสมการที่ (3.4) และ (3.5) พบว่า การควบคุมอัตราขยายของวงจรสะท้อนกระแสสามารถทำได้โดยการปรับเปลี่ยนค่าทรานส์คอนดักแตนซ์ g_m ของมอสเฟตด้วยการกำหนดค่าอัตราส่วน W/L และถ้าหากต้องการให้วงจรสะท้อนกระแสมีผลตอบสนองทางความถี่ที่สูงควรออกแบบให้ค่าความจุไฟฟ้า C_{gs} ของมอสเฟต M_1 และ M_2 มีค่าต่ำ หรือทำการเพิ่มค่า g_m ให้สูงขึ้น



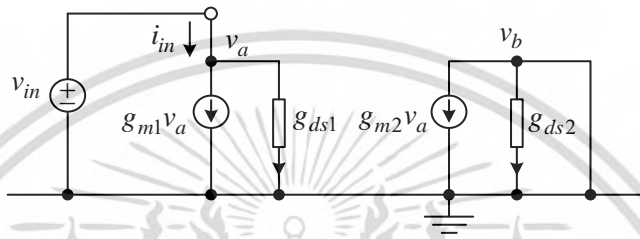
รูปที่ 3.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

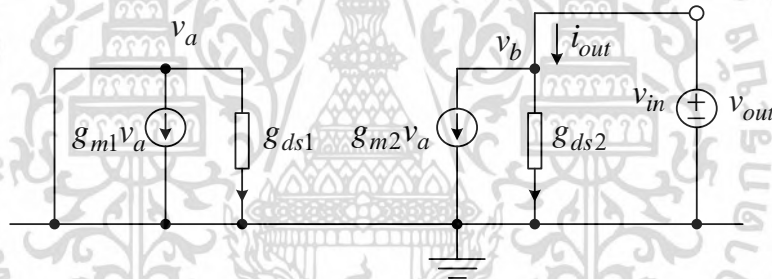
3.2.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากการวิเคราะห์วงจรสมมูลดังรูปที่ 3.3 (ภาคผนวก ข.1.2) พบว่าความต้านทานอินพุต r_{in} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าทรานส์คอนดักแตนซ์ของมอสเฟต M_1 ที่ต่ออยู่ในรูปของไดโอด ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W}\right)_1} \frac{1}{2\mu C_{ox} i_{in}} \quad (3.6)$$



รูปที่ 3.3 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสแบบพื้นฐาน



รูปที่ 3.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐาน

จากสมการที่ (3.6) พบว่า การปรับปรุงให้ค่าความต้านทาน r_{in} ให้มีค่าต่ำ สามารถทำได้โดยการเพิ่มค่าความกว้าง $(W)_1$ หรือลดค่าความยาว $(L)_1$ ของแชนเนลของมอสเฟต M_1

จากการวิเคราะห์วงจรสมมูลดังรูปที่ 3.4 (ภาคผนวก ข.1.2) พบว่าความต้านทานเอาต์พุต r_{out} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าความต้านทานระหว่างขาเดรนกับขาซอร์สของมอสเฟต M_2 ดังนี้

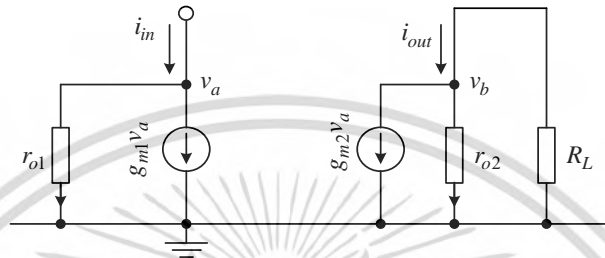
$$r_{out} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out}} \quad (3.7)$$

จากสมการที่ (3.7) พบว่า การปรับปรุงให้ค่าความต้านทานเอาต์พุต r_{out} ให้มีค่าสูง สามารถทำได้โดยการออกแบบให้ค่าพารามิเตอร์ λ มีค่าต่ำ ๆ หรือควบคุมกระแสเอาต์พุต r_{out} ให้มีค่าน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4. การวิเคราะห์ค่าความผิดพลาดของวงจร

ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_1 และ M_2 เป็นหลัก ถ้ากำหนดให้ $\varepsilon_{CM(\text{gain}:1)}$ และ $\varepsilon_{CM(\text{gain}:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีอัตราการขยายกระแสเท่ากับหนึ่งและสอง ตามลำดับ จากการวิเคราะห์ห้วงจรสมมูลดังรูปที่ 3.5 (ภาคผนวก ข.1.3) จะได้ว่า



รูปที่ 3.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน

$$\varepsilon_{CM(\text{gain}:1)} = 1 - \left(\frac{i_{out}}{i_{in}} \right) \cong \frac{g_{m1} - g_{m2}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (3.8)$$

$$\varepsilon_{CM(\text{gain}:2)} = 1 - \left(\frac{i_{out}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{m2}}{2g_{m1}} + \frac{R_L}{r_{o2}} \quad (3.9)$$

3.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

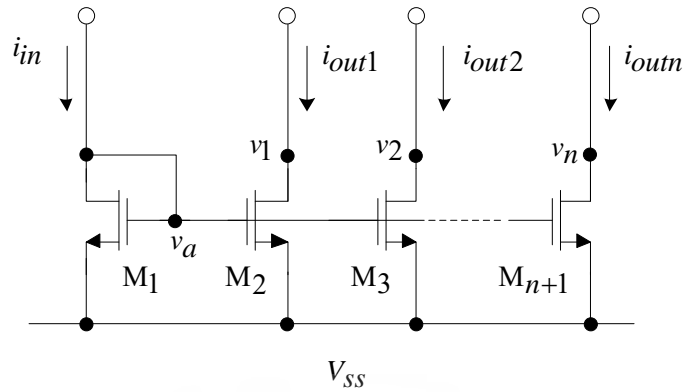
โครงสร้างของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุตแสดงในรูปที่ 3.6 โดยต่อขาเกตของมอสเฟต M_1, M_2, \dots, M_{n+1} ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับชาออร์สของมอสเฟตทุกตัวจะมีค่าเท่ากัน คือ v_a ถ้ามอสเฟตทุกตัวมีความสมพงษ์กันทุกประการ จะได้ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{outj} และกระแสอินพุต i_{in} ดังนี้

$$\frac{i_{outj}}{i_{in}} = \frac{(W/L)_{j+1}}{(W/L)_1} \quad (3.10)$$

กำหนดให้ j คือ ลำดับที่ของเอาต์พุต ($j = 1, 2, \dots, n$)

n คือ จำนวนเอาต์พุตของวงจร (สามารถขยายได้หลายเอาต์พุต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

3.3.1. การวิเคราะห์คุณสมบัติการทำงาน

การทำงานของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุตในหัวข้อที่ 3.3 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว ซึ่งสำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่า g_m ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจร (ภาคผนวก ข.2)

3.3.2 การวิเคราะห์อัตราการขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 3.7 (ภาคผนวก ข.2.1) จะได้ความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุตลำดับที่ j หรือ i_{outj} ดังนี้คือ

$$\frac{i_{outj}}{i_{in}} = \left(\frac{g_{mj+1}}{g_{m1}} \right) \frac{1}{(T_{CMn}s + 1)} \quad (3.11)$$

เมื่อ

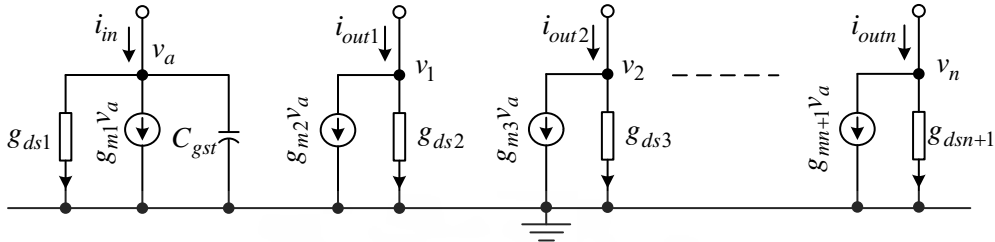
$$T_{CMn} = \frac{C_{gs1} + C_{gs2} + \dots + C_{gsn}}{g_{m1}} = \frac{C_{gst}}{g_{m1}} \quad (3.12)$$

สำหรับอัตราขยายกระแสสำหรับสัญญาณเอาต์พุตลำดับที่ j (β_{CMj}) และค่าตำแหน่งของโพล (f_{pCMn}) ซึ่งเป็นขีดจำกัดในการใช้งานของวงจร จะมีค่าดังนี้

$$\beta_{CMj} = \frac{i_{outj}}{i_{in}} \Big|_{s=0} = \frac{g_{mj+1}}{g_{m1}} \quad (3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{pCMn} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2} + \dots + C_{gsn})} = \frac{g_{m1}}{2\pi C_{gst}} \quad (3.14)$$



รูปที่ 3.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต

3.3.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.3 โดยมีค่าความต้านทานอินพุต (r_{in}) และค่าความต้านทานเอาต์พุตลำดับที่ j (r_{outj}) ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W}\right)_1} \frac{1}{2\mu_n C_{ox} i_{in}} \quad (3.15)$$

$$r_{outj} = \frac{1}{g_{dsj+1}} \quad (3.16)$$

3.3.4 การวิเคราะห์ค่าความผิดพลาดของวงจร

การวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.4 เมื่อพิจารณาที่เอาต์พุตลำดับที่ j ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพียงกันของมอสเฟต M_1 และ M_{j+1} เป็นหลัก ถ้ากำหนดให้ $\mathcal{E}_{CMj(\text{gain}:1)}$ และ $\mathcal{E}_{CMj(\text{gain}:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสสำหรับเอาต์พุตลำดับที่ j ซึ่งมีอัตราขยายกระแสเท่ากับหนึ่งและสอง ตามลำดับ จะได้ว่า

$$\mathcal{E}_{CMj(\text{gain}:1)} = 1 - \left(\frac{i_{outj}}{i_{in}}\right) \cong \frac{g_{m1} - g_{mj+1}}{g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (3.17)$$

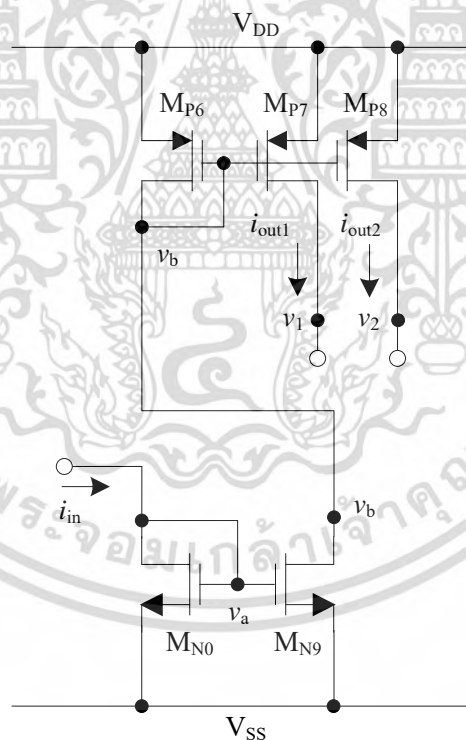
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon_{CMj(\text{gain}:2)} = 1 - \left(\frac{i_{outj}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{mj+1}}{2g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (3.18)$$

3.4 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1

วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ซึ่งก็คือชุดของวงจรสะท้อนกระแส $CM1$, $CM2$ และ $CM3$ ดังแสดงในรูปที่ 3.8 ของวงจรกรองมัธยฐานเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแสที่นำเสนอ โดยได้มีการพัฒนามาจากวงจรสะท้อนกระแสแบบพื้นฐาน ประกอบด้วยเอ็นมอสทรานซิสเตอร์ M_{N0} , M_{N9} และพีมอสทรานซิสเตอร์ M_{P6} , M_{P7} , M_{P8} ที่มีอัตรากระแสผ่านกระแสเท่ากับหนึ่ง ซึ่งเป็นวงจรสะท้อนกระแสที่มีสองเอาต์พุตจะได้สมการดังนี้

$$i_{in} = i_{out1} = i_{out2} \quad (3.19)$$



รูปที่ 3.8 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1

3.4.1 การวิเคราะห์คุณสมบัติการทำงาน

การทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ในหัวข้อที่ 3.4 ซึ่งเป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและเอ็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์ M_{N0}, M_{N9} และพีมอสทรานซิสเตอร์ M_{P6}, M_{P7} , และ M_{P8} มีการทำงานในช่วงนำกระแสมีตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่า g_m ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎีในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจร (ภาคผนวก ข.3)

3.4.2 การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 3.9 (ภาคผนวก ข.3.1) จะได้ความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุต i_{out1} และ i_{out2} คือ

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m7}}{g_{m0}} \right) \frac{1}{(T_{CM}s + 1)} \quad (3.20)$$

$$\frac{i_{out2}}{i_{in}} = \left(\frac{g_{m8}}{g_{m0}} \right) \frac{1}{(T_{CM}s + 1)} \quad (3.21)$$

เมื่อ
$$T_{CM} = \frac{C_{gs0} + C_{gs9}}{g_{m0}} \quad (3.22)$$

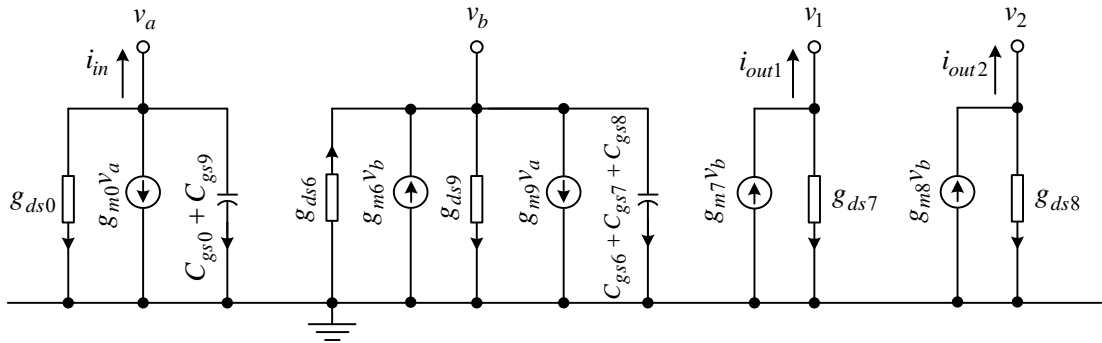
สำหรับอัตราขยายกระแสสำหรับสัญญาณเอาต์พุต i_{out1} และ i_{out2} และค่าตำแหน่งของโพล (f_{PCM}) ซึ่งเป็นขีดจำกัดในการใช้งานของวงจรจะมีค่าดังนี้

$$\beta_{CM} = \left. \frac{i_{out1}}{i_{in}} \right|_{s=0} = \frac{g_{m7}}{g_{m0}} \quad (3.23)$$

$$\beta_{CM} = \left. \frac{i_{out2}}{i_{in}} \right|_{s=0} = \frac{g_{m8}}{g_{m0}} \quad (3.24)$$

$$f_{PCM} = \frac{g_{m0}}{2\pi(C_{gs0} + C_{gs9} + C_{gs6} + C_{gs7} + C_{gs8})} = \frac{g_{m0}}{2\pi C_{gst}} \quad (3.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



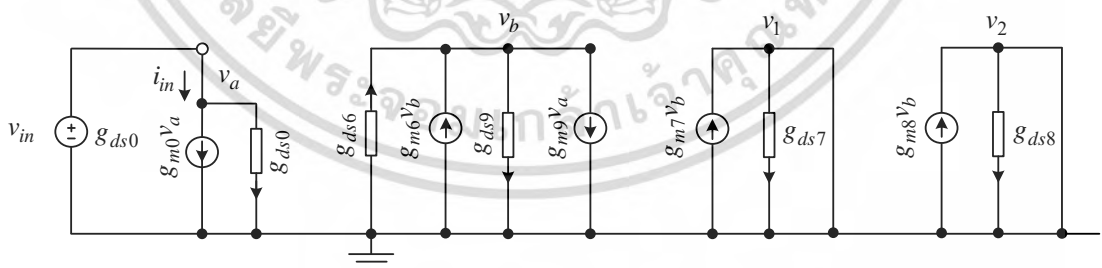
รูปที่ 3.9 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1

3.4.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของการทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 สามารถวิเคราะห์ที่ได้เช่นเดียวกับการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.3 โดยมีค่าความต้านทานอินพุต (r_{in}) และค่าความต้านทานเอาต์พุต i_{out1} และ i_{out2} ดังนี้

$$r_{in} \cong \frac{1}{g_{m0}} = \sqrt{\left(\frac{L}{W}\right)_0} \frac{1}{2\mu_n C_{ox} i_{in}} \quad (3.26)$$

$$i_{out1} = (g_{ds7})v_{out1} \quad \text{และ} \quad i_{out2} = (g_{ds8})v_{out2} \quad (3.27)$$



รูปที่ 3.10 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 การวิเคราะห์ค่าความผิดพลาดของวงจรถ่าย

การวิเคราะห์ค่าความผิดพลาดของวงจรถ่ายสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 สามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความผิดพลาดของวงจรถ่ายสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.4 เมื่อพิจารณาที่เอาต์พุตลำดับที่ j ค่าความผิดพลาดของวงจรถ่ายจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_{N0} และ M_{N9} เป็นหลัก ถ้ากำหนดให้ $\mathcal{E}_{CMj(\text{gain}:1)}$ และ $\mathcal{E}_{CMj(\text{gain}:2)}$ คือ ค่าความผิดพลาดของวงจรถ่ายสะท้อนกระแสสำหรับเอาต์พุต ซึ่งมีอัตราการขยายกระแสเท่ากับหนึ่งและสองตามลำดับ จะได้ว่า

$$\mathcal{E}_{CM(\text{gain}:1)} = \frac{(g_{m0} - g_{m9})r_{o9}}{g_{m0}(r_{o9} + R_L)} + \frac{R_L}{r_{o9} + R_L} \quad (3.28)$$

$$\mathcal{E}_{CM(\text{gain}:2)} = \frac{(2g_{m0} - g_{m9})r_{o9}}{2g_{m0}(r_{o9} + R_L)} + \frac{R_L}{(r_{o9} + R_L)} \quad (3.29)$$

3.5 วงจรถ่ายสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2

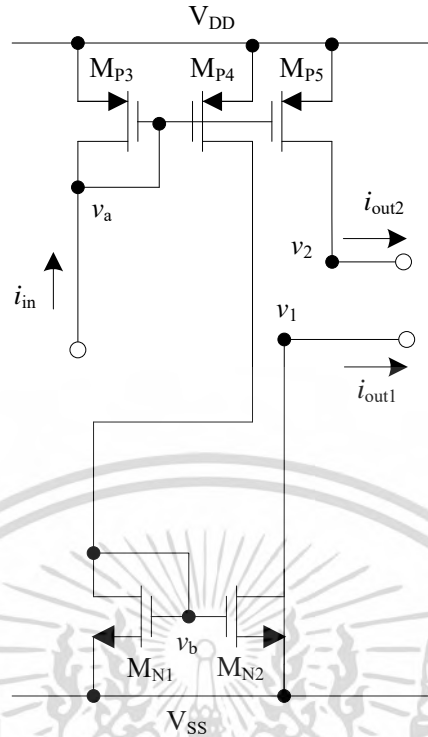
วงจรถ่ายสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ซึ่งก็คือชุดของวงจรถ่ายสะท้อนกระแส $CM4$ และ $CM5$ ดังแสดงในรูปที่ 3.10 ของวงจรถ่ายกรองมัธยมฐานเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรถ่ายหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรถ่ายสะท้อนกระแสที่นำเสนอ โดยได้มีการพัฒนามาจากวงจรถ่ายสะท้อนกระแสแบบพื้นฐานประกอบด้วยเอ็นมอสทรานซิสเตอร์ M_{N1} , M_{N2} และพีมอสทรานซิสเตอร์ M_{P3} , M_{P4} , และ M_{P5} ที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ซึ่งเป็นวงจรถ่ายสะท้อนกระแสที่มีสองเอาต์พุตจะได้สมการดังนี้

$$i_{in} = i_{out1} = i_{out2} \quad (3.30)$$

3.5.1 การวิเคราะห์คุณสมบัติการทำงาน

การทำงานของวงจรถ่ายสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ในหัวข้อที่ 3.5 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและเอ็นมอสทรานซิสเตอร์ M_{N1} , M_{N2} และพีมอสทรานซิสเตอร์ M_{P3} , M_{P4} , M_{P5} มีการทำงานในช่วงนำกระแสอิมิตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่า g_m ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรถ่ายไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรถ่ายสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจรถ่าย (ภาคผนวก ข.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2

3.5.2 การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 3.12 (ภาคผนวก ข.4.1) จะได้ความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุต i_{out1} และ i_{out2} คือ

$$\frac{i_{out1}}{i_{in}} = \frac{g_{m2}}{g_{m3} + sC_{gs3} + sC_{gs4} + sC_{gs5}} \quad (3.31)$$

$$\frac{i_{out2}}{i_{in}} = \left(\frac{g_{m5}}{g_{m3}} \right) \frac{1}{(T_{CM}s + 1)} \quad (3.32)$$

เมื่อ

$$T_{CM} = \frac{C_{gs3} + C_{gs4} + C_{gs5}}{g_{m3}} \quad (3.33)$$

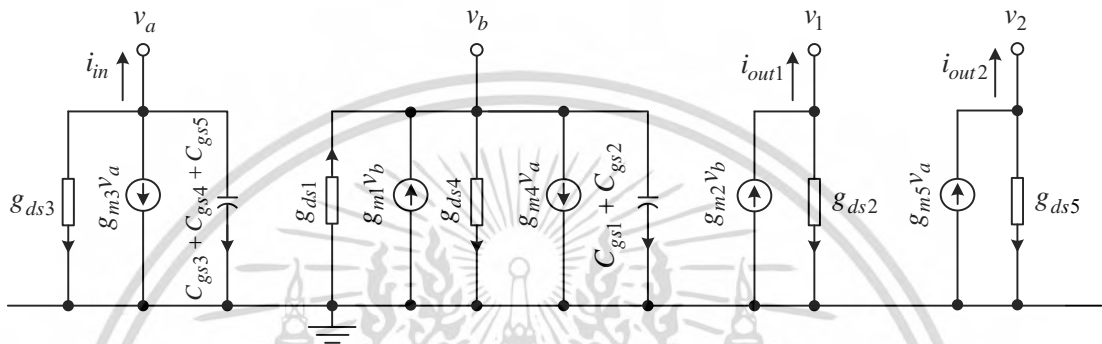
สำหรับอัตราขยายกระแสสำหรับสัญญาณเอาต์พุต i_{out1} และ i_{out2} และค่าตำแหน่งของโพล (f_{PCM}) ซึ่งเป็นขีดจำกัดในการใช้งานของวงจรจะมีค่าดังนี้

$$\beta_{CM} = \left. \frac{i_{out1}}{i_{in}} \right|_{s=0} = \frac{g_{m3}}{g_{m2}} \quad (3.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta_{CM} = \left. \frac{i_{out2}}{i_{in}} \right|_{s=0} = \frac{g_{m5}}{g_{m3}} \quad (3.35)$$

$$f_{p_{CM}} = \frac{g_{m3}}{2\pi(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5})} = \frac{g_{m3}}{2\pi C_{gst}} \quad (3.36)$$



รูปที่ 3.12 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2

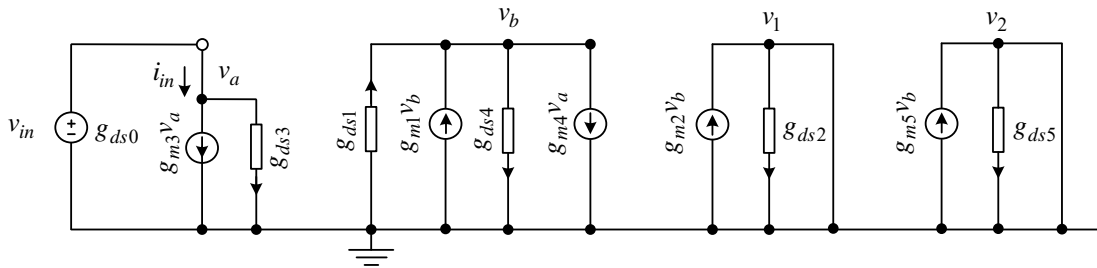
3.5.3 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของการทำงานของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 สามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.3 โดยมีค่าความต้านทานอินพุต (r_{in}) และค่าความต้านทานเอาต์พุต i_{out1} และ i_{out2} ดังนี้

$$r_{in} \cong \frac{1}{g_{m3}} \sqrt{\left(\frac{L}{W}\right)_3 \frac{1}{2\mu C_{ox} i_{in}}} \quad (3.37)$$

$$i_{out1} = (g_{ds2})v_{out1} \quad \text{และ} \quad i_{out2} = (g_{ds5})v_{out2} \quad (3.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2

3.5.4 การวิเคราะห์ค่าความผิดพลาดของวงจร

การวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ซึ่งสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.4 เมื่อพิจารณาที่เอาต์พุต ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_{P1} และ M_{P4} เป็นหลัก ถ้ากำหนดให้ $\varepsilon_{CMj(\text{gain:1})}$ และ $\varepsilon_{CMj(\text{gain:2})}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสสำหรับเอาต์พุต ซึ่งมีอัตราการขยายกระแสเท่ากับหนึ่งและสองตามลำดับ จะได้ว่า

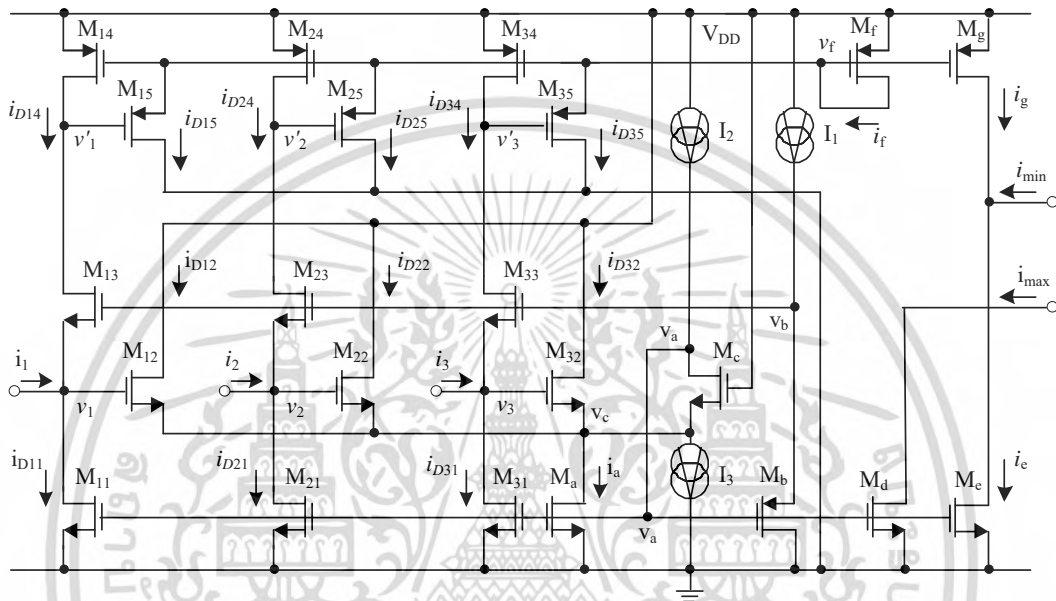
$$\varepsilon_{CM(\text{gain:1})} = \frac{(g_{m3} - g_{m4})r_{o4}}{g_{m3}(r_{o4} + R_L)} + \frac{R_L}{r_{o4} + R_L} \quad (3.39)$$

$$\varepsilon_{CM(\text{gain:2})} = \frac{(2g_{m3} - g_{m4})r_{o4}}{2g_{m3}(r_{o4} + R_L)} + \frac{R_L}{(r_{o4} + R_L)} \quad (3.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต

วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอในวิทยานิพนธ์ ซึ่งได้พัฒนามาจากหลักการและทฤษฎีในบทที่ 2 (รูปที่ 2.7 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย S. Keawconthai [37]) สามารถนำมาพัฒนาเป็นวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ ได้ดังแสดงในรูปที่ 3.14



รูปที่ 3.14 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต

วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต ดังแสดงในรูปที่ 3.14 จะมีการทำงานเช่นเดียวกับวงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตที่เสนอใน [37] แต่จะแตกต่างกันตรงที่การนำไปต่อร่วมกับโครงสร้างหลักที่ใช้เทคนิคที่แตกต่างกัน โดยวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอในวิทยานิพนธ์นี้จะนำไปต่อตามโครงสร้างหลักของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต (i_1, i_2 และ i_3) ต่อร่วมกับวงจรสะท้อนกระแสโดยใช้เอ็นโมสร่วมกับพีมอสที่มีสองเอาต์พุต (แบบที่ 1 และแบบที่ 2) และรวมกระแส (Current Summation) ที่โนดร่วมซึ่งจะได้ค่ามัธยฐาน i_{med} โดยจะอธิบายรายละเอียดในบทที่ 4 ดังนั้นจะสามารถหากระแสเอาต์พุตซึ่งเป็นกระแสมัธยฐาน i_{med} ได้ดังสมการที่ 3.41

$$i_{med} = (i_1 + i_2 + i_3) - i_{max} - i_{min} \quad (3.41)$$

จากรูปที่ 3.14 เมื่อมีจำนวนอินพุตเท่ากับ 3 ($n=3$) โดย 1 อินพุตใช้เอ็นโมสจำนวน 3 ตัว ($M_{j1} - M_{j3}$) และพีมอสจำนวน 2 ตัว ($M_{j4} - M_{j5}$) เมื่อ j คือ ลำดับของกระแสอินพุตมีค่า $j=1,2$ และ 3 ทราวนซิสเตอร์ M_c ถูกใช้เป็นตัวส่งสัญญาณอินพุตสูงสุดไปยังโนดเอาต์พุตต่ำสุด ส่วนมอสเฟตเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ M_j และ M_g ถูกใช้เป็นวงจรถ่ายโอนกระแสที่มีอัตราขยายเท่ากับหนึ่ง หากกำหนดให้กระแสอินพุตทั้ง 3 ตัวเป็นบวก และให้ i_1 คือกระแสเอาต์พุตสูงสุด และ i_2 คือกระแสเอาต์พุตต่ำสุด ดังนั้นสามารถเขียนสมการแสดงความสัมพันธ์ได้ดังนี้

$$i_1 = \max(i_1, i_2, i_3) \quad (3.42)$$

$$i_2 = \min(i_1, i_2, i_3) \quad (3.43)$$

จากสมการที่ (3.42) และสมการที่ (3.43) กระแสเดรนของทรานซิสเตอร์ M_{13} , M_{23} และ M_{33} ซึ่งจะสามารถเขียนได้ดังสมการที่ (3.44) ถึงสมการที่ (3.46)

$$i_{D13} = 0 \quad (3.44)$$

$$i_{D23} = i_1 - i_2 \quad (3.45)$$

$$i_{D33} = i_1 - i_3 \quad (3.46)$$

กระแส i_{D21} ที่ไหลผ่านทรานซิสเตอร์ M_{21} จะไปเพิ่มแรงดันที่ตกคร่อมขาเกตและขาซอร์ส V_{GS} เป็นผลให้ทำให้ทรานซิสเตอร์ M_{22} อยู่ในสภาวะคัทออฟ เช่นเดียวกับกระแส i_{D31} ที่ไหลผ่านทรานซิสเตอร์ M_{31} เป็นผลให้ทำให้ทรานซิสเตอร์ M_{32} อยู่ในสภาวะคัทออฟ ดังนั้นกระแสเดรน i_d สามารถเขียนสมการได้ดังนี้

$$i_d = i_1 = i_{\max} = i_{D12} \quad (3.47)$$

จากสมการที่ (3.47) กระแสเอาต์พุตสูงสุดสามารถเขียนได้ใหม่เป็น

$$i_{\max} = i_1 = \max(i_1, i_2, i_3) \quad (3.48)$$

แรงดันตกคร่อมขาเดรนและขาซอร์ส v_1 หาได้จากกระแสอินพุตที่มีค่าสูงที่สุด หรือเท่ากับกระแส i_1 ดังนั้นกำหนดให้แรงดัน v_1 คือค่าแรงดันที่สูงที่สุดของ v_1 , v_2 และ v_3 และกำหนดให้ M_{11} , M_{21} , M_{31} , M_a , M_d และ M_e สมพงษ์กันทุกประการและมี v_{GS} เท่ากันกับ v_a ทุกตัวแล้ว ในสภาวะอิมิตัวของทรานซิสเตอร์ควรจะให้กระแสเดรนที่เท่ากัน ดังนั้นสามารถเขียนเป็นสมการที่ (3.49)

$$i_{D11} = i_{D21} = i_{D31} = i_a = i_{\max} = i_e = i_1 \quad (3.49)$$

เมื่อพิจารณาที่โนดอินพุต v_j แต่ละโนด กระแสเดรน i_{j4} ของทรานซิสเตอร์ M_{j4} สามารถเขียน $i_{D14} - i_{D34}$ ได้ดังสมการที่ (3.50) ถึงสมการที่ (3.52)

$$i_{D14} = 0 \quad (3.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D24} = i_1 - i_2 \quad (3.51)$$

$$i_{D34} = i_1 - i_3 \quad (3.52)$$

เนื่องจากแรงดัน v_{GS} ที่ใช้ร่วมกันสอดคล้องกับการอิมิตัวที่ถูกกำหนดโดยกระแสสูงสุด แรงดันตกคร่อมระหว่างขาซอร์สและขาเดรน v_2 จะเกิดจากผลต่างกระแสสูงสุดระหว่าง $i_1 - i_2$ ดังนั้น แรงดัน v_2 จึงเท่ากับค่าแรงดันสูงสุด และส่งผลให้ทรานซิสเตอร์ M_{15} และ M_{35} อยู่ในสภาวะคัทออฟ ดังนั้น กระแสเดรน i_{D15} และ i_{D35} จึงมีค่าเท่ากับศูนย์ และเพื่อพิจารณาที่โหนด v_f กระแสเดรน i_f สามารถเขียนได้ดังต่อไปนี้

$$i_f = i_{D15} + i_{D25} + i_{D35} \quad (3.53)$$

แทนค่า i_{D15} และ i_{D35} เท่ากับศูนย์ลงในสมการที่ (3.53) จึงสามารถเขียนสมการใหม่ได้เป็น

$$i_f = i_{D25} \quad (3.54)$$

ดังนั้น จากสมการที่ (3.52) สามารถเขียนสมการที่ (3.54) ใหม่ได้เป็น

$$i_f = i_{D25} = i_{D24} = i_1 - i_2 \quad (3.55)$$

วงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับ 1 สร้างจากทรานซิสเตอร์ M_f และ M_g ทำหน้าที่คัตลอกกระแสเดรน i_f ไปยังโหนดเอาต์พุต ดังนั้นกระแสเอาต์พุตต่ำสุด i_{\min} สามารถเขียนได้ดังสมการที่ (3.56)

$$i_{\min} = i_g - i_e = i_f - i_e \quad (3.56)$$

แทนค่าสมการที่ (3.49) และสมการที่ (3.54) ลงในสมการที่ (3.56) จะได้

$$i_{\min} = i_1 - (i_1 - i_2) = i_2 = \min(i_1, i_2, i_3) \quad (3.57)$$

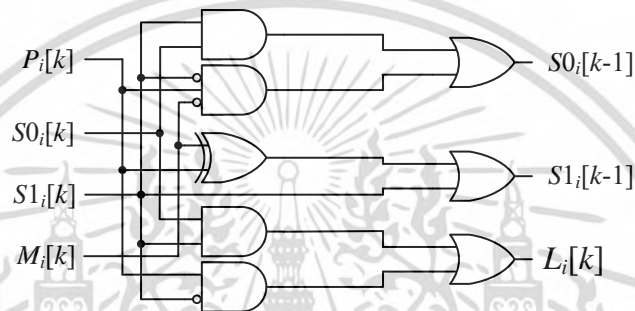
ดังนั้นจากสมการที่ (3.48) และสมการที่ (3.57) จะเห็นได้ว่าเอาต์พุตของวงจรคือค่ากระแสเอาต์พุตสูงสุด และกระแสเอาต์พุตต่ำสุด

จากการอธิบายข้างต้น จะเห็นได้ว่าวงจรดังรูปที่ 3.14 มีการทำงานเพื่อหาค่าสูงสุดและค่าต่ำสุดชนิด 3 อินพุต โดยจะได้เอาต์พุตของกระแส i_{\min} และ i_{\max} พร้อมกันซึ่งเป็นการทำงานในลักษณะประมวลผลแบบขนาน

3.7 วงจรควบคุมลอจิก

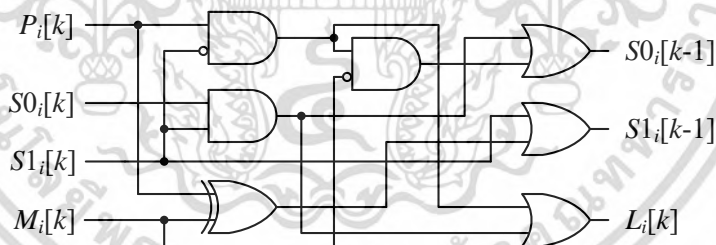
วงจรควบคุมลอจิกหรือวงจร LC เป็นวงจรที่ถูกสร้างขึ้นมาจากการใช้เกต (Gate) พื้นฐานในการสร้าง ได้แก่ And Gate, Or Gate, Not Gate และ Exclusive – Or Gate ซึ่งมีอินพุตจำนวน 4 อินพุต คือ $P_i[k]$, $S0_i[k]$, $S1_i[k]$ และ $M_i[k]$ และมีเอาต์พุตจำนวน 3 เอาต์พุต คือ $S0_i[k-1]$, $S1_i[k-1]$ และ $L_i[k]$ โดยทำหน้าที่ในการเปรียบเทียบบิต ซึ่งในวิทยานิพนธ์นี้ได้เลือกเอาวงจรควบคุมลอจิกที่มีรูปแบบต่างกัน 2 แบบคือ วงจรควบคุมลอจิกแบบที่ 1 [25] และวงจรควบคุมลอจิกแบบที่ 2 [44] ดังแสดงในรูปที่ 3.15 และรูปที่ 3.16 ตามลำดับ

3.7.1 วงจรควบคุมลอจิกแบบที่ 1 [25] ดังแสดงในรูปที่ 3.15



รูปที่ 3.15 วงจรควบคุมลอจิกแบบที่ 1 [25]

3.7.2 วงจรควบคุมลอจิกแบบที่ 2 [43] ดังแสดงในรูปที่ 3.16



รูปที่ 3.16 วงจรควบคุมลอจิกแบบที่ 2 [44]

ซึ่งอินพุต (Input) ของวงจรควบคุมลอจิกจะมี 4 อินพุตคือ ($P_i[k]$, $S0_i[k]$, $S1_i[k]$, และ $M_i[k]$) และเอาต์พุต (Output) จะมี 3 อินพุตคือ ($S0_i[k-1]$, $S1_i[k-1]$ และ $L_i[k]$) ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$L_i[k] = S0_i[k] \cdot S1_i[k] + P_i[k] \cdot \overline{S1_i[k]} \quad (3.58)$$

$$S0_i[k-1] = S0_i[k] \cdot S1_i[k] + \overline{S1_i[k]} \cdot P_i[k] \cdot \overline{M_i[k]} \quad (3.59)$$

$$S1_i[k-1] = M_i[k] \oplus P_i[k] + S1_i[k] \quad (3.60)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $L_i[k]$ คือ บิตลำดับที่ k -th ของเอาต์พุตที่ได้จากการเปรียบเทียบเพื่อนำไปป้อนให้กับวงจรเลือกข้างมากลำดับที่ k -th, $M_i[k]$ คือ บิตลำดับที่ k -th ของเอาต์พุตของวงจรกรองค่ามัธยฐาน ส่วน $S0_i[k-1]$ และ $S1_i[k-1]$ คือ เอาต์พุตของวงจรควบคุมลอจิก ลำดับที่ k -th เพื่อนำไปป้อนให้กับวงจรควบคุมลอจิกลำดับที่ $(k-1)$ th

จากการเลียนแบบการทำงานของวงจรควบคุมลอจิกแบบที่ 1 และแบบที่ 2 ซึ่งได้ผลการทำงานของวงจรได้ค่าเอาต์พุตที่เท่ากัน โดยขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim (ภาคผนวก ค.1) ซึ่งจะได้ผลการเลียนแบบดังแสดงในตารางที่ 3.1

ตารางที่ 3.1 ผลการเลียนแบบการทำงานของวงจรควบคุมลอจิก

Input				Output		
$P_i[k]$	$S1_i[k]$	$S0_i[k]$	$M_i[k]$	$L_i[k]$	$S1_i[k-1]$	$S0_i[k-1]$
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	0	0
0	0	1	1	0	1	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	1	1	1
1	0	0	1	1	0	0
1	0	1	0	1	1	1
1	0	1	1	1	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	1	1	1
1	1	1	1	1	1	1

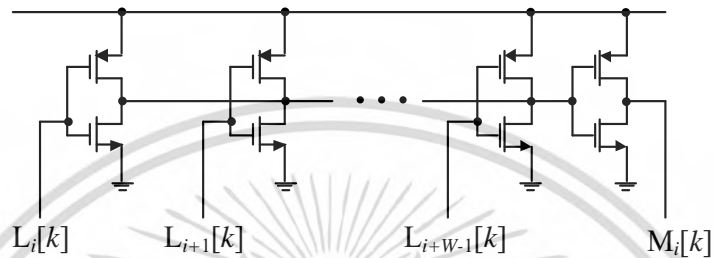
3.8 วงจรเลือกข้างมาก

วงจรเลือกข้างมากจะทำงานร่วมกับวงจรควบคุมลอจิกซึ่งมีลำดับที่ของอินพุต $L_i[k]$, $L_{i+1}[k]$, ..., $L_{i+W-1}[k]$ ส่วนค่าเอาต์พุต $M_i[k]$ คือค่ามัธยฐาน โดยหลักการการทำงานของวงจรเลือกข้างมากจะทำงานให้ค่าเอาต์พุตเป็น “1” ได้ก็ต่อเมื่ออินพุตมากกว่าเกินครึ่งหนึ่งของขนาดหน้าต่าง W เป็น “1” ยกตัวอย่างเช่น $W=3$ จะทำงานให้เอาต์พุตเป็น “1” ได้ก็ต่อเมื่ออินพุตมากกว่าเกินครึ่งหนึ่งของขนาดหน้าต่าง W ในที่นี้ก็คือจะต้องมีอินพุตเป็น “1” มากกว่าเท่ากับ 2 อินพุตถึงจะทำให้ค่าเอาต์พุตออกเป็น 1 ซึ่งในวิทยานิพนธ์นี้ได้เลือกวงจรเลือกข้างมากที่มีรูปแบบต่างกัน 4 รูปแบบ คือ วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42] วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสตัดแปลง [43] วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25] และวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44] ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.1 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส

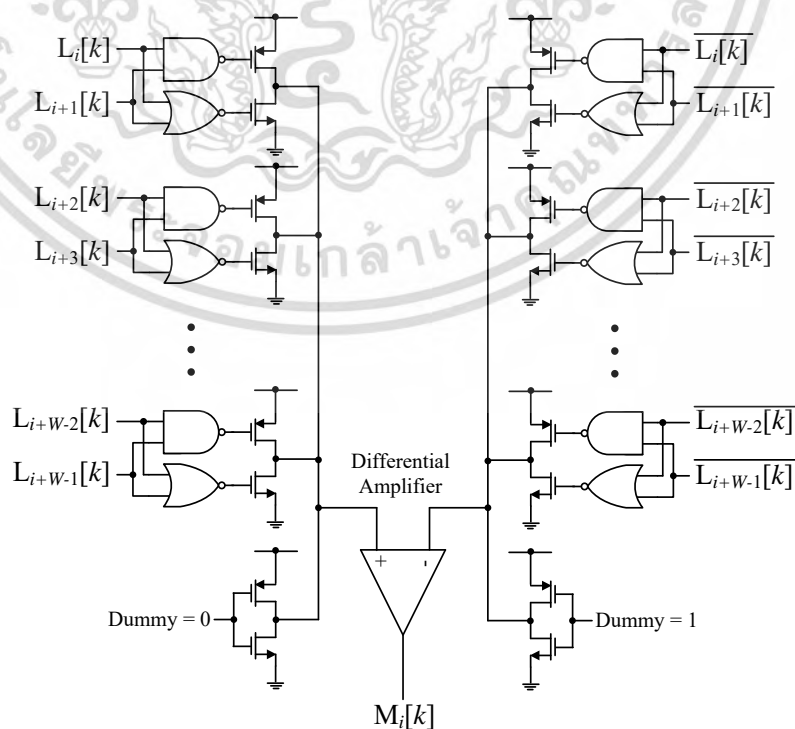
วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42] แสดงรูปที่ 3.17 โดยขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim (ภาคผนวก ค.2) ซึ่งผลการเลียนแบบวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสจะเป็นไปตามหลักการการทำงานเลือกข้างมากและขั้นตอนการยุบสล็อตของโปรแกรม NI Multisim เพื่อนำไปต่อใช้งานร่วมกับโปรแกรม LabVIEW (ภาคผนวก ค.3)



รูปที่ 3.17 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42]

3.8.2 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสดัดแปลง

วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสดัดแปลง [43] ซึ่งจะประกอบด้วยอินเวอร์เตอร์ซิมอสร่วมกับดีเฟอเรนเชียลแอมป์และเกต [43] ดังแสดงในรูปที่ 3.18 โดยขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim ซึ่งผลการเลียนแบบวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสดัดแปลงจะเป็นไปตามหลักการการทำงานการเลือกข้างมาก

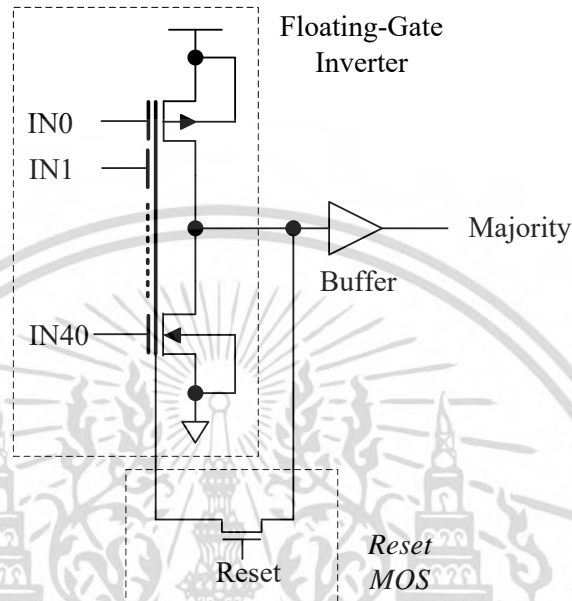


รูปที่ 3.18 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสดัดแปลง [43]

เอกสารนี้เป็นเอกสารทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี โดยผู้จัดทำเห็นชอบที่จะเผยแพร่เอกสารนี้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.3 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต

วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25] ดังแสดงในรูปที่ 3.19 โดย ซึ่งการเลียนแบบวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกตจะเป็นไปตามหลักการทำงาน เลือกข้างมาก



รูปที่ 3.19 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25]

3.8.4 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส

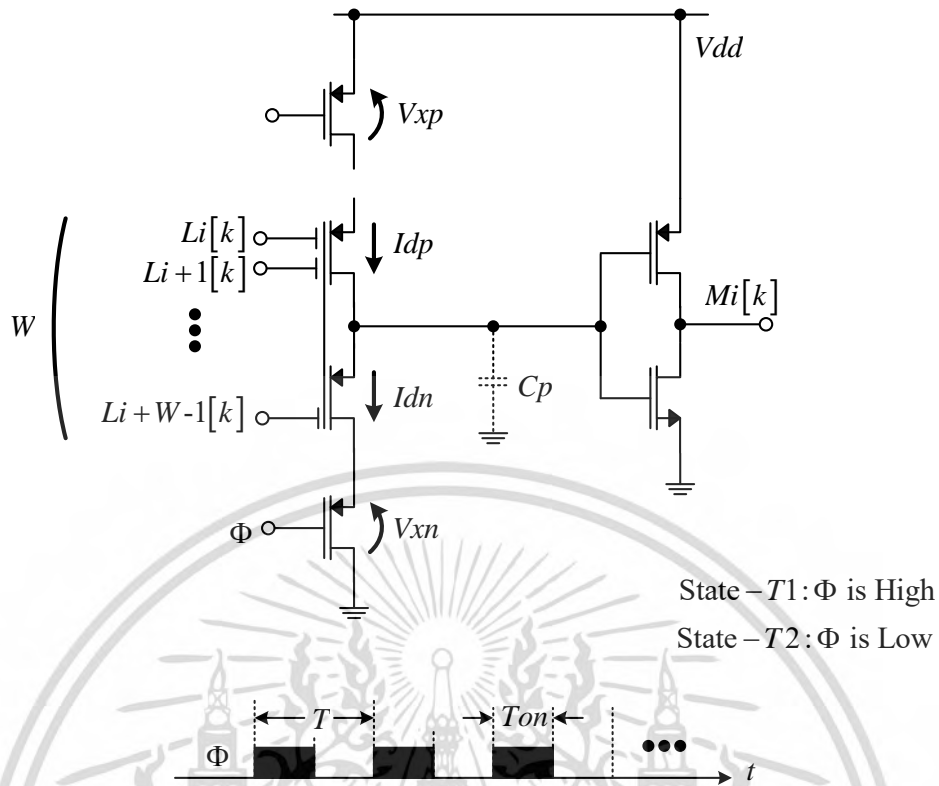
วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44] ดังแสดงในรูปที่ 3.20 โดยการอาศัยคล็อกนิวรอนซิมอสอินเวอร์เตอร์ (Clocked Neuron CMOS Inverter) การกำหนดค่า โดย C_p หมายถึง ค่าความจุแฝงและ Φ หมายถึง สัญญาณนาฬิกาคล็อกซึ่งจะมีสถานะการทำงาน เปิด T_{on} ที่ State- T_1 ซึ่งค่าระดับแรงดันที่จุดสูง (High Level) และสถานะการทำงานปิด T_{off} ที่ State- T_2 ซึ่งค่าระดับแรงดันที่จุดต่ำ (Low Level) เมื่อในขณะที่สัญญาณนาฬิกาคล็อก Φ มีค่า ระดับแรงดันที่จุดสูง นิวรอนซิมอสอินเวอร์เตอร์จะทำงานตามหลักการของนิวรอนซิมอส [75]-[78] ในกรณีนี้กระแสเดรนจะอยู่ในช่วงอิมิตัวซึ่งค่ากระแส i_{dp} และค่ากระแส i_{dn} จะเป็นไปตามดังสมการ

$$|I_{dp}| = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{GS} - |V_{THp}|)^2 \quad (3.61)$$

และ

$$I_{dn} = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n} (V_{GS} - V_{THn})^2 \quad (3.62)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44]

เมื่อ μ_p และ μ_n	คือ การเคลื่อนที่ของช่องว่างโฮล (Holes) และอิเล็กตรอน (Electrons)
C_{ox}	คือ ค่าความจุต่อหนึ่งหน่วยพื้นที่
i_{dp}	คือ กระแสอิ่มตัวของมอสทรานซิสเตอร์พี
i_{dn}	คือ กระแสอิ่มตัวของมอสทรานซิสเตอร์เอ็น
W_p และ W_n	คือ ความกว้างเกตของพีมอสและเอ็นมอส
L_p และ L_n	คือ ความยาวเกตของพีมอสและเอ็นมอส
V_{THp} และ V_{THn}	คือ แรงดันขีดเริ่มเปลี่ยนของพีมอสและเอ็นมอส
V_{GS}	คือ แรงดันระหว่างขาเกตและชาซอร์ส

เมื่อสัญญาณนาฬิกา Clock Φ มีค่าระดับแรงดันที่จุดสูงค่าแรงดันโพลติงเกต (Floating Gate) $V_{Fi}[k]$ ของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอสจะเป็นไปตามดังสมการ

$$V_{Fi}[k] = \frac{\sum_{j \in W} L_j[k] C_u + V_{dd} C_{FN}}{W C_u + C_{FP} + C_{FN}} \quad (3.63)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ C_u คือ หน่วยค่าความจุระหว่างอินพุตและโพลติงเกต (Unit Capacitance Between Input Terminal and The Floating Gate)

C_{FN} คือ ค่าความจุระหว่างโพลติงเกตและรอยต่อพีมอส (Capacitance Between The Floating Gate and N -type Region)

C_{FP} คือ ค่าความจุระหว่างโพลติงเกตและรอยต่อเอ็นมอส (Capacitance Between The Floating Gate and P -type Region)

หน่วยความจุ C_u ถูกออกแบบมาเพื่อตอบสนองเงื่อนไขต่อไปนี้

$$C_u \gg C_{FN} \text{ และ } C_{FP} = C_{FN} \quad (3.64)$$

จากสมการที่ (3.64) แรงดันโพลติงเกต $V_{Fi}[k]$ สามารถเขียนใหม่เป็น

$$V_{Fi}[k] \cong \sum_{j \in W} \frac{L_j[k]}{W} \quad (3.65)$$

ฉะนั้น

$$\sum_{j \in W} L_j[k] \in \{0, V_{dd}, 2V_{dd}, \dots, WV_{dd}\} \quad (3.66)$$

โดยการใช้สมการที่ (3.65) ค่าของกระแสเดรนพีมอสจากสมการที่ (3.61) และจากสมการที่ (3.62) สามารถเขียนใหม่เป็น

$$|I_{dp}| = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} \left(V_{dd} - V_{xp} - \sum_{j \in W} \frac{L_j[k]}{W} - |V_{THp}| \right)^2 \quad (3.67)$$

และ

$$I_{dn} = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n} \left(\sum_{j \in W} \frac{L_j[k]}{W} - V_{xn} - V_{THn} \right)^2 \quad (3.68)$$

ซึ่งในสวิตช์ของแรงดันขีดเริ่มเปลี่ยน (Switching Threshold) ในสมการที่ (3.29) จะมีค่าเท่ากับสมการที่ (3.68) เพราะซีมอสทั้งสองระหว่างพีมอสและเอ็นมอสเป็นทรานซิสเตอร์มีค่าความอิมิตัว ดังนั้นทำให้สมการเป็นเงื่อนไขดังต่อไปนี้

$$V_{xp} = V_{xn} \text{ และ } \sqrt{\mu_n C_{ox} \frac{W_n}{L_n}} = \sqrt{\mu_p C_{ox} \frac{W_p}{L_p}} \quad (3.69)$$

จึงทำให้การสวิตช์แรงดันขีดเริ่มเปลี่ยนของคล็อกซีมอสนิวรอนอินเวอร์เตอร์ มีค่าดังสมการ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sum_{j \in W} L_j[k] = \frac{WV_{dd}}{2} \quad (3.70)$$

จากสมการที่ (3.70) $M_i[k]$ สามารถหาได้ดังสมการต่อไปนี้

$$M_i[k] = \begin{cases} V_{dd}, & \text{if } \sum_{j \in W} L_j[k] \leq \frac{WV_{dd}}{2} \\ 0, & \text{if } \sum_{j \in W} L_j[k] > \frac{WV_{dd}}{2} \end{cases} \quad (3.71)$$

ดังนั้นจากสมการดังที่กล่าวมาจะเห็นว่าสมการที่ (2.54) ในบทที่ 2 และสมการที่ (3.71) วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอสจะทำงาน เมื่อขณะสัญญาณนาฬิกาคล็อก Φ มีค่าระดับแรงดันที่จุดสูง

ที่สถานะ State- T_1 และสถานะ State- T_2 สอดคล้องกับกระบวนการสุ่ม (Sampling Processes) และกระบวนการค้างค่า (Holding Process) ตามลำดับ จากหลักการดังกล่าวมานี้การทำงานของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส จะทำงานเป็นไปหลักการทำงานของวงจรเลือกข้างมาก

3.9 บทสรุป

ในบทนี้จะกล่าวถึงกลุ่มวงจรย่อยที่เป็นส่วนประกอบของวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซิมอส จำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส ซึ่งจะประกอบไปด้วยกลุ่มวงจรย่อยได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต

วงจรกรองมัธยฐานที่ใช้เทคนิคที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองซึ่งจะประกอบไปด้วยกลุ่มวงจรย่อยได้แก่ วงจรควบคุมลอจิกจำนวน 2 วงจรที่สนใจ และวงจรเลือกข้างมากจำนวน 4 วงจรที่สนใจ ซึ่งนำมาประกอบตามโครงสร้างหลักบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง สำหรับการทำงานของวงจร ผลการเปลี่ยนแปลงการทำงาน และการวิเคราะห์คุณสมบัติการทำงานของกรองค่ามัธยฐานที่นำเสนอทั้ง 2 เทคนิคนี้จะกล่าวอยู่ในเนื้อหาของบทที่ 4 การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซิมอส

บทที่ 4

การออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซิมอส ที่นำเสนอ

4.1 กล่าวนำ

ในบทนี้จะกล่าวถึงการออกแบบวงจรกรองมัธยฐานบนพื้นฐานเทคโนโลยีซิมอสที่นำเสนอในวิทยานิพนธ์นี้ ได้ทำออกแบบวงจรกรองมัธยฐานโดยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE ในการทดสอบสมรรถนะและประสิทธิภาพของวงจรที่ได้ทำการออกแบบ ซึ่งได้นำเสนอวงจรกรองมัธยฐานจำนวน 2 เทคนิค คือ วงจรกรองมัธยฐานเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส [38] ในส่วนหัวข้อที่ 4.2.1 จะเป็นการอธิบายการทำงานของวงจร ในส่วนหัวข้อที่ 4.2.2 จะแสดงผลการเลียนแบบการทำงาน

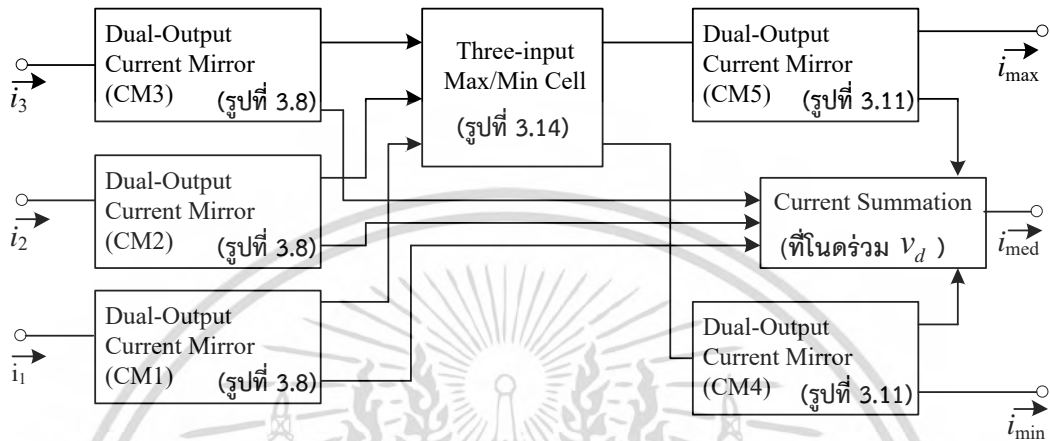
วงจรกรองมัธยฐานเทคนิคที่สองบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ จะมีส่วนประกอบหลักของวงจรกรองมัธยฐานได้แก่วงจรควบคุมลอจิกและวงจรเลือกข้างมาก ในส่วนหัวข้อที่ 4.3.1 จะเป็นโครงสร้างของวงจรและการอธิบายการทำงาน ในส่วนหัวข้อที่ 4.3.2 เป็นการเปรียบเทียบวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44] ที่นำเสนอได้ทำการเปรียบเทียบการใช้กำลังไฟฟ้าที่ต่ำกว่าเมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้อินเวอร์เตอร์แบบโพลติงเกตซึ่งถูกนำเสนอในอดีตโดยยืนยันได้จากการเลียนแบบการทำงานด้วยโปรแกรม SPICE ในส่วนหัวข้อที่ 4.3.3 เป็นการเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานที่ใช้วงจรควบคุมลอจิกและวงจรเลือกข้างมากที่สนใจ [39] ซึ่งได้ทำการเลียนแบบการทำงานเพื่อหาค่าเวลาที่ใช้ในการทำงานด้วยโปรแกรม LabVIEW และการเลียนแบบการทำงานเพื่อหาค่าการใช้กำลังงานไฟฟ้าด้วยโปรแกรม NI Multisim และในส่วนหัวข้อที่ 4.4 จะเป็นบทสรุป

4.2 วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ

4.2.1 การทำงานของวงจร

วงจรกรองมัธยฐานเทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ [38] ซึ่งได้พัฒนามาจากหลักการและทฤษฎีในบทที่ 2 (รูปที่ 2.7 วงจรหาค่าสูงสุดและค่าต่ำสุดแบบหลายอินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย S. Keawconthai [37]) สามารถนำมาพัฒนาเป็นวงจรหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ [38] โดยได้แสดงจากใน (รูปที่ 3.14) แต่จะแตกต่างกันตรงที่การนำไปต่อร่วมกับโครงสร้างหลักที่ใช้เทคนิคที่มีความต่างกัน โดยวงจรถา

ค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอในวิทยานิพนธ์นี้จะนำไปต่อตามโครงสร้างหลักของ วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุต (i_1, i_2 และ i_3) และเอาต์พุต (i_{max} , i_{min} , และ i_{med}) ซึ่งมีโครงสร้างหลักดังแสดงในรูปที่ 4.1 และสามารถเขียน สัญลักษณ์ของวงจรที่นำเสนอตั้งแสดงในรูปที่ 4.2 ตามลำดับ



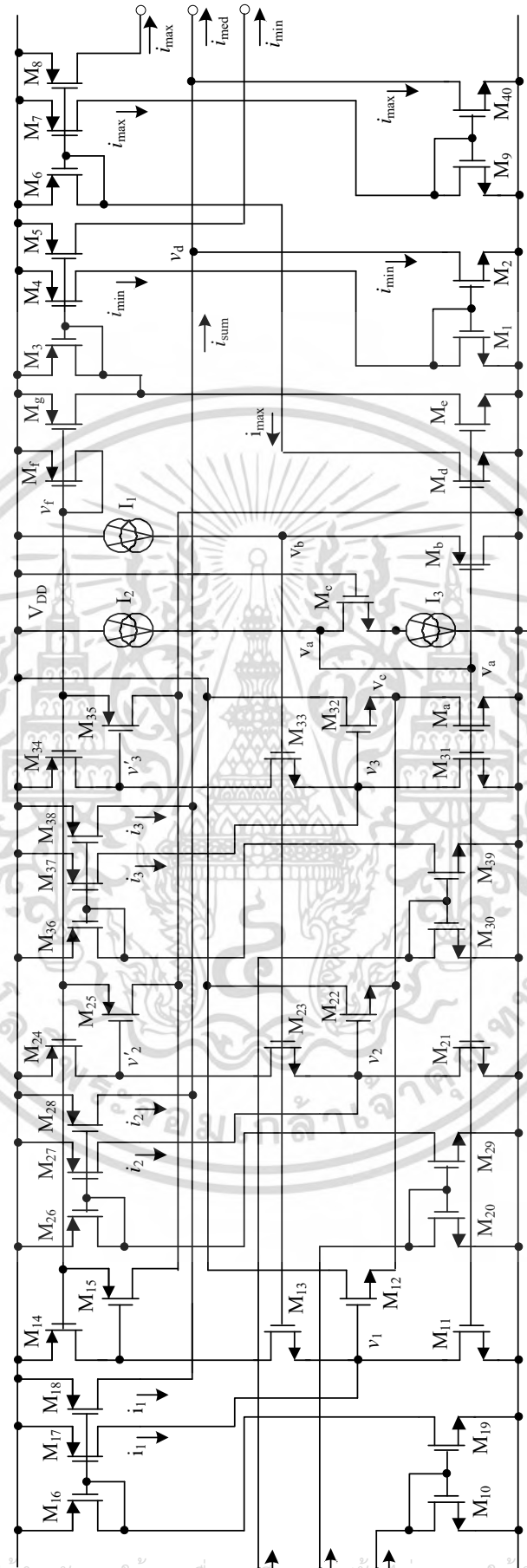
รูปที่ 4.1 โครงสร้างหลักวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ



รูปที่ 4.2 สัญลักษณ์ของวงจรที่นำเสนอ

จากรูปที่ 4.1 โครงสร้างหลักวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอจะประกอบด้วยวงจรหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอใน (รูปที่ 3.14) โดยนำไปต่อร่วมกับวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุต CM_1 , CM_2 , CM_3 , CM_4 , และ CM_5 , ซึ่งในส่วนของ $CM_1 - CM_3$ (แต่ละชุดของ CM คือรูปที่ 3.8) เป็นวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 และในส่วนของ $CM_4 - CM_5$ (แต่ละชุดของ CM คือรูปที่ 3.11) เป็นวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ตามลำดับ โดยทำการรวมกระแส (Current Summation) ที่โน้ดร่วม v_d ซึ่งเป็นสัญญาณแอนะล็อกที่มีการทำงานในโหมดของกระแส โดยสามารถใช้กฎของเคอร์ชอฟฟ์ (Kirchoff's Law) ในการหาค่ามัธยฐาน i_{med} จากโครงสร้างหลักในรูปที่ 4.1 เมื่อนำเอาวงจรส่วนประกอบดังที่ได้อธิบายข้างต้นจะมีวงจรดังแสดงในรูปที่ 4.3 วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรการอ้อมมีระยะสามที่ใช้เทคนิคการเพิ่มพื้นที่วงจรมหาศาลและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.3 มอสมิทธานซิสเตอร์ $M_{10}, M_{16}-M_{19}$ ของ CM_1 ถูกต่อเป็นวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ที่มีอัตราขยายเท่ากับหนึ่ง เพื่อต้องการส่งกระแสอินพุต i_1 ให้กับวงจรหาค่าสูงสุดและต่ำสุดเพื่อหาค่ากระแส i_{sum} ที่โหนด v_d เช่นเดียวกับ มอสมิทธานซิสเตอร์ $M_{20}, M_{26}-M_{29}$ ของ CM_2 และมอสมิทธานซิสเตอร์ $M_{30}, M_{36}-M_{39}$ ของ CM_3 ก็ ถูกต่อเป็นวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ที่มีอัตราขยาย เท่ากับหนึ่งเช่นเดียวกัน เพื่อต้องการส่งกระแส i_2 และ i_3 ให้กับวงจรหาค่าสูงสุดและต่ำสุดเพื่อหา ค่ากระแส i_{sum} ซึ่งจะทำงานในลักษณะรูปแบบการประมวลผลแบบคู่ขนานพร้อมกัน

ในส่วนของเอาต์พุตของมอสมิทธานซิสเตอร์ M_1-M_5 ของ CM_4 ต่อเป็นวงจรสะท้อนกระแส โดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ที่มีอัตราขยายเท่ากับหนึ่งเพื่อใช้ในการสะท้อน กระแสที่มีค่าน้อยที่สุด i_{min} ที่ได้จากวงจรหาค่าสูงสุดและต่ำสุดไปยังโหนดเอาต์พุตกระแสต่ำสุด i_{min} และคัตลอก i_{min} เพื่อนำไปหาค่ากระแสมีธฐาน i_{med} และเช่นเดียวกับมอสมิทธานซิสเตอร์ $M_{40}, M_{6}-M_9$ ของ CM_5 ก็ถูกต่อเป็นวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุต แบบที่ 2 ที่มีอัตราขยายเท่ากับหนึ่งคัตลอกกระแสที่มีค่าสูงสุดที่สุด i_{max} ที่ได้จากวงจรหาค่าสูงสุดและ ต่ำสุดไปยังโหนดเอาต์พุตกระแสสูงสุด i_{max} และคัตลอก i_{max} เพื่อนำไปหาค่ากระแสมีธฐาน i_{med} เมื่อ พิจารณาที่โหนด v_d สามารถเขียนสมการกระแสเอาต์พุตที่เป็นค่ามีธฐาน i_{med} ได้ดังสมการที่ (4.1)

$$i_{med} = i_{sum} - i_{max} - i_{min} \quad (4.1)$$

เมื่อ i_{sum} คือ ผลรวมของกระแสที่โหนดรวม v_d ดังนั้นแทนค่า $i_{sum} = (i_1 + i_2 + i_3)$ ลงในสมการที่ (4.1) จะได้สมการที่ (4.2) ดังนี้

$$i_{med} = (i_1 + i_2 + i_3) - i_{max} - i_{min} \quad (4.2)$$

กำหนดให้กระแสสูงสุดและกระแสต่ำสุดคือ i_1 และ i_2 ตามลำดับ ดังนั้นเขียนสมการที่ (4.2) ได้ใหม่ จะได้สมการที่ (4.3) ดังนี้

$$i_{med} = (i_1 + i_2 + i_3) - i_2 - i_1 \quad (4.3)$$

จากสมการที่ (4.3) สามารถเขียนสมการของกระแสมีธฐานได้ดังนี้

$$i_{med} = i_3 = med(i_1, i_2, i_3) \quad (4.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

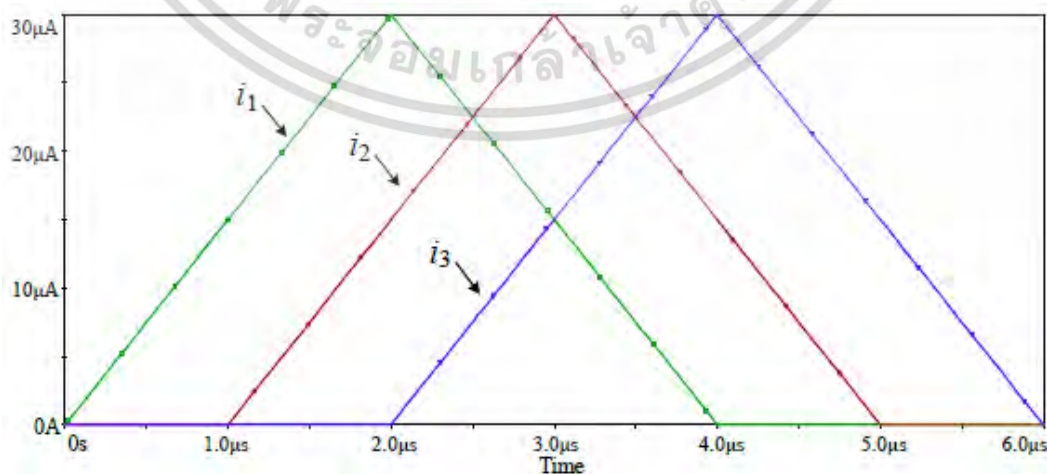
4.2.2 ผลการเปลี่ยนแปลงการทำงาน

ประสิทธิภาพของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ ดังแสดงในรูปที่ 4.3 สามารถแสดงการเปลี่ยนแปลงการทำงานด้วยโปรแกรม PSPICE วงจรที่ทำการเปลี่ยนแปลงการทำงานสร้างจากซีมอสเทคโนโลยี $0.5 \mu\text{m}$ โมเดล BSIM MOS โดยการกำหนดค่าอัตราส่วนของความกว้างและความยาวแขนแนล (W/L) ของมอสทรานซิสเตอร์ได้แสดงในตารางที่ 4.1 โดยใช้แหล่งจ่ายแรงดัน V_{DD} เท่ากับ 3.5V กระแสไบอัส $I_1 = 10\mu\text{A}$, I_2 และ $I_3 = 20\mu\text{A}$ ตามลำดับ

ตารางที่ 4.1 การกำหนดค่าอัตราส่วนของความกว้างและความยาวแขนแนล (W/L) ของมอสทรานซิสเตอร์ที่ใช้ในการเปลี่ยนแปลงการทำงาน

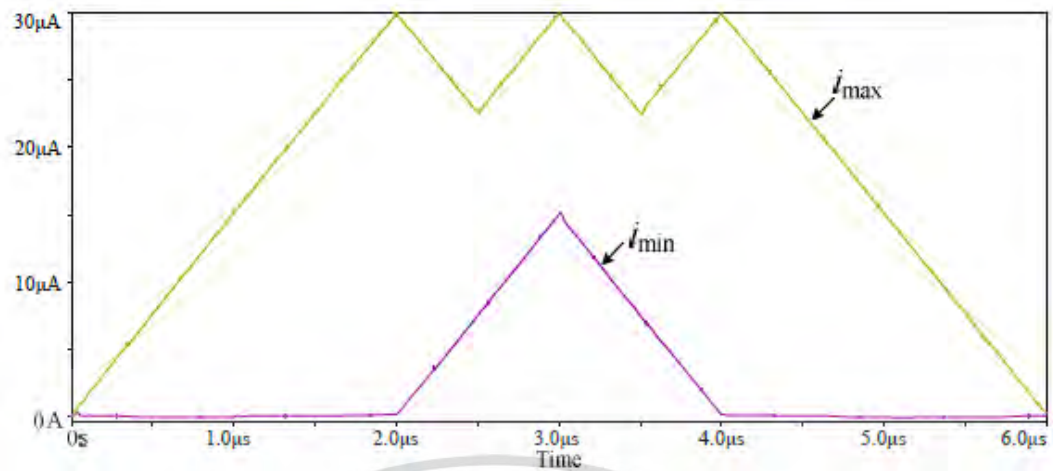
Transistor	W (μm)	L (μm)
M_b, M_c	10	1
$M_{j1}, M_{j3}, M_1, M_2, M_9, M_{10}, M_{19}, M_{20}, M_{29}, M_{30}, M_{39}, M_{40}, M_a, M_d, M_e$	5	2
$M_{j2}, M_{j4}, M_{j5}, M_3-M_8, M_{16}-M_{18}, M_{26}-M_{28}, M_{36}-M_{38}, M_f, M_g$	5	1

ในการเปลี่ยนแปลงการทำงาน รูปที่ 4.4 แสดงผลตอบสนองชั่วขณะของวงจรกรองมัธยฐานที่นำเสนอ โดยทำการป้อนอินพุตเป็นสัญญาณสามเหลี่ยม (Triangle) ทั้ง 3 อินพุต (i_1, i_2 และ i_3) ที่มีแอมพลิจูด (Amplitude) เท่ากันคือ $30\mu\text{A}$ ซึ่งมีคาบเวลา (Period) เท่ากันคือ $4\mu\text{s}$ และมีการหน่วงเวลาของอินพุตต่างกัน $1\mu\text{s}$ ผลการเปลี่ยนแปลงการทำงานแสดงให้เห็นการทำงานของวงจรกรองมัธยฐานซึ่งจะมีค่าใกล้เคียงตามอุดมคติ ซึ่งเอาต์พุตของกระแสสูงสุด กระแสต่ำสุด และกระแสมัธยฐานมีค่าความผิดพลาดเท่ากับ -0.143% , -0.413% และ 0.4% ตามลำดับ

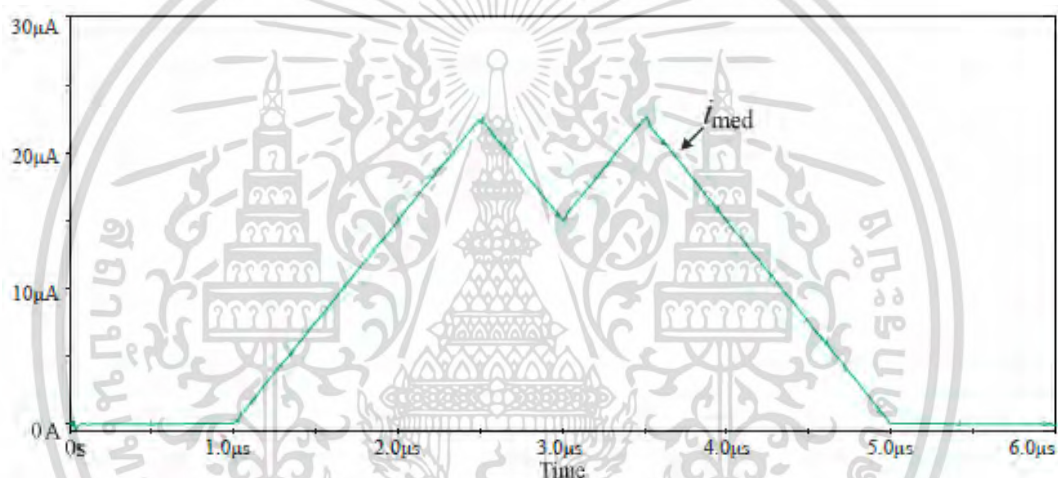


(ก) กระแสอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสเอาต์พุตสูงสุดและต่ำสุด



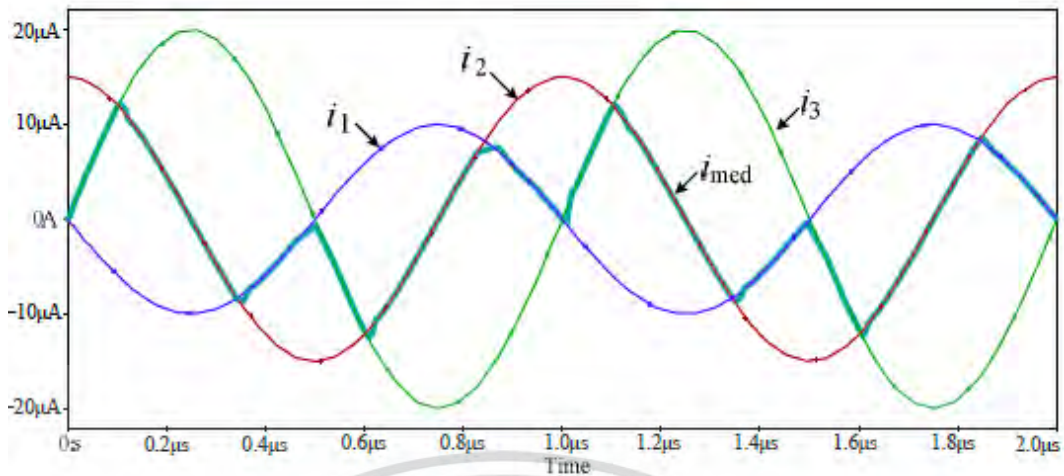
(ค) กระแสมีธยฐาน

รูปที่ 4.4 ผลตอบสนองชั่วขณะของวงจรกรองมีธยฐานที่นำเสนอ

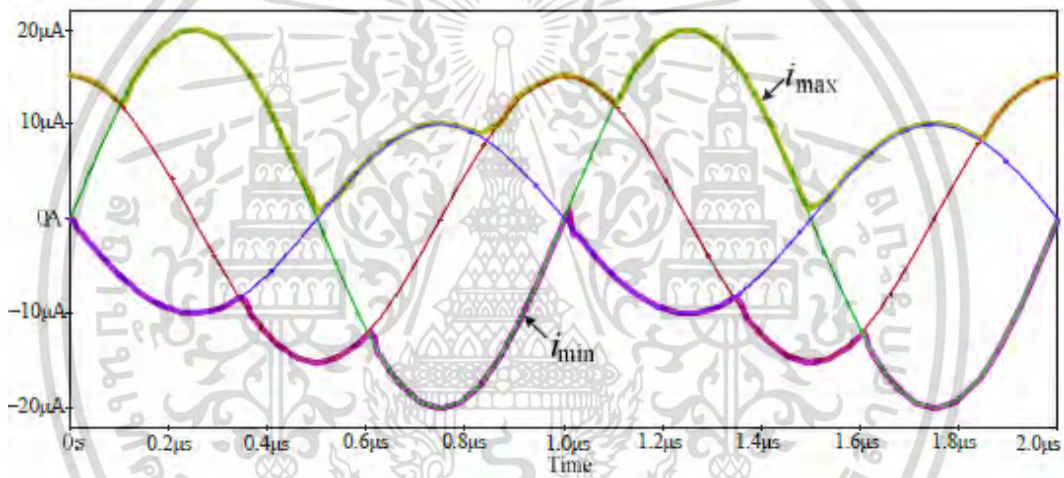
โดยการป้อนกระแสอินพุตเป็นสัญญาณสามเหลี่ยม

ในรูปที่ 4.5 แสดงผลการเลียนแบบการทำงานของวงจรที่นำเสนอ เมื่อป้อนสัญญาณอินพุตเป็นสัญญาณไฟฟ้ากระแสสลับที่มีความถี่ (Frequency) เท่ากับ 1MHz มีแอมพลิจูดและมีการเลื่อนเฟสที่แตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) กระแสมีัยฐาน



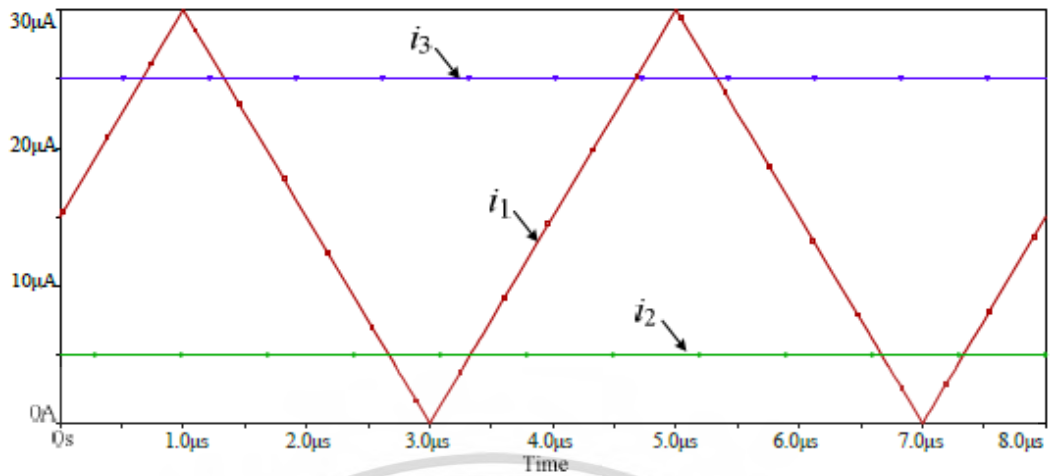
(ข) กระแสสูงสุดและกระแสต่ำสุด

รูปที่ 4.5 ผลการเลียนแบบการทำงานของวงจรกรองมีัยฐานที่นำเสนอ

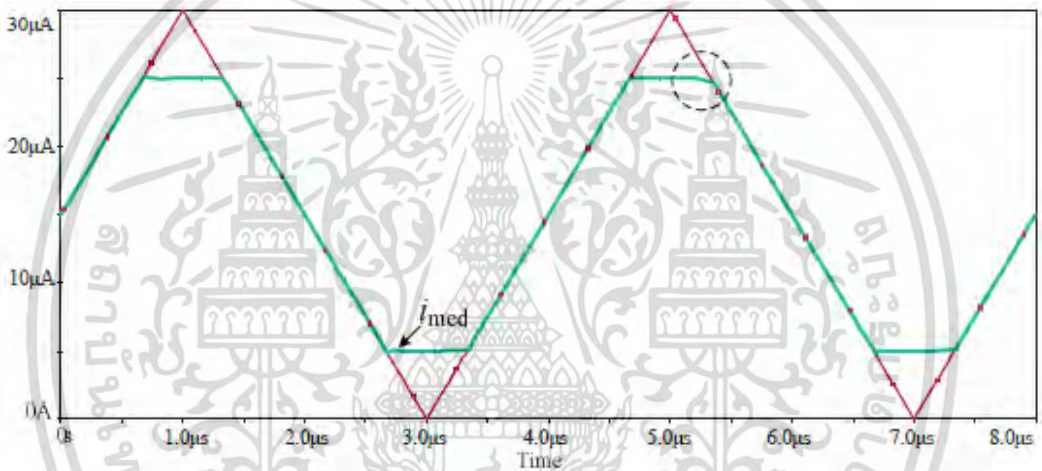
โดยการป้อนกระแสอินพุตเป็นสัญญาณไฟฟ้ากระแสสลับ

ส่วนรูปที่ 4.6 แสดงสัญญาณอินพุตและสัญญาณเอาต์พุตคือ กระแสมีัยฐาน เมื่อป้อนอินพุตของวงจรเป็นสัญญาณกระแสสามเหลี่ยมที่มีแอมพลิจูด $30\mu A$ และสัญญาณกระแสตรงขนาด $5\mu A$ และ $25\mu A$ ตามลำดับ ดังแสดงในรูปที่ 4.6 (ก) ข้อจำกัดของวงจรที่นำเสนอในการแยกแยะสัญญาณอินพุตสามารถหาได้จากการหาค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุต (Corner Error) ซึ่งแสดงดังรูปที่ 4.6 (ค) มีค่าเท่ากับ $0.321\mu A$

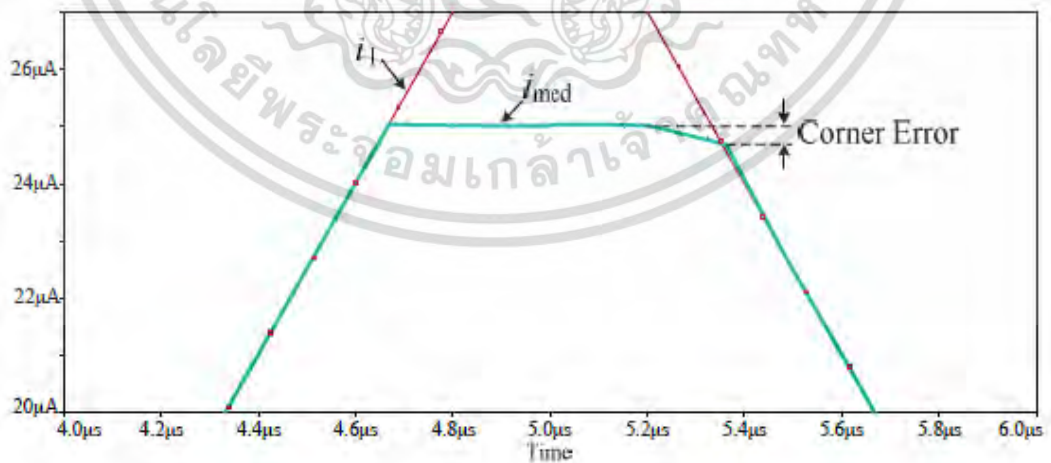
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) กระแสอินพุต



(ข) กระแสมีขั้วฐาน



(ค) ภาพขยายส่วนที่อยู่ในวงกลม

รูปที่ 4.6 ผลการเลียนแบบการทำงานสำหรับการเปลี่ยนแปลงแบบชั่วคราว

ในการหาค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. การวิเคราะห์คุณสมบัติการทำงานวงจรอรรถมาตรฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชัน
หาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ

ในทางปฏิบัติสมรรถนะของวงจรอรรถมาตรฐานที่นำเสนอจะแตกต่างการทางทฤษฎี
เนื่องจากไม่เป็นไปตามอุดมคติของมอสทรานซิสเตอร์ที่ใช้ในการสร้างวงจร ผลกระทบหลักที่ส่งผล
ต่อค่าความถูกต้องความต้องการของวงจรคือ ความไม่สมพียงกันของมอสทรานซิสเตอร์ที่ใช้สร้างวงจรสะท้อน
กระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุต และความผิดพลาดที่เกิดในวงจรหาค่าสูงสุดและ
ต่ำสุดแบบ 3 อินพุต ดังนั้นเมื่อทำการวิเคราะห์ความสัมพันธ์ของเอาต์พุตเป็นค่ากระแสสูงสุด กระแส
ต่ำสุด และกระแสอรรถมาตรฐาน กับกระแสอินพุตทั้ง 3 อินพุต สามารถเขียนได้ดังสมการที่ (4.5) ถึง (4.7)

$$i_{\max} = \max(i_1(1-\varepsilon_{CM11}), i_2(1-\varepsilon_{CM21}), i_3(1-\varepsilon_{CM31}))(1-\varepsilon_{\max})(1-\varepsilon_{s2}) \quad (4.5)$$

$$i_{\min} = \min(i_1(1-\varepsilon_{CM11}), i_2(1-\varepsilon_{CM21}), i_3(1-\varepsilon_{CM31}))(1-\varepsilon_{\min})(1-\varepsilon_{s2}) \quad (4.6)$$

$$i_{\text{med}} = i_1(1-\varepsilon_{CM12}) + i_2(1-\varepsilon_{CM22}) + i_3(1-\varepsilon_{CM32}) \\ - \max(i_1(1-\varepsilon_{CM11}), i_2(1-\varepsilon_{CM21}), i_3(1-\varepsilon_{CM31}))(1-\varepsilon_{\max})(1-\varepsilon_{CM51}) \\ - \min(i_1(1-\varepsilon_{CM11}), i_2(1-\varepsilon_{CM21}), i_3(1-\varepsilon_{CM31}))(1-\varepsilon_{\min})(1-\varepsilon_{CM41}) \quad (4.7)$$

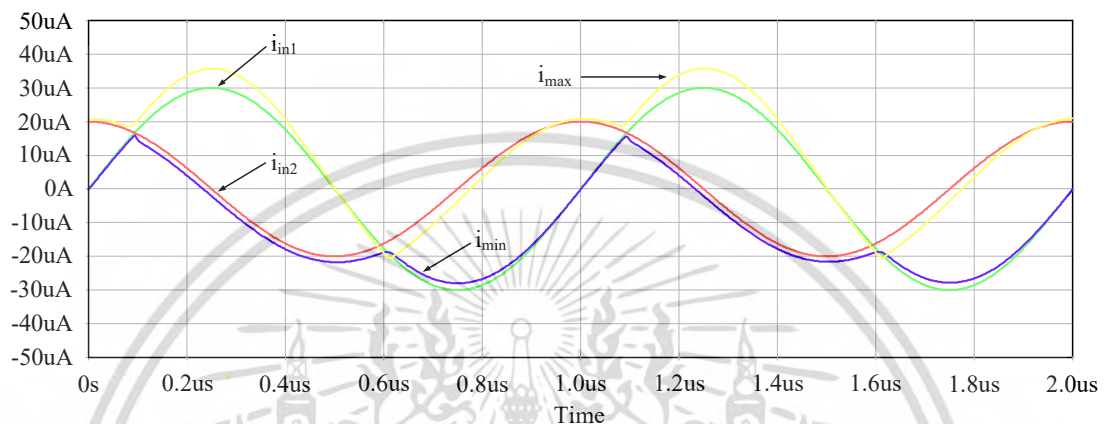
เมื่อ ε_{CMk1} และ ε_{CMk2} คือค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของ
มอสทรานซิสเตอร์ที่ใช้สร้างวงจรสะท้อนกระแสแบบเอาต์พุตคู่วงจรที่ CM_k เมื่อ $k = 1, 2, \dots, 5$ ที่
เอาต์พุตโนดแรกและเอาต์พุตโนดที่ 2 ตามลำดับ ε_{\max} คือ ค่าความผิดพลาดจากการหาค่าสูงสุดของ
วงจรหาค่าสูงสุด-ต่ำสุด และ ε_{\min} คือ ค่าความผิดพลาดจากการหาค่าต่ำสุดของวงจรหาค่าสูงสุดและ
ต่ำสุด

ข. การเปรียบเทียบผลการทดลองวงจรอรรถมาตรฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหา
ค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอกับงานวิจัยที่เคยถูกนำเสนอในอดีต

จากบทที่ 2 หัวข้อที่ 2.2.3 วงจรหาค่าสูงสุด ค่ากลาง และวงจรหาค่าต่ำสุดแบบ 3
อินพุตสำหรับสัญญาณกระแสที่นำเสนอโดย M. Kaewrongkool และคณะ [31] ซึ่งในงานวิจัยนี้ใช้
เทคนิคโครงข่ายการเรียงลำดับแบบฟองโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตตั้ง
แสดงวงจรดังรูปที่ 2.3 ในการหาค่าหาค่าสูงสุด และหาค่าต่ำสุดแบบ 2 อินพุตก่อนแล้วค่อยต่อรวม
ตามโครงสร้างหลักในการหาค่ากลางดังแสดงในรูปที่ 2.4 แสดงโครงสร้างหลักโครงข่ายการเรียงลำดับ
แบบฟอง โดยจะทำการเลียนแบบการทำงานของวงจรนี้ด้วยโปรแกรม PSICE ในการหาค่าหาค่าสูงสุด
และหาค่าต่ำสุดแบบ 2 อินพุตจากวงจรดังรูปที่ 2.3 ในอันดับแรก โดยจะกำหนดค่าอัตราส่วนของ
ความกว้างและความยาวแชนแนล (W/L) ของเอ็นมอสทรานซิสเตอร์ทุกตัวเท่ากับ $5\mu\text{m}/2\mu\text{m}$ และ

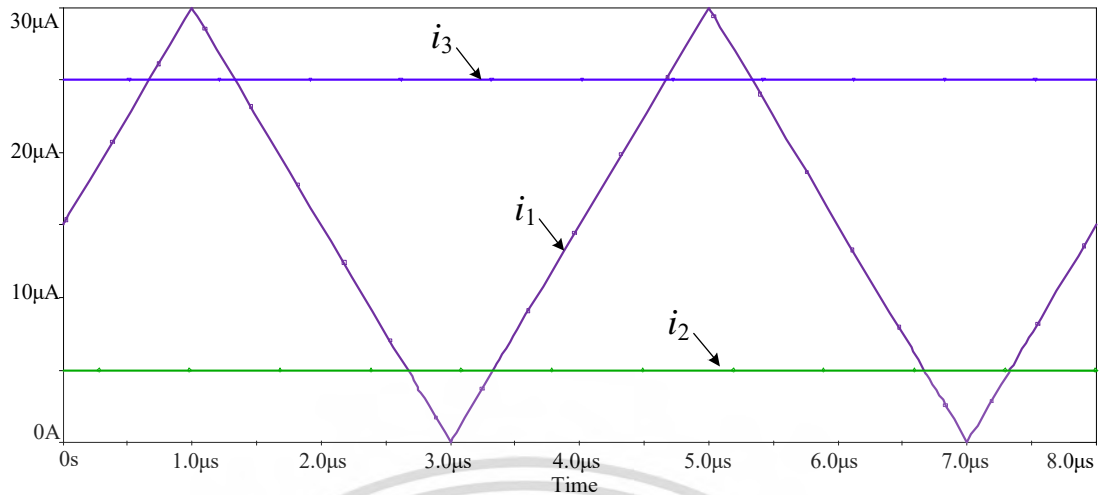
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของพีมอสทรานซิสเตอร์ทุกตัวเท่ากับ $5\mu\text{m}/1\mu\text{m}$ จ่ายกระแสไบแอส $I_2 = (50\mu\text{A})$ โดยการป้อนอินพุตด้วยสัญญาณไฟฟ้ากระแสสลับด้วยแอมพลิจูด $i_{in1} = 30\mu\text{A}$ และ $i_{in2} = 20\mu\text{A}$ ที่ความถี่ 1MHz โดยกำหนดให้เฟสห่างกัน 90 องศา ซึ่งได้ผลการทดลองในการหาค่าสูงสุด และหาค่าต่ำสุดแบบ 2 อินพุต ดังแสดงในรูปที่ 4.7 ซึ่งจากผลการทดลองจะเห็นได้ว่าค่าสูงสุดจะมีค่าเอาต์พุตมีค่าที่มากกว่าอินพุต

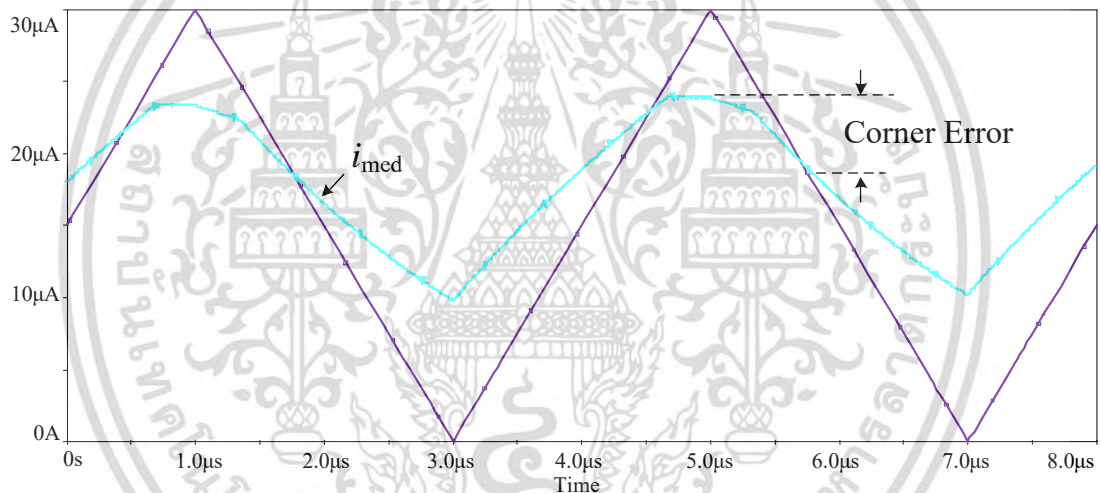


รูปที่ 4.7 ผลการทดลองในการหาค่าสูงสุด และหาค่าต่ำสุดแบบ 2 อินพุต [31]

จากนั้นจะนำวงจรดังรูปที่ 2.3 ต่อยุ่ตามโครงสร้างหลักในการหาค่าสูงสุด ค่ากลางและค่าต่ำสุดแบบ 3 อินพุต ดังแสดงในรูปที่ 2.4 เพื่อทำการเปรียบเทียบผลการเลียนแบบการทำงานสำหรับการเปลี่ยนแปลงแบบชั่วขณะในการหาค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุต ซึ่งจากโครงสร้างเทคนิคโครงข่ายการเรียงลำดับแบบฟองนี้จะมีการทำงานเพื่อเปรียบเทียบค่าสูงสุด ค่าต่ำสุดในแต่ละวงจรร้อยเป็นลำดับหลายครั้ง เพื่อที่จะหาค่าสูงสุด ค่ากลางและค่าต่ำสุด โดยทำการการป้อนอินพุต i_1 , i_2 และ i_3 ดังรูปที่ 4.8 ซึ่งผลการเลียนแบบโครงข่ายการเรียงลำดับแบบฟองจะแสดงดังรูปที่ 4.9 ซึ่งจากผลการเลียนแบบการทำงานพบว่าค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุต (Corner Error) วัดค่าได้ $17.546\mu\text{A}$ ซึ่งค่าจริงจะอยู่ที่ $25\mu\text{A}$ เมื่อเปรียบเทียบค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุตกับวงจรกรอมมีธฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่น่าเสนอสามารถลดความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุตประมาณ 30% เมื่อเทียบกับวงจรกรอมมีธฐานที่ใช้วงจรร้อยค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตต่อยุ่ร่วมกันในโครงข่ายการเรียงลำดับแบบฟองซึ่งถูกนำเสนอในอดีต [31]



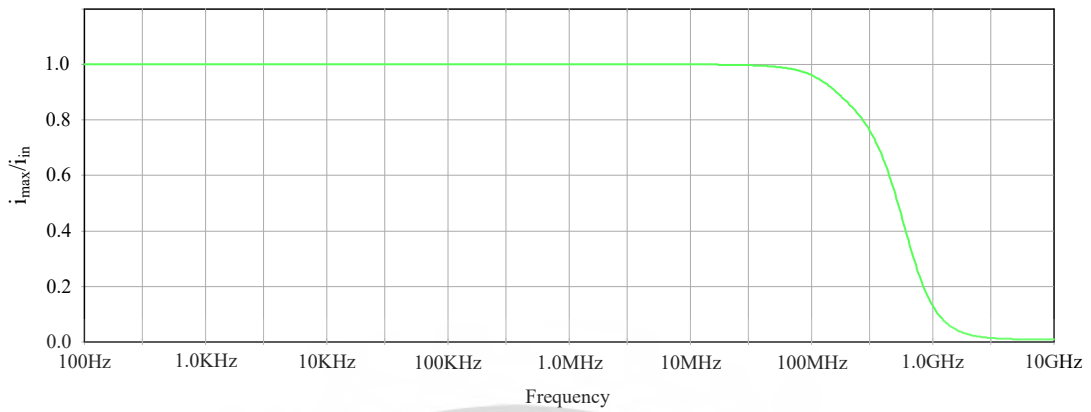
รูปที่ 4.8 การป้อนอินพุต i_1 , i_2 และ i_3
เพื่อหาค่าความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุต



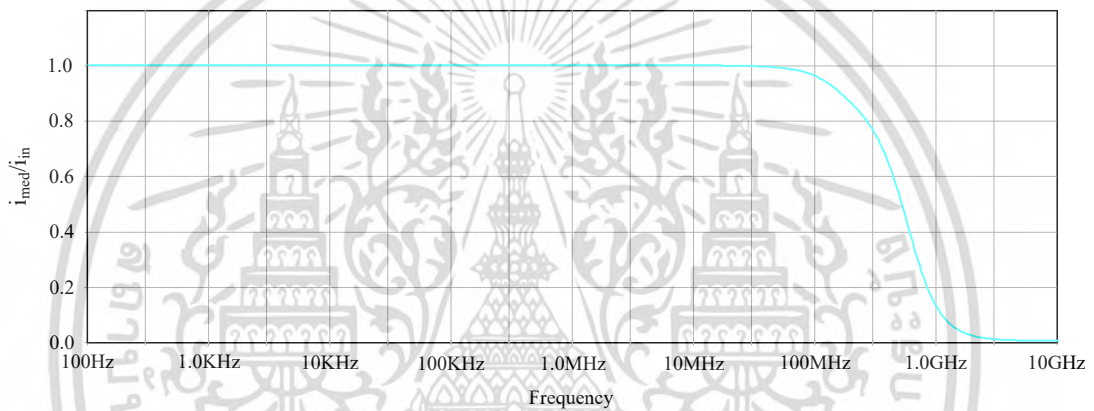
รูปที่ 4.9 ผลการเปลี่ยนแปลงการทำงานด้วยวงจรขยายการเรียงลำดับแบบฟอง [31]

ค. ผลตอบสนองความถี่ของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ

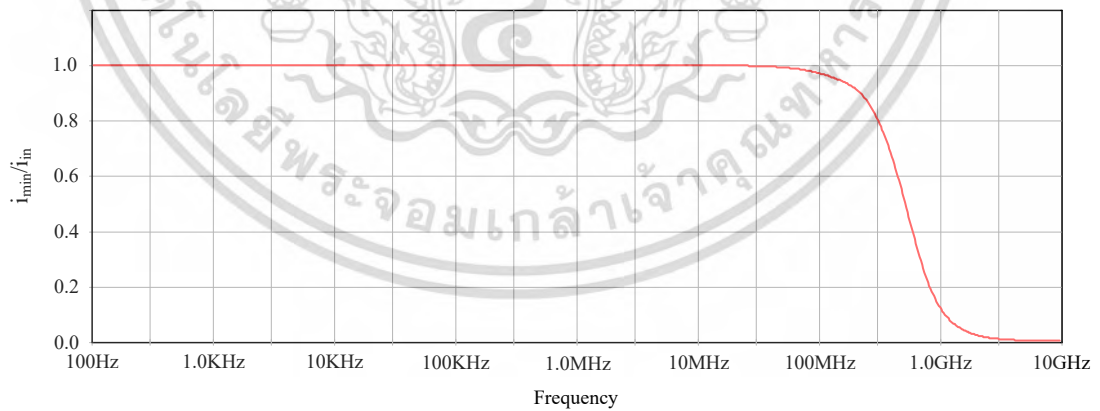
ผลตอบสนองความถี่ของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอในวิทยานิพนธ์จะขึ้นอยู่กับวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 และแบบที่ 2 ซึ่งอยู่ในวงจรรูปที่ 4.3 จากการวิเคราะห์ผลตอบสนองความถี่หาค่าสูงสุดความถี่ที่ได้คือ 38.80MHz ผลตอบสนองความถี่หาค่ามัธยฐานความถี่ที่ได้คือ 35.52MHz และผลตอบสนองความถี่หาค่าต่ำสุดความถี่ที่ได้คือ 31.68MHz ซึ่งแสดงดังรูปที่ 4.10 ตามลำดับ



(ก) ผลตอบสนองความถี่หาค่าสูงสุด



(ข) ผลตอบสนองความถี่หาค่ามัธยฐาน



(ค) ผลตอบสนองความถี่หาค่าต่ำสุด

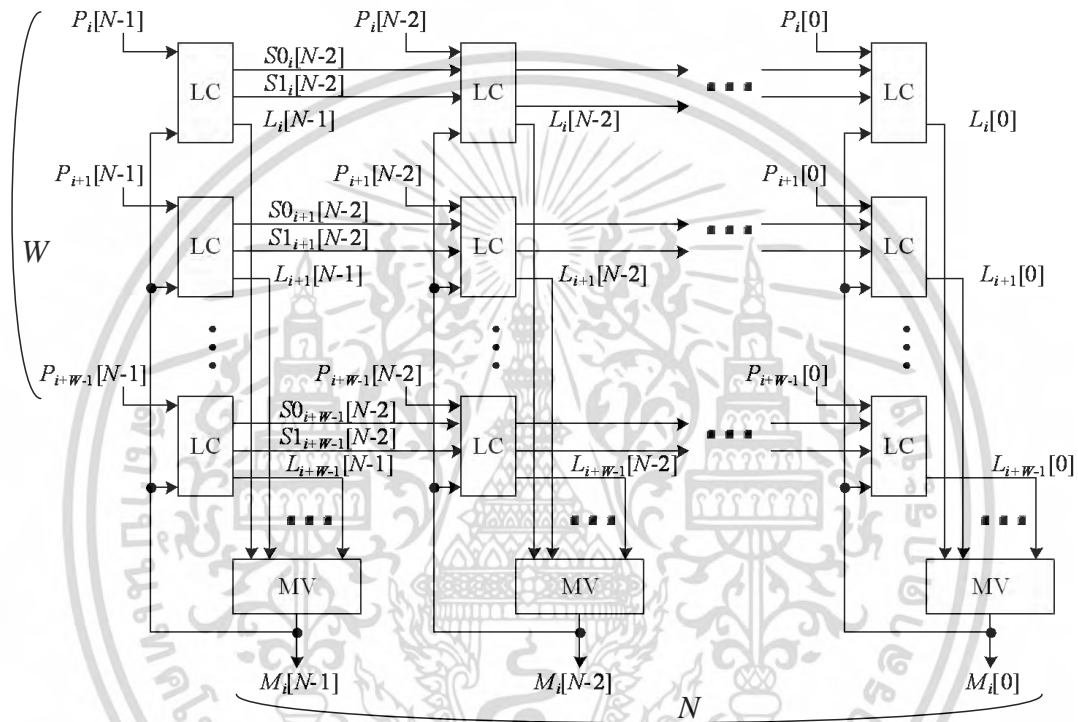
รูปที่ 4.10 ผลตอบสนองความถี่ของวงจรกรองมัธยฐาน
ที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ

4.3.1 โครงสร้างหลักและการทำงานของวงจร

การทำงานของวงจรกรองมัธยฐานที่ใช้อัลกอริทึมหลักการค้นหาในระบบฐานสองที่ได้นำเสนอ [39], [44] มีโครงสร้างหลักดังแสดงในรูปที่ 4.11 ซึ่งจะประกอบไปด้วยวงจรย่อยสองส่วนคือ วงจรควบคุมลอจิก (LC) และวงจรเลือกข้างมาก (MV)



รูปที่ 4.11 โครงสร้างหลักของวงจรกรองมัธยฐานที่ใช้อัลกอริทึมหลักการค้นหาในระบบฐานสอง

เมื่อ W คือ ขนาดของหน้าต่าง (Window Size) และ N คือ ความยาวบิต (Bit Length) ดังนั้นวงจรกรองมัธยฐานในระดับบิตสามารถขยายขนาดการสร้างได้จากการกำหนด $W \times N$ โดยที่รูปภาพอินพุตมีขนาดเท่ากับ $m \times n$ พิกเซล จะได้เอาต์พุตที่ได้จากการกรองมัธยฐานคือ $M_i[k]$ เมื่อ $i = 1, 2, \dots, m \times n$ และ k คือ ลำดับความยาวบิตของ $M_i[k]$ มีค่าเท่ากับ ($k = 0, 1, \dots, N-1$) โดยสามารถเขียนสมการของ $M_i[k]$ ได้ดังสมการที่ (4.8)

$$M_i = \begin{cases} 0 & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} \leq 0.5 \\ 1 & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} > 0.5 \end{cases} \quad (4.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $P_j[k]$ คือค่าของ k ลำดับที่ j พิกเซลของขนาดหน้าต่างต่าง เมื่อ $j=1, 2, \dots, W$ ซึ่ง $P_j[k]$ มีค่าเท่ากับ $\{0, 1\}$ ถ้าค่าข้างมากเป็น “0” แล้วค่าของ $M_j[k]$ จะเท่ากับ “0” ในทางกลับกันถ้าค่าข้างมากเป็น “1” แล้วค่าของ $M_j[k]$ จะเท่ากับ “1” จากการทำงานของวงจรถูกเลือกข้างมากจะเห็นว่าสามารถเขียนสมการของ $P_i[k]$ ได้ตามงานวิจัยที่นำเสนอใน [39], [44] ดังนั้นค่ามัธยฐานของ P_i สามารถอธิบายได้ด้วยสมการที่ (4.8) และ (4.9)

$$P_i[k-1] = \dots = P_i[0] \begin{cases} 0, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k]=0 \\ 1, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k]=1 \end{cases} \quad (4.9)$$

(ตัวอย่างหลักการทำงานของวงจรถูกมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่ได้นำเสนอ สามารถดูได้จากบทที่ 2 ในหัวข้อที่ 2.3)

4.3.2 วงจรถูกมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิรอนซิมอสที่นำเสนอ

ในการเปรียบเทียบการใช้กำลังงานไฟฟ้าของวงจรถูกมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิรอนซิมอส [44] ที่นำเสนอ โดยจะทำการเปรียบเทียบ 3 กรณี ในการเลือกใช้วงจรถูกควบคุมลอจิกและวงจรถูกเลือกข้างมากที่นำจะเอาไปประกอบตามโครงสร้างหลัก (รูปที่ 4.11) ซึ่งได้จับคู่การเลือกใช้วงจรถูกควบคุมลอจิกและวงจรถูกเลือกข้างมากดังแสดงในตารางที่ 4.2

ตารางที่ 4.2 การจับคู่ในการเลือกใช้วงจรถูกควบคุมลอจิกและวงจรถูกเลือกข้างมาก

กรณี	วงจรถูกควบคุมลอจิก	วงจรถูกเลือกข้างมาก
1 วงจรถูกมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิรอนซิมอสที่นำเสนอ [44]	แบบที่ 2 (รูปที่ 3.16)	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบนิรอนซิมอสที่นำเสนอ [44]
2 วงจรถูกมัธยฐานโดยใช้อินเวอร์เตอร์แบบซิมอส [42]	แบบที่ 2 (รูปที่ 3.16)	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42]
3 วงจรถูกมัธยฐานโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25]	แบบที่ 2 (รูปที่ 3.16)	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25]

โดยทำการกำหนดขนาดของหน้าต่าง W มีค่าเท่ากับ 3 และมีความยาวบิต N มีค่าเท่ากับ 3 โดยทำการป้อนค่าอินพุตตามช่วงเวลา 3 ช่วง คือ (ช่วงแรกตั้งแต่ $0-1.0\mu s$), (ช่วงสองตั้งแต่ $1.0-2.0\mu s$) และ (ช่วงสามตั้งแต่ $2.0-3.0\mu s$) ซึ่งค่าอินพุตที่ป้อนให้กับวงจรถูกมัธยฐานดังแสดงในตารางที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

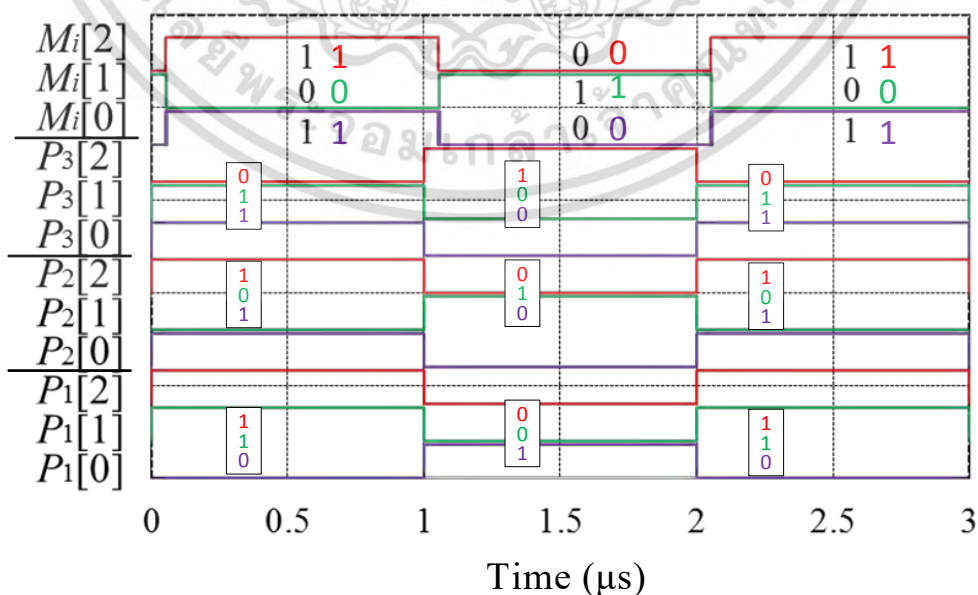
ตารางที่ 4.3 การกำหนดค่าอินพุตที่ป้อนให้กับวงจรกรองมัธยฐาน

ช่วงเวลา (μs)	0 - 1.0	1.0 - 2.0	2.0 - 3.0
อินพุต	ค่าที่ป้อน		
P_1	$\{ V_{dd}, V_{dd}, 0 \}$ ($\{ 1, 1, 0 \} = 6_{(10)}$)	$\{ 0, 0, V_{dd} \}$ ($\{ 0, 0, 1 \} = 1_{(10)}$)	$\{ V_{dd}, V_{dd}, 0 \}$ ($\{ 1, 1, 0 \} = 6_{(10)}$)
P_2	$\{ V_{dd}, 0, V_{dd} \}$ ($\{ 1, 0, 1 \} = 5_{(10)}$)	$\{ 0, V_{dd}, 0 \}$ ($\{ 0, 1, 0 \} = 2_{(10)}$)	$\{ V_{dd}, 0, V_{dd} \}$ ($\{ 1, 0, 1 \} = 5_{(10)}$)
P_3	$\{ 0, V_{dd}, V_{dd} \}$ ($\{ 0, 1, 1 \} = 3_{(10)}$)	$\{ V_{dd}, 0, 0 \}$ ($\{ 1, 0, 0 \} = 4_{(10)}$)	$\{ 0, V_{dd}, V_{dd} \}$ ($\{ 0, 1, 1 \} = 3_{(10)}$)
เอาต์พุต	ค่ามัธยฐาน		
M_i	$\{ V_{dd}, 0, V_{dd} \}$ ($\{ 1, 0, 1 \} = 5_{(10)}$)	$\{ 0, V_{dd}, 0 \}$ ($\{ 0, 1, 0 \} = 2_{(10)}$)	$\{ V_{dd}, 0, V_{dd} \}$ ($\{ 1, 0, 1 \} = 5_{(10)}$)

ในการเปรียบเทียบการใช้กำลังงานไฟฟ้าของวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44] ที่นำเสนอ โดยจะทำการเปรียบเทียบ 3 กรณี ในการเลียนแบบการทำงานของวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซิมอส $0.35\mu\text{m}$ โดยกำหนดกระบวนการเลียนแบบการทำงานดังนี้ ค่าแรงดันไฟฟ้าแหล่งจ่าย (ตั้งไว้ที่ 1.8V), ค่าตัวชี้เซลล์ (ตั้งไว้ที่ 0.5 หรือที่ 50 %) และช่วงเวลาของสัญญาณนาฬิกาคล็อก (ตั้งไว้ที่ $0.1\mu\text{s}$)

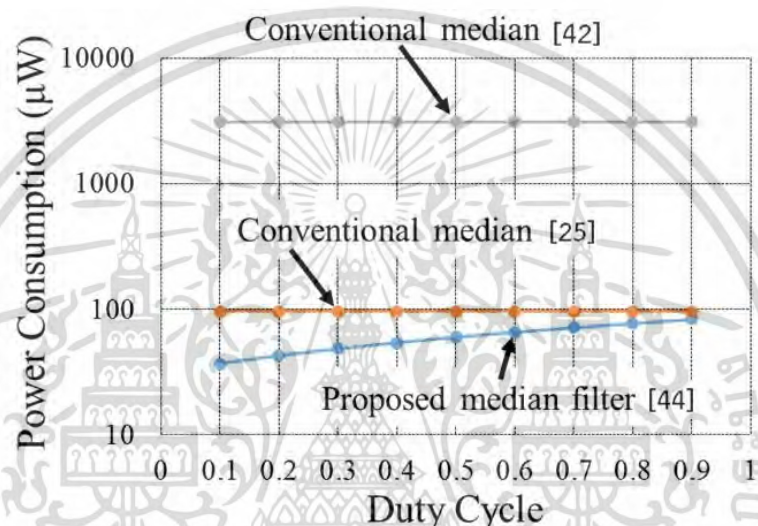
จากการกำหนดค่าอินพุตที่ป้อนให้กับวงจรกรองมัธยฐานตามตารางที่ 2 จากหลักการของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ ซึ่งจะได้ค่ามัธยฐาน $M_i = \{ 5, 2, 5 \}$ ที่ได้มาจาก $P_1 = \{ 6, 1, 6 \}$, $P_2 = \{ 5, 2, 5 \}$, และ $P_3 = \{ 3, 4, 3 \}$

ผลการเลียนแบบการทำงานของวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอสที่นำเสนอโดยใช้โปรแกรม SPICE ดังแสดงในรูปที่ 4.12



รูปที่ 4.12 ผลการเลียนแบบการทำงานของวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการเลียนแบบการทำงานของวงจรกรองมัธยฐานในการเปรียบเทียบการใช้กำลังงานไฟฟ้าของวงจรกรองมัธยฐาน 3 กรณี ดังแสดงในรูปที่ 4.13 ซึ่งจะเห็นได้ว่าวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่ใช้วงจรอินเวอร์เตอร์แบบนิวรอนซิมอสที่นำเสนอสามารถลดการใช้กำลังงานประมาณ 37% เมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้วงจรเลือกข้างมาก โดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25] (กรณีที่ 3) ซึ่งถูกนำเสนอในอดีต นอกจากนี้วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอส [44] ที่นำเสนอซึ่งใช้อุปกรณ์ที่มีจำนวนน้อยกว่าเมื่อเทียบกับวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบซิมอส [42] (กรณีที่ 2) ดังแสดงในตารางที่ 4.4



รูปที่ 4.13 ผลการเลียนแบบการทำงานของวงจรกรองมัธยฐานในการเปรียบเทียบการใช้กำลังงานไฟฟ้าของวงจรกรองมัธยฐาน 3 กรณี

ตารางที่ 4.4. สรุปลักษณะอุปกรณ์ของวงจรกรองมัธยฐานในการเปรียบเทียบ 3 กรณี

กรณี	จำนวนอุปกรณ์		
	MOSFETs	Neuron Inverters	Capacitors
1 วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิวรอนซิมอสที่นำเสนอ [44]	4	1	1
2 วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบซิมอส [42]	8	0	0
3 วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25]	2	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 การเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานที่ใช้วงจรควบคุมลอจิกและวงจรถูกเลือกข้างมากที่สนใจโดยใช้โปรแกรม LabVIEW

จากโครงสร้างหลักในรูปที่ 4.11 โดยการเลือกใช้วงจรควบคุมลอจิก 2 วงจร ที่แตกต่างกันคือ รูปที่ 3.15 [25] และรูปที่ 3.16 [44] ส่วนวงจรถูกเลือกข้างมาก 2 วงจรที่แตกต่างกันคือ วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสรูปที่ 3.17 [42] และวงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสตัดแปลงรูปที่ 3.18 [43] ดังนั้นจะได้กรณีศึกษาทั้งหมด 4 กรณี ดังแสดงดังตารางที่ 4.5

ตารางที่ 4.5 การจับคู่วงจรถูกควบคุมลอจิกและวงจรถูกเลือกข้างมากที่สนใจ

กรณี	วงจรถูกควบคุมลอจิก	วงจรถูกเลือกข้างมาก
1	แบบที่ 1 รูปที่ 3.15 [25]	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42]
2	แบบที่ 1 รูปที่ 3.15 [25]	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสตัดแปลง [43]
3	แบบที่ 2 รูปที่ 3.16 [44]	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42]
4	แบบที่ 2 รูปที่ 3.16 [44]	วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสตัดแปลง [43]

สมรรถนะผลการเลียนแบบการทำงานของวงจรกรองมัธยฐาน ที่ใช้วงจรถูกควบคุมลอจิกและวงจรถูกเลือกข้างมากที่สนใจ ในการเลียนแบบการทำงานเพื่อหาค่าเวลาที่ใช้ในการทำงานด้วยโปรแกรม LabVIEW และการเลียนแบบการทำงานเพื่อหาค่าการใช้กำลังงานไฟฟ้า ด้วยโปรแกรม NI Multisim โดยใช้เบอร์ของอุปกรณ์ในการเลียนแบบการทำงานตามตารางที่ 4.6 ในการสร้างวงจรถูกกรองมัธยฐาน

ตารางที่ 4.6 อุปกรณ์ที่ใช้ในการเลียนแบบการทำงาน

Device	Model	Manufacturer
PMOS	BSH201	Philips Semiconductors
NMOS	BSH121	Philips Semiconductors
Opamp	AD620	Analog Devices
NOR Gate	SN54LS02	Motorola
AND Gate	SN5408	Motorola
Exclusive OR Gate	SN5486	Motorola
OR gate	DM74LS32	Fairchild Semiconductor
NAND gate	DM74LS00	Fairchild Semiconductor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตารางที่ 4.7 แสดงค่าเวลาที่ใช้ในการทำงานของวงจรควบคุมลอจิก ที่ได้จากการเลียนแบบการทำงาน
 ของวงจรควบคุมลอจิกด้วยโปรแกรม LabVIEW และค่าการใช้กำลังงานไฟฟ้าของวงจรควบคุม
 ลอจิก ที่ได้จากการเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim
 (ภาคผนวก ค)

ตารางที่ 4.7 ผลการทดลองการเลียนแบบการทำงานของวงจรควบคุมลอจิกแสดงค่าเวลาที่ใช้ในการ
 ทำงานและค่าการใช้กำลังงานไฟฟ้าของวงจรควบคุมลอจิก

วงจรควบคุมลอจิกแบบที่ 1 รูปที่ 3.15 [25]		วงจรควบคุมลอจิกแบบที่ 2 รูปที่ 3.16 [44]	
ค่าเวลาที่ใช้ในการ ทำงาน	ค่าการใช้กำลังงาน ไฟฟ้า	ค่าเวลาที่ใช้ในการ ทำงาน	ค่าการใช้กำลังงาน ไฟฟ้า
0.032 ms	10.816 ms	0.020 ms	10.000 ms

เมื่อพิจารณาผลค่าเวลาที่ใช้ในการทำงานในตารางที่ 4.7 จะเห็นว่าวงจรควบคุมลอจิกแบบที่ 1 รูปที่
 3.15 [25] ใช้เวลาในการทำงานมากกว่าและมีค่าการใช้กำลังงานไฟฟ้าที่สูงกว่าวงจรควบคุมลอจิก
 แบบที่ 2 รูปที่ 3.16 [44]

ในตารางที่ 4.8 แสดงค่าเวลาที่ใช้ในการทำงานและค่าการใช้กำลังงานไฟฟ้า ที่ได้จากการ
 เลียนแบบการทำงานของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอส [42] ในรูปที่ 3.17 และ
 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซิมอสตัดแปลง [43] ในรูปที่ 3.18

โดยการเลียนแบบการทำงานมีขนาดหน้าต่าง W ตั้งแต่ 1 ถึง 9 และผลจากตารางที่ 4.8
 การเลียนแบบการทำงานมีขนาดหน้าต่าง W ตั้งแต่ 1 ถึง 9 เมื่อพิจารณาค่าการเลียนแบบการทำงาน
 พบว่าวงจรควบคุมลอจิกแบบที่ 1 [25] รูปที่ 3.15 ใช้เวลาในการทำงานมากกว่าและมีค่าการใช้
 กำลังงานไฟฟ้าที่สูงกว่าวงจรควบคุมลอจิกแบบที่ 2 [44] รูปที่ 3.16 นอกจากนี้เวลาที่ใช้ในการทำงาน
 ของวงจรเลือกข้างมากทั้ง 2 วงจรจะเพิ่มขึ้นเมื่อขนาดของหน้าต่างใหญ่ขึ้น ในขณะที่การใช้กำลังงาน
 ไฟฟ้าของวงจรควบคุมลอจิกแบบที่ 2 [44] รูปที่ 3.16 จะเพิ่มขึ้นเล็กน้อยเมื่อขนาดหน้าต่างใหญ่ขึ้น

ตารางที่ 4.8 ผลการทดลองการเลียนแบบการทำงานมีขนาดหน้าต่าง W ตั้งแต่ 1 ถึง 9 ค่าเวลาที่ใช้ในการทำงานกับค่าการใช้กำลังงานไฟฟ้าของวงจรเลือกข้างมาก

W	วงจรเลือกข้างมากโดยใช้ อินเวอร์เตอร์แบบซิมอส [42] รูปที่ 3.17		วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์ แบบซิมอสตัดแปลง [43] รูปที่ 3.18	
	ค่าเวลาที่ใช้ในการ ทำงาน	ค่าการใช้กำลังงาน ไฟฟ้า	ค่าเวลาที่ใช้ใน การทำงาน	ค่าการใช้กำลังงาน ไฟฟ้า
1	0.342 ms	4.105 mW	0.266 ms	5.0810000 mW
2	0.452 ms	8.210 mW	0.353 ms	5.0813139 mW
3	0.532 ms	12.315 mW	0.438 ms	5.0816278 mW
4	0.698 ms	16.419 mW	0.526 ms	5.0819416 mW
5	0.864 ms	20.524 mW	0.646 ms	5.0822555 mW
6	1.022 ms	24.629 mW	0.772 ms	5.0825694 mW
7	1.154 ms	28.734 mW	0.856 ms	5.0828833 mW
8	1.250 ms	32.839 mW	1.048 ms	5.0831972 mW
9	1.354 ms	36.944 mW	1.222 ms	5.0835110 mW

ตารางที่ 4.7 และตารางที่ 4.8 แสดงผลการเลียนแบบการทำงานของเวลาที่ใช้ในการทำงานของวงจรกรองมัธยฐานที่มีโครงสร้างที่แตกต่างกัน 4 วงจร โดยทดสอบกับขนาดหน้าต่าง 1 ไปถึง 9 และกำหนดให้ความยาวบิตเท่า 4 ไปถึง 8 บิตตามลำดับ

ตารางที่ 4.9 ผลการเลียนแบบการทำงานของเวลาที่ใช้ในการทำงานเมื่อ $N = 4$

W	Case 1	Case 2	Case 3	Case 4
1	3.199 ms	2.392 ms	2.647 ms	2.232 ms
2	4.363 ms	3.472 ms	3.594 ms	3.167 ms
3	5.485 ms	4.100 ms	4.538 ms	4.000 ms
4	7.700 ms	5.875 ms	6.183 ms	5.454 ms
5	8.943 ms	6.455 ms	6.895 ms	6.001 ms
6	12.882 ms	7.913 ms	8.441 ms	7.262 ms
7	13.647 ms	8.682 ms	9.629 ms	8.000 ms
8	16.483 ms	11.199 ms	12.236 ms	9.758 ms
9	18.222 ms	12.876 ms	14.322 ms	11.560 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 ผลการเปลี่ยนแปลงการทำงานของเวลาที่ใช้ในการทำงานเมื่อ $N = 8$

W	Case 1	Case 2	Case 3	Case 4
1	7.674 ms	5.638 ms	6.674 ms	5.452 ms
2	10.744 ms	7.648 ms	8.344 ms	7.127 ms
3	14.357 ms	9.902 ms	11.546 ms	8.952 ms
4	18.499 ms	13.406 ms	15.499 ms	11.101 ms
5	22.461 ms	16.764 ms	19.951 ms	13.756 ms
6	28.914 ms	19.567 ms	23.914 ms	16.127 ms
7	33.867 ms	22.949 ms	27.892 ms	17.555 ms
8	37.476 ms	25.551 ms	32.476 ms	21.416 ms
9	43.988 ms	28.153 ms	36.188 ms	24.480 ms

ตารางที่ 4.11 ค่าการใช้กำลังงานไฟฟ้าเมื่อ $N = 4$

W	Case 1	Case 2	Case 3	Case 4
1	59.7 mW	63.6 mW	56.4 mW	60.3 mW
2	119.4 mW	106.9 mW	112.8 mW	100.3 mW
3	179.1 mW	150.1 mW	169.3 mW	140.3 mW
4	238.7 mW	193.4 mW	225.7 mW	180.3 mW
5	298.4 mW	236.6 mW	282.1 mW	220.3 mW
6	358.1 mW	279.9 mW	338.5 mW	260.3 mW
7	417.8 mW	323.2 mW	394.9 mW	300.3 mW
8	477.5 mW	366.4 mW	451.4 mW	340.3 mW
9	537.2 mW	409.7 mW	507.8 mW	380.3 mW

ตารางที่ 4.12 ค่าการใช้กำลังงานไฟฟ้าเมื่อ $N = 8$

W	Case 1	Case 2	Case 3	Case 4
1	119.4 mW	127.2 mW	112.8 mW	120.6 mW
2	238.7 mW	213.7 mW	225.7 mW	200.6 mW
3	358.1 mW	300.2 mW	338.5 mW	280.6 mW
4	477.5 mW	386.8 mW	451.4 mW	360.6 mW
5	596.8 mW	473.3 mW	564.2 mW	440.6 mW
6	716.2 mW	559.8 mW	677.0 mW	520.6 mW
7	835.6 mW	646.3 mW	789.9 mW	600.6 mW
8	954.9 mW	732.9 mW	902.7 mW	680.6 mW
9	1074.3 mW	819.4 mW	1015.6 mW	760.6 mW

จากผลการเปลี่ยนแปลงการทำงานในตารางที่ 4.9 ถึง 4.12 แสดงให้เห็นว่าเวลาที่ใช้ในการทำงานและการใช้กำลังงานไฟฟ้าของวงจรกรองมัธยฐานทั้ง 4 กรณีแปรผันตรงกับขนาดของหน้าต่าง W ซึ่งสอดคล้องกับหลักการประมวลผลระดับบิต ซึ่งผลการเปรียบเทียบสมรรถนะของวงจรกรองมัธยฐานทั้ง 4 แสดงได้ดังตารางที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค. การวิเคราะห์คุณสมบัติการทำงานวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอ

ค่าการใช้กำลังงานไฟฟ้า (P_{filter}) ของวงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอสามารถประมาณค่าได้ดังสมการที่ (4.10)

$$P_{filter} = (P_{LC} \times W \times N) + (P_{MV} \times N) \quad (4.10)$$

เมื่อ P_{LC} และ P_{MV} คือ ค่ากำลังงานไฟฟ้าสูญเสียในวงจรควบคุมลอจิกและวงจรเลือกข้างมากตามลำดับ และเมื่อแทนค่าการใช้กำลังงานไฟฟ้าจากตารางที่ 4.6 และตารางที่ 4.7 ลงในสมการที่ (4.10) จะสามารถคำนวณค่าการใช้กำลังงานไฟฟ้าที่เกิดขึ้นกับวงจรกรองมัธยฐานทั้ง 4 วงจรที่ได้ทำการศึกษา โดยพิจารณาที่ความยาวบิตเท่ากับ 4 และ 8 ผลของการศึกษาแสดงดังตารางที่ 4.11 และ 4.12 ตามลำดับ

ตารางที่ 4.13 ผลการเปรียบเทียบสมรรถนะของวงจรกรองมัธยฐาน

Operation Time		Power Consumption	
Maximum	Minimum	Maximum	Minimum
Case 1	Case 4	Case 1	Case 4

จากตารางที่ 4.13 แสดงให้เห็นว่าวงจรกรองมัธยฐานที่มีโครงสร้างตามกรณีศึกษาที่ 1 ใช้เวลาในการทำงานนานที่สุดและมีค่าการใช้กำลังงานไฟฟ้ามากที่สุด ในขณะที่วงจรกรองมัธยฐานในกรณีศึกษาที่ 4 ใช้เวลาในการทำงานสั้นที่สุดและมีการใช้กำลังงานไฟฟ้าต่ำที่สุด

4.4 บทสรุป

วิทยานิพนธ์นี้ได้นำเสนอเทคนิคในการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสจำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส การทำงานของวงจรกรองมัธยฐานที่ใช้เทคนิคนี้จะทำงานในลักษณะรูปแบบการประมวลผลแบบคู่ขนานซึ่งจะหาค่าเอาต์พุตของกระแสสูงสุด กระแสต่ำสุด และกระแสมัธยฐาน ได้ในเวลาพร้อมกัน นอกจากนี้ ในการประมวลสัญญาณทางแอนะล็อกซึ่งมีการทำงานในโหมดของกระแส โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีการทำงานในช่วงอิมิตัวเป็นหลัก โครงสร้างของวงจรที่ออกแบบเป็นวงจรขยายคลาส AB/B โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลานิ่ง (Delay Time) เป็นผลทำให้มีความผิดเพี้ยนของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลงใช้อุปกรณ์น้อย เพื่อรองรับกับเทคโนโลยีของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมขนาดใหญ่ (Very Large Scale Integration: VLSI) ซึ่งเป็นการพัฒนาเทคโนโลยีของทรานซิสเตอร์แบบซีมอสอีกรูปแบบหนึ่ง นอกจากนี้ วงจรที่ออกแบบใช้แหล่งจ่ายไฟแรงดันต่ำสามารถที่จะใช้พลังงานจากแบตเตอรี่หรือแหล่งจ่ายไฟแบบพกพาได้

จากผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE ในการทดสอบสมรรถนะและประสิทธิภาพของวงจรที่ได้นำเสนอสามารถยืนยันว่าวงจรกรอมัยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอ มีคุณสมบัติที่ให้ค่าสัญญาณเอาต์พุตที่มีความผิดพลาดน้อยและมีการทำงานที่รวดเร็ว และวงจรที่นำเสนอนั้นสามารถทำงานได้อย่างถูกต้องแม่นยำ

นอกจากนี้ วงจรกรอมัยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและต่ำสุดแบบ 3 อินพุตที่นำเสนอสามารถลดความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุตประมาณ 30% เมื่อเทียบกับวงจรกรอมัยฐานที่ใช้วงจรร้อยค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตต่อรวมกันในโครงข่ายการเรียงลำดับแบบฟองซึ่งถูกนำเสนอในอดีต [31] และวงจรกรอมัยฐานที่นำเสนอนี้มีโครงสร้างที่ไม่ซับซ้อน ดังนั้นจึงสามารถนำไปประยุกต์ เพื่อขยายวงจรกรอมัยฐานหลายอินพุตได้ง่าย จากผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE แสดงให้เห็นประสิทธิภาพและสมรรถนะในการทำงานของวงจรที่นำเสนอ

การออกแบบวงจรกรอมัยฐานโดยใช้เทคโนโลยีซีมอสที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอโดยการเปรียบเทียบสมรรถนะการทำงานของวงจรกรอมัยฐานที่ใช้วงจรควบคุมลอจิกและวงจรถูกเลือกข้างมากที่สนใจ เพื่อพิจารณาในการเลือกนำไปประยุกต์ใช้งาน ซึ่งการเลียนแบบการทำงานเพื่อหาค่าเวลาที่ใช้ในการทำงานด้วยโปรแกรม LabVIEW และการเลียนแบบการทำงานเพื่อหาค่าการใช้กำลังงานไฟฟ้าด้วยโปรแกรม NI Multisim ซึ่งสามารถสรุปข้อดีข้อด้อยในการออกแบบวงจรกรอมัยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่นำเสนอได้เป็นหัวข้อดังนี้

1. จะเห็นได้ว่าวงจรกรอมัยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองที่ใช้วงจรรีเลย์เตอร์แบบนิรอนซีมอสที่นำเสนอสามารถลดการใช้กำลังงานประมาณ 37% เมื่อเทียบกับวงจรกรอมัยฐานที่ใช้วงจรถูกเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25] (กรณีที่ 3) ซึ่งถูกนำเสนอในอดีต
2. วงจรกรอมัยฐานที่ใช้อินเวอร์เตอร์แบบนิรอนซีมอสที่นำเสนอ [44] ยังใช้อุปกรณ์ที่มีจำนวนน้อยกว่าเมื่อเปรียบเทียบกับวงจรกรอมัยฐานที่ใช้อินเวอร์เตอร์แบบซีมอส [42] (กรณีที่ 2)
3. เมื่อพิจารณาผลค่าเวลาที่ใช้ในการทำงานในตารางที่ 4.7 จะเห็นว่าวงจรถูกเลือกข้างมากแบบที่ 1 รูปที่ 3.15 [25] ใช้เวลาในการทำงานมากกว่าและมีค่าการใช้กำลังงานไฟฟ้าที่สูงกว่าวงจรถูกเลือกข้างมากแบบที่ 2 รูปที่ 3.16 [44]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผลจากตารางที่ 4.8 ในการเลียนแบบการทำงานมีขนาดหน้าต่าง W ตั้งแต่ 1 ถึง 9 เมื่อพิจารณาค่าการเลียนแบบการทำงานพบว่าวงจรควบคุมลอจิกรูปแบบที่ 1 [25] รูปที่ 3.15 ใช้เวลาในการทำงานมากกว่าและมีค่าการใช้กำลังงานไฟฟ้าที่สูงกว่าวงจรควบคุมลอจิกแบบที่ 2 [44] รูปที่ 3.16 นอกจากนี้เวลาที่ใช้ในการทำงานของวงจรเลือกข้างมากทั้ง 2 วงจรจะเพิ่มขึ้นเมื่อขนาดของหน้าต่างใหญ่ขึ้น ในขณะที่การใช้กำลังงานไฟฟ้าของวงจรควบคุมลอจิกแบบที่ 2 [44] รูปที่ 3.16 จะเพิ่มขึ้นเล็กน้อยเมื่อมีขนาดหน้าต่างที่ใหญ่ขึ้น
5. จากผลการเลียนแบบการทำงานในตารางที่ 4.9 ถึง 4.12 แสดงให้เห็นว่าเวลาที่ใช้ในการทำงานและการใช้กำลังงานไฟฟ้าของวงจรรองรับมาตรฐานทั้ง 4 กรณีแปรผันตรงกับขนาดของหน้าต่าง W ซึ่งสอดคล้องกับหลักการประมวลผลระดับบิต
6. จากตารางที่ 4.13 แสดงให้เห็นว่าวงจรรองรับมาตรฐานที่มีโครงสร้างตามกรณีศึกษาที่ 1 ใช้เวลาในการทำงานนานที่สุดและมีค่าการใช้กำลังงานไฟฟ้ามากที่สุด ในขณะที่วงจรรองรับมาตรฐานในกรณีศึกษาที่ 4 ใช้เวลาในการทำงานสั้นที่สุดและมีการใช้กำลังงานไฟฟ้าต่ำที่สุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการวิจัยและข้อเสนอแนะแนวทางการวิจัยต่อ

5.1 สรุปผลการวิจัย

วิทยานิพนธ์นี้ได้นำเสนอเทคนิคในการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสจำนวน 2 เทคนิค คือ เทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส การทำงานของวงจรกรองมัธยฐานที่ใช้เทคนิคนี้จะทำงานในลักษณะรูปแบบการประมวลผลแบบคู่ขนานซึ่งจะหาค่าเอาต์พุตของกระแสสูงสุด กระแสต่ำสุด และกระแสมัธยฐาน ได้ในเวลาพร้อมกัน เป็นคุณสมบัติหลักที่จำเป็นต่อการประมวลผลภาพมีความรวดเร็วในการกรองมัธยฐานเพื่อลดสัญญาณรบกวนจากสัญญาณหรือภาพ นอกจากนี้ การออกแบบวงจรกรองมัธยฐานที่นำเสนอเป็นการประมวลสัญญาณทางแอนะล็อกซึ่งมีการทำงานในโหมดของกระแส โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีการทำงานในช่วงอิมิตัวเป็นหลัก โครงสร้างของวงจรที่ออกแบบเป็นวงจรขยายคลาส AB/B โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (Delay Time) เป็นผลทำให้มีความผิดเพี้ยนของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลงใช้อุปกรณ์น้อย เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ (Very Large Scale Integration: VLSI) ซึ่งเป็นการพัฒนาเทคโนโลยีของทรานซิสเตอร์แบบซีมอสอีกรูปแบบหนึ่ง นอกจากนี้ วงจรที่ออกแบบใช้แหล่งจ่ายไฟแรงดันต่ำสามารถที่จะใช้พลังงานจากแบตเตอรี่หรือแหล่งจ่ายไฟแบบพกพาได้ จากผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE ในการทดสอบสมรรถนะและประสิทธิภาพของวงจรที่ได้ทำการออกแบบสามารถยืนยันว่า วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตที่นำเสนอ มีคุณสมบัติที่ค่าสัญญาณเอาต์พุตที่มีความผิดเพี้ยนน้อยและมีการทำงานที่รวดเร็ว และวงจรที่นำเสนอนั้นสามารถทำงานได้อย่างถูกต้องแม่นยำซึ่งสามารถลดความผิดพลาดที่มุมจุดตัดระหว่างสัญญาณอินพุตประมาณ 30% เมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้วงจรย่อยค่าสูงสุดและค่าต่ำสุดแบบ 2 อินพุตต่อร่วมกันในโครงข่ายการเรียงลำดับแบบฟองซึ่งถูกนำเสนอในอดีต [31]

วงจรกรองมัธยฐานที่ใช้เทคนิคบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสอง โดยการเปรียบเทียบสมรรถนะการทำงานของวงจรกรองมัธยฐานที่ใช้วงจรควบคุมลอจิกและวงจรเลือกข้างมากที่สุดใจซึ่งจะเปรียบเทียบผลการทดสอบการทำงานโดยการเลียนแบบการทำงานเพื่อหาค่าเวลาที่ใช้ในการทำงานด้วยโปรแกรม LabVIEW และการเลียนแบบการทำงานเพื่อหาค่าการใช้กำลังงานไฟฟ้าด้วยโปรแกรม NI Multisim ซึ่งจากผลการทดสอบสมรรถนะของวงจรที่ได้พัฒนาขึ้น สามารถยืนยันได้ว่าวงจรกรองมัธยฐานบนพื้นฐานอัลกอริทึมการค้นหาระบบฐานสองโดยใช้อินเวอร์เตอร์แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิเวรอนซีมอสที่ถูกควบคุมด้วยสัญญาณนาฬิกาคล็อกในการออกแบบวงจรกรองมัธยฐานจะใช้กำลังงานต่ำ สามารถลดการใช้กำลังงานประมาณ 37% (ที่ดิวตี้ไซเคิล 50%) เมื่อเทียบกับวงจรกรองมัธยฐานที่ใช้วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบโพลติงเกต [25] (กรณีที่ 3) ซึ่งถูกนำเสนอในอดีตถ้ามีการปรับที่ดิวตี้ไซเคิลให้ลดลง วงจรกรองมัธยฐานที่นำเสนอจะมีความสามารถลดการใช้กำลังได้มากขึ้นด้วย นอกจากนี้ วงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบนิเวรอนซีมอสที่นำเสนอ [44] ยังใช้อุปกรณ์ที่มีจำนวนน้อยกว่าเมื่อเปรียบเทียบกับวงจรกรองมัธยฐานโดยใช้อินเวอร์เตอร์แบบซีมอส [42] (กรณีที่ 2) ซึ่งวงจรกรองมัธยฐานนี้มีคุณสมบัติที่เหมาะสมสำหรับเครื่องมือแพทย์ที่ฝังในร่างกายโดยมีเป้าหมายเพื่อให้ได้วงจรกรองมัธยฐานที่มีขนาดเล็ก ใช้พื้นที่ในการสร้างวงจรมินิมอล สามารถใช้กับแหล่งจ่ายไฟแรงดันต่ำได้ และมีการใช้กำลังงานไฟฟ้าที่ต่ำ ซึ่งการออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสที่ได้นำเสนอในวิทยานิพนธ์นี้ มีความบรรลุตามความมุ่งหมายและวัตถุประสงค์ของการศึกษาที่ตั้งไว้

5.2 ข้อเสนอแนะแนวในการทำวิจัยต่อ

การออกแบบวงจรกรองมัธยฐานโดยใช้เทคโนโลยีซีมอสเทคนิคแรกบนพื้นฐานฟังก์ชันหาค่าสูงสุดและค่าต่ำสุดโดยใช้วงจรย่อยหาค่าสูงสุดและค่าต่ำสุดแบบ 3 อินพุตร่วมกับวงจรสะท้อนกระแส ที่ได้นำเสนอเป็นการประมวลสัญญาณทางแอนะล็อกซึ่งมีการทำงานในโหมดของกระแส หากต้องการปรับให้ทำงานในโหมดของแรงดันซึ่งจะต้องใช้ตัวแปลงผันแอนะล็อกเป็นดิจิตอล (Analog-to-Digital Converter: ADC) ซึ่งตัวแปลงผันแอนะล็อกเป็นดิจิตอลดังกล่าวมีหลักการได้หลายวิธี เช่น อัลกอริธึม ADC, Dual Slope Integrating ADC หรือ Flash ADC เป็นต้น ซึ่งสามารถทำได้หลายวิธีเพื่อนำมาพัฒนาต่อยอดร่วมกับวงจรกรองมัธยฐานเพื่อมีการนำไปประยุกต์ใช้งานให้กว้างมากยิ่งขึ้น

เอกสารอ้างอิง

- [1] G. Devarajan and V. K. Aatre “**Analysis of Median Filter,**” *ACE '90, Proceedings of XVI Annual Convention and Exhibition of the IEEE*, Bangalore, India, January 1991, pp. 274-276.
- [2] J. Cadenas “**Pipelined Median Architecture,**” *Electronics Letters 19th*, Vol. 51, No. 24, November 2015, pp. 1999–2001.
- [3] J. W. Tukey, “**Exploratory Data Analysis: Past, Present, and Future,**” *MA: Addison-Wesley*, 1971.
- [4] A. K. Georgios, S. A. Dimitrios, D. Petros, and I. Ebroul, “**Content-Based Guided Image Filtering, Weighted Semi-Global Optimization, and Efficient Disparity Refinement for Fast and Accurate Disparity Estimation,**” *IEEE Transactions on Multimedia*, Vol. 18, No. 2, February 2016, pp. 155-170.
- [5] Z. Feihu, D. Longquan, X. Shiming and Z. Xiaopeng, “**Segment Graph Based Image Filtering: Fast Structure-Preserving Smoothing,**” *IEEE International Conference on Computer Vision*, Santiago, Chile, December 2015, pp. 361-369.
- [6] W. Lei and C.J. Ching, “**A VLSI Architecture for Real-Time Gradient Guided Image Filtering,**” *International Conference on Very Large Scale Integration (IFIP/IEEE)*, September 2016, pp. 1-6.
- [7] S. Perlman, S. Eisenhandler, P. Lyons, M. Shumila, “**Adaptive Median Filtering for Impulse Noise Elimination in Real-Time TV Signals,**” *IEEE Transactions on Communications*, Vol. 35, No. 6, June 1987, pp. 646-652.
- [8] S. Naqvi. N. Gallagher, and E. Coyle, “**An Application of Median Filter to Digital Television,**” *Proc. 1986 IEEE International Conference on Acoustics, Speech and Signal Proceeding*, Tokyo, Japan, April 1986, pp. 2451-2454.
- [9] J. Lianghai, L. Hong, X. Xiangyang, and S. Enmin, “**Quaternion-Based Impulse Noise Removal from Color Video Sequences,**” *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 23, No. 5, May 2013, pp. 741-755.
- [10] S. H. Gwang, K. P. Jong and G. K. Byung, “**Near Real-Time Local Stereo Matching Algorithm Based on Fast Guided Image Filtering,**” *European Workshop on Visual Information Processing (EUVIP)*, Marseille, France, October 2016. pp. 1-5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [11] Y. Chen, L. Yan, Z. Wei and C. Song, “**Real-Time Hardware Stereo Matching Using Guided Image Filter,**” *International Great Lakes Symposium on VLSI (GLSVLSI)*, Boston, USA, May 2016, pp. 105-108.
- [12] T.Christos, K. Christos, and T. Theocharis, “**A Low-Cost Real-Time Embedded Stereo Vision System for Accurate Disparity Estimation Based on Guided Image Filtering,**” *IEEE Transaction on Computers*, Vol. 65, No. 9, September 2016, pp. 2678-2693.
- [13] I. Andreadis and G. Louverdis, “**Real-Time Adaptive Image Impulse Noise Suppression,**” *IEEE Transactions on Instrumentation and Measurement*, Vol. 53, No. 3, June 2004, pp. 798-806.
- [14] T. Tokuda, K. Hiyama, S. Sawamura, K. Sasagawa, Y. Terasawa, K. Nishida, Y. Kitaguchi, T. Fujikado, Y. Tano, and J. Ohta, “**CMOS-Based Multichip Networked Flexible Retinal Stimulator Designed for Image-Based Retinal Prosthesis,**” *IEEE Trans. Electron Devices*, Vol. 56, No. 11, 2009, pp. 2577-2585.
- [15] H. Naganuma, K. Kiyoyama, and T. Tanaka, “**A 37 x 37 Pixels Artificial Retina Chip with Edge Enhancement Function for 3-D Stacked Fully Implantable Retinal Prosthesis,**” *Proc. of 2012 IEEE Biomedical Circuits and Systems Conference*, 2012, pp. 212-215.
- [16] C. Lee and C. Hsieh, “**A 0.5 V/1.8 V High Dynamic Range CMOS Imager for Artificial Retina Applications,**” *IEEE Sensors Journal*, Vol. 15, No. 12, 2015, pp. 6833-6838.
- [17] K. O. Boateng, B. W. Asubam, and D. S. Laar, “**Improving the Effectiveness of the Median Filter,**” *International Journal of Electronics and Communication Engineering*, Vol. 5, No. 1, 2012, pp. 85-97. [17]-[29] JOURNAL
- [18] A. Rajasekaran and S. P, “**Image Denoising Using Median Filter with Edge Detection Using Canny Operator,**” *International Journal of Science and Research*, Vol. 3, No. 2, 2014, pp. 30-34.
- [19] E. Kalali and I. Hamzaoglu, “**A Low Energy 2D Adaptive Median Filter Hardware,**” *Proc. of 2015 Design, Automation & Test in Europe Conference & Exhibition*, 2015, pp. 725-729.
- [20] C. Lee and C. Jen, “**A Bit-Level Scalable Median Filter Using Simple Majority Circuit,**” *Proc. of 1989 International Symposium on VLSI Technology, Systems and Applications*, 1989, pp. 174-177.

- [21] C. Noisuwan, J. Nakasuwan, B. Knobnob, S. Chivapreecha, and K. Dejhan, “**A CMOS Median Filter Circuit Design,**” *Proc. of 2006 International Symposium on Communications and Information Technologies*, 2006, pp. 1089-1092.
- [22] Y. C. Hung, S. H. Shieh, and C.K. Tung, “**A Real-time Current-Mode CMOS Analog Median Filtering Cell for System-on-Chip Applications,**” *Proc. of 2007 IEEE Conference on Electron Devices and Solid-State Circuits*, 2007, pp. 361-364.
- [23] S. Siskos, “**Low Voltage Analog Median Filters Implementation,**” *Proc. of 2010 IEEE International Conference on Imaging Systems and Techniques*, 2010, pp. 166 – 170.
- [24] C. Muñoz-Montero, M. A. Ramirez-Salinas, L. A. Villa-Vargas, H. Molina-Lozano, and V. H. Ponce-Ponce, “**A Compact CMOS Class-AB Analog Median Filter,**” *Proceeding of 2012 IEEE 3rd Latin American Symposium on Circuits and Systems*, 2012, pp. 1-4.
- [25] H. Yamasaki and T. Shibata, “**A High-Speed Median Filter VLSI Using Floating-Gate-MOS-Based Low-Power Majority Voting Circuits**” *Proc. of the 31st European Solid-State Circuits Conference*, 2005, pp. 125-128.
- [26] P. Whig and S. Ahmad, “**Simulation and Performance Analysis of Low Power Quasi Floating Gate PCS Model,**” *International Journal of Intelligent Engineering and Systems*, Vol. 9, No. 2, 2016, pp. 8-13.
- [27] J. Shen, K. Tanno, O. Ishizuka, and Z. Tang, “**Neuron-MOS Current Mirror Circuit and Its Application to Multi-Valued Logic,**” *IEICE Trans. Inf. & Syst.*, Vol. E82-D, No. 5, 1999, pp. 940-948.
- [28] M. Inaba, K. Tanno, and O. Ishizuka, “**Analog Inverter with Neuron-MOS Transistors and Its Application,**” *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E85-A, No.2, 2002, pp. 360-365.
- [29] M. Fukuhara and M. Yoshida, “**Power Consumption of a Hamming Distance Search CAM Using Neuron MOS Transistors,**” *Proc. of 2006 IEEE International Symposium on Circuits and Systems*, 2006, pp. 4345-4348.
- [30] S. Vlassis, K. Doris, S. Siskos, and I. Pitas, “**Analog Implementation of Erosion/Dilation, Median and Order Statistics Filters,**” *Pattern Recognition*, Vol. 33, June 2000, pp. 1023-1032.

- [31] M. Kaewrongkool, A. Chaikla, A. Jaruwanawat, and V. Riewruja, “**An Analog Current-Mode Maximum, Median and Minimum Circuit,**” *Proc. of the Second International Symposium on Communication and Information Technology (ISCIT 2002)*, October 2002, pp. 439-442.
- [32] C. Y. Huang, W. H. Wei, and B. D. Liu, “**Design of A 1.5V Analog Current-Mode Median Filter,**” *Proc. of the 2004 Intelligent Sensors, Sensor Networks and Information Processing Conference (ISSNIP 2004)*, December. 2004, pp. 211-216.
- [33] W. Jendernalik, G. Blakiewics, J. Jakusz, and S. Szczepanski, “**A Nine-Input 1.25 mW, 34 ns CMOS Analog Median Filter For Image Processing in Real Time.**” *Analog Integrated Circuits and Signal Processing*, Vol. 76, August 2013, pp. 233-243.
- [34] S. Siskos, “**Low Voltage Analog Median Filters Implementation,**” *Proc. of the 2010 IEEE International Conference on Imaging Systems and Techniques*, July. 2010, pp. 166-170.
- [35] C. Pojanasuwanchai, C. Wangwiwattana, A. Chaikla, V. Riewruja, and P. Julsereewong, “**Fuzzy Multiple-Input Maximum Circuit in Current-Mode,**” *Proc. of the SICE Annual Conference in Fukui*, August 2003, pp. 2990-2994.
- [36] C. Yotingoravong, T. Kamsri, A. Chaikla, and V. Riewruja, “**High-speed Multiple-Input Maximum and Minimum Circuits,**” *Proc. of the 2005 IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC'05)*, Dec. 2005, pp.453-459.
- [37] S. Keawconthai, C. Wangwiwattana, A. Chaikla, V. Riewruja, and P. Julsereewong, “**A CMOS-Base Multiple-Input Max/Min Circuit,**” *Proc. of the 5th International Conference on Information, Communications and Signal Processing (ICICS 2005)*, Dec. 2005, pp. 54-58.
- [38] A. Wongjan, A. Julsereewong and T. Junsing, “**Analog Median Filtering Circuit Using CMOS Three-Input Max/Min Cell,**” *International Conference on Control and Robotics Engineering (ICCRE)*, 2018, pp. 155-159.
- [39] A. Wongjan, A. Julsereewong and K. Eguchi, “**Performance Comparison of Bit-Level Median Filtering Circuits Based on Binary Search Algorithm,**” *International Conference on Control and Robotics Engineering (ICCRE)*, 2018, pp. 151-154.

- [40] E. Atama, V. K. Aatre, and K. M. Wong, “A Fast Method for Real-Time Median Filtering,” *IEEE Transactions on Acoustics, Speech, and Signal Processing*, Vol. ASSP-28, August 1980, pp. 415-421.
- [41] K. Chen, “Bit-Serial Realizations of a Class of Nonlinear Filters Based on Positive Boolean Functions,” *IEEE Transactions on Circuits and Systems*, Vol. 36, June 1989, pp. 785-794.
- [42] C. L. Lee and C.-W. Jen, “Bit-Sliced Median Filter Design Based on Majority Gate,” *IEE Proceedings G – Circuits, Devices and Systems*, Vol. 139, February 1992, pp. 63-71.
- [43] H. Yamasaki and T. Shibata, “A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture,” *IEEE Journal of Solid-State Circuits*, Vol. 42, September 2007, pp. 2046-2053.
- [44] K. Eguchi, A. Wongjan, A. Julsereewong, Y. Harada, and K. Fujimoto, “A Median Filtering Circuit Using Clocked CMOS Neuron Inverters for Implantable Electronic Medical Devices,” *International Journal of Innovative Computing, Information and Control*, Vol. 13, August 2017, pp. 1135-1147.
- [45] M. Sasaki, T. Inoue, Y. Shirai, and F. Veno, “Fuzzy Multiple-Input Maximum and Minimum Circuits in Current-mode and Their Analyses Using Bounded-Difference Equations,” *IEEE Transactions on Computers*, Vol. 39, No. 6, Jun 1990, pp. 768-744.
- [46] J. L. Huertas, S. S. Solano, I. Baturone, and A. Barriga, “Integrated Circuit Implementation of Fuzzy Controllers,” *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 7, Jul 1996, pp. 1051-1058.
- [47] S. Guo, L. Peters, and H. Surmann, “Design and Application of an Analog Fuzzy Logic Controller,” *IEEE Transactions on Fuzzy Systems*, Vol. 4, No. 4, Nov 1996, pp. 429-437.
- [48] A. G. Andreou, K. A. Boahen, P. O. Pouliquen, A. Pavasovic, R. E. Jenkins, and K. Strohhahn, “Current-mode Subthreshold MOS Circuits for Analog VLSI Neural Systems,” *IEEE Transactions of Neural Networks*, Vol. 2, No. 2, Mar 1991, pp. 205-213.

- [49] N. Donckers, C. Dualibe, and M. Verleysen, “A Current-mode CMOS Loser-Take-All with Minimum Function for Neural Computations,” *IEEE International Symposium on Circuits and Systems*, Geneva, Switzerland, May 2000, pp. 1415-1417.
- [50] I. E. Opris, “Analog Rank Extractors,” *IEEE Transactions on Circuits and Systems-I, Fundamental Theory and Applications*, Vol. 44, No. 12, Dec 1997, pp. 1114-1121.
- [51] S. Vlassis and S. Siskos, “CMOS Analogue Median Circuit,” *Electronic Letters*, Vol. 35, No. 13, Jun 1999, pp. 1038-1040.
- [52] B. Maundy, “Min/Max Circuit for Analog Convolutional Decoders,” *IEEE Transactions on Circuits and Systems-II, Analog and Digital Signal Processing*, Vol. 48, No. 8, Aug 2001, pp. 802-806.
- [53] A. Chaikla, T. Pukkalanun, V. Riewruja, C. Wangwiwattana, and R. Masuchun, “A High Speed Algorithmic ADC Based on Maximum Circuit,” *Proceedings of the International Conference on Control, Automation and Systems*, Gyeongju, Korea, Oct 2003, pp. 73-77.
- [54] S. Arayawat, A. Chaikla, V. Riewruja, P. Julsereewong, and T. Trisuwannawat, “A Low Voltage Algorithmic ADC Based on Gray Coding,” *Proceedings of the International Conference on Signal Processing*, Beijing, China, Dec 2004, pp. 503-506.
- [55] S. I. Liu, Y. S. Hwang, and J. H. Tsay, “CCII-Based Fuzzy Membership Function and Max Min Circuit,” *Electronics Letters*, Vol. 29, No. 1, Jan 1993, pp. 116-118.
- [56] T. Inoue, F. Ueno, T. Motomura, O. Setoguchi, and R. Matsuo, “New High-Speed Analogue Max and Min Using OTA-based Bounded-Difference Operations,” *Electronics Letters*, Vol. 27, No. 12, June 1991, pp. 1034-1035.
- [57] K. Tsukano and T. Inoue, “Synthesis of Operational Transconductance Amplifier-Based Analog Fuzzy Functional Blocks and Its Application,” *IEEE Transactions on Fuzzy Systems*, Vol. 3, No.1, February 1995, pp. 61-68.
- [58] I. Batruone, J.L. Huertas, A. Barriga, and S. Sanchez-Solano, “Current-Mode Multiple Input Max Circuit,” *Electronic Letters*, Vol. 30, No. 9, May 1994, pp. 678-680.

- [59] T. V. Nguyen; J. C. Crebier and P. O. Jeannin “**Design and Investigation of an Isolated Gate Driver Using CMOS Integrated Circuit and HF Transformer for Interleaved DC/DC Converter,**” *IEEE Transactions on Industry Applications*, Vol. 49, No. 1, January 2013, pp. 189–197.
- [60] K. Cezary and O. Dariusz “**Design of CMOS Analog Integrated Readout Circuit for NMOS THz Detectors,**” *Proceedings of the 20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, October 2013, pp. 222 – 228.
- [61] S. Majerus, W. Merrill, S. L. Garverick “**Design and Long-Term Operation of High-Temperature, Bulk-CMOS Integrated Circuits for Instrumentation and Control**” *IEEE Conferences, Energytech*, October 2013, pp. 1-6.
- [62] B. Lorenzo C. Caterina R. Luigi C. Nicola and B. Massimo “**An HV-CMOS Integrated Circuit for Neural Stimulation in Prosthetic Applications,**” *IEEE Transactions on Circuits and Systems I, Express Briefs*, No. 2, Vol. 62, January 2015, pp. 184 – 188.
- [63] E. W. Greeneich, “**Analog Integrated Circuits**” *Chapman & Hall*, New York, 1997.
- [64] Y. Mettasitthikom, C. Pojanasuwanchai, V. Riewruja, A. Jaruwawat, and P. Julserewong, “**A Current-mode Minimum Circuit For Fuzzy Logic Controllers,**” *Proceedings of The International Conference on Control, Automation and Systems (ICCAS) 2003*, Korea, Oct 2003, pp. 69-72.
- [65] T. Chimpalee, V. Riewruja, A. Chaikla, and S. Supaph, “**A High-speed Max/Min Circuit,**” *Proceedings of the KACC 2000 (Abstract Book)*, Korea, Oct 2000, pp.513.
- [66] P. Laipasu, A. Chaikla, A. Jaruwawat, P. Pannil, T. Lee, and V. Riewruja, “**Two-Input Max/Min Circuit for Fuzzy Inference System,**” *Proceedings of The International Conference on Control, Automation and Systems (ICCAS) 2001*, Korea, Oct 2001, pp. 826-829.
- [67] C. Y. Huang, และ B. D. Liu, “**Current-Mode Multiple Input Maximum Circuit for Fuzzy Logic Controllers,**” *Electronics Letters*, Vol. 30, No.23, 1994, pp. 1924-1925.

- [68] C. J. Wang, C.Y. Hunang, และ B.-D. Liu, “**Modular Current-Mode Multiple Input Minimum Circuit for Fuzzy Logic Controllers,**” *IEEE International Symposium on Circuits and Systems (ISCAS’96)*, Vol. 3, Atlanta, USA, May 1996, pp. 361-363.
- [69] C. Toumazou, F. J. Lidgley and D. G. Haigh, “**Analogue IC Design the Current-Mode Approach,**” *Peter Peregrinus*, London, 1990.
- [70] P. R. Gray and R. G. Meyer, “**Analysis and Design of Analog Integrated Circuit,**” chapter 1, John Wiley & Sons, Inc., 1993.
- [71] อัมพวัน ใจกล้า. “**การออกแบบอัลกอริธึม ADC ที่มีการลรห้สแบบเกรย์.**” วิทยานิพนธ์ วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2549.
- [72] Model Simulator for IBM. “**Estimating Hand Calculation Parameters (K, μ Cox, Vth)**” [Online]. Available: <http://www.ph.unito.it/~cobanogl/lowlevelstuff/>.
- [73] Cadence Design Tools. “**Design Example #1a: Estimating Hand Calculation Parameters**” [Online] Available: <http://ece-www.colorado.edu/~ecen5007.pdf>.
- [74] Chaikla A., Pukkalanun T., Riewruja V., Wangwiwattana C., and Masuchun R. “**A Highspeed Algorithmic ADC Based on Maximum Circuit**” *Proc. of the International Conference on Control, Automation and Systems.*, Gyeongju, Korea, 2003. pp. 73-77.
- [75] Y. Harada, K. Fujimoto, M. Yahara, and K. Eguchi, “**A Study on Flash Type A/D Converter Using Neuron CMOS Inverter,**” *Advanced Materials Research*, 2014, pp. 915-919.
- [76] Y. Harada, M. Yahara, K. Eguchi, and K. Fujimoto, “**Design of a Threshold Automatic Compensation Circuit for a Voltage Controlled Oscillator Using a Schmitt-Trigger Circuit with CMOS Inverters,**” *ICIC Express Letters*, Vol. 10, No. 5, 2016, pp. 1015-1021.
- [77] Y. Harada, K. Fujimoto, M. Yahara, and K. Eguchi, “**A Flash type A/D Converter Using Clocked Neuron CMOS Inverters,**” *ICIC Express Letters*, Vol. 9, No. 2, 2015, pp. 309-315.
- [78] Y. Harada, K. Fujimoto, M. Fukuhara and M. Yoshida, “**A Minimum Hamming Distance Search Associative Memory Using Neuron CMOS Inverters,**” *IEEJ Trans. Electronics, Information and Systems*, Vol. 136, No. 1, 2016, pp. 36-42.

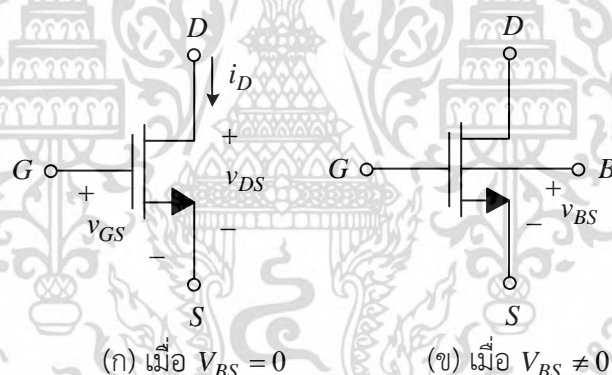
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

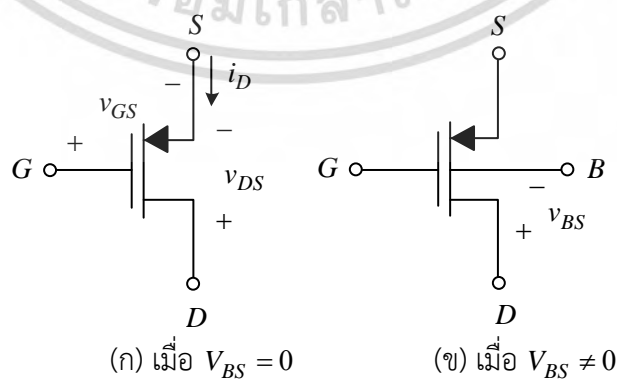
สัญลักษณ์และวงจรมมูลของมอสเฟต

ก.1 สัญลักษณ์ของมอสเฟต

มอสเฟตสามารถแบ่งการทำงานได้ 2 ชนิด คือ ชนิดเอนแฮนซ์เมนต์ (Enhancement) และ ชนิดดีพลีชัน (Depletion) ซึ่งการออกแบบวงจรรวมมีพื้นฐานบนพื้นฐานเทคโนโลยีซีมอสที่นำเสนอเป็นการออกแบบวงจรรวมโดยใช้ชนิดของมอสทรานซิสเตอร์ที่ใช้จะเป็นมอสเฟตชนิดเอนแฮนซ์เมนต์ที่มีการทำงานอยู่ในช่วงนำกระแสเป็นตัวเป็นหลัก โดยคำว่า “มอสเฟต” ในวิทยานิพนธ์นี้จะใช้แทน “มอสเฟตแบบเอนแฮนซ์เมนต์” ในการกล่าวถึงมอสเฟต ซึ่งประกอบด้วยขาจำนวน 4 ขา คือ ขาเดรน (Drain: D) ขาเกต (Gate: G) ขาซอร์ส (Source: S) และขาบอดี้ (Body) หรือฐานรอง (Substrate) โดยมอสเฟตจะแบ่งออกได้เป็นเอ็นมอส (NMOS) ดังแสดงสัญลักษณ์ในรูปที่ ก.1 และพีมอส (PMOS) ดังแสดงสัญลักษณ์ในรูปที่ ก.2 ตามลำดับ



รูปที่ ก.1 สัญลักษณ์ของมอสเฟตเอ็นมอส



รูปที่ ก.2 สัญลักษณ์ของมอสเฟตพีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ก.1 แสดงสัญลักษณ์ของมอสเฟตเอ็นมอส (n) เมื่อแรงดันระหว่าง $V_{BS} = 0$ และ (ข) เมื่อแรงดันระหว่าง $V_{BS} \neq 0$ และในรูปที่ ก.2 แสดงสัญลักษณ์ของมอสเฟตพีมอส (p) เมื่อแรงดันระหว่าง $V_{BS} = 0$ และ (ข) เมื่อแรงดันระหว่าง $V_{BS} \neq 0$ เช่นเดียวกันตามลำดับ สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-signal Model) สำหรับการทำงานในช่วงนำกระแสอิ่มตัวของมอสเฟต (Saturation Region) โดยค่าแรงดันของ $|v_{DS}| \geq |v_{GS}| - |V_T|$ [63] จะสามารถหาค่ากระแสเดรน i_D ดังสมการ

$$|i_D| = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 (1 + \lambda |v_{DS}|) \quad (ก1.1)$$

เมื่อ

- i_D คือ ค่ากระแสที่ไหลจากขาเดรนไปขาซอร์ส (Drain Source Current) หน่วย A
- μ คือ ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier) หน่วย $\text{cm}^2/\text{V-s}$
- C_{ox} คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of Carrier) หน่วย F/m^2
- v_{GS} คือ แรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต (Gate-Source Voltage) หน่วย V
- v_{DS} คือ แรงดันระหว่างขาเดรนกับขาซอร์สของมอสเฟต (Drain-Source Voltage) หน่วย V
- V_T คือ ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) หน่วย V
- λ คือ ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแชนเนล (Channel Length Modulation Parameter) หน่วย V^{-1}
- W คือ ค่าความกว้างประสิทธิผลของช่องนำกระแส (Effective Channel Width) หน่วย (μm)
- L คือ ค่าความยาวประสิทธิผลของช่องนำกระแส (Effective Channel Length) หน่วย (μm)

จากสมการที่ (ก1.1) ถ้าไม่คำนึงถึงผลกระทบของค่าพารามิเตอร์ λ โดยการกำหนด ($\lambda = 0$) จะได้ว่า

$$i_D = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.2)$$

หรือ
$$i_D = K (|v_{GS}| - |V_T|)^2 = \frac{\beta}{2} (|v_{GS}| - |V_T|)^2 = \frac{k'}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.3)$$

เมื่อ K และ β คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (Device Transconductance Parameter)

k' คือ ค่าพารามิเตอร์ของการนำกระแสของกระบวนการผลิต (Process Transconductance Parameter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่
$$K = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) \quad (ก1.4)$$

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) \quad (ก1.5)$$

$$k' = \mu C_{ox} \quad (ก1.6)$$

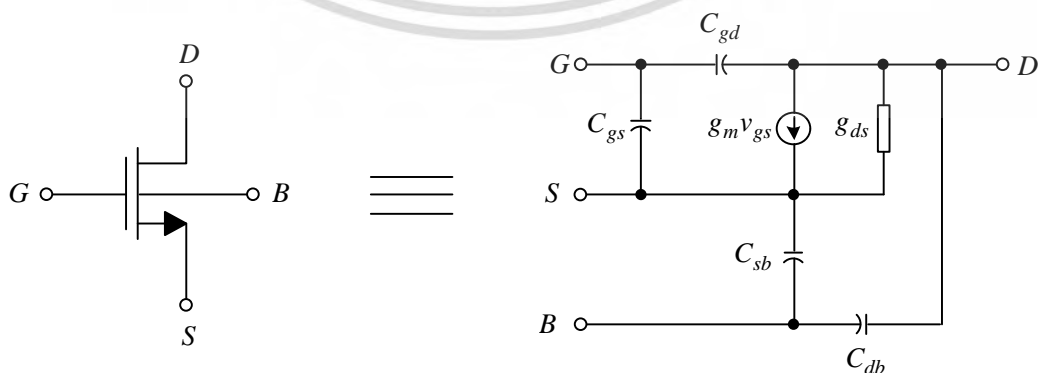
ในการพิจารณาการทำงานของพีมอสนั้นจะมีลักษณะการทำงานตรงกันข้ามกับเอ็นมอส โดยที่ค่าแรงดันที่ชาซอร์สจะมีค่าสูงกว่าค่าแรงดันที่ชาเดรนจึงทำให้กระแสเดรน i_D ของพีมอสไหลจากชาซอร์สไปหาชาเดรนโดยค่าแรงดันขีดเริ่มเปลี่ยน V_T ของพีมอสหรือ V_{TP} จะมีค่าเป็นลบ และค่าแรงดัน v_{GS} แรงดันแหล่งจ่ายให้มีค่าลบมากกว่าค่า V_{TP} ซึ่งเมื่อทำการพิจารณาค่าแรงดัน $V_{GS} - V_{TP} < 0$ จึงจะทำให้พีมอสอยู่ในสภาวะนำกระแส

ก.2 วงจรสมมูลแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก

การทำงานของเอ็นมอสที่ทำงานในช่วงอิมิตัวสามารถเขียนเป็นวงจรสมมูลสำหรับสัญญาณขนาดเล็ก (Small Signal) ดังแสดงในรูปที่ ก.3 โดยมีค่าความนำถ่ายโอนหรือค่าทรานส์คอนดักแตนซ์ (Transconductance) g_m และจากวงจรสมมูลสำหรับสัญญาณขนาดเล็กจะสามารถหาค่าความต้านทานเอาต์พุตของมอสเฟต r_{ds} ได้จากสมการ

$$g_m = \frac{\partial i_d}{\partial v_{gs}} = \frac{2i_D}{v_{GS} - V_T} \approx \sqrt{2\mu C_{ox} \frac{W}{L}} i_D \quad (ก2.1)$$

$$\frac{1}{r_{ds}} = g_{ds} = \frac{di_d}{dv_{ds}} = \lambda i_D \quad (ก2.2)$$

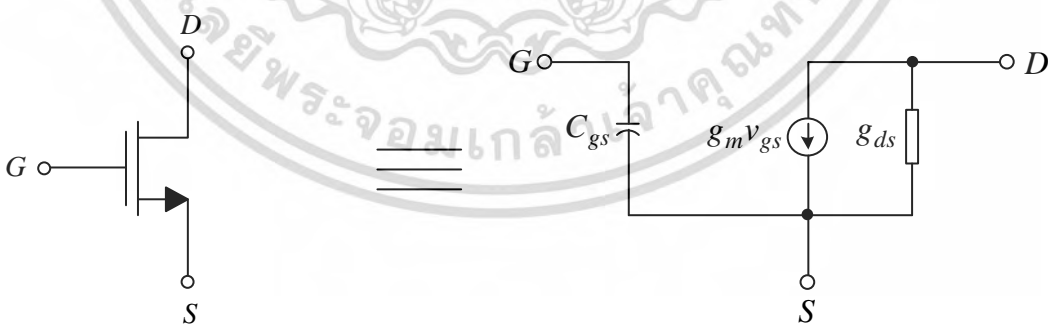


รูปที่ ก.3 วงจรสมมูลการทำงานของเอ็นมอสที่ทำงานในช่วงอิมิตัวสำหรับสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการพิจารณาวงจรสมมูลการทำงานเอ็นมอสที่ทำงานในช่วงอิมิตัวสำหรับสัญญาณขนาดเล็กในรูปที่ ก.3 จะเห็นว่าวงจรมีตัวเก็บประจุจำนวน 4 ตัว ได้แก่ ค่าความจุไฟฟ้ารวมระหว่างขาเกต-ขาซอร์ส (C_{gs}) ค่าความจุไฟฟ้ารวมระหว่างขาเกต-ขาเดรน (C_{gd}) ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างขาซอร์ส-ขาฐานรอง (C_{sb}) และค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างขาเดรน-ขาฐานรอง (C_{db}) โดยทั่วไปจะถูกใช้สำหรับการวิเคราะห์โดยใช้การเลียนแบบการทำงานด้วยโปรแกรม SPICE หรือโปรแกรมที่ใช้สำหรับการเลียนแบบการทำงานวงจรด้วยคอมพิวเตอร์เท่านั้น [63] สำหรับการวิเคราะห์ห้วงจรด้วยมือของมอสเฟตที่มีการทำงานอยู่ในช่วงอิมิตัวนั้น ค่าความจุไฟฟ้า C_{gd} จะมีค่าน้อยมาก เนื่องจากการเกิดสถานะพินช์ออฟ (Pinch Off) เมื่อแชนเนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านขาเดรนขาดออกหรือแคบมาก และแรงดันที่ขาเดรนจะรบกวนต่อแชนเนลหรือประจุที่ขาเกตน้อยมาก ส่วนค่าความจุไฟฟ้า C_{gd} และ C_{sb} จะมีผลต่อการทำงานของมอสเฟตน้อยมาก โดยเฉพาะเมื่อขาซอร์สถูกเชื่อมต่อกับฐานรอง ดังนั้นในการวิเคราะห์ห้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตด้วยมือในวิทยานิพนธ์นี้จะพิจารณาเฉพาะค่าความจุ C_{gs} ซึ่งมีค่าประมาณ $2/3C_{ox}WL$

สำหรับในการพิจารณาค่าความต้านทานของวงจรสมมูลการทำงานเอ็นมอสที่ทำงานในช่วงอิมิตัวสำหรับสัญญาณขนาดเล็กในรูปที่ ก.3 เนื่องจากที่ขาเกตของมอสเฟตถูกคั่นด้วยฉนวนซึ่งค่าความต้านทานที่เกิดขึ้นระหว่างขาเกต-ขาซอร์ส r_{gs} และค่าความต้านทานที่เกิดขึ้นระหว่างขาเกต-ขาเดรน r_{gd} จะมีค่าสูงมาก ดังนั้นจะพิจารณาเฉพาะค่าความต้านทานหรือค่าความนำระหว่างขาเดรน-ขาซอร์ส r_{ds} หรือ g_{ds} เพียงเท่านั้น ดังแสดงวงจรสมมูลในรูปที่ ก.4 การวิเคราะห์ด้วยมือวงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอส โดยกำหนดให้ C_{gd} , C_{sb} และ C_{db} มีค่าเท่ากับศูนย์ในการพิจารณา



รูปที่ ก.4 การวิเคราะห์ด้วยมือวงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอส

สำหรับการวิเคราะห์ด้วยมือในการหาค่าพารามิเตอร์ของค่าแรงดันขีดเริ่มของมอสเฟตและการนำกระแสสามารถประมาณค่าได้จากการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE ดังแสดงในรูปที่ ก.5 [71]-[73] ซึ่งสามารถหาค่าพารามิเตอร์ K ของการนำกระแสของมอสเฟตและ

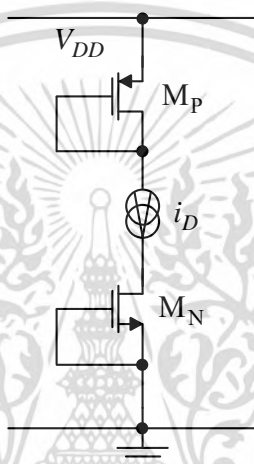
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถหาค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต V_T ได้จากสมการที่ (ก2.3) และสมการที่ (ก2.4) ตามลำดับ

$$K = \frac{k'}{2} \left(\frac{W}{L} \right) \approx \left(\frac{\sqrt{i_{D1}} - \sqrt{i_{D2}}}{v_{GS1} - v_{GS2}} \right)^2 \quad (\text{ก2.3})$$

และ

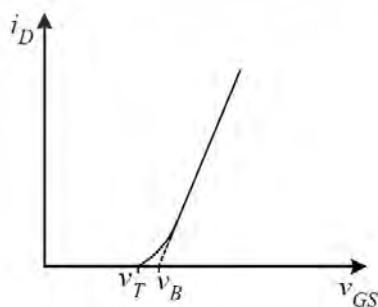
$$V_T \approx v_{GS} - \sqrt{\frac{i_D}{K}} \quad (\text{ก2.4})$$



รูปที่ ก.5 วงจรการเลียนแบบการทำงานด้วยโปรแกรม SPICE ในการหาค่าพารามิเตอร์ ค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟตและการนำกระแส

ก.3 คุณสมบัติการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว

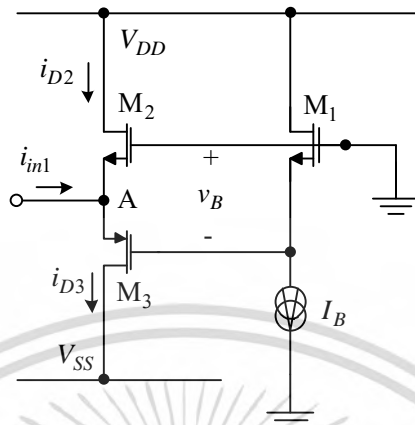
คุณสมบัติการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงกระแสอิ่มตัวแสดงได้ดังจุด v_B ดังแสดงในรูปที่ ก.6 [71] โดยที่ V_T เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต เมื่อทำการเพิ่มการไบแอสมอสเฟตจะทำให้วงจรมีคุณสมบัติสามารถทำงานได้ที่ความถี่สูง และสามารถลดความผิดพลาดทางฮาร์โมนิกส์ที่สองได้



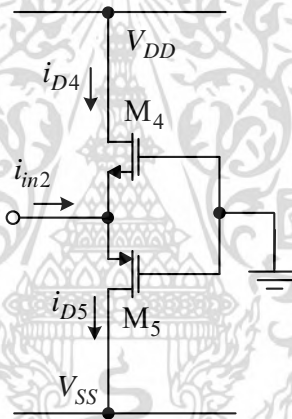
รูปที่ ก.6 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งได้แสดงตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแสแสดงในรูปที่ ก.7 และแสดงตัวอย่างไม่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส ในรูปที่ ก.8 ตามลำดับ



รูปที่ ก.7 ตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส

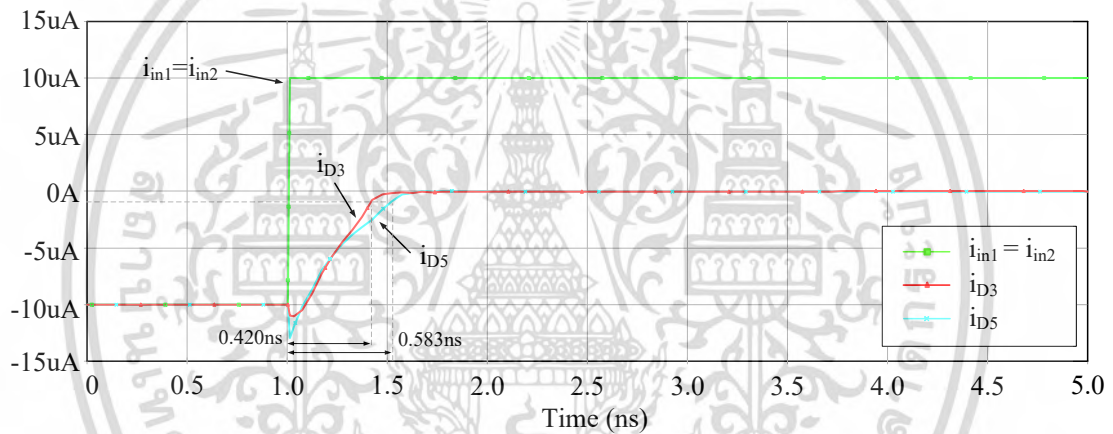


รูปที่ ก.8 ตัวอย่างวงจรที่ไม่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส

จากรูปที่ ก.7 แหล่งจ่ายกระแส I_B จะจ่ายกระแสคงที่ให้กับมอสเฟต M_1 เพื่อทำให้เกิดความต่างศักย์ v_B ไบแอสให้กับมอสเฟต M_2 และ M_3 ทำให้มอสเฟต M_2 และ M_3 ถูกไบแอสที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว ค่าความต่างศักย์ v_B จะมีค่าประมาณ $V_{T2} + V_{T3}$ โดยที่ V_{T2} และ V_{T3} เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต M_2 และ M_3 ตามลำดับ เพื่อทดสอบสมรรถนะของวงจรซึ่งจะทำการเปรียบเทียบโดยเลียนแบบการทำงานด้วยโปรแกรม PSPICE ของตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแสในรูปที่ ก.7 เปรียบเทียบกับในรูปที่ ก.8 ตัวอย่างวงจรที่ไม่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส โดยจะทำการทดสอบด้วยการใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS $0.5 \mu\text{m}$ ซึ่งได้กำหนดอัตราส่วน W/L ของมอสเฟต M_1 ให้มีค่าเท่ากับ $1 \mu\text{m}/1 \mu\text{m}$ และกำหนดให้มอสเฟต M_2 , M_3 , M_4 และ M_5 ให้มีค่าเท่ากับ $4 \mu\text{m}/1 \mu\text{m}$ โดยได้กำหนดค่าแรงดันไฟฟ้าแหล่งจ่าย $V_{DD} = 5V$, $V_{SS} = -5V$ และกำหนดค่าแหล่งจ่ายกระแสวงจรที่มีการไบแอสมอสเฟตให้มีค่าเท่ากับ $I_B = 15 \mu A$ ตามลำดับ

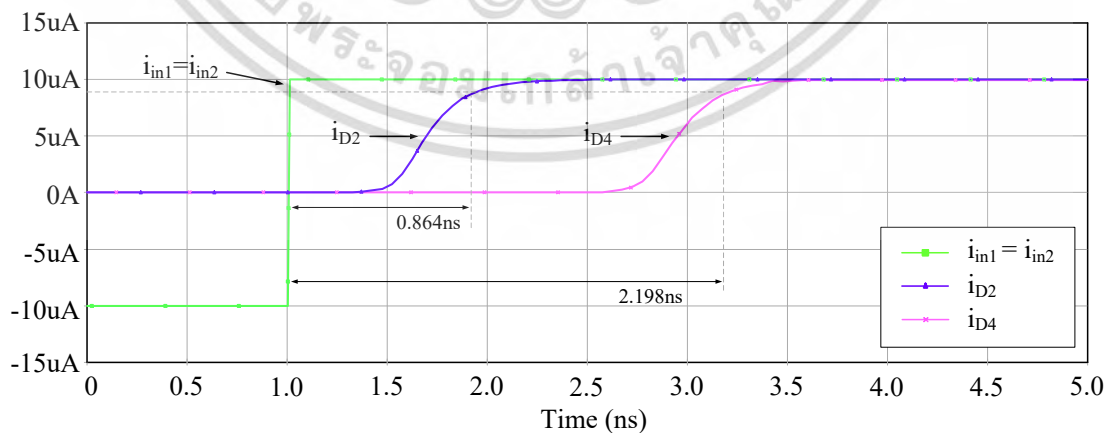
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะทำการป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $-10 \mu A$ เป็น $10 \mu A$ จากผลการเลียนแบบการทำงานของวงจรที่มีการไบแอสในรูปที่ ก.7 เปรียบเทียบกับวงจรที่ไม่มีการไบแอสในรูปที่ ก.8 จะพบว่ามอสเฟต M_3 และ M_5 จะทำงานเมื่อกระแสอินพุต i_{in1} และ i_{in2} มีค่าเป็นลบ ซึ่งในขณะที่มอสเฟต M_2 และ M_4 จะทำงานเมื่อกระแส i_{in1} และ i_{in2} มีค่าเป็นบวก ตามลำดับ จากผลการทดลองแสดงให้เห็นถึงการเปรียบเทียบความเร็วในการสวิตช์ (Switching Speed) ของมอสเฟตระหว่าง M_3 กับ M_5 และ M_2 กับ M_4 จากผลการเลียนแบบการทำงานของวงจรในรูปที่ ก.9 และในรูปที่ 10 พบว่าในช่วงเวลา $0s < t < 1 ns$ เมื่อกระแส i_{in1} และ i_{in2} มีค่าน้อยกว่าศูนย์ มอสเฟต M_3 และ M_5 จะอยู่ในสภานำกระแส (On) และมอสเฟต M_2 และ M_4 จะอยู่ในสภาวะไม่นำกระแส (Off) โดยที่กระแส $i_{D3} = i_{D5} = -10 \mu A$ และ $i_{D2} = i_{D4} = 0 A$ ในช่วงเวลา $t \geq 1 ns$ กระแสอินพุต i_{in1} และ i_{in2} จะมีค่า $10 \mu A$ ซึ่งมากกว่าศูนย์ มอสเฟต M_2 จะนำกระแสแทน M_3 และมอสเฟต M_4 จะนำกระแสแทน M_5



รูปที่ ก.9 ผลการเลียนแบบการทำงานความเร็วในการสวิตช์ Off

ระหว่างมอสเฟต M_3 วงจรที่มีการไบแอสเปรียบเทียบกับมอสเฟต M_5 วงจรที่ไม่มีการไบแอส



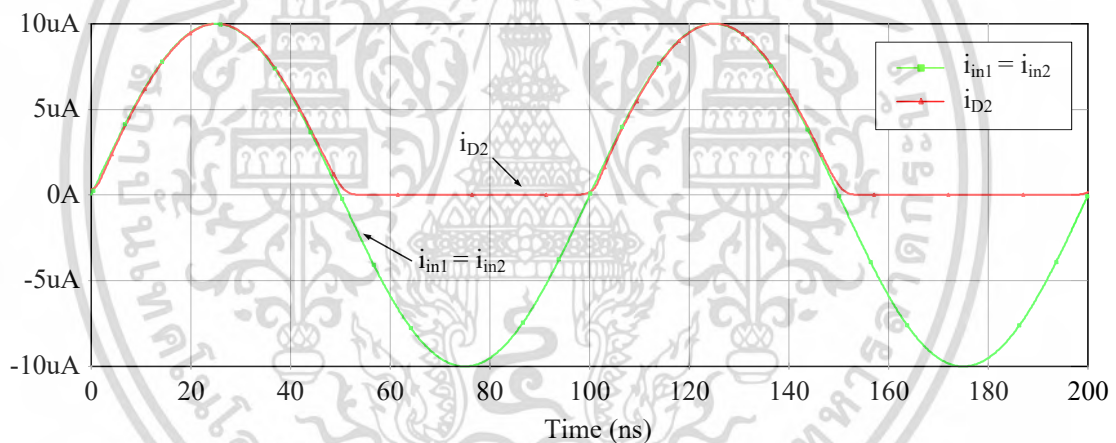
รูปที่ ก.10 ผลการเลียนแบบการทำงานความเร็วในการสวิตช์ On

ระหว่างมอสเฟต M_2 วงจรที่มีการไบแอสเปรียบเทียบกับมอสเฟต M_4 วงจรที่ไม่มีการไบแอส

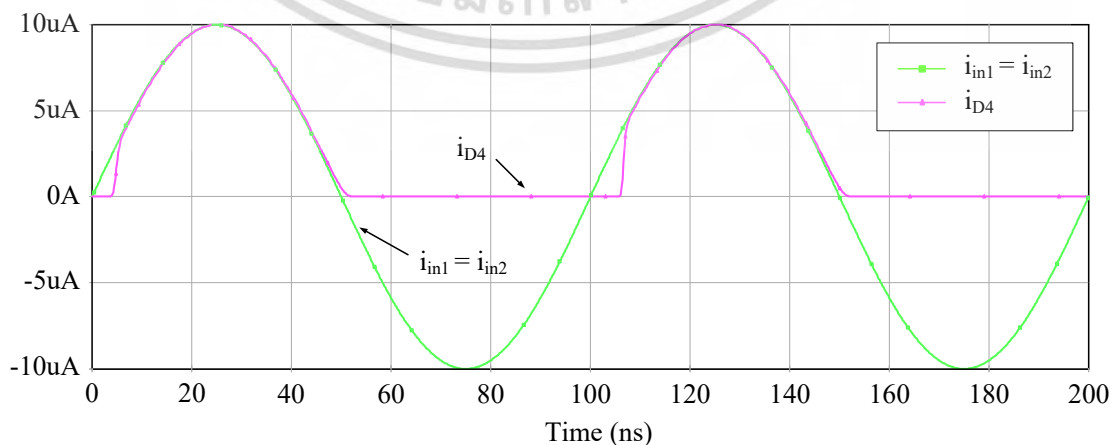
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ก.9 เมื่อพิจารณาช่วงเวลาที่กำลังกระแส i_{D3} และ i_{D5} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} และ i_{D5} มีค่าเปลี่ยนจาก $-10 \mu A$ เป็น $-1 \mu A$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_3 และ M_5 มีค่าประมาณ 0.42 ns และ 0.583 ns ตามลำดับ จากรูปที่ ก.10 เมื่อทำการพิจารณาช่วงเวลาที่กำลังกระแส i_{D2} และ i_{D4} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D2} และ i_{D4} มีค่าเพิ่มขึ้นจาก $0 A$ เป็น $9 \mu A$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_2 และ M_4 มีค่าประมาณ 0.864 ns และ 2.198 ns ตามลำดับ

ผลการเลียนแบบการทำงานวงจรรูปที่ ก.7 วงจรที่มีการไบแอสเปรียบเทียบกับวงจรรูปที่ ก.8 วงจรที่ไม่มีการไบแอส โดยการป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณไฟฟ้ากระแสสลับที่มีค่าแอมพลิจูด $10 \mu A$ และความถี่เท่ากับ 10 MHz เพื่อเปรียบเทียบความผิดเพี้ยน (Distortion) ของกระแสเอาต์พุต i_{D2} และ i_{D4} บริเวณช่วงสัญญาณผ่านจุดศูนย์ ซึ่งผลการเลียนแบบในรูปที่ ก.11 วงจรที่มีการไบแอสเปรียบเทียบกับรูปที่ ก.12 วงจรที่ไม่มีการไบแอส ตามลำดับ ซึ่งสามารถยืนยันได้ว่าวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส จะทำให้วงจรมีช่วงเวลาหน่วง (Delay Time) ลดลง โดยทำให้วงจรทำงานได้รวดเร็วขึ้นและเกิดความผิดเพี้ยนของสัญญาณเอาต์พุตน้อยลง



รูปที่ ก.11 ผลการเลียนแบบการทำงานแสดงกระแสเอาต์พุต i_{D2} วงจรที่มีการไบแอสมอสเฟต



รูปที่ ก.12 ผลการเลียนแบบการทำงานแสดงกระแสเอาต์พุต i_{D4} วงจรที่ไม่มีการไบแอสมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน

ข.1.1 การวิเคราะห์ผลตอบสนองทางความถี่

เมื่อพิจารณาวงจรสมมูลในรูปที่ 3.2 พบว่า

พิจารณาที่โหนด v_a

$$i_{in} = (g_{ds1} + g_{m1} + sC_{gs1} + sC_{gs2})v_a \quad (ข1.1)$$

พิจารณาที่โหนด v_b

$$i_{out} = (g_{m2})v_a + (g_{ds2})v_b \quad (ข1.2)$$

จากคุณสมบัติของมอสเฟตซึ่งมีค่า $g_m \gg g_{ds}$ จึงเขียนสมการที่ (ข1.1) และ (ข1.2) ใหม่ได้ว่า

$$v_a = \left(\frac{1}{g_{m1} + sC_{gs1} + sC_{gs2}} \right) i_{in} \quad (ข1.3)$$

$$i_{out} = (g_{m2})v_a \quad (ข1.4)$$

เมื่อแทนค่าจากสมการที่ (ข1.3) ลงใน (ข1.4) ซึ่งจะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสแบบพื้นฐาน (T_{CM}) โดยใช้มอสเฟต ดังนี้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1} + sC_{gs1} + sC_{gs2}} \quad (ข1.5)$$

หรือ

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข1.6)$$

เมื่อ

$$T_{CM} = \frac{C_{gs1} + C_{gs2}}{g_{m1}} \quad (ข1.7)$$

จากสมการที่ (ข1.6) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟกระแสตรง β_{CM} และค่าโพล P_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta_{CM} = \left. \frac{i_{out}}{i_{in}} \right|_{s=0} = \frac{g_{m2}}{g_{m1}} \quad (ข1.8)$$

$$P_{CM} = - \left(\frac{g_{m1}}{C_{gs1} + C_{gs2}} \right) \quad (ข1.9)$$

ข.1.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} ดังรูปที่ 3.3 เมื่อ $v_{in} = v_a$ สามารถวิเคราะห์ได้ดังนี้

พิจารณาที่โหนด v_a

$$i_{in} = (g_{m1} + g_{ds1})v_a = (g_{m1} + g_{ds1})v_{in} \quad (ข1.10)$$

จากสมการที่ (ข1.10) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1} + g_{ds1}} \quad (ข1.11)$$

เนื่องจาก $g_{m1} \gg g_{ds1}$ จะได้ว่า

$$r_{in} \cong \frac{1}{g_{m1}} \sqrt{\left(\frac{L}{W} \right)_1 \frac{1}{2\mu C_{ox} i_{in}}} \quad (ข1.12)$$

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุต r_{out} ดังรูปที่ 3.4 สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_b

$$i_{out} = (g_{m2})v_a + (g_{ds2})v_b \quad (ข1.13)$$

เมื่อแรงดัน $v_a = 0V$ และ $v_b = v_{out}$ จะได้ว่า

$$i_{out} = (g_{ds2})v_{out} \quad (ข1.14)$$

จากสมการที่ (ข1.14) จะได้ค่าความต้านทานเอาต์พุต r_{out} คือ

$$r_{out} = \frac{v_{out}}{i_{out}} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out}} \quad (ข1.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.1.3 การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 3.1 จะเกิดจากความไม่สมพียงกันของมอสเฟต M_1 และ M_2 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูล โดยไม่พิจารณาผลของตัวเก็บประจุดังรูปที่ 3.5 จะได้ว่า

พิจารณาที่โหนด v_a

$$v_a = \left(\frac{r_{o1}}{g_{m1}r_{o1} + 1} \right) i_{in} \quad (ข1.16)$$

พิจารณาที่โหนด v_b

$$i_{out} = (g_{m2})v_a + \left(\frac{1}{r_{o1}} \right) v_b \quad (ข1.17)$$

โดยที่

$$v_b = (R_L)(-i_{out}) \quad (ข1.18)$$

เมื่อแทนค่าจากสมการที่ (ข1.18) ลงใน (ข1.17) ซึ่งจะได้ว่า

$$i_{out} = \left(\frac{g_{m2}r_{o2}}{r_{o2} + R_L} \right) v_a \quad (ข1.19)$$

เมื่อแทนค่าจากสมการที่ (ข1.16) ลงใน (ข1.19) จะได้ว่า

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}r_{o2}}{r_{o2} + R_L} \right) \left(\frac{r_{o1}}{g_{m1}r_{o1} + 1} \right) \quad (ข1.20)$$

ถ้ากำหนดให้ $\mathcal{E}_{CM(gain:1)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายเท่ากับหนึ่งโดยที่

$$i_{out} = (1 - \mathcal{E}_{CM(gain:1)})(i_{in})$$

หรือ

$$\mathcal{E}_{CM(gain:1)} = 1 - \left(\frac{i_{out}}{i_{in}} \right) \quad (ข1.21)$$

จากสมการที่ (ข1.20) ถ้ากำหนดให้ $g_{m1}r_{o1} \gg 1$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \left(\frac{r_{o2}}{r_{o2} + R_L} \right) \quad (ข1.22)$$

เมื่อแทนค่าจากสมการที่ (ข1.22) ลงใน (ข1.21) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ คือ

$$\varepsilon_{CM(gain:1)} = \frac{(g_{m1} - g_{m2})r_{o2}}{g_{m1}(r_{o2} + R_L)} + \frac{R_L}{r_{o2} + R_L} \quad (ข1.23)$$

จากสมการที่ (ข1.23) ถ้ากำหนดให้ $r_{o2} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:1)} \cong \frac{g_{m1} - g_{m2}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.24)$$

หรือ

$$\varepsilon_{CM(gain:1)} \cong \frac{\Delta g_{m12}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.25)$$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_1 และ M_2

ถ้ากำหนดให้ $\varepsilon_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายกระแสเท่ากับสอง โดยที่

$$i_{out} = (1 - \varepsilon_{CM(gain:2)})(2i_{in})$$

หรือ

$$\varepsilon_{CM(gain:2)} = 1 - \left(\frac{i_{out}}{2i_{in}} \right) \quad (ข1.26)$$

เมื่อแทนค่าจากสมการที่ (ข1.22) ลงใน (ข1.26) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ คือ

$$\varepsilon_{CM(gain:2)} = \frac{(2g_{m1} - g_{m2})r_{o2}}{2g_{m1}(r_{o2} + R_L)} + \frac{R_L}{(r_{o2} + R_L)} \quad (ข1.27)$$

จากสมการที่ (ข1.27) ถ้ากำหนดให้ $r_{o2} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:2)} \cong \frac{2g_{m1} - g_{m2}}{2g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

ข.2.1 การวิเคราะห์ผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 3.7 สามารถวิเคราะห์ได้ดังนี้

พิจารณาที่โหนด v_a

$$i_{in} = (g_{ds1} + g_{m1} + sC_{gst})v_a \quad (ข2.1)$$

หรือ

$$v_a = \left(\frac{1}{g_{ds1} + g_{m1} + sC_{gst}} \right) i_{in} \quad (ข2.2)$$

เมื่อ

$$C_{gst} = C_{gs1} + C_{gs2} + \dots + C_{gsn} \quad (ข2.3)$$

พิจารณาที่โหนด v_1

$$i_{out1} = (g_{m2})v_a + (g_{ds2})v_1 \quad (ข2.4)$$

พิจารณาที่โหนด v_2

$$i_{out2} = (g_{m3})v_a + (g_{ds3})v_2 \quad (ข2.5)$$

พิจารณาที่โหนด v_3

$$i_{out3} = (g_{m4})v_a + (g_{ds4})v_3 \quad (ข2.6)$$

พิจารณาที่โหนด v_n

$$i_{outn} = (g_{mn+1})v_a + (g_{dsn+1})v_n \quad (ข2.7)$$

เนื่องจาก $g_m \gg g_{ds}$ จากสมการที่ (ข2.2) และ (ข2.4) ถึง (ข2.7) จะเขียนใหม่ได้ว่า

$$v_a = \left(\frac{1}{g_{m1} + sC_{gst}} \right) i_{in} \quad (ข2.8)$$

$$i_{out1} = (g_{m2})v_a \quad (ข2.9)$$

$$i_{out2} = (g_{m3})v_a \quad (ข2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out3} = (g_{m4})v_a \quad (ข2.11)$$

$$i_{outn} = (g_{mn+1})v_a \quad (ข2.12)$$

เมื่อแทนค่าจากสมการที่ (ข2.8) ลงใน (ข2.9) ถึง (ข2.12) จะได้ฟังก์ชันส่งผ่านของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต คือ

$$\frac{i_{outj}}{i_{in}} = \frac{g_{mj+1}}{g_{m1} + sC_{gst}} \quad (ข2.13)$$

หรือ

$$\frac{i_{outj}}{i_{in}} = \left(\frac{g_{mj+1}}{g_{m1}} \right) \left(\frac{1}{T_{CMN}s + 1} \right) \quad (ข2.14)$$

เมื่อ

$$T_{CMn} = \frac{C_{gs1} + C_{gs2} + \dots + C_{gsn}}{g_{m1}} \quad (ข2.15)$$

จากสมการที่ (ข2.13) จะได้อัตราขยายกระแสสำหรับสัญญาณเอาต์พุตลำดับที่ j หรือ β_{CMj} คือ

$$\beta_{CMj} = \left. \frac{i_{outj}}{i_{in}} \right|_{s=0} = \frac{g_{mj+1}}{g_{m1}} \quad (ข2.16)$$

สำหรับผลตอบแทนทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต จะมีค่าโพล P_{CMn} ซึ่งเป็นขีดจำกัดในการใช้งานของวงจร คือ

$$P_{CMn} = - \left(\frac{g_{m1}}{C_{gst}} \right) \quad (ข2.17)$$

หรือ

$$P_{CMn} = - \left(\frac{g_{m1}}{C_{gs1} + C_{gs2} + \dots + C_{gsn}} \right) \quad (ข2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.3 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1

ข.3.1 การวิเคราะห์ผลตอบสนองทางความถี่

เมื่อพิจารณาวงจรสมมูลในรูปที่ 3.9 พบว่า

ที่โหนด v_a

$$i_{in} = g_{ds0} + g_{m0}v_a + (sC_{gs0} + sC_{gs9})v_a \quad (ข3.1)$$

ที่โหนด v_b

$$g_{m9}v_a + g_{ds9} = g_{ds6} + g_{m6}v_b + (sC_{gs6} + sC_{gs7} + sC_{gs8})v_b \quad (ข3.2)$$

ที่โหนด v_1

$$i_{out1} = g_{m7}v_b + g_{ds7} \quad (ข3.3)$$

ที่โหนด v_2

$$i_{out2} = g_{m8}v_b + g_{ds8} \quad (ข3.4)$$

จากคุณสมบัติของมอสเฟตซึ่งมีค่า $g_m \gg g_{ds}$ จึงเขียนสมการที่ (ข3.1) ถึง (ข3.4) ใหม่ได้ว่า

ที่โหนด v_a

$$i_{in} = (g_{m0} + sC_{gs0} + sC_{gs9})v_a \quad (ข3.5)$$

ที่โหนด v_b

$$g_{m9}v_a = (g_{m6}sC_{gs6} + sC_{gs7} + sC_{gs8})v_b \quad (ข3.6)$$

ที่โหนด v_1

$$i_{out1} = g_{m7}v_b \quad (ข3.7)$$

ที่โหนด v_2

$$i_{out2} = g_{m8}v_b \quad (ข3.8)$$

สมการที่ (ข3.5) ใหม่ได้ว่า

$$v_a = \frac{i_{in}}{(g_{m0} + sC_{gs0} + sC_{gs9})} \quad (ข3.9)$$

นำสมการที่ (ข3.9) แทนในสมการที่ (ข3.7) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 (T_{CM}) ของ i_{out1} ดังนี้
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out1}}{i_{in}} = \frac{g_{m7}}{g_{m0} + sC_{gs0} + sC_{gs9}} \quad (ข3.10)$$

หรือ

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m7}}{g_{m0}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข3.11)$$

เมื่อ

$$T_{CM} = \frac{C_{gs0} + C_{gs9}}{g_{m0}} \quad (ข3.12)$$

จากสมการที่ (ข3.11) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟกระแสตรง β_{CM} และค่าโพล P_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 คือ

$$\beta_{CM} = \left. \frac{i_{out1}}{i_{in}} \right|_{s=0} = \frac{g_{m7}}{g_{m0}} \quad (ข3.13)$$

$$P_{CM} = - \left(\frac{g_{m0}}{C_{gs0} + C_{gs9}} \right) \quad (ข3.14)$$

จากสมการที่ (3.19) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 (T_{CM}) ของ i_{out2} ดังนี้

$$\frac{i_{out2}}{i_{in}} = \frac{g_{m8}}{g_{m0} + sC_{gs0} + sC_{gs9}} \quad (ข3.15)$$

หรือ

$$\frac{i_{out2}}{i_{in}} = \left(\frac{g_{m8}}{g_{m0}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข3.16)$$

เมื่อ

$$T_{CM} = \frac{C_{gs0} + C_{gs9}}{g_{m0}} \quad (ข3.17)$$

จากสมการที่ (ข3.16) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟกระแสตรง β_{CM} และค่าโพล P_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 คือ

$$\beta_{CM} = \left. \frac{i_{out2}}{i_{in}} \right|_{s=0} = \frac{g_{m8}}{g_{m0}} \quad (ข3.18)$$

$$P_{CM} = - \left(\frac{g_{m0}}{C_{gs0} + C_{gs9}} \right) \quad (ข3.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.3.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรสมมูลของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} ดังรูปที่ 3.10 เมื่อ $v_{in} = v_a$ สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_a

$$i_{in} = (g_{m0} + g_{ds0})v_a = (g_{m0} + g_{ds0})v_{in} \quad (ข3.20)$$

จากสมการที่ (ข3.20) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m0} + g_{ds0}} \quad (ข3.21)$$

เนื่องจาก $g_{m0} \gg g_{ds0}$ จะได้ว่า

$$r_{in} \cong \frac{1}{g_{m0}} \sqrt{\left(\frac{L}{W}\right)_0} \frac{1}{2\mu C_{ox} i_{in}} \quad (ข3.22)$$

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุต r_{out1} ดังรูปที่ 3.10 สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_1

$$i_{out1} = (g_{m7})v_b + (g_{ds7})v_1 \quad (ข3.23)$$

เมื่อแรงดัน $v_b = 0V$ และ $v_1 = v_{out1}$ จะได้ว่า

$$i_{out1} = (g_{ds7})v_{out1} \quad (ข3.24)$$

จากสมการที่ (ข3.24) จะได้ค่าความต้านทานเอาต์พุต r_{out1} คือ

$$r_{out1} = \frac{v_{out1}}{i_{out1}} = \frac{1}{g_{ds7}} = \frac{1}{\lambda i_{out1}} \quad (ข3.25)$$

ที่โหนด v_2

$$i_{out2} = (g_{m8})v_b + (g_{ds8})v_2 \quad (ข3.26)$$

เมื่อแรงดัน $v_b = 0V$ และ $v_2 = v_{out2}$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out2} = (g_{ds8})v_{out2} \quad (ข3.27)$$

จากสมการที่ (ข3.27) จะได้ค่าความต้านทานเอาต์พุต r_{out2} คือ

$$r_{out2} = \frac{v_{out2}}{i_{out2}} = \frac{1}{g_{ds8}} = \frac{1}{\lambda 2i_{out2}} \quad (ข3.28)$$

ข.3.3 การวิเคราะห์ค่าความผิดพลาดของวงจรถ

ในการวิเคราะห์ค่าความผิดพลาดของวงจรถสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 1 ดังรูปที่ 3.8 จะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_{N0} และ M_{N9} เป็นหลัก เมื่อพิจารณาจากวงจรถสมมูล โดยไม่พิจารณาผลของตัวเก็บประจุดังรูปที่ 3.9 จะได้ว่า

ที่โหนด v_a

$$v_a = \left(\frac{r_{o0}}{g_{m0}r_{o0} + 1} \right) i_{in} \quad (ข3.29)$$

ที่โหนด v_1

$$i_{out1} = (g_{m9})v_a + \left(\frac{1}{r_{o0}} \right) v_b \quad (ข3.30)$$

โดยที่

$$v_1 = (R_L)(-i_{out1}) \quad (ข3.31)$$

เมื่อแทนค่าจากสมการที่ (ข3.31) ลงใน (ข3.30) จะได้ว่า

$$i_{out1} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L} \right) v_a \quad (ข3.32)$$

เมื่อแทนค่าจากสมการที่ (ข3.29) ลงใน (ข3.32) จะได้ว่า

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L} \right) \left(\frac{r_{o0}}{g_{m0}r_{o0} + 1} \right) \quad (ข3.33)$$

ถ้ากำหนดให้ $\mathcal{E}_{CM(gain:1)}$ คือ ค่าความผิดพลาดของวงจรถสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายเท่ากับหนึ่งโดยที่

$$i_{out1} = \left(1 - \mathcal{E}_{CM(gain:1)} \right) (i_{in})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$\varepsilon_{CM(gain:1)} = 1 - \left(\frac{i_{out1}}{i_{in}} \right) \quad (ข3.34)$$

จากสมการที่ (ข3.33) ถ้ากำหนดให้ $g_{m0}r_{o0} \gg 1$ จะได้ว่า

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m9}}{g_{m0}} \right) \left(\frac{r_{o9}}{r_{o9} + R_L} \right) \quad (ข3.35)$$

เมื่อแทนค่าจากสมการที่ (ข3.35) ลงใน (ข3.34) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ คือ

$$\varepsilon_{CM(gain:1)} = \frac{(g_{m0} - g_{m9})r_{o9}}{g_{m0}(r_{o9} + R_L)} + \frac{R_L}{r_{o9} + R_L} \quad (ข3.36)$$

จากสมการที่ (ข3.36) ถ้ากำหนดให้ $r_{o0} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:1)} \cong \frac{g_{m0} - g_{m9}}{g_{m0}} + \frac{R_L}{r_{o9}} \quad (ข3.37)$$

หรือ

$$\varepsilon_{CM(gain:1)} \cong \frac{\Delta g_{m09}}{g_{m0}} + \frac{R_L}{r_{o9}} \quad (ข3.38)$$

เมื่อ Δg_{m09} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_{N0} และ M_{N9} ถ้ากำหนดให้ $\varepsilon_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายกระแสเท่ากับสอง โดยที่

$$i_{out1} = (1 - \varepsilon_{CM(gain:2)}) (2i_{in})$$

หรือ

$$\varepsilon_{CM(gain:2)} = 1 - \left(\frac{i_{out1}}{2i_{in}} \right) \quad (ข3.39)$$

เมื่อแทนค่าจากสมการที่ (ข3.35) ลงใน (ข3.39) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ คือ

$$\varepsilon_{CM(gain:2)} = \frac{(2g_{m0} - g_{m9})r_{o9}}{2g_{m0}(r_{o9} + R_L)} + \frac{R_L}{(r_{o9} + R_L)} \quad (ข3.40)$$

จากสมการที่ (ข3.34) ถ้ากำหนดให้ $r_{o0} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:2)} \cong \frac{2g_{m0} - g_{m9}}{2g_{m0}} + \frac{R_L}{r_{o9}} \quad (ข3.41)$$

ในการวิเคราะห์ค่าความผิดพลาดของวงจรในการหาค่า i_{out2} ที่โหนด v_a และ v_2 สามารถทำได้โดยการวิเคราะห์ในลักษณะเดียวกันในหัวข้อ ข.3.3 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.4 วงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2

ข.4.1 การวิเคราะห์ผลตอบสนองทางความถี่

เมื่อพิจารณาวงจรสมมูลในรูปที่ 3.11 พบว่า

ที่โหนด v_a

$$i_{in} = g_{ds3} + g_{m3}v_a + (sC_{gs3} + sC_{gs4} + sC_{gs5})v_a \quad (ข4.1)$$

ที่โหนด v_b

$$g_{m1}v_b + g_{ds1} = g_{ds4} + g_{m4}v_a + (sC_{gs1} + sC_{gs2})v_b \quad (ข4.2)$$

ที่โหนด v_1

$$i_{out1} + g_{ds2} = g_{m2}v_b \quad (ข4.3)$$

ที่โหนด v_2

$$i_{out2} + g_{ds5} = g_{m5}v_a \quad (ข4.4)$$

จากคุณสมบัติของมอสเฟตซึ่งมีค่า $g_m \gg g_{ds}$ จึงเขียนสมการที่ (ข4.1) ถึง (ข4.4) ใหม่ได้ว่า

ที่โหนด v_a

$$i_{in} = (g_{m3} + sC_{gs3} + sC_{gs4} + sC_{gs5})v_a \quad (ข4.5)$$

ที่โหนด v_b

$$(g_{m1} - sC_{gs1} + sC_{gs2})v_b = g_{m4}v_a \quad (ข4.6)$$

ที่โหนด v_1

$$i_{out1} = g_{m2}v_b \quad (ข4.7)$$

ที่โหนด v_2

$$i_{out2} = g_{m5}v_a \quad (ข4.8)$$

สมการที่ (ข4.5) ใหม่ได้ว่า

$$v_a = \frac{i_{in}}{(g_{m3} + sC_{gs3} + sC_{gs4} + sC_{gs5})} \quad (ข4.9)$$

นำสมการที่ (ข4.9) แทนในสมการที่ (ข4.8) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 (T_{CM}) ของ i_{out2} ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out2}}{i_{in}} = \frac{g_{m5}}{g_{m3} + sC_{gs3} + sC_{gs4} + sC_{gs5}} \quad (ข4.10)$$

หรือ

$$\frac{i_{out2}}{i_{in}} = \left(\frac{g_{m5}}{g_{m3}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข4.11)$$

เมื่อ

$$T_{CM} = \frac{C_{gs3} + C_{gs4} + C_{gs5}}{g_{m3}} \quad (ข4.12)$$

จากสมการที่ (ข4.11) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟกระแสตรง β_{CM} และค่าโพล P_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 คือ

$$\beta_{CM} = \left. \frac{i_{out2}}{i_{in}} \right|_{s=0} = \frac{g_{m5}}{g_{m3}} \quad (ข4.13)$$

$$P_{CM} = - \left(\frac{g_{m3}}{C_{gs3} + C_{gs4} + C_{gs5}} \right) \quad (ข4.14)$$

จากสมการที่ (3.30) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 (T_{CM}) ของ i_{out1} ดังนี้

$$\frac{i_{out1}}{i_{in}} = \frac{g_{m2}}{g_{m3} + sC_{gs3} + sC_{gs4} + sC_{gs5}} \quad (ข4.15)$$

หรือ

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m2}}{g_{m3}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข4.16)$$

จากสมการที่ (ข4.16) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟกระแสตรง β_{CM} และค่าโพล P_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 คือ

$$\beta_{CM} = \left. \frac{i_{out1}}{i_{in}} \right|_{s=0} = \frac{g_{m2}}{g_{m3}} \quad (ข4.17)$$

$$P_{CM} = - \left(\frac{g_{m3}}{C_{gs3} + C_{gs4} + C_{gs5}} \right) \quad (ข4.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.4.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรสมมูลของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} ดังรูปที่ 3.13 เมื่อ $v_{in} = v_a$ สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_a

$$i_{in} = (g_{m3} + g_{ds3})v_a = (g_{m3} + g_{ds3})v_{in} \quad (ข4.19)$$

จากสมการที่ (ข4.19) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m3} + g_{ds3}} \quad (ข4.20)$$

เนื่องจาก $g_{m3} \gg g_{ds3}$ จะได้ว่า

$$r_{in} \cong \frac{1}{g_{m3}} \sqrt{\left(\frac{L}{W}\right)_3 \frac{1}{2\mu C_{ox} i_{in}}} \quad (ข4.21)$$

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุต r_{out1} ดังรูปที่ 3.13 สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_1

$$i_{out1} = (g_{m2})v_b + (g_{ds2})v_1 \quad (ข4.22)$$

เมื่อแรงดัน $v_b = 0V$ และ $v_1 = v_{out1}$ จะได้ว่า

$$i_{out1} = (g_{ds2})v_{out1} \quad (ข4.23)$$

จากสมการที่ (ข4.23) จะได้ค่าความต้านทานเอาต์พุต r_{out1} คือ

$$r_{out1} = \frac{v_{out1}}{i_{out1}} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out1}} \quad (ข4.24)$$

ที่โหนด v_2

$$i_{out2} = (g_{m5})v_b + (g_{ds5})v_2 \quad (ข4.25)$$

เมื่อแรงดัน $v_b = 0V$ และ $v_2 = v_{out1}$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out2} = (g_{ds5})v_{out2} \quad (ข4.26)$$

จากสมการที่ (ข4.26) จะได้ค่าความต้านทานเอาต์พุต r_{out2} คือ

$$r_{out2} = \frac{v_{out2}}{i_{out2}} = \frac{1}{g_{ds5}} = \frac{1}{\lambda 2i_{out2}} \quad (ข4.27)$$

ข.4.3 การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสโดยใช้เอ็นมอสร่วมกับพีมอสที่มีสองเอาต์พุตแบบที่ 2 ดังรูปที่ 3.11 จะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_{P3} และ M_{P4} เป็นหลัก เมื่อพิจารณาจากวงจรสมมูล โดยไม่พิจารณาผลของตัวเก็บประจุดังรูปที่ 3.12 จะได้ว่า

ที่โหนด v_a

$$v_a = \left(\frac{r_{o3}}{g_{m3}r_{o3} + 1} \right) i_{in} \quad (ข4.28)$$

ที่โหนด v_1

$$i_{out1} = (g_{m4})v_a + \left(\frac{1}{r_{o3}} \right) v_b \quad (ข4.29)$$

โดยที่

$$v_1 = (R_L)(-i_{out1}) \quad (ข4.30)$$

เมื่อแทนค่าจากสมการที่ (ข4.30) ลงใน (ข4.29) จะได้ว่า

$$i_{out1} = \left(\frac{g_{m4}r_{o4}}{r_{o4} + R_L} \right) v_a \quad (ข4.31)$$

เมื่อแทนค่าจากสมการที่ (ข4.28) ลงใน (ข4.31) จะได้ว่า

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m4}r_{o4}}{r_{o4} + R_L} \right) \left(\frac{r_{o3}}{g_{m3}r_{o3} + 1} \right) \quad (ข4.32)$$

ถ้ากำหนดให้ $\mathcal{E}_{CM(gain:1)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายเท่ากับหนึ่งโดยที่

$$i_{out1} = \left(1 - \mathcal{E}_{CM(gain:1)} \right) (i_{in})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$\varepsilon_{CM(gain:1)} = 1 - \left(\frac{i_{out1}}{i_{in}} \right) \quad (ข4.33)$$

จากสมการที่ (ข4.32) ถ้ากำหนดให้ $g_{m3}r_{o3} \gg 1$ จะได้ว่า

$$\frac{i_{out1}}{i_{in}} = \left(\frac{g_{m4}}{g_{m3}} \right) \left(\frac{r_{o4}}{r_{o4} + R_L} \right) \quad (ข4.34)$$

เมื่อแทนค่าจากสมการที่ (ข4.34) ลงใน (ข4.33) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ คือ

$$\varepsilon_{CM(gain:1)} = \frac{(g_{m3} - g_{m4})r_{o4}}{g_{m3}(r_{o4} + R_L)} + \frac{R_L}{r_{o4} + R_L} \quad (ข4.35)$$

จากสมการที่ (ข4.35) ถ้ากำหนดให้ $r_{o3} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:1)} \cong \frac{g_{m3} - g_{m4}}{g_{m3}} + \frac{R_L}{r_{o4}} \quad (ข4.36)$$

หรือ
$$\varepsilon_{CM(gain:1)} \cong \frac{\Delta g_{m34}}{g_{m3}} + \frac{R_L}{r_{o4}} \quad (ข4.37)$$

เมื่อ Δg_{m34} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_{p3} และ M_{p4} ถ้ากำหนดให้ $\varepsilon_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรถ่ายสลับแบบพื้นฐานที่มีอัตราขยายกระแสเท่ากับสอง โดยที่

$$i_{out1} = (1 - \varepsilon_{CM(gain:2)}) (2i_{in})$$

หรือ
$$\varepsilon_{CM(gain:2)} = 1 - \left(\frac{i_{out1}}{2i_{in}} \right) \quad (ข4.38)$$

เมื่อแทนค่าจากสมการที่ (ข4.34) ลงใน (ข4.38) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ คือ

$$\varepsilon_{CM(gain:2)} = \frac{(2g_{m3} - g_{m4})r_{o4}}{2g_{m3}(r_{o4} + R_L)} + \frac{R_L}{(r_{o4} + R_L)} \quad (ข4.39)$$

จากสมการที่ (ข4.33) ถ้ากำหนดให้ $r_{o3} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:2)} \cong \frac{2g_{m3} - g_{m4}}{2g_{m3}} + \frac{R_L}{r_{o4}} \quad (ข4.40)$$

ในการวิเคราะห์ค่าความผิดพลาดของวงจรถ่ายสลับในการหาค่า i_{out2} ที่โหนด v_a และ v_2 สามารถทำได้โดยการวิเคราะห์ในลักษณะเดียวกันในหัวข้อ ข.3.3

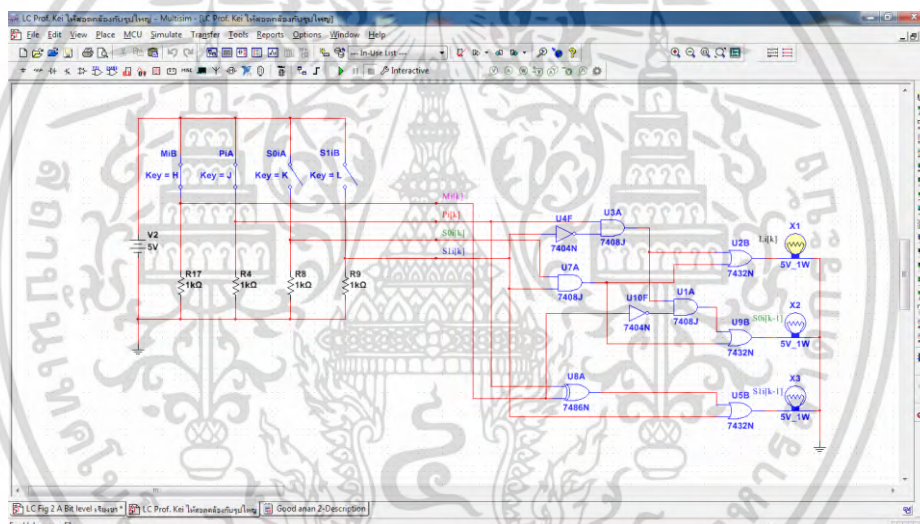
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

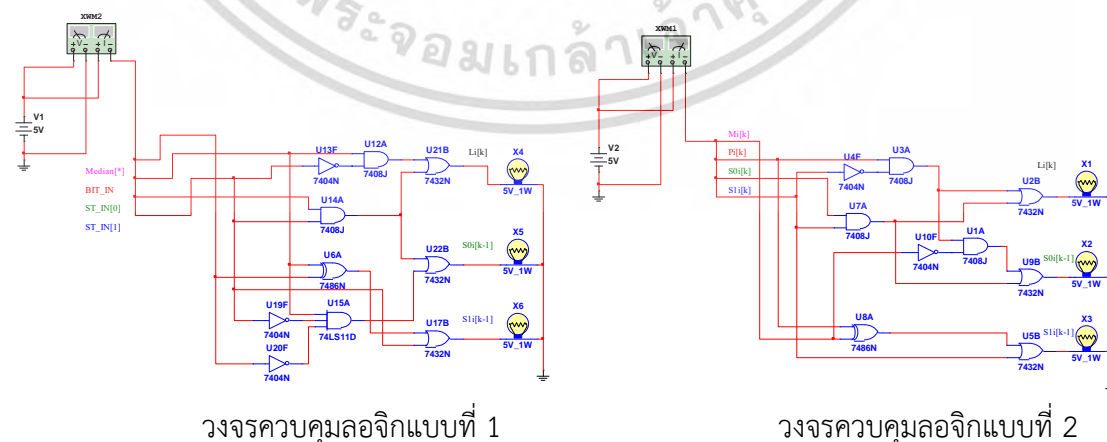
ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิกและ วงจรถูกเลือกข้างมาก

ค.1 ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิก

ขั้นตอนการเลียนแบบการทำงานของวงจรควบคุมลอจิก ในหัวข้อ 3.7.1 วงจรควบคุมลอจิกแบบที่ 1 และในหัวข้อ 3.7.2 วงจรควบคุมลอจิกแบบที่ 2 โดยการเลียนแบบการทำงานด้วยโปรแกรม NI Multisim โดยใช้เบอร์ของอุปกรณ์ในการเลียนแบบการทำงานตามตารางที่ 4.6 ในการสร้างวงจรควบคุมลอจิกดังแสดงในรูป ค.1 การเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim และการหาค่าการใช้งานโดยใช้วัตต์มิเตอร์ที่มีอยู่ในโปรแกรมในการวัดค่ากำลังไฟฟ้า



รูปที่ ค.1 การเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim



วงจรถวลลอจิกแบบที่ 1

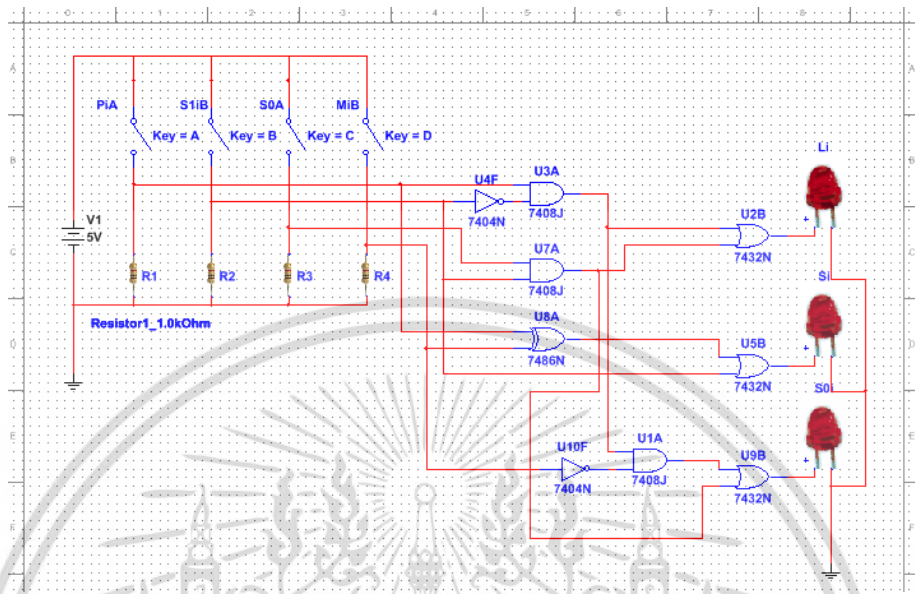
วงจรถวลลอจิกแบบที่ 2

รูปที่ ค.2 การเลียนแบบการทำงานของวงจรควบคุมลอจิกด้วยโปรแกรม NI Multisim

เพื่อหาค่าการใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

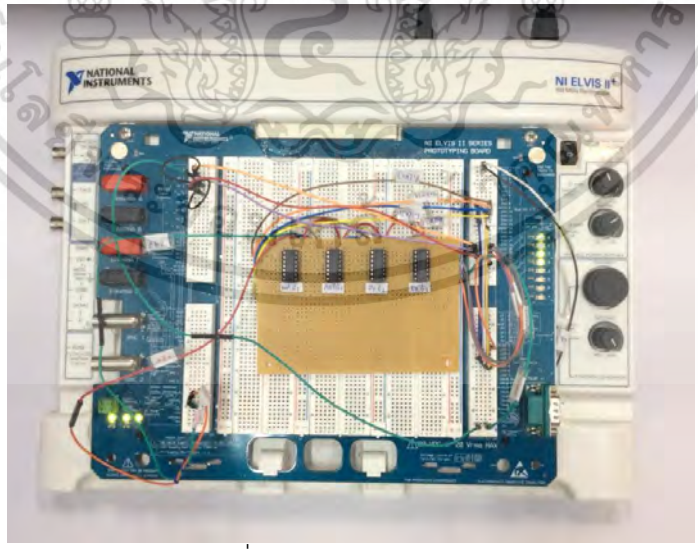
1. โดยการนำเอาวงจรควบคุมลอจิกแบบที่ 2 (ในรูปที่ 3.15) การเลียนแบบการทำงานของวงจร โดยโปรแกรม NI Multisim14 ดังแสดงในรูปที่ ค.3



รูปที่ ค.3 การเลียนแบบการทำงานของวงจรควบคุมลอจิก

ซึ่งได้ผลการเลียนแบบการทำงานดังตารางที่ 3.1 (ของบทที่ 3)

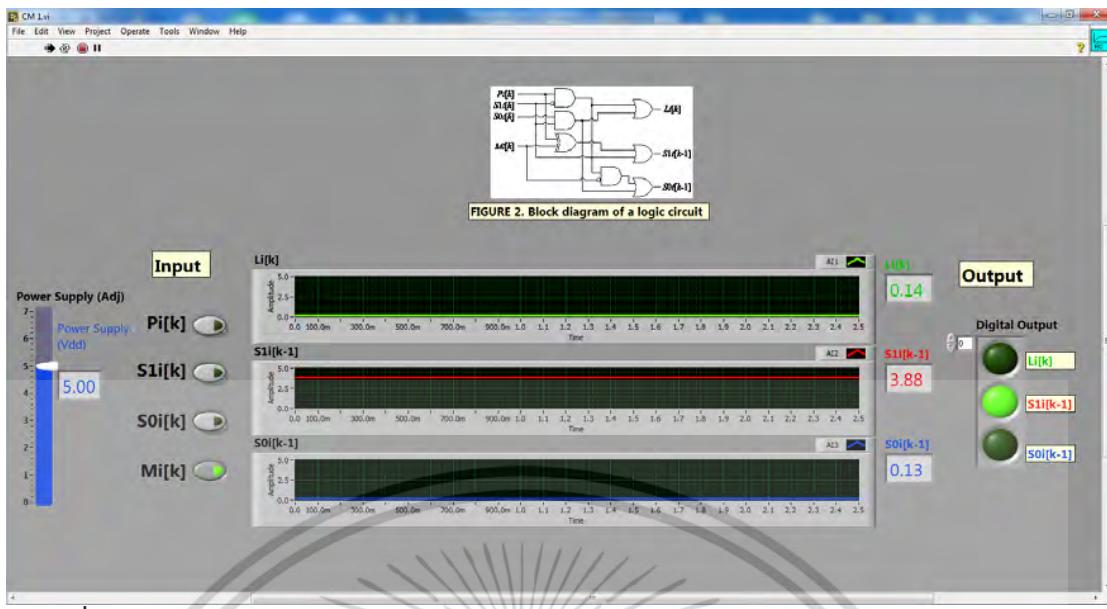
2. ผลการทดลองวงจรควบคุมลอจิกที่สร้างจากอุปกรณ์จริงดังรูปที่ ค.4 โดยการเขียนโปรแกรม LabVIEW 2016 ในการทดสอบวงจรต่อร่วมกับอุปกรณ์ NI ELVIS II⁺



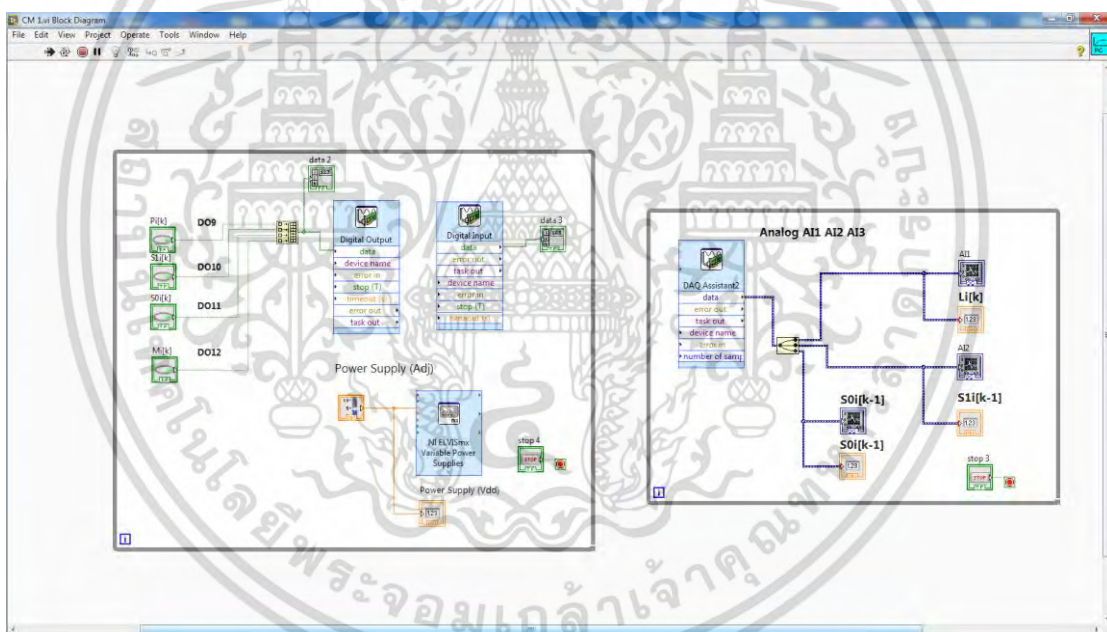
รูปที่ ค.4 วงจรควบคุมลอจิกที่สร้างอุปกรณ์จริงต่อร่วมกับอุปกรณ์ NI ELVIS II⁺

ซึ่งการเขียนโปรแกรม LabVIEW 2016 ในการทดสอบวงจรควบคุมลอจิกดังแสดงในรูปที่ ค.5 แสดง ส่วนแสดงผลทดสอบวงจรควบคุมลอจิกและ Block Diagram ดังแสดงในรูปที่ ค.6 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของงานวิจัยนี้เพื่อใช้ภายในเท่านั้น ไม่สามารถเผยแพร่ภายนอกได้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.5 ส่วนแสดงผลโปรแกรม LabVIEW 2016 (Display) ในการทดสอบวงจรควบคุมลอจิก



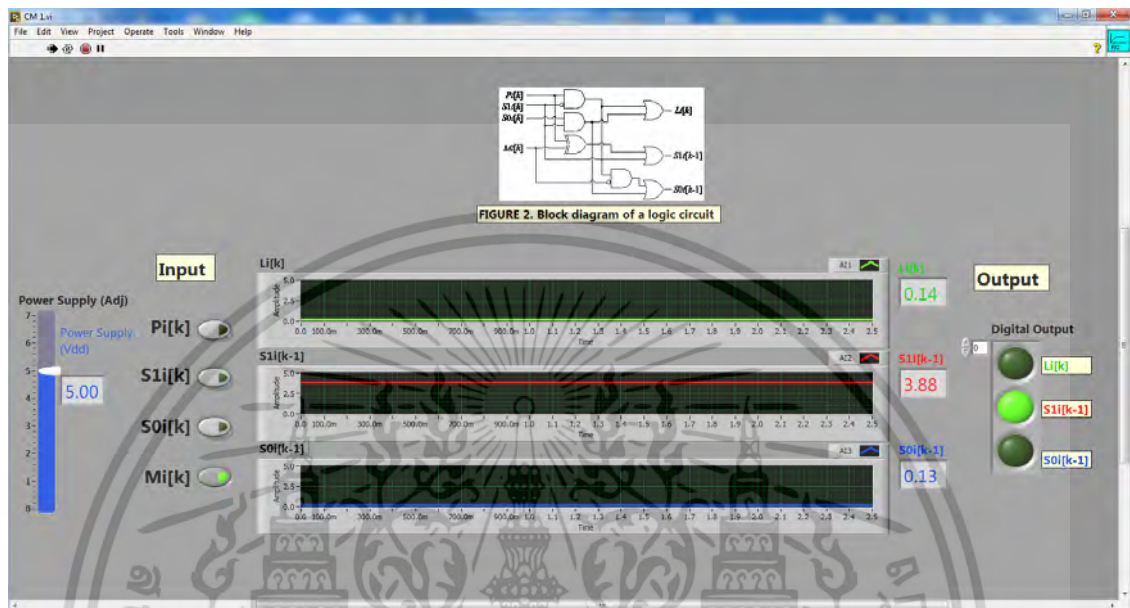
รูปที่ ค.6 Block Diagram ทดสอบวงจร Logic Circuit (LC)

ซึ่งได้ผลตารางผลการทดลองทดสอบวงจร Logic Circuit (LC) จากอุปกรณ์จริงดังนี้ซึ่งจากผลการทดลองวงจรควบคุมลอจิกที่ประกอบจากอุปกรณ์จริงมีผลการทดลองสอดคล้องเป็นไปตามผลการทดลองจากการ Simulation (โปรแกรม NI Multisim14) โดยได้ค่าระดับแรงดันเอาต์พุตที่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการทดลอง โดยกำหนดค่าอินพุตมีค่าเท่ากับ 0001 และได้ผลเอาต์พุตดังแสดงรูปที่ ค.7

Pi [k]	S1i [k]	S0i [k]	Mi [k]	Li [k]	S1i [k-1]	S0i [k-1]
0	0	0	1	0	1	0



รูปที่ ค.7 ตัวอย่างการทดลองโดยกำหนดค่าอินพุต 0001

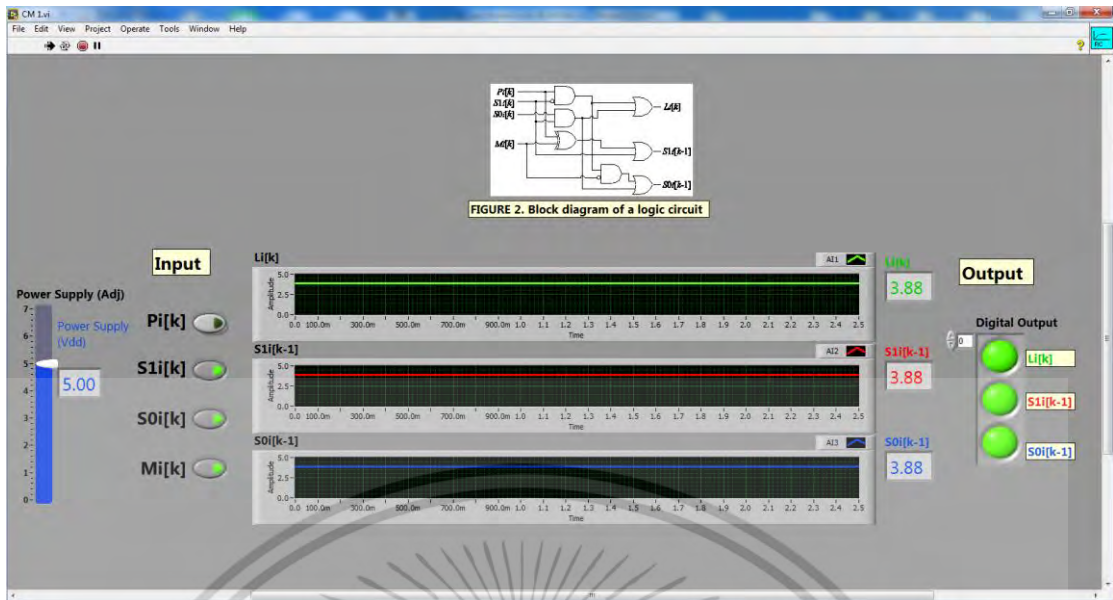
ตัวอย่างการทดลอง โดยกำหนดค่าอินพุตมีค่าเท่ากับ 0111 และได้ผลเอาต์พุตดังแสดงรูปที่ ค.8

Pi [k]	S1i [k]	S0i [k]	Mi [k]	Li [k]	S1i [k-1]	S0i [k-1]
0	1	1	1	1	1	1

หมายเหตุ:

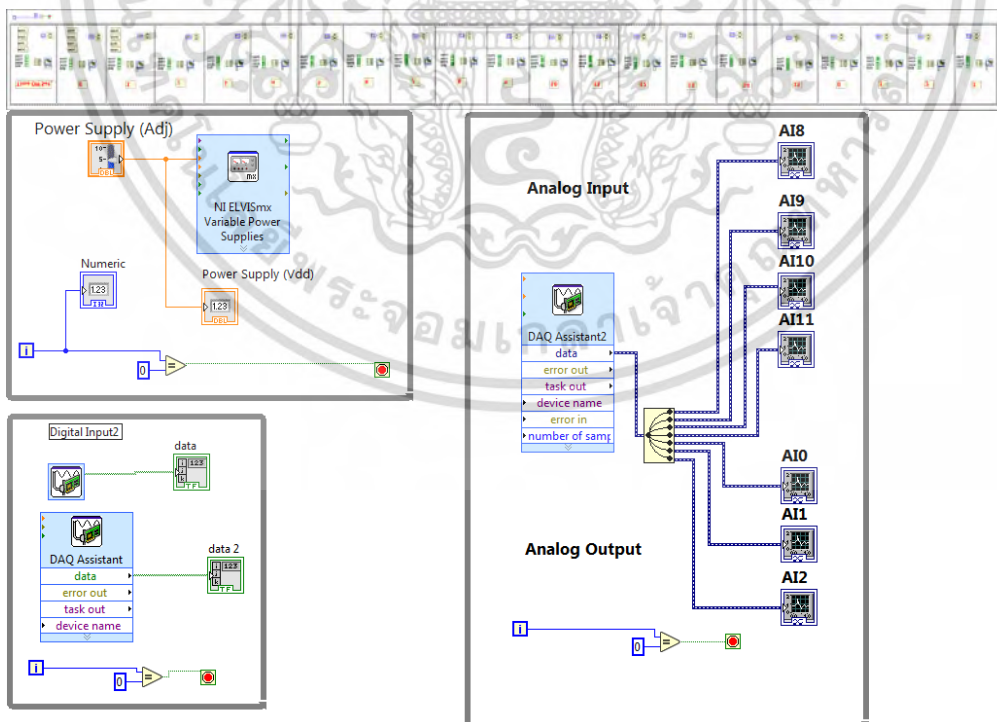
- ในการวัดระดับแรงดัน Analog Output ของ Logic Gate ที่วัดแรงดันได้ ประมาณ 3.88 V จึงมีค่าเทียบค่าได้เท่ากับระดับ Logic High (1)
- ในการวัดระดับแรงดัน Analog Output ของ Logic Gate ที่วัดแรงดันได้ ประมาณ 0.14 V จึงมีค่าเทียบค่าได้เท่ากับระดับ Logic Low (0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



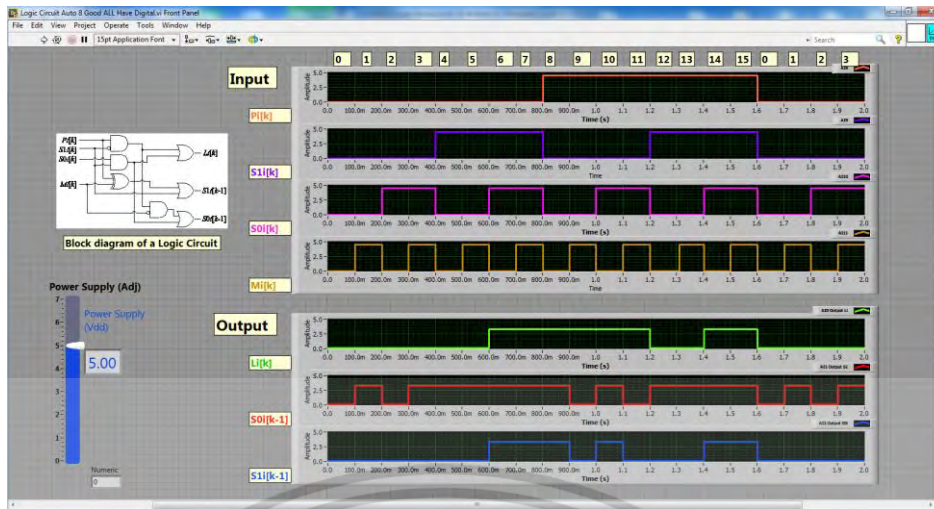
รูปที่ ค.8 ตัวอย่างการทดลองโดยกำหนดค่าอินพุต 0111

3. นวัตกรรม Logic Circuit (LC) ที่ต่อกับอุปกรณ์จริงไปเขียนโปรแกรม LabVIEW Auto Test ซึ่งแสดงโปรแกรม (Block Diagram) LabVIEW Auto Test ของวงจร Logic Circuit ที่ต่อกับอุปกรณ์จริงแสดงดังรูปที่ ค.9 และโปรแกรมแสดงผลวงจร Logic Circuit แสดงดังรูปที่ ค.10 ตามลำดับ



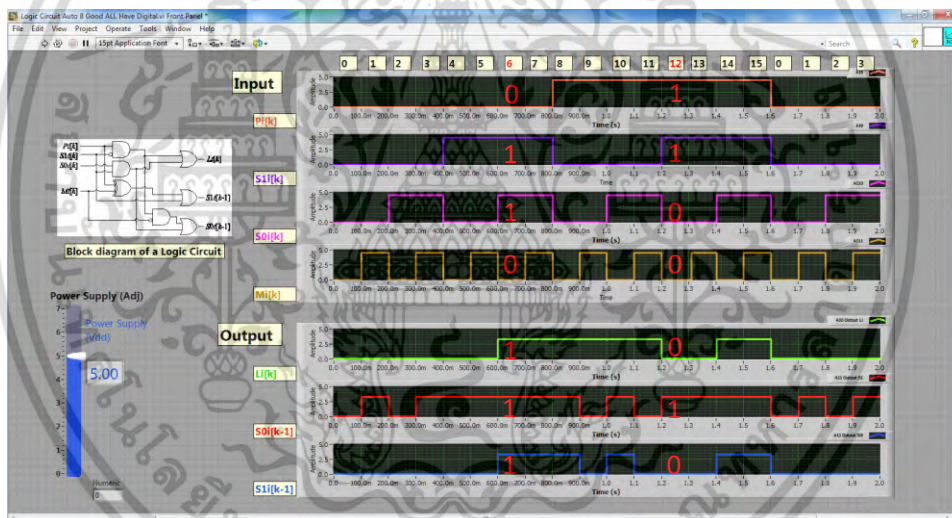
รูปที่ ค.9 Block Diagram LabVIEW Auto Test ของวงจร Logic Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.10 ส่วนแสดงผล Display LabVIEW Auto Test ของวงจร Logic Circuit

ส่วนในรูปที่ ค.11 แสดงการทดสอบวงจร Logic Circuit โดยแสดงการทดสอบโดยแสดงรายละเอียดอินพุตในเลขไบนารี (Binary) คือ ตัวเลข 6 และ ตัวเลข 12



รูปที่ ค.11 การทดสอบวงจร Logic Circuit (LC) โดยแสดงการทดสอบโดยแสดงรายละเอียดอินพุตในเลขไบนารี (Binary) คือ ตัวเลข 6 และ ตัวเลข 12

Input ในเลขไบนารี (Binary) คือ ตัวเลข 6 และตัวเลข 12

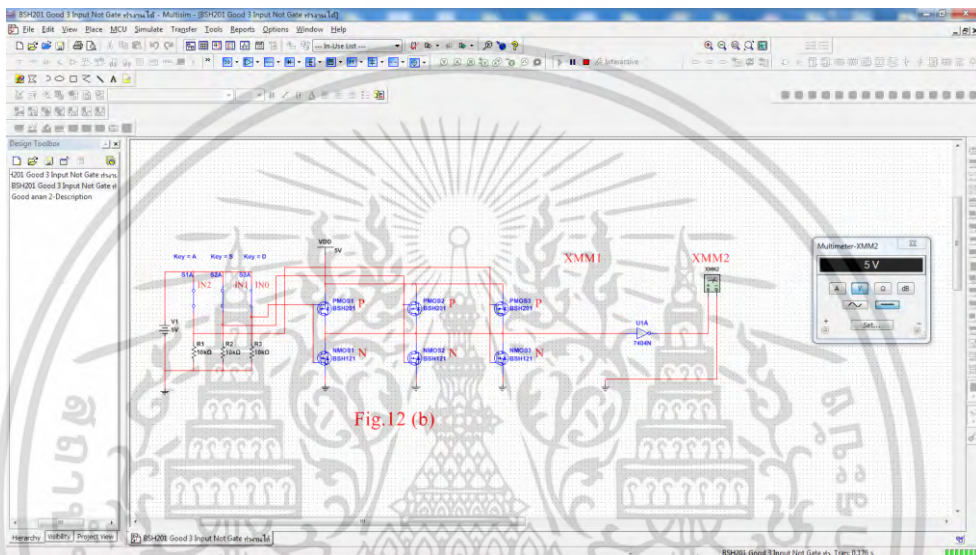
อินพุต				เอาต์พุตจากวงจรจริง		
Pi [k]	S1i [k]	S0i [k]	Mi [k]	Li [k]	S1i [k-1]	S0i [k-1]
0	1	1	0	1	1	1
1	1	0	0	0	1	0

ซึ่งจากผลการทดลองจากวงจร Logic Circuit (LC) ที่ประกอบจากอุปกรณ์จริงเป็นไปตามผลการทดลองจากการ Simulation (โดยโปรแกรม NI Multisim14)

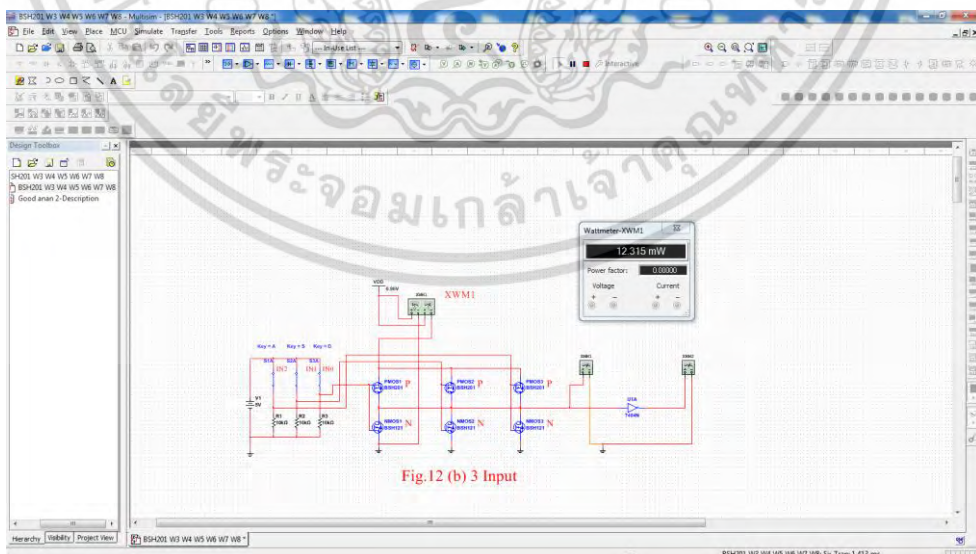
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.2 ขั้นตอนการเลียนแบบการทำงานของวงจรเลือกข้างมาก

ขั้นตอนการเลียนแบบการทำงานของวงจรเลือกข้างมาก ในหัวข้อ 3.8.1 วงจรเลือกข้างมาก โดยใช้อินเวอร์เตอร์แบบซีมอส โดยการเลียนแบบการทำงานด้วยโปรแกรม NI Multisim โดยใช้เบอร์ของอุปกรณ์ในการเลียนแบบการทำงานตามตารางที่ 4.6 ในการสร้างวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสดังแสดงในรูป ค.12 การเลียนแบบการทำงานของวงจรเลือกข้างมาก และการหาค่ากำลังไฟฟ้าโดยใช้วัตต์มิเตอร์ที่มีอยู่ในโปรแกรมในการวัดค่ากำลังไฟฟ้าเมื่อ Window Size เท่ากับ 3 ดังแสดงในรูปที่ ค.13 ตามลำดับ



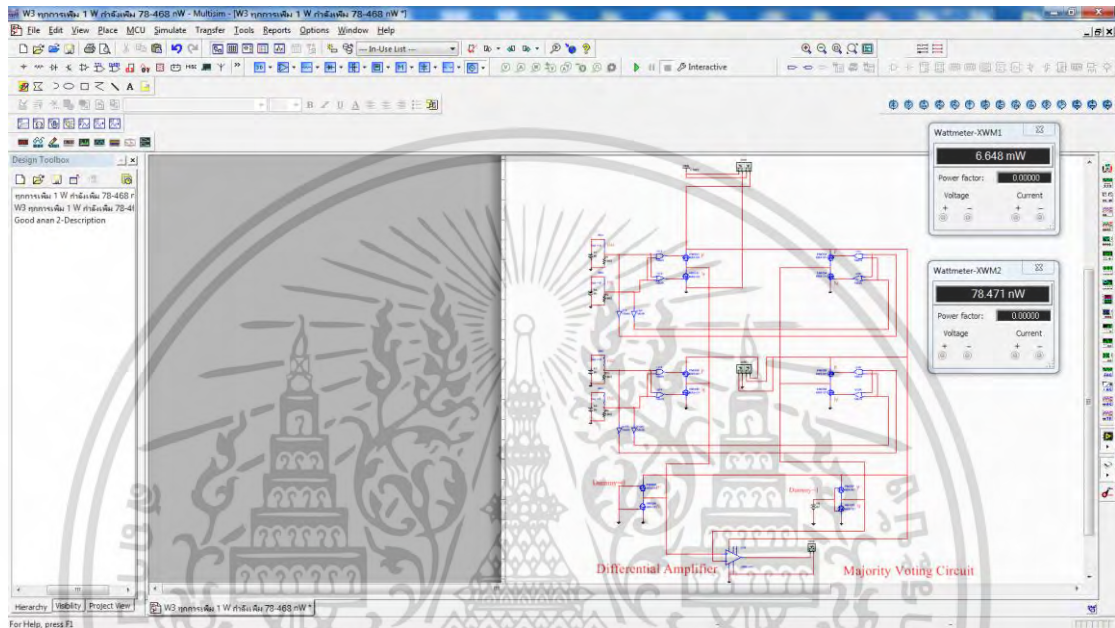
รูปที่ ค.12 การเลียนแบบการทำงานของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสด้วยโปรแกรม NI Multisim



รูปที่ ค.13 การเลียนแบบการทำงานของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสด้วยโปรแกรม NI Multisim เพื่อหาค่าการใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการเลียนแบบการทำงานของวงจรเลือกข้างมากและในหัวข้อ 3.8.2 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดแปลงทุกการเพิ่ม 1 Window Size กำลังไฟฟ้าจะเพิ่ม 3.1388×10^{-7} W. (ซึ่งหาได้จากวัดได้ $78.470 \text{ nW} * 4$ ชุด มีค่าเท่ากับ 3.1388×10^{-7} W) เอา Watt Meter ทำการวัดแยกเพราะความละเอียด (Resolution) วัดได้แค่ทศนิยม 3 ตำแหน่ง ดังแสดงในรูปที่ ค.14

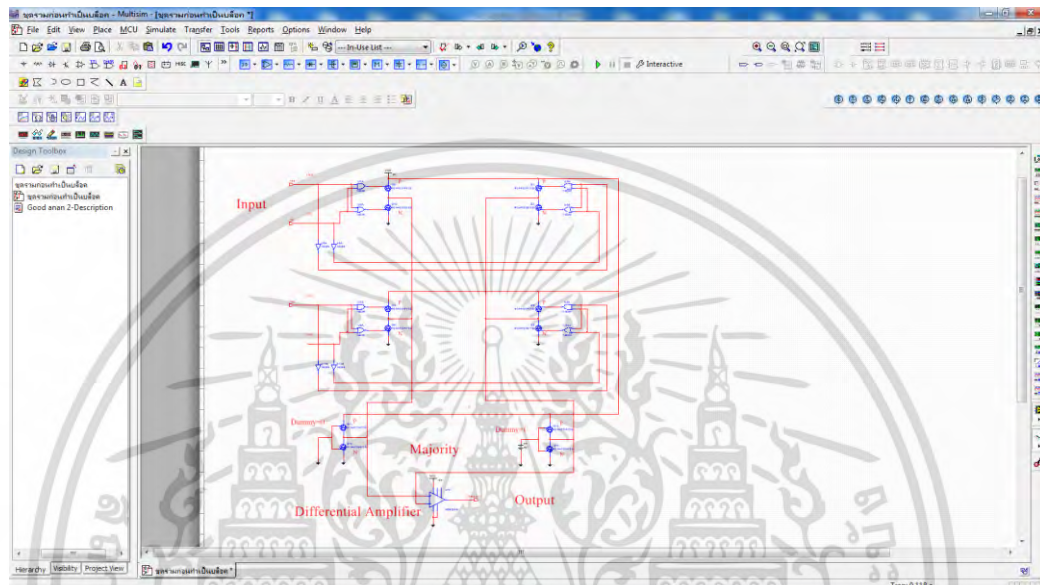


รูปที่ ค.14 การเลียนแบบการทำงานของวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดแปลงด้วยโปรแกรม NI Multisim เพื่อหาค่าการใช้กำลังงานโดยใช้วัตต์มิเตอร์ในการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

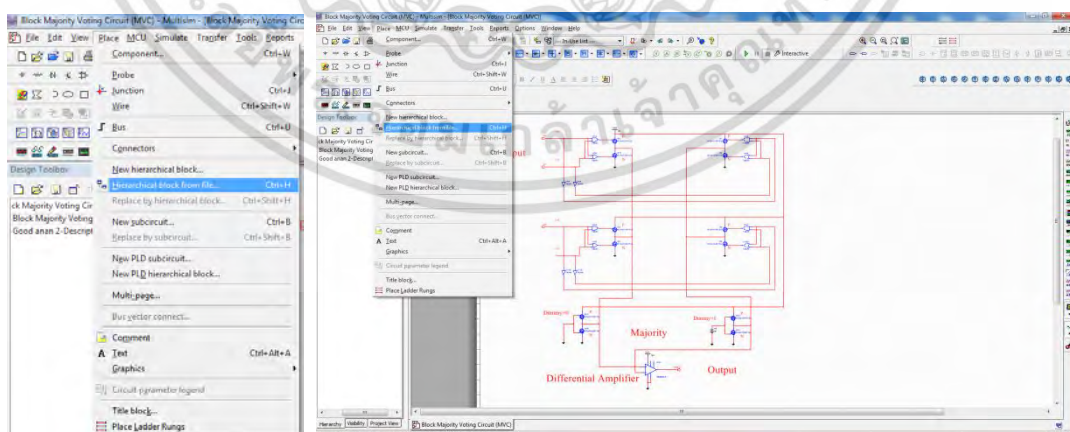
ค.3 ขั้นตอนการยุบบล็อกของโปรแกรม NI Multisim เพื่อนำไปต่อใช้งานร่วมกับโปรแกรม LabVIEW

ขั้นตอนการยุบบล็อกของโปรแกรม NI Multisim เพื่อนำไปต่อใช้งานร่วมกับโปรแกรม LabVIEW โดยแสดงวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดแปลงขนาด 3 Input โปรแกรม NI Multisim ดังแสดงในรูปที่ ค.15



รูปที่ ค.15 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดแปลง Window Size ขนาด 3 อินพุต ในโปรแกรม NI Multisim

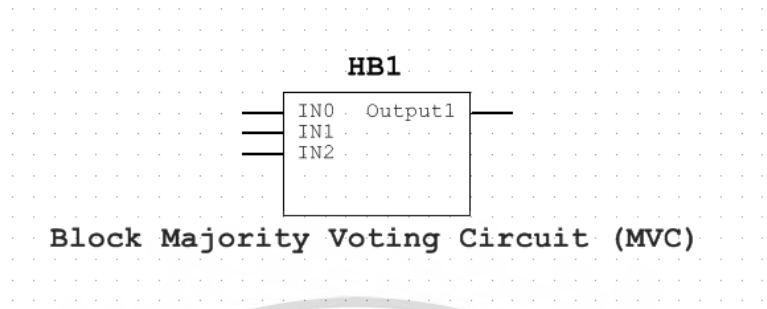
จากนั้นกด Save File แบบ Hierarchical Block from File ดังแสดงในรูปที่ ค.16



รูปที่ ค.16 การ Save File แบบ Hierarchical Block from File

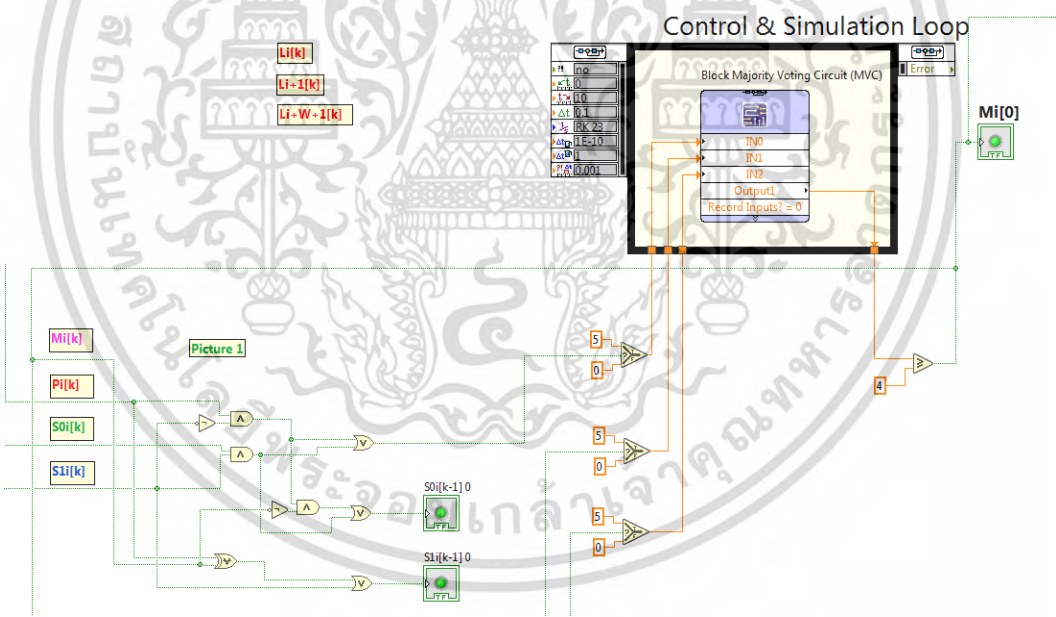
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นจะได้บล็อกไดอะแกรมวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดัดแปลง Window Size ขนาด 3 อินพุตดังแสดงในรูปที่ ค.17



รูปที่ ค.17 บล็อกไดอะแกรมวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดัดแปลง ที่มีหน้าต่างขนาด 3 อินพุต

จากนั้นวงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดัดแปลงซึ่งทำการแปลงเป็น บล็อกไดอะแกรมโดยการนำไปใช้ในโปรแกรม LabVIEW จะได้ในลักษณะดังแสดงในรูปที่ ค.18



รูปที่ ค.18 วงจรเลือกข้างมากโดยใช้อินเวอร์เตอร์แบบซีมอสต์ดัดแปลง ซึ่งทำการแปลงเป็นบล็อกไดอะแกรมโดยการนำไปใช้ในโปรแกรม LabVIEW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารและ การประชุมวิชาการระดับนานาชาติจำนวน 3 บทความ

- [1] K. Eguchi, A. Wongjan, A. Julsereewong, Y. Harada, and K. Fujimoto, "A Median Filtering Circuit Using Clocked CMOS Neuron Inverters for Implantable Electronic Medical Devices," *International Journal of Innovative Computing, Information and Control*, Vol. 13, August 2017, pp. 1135-1147.
- [2] A. Wongjan, A. Julsereewong and T. Junsing, "Analog Median Filtering Circuit Using CMOS Three-Input Max/Min Cell," *International Conference on Control and Robotics Engineering (ICCRE)*, 2018, pp. 155-159.
- [3] A. Wongjan, A. Julsereewong and K. Eguchi, "Performance Comparison of Bit-Level Median Filtering Circuits Based on Binary Search Algorithm," *International Conference on Control and Robotics Engineering (ICCRE)*, 2018, pp. 151-154.



ISSN 1349-4198

**International Journal of Innovative
Computing, Information & Control**



Published by ICIC International
<http://www.ijicic.org>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Volume 13, Number 4, August 2017

Full Papers

- A Modified PM Diffusion Method for Salt-and-Pepper Noise Removal 1061
Hongyao Deng, Qingxin Zhu and Xiuli Song [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1061
- Cardinality Estimation Applying Micro Self-Tuning Histogram 1077
Xudong Lin, Xiaoning Zeng, Jia Liu and Wei Chen [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1077
- Chaos Control in a 3D Autonomous System 1095
Changjin Xu and Rong Xu [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1095
- Investigation of the Relation between Production Density and Lead-Time via Stochastic Analysis 1117
Kenji Shirai and Yoshinori Amano [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1117
- A Median Filtering Circuit Using Clocked CMOS Neuron Inverters for Implantable Electronic Medical Devices 1135
Kei Eguchi, Anan Wongjan, Amphawan Julseruewang, Yujiro Harada and Kunitaki Fujimoto [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1135
- A New Mathematical Model for Design of Square Isolated Footings for General Case 1149
Sandra Lopez Chavarria, Armulfo Luevanos Rojas and Manuel Medina Elizondo [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1149
- A Hybrid Recommendation Method and Development Framework of User Interface Patterns Based on Hypergraph Theory 1169
Rui Chen, Qingyi Hua, Wei Jia, Minjun Zhang, Xiang Ji, Juanni Li, Bo Wang and Jianxin Liu [Full](#)
[Text](#)
DOI: 10.24507/ijicic.13.04.1169
- An Interactive Value-Adding, Data-Driven Model of the Consumer Electronics Supply Chain Based on Random Forests and Market Strategies Selection 1187

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Xiaole Wan, Xiaoxia Rong, Zongqiao Liu, Zhen Zhang and Qingchun Meng* [Full](#)
DOI: 10.24507/ijjic.13.04.1187 [Text](#)
- A Proposed PSOseed2 Algorithm for Training Hardware-Based and Software-Based Neural Networks 1205
Tuan Linh Dang, Thang Cao and Yukinobu Hoshino [Full](#)
DOI: 10.24507/ijjic.13.04.1205 [Text](#)
- A Hybrid Semantic Similarity Measuring Approach for Annotating WSDL Documents with Ontology Concepts 1221
Wei Lu, Yong Yang, Weiwei Xing, Xiaoping Che, Yuanyuan Cai and Liqiang Wang [Full](#)
DOI: 10.24507/ijjic.13.04.1221 [Text](#)
- Stabilizing Control of Nonlinear Switched Systems in R^3 with a Geometric Approach 1243
Hamadi Jerbi and Faouzi Omri [Full](#)
DOI: 10.24507/ijjic.13.04.1243 [Text](#)
- Trend-Weighted Rule-Based Expert System with Application to Industrial Process Monitoring 1257
Danilo Curvelo de Souza, Adriano Duarte Dorta Neto and Luiz Affonso Guedes [Full](#)
DOI: 10.24507/ijjic.13.04.1257 [Text](#)
- Mixed H -infinity/Passive Projective Synchronization for Fractional-Order Neural Networks with Uncertain Parameters and Delays 1273
Xiaona Song, Shuai Song and Ines Tejedo Balseira [Full](#)
DOI: 10.24507/ijjic.13.04.1273 [Text](#)
- A Novel Wireless Acoustic Emission Sensor System for Distributed Wooden Structural Health Monitoring 1289
Yin Wu, Wenbo Liu and Kaiyu Li [Full](#)
DOI: 10.24507/ijjic.13.04.1289 [Text](#)
- Fuzzy PID Tracking Controller for Two-Axis Airborne Optoelectronic Stabilized Platform 1307
Feng Liu and Hua Wang [Full](#)
DOI: 10.24507/ijjic.13.04.1307 [Text](#)
- Research on Indoor Environmental Comfort Based on Complaints 1323
Fuzhong Nian, Ke Wang and Qianchuan Zhao [Full](#)
DOI: 10.24507/ijjic.13.04.1323 [Text](#)
- An Adaptive Reaching Law Based Three-Dimensional Guidance Laws for Intercepting Hypersonic Vehicle 1335
Yujie Si, Shenmin Song and Xiqing Wei [Full](#)
DOI: 10.24507/ijjic.13.04.1335 [Text](#)
- Dynamic Output Feedback H -infinity Attitude Control for Hypersonic Gliding Vehicles 1351

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Weidong Zhang, Xianlin Huang and Xiao-Zhi Gao

[Full](#)

DOI: 10.24507/ijicic.13.04.1351

[Text](#)

Design of a Nesting-Type Switched-Capacitor AC/DC Converter Using Voltage Equalizers

1369

Kei Eguchi, Tipparat Junsing, Amphawan Julsereewong, Wanglok Do and Ichirou Oota

[Full](#)

DOI: 10.24507/ijicic.13.04.1369

[Text](#)

Utilizing Standard Deviation in Text Classification Weighting Schemes

1385

Fawaz Shukhier Al-Anzi, Dia AbuZeina and Shatha Hasan

[Full](#)

DOI: 10.24507/ijicic.13.04.1385

[Text](#)

Short Papers

The IC-Based Detection Algorithm in the Uplink Large-Scale MIMO System

1399

Min Ma and Yunchao Song

[Full](#)

DOI: 10.24507/ijicic.13.04.1399

[Text](#)

Multi-View Joint Sparse Coding for Image Annotation

1407

Miao Zang and Huimin Xu

[Full](#)

DOI: 10.24507/ijicic.13.04.1407

[Text](#)

A Generalized Algorithm for Justifying and Generating Bilinear Multivariate Quadratic Quasigroups over Galois Fields

1415

Ying Zhang

[Full](#)

DOI: 10.24507/ijicic.13.04.1415

[Text](#)

DNSAM: A DNS Data Real-Time Analysis and Monitoring System

1425

Ying Liu, Ting Zhi and Zehui Liu

[Full](#)

DOI: 10.24507/ijicic.13.04.1425

[Text](#)

The Promotion Factors of Management Innovation Based on Gray-DEMATEL Method

1433

Sili Wang, Yunfu Huo and Hui Guan

[Full](#)

DOI: 10.24507/ijicic.13.04.1433

[Text](#)

A MEDIAN FILTERING CIRCUIT USING CLOCKED CMOS NEURON INVERTERS FOR IMPLANTABLE ELECTRONIC MEDICAL DEVICES

KEI EGUCHI¹, ANAN WONGJAN², AMPHAWAN JULSEREEWONG²
YUJIRO HARADA³ AND KUNIAKI FUJIMOTO³

¹Department of Information Electronics
Fukuoka Institute of Technology
3-30-1 Wajirohigashi, Higashi-ku, Fukuoka 811-0295, Japan
eguti@fit.ac.jp

²Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Rd., Ladkrabang, Bangkok 10520, Thailand
anadata@hotmail.com; amphawan.ju@kmitl.ac.th

³Department of Electronics Engineering and Computer Science
Tokai University
9-1-1, Toroku, Higashi-ku, Kumamoto 862-8652, Japan
harada9597@gmail.com; fujimoto@tokai.ac.jp

Received January 2017; revised April 2017

ABSTRACT. *In the past few years, implantable electronic medical devices are receiving much attention in the field of biomedical engineering. In the design of the implantable electronic medical devices, not only small size but also low power consumption are required to achieve long working-life. In this paper, we present a complementary metal oxide semiconductor (CMOS) median filtering circuit using clocked neuron CMOS inverters. The aim of this work is to develop a CMOS implementable preprocessing circuit realizing low power consumption for implantable electronic medical devices such as a retinal prosthesis system. By controlling the duty cycle of clock pulses in the clocked neuron CMOS inverters, the proposed median filtering circuit can suppress the through current of inverters. Therefore, the proposed circuit can realize smaller power consumption than conventional median filtering circuits. Moreover, without arithmetic logic circuits, the median filtering based on the binary search algorithm is achieved in the proposed circuit. Therefore, the proposed circuit can offer the simple circuit configuration. Concerning the proposed circuit, the operation principle and theoretical design method are discussed in detail. Furthermore, the effectiveness of the proposed circuit is confirmed by simulation program with integrated circuit emphasis (SPICE) simulations. The simulated results demonstrate that the proposed median filtering circuit can reduce about 37% power consumption from the conventional circuit using CMOS neuron inverters.*

Keywords: Median filtering circuits, Neuron MOSFETs, Neuron CMOS inverters, Image processing, Implantable electronics

1. Introduction. To support damaged or missing biological structure, implantable electronic medical devices are receiving much attention in the past few years. Among others, the development of a retinal prosthesis system [1-3] is one of the most challenging issues to support partial or total blind patients. In the design of the implantable electronic medical devices, not only small size but also low power consumption are required, because the electronic devices are implanted within the body of a patient. To develop an efficient retinal prosthesis system realizing long working-life, we focused on the median filtering circuit which is one of the most popular preprocessing circuits.

In the field of image processing, the median filter is used to reduce the noise in an input image. In previous studies, many types of the median filtering techniques have been proposed [4-8]. For example, Boateng et al. suggested the improved median filtering technique to suppress impulse noise [4]. Rajasekaran et al. presented the median filtering technique utilizing Canny operator [5]. However, these software-based median filtering techniques are difficult to implement into an LSI chip. On the other hand, some researchers are trying to implement the median filter into an LSI chip. For example, Kalali and Hamzaoglu implemented an adaptive median filter into a field programmable gate array (FPGA) chip [6]. This circuit can realize low power consumption by using the low complexity 2D adaptive median filter algorithm. In the same way, the efficient median filtering circuit can be implemented easily by employing embedded systems such as FPGA, Intel Edison, and Arduino. However, the hardware approach utilizing the embedded system is too bulky for implantable electronic medical devices. Moreover, due to the limitation of the number of electrodes implanted near retina, it is not necessary to process a high-resolution image in the retinal prosthesis system. Different from these approaches utilizing embedded systems, Lee and Jen developed a bit-level scalable median filter [7]. This median filtering circuit is suitable for IC implementation, because it can be designed using standard complementary metal oxide semiconductor (CMOS) technology. However, the circuit configuration of the circuit reported in [7] is complex, because it is designed by using voltage mode techniques. Following this study, Noisuwan et al., Hung et al., and Siskos suggested a simple CMOS median filter circuit design [8-10]. By using current mode techniques, the median filter circuits reported in [8-10] can offer a simple circuit configuration. However, this technique suffers from high power consumption. Furthermore, Muñiz-Montero et al. proposed a compact CMOS Class-AB analog median filter [11]. The layout area of the median filter circuit reported in [11] is saved by employing trans-conductance comparators accomplished with differential flipped voltage followers. However, this circuit still has high power consumption, because the differential flipped voltage followers require some current sources. To overcome this problem, Yamasaki and Shibata suggested a high-speed median filter using floating-gate-MOS-based low-power majority voting circuits [12]. Generally, it is known that the floating-gate MOS technology can achieve high-speed operation, small size, and low power consumption [13-16]. For example, Shen et al. and Inaba et al. suggested fundamental circuit components realizing a low voltage and low power, such as multi-valued logic circuits [14] and down literal circuits [15]. Likewise, Fukuhara and Yoshida developed a low power Hamming distance search CAM using neuron MOS transistors [16]. By using the floating-gate MOSFET [13] referred to as the neuron MOSFET [14-16], this median filtering circuit can offer not only high-speed operation but also low power consumption. However, in order to develop more efficient implantable circuit, there is still room for improvement in the point of power consumption.

To develop a CMOS implementable preprocessing circuit for implantable electronic medical devices such as a retinal prosthesis system, this paper proposes a CMOS median filtering circuit realizing low power consumption and simple circuit configuration. Unlike conventional circuits, the proposed circuit is designed by utilizing clocked neuron CMOS inverters. Therefore, the proposed circuit can achieve low power consumption, because the through current of CMOS inverters is suppressed by controlling the duty cycle of clock pulses of the clocked neuron CMOS inverters. Furthermore, the proposed circuit provides a simple circuit configuration by employing the binary search algorithm. Without arithmetic logic circuits, such as adder, and multiplier, the median filtering using the binary search algorithm can be implemented by using clocked neuron CMOS inverters. Concerning the proposed circuit, the operation principle and theoretical design method

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

are discussed in detail. Furthermore, the effectiveness of the proposed circuit is clarified by simulation program with integrated circuit emphasis (SPICE) simulations.

This paper is organized as follows: Section 2 gives the circuit configuration of the proposed CMOS median filter. Furthermore, the operation principle and theoretical design method are discussed in detail. Section 3 demonstrates the results of SPICE simulation to confirm the validity of circuit design, where the comparison concerning power consumption is performed between the proposed circuit and conventional median filtering circuits. Finally, Section 4 presents conclusion and future work of this study.

2. Circuit Configuration.

2.1. Operation principle. To achieve small and simple circuit configuration, the operation principle of the proposed median filtering circuit is based on the binary search algorithm. From the input image of $m \times n$ pixels, the k -th ($k = 0, \dots, N - 1$) bit of the median value $M_i[k]$ ($i = 1, \dots, m \times n$) is obtained as follows:

$$M_i[k] = \begin{cases} 1, & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} > 0.5 \\ 0, & \text{if } \sum_{j \in W} \frac{P_j[k]}{W} \leq 0.5 \end{cases}, \quad (1)$$

where $P_j[k]$ ($= \{0, 1\}$) is a value of the k -th ($k = 0, \dots, N - 1$) bit of the j -th pixel and W is the window size of the median filter. As (1) shows, the median value $M_i[k]$ becomes "1" when the value of majority group is "1". On the other hand, the median value $M_i[k]$ becomes "0" when the value of majority group is "0". According to the median value $M_i[k]$ of the i -th pixel, the value of the i -th pixel $P_i[k]$ is changed as follows:

$$P_i[k-1] = \dots = P_i[0] = \begin{cases} 1, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 1 \\ 0, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 0 \end{cases}. \quad (2)$$

By iterating the operation of (1) and (2) from $k = N - 1$ to 0, the median value of P_i is derived.

To help readers' understanding, let us consider the median detection by using the example of Table 1. In this example, the window size W is 5, the bit-length N is 4, and the values of the input are $P_1 = \{1, 0, 0, 1\} = 9_{(10)}$, $P_2 = \{0, 1, 1, 1\} = 7_{(10)}$, $P_3 = \{1, 0, 1, 0\} = 10_{(10)}$, $P_4 = \{1, 1, 0, 0\} = 12_{(10)}$, and $P_5 = \{0, 1, 0, 0\} = 8_{(10)}$. The operation principle of the proposed median filter is as follows. First, in the case of $k = 3$, the majority group is $P_1[3]$, $P_3[3]$, and $P_4[3]$. Therefore, we have $M_i[3] = 1$, because the majority is "1". On the other hand, the remaining bits of P_2 and P_5 are all changed to "0". Next, in the case of $k = 2$, the majority group is $P_1[2]$, $P_2[2]$, $P_3[2]$, and $P_5[2]$. Therefore, we have $M_i[2] = 0$, because the majority is "0". On the other hand, the remaining bits of P_4 are all changed to "1". In the same way, the median value $M_i[1]$ and $M_i[0]$ are obtained by iterating these processes. As you can see from Table 1, the median value $P_1 = \{1, 0, 0, 1\} = 9_{(10)}$ is detected by this operation principle.

2.2. Circuit design. The block diagram of the proposed CMOS median filtering circuit is drawn in Figure 1. In the proposed circuit, the median detection is performed by a bit-comparison-based technique in order to realize small hardware size. The proposed circuit consists of N ($= 2, 3, \dots$) majority circuits (MCs) and N ($= 2, 3, \dots$) bit-comparators (BCs), where N is the number of bits and W is the window size. In Figure 1, the operation of the MC corresponds to (1). The MC is the W -inputs/1-output CMOS analog circuit designed by utilizing clocked neuron CMOS inverters. Usually, arithmetic logic circuits, such as adder, and multiplier, are necessary to implement (1) into a digital circuit. However, owing to the circuit design employing clocked neuron CMOS inverters,

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. An example of the median detection

Window size $W = 5$	(MSB) $k = 3$	$k = 2$	$k = 1$	(LSB) $k = 0$
$P_1 = \{1, 0, 0, 1\}$ (= $9_{(10)}$)	$\{\underline{1}, 0, 0, 1\}$ (Major)	$\{1, \underline{0}, 0, 1\}$ (Major)	$\{1, 0, \underline{0}, 1\}$ (Major)	$\{1, 0, 0, \underline{1}\}$ (Major)
$P_2 = \{0, 1, 1, 1\}$ (= $7_{(10)}$)	$\{\underline{0}, 0, 0, 0\}$ (Minor)	$\{0, \underline{0}, 0, 0\}$ (Major)	$\{0, 0, \underline{0}, 0\}$ (Major)	$\{0, 0, 0, \underline{0}\}$ (Minor)
$P_3 = \{1, 0, 1, 0\}$ (= $10_{(10)}$)	$\{\underline{1}, 0, 1, 0\}$ (Major)	$\{1, \underline{0}, 1, 0\}$ (Major)	$\{1, 0, \underline{1}, 1\}$ (Minor)	$\{1, 0, 1, \underline{1}\}$ (Major)
$P_4 = \{1, 1, 0, 0\}$ (= $12_{(10)}$)	$\{\underline{1}, 1, 0, 0\}$ (Major)	$\{1, \underline{1}, 1, 1\}$ (Minor)	$\{1, 1, \underline{1}, 1\}$ (Minor)	$\{1, 1, 1, \underline{1}\}$ (Major)
$P_5 = \{0, 1, 0, 0\}$ (= $8_{(10)}$)	$\{\underline{0}, 0, 0, 0\}$ (Minor)	$\{0, \underline{0}, 0, 0\}$ (Major)	$\{0, 0, \underline{0}, 0\}$ (Major)	$\{0, 0, 0, \underline{0}\}$ (Minor)
Median value $M_{i,j}[k]$ ($\{1, 0, 0, 1\} = 9_{(10)}$)	1	0	0	1

the proposed circuit can realize the operation in (1) without arithmetic logic circuits. On the other hand, the operation of the BC corresponds to (2), where the BC consists of W ($= 2, 3, \dots$) logic circuits (LCs). The LC is the 4-inputs/3-outputs logic circuit. Unlike Equation (1), there is no arithmetic logic operations in (2). Therefore, the LC is designed by combinational logic circuits.

Figure 2 illustrates the LC in the bit-comparator (BC). In the LC of Figure 2, the following bit-comparison is performed:

$$L_i[k] = S0_i[k] \cdot S1_i[k] + P_i[k] \cdot \overline{S1_i[k]}, \quad (3)$$

where

$$S0_i[k-1] = S0_i[k] \cdot S1_i[k] + \overline{M_i[k]} \cdot \overline{S1_i[k]} \cdot P_i[k] \quad (4)$$

and

$$S1_i[k-1] = M_i[k] \oplus P_i[k] + S1_i[k]. \quad (5)$$

In (3)-(5), $M_i[k]$ is the k -th bit of the median output and $L_i[k]$ is the k -th bit of the BC output. To achieve the median detection using the bit-comparison-based technique, $S0_i[k-1]$ and $S1_i[k-1]$ are inputted to the $(k-1)$ -th LC and $L_i[k]$ is inputted to the MC. In the MC, the majority of $L_i[k]$ is detected by using clocked neuron CMOS inverters.

The circuit configuration of the proposed majority circuit using a clocked neuron CMOS inverter is shown in Figure 3, where C_p denotes the parasitic capacitance and Φ denotes the non-overlapped two-phase clock pulse. While the clock Φ is in a high level, the clocked neuron CMOS inverter behaves as a traditional neuron CMOS inverter [17-20]. In this case, the drain currents in saturation region, I_{dp} and I_{dn} , are given by

$$|I_{dp}| = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{GS} - |V_{THp}|)^2 \quad (6)$$

and

$$I_{dn} = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n} (V_{GS} - V_{THn})^2, \quad (7)$$

where μ_p and μ_n are the effective mobility of holes and electrons, C_{ox} is the gate capacitance per unit area, W_p and W_n are the gate width of PMOS and NMOS, L_p and L_n are the gate length of PMOS and NMOS, respectively. The circuit configuration of the proposed majority circuit using a clocked neuron CMOS inverter is shown in Figure 3, where C_p denotes the parasitic capacitance and Φ denotes the non-overlapped two-phase clock pulse. While the clock Φ is in a high level, the clocked neuron CMOS inverter behaves as a traditional neuron CMOS inverter [17-20]. In this case, the drain currents in saturation region, I_{dp} and I_{dn} , are given by

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

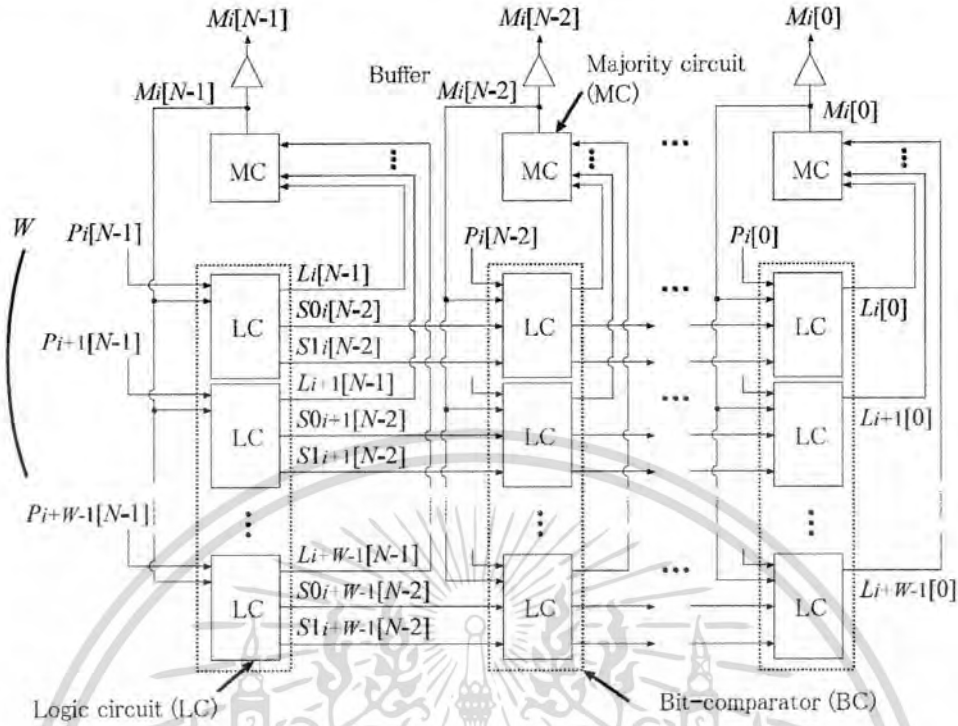


FIGURE 1. Block diagram of CMOS median filter

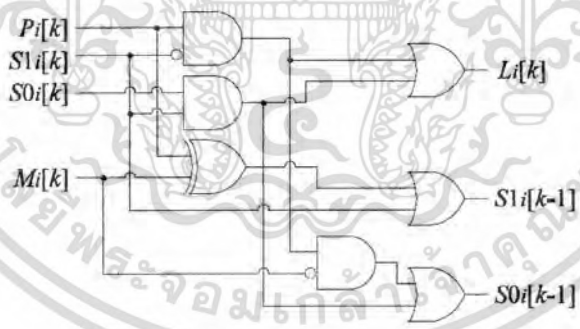


FIGURE 2. Block diagram of a logic circuit

are the gate lengths of PMOS and NMOS, V_{THp} and V_{THn} are the threshold voltages of PMOS and NMOS, and V_{GS} is the voltage between gate terminal and source terminal. In (6) and (7), the channel-length-modulation of transistors is not taken into account to simplify the theoretical analysis. When the clock Φ is in a high level, the floating gate voltage $V_{Fi}[k]$ of the clocked neuron inverter is given by

$$V_{Fi}[k] = \frac{\sum_{j \in W} L_j[k]C_u + V_{dd}C_{FN}}{WC_u + C_{FP} + C_{FN}} \tag{8}$$

where C_u is a unit capacitance between an input terminal and the floating gate, C_{FN} is a capacitance between the floating gate and N-type region, and C_{FP} is a capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

As you can see from (1) and (16), the clocked neuron inverter behaves as a majority circuit when the clock Φ is in a high level.

While the clock Φ is in a high level, the output of the clock neuron CMOS inverter is charged in C_p . On the other hand, the clocked neuron inverter becomes high-impedance when the clock Φ is in a low level, because the clock neuron CMOS inverter is not connected between the power source and ground. In this timing, the output held in C_p is supplied to the gate terminal of the CMOS inverter. That is to say, the proposed majority circuit behaves like a sample-and-hold circuit, where State- T_1 and State- T_2 correspond to the holding process and the sampling processes, respectively. By adjusting the duty cycle of clock pulses, the proposed median filter can reduce power consumption, because the through current of the neuron inverter is suppressed owing to this technique. Of course, we can design other preprocessing circuits realizing low power consumption by modifying the proposed majority circuit shown in Figure 3. As an example, the binarizing and resizing circuit realizing low power consumption will be described in Appendix.

3. Simulation. The validity of the circuit design and the effectiveness of the proposed median filter are clarified by SPICE simulations. In this simulation, the proposed median filter with 3-bits/3-inputs was implemented by assuming $0.35\mu\text{m}$ CMOS process.

Figure 4 demonstrates the simulated output of the proposed median filtering circuit, where the input voltages of the proposed median filter, P_1 , P_2 , and P_3 , are as shown in Table 2. In Figure 4, the supply voltage V_{dd} , the duty cycle D , and the period of clock pulse T were set to 1.8V , 0.5 , and $0.1\mu\text{s}$, respectively. As you can see from Figure 4 and Table 2, the proposed median filter can detect the median value M_i from P_1 , P_2 , and P_3 . Concretely, the output $M_i = \{5, 2, 5\}$ was derived from $P_1 = \{6, 1, 6\}$, $P_2 = \{5, 2, 5\}$, and $P_3 = \{3, 4, 3\}$.

The power consumption of the proposed median filtering circuit is demonstrated in Figure 5, where the power consumption of the proposed circuit is compared with that of conventional median filtering circuits [7,12]. In Figure 5, the blue-line shows the power consumption of the proposed median filter, the orange-line shows the power consumption of the conventional median filter using floating-gate-MOS-based low-power majority voting circuits [12], and the grey line shows the conventional median filter using CMOS majority circuits [7] shown in Figure 6. As Figure 5 shows, the proposed median filter can achieve the smallest power consumption. Concretely, more than 37% power consumption can be reduced from the conventional circuit using neuron CMOS inverters [12] when the duty cycle is 0.5.

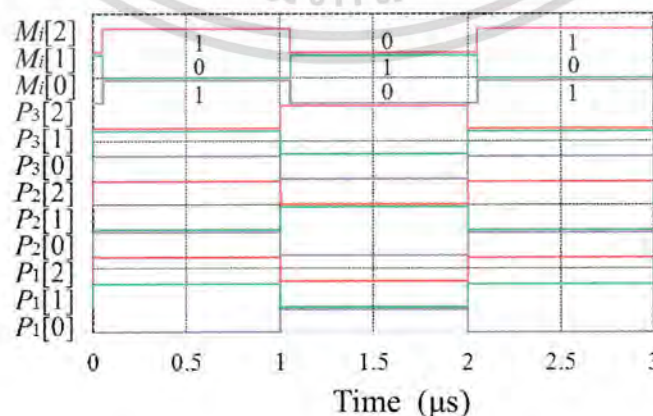


FIGURE 4. Simulated output of the proposed median filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2. Setting of SPICE simulation

Time (μs)	0 - 1.0	1.0 - 2.0	2.0 - 3.0
Input	Value		
P_1	$\{V_{dd}, V_{dd}, 0\}$ ($\{1, 1, 0\} = 6_{(10)}$)	$\{0, 0, V_{dd}\}$ ($\{0, 0, 1\} = 1_{(10)}$)	$\{V_{dd}, V_{dd}, 0\}$ ($\{1, 1, 0\} = 6_{(10)}$)
P_2	$\{V_{dd}, 0, V_{dd}\}$ ($\{1, 0, 1\} = 5_{(10)}$)	$\{0, V_{dd}, 0\}$ ($\{0, 1, 0\} = 2_{(10)}$)	$\{V_{dd}, 0, V_{dd}\}$ ($\{1, 0, 1\} = 5_{(10)}$)
P_3	$\{0, V_{dd}, V_{dd}\}$ ($\{0, 1, 1\} = 3_{(10)}$)	$\{V_{dd}, 0, 0\}$ ($\{1, 0, 0\} = 4_{(10)}$)	$\{0, V_{dd}, V_{dd}\}$ ($\{0, 1, 1\} = 3_{(10)}$)
Output	Value		
M_i	$\{V_{dd}, 0, V_{dd}\}$ ($\{1, 0, 1\} = 5_{(10)}$)	$\{0, V_{dd}, 0\}$ ($\{0, 1, 0\} = 2_{(10)}$)	$\{V_{dd}, 0, V_{dd}\}$ ($\{1, 0, 1\} = 5_{(10)}$)

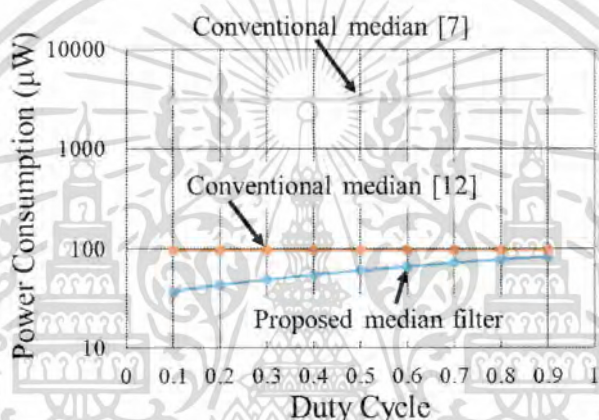


FIGURE 5. Simulated power consumption of the median filter

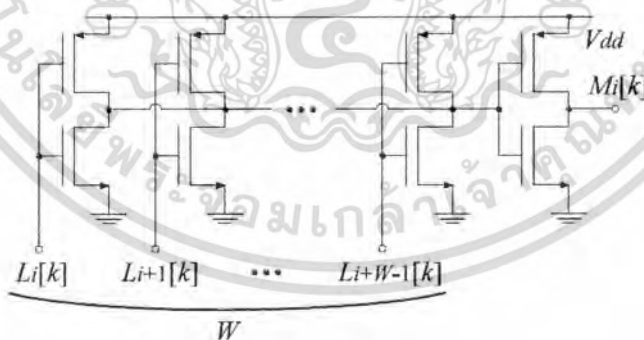


FIGURE 6. Conventional CMOS majority circuit [7]

Furthermore, the proposed median filter can improve power consumption by reducing the duty cycle D . Of course, the setting of duty cycle depends on the response speed of CMOS transistors. Table 3 shows the comparison of the number of circuit components for the majority circuits in median filters. As Figure 6 and Table 3 show, the conventional circuit can realize simple circuit configuration by series-connecting CMOS inverters. However, the circuit complexity of the proposed circuit is almost the same as that of conventional circuits.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3. Number of circuit components for majority circuits

	Number of circuit components		
	MOSFETs	Neuron inverters	Capacitors
Proposed majority circuit	4	1	1
Conventional majority circuit [7]	8	0	0
Conventional majority circuit [12]	2	1	1

4. Conclusions. For implantable electronic medical devices, a CMOS median filtering circuit using clocked neuron CMOS inverters has been proposed in this paper. The feature of the proposed median filtering circuit is the design for simple circuit configuration and low power consumption using clocked neuron CMOS inverters. Concerning the proposed circuit, the operation principle and theoretical design method were discussed in detail. Furthermore, SPICE simulations confirmed the effectiveness of the proposed circuit.

The SPICE simulations showed the following results: 1). by using clocked neuron CMOS inverters, the proposed median filter with 3-bits/3-inputs offered median values without arithmetic logic circuits; and 2). when the duty cycle is 0.5, the proposed circuit reduced about 37% power consumption from the conventional median filter using floating-gate-MOS-based majority voting circuits. Furthermore, the proposed median filter can improve power consumption further by reducing the duty cycle D . From these results, the proposed circuit can realize not only simple circuit configuration but also small power consumption. The proposed circuit will open up a new vista for the implantable electronic medical devices realizing long working-life.

In a future study, we are going to implement the proposed circuit into an IC chip. The test evaluation is performed concerning the performance of the IC chip, such as layout area, power consumption and response speed.

REFERENCES

- [1] T. Tokuda, K. Hiyama, S. Sawamura, K. Sasagawa, Y. Terasawa, K. Nishida, Y. Kitaguchi, T. Fujikado, Y. Tano and J. Ohta, CMOS-based multichip networked flexible retinal stimulator designed for image-based retinal prosthesis, *IEEE Trans. Electron Devices*, vol.56, no.11, pp.2577-2585, 2009.
- [2] H. Naganuma, K. Kiyoyama and T. Tanaka, A 37×37 pixels artificial retina chip with edge enhancement function for 3-D stacked fully implantable retinal prosthesis, *Proc. of 2012 IEEE Biomedical Circuits and Systems Conference*, pp.212-215, 2012.
- [3] C. Lee and C. Hsieh, A 0.5 V/1.8 V high dynamic range CMOS imager for artificial retina applications, *IEEE Sensors Journal*, vol.15, no.12, pp.6833-6838, 2015.
- [4] K. O. Boateng, B. W. Asubam and D. S. Laar, Improving the effectiveness of the median filter, *International Journal of Electronics and Communication Engineering*, vol.5, no.1, pp.85-97, 2012.
- [5] A. Rajasekaran and S. P, Image denoising using median filter with edge detection using Canny operator, *International Journal of Science and Research*, vol.3, no.2, pp.30-34, 2014.
- [6] E. Kalali and I. Hamzaoglu, A low energy 2D adaptive median filter hardware, *Proc. of 2015 Design, Automation & Test in Europe Conference & Exhibition*, pp.725-729, 2015.
- [7] C. Lee and C. Jen, A bit-level scalable median filter using simple majority circuit, *Proc. of 1989 International Symposium on VLSI Technology, Systems and Applications*, pp.174-177, 1989.
- [8] C. Noisuwan, J. Nakasuwan, B. Knobnob, S. Chivapreecha and K. Dejhan, A CMOS median filter circuit design, *Proc. of 2006 International Symposium on Communications and Information Technologies*, pp.1089-1092, 2006.
- [9] Y. C. Hung, S. H. Shieh and C. K. Tung, A real-time current-mode CMOS analog median filtering cell for system-on-chip applications, *Proc. of 2007 IEEE Conference on Electron Devices and Solid-State Circuits*, pp.361-364, 2007.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] S. Siskos, Low voltage analog median filters implementation, *Proc. of 2010 IEEE International Conference on Imaging Systems and Techniques*, pp.166-170, 2010.
- [11] C. Muñiz-Montero, M. A. Ramírez-Salinas, L. A. Villa-Vargas, H. Molina-Lozano and V. H. Ponce-Ponce, A compact CMOS Class-AB analog median filter, *Proc. of 2012 IEEE the 3rd Latin American Symposium on Circuits and Systems*, pp.1-4, 2012.
- [12] H. Yamasaki and T. Shibata, A high-speed median filter VLSI using floating-gate-MOS-based low-power majority voting circuits, *Proc. of the 31st European Solid-State Circuits Conference*, pp.125-128, 2005.
- [13] P. Whig and S. Ahmad, Simulation and performance analysis of low power quasi floating gate PCS model, *International Journal of Intelligent Engineering and Systems*, vol.9, no.2, pp.8-13, 2016.
- [14] J. Shen, K. Tanno, O. Ishizuka and Z. Tang, Neuron-MOS current mirror circuit and its application to multi-valued logic, *IEICE Trans. Inf. & Syst.*, vol.E82-D, no.5, pp.940-948, 1999.
- [15] M. Inaba, K. Tanno and O. Ishizuka, Analog inverter with neuron-MOS transistors and its application, *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, vol.E85-A, no.2, pp.360-365, 2002.
- [16] M. Fukuhara and M. Yoshida, Power consumption of a Hamming distance search CAM using neuron MOS transistors, *Proc. of 2006 IEEE International Symposium on Circuits and Systems*, pp.4345-4348, 2006.
- [17] Y. Harada, K. Fujimoto, M. Yahara and K. Eguchi, A study on flash type A/D converter using neuron CMOS inverter, *Advanced Materials Research*, vols.931-932, pp.915-919, 2014.
- [18] Y. Harada, M. Yahara, K. Eguchi and K. Fujimoto, Design of a threshold automatic compensation circuit for a voltage controlled oscillator using a Schmitt-trigger circuit with CMOS inverters, *ICIC Express Letters*, vol.10, no.5, pp.1015-1021, 2016.
- [19] Y. Harada, K. Fujimoto, M. Yahara and K. Eguchi, A flash type A/D converter using clocked neuron CMOS inverters, *ICIC Express Letters*, vol.9, no.2, pp.309-315, 2015.
- [20] Y. Harada, K. Fujimoto, M. Fukuhara and M. Yoshida, A minimum hamming distance search associative memory using neuron CMOS inverters, *IEEJ Trans. Electronics, Information and Systems*, vol.136, no.1, pp.36-42, 2016.

Appendix.

A.1. Binarizing and Resizing Circuit. As an application of the proposed majority circuit, we present the binarizing and resizing circuit using a clocked neuron CMOS inverter in this Appendix. In the binarizing and resizing circuit, the following operation is performed in order to obtain the pixel value of the resized image, B_i ($i = 1, \dots, m' \times n'$), from the input image of $m \times n$ pixels:

$$B_i = \begin{cases} 1, & \text{if } \frac{\sum_{j \in W'} \sum_{l=1}^N P_j[N-l] \cdot 2^{N-l}}{\sum_{j \in W'} \sum_{l=1}^N 2^{N-l}} > 0.5 \\ 0, & \text{if } \frac{\sum_{j \in W'} \sum_{l=1}^N P_j[N-l] \cdot 2^{N-l}}{\sum_{j \in W'} \sum_{l=1}^N 2^{N-l}} \leq 0.5 \end{cases} \quad (17)$$

where W' is the window size to resize the input image. The size of the resized image is defined as

$$m' = \frac{m}{W'} \text{ and } n' = \frac{n}{W'}. \quad (18)$$

Figure 7 illustrates the circuit configuration of the binarizing and resizing circuit, where the floating gate capacitance is set to $2^{N-1-k} \times C_u$ for $P_i[k]$. As you can see from Figures 3 and 7, the circuit configuration of the majority circuit of the median filtering circuit and the binarizing and resizing circuit is almost the same. By modifying the capacitor size of the clocked neuron CMOS inverter in the majority circuit, we can design the binarizing and resizing circuit of Figure 7. In Figure 7, the arithmetic operation in (17) is realized by the binary-weighted floating capacitances, where the capacitor size is set to $2^{N-l} C_u$ for

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

be achieved by controlling the clocked neuron inverter. Of course, the proposed median filter is not suitable for the application systems that require high-speed operation, because the clocked neuron inverter requires clock pulses to achieve low power consumption.

A.2. Simulated Result. To clarify the characteristics of the binarizing and resizing circuit using a clocked neuron CMOS inverter, SPICE simulations were performed concerning the 4-bits/4-inputs circuit. In the SPICE simulations, the input voltages, P_1 , P_2 , P_3 and P_4 , were set as shown in Table 4.

TABLE 4. Setting of SPICE simulation

Time (μs)	0	0.5	1.0	1.5	2.0	2.5	3.0	3.5	4.0
	0.5	1.0	1.5	2.0	2.5	3.0	3.5	4.0	4.5
Input	Value								
P_1	15	7	11	3	13	5	9	1	14
P_2	15	14	7	6	11	10	3	2	13
P_3	15	13	14	12	7	5	6	4	11
P_4	15	11	13	9	14	10	12	8	7
Output	Value								
B_i	V_{dd}	V_{dd}	V_{dd}	0	V_{dd}	0	0	0	V_{dd}

Figure 8 demonstrates the simulated outputs of 4-bits/4-inputs circuit, where the supply voltage V_{dd} , the duty cycle D , and the period of clock pulse T were set to 1.8V, 0.5, and $0.1\mu\text{s}$, respectively. As you can see from Figure 8 and Table 4, the proposed binarizing circuit can offer the pixel value of the resized image, B_i . Figure 9 demonstrates the power consumption of the binarizing and resizing circuit as a function of the duty cycle. In Figure 9, the blue-line shows the power consumption of the binarizing and resizing circuit using a clocked neuron CMOS inverter and the orange-line shows the power consumption of the binarizing and resizing circuit without a clocked neuron CMOS inverter. In Figure 9, the binarizing and resizing circuit using a clocked neuron CMOS inverter can reduce more than 43% power consumption when the duty cycle is 0.5. As Figures 8 and 9 show, the binarizing and resizing circuit realizing low power consumption can be designed by modifying the proposed majority circuit.

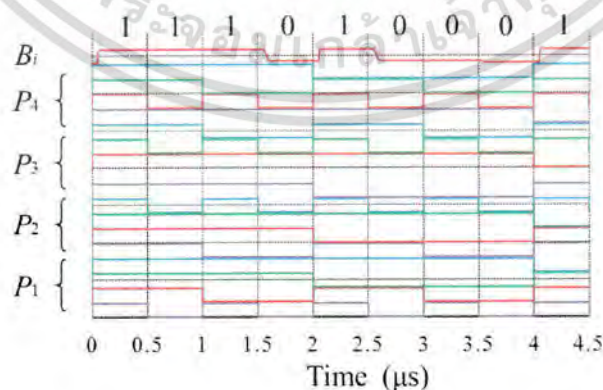


FIGURE 8. Simulated output of the proposed median filter

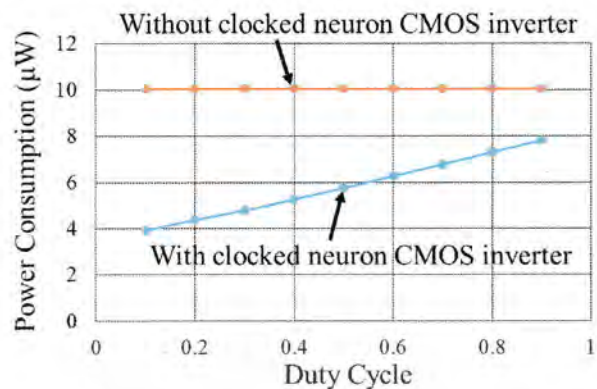


FIGURE 9. Simulated power consumption of the median filter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

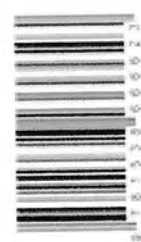
ICCRE 2018

2018 3rd
International Conference
on Control
and Robotics Engineering

Nagoya, Japan
April 20-23, 2018



2018 3rd International Conference on Control and Robotics Engineering ISBN: 978-1-5386-6662-3
IEEE Catalog Number: CFP183AA-USB



ISBN: 978-1-5386-6662-3
IEEE Catalog Number: CFP183AA-USB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2018 3rd International Conference on Control and Robotics Engineering



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Proceedings

2018 3rd International Conference on Control and Robotics Engineering

Copyright and Reprint Permission: Abstracting is permitted with credit to the source. Libraries are permitted to photocopy beyond the limit of U.S. copyright law for private use of patrons those articles in this volume that carry a code at the bottom of the first page, provided the per-copy fee indicated in the code is paid through Copyright Clearance Center, 222 Rosewood Drive, Danvers, MA01923. For reprint or republication permission, email to IEEE Copyrights Manager at pubs-permissions@ieee.org. All rights reserved. Copyright ©2018 by IEEE.

Conference XPLORE COMPLIANT Version

IEEE Catalog Number: CFP18JAA-ART

ISBN: 978-1-5386-6663-0

Conference USB Version

IEEE Catalog Number: CFP18JAA-USB

ISBN: 978-1-5386-6662-3

Publisher: Institute of Electrical and Electronics Engineering, Inc.

Printed in Nagoya, Japan

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2018 3rd International Conference on Control and Robotics Engineering (ICCRE 2018)

Table of Contents

<i>Preface</i>	vii
<i>Committees</i>	viii
 Robot Design and Development	
Playing Chess with the Assistance of an Industrial Robot	1
<i>Duško Lukač</i>	
Development of Mobile Robot with Vision Inspection System and Three-axis Robot	6
<i>Jeng-Dao Lee, Yu-Hsiang WuYing-Jie Zhao, Li-Yin Chen, Han-I Chen</i>	
Expressive States with a Robot Arm using Adaptive Fuzzy and Robust Predictive Controllers	11
<i>Liz Rincon, Enrique Coronado, Hansen Hendra, Julyando Phan, Zur Zainalkefli, Gentiane Venture</i>	
Multiple Moving Object Capturing in Autonomous Robot-Camera	16
<i>Davood Pour Yousefian Barfeh, Hooman Esmailian, Mohammad Reza Mirzaee, Vladimir Mariano</i>	
Machine Learning Comparison for Step Decision Making of a Bipedal Robot	21
<i>Christos Kouppas, Qinggang Meng, Mark King, Dennis Majoe</i>	
A Self-reliance Assistive Tool for Disable People	26
<i>Ya-Ting Lee, Chian-Song Chiu, Li-Hu Jhang, Carlo Santiago</i>	
Inverse Dynamics of Different Upright Postures for the developed Bio-Inspired Reconfigurable Robot	31
<i>Aaditya Chandramouli, P.V. Manivannan</i>	
Model-based Process Planning for Milling Operations Using Industrial Robots	37
<i>Lars Lienenlücke, Lukas Gründel, Simon Storms, Christian Brecher</i>	
Obstacle Avoidance Method Based on the Movement Trend of Dynamic Obstacles	45
<i>Yutian Liu, Danjiang Chen, Shaozhong Zhang</i>	
Design and Prototype of Monolithic Compliant Grippers for Adaptive Grasping	51
<i>Chih-Hsing Liu, and Chen-Hua Chiu</i>	
 Control Theory and Control Engineering	
Statistical Performance Analysis of Hypersonic Vehicle Attitude Control System	56
<i>Jiang Ruimin, Guo Jianguo</i>	
Finite-time Sliding Mode Based Terminal Area Guidance with Multiple Constraints	60
<i>Min Zhou, Jun Zhou, Zongyi Guo</i>	
Trajectory Multiobjective Optimization of Hypersonic Morphing Aircraft Based on Variable Sweep Wing	65
<i>Wuyu Peng, Zhiwei Feng, Tao Yang, Bin Zhang</i>	
The Electrical Effects of Iridium and Standard Spark Plug for Simple Spark Ignition Engine	70
<i>Natthapol Chimpai, Jirawath Parnklang</i>	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Trajectory Tracking Control Strategy using Co-Reference for Rear-Steered Vehicle	74
<i>Anugrah K. Pamosoaji</i>	
NURBS Path Tracking Control of a Scanning Mirror System Based on EtherCAT Fieldbus.....	79
<i>Ruei-Yu Huang, Chung-Wei Cheng, An-Chen Lee</i>	
Research and Comparison of Automatic Control Algorithm for Unmanned Ship	85
<i>Bao Yao, Jie Yang, Qingnian Zhang, Zhiqiang Guo, Rong Hu</i>	
Applying Radar Chart for Process Control Behavior	90
<i>Sawai Pongswatd, Krit Smerpitak</i>	
Modeling and Co-Simulation of Actuator Control for Lower Limb Exoskeleton	94
<i>Norazam Aliman, Rizauddin Ramli, Sallehuddin Mohamed Haris</i>	
On a New Adaptive Multivariable Twisting Sliding Mode Control Approach and Its Application	99
<i>Zongyi Guo, Jinlong Zhao, Min Zhou, and Jun Zhou</i>	
Feedforward Hybrid Control Using Foundation Fieldbus: A Case Study of Temperature Control with Delta V System	104
<i>Pittaya Pannil, Sutee Jaroenla, Amphawan Julsereewong, Sart Kumool</i>	
Consensus of Second-order Multi-agent Systems with Time Delays.....	109
<i>Chunyang Chen, Zhiguo Wang, Liqiang Jin, Yanyan Yinb, Fei Liu</i>	
Switching Sliding Mode Control for Systems with Unknown Time-Varying Control Direction	114
<i>Jinlong Zhao, Zongyi Guo, and Jun Zhou</i>	
Discrete-Time PIDA Controller Designed by Tustin's Method with and without Frequency Pre-warping	119
<i>Prapart Ukakimarn, Mathee Khwunthong, Thanit Trisuwannawat, Pittaya Pannil</i>	
Min-Max Merged with Quadratic Cost for Repetitive Control of Minimum Phase Systems	125
<i>Pitcha Prasitmeeboon</i>	
Modern Electronic Information Technology and Application	
Research on Image Detection and Matching Based on SIFT Features.....	130
<i>Feng Guo, Jie Yang, Yilei Chen, Bao Yao</i>	
Modeling and Implementation of High-Gain Coupled-Inductor Switched-Capacitor Step-Up DC-DC Converter	135
<i>Yuen-Haw Chang, Jia-Syun Lin</i>	
Two-Input Two-Output Current-Mode Universal Biquad Using Only VDTAs and Grounded Capacitors.....	139
<i>Pitchayanin Moonmuang, Praty Mongkolwai, Worapong Tangsrirat</i>	
Linearly Tunable CMOS VDBA Design.....	143
<i>Natchanai Roongmuanpha, Tattaya Pukkalanun, Worapong Tangsrirat</i>	
Concept Development Stage of Hyper Sensitivity Dynamic Airflow Sensor in Low Velocity Region	147
<i>Mohamad Dzulhelmy bin Amari, Sukarnur Che Abdullah, Muhammad Azmi Ayub</i>	
Performance Comparison of Bit-Level Median Filtering Circuits Based on Binary Search Algorithm	151
<i>Anan Wongjan, Amphawan Julsereewong, Kei Eguchi</i>	
Analog Median Filtering Circuit Using CMOS Three-Input Max/Min Cell.....	155
<i>Anan Wongjan, Amphawan Julsereewong, Tipparat Junsing</i>	
Hydropower Plant Generator System	160
<i>Sirichai Tammaruckwattana, Saravut Reangkittakarn, and Apinai Rerkratn</i>	
Reliability Modeling for Integrated BPCS and ESD System Case Study: A twophase gas-liquid separator process	165
<i>Teerawat Thepmanee</i>	

Research and Application of High Robust Automatic Mesh Deformation Technique	169
<i>Bin Zhang, Zhiwei Feng, Tao Yang, Jianquan Ge, Wuyu Peng</i>	
Multi-person Speech Interaction for Tele-science Experiments.....	173
<i>Taotao Fu, Ge Yu, Lili Guo, Ji Liang</i>	
Effect of Vertical Vibrations on Human Postural Balance.....	178
<i>Mahboubeh Keyvanara, Mohammad Jafar Sadigh</i>	
A Machine Vision Assisted Mechatronic Seed Meter for Precision Planting of Corn.....	183
<i>Adrian A. Borja, Rossana Marie C. Amongo, Delfin C. Suministrado and Jaderick P. Pabico</i>	
Resistorless Current-mode Universal Filter using Current Differencing Cascaded Transconductance Amplifiers	188
<i>Danupat Duangmalai, Winai Jaikla</i>	
Electronically Controllable First-order Multifuntion Filter with Using Single Active Building Block.....	192
<i>Kobkiat Chinpark, Winai Jaikla, Surapong Siripongdee, Peerawut Suwanjan</i>	
Research on Fault Current Limiter Based on Fast Switching Technology.....	196
<i>Huating Jiang, Lijun Qin</i>	
New Realization of Single CFCTA-Based Voltage-Mode Multifunction Filter.....	201
<i>Chaiyan Chanapromma, Winai Jaikla, Amornchai Chaichana</i>	
Wireless Communication and Data Transmission	
Design and Improvement of Wireless Crayfish Breeding System by Controlling Water Temperature and Monitoring pH via Cloud System Services	205
<i>Thongchai Photsathian, Thitiporn Suttikul, Worapong Tangsrirat</i>	
Integration of WirelessHART Devices Into Mitsubishi PLC For Plant Monitoring.....	209
<i>Apinai Rerkratn, Issara Laosuwan, Sirichai Tammaruckwattana, Jirawath Parnklang</i>	
LDPC-Coded OFDM-System with BPSK Modulation-Performance Comparison with Uncoded OFDM System	213
<i>Aneeqa Ramzan, Muhammad Omer Bin Saeed</i>	
LVDT Demodulator based on Amplitude Detector.....	218
<i>Wandee Petchmaneelumka, Pitsini Mano and Vanchai Riewruja</i>	
Retrieving a Driving Model Based on Clustered Intersection Data	222
<i>Kyle Sama, Yoichi Morales, Naoki Akai, Eijiro Takeuchi, Kazuya Takeda</i>	
Stochastic Stability and Performance Analysis for Markovian Jump Systems Interconnected Over an Undirected Graph.....	227
<i>Xiaojuan Xue, Huiling Xu, Li Xu</i>	
Image Processing	
Tuberculin Skin Test Checker Using Digital Image Processing	233
<i>John Marnel M. San Pedro, Davood Pour Yousefian Barfeh</i>	
Grey Wolf Algorithm with Borda Count for Feature Selection in Classification	238
<i>Duangjai Jitkongchuen and Pongsak Phaidang</i>	
Spatial Alignment Method Based on Cooperative Multi-sensors Target Detection	243
<i>Lu Xiaodong, Xie Yuting, Zhou Jun</i>	
Optimization of Object - Based Image Segmentation in Classifying Water Region	249
<i>Sarah Alma P. Bentir, Ariel Kelly D. Balan, Alejandro H. Ballado, Jose B. Lazaro</i>	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Leukocyte Segmentation and Counting Based on Microscopic Blood Images Using HSV Saturation Component with Blob Analysis	254
<i>Vonn Vincent Quiñones, Merl James Macawile, Alejandro Ballado, Jennifer Dela Cruz, Meo Vincent Caya</i>	
White Blood Cell Classification and Counting Using Convolutional Neural Network	259
<i>Merl James Macawile, Vonn Vincent Quiñones, Alejandro Ballado, Jennifer Dela Cruz, Meo Vincent Caya</i>	
Adaptive Nonsingular Guidance Law Against Maneuvering Targets.....	264
<i>Zhao Bin, Zhou Jun</i>	
Mechanical Design Manufacturing and Automation	
Novel Intelligent Module and Business Model for Smart Machinery	270
<i>Jeng-Dao Lee, Chia-Ying Hsieh, Han-I Chen, Shu-Lin Hsieh, Ying-Jie Zhao, I-Kai Liao</i>	
Modeling of Cantilever Type Piezoelectric Polymer Actuator	274
<i>Aparna, P. Navin Karanth, S. M. Kulkarni</i>	
Process Monitoring of Nonlinear Industrial Process on Quality Variables Based on Kernel MPLS.....	280
<i>Zelin Ren, Baoran Any, Shen Yin</i>	
Optimal Spring Layout and Specifications for Rotary Active Ankle Orthoses.....	285
<i>Ahmad Bagheri, Mohammad J. Sadigh</i>	
Temperature Automation and Optimization of the UPLB Bean Roaster for Soybean (Glycine Max L. Merr)	290
<i>Romeo G. Ancheta, Fernando O. Paras, Delfin C. Suministrado, Arthur L. Fajardo, Kevin F. Yaptenco</i>	
Author Index.....	295

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PREFACE

The ICCRE 2018 – International Conference on Control and Robotics Engineering will be held in Nagoya Institute of Technology, Nagoya, Japan during April 20-23, 2018. The objective of ICCRE 2018 is to present the latest research and discoveries of scientists and engineers in Control and Robotics Engineering.

In order to create a rewarding experience for all participants, we have invited outstanding experts as our keynote and plenary speakers, to present and share their advanced researches on Robotics Engineering. The technical program of the conference and the keynote talks will cover a wide spectrum of topics in the areas of control systems and robotics including Adaptive control, Internet of Things, Robust control, Process control, Complex systems, Co-operative control, Intelligent systems, Robot sensing and data fusion, Localization, navigation and mapping, Dexterous manipulation, Medical robots and bio-robotics, Human centered systems, Space and underwater robots and so on. This year, ICCRE has received more than 100 papers from all over the world and 60 full papers have been accepted after a professional review. It is the third year for the ICCRE conference. The ICCRE conference committee is focused on creating a pleasant and rewarding opportunity for all participants to share their latest discoveries in control and robotics engineering.

The conference has attracted a lot of attention from Japanese and Chinese communities as well as those abroad, through the call-for-papers and news announcement about ICCRE 2018 delivered to many relevant regions of the world. The committee is pleased to report that the proceedings of ICCRE 2016 and ICCRE 2017 have been successfully uploaded and are now part of IEEE Xplore. Every author wishes to maximize attention paid to his/her manuscript and we will try our level best to support them in our endeavors. On behalf of the conference committee, I would like to sincerely thank the various contributors and the host university for providing a platform for a great conference setting in which engaging discussions among the participants can be attained. Let us hope that the participants of ICCRE 2018 will have fruitful deliberations among each other and that the overseas delegates will enjoy their time in Nagoya.

Prof. Takanori Miyoshi

Toyohashi University of Technology, Japan

Prof. Chih-Shing (Stan) Wei

The Cooper Union for the Advancement of Science and Art, USA

On behalf of Conference Committee

April 20-23, 2018

Nagoya Institute of Technology, Nagoya, Japan

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONFERENCE COMMITTEES

International Advisory Committee

Prof. Il Hong Suh, Hanyang University, Korea

Conference Committee Chairs

Prof. Takanori Miyoshi, Toyohashi university of technology, Japan

Prof. Shuzhi Sam Ge, National University of Singapore, Singapore

Prof. Chih-Shing (Stan) Wei, The Cooper Union for the Advancement of Science and Art, USA

Steering Chair

Assoc. Prof. Ratchatin Chanchareon, Chulalongkorn University, Thailand

Conference Local Chair

Yutaka Ishibashi, Nagoya Institute of Technology, Japan

Program Committee Chairs

Prof. Susumu Hara, Nagoya University, Nagoya, Japan

Prof. Juntao Fei, Hohai University, China

Prof. Wang Ning, Dalian Maritime University, China

Assoc. Prof. Olaf Hallan Graven, University College of Southeast Norway, Norway

Technical Committee Chairs

Prof. Mo Hongwei, Harbin Engineering University, China

Prof. Rezia Molfino, University of Genoa, Italy

Prof. Bhekisipho Twala, University of Johannesburg, South Africa

Prof. Maitree Thamma, Rajamangala University of Technology Isan, Thailand

Prof. Geetesh Goga, K.C. Collge of Engineering and I.T., India

Prof. Sharmila .B, Sri Ramakrishna Engineering College, Coimbatore, India

Technical Committee Chairs

Assoc. Prof. MELLAL Mohamed, M^Hamed Bougara University (UMBB), Algeria

Assoc. Prof. Nishchal K. Verma, Indian Institute of Technology Kanpur, India

Dr. Ximing Han, Dalian Maritime University, China

Dr. Junwu Wang, Dalian Maritime University, China

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dr. Ali Selk Ghafari, Sharif University of Tech International Campus, Iran

Dr. Kok Zuea Tang, National University of Singapore, Singapore

Dr. Yu-Liang Hsu, Feng Chia University, Taiwan

Dr. Yung-Yao Chen, National Taipei University of Technology, Taiwan

Dr. Santitham Prom-On, King Mongkut's University of Technology Thonburi, Thailand

Dr. King Hann Lim, Curtin University Sarawak, Malaysia

Dr. Jiradech Kongthon, Assumption University, Thailand

Dr. Nopparat Seemuang, King Mongkut's University of Technology North Bangkok, Thailand

Ying Chih Lai, Feng Chia University, Taiwan

Yi-Wei Chen, Air Force Institute of Technology, Taiwan

Arom Boekfah, Mahidol University, Thailand

Dusko Lukac, Rheinische Fachhochschule Köln g GmbH-University of Applied Sciences, Germany

Isara Nakavisute, Sripatum University, Thailand

Mohit Mittal, Model Institute of Engineering and Technology, India

Siamak Hoseinzadeh, Municipality of Sari, Mazandaran, Iran



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog Median Filtering Circuit Using CMOS Three-Input Max/Min Cell

Anan Wongjan, Amphawan Julsereewong*

Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang
Ladkrabang, Bangkok, 10520, Thailand
e-mail: amphawan.ju@kmitl.ac.th*

Tipparat Junsing

College of Industrial Technology
King Mongkut's University of Technology North Bangkok
Bangsue, Bangkok, 10800, Thailand
e-mail: tipparat.r@cit.kmutnb.ac.th

Abstract—This paper presents a current-mode design technique for complementary metal oxide semiconductor (CMOS) implementation of an analog median filtering circuit for real-time signal processing. The proposed three-input median filtering circuit consists of three-input maximum/minimum (max/min) cell, dual-output current mirrors, and current summation. The max/min cell used is based on an existing multiple-input max/min circuit for simultaneously determining the maximum and minimum values of input signals to overcome the limitations of tree realization by using two-input max/min selectors. Additionally, transistors used in the max/min cell are biased at the edge of conduction to minimize corner errors. PSPICE simulation results are given to verify the operation of the proposed median filtering circuit.

Keywords—median filtering circuit; CMOS current-mode circuit; max/min cell; summation; analog signal processing

I. INTRODUCTION

Three-input median filtering circuits for analog signal processing are typically implemented by using two-input maximum/minimum (max/min) selectors as basic building blocks [1]-[3]. These analog circuit realizations can be easily expanded to build nine-input median filters or sorting networks in bubble sort configuration [4]. Additionally, these filtering circuits are suitable for integrated circuit (IC) implementation, because they are designed in standard complementary metal oxide semiconductor (CMOS) technology. However, the major limitation of utilizing two-input max-min selectors as basic components to realize the three-input median filtering circuit is that the configuration uses a large number of transistors. In order to obtain the compact circuit configuration, a three-input median filter based on three-input minimum and maximum selection circuits and current summation circuit has been introduced [5]. However, the minimum and maximum selection circuits used in this proposed method are based on the use of two-transistor current-controlled current conveyors, which provide large corner errors in their transfer characteristics, especially in crossover regions, to distinguish the maximum and minimum values of input signals. A circuit design technique based on MOS class B/AB configuration to implement the multiple-input maximum circuit to reduce corner errors in the transfer characteristic has been suggested [6]. In addition, a circuit design technique based on the use of MOS transistors biased at the edge of conduction to minimize the distortions in transfer characteristics of

multiple-input maximum and minimum circuits has been presented [7]. Alternatively, a method to combine maximum and minimum functions into the same scheme to provide parallel processing has been also proposed [8].

The purpose of this paper is to introduce a three-input median filtering circuit based on the use of CMOS current-mode circuit technique, which is advantageous from the IC implementation point of view. The proposed circuit is based on a modification of the configuration proposed in [5] by employing three-input max/min cell [8] instead of minimum and maximum selection circuits to enhance the circuit performances. The effectiveness of the proposed median filtering circuit is verified through PSPICE simulations.

II. CIRCUIT DESCRIPTION

A. Basic Concept of Proposed Circuit

Fig. 1(a) and 1(b) show a design technique to implement the proposed three-input median filtering circuit operated in current mode and its circuit symbol, respectively. The basic components are three-input max/min cell, dual-output current mirrors, and current summation. Based on the operation of max/min cell to determine the maximum and minimum values of three input currents (i_1 , i_2 , and i_3), the maximum and minimum output currents (i_{max} and i_{min}) can be obtained. From the current summation, the median output current, i_{med} , can be given by

$$i_{med} = (i_1 + i_2 + i_3) - i_{max} - i_{min} \quad (1)$$

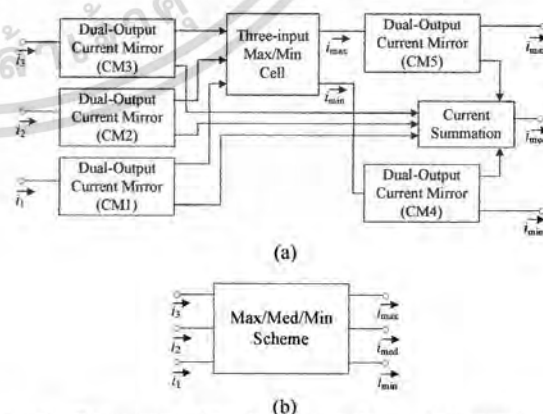


Figure 1. Basic concept: (a) technique to implement the proposed circuit, (b) its circuit symbol.

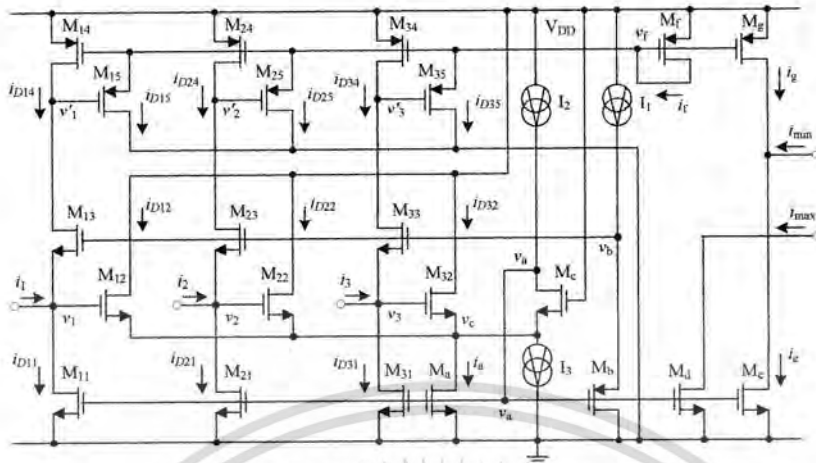


Figure 2. Three-input max/min cell [8].

B. Three-Input Max/Min Cell [8]

Fig. 2 illustrates the max/min cell for finding the maximum and minimum values of three input currents. It is based on the employment of the configuration of multiple-input max/min circuit proposed in [8], where $n = 3$. For one input signal, three NMOS transistors (M_{j1} - M_{j3}) and two PMOS transistors (M_{j4} - M_{j5}) are connected for processing, where $j = 1, 2,$ and 3 . The transistor M_c is used to transfer the maximum input signal to minimum output node, while the transistors M_f and M_g form a unity-gain current mirror.

Assume that all three input currents are positive and the maximum and minimum currents are i_1 and i_2 , respectively, which can be expressed as

$$i_1 = \max(i_1, i_2, i_3) \quad \text{and} \quad i_2 = \min(i_1, i_2, i_3) \quad (2)$$

Based on (2), the drain currents of the transistors M_{13} , M_{23} , and M_{33} can be given by

$$i_{D13} = 0, \quad i_{D23} = i_1 - i_2, \quad i_{D33} = i_1 - i_3 \quad (3)$$

The flow of the current i_{D21} through the transistor M_{21} increases the gate-source voltage of this transistor, which affects the transistor M_{22} to cutoff. Similarly, the flow of i_{D31} through the transistor M_{31} causes the transistor M_{32} to cutoff. Therefore the drain current i_a can be written as

$$i_a = i_1 = i_{\max} = i_{D12} \quad (4)$$

Based on (4), the maximum output current i_{\max} can be rewritten as

$$i_{\max} = i_1 = \max(i_1, i_2, i_3) \quad (5)$$

The drain-source voltage v_1 is determined by the maximum input current i_1 , thus the voltage v_1 is the

maximum drain-source voltage among $v_1, v_2,$ and v_3 . The matched transistors $M_{11}, M_{21}, M_{31}, M_a, M_d,$ and M_c have the same gate-source voltage v_a , therefore, in saturation, these transistors should also provide the same drain currents as

$$i_{D11} = i_{D21} = i_{D31} = i_a = i_{\max} = i_c = i_1 \quad (6)$$

Considering at each input node v_j , the drain current i_{Dj4} of the transistor M_{j4} can be stated as

$$i_{D14} = 0, \quad i_{D24} = i_1 - i_2, \quad i_{D34} = i_1 - i_3 \quad (7)$$

Based on the shared gate-source voltage corresponding to the saturation value imposed by the maximum current, the source-drain voltage v_2 is established by the maximum differential current $i_1 - i_2$. Thus the voltage v_2 becomes the maximum voltage, and it affects the transistors M_{15} and M_{35} to cutoff. Therefore, the drain currents i_{D15} and i_{D35} are equal to zero. At node v_b , the drain current i_f can be written as

$$i_f = i_{D15} + i_{D25} + i_{D35} = 0 + i_{D25} + 0 = i_{D25} \quad (8)$$

From (7), the drain current i_f can be rewritten as

$$i_f = i_{D25} = i_{D24} = i_1 - i_2 \quad (9)$$

The unity-gain current mirror M_f and M_g copies the drain current i_f to minimum output node. The minimum output current i_{\min} can then be given by

$$i_{\min} = i_g - i_c = i_f - i_c \quad (10)$$

Substituting (6) and (9) into (10), we have

$$i_{\min} = i_1 - (i_1 - i_2) = i_2 = \min(i_1, i_2, i_3) \quad (11)$$

The above discussion supports the maximum and minimum functions for determination of three input signals.

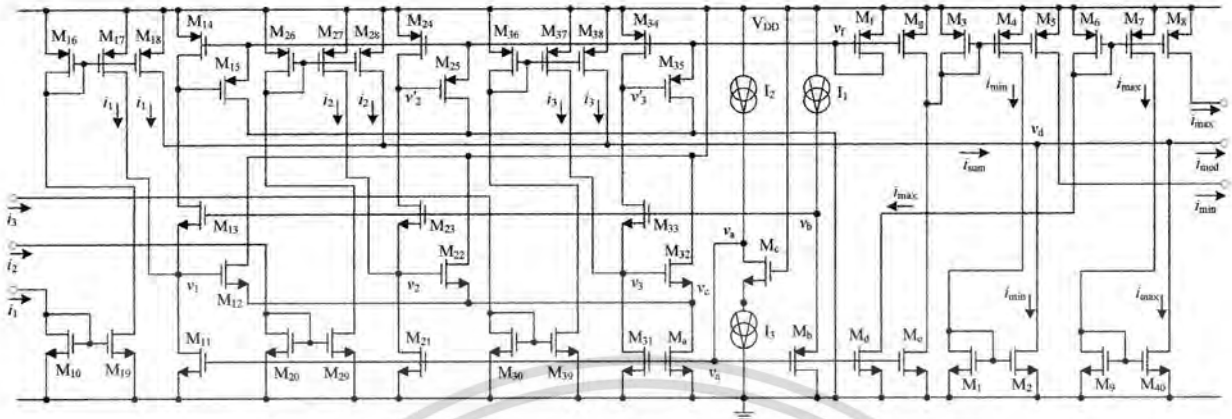


Figure 3. Proposed three-input median filtering circuit.

C. Proposed Three-Input Median Filtering Circuit

Based on the implementation technique in Fig. 1(a), the proposed three-input median filtering circuit is shown in Fig. 3 by utilizing the three-input max/min cell of Fig. 2. The transistors M_{10} , M_{16} - M_{19} are used to function as the dual-output current mirror with unity-gain (CM1) to reproduce the input current i_1 for applying to the max/min cell as well as for determining the current i_{sum} at node v_d . Similarly, the transistors M_{20} , M_{26} - M_{29} and the transistors M_{30} , M_{36} - M_{39} are connected to form as the dual-output, unity-gain current mirrors (CM2, CM3) to reproduce the input currents i_2 and i_3 , respectively, for supplying to the max/min cell and for finding the current i_{sum} .

At the output stage, the transistors M_1 - M_5 forming the dual-output current mirror with unity gain (CM4) are used to reflect the minimum output current i_{min} obtained from the max/min cell to the minimum output node as well as to copy the current i_{min} for finding the median output current i_{med} . In the same way, the transistors M_6 - M_9 , M_{40} are also used to function the dual-output, unity-gain current mirror (CM5) to reproduce the maximum output current i_{max} produced from the max/min cell to the maximum output node and to mirror the current i_{max} to determine the current i_{med} . Considering at node v_d , the median output current i_{med} can be given by

$$i_{med} = i_{sum} - i_{max} - i_{min} = (i_1 + i_2 + i_3) - i_{max} - i_{min} \quad (12)$$

Suppose the maximum and minimum currents are i_1 and i_2 , respectively, we obtain

$$i_{med} = (i_1 + i_2 + i_3) - i_{max} - i_{min} = (i_1 + i_2 + i_3) - i_1 - i_2 = i_3 \quad (13)$$

From (13), the median output current i_{med} can be rewritten as

$$i_{med} = i_3 = \text{med}(i_1, i_2, i_3) \quad (14)$$

It is seen that the maximum, median, and minimum functions for three input currents are incorporated into the same scheme with parallel processing.

D. Circuit Performance

In practical realization, deviations from the ideal performance of the proposed median filtering circuit are due to non-idealities of the transistors used. The major factors that contribute to the inaccuracy are transistor mismatches in the dual-output current mirrors and errors occurred in the three-input max/min cell. The relationships of the maximum, minimum, and median output currents and three input currents can be approximated by

$$i_{max} = \max(i_1(1 - \varepsilon_{CM11}), i_2(1 - \varepsilon_{CM21}), i_3(1 - \varepsilon_{CM31})) \cdot (1 - \varepsilon_{max})(1 - \varepsilon_{CM52}) \quad (15)$$

$$i_{min} = \min(i_1(1 - \varepsilon_{CM11}), i_2(1 - \varepsilon_{CM21}), i_3(1 - \varepsilon_{CM31})) \cdot (1 - \varepsilon_{min})(1 - \varepsilon_{CM42}) \quad (16)$$

and

$$i_{med} = i_1(1 - \varepsilon_{CM12}) + i_2(1 - \varepsilon_{CM22}) + i_3(1 - \varepsilon_{CM32}) \cdot \left[\frac{\max(i_1(1 - \varepsilon_{CM11}), i_2(1 - \varepsilon_{CM21}), i_3(1 - \varepsilon_{CM31}))}{(1 - \varepsilon_{max})(1 - \varepsilon_{CM51})} - \frac{\min(i_1(1 - \varepsilon_{CM11}), i_2(1 - \varepsilon_{CM21}), i_3(1 - \varepsilon_{CM31}))}{(1 - \varepsilon_{min})(1 - \varepsilon_{CM41})} \right] \quad (17)$$

where ε_{CMk1} and ε_{CMk2} are the errors due to transistor mismatches in the dual-output current mirror CM_k ($k = 1, 2, \dots, 5$) at the first output node and second output node, respectively, ε_{max} denotes the error of the maximum function of the Max/Min cell, and ε_{min} is the error of the minimum function of the Max/Min cell.

III. SIMULATION RESULTS

The performances of the proposed three-input median filtering circuit of Fig. 3 were observed through the use of PSPICE analog simulation program. The BSIM MOS model of the 0.5 μ m CMOS process was utilized for the circuit simulations. From Fig. 3, the ratios of channel width and length (W/L) of the transistors used are summarized in Table I. The supply voltage V_{DD} , the bias currents I_1 and I_2 - I_3 were set to 3.5V, 10 μ A, and 20 μ A, respectively.

Figs. 4(a)-4(c) show the simulated transient-responses of the proposed median filtering circuit for applying the successive triangle input signals delayed by 1 μ s, where

TABLE I. DIMENSION OF TRANSISTORS OF FIG. 3

Transistor	W (μ m)	L (μ m)
M_{15}, M_c	10	1
$M_{j1}, M_{j3}, M_{11}, M_{12}, M_{19}, M_{10}, M_{119}, M_{20}, M_{29}, M_{30}, M_{39}, M_{40}, M_{32}, M_d, M_e$	5	2
$M_{j2}, M_{j4}, M_{15}, M_{3-}M_8, M_{16-}M_{18}, M_{26-}M_{28}, M_{36-}M_{38}, M_f, M_g$	5	1

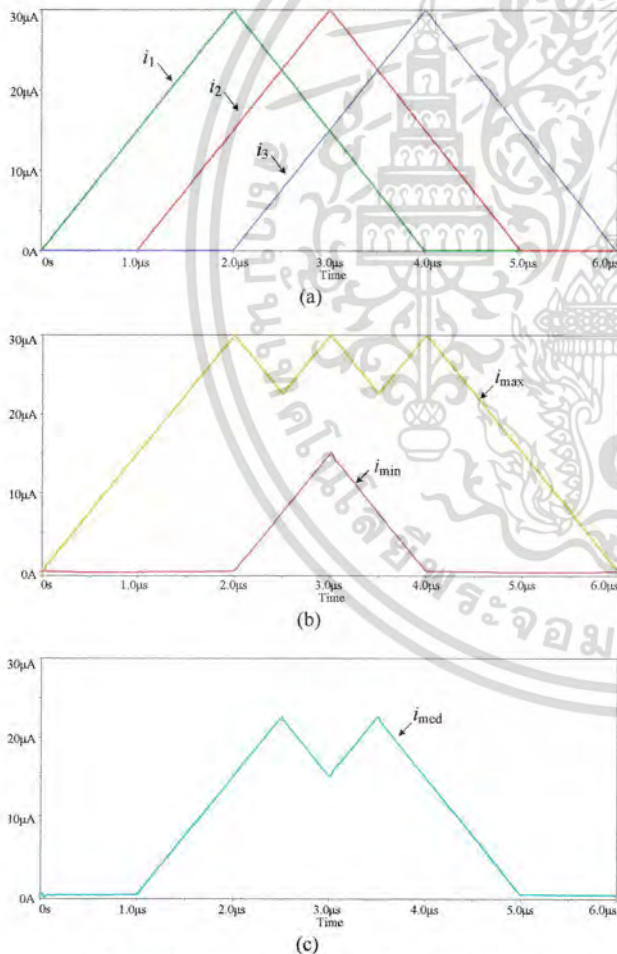


Figure 4. Transient responses of the proposed circuit: (a) input currents, (b) maximum and minimum outputs, (c) median output.

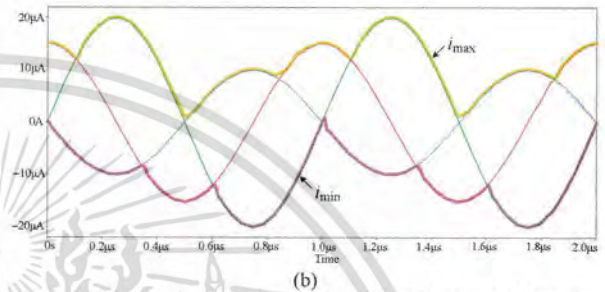
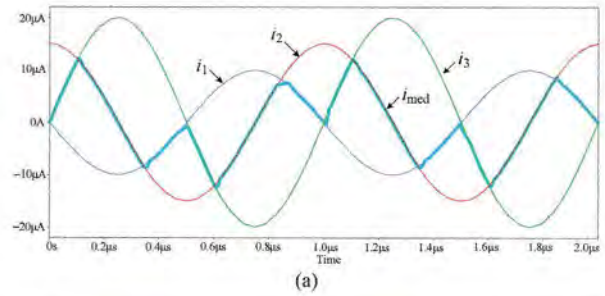


Figure 5. Simulated outputs for applying sinusoidal inputs: (a) median output, (b) maximum and minimum outputs.

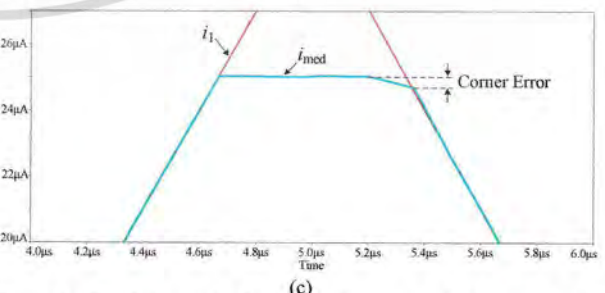
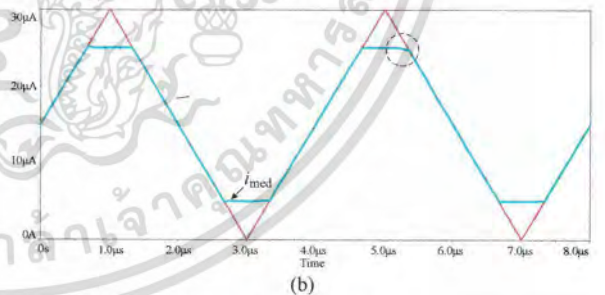
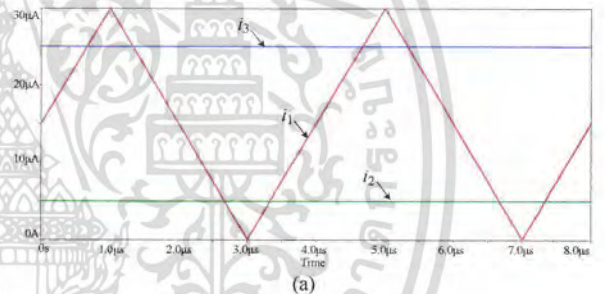


Figure 6. Simulation results for varying the output switching moment: (a) input currents, (b) median output, (c) zoomed area in the dashed circle.

these input currents have the same amplitude of $30\mu\text{A}$ and the same time period of $4\mu\text{s}$. These simulated transient-responses show that the maximum, minimum, and median output currents are almost consistent with ideal cases. The errors of maximum, minimum, and median operations are approximately equal to -0.143% , -0.413% and 0.4% , respectively. Figs. 5(a)-5(b) show the simulated outputs (thick lines) of the proposed circuit for applying the 1MHz sinusoidal inputs with different amplitude and phase shift values (thin lines). The moment of median output switching of the proposed circuit was also verified by applying the triangular signal with $30\mu\text{A}$ peak-to-peak value and two DC input currents of $5\mu\text{A}$ and $25\mu\text{A}$ (see Fig. 6). The limitation of the proposed circuit for distinguishing values of input currents can be determined by the corner error, which is about $0.321\mu\text{A}$ as displayed in Fig. 6(c).

The simulation results confirm that the proposed three-input median filtering circuit provides high-speed operation and small distortions on the output signals. It is evident that the proposed circuit functions correctly and provides good performances.

IV. CONCLUSIONS

The CMOS current-mode circuit configuration for implementing the three-input median filtering circuit has been described. The proposed circuit has the simple structure, so it can be applied to create the nine-input median filtering circuit and sorting network. The PSPICE simulation results have been used to confirm the workability of the proposed circuit. With the proposed configuration, the number of transistors used is reduced in comparison with the existing three-input median filtering circuits based on CMOS current-mode realization.

REFERENCES

- [1] S. Vlassis, K. Doris, S. Siskos, and I. Pitas, "Analog Implementation of Erosion/Dilation, Median and Order Statistics Filters," *Pattern Recognition*, vol. 33, Jun. 2000, pp.1023-1032, doi: 10.1016/S0031-3203(99)00162-4
- [2] M. Kaewrongkool, A. Chaikla, A. Jaruwawat, and V. Riewruja, "An Analog Current-Mode Maximum, Median and Minimum Circuit," *Proc. of the Second International Symposium on Communication and Information Technology (ISCIT 2002)*, Oct. 2002, pp. 439-442.
- [3] C. Y. Huang, W. H. Wei, and B. D. Liu, "Design of A 1.5V Analog Current-Mode Median Filter," *Proc. of the 2004 Intelligent Sensors, Sensor Networks and Information Processing Conference (ISSNIP 2004)*, Dec. 2004, pp. 211-216, doi: 10.1109/ISSNIP.2004.1417464.
- [4] W. Jendernalik, G. Blakiewicz, J. Jakusz, and S. Szczepanski, "A Nine-Input 1.25 mW, 34 ns CMOS Analog Median Filter For Image Processing in Real Time," *Analog Integrated Circuits and Signal Processing*, vol. 76, Aug. 2013, pp. 233-243, doi: 10.1007/s10470-013-0103-1.
- [5] S. Siskos, "Low Voltage Analog Median Filters Implementation," *Proc. of the 2010 IEEE International Conference on Imaging Systems and Techniques*, Jul. 2010, pp.166-170.
- [6] C. Pojanasuwanchai, C. Wangwattana, A. Chaikla, V. Riewruja, and P. Julserewong, "Fuzzy Multiple-Input Maximum Circuit in Current-mode," *Proc. of the SICE Annual Conference in Fukui*, Aug. 2003, pp. 2990-2994.
- [7] C. Yotingravong, T. Kamsri, A. Chaikla, and V. Riewruja, "High-speed Multiple-Input Maximum and Minimum Circuits," *Proc. of the 2005 IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC'05)*, Dec. 2005, pp.453-459.
- [8] S. Keawconthai, C. Wangwattana, A. Chaikla, V. Riewruja, and P. Julserewong, "A CMOS-Base Multiple-Input Max/Min Circuit," *Proc. of the 5th International Conference on Information, Communications and Signal Processing (ICICS 2005)*, Dec. 2005, pp. 54-58.

Performance Comparison of Bit-Level Median Filtering Circuits Based on Binary Search Algorithm

Anan Wongjan, Amphawan Julsereewong*

Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang
Ladkrabang, Bangkok, 10520 Thailand
e-mail: amphawan.ju@kmitl.ac.th*

Kei Eguchi

Department of Information Electronics
Fukuoka Institute of Technology
Higashi-ku, Fukuoka, 811-0295 Japan
e-mail: eguti@fit.ac.jp

Abstract—Implementing bit-level median filtering circuits based on binary search algorithm is one of powerful methods to provide simple and modular configurations. The aim of this paper is to compare the performances of four median filtering circuits utilizing binary search algorithm in terms of operation time and power consumption, which are major characteristics for signal and image processing in real time. These studied filtering circuits are implemented through the employment of existing logic control and majority voting modules. Two different configurations of logic control module as well as two different configurations of majority voting module for four possible circuit realizations are described. LabVIEW simulation results are employed for verifying the performances of the studied median filtering circuits.

Keywords—median filtering circuit; binary search algorithm; logic control; majority voting; signal and image processing

I. INTRODUCTION

Many applications of signal and image processing, especially in the domains of medicine and robotics, require their executions performed within expected time constraints. The processing speed of median filters used to reduce the noise from a signal or image is one of major characteristics to satisfy the requirement of real-time results. A fast method by using comparisons in binary search tree to compute the running median of input samples within the window has been presented [1]. The binary search algorithm can be effectively implemented in hardware [2-6]. Using positive Boolean function to realize the bit-level median filtering circuit based on binary search algorithm has been proposed [2]. For large window sizes of input samples, the CMOS majority gate can be utilized to replace the positive Boolean function for implementing the median filtering circuit with lower hardware complexity [3]. In order to reduce the power consumption of majority selection for one bit stage, the majority gate using CMOS inverters can be replaced by either majority circuit using floating-gate-MOS inverter [4] or majority circuit using clocked neuron CMOS inverter [5]. Alternatively, a mixed-signal majority circuit using two sets of output-wired inverters, two dummy inverters, and differential amplifier has been introduced [6].

This paper focuses on performance comparison among four bit-level median filtering circuits based on binary search algorithm, which have similar basic structure though the use

of logic control (LC) and majority voting (MV) modules. Two different configurations using basic logic gates for realizing LC module [4-5] and two different configurations using standard CMOS technology for realizing MV module [3,6] are utilized to implement the studied circuits. Their operation time and power consumption are verified by LabVIEW simulations.

II. CIRCUIT DESCRIPTION

A. Basic Structure and Operation Principle

Based on binary search algorithm, a basic structure for implementing the median filtering circuit is shown in Fig. 1, which can be realized to operate at different window sizes and different bit-lengths. The number of LC modules and the number of MV modules for hardware realization are $W \times N$ and N , respectively, where W is the window size and N is the bit-length. Thus the bit-level median filtering circuits can be easily implemented. For an input image of $m \times n$ pixels, the k -th ($k = 0, 1, \dots, N-1$) bit of the median output $M_i[k]$ ($i = 1, 2, \dots, m \times n$) can be given by [5]

$$M_i[k] = \begin{cases} 0, & \text{if } \sum_{j=1}^W \frac{P_j[k]}{W} \leq 0.5 \\ 1, & \text{if } \sum_{j=1}^W \frac{P_j[k]}{W} > 0.5 \end{cases} \quad (1)$$

where $P_j[k]$ is the value ($= \{0, 1\}$) of the k -th bit of the j -th ($j = 1, 2, \dots, W$) pixel within the window. If the value of majority group is '0', then the value of $M_i[k]$ will be '0'. Otherwise, the value of $M_i[k]$ will be '1'. Based on successive operation in accordance with the value of $M_i[k]$, the value of the i -th pixel $P_i[k]$ is changed as [5]

$$P_i[k-1] = \dots = P_i[0] = \begin{cases} 0, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 0 \\ 1, & \text{if } P_i[k] \neq M_i[k] \text{ and } P_i[k] = 1 \end{cases} \quad (2)$$

Thus the median value of P_i can be obtained by iterating the operations of (1) and (2).

From above explanation, an example for computing the median value P_1 ($i = 1$) is illustrated in Table I by setting $W = 9$ and $N = 4$. The algorithm determines the $M_i[k]$ from

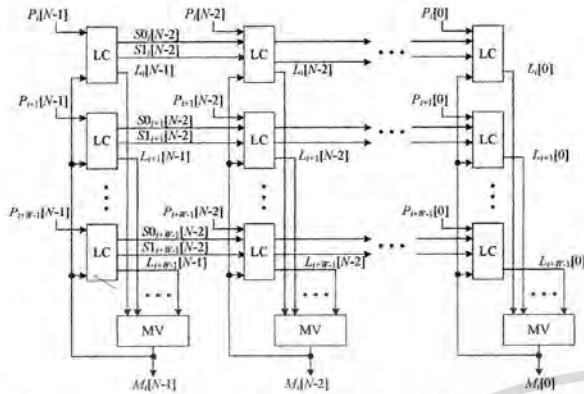


Figure 1. Basic structure for implementing the median filtering circuit based on binary search algorithm.

TABLE I. EXAMPLE OF MEDIAN COMPUTATION BASED ON BINARY SEARCH ALGORITHM

(W=9)	k = 3 (MSB)	k = 2	k = 1	k = 0 (LSB)
$P_1 = \{0, \underline{1}, \underline{1}, \underline{1}\}$ = 7 ₍₁₀₎	$\{0, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{1}\}$ Major
$P_2 = \{0, \underline{0}, \underline{1}, \underline{1}\}$ = 3 ₍₁₀₎	$\{0, \underline{0}, \underline{1}, \underline{1}\}$ Major	$\{0, \underline{0}, \underline{1}, \underline{1}\}$ Minor	$\{0, \underline{0}, \underline{0}, \underline{0}\}$ Minor	$\{0, \underline{0}, \underline{0}, \underline{0}\}$ Minor
$P_3 = \{0, \underline{1}, \underline{0}, \underline{1}\}$ = 5 ₍₁₀₎	$\{0, \underline{1}, \underline{0}, \underline{1}\}$ Major	$\{0, \underline{1}, \underline{0}, \underline{1}\}$ Major	$\{0, \underline{1}, \underline{0}, \underline{1}\}$ Minor	$\{0, \underline{1}, \underline{0}, \underline{0}\}$ Minor
$P_4 = \{1, \underline{0}, \underline{0}, \underline{0}\}$ = 8 ₍₁₀₎	$\{1, \underline{0}, \underline{0}, \underline{0}\}$ Minor	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major
$P_5 = \{1, \underline{1}, \underline{0}, \underline{1}\}$ = 13 ₍₁₀₎	$\{1, \underline{1}, \underline{0}, \underline{1}\}$ Minor	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major
$P_6 = \{1, \underline{0}, \underline{1}, \underline{1}\}$ = 11 ₍₁₀₎	$\{1, \underline{0}, \underline{1}, \underline{1}\}$ Minor	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major
$P_7 = \{0, \underline{1}, \underline{1}, \underline{0}\}$ = 6 ₍₁₀₎	$\{0, \underline{1}, \underline{1}, \underline{0}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{0}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{0}\}$ Major	$\{0, \underline{1}, \underline{1}, \underline{0}\}$ Minor
$P_8 = \{0, \underline{0}, \underline{1}, \underline{0}\}$ = 2 ₍₁₀₎	$\{0, \underline{0}, \underline{1}, \underline{0}\}$ Major	$\{0, \underline{0}, \underline{1}, \underline{0}\}$ Minor	$\{0, \underline{0}, \underline{0}, \underline{0}\}$ Minor	$\{0, \underline{0}, \underline{0}, \underline{0}\}$ Minor
$P_9 = \{1, \underline{1}, \underline{1}, \underline{0}\}$ = 14 ₍₁₀₎	$\{1, \underline{1}, \underline{1}, \underline{0}\}$ Minor	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major	$\{1, \underline{1}, \underline{1}, \underline{1}\}$ Major
$M_i[k]$	0	1	1	1

the kth bits (the underlined bits) of all elements (j = 1, 2, ... 9) in the window by using the majority selection. It starts from the most significant bit (MSB), k = 3, to check the 3th bits of all elements in the window whether that '0' or '1' is the majority. It is seen that the majority group is P₁[3], P₂[3], P₃[3], P₇[3], and P₈[3], thus the majority is '0', and the M₁[3] = 0 is achieved. The remaining bits of P₄, P₅, P₆, and P₉ are converted to the minority of '1'. Next, for the case of k = 2, the M₁[2] = 1 can be determined from the majority of '1'. The remaining bits of P₂ and P₈ are then changed to '0'. Similarly, the M₁[1] = 1 and M₁[0] = 1 are computed. Therefore, the median value P₁ = {0, 1, 1, 1} = 7₍₁₀₎ can be obtained.

B. Interesting Configurations for LC Module

The LC module is the circuit building block with four inputs (P_i[k], S0_i[k], S1_i[k], and M_i[k]) and three outputs (S0_i[k-1], S1_i[k-1], and L_i[k]) to perform bit comparisons as defined in (2). There are two possible configurations to realize the LC module as depicted in Fig. 2 [4-5].

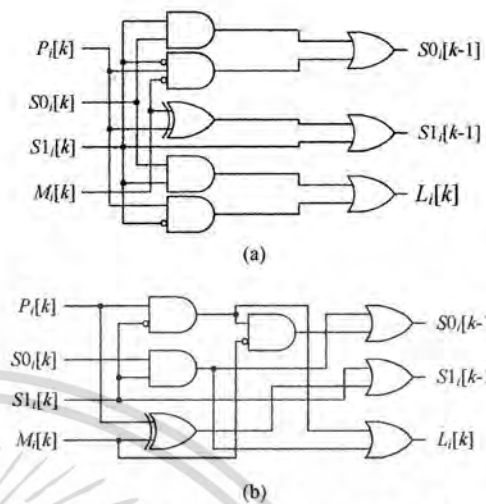


Figure 2. Two possible configurations of LC module (a) proposed in [4], (b) proposed in [5].

From both Figs. 2(a) and 2(b), the output signals can be written as

$$L_i[k] = S0_i[k] \cdot S1_i[k] + P_i[k] \cdot \overline{S1_i[k]} \quad (3)$$

$$S0_i[k-1] = S0_i[k] \cdot S1_i[k] + \overline{S1_i[k]} \cdot P_i[k] \cdot \overline{M_i[k]} \quad (4)$$

$$S1_i[k-1] = M_i[k] \oplus P_i[k] + S1_i[k] \quad (5)$$

where L_i[k] is the k-th bit of the comparison output for applying to the k-th MV module, M_i[k] is the k-th bit of the median output, and S0_i[k-1] and S1_i[k-1] are the outputs of the k-th LC module for applying to the (k-1)th LC module.

C. Interesting Configurations for MV Module

For majority selection among the outputs of k-th LC modules (L_i[k], L_{i+1}[k], ..., L_{i+W-1}[k]), there are two interesting configurations using standard CMOS technology to realize the MV module as shown in Figs. 3 and 4 [3,6]. From Fig. 3 [3], the majority circuit consists of W output-wired CMOS inverters and one inverting buffer. This configuration is simple and compact for determining the majority of input signals. To minimize power dissipation, the improved majority circuit can be realized as shown in Fig. 4 [6]. It consists of two sets of output-connected inverters, a pair of dummy inverters, and one differential amplifier.

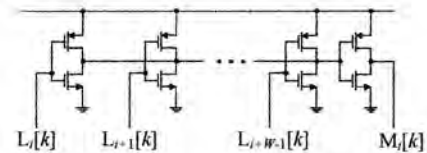


Figure 3. One possible configuration of MV module [3].

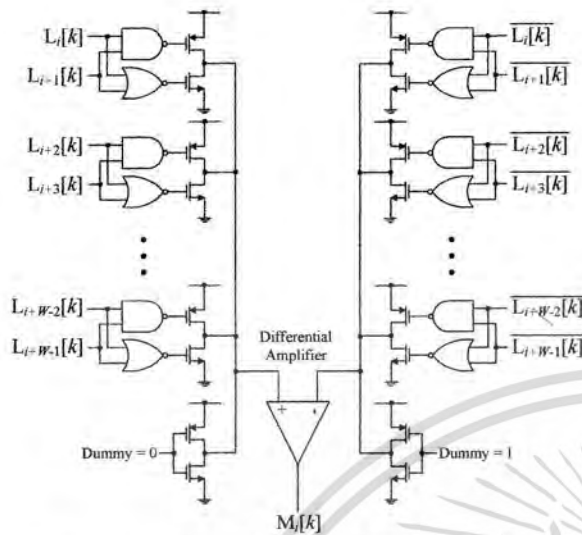


Figure 4. Alternative configuration of MV module [6].

III. SIMULATION RESULTS AND DISCUSSIONS

Based on the structure of Fig. 1, four median filtering circuits can be realized by using the configurations of LC and MV modules in Figs. 2-4 as given in Table II. The performances of the LC and MV modules and the realized filtering circuits have been evaluated through the LabVIEW simulations by employing the devices as summarized in Table III. Table IV shows the simulated values of the operation time and power consumption of the LC modules in Figs. 2(a) and 2(b). Table V shows the simulated values of operation time and the power consumption of MV modules in Figs. 3 and 4 for varying the window size from 1 to 9.

TABLE II. FOUR POSSIBLE IMPLEMENTATIONS FOR THE BASIC STRUCTURE OF FIG. 1

Case of Implementation	LC Module	MV Module
1	Fig. 2(a)	Fig. 3
2	Fig. 2(a)	Fig. 4
3	Fig. 2(b)	Fig. 3
4	Fig. 2(b)	Fig. 4

TABLE III. DEVICES USED IN SIMULATIONS

Device	Model	Manufacturer
PMOS	BSH201	Philips Semiconductors
NMOS	BSH121	Philips Semiconductors
Opamp	AD620	Analog Devices
NOR Gate	SN54LS02	Motorola
AND Gate	SN5408	Motorola
Exclusive OR Gate	SN5486	Motorola
OR gate	DM74LS32	Fairchild Semiconductor
NAND gate	DM74LS00	Fairchild Semiconductor

TABLE IV. SIMULATED VALUES OF OPERATION TIME AND POWER CONSUMPTION OF THE LC MODULES OF FIG. 2

LC Module of Fig. 2(a)		LC Module of Fig. 2(b)	
Operation Time	Power Consumption	Operation Time	Power Consumption
0.032 ms	10.816 mW	0.020 ms	10.000 mW

TABLE V. SIMULATED VALUES OF OPERATION TIME AND POWER CONSUMPTION OF THE MV MODULES OF FIG. 3 AND FIG. 4

W	MV Module of Fig. 3		MV Module of Fig. 4	
	Operation Time	Power Consumption	Operation Time	Power Consumption
1	0.342 ms	4.105 mW	0.266 ms	5.0810000 mW
2	0.452 ms	8.210 mW	0.353 ms	5.0810000 mW
3	0.532 ms	12.315 mW	0.438 ms	5.0813139 mW
4	0.698 ms	16.419 mW	0.526 ms	5.0816278 mW
5	0.864 ms	20.524 mW	0.646 ms	5.0819416 mW
6	1.022 ms	24.629 mW	0.772 ms	5.0812256 mW
7	1.154 ms	28.734 mW	0.856 ms	5.0812569 mW
8	1.250 ms	32.839 mW	1.048 ms	5.0812883 mW
9	1.354 ms	36.944 mW	1.222 ms	5.0813197 mW

TABLE VI. SIMULATION RESULTS OF OPERATION TIME FOR N = 4

W	Case 1	Case 2	Case 3	Case 4
1	3.199 ms	2.392 ms	2.647 ms	2.232 ms
2	4.363 ms	3.472 ms	3.594 ms	3.167 ms
3	5.485 ms	4.100 ms	4.538 ms	4.000 ms
4	7.700 ms	5.875 ms	6.183 ms	5.454 ms
5	8.943 ms	6.455 ms	6.895 ms	6.001 ms
6	12.882 ms	7.913 ms	8.441 ms	7.262 ms
7	13.647 ms	8.682 ms	9.629 ms	8.000 ms
8	16.483 ms	11.199 ms	12.236 ms	9.758 ms
9	18.222 ms	12.876 ms	14.322 ms	11.560 ms

TABLE VII. SIMULATION RESULTS OF OPERATION TIME FOR N = 8

W	Case 1	Case 2	Case 3	Case 4
1	7.674 ms	5.638 ms	6.674 ms	5.452 ms
2	10.744 ms	7.648 ms	8.344 ms	7.127 ms
3	14.357 ms	9.902 ms	11.546 ms	8.952 ms
4	18.499 ms	13.406 ms	15.499 ms	11.101 ms
5	22.461 ms	16.764 ms	19.951 ms	13.756 ms
6	28.914 ms	19.567 ms	23.914 ms	16.127 ms
7	33.867 ms	22.949 ms	27.892 ms	17.555 ms
8	37.476 ms	25.551 ms	32.476 ms	21.416 ms
9	43.988 ms	28.153 ms	36.188 ms	24.480 ms

TABLE VIII. RESULTS OF POWER CONSUMPTION FOR N = 4

W	Case 1	Case 2	Case 3	Case 4
1	59.7 mW	63.6 mW	56.4 mW	60.3 mW
2	119.4 mW	106.9 mW	112.8 mW	100.3 mW
3	179.1 mW	150.1 mW	169.3 mW	140.3 mW
4	238.7 mW	193.4 mW	225.7 mW	180.3 mW
5	298.4 mW	236.6 mW	282.1 mW	220.3 mW
6	358.1 mW	279.9 mW	338.5 mW	260.3 mW
7	417.8 mW	323.2 mW	394.9 mW	300.3 mW
8	477.5 mW	366.4 mW	451.4 mW	340.3 mW
9	537.2 mW	409.7 mW	507.8 mW	380.3 mW

TABLE IX. RESULTS OF POWER CONSUMPTION FOR $N=8$

W	Case 1	Case 2	Case 3	Case 4
1	119.4 mW	127.2 mW	112.8 mW	120.6 mW
2	238.7 mW	213.7 mW	225.7 mW	200.6 mW
3	358.1 mW	300.2 mW	338.5 mW	280.6 mW
4	477.5 mW	386.8 mW	451.4 mW	360.6 mW
5	596.8 mW	473.3 mW	564.2 mW	440.6 mW
6	716.2 mW	559.8 mW	677.0 mW	520.6 mW
7	835.6 mW	646.3 mW	789.9 mW	600.6 mW
8	954.9 mW	732.9 mW	902.7 mW	680.6 mW
9	1074.3 mW	819.4 mW	1015.6 mW	760.6 mW

TABLE X. COMARISON RESULTS

Operation Time		Power Consumption	
Maximum	Minimum	Maximum	Minimum
Case 1	Case 4	Case 1	Case 4

It can be seen from Table IV that the LC module of Fig. 2(a) takes longer operation time and consumes higher power than the LC module of Fig. 2(b). From Table V, it is also seen that the MV module of Fig. 3 spends longer operation time and dissipates higher power than the MV module of Fig. 4. In addition, the operation time periods of both MV modules increase with the window size. The power consumption values of the MV module of Fig. 3 increase largely with the window size, while the power consumption values of the MV module of Fig. 4 increase slightly with the window size.

Tables VI and VII summarize the simulation results of the operation time of four studied median filtering circuits by varying the window size from 1 to 9, when setting the bit-length to be 4 and 8, respectively.

The power consumption (P_{filter}) of the interested median filtering circuit based on binary search algorithm can be approximated as

$$P_{filter} = (P_{LC} \times W \times N) + (P_{MV} \times N) \quad (6)$$

where P_{LC} and P_{MV} are the power consumption values of the LC and MV modules, respectively. Substituting the values of power consumption from Tables IV and V into (6), the calculated power consumption values of four studied median filtering circuits for the bit-length $N=4$ and $N=8$ are given in Tables VIII and IX, respectively.

From the simulation results shown in Tables VI, VII, VIII, and IX, it is seen that the operation time periods and the

power consumption values of all four median filtering circuits are proportional to the number of window size. It is agreed with the concept of bit-level processing. From the comparison results given in Table X, it is shown that the median filtering circuit implemented in Case 1 operates in the longest time period and creates the maximum power consumption, whereas the median filtering circuit implemented in Case 4 operates in the shortest time period and creates the minimum power consumption.

IV. CONCLUSIONS

In order to be useful for selecting the hardware implementation that is appropriate for applications, the performance comparison of the median filtering circuits based on binary search algorithm has been proposed. The circuit characteristics in terms of operation time and power consumption have been focused. To confirm the effectiveness of the studied implementation methods, the LabVIEW simulation results have been included.

REFERENCES

- [1] E. Atama, V. K. Aatre, and K. M. Wong, "A Fast Method for Real-Time Median Filtering," *IEEE Transactions on Acoustics, Speech, and Signal Processing*, vol. ASSP-28, Aug. 1980, pp. 415-421, doi:10.1109/TASSP.1980.1163426.
- [2] K. Chen, "Bit-Serial Realizations of a Class of Nonlinear Filters Based on Positive Boolean Functions," *IEEE Transactions on Circuits and Systems*, vol. 36, Jun. 1989, pp. 785-794, doi:10.1109/31.90399.
- [3] C. L. Lee and C.-W. Jen, "Bit-Sliced Median Filter Design Based on Majority Gate," *IEE Proceedings G - Circuits, Devices and Systems*, vol. 139, Feb. 1992, pp. 63-71, doi:10.1049/ip-g-2.1992.0012.
- [4] H. Yamasaki and T. Shibata, "A High-Speed Median Filter VLSI Using Floating-Gate-MOS-Based Low-Power Majority Voting Circuits," *Proc. of the European Solid-State Circuits Conference (ESSCIRC 2005)*, Sep. 2005, pp. 125-128, doi: 10.1109/ESSCIR.2005.1541575.
- [5] K. Eguchi, A. Wongjan, A. Julserewong, Y. Harada, and K. Fujimoto, "A Median Filtering Circuit Using Clocked CMOS Neuron Inverters for Implantable Electronic Medical Devices," *International Journal of Innovative Computing, Information and Control*, vol. 13, Aug. 2017, pp. 1135-1174, doi:10.24507/ijic.13.04.1135.
- [6] H. Yamasaki and T. Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture," *IEEE Journal of Solid-State Circuits*, vol. 42, Sep. 2007, pp. 2046-2053, doi:10.1109/JSSC.2007.903099.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายอนันต์ วงษ์จันทร์
วัน-เดือน-ปีเกิด	วันที่ 16 พฤษภาคม 2524
ที่อยู่	501/17 หมู่ 5 ถ.สันทรายสายเก่า ต.สันทรายน้อย อ.สันทราย จ.เชียงใหม่ 50210
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรีหลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบเครื่องมือวัด จากคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2548 ปริญญาโทหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมการวัดคุม จากคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2552 และในปีการศึกษา 2555 ได้เข้าศึกษาต่อระดับปริญญาเอก หลักสูตรวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประวัติการทำงาน	ตำแหน่งวิศวกร หน่วยงานอุปกรณ์ทางการแพทย์ คณะแพทยศาสตร์ โรงพยาบาลศิริราช ปี พ.ศ. 2549 ถึง 2551 ตำแหน่งวิศวกรอาวุโส บริษัท NXP Semiconductor Co, Ltd (Philip) ปี พ.ศ. 2552 และตำแหน่งอาจารย์ สาขาวิศวกรรมอิเล็กทรอนิกส์และระบบควบคุม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลล้านนาเชียงใหม่ ปี พ.ศ. 2553 ถึงปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้