

การออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับ

QUATERNARY CMOS SCHMITT TRIGGER CIRCUITS DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-010-059

การออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับ

QUATERNARY CMOS SCHMITT TRIGGER CIRCUITS DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-010-059

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# QUATERNARY CMOS SCHMITT TRIGGER CIRCUITS DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2018

KMITL-2018-EN-M-010-059

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2018**

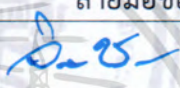




**FACULTY OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์


หัวข้อวิทยานิพนธ์ การออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับ  
Thesis Title Quaternary CMOS Schmitt Trigger Circuits Design  
นักศึกษา นายกฤติน พรชูดตรง  
รหัสประจำตัว 58601137  
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา วิศวกรรมโทรคมนาคม  
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.สิริภพ ตู่ประกาย  
หมายเลขวิทยานิพนธ์ KMITL-2018-EN-M-010-059

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญวุฒิชัยธรรม	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.สมเกียรติ	ฤกษ์วีรบุญ	
รศ.ดร.มนตรี	คำเงิน	
ผศ.ดร.สิริภพ	ตู่ประกาย	

วัน / เดือน / ปี ที่สอบ วันอังคารที่ 17 กรกฎาคม พ.ศ. 2561 เวลา 13.00-15.00 น.  
สถานที่สอบ ณ ห้อง HM-301 อาคารเฉลิมพระเกียรติ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 17 กรกฎาคม พ.ศ. 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับ
นักศึกษา	นายกฤติน พรชุตราง
รหัสประจำตัว	58601137
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร.สิรภพ ตูประกาย

### บทคัดย่อ

การพัฒนาเทคโนโลยีทางด้านวงจรดิจิทัลมีการพัฒนาไปอย่างรวดเร็วและมีความต้องการทางด้านประสิทธิภาพการทำงานที่สูงขึ้น จึงทำให้ต้องมีพัฒนาทางด้านเทคโนโลยีที่เกี่ยวข้องกับการออกแบบด้วย ซึ่งในปัจจุบันมีความต้องการวงจรที่มีความเร็วในการทำงานที่สูงขึ้น แต่เกิดข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลของข้อมูลในปริมาณมากได้ จึงได้มีการพัฒนาการเพิ่มระดับสัญญาณในวงจร หรือการแบ่งระดับของสัญญาณในวงจร โดยออกแบบ วงจรสามระดับ (Ternary) และ วงจรสี่ระดับ (Quaternary) เพื่อแก้ปัญหาที่เกิดจากข้อจำกัดของระบบเลขฐานสองดังกล่าว วิทยานิพนธ์ฉบับนี้จึงนำเสนอการออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับโดยใช้เทคนิคการเปรียบเทียบระดับแรงดันเทรสโพลต์ของวงจรพาสทรานซิสเตอร์ ทำงานร่วมกับวงจรมัลติเพล็กซ์แบบ 4:1 เพื่อสร้างสัญญาณซิมิทริกเกอร์แบบสี่ระดับขึ้น จากการศึกษาและจำลองการทำงานของวงจรด้วยโปรแกรม HSPICE พบว่าสัญญาณเอาต์พุตที่ได้แบ่งออกเป็นสี่ระดับ ช่วงที่ระดับแรงดันสัญญาณเปลี่ยนแปลงจะมีทั้งหมด 6 ช่วง ขึ้นอยู่กับระดับแรงดันของสัญญาณอินพุตโดยมีระดับแรงดันเทรสโพลต์เป็นตัวควบคุมการเปลี่ยนแปลงระดับแรงดันของสัญญาณเอาต์พุต เมื่อทำการเปรียบเทียบระดับแรงดันของสัญญาณอินพุตและเอาต์พุตจะแสดงให้เห็นถึงลูปีสทีริซิส 3 ลูปี ในการท างานของวงจรซิมิทริกเกอร์ที่นำเสนอ

Thesis	QUATERNARY CMOS SCHMITT TRIGGER CIRCUITS DESIGN
Student	Mr.Kittin Pornchutong
Student ID.	58601137
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2018
Thesis Advisor	Asst. Prof. Dr. Sirapop Tooprakai

## ABSTRACT

The development of digital circuit technology is rapidly evolving and require for higher performance. Therefore, the development of technology related to the design is necessary. At present, there is a requirement for high-performance systems in binary systems that cannot do the processing for large amounts of data. Thus, Ternary circuits and Quaternary circuits have been developed to solve the problem of binary system limitation. This thesis proposes a quaternary CMOS Schmitt trigger circuits design by compare the threshold voltage level using a pass-transistor circuits that work with 4:1 multiplexer circuits to generate Schmitt trigger signal. The results show that the output signal is divided into four levels. The range of signal voltages varies with a total of six ranges level controlled by the threshold voltage, depending on the input signal. When comparing the voltage level of the input and output signals, it shows the 3 hysteresis loops in the proposed circuits.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีด้วยคำแนะนำที่ดีจาก ผศ.ดร. สิริภพ ตู้อประกาย ที่ให้ความช่วยเหลือ ให้คำชี้แนะชี้แจงแก้ปัญหาตลอดจนให้ความรู้และประการณ์ที่ดีแก่ข้าพเจ้า

ขอขอบคุณบิดา มารดา รวมไปถึงเพื่อน พี่ น้อง ทุกคน ที่ให้การสนับสนุน เป็นกำลังใจและเป็นแรงผลักดันที่ดีให้ข้าพเจ้ามาโดยตลอด

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่านทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

กฤตินี พรชุตราง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	V
สารบัญรูป.....	VI
บทที่ 1 บทน ว.....	1
1.1 ความเป็นมาและความส ัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมุติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	4
1.6 ขั้นตอนของการศึกษา.....	4
บทที่ 2 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....	5
2.1 นิยามและค วาจ าคความ.....	5
2.2 พีชคณิตของโพสต์และวงจร m ค่า.....	6
2.3 วงจร m-valued.....	6
2.4 เทรตโฮลด์ฟังก์ชัน.....	8
2.5 การแทนค่าของสัญญาณในวงจรมหลายระดับสัญญาณ.....	9
2.6 การควอนไทซ์ค่า.....	10
2.7 โหมดในการท างานของวงจร.....	10
บทที่ 3 วงจรสามระดับ.....	12
2.1 นิยามและค วาจ าคความ.....	12
บทที่ 4 วงจรซิมิทริกเกอร์ซิมอสแบบสี่ระดับที่น าสเลข.....	17
บทที่ 5 สรุปผลการวิจัย.....	24
บรรณานุกรม.....	25
ภาคผนวก.....	26
ผลงานที่ได้รับการตีพิมพ์.....	30
ประวัติผู้เขียน.....	36

## สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	5
3.1 ตารางค่าความจริงของฟังก์ชันสี่ระดับ.....	12
4.1 ตารางค่าความจริงของสัญญาณเอาต์พุตจากวงจรเปรียบเทียบแรงดันเทอร์สโพลด์.....	21
4.2 ตารางค่าความจริงของสัญญาณเอาต์พุตของซิมิทริกเกอร์สี่ระดับ.....	22



## สารบัญรูป

รูปที่	หน้า
1.1 วงจรขมิทริกเกอร์พื้นฐาน.....	2
1.2 ฮีสเตอร์รีซิสของวงจรขมิทริกเกอร์ชนิดกลับเฟส.....	3
1.3 สัญลักษณ์วงจรขมิทริกเกอร์แบบกลับเฟส.....	3
1.4 คุณสมบัติการถ่ายโอนแรงดันของวงจรขมิทริกเกอร์แบบสี่ระดับ.....	4
2.1 วงจรอินเวอร์เตอร์พื้นฐาน.....	7
2.2 บล็อกไดอะแกรมของวงจร $m$ ค่า.....	7
2.3 คุณลักษณะการส่งผ่านของวงจรอินเวอร์เตอร์แบบ 4 ค่า.....	8
2.4 บล็อกไดอะแกรมของเทรสเตอร์ฟังกชัน.....	9
2.5 คุณลักษณะทางไฟตรงของวงจรอนาล็อกอินเวอร์เตอร์แบบ 4 ค่า.....	9
2.6 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS.....	11
3.1 วงจร pass-transistor สำหรับการดาเนินการ $C^*x'$ และ $C^*x$ .....	14
4.1 วงจรขมิทริกเกอร์ซิมอสแบบสี่ระดับ.....	17
4.2 ส่วนแรกของวงจรขมิทริกเกอร์ซิมอสแบบสี่ระดับ.....	18
4.3 สัญญาณที่ได้จากวงจรส่วนแรก เปรียบเทียบกับสัญญาณอินพุตที่ความถี่ 6.7 MHz	21
4.4 วงจรมัลติเพล็กซ์เซอร์แบบ 4:1.....	21
4.5 สัญญาณที่ได้จากวงจรส่วนที่สองของวงจรขมิทริกเกอร์แบบสี่ระดับเมื่อท การ ป้อนอินพุตรูปสามเหลี่ยม เปรียบเทียบกับเอาต์พุตจากวงจรส่วนแรกและสัญญาณ อินพุตที่ความถี่ 6.7 MHz.....	23
4.6 สัญญาณเอาต์พุตของวงจรขมิทริกเกอร์แบบสี่ระดับเมื่อท การเปรียบเทียบกับ สัญญาณอินพุต.....	23

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

การพัฒนาเทคโนโลยีทางด้านวงจรรวม มีการพัฒนาไปอย่างรวดเร็ว และมีความต้องการทางด้านประสิทธิภาพการทำงานที่สูงขึ้น จึงทำให้ต้องมีพัฒนาทางด้านเทคโนโลยีที่เกี่ยวข้องกับการออกแบบด้วย ซึ่งในการออกแบบวงจรรวมทางดิจิทัลนิยมทำเป็นแบบ วงจรรวม (IC ; Integrated Circuit) โดยใช้เทคโนโลยี VLSI (Very Large Scale Integration) ในการออกแบบวงจรรวม ส่งผลให้วงจรรวมที่ได้มีขนาดเล็กลงอย่างมาก และการออกแบบวงจรรวมที่ใช้เทคโนโลยีซีมอส เป็นที่นิยมอย่างมาก เนื่องจากทำให้วงจรที่ออกแบบมีการสูญเสียของกำลังงานที่ต่ำ ขนาดของวงจรรวมที่เล็ก และมีความสะดวกในการออกแบบ

ในปัจจุบันมีความต้องการวงจรรวมที่มีความเร็วในการทำงานสูงขึ้น แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลของข้อมูลในปริมาณมากได้ จึงได้มีการพัฒนาการเพิ่มระดับสัญญาณในวงจร หรือการแบ่งระดับของสัญญาณในวงจรขึ้น เช่น วงจรสามระดับ (Ternary) และ วงจรสี่ระดับ (Quaternary) เป็นต้น

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วงจรมิททริกเกอร์ [1] เป็นวงจรรวมพื้นฐานที่สำคัญและถูกนำมาใช้อย่างแพร่หลาย ในงานด้านระบบดิจิทัล แต่ด้วยข้อจำกัดของวงจรมิททริกเกอร์แบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง “0” หรือ “1” ในแต่ละบิตในช่วงเวลาหนึ่งๆ จึงมีการพัฒนางจรมิททริกเกอร์ในรูปแบบต่างๆ เช่น วงจรมิททริกเกอร์แบบสามระดับ [2] ที่มีการใช้ตัวต้านทานมาช่วยในการปรับระดับของสัญญาณ และวงจรมิททริกเกอร์ซีมอสแบบสามระดับในโหมดกระแส [3 - 4] เป็นต้น ทำให้ความหนาแน่นปริมาณข้อมูลภายในวงจร และความสามารถในการส่งข้อมูลสูงกว่าวงจรมิททริกเกอร์แบบไบนารีทั่วไป ถึงแม้การออกแบบวงจรมิตต์ทริกเกอร์แบบสามระดับจะมีการพัฒนาออกแบบมาเป็นอย่างดี แต่ก็มีข้อออกแบบในรูปของวงจร Sequential [5] ซึ่งทำให้วงจรมิตต์ทริกเกอร์ขนาดใหญ่ หรือทำงานในโหมดกระแส

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรมิททริกเกอร์ซีมอสแบบสี่ระดับในโหมดแรงดันบนพื้นฐานของทฤษฎีลอจิกหลายระดับสัญญาณ [6] (Multiple Valued Logic : MVL) ซึ่งมีคุณสมบัติการถ่ายโอนแรงดันเป็นลักษณะเฉพาะตัว

### 1.3 สมมุติฐานของการศึกษา

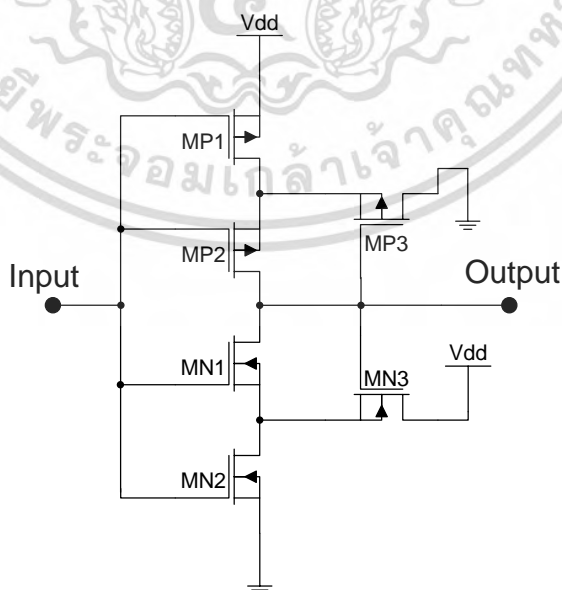
วงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับในโหมดแรงดัน ออกแบบโดยนำวงจรซิมิทริกเกอร์พื้นฐานร่วมกับวงจรพาสทรานซิสเตอร์เพื่อสร้างวงจรเปรียบเทียบระดับแรงดันเทอร์สโสลด์ เพื่อให้ได้สัญญาณสี่ระดับ และวงจรมัลติเพล็กซ์เซอร์แบบ 4:1 เพื่อสร้างสัญญาณซิมิทริกเกอร์ ซึ่งการนำวงจรพาสทรานซิสเตอร์มาใช้ทำให้ง่ายต่อการเข้าใจและออกแบบ

วงจรที่นำเสนอใช้ทรานซิสเตอร์ทั้งหมด 34 ตัวในการออกแบบ ซึ่งน้อยกว่าวงจรซิมิทริกเกอร์แบบสามระดับที่ใช้วงจรเปรียบเทียบระดับแรงดันเทอร์สโสลด์แบบ DCVS ทางานร่วมกับวงจรอินเวอร์เตอร์ ใช้ทรานซิสเตอร์ทั้งหมด 44 ตัว

### 1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

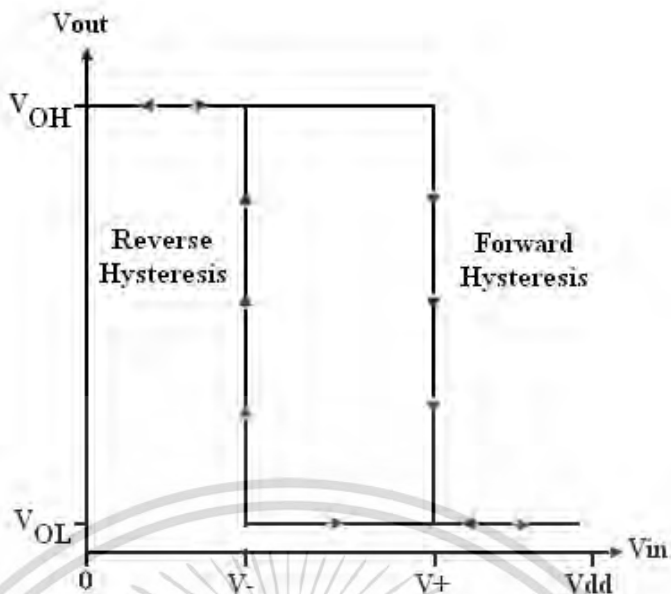
วงจรซิมิทริกเกอร์เป็นวงจรไบสแตเบิลชนิดหนึ่งที่ใช้ทั้งทางวงจรรีเลย์และวงจรดิจิทัลในการจัดรูปสัญญาณเพื่อแก้ปัญหาคารลอคทอนของสัญญาณและป้องกันสัญญาณรบกวน หลักการทำงานของคล้ายกับวงจรเปรียบเทียบสัญญาณ (Comparator Circuit) แต่มีคุณสมบัติพิเศษ คือมีค่าแรงดันวิกฤติอยู่สองค่า คือ แรงดันทริกเกอร์ระดับสูง (Upper trigger potential : UTP) และแรงดันทริกเกอร์ระดับต่ำ (Lower trigger potential : LTP) ขึ้นอยู่กับสถานะของแรงดันอินพุต

วงจรซิมิทริกเกอร์พื้นฐานจะประกอบด้วยทรานซิสเตอร์ 2 ชนิด แสดงดังรูปที่ 1.1 วงจรทำงานโดยอาศัยการเปลี่ยนสถานะการทำงานของทรานซิสเตอร์ทำให้เกิดการหน่วงเวลาในขณะที่เปลี่ยนสถานะการทำงานของวงจร เรียกคุณสมบัติพิเศษนี้ว่า ฮิสเทอรีซิส (Hysteresis) แสดงดังรูปที่ 1.2 และสามารถเขียนสัญลักษณ์ของวงจรซิมิทริกเกอร์ได้ดังรูปที่ 1.3

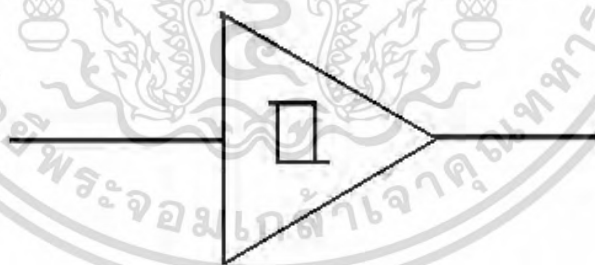


รูปที่ 1.1 วงจรซิมิทริกเกอร์พื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



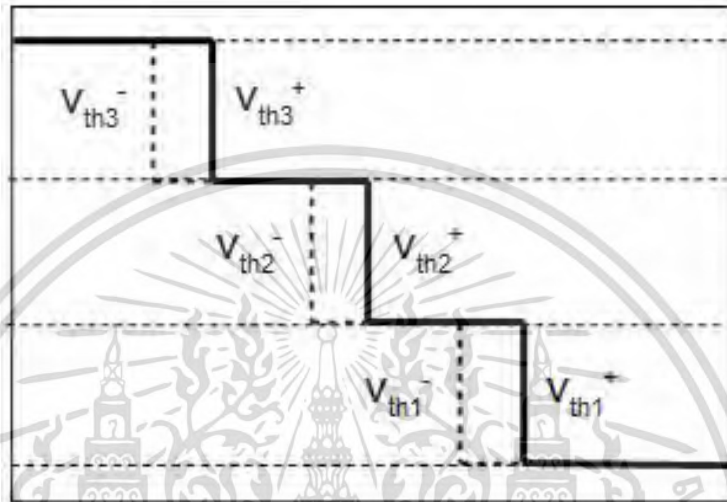
รูปที่ 1.2 ฮิสเตอร์รีซิสของวงจรมีทริกเกอร์ชนิดกลับเฟส



รูปที่ 1.3 สัญลักษณ์วงจรมีทริกเกอร์แบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับที่ใช้วงจรพาสทรานซิสเตอร์ในการเปรียบเทียบระดับแรงดันของสัญญาณอินพุตกับแรงดันเทรสโธลด์ เพื่อทำการแบ่งสัญญาณออกเป็นสี่ระดับ จากนั้นจึงนำสัญญาณที่ได้ส่งผ่านวงจรมัลติเพล็กซ์แบบ 4:1 เพื่อสร้างเป็นสัญญาณซิมิทริกเกอร์สี่ระดับ เมื่อทำการเปรียบเทียบแรงดันอินพุตกับเอาต์พุตจะได้คุณสมบัติการถ่ายโอนแรงดันของวงจรซิมิทริกเกอร์แบบสี่ระดับแสดงดังรูปที่ 1.4



รูปที่ 1.4 คุณสมบัติการถ่ายโอนแรงดันของวงจรซิมิทริกเกอร์ แบบสี่ระดับ

จากรูปที่ 1.4 แสดงให้เห็นว่าวงจรที่นำเสนอมีฮิสเตอร์รีซิสลูป 3 ลูป ซึ่งจะมีแรงดันเทรสโธลด์ทั้งหมด 6 ค่าคือ  $V_{th1}^+$ ,  $V_{th1}^-$ ,  $V_{th2}^+$ ,  $V_{th2}^-$ ,  $V_{th3}^+$  และ  $V_{th3}^-$

### 1.5 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้มุ่งศึกษาการออกแบบและการทำงานของวงจรบนพื้นฐานของทฤษฎีลอจิกหลายระดับสัญญาณ วงจรที่สร้างจากนิยามของตัวดำเนินการส่งผ่านตามทฤษฎีข้างต้น และการท างานของวงจรดังกล่าวในโหมดแรงดัน

### 1.6 ขั้นตอนของการศึกษา

ผู้วิจัยทำการศึกษาทฤษฎีลอจิกหลายระดับสัญญาณและนิยามของตัวดำเนินการส่งผ่านต่างๆ ในทฤษฎีลอจิกหลายระดับสัญญาณ ศึกษาการทำงานของวงจรในโหมดแรงดันและทำการออกแบบวงจรพาสทรานซิสเตอร์ที่อ้างอิงจากนิยามของตัวดำเนินการข้างต้น ทดสอบการทำงานของวงจรที่ออกแบบและวิเคราะห์ผลการจำลองการทำงานที่ได้เพื่อนำไปสร้างวงจรซิมิทริกเกอร์ซีมอสแบบสี่ระดับ

## บทที่ 2

# ทฤษฎีลอจิกหลายระดับสัญญาณ

### 2.1 นิยามและคำจำกัดความ

สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลง ซึ่งอาจจะอยู่ในรูปของแรงดัน กระแส หรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการ ประการแรกคือ เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น เช่น เขตของ R จะประกอบด้วย  $(0, 1, 2, 3, \dots, R-2, R-1)$  ประการที่สองคือ สมาชิกในเขตจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงคงที่ โดยที่  $R=2k+1$  และเขตของ k จะประกอบด้วยสมาชิกคือ  $(-k, 1-k, \dots, -2, -1, 0, 1, 2, \dots, k-1, k)$  โดยนิยามและสัญลักษณ์ของฟังก์ชันสำหรับทฤษฎีลอจิกหลายระดับสัญญาณ [6] จะแสดงดังตารางที่ 2.1

ตารางที่ 2.1 ฟังก์ชันของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positional Base 4 Example $a=1, b=2, y=x$	
1	Restoring Identity	$x$	-	<0 1 2 3>	$x$ Standardized
2	Inverse or Complement	$\bar{x}$	-	<3 2 1 0>	$(R-1)-x$
3	Maximum	$\max(xy)$	$x+y$ $x \vee y$	<3 2 2 3>	$x$ if $x \geq y$ else $y$
4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	<0 1 1 0>	$x$ if $x \leq y$ else $y$
5	Literal Function	${}^a x^b$	$x(a,b)$	<0 3 3 0>	$(R-1)$ if $a \leq x \leq b$ else 0
6	Delta Literal J Function	${}^a x$	$J(x)a$	<0 3 0 0>	$(R-1)$ if $a = x$ else 0
7	Close Interval	$[{}^a x^b]$		<0 1 0 0>	1 if $a \leq x \leq b$ else 0
8	Lower Open Semi-Interval	${}^a   x$		<1 0 0 0>	1 if $x < a$ else 0
9	Upper Open Semi-Interval	$  {}^a x$		<0 0 1 1>	1 if $x > a$ else 0

จากตารางที่ 2.1 สามารถเขียนนิยามของ Close Interval Function ได้ดังนี้

$$[^a x^b] = \begin{cases} 1 & \text{if } a \leq x \leq b \\ 0 & \text{if } x = \text{else} \end{cases} \quad (2.1)$$

สามารถเขียนนิยามของ Lower Open Semi-Interval ได้ดังนี้

$$^a x = \begin{cases} 1 & \text{if } x < a \\ 0 & \text{if } x \geq a \end{cases} \quad (2.2)$$

สามารถเขียนนิยามของ Lower Open Semi-Interval ได้ดังนี้

$$x^a = \begin{cases} 1 & \text{if } x > a \\ 0 & \text{if } x \leq a \end{cases} \quad (2.3)$$

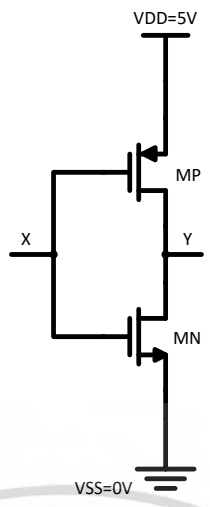
ซึ่งสมการที่ 2.2 และ 2.3 จะถูกนำมาใช้ในการออกแบบวงจรพาสทรานซิสเตอร์สำหรับเปรียบเทียบแรงดันเทรสโวลต์ในหัวข้อต่อไป

## 2.2 พีชคณิตของโพสต์และวงจรมค่า

ในการออกแบบวงจรรวมของทางไบนารีจะประกอบด้วยตัวโอเพอร์เรเตอร์ที่ใช้พื้นฐานของพีชคณิตบูลีน นั่นคือระดับของค่าลอจิกจะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m-valued ในการออกแบบโดยทั่วไปจะใช้พีชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง m-1 แต่ถ่วงจรรยา งานในโหมดกระแสจะใช้เทรสโวลต์ทั้งกึ่งขั้นแทน

## 2.3 วงจร m-valued

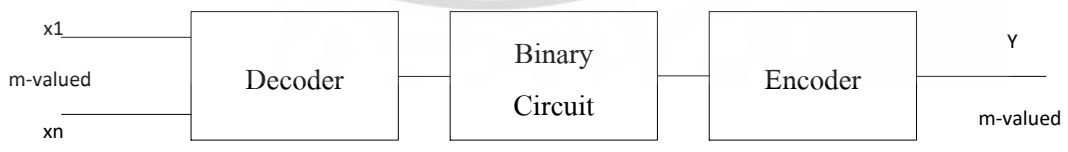
จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจรมค่า m-valued สามารถใช้เทคโนโลยี 3 แบบ คือ การอัดประจุ (charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้งานในโหมดแรงดันหรือกระแสมากกว่าในวงจรมค่าประจุเทคโนโลยี (Charge Coupled Devices : CCD) ซึ่งเป็นการอัดประจุ



รูปที่ 2.1 วงจรอินเวอร์เตอร์พื้นฐาน

จากรูปที่ 2.1 แสดงถึงวงจรอินเวอร์เตอร์พื้นฐานโดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า  $X < V_{TN}$  เมื่อ  $V_{TN}$  ถูกแทนด้วยแรงดันเทรชโฮลด์ของ NMOS MN จะไม่ทำงาน MP จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ  $X > 5V - V_{TP}$  โดย  $V_{TP}$  จะถูกแทนด้วยแรงดันเทรชโฮลด์ของ PMOS MP จะไม่ทำงานและ MN จะทำงานแรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 0 โวลต์ เอาต์พุตของค่า Y จะมีอยู่ 2 ค่า คือ (0V และ 5V) นั่นคือค่าของลอจิก 0 และ 1 ตามลำดับ ในกรณีของวงจร m-valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับ และใช้พีชคณิตของโพสต์เมื่อ m มีค่าเป็น 2 สามารถใช้พีชคณิตบูลีนได้ แต่ถ้า m มีค่ามากขึ้นคือ  $m = 4$  และ  $m = 8$  พีชคณิตของโพสต์จะถูกกำหนดโอเปอร์เรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

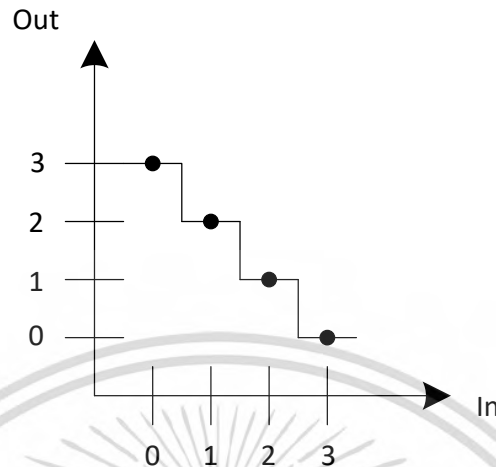
1. ค่า m จะถูกแทนให้อยู่ในรูปของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารีแต่ได้อินพุตเป็น m-valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ  $D_i(x)$  และ  $U_i(x)$  ซึ่งจะนำไปใช้เป็นวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m-valued แต่จะได้เป็นเอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไปแสดงดังรูปที่ 2.2



รูปที่ 2.2 บล็อกไดอะแกรมของวงจร m ค่า

วงจรถอดรหัสที่พบบ่อยขึ้นมานี้ คือการสังเคราะห์ตัวเลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัส คือผลจากการใช้พีชคณิตของโพสต์ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด วงจร m-valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี

(Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่ ยกตัวอย่าง เช่น วงจรอินเวอร์เตอร์แบบ 4 ค่า



รูปที่ 2.3 คุณลักษณะการส่งผ่านของวงจรอินเวอร์เตอร์แบบ 4 ค่า

การเปรียบเทียบระหว่าง m-valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัส การสร้าง m-valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay time) และพื้นที่ของชิป

## 2.4 เทรสโพลด์ฟังก์ชัน

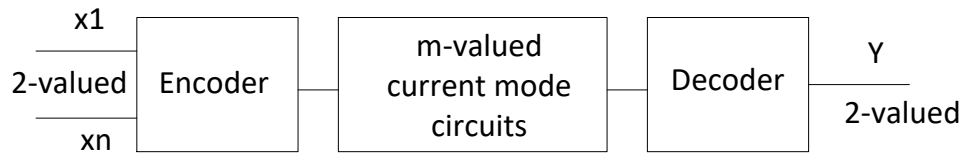
เทรสโพลด์ฟังก์ชันเป็นสับเซตของโบนารีฟังก์ชัน ซึ่งเทรสโพลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนเป็นสมการได้ดังนี้

$$Y = \begin{cases} 1 & \text{if } \sum_{i=1}^n a_i x_i \geq T \\ 0 & \text{if } x = \text{else} \end{cases} \quad (2.4)$$

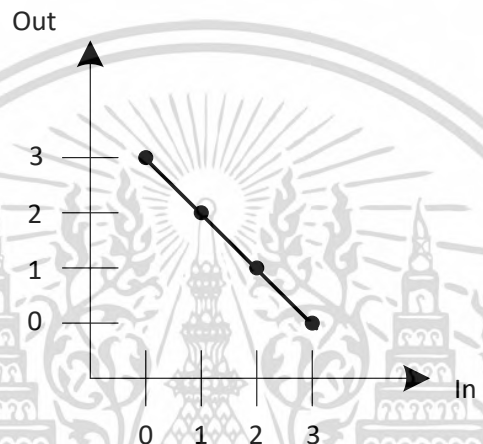
โดย	0	เป็นกรณีอื่นๆ
	$x_i$	คือการเปลี่ยนแปลงของอินพุต
	$a_i$	คือน้ำหนักของค่าสัมประสิทธิ์
	$T$	คือ ค่าเทรสโพลด์

เทรสโพลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาล็อก ( $\epsilon$ ) ซึ่งคูณด้วยค่าคงที่ ( $a_i x_i$ ) และทำการเปรียบเทียบค่าเทรสโพลด์ ( $T$ ) ผลรวมกันทางอนาล็อกถ้าจะให้ง่ายต่อการคิดควรจะอยู่ในรูปของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส (ตามกฎของเคอร์ชอฟฟ์) ดังแสดงในรูปที่ 2.4 วงจร m-valued จะได้จากฟังก์ชันเทรสโฮอล์ต์ของไบนารี



รูปที่ 2.4 บล็อกไดอะแกรมของเทรสโฮอล์ต์ฟังก์ชัน



รูปที่ 2.5 คุณลักษณะทางไฟตรงของวงจรมัลติแวลูอินเวอร์เตอร์แบบ 4 ค่า

## 2.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธี คือ โดยการอัดประจุ (charge) โดยกระแสและแรงดัน โดยวิธีการอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี CCD ซึ่งวิธีนี้ส่วนมากใช้ในการออกแบบ Memory การออกแบบวงจรลอจิกโดยใช้กฎของเคอร์ชอฟฟ์ ในวงจร Memory และการออกแบบวงจรลอจิกแบบ Clock Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในเป็นตัวคัปปลิ่ง และเชื่อมต่อระหว่างอินพุตกับเอาต์พุต โดยปกติแล้วในการอินเวอร์เฟสจะใช้ในการเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่ นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี  $I^2L$  ( $MVI^2L$ ) แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี (Emitter Coupled Logic : ECL) ในการออกแบบซึ่งมีลักษณะเหมือนกับ  $MVI^2L$  การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรสโฮอล์ต์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟส โดยกำหนดค่าเทรสโฮอล์ต์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูงๆ คือ ( $R \geq 4$ ) การออกแบบโดยใช้ประจุและกระแสแต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้งานมาก เพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของ GaAs

## 2.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรลอจิกไม่ว่าจะเป็นวงจรแบบไบนารีหรือวงจรหลายระดับสัญญาณจะมีคุณสมบัติอยู่ 3 ประการ คือ Generation, Transmission และ Detection

Generation จะอ้างอิงค่า Standard Logic ที่สร้างมาจาก Logic Network

Transmission จะอ้างอิงคุณสมบัติทาง Nonrestoring หรือ Nonstandardizing ยกตัวอย่างเช่น ไดโอดและบางส่วนของ  $MVI^2L$

Detection จะอ้างอิงสัญญาณลอจิกที่ตรวจสอบความถูกต้องของงาน Information

Range Over คือ การตรวจลอจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ “Noise Margin” โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ crosstalk จากตัวอุปกรณ์ตัวอื่น และแหล่งจ่ายไม่คงที่ เป็นต้น อย่างไรก็ตาม ในระบบลอจิกความเร็วเป็นสิ่งที่จะต้องคำนึงถึง วงจรจากพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified เกทมากกว่า เช่น  $I^2L$  โดยมีขั้วอิมิตเตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขั้วอิมิตเตอร์หลายขาเป็นเอาต์พุต

## 2.7 โหมดในการทำงานของวงจร

### 2.7.1 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตเทอร์สโสลด์และกำหนดระดับเอาต์พุต ขอจำกัดในโหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทอร์สโสลด์น้อยและมีการจำกัดค่าเทอร์สโสลด์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 2.6 จะเห็นว่า CMOS จะเป็นชนิดเอ็นฮานซ์โหมดและมีลักษณะของการสวิทช์ซึ่งแบบไบนารี

ซึ่งค่าเทอร์สโสลด์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP1 จะไม่ทำงานแต่ MP2 จะทำงาน แต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP1 จะทำงานแต่ MP2 จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลางก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงานเอาต์พุตจะอยู่ในสภาวะตรงกันข้ามกับอินพุต แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่เอาต์พุตจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุต) ดังนั้นค่า T จะเป็นอินเวอร์ตของอินพุต

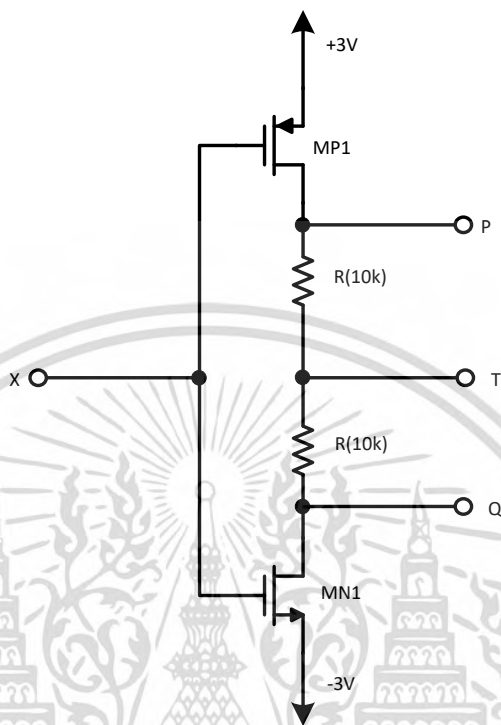
$$T - X \quad (2.5)$$

$P$  และ  $Q$  จะเป็น Linear ฟังก์ชัน

$$P = X = X \quad \text{และ} \quad Q = X = X \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังแสดงในรูปที่ 2.6 จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาท์พุตออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอกแต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน



รูปที่ 2.6 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3 วงจรรีระดับ

### 3.1 นิยามและคำจำกัดความ

กำหนดให้วงจรรีระดับมีฟังก์ชัน  $f(x, y)$  ที่มีสองอินพุต คือ  $x$  และ  $y$  เป็นไปตามตารางความจริง (ตารางที่ 3.1) และมีผลลัพธ์ของวงจรรีเป็น  $C_i$  โดยที่  $x, y, C_i \in \{0, 1, 2, 3\}$

ตารางที่ 3.1 ตารางค่าความจริงของฟังก์ชันรีระดับ

TRUTH TABLE OF QUATERNARY CIRCUIT		
$x$	$y$	$F(x, y)$
0	0	$C_0$
0	1	$C_1$
0	2	$C_2$
0	3	$C_3$
1	0	$C_4$
1	1	$C_5$
1	2	$C_6$
1	3	$C_7$
2	0	$C_8$
2	1	$C_9$
2	2	$C_{10}$
2	3	$C_{11}$
3	0	$C_{12}$
3	1	$C_{13}$
3	2	$C_{14}$
3	3	$C_{15}$

นิยามของการดำเนินการบูลีน (AND, OR)

การดำเนินการนี้สำหรับการเปลี่ยนแปลงในระดับสองระดับนั้นรู้จักกันดีในชื่อของ พีชคณิตบูลีน และจะใช้สัญลักษณ์  $\cdot, +$  แต่ในฟังก์ชันหลายระดับนั้น จะมีการใช้สัญลักษณ์แตกต่างออกไปจากฟังก์ชันสองระดับดังนี้

- ตัวดำเนินการ  $*$  แทนการดำเนินการคูณ ในฟังก์ชันสองระดับ
- ตัวดำเนินการ  $\cdot$  แทนการดำเนินการแบบAND ในฟังก์ชันสองระดับ
- ตัวดำเนินการ  $\#$  แทนการดำเนินการแบบOR ในฟังก์ชันสองระดับ

จำกนิยามฟังก์ชันของสัญญาณ์หลายระดับ สามารถกำหนดนิยามของตัวดำเนินการต่างๆ สำหรับวงจรเปรียบเทียบแรงดันเทอร์สโลดต์ได้ดังนี้

ตัวดำเนินการขกการเปรียบเทียบแรงดันเทอร์สโลดต์ชั้นต่ำ

$$x' = \begin{cases} T & \text{if } x < t \\ F & \text{if } x > t \end{cases} \quad (3.1)$$

ตัวดำเนินการขกการเปรียบเทียบแรงดันเทอร์สโลดต์ชั้นสูง

$${}^t x = \begin{cases} T & \text{if } x > t \\ F & \text{if } x < t \end{cases} \quad (3.2)$$

ตัวดำเนินการขกการส่งผ่าน

$$C_i * B = \begin{cases} C_i & \text{if } B = T \\ \phi & \text{if } B = F \end{cases} \quad (3.3)$$

จากตำราที่ 3.1 ตำราแสดงค่าความความจริงของฟังก์ชันสี่ระดับ และนิยามของการดำเนินการข้างต้นสามารถสร้างฟังก์ชันสี่ระดับ  $f(x, y)$  ได้ดังนี้

$$\begin{aligned} f(x, y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot 0.5 y \cdot y^{1.5}) \# \\ & C_2 * (x^{0.5} \cdot 1.5 y \cdot y^{2.5}) \# C_3 * (x^{0.5} \cdot 2.5 y) \# \\ & C_4 * (0.5 x \cdot x^{1.5} \cdot y^{0.5}) \# C_5 * (0.5 x \cdot x^{1.5} \cdot 0.5 y \cdot y^{1.5}) \# \\ & C_6 * (0.5 x \cdot x^{1.5} \cdot 1.5 y \cdot y^{2.5}) \# C_7 * (0.5 x \cdot x^{1.5} \cdot 2.5 y) \# \\ & C_8 * (1.5 x \cdot x^{2.5} \cdot y^{0.5}) \# C_9 * (1.5 x \cdot x^{2.5} \cdot 0.5 y \cdot y^{1.5}) \# \\ & C_{10} * (1.5 x \cdot x^{2.5} \cdot 1.5 y \cdot y^{2.5}) \# C_{11} * (1.5 x \cdot x^{2.5} \cdot 2.5 y) \# \\ & C_{12} * (2.5 x \cdot y^{0.5}) \# C_{13} * (2.5 x \cdot 0.5 y \cdot y^{1.5}) \# \\ & C_{14} * (2.5 x \cdot 1.5 y \cdot y^{2.5}) \# C_{15} * (2.5 x \cdot 2.5 y) \end{aligned}$$

(3.4)

และจะสามารถสร้างวงจรพาสทรานซิสเตอร์สำหรับการดำเนินการ  $C * x'$  และ  $C * {}^t x$  ได้ดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจร pass-transistor สำหรับการดำเนินการ  $C * x'$  และ  $C * 'x$

รูปที่ 3.1 แสดงวงจร pass-transistor สำหรับการดำเนินการ  $C * x'$  และ  $C * 'x$  โดยจะนำวงจรดังกล่าวไปใช้ในการออกแบบวงจรสี่ระดับต่าง ๆ โดยใช้นิยามซึ่งกำหนดไว้ดังนี้

นิยามการดำเนินการเปรียบเทียบแรงดัน เทอร์สโพลต์ ชั้นต่ำ

$$x' \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (3.5)$$

นิยามการดำเนินการเปรียบเทียบแรงดัน เทอร์สโพลต์ ชั้นสูง

$$'x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (3.6)$$

โดยที่ ตัวตรวจสอบเทอร์สโพลต์  $t$  จะมีค่าระหว่างกึ่งกลางของระดับลอจิก สำหรับวงจรสี่ระดับ  $t \in (0.5, 1.5, 2.5)$  และผลลัพธ์ที่ได้จากการดำเนินการเปรียบเทียบจะเป็นค่า  $T$  และ  $F$

นิยามของการดำเนินการส่งผ่าน

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (3.7)$$

โดย  $C_i$  คือ ตัวแปรการส่งผ่านซึ่งจะถูกกำหนดให้ผ่านไปหรือไม่ ตามค่าของ  $B$

นิยามของการดำเนินการ Union

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i \text{ if } B_i = T \text{ and } B_j = F \\ C_j \text{ if } B_i = F \text{ and } B_j = T \\ \phi \text{ if } B_i = B_j = F \\ \text{not allowed if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (3.8)$$

ซึ่งจากนิยามที่กล่าวมาข้างต้น เราสามารถสรุปความสัมพันธ์ต่าง ๆ ได้ดังนี้

$$\tilde{x}^t = {}^t x \quad (3.9)$$

$${}^t x = \tilde{x}^t \quad (3.10)$$

$$B = {}^t (3 * B \# 0 * \tilde{B}) = (3 * \tilde{B} \# 0 * B)^t \quad (3.11)$$

$$C * (B_1 + B_2) = C * B_1 \# C * B_2 \quad (3.12)$$

$$C * (B_1 \cdot B_2) = (C * B_1) * B_2 \quad (3.13)$$

$$(C_1 * B_1 \# C_2 * B_2) * B_3 = C * (B_1 \cdot B_3) \# C * (B_2 \cdot B_3) \quad (3.14)$$

$$f(x) = f(0) * x^{0.5} \# f(1) * ({}^{0.5} x \cdot x^{1.5}) \# f(2) * ({}^{1.5} x \cdot x^{2.5}) \# f(3) * {}^{2.5} x \quad (3.15)$$

$$f = 0 * B_0 \# 1 * B_1 \# 2 * B_2 \# 3 * B_3 \quad (3.16)$$

และเราสามารถกำหนดนิยามต่อมาดังนี้

นิยามการอินเวอร์ส เอาต์พุตสองระดับ แบบ เทรสโฮลด์-ที (Threshold-t Inverse with binary output)

$$\overline{x(t)} \triangleq \begin{cases} 3 & (\text{if } x < t) \\ 0 & (\text{if } x > t) \end{cases} \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยามการอินเวอร์ส สี่ระดับ

$$\bar{x} \triangleq \begin{cases} 3 & (\text{if } x=0) \\ 2 & (\text{if } x=1) \\ 1 & (\text{if } x=2) \\ 0 & (\text{if } x=3) \end{cases} \quad (3.18)$$

นิยาม 1-of-2 Threshold-t Multiplexing

$$f(y_0, y_3; x, t) \triangleq \begin{cases} y_0 & (\text{if } x < t) \\ y_3 & (\text{if } x > t) \end{cases} \quad (3.19)$$

นิยาม 1-of-4 Multiplexing

$$f(y_0, y_1, y_2, y_3; x) \triangleq \begin{cases} y_0 & (\text{if } x=0) \\ y_1 & (\text{if } x=1) \\ y_2 & (\text{if } x=2) \\ y_3 & (\text{if } x=3) \end{cases} \quad (3.20)$$

จากนิยามดังกล่าวจะสามารถนำมาสร้างเป็นสมการได้ดังนี้

$$\bar{x}(t) = 3 * x' \# 0 * 'x \quad (3.21)$$

$$\bar{x} = 3 * x^{0.5} \# 2 * ({}^{0.5}x \bullet x^{1.5}) \# 1 * ({}^{1.5}x \bullet x^{2.5}) \# 0 * {}^{2.5}x \quad (3.22)$$

$$f(y_0, y_3; x, t) = y_0 * x' \# y_3 * 'x \quad (3.23)$$

$$f(y_0, y_1, y_2, y_3; x) = y_0 * x^{0.5} \# y_1 * ({}^{0.5}x \bullet x^{1.5}) \# y_2 * ({}^{1.5}x \bullet x^{2.5}) \# y_3 * {}^{2.5}x \quad (3.24)$$

และสามารถเขียนฟังก์ชัน Identity ได้ดังนี้

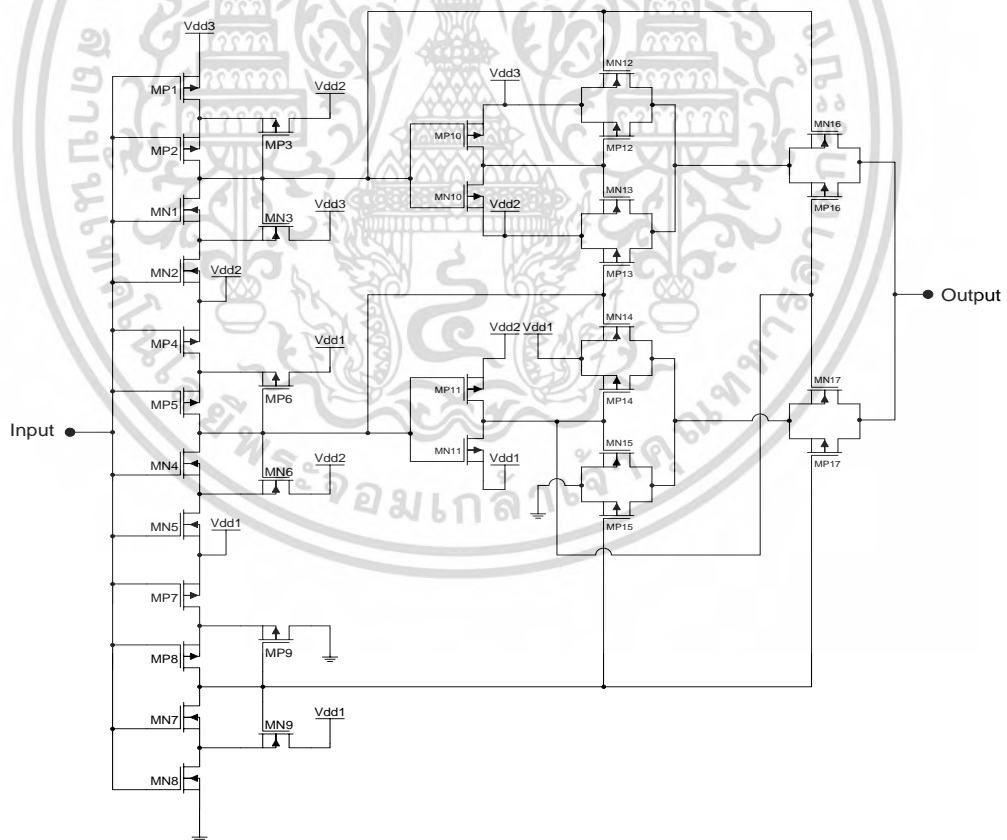
$$x = 0 * x^{0.5} \# 1 * ({}^{0.5}x \bullet x^{1.5}) \# 2 * ({}^{1.5}x \bullet x^{2.5}) \# 3 * {}^{2.5}x \quad (3.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

### วงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับที่นำเสนอ

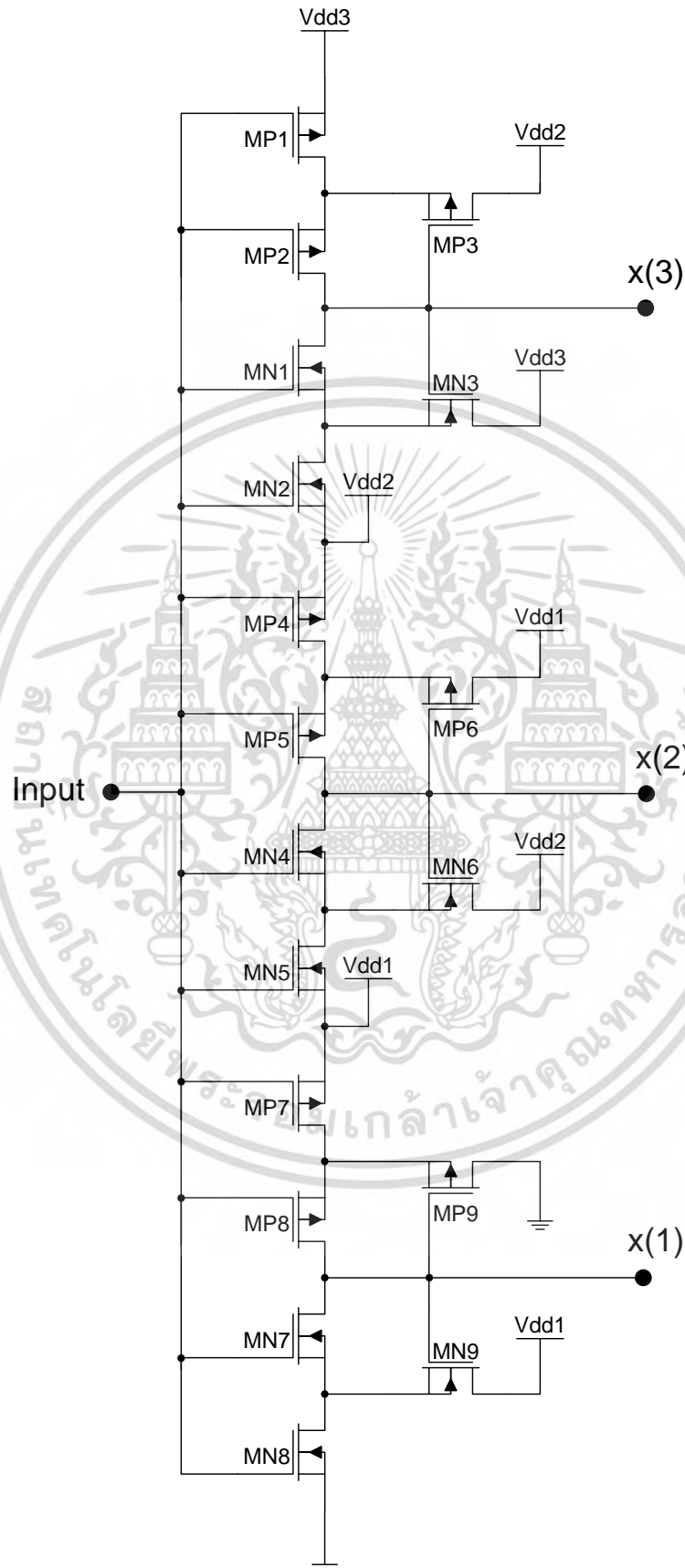
ในการออกแบบวงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับที่นำเสนอ นั้นจะมีการออกแบบสองส่วน คือส่วนแรกเป็นวงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับที่นำเสนอ และส่วนที่สองเป็นวงจรมิติทรานซิสเตอร์ซีมอสแบบ 4:1 ที่จะทำให้อัตราสัญญาณกลายเป็นสี่ระดับ ซึ่งวงจรมิติทรานซิสเตอร์ซีมอสที่ได้ออกแบบจะมีทรานซิสเตอร์ทั้งหมด 34 ตัว ประกอบด้วยทรานซิสเตอร์แบบ PMOS จำนวน 17 ตัว และทรานซิสเตอร์แบบ NMOS จำนวน 17 ตัว ดังรูปที่ 4.1 โดยจะแบ่งวงจรมิติทรานซิสเตอร์ซีมอสออกเป็นสองส่วน ซึ่งในการทำงานของวงจรมิติทรานซิสเตอร์ซีมอสที่ได้ออกแบบนั้นจะมีการแบ่งอินพุตที่เข้ามาเป็นช่วงคือ ช่วงระดับลอจิกที่เป็น 0, 1, 2, 3 ซึ่งในวงจรมิติทรานซิสเตอร์ซีมอสนั้นจะใช้แรงดันแหล่งจ่ายทั้งหมด 3 ค่า คือ แรงดัน 1V แรงดัน 2V และแรงดัน 3V เมื่อมีแรงดันเข้ามาที่ขาอินพุต  $V_{in}$  วงจรมิติทรานซิสเตอร์ซีมอสส่วนหน้าจะทำการเปรียบเทียบแรงดันทรานซิสเตอร์ซีมอสของสัญญาณที่เข้ามาและแปลงให้เป็นสัญญาณลอจิกแบบไบนารีสามสัญญาณ เพื่อนำไปเข้าสู่วงจรมิติทรานซิสเตอร์ซีมอสส่วนหลังที่เป็นส่วนของพาสทรานซิสเตอร์ในรูปแบบของวงจรมิติทรานซิสเตอร์ซีมอสเพื่อทำการแปลงสัญญาณให้กลายเป็นสัญญาณสี่ระดับ



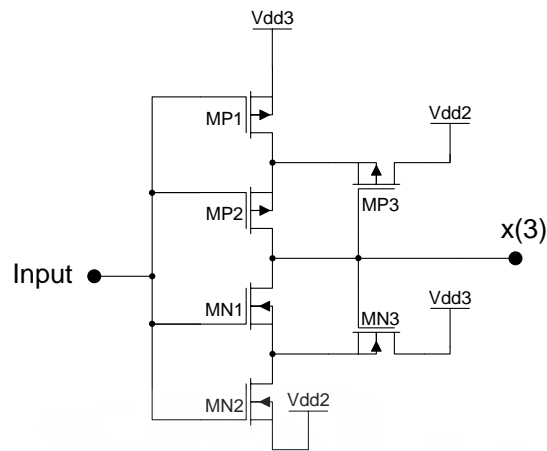
รูปที่ 4.1 วงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับ

จากรูปที่ 4.1 เป็นวงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับที่นำเสนอ ซึ่งในวงจรมิติทรานซิสเตอร์ซีมอสนี้จะแบ่งออกเป็น 2 ส่วน ส่วนแรกของวงจรมิติทรานซิสเตอร์ซีมอสคือวงจรมิติทรานซิสเตอร์ซีมอสแบบสี่ระดับที่มีลักษณะดังรูปที่ 4.2

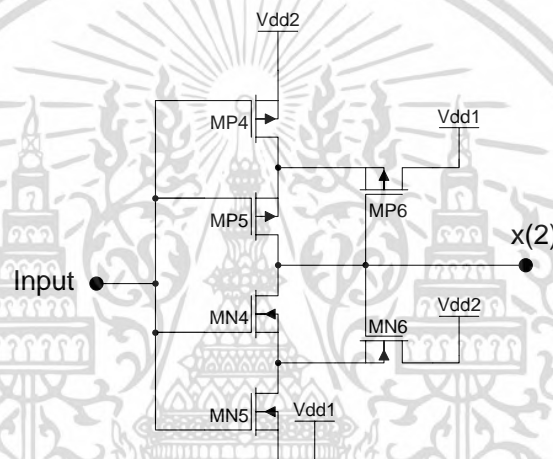
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



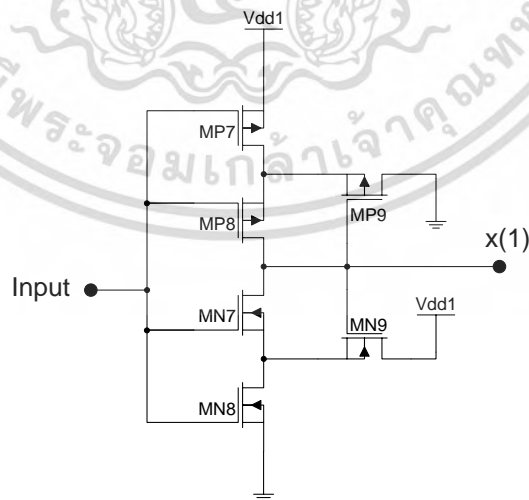
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ (a) วงจรเปรียบเทียบแรงดันเทอร์สโพลต์ให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b) ส่วนเปรียบเทียบแรงดันระดับสูง



(c) ส่วนเปรียบเทียบแรงดันระดับกลาง



(d) ส่วนเปรียบเทียบแรงดันระดับต่ำ

#### รูปที่ 4.2 ส่วนแรกของวงจรสมิทริกเกอร์ซีมอสแบบสี่ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.2 แสดงวงจรส่วนแรก ประกอบด้วยทรานซิสเตอร์ทั้งหมด 18 ตัว ซึ่งในวงจรส่วนนี้จะทำหน้าที่รับอินพุตเข้ามา และจะทำการแปลงสัญญาณอินพุตที่ได้ให้เป็นสัญญาณซิมิทริกเกอร์ โดยวงจรส่วนนี้ประกอบไปด้วยวงจรเปรียบเทียบแรงดันเทอร์สโสลต์ 3 วงจรต่อเรียงกัน วงจรส่วนเปรียบเทียบแรงดันระดับสูงประกอบด้วยทรานซิสเตอร์ MP1 – MP3 และ MN1 - MN3 ซึ่งจะต่อกับแรงดันแหล่งจ่าย  $V_{dd3} = 3V$  และ  $V_{dd2} = 2V$  ซึ่งจะได้สัญญาณซิมิทริกเกอร์ที่มีช่วงแกว่งของสัญญาณอยู่ที่  $V_{dd3} - V_{dd2}$  หรือเท่ากับ  $3V - 2V$

วงจรส่วนเปรียบเทียบแรงดันระดับกลางประกอบด้วยทรานซิสเตอร์ MP4 – MP6 และ MN4 – MN6 ซึ่งจะต่อกับแรงดันแหล่งจ่าย  $V_{dd2} = 2V$  และ  $V_{dd1} = 1V$  ซึ่งจะได้สัญญาณซิมิทริกเกอร์ที่มีช่วงแกว่งของสัญญาณอยู่ที่  $V_{dd2} - V_{dd1}$  หรือเท่ากับ  $2V - 1V$

และวงจรส่วนเปรียบเทียบแรงดันระดับต่ำ ประกอบด้วยทรานซิสเตอร์ MP7 – MP9 และ MN7 – MN9 ซึ่งจะต่อกับแรงดันแหล่งจ่าย  $V_{dd1} = 1V$  และ  $Ground = 0V$  ซึ่งจะได้สัญญาณซิมิทริกเกอร์ที่มีช่วงแกว่งของสัญญาณอยู่ที่  $V_{dd1} - Ground$  หรือเท่ากับ  $1V - 0V$

การทำงานของวงจรเปรียบเทียบแรงดันเทอร์สโสลต์ เมื่อระดับแรงดันอินพุตที่เข้ามาอยู่ในช่วงตั้งแต่  $0V$  จนถึงไม่เกิน  $1V$  เอาท์พุตที่ได้จากส่วนเปรียบเทียบแรงดันแต่ละระดับจะอยู่ในสถานะสูง (High State) โดยส่วนเปรียบเทียบแรงดันระดับสูงจะมีค่าเป็น  $3V$  ส่วนเปรียบเทียบแรงดันระดับกลาง  $2V$  และส่วนเปรียบเทียบแรงดันระดับต่ำ  $1V$  และจะคงค่าสถานะเดิมไว้จนกว่าระดับแรงดันอินพุตจะมีการเปลี่ยนแปลง

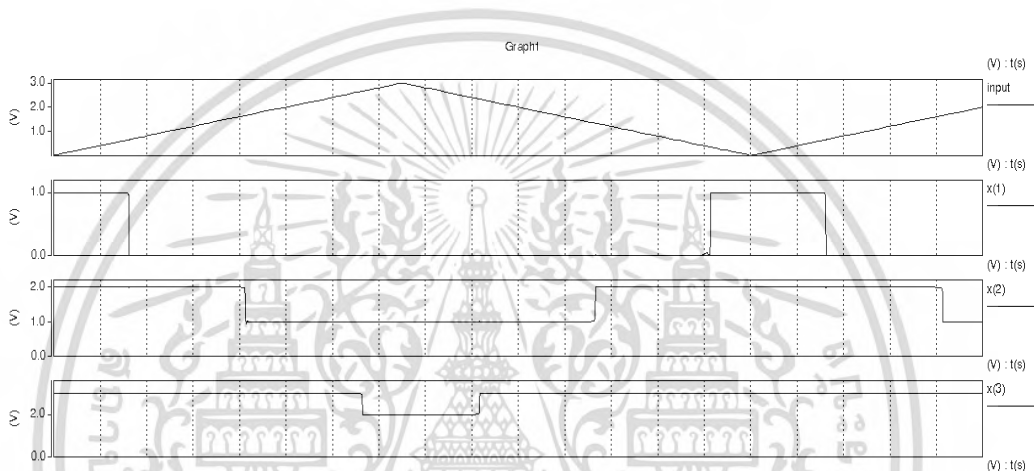
เมื่อแรงดันอินพุตมีค่าเพิ่มขึ้นจนมากกว่า  $1V$  ( $V_{th3}^+$ ) เอาท์พุตที่ได้จากส่วนเปรียบเทียบแรงดันระดับต่ำ จะเปลี่ยนจากสถานะสูงเป็นสถานะต่ำ (Low State) ซึ่งมีระดับแรงดันเป็น  $0V$  โดยที่แรงดันเอาท์พุตของวงจรส่วนอื่นไม่มีการเปลี่ยนแปลง ซึ่งเอาท์พุตที่ได้จากส่วนเปรียบเทียบแรงดันระดับต่ำนี้จะคงค่าสถานะเดิมไว้จนกว่าระดับแรงดันอินพุตจะลดลงจนถึงระดับต่ำกว่า  $1V$  ( $V_{th3}^-$ ) สัญญาณจึงจะเปลี่ยนสถานะจากต่ำเป็นสถานะสูงอีกครั้ง

เมื่อแรงดันอินพุตมีค่าเพิ่มขึ้นจนมากกว่า  $2V$  ( $V_{th2}^+$ ) เอาท์พุตที่ได้จากส่วนเปรียบเทียบแรงดันระดับกลางจะเปลี่ยนจาก  $2V$  เป็น  $1V$  โดยที่แรงดันเอาท์พุตของวงจรส่วนอื่นไม่มีการเปลี่ยนแปลง และจะคงค่าสถานะเดิมไว้จนกว่าระดับแรงดันอินพุตจะลดลงจนถึงระดับต่ำกว่า  $2V$  ( $V_{th2}^-$ ) สัญญาณจึงจะเปลี่ยนสถานะอีกครั้ง

และเมื่อแรงดันอินพุตมีค่าเพิ่มขึ้นถึง  $3V$  ( $V_{th1}^+$ ) เอาท์พุตที่ได้จากส่วนเปรียบเทียบแรงดันระดับสูงจะเปลี่ยนจาก  $3V$  เป็น  $2V$  และจะคงค่าสถานะไว้ไม่เปลี่ยนแปลงจนกว่าระดับแรงดันอินพุตจะลดลงจนถึงระดับต่ำกว่า  $3V$  ( $V_{th1}^-$ )

ตารางที่ 4.1 ตารางค่าความจริงของสัญญาณเอาต์พุตจากวงจรเปรียบเทียบแรงดันเทรสต์โฮลด์

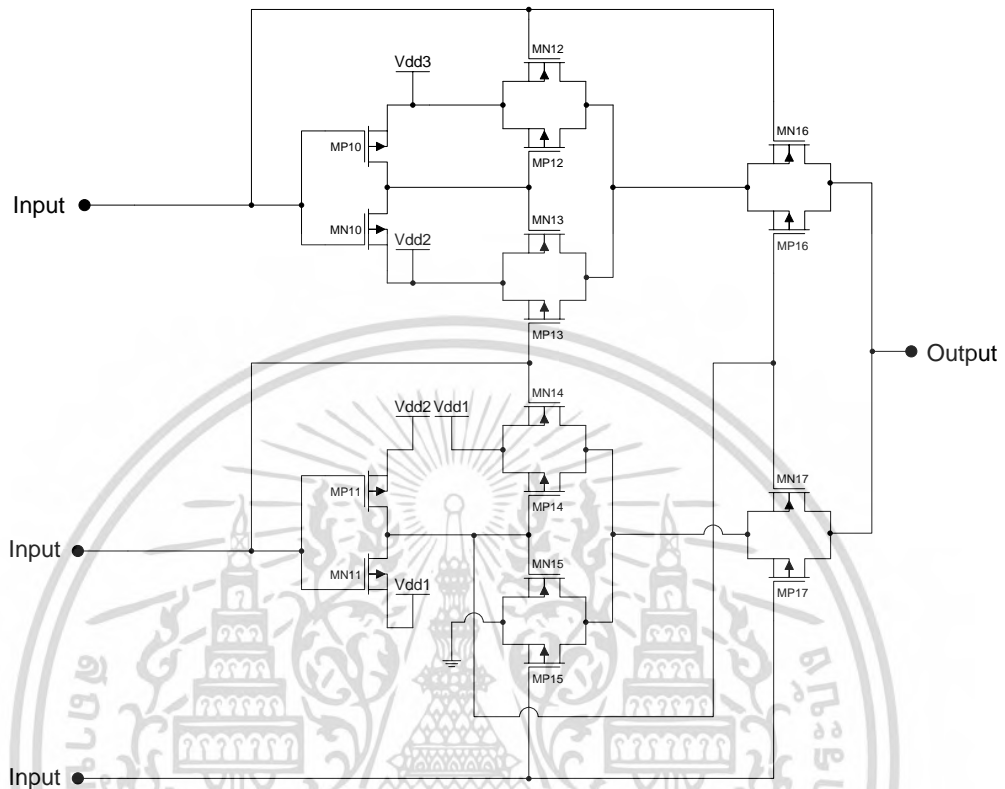
Input	Threshold-T gate Output		
	x(1)	x(2)	x(3)
0	1	2	3
1	0	2	3
2	0	1	3
3	0	1	2



รูปที่ 4.3 สัญญาณที่ได้จากวงจรส่วนแรก เปรียบเทียบกับสัญญาณอินพุตที่ความถี่ 6.7 MHz

จากตารางที่ 4.1 จะแสดงให้เห็นถึงลักษณะการทำงานของวงจร ซึ่งทำการเปลี่ยนแปลงค่าอินพุต ตั้งแต่ 0 – 3 V และ ลดลงจาก 3 - 0 V ซึ่งลักษณะของสัญญาณเอาต์พุตของวงจรจะมีลักษณะดังรูปที่ 4.3

วงจรส่วนที่สอง จะเป็นวงจรมัลติเพล็กซ์เซอร์ซึ่งจะนำอินพุตที่ผ่านการเปรียบเทียบแรงดันเทรสถือแล้วมาสร้างเป็นสัญญาณขมิตริกเกอร์ ซึ่งวงจรมัลติเพล็กซ์เซอร์นี้มีลักษณะดังรูปที่ 4.4



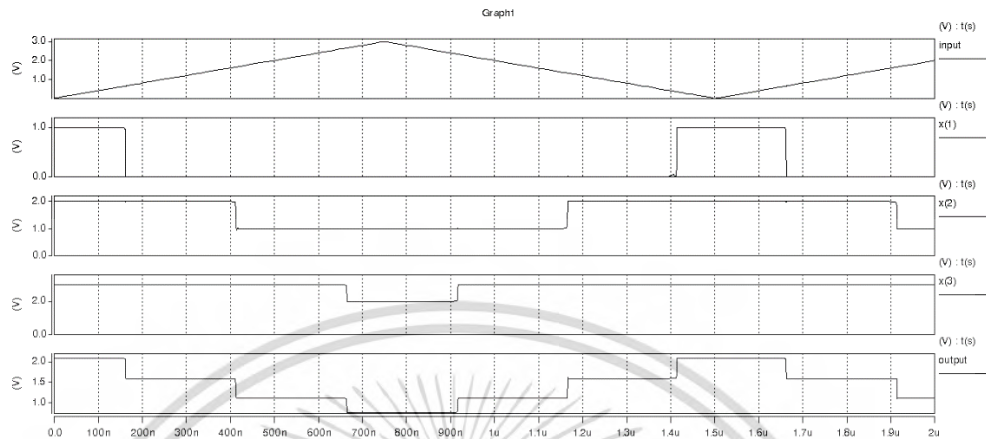
รูปที่ 4.4 วงจรมัลติเพล็กซ์เซอร์แบบ 4:1

จากรูปที่ 4.4 แสดงวงจรส่วนที่สองประกอบด้วยทรานซิสเตอร์ 16 ตัว คือ MP10 - MP17 MN10 - MN17 ซึ่งวงจรมัลติเพล็กซ์เซอร์นี้จะทำงานหลังจากได้รับอินพุตที่ผ่านการเปรียบเทียบแรงดันเทรสถือแล้ว โดยจะสร้างสัญญาณขมิตริกเกอร์แบบสี่ระดับจากสัญญาณอินพุตที่ได้จากวงจรส่วนแรก ซึ่งสามารถเขียนตารางค่าความจริงได้ดังตารางที่ 4.2

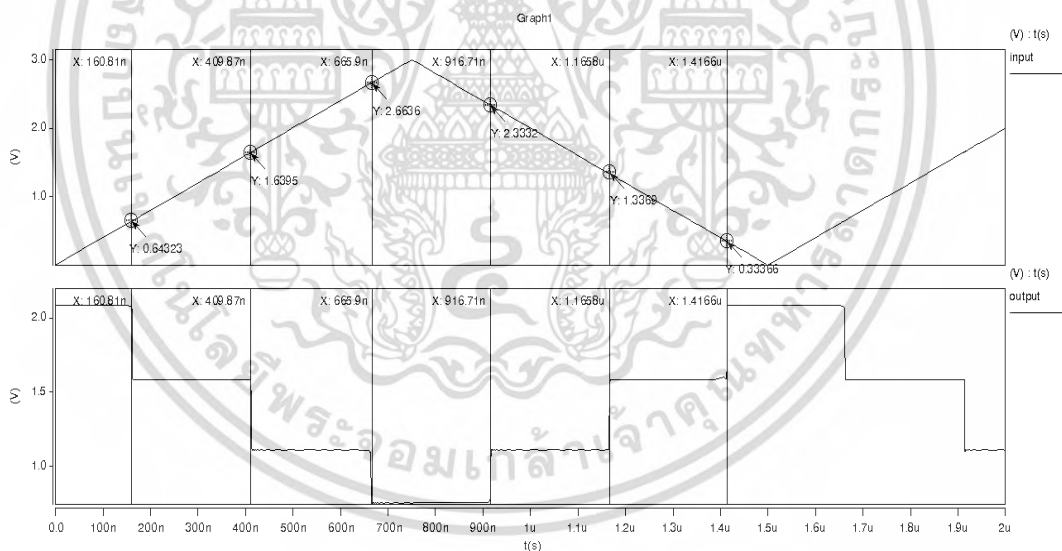
ตารางที่ 4.2 ตารางค่าความจริงของสัญญาณเอาต์พุตของขมิตริกเกอร์สี่ระดับ

Input	Output
0	3
1	2
2	1
3	0

เมื่อท การเปรียบเทียบสัญญาณอินพุตกับสัญญาณที่ได้จากการเปรียบเทียบแรงดันทรานซิสโลด และสัญญาณเอาต์พุตแล้ว จะแสดงให้เห็นการท งานของวงจรมิติทริกเกอร์เมื่อทาการป้อนสัญญาณ อินพุตสามเหลี่ยมที่มีแรงดันไม่คงที่แสดงดังรูปที่ 4.5



รูปที่ 4.5 สัญญาณที่ได้จากวงจรมิติทริกเกอร์แบบสี่ระดับเมื่อทาการป้อน อินพุตรูปสามเหลี่ยม เปรียบเทียบกับเอาต์พุตจากวงจรมิติทริกเกอร์แบบสี่ระดับเมื่อทาการป้อน อินพุตรูปสามเหลี่ยม เปรียบเทียบกับเอาต์พุตจากวงจรมิติทริกเกอร์แบบสี่ระดับเมื่อทาการป้อน อินพุตรูปสามเหลี่ยม ที่ความถี่ 6.7 MHz



รูปที่ 4.6 สัญญาณเอาต์พุตของวงจรมิติทริกเกอร์แบบสี่ระดับเมื่อทาการเปรียบเทียบกับ สัญญาณอินพุต

จากรูปที่ 4.6 วงจรมิติทริกเกอร์ซีมอสแบบสี่ระดับจาลองการทางานด้วยโปรแกรม HSpice โดยใช้เทคโนโลยีซีมอส 90nm และใช้ทรานซิสเตอร์ทั้งหมด 34 ตัว เมื่อป้อนสัญญาณสามเหลี่ยมที่ ความถี่ 6.7 MHz จะได้อิสทีรีซิสลูป  $V_{th1}^+ = 2.67V$   $V_{th1}^- = 2.33V$   $V_{th2}^+ = 1.63V$   $V_{th2}^- = 1.33V$   $V_{th3}^+ = 0.64V$  และ  $V_{th3}^- = 0.34V$  และมีความกว้างของอิสทีรีซิสลูปทั้งสามลูปเป็น  $V_H = 0.3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปผลการวิจัย

วงจรขมิทริกเกอร์ซีมอสแบบสี่ระดับ ทำการจำลองการทำงานของวงจรด้วยโปรแกรม HSPICE โดยใช้เทคโนโลยีซีมอส 90 nm และใช้ทรานซิสเตอร์ทั้งหมด 34 ตัว เมื่อป้อนสัญญาณรูปสามเหลี่ยมที่ความถี่ 6.7 MHz ซึ่งจะเห็นได้ว่าวงจรที่ออกแบบนั้น สามารถให้ เอาท์พุตออกมาในรูปแบบของสัญญาณสี่ระดับได้ ซึ่งสามารถนำไปประยุกต์ใช้ในการ ติดต่อสื่อสาร โดย นำไปใช้ในการ ตัดรูป คลื่น หรือ แปลงคลื่น จาก อนุาลอก เป็น ดิจิตอลได้ และจากการใช้ เทคโนโลยีซีมอส ทำให้ วงจรที่ออกแบบมีขนาดเล็ก และสูญเสียพลังงานที่น้อย ซึ่งในการทดลองนี้ ใช้แรงดันแหล่งจ่ายสูงสุดที่ 3 โวลต์

โดยวงจรที่ออกแบบจะมีการทำงานเป็นสองส่วน ซึ่งส่วนแรกคือวงจรเปรียบเทียบแรงดัน เทอร์สโวลต์ ดังรูปที่ 4.2a ซึ่ง หลังจากสัญญาณอินพุตเข้าไปในส่วนนี้ แล้วจะได้สัญญาณที่มีดังรูปที่ 4.3 ออกมา ซึ่งจะได้สัญญาณ 3 สัญญาณ เพื่อเป็นอินพุตเข้าไปในวงจรส่วนที่สอง ดังรูปที่ 4.4 ซึ่งจะทำให้ สัญญาณที่ได้ออกมาเป็นสัญญาณสี่ระดับ ดังรูปที่ 4.5 และรูปที่ 4.6

ซึ่งช่วงที่สัญญาณเปลี่ยนแปลงจะมีทั้งหมด 6 ช่วง คือเมื่อทำการเพิ่มแรงดันอินพุตจาก 0 V เมื่อแรงดันอินพุตมากกว่า 0.64 V จะทำให้แรงดันเอาท์พุตเปลี่ยนจาก 3 V เป็น 2 V เมื่อแรงดัน อินพุตมากกว่า 1.63 V แรงดันเอาท์พุตจะเปลี่ยนจาก 2 V เป็น 1 V และเมื่อแรงดันอินพุตเพิ่มขึ้นจน มากกว่า 2.67 V แรงดันเอาท์พุตจะเปลี่ยนจาก 1 V เป็น 0 V

จากนั้นเมื่อทำการลดแรงดันอินพุตจาก 3 V ลงจนน้อยกว่า 2.33 V จะทำให้แรงดันเอาท์พุต เกิดการเปลี่ยนแปลงจาก 0 V เป็น 1 V และเมื่อแรงดันอินพุตลดลงน้อยกว่า 1.33 V จะทำให้แรงดัน เอาท์พุตเปลี่ยนจาก 1 V เป็น 2 V และเมื่อลดแรงดันอินพุตลงจนน้อยกว่า 0.34 V จะทำให้แรงดัน เอาท์พุตเปลี่ยนจาก 2 V เป็น 3 V นั่นก็คือว่า วงจรนี้มีแรงดันเทอร์สโวลต์  $V_{th1+} = 2.67V$   $V_{th1-} = 2.33V$   $V_{th2+} = 1.63V$   $V_{th2-} = 1.33V$   $V_{th3+} = 0.64V$  และ  $V_{th3-} = 0.33$

ซึ่งเมื่อทำการเปรียบเทียบค่า  $V_{out}$  ต่อ  $V_{in}$  จะทำให้เห็นถึงลูบฮิสทีรีซิส 3 ลูป ซึ่งแต่ละลูปจะมี ความกว้างเท่ากับ 0.3 V

## บรรณานุกรม

- [1] B. L. Dokic, "CMOS Schmitt triggers," IEE Proc. G Electronic Circuits Systems, vol.131, no. 5, pp. 197-202, October 1984.
- [2] K. Ramkumar, K. Nagaraj, "A ternary Schmitt trigger," IEEE Trans. on Circuits and Systems, vol. 32, no. 7, pp. 732- 735, Jul 1985.
- [3] K. Angkeaw, S. Wisetphanichkij, K. Dejhan, F. Cheevasuvit, S. Junnapiya and C. Soonyeeek, "A Design of Ternary Schmitt Trigger Circuit," Proc. of the 8th (ISIC'99), Singapore, pp. 282-285, Sep. 8-10, 1999.
- [4] G. Hang, "Theory of current transmission switches and its application to design of a novel current-mode CMOS ternary Schmitt trigger," Proc. 6th Int. Conf. on ASIC (ASICON2005), vol. 1, pp. 295-299, 24-0 Oct. 2005.
- [5] X. Wu, P. Wang and Y. Xia, "Design of Ternary Schmitt Triggers Based on Its Sequential Characteristics," Proc. ISMVL, pp. 156-160, 2002.
- [6] K. C. Smith, "The Prospects for Multivalued Logic: A Technology and Applications View," IEEE Trans. on Computers, vol.C-30, no. 9, pp. 619-634, Sep. 1981.
- [7] Z. G. Vranesic, "Multiple-Valued Logic: An Introduction and Overview," IEEE Trans. on Computers, vol.C-26, no. 12, pp. 1181-1182, Dec. 1977.



## ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ก. โปรแกรม HSPICE ที่ใช้ในการวิเคราะห์วิทยานิพนธ์

```

Quarternary Schmitt trigger
.OPTION LIST NODE POST
.OP

```

```

.PRINT TRAN V(IN) V(OUT)
.TRAN 1nS 2000nS UIC

```

```

.PARAM V0=0V V1=1V V2=2V V3=3V TD=0mS TR=0.01mS TF=0.01mS PW=0.325mS PER=0.67mS

```

```

VDD1 1 0 V1
VDD2 2 0 V2
VDD3 3 0 V3

```

```

*VIN 4 0 SIN(0 2.5 1MEG)
VIN 4 0 PWL(0us V0 0.25us V1 0.5us V2 0.75us V3 1us V2 1.25us V1 1.5us V0 R)

```

```

*****
-----
*****

```

```

*D G S B
*PMOS - on when Vg<=Vdd
*NMOS - on when Vg>=Vdd
*Voff = Vg

```

```

*****schmitttriger-signal*****

```

```

*****schmitttriger 3-2v*****

```

```

MP1 5 4 3 3 PMOS L=130n W=80u
MP2 6 4 5 5 PMOS L=130n W=80u
MP3 2 6 5 5 PMOS L=130n W=80u

```

```

MN1 6 4 7 7 NMOS L=130n W=20u
MN2 7 4 2 2 NMOS L=130n W=20u
MN3 3 6 7 7 NMOS L=130n W=20u

```

```

*****schmitttriger 2-1v*****

```

```

MP4 8 4 2 2 PMOS L=130n W=160u
MP5 9 4 8 8 PMOS L=130n W=160u
MP6 1 9 8 8 PMOS L=130n W=160u

```

```

MN4 9 4 10 10 NMOS L=130n W=40u
MN5 10 4 1 1 NMOS L=130n W=40u
MN6 2 9 10 10 NMOS L=130n W=40u

```

```

*****schmitttriger 1-0v*****

```

```

MP7 11 4 1 1 PMOS L=130n W=320u
MP8 12 4 11 11 PMOS L=130n W=320u
MP9 0 12 11 11 PMOS L=130n W=320u

```

```

MN7 12 4 13 13 NMOS L=130n W=80u
MN8 13 4 0 0 NMOS L=130n W=80u
MN9 1 12 13 13 NMOS L=130n W=80u

```

```

*****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

\*\*\*\*\*BUFFER\*\*\*\*\*

\*\*\*\*\*Node6Buffer

MP10 14 6 3 3 PMOS L=130n W=400u  
MN10 14 6 2 2 NMOS L=130n W=100u

\*\*\*\*\*Node9Buffer

MP11 15 9 2 2 PMOS L=130n W=400u  
MN11 15 9 1 1 NMOS L=130n W=100u

\*\*\*\*\*

\*\*\*\*\*MUX 1:4\*\*\*\*\*

MP12 102 14 3 3 PMOS L=130n W=400u  
MN12 102 6 3 3 NMOS L=130n W=100u

MP13 102 9 2 2 PMOS L=130n W=400u  
MN13 102 14 2 2 NMOS L=130n W=100u

MP14 103 15 1 1 PMOS L=130n W=400u  
MN14 103 9 1 1 NMOS L=130n W=100u

MP15 103 12 0 0 PMOS L=130n W=400u  
MN15 103 15 0 0 NMOS L=130n W=100u

MP16 104 15 102 102 PMOS L=130n W=400u  
MN16 104 6 102 102 NMOS L=130n W=100u

MP17 104 12 103 103 PMOS L=130n W=400u  
MN17 104 15 103 103 NMOS L=130n W=100u

\*\*\*\*\*

-----

\*\*\*\*\*

\*\*\*\*\*MOS-MODEL \*\*\*\*\*

\*\*\*\*\*

\* Predictive Technology Model Beta Version  
\* 90nm NMOS SPICE Parametersv (normal one)  
\*

.model NMOS NMOS  
+Level = 49

+Lint = 1.5e-08 Tox = 2.5e-09  
+Vth0 = 0.2607 Rdsw = 180

+lmin=1.0e-7 lmax=1.0e-7 wmin=1.0e-7 wmax=1.0e-4  
+Tref=27.0 version =3.1

+Xj= 4.0000000E-08	Nch= 9.7000000E+17	
+lIn= 1.0000000	lwn= 1.0000000	wln= 0.00
+wwn= 0.00	ll= 0.00	
+lw= 0.00	lwl= 0.00	wint= 0.00
+wl= 0.00	ww= 0.00	wwl= 0.00
+Mobmod= 1	binunit= 2	xl= 0.00

+xw= 0.00 binflag= 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+Dwg= 0.00          Dwb= 0.00

+ACM= 0             ldif=0.00          hdif=0.00
+rsh= 7             rd= 0              rs= 0
+rsc= 0             rdc= 0

+K1= 0.3950000     K2= 1.0000000E-02   K3= 0.00
+Dvt0= 1.0000000   Dvt1= 0.4000000     Dvt2= 0.1500000
+Dvt0w= 0.00       Dvt1w= 0.00         Dvt2w= 0.00
+Nlx= 4.8000000E-08 W0= 0.00            K3b= 0.00
+Ngate= 5.0000000E+20

+Vsat= 1.1000000E+05 Ua= -6.0000000E-10   Ub= 8.0000000E-19
+Uc= -2.9999999E-11 Prwg= 0.00          Wr= 1.0000000
+Prwb= 0.00         A0= 1.1000000       Keta= 4.0000000E-02
+U0= 1.7999999E-02 A2= 1.0000000       Ags= -1.0000000E-02
+A1= 0.00           B1= 0.00

+Voff= -2.9999999E-02 NFactor= 1.5000000   Cit= 0.00
+Cdsc= 0.00         Cdsch= 0.00         Cdschd= 0.00
+Eta0= 0.1500000   Etab= 0.00          Dsub= 0.6000000

+Pclm= 0.1000000   Pdiblc1= 1.2000000E-02 Pdiblc2= 7.5000000E-03
+Pdiblc= -1.3500000E-02 Drout= 2.0000000     Pscbe1= 8.6600000E+08
+Pscbe2= 1.0000000E-20 Pvag= -0.2800000     Delta= 1.0000000E-02
+Alpha0= 0.00      Beta0= 30.0000000

+kt1= -0.3700000   kt2= -4.0000000E-02 At= 5.5000000E+04
+Ute= -1.4800000   Ua1= 9.5829000E-10  Ub1= -3.3473000E-19
+Uc1= 0.00         Kt1l= 4.0000000E-09 Prt= 0.00

+Cj= 0.0015        Mj= 0.72            Pb= 1.25
+Cjsw= 2E-10       Mjsw= 0.37          Php= 0.773
+Cjgate= 2E-14     Cta= 0              Ctp= 0
+Pta= 0            Ptp= 0              JS=1.50E-08
+JSW=2.50E-13     N=1.0               Xti=3.0
+Cgdo=3.493E-10   Cgso=3.493E-10     Cgbo=0.0E+00

+Capmod= 2         NOSMOD= 0           Elm= 5
+Xpart= 1          cgsl= 0.582E-10    cgdl= 0.582E-10
+ckappa= 0.28     cf= 1.177e-10      clc= 1.0000000E-07
+cle= 0.6000000   Dlc= 2E-08         Dwc= 0

```

```

*
* Predictive Technology Model Beta Version
* 90nm PMOS SPICE Parametersv (normal one)
*

```

```

*****
*****

```

```

.model PMOS PMOS
+Level = 49

```

```

+Lint = 1.5e-08 Tox = 2.5e-09
+Vth0 = -0.303 Rds = 300

```

```

+Imin=1.0e-7 Imax=1.0e-7 wmin=1.0e-7 wmax=1.0e-4
+Tref=27.0 version =3.1
+Xj= 4.0000000E-08          Nch= 1.0400000E+18          wln= 0.00
+Iln= 1.0000000           lwn= 0.00
+wnw= 1.0000000           ll= 0.00                    lw= 0.00
+lw= 0.00                 wint= 0.00                   wl= 0.00

```

เอกสารนี้เป็นทรัพย์สินของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ww= 0.00          wwl= 0.00          Mobmod= 1
+binunit= 2        xl= 0.00          xw= 0.00
+binflag= 0        Dwg= 0.00         Dwb= 0.00

+ACM= 0           ldif=0.00         hdif=0.00
+rsh= 7           rd= 0            rs= 0
+rsc= 0           rdc= 0

+K1= 0.3910000    K2= 1.0000000E-02 K3= 0.00
+Dvt0= 2.6700001  Dvt1= 0.5300000    Dvt2= 5.0000000E-02
+Dvt0w= 0.00      Dvt1w= 0.00        Dvt2w= 0.00
+Nlx= 7.5000000E-08 W0= 0.00          K3b= 0.00
+Ngate= 5.0000000E+20

+Vsat= 1.0500000E+05 Ua= -5.0000000E-10 Ub= 1.5000000E-18
+Uc= -2.9999999E-11 Prwg= 0.00        Wr= 1.0000000
+Prwb= 0.00

+U0= 5.5000000E-03 A0= 2.0000000     Keta= 4.0000000E-02
+A1= 0.00          A2= 0.9900000     Ags= -0.1000000
+B0= 0.00          B1= 0.00

+Voff= -7.0000000E-02 NFactor= 1.5000000 Cit= 0.00
+Cdsc= 0.00        Cdsb= 0.00        Cdsd= 0.00
+Eta0= 0.2500000  Etab= 0.00        Dsub= 0.8000000

+Pclm= 0.1000000   Pdiblc1= 1.2000000E-02 Pdiblc2= 7.5000000E-03
+Pdiblc= -1.3500000E-02 Drout= 0.9000000   Pscbe1= 8.6600000E+08
+Pscbe2= 1.0000000E-20 Pvag= -0.2800000   Delta= 1.0100000E-02
+Alpha0= 0.00      Beta0= 30.0000000

+kt1= -0.3400000   kt2= -5.2700000E-02 At= 0.00
+Ute= -1.2300000   Ua1= -8.6300000E-10 Ub1= 2.0000001E-18
+Uc1= 0.00         Kf1l= 4.0000000E-09 Prt= 0.00

+Cj= 0.0015        Mj= 0.7175511     Pb= 1.24859
+Cjsw= 2E-10       Mjsw= 0.3706993   Php= 0.7731149
+Cjgate= 2E-14     Cta= 9.290391E-04 Ctp= 7.456211E-04
+Pta= 1.527748E-03 Ptp= 1.56325E-03   JS=2.50E-08
+JSW=4.00E-13     N=1.0             Xti=3.0
+Cgdo=3.49E-10    Cgso=3.49E-10     Cgbo=0.0E+00
+Capmod= 2        NOSMOD= 0         Elm= 5
+Xpart= 1         cgsl= 0.582E-10   cgdl= 0.582E-10
+ckappa= 0.28     cf= 1.177e-10     clc= 5.4750000E-08
+cle= 6.4600000   Dic= 2E-08        Dwc= 0

```

```

*****
**
*****
*****

```

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ข.

### ผลงานทางวิชาการที่ได้รับการตีพิมพ์

กฤติน พรชุตระ และ สิริภพ ตู่ประกาย “Quaternary CMOS Schmitt Trigger Circuits Design”  
Conference Proceedings ISMAC2017, August 23 – 25, 2017, pp.53-56



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ผลงานทางวิชาการที่ได้รับการตีพิมพ์

2017 International Symposium on Multimedia and Communication Technology  
August 23 - 25, 2017, Classic Kames Hotel, Ayutthaya, Thailand

## Quaternary CMOS Schmitt Trigger Circuit Design

Kittin Pornchutong and Siraphop Tooprakai

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand  
E-mail: k.pornchutong@gmail.com, siraphop@telecom.kmitl.ac.th, siraphop.to@kmitl.ac.th

**Abstract**— This paper proposes the quaternary CMOS schmitt trigger circuits design based on CMOS schmitt trigger circuit and basic CMOS quaternary circuit. All simulation results have been carried out by using HSpice program simulator based on 90nm CMOS technology and operation at 100 MHz.

**Keywords**—Multivalue-logic; Quaternary CMOS Schmitt Trigger; Quaternary Circuits

### I. INTRODUCTION

Schmitt trigger circuit [1] is widely used in analog and digital circuits as a waveform correction circuit to reduce noise and interference in digital circuit design for digital communications.

The current circuit design is complicate and the demand for data transmission is increasing [2]. Thus, the development of schmitt trigger circuit has been developed in various focus, such as Ternary-schmitt trigger circuit [3] and Ternary CMOS circuit in current mode [4-5].

For the Quaternary schmitt trigger circuit, it has a voltage transfer characteristic with three hysteresis loops as shown in Fig. 1.

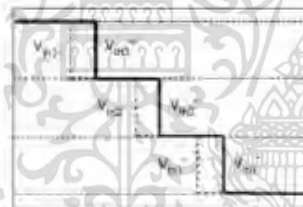


Fig. 1. Voltage transfer characteristic

Fig. 1 shows the voltage transfer characteristic of Quaternary schmitt trigger circuit. There are six threshold voltages,  $V_{th1}$ ,  $V_{th2}$ ,  $V_{th3}$ ,  $V_{th4}$ ,  $V_{th5}$  and  $V_{th6}$ .



Fig. 2. Block diagram of Quaternary schmitt trigger

Fig. 2 shows the block diagram of Quaternary schmitt trigger circuit using a DCVS Threshold-T-gate this circuit will feed the signal into control circuit first then it is applied to DCVS voltage comparator circuit to obtain input signal for quaternary circuit. Then, the signal is applied to Quaternary schmitt trigger circuit using a transmission gate.

This paper proposes the Quaternary CMOS schmitt trigger circuit design in voltage mode. By using a basic schmitt trigger circuit to create a comparator circuit with a pass transistor [6].

### II. DCVS THRESHOLD-T-GATE CIRCUIT

The input signal will be used as a control signal for the Pass transistor circuit. The circuit is shown in Fig. 3 with logic 1 is low-level signal, Logic 2 is signal at intermediate voltage and logic 3 is high-level signal. It is defined in Table I.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE I. TRUTH TABLE OF QUATERNARY CIRCUIT

X	Y	F(x,y)
0	0	C <sub>0</sub>
0	1	C <sub>1</sub>
0	2	C <sub>2</sub>
0	3	C <sub>3</sub>
1	0	C <sub>4</sub>
1	1	C <sub>5</sub>
1	2	C <sub>6</sub>
1	3	C <sub>7</sub>
2	0	C <sub>8</sub>
2	1	C <sub>9</sub>
2	2	C <sub>10</sub>
2	3	C <sub>11</sub>
3	0	C <sub>12</sub>
3	1	C <sub>13</sub>
3	2	C <sub>14</sub>
3	3	C <sub>15</sub>

By definition, operators are as follows:

Low-level Threshold-T gate operator is shown in equation (1).

$$T' = \begin{cases} F & \text{if } F < \tau \\ F' & \text{if } F \geq \tau \end{cases} \quad (1)$$

High-level Threshold-T gate operator is shown in equation (2).

$$T = \begin{cases} F' & \text{if } F > \tau \\ F & \text{if } F \leq \tau \end{cases} \quad (2)$$

Transfer Characteristic operator is shown in equation (3).

$$C * B = \begin{cases} C & \text{if } B = T \\ B' & \text{if } B = T' \end{cases} \quad (3)$$

Fig. 4 shows the Threshold-T gate circuit that output signal is used as control signal for the Quaternary CMOS signal trigger circuit and the Threshold-T gate circuit is divided into 3 parts. By definition, the output node x(1) is low-level control signal part as shown in Fig. 4a, the output node x(2) is intermediate control signal part as shown in Fig. 4b, and the output node x(3) is high-level control signal part as shown in Fig. 4c.

When the input signal with voltage is equal 0 V, across the Threshold-T gate circuit, the PMOS transistor is in ON state but the NMOS transistor is in OFF state. In this range, the output signal of the Threshold-T gate circuit at output node

x(3) is 3V, the output node x(2) is 2V and the output node x(1) is 1V.



Fig. 4. TCN's Threshold-T gate circuit

In Fig. 4a, when the input signal voltage is 1V, the PMOS transistor, MP7, at low-level control signal part is stop working and the NMOS transistor, MN8, is start to operate. In this range, the output signal of Threshold-T gate circuit at node x(1) is changing from high to low and the output voltage is been 0V while the output signal at another level is remaining the same.

In Fig. 4b, when the input signal voltage is 2V, the PMOS transistor, MP4, at intermediate control signal part is stop working and the NMOS transistor, MN5, is start to operate. In this range, the output signal of the Threshold-T gate circuit at the node x(2) is changing from high to low and the output voltage is been 1V while the output signal at another level is remaining the same.

In Fig. 4a, when the input signal voltage is 3V, the PMOS transistor, MP1, of the circuit at high-level control signal part is stop working and the NMOS transistor, MN2, is start to operate. In this range, the output signal of the Threshold-T gate circuit at the node s(3) is changing from high to low and the output voltage is been 2V while the output signal at another level is remaining the same. The complete DCVS Threshold-T gate circuit is shown in Fig. 5.



Fig. 5 DCVS Threshold-T gate circuit

III. QUATERNARY CMOS SCHMITT TRIGGER CIRCUIT

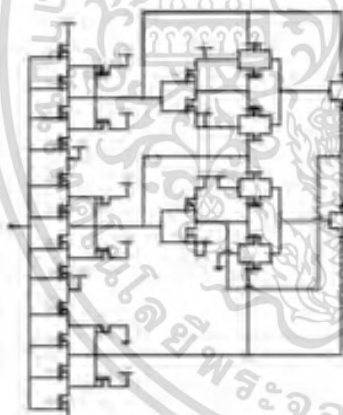


Fig. 6 Quaternary CMOS schmitt trigger circuit

Fig. 6 shows Quaternary CMOS schmitt trigger circuit which the first part is the DCVS Threshold-T gate circuit that generates the control signal for Quaternary CMOS schmitt trigger circuit and the second part is 4:1 multiplexer circuit that makes the control signal become 4 state Schmitt trigger signal.

The control signal output is generated by comparing the threshold voltage as show in Table II.

TABLE II. TRUTH TABLE OF QUATERNARY OUTPUT BY COMPARING THE THRESHOLD VOLTAGE.

Input	Threshold-T gate Output		
	s(1)	s(2)	s(3)
0	1	2	3
1	0	2	3
2	0	1	3
3	0	1	2

In the DCVS Threshold-T gate circuit, it generates three control signals with a voltage range of 2 - 3 volts for high-level control signal at node s(3), a voltage of 1 - 2 volts for intermediate control signal at node s(2) and a voltage of 0 - 1 volts for low-level control signal at node s(1). The three control signals are applied to the second part circuit, which is 4:1 multiplexer, to obtain quaternary signals.

IV. SIMULATION AND RESULT

All simulations are performed the HSpice simulator based on 90 nm CMOS technologies.



Fig. 7 Input and Output of Quaternary CMOS schmitt trigger circuit

Fig. 7 shows the output signal from Quaternary CMOS schmitt trigger circuit when the input signal is a triangular signal by operating at 6.7MHz at Vdd1 = 3V, Vdd2 = 2V and Vdd3 = 1V. The voltage transfer characteristics is shown in Fig. 8.

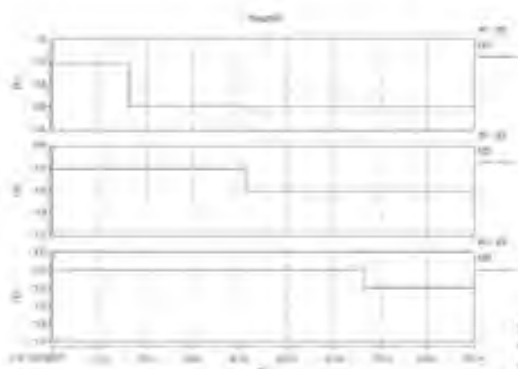


Fig. 8 Voltage transfer characteristic of Quaternary CMOS schmitt trigger circuit



Fig. 9 Comparing of the input signal, Threshold voltage and Output signal

Fig. 9 shows the comparing of the input and output signals, it is evident that the threshold voltage of the schmitt trigger circuit will have six points, which is  $V_{th1}$ ,  $V_{th2}$ ,  $V_{th3}$ ,  $V_{th4}$ ,  $V_{th5}$  and  $V_{th6}$ . As shown in Fig. 10.



Fig. 10 Threshold voltage of Quaternary CMOS schmitt trigger circuit

Fig. 11 Comparing of Quaternary CMOS schmitt trigger circuit and Ternary CMOS schmitt trigger circuit

Fig. 11 shows the comparing of Quaternary CMOS schmitt trigger circuit and Ternary CMOS schmitt trigger circuit when the input signal is a triangular signal. By operating at 6.7MHz at  $V_{dd1} = 1V$ ,  $V_{dd2} = 2V$  and  $V_{dd3} = 3V$ .

## V. CONCLUSION

The quaternary CMOS schmitt trigger circuit simulated with the HSpice program using 90 nm CMOS technology and uses 34 transistors. When entering a triangular signal at 6.7 MHz, the hysteresis loop  $V_{th1} = 2.67V$ ,  $V_{th2} = 2.33V$ ,  $V_{th3} = 1.63V$ ,  $V_{th4} = 1.33V$ ,  $V_{th5} = 0.64V$  and  $V_{th6} = 0.34V$ . And the width of the three loop loops is  $V_{th} = 0.3$ .

## REFERENCES

- [1] B. L. Doki, "CMOS Schmitt triggers," *IEE Proc. G Electronic Circuits and Systems*, vol.131, no. 5, pp. 197-202, Oct. 1984.
- [2] Z. G. Vranesic, "Multiple-Valued Logic: An Introduction and Overview," *IEEE Trans. on Computers*, vol. C-26, no. 12, pp. 1181-1182, Dec. 1977.
- [3] K. Ramkumar, K. Nagaraj, "A ternary Schmitt trigger," *IEEE Trans. on Circuits and Systems*, vol. 32, no. 7, pp. 732-735, Jul. 1985.
- [4] K. Angkasa, S. Wisornphanichkij, K. Dejhan, P. Choevruyut, S. Jinnapiya and C. Soonyeckan, "A Design of Ternary Schmitt Trigger Circuit," *Proc. of the 8th (ISIC'99)*, Singapore, pp. 282-285, 8-10 Sep., 1999.
- [5] G. Huang, "Theory of current transmission switches and its application to design of a novel current-mode CMOS ternary Schmitt trigger," *Proc. 6th Int. Conf. on ASIC (ASICON2005)*, vol. 1, pp. 295-299, 24-26 Oct. 2005.
- [6] A. LeGerdinewig, S. Tooprasit, "Ternary CMOS Schmitt Trigger Circuit Design," *Ladkrabang Engineering Journal*, Vol. 29, No.4, Dec. 2012.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายกฤติน พรชุตระง
วัน เดือน ปีเกิด	19 กรกฎาคม 2534
ที่อยู่	49/293 นิคมใหม่ 34 สามวาตะวันออก คลองสามวา กรุงเทพฯ 10510
ประวัติการศึกษา	2553 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2558 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้