รายงานสหกิจศึกษาฉบับสมบูรณ์

ระบบทดสอบการอินเทอร์ล็อคบนพื้นฐานดีซีเอสของ Foxboro
Interlocking Simulator Based on Foxboro DCS

นายภุชงค์ ทัศนวัฒน์

หลักสูตรวิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมอัตโนมัติ
ภาควิชาวิศวกรรมการวัดและควบคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2559

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

T148521

รายงานสหกิจศึกษาฉบับสมบูรณ์

ระบบทดสอบการอินเทอร์ล็อคบนพื้นฐานดีซีเอสของ Foxboro

Interlocking Simulator Based on Foxboro DCS

นายภุชงค์ ทัศนวัฒน์

b.10287037x7
l.
ว/ท
ว1622ร
2559
สขหมู่
เลขทะเบียน 148521
วัน.เดือน.ปี 30 ต.ค. 2560

หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอัตโนมัติ

ภาควิชาวิศวกรรมการวัดและควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงานสหกิจศึกษา ระบบทดสอบการอินเทอร์ล็อกบนพื้นฐานดีซีเอสของ Foxboro
ชื่อ-สกุล นักศึกษา นาย ภุชงค์ ทัศนวัฒน์ รหัสนักศึกษา 56010946
หลักสูตร วิศวกรรมอัตโนมัติ
คณะ วิศวกรรมศาสตร์
ชื่อ-สกุล อาจารย์นิเทศ ผศ.ดร.ธีรวัฒน์ เทพมณี รศ.ดร.ไสว พงศ์สวัสดิ์
ชื่อ-สกุล ผู้นิเทศ นางสาววิชชุมนต์ ศรีคูณรุ่งเรือง นางสาวพรพิมล วัฒโนภาษ
ชื่อสถานประกอบการ บริษัท อินเวนซิส โปรเซส ซิสเต็มส์ (ประเทศไทย) จำกัด
ปีการศึกษา 2559

บทคัดย่อ

โครงงานนี้อธิบายถึงวิธีการใช้ซอฟท์แวร์ Archestra IDE สำหรับดีซีเอสของ Foxboro และได้มีการนำเสนอการสร้างระบบทดสอบการอินเทอร์ล็อคในการช่วยป้องกันความเสียหายที่จะเกิดขึ้นในอุปกรณ์ รวมไปถึงป้องกันอันตรายที่จะเกิดขึ้นกับผู้ปฏิบัติงานสำหรับโครงงานของลูกค้ารายหนึ่งที่เรียกว่า 'LLDPE' โดยระบบทดสอบการอินเทอร์ล็อคที่นำเสนอนี้สามารถนำไปใช้งานแทนระบบทดสอบการอินเทอร์ล็อคเดิมที่มีขั้นตอนการทดสอบที่ยุ่งยากซับซ้อนมากกว่า จากผลการทดสอบยืนยันได้ว่า ระบบทดสอบที่นำเสนอสามารถนำไปใช้ในการเลียนแบบการทำงานตามเงื่อนไขบูลีนต่าง ๆ เพื่อตรวจสอบฟังก์ชันการทำงานของระบบอินเทอร์ล็อคที่ได้ศึกษา

คำสำคัญ: Archetra IDE, ระบบอินเทอร์ล็อค, ดีซีเอสของFoxboro, ระบบทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title	Interlocking Simulator Based on Foxboro DCS
Student	Mr.Puchong Tassanawat No.56010946
Program	Automation Engineering
Faculty	Engineering
Advisors	Asst.Prof.Dr.Teerawat Thepmanee
	Assoc.Prof.Dr.Sawai Pongsawatd
Mentors	Ms.Wicchumon Treekunrunraung Ms.Pornpimol Watthanopas
Company	Invensys Process Systems (Thailand) Co.,Ltd

ABSTRACT

This project describes how to apply the Archetra IDE software for the Foxboro distributed control system (DCS). Using this software for creating a simulator to check an interlocking system for assisting in preventing damage in equipment as well as injury to operators for a customer's project called 'LLDPE' is presented. The proposed interlocking simulator can be used to replace the previous simulator, which has more complicated steps. Testing results confirm that the proposed simulator can be employed for simulating the boolean conditions for checking the functionality of the studied interlocking systems.

Keyword: Archetra IDE, Interlocking system, Foxboro DCS, Simulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงได้ด้วยดี เนื่องจากได้รับการสนับสนุนจากบุคลากรหลายฝ่าย ได้แก่ บริษัท อินเวนซิส โปรเซส ซิสเต็มส์ จำกัด (ประเทศไทย) (Invensys Process Systems (Thailand) Co.,Ltd) ซึ่งทางบริษัทเป็นผู้เอื้อเฟื้ออุปกรณ์ในการทำงาน และซอฟท์แวร์ต่าง ๆ จากการได้เข้าร่วมโครงการสหกิจศึกษากับทางสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อเปิดโอกาสให้นักศึกษาชั้นปีที่ 4 ได้ร่วมทำโครงงานกับสถานประกอบการ เรียนรู้ชีวิตการทำงานในสถานประกอบการจริง และบุคลากรในบริษัทที่คอยให้คำแนะนำ และคำปรึกษาเป็นอย่างดี โดยเฉพาะคุณวิชชุมนต์ ศรีคูณรุ่งเรือง คุณพรพิมล วัฒโนภาษ ซึ่งเป็นพี่เลี้ยงดูแลมาตั้งแต่ต้น เป็นผู้ที่ควบคุมประสานดูแลโครงงาน รวมถึงบุคลากรท่านอื่น ๆ ภายในบริษัทที่ไม่ได้กล่าวนามทุกท่าน จึงขอขอบพระคุณบุคลากรทุกท่านมา ณ ที่นี้

นอกจากนี้ต้องขอขอบพระคุณคณะอาจารย์ประจำภาควิชาวิศวกรรมอัตโนมัติทุกท่านที่ได้ถ่ายทอดวิชาความรู้ ประสบการณ์ คอยให้คำปรึกษา คำแนะนำทั้งเรื่องการเรียน การเข้าสังคม และแนวคิดในการดำเนินชีวิต ตลอดการศึกษาในระดับปริญญาตรีที่สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง คณะวิศวกรรมศาสตร์ สาขาวิศวกรรมอัตโนมัติ ขอขอบคุณเพื่อน ๆ และพี่ ๆ คณะวิศวกรรมศาสตร์ที่คอยช่วยเหลือ และให้คำแนะนำ สุดท้ายนี้ขอขอบพระคุณครอบครัวที่ให้การสนับสนุน และเป็นกำลังใจมาโดยตลอด

นายภุชงค์ ทัศนวัฒน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูป V

บทที่ 1 บทนำ 1

1.1 ที่มาและความสำคัญ 1

1.2 วัตถุประสงค์ของโครงงาน 2

1.3 ขอบเขตของโครงงาน 2

1.4 ขั้นตอนการศึกษา 2

1.5 แผนการดำเนินการ 3

บทที่2 ทฤษฎีที่เกี่ยวข้อง 4

2.1 กล่าวนำ 4

2.2 ระบบ DCS (Distributed Control System) 4

2.3 Interlocking System 4

2.4 Integrated Control Block 5

2.5 ArchestrA™ Integrated Development Environment(IDE) 9

บทที่ 3 วิธีการดำเนินงาน 10

3.1 กล่าวนำ 10

3.2 วิธีการดำเนินงาน 10

3.3 การเปรียบเทียบระบบทดสอบการอินเทอร์ล็อคระหว่างระบบเดิม และระบบใหม่ที่สร้างขึ้น 23

บทที่ 4 ผลการดำเนินงาน 32

บทที่ 5 สรุปการดำเนินงาน 44

5.1 สรุปผลการดำเนินงาน 44

5.2 ปัญหาและอุปสรรค 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ **หน้า**

2.1 Interlocking Diagram 4
2.2 Real Input Block Diagram 5
2.3 Contract Input Block Diagram 5
2.4 Analog Input Block Diagram 6
2.5 Advance Calculation Block Diagram 7
2.6 Independent Sequence Block Diagram 8
2.7 หน้าจอ Archestra IDE 9
3.1 Interlocking Diagram 10
3.2 Condition interlocking 11
3.3 หน้าจอ Connect To Galaxy 11
3.4 หน้าจอโปรแกรม Archestra IDE 12
3.5 การสร้าง Compound 12
3.6 การเลือกจำนวน Compound 13
3.7 การสร้าง Strategy 13
3.8 การเลือกจำนวน Strategy 14
3.9 Block CALCA ที่ถูกสร้างตามแบบ 14
3.10 แบบ Interlocking Diagram 15
3.11 การทดสอบ Online Block 15
3.12 การแก้ไข Animation Analog 16
3.13 การแก้ไข Scripts 17
3.14 การแก้ไข Custom Properties Analog 17
3.15 การแก้ไข Animation Toggle 18
3.16 การแก้ไข Custom Properties Toggle 18
3.17 การแก้ไข Animation LED 19
3.18 การแก้ไข Custom Properties LED 19
3.19 Interlocking Diagram 20
3.20 การทำ Graphic Simulation 20
3.21 หน้าจอ Simulator 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ **หน้า**

3.22 การ Configuration Graphic Simulation 21
3.23 การใช้ Intouch ในการเปิด Graphic 22
3.24 โปรแกรม Wonderware Viewwer 22
3.25 การเปิดโปรแกรม Control HMI ในส่วนระบบเดิม 23
3.26 การเปิดหน้ากราฟิกในส่วนระบบเดิม 23
3.27 หน้าฟังชันของอินเทอร์ล็อคในส่วนระบบเดิม 24
3.28 วิธีการเปิด Live Data ในส่วนระบบเดิม 24
3.29 การเปิด Live Data ในส่วนระบบเดิม 25
3.30 วิธีการเปิด Block Select ในส่วนระบบเดิม 25
3.31 การใช้เครื่องมือค้นหา TAG ในส่วนระบบเดิม 26
3.32 การเปิดเครื่องมือ Block Select ในส่วนระบบเดิม 26
3.33 การเปลี่ยนโหมด AUTO เป็น MANUAL ของ Block Select ในส่วนระบบเดิม 27
3.34 การตั้งค่าใน Block Select ในส่วนระบบเดิม 27
3.35 ค่าของแบบอินเทอร์ล็อคใน Archestra IDE ในส่วนระบบเดิม 28
3.36 การตั้งค่าใน Block Select ในส่วนระบบเดิม 28
3.37 ค่าของแบบอินเทอร์ล็อคใน Archestra IDE ในส่วนระบบเดิม 28
3.38 การเปิดโปรแกรม Control HMI 29
3.39 การเปิดหน้ากราฟิก 29
3.40 โปรแกรม Archestra IDE 30
3.41 วิธีการเปิด Live Data 30
3.42 การเปิด Live Data 31
3.43 ตัวอย่างกราฟิกเพื่อใช้สำหรับทดสอบการอินเทอร์ล็อคที่สร้างขึ้นใหม่ 31
4.1 INTERLOCKING DIAGRAM ILK_2_40_3_7 32
4.2 Condition ILK_2_40_3_7 33
4.3 Simulation Graphic ILK_2_40_3_7 33
4.4 INTERLOCKING DIAGRAM ILK_2_40_3_8J 34
4.5 Condition ILK_2_40_3_8J 35
4.6 Simulation Graphic ILK_2_40_3_8J 35
4.7 INTERLOCKING DIAGRAM ILK_2_40_3_8I 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ **หน้า**

4.8 Condition ILK_2_40_3_8I 37
4.9 Simulation Graphic ILK_2_40_3_8I 37
4.10 INTERLOCKING DIAGRAM ILK_2_40_16A 38
4.11 Condition ILK_2_40_16A 39
4.12 Simulation Graphic ILK_2_40_16A 39
4.13 INTERLOCKING DIAGRAM ILK_2_40_3_5B 40
4.14 Condition ILK_2_40_3_5B 41
4.15 Simulation Graphic ILK_2_40_3_5B 41
4.16 INTERLOCKING DIAGRAM ILK_2_11_3_2 42
4.17 Condition ILK_2_11_3_2 43
4.18 Simulation Graphic ILK_2_11_3_2 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาและความสำคัญ

ในปัจจุบัน กระบวนการทางอุตสาหกรรม (Industrial Process) จำเป็นต้องมีการควบคุมด้วยระบบควบคุมอัตโนมัติ (Automatic Control System) เนื่องด้วยระบบควบคุมนี้มีผลต่อเสถียรภาพของกระบวนการทางอุตสาหกรรมโดยตรง โดยทั่วไประบบอุตสาหกรรมขนาดใหญ่นิยมใช้ระบบ DCS เช่น อุตสาหกรรมกระดาษ อุตสาหกรรมเคมี และอุตสาหกรรมน้ำมัน เป็นต้น

เนื่องจาก DCS เป็นระบบที่สามารถออกแบบให้มีความน่าเชื่อถือ (Reliability) ด้วยการสร้างระบบสำรอง (Redundant) นอกจากนี้ มีการสร้างระบบอินเทอร์ล็อคที่ทำงานร่วมกับระบบควบคุมอัตโนมัติ เพื่อเป็นการเพิ่มความปลอดภัยให้แก่ผู้ปฏิบัติงาน (Operator) และความปลอดภัยของกระบวนการทางอุตสาหกรรม โดยที่ระบบอินเทอร์ล็อคใช้นการตรวจสอบเงื่อนไขการทำงานของอุปกรณ์ต่าง ๆ ในกระบวนการที่เกี่ยวข้องกับความปลอดภัย

ในการสร้างระบบอินเทอร์ล็อคอาจจะใช้ตัวควบคุม PLC หรืออาจใช้ระบบ DCS ตัวอย่าง เช่น DCS Foxboro ที่มีการออกแบบระบบให้สามารถใช้งานกับการควบคุมกระบวนการ และระบบที่เกี่ยวข้องกับความปลอดภัย ในการสร้างระบบอินเทอร์ล็อคของ DCS นั้น จำเป็นต้องมีระบบทดสอบการอินเทอร์ล็อค (Interlocking Simulator) เพื่อทดสอบประสิทธิภาพของการอินเทอร์ล็อคก่อนการติดตั้งใช้งานจริง

ในโครงงานนี้ เป็นการสร้างระบบทดสอบการอินเทอร์ล็อคเพื่อใช้แทนระบบเดิมสำหรับโปรเจค LLDPE เนื่องจากการทดสอบในระบบเดิมนั้น มีขั้นตอนที่ยุ่งยากซับซ้อน และใช้เวลานานในการปฏิบัติงาน จึงเป็นสิ่งที่นำมาสู่การริเริ่มโครงงานระบบทดสอบการอินเทอร์ล็อคบนพื้นฐาน DCS Foxboro ซึ่งเป็นโครงงานที่เป็นการสร้างระบบทดสอบการอินเทอร์ล็อคที่ทำให้ลดขั้นตอนการทำงานให้สะดวกรวดเร็วมากยิ่งขึ้น เพื่อผลลัพธ์ในการทำงานที่เป็นประสิทธิภาพ ไม่ซับซ้อน และใช้งานได้อย่างง่ายดายมากยิ่งขึ้น อีกทั้งยังเป็นแนวทางการใช้งานในกระบวนการทางอุตสาหกรรมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์ของโครงงาน

1. ออกแบบ และสร้างตารางเงื่อนไขต่าง ๆ ที่มีโอกาสเกิดขึ้นได้ในระบบอินเทอร์ล็อคสำหรับโปรเจค LLDPE
2. สร้างฟังก์ชันพิเศษเพื่อให้ระบบอินเทอร์ล็อคสามารถใช้งานจำลองตามเงื่อนไขที่ได้เตรียมไว้ทั้งหมดได้อย่างมีประสิทธิภาพ
3. ออกแบบ และสร้างหน้าจอแสดงเพื่อติดตาม (Monitoring) และควบคุม (Control) สำหรับการแสดงผล และควบคุมการจำลองระบบตามเงื่อนไขต่าง ๆ ได้

1.3 ขอบเขตของโครงงาน

1. ใช้โปรแกรม Microsoft Excel ในการออกแบบ และสร้างเงื่อนไขต่าง ๆ ที่มีโอกาสเกิดขึ้นในระบบอินเทอร์ล็อค
2. ใช้โปรแกรม Archestra IDE ในการสร้างฟังก์ชันพิเศษเพื่อให้ระบบอินเทอร์ล็อคสามารถใช้งานจำลองตามเงื่อนไขที่เตรียมไว้ทั้งหมดได้อย่างมีประสิทธิภาพ
3. ใช้โปรแกรม Archestra IDE ในการออกแบบ และสร้างหน้าจอแสดงผลเพื่อติดตาม และควบคุมการจำลองระบบตามเงื่อนไขต่าง ๆ ได้
4. ใช้โปรแกรม Intouch และControl HMI ในการแสดงผลเพื่อติดตาม และควบคุมการจำลองตามเงื่อนไขต่าง ๆ

1.4 ขั้นตอนการศึกษา

1. ศึกษา และทำความเข้าใจเกี่ยวกับ Interlocking Logic Diagram เพื่อแยกแยะเงื่อนไขต่าง ๆ
2. บันทึกเงื่อนไขต่าง ๆ ที่จะเกิดขึ้น
3. ศึกษาการใช้โปรแกรม Archestra IDE เพื่อทำการสร้างฟังก์ชันพิเศษในซอฟท์แวร์ และกราฟิก
4. สร้างฟังก์ชันพิเศษเพื่อการจำลองระบบอินเทอร์ล็อค
5. สร้างกราฟิกเพื่อการจำลองเหตุการณ์ต่าง ๆ ที่เกิดขึ้นของระบบอินเทอร์ล็อค
6. จำลองและทดสอบระบบอินเทอร์ล็อค
7. เปรียบเทียบระบบทดสอบอินเทอร์ล็อคระหว่างระบบเดิม และระบบใหม่ที่สร้างขึ้น
8. บันทึกผลการทดสอบและรายงานต่อหัวหน้างานเพื่อทำการสรุปส่งต่อลูกค้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 แผนการดำเนินการ

ลำดับ	แผนการดำเนินงาน	เดือน	สิงหาคม				กันยายน				ตุลาคม				พฤศจิกายน			
		สัปดาห์ที่	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1	ตรวจสอบเงื่อนไขต่าง ๆ ที่มีโอกาสเกิดทั้งหมดจาก Interlock Logic Diagram และบันทึกเงื่อนไขนั้น ๆ ลงไปในโปรแกรม Excel																	
2	ศึกษาการใช้ซอฟท์แวร์เพื่อพัฒนาซอฟแวร์เพื่อใช้ในการจำลองเงื่อนไขต่าง ๆ ในระบบอินเทอร์ล็อค																	
3	พัฒนาซอฟท์แวร์ให้สามารถจำลองตามเงื่อนไขที่ได้บันทึกไว้																	
4	สร้างกราฟิกเพื่อการจำลองเหตุการณ์ต่าง ๆ ที่เกิดขึ้นของระบบอินเทอร์ล็อค																	
5	จำลอง และทดสอบระบบอินเทอร์ล็อค บันทึกผลการทดสอบ และรายงานผล																	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีที่เกี่ยวข้อง

2.1 กล่าวนำ

สำหรับบทนี้ จะกล่าวถึงทฤษฎีที่เสนอเกี่ยวกับระบบทดสอบการอินเทอร์ล็อค โดยแสดงให้เห็นถึงระบบเครื่องมือ และโปรแกรมที่ใช้ในการปฏิบัติงาน ซึ่งเกี่ยวกับการศึกษาระบบ DCS ระบบอินเทอร์ล็อค การใช้ซอฟท์แวร์ Archestra IDE และเครื่องมือที่ใช้ในโปรแกรมที่เกี่ยวข้องกับระบบทดสอบการอินเทอร์ล็อค

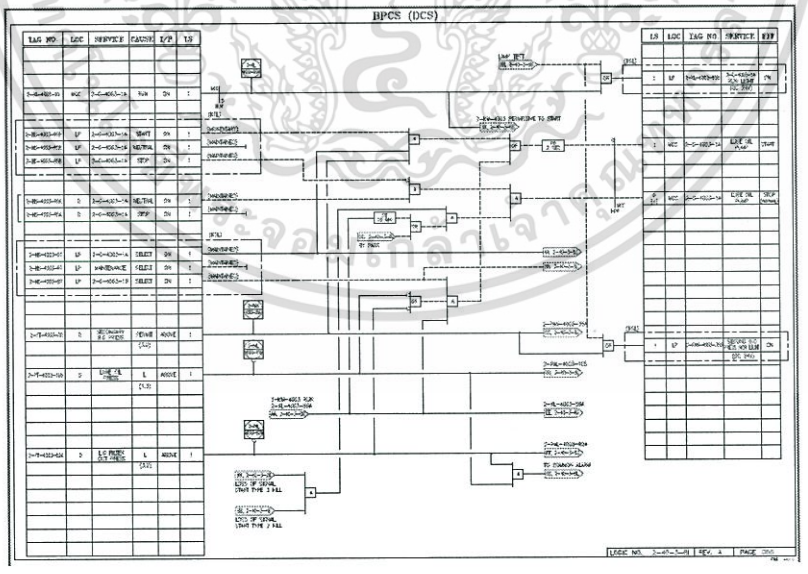
2.2 ระบบ DCS (Distributed Control System)

ระบบ DCS (Distributed Control System) คือ ระบบควบคุม (Control) และการติดตาม (Monitoring) ที่ใหญ่ที่สุดเมื่อเทียบกับระบบควบคุมทั้งหมด และใช้กันอย่างแพร่หลายที่สุดในอุตสาหกรรมขนาดใหญ่ เช่น โรงกลั่นน้ำมัน แท่นขุดเจาะน้ำมัน และก๊าซ อุตสาหกรรมปิโตรเคมี และเคมิคอลทั้งหลาย

นอกจากนั้น ระบบ DCS ยังมีความเสถียร และแม่นยำค่อนข้างสูง จึงเป็นที่นิยมในอุตสาหกรรมที่มีความเสี่ยงสูง เช่น อุตสาหกรรมปิโตรเคมี เป็นต้น

2.3 Interlocking System

ระบบอินเทอร์ล็อค คือ ระบบที่ถูกออกแบบเพื่อให้การทำงานของอุปกรณ์นั้นสามารถเป็นไปตามเงื่อนไข โดยถูกออกแบบเพื่อป้องกันการเปิดปิดที่ไม่พึงประสงค์ที่อาจเกิดจากตัวบุคคลเอง หรือตัวอุปกรณ์ที่ทางบริษัทผู้ออกแบบจะออกแบบเงื่อนไขเพื่อไม่ให้อุปกรณ์นั้นๆสามารถถูกเปิด หรือปิดได้โดยที่ไม่ตรงตามเงื่อนไขที่ถูกกำหนดไว้



รูปที่ 2.1 Interlocking Diagram

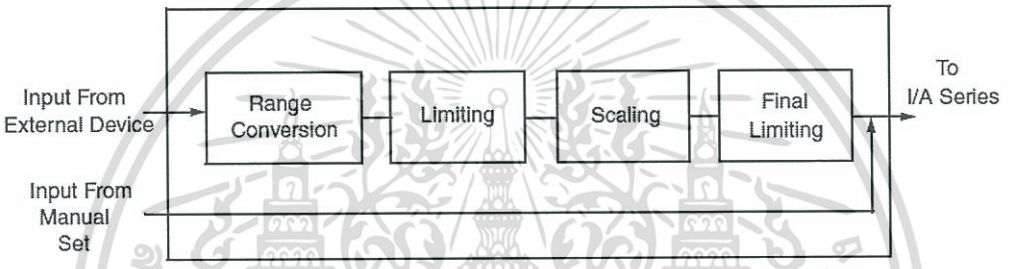
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Integrated Control Block

การใช้ Control Block ในการจัดการข้อมูลเพื่อใช้ในระบบ Control Block นั้นมีมากมาย โดยสามารถเลือกใช้ตามความเหมาะสม ทั้งนี้จะยกตัวอย่าง Control Block ที่สำคัญซึ่งใช้ในงาน Interlocking System มีดังนี้

RIN-Real Input Block

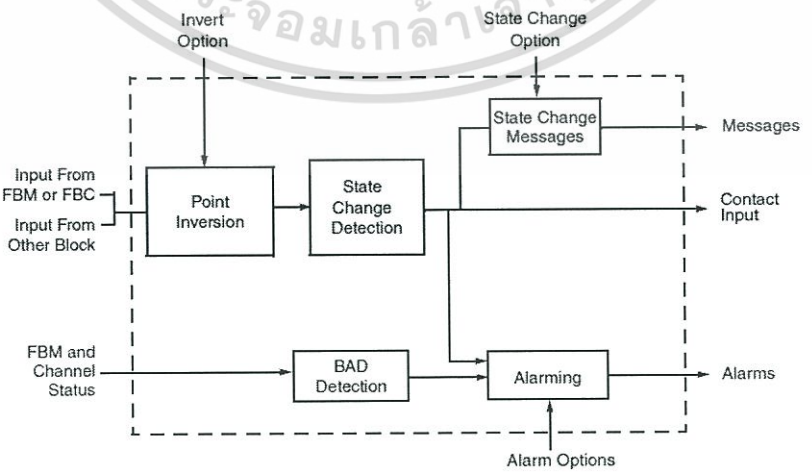
Real Input Block(RIN) เป็น Block ที่ใช้รับค่า Analog Input จาก Field device โดยจะแสดงค่า Input ที่ผ่านกระบวนการมาแล้วโดยรับค่าผ่านพารามิเตอร์ RINP และออกเป็นพารามิเตอร์ MEAS โดยค่า RINP และ MEAS จะเป็นค่าเดียวกันในโหมด AUTO เมื่อเป็นโหมด MANUAL ค่า MEAS จะเป็นอิสระต่อ RINP



รูปที่ 2.2 Real Input Block Diagram

CIN-Contact Input Block

Contact Input Block (CIN) ใช้สำหรับ point ที่เป็นค่าประเภท Digital input และ Digital output จาก Fieldbus Module Fieldbus Card หรือค่าจาก Block อื่น มีฟังก์ชัน State change Message และ Alarm

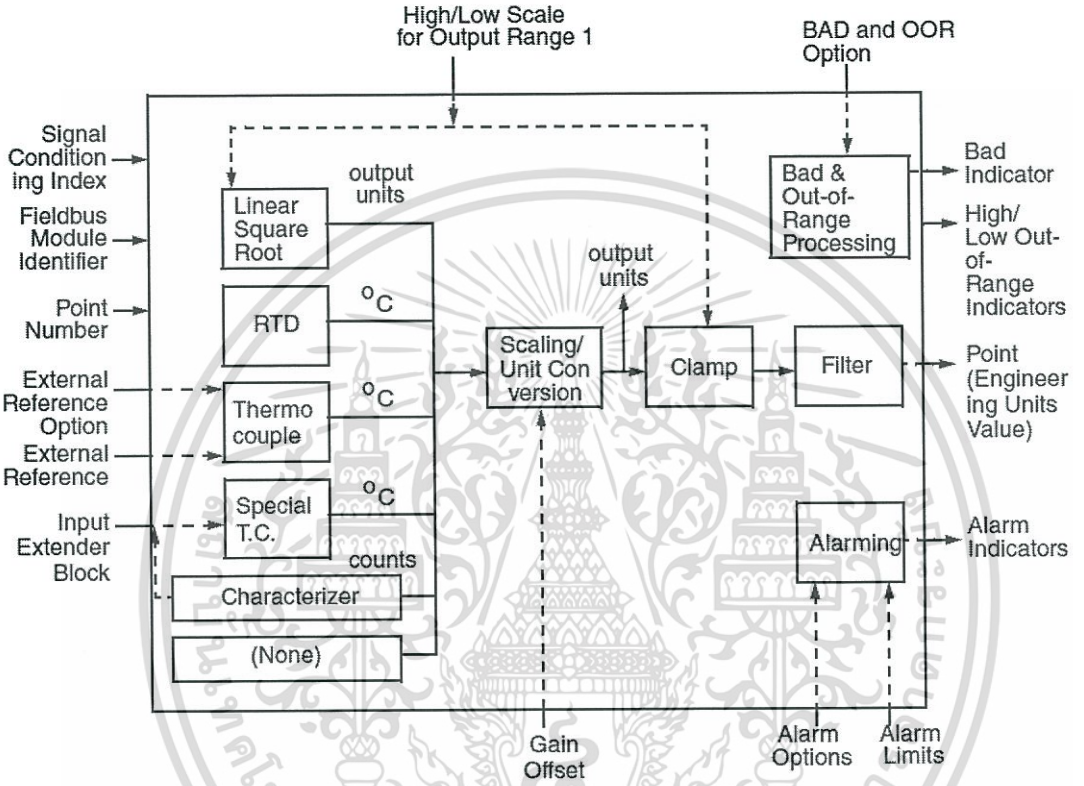


รูปที่ 2.3 Contract Input Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AIN-Analog Input Block

Analog Input Block (AIN) ใช้สำหรับรับค่าข้อมูลขาเข้า สำหรับ point ที่เป็นค่าประเภท Analog Pulse หรือ Count จาก Fieldbus Module Fieldbus Card หรือค่าจาก Block อื่น ๆ โดยที่ Output จะถูกส่งออกมาเป็น Engineering Unit ที่ถูกจัดให้เหมาะสมแล้ว รวมทั้งใน Block มีฟังก์ชันสร้าง Alarm แจ้งเตือนโดยส่งออกในรูปแบบ Boolean



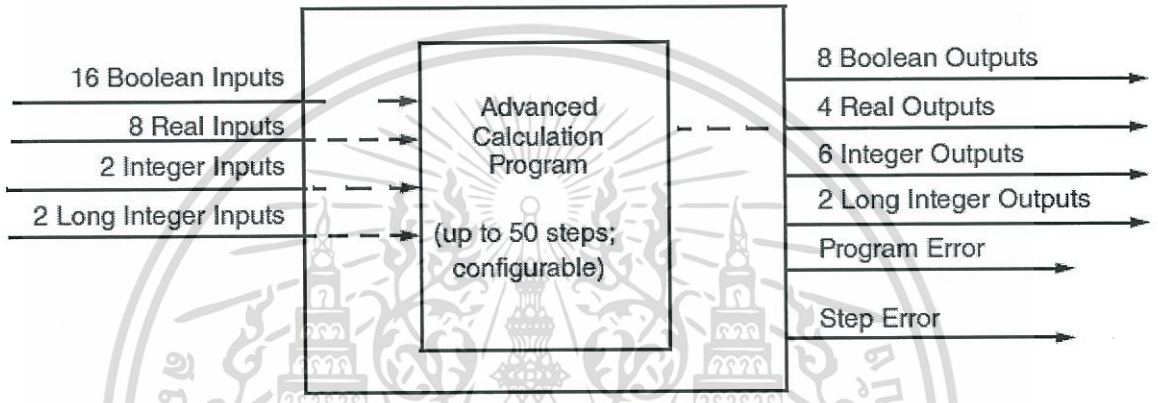
รูปที่ 2.4 Analog Input Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CALCA-Advance Calculation Block

Advance Calculation Block (CALCA) สามารถจัดการการดำเนินการทางโครงสร้าง Logic และทางการคำนวณทางคณิตศาสตร์ได้อย่างมีประสิทธิภาพสูง สามารถ Configuration ได้ทั้งหมด 50 step ต่อ Block สามารถ Configuration โดยใช้ภาษาระดับสูง (High level Batch language) หรือ Configuration ในรูปแบบโครงสร้างทาง Logic

CALCA สามารถรับค่า Input ทั้งแบบ Digital และ Analog ได้ และ output ก็สามารถถูกส่งในรูป Boolean output หรือ Real Output ได้เช่นกัน

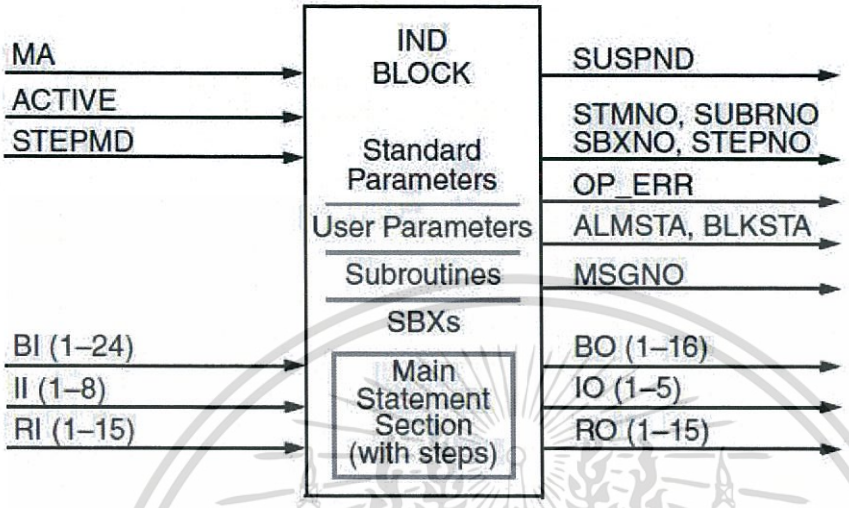


รูปที่ 2.5 Advance Calculation Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IND-Independent Sequence Block

IND-Independent Sequence Block ใช้สำหรับเขียน Sequence ให้เป็น Application ตามต้องการโดยใช้ภาษาระดับสูง (High Level Batch Language) ในการสร้าง Application นั้น ๆ



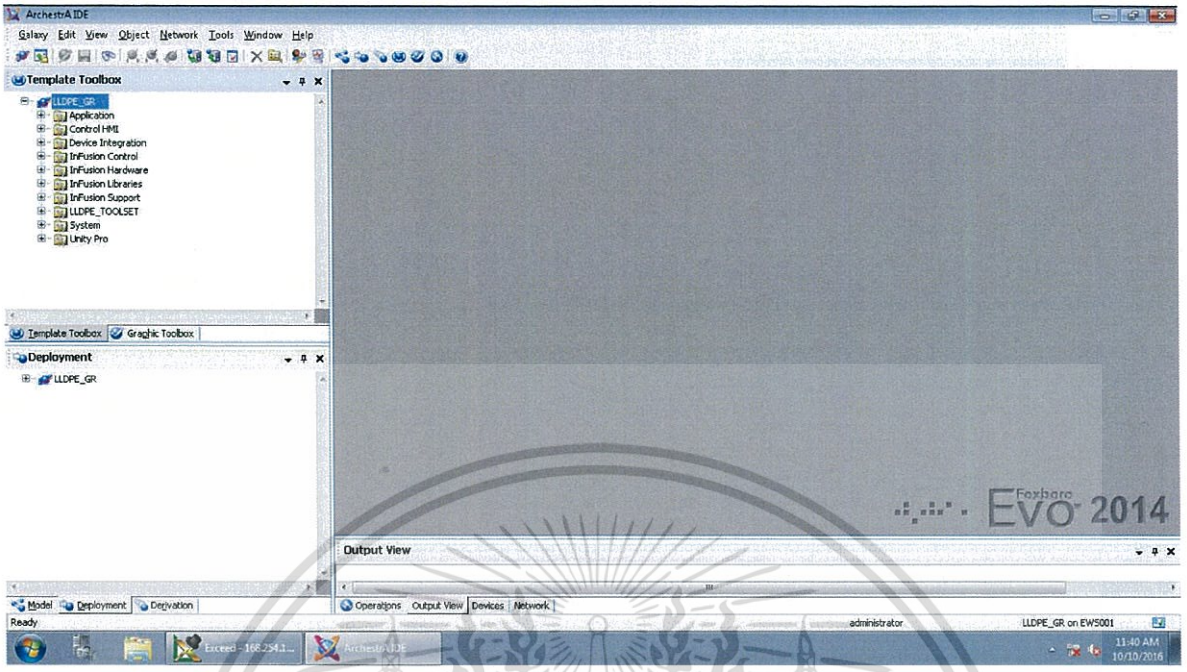
รูปที่ 2.6 Independent Sequence Block Diagram

ตัวอย่างการเขียน HLBL (High Level Batch Language) ใน IND Block

```
INDEPENDENT_SEQUENCE {*************************************
**                                                         **
** NAME: IND_HV11093                                       **
** TYPE: IND                                               **
** AUTHOR:                                                 **
** REVISION HISTORY:                                       **
**     9/28/2016   Created                                 **
**                                                         **
*************************************************************}
#define           TIRA_11091A       :LL11DCS011:TIRA11091A
#define           TIRA_11091B       :LL11DCS011:TIRA11091B
#define           ZLO_11093         :LL12DCS012:ZLO11093
#define           HS_11093AOPN      :LL12DCS012:HS11093AOPN
#define           HS_11093ACLS      :LL12DCS012:HS11093ACLS
#define           HS_11093BCLS      :LL12DCS012:HS11093BCLS

CONSTANTS {*************************************************
           * specify any Constants                        *
           *            in the following format:          *
           ***********************************************
           * 12_char_name = value ;                       *
           ***********************************************}
      START=TRUE;
      STOP=FALSE;
      OPEN=TRUE;
      CLOSE=FALSE;

VARIABLES {*************************************************
           * specify any Block Local variables            *
           *            in the following format:          *
           *                                              *
           *where type is one of B, I, R, S, S12, S6*
           ***********************************************}

USER_LABELS {***********************************************
           *  specify any user labeled parameters        *
           *       in one of the following formats:      *
           ***********************************************
           *   10_char_name : BI00nn; n = 01 -- 24       *
           *   10_char_name : BO00nn; n = 01 -- 16       *
           *   10_char_name : BA000n; n =  1 --  4       *
           *   10_char_name : RI00nn; n = 01 -- 15       *
           *   10_char_name : RO00nn; n = 01 -- 15       *
           *   10_char_name : RA000n; n =  1 --  2       *
           *   10_char_name : II000n; n =  1 --  8       *
           *   10_char_name : IO000n; n =  1 --  5       *
           *   10_char_name : IA0001;                    *
           *   10_char_name : SN00nn; n = 01 -- 10       *
           ***********************************************}
STAC1 : BI0001;

           {***********************************************
           * Specify any Subroutines                      *
           ***********************************************
           *                                              *
           * SUBROUTINE name ( formal arguments ) ;      *
           *  VARIABLES  subr. local variables ;          *
           *  STATEMENTS                                  *
           *    ;                                         *
           * ENDSUBROUTINE                               *
           ***********************************************}

STATEMENTS {************************************************
           *       specify the statements here           *
           ************************************************}
     IF (STAC1 = TRUE) THEN

           TIRA_11091A .RINP       :=200;
           TIRA_11091B .RINP       :=200;
           ZLO_11093.IN            :=TRUE;
           HS_11093AOPN.IN         :=TRUE;
           HS_11093ACLS.IN         :=FALSE;
           HS_11093BCLS.IN         :=FALSE;
     ENDIF;

     IF (STAC1 = FALSE) THEN

           TIRA_11091A .RINP       :=250;
           TIRA_11091B .RINP       :=250;
           ZLO_11093.IN            :=FALSE;
           HS_11093AOPN.IN         :=FALSE;
           HS_11093ACLS.IN         :=TRUE;
           HS_11093BCLS.IN         :=TRUE;
     ENDIF;

ENDSEQUENCE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ArchestrA™ Integrated Development Environment(IDE)



รูปที่ 2.7 หน้าจอ Archestra IDE

ArchestrA™ เป็นโครงสร้างสถาปัตยกรรมรุ่นต่อไปเพื่อระบบการควบคุม และระบบข้อมูลสารสนเทศ ใช้เพื่อพัฒนาระบบบนพื้นฐานของการควบคุมแบบกระจายส่วน

The IDE คือ การบูรณการออกแบบ และพัฒนาตัวเครื่องมือที่ใช้ในซอฟแวร์ เพื่อการ Configuration และ Deploy วัตถุทั้งหมดใน ArchestA ผ่านคอมพิวเตอร์ และมีอุปกรณ์อำนวยความสะดวกพื้นฐาน ทำให้สามารถ Configuration ได้ง่าย สะดวกต่อการพัฒนาโปรแกรม ด้วย IDE นี้จะสามารถนำเข้าวัตถุใน Galaxy ผู้ใช้สามารถ Configuration ค่าคงที่ของวัตถุต้นแบบ และ Deploy ลงในเครื่องข่าย วัตถุเหล่านั้นจะเปลี่ยนแปลงค่าทั้งหมดพร้อมกันใน Galaxy เดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีการดำเนินงาน

3.1 กล่าวนำ

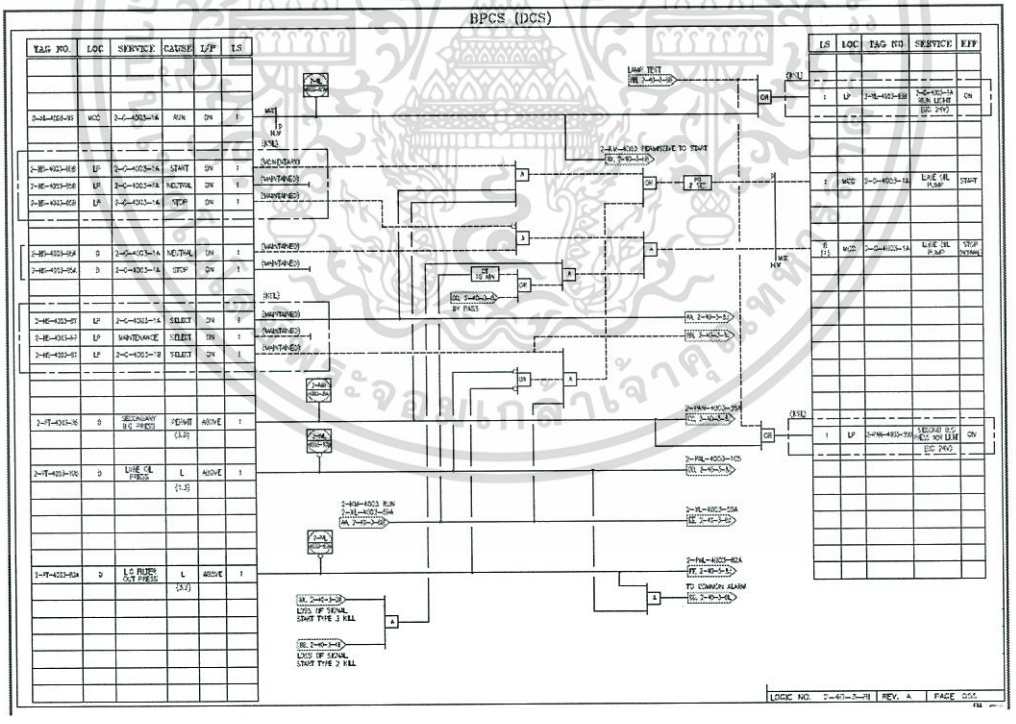
ในบทนี้จะกล่าวถึงแนวทาง และวิธีการดำเนินงาน ซึ่งในส่วนแรก จะกล่าวถึงแนวทางการทำงาน และขั้นตอนการสร้างระบบทดสอบการอินเทอร์ล็อคอย่างละเอียด และในส่วนสุดท้ายกล่าวถึงการเปรียบเทียบระบบทดสอบการอินเทอร์ล็อคระหว่างระบบเดิม และระบบใหม่ที่สร้างขึ้น

3.2 วิธีการดำเนินงาน

ขั้นตอนการพัฒนาซอฟแวร์เพื่อการ Simulation มี 3 ขั้นตอนหลัก ได้แก่

1. ตรวจสอบเงื่อนไขต่าง ๆ ที่มีโอกาสเกิดขึ้นทั้งหมดจาก Interlock Logic Diagram และบันทึกผล
2. สร้างฟังก์ชันพิเศษให้สามารถจำลองตามเงื่อนไขที่ได้บันทึกไว้
3. สร้างกราฟิกเพื่อการจำลองเหตุการณ์ต่าง ๆ ที่เกิดขึ้นของระบบอินเทอร์ล็อค

ในขั้นตอนแรกจะศึกษาวิธีการดูแบบ Interlocking Logic Diagram เพื่อที่จะสามารถตรวจสอบเงื่อนไขการป้องกันตัวอุปกรณ์แต่ละตัวในการผลิตได้



รูปที่ 3.1 Interlocking Diagram

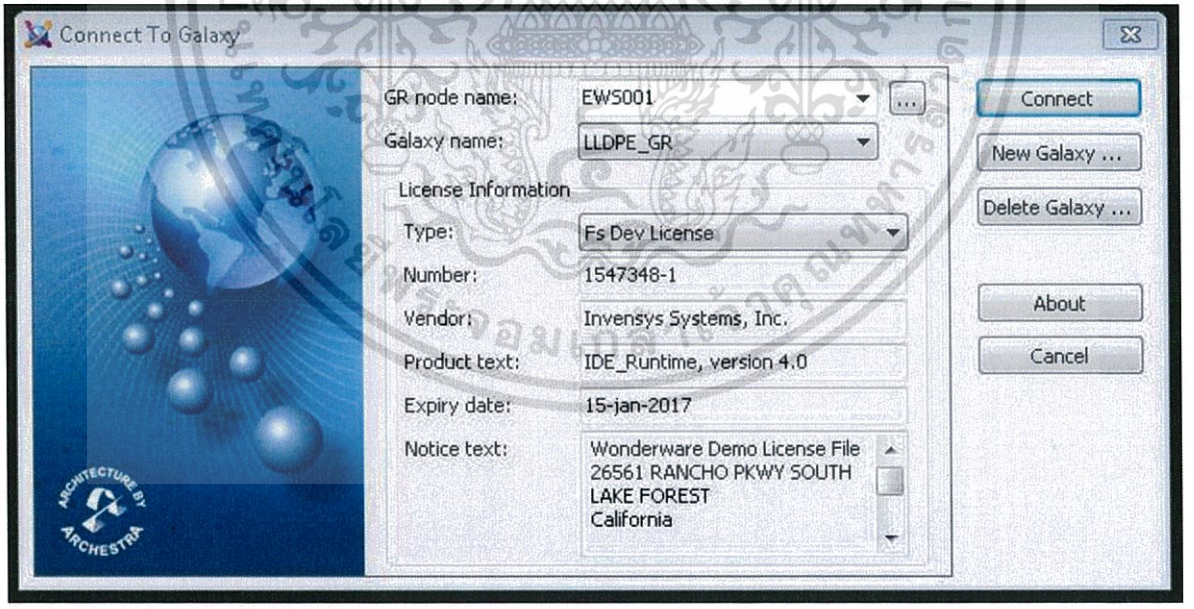
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ Interlocking Logic Diagram ในการสร้างเงื่อนไขต่าง ๆ แล้วบันทึกผลลงใน Microsoft Excel

Strategy name	ILK_2_40_3_8I		1				2			
NO.	OUTPUT	RESULT	INPUT		STAGE STATUS	RELATED LOGIC	INPUT		STAGE STATUS	RELATED LOGIC
1	2-G-4003-1A	START	Case 01				Case 02			
			2-HS-4003-95B= ON		START ON		2-HS-4003-95B		Don't care	
			2-HS-4003-97(A)= ON		SELECT ON		2-HS-4003-97(A)		Don't care	
			2-PT-4003-35= ON		.PNT > 3.0		2-PT-4003-35		Don't care	
			2-HS-4003-97(B)= ON		Don't care		2-HS-4003-97(B)= ON		SELECT ON	
			2-PT-4003-105		Don't care		2-PT-4003-105= OFF	OR	.PNT <= 1.3	
			2-PT-4003-82A		Don't care		2-PT-4003-82A= OFF		.PNT <= 3.2	
			AA_2_40_3_6B		Don't care	ILK_2_40_3_6B	AA_2_40_3_6B= ON		ON	ILK_2_40_3_6B
2	2-G-4003-1A	STOP	Case 01				Case 02			
			2-HS-4003-95B= OFF		STOP ON					
			2-HS-4003-95A= ON		NEUTRAL ON					
			AA_2_40_3_6B= ON	OR	ON	ILK_2_40_3_6B				
			GG_2_40_3_8J= ON		ON	ILK_2_40_3_8J				
			XX_2_40_3_2A= ON		ON	ILK_2_40_3_2A				
			BB_2_40_3_4B= ON		ON	ILK_2_40_3_4B				
3	XX_2_40_3_6B	ON	Case 01				Case 02			
			2-XL-4003-95= ON		RUN ON					
4	AA_2_40_3_8J	ON	Case 01				Case 02			
	BB_2_40_3_8J	ON	2-HS-4003-97=ON		SELECT ON					
5	CC_2_40_3_8J	ON	Case 01				Case 02			
			2-PT-4003-35= ON		.PNT > 3.0					
6	DD_2_403_8J	ON	Case 01				Case 02			
			2-PT-4003-105= ON		.PNT > 1.3					
7	EE_2_40_3_8J	ON	Case 01				Case 02			
			AA_2_40_3_6B= ON		ON					
8	FF_2_40_3_8J	ON	Case 01				Case 02			
			2-PT-4003-82A= ON		.PNT > 3.2					
9	GG_2_40_3_8L	ON	Case 01				Case 02			
			2-PT-4003-105= ON		.PNT > 1.3					
			2-PT-4003-82A= ON		.PNT > 3.2					

รูปที่ 3.2 Condition interlocking

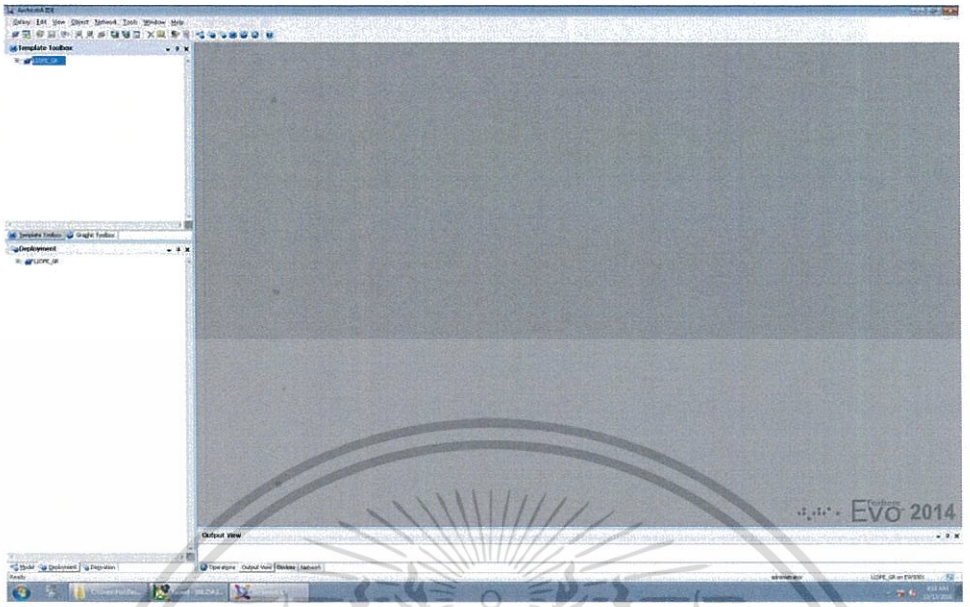
ในขั้นตอนที่สองใช้ซอฟท์แวร์ ArchestrA IDE เพื่อการพัฒนาโปรแกรม Simulator ตามต้องการ โดยการนำเงื่อนไขที่สร้างไว้นำมาจัดการ และดึงค่าต่าง ๆ จากตัวข้อมูลขั้นตอนแรกเปิดโปรแกรม Archestra IDE เลือก Galaxy ที่ใช้ จากนั้นกด Connect



รูปที่ 3.3 หน้าจอ Connect To Galaxy

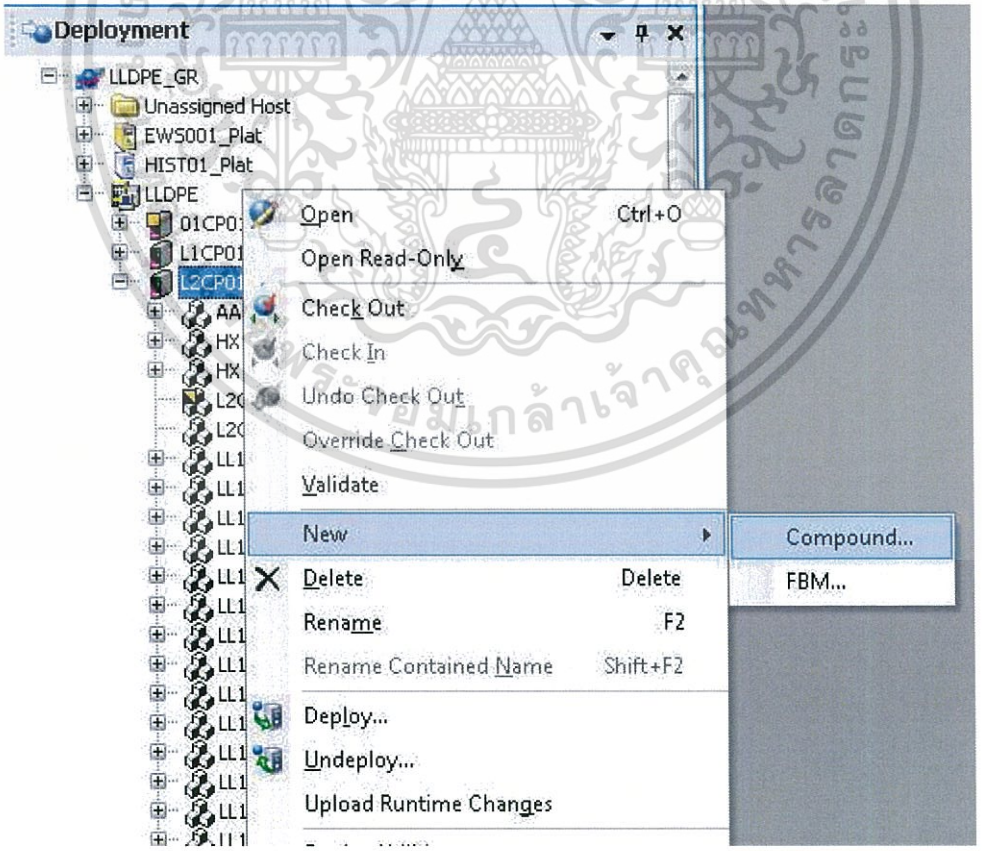
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีหน้าซอฟท์แวร์ของ ArchestrA IDE ขึ้นมา จากนั้นให้ทำการสร้าง Compound และ Strategy



รูปที่ 3.4 หน้าจอโปรแกรม Archestra IDE

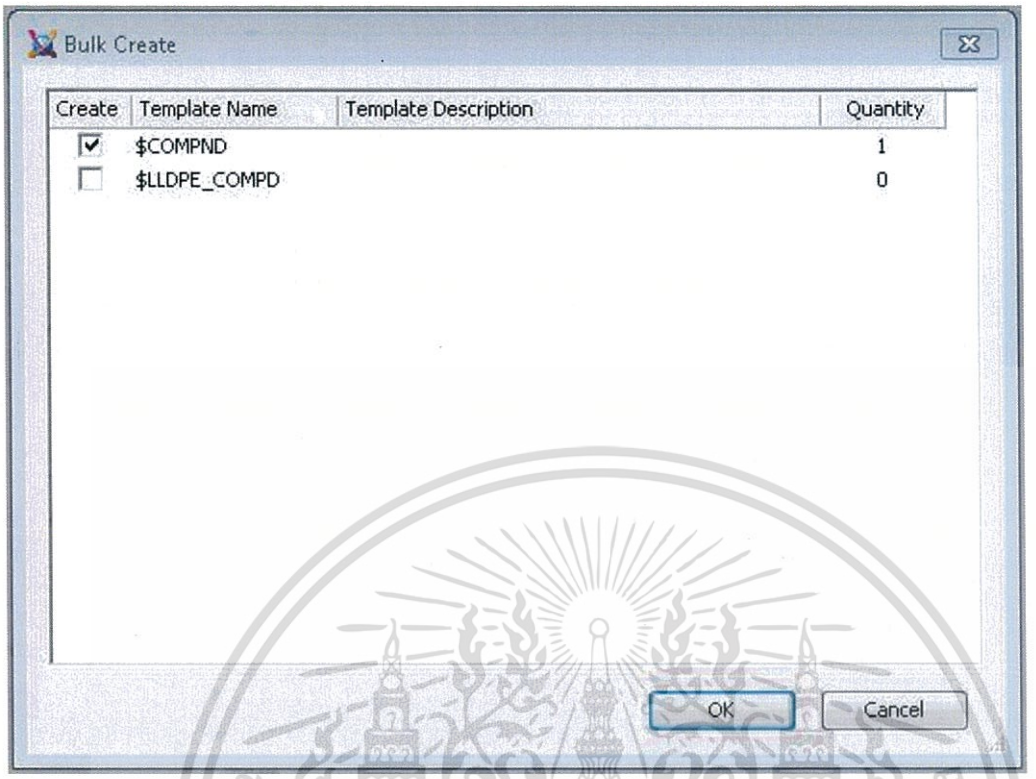
ไปที่หน้าต่าง Deployment คลิกขวาที่ CP ดังรูป เลือก New แล้วเลือก Compound



รูปที่ 3.5 การสร้าง Compound

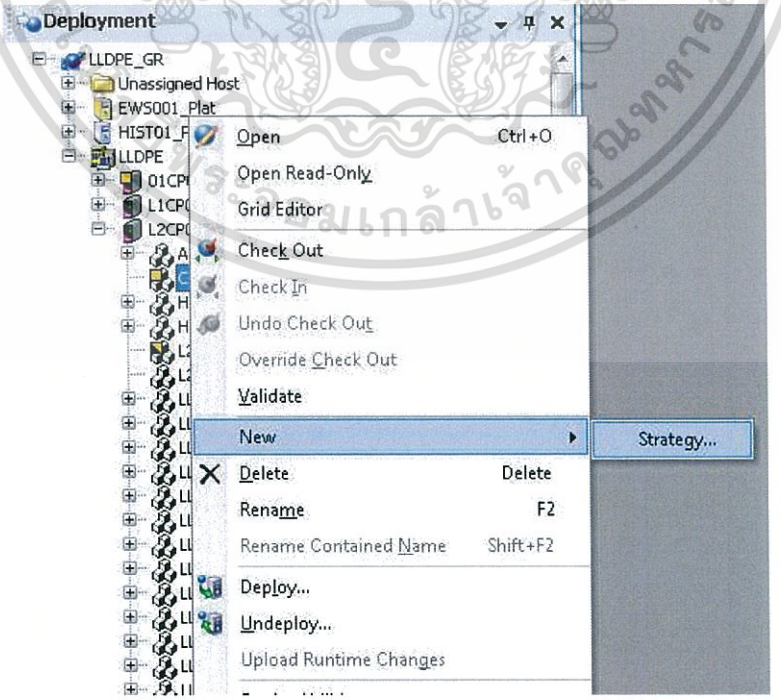
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นเลือกจำนวน Compound ที่ต้องการสร้าง แล้วกด OK



รูปที่ 3.6 การเลือกจำนวน Compound

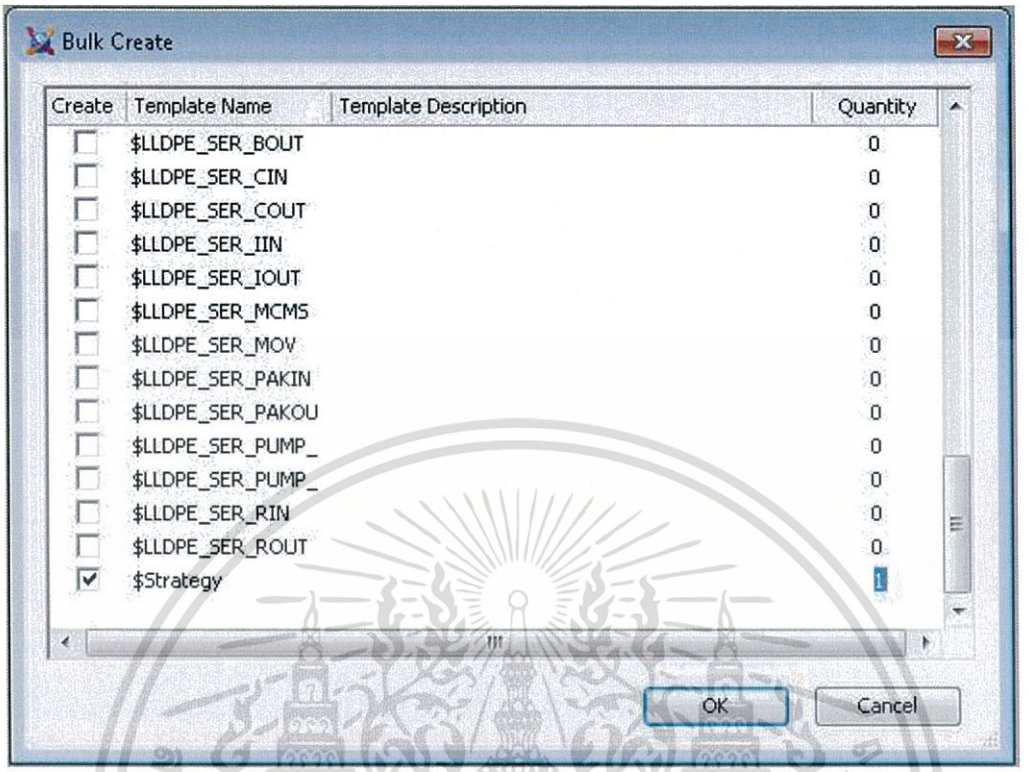
จากนั้นให้สร้าง Strategy ใน Compound โดยคลิกขวาที่ Compound ที่ต้องการ แล้วเลือก New Strategy



รูปที่ 3.7 การสร้าง Strategy

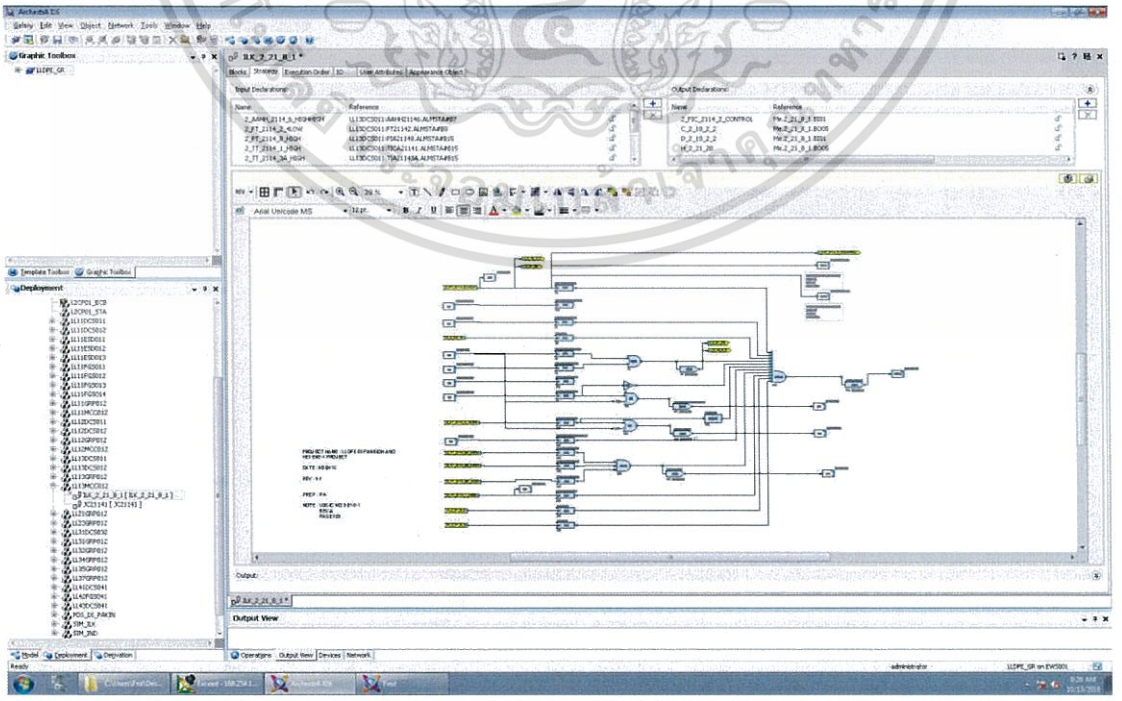
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกจำนวน Strategy ตามที่ต้องการสร้างแล้วกด OK



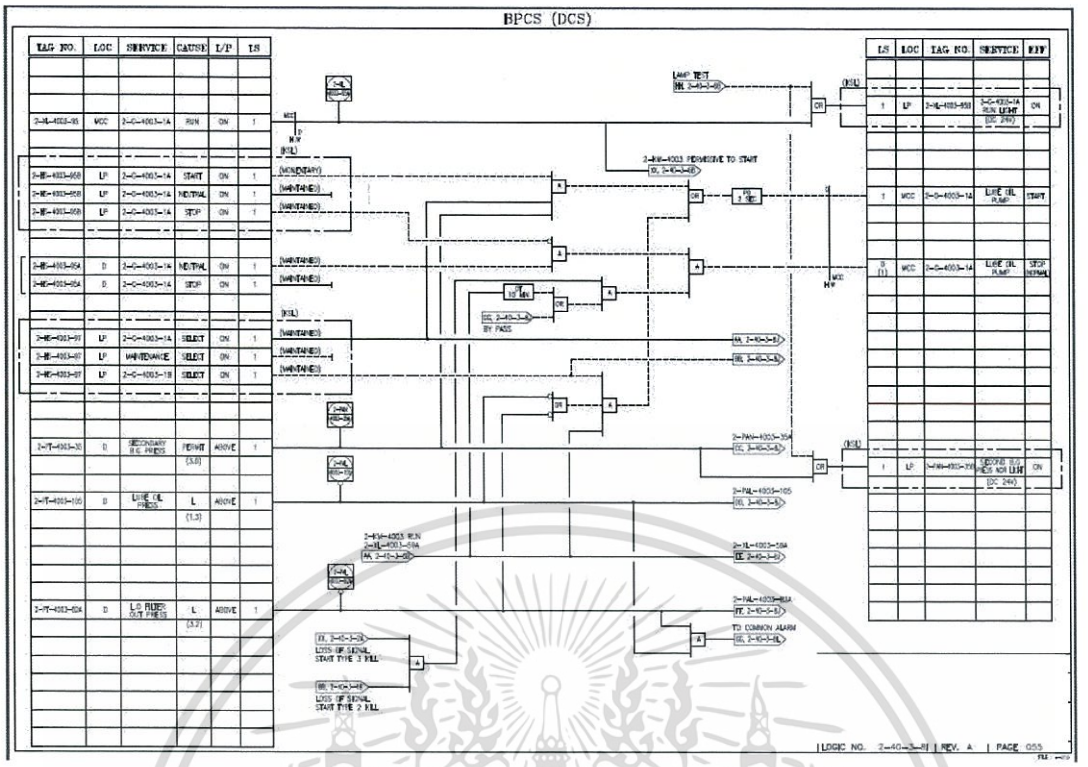
รูปที่ 3.8 การเลือกจำนวน Strategy

สร้าง Block (โดยในที่นี้จะใช้ CALCA Block) ใน Strategy นั้นตามแบบของ Interlocking Logic Diagram



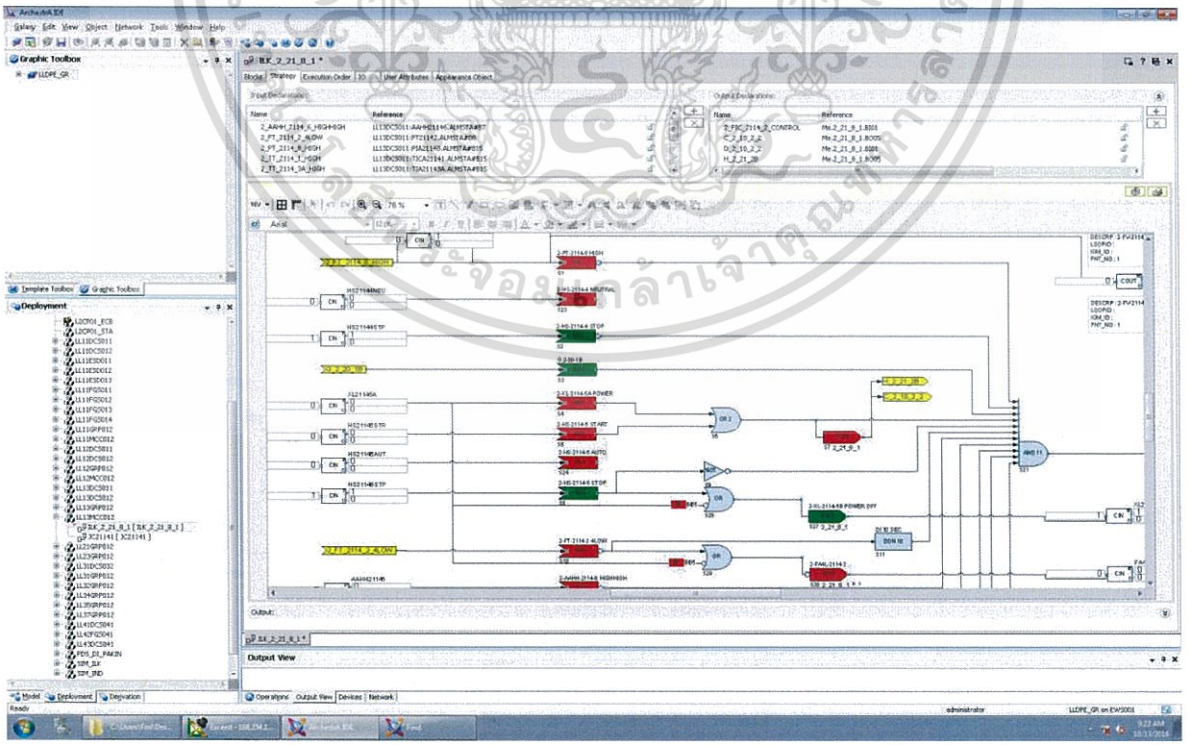
รูปที่ 3.9 Block CALCA ที่ถูกสร้างตามแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แบบ Interlocking Diagram

และทดสอบผลโดยใช้การ Live Block ที่มีในซอฟท์แวร์ Archestra IDE โดยกำหนดให้สีแดงเป็น False สีเขียวเป็น True ทดสอบผลตาม Condition ที่สร้างขึ้นมา



รูปที่ 3.11 การทดสอบ Online Block

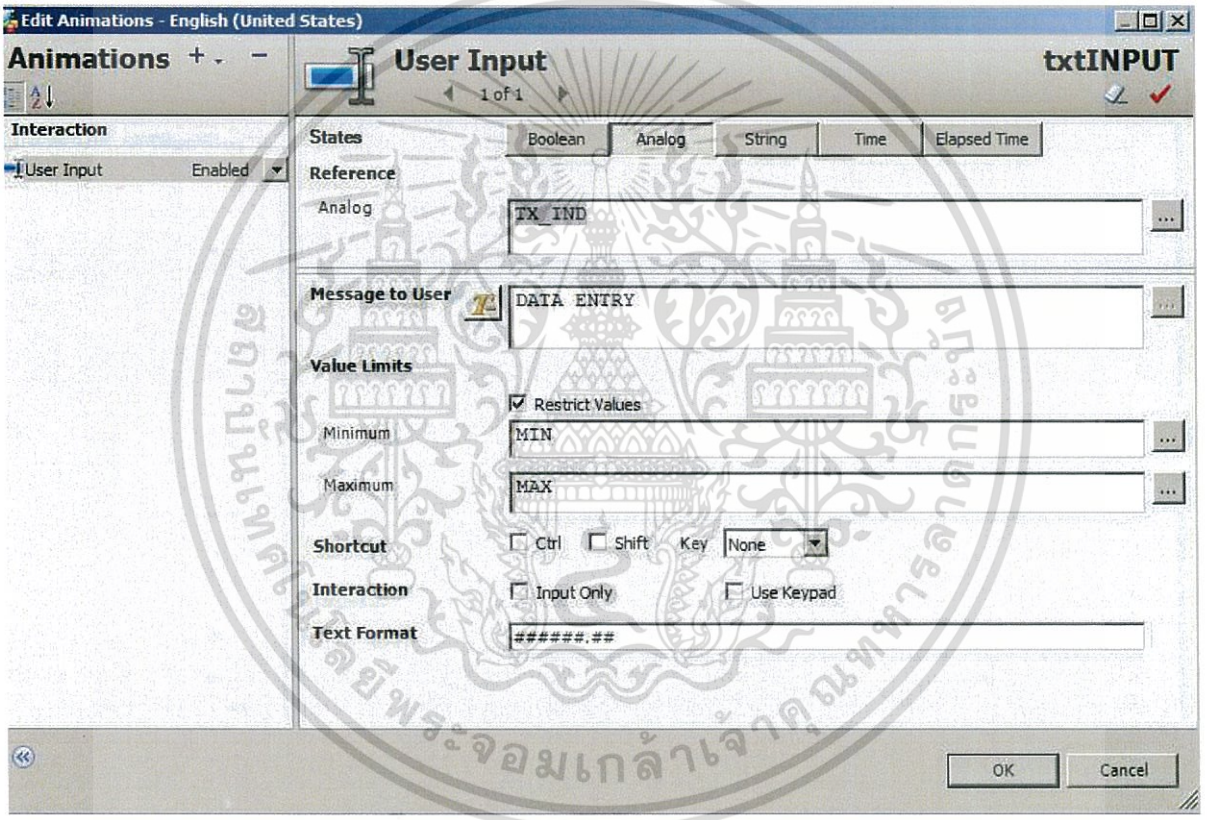
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทดสอบการ live online ได้ผลตามจริงแล้ว จากนั้น สร้างหน้ากราฟิกขึ้นมาเพื่อลองรับค่า Analog digital input และ output ต่าง ๆ นำค่าข้อมูลต่าง ๆ ใน database มา Configuration ในวัตถุที่เตรียมไว้เพื่อขึ้นแสดงในหน้ากราฟิกโดยใช้ซอฟท์แวร์ ArchestrA IDE

โดยขั้นแรกเราจะสร้าง Equipment นั่นคือ ปุ่มกดตัวแสดงผล Digital และตัวรับ และแสดงผลค่า Analog

1. ตัวรับและแสดงผล Analog

สร้างโดยจัดการ Animation ดังนี้

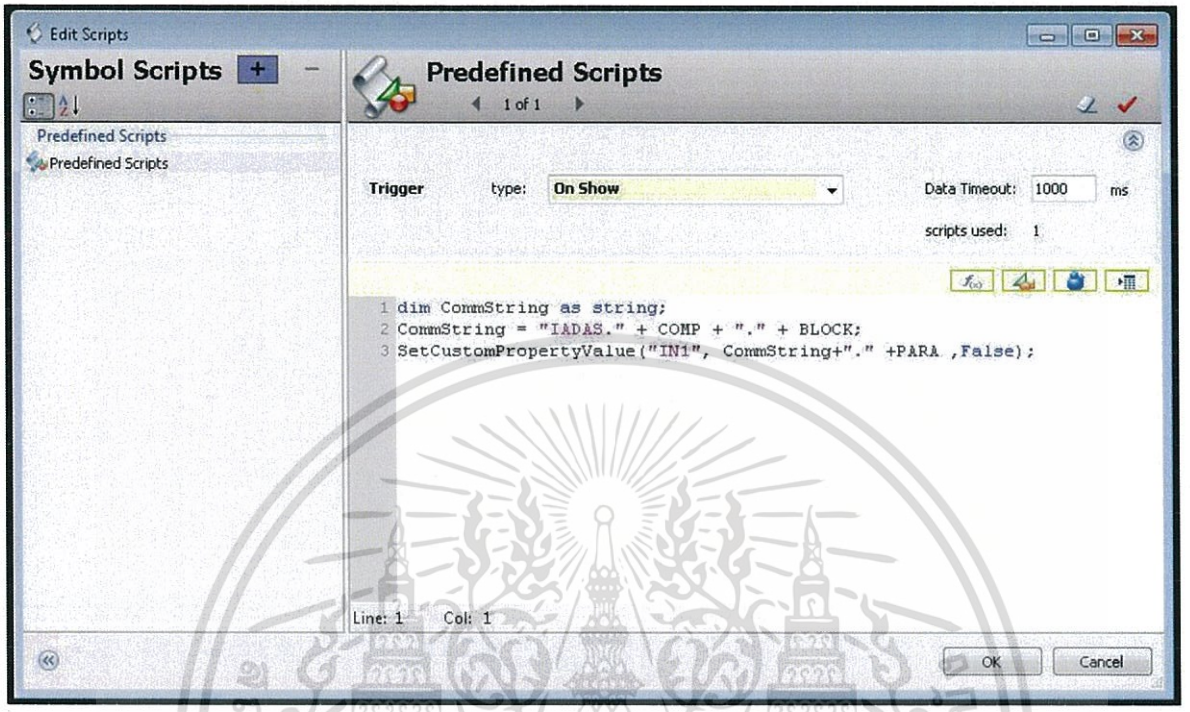


รูปที่ 3.12 การแก้ไข Animation Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

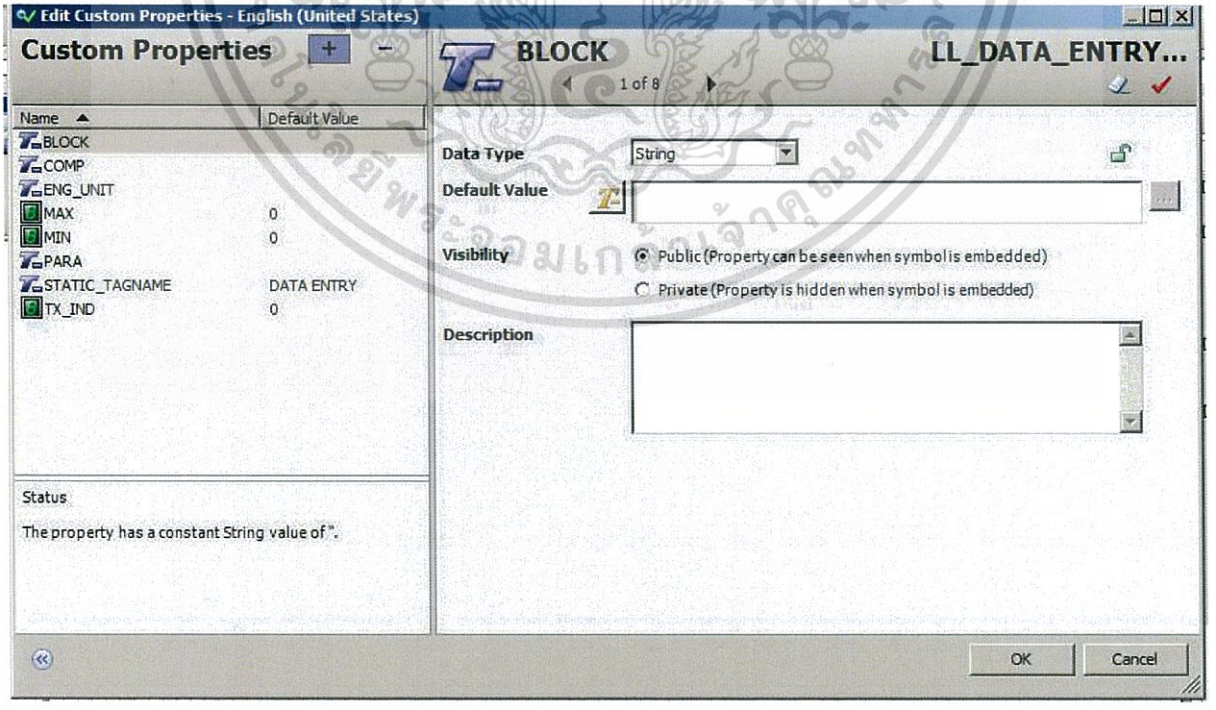
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เขียน Scripts เพื่อง่ายต่อการ Configuration เพื่อจะทำให้สามารถเขียนตำแหน่งของ Block Compound นั้น ๆ ได้โดยไม่ต้องเรียกตามรูปแบบเต็ม (การเรียนรูปแบบเต็มเรียกได้ตามรูปแบบ IADAS.Compound.Block.Parameter)



รูปที่ 3.13 การแก้ไข Scripts

จากนั้นสร้าง Custom Properties ดังนี้

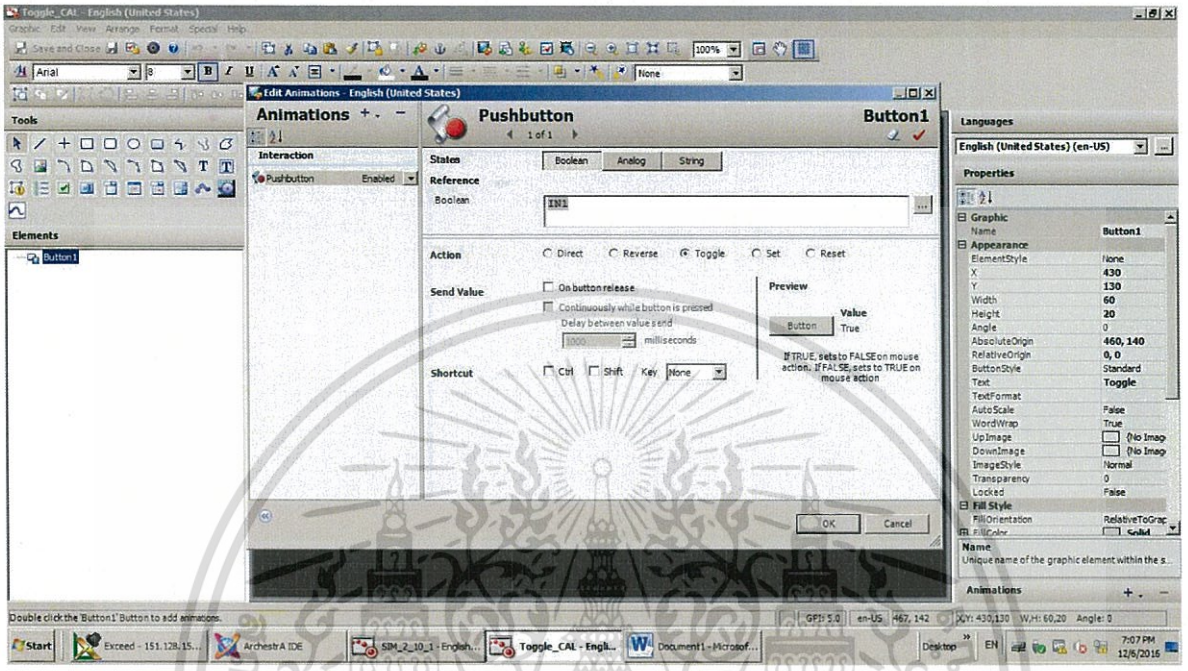


รูปที่ 3.14 การแก้ไข Custom Properties Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้
148521

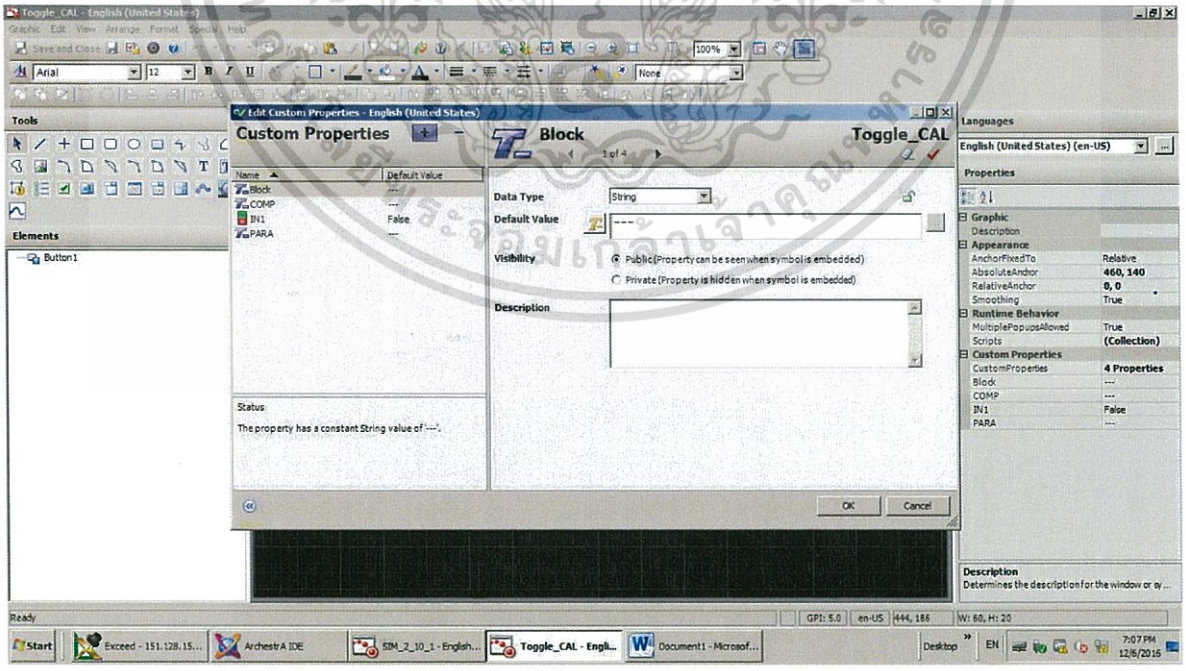
2. สวิตส์สลับเปลี่ยนค่า Digital 0-1 แบบ toggle

โดยจัดการ Animation ดังนี้



รูปที่ 3.15 การแก้ไข Animation Toggle

จากนั้นสร้าง Custom Properties ดังนี้

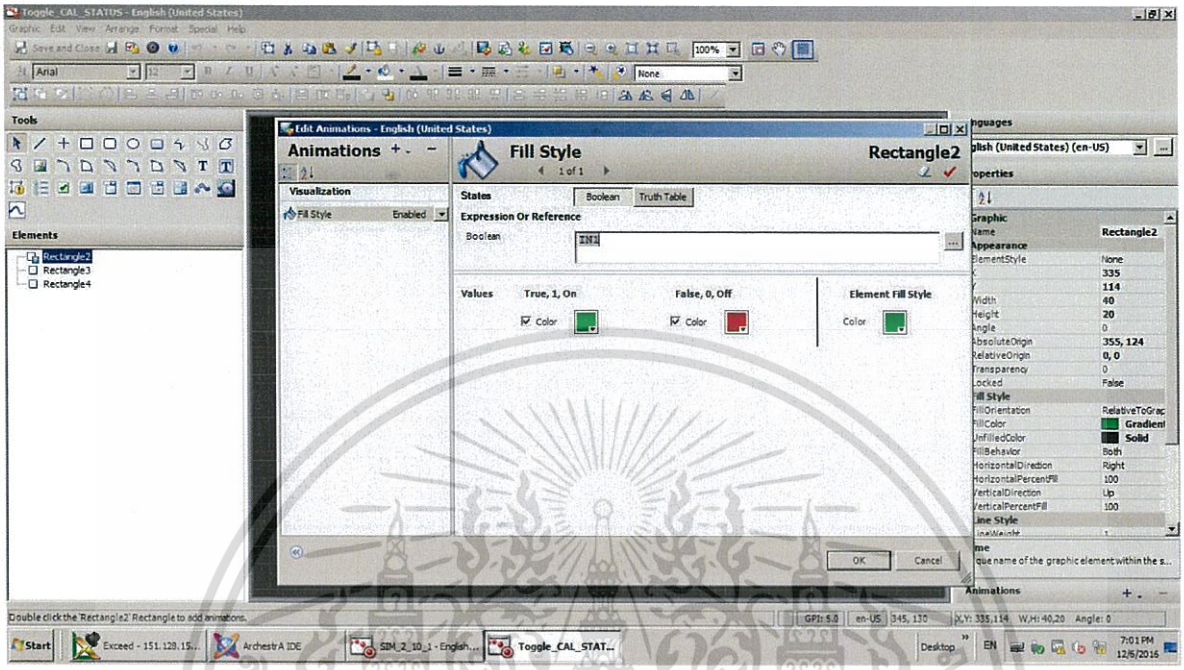


รูปที่ 3.16 การแก้ไข Custom Properties Toggle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

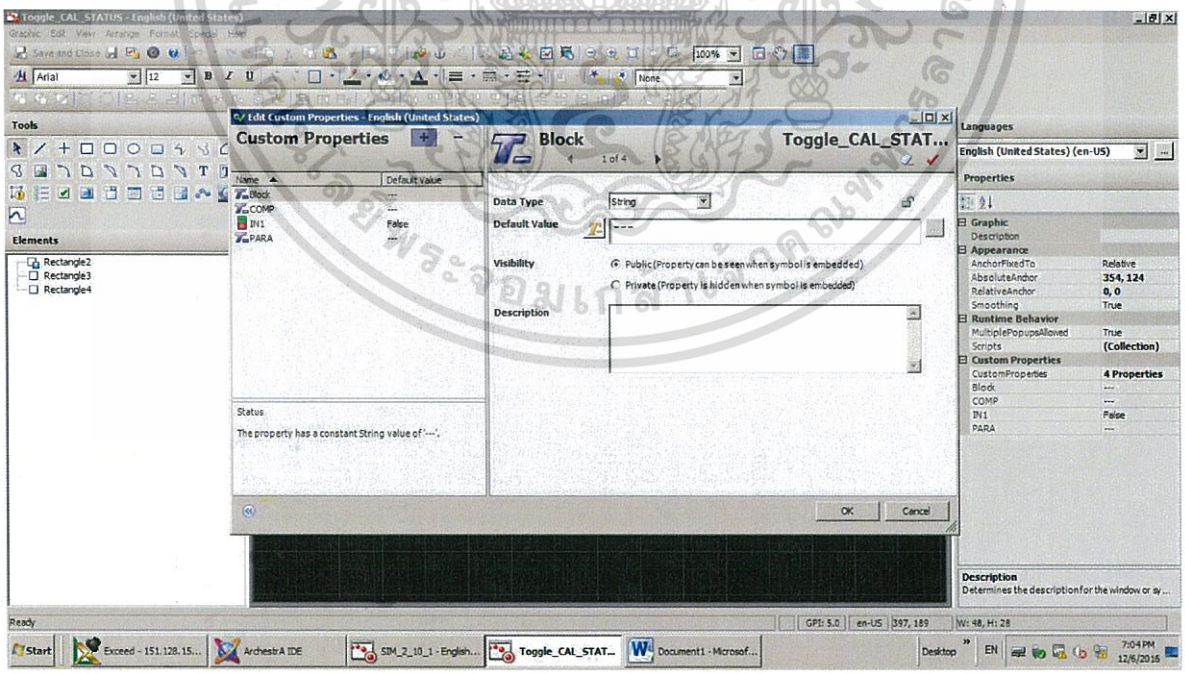
3. หลอดไฟแสดงผมเป็นสีเขียว เมื่อค่าเป็น 1 แสดงสีแดงเมื่อค่าเป็น 0

โดยจัดการ Animation ดังนี้



รูปที่ 3.17 การแก้ไข Animation LED

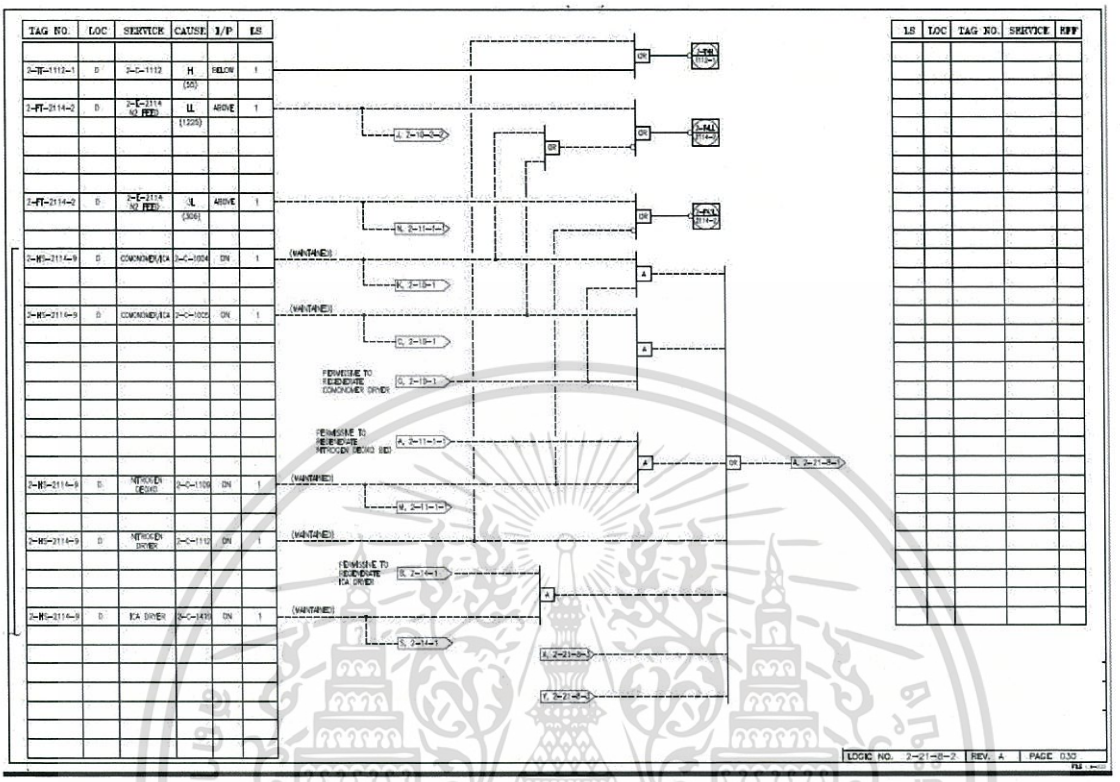
จากนั้นสร้าง Custom Properties ดังนี้



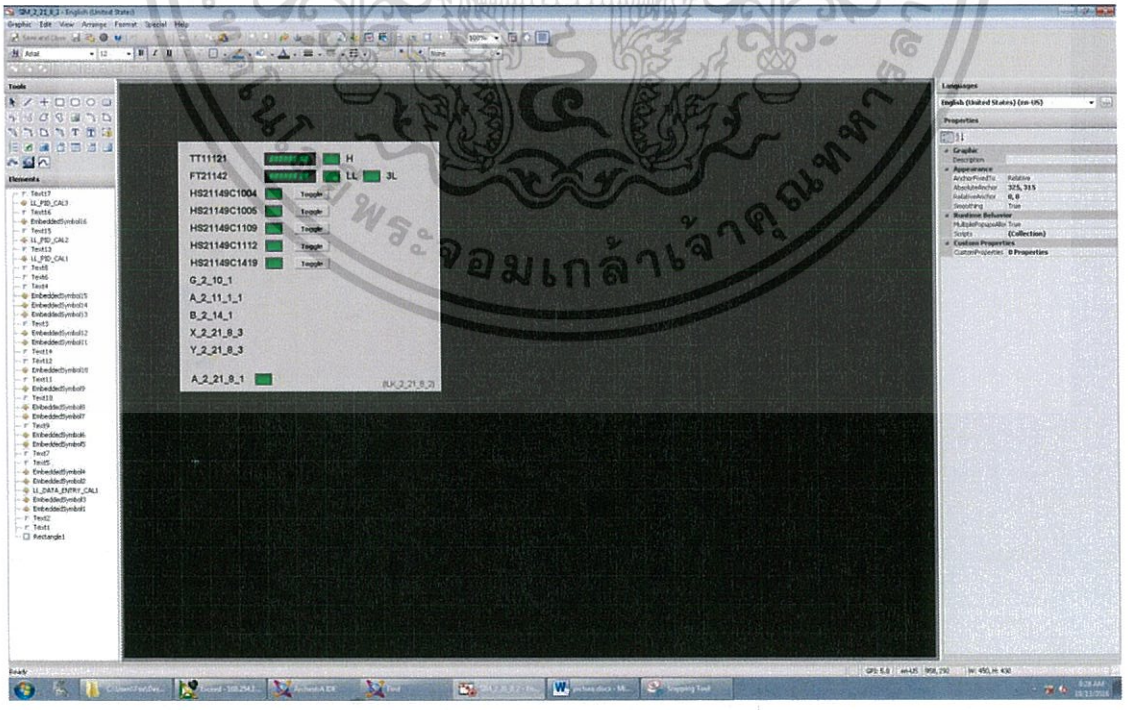
รูปที่ 3.18 การแก้ไข Custom Properties LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราได้ Equipment ที่ต้องการแล้ว จากนั้น ทำการสร้างหน้ากราฟิกโดย ให้หน้ากราฟิกแสดงผล INPUT OUTPUT ตาม Interlocking Diagram



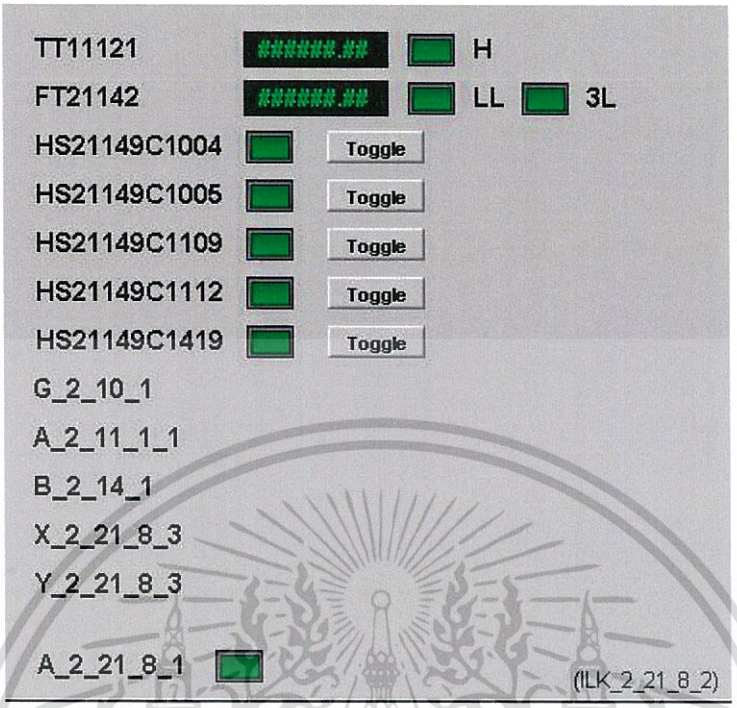
รูปที่ 3.19 Interlocking Diagram



รูปที่ 3.20 การทำ Graphic Simulation

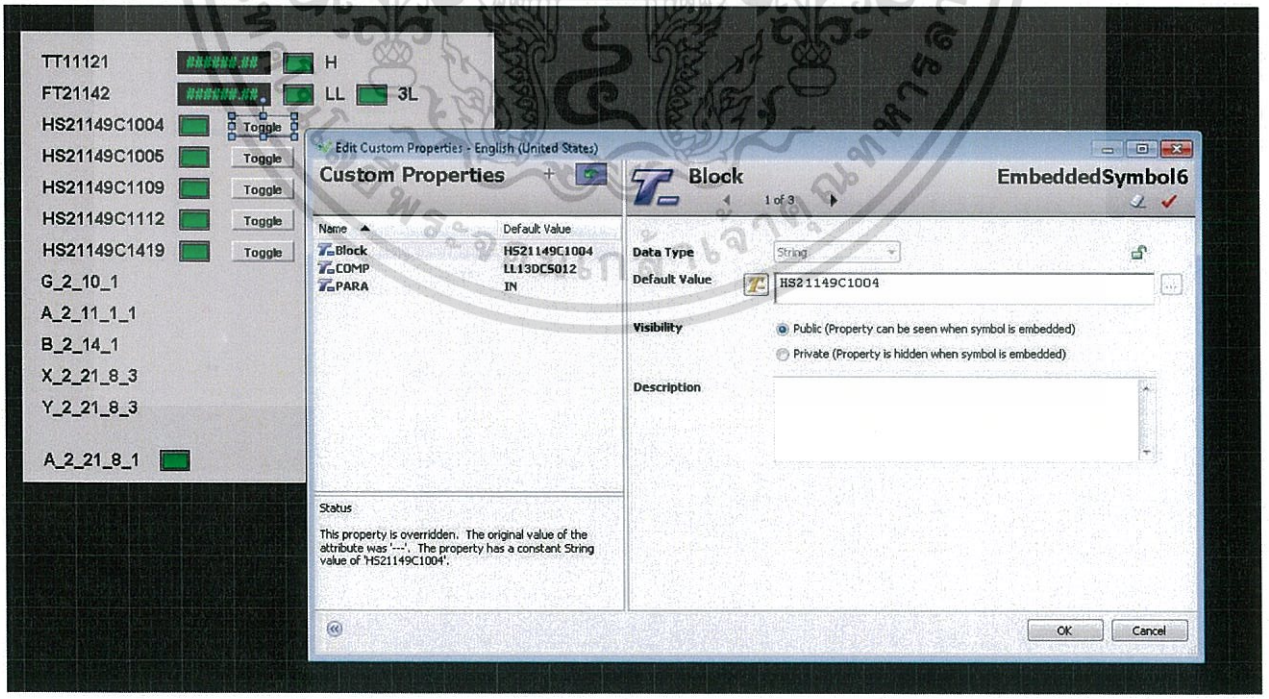
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้หน้า Simulation แล้วจากนั้นทำการ Configuration แต่ละอุปกรณ์



รูปที่ 3.21 หน้าจอ Simulator

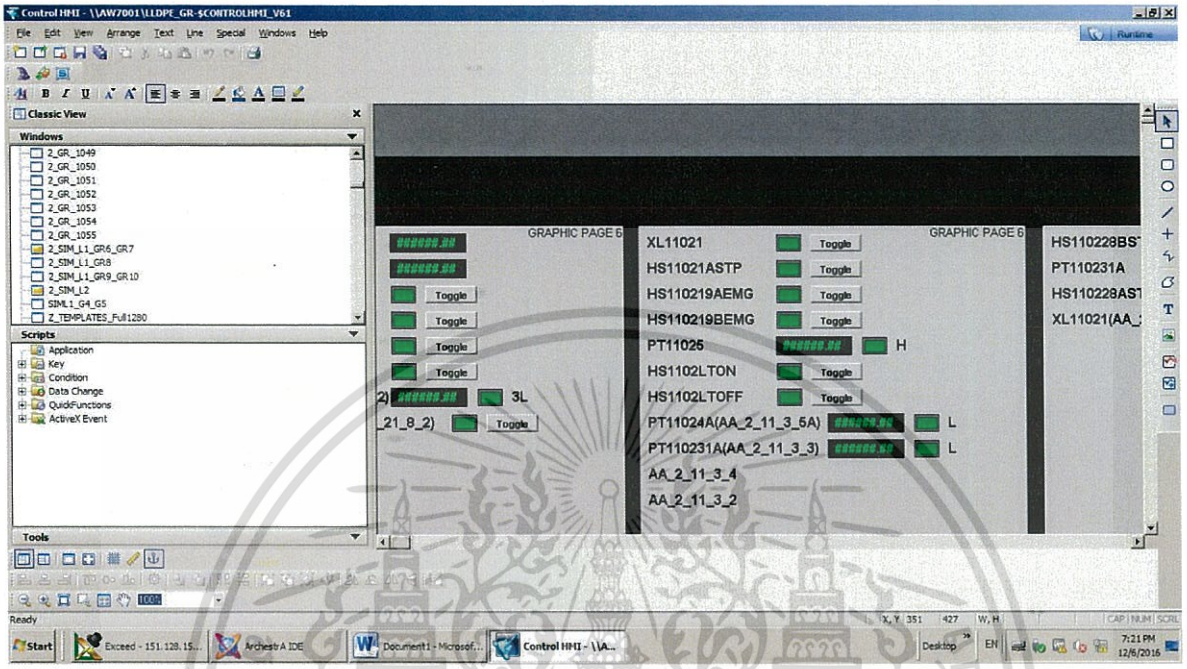
โดยเลือกที่ตัวอุปกรณ์ที่ต้องการจะ Configuration คลิกขวาที่ตัวอุปกรณ์นั้น เลือก Custom Properties แล้วใส่ ชื่อ Block ตำแหน่ง Compound และ Paramiter ที่ต้องการเรียก (ตาม Scripts ที่เขียนไว้แล้ว)



รูปที่ 3.22 การ Configuration Graphic Simulation

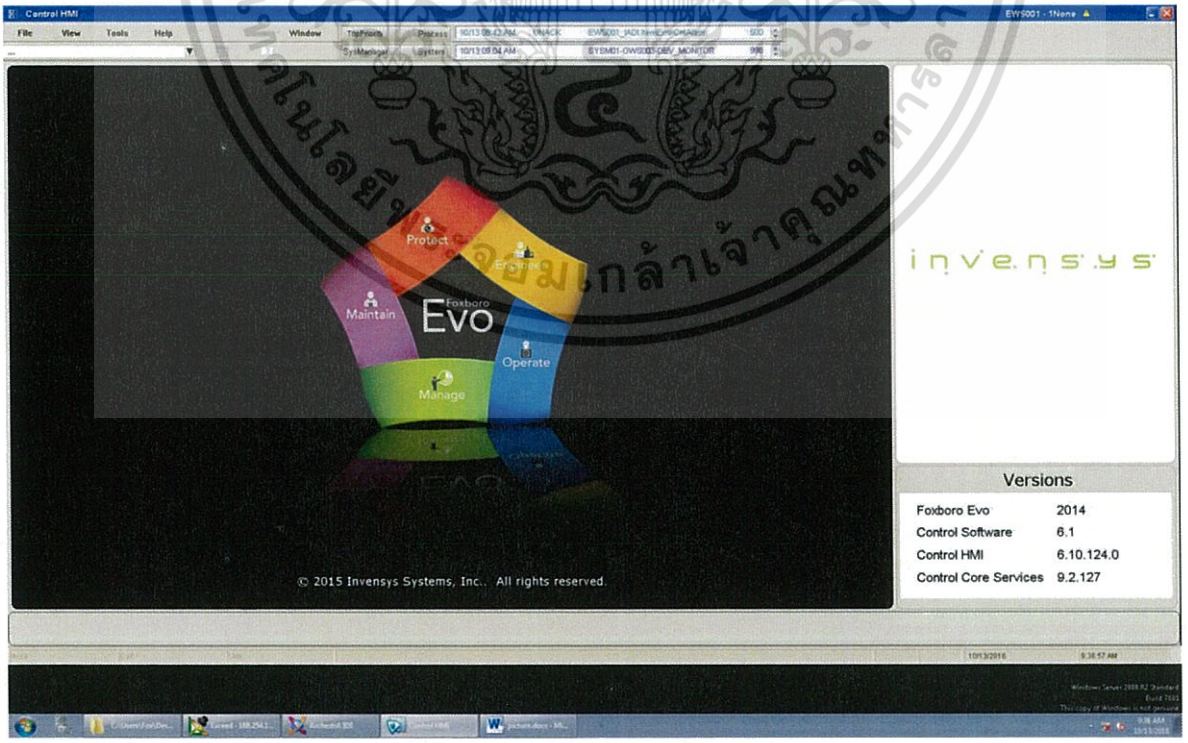
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ configuration อย่างถูกต้องครบทุกตัวแล้วให้เปิดโปรแกรม Wonderware Intouch จากหน้า Archetra IDE จากนั้น สร้างหน้าต่างรองรับหน้า และวางลงเพื่อให้ Software ที่สร้างขึ้นสามารถ Run กราฟิกได้



รูปที่ 3.23 การใช้ Intouch ในการเปิด Graphic

สามารถเปิดกราฟิกใช้ได้ใน Wonderware Viewwer



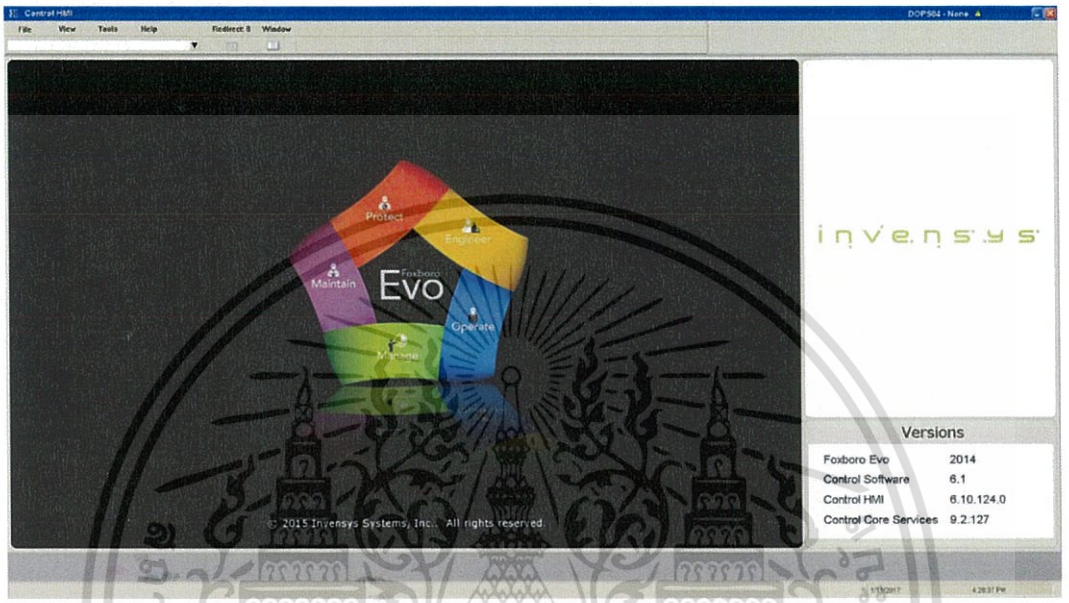
รูปที่ 3.24 โปรแกรม Wonderware Viewwer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การเปรียบเทียบระบบทดสอบการอินเทอร์ล็อคระหว่างระบบเดิม และระบบใหม่ที่สร้างขึ้น

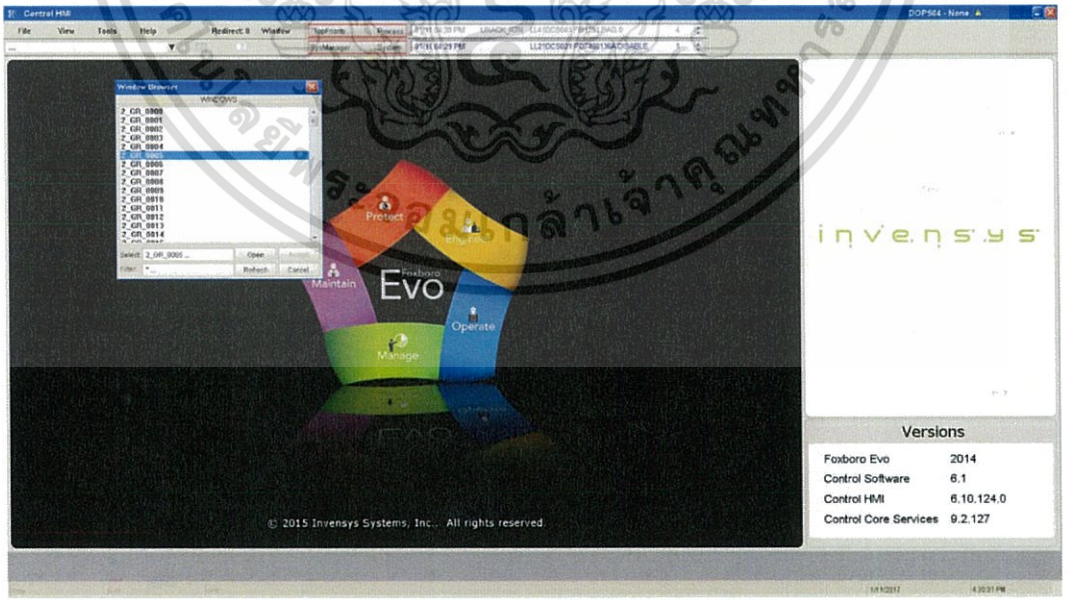
ในส่วนนี้จะเสนอเกียวกับการเปรียบเทียบระบบทดสอบอินเทอร์ล็อคแบบเดิมและระบบใหม่ที่สร้างขึ้นในระบบเดิมนั้นมีขั้นตอนการทดสอบดังนี้

1. เปิดโปรแกรม Microsoft Excel ที่แสดงหน้ากราฟิกเพื่อรู้หน้ากราฟิกของแบบอินเทอร์ล็อคนั้น ๆ
2. เปิดโปรแกรม Control HMI ขึ้น



รูปที่ 3.25 การเปิดโปรแกรม Control HMI ในส่วนระบบเดิม

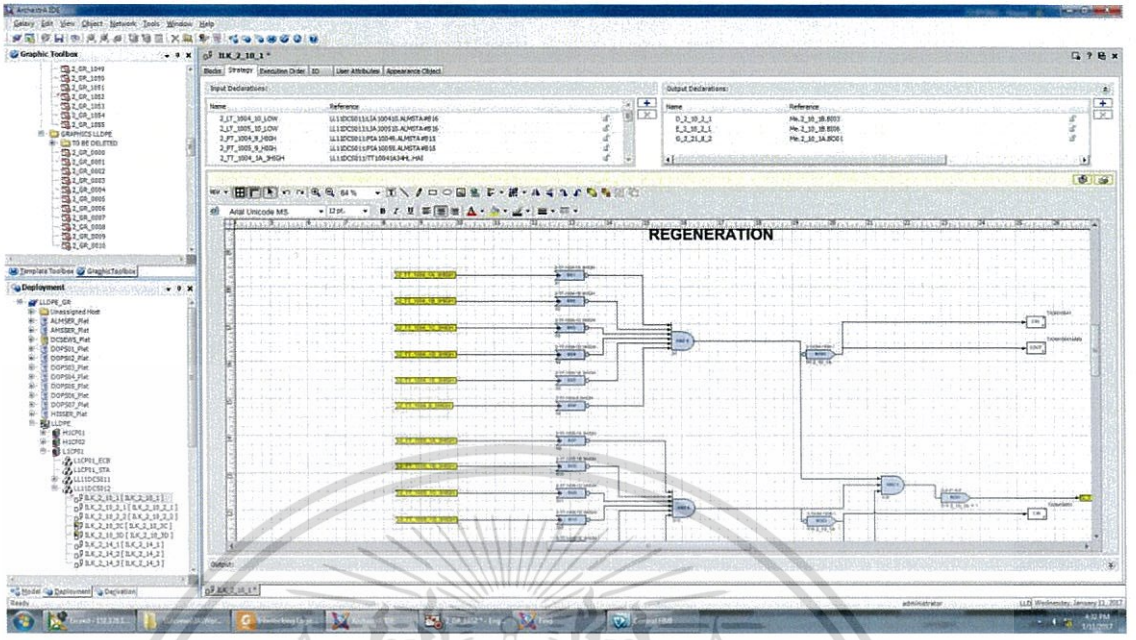
3. เปิดหน้ากราฟิกของแบบอินเทอร์ล็อคที่ต้องการทดสอบ



รูปที่ 3.26 การเปิดหน้ากราฟิกในส่วนระบบเดิม

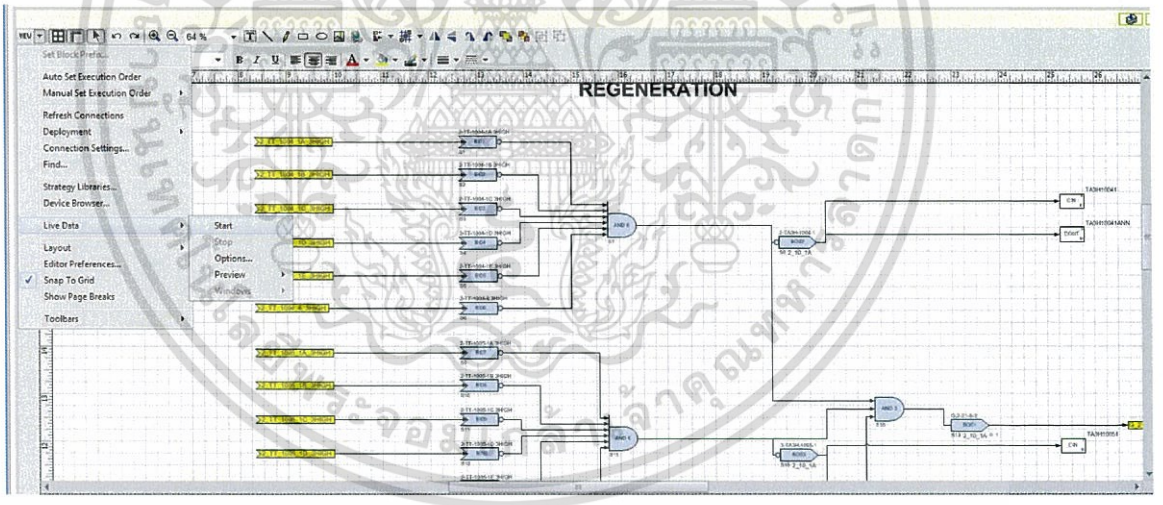
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เปิดโปรแกรม Archestra IDE แล้วเปิดหน้าฟังก์ชันของอินเทอร์ล็อคที่ต้องการทดสอบ



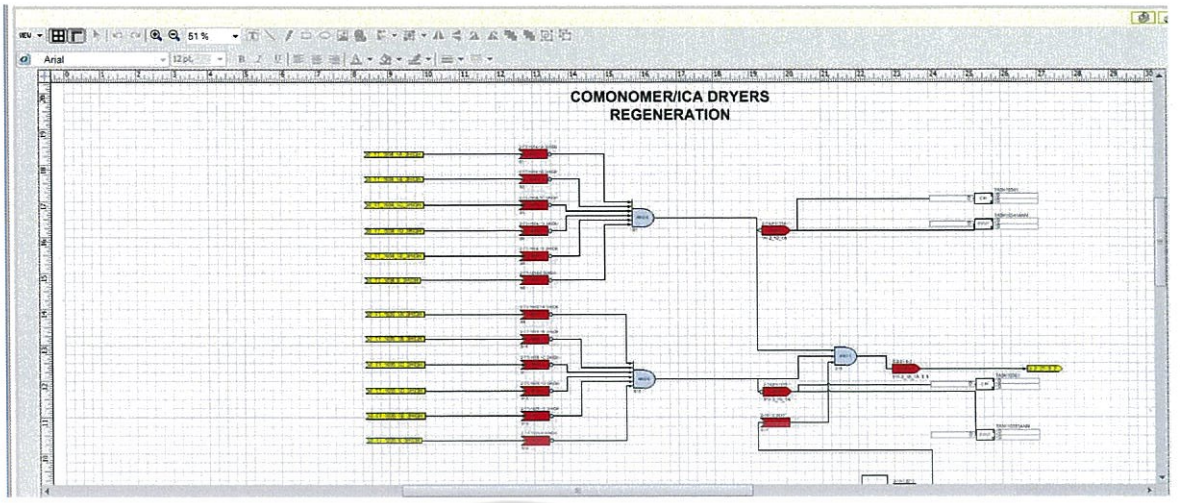
รูปที่ 3.27 หน้าฟังชันของอินเทอร์ล็อคในส่วนระบบเดิม

5. เปิด Start live data เพื่อเข้าสู่โหมดการทดสอบ



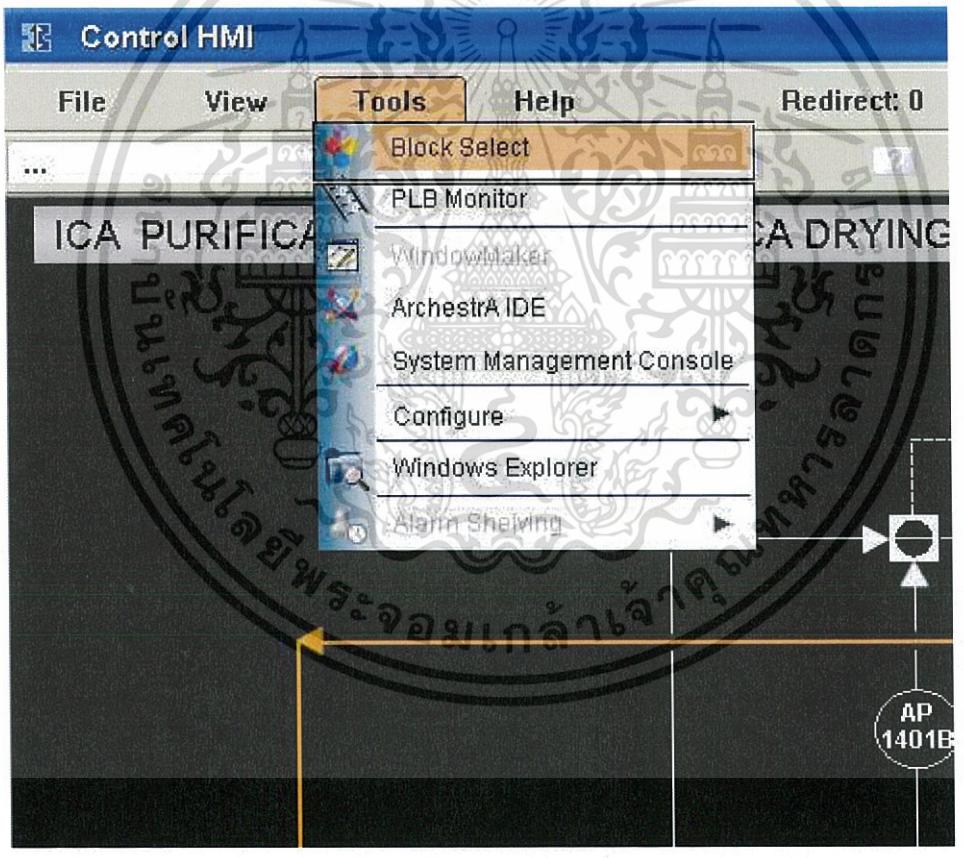
รูปที่ 3.28 วิธีการเปิด Live Data ในส่วนระบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 การเปิด Live Data ในส่วนระบบเดิม

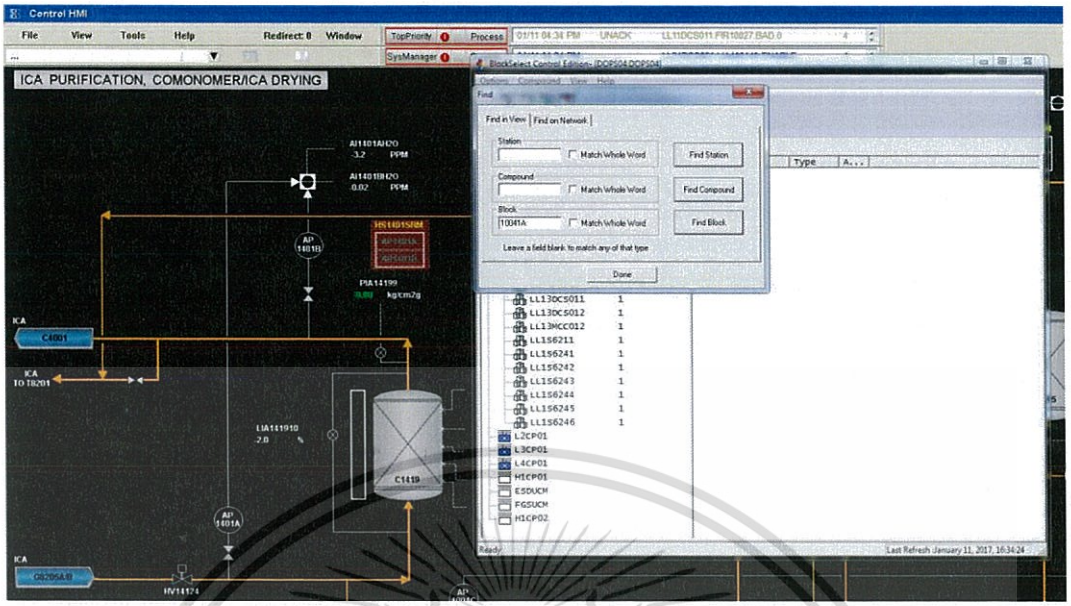
6. ใช้เครื่องมือ Block Select เพื่อการทดสอบข้อมูลต่างๆจากโปรแกรม Control HMI



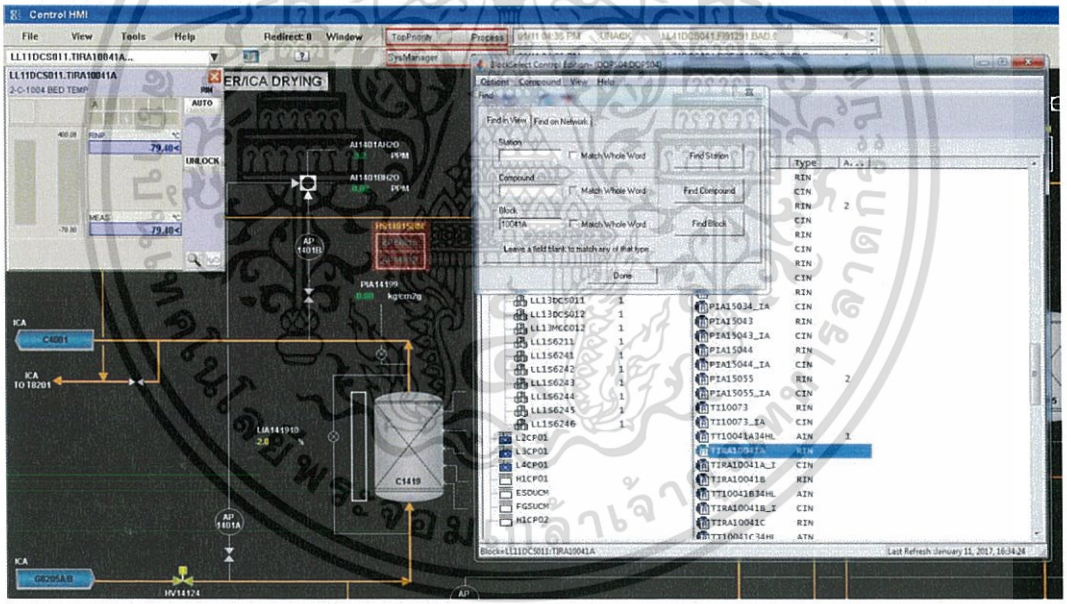
รูปที่ 3.30 วิธีการเปิด Block Select ในส่วนระบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ใช้เครื่องมือค้นหา TAG ต่าง ๆ ในแบบอินเทอร์ล็อค



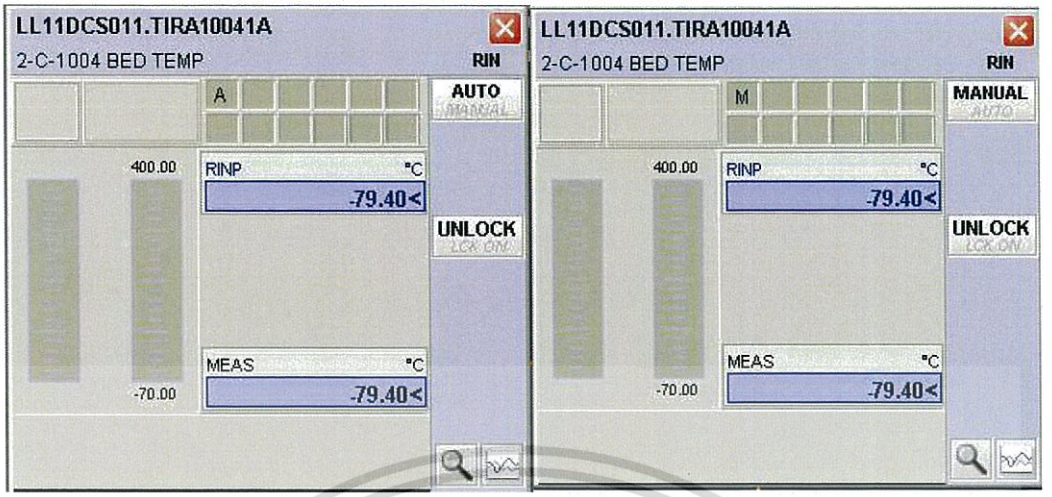
รูปที่ 3.31 การใช้เครื่องมือค้นหา TAG ในส่วนระบบเดิม



รูปที่ 3.32 การเปิดเครื่องมือ Block Select ในส่วนระบบเดิม

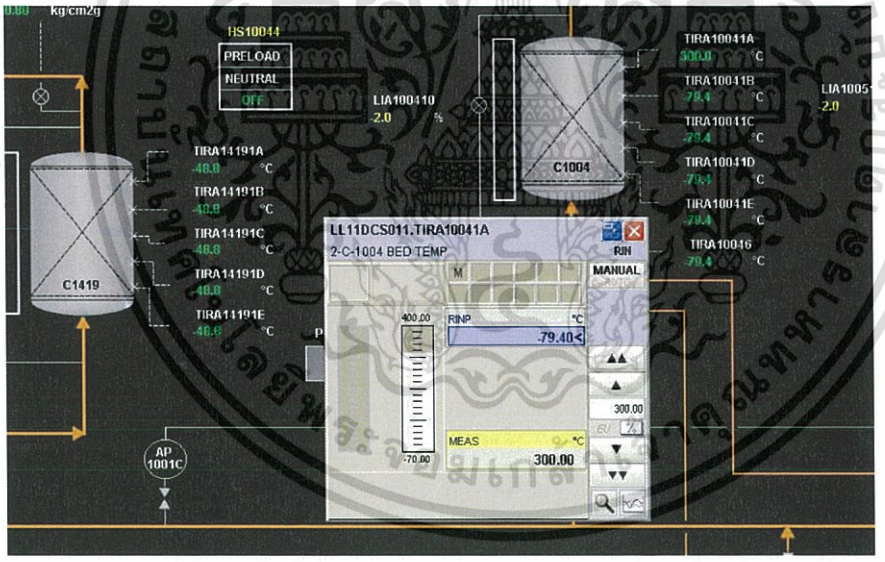
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. เปลี่ยนโหมด Manual จากโหมด Auto เพื่อทดสอบอินเทอร์ล็อคนั้น ๆ



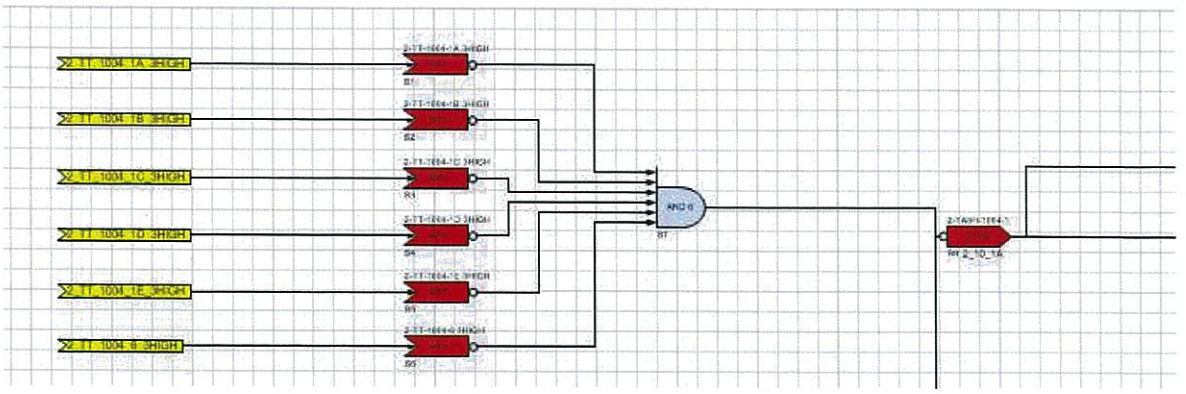
รูปที่ 3.33 การเปลี่ยนโหมด AUTO เป็น MANUAL ของ Block Select ในส่วนระบบเดิม

9. จากนั้นเปลี่ยนค่าตามเงื่อนไขเพื่อทดสอบ ในที่นี้ TIRA10041A ต้องมีค่ามากกว่า 325 จึงเปลี่ยนค่าดิจิตอลจาก 0 เป็น 1 สังเกตการเปลี่ยนแปลงจากโปรแกรม Archestra IDE ดังนี้

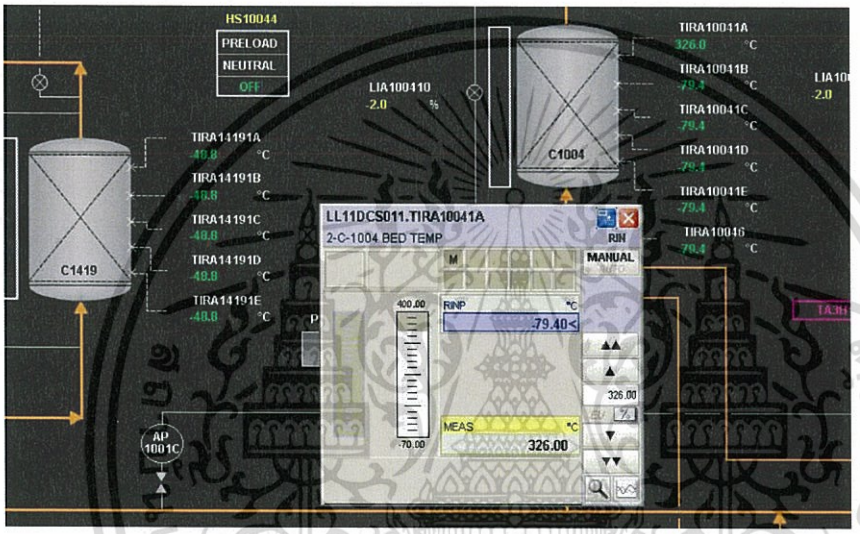


รูปที่ 3.34 การตั้งค่าใน Block Select ในส่วนระบบเดิม

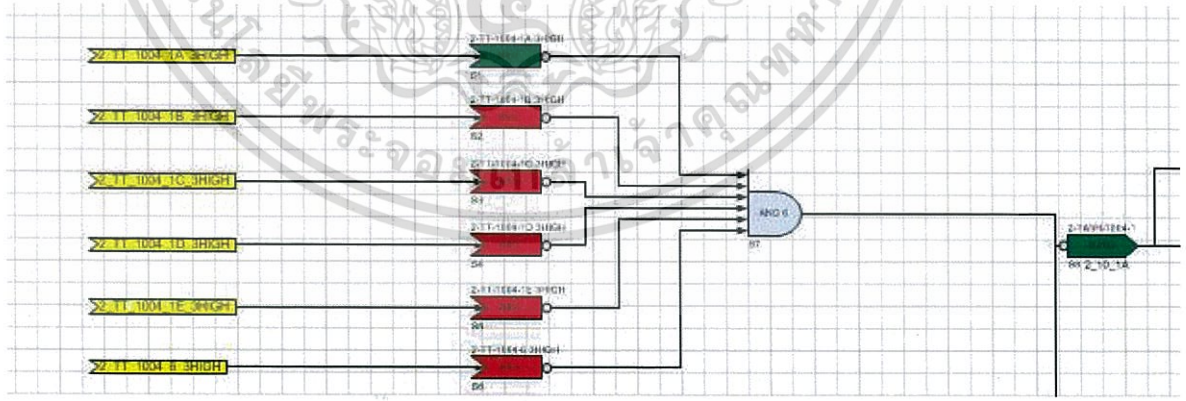
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.35 ค่าของแบบอินเทอร์ล็อคใน Archestra IDE ในส่วนระบบเดิม



รูปที่ 3.36 การตั้งค่าใน Block Select ในส่วนระบบเดิม

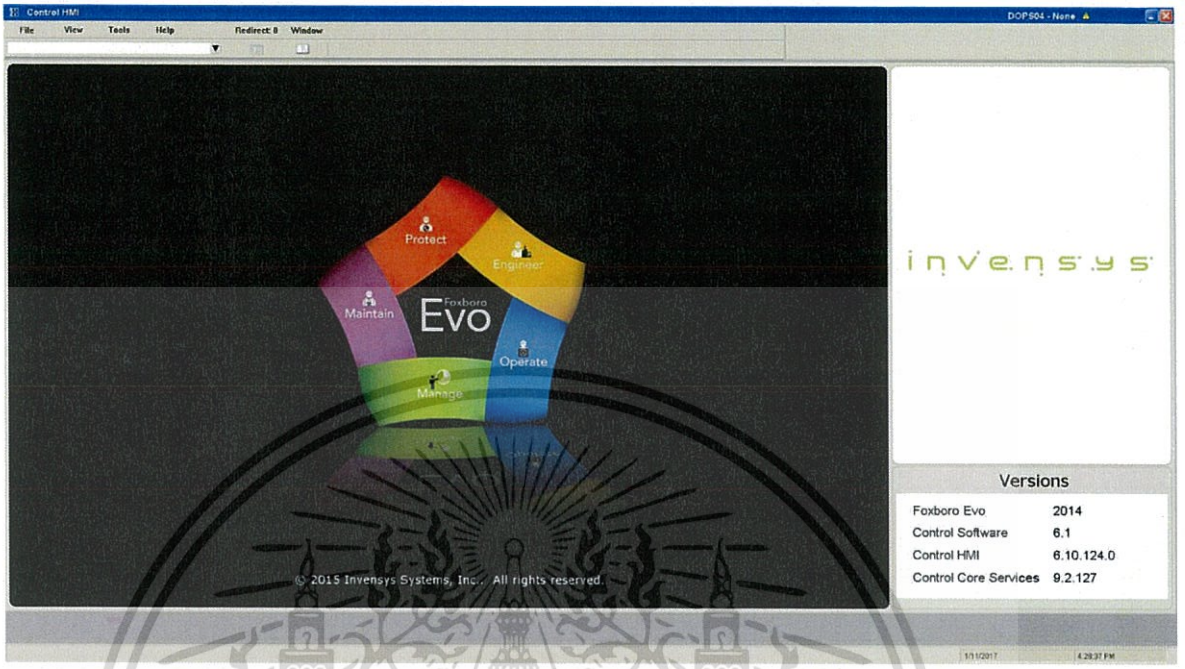


รูปที่ 3.37 ค่าของแบบอินเทอร์ล็อคใน Archestra IDE ในส่วนระบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

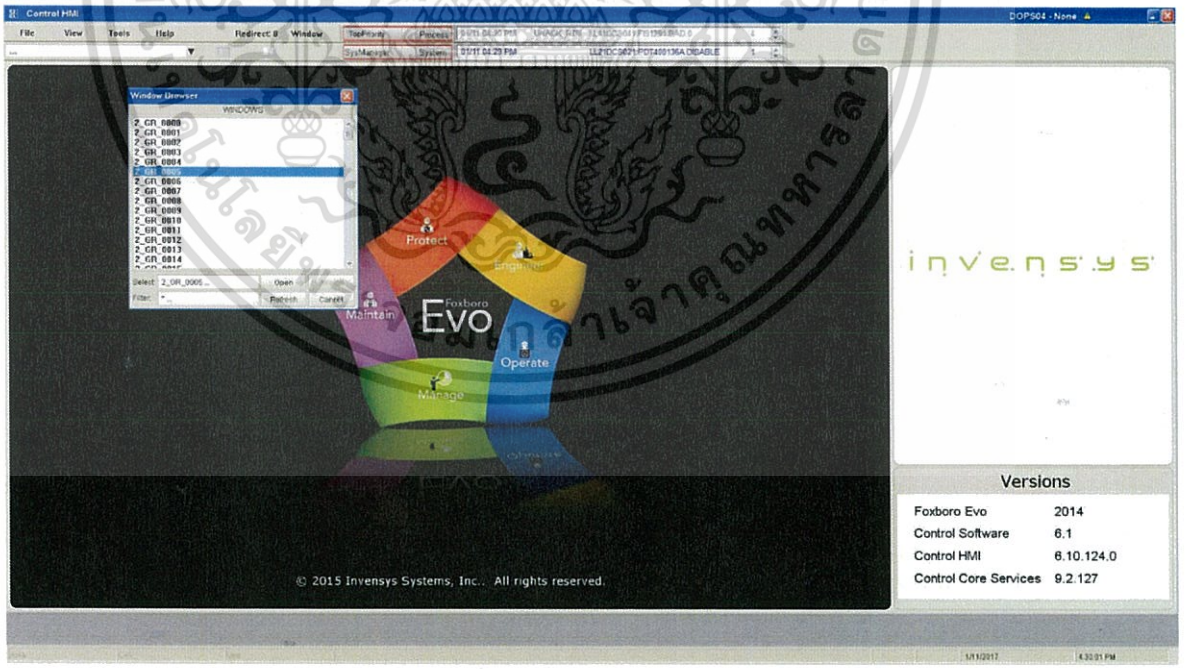
ในส่วนระบบที่สร้างขึ้นใหม่มีขั้นตอน ดังนี้

1. เปิดโปรแกรม Control HMI



รูปที่ 3.38 การเปิดโปรแกรม Control HMI

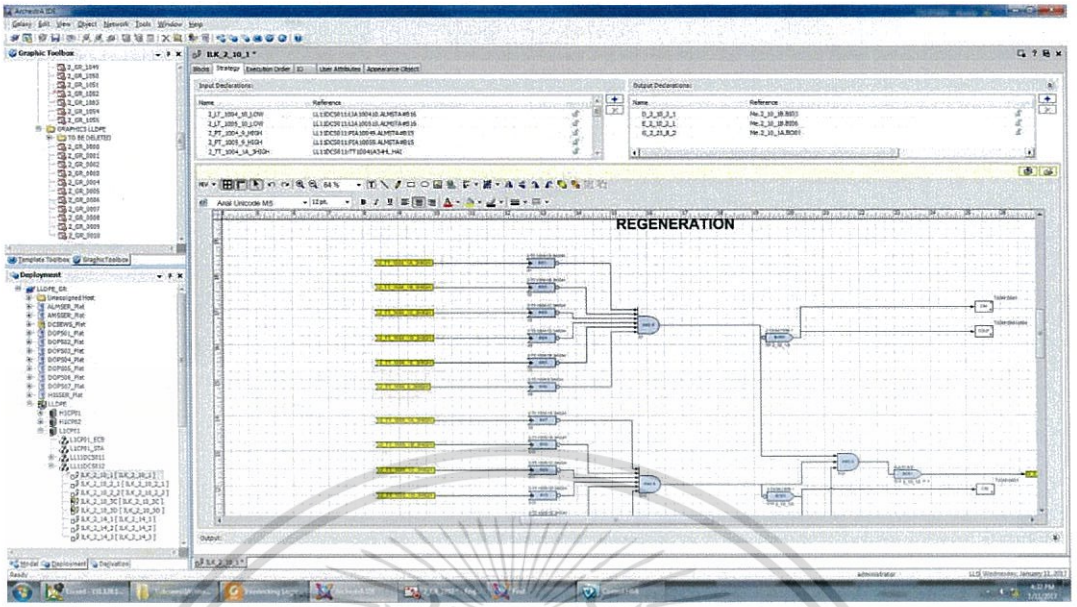
2. เปิดหน้าแบบจำลองอินเทอร์ล็อคที่สร้างขึ้น



รูปที่ 3.39 การเปิดหน้ากราฟิก

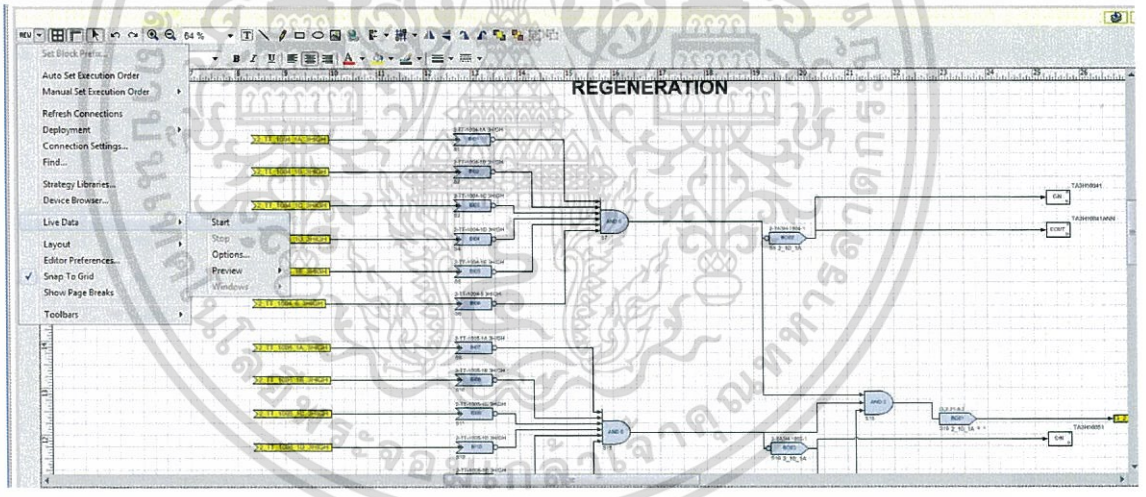
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เปิดโปรแกรม Archestra IDE



รูปที่ 3.40 โปรแกรม Archestra IDE

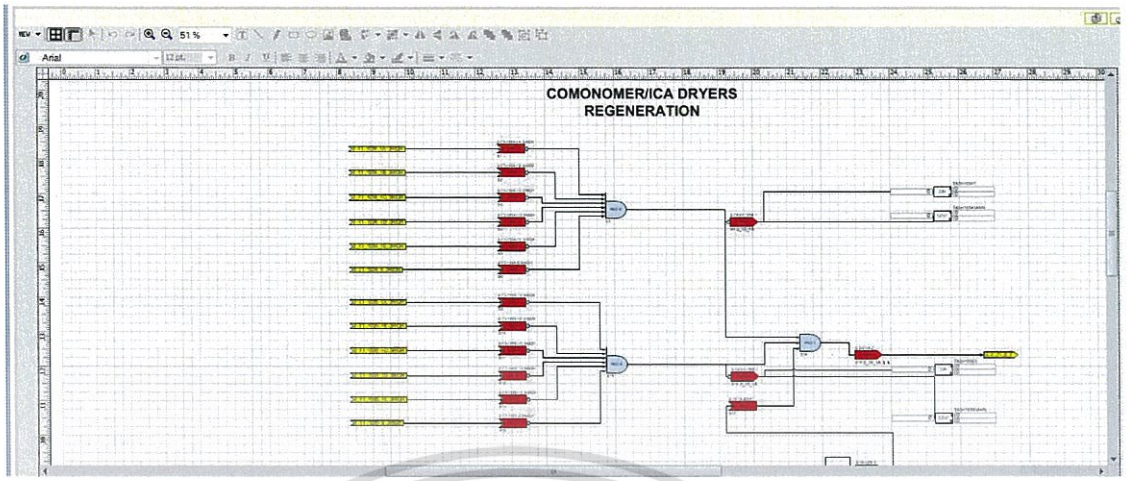
4. เปิดหน้าอินเทอร์ล็อคที่ต้องการทดสอบ



รูปที่ 3.41 วิธีการเปิด Live Data

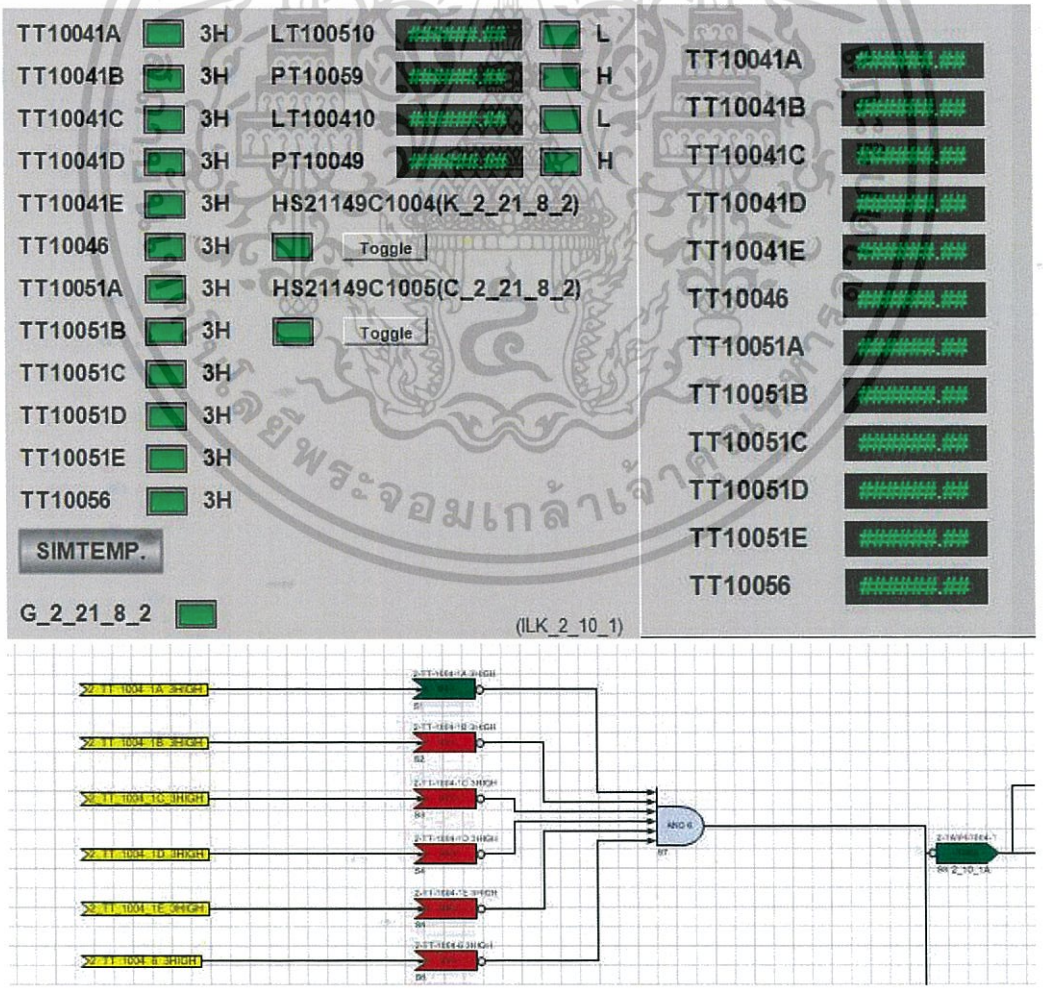
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เปิด Start Live Data ตามรูปแบบดังเดิม



รูปที่ 3.42 การเปิด Live Data

6. ทดสอบโดยการกดปุ่ม หรือกรอกค่าที่เตรียมไว้ให้ในกราฟิกที่สร้างขึ้น โดยเปรียบเทียบกับโปรแกรมจริงใน Archestra IDE



รูปที่ 3.43 ตัวอย่างกราฟิกเพื่อใช้สำหรับทดสอบการอินเทอร์ล็อคที่สร้างขึ้นใหม่

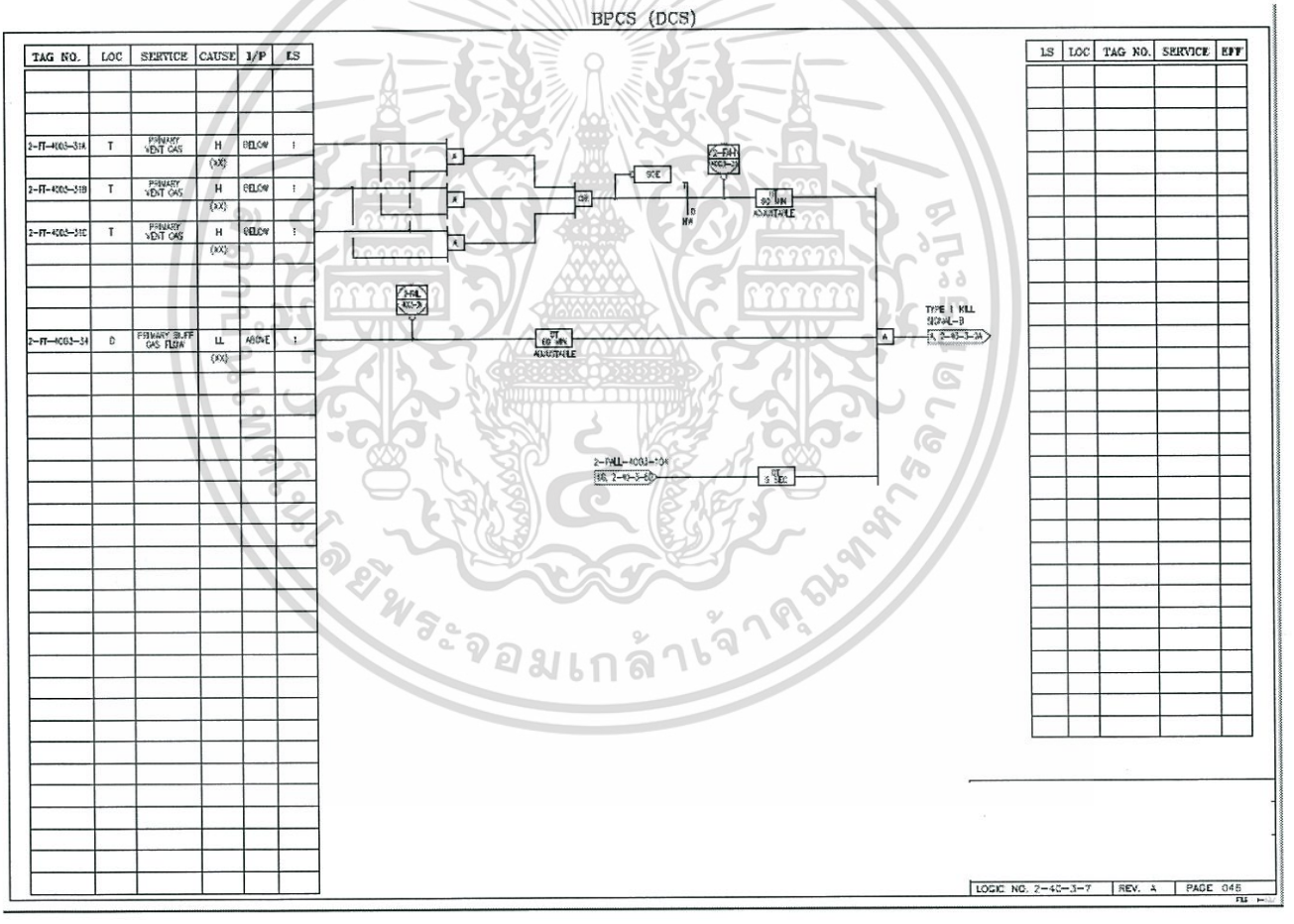
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการดำเนินงาน

บทนี้จะแสดงเงื่อนไขที่ได้ทดสอบด้วยโปรแกรม Simulator แล้วได้ผลตามจริง โดยสามารถอธิบายการทำงานของ OUTPUT ซึ่งมีเงื่อนไข INPUT ตามตารางที่ได้เลือกเฉพาะบางกระบวนการมาเท่านั้น เนื่องจากข้อมูลบางส่วนเป็นความลับของลูกค้าที่ไม่สามารถเปิดเผยได้

สำหรับผลการดำเนินงาน ได้ใช้ซอฟท์แวร์ simulator ที่ได้สร้างขึ้นมาโดยทดสอบตามแบบเงื่อนไขของระบบอินเทอร์ล็อค กล่าวคือ ได้ทำเงื่อนไขตามแบบอินเทอร์ล็อคที่ลูกค้ามีไว้ให้แล้ว จากนั้นเขียนออกมาเป็นตารางเงื่อนไข แล้วจึงใช้กราฟิกที่สร้างขึ้นเพื่อรองรับการทดสอบ การดำเนินงานต่างๆแบบ Manual เพื่อตรวจสอบความถูกต้องของซอฟแวร์อินเทอร์ล็อคที่ถูกเขียนใน Database

แบบ INTERLOCKING DIAGRAM ILK_2_40_3_7



รูปที่ 4.1 INTERLOCKING DIAGRAM ILK_2_40_3_7

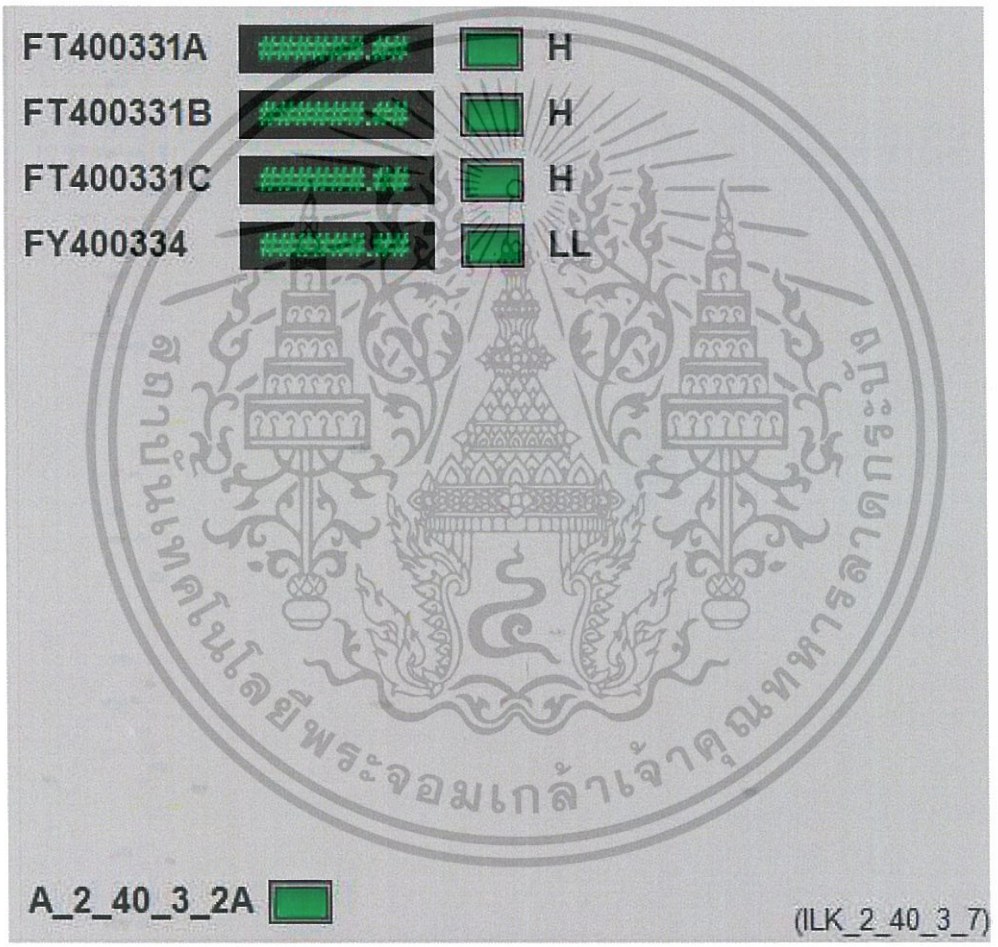
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_40_3_7

ILK_2_40_3_7			1			2		
NO.	OUTPUT	RESULT	INPUT	STAGE STATUS	RELATED LOGIC	INPUT	STAGE STATUS	RELATED LOGIC
1	A_2_40_3_2A	ON	Case 01			Case 02		
			GG_2_40_3_8D= ON	ON	ILK_2_40_3_8D	GG_2_40_3_8D= ON	ON	ILK_2_40_3_8D
			2-FT-4003-34= ON	.PNT > XX		2-FT-4003-34= ON	.PNT > XX	
			2-FT-4003-31A= ON	.PNT < XX		2-FT-4003-31A= ON	.PNT < XX	
			2-FT-4003-31B	Don't care		2-FT-4003-31B= ON	.PNT < XX	
			2-FT-4003-31C= ON	.PNT < XX		2-FT-4003-31C	Don't care	

รูปที่ 4.2 Condition ILK_2_40_3_7

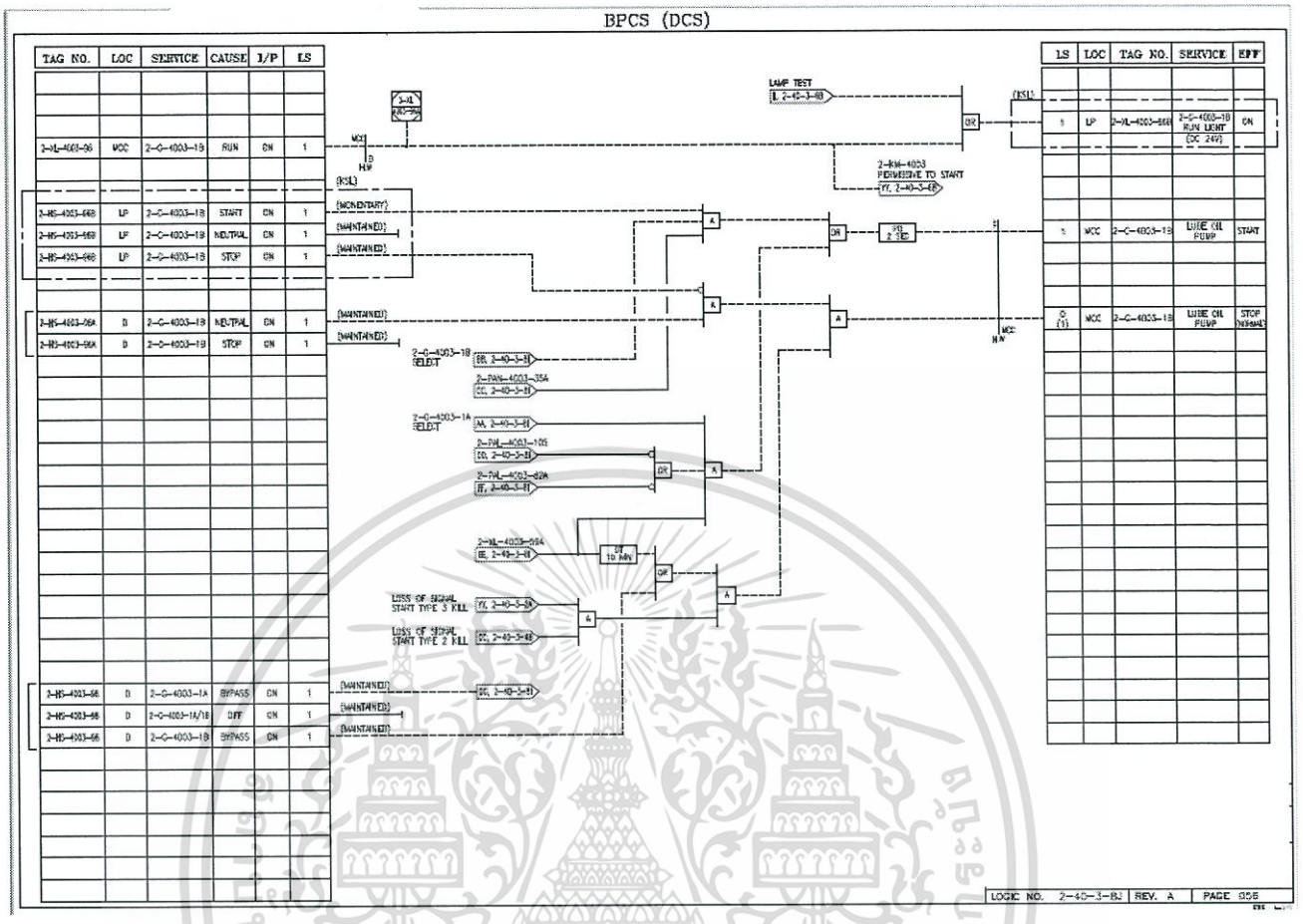
กราฟิกสำหรับ Simulation ILK_2_40_3_7



รูปที่ 4.3 Simulation Graphic ILK_2_40_3_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ INTERLOCKING DIAGRAM ILK_2_40_3_8J



รูปที่ 4.4 INTERLOCKING DIAGRAM ILK_2_40_3_8J

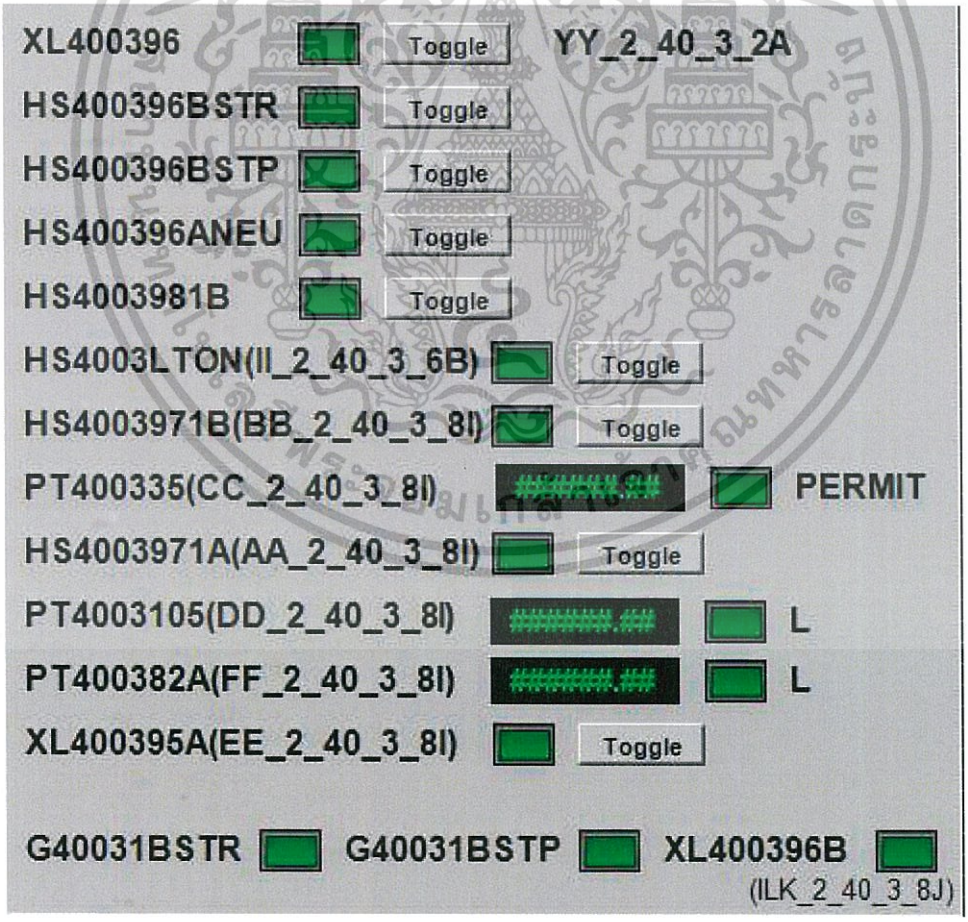
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_40_3_8J

ILK_2_40_3_8J			1			2		
NO.	OUTPUT	RESULT	INPUT	STAGE STATUS	RELATED LOGIC	INPUT	STAGE STATUS	RELATED LOGIC
1	2-G-4003-1B	START	Case 01			Case 02		
			2-HS-4003-96B(START)= ON	START ON		2-HS-4003-96B(START)	Don't care	
			BB_2_40_3_8I= ON	ON	ILK_2_40_3_8I	BB_2_40_3_8I	Don't care	ILK_2_40_3_8I
			CC_2_40_3_8I= ON	ON	ILK_2_40_3_8I	CC_2_40_3_8I	Don't care	ILK_2_40_3_8I
			AA_2_40_3_8I	Don't care	ILK_2_40_3_8I	AA_2_40_3_8I= ON	ON	ILK_2_40_3_8I
			DD_2_40_3_8I	Don't care	ILK_2_40_3_8I	DD_2_40_3_8I= OFF	OFF	ILK_2_40_3_8I
			FF_2_40_3_8I	Don't care	ILK_2_40_3_8I	FF_2_40_3_8I= OFF	OFF	ILK_2_40_3_8I
			EE_2_40_3_8I	Don't care	ILK_2_40_3_8I	EE_2_40_3_8I= ON	ON	ILK_2_40_3_8I
2	2-G-4003-1B	STOP	Case 01			Case 02		
			2-HS-4003-95B(STOP)= OFF	STOP OFF				
			2-HS-4003-96A(NEUTRAL)= ON	NEUTRAL ON				
			EE_2_40_3_8I= ON	ON	ILK_2_40_3_8I			
			2-HS-4003-98(BYPASS)= ON	BYPASS ON				
			YY_2_40_3_2A= ON	ON	ILK_2_40_3_2A			
			CC_2_40_3_4B= ON	ON	ILK_2_40_3_4B			
3	GG_2_40_3_8I	ON	Case 01			Case 02		
			2-HS-4003-98(BYPASS)= ON	BYPASS ON				

รูปที่ 4.5 Condition ILK_2_40_3_8J

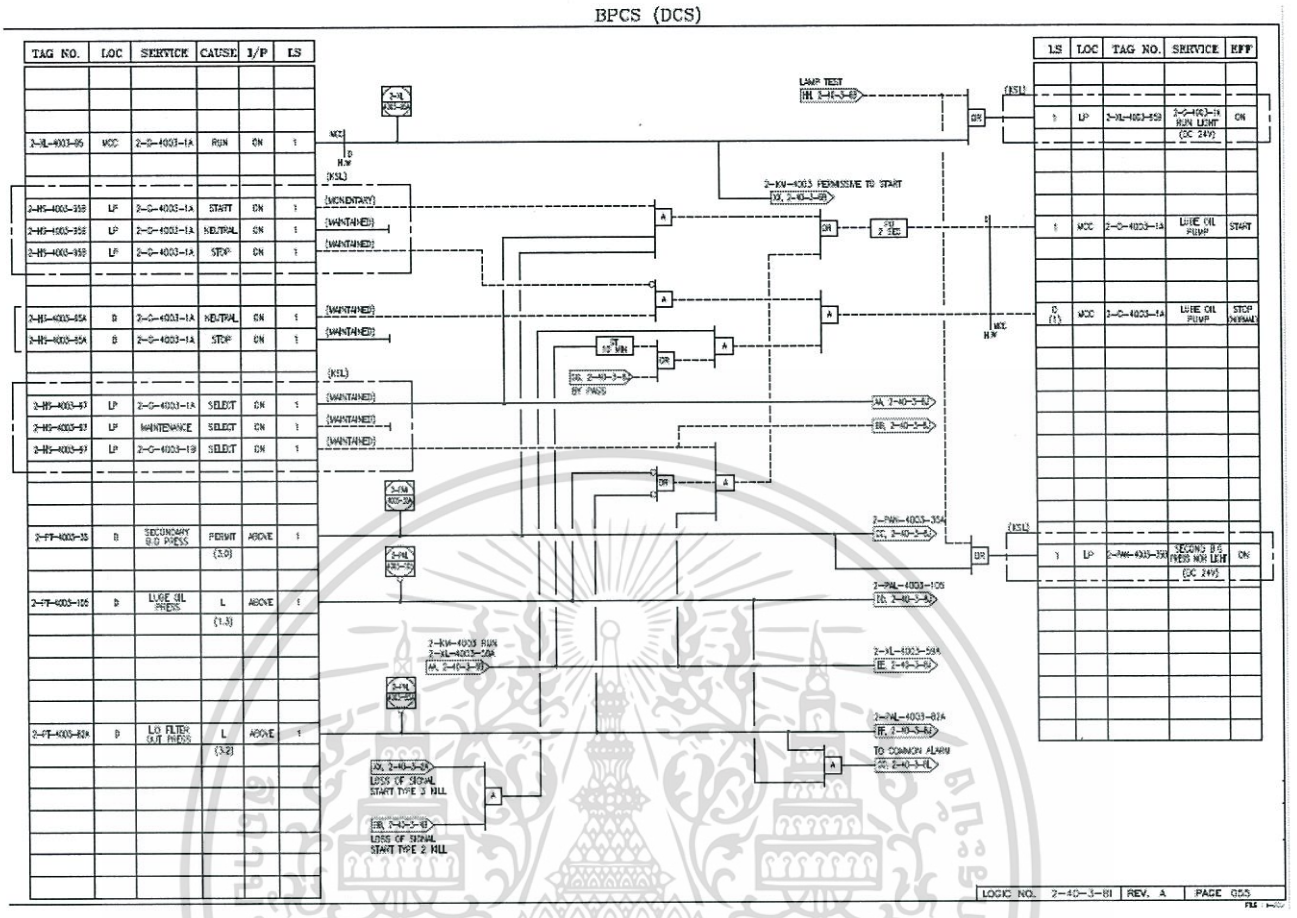
กราฟิกสำหรับ Simulation ILK_2_40_3_8J



รูปที่ 4.6 Simulation Graphic ILK_2_40_3_8J

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ INTERLOCKING DIAGRAM ILK_2_40_3_8I



รูปที่ 4.7 INTERLOCKING DIAGRAM ILK_2_40_3_8I

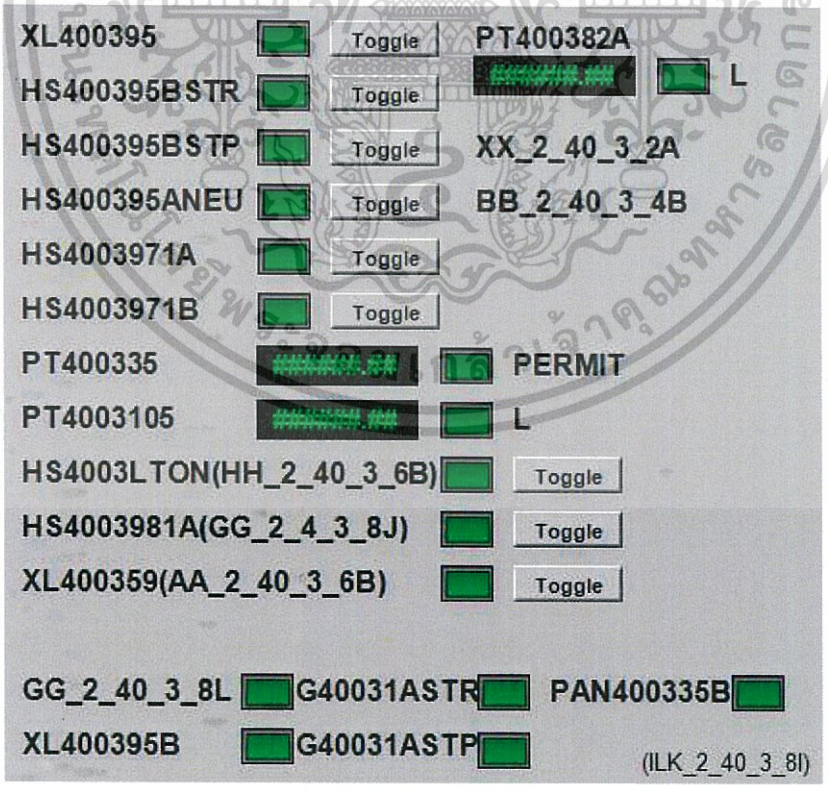
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_40_3_8I

ILK_2_40_3_8I			1				2			
NO.	OUTPUT	RESULT	INPUT		STAGE STATUS	RELATED LOGIC	INPUT		STAGE STATUS	RELATED LOGIC
1	2-G-4003-1A	START	Case 01				Case 02			
			2-HS-4003-95B= ON		START ON		2-HS-4003-95B		Don't care	
			2-HS-4003-97(A)= ON		SELECT ON		2-HS-4003-97(A)		Don't care	
			2-PT-4003-35= ON		.PNT > 3.0		2-PT-4003-35		Don't care	
			2-HS-4003-97(B)= ON		Don't care		2-HS-4003-97(B)= ON		SELECT ON	
			2-PT-4003-105		Don't care		2-PT-4003-105= OFF	OR	.PNT <= 1.3	
			2-PT-4003-82A		Don't care		2-PT-4003-82A= OFF		.PNT <= 3.2	
			AA_2_40_3_6B		Don't care	ILK_2_40_3_6B	AA_2_40_3_6B= ON		ON	ILK_2_40_3_6B
2	2-G-4003-1A	STOP	Case 01				Case 02			
			2-HS-4003-95B= OFF		STOP ON					
			2-HS-4003-95A= ON		NEUTRAL ON					
			AA_2_40_3_6B= ON	OR	ON	ILK_2_40_3_6B				
			GG_2_40_3_8I= ON		ON	ILK_2_40_3_8J				
			XX_2_40_3_2A= ON		ON	ILK_2_40_3_2A				
			BB_2_40_3_4B= ON		ON	ILK_2_40_3_4B				
3	XX_2_40_3_6B	ON	Case 01				Case 02			
			2-XL-4003-95= ON		RUN ON					
4	AA_2_40_3_8J	ON	Case 01				Case 02			
	BB_2_40_3_8J	ON	2-HS-4003-97=ON		SELECT ON					
5	CC_2_40_3_8J	ON	Case 01				Case 02			
			2-PT-4003-35= ON		.PNT > 3.0					
6	DD_2_403_8J	ON	Case 01				Case 02			
			2-PT-4003-105= ON		.PNT > 1.3					
7	EE_2_40_3_8J	ON	Case 01				Case 02			
			AA_2_40_3_6B= ON		ON					
8	FF_2_40_3_8J	ON	Case 01				Case 02			
			2-PT-4003-82A= ON		.PNT > 3.2					
9	GG_2_40_3_8L	ON	Case 01				Case 02			
			2-PT-4003-105= ON		.PNT > 1.3					
			2-PT-4003-82A= ON		.PNT > 3.2					

รูปที่ 4.8 Condition ILK_2_40_3_8I

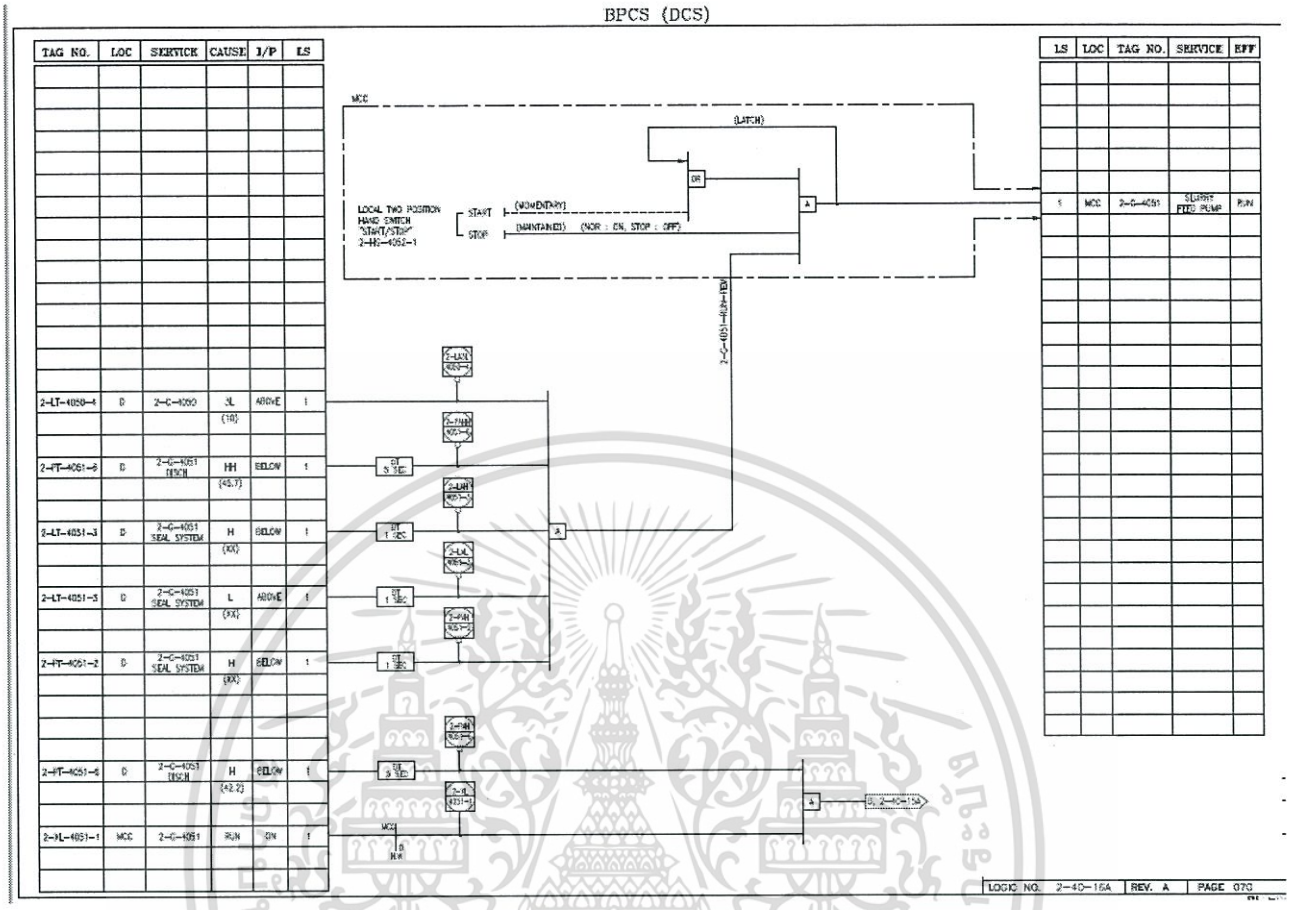
กราฟิกสำหรับ Simulation ILK_2_40_3_8I



รูปที่ 4.9 Simulation Graphic ILK_2_40_3_8I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ INTERLOCKING DIAGRAM ILK_2_40_16A



รูปที่ 4.10 INTERLOCKING DIAGRAM ILK_2_40_16A

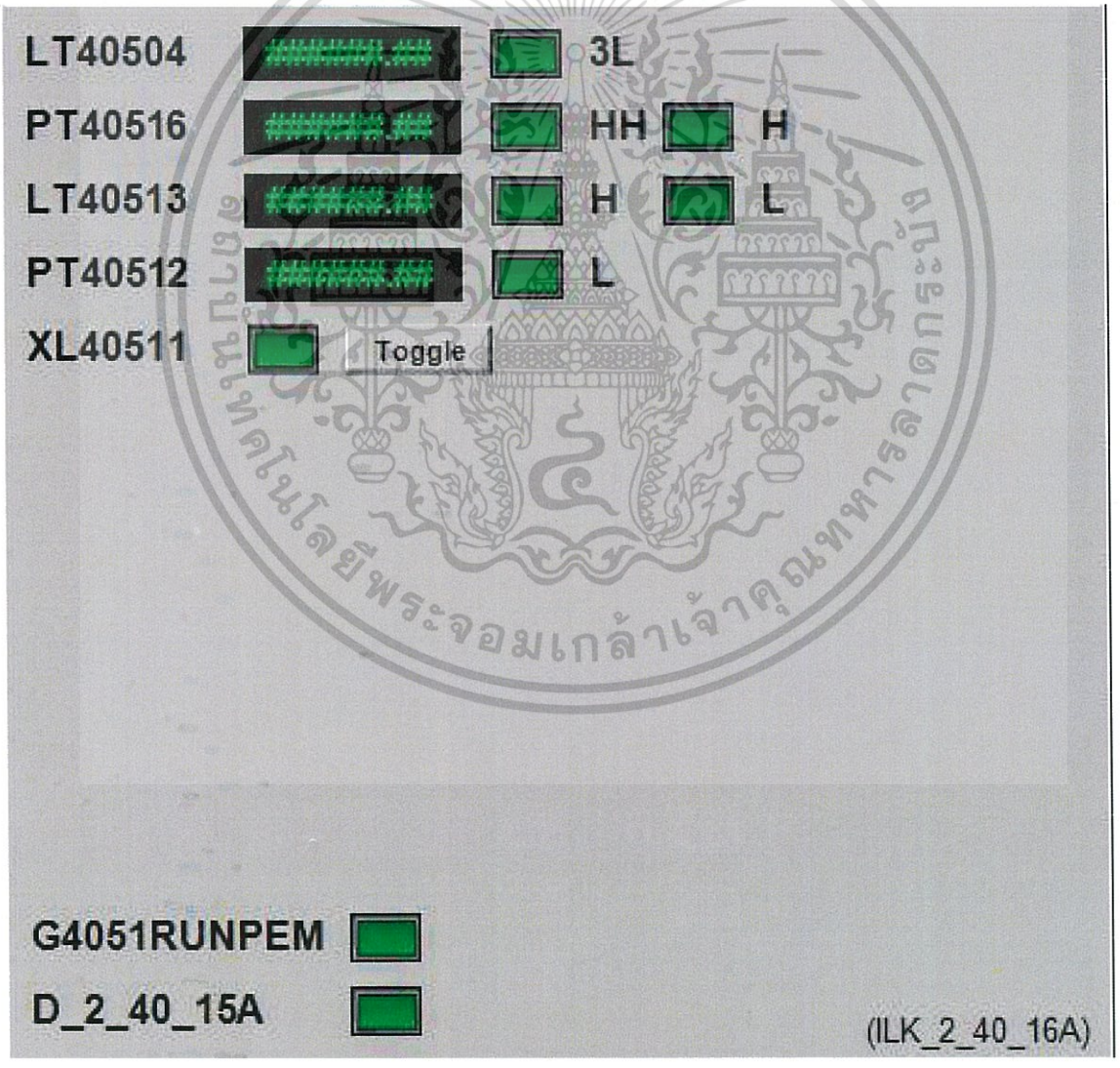
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_40_16A

ILK_2_40_16A			1	
NO.	OUTPUT	RESULT	INPUT	STAGE STATUS
1	2-G-4051-RUN-PEM	ON	Case 01	
			2-LT-4050-4= ON	.PNT > 10
			2-PT-4051-6= ON	.PNT < 45.7
			2-LT-4051-3= ON	.PNT < XX
			2-LT-4051-3= ON	.PNT > XX
			2-PT-4051-2= ON	.PNT < XX
2	D_2_40_15A	ON	Case 01	
			2-PT-4051-6= ON	.PNT < 42.2
			2-XL-4051-1= ON	RUN ON

รูปที่ 4.11 Condition ILK_2_40_16A

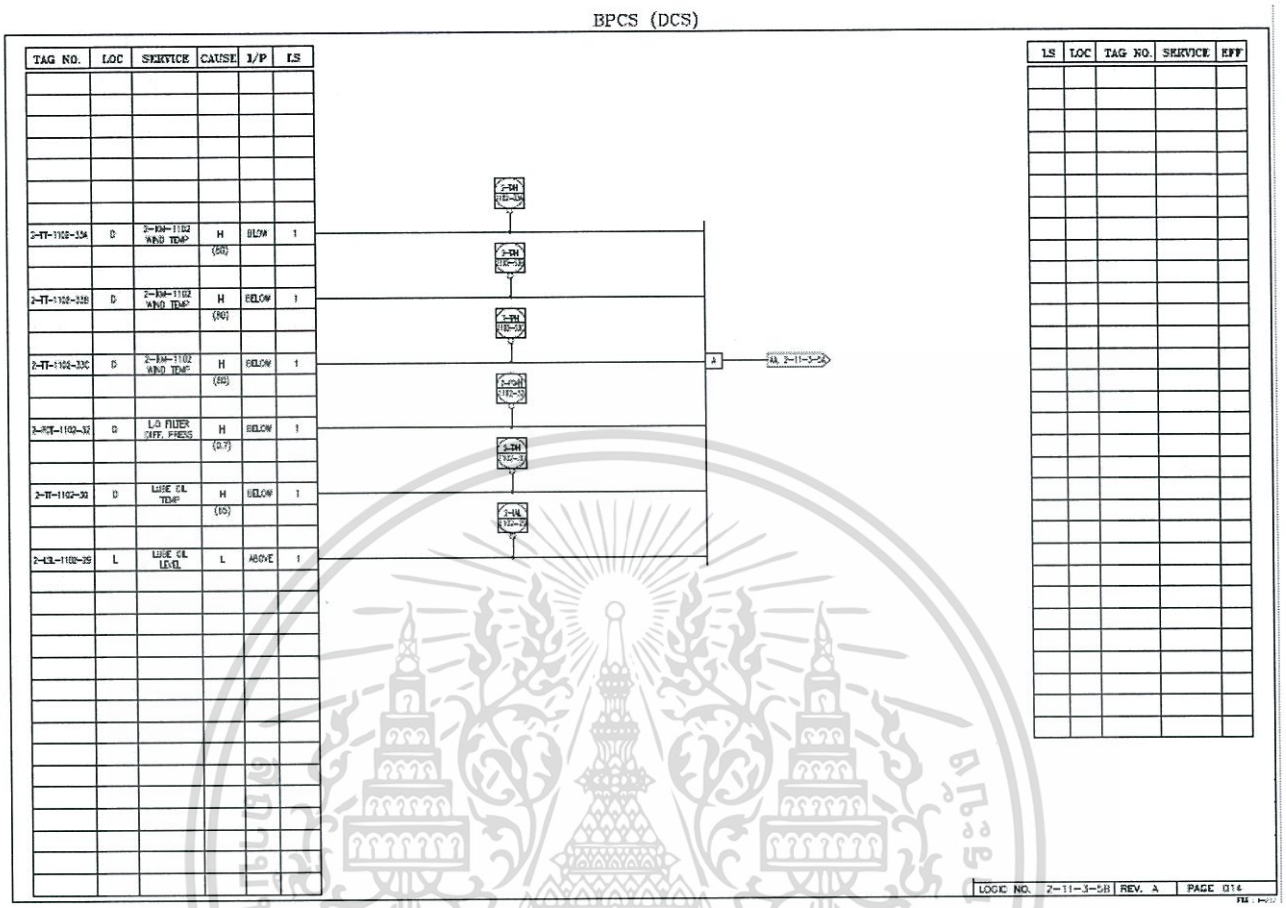
กราฟิกสำหรับ Simulation ILK_2_40_16A



รูปที่ 4.12 Simulation Graphic ILK_2_40_16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ INTERLOCKING DIAGRAM ILK_2_40_3_5B



รูปที่ 4.13 INTERLOCKING DIAGRAM ILK_2_40_3_5B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_40_3_5B

ILK_2_11_3_5B			1		
NO.	OUTPUT	RESULT	INPUT		STAGE STATUS
1	AA_2_11_3_5A	ON	case 1		
			2-TT-1102-33A=ON		.PNT<80
			2-TT-1102-33B=ON		.PNT<80
			2-TT-1102-33C=ON		.PNT<80
			2-PDT-1102-32=ON		.PNT<0.7
			2-TT-1102-30=ON		.PNT<65
			2-LSL-1102-29=ON		ON

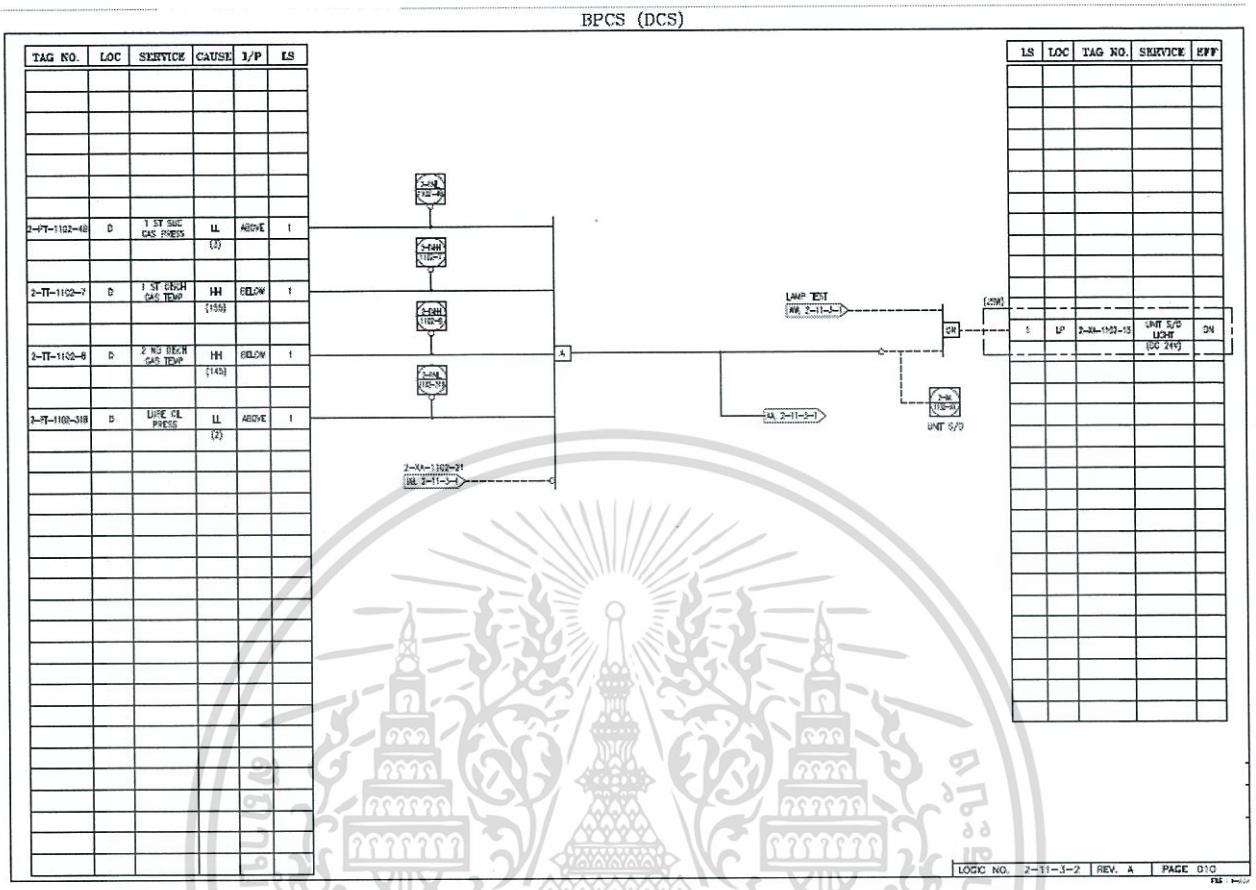
รูปที่ 4.14 Condition ILK_2_40_3_5B

กราฟิกสำหรับ Simulation ILK_2_40_3_5B

รูปที่ 4.15 Simulation Graphic ILK_2_40_3_5B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ INTERLOCKING DIAGRAM ILK_2_11_3_2



รูปที่ 4.16 INTERLOCKING DIAGRAM ILK_2_11_3_2

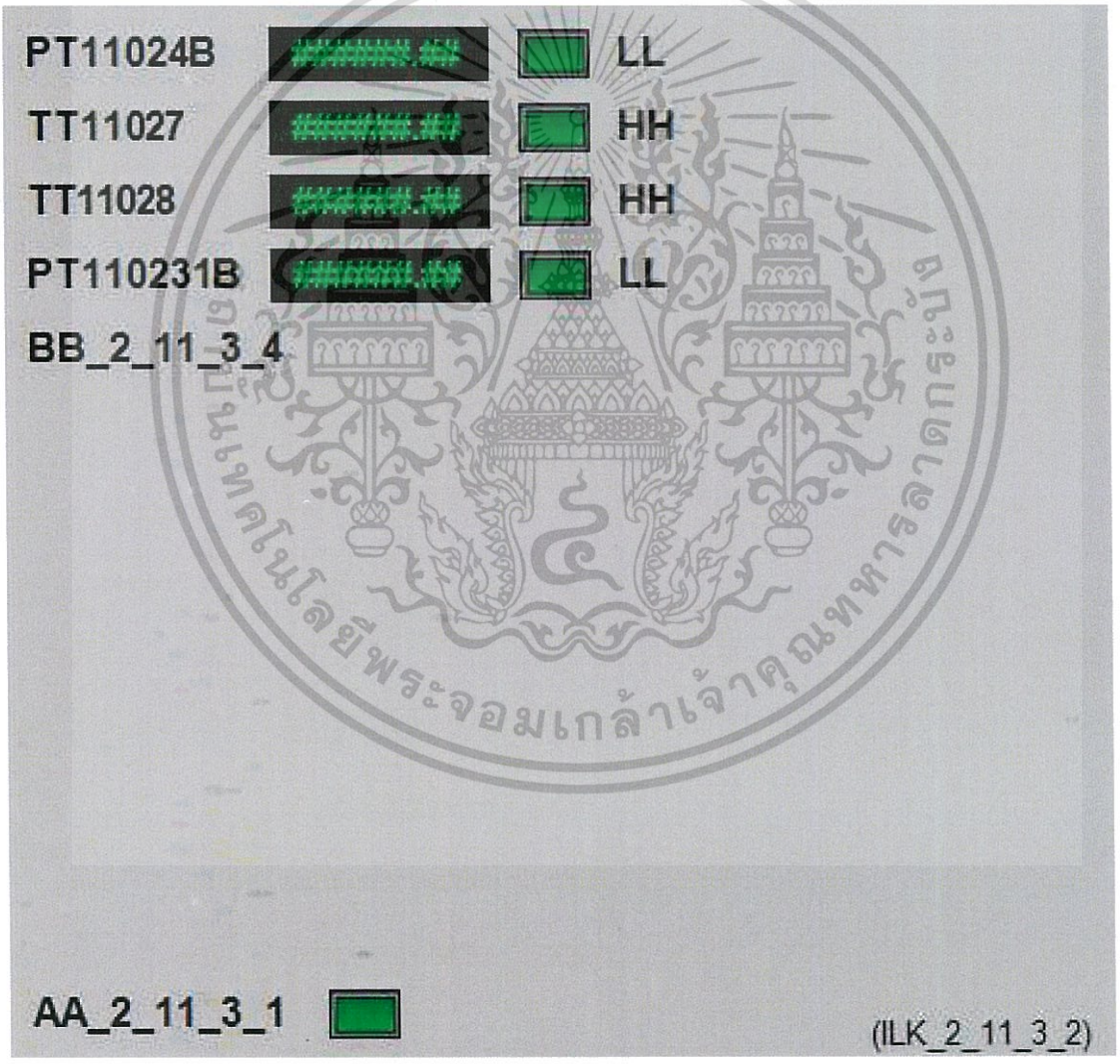
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการเปิด ปิดของ output ILK_2_11_3_2

ILK_2_11_3_2			1		
NO.	OUTPUT	RESULT	INPUT		STAGE STATUS
1	AA_2_11_3_1	ON	case1		
			2-PT-1102-4B=ON		.PNT>3
			2-TT-1102-7=ON		.PNT<155
			2-TT-1102-8=ON		.PNT<145
			2-PT-1102-31B=ON		.PNT>2
			BB_2_11_3_4=ON		ON

รูปที่ 4.17 Condition ILK_2_11_3_2

กราฟิกสำหรับ Simulation ILK_2_11_3_2



รูปที่ 4.18 Simulation Graphic ILK_2_11_3_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปการดำเนินงาน

5.1 สรุปผลการดำเนินงาน

จากการดำเนินงานโครงงานฉบับนี้ เรื่องโปรแกรมจำลองระบบการทำงานโปรเจค LLDPE โดยการทำงานแบ่งเป็น 3 ขั้นตอน ได้แก่ ประการแรก คือ การตรวจสอบเงื่อนไขต่าง ๆ ที่มีโอกาสเกิดขึ้นทั้งหมดจาก Interlock Logic Diagram ประการถัดมา การสร้างฟังก์ชันพิเศษเพื่อการทดสอบ และประการสุดท้าย คือ การพัฒนากราฟิกเพื่อให้สามารถใช้งานการทดสอบได้ โดยสามารถใช้ซอฟแวร์ Simulator ในการตรวจสอบความถูกต้องของระบบอินเทอร์ล็อคนั้น ๆ ได้ง่ายขึ้น และสะดวกกว่าวิธีต้นแบบ โดยผู้ทดสอบไม่จำเป็นต้องมีความรู้ทางด้านโปรแกรมอย่างละเอียดก็สามารถทำการตรวจสอบได้ตามเงื่อนไขที่ได้สร้างขึ้นมาในโปรแกรม Microsoft Excel ทำให้การทดสอบเป็นไปได้อย่างรวดเร็ว ไม่เสียเวลาการทำงาน และการตรวจสอบที่ไม่ซับซ้อน และสะดวกต่อการใช้งานนี้จะช่วยให้พบจุดผิดพลาด และสามารถทำการแก้ไขได้อย่างทันท่วงที

5.2 ปัญหาและอุปสรรค

โครงงานนี้เป็นโครงงานที่ทำร่วมกับบริษัทอื่น ทำให้ข้อมูลหลายส่วนเป็นความลับของลูกค้า ซึ่งยากต่อการเปิดเผย และเนื่องจากมีข้อมูลอยู่มาก ที่สามารถนำมาได้เพียงบางส่วน ดังนั้น จึงอาจมีข้อมูลบางส่วนที่นักศึกษาไม่สามารถนำมาเปิดเผยได้ เพียงแต่ยกตัวอย่างมาแค่จำนวนนึงเท่านั้น

เนื่องจากเป็นซอฟแวร์ที่ทำขึ้นเอง ดังนั้น ซอฟแวร์จะไม่เป็นมาตรฐาน ยากต่อการเชื่อใจ และต้องได้รับการอบรมก่อนจึงจะเข้าใจ และสามารถนำมาใช้ได้โดยง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Integrated Control Block , 27 Febuary 2015

Fox Boro Evo Process Automation System

[2] ระบบ DCS (Distributed Control System):
https://distributedcontrolsystem.wikispaces.com

[3] Interlocking system:
en.wikipedia.org/wiki/Interlock_(engineering)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้