วงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดแบบ chebyshev อันดับห้าปรับค่าได้ รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส

TUNABLE CURRENT MODE FIFTH-ORDER CHEBYSHEV LADDER LOW-PASS FILTER BASED ON CMOS TECHNOLOGY

ธรณินทร์ ต่ายสวัสดิ์
THORANIN TAISAWAT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2559

KMITL-2016-EN-M-010-004

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดแบบ chebyshev อันดับห้าปรับค่าได้ รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส

TUNABLE CURRENT MODE FIFTH-ORDER CHEBYSHEV LADDER LOW-PASS FILTER BASED ON CMOS TECHNOLOGY

T144064

ธรณินทร์ ต่ายสวัสดิ์
THORANIN TAISAWAT

.b 1281426x
.i

เลขหมู่
เลขทะเบียน 144064
วัน.เดือน.ปี 25 ต.ค. 2559

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2559

KMITL-2016-EN-M-010-004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TUNABLE CURRENT MODE FIFTH-ORDER CHEBYSHEV LADDER LOW-PASS FILTER BASED ON CMOS TECHNOLOGY

THORANIN TAISAWAT

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATION ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2016
KMITL-2016-EN-M-010-004**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2016
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส

Thesis Title Tunable Current Mode Fifth-order Chebyshev Ladder Low-pass Filter Based on CMOS Technology

นักศึกษา นายธรณินทร์ ต่ายสวัสดิ์

รหัสประจำตัว 56601278

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.พิพัฒน์ พรหมมี

หมายเลขวิทยานิพนธ์ KMITL-2016-EN-M-010-004

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.สิรภพ	ตู้ประกาย	
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.มนตรี	ศิริปรัชญานันท์	
ผศ.ดร.สมเกียรติ	ฤกษ์วรัญญู	
รศ.ดร.พิพัฒน์	พรหมมี	

วัน / เดือน/ ปี ที่สอบ วันจันทร์ที่ 15 กุมภาพันธ์ พ.ศ. 2559 เวลา 16.30-18.30 น.

สถานที่สอบ ณ อาคาร A ชั้น 2 ห้อง Clinic Research

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 15 กุมภาพันธ์ พ.ศ. 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงต้นฉบับเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดแบบ Chebyshev อันดับห้า ปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส
นักศึกษา	นายธรณินทร์ ต่ายสวัสดิ์
รหัสประจำตัว	56601278
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2558
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

บทความนี้นำเสนอวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส วงจรที่นำเสนอประกอบไปด้วย วงจรอินทิเกรเตอร์ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียและตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานเลย วงจรอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียถูกสร้างขึ้นโดยเทคโนโลยีซีมอส วงจรที่นำเสนอประกอบไปด้วยทรานซิสเตอร์ชนิด PMOS จำนวน 23 ตัว NMOS จำนวน 28 ตัวและตัวเก็บประจุต่อลงกราวด์จำนวน 5 ตัวผลตอบสนองทางความถี่สามารถปรับค่าได้ตั้งแต่ 10 kHz ถึง 50 MHzด้วยการปรับค่ากระแสไบอัสตั้งแต่ 0.03 μAถึง 300 μAวงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้ไฟเลี้ยง 1.5 V และใช้พลังงาน 0.01 mW – 0.01 W การใช้ตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานทำให้วงจรใช้พลังงานต่ำและเหมาะสำหรับการสร้างวงจรรวม ผลการจำลองการทำงานด้วย PSPICE ใช้เทคโนโลยี TSMC 0.18 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Tunable Current Mode Fifth-order Chebyshev Ladder Low-pass Filter Based on CMOS Technology
Student	Mr. ThoraninTaisawat
Student ID.	56601278
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2015
Thesis Advisor	Assoc.Prof.Dr.PipatPrommee

ABSTRACT

This paper presents Tunable Current Mode Fifth-order Chebyshev Ladder Low-pass Filter Based on CMOS Technology by using lossy and lossless integrators and grounded capacitors without external resistors. The lossy and lossless integrators are realized based on CMOS technology. The proposed circuit contains 23 PMOS transistors 28 NMOS transistors and 5 grounded capacitors. The frequency response can be controlled between 10 kHz and 50 MHz by adjusting bias current between 0.03 μA and 300 μA. This filter uses 1.5 V power supply with 0.01 mW – 0.01 W power consumption. Due to the filter consists of grounded capacitors without resistance and uses low power supply, it is suitable for integration. PSPICE simulation results are carried out by TSMC 0.18 μm technology.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ รศ. ดร. พิพัฒน์ พรหมมี อาจารย์ที่ปรึกษาเป็นอย่างสูงผู้ให้แนวคิดและคำแนะนำในการศึกษาค้นคว้าหาข้อมูลต่างๆ ตลอดระยะเวลาที่เข้ารับการศึกษา ตลอดจนให้ความรู้และประสบการณ์ดีๆ แก่ผู้เขียน

ขอกราบขอบพระคุณ บิดา มารดา ผู้สนับสนุนการศึกษาให้ผู้เขียนมาโดยตลอด

ขอขอบคุณ พี่ๆ น้องๆ ในห้องปฏิบัติการที่ช่วยให้คำแนะนำและความรู้กับผู้เขียนตลอดมา

สุดท้ายนี้ผู้เขียนหวังว่าวิทยานิพนธ์นี้จะเป็นประโยชน์ในการศึกษาหาข้อมูลสำหรับผู้อ่านที่กำลังศึกษางานวิจัยในด้านนี้ หากมีข้อผิดพลาดประการใดผู้เขียนขออภัยมา ณ ที่นี้

ธรณินทร์ ต่ายสวัสดิ์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VI

สารบัญรูป VII

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ 1

1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ 2

1.4 ขอบเขตของวิทยานิพนธ์ 2

1.5 รายละเอียดในวิทยานิพนธ์ 2

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง 3

2.1 บทนำ 3

2.2 มอสทรานซิสเตอร์ 3

2.2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด 3

2.2.2 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมด 9

2.2.3 สัญลักษณ์ของมอสทรานซิสเตอร์ 9

2.2.4 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ 10

2.2.5 เทคโนโลยีของซีมอส 13

2.3 วงจรสะท้อนกระแส 14

2.4 การประมาณค่า 16

2.4.1 การประมาณค่าแบบChebyshev 17

2.5 หลักการของตัวกรองสัญญาณ 21

2.5.1 วงจรกรองความถี่ต่ำผ่าน 21

2.5.2 วงจรกรองพาสซีฟความถี่ต่ำผ่าน 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 3 งานวิจัยที่เกี่ยวข้อง....24

3.1 ผลงานวิจัยที่เกี่ยวข้อง....24

บทที่ 4 วงจรกรองความถี่ต่ำผ่านอันดับห้าปรับค่าได้รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอส....30

4.1 บทนำ....30

4.2 คำอธิบายวงจร....31

4.2.1 วงจรอินทีเกรเตอร์โดยใช้มอสทรานซิสเตอร์....31

4.3 วงจรกรองความถี่ต่ำผ่านอันดับ 5....34

4.4 ผลการจำลองการทำงาน....36

บทที่ 5 บทสรุปและข้อเสนอแนะ....43

5.1 บทสรุปการวิจัย....43

5.2 เปรียบเทียบงานวิจัย....43

5.3 ข้อเสนอแนะ....43

เอกสารอ้างอิง....45

ภาคผนวก....47

ภาคผนวก ก. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์....48

ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา....53

ประวัติผู้เขียน....59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

2.1 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 0.5 dB....20

2.2 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 1. dB....20

2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1dB....22

2.4 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5dB....22

2.5 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 1dB....22

5.1 เปรียบเทียบงานวิจัย....43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดแบบเอ็นแชนเนล.....5

2.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดแบบพีแชนเนล.....5

2.3 การเกิดช่องทางเดินกระแสในมอสทรานซิสเตอร์เอ็นฮานซ์เมนท์โหมดแบบเอ็นแชนเนล.....5

2.4 การเกิดสถานะ Pinchoff.....6

2.5 ความสัมพันธ์ระหว่างประจุพาหะและกระแส.....7

2.6 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดัน V_{DS}.....7

2.7 คุณสมบัติของมอสทรานซิสเตอร์.....8

2.8 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดแบบเอ็นแชนเนล.....9

2.9 สัญลักษณ์ของมอสทรานซิสเตอร์.....10

2.10 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....10

2.11 กราฟแสดงความสัมพันธ์ระหว่าง i_Dและ v_{GS}.....11

2.12 รูปวงจรสัญญาณขนาดเล็กของวงจรขยาย.....12

2.13 (ก)ชุดแหล่งจ่ายกระแส โดยใช้ PMOS(ข)วงจรเสมือนขนาดเล็ก.....13

2.14 โครงสร้างของซีมอส (Complementary MOS: CMOS).....13

2.15 โครงสร้างวงจรสะท้อนกระแสแบบพื้นฐาน.....14

2.16 ขั้นตอนการออกแบบวงจรกรองความถี่.....16

2.17 ค่าของ $C_n^2(\omega)$ เมื่อ n = 1, 2, 3, 4.....17

2.18 ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\varepsilon = 1$, $H_{\max} = 1$ และ n = 1, 2, 3, 4.....18

2.19 คุณสมบัติของตัวกรองความถี่ต่ำผ่าน (LPF).....21

2.20 วงจรกรองพาสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev(อันดับคี่).....22

3.1 วงจรรูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต.....24

3.2 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ.....24

3.3 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบกระแส.....24

3.4 วงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไบควอด.....25

3.5 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ.....26

3.6 วงจรซีมอส OTA อันดับสองแบบที่ 1.....27

3.7 วงจรซีมอส OTA อันดับสองแบบที่ 2.....27

3.8 วงจรกรองความถี่RLC ชนิดขั้นบันไดต้นแบบ.....27

3.9 บล็อกไดอะแกรมวงจรกรองความถี่RLC ชนิดขั้นบันไดต้นแบบ.....28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.10 บล็อกไดอะแกรมจำลองรูปแบบกระแสของวงจรกรองความถี่ 29

3.11 วงจรOTAแบบหลายเอาต์พุต โดยใช้โอทีเอสองขั้วและออปแอมป์ 29

4.1 บล็อกอินทีเกรเตอร์ชนิดสูญเสีย 31

4.2 บล็อคอินทีเกรเตอร์ชนิดไม่สูญเสีย 31

4.3 (ก)วงจรอินทีเกรเตอร์ชนิดสูญเสียโดยใช้มอสทรานซิสเตอร์(ข) วงจรเสมือนจากแบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรม 32

4.4 (ก)วงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์(ข)วงจรเสมือนจากแบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรม 33

4.5 วงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้าต้นแบบ 34

4.6 (ก) กราฟการไหล(Signal Flow Graph: SFG)ของวงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้า (ข) Normalized SFGในรูปแบบกระแส 35

4.7 (ก) การสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่ห้า (ข)การสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่ผ่านการลดรูปแล้ว 36

4.8 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทีเกรเตอร์ชนิดสูญเสีย 36

4.9 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย 37

4.10 เปรียบเทียบวงจรกรองความถี่ตำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ตำผ่าน RLC ต้นแบบ ($I_B = 3.00$ μA) 38

4.11 เปรียบเทียบวงจรกรองความถี่ตำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ตำผ่าน RLC ต้นแบบ ($I_B = 3.00$ μA) 38

4.12 เปรียบเทียบวงจรกรองความถี่ตำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ตำผ่าน RLC ต้นแบบ ($I_B = 3.00$ μA) 39

4.13 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ 40

4.14 ค่าความต้านทานอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ เมื่อปรับค่ากระแสไบอัส$I_B = 300$μA 40

4.15 กรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ เมื่อปรับค่ากระแสไบอัส$I_B = 300$μA 41

4.16 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้า ที่นำเสนอเมื่อปรับค่ากระแสไบอัส$I_B = 300$μA 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันวงจรอิเล็กทรอนิกส์ต่างๆ ได้มีการพัฒนาและออกแบบให้มีขนาดที่เล็กไปจากเดิม โดยการสร้างเป็นวงจรรวม (Integrated Circuit) เป็นเทคโนโลยีที่รวมเอาอุปกรณ์สารกึ่งตัวนำและวงจรหลายชนิดมาสร้างไว้ในบนฐานของสารกึ่งตัวนำเดียวกัน ทำให้ยังคงประสิทธิภาพไว้หรือสามารถเพิ่มประสิทธิภาพมากขึ้นกว่าเดิมได้ ซึ่งถือว่ามีความสำคัญมากในการนำมาใช้ในระบบการวัด และระบบการสื่อสารโทรคมนาคม ในปัจจุบันได้มีการใช้เทคโนโลยีซีมอสในการออกแบบ และพัฒนาวงจรอิเล็กทรอนิกส์ในหลายๆด้าน ต่างจากในอดีตที่ใช้ทรานซิสเตอร์ไบโพล่าร์ทำให้มีข้อดี คือ ใช้พลังงานน้อย และต้นทุนต่ำ เป็นต้น ซึ่งวงจรกรองความถี่ในปัจจุบันที่ใช้เทคโนโลยีซีมอส ได้มีการพัฒนาอย่างต่อเนื่องทั้งในด้านการออกแบบวงจรกรองความถี่ต่างๆ เช่น การออกแบบวงจรกรองความถี่อันดับที่หนึ่ง [1-2] การออกแบบวงจรกรองความถี่อันดับที่สอง [3-4]

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่สำคัญในระบบการสื่อสารโทรคมนาคม เช่น วงจรดีมอดูเลตที่มีการแยกเอาสัญญาณความถี่สูงออกให้เหลือแต่สัญญาณข่าวสาร ในอดีตได้มีงานวิจัยที่จำลองการทำงานมาจากวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดต้นแบบ เนื่องจากวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดต้นแบบมีค่าความไวที่ต่ำและมีส่วนประกอบน้อยซึ่งถูกพัฒนามาอย่างต่อเนื่อง [5-18] เช่น วงจรกรองความถี่ต่ำผ่านอันดับที่ห้ารูปแบบแรงดันโดยใช้คุณสมบัติของวงจรขยายสัญญาณออปแอมป์ (Operating Amplifier) [5-8] และใช้วงจรอินทีเกรเตอร์แบบขยายผลต่าง (OTA) [9] ซึ่งจะทำงานในรูปแบบแรงดัน

ต่อมามีการพัฒนามาเป็นรูปแบบกระแส [12-16] โดยทำให้มีข้อดี คือ มีค่าความต้านทานที่โหนดต่ำ สามารถทำงานได้โดยใช้พลังงานน้อย มีประสิทธิภาพสูง และกระแสสามารถคัดลอกได้ง่ายด้วยวงจรสะท้อนกระแส แต่อย่างไรก็ตาม วงจรกรองแบบแอกทีฟดังกล่าวยังคงมีการตอบความถี่ที่ค่อนข้างต่ำ เนื่องจากข้อจำกัดของอุปกรณ์แอกทีฟ เช่น OPAMP, CCII หรือ OTA

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

วงจรกรองความถี่ชนิดขั้นบันไดรูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุต (MOCC) [12] ที่มีตัวต้านทานต่อเข้ากับวงจร ซึ่งทำให้วงจรมีอุปกรณ์พาสซีฟมากเกินไป และวงจรกรองความถี่โดยใช้วงจรอินทีเกรเตอร์แบบขยายผลต่าง (OTA) [13] ซึ่งมีตัวเก็บประจุต่อเทียบกราวด์มากเกินไป อีกทั้งงานวิจัยบางส่วน ใช้วงจรขยายสัญญาณออปแอมป์ต่อร่วมกับมอสทรานซิสเตอร์ [14-16] ทำให้วงจรมีโครงสร้างที่ซับซ้อนเกินไปจึงไม่เหมาะกับการสร้างเป็นวงจรรวม และมีการทำงานในย่านความถี่สูงได้ไม่ดี

จากปัญหาที่กล่าวมาข้างต้น วงจรที่ถูกนำเสนอมาในอดีตบางวงจรใช้ตัวต้านทานต่อเข้ากับวงจร ซึ่งทำให้วงจรมีอุปกรณ์พาสซีฟมากเกินไป บางวงจรมีตัวเก็บประจุต่อเทียบกราวด์มากเกินไป และยังมีการใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายสัญญาณออปแอมป์ต่อร่วมกับมอสทรานซิสเตอร์ให้วงจรมีโครงสร้างที่ซับซ้อนไม่เหมาะต่อการสร้างเป็นวงจรรวม

วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อออกแบบวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้ารูปแบบกระแสโดยใช้เทคโนโลยีซีมอส ด้วยโครงสร้างระดับทรานซิสเตอร์ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยสร้างเป็นวงจรอินทีเกรเตอร์ ชนิดสูญเสีย และวงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย ต่อร่วมกับตัวเก็บประจุต่อลงกราวด์ โดยไม่ใช้ตัวต้านทานภายในวงจร ซึ่งเหมาะในการสร้างเป็นวงจรรวม และ สามารถทำงานในย่านความถี่สูงได้ดี

1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์

วิทยานิพนธ์นี้เป็นการนำเสนอหลักการออกแบบวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้ารูปแบบกระแสโดยใช้เทคโนโลยีซีมอส สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยวงจรที่นำเสนอประกอบไปด้วยวงจรอินทีเกรเตอร์ชนิดสูญเสีย 2 ตัว วงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย 3 ตัว และตัวเก็บประจุต่อลงกราวด์ 5 ตัว วงจรที่นำเสนอทำงานในระดับทรานซิสเตอร์จึงทำให้มีข้อดีหลายข้อ เช่น ใช้ไฟเลี้ยงต่ำ ใช้พลังงานต่ำ ทำงานในย่านความถี่สูงได้ดี และปรับค่าทางอิเล็กทรอนิกส์ได้กว้าง

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์นี้ออกแบบวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส ผลตอบสนองทางความถี่สามารถปรับค่าได้ตั้งแต่ 10 kHz ถึง 50 MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ 0.03 μA ถึง 300 μA วงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้ไฟเลี้ยง 1.5 V และใช้พลังงานตั้งแต่ 0.01 mW – 0.01 W การใช้ตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานทำให้วงจรใช้พลังงานต่ำและเหมาะสำหรับการสร้างวงจรรวม ผลการจำลองการทำงานด้วย PSPICE ใช้เทคโนโลยี TSMC 0.18 μm

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง ความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์

บทที่ 2 กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย บทนำ มอสทรานซิสเตอร์ (Metal Oxide Semiconductor : MOS transistor) เทคโนโลยีซีมอส (Complementary MOS : CMOS) วงจรสะท้อนกระแส (Current Mirror) การประมาณค่า และหลักการวงจรกรองสัญญาณ

บทที่ 3 กล่าวถึง งานวิจัยที่เกี่ยวข้องเพื่อนำมาเทียบกับวิทยานิพนธ์นี้

บทที่ 4 กล่าวถึง การออกแบบวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 กล่าวถึง บทสรุปและข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 บทนำ

บทนี้เป็นการอธิบายถึงการทำงานของอุปกรณ์และหลักการสำคัญที่นำมาใช้ในการออกแบบวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอสที่จะนำเสนอในวิทยานิพนธ์นี้ประกอบไปด้วย มอสทรานซิสเตอร์ (Metal Oxide Semiconductor : MOS transistor) โดยอธิบายถึงชนิดและลักษณะการทำงานเบื้องต้นของมอสทรานซิสเตอร์ เทคโนโลยีซีมอส (Complementary MOS : CMOS) ซึ่งอธิบายถึงโครงสร้างของซีมอส ต่อมาเป็นหลักการทำงานพื้นฐานของวงจรสะท้อนกระแส (Current Mirror) หลักการตัวกรองสัญญาณแบบตัวกรองความถี่ต่ำผ่าน และสุดท้ายจะกล่าวถึงการประมาณค่าแบบ Chebyshev

2.2 มอสทรานซิสเตอร์

มอสเฟท (Metal Oxide Semiconductor Field Effect Transistor: MOSFET) หรือเรียกว่ามอสทรานซิสเตอร์ (MOS Transistor) [19-21] สามารถแบ่งลักษณะการทำงานได้เป็น 2 ลักษณะ คือ มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement Mode Transistor) และมอสทรานซิสเตอร์แบบดีพลีชั่นโหมด (Depletion Mode Transistor)

มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement Mode Transistor) คือ PMOS หรือ NMOS ที่ไม่มีช่องทางเดินกระแสระหว่างเดรน (D) และซอส (S) จนกว่าจะมีค่าความต่างศักย์ระหว่างเกท (G) และซอส คือ $|V_{GS}|$ มีขนาดถึงค่าๆ หนึ่งที่เรียกว่าแรงดันขีดเริ่มต้น ช่องทางเดินกระแสจึงถูกเหนี่ยวนำให้เกิดขึ้น

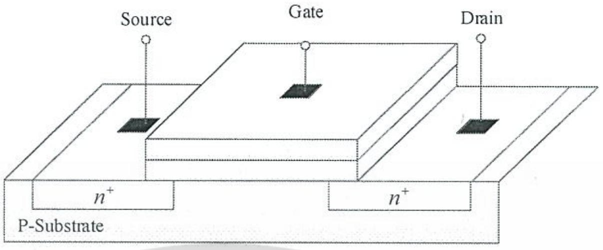
มอสทรานซิสเตอร์แบบดีพลีชั่นโหมด (Depletion Mode Transistor) คือ PMOS หรือ PMOS ที่มีช่องทางเดินกระแสระหว่างเดรนและซอสอยู่แล้ว การเปลี่ยนแปลงค่าความต่างศักย์ระหว่างเดรนและซอสจะเป็นการลดหรือเพิ่มค่าความนำในช่องทางเดินกระแส

2.2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

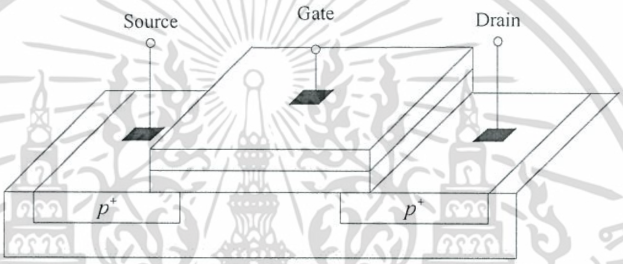
โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชนเนล ประกอบไปด้วยฐานรองชนิดที่มีอิเล็กโทรดบริเวณเดรนและซอสที่ต่อกับบริเวณสารกึ่งตัวนำที่ทำการเติมสารเจือชนิดเอ็นแชลเนลที่มีความหนาแน่นสูงเข้าไปที่ฐานรอง แต่บริเวณสารกึ่งตัวนำตัวนั้นจะไม่เชื่อมต่อกันเหมือนกับในกรณีของมอสทรานซิสเตอร์แบบดีพลีชั่นโหมด แต่จะเคลือบซิลิกอนไดออกไซด์ SiO_2 ลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกท (G) โดยส่วนที่อยู่ระหว่างเดรน (D) และซอส (S) จะเรียกว่าแชนเนล ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงในรูปที่ 2.1 ในขณะแบบพีแชนเนลจะคล้ายๆ กับเอ็นแชนเนลต่างกันตรงที่ชนิดพีแชลเนลจะใช้ฐานรองเป็นชนิดเอ็นที่มีความหนาแน่นน้อย ส่วนบริเวณเดรนและซอสทำการเติมสารเชื้อชนิดเอ็นที่มีความหนาแน่นสูงอยู่บนฐานรองแทน ดังรูปที่ 2.2

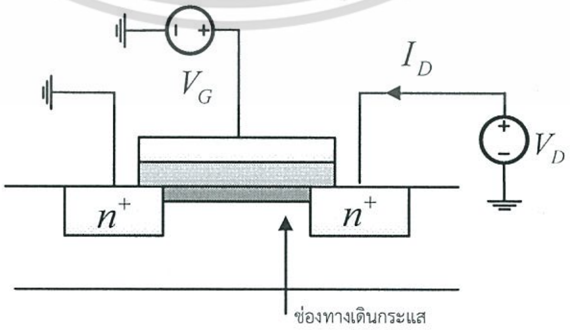


รูปที่ 2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดแบบเอ็นแชนเนล [19]



รูปที่ 2.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดแบบพีแชนเนล [19]

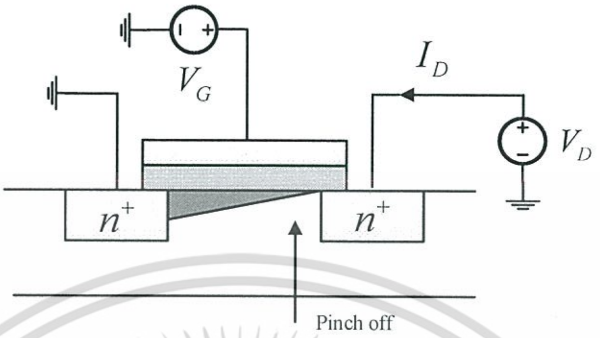
2.2.1.1 ทฤษฎีการทำงานของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์ ซึ่งอธิบายเทียบกับชนิดเอ็นแชนเนล ถ้าแรงดัน $V_{GS} = 0$ กระแสจะไม่สามารถไหลจากเดรนไปยังซอสได้ แต่ถ้าป้อนแรงดัน V_{GS} จะทำให้ประจุลบถูกเหนี่ยวนำให้เกิดขึ้นระหว่าเดรนและซอส เมื่อค่าของ V_{GS} มีค่ามากพอประจุบวกที่เกทจะเหนี่ยวนำทำให้เกิดประจุลบที่สารกึ่งตัวนำชนิดพีทำให้กลายเป็นสารกึ่งตัวนำชนิดเอ็น ซึ่งจะเกิดช่องทางเดินกระแสจากเดรนไปยังซอสซึ่งเชื่อมต่อบริเวณซอสและเดรนเข้าด้วยกัน ค่าของแรงดัน V_{GS} ที่พอดีทำให้เกิดช่องทางเดินกระแส เรียกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage : V_{TH}) ดังรูปที่ 2.3



รูปที่ 2.3 การเกิดช่องทางเดินกระแสในมอสทรานซิสเตอร์เอ็นฮานซ์เมนท์โหมดแบบเอ็นแชนเนล [19]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูปที่ 2.4 ถ้าแรงดันที่ขาเดรนมีค่าสูงพอที่ทำให้ $V_G - V_D \leq V_{TH}$ ความต่างศักย์ระหว่างเกทกับฐานรองด้านที่ติดกับเดรนจะมีค่าเป็นศูนย์ ซึ่งเรียกสถานะที่เกิดขึ้นของช่องทางเดินกระแสในขณะนี้ว่า “Pinch off” ทำให้ช่องทางเดินกระแสจะมีค่าน้อยมากจนเกือบจะเป็นศูนย์



รูปที่ 2.4 การเกิดสถานะ Pinch off [19]

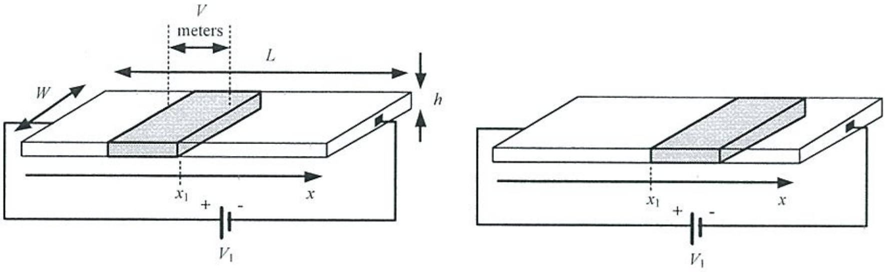
ในขณะที่ V_{GS} มีค่าเพิ่มขึ้น ($V_{GS} < V_{TH}$) ประจุด้านล่างของเกทจะถูกเหนี่ยวนำมามากขึ้น ทำให้ช่องทางเดินกระแสมีค่าความต้านทานลดลงจึงทำให้แชลเนลเกิดขึ้น เมื่อ V_{GS} เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแชลเนลก็จะเพิ่มขึ้นด้วย ดังนั้นสรุปได้ว่าค่าความหนาแน่นของประจุพาหะแปรผันตาม $V_{GS} - V_T$ โดยค่าความหนาแน่นของประจุอิเล็กตรอนแสดงได้ดังสมการที่ (2.1)

$$Q = WC_{OX}(V_{GS} - V_{TH}) \tag{2.1}$$

ความสัมพันธ์ระหว่างความหนาแน่นของอิเล็กตรอนและกระแส สามารถพิจารณาได้จากรูปที่ 2.5 ปริมาณของกระแสจะถูกกำหนดโดยอัตราการไหลของประจุที่เคลื่อนที่ในตัวนำ ผ่านพื้นที่หน้าตัดเป็นระยะทาง x ในหนึ่งวินาที ถ้าประจุเคลื่อนที่ด้วยความเร็ว V m/s ทำให้สามารถหาความสัมพันธ์ระหว่าง $Q.V$ ได้ดังนี้

$$I = Q \times V \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ความสัมพันธ์ระหว่างประจุพาหะและกระแส [19]

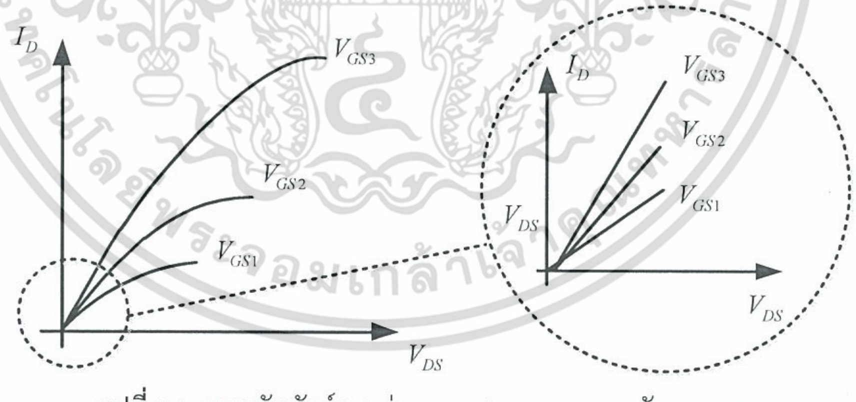
จากสมการที่ 2.2 กระแสที่ขาเดรน (I_D) สามารถเขียนได้เป็น

$$I_D = \mu_n C_{OX} \frac{W}{L}\left[2(V_{GS} - V_{TH})V_{DS} - V_{DS}^{\;2}\right] \tag{2.3}$$

โดยกระแสที่ขาเดรน (I_D) สูงสุดสามารถเขียนได้เป็น

$$I_{D,\max} = \mu_n C_{OX} \frac{W}{L}(V_{GS} - V_{TH})^2 \tag{2.4}$$

โดย C_{OX} เป็นค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกทกับแชนเนล

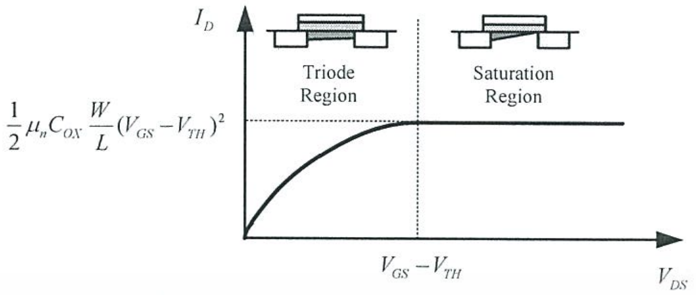


รูปที่ 2.6 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดัน V_{DS} [19]

จากรูปที่ 2.6 ความสัมพันธ์ระหว่าง I_D และ V_{DS} เป็นลักษณะเชิงเส้นซึ่งก็คือ V_{GS} ทำให้สามารถหาค่าของความต้านทานได้จาก V_{DS}/I_D

$$R = \frac{1}{\mu_n C_{OX} \frac{W}{L}(V_{GS} - V_{TH})} \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 คุณสมบัติของมอสทรานซิสเตอร์ [19]

จากสมการที่ (2.3) เป็นช่วงที่ค่าของ V_{DS} และ I_D แปรผันกันเป็นเส้นตรง และเมื่อ V_{DS} ที่มากขึ้น เนื่องจากแรงดันที่ขาเดรนมีค่ามากขึ้น ซึ่งทำให้ช่องทางเดินกระแสลดลง ทำให้ความชันของกราฟลดลงเรียกช่วงนี้ว่า Triode Region หรือ Linear Region แสดงในรูปที่ 2.7 ในทางปฏิบัติกระแส I_D ในช่วง Saturation region จะมีค่าคงที่เมื่อ $V_{DS} > V_{GS} - V_{TH}$

โดยที่สมการกระแส I_D ของมอสทรานซิสเตอร์ในช่วง Linear region คือ

$$I_D = K\left[2(V_{GS}-V_{TH})V_{DS}-V_{DS}^2\right] \tag{2.6}$$

และสมการกระแส I_D ของมอสทรานซิสเตอร์ในช่วง Saturation region คือ

$$I_D = K(V_{GS}-V_{TH})^2 \tag{2.7}$$

โดยที่ $K = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}$

μ_n = ค่าความคล่องของโฮลหรืออิเล็กตรอน

C_{ox} = ค่าความจุต่อพื้นที่ของเกทออกไซด์

W = ความกว้างของแชนเนล

L = ความยาวของแชนเนล

V_{GS} = แรงดันระหว่างขาเกทและซอส

V_{TH} = แรงดันขีดเริ่ม

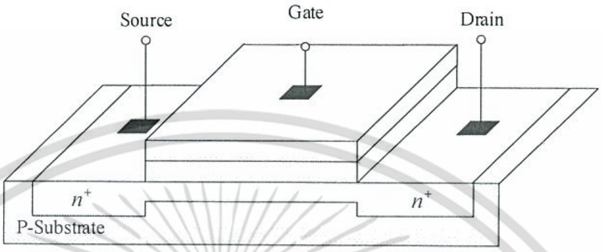
V_{DS} = แรงดันระหว่างขาเดรนและซอส

I_D = กระแสเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมด

มอสทรานซิสเตอร์แบบดีพลีชั่นโหมด มีโครงสร้างแสดงตามรูปที่ 2.8 โดยส่วนของซอสและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็น ซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี หลักจากนั้นส่วนของแชนเนลจะถูกสร้างขึ้นด้วยวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ลักษณะโครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนท์ทุกประการ



รูปที่ 2.8 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดแบบเอ็นแชนเนล [19]

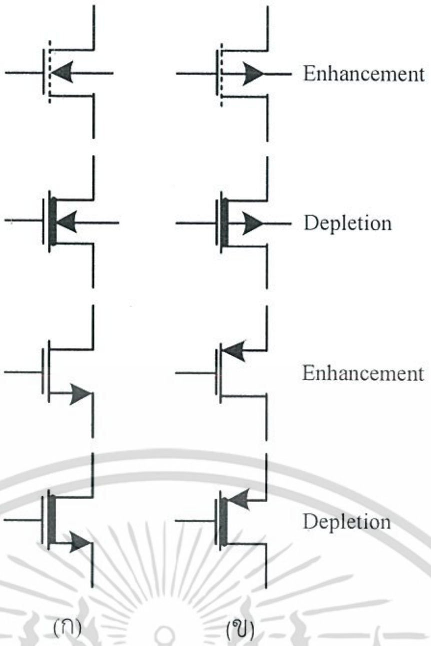
จากรูปที่ 2.8 จะเห็นได้ว่าแชนเนลได้ถูกสร้างมาก่อนแล้ว ซึ่งต่างจากกรณีของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด สามารถอธิบายได้ว่าจะมีกระแสไหลจากขาเดรนไปยังขาซอสได้ในขณะที่แรงดันที่ขาเกทยังคงมีค่าเป็นศูนย์ และถ้าต้องการให้กระแสที่ขาเดรนเป็นศูนย์จะต้องให้ศักดาไฟฟ้าที่เป็นลบ ($V_{GS} < 0$) ที่ขาเกท

การนำไฟฟ้าและความกว้างของแชนเนลจะถูกควบคุมด้วย V_{GS} เหมือนกับกรณีของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด เมื่อให้ค่า V_{GS} เป็นบวกจะทำให้แชนเนลกว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนเนล และทำให้การไฟฟ้าดีขึ้น เมื่อค่า V_{GS} เป็นลบอิเล็กตรอนจะถูกผลักออกจากแชนเนลทำให้แชนเนลแคบลง และการนำไฟฟ้าลดลง ในขณะที่การทำงานขณะที่ V_{GS} เป็นลบนั้นเรียกว่าการทำงานในช่วงดีพลีชั่นโหมด เมื่อ V_{GS} เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลักออกไปจากแชนเนลจนหมดและแชนเนลหายไป ทำให้กระแส I_D เป็นศูนย์ แม้ว่า V_{DS} ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ V_{GS} ที่ทำให้แชนเนลหายไปนั้นก็คือ ค่าแรงดันขีดเริ่ม (threshold voltage) ของมอสทรานซิสเตอร์ดีพลีชั่นโหมด

2.2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์ทำให้เราสามารถที่จะบอกได้ว่ามอสทรานซิสเตอร์เป็นชนิด PMOS หรือ NMOS ดังแสดงในรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



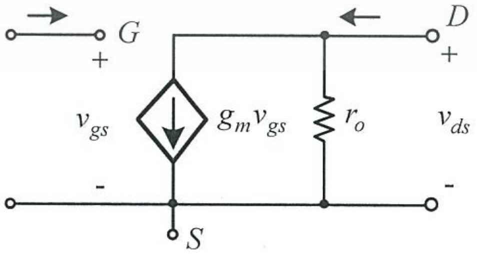
รูปที่ 2.9 สัญลักษณ์ของมอสทรานซิสเตอร์ [20]

(ก) NMOS (ข) PMOS

2.2.4 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

วงจรเสมือนสัญญาณขนาดเล็ก (Small-Signal Equivalent Circuit) [21] ของมอสทรานซิสเตอร์นำไปใช้ในการวิเคราะห์ผลตอบสนองของสัญญาณ มอสทรานซิสเตอร์จะมีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-Controlled Current Source) โดยให้สัญญาณ V_{gs} ทำให้เกิดกระแส $g_m V_{gs}$ ทางด้านขาเดรน ความต้านทานที่อินพุตจะมีค่าสูงมากและเป็นอนันต์ในทางอุดมคติ โดยมีตัวต้านทาน r_o ต่ออยู่ระหว่างขาเดรนและขาซอส ดังแสดงในรูปที่ 2.10 เมื่อกระแสที่ขาเกทจะมีค่าน้อยมากจนเกือบจะเป็นศูนย์ทำให้ที่ขาเกทมีลักษณะเหมือนเปิดวงจร สามารถหาค่าแรงดัน v_{ds} ได้ดังนี้

$$v_{ds} = i_d r_o - r_o g_m v_{gs} \tag{2.8}$$

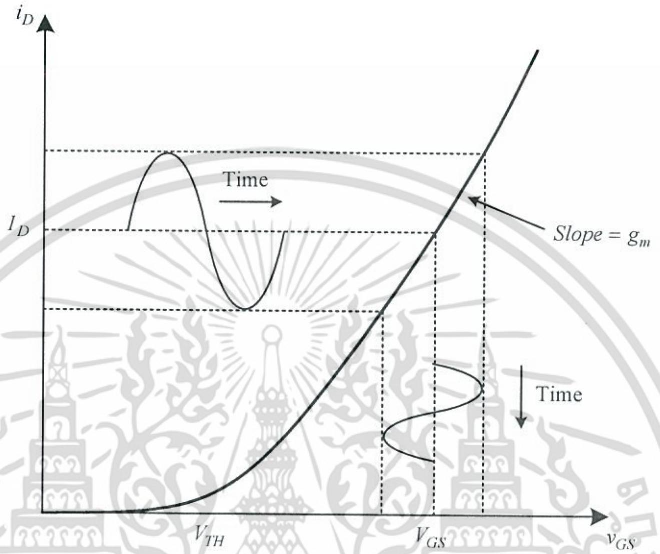


รูปที่ 2.10 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [21]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความต้านทานทางด้านเอาต์พุตคือส่วนกลับค่าความชันของกราฟความสัมพันธ์ระหว่าง I_{DS} และ V_{DS} สามารถหาค่าได้ดังนี้

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \tag{2.9}$$



รูปที่ 2.11 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS} [21]

ค่าทรานส์คอนดักแตนซ์ (g_m) คือค่าความชันของกราฟดังรูปที่ 2.11 และถูกกำหนดด้วยค่าของกระแสเดรนและแรงดันระหว่างขาเกทและซอสซึ่งเขียนได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \tag{2.10}$$

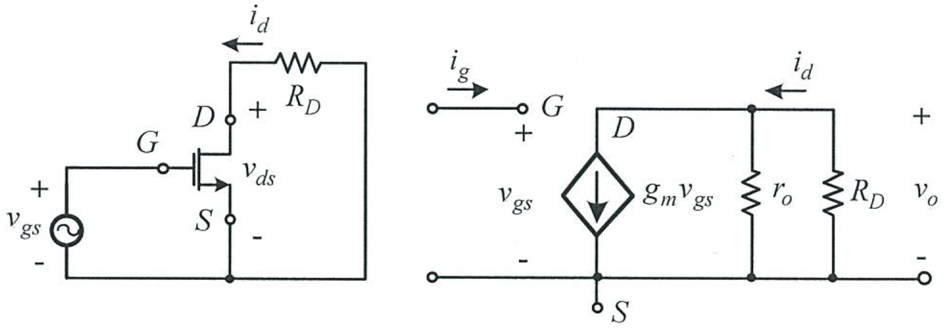
กำหนดให้ $i_D \approx I_D, v_{GS} \approx V_{GS}$ และ $v_{DS} \approx V_{DS}$ ดังนั้นค่าทรานส์คอนดักแตนซ์สามารถหาค่าได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2K(V_{GS} - V_{TH}) \tag{2.11}$$

$$= \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \tag{2.12}$$

โดยที่ $K = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 รูปวงจรสัญญาณขนาดเล็กของวงจรขยาย [21]

จากรูปที่ 2.12 ค่าความต้านทานอินพุตของวงจรสัญญาณขนาดเล็กสามารถหาได้ดังนี้

$$R_i = \frac{v_{gs}}{i_g} = \infty \tag{2.13}$$

ความต้านทานทางด้านเอาต์พุตหาได้โดยใช้หลักการ Thevenin's equivalent พิจารณาทางด้านเอาต์พุตโดยที่ $v_{gs} = 0$ สามารถหาได้ดังนี้

$$R_o = r_o \| R_D \tag{2.14}$$

เขียนแรงดันเอาต์พุตของสัญญาณขนาดเล็ก (v_o) ได้ดังนี้

$$v_o = -g_m (r_o \| R_D) v_{gs} \tag{2.15}$$

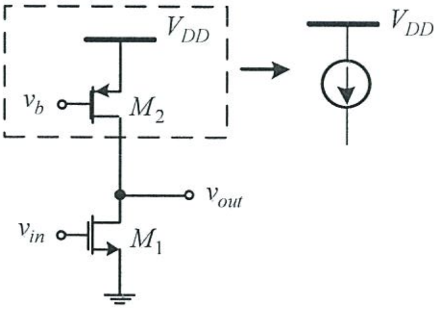
และอัตราขยายของสัญญาณขนาดเล็กคือ

$$A_{vo} = \frac{v_o}{v_{gs}} = -g_m (r_o \| R_D) v_{gs} \tag{2.16}$$

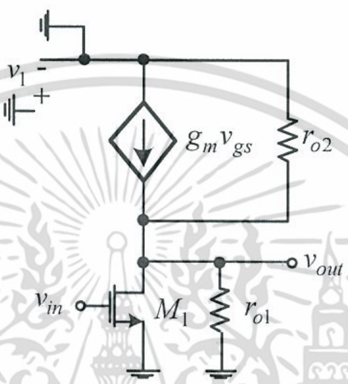
ถ้าแทนค่า $r_o = V_M / I_D$ จะได้ว่า

$$A_{vo} = -g_m \left(\frac{V_M R_D}{V_M + I_D R_D} \right) \tag{2.17}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 2.13 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [19]

จากรูปที่ 2.13 (ก) เป็นการใช้ PMOS แทนการใช้แหล่งจ่ายกระแสให้กับ NMOS พิจารณารูปที่ 2.13 (ข) เพื่อหาอัตราขยายของสัญญาณขนาดเล็กและความต้านทานทางด้านเอาต์พุต กำหนดให้แรงดันเกทและซอส มีค่าคงที่ทำให้มอสทรานซิสเตอร์ M_2 ทำงานเป็นตัวต้านทานเพราะ $V_1 = 0$ และ $g_{m2}v_1 = 0$ ทำให้สามารถหาสมการได้ดังนี้

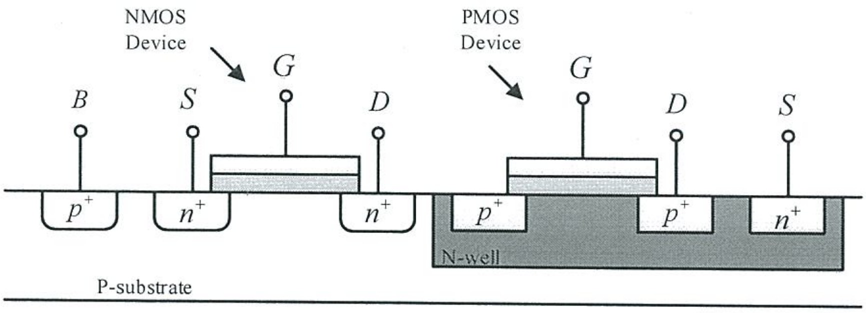
$$A_{vo} = -g_{m1}(r_{o1} \| r_{o2}) \tag{2.18}$$

$$R_{out} = r_{o1} \| r_{o2} \tag{2.19}$$

2.2.5 เทคโนโลยีของซีมอส

ซีมอส (Complementary MOS: CMOS) [19] เป็นเทคโนโลยีที่ใช้มอสทรานซิสเตอร์ชนิด NMOS และชนิด PMOS สร้างอยู่บนฐานรองเดียวกัน ดังแสดงในรูปที่ 2.14 ซึ่งฐานรองชนิดเอ็นนั้นสามารถสร้างได้ในฐานรองชนิดพีโดยการสร้างบ่อเอ็น (n-well) ขึ้นมาก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 โครงสร้างของซีมอส (Complementary MOS: CMOS) [19]

จากโครงสร้างดังแสดงในรูปที่ 2.14 เทคโนโลยีซีมอสมีการสร้างและการทำงานที่ซับซ้อนมากกว่า NMOS หรือ PMOS โดยเทคโนโลยีมอสทรานซิสเตอร์ในยุคแรกมีเพียง NMOS เท่านั้น เพราะต้นทุนในการสร้าง CMOS นั้นสูงกว่า อย่างไรก็ตามเนื่องจากข้อดีของ CMOS ที่มีมากกว่าทำให้ได้รับความนิยมมากขึ้น และเทคโนโลยีของ NMOS เริ่มมีการใช้น้อยลง

2.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) [19-21] แบบมอสทรานซิสเตอร์ เป็นวงจรที่มีความสำคัญในการออกแบบวงจรกรองสัญญาณ โดยวงจรสะท้อนกระแสที่นิยมใช้จะมีด้วยกันอยู่ประมาณ 4 แบบ ที่ได้รับการพัฒนาและเผยแพร่อย่างต่อเนื่อง คือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาสโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

สำหรับวงจรสะท้อนกระแสที่ต่อร่วมกับวงจรอินทีเกรเตอร์ชนิดสูญเสีย และวงจรอินทีเกรเตอร์ชนิดไม่สูญเสียที่อยู่ในวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้ารูปแบบกระแสโดยใช้เทคโนโลยีซีมอส จะเป็นวงจรสะท้อนกระแสแบบพื้นฐาน ดังนั้นในหัวข้อนี้จึงกล่าวเพียงรายละเอียดของวงจรสะท้อนกระแสแบบพื้นฐานเท่านั้น

วงจรสะท้อนกระแสแบบพื้นฐานดังแสดงในรูปที่ 2.15 (ก) จากรูปเห็นได้ว่าแรงดัน V_x ในกล่องสี่เหลี่ยมสามารถหาค่าได้จากสมการที่ 2.4

$$\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 (V_X - V_{TH1})^2 = I_{REF} \tag{2.20}$$

โดยค่าแรงดัน V_x เป็นการกำหนดค่าความกว้างของแชนเนล W ความยาวของแชนเนล L ค่ากระแสอินพุต I_{REF} และค่าแรงดันขีดเริ่ม V_{TH} แสดงได้ดังสมการที่ 2.21

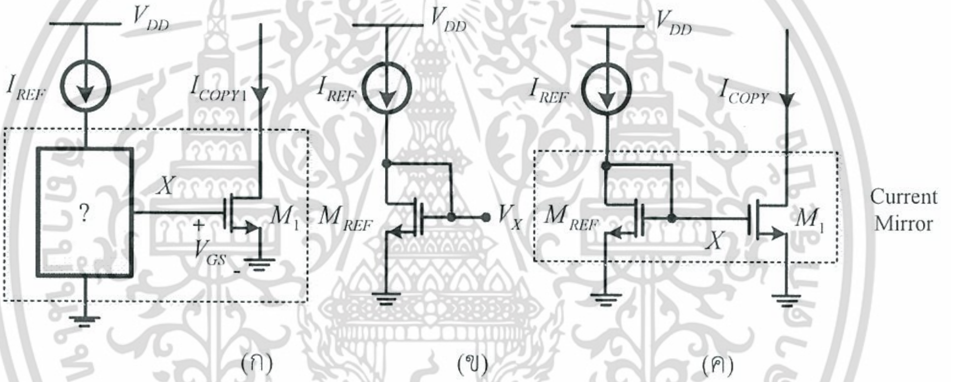
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_X = \sqrt{\frac{2I_{REF}}{\mu_n C_{ox}\left(\frac{W}{L}\right)_1}} + V_{TH1} \tag{2.21}$$

มอสทรานซิสเตอร์ในรูปที่ 2.15 (ข) ทำหน้าที่เสมือนเป็นไดโอดไปแทนในกล่องสี่เหลี่ยมในรูปที่ 2.15 (ก) ซึ่งจะได้เป็นวงจรสะท้อนกระแสตามรูปที่ 2.15 (ค) โดยวงจรสะท้อนกระแสประกอบด้วยทรานซิสเตอร์ 2 ตัว สามารถเขียนสมการกระแสได้ดังนี้

$$I_{REF} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{REF}(V_X - V_{TH})^2 \tag{2.22}$$

$$I_{COPY} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 (V_X - V_{TH})^2 \tag{2.23}$$



รูปที่ 2.15 โครงสร้างวงจรสะท้อนกระแสแบบพื้นฐาน [19]

(ก) หลักการคัดลอกกระแสโดยใช้มอสทรานซิสเตอร์ชนิด NMOS (ข) สัดส่วนแรงดัน (V_X)

(ค) วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์

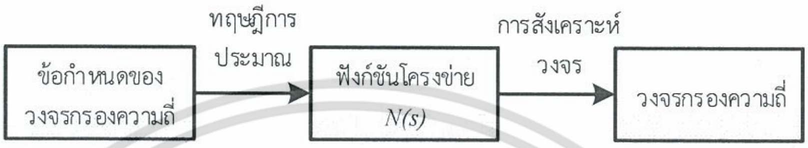
โดยความสัมพันธ์ระหว่างกระแสเอาต์พุต (I_{COPY}) และกระแสอินพุต (I_{REF}) สามารถเขียนได้ดังนี้

$$I_{COPY} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{REF}} I_{REF} \tag{2.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การประมาณค่าฟังก์ชันตัวกรอง

โดยปกติแล้วคุณสมบัติของวงจรกรองความถี่จะถูกกำหนดอยู่ในรูปของผลตอบสนองทางความถี่ ซึ่งประกอบด้วยผลตอบสนองทางขนาด (Magnitude response) และ/หรือผลตอบสนองทางเฟส (Phase response) โดยที่การออกแบบวงจรกรองความถี่จะเริ่มจากการหาฟังก์ชันโครงข่าย (Network function) โดยที่ข้อกำหนดของวงจรกรองความถี่ของฟังก์ชันโครงข่ายเราเรียกว่าการประมาณค่า (Approximation) [22-25] แสดงในรูปที่ 2.16



รูปที่ 2.16 ขั้นตอนการออกแบบวงจรกรองความถี่ [25]

ถ้า *N(s)* เป็นฟังก์ชันโครงข่ายของวงจรเชิงเส้นไม่แปรผันตามเวลา (Linear Time-Invariant) ดังนั้น

$$N(s)=\frac{a_0+a_1s+a_2s^2+...+a_ms^m}{b_0+b_1s+b_2s^2+...+b_ns^n} \tag{2.25}$$

โดย $a_0, a_1, \ldots, a_m$ และ $b_0, b_1, \ldots, b_n$ เป็นจำนวนจริง ทำให้

$$N*(j\omega)=N(-j\omega) \tag{2.26}$$

เนื่องจาก $N(j\omega)$ เป็นจำนวนเชิงซ้อน ดังนั้น

$$N(j\omega)N*(j\omega)=|N(j\omega)|^2 \tag{2.27}$$

แทนสมการที่ (2.26) ลงในสมการที่ (2.27) จะได้

$$N(j\omega)N(-j\omega)=|N(j\omega)|^2 \tag{2.28}$$

แทน $\omega=s/j$ ลงในสมการที่ (2.28) จะได้

$$N(s)N(-s)=|N(s)|^2 \tag{2.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.4.1 การประมาณค่าแบบ Chebyshev

ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่านที่มีลักษณะของการกระเพื่อมแบบเท่าเทียม (equal ripple) สามารถเขียนอยู่ในรูปของฟังก์ชัน $|N(j\omega)|^2$ ได้ดังนี้

$$|N(j\omega)|^2 = \frac{H^2}{1+\varepsilon^2 C_n^2(\omega)} \tag{2.30}$$

ถ้ากำหนดให้ $C_n(\omega)$ คือโพลิโนเมียลแบบ Chebyshev อันดับที่ n สามารถหานิยามได้ดังนี้

$$C_n(\omega) = \begin{cases} \cos(n\cos^{-1}\omega), 0 \le \omega \le 1 \\ \cosh(n\cosh^{-1}\omega), \omega \ge 1 \end{cases}$$

จากฟังก์ชันด้านบนแสดงให้เห็นว่า

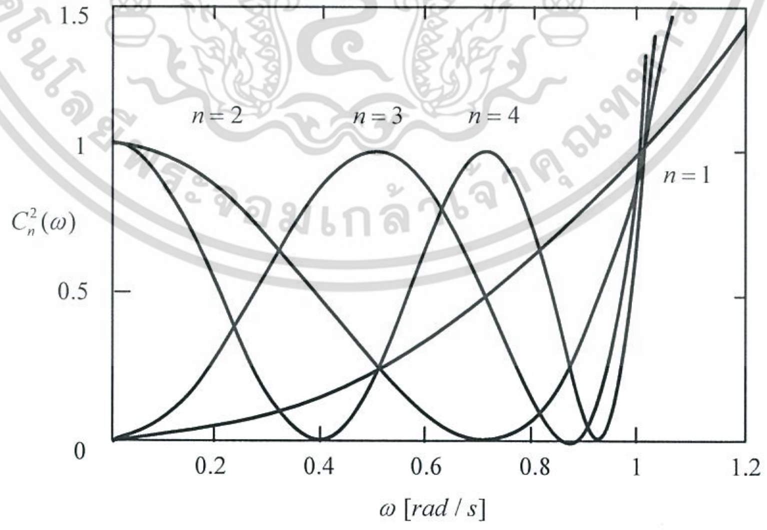
$$C_1(\omega) = \omega$$

$$C_2(\omega) = 2\omega^2 - 1$$

$$C_3(\omega) = 4\omega^3 - 3\omega$$

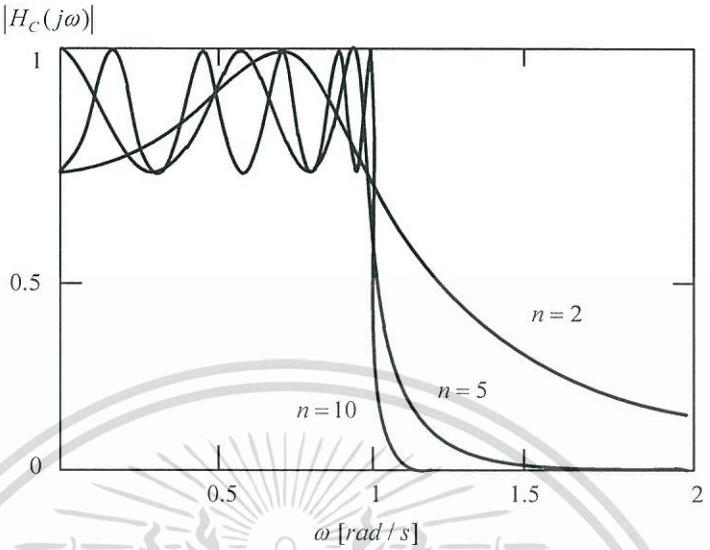
$$\vdots$$

$$C_{n+1}(\omega) = 2\omega C_n(\omega) - C_{n-1}(\omega)$$



รูปที่ 2.17 ค่าของ $C_n^2(\omega)$ เมื่อ n = 1, 2, 3, 4 [25]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
144064



รูปที่ 2.18 ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\varepsilon = 1$, $H_{\max} = 1$ และ $n = 1, 2, 3, 4$ [25]

จากรูปที่ 2.18 แสดงผลตอบสนองทางขนาดแบบ Chebyshev โดยใช้สมการ (2.30) โดยที่กำหนดให้มีย่านความถี่ผ่านอยู่ในช่วง $0 \le \omega \le 1$ ทำให้สามารถสรุปคุณสมบัติได้ดังนี้

1. ย่านความถี่ $0 \le \omega \le 1$ เรียกว่าย่านความถี่ผ่าน (passband)
2. ผลตอบสนองในย่านความถี่ผ่านจะมีลักษณะของการกระเพื่อมแบบเท่าเทียม
3. ย่านความถี่ $\omega \ge 1$ เรียกว่าย่านความถี่หยุด (stopband)
4. ผลตอบสนองในย่านความถี่หยุดจะเป็นแบบโมโนโทนิค
5. ในกรณีที่ n เป็นจำนวนคี่ $|N(j\omega)| = H$ และในกรณีที่ n เป็นจำนวนคู่ $|N(j\omega)| = H/\sqrt{1+\varepsilon^2}$
6. ที่ $\omega = 1$ rad/s จะทำให้ $|N(j1)| = H/\sqrt{1+\varepsilon^2}$ ไม่ว่าอันดับ n จะเป็นเท่าไหร่ก็ตาม
7. จุดสูงสุดของแถบความถี่ผ่านถูกกำหนดโดยค่า $C_n^2(\omega) = \cos^2(n\cos^{-1}\omega) = 0$ โดยที่ $\omega_{peak} = \cos(k\pi/2n)$ ซึ่ง k = 1, 3, 5

จากสมการที่ (2.30) สามารถแสดงได้ว่าโพลของฟังก์ชันโครงข่ายที่ทำให้เกิดผลตอบสนองทางความถี่คือรากที่อยู่ทางซ้ายมือในระนาบเชิงซ้อนของสมการดังนี้

$$C_n^2\left(\frac{s}{j}\right) + \frac{1}{\varepsilon^2} = 0 \qquad (2.31)$$

แทนค่าสมการที่ C_n ในสมการที่ (2.31) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_n\left(\frac{s}{j}\right) = \cos\left(\mathrm{n}\cos^{-1}\frac{s}{j}\right) = \pm\frac{j}{\varepsilon} \tag{2.32}$$

กำหนดให้

$$w = u + jv = \cos^{-1}\frac{s}{j} \tag{2.33}$$

แทนค่าสมการที่ (2.33) ในสมการที่ (2.32) จะได้ว่า

$$\cos n(u+jv) = \cos nu \cosh nv - j\sin nu \sinh nv = \pm\frac{j}{\varepsilon} \tag{2.34}$$

จากสมการข้างบนจะเห็นได้ว่า $\cos nu \cosh nv = 0$ เนื่องจากค่าของ $\cosh nv \geq 1$ ดังนั้นจึงทำให้ $\cos nu = 0$ หรืออาจเขียนได้ว่า

$$u_k = \frac{2k-1}{2n}\pi \qquad k = 1, 2, 3, \ldots, 2\mathrm{n} \tag{2.35}$$

ซึ่งจะทำให้ $\sin nu = \pm 1$ จากสมการที่ (2.34) เมื่อนำสมการที่ (2.35) มาแทนค่าจะได้ว่า

$$v = \frac{1}{n}\sinh^{-1}\frac{1}{\varepsilon} \tag{2.36}$$

แทนค่าสมการที่ (2.36) ในสมการที่ (2.33) จะได้ว่า

$$s = j\cos(u_k + jv) = \sin u_k \sinh v + j\cos u_k \cosh v \tag{2.37}$$

สามารถสรุปได้ว่าตำแหน่งโพลของฟังก์ชันโครงข่ายแบบ Chebyshev คือ $p_k = \sigma_k + j\omega_k$ โดยที่

$$\sigma_k = -\sin u_k \sinh v \qquad \text{และ} \qquad \omega_k = \cos u_k \cosh v \tag{2.38}$$

ภายใต้เงื่อนไขของสมการที่ (2.35) และสมการที่ (2.36) โดยที่ $k = 1, 2, 3, \ldots, 2n$

เราสามารถหาอันดับของฟังก์ชันโครงข่ายแบบ Chebyshev ได้โดยอาศัยข้อกำหนดดังนี้

1. ย่านความถี่ $0 \leq \omega \leq \omega_p$ คือย่านความถี่ผ่านโดยที่ค่าสูงสุดของการกระเพื่อมมีค่าเท่ากับ K_p dB
2. ย่านความถี่ $\omega \geq \omega_s$ คือย่านความถี่หยุดโดยที่ค่าต่ำสุดของการลดทอนมีค่าเท่ากับ K_s dB

ในการหาอันดับของฟังก์ชันโครงข่ายแบบ Chebyshev (n_c) โดยใช้สมการที่ (2.23)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n_c = \frac{\cosh^{-1} M}{\cosh^{-1} \Omega} \tag{2.39}$$

โดยที่

$$\Omega = \frac{\omega_s}{\omega_p} = \frac{f_s}{f_p} \quad \text{และ} \quad M = \sqrt{\frac{10^{0.1K_s} - 1}{10^{0.1K_p} - 1}} \tag{2.40}$$

ตารางที่ 2.1 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 0.5 dB

n	Poles	a_1	a_0	Q	ω_n
2	$-0.71281 \pm j1.00404$	1.42562	1.5162	0.86372	1.23134
3	$-0.31323 \pm j1.02193$	0.62646	1.14245	1.70619	1.06885
	-0.62646				
4	$-0.17535 \pm j1.01625$	0.35071	1.06352	2.94055	1.03127
	$-0.42334 \pm j0.42095$	0.84668	0.35641	0.70511	0.59700
5	$-0.11196 \pm j1.01625$	0.22393	1.03578	4.54496	1.01773
	$-0.29312 \pm j0.62518$	0.58625	0.47677	1.17781	0.69048
	-0.36232				
6	$-0.07765 \pm j1.00846$	0.1553	1.02302	6.51285	1.01145
	$-0.21214 \pm j0.73824$	0.42429	0.59001	1.81038	0.76812
	$-0.28979 \pm j0.27022$	0.57959	0.15700	0.68364	0.39623

ตารางที่ 2.2 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 1 dB

n	Poles	a_1	a_0	Q	ω_n
2	$-0.54887 \pm j0.89513$	1.09773	1.10251	0.95652	1.05000
3	$-0.24709 \pm j096600$	0.49417	0.9942	2.01772	0.9971
	-0.49417				
4	$-0.13954 \pm j0.98338$	0.27907	0.9865	3.55904	0.99323
	$-0.33687 \pm j0.40733$	0.67374	0.2794	0.78455	0.52858
5	$-0.08946 \pm j0.99011$	0.17892	0.98831	5.55644	0.99414
	$-0.23421 \pm j0.61192$	0.46841	0.42930	1.39879	0.65521
	-0.28949				
6	$-0.06218 \pm j0.99341$	0.12436	0.99073	8.00369	0.99536
	$-0.16988 \pm j0.62518$	0.33976	0.55772	2.19802	0.74681
	$-0.23206 \pm j0.26618$	0.46413	0.12471	0.76087	0.35314

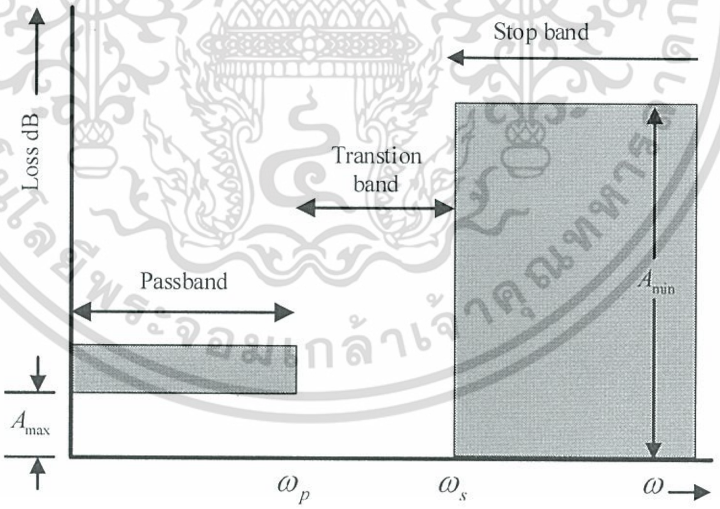
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 หลักการของตัวกรองสัญญาณ

หลักการของตัวกรองสัญญาณ [26] ตัวกรองสัญญาณ (Filter) ใช้สำหรับปรับรูปร่างของสเปกตรัม (Spectrum) ความถี่ของสัญญาณไฟฟ้า ซึ่งเป็นส่วนสำคัญมากของระบบโทรคมนาคมและระบบควบคุมต่าง ๆ ตัวกรองสามารถแบ่งตามหน้าที่ของมันได้เช่น ตัวกรองความถี่ต่ำผ่าน (Low-pass filter: LPF), ตัวกรองความถี่สูงผ่าน (High-pass filter: HPF), ตัวกรองความถี่ต้องการผ่าน (Band-pass filter: BPF), ตัวกรองความถี่ไม่ต้องการออก (Band-reject filter: BRF), ตัวปรับแต่งอัตราขยาย (Gain Equalizer) และตัวปรับแต่งการหน่วงเวลา (Delay Equalizer) เนื่องวิทยานิพนธ์ฉบับนี้ใช้เพียงตัวกรองความถี่ต่ำผ่านดังนั้นในหัวข้อนี้จึงขอกล่าวเพียงรายละเอียดของตัวกรองความถี่ต่ำผ่านเท่านั้น

2.4.1 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่ต่ำผ่านได้โดยมีค่าการสูญเสีย (Loss) ต่ำมาก แต่จะกั้นความถี่สูงไว้โดยจะเป็นตัวลดทอนสัญญาณ (Attenuator) แสดงในรูปที่ 2.12 ตัวกรองความถี่ต่ำผ่าน จะทำหน้าที่ผ่านสัญญาณตั้งแต่ย่าน DC ไปจนถึงจุดความถี่ตัด (Cut-Off) (ω_p) โดยมีการลดทอนเท่ากับ A_{max} (dB) ซึ่งเรียกว่าแถบความถี่ผ่าน (Pass Band) และ เมื่อความถี่สูงกว่า ω_s จะมีการลดทอนเท่ากับ A_{max} (dB) ย่านความถี่จาก ω_s ไปจนถึงความถี่อนันต์ จะเรียกว่าว่าแถบความถี่หยุด (Stop Band) และ ω_s จะเรียกว่าขอบความถี่หยุด ช่วงความถี่ระหว่าง ω_p ไปจนถึง ω_s จะเรียกว่าแถบเปลี่ยนความถี่ (Transition Band)



รูปที่ 2.19 คุณสมบัติของตัวกรองความถี่ต่ำผ่าน (LPF) [26]

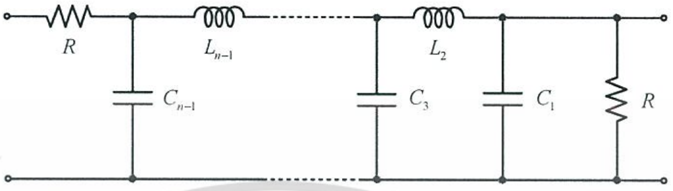
โดยสามารถหาค่า Gain ได้ดังสมการที่ (2.41)

$$Gain = \frac{V_o}{V_{in}} = \frac{b}{s^2 + as + b} = \frac{\omega_p^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \tag{2.41}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 วงจรกรองพาสซีฟความถี่ต่ำผ่าน

ในหัวข้อนี้จะแสดงตารางค่าอุปกรณ์ของวงจรกรองพาสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev [22-25] (รูปที่ 2.20) ที่นำมาใช้เป็นตัวต้นแบบในวงจรกรองที่นำเสนอในวิทยานิพนธ์นี้ ดังแสดงในตารางที่ 2.3, 2.4 และตารางที่ 2.5



รูปที่ 2.20 วงจรกรองพาสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev (อันดับคี่) [24]

ตารางที่ 2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
2	1.5715	0.288							
3	1.0316	1.1474	1.0316						
5	1.1468	1.3712	1.975	1.3712	1.1468				
7	1.1812	1.4228	2.0967	1.5734	2.0967	1.4228	1.1812		

ตารางที่ 2.4 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
3	1.5963	1.0967	1.5963						
5	1.7058	1.2296	2.5408	1.2296	1.7058				
7	1.7373	1.2582	2.6383	1.3443	2.6383	1.2582	1.7373		
9	1.7504	1.269	2.6678	1.3673	2.7239	1.3673	2.6678	1.269	1.7504

ตารางที่ 2.5 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1\,\Omega$ และมีค่าของการกระเพื่อมเท่ากับ 1 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
3	2.0236	0.9941	2.0236						
5	2.1349	1.0911	3.0009	1.0911	2.1349				
7	2.1666	1.1115	3.0936	1.1735	3.0936	1.1115	2.1666		
9	2.1797	1.1192	3.1214	1.1897	3.1746	1.1897	3.1214	1.1192	2.1797

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

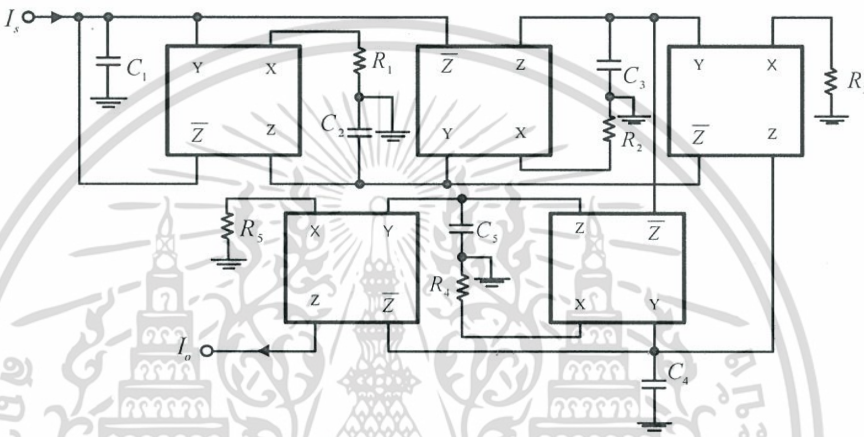
เนื่องจากในงานวิจัยนี้เป็นการจำลองการทำงานมาจากวงจรกรองพาสซีฟที่มีตัวต้านทานปลายปิดคู่ แบบ Chebyshev อันดับห้าและมีค่าของการกระเพื่อมเท่ากับ 0.5 dB ดังนั้นค่า R, L และ C จะมีค่าอัตราส่วนเดียวกันกับตารางที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

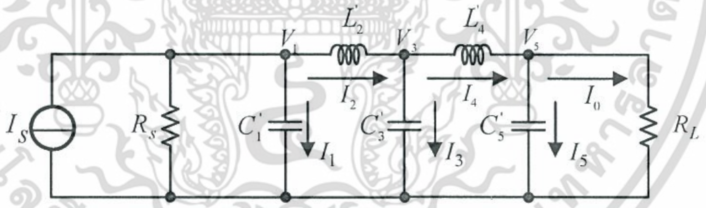
บทที่ 3
งานวิจัยที่เกี่ยวข้อง

3.1 ผลงานวิจัยที่เกี่ยวข้อง

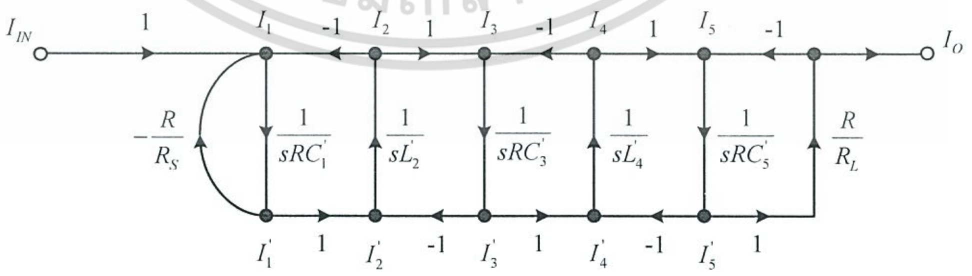
ในบทนี้จะทำการเปรียบเทียบงานวิจัยที่เคยมีผู้ตีพิมพ์มาแล้ว โดยงานวิจัยแรกจะนำเอางานวิจัยของ J.Wu, E. El-Masry [12] งานวิจัยนี้เป็นการสร้างวงจรรูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแสแบบหลายเอาต์พุต ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 วงจรรูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต [12]



รูปที่ 3.2 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ [12]



รูปที่ 3.3 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบกระแส [12]

ซึ่งวงจรรูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต ใช้พื้นฐานการจำลองวงจร RLC ต้นแบบรูปที่ 3.2 โดยนำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ดังแสดงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 หลังจากนั้นทำการวิเคราะห์วงจรกรองสัญญาณจะสามารถหาสมการกระแสได้ตามสมการที่ (3.1)-(3.6)

$$I_1' = \frac{I_S - I_1'\left(\frac{R}{R_S}\right) - I_2}{sRC_1'} \tag{3.1}$$

$$I_2 = \frac{I_1' - I_3'}{sL_2' / R} \tag{3.2}$$

$$I_3' = \frac{I_2 - I_4}{sRC_3'} \tag{3.3}$$

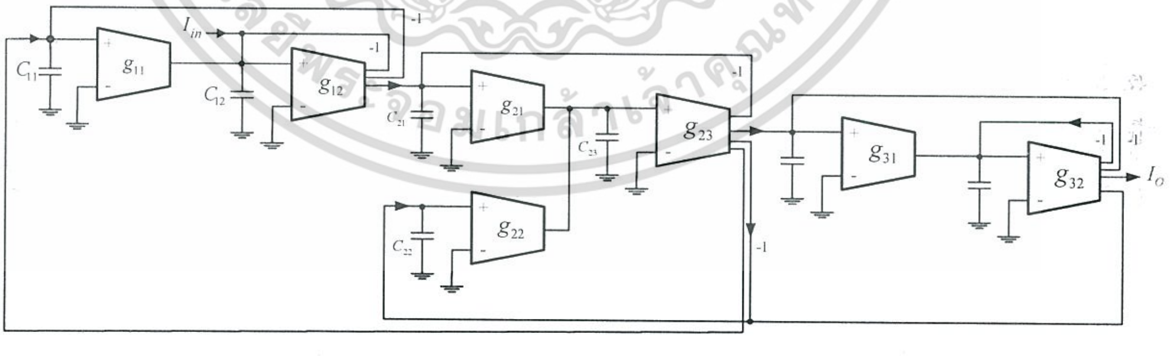
$$I_4 = \frac{I_3' - I_5'}{sL_4' / R} \tag{3.4}$$

$$I_5' = \frac{I_4 - I_5}{sRC_5'} \tag{3.5}$$

$$I_0 = I_6 = \frac{I_5' R}{R_L} \tag{3.6}$$

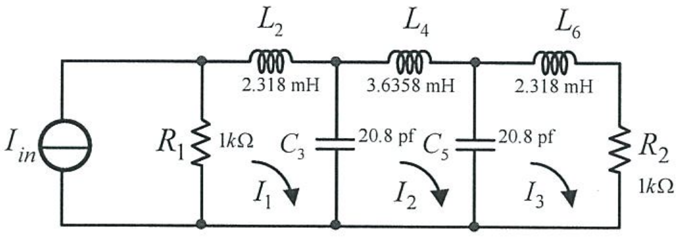
จากรูปที่ 3.1 แสดงวงจรรูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต (MOCC) โดยมีข้อดีคือ ใช้จำนวนตัวต้านทานและตัวเก็บประจุน้อยกว่างานวิจัยในอดีต แต่จะเห็นได้ว่าจะมีข้อเสีย คือ ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้และใช้งานได้ที่ย่านความถี่แคบ

อีกทั้งงานวิจัยของ Jie Wu และ Ezz I. El-Masry [13] งานวิจัยนี้เป็นการสร้างวงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไบควอด ดังแสดงในรูปที่ 3.4 โดยจำลองการทำงานมาจากวงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.5



รูปที่ 3.4 วงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไบควอด [13]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ [13]

จากรูปที่ 3.5 ทำการวิเคราะห์วงจรโดยการหาฟังก์ชันถ่ายโอนได้ดังสมการที่ (3.7)-(3.11)

$$T_{01} = \left.\frac{I_1}{I_{in}}\right|_{i_2=0} = \frac{sR_1 / L_2}{s^2 + sR_1 / L_2 + 1 / L_2C_3} \tag{3.7}$$

$$T_{21} = \left.\frac{I_1}{I_2}\right|_{i_{in}=0} = \frac{1 / L_2C_3}{s^2 + sR_1 / L_2 + 1 / L_2C_3} \tag{3.8}$$

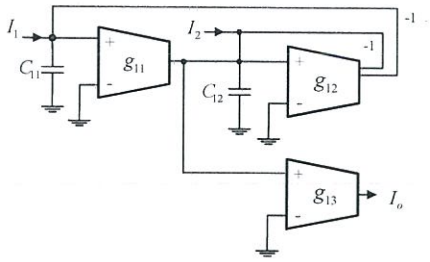
$$T_{12} = \left.\frac{I_2}{I_1}\right|_{i_3=0} = \frac{1 / L_4C_3}{s^2 + 1 / (L_4C_{3,5})} \tag{3.9}$$

$$T_{32} = \left.\frac{I_2}{I_3}\right|_{i_1=0} = \frac{1 / L_4C_5}{s^2 + 1 / (L_4C_{3,5})} \tag{3.10}$$

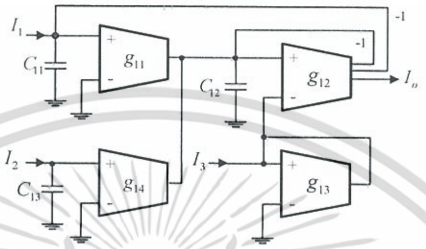
$$T_{23} = \frac{I_3}{I_2} = \frac{1 / L_6C_5}{s^2 + sR_2 / L_6 + 1 / L_6C_5} \tag{3.11}$$

จากสมการ (3.7), (3.8) และ (3.11) สามารถจำลองการทำงานโดยใช้วงจรซีมอส OTA อันดับสองแบบที่ 1แสดงในรูปที่ 3.6 โดยการเอา OTA ตัวที่สามออก ในขณะที่สมการ (3.9) และ (3.10) สามารถจำลองการทำงานโดยใช้วงจรซีมอส OTA อันดับสองแบบที่ 2 แสดงในรูปที่ 3.7 โดยการเอา OTA ตัวที่สี่ออก เมื่อนำมาเขียนวงจรรวมจะได้เป็นวงจรกรองกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไบควอด ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



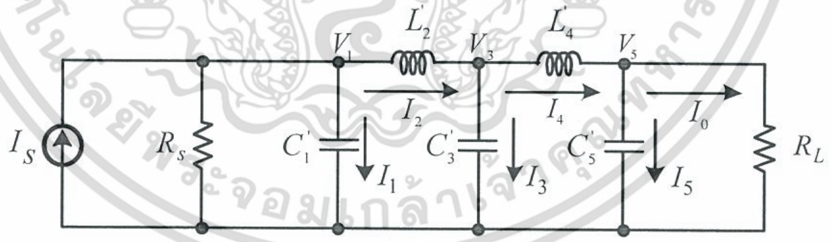
รูปที่ 3.6 วงจรซีมอส OTA อันดับสองแบบที่ 1 [13]



รูปที่ 3.7 วงจรซีมอส OTA อันดับสองแบบที่ 2 [13]

เมื่อพิจารณาในรูปที่ 3.4 เห็นได้ว่าวงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไบควอด มีตัวเก็บประจุต่อเทียบกราวด์มากเกินไป

สุดท้ายได้ศึกษางานวิจัยของ Jaime Ramirez-Angulo และ Edgar Sanchez-Sinencio [9] ซึ่งงานวิจัยนี้เป็นการสร้างวงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดที่มีการชดเชยความถี่สูงโดยจำลองการทำงานมาจากวงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ ในรูปที่ 3.8



รูปที่ 3.8 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ [9]

ซึ่งตัวแปรในวงจรนี้ แรงดันที่ตกคร่อมตัวเก็บประจุ และกระแสที่ไหลผ่านขดลวดเหนี่ยวนำ $(V_1, I_2, V_3, I_4, V_5)$ ถูกแทนด้วยแรงดัน ทำให้บล็อกการทำงานถูกกำหนดให้เป็นอินทีเกรเตอร์รูปแบบแรงดัน การรวมแรงดัน และการขยายแรงดันมีโครงสร้างมีคุณลักษณะแสดงดังสมการต่อไปนี้ ซึ่งสามารถนำไปเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3-9

$$V_1 = \left(\frac{V_S - V_1}{R_1} - I_2 \right) \frac{1}{sC_1} \tag{3.12}$$

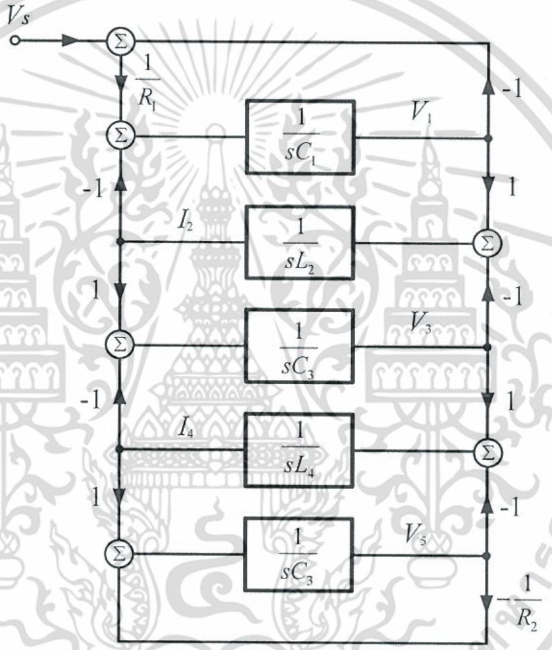
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_2 = (V_1 - V_3)\frac{1}{sL_2} \tag{3.13}$$

$$V_3 = (I_2 - I_4)\frac{1}{sC_3} \tag{3.14}$$

$$I_4 = (V_3 - V_5)\frac{1}{sL_4} \tag{3.15}$$

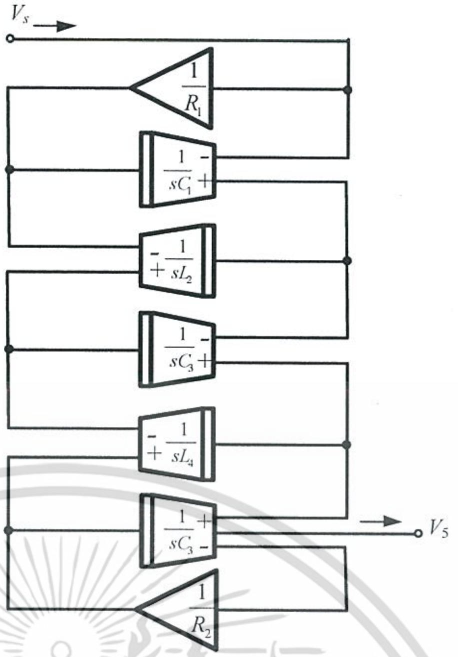
$$V_5 = \left(I_4 - \frac{V_5}{R_2}\right)\frac{1}{sC_5} \tag{3.16}$$



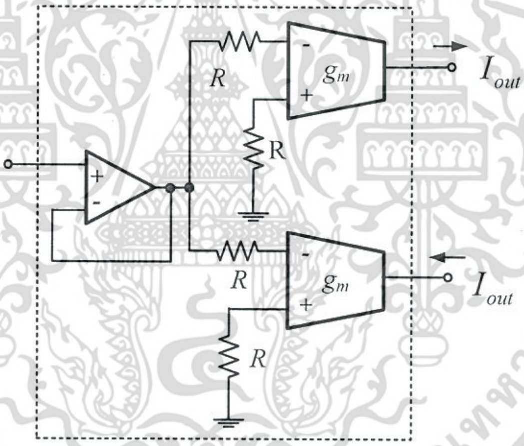
รูปที่ 3.9 บล็อกไดอะแกรมวงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ [9]

จากรูปที่ 3.9 สามารถเขียนบล็อกไดอะแกรมให้อยู่ในรูปของกระแสได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 บล็อกไดอะแกรมจำลองรูปแบบกระแสของวงจรกรองความถี่ [9]



รูปที่ 3.11 วงจร OTA แบบหลายเอาต์พุต โดยใช้โอทีเอสองขั้วและออปแอมป์ [9]

พิจารณาจากรูปที่ 3.10 สามารถสร้างเป็นวงจรรวมได้โดยใช้วงจร OTA แบบหลายเอาต์พุตจากรูปที่ 3.11 ซึ่งจะเห็นได้ว่ามีการใช้ตัวต้านทานมาต่อร่วมจึงทำให้ไม่เหมาะกับการนำมาสร้างเป็นวงจรรวม

จากงานวิจัยที่ได้กล่าวมาเห็นได้ว่าในแต่ละงานวิจัยมีข้อเสียคือ มีอุปกรณ์พาสซีฟต่อลงกราวด์ แล้วก็ตาม แต่บางวงจรก็ยังมีอุปกรณ์พาสซีฟแบบลอยตัว [12] และบางวงจรก็ยังมีอุปกรณ์พาสซีฟเป็นจำนวนมาก [13] อีกทั้งยังไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ [12-13] และใช้งานได้ที่ย่านความถี่แคบเนื่องจากใช้อุปกรณ์บล็อกแอกทีฟ [12-16] ซึ่งจากข้อด้อยดังกล่าว จึงเป็นที่มาของวิทยานิพนธ์นี้ โดยจะนำการออกแบบวงจรกรองความถี่ที่ใช้งานได้ในย่านความถี่กว้าง ใช้อุปกรณ์พาสซีฟต่อลงกราวด์น้อย และสามารถปรับค่าได้ทางอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรกรองความถี่ต่ำผ่านอันดับห้าปรับค่าได้รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอส

4.1 บทนำ

ในปัจจุบันวงจรอิเล็กทรอนิกส์ต่างๆได้มีการพัฒนาและออกแบบให้มีขนาดที่เล็กไปจากเดิม โดยยังคงประสิทธิภาพไว้หรือสามารถเพิ่มประสิทธิภาพมากขึ้นกว่าเดิมได้ ซึ่งถือว่ามีความสำคัญมากในการนำมาใช้ในระบบการวัด และระบบการสื่อสารโทรคมนาคม ในปัจจุบันได้มีการใช้เทคโนโลยีซีมอสในการออกแบบ และ พัฒนาวงจรอิเล็กทรอนิกส์ในหลายๆด้าน ซึ่งวงจรกรองความถี่ในปัจจุบันที่ใช้เทคโนโลยีซีมอสได้มีการพัฒนาอย่างต่อเนื่องทั้งในด้านการออกแบบวงจรกรองความถี่ต่างๆ เช่น การออกแบบวงจรกรองความถี่อันดับที่หนึ่ง [1-2] การออกแบบวงจรกรองความถี่อันดับที่สอง [3-4] อีกทั้งงานวิจัยบางงานมีการเลียนแบบการทำงานวงจรกรองความถี่ อันดับที่ห้าแบบขั้นบันได [5-18] ได้มีการพัฒนาอย่างต่อเนื่อง เช่น วงจรกรองความถี่ต่ำผ่าน อันดับที่ห้ารูปแบบแรงดันโดยใช้คุณสมบัติของวงจรขยายสัญญาณออปแอมป์ (Operating Amplifier) [5-8] และใช้วงจรอินทีเกรเตอร์แบบขยายผลต่าง (OTA) [9-13]

การออกแบบวงจรกรองความถี่ที่ทำงานในโหมดแรงดันเป็นที่ทราบกันดีว่าวงจรในรูปแบบกระแสมีข้อดีมากกว่าวงจรในรูปแบบแรงดัน คือใช้แรงดันไฟฟ้าและพลังงานต่ำ การตอบสนองความถี่สูงดี วงจรมีขนาดเล็กกว่ารูปแบบแรงดัน เหมาะกับการสร้างเป็นวงจรรวมได้ง่าย เช่น วงจรกรองความถี่แบบขั้นบันไดรูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุต (MOCC) [12] ที่มีตัวต้านทานต่อเข้ากับวงจรซึ่งทำให้วงจรมีอุปกรณ์พาสซีฟมากเกินไป และวงจรกรองความถี่โดยใช้วงจรอินทีเกรเตอร์แบบขยายผลต่าง (OTA) [13] ซึ่งมีตัวเก็บประจุต่อเทียบกราวด์มากเกินไปอีกทั้งงานวิจัยบางส่วนใช้วงจรขยายสัญญาณออปแอมป์ต่อร่วมกับมอสทรานซิสเตอร์ [14-16] ทำให้วงจรมีโครงสร้างที่ซับซ้อนเกินไปจึงไม่เหมาะกับการสร้างเป็นวงจรรวม จากปัญหาดังกล่าว งานวิจัยนี้จึงได้นำเสนอวงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบกระแสปรับค่าได้โดยใช้เทคโนโลยีซีมอส ที่ได้จำลองการทำงานจากวงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้าโดยใช้ทรานซิสเตอร์จำนวน 61 ตัว ตัวเก็บประจุแบบต่อกราวด์ 5 ตัว วงจรใช้ไฟเลี้ยงต่ำ มีอัตราการใช้พลังงานที่ต่ำ มีย่านใช้งานที่กว้าง ผลตอบสนองทางความถี่สามมารถปรับค่าได้ทางอิเล็กทรอนิกส์ การประยุกต์ใช้งานของวงจรกรองความถี่ที่นำเสนอโดยสามารถประยุกต์เป็นวงจรกรองความถี่ต่ำผ่านแบบขั้นบันได อันดับห้าได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 คำอธิบายวงจร

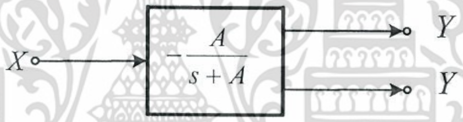
4.2.1 วงจรอินทีเกรเตอร์โดยใช้มอสทรานซิสเตอร์

จากบล็อกอินทีเกรเตอร์ชนิดสูญเสีย (Lossy integrator) ดังแสดงในรูปที่ 4.1 มีเอาต์พุตที่มีค่าเท่ากันเป็น Y_1 และ Y_2 การสร้างวงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย (Lossless integrator) สามารถทำได้โดยลูปเอาต์พุต Y_1 กลับของบล็อกอินทีเกรเตอร์ชนิดสูญเสียร่วมกับวงจรขยายกลับเฟส ดังแสดงในรูปที่ 4.2 จากหลักการดังกล่าว สามารถสร้างบล็อคอินทีเกรเตอร์ชนิดไม่สูญเสียที่มีเอาต์พุตเป็น Z_1 และ Z_2 โดยมีเฟสต่างกัน 180 องศา และ มีสมการถ่ายโอนเท่ากับ

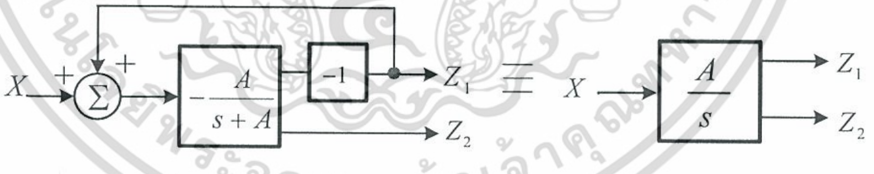
$$\frac{Y}{X} = -\frac{A}{s+A} \tag{4.1}$$

$$\frac{Z_1}{X} = \frac{A}{s} \tag{4.2}$$

$$\frac{Z_2}{X} = -\frac{A}{s} \tag{4.3}$$



รูปที่ 4.1 บล็อกอินทีเกรเตอร์ชนิดสูญเสีย



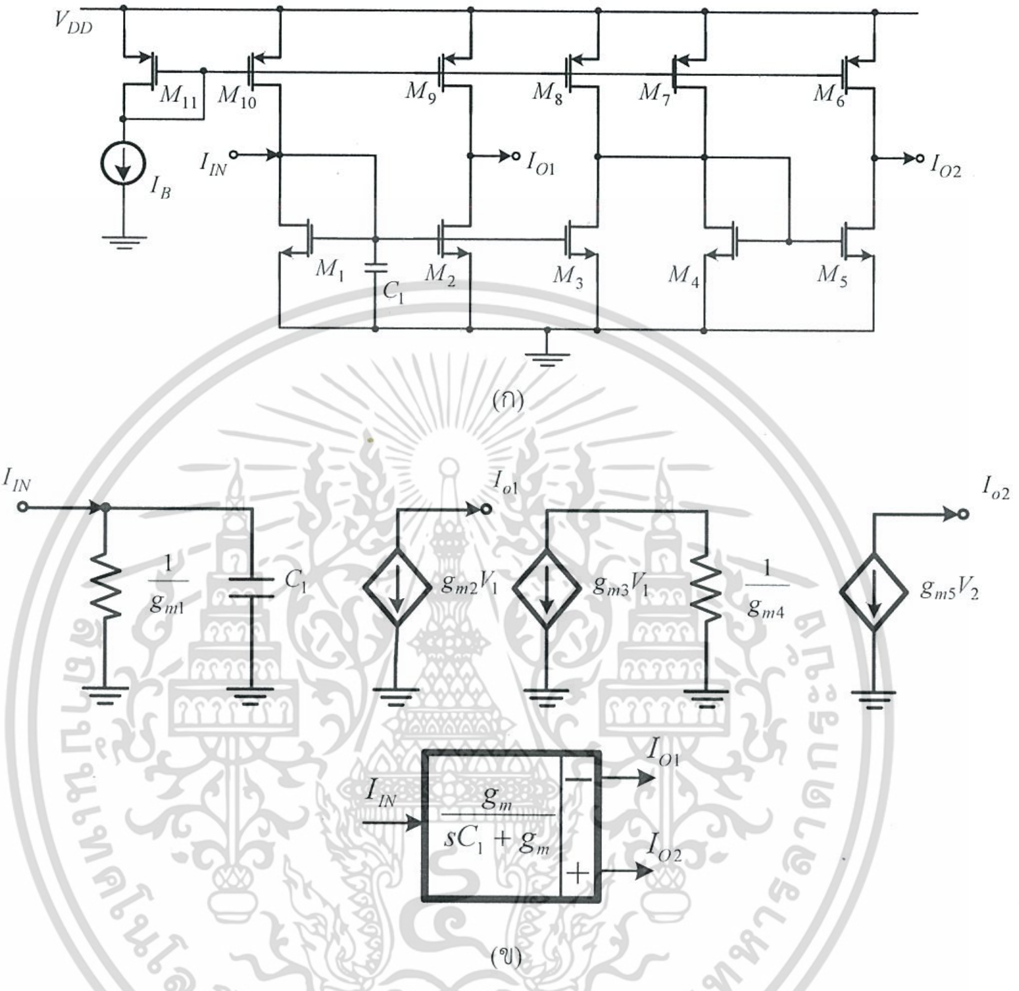
รูปที่ 4.2 บล็อคอินทีเกรเตอร์ชนิดไม่สูญเสีย

การนำบล็อคอินทีเกรเตอร์ชนิดสูญเสียนำไปสร้างเป็นวงจรอินทีเกรเตอร์ชนิดสูญเสียโดยใช้มอสทรานซิสเตอร์นั้นสามารถสร้างได้โดยง่าย ดังแสดงในรูปที่ 4.3 (ก) และวงจรเสมือนจากแบบจำลองสัญญาณขนาดเล็กแสดงในรูปที่ 4.3 (ข) จากการวิเคราะห์ด้วย KCL ฟังก์ชันถ่ายโอนการส่งผ่านกระแสสัญญาณขนาดเล็กของวงจรในรูปที่ 4.3 (ข) โดยสมมุติให้ค่าทรานส์คอนดักแตนซ์ทั้งหมดมีค่าเท่ากันสามารถเขียนได้ดังสมการที่ (4.4) - (4.5)

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m} \tag{4.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

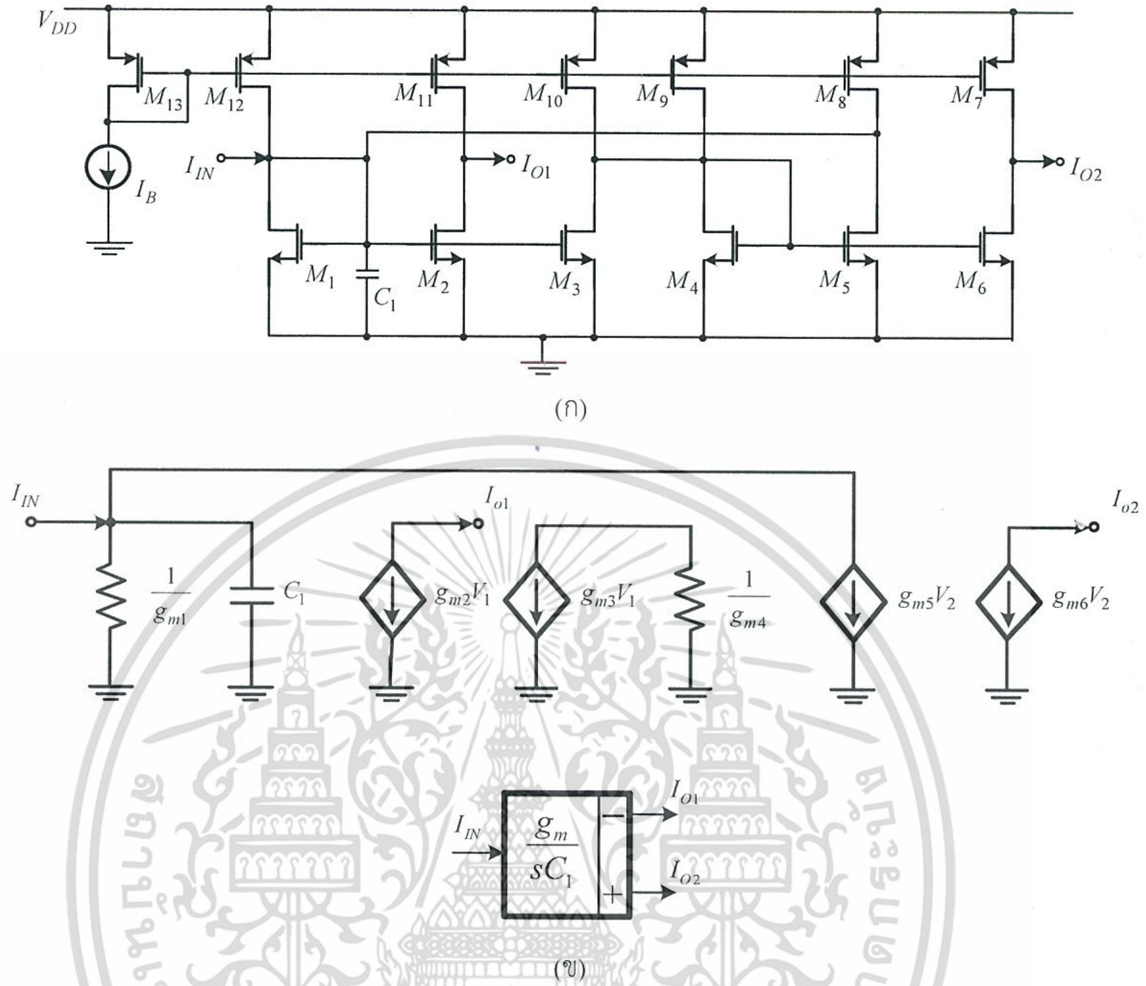
$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{4.5}$$



รูปที่ 4.3 (ก) วงจรอินทีเกรเตอร์ชนิดสูญเสียโดยใช้มอสทรานซิสเตอร์
(ข) วงจรเสมือนจากแบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรม

จากหลักการดังรูปที่ 4.2 การสร้างวงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์สามารถสร้างได้ดังรูปที่ 4.4 (ก) โดยต่อคาสเคดกันของวงจรอินทีเกรเตอร์ชนิดสูญเสีย (M_1 และ M_2) และ วงจรขยายแบบกลับเฟส (M_4 และ M_5) โดยลูปกลับสัญญาณกระแสมาที่อินพุต กระแสเอาต์พุตมีสองแห่ง I_{o1} และ I_{o2} ที่ M_2 และ M_6 ตามลำดับ จากการวิเคราะห์ด้วย KCL ฟังก์ชันถ่ายโอนการส่งผ่านกระแสสัญญาณขนาดเล็กของวงจรในรูปที่ 4.4 (ข) สามารถเขียนได้ดังสมการที่ (4.6) และ (4.7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 (ก) วงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์
(ข) วงจรเสมือนจากแบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรม

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_{m2}g_{m4}}{sC_1 g_{m4} + g_{m3}g_{m5} - g_{m1}g_{m4}} \tag{4.6}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_{m3}g_{m6}}{sC_1 g_{m4} - g_{m3}g_{m5} + g_{m1}g_{m4}} \tag{4.7}$$

เมื่อ g_{mi} หมายถึงค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i ถ้าสมมติให้ทรานซิสเตอร์ M_1 - M_6 มีความสมพงศ์กัน $g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$ ดังนั้นสังเกตได้ว่า จากฟังก์ชันถ่ายโอนกระแสสัญญาณขนาดเล็กของวงจรในรูปที่ 4.4 (ข) ของวงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์จะมีค่าดังสมการที่ (4.8) - (4.9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1} \tag{4.8}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1} \tag{4.9}$$

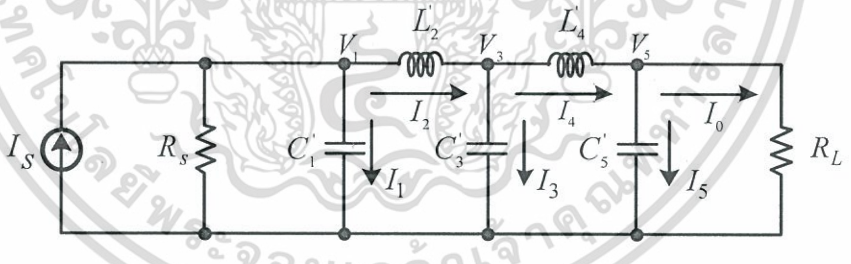
โดยที่

$$g_m = \sqrt{2\mu C_{OX}\frac{W}{L}I_B} \tag{4.10}$$

เมื่อ μ, C_{ox}, W และ L เป็นค่าความคล่อง, ความจุจากออกไซด์ ความกว้างและความยาวแชนเนลของมอสทรานซิสเตอร์ เห็นได้ชัดว่าค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์สามารถปรับค่าได้โดยการปรับค่ากระแสไบอัส I_B

4.3 วงจรกรองความถี่ต่ำผ่านอันดับ 5

วงจรอินทีเกรเตอร์ชนิดสูญเสียและวงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์ที่ได้นำเสนอ ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 5 โดยใช้วิธีการจำลองเลียนแบบการทำงานของวงจรกรองความถี่ต่ำผ่านแบบขั้นบันได โดยใช้โครงสร้างของวงจรกรองความถี่แบบพาสซีฟที่มีตัวต้านทานสิ้นสุดคู่ (Doubly Terminated LC ladder) เป็นโครงสร้างพื้นฐานในการสังเคราะห์ดังแสดงในรูปที่ 4.5



รูปที่ 4.5 วงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้าต้นแบบ

จากวงจรกรองความถี่แบบขั้นบันไดอันดับที่ห้าถูกนำมาวิเคราะห์หาความสัมพันธ์ระหว่างกระแส และแรงดัน ทำให้ได้สมการกระแสของวงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้าได้ดังสมการที่ (4.11) - (4.18)

$$V_1 = \left(I_{IN} - \frac{V_1}{R_S} - I_2\right)\frac{1}{sC_1} \tag{4.11}$$

$$V_2 = \frac{I_3}{sC_3} \tag{4.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_3 = \left(I_4 - \frac{V_3}{R_L} \right) \frac{1}{sC_5} \tag{4.13}$$

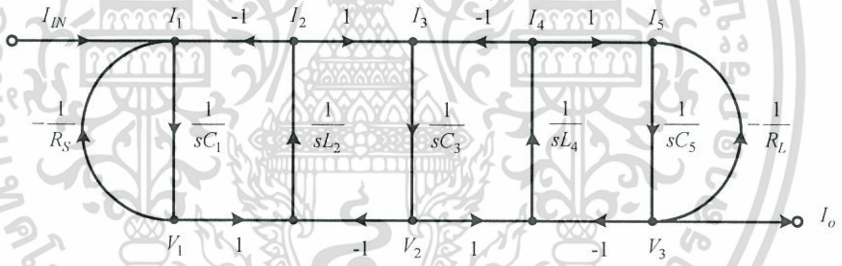
$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 \tag{4.14}$$

$$I_2 = \frac{V_1 - V_2}{sL_2} \tag{4.15}$$

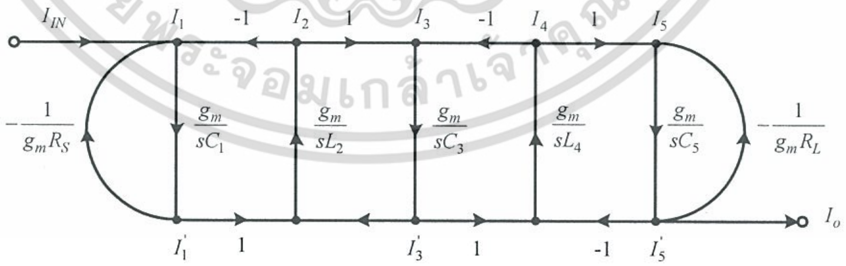
$$I_3 = I_2 - I_4 \tag{4.16}$$

$$I_4 = \frac{V_2 - V_3}{sL_4} \tag{4.17}$$

$$I_5 = I_4 - \frac{V_3}{R_L} \tag{4.18}$$



(ก)

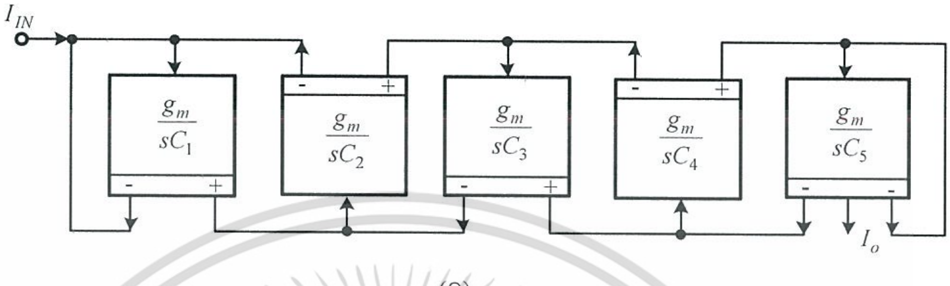


(ข)

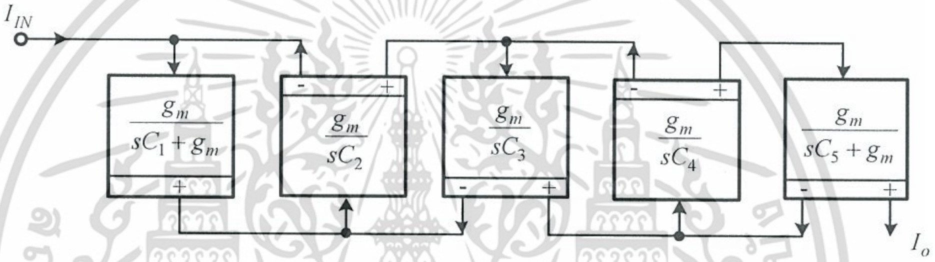
รูปที่ 4.6 (ก) กราฟการไหล (Signal Flow Graph: SFG) ของวงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดอันดับที่ห้า (ข) Normalized SFG ในรูปแบบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าจากสมการที่ (4.11) - (4.18) สามารถนำมาเขียนเป็นกราฟการไหล (Signal Flow Graph: SFG) ได้ดังรูปที่ 4.6 (ก) ซึ่งจะอยู่ในรูปของกระแสและแรงดัน และเมื่อต้องการปรับ SFG รูปที่ 4.6 (ก) ให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานส์คอนดัคแตนซ์ (g_m) เพื่อเปลี่ยนรูปของแรงดันให้เป็นกระแส กราฟการไหลหลังจากการ Normalized แล้วแสดงดังรูปที่ 4.6 (ข)



(ก)



(ข)

รูปที่ 4.7 (ก) การสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่ห้า

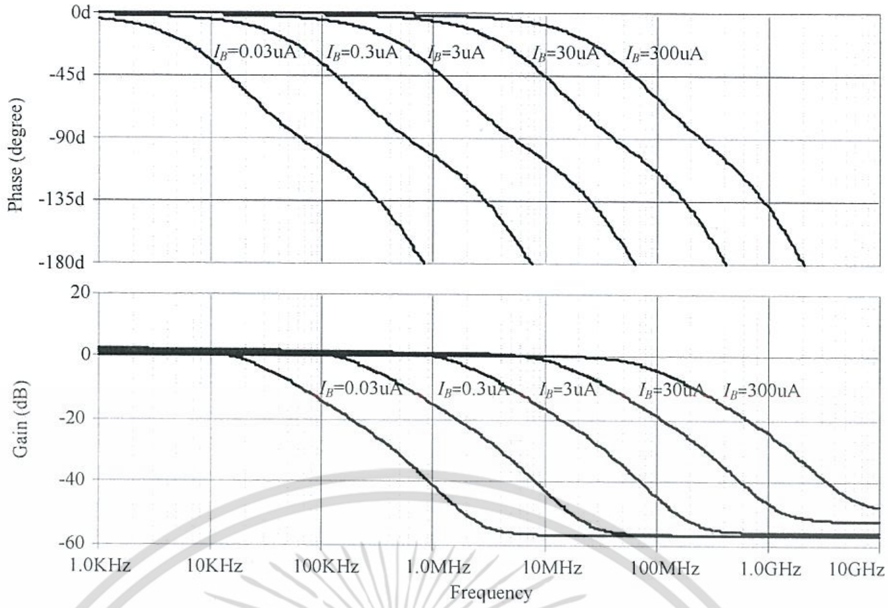
(ข) การสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่ผ่านการลดรูปแล้ว

จากกราฟการไหลรูปที่ 4.6 (ข) สามารถสร้างเป็นวงจรกรองความถี่ต่ำผ่านโดยใช้บล็อกไดอะแกรมได้ดังรูปที่ 4.7 (ก) เมื่อพิจารณาอินทีเกรเตอร์ตัวแรกและตัวสุดท้ายจากการลูปกลับ พบว่าวงจรทำงานเป็นวงจรอินทีเกรเตอร์แบบสูญเสีย ซึ่งสามารถปรับรูปวงจรใหม่เป็นดังรูปที่ 4.7 (ข) เนื่องจากวงจรอินทีเกรเตอร์แบบสูญเสียใช้ทรานซิสเตอร์จำนวนเพียง 11 ตัว ประโยชน์ที่ได้รับคือวงจรจะมีขนาดเล็กลง

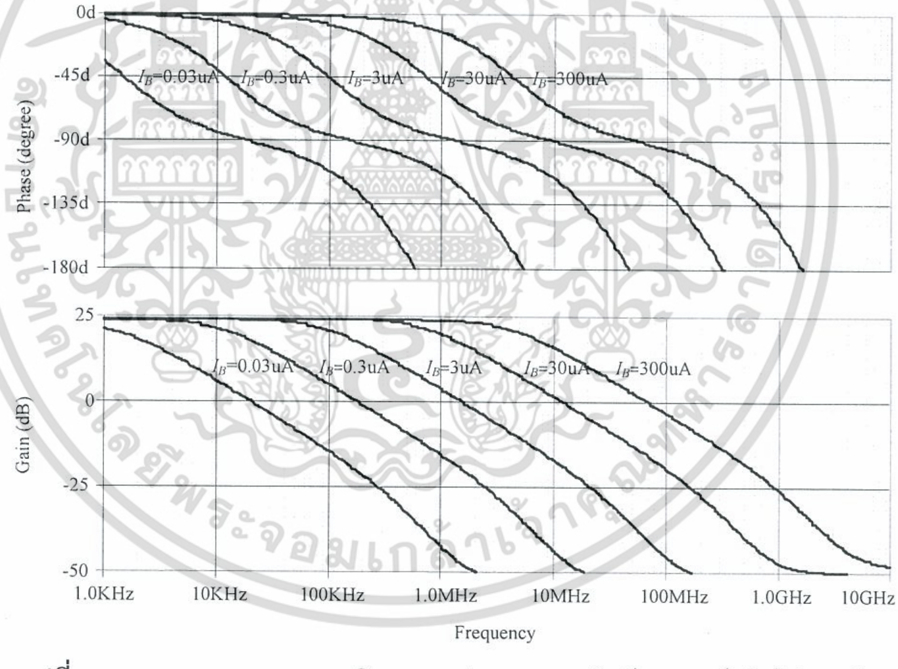
4.4 ผลการจำลองการทำงาน

ในส่วนนี้กล่าวถึงการจำลองการทำงานของวงจรอินทีเกรเตอร์ชนิดสูญเสีย วงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้มอสทรานซิสเตอร์ และวงจรกรองความถี่ต่ำผ่านอันดับห้าที่นำเสนอ ผลการจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี CMOS 0.18 μm ของ TSMC ใช้แรงดันไฟเลี้ยงเท่ากับ 1.5 V พลังงานที่ใช้ประมาณ 0.01 mW – 0.01 W ทรานซิสเตอร์ NMOS ในรูปที่ 4.3 (ก) และ 4.4 (ก) มีค่า W/L เท่ากับ 70 μm/0.36 μm และทรานซิสเตอร์ PMOS มีค่า W/L เท่ากับ 100 μm/0.36 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



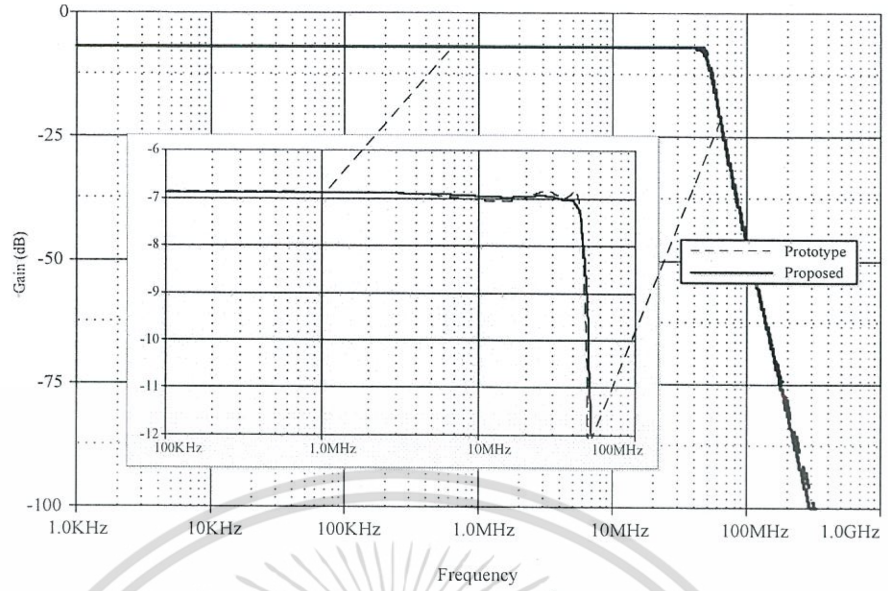
รูปที่ 4.8 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทีเกรเตอร์ชนิดสูญเสีย



รูปที่ 4.9 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย

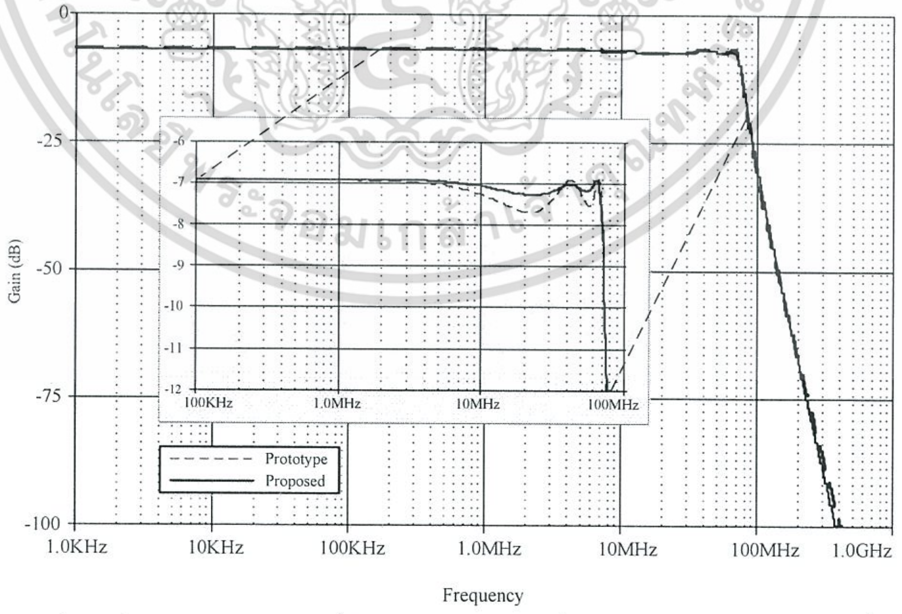
จากรูปที่ 4.8 และรูปที่ 4.9 เป็นการแสดงผลการตอบสนองทางความถี่แมกนิจูดและเฟสของกระแสเอาต์พุตของวงจรอินทีเกรเตอร์ชนิดสูญเสียรูปที่ 4.3 (ก) และวงจรอินทีเกรเตอร์ชนิดไม่สูญเสียรูปที่ 4.4 (ก) ตามลำดับ โดยใช้ค่าตัวเก็บประจุ C_1=10 pF สามารถปรับค่าความถี่ตอบสนองด้วยกระแสไบอัส I_B [0.03, 0.3, 3, 30, 300] μA พบว่าสามารถปรับค่าความถี่ได้กว้างตั้งแต่ 10 kHz ถึง 50 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ (I_B = 300 μA)

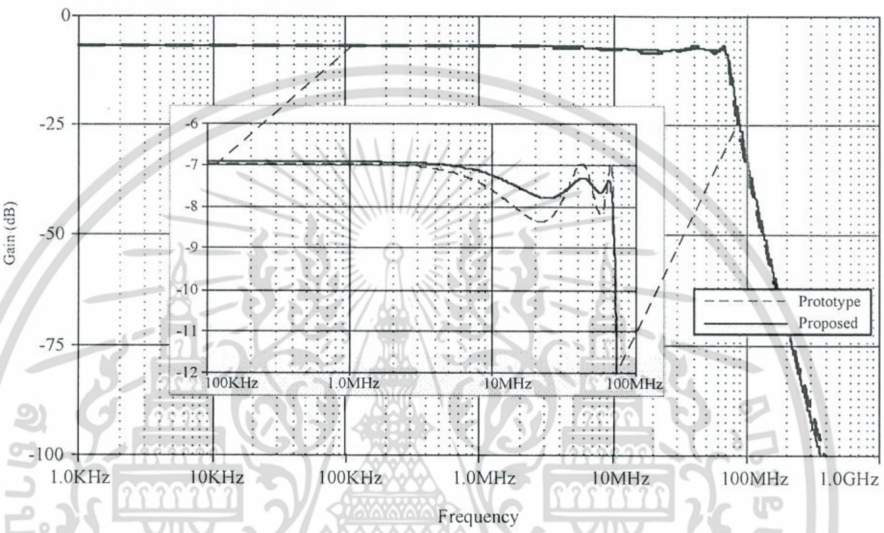
จากรูปที่ 4.10 จำลองผลการทำงานของวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบโดยกำหนดให้มีการกระเพื่อม 0.1 dB มีค่าตัวเก็บประจุ $C_1 = C_5$ = 4.44 nF, C_3 = 7.66 nF ตัวเหนี่ยวนำ $L_2 = L_4$ = 5.43 nH ตัวต้านทาน $R_S = R_L$ = 1 Ω เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอมีค่าตัวเก็บประจุ C_1-C_5 คือ 18 pF, 22 pF, 31 pF, 22 pF และ 18 pF ตามลำดับ โดยใช้กระแสไบอัส I_B = 300 μA ผลการจำลองการทำงานพบว่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอและวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ มีความใกล้เคียงกันแต่มีเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด



รูปที่ 4.11 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ (I_B = 300 μA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

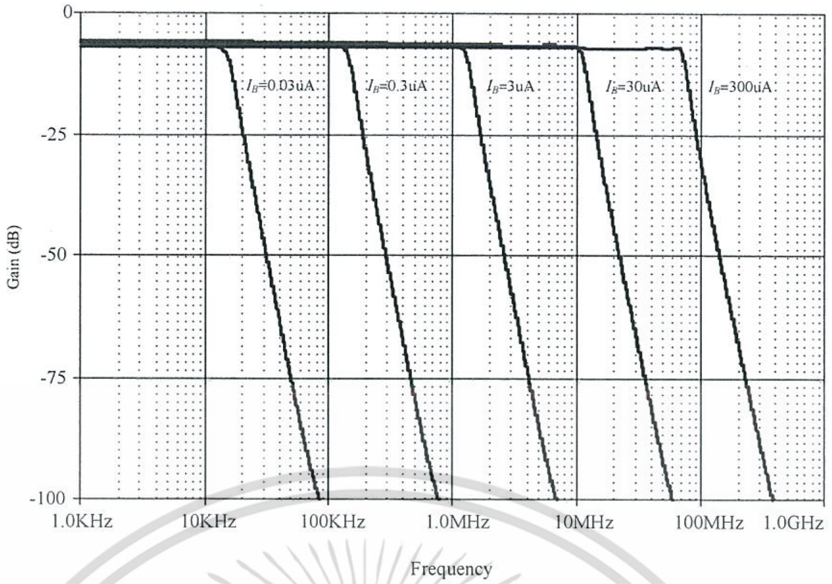
จากรูปที่ 4.11 จำลองผลการทำงานของวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบโดยกำหนดให้มีการกระเพื่อม 0.5 dB มีค่าตัวเก็บประจุ $C_1 = C_5 = 3.93$ nF, $C_3 = 5.88$ nF ตัวเหนี่ยวนำ $L_2 = L_4 = 2.85$ nH ตัวต้านทาน $R_S = R_L = 1\ \Omega$ เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอมีค่าตัวเก็บประจุ C_1-C_5 คือ 17 pF, 12 pF, 25 pF, 12 pF และ 17 pF ตามลำดับ โดยใช้กระแสไบอัส I_B = 300 μA ผลการจำลองการทำงานพบว่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอและวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบมีความใกล้เคียงกัน



รูปที่ 4.12 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev ที่นำเสนอกับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ (I_B = 300 μA)

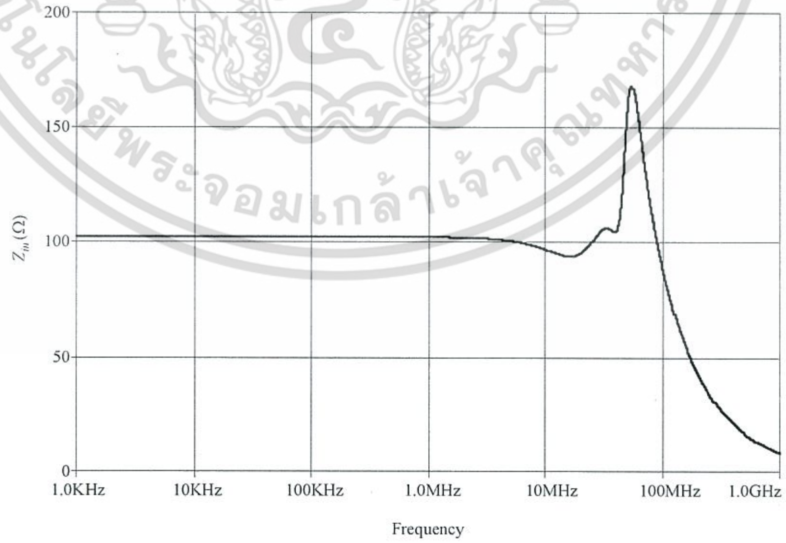
จากรูปที่ 4.12 จำลองผลการทำงานของวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบโดยกำหนดให้มีการกระเพื่อม 1 dB มีค่าตัวเก็บประจุ $C_1 = C_5 = 4.86$ nF, $C_3 = 6.86$ nF ตัวเหนี่ยวนำ $L_2 = L_4 = 2.5$ nH ตัวต้านทาน $R_S = R_L = 1\ \Omega$ เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอมีค่าตัวเก็บประจุ C_1-C_5 คือ 21 pF, 10 pF, 30 pF, 10 pF และ 21 pF ตามลำดับ โดยใช้กระแสไบอัส I_B = 300 μA ผลการจำลองการทำงานพบว่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอและวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ มีความใกล้เคียงกันแต่มีความคลาดเคลื่อนเล็กน้อยในช่วงแถบความถี่หยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



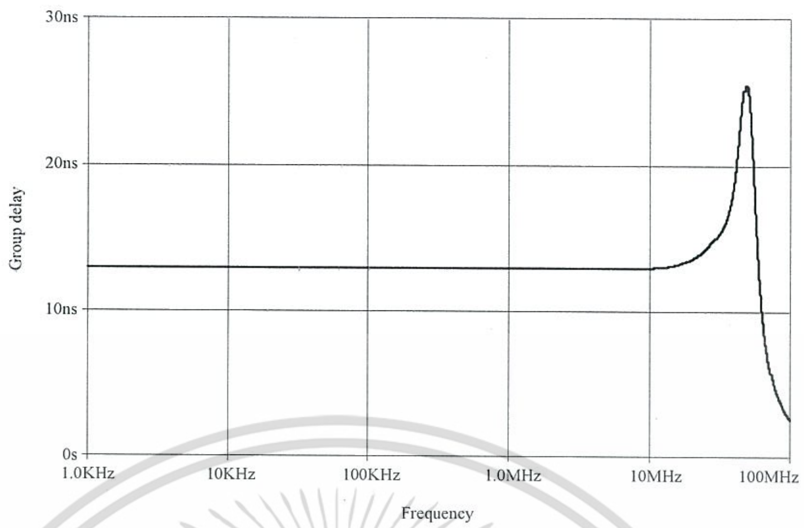
รูปที่ 4.13 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ

ในการออกแบบเป็นวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส กำหนดให้มีการกระเพื่อม 0.5 dB วงจรอินทีเกรเตอร์แบบมอสทรานซิสเตอร์ทั้งห้าตัวใช้ค่าตัวเก็บประจุ C_1-C_5 คือ 17 pF, 12 pF, 25 pF, 12 pF และ 17 pF ตามลำดับ จากรูปที่ 4.13 แสดงกระแสเอาต์พุตวงจรในรูปที่ 4.7 (ข) สามารถปรับค่าความถี่ตอบสนองด้วยกระแสไบอัส I_B [0.03, 0.3, 3, 30, 300] μA พบว่าสามารถปรับค่าความถี่ได้กว้างตั้งแต่ 10 kHz ถึง 50 MHz โดยวงจรที่นำเสนอเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าแบบ Chebyshev



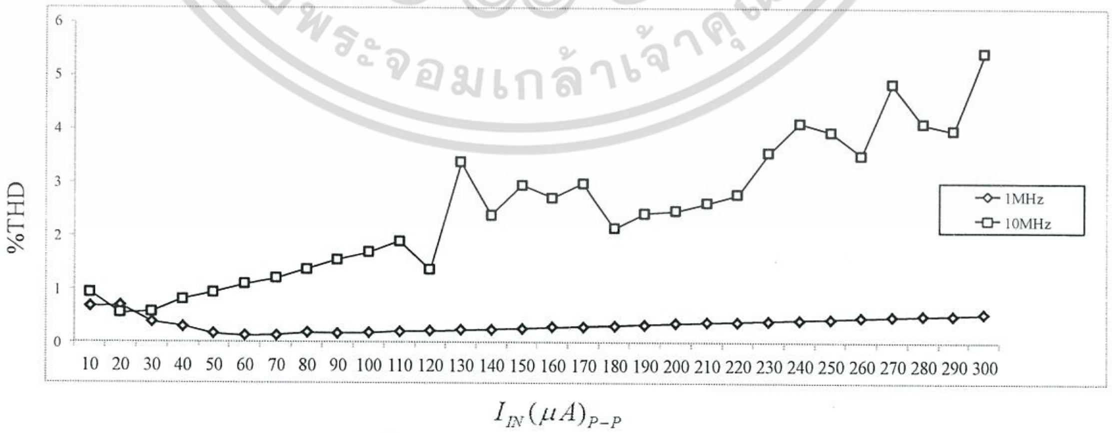
รูปที่ 4.14 ค่าความต้านทานอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ
เมื่อปรับค่ากระแสไบอัส I_B = 300 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



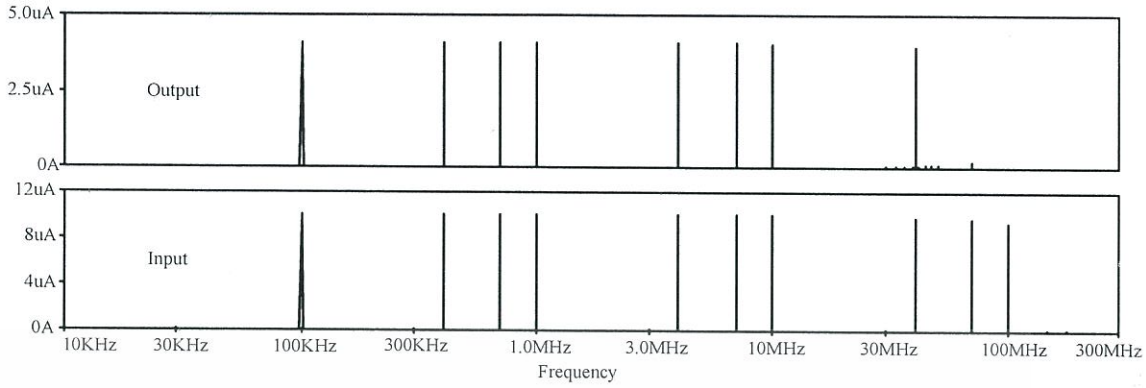
รูปที่ 4.15 กรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าที่นำเสนอ
เมื่อปรับค่ากระแสไบอัส $I_B = 300\ \mu A$

คุณสมบัติด้านอินพุตอิมพีแดนซ์ของวงจรกรองความถี่ที่นำเสนอ พิจารณาโดยปรับค่ากระแสไบอัสคงที่เท่ากับ 300 μA พบว่ามีอิมพีแดนซ์ประมาณ 100 Ω ตลอดย่านความถี่ใช้งานดังแสดงในรูปที่ 4.14 และรูปที่ 4.15 แสดงกรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 5 ที่นำเสนอ พบว่ากรุ๊ปดีเลย์มีลักษณะเป็นเส้นตรงในช่วงความถี่ที่ใช้งาน โดยมีค่าประมาณ 12 ns เมื่อพิจารณาประสิทธิภาพด้านความเพี้ยนรวมทางฮาร์มอร์นิก (THD) ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ พิจารณาโดยปรับกระแสไบอัสของวงจรเท่ากับ 300 μA และป้อนสัญญาณไซน์ในช่วงแถบความถี่ผ่านสองความถี่ (1 MHz และ 10 MHz) พบว่าค่า THD ที่ความถี่ 1 MHz ต่ำกว่า 0.6 % ส่วน THD ที่ความถี่ 10 MHz มีค่าต่ำกว่า 5 % ดังแสดงในรูปที่ 4.16



รูปที่ 4.16 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้า
ที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300\ \mu A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 การป้อนสัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้า ที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300\ \mu A$

การทดสอบประสิทธิภาพของวงจรในการประยุกต์ใช้งานโดยการป้อนสัญญาณอินพุตตั้งแต่ [0.1, 0.4, 0.7, 1, 4, 7, 10, 40, 70, 100] MHz ปรับค่ากระแสไบอัส $I_B = 300\ \mu A$ ดังแสดงในรูปที่ 4.17 ซึ่งพบว่าความถี่สัญญาณอินพุตนอกย่านใช้งาน (>50 MHz) จะถูกตัดออกเหลือเพียงความถี่สัญญาณอินพุตในย่านใช้งานเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์นี้นำเสนอวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้ารูปแบบกระแสโดยใช้เทคโนโลยีซีมอส ใช้โครงสร้างของวงจรอินทีเกรเตอร์ชนิดสูญเสียและวงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย ตัวเก็บประจุแบบต่อกราวด์ 5 ตัว อีกทั้งยังไม่ใช้ตัวต้านทานภายนอกต่อร่วมอยู่ในวงจร อุปกรณ์ที่นำเสนอสร้างโดยใช้เทคโนโลยี CMOS ผลตอบสนองความถี่สามารถควบคุมได้ด้วยกระแสไบอัส สามารถปรับจูนความถี่ได้ในช่วง 10 kHz ถึง 50 MHz โดยการปรับค่ากระแสไบอัสตั้งแต่ 0.03 μA ถึง 300 μA และไฟเลี้ยงเท่ากับ 1.5 V ใช้พลังงาน 0.01 mW – 0.01 W วงจรกรองที่นำเสนอใช้โครงสร้างที่ไม่ค่อยซับซ้อน ใช้จำนวนอุปกรณ์น้อย ความต้านทานอินพุตต่ำและทำงานได้ในย่านความถี่กว้าง และเหมาะสมในการสร้างเป็นวงจรรวม

5.2 เปรียบเทียบงานวิจัย

ตารางที่ 5.1 เป็นตารางเปรียบเทียบงานวิจัยในอดีตกับงานวิจัยที่นำเสนอ โดยมีหลักการในการทำงานที่คล้ายกันโดยใช้การจำลองการทำงานมาจากวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับที่ห้าแบบขั้นบันไดต้นแบบ

ตารางที่ 5.1 ตารางเปรียบเทียบงานวิจัยในอดีตกับงานวิจัยที่นำเสนอ

Filter	Power supply	Frequency range	Number of transistors	Used of resistors	Electronic Tunability	Power Dissipation	Bias Current
[9]	NA	< 10 MHz	135	Yes	No	NA	1 mA
[12]	NA	< 10 MHz	120	No	No	NA	NA
[13]	NA	< 10 MHz	98	No	No	NA	NA
[17]	3 V	< 10 MHz	143	No	Yes	NA	14 mA
proposed	1.5 V	10 kHz - 50 MHz	61	No	Yes	0.01 mW - 0.01 W	0.03 μA - 300 μA

จากตารางเห็นได้ว่างานวิจัยที่นำเสนอในวิทยานิพนธ์นี้เป็นการออกแบบวงจรกรองความถี่ที่ใช้งานได้ในย่านความถี่กว้าง ใช้อุปกรณ์พาสซีฟต่อลงกราวด์จำนวนน้อย และสามารถปรับค่าได้ทางอิเล็กทรอนิกส์

5.3 ข้อเสนอแนะ

จากการศึกษาวิทยานิพนธ์ที่ได้นำเสนอนี้ ถึงแม้ว่าการออกแบบวงจรกรองความถี่ที่ได้นำเสนอนั้นสามารถทำงานได้ตามวัตถุประสงค์และสอดคล้องกับทฤษฎี มีข้อดีที่เหมาะสมกับการนำไปสร้างเป็นวงจรรวม แต่วงจรที่นำเสนอนั้นยังมีข้อด้อยที่ต้องทำการปรับปรุง เช่น จากผลการทดลองพบว่าเมื่อทำการปรับค่ากระแสไบอัสที่มากกว่า 300 μA มีผลทำให้อัตราขยายของวงจรตกลงประมาณ 1.5 dB ถึงแม้จะไม่มีผลต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุตของวงจรมากนัก แต่ยังสามารถแก้ไขปรับปรุงวงจรกรองความถี่ให้มีประสิทธิภาพมากขึ้นได้ และวงจรยังมีการใช้ตัวเก็บประจุต่อลงกราวด์อยู่ซึ่งในอนาคตสามารถแก้ไขได้โดยใช้ตัวเก็บประจุแบบมอส (MOS capacitor) [27]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] S. Maherhwari, J. Mohan, D.S. Chauhan, "Voltage-mode cascadable all-pass sections with two grounded passive components and one active element," IET Curcuits, Devices and systems, Vol.4, No.2, pp.113-122, 2009.

[2] S. Ozoguz, A. Toker, O. Cicekoglu, "First-order allpass sections-based current-mode universal filter using ICCIIs," IET Electronics letters, Vol.36, No.17, pp.1443-1444, 2000.

[3] M. Sagbas and K. Fidanboylu, "Electronically tunable current-mode second-order universal filter using minimum elements," IET Electronics letters, Vol.40, No.1, pp.2-4, 2004.

[4] S. Yichuang, "Second-order OTA-C filters derived from Nawrocki-Klein biquad," IET Electronics letters, Vol.34. No.15, pp.1449-1450, 1998.

[5] G. Jacobs, D. Allstot, R. Brodersen, P. Gray, "Design techniques for MOS switched capacitor ladder filters," IEEE Transactions on circuits and systems, Vol.25,No12, pp.1014-1021, 1978.

[6] C. Choi and R. Brodersen, "Considerations for high-frequency switched-capacitor ladder filters," IEEE Transactions on circuits and systems, Vol.27, No.6, pp.545-552, 1980.

[7] F. Montecchi, "Time-shared switched-capacitor ladder filters insensitive to parasitic effects," IEEE Transactions on circuits and systems, Vol.31, No.4, pp.349-353, 1984.

[8] D.J. Allstot, "Simplified MOS switched capacitor ladder filter structures," IEEE Journal of Solid-State Circuits, Vol.16, No.6, pp.724-729, 1981.

[9] J. Ramirez-Angulo, E. Sanchez-Sinencio, "High Frequency Compensated Current-Mode Ladder Filters Using Multiple Output OTAs," IEEE Transactions on circuits and systems II: Analog and digital signal processing, Vol.41, No.9, pp.586-586, 1994.

[10] N.P.J. Greer, R.K. Henderson, Li Ping, J.I. Sewell, "Matrix methods for the design of transconductor ladder filters," IEE Proceedings: Circuits, Devices and Systems, Vol.141, No.2, pp.89-100, 1994.

[11] C. Hung, K.A.I. Halonen, M. Ismail, V. Porra, A. Hyogo, "A Low-Voltage, Low-Power CMOS Fifth-Order Elliptic GM-C Filter for Baseband Mobile Wireless Communication," IEEE Transactions on circuits and systems for video technology, Vol.7, No.4, pp.584-593, 1997.

[12] J. Wu and E. El-Masry, "Current-mode ladder filters using multiple output current conveyers," IEE Proceedings: Circuits, Devices and Systems, Vol.143, No.4, pp.218-222, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[13] J. Wu and El-Masry, "Design of current-mode ladder filters using coupled-biquads," IEEE Transactions on circuits and systems II: Analog and digital signal processing, Vol.45, No.11, pp.1445-1454, 1998.

[14] A.E.J. Ng and J.I. Sewell, "Ladder decompositions for wideband SI filter applications," IEE Proceedings: Circuits, Devices and Systems, Vol.145, No.5, pp.306 – 313, 1998.

[15] K. Martin, "Improved circuits for the realization of switched-capacitor filters," IEEE Transactions on currents and systems, Vol.27, No.4, pp.237 – 244, 1980.

[16] T.S. Fiez and D.J. Allstot, "CMOS switched-current ladder filters," IEEE Journal of Solid-State Circuits, Vol.25, No.6, pp.1360-1367, 1990.

[17] G. Csipkes, D. Csipkes, S. Hintea, P. Farago, "5^{th} order current mode OTA-C Low Pass Filter with Programmable Corner Frequency," IEEE Journal of Solid-State Circuits, Vol.25, No.6, pp.1-4, 2011.

[18] T.S. Fiez and D.J. Allstot, "Design of OTA Based Chebyshev 5^{th} Order Low Pass Filter in 0.18 μm CMOS Technology," UACEE International Journal of Advances in Electonics Engineering Volume, Vol.2, Issue 1 ISSN 2278 - 215X (Online)

[19] B. Razavi, "Fundamentals of Microelectronics," John Wiley and Sons, Inc., 2008.

[20] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Holt Rinehart and Winston, Inc., 1986.

[21] M. H. Rashid, "Microelectronic Circuits Analysis and Design," University of West Florida, 2011.

[22] S. Niewiadomski, "Flter Handbook: A Practical Design Guide," Courier International Ltd, 1989.

[23] A. I. Zverve, "Handbook of Filter Synthesis," John Wiley and Sons, Inc., 1967.

[24] L. P. Huelsman, "Active and Passive Analog Filter Design," McGraw-Hill, Inc., 1993.

[25] ดร. จิรยุทธ์ มหัทธนกุล, "การออกแบบวงจรกรองแอนะล็อก" แมคกรอ-ฮิล อินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์, อิงค์ 2001

[26] พิพัฒน์ พรหมมี, "หลักการตัวกรองความถี่อนาลอก" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2553

[27] Muller, R. S., T. I. Kamins, and M. Chen. "Device Electronics for Integrated Circuits," 3rd ed. New York: John Wiley & Sons, 2003.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
โปรแกรม PSpice ที่ใช้ในการวิเคราะห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมสำหรับวิเคราะห์วงจรวงจรกรองความถี่ต่ำผ่านอันดับห้าปรับค่าได้รูปแบบกระแสชนิดขั้นบันได โดยใช้เทคโนโลยีซีมอส

```
* LOT: T92Y               WAF: 9103
* Temperature_parameters=Default
.MODEL NMOS1 NMOS (                        LEVEL   = 7
+VERSION = 3.1          TNOM    = 27            TOX     = 4.1E-9
+XJ      = 1E-7         NCH     = 2.3549E17     VTH0    = 0.3694303
+K1      = 0.5789116    K2      = 1.110723E-3   K3      = 1E-3
+K3B     = 0.0297124    W0      = 1E-7          NLX     = 2.037748E-7
+DVT0W   = 0            DVT1W   = 0             DVT2W   = 0
+DVT0    = 1.2953626    DVT1    = 0.3421545     DVT2    = 0.0395588
+U0      = 293.1687573  UA      = -1.21942E-9   UB      = 2.325738E-18
+UC      = 7.061289E-11 VSAT    = 1.676164E5    A0      = 2
+AGS     = 0.4764546    B0      = 1.617101E-7   B1      = 5E-6
+KETA    = -0.0138552   A1      = 1.09168E-3    A2      = 0.3303025
+RDSW    = 105.6133217  PRWG    = 0.5           PRWB    = -0.2
+WR      = 1            WINT    = 2.885735E-9   LINT    = 1.715622E-8
+XL      = 0            XW      = -1E-8         DWG     = 2.754317E-9
+DWB     = -3.690793E-9 VOFF    = -0.0948017    NFACTOR = 2.1860065
+CIT     = 0            CDSC    = 2.4E-4        CDSCD   = 0
+CDSCB   = 0            ETA0    = 2.665034E-3   ETAB    = 6.028975E-5
+DSUB    = 0.0442223    PCLM    = 1.746064      PDIBLC1 = 0.3258185
+PDIBLC2 = 2.701992E-3  PDIBLCB = -0.1          DROUT   = 0.9787232
+PSCBE1  = 4.494778E10  PSCBE2  = 3.672074E-8   PVAG    = 0.0122755
+DELTA   = 0.01         RSH     = 7             MOBMOD  = 1
+PRT     = 0            UTE     = -1.5          KT1     = -0.11
+KT1L    = 0            KT2     = 0.022         UA1     = 4.31E-9
+UB1     = -7.61E-18    UC1     = -5.6E-11      AT      = 3.3E4
+WL      = 0            WLN     = 1             WW      = 0
+WWN     = 1            WWL     = 0             LL      = 0
+LLN     = 1            LW      = 0             LWN     = 1
+LWL     = 0            CAPMOD  = 2             XPART   = 0.5
+CGDO    = 8.58E-10     CGSO    = 8.58E-10      CGBO    = 1E-12
+CJ      = 9.471097E-4  PB      = 0.8           MJ      = 0.3726161
+CJSW    = 1.905901E-10 PBSW    = 0.8           MJSW    = 0.1369758
+CJSWG   = 3.3E-10      PBSWG   = 0.8           MJSWG   = 0.1369758
+CF      = 0            PVTH0   = -5.105777E-3  PRDSW   = -1.1011726
+PK2     = 2.247806E-3  WKETA   = -5.071892E-3  LKETA   = 5.324922E-4
+PU0     = -4.0206081   PUA     = -4.48232E-11  PUB     = 5.018589E-24
+PVSAT   = 2E3          PETA0   = 1E-4          PKETA   = -2.090695E-3   )
*
.MODEL PMOS1 PMOS (                        LEVEL   = 7
+VERSION = 3.1          TNOM    = 27            TOX     = 4.1E-9
+XJ      = 1E-7         NCH     = 4.1589E17     VTH0    = -0.3823437
+K1      = 0.5722049    K2      = 0.0219717     K3      = 0.1576753
+K3B     = 4.2763642    W0      = 1E-6          NLX     = 1.104212E-7
+DVT0W   = 0            DVT1W   = 0             DVT2W   = 0
+DVT0    = 0.6234839    DVT1    = 0.2479255     DVT2    = 0.1
+U0      = 109.4682454  UA      = 1.31646E-9    UB      = 1E-21
+UC      = -1E-10       VSAT    = 1.054892E5    A0      = 1.5796859
+AGS     = 0.3115024    B0      = 4.729297E-7   B1      = 1.446715E-6
+KETA    = 0.0298609    A1      = 0.3886886     A2      = 0.4010376
+RDSW    = 199.1594405  PRWG    = 0.5           PRWB    = -0.4947034
+WR      = 1            WINT    = 0             LINT    = 2.93948E-8
+XL      = 0            XW      = -1E-8         DWG     = -1.998034E-8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+DWB    = -2.481453E-9  VOFF    = -0.0935653    NFACTOR = 2
+CIT    = 0             CDSC    = 2.4E-4        CDSCD   = 0
+CDSCB  = 0             ETA0    = 3.515392E-4   ETAB    = -4.804338E-4
+DSUB   = 1.215087E-5   PCLM    = 0.96422       PDIBLC1 = 3.026627E-3
+PDIBLC2 = -1E-5        PDIBLCB = -1E-3         DROUT   = 1.117016E-4
+PSCBE1 = 7.999986E10   PSCBE2  = 8.271897E-10  PVAG    = 0.0190118
+DELTA  = 0.01          RSH     = 8.1           MOBMOD  = 1
+PRT    = 0             UTE     = -1.5          KT1     = -0.11
+KT1L   = 0             KT2     = 0.022         UA1     = 4.31E-9
+UB1    = -7.61E-18     UC1     = -5.6E-11      AT      = 3.3E4
+WL     = 0             WLN     = 1             WW      = 0
+WWN    = 1             WWL     = 0             LL      = 0
+LLN    = 1             LW      = 0             LWN     = 1
+LWL    = 0             CAPMOD  = 2             XPART   = 0.5
+CGDO   = 7.82E-10      CGSO    = 7.82E-10      CGBO    = 1E-12
+CJ     = 1.214428E-3   PB      = 0.8461606     MJ      = 0.4192076
+CJSW   = 2.165642E-10  PBSW    = 0.8           MJSW    = 0.3202874
+CJSWG  = 4.22E-10      PBSWG   = 0.8           MJSWG   = 0.3202874
+CF     = 0             PVTH0   = 5.167913E-4   PRDSW   = 9.5068821
+PK2    = 1.095907E-3   WKETA   = 0.0133232     LKETA   = -3.648003E-3
+PU0    = -1.0674346    PUA     = -4.30826E-11  PUB     = 1E-21
+PVSAT  = 50            PETA0   = 1E-4          PKETA   = -1.822724E-3  )
*

*lossless

*Iin(=1) -Io(=3) +Io(=5) IB(=6)
.subckt lossless 1 3 5 7
M1 1 1 0 0 NMOS1 W=70u L=.36u
M2 3 1 0 0 NMOS1 W=70u L=.36u
M3 4 1 0 0 NMOS1 W=70u L=.36u
M4 4 4 0 0 NMOS1 W=70u L=.36u
M5 1 4 0 0 NMOS1 W=70u L=.36u
M6 5 4 0 0 NMOS1 W=70u L=.36u
******************************
M7 5 6 2 2 PMOS1 W=100u L=.36u
M8 1 6 2 2 PMOS1 W=100u L=.36u
M9 4 6 2 2 PMOS1 W=100u L=.36u
M10 4 6 2 2 PMOS1 W=100u L=.36u
M11 3 6 2 2 PMOS1 W=100u L=.36u
M12 1 6 2 2 PMOS1 W=100u L=.36u
M13 6 6 2 2 PMOS1 W=100u L=.36u
******************************

VDD 2 0 dc 1.5
VB 7 0 dc 0
F1 6 0 VB 1

.ends lossless
*******************************************************************
*lossy

*Iin(=1) -Io(=3) +Io(=5) IB(=6)
.subckt lossy 1 3 5 7
M1 1 1 0 0 NMOS1 W=70u L=.36u
M2 3 1 0 0 NMOS1 W=70u L=.36u
M3 4 1 0 0 NMOS1 W=70u L=.36u
M4 4 4 0 0 NMOS1 W=70u L=.36u
M5 5 4 0 0 NMOS1 W=70u L=.36u
****************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M6 5 6 2 2 PMOS1 W=100u L=.36u
M7 4 6 2 2 PMOS1 W=100u L=.36u
M8 4 6 2 2 PMOS1 W=100u L=.36u
M9 3 6 2 2 PMOS1 W=100u L=.36u
M10 1 6 2 2 PMOS1 W=100u L=.36u
M11 6 6 2 2 PMOS1 W=100u L=.36u

VDD 2 0 dc 1.5
VB 7 0 dc 0
F1 6 0 VB 1

.ends lossy
*****************************************************
*protrotype

Iina 20 21 ac 1
RSa 21 20 1
*1 MHz
C1a 21 20 283n
L2a 21 22 205n
C3a 22 20 423n
L4a 22 23 205n
C5a 23 20 283n
RLa 23 20 1

***************************************************************
Iinx 0 111 ac 1
Rx 111 0 1
C1x 111 0 182.5n
L2x 111 222 218n
C3x 222 0 314n
L4x 222 333 218n
C5x 333 0 182.5n
RLx 333 0 1
**************************************************************
*proposed

Iin 0 1 ac 1.1
x1 1 0 3 8 lossy
x2 3 1 4 9 lossless
x3 4 3 5 10 lossless
x4 5 4 6 11 lossless
X5 6 5 7 12 lossy

F1 0 8 VB 1
F2 0 9 VB 1
F3 0 10 VB 1
F4 0 11 VB 1
F5 0 12 VB 1

*c1 1 0 28.3p
*c2 3 0 20.5p
*c3 4 0 42.3p
*c4 5 0 20.5p
*c5 6 0 28.3p

c1 1 0 18p
c2 3 0 22p
c3 4 0 31p
c4 5 0 22p
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
c5 6 0 18p

VDD 100 0 dc 1.5
VB 20 0 dc 0
*IB 0 20 dc 3.8u
IB 0 20 dc 300u
RL 7 100 1

*command

.ac dec 1000 1k 1g
.step  IB list 0.03u 0.3u 3u 30u 300u
.probe
.end
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
ผลงานที่เคยได้รับการตีพิมพ์ระหว่างการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EECON XXXVI

The 36th Electrical Engineering Conference (EECON-36)

มหาวิทยาลัยเกษตรศาสตร์
พ.ศ. ๒๔๘๖
คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่านอันดับ 5 ปรับค่าได้รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอส
Tunable CMOS-based Current Mode Fifth-order Ladder Low-pass Filter

ธรณินทร์ ค่ายสวัสดิ์ [1] ณัฐพงศ์ วงศ์พร้อมมูล [1] มนตรี สมดุลยกนก [2] และ พิพัฒน์ พรหมมี [1]
[1]สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เลขที่ 1 ถนนฉลองกรุง 1 เขตลาดกระบัง กรุงเทพฯ 10520 โทรศัพท์: 0-2329-8324 E-mail: pipat@telecom.kmitl.ac.th
[2]สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลรัตนโกสินทร์
96 หมู่ 3 ถนนพุทธมณฑล สาย 5 ต.ศาลายา อ.พุทธมณฑล จ.นครปฐม 73170 โทรศัพท์: 0-2427-0039 E-mail: montri.som@rmutr.ac.th

บทคัดย่อ

บทความนี้นำเสนอวงจรกรองความถี่ต่ำผ่านอันดับ 5 รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอส วงจรประกอบไปด้วยอินทิเกรเตอร์ชนิดสูญเสีย อินทิเกรเตอร์ชนิดไม่สูญเสียและตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานเลย วงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียถูกสร้างขึ้นโดยเทคโนโลยีซีมอส วงจรที่นำเสนอประกอบไปด้วยทรานซิสเตอร์ชนิด NMOS จำนวน 27 ตัวและตัวเก็บประจุต่อลงกราวด์จำนวน 5 ตัว ผลตอบสนองทางความถี่สามารถปรับค่าได้ตั้งแต่ 10 kHz ถึง 100MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ 0.002μA ถึง 20μA วงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้ไฟเลี้ยง 1.5V และใช้พลังงาน 0.8mW การใช้ตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานทำให้วงจรใช้พลังงานต่ำและเหมาะสำหรับการสร้างวงจรรวม ผลการจำลองการทำงานด้วย PSPICE ใช้เทคโนโลยี TSMC 0.18 μA

คำสำคัญ: อินทิเกรเตอร์, ขั้นบันได, ความถี่ต่ำผ่าน, วงจรกรองความถี่ปรับค่าได้

Abstract

This paper presents CMOS-based current mode fifth-order ladder low-pass filter by using lossy and lossless integrators and grounded capacitors without external resistors. The lossy and lossless integrators are realized based on CMOS technology. The proposed circuit contains 27 NMOS transistors and 5 grounded capacitors. The frequency response can be controlled between 10kHz and 100MHz by adjusting bias current between 0.002 μA and 20 μA. This filter uses 1.5V power supply with 0.8 mW power consumption. Due to the filter consists of grounded capacitors without resistance and uses low power supply, it is suitable for integration. PSPICE simulation results are carried out by TSMC 0.18μm technology.

Keywords: Integrator, Ladder, Low-pass, Low-voltage, Tunable filter

1. บทนำ

ในปัจจุบันวงจรอิเลกทรอนิกส์ถูกพัฒนาขึ้นอย่างต่อเนื่องไม่เพียงแต่เพื่อลดขนาดลงแต่ยังคงไว้หรือเพิ่มประสิทธิภาพให้ดียิ่งขึ้นด้วยเทคโนโลยีซีมอสถูกใช้ในการออกแบบและพัฒนาวงจรประมวลผลทางสัญญาณอนาลอกหลายประเภทรวมถึงวงจรกรองความถี่ด้วย หลักการออกแบบวงจรกรองความถี่ลำดับต่ำได้รับความนิยมในการออกแบบวงจรกรองความถี่แบบแอกทีฟ วงจรกรองความถี่อันดับหนึ่ง [1-2] และอันดับสอง [3-4] ถูกสร้างขึ้นและนำเสนอด้วยอุปกรณ์ชนิดต่าง ๆ แต่ก็ยังมีข้อเสียหลายอย่างที่ความถี่หยุดโดยไม่สามารถกรองความถี่ไซด์แบนได้อย่างสมบูรณ์ บางบทความนำเสนอวงจรกรองความถี่ต่ำผ่านลำดับสูง [5-16] และถูกพัฒนาโดยใช้แอกทีฟ Building Block มาอย่างต่อเนื่อง ออปแอมป์ [5-8] และโอทีเอ [9-13] ถูกนำมาสร้างเป็นวงจรกรองความถี่ต่ำผ่านรูปแบบแรงดันชนิดขั้นบันไดโดยใช้อินทิเกรเตอร์

เป็นที่รู้กันดีว่าการออกแบบวงจรกรองความถี่ในรูปแบบกระแสมีข้อดีมากกว่าแบบแรงดันเช่น ความถี่ตอบสนองสูงกว่า มีขนาดเล็กกว่าและใช้ไฟเลี้ยงต่ำกว่า วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสแบบขั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุท (MOCC) [12] ต่อร่วมกับตัวต้านทานถูกนำเสนอ แต่ยังมีจำนวนตัวเก็บประจุต่อลงกราวด์มากและใช้งานได้ย่านความถี่แคบ ออปแอมป์ต่อร่วมกับมอสทรานซิสเตอร์ [14-16] ถูกนำเสนอด้วยโครงสร้างที่ซับซ้อนจึงไม่เหมาะในการสร้างวงจรรวม

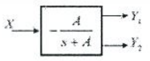
จากข้อเสียต่าง ๆ ของวงจรที่ถูกนำเสนอมาในอดีต วงจรกรองความถี่ต่ำผ่านอันดับ 5 ปรับค่าได้รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอสจึงถูกนำเสนอขึ้นมาในบทความนี้ วงจรถูกสร้างขึ้นโดยอินทิเกรเตอร์ชนิดสูญเสีย 1 ตัว อินทิเกรเตอร์ชนิดไม่สูญเสีย 4 ตัว และตัวเก็บประจุต่อลงกราวด์ 5 ตัว วงจรที่นำเสนอทำงานในระดับทรานซิสเตอร์จึงทำให้มีข้อดีหลายข้อเช่น ใช้ไฟเลี้ยงต่ำ ใช้พลังงานต่ำและปรับค่าทางอิเลกทรอนิกส์ได้กว้าง วงจรประกอบไปด้วยทรานซิสเตอร์ 27 ตัวและตัวเก็บประจุต่อลงกราวด์ 5 ตัวซึ่งเหมาะสมในการสร้างวงจรรวม ผลการจำลองการทำงานมีความสอดคล้องกับทฤษฎี

2. ทฤษฎีและหลักการ

2.1 การสร้างอินทิเกรเตอร์โดยใช้เทคโนโลยีซีมอส

รูปที่ 1 แสดงบล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสียที่มีเอาต์พุทเหมือนกันคือ Y_1 และ Y_2 สมการการส่งผ่านสามารถเขียนได้เป็น

$$\frac{Y_1}{X} = \frac{Y_2}{X} = -\frac{A}{s+A} \tag{1}$$



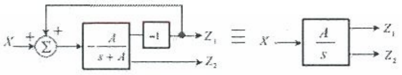
รูปที่ 1 บล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินทิเกรเตอร์ชนิดไม่สูญเสียสามารถสร้างได้ง่ายโดยการเพิ่มวงจรขยายแบบกลับเฟสที่เอาต์พุท Y_1 แล้วป้อนกลับมายังอินพุทดังในรูปที่ 2 จากหลักการนี้จะได้สมการการส่งผ่านของอินทิเกรเตอร์แบบไม่กลับเฟสและกลับเฟสที่พอร์ต Z_1 และ Z_2 ตามลำดับ

$$\frac{Z_1}{X} = \frac{A}{s} \tag{2}$$

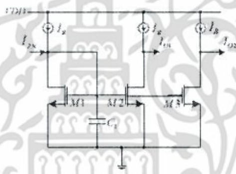
$$\frac{Z_2}{X} = -\frac{A}{s} \tag{3}$$



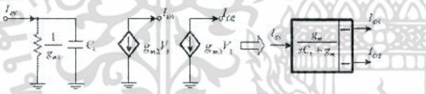
รูปที่ 2 บล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดไม่สูญเสีย

รูปที่ 3 แสดงการสร้างอินทิเกรเตอร์ชนิดสูญเสียจากเทคโนโลยีซีมอสโดยใช้ Building Block ในรูปที่ 1 โดยพัฒนามาจากงานวิจัย [17] แบบจำลองสัญญาณขนาดเล็กของรูปที่ 3 และบล็อกไดแกรมสามารถเขียนได้ดังรูปที่ 4 วิเคราะห์วงจรด้วย KCL สมมติให้ค่าทรานสคอนดักแตนซ์เป็นอุดมคติจะได้สมการการส่งผ่านดังนี้

$$\frac{I_{O1}}{I_{IN}} = \frac{I_{O2}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m} \tag{4}$$



รูปที่ 3 อินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอส



รูปที่ 4 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 3 และบล็อกไดอะแกรม

รูปที่ 5 แสดงการสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากหลักการในรูปที่ 2 ด้วยการนำอินทิเกรเตอร์ชนิดสูญเสีย (M_1, M_2 และ M_3) ต่อคาสเคดกับวงจรขยายแบบกลับเฟส (M_4 และ M_5) แล้วจึงป้อนกระแสเอาต์พุทกลับมายังอินพุท เอาต์พุทมี 2 ตัวคือ I_{o1} และ I_{o2} ที่ M_2 และ M_6 ตามลำดับ วิเคราะห์โดยใช้ KCL สมการการส่งผ่านของแบบจำลองสัญญาณขนาดเล็กในรูปที่ 6 สามารถเขียนได้เป็น

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_{m2}g_{m4}}{sC_1g_{m4} + g_{m3}g_{m5} - g_{m1}g_{m4}} \tag{5}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_{m5}g_{m6}}{sC_1g_{m4} - g_{m3}g_{m5} + g_{m1}g_{m4}} \tag{6}$$

เมื่อ g_{mi} คือค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i สมมติให้ทรานซิสเตอร์สมพงศ์ (Match) กันทุกตัว ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$) ดังนั้นสมการการส่งผ่านของรูปที่ 6 จึงเขียนได้เป็น

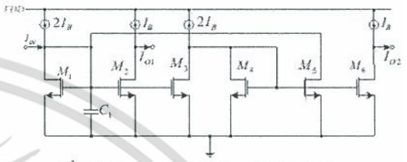
$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1} \tag{7}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1} \tag{8}$$

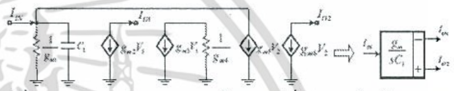
โดยที่

$$g_m = \sqrt{2\mu C_{OX}\frac{W}{L}I_B} \tag{9}$$

เมื่อ μ, C_{ox}, W และ L เป็น ค่าความคล่อง ความจุจากออกไซด์ ความกว้างและความยาว Channel ของมอสทรานซิสเตอร์ จะเห็นได้ว่าค่าทรานสคอนดักแตนซ์สามารถปรับได้โดยการปรับค่ากระแสไบอัส I_B



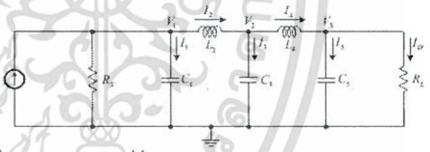
รูปที่ 5 อินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส



รูปที่ 6 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 5 และบล็อกไดอะแกรม

3. การสร้างวงจรกรองความถี่ต่ำผ่านอันดับ 5

วงจรกรองความถี่ต่ำผ่านอันดับ 5 สร้างขึ้นจากอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ซีมอสที่นำเสนอตามแบบจำลองวงจรกรองความถี่แบบขั้นบันได RLC ของ Chebyshev ใช้หลักการปลายปิดคู่ (Doubly Terminated LC Ladder) ในการสร้างวงจรแสดงดังรูปที่ 7



รูปที่ 7 วงจรกรองความถี่ต่ำผ่านอันดับ 5 ต้นแบบชนิด Chebyshev RLC Ladder

พิจารณากระแสและแรงดันของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดในรูปที่ 7 ความสัมพันธ์ระหว่างกระแสและแรงดันโดยใช้การวิเคราะห์ด้วย KCL สามารถเขียนออกมาได้เป็น

$$V_1 = \left(I_{IN} - \frac{V_1}{R_S} - I_2\right)\frac{1}{sC_1} \tag{10}$$

$$V_2 = \frac{I_3}{sC_3} \tag{11}$$

$$V_3 = \left(I_4 - \frac{V_3}{R_L}\right)\frac{1}{sC_5} \tag{12}$$

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 \tag{13}$$

$$I_2 = \frac{V_1 - V_2}{sL_2} \tag{14}$$

$$I_3 = I_2 - I_4 \tag{15}$$

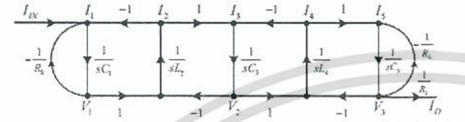
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_4 = \frac{V_2 - V_3}{sL_4} \quad (16)$$

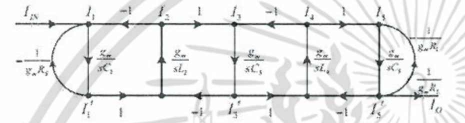
$$I_5 = I_4 - \frac{V_3}{R_L} \quad (17)$$

$$I_O = \frac{V_3}{R_L} \quad (18)$$

กราฟการไหล (Signal Flow Graph: SFG) สามารถเขียนได้จากสมการ (10)-(18) ในรูปแบบตัวแปรกระแสและแรงดัน ดังรูปที่ 8 ทำการแปลงแรงดันในรูปกระแสด้วยการ Normalized โดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) รูปที่ 9 แสดงกราฟการไหลที่ถูก Normalized แล้วของรูปที่ 8

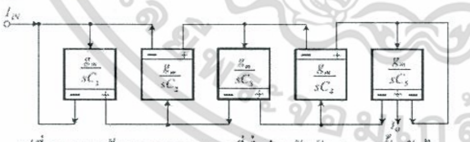


รูปที่ 8 SFG ของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันได

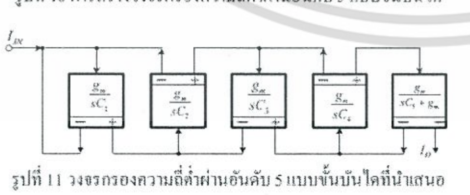


รูปที่ 9 SFG ของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดที่ถูก Normalized

รูปที่ 9 วงจรกรองความถี่ต่ำผ่านถูกสร้างขึ้นด้วยบล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 6 วงจรกรองความถี่ต่ำผ่านที่นำเสนอเขียนได้ดังรูปที่ 10 พิจารณาอินทิเกรเตอร์ชนิดไม่สูญเสียตัวสุดท้ายของวงจรสังเกตเห็นว่ามีการป้อนกลับแบบลบไปยังอินพุต ดังนั้นอินทิเกรเตอร์ตัวนี้จึงทำงานเสมือนเป็นอินทิเกรเตอร์ชนิดสูญเสียโดยใช้อุปกรณ์น้อยกว่าซึ่งประกอบด้วยทรานซิสเตอร์จำนวน 3 ตัว ดังนั้นอินทิเกรเตอร์ชนิดไม่สูญเสียตัวสุดท้ายจึงถูกแทนที่ด้วยอินทิเกรเตอร์ชนิดสูญเสียดังรูปที่ 11 เพื่อให้ใช้พื้นที่น้อยลง สังเกตว่าเอาต์พุทของอินทิเกรเตอร์ชนิดสูญเสียมีเฉพาะแบบลบเท่านั้น ดังนั้นเอาต์พุทของวงจรกรองความถี่ต่ำผ่านจะถูกกลับเฟสไปโดยไม่มีผลต่อค่าตอบสนองทางแมกนิจูดของวงจร



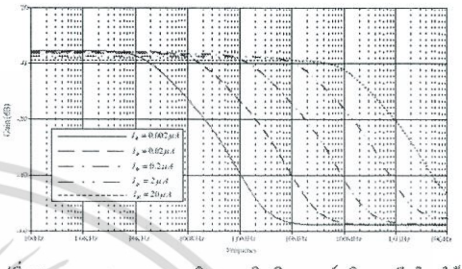
รูปที่ 10 การสร้างวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันได



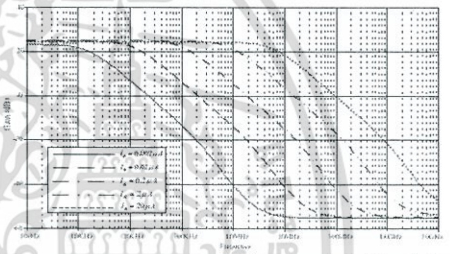
รูปที่ 11 วงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดที่นำเสนอ

4. ผลการจำลองการทำงาน

ในบทนี้อธิบายถึงผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดและอินทิเกรเตอร์โดยใช้ซีมอส จำลองการทำงานด้วย PSPICE ใช้เทคโนโลยี TSMC 0.18 µA [18] ไฟเลี้ยง 1.5V และ NMOS ทั้งหมดในรูปที่ 3 และ 5 ใช้ค่า W/L =5µm/0.25µm

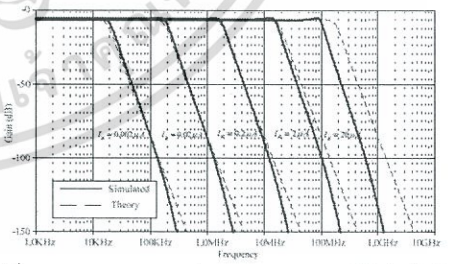


รูปที่ 12 ผลตอบสนองทางแมกนิจูดของอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสในรูปที่ 3 พร้อมปรับค่ากระแสไบอัส (I_B)



รูปที่ 13 ผลตอบสนองทางแมกนิจูดของอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอสในรูปที่ 5 พร้อมปรับค่ากระแสไบอัส (I_B)

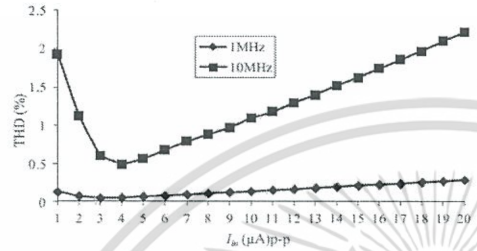
ผลตอบสนองทางแมกนิจูดของอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสในรูปที่ 3 และอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอสในรูปที่ 5 ถูกแสดงในรูปที่ 12 และ 13 ตามลำดับ กำหนดค่าตัวเก็บประจุ C_i=0.6pF ทำการปรับค่า I_B [0.002, 0.02, 0.2, 2, 20] µA ผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้างตั้งแต่ 10kHz ถึง 100MHz



รูปที่ 14 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดพร้อมปรับค่ากระแสไบอัส (I_B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดโดยใช้แบบจำลอง RLC ของ Chebyshev วงจรอินทิเกรเตอร์โดยใช้ซีมอสและตัวเก็บประจุ C_1-C_5 มีค่า 0.6 pF, 0.8pF, 1pF, 0.8pF และ 0.6pF ตามลำดับ [19] กระแสเอาต์พุทของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดโดยใช้ซีมอสที่นำเสนอในรูปที่ 11 ถูกแสดงผลในรูปที่ 14 โดยปรับค่ากระแสไบอัส I_B ที่ [0.002, 0.02, 0.2, 2, 20] μA ผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100MHz



รูปที่ 15 ค่าความเพี้ยนทางฮาร์มอนิก ของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดที่นำเสนอโดยกำหนดค่ากระแสไบอัส I_B=20μA

ค่าความเพี้ยนทางฮาร์มอนิก (THD) ของวงจรกรองความถี่ต่ำผ่านอันดับ 5 แบบขั้นบันไดที่นำเสนอสามารถวัดได้โดยกำหนดค่ากระแสไบอัส I_B=20μA ป้อนสัญญาณอินพุท 1MHz และ10MHz ปรับค่าแอมพลิจูดของอินพุท ค่า THD สามารถวัดได้ต่ำกว่า 0.3% และ 0.4%ตามลำดับ

5. บทสรุป

วงจรกรองความถี่ต่ำผ่านอันดับ 5 รูปแบบกระแสชนิดขั้นบันไดโดยใช้เทคโนโลยีซีมอสวงจรใหม่ถูกนำเสนอ วงจรถูกสร้างขึ้นด้วยอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ซีมอสตามแบบจำลองวงจรกรองความถี่ต่ำผ่านแบบขั้นบันไดของ Chebyshev ผลตอบสนองทางความถี่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ระหว่าง 10kHz และ 100MHz โดยปรับค่ากระแสไบอัสตั้งแต่ 0.002μA และ 20μA วงจรนี้ใช้ไฟเลี้ยง 1.5V กินพลังงาน 0.8mW วงจรที่นำเสนอประกอบด้วย NMOS ทรานซิสเตอร์จำนวน 27 ตัวและตัวเก็บประจุต่อลงกราวด์จำนวน 5 ตัว วงจรที่นำเสนอมีข้อดีหลายข้อด้วยกัน เช่น THD ต่ำ อินพุทอิมพิแดนซ์ต่ำ ใช้ไฟเลี้ยงต่ำและปรับค่าได้ย่านความถี่กว้าง

เอกสารอ้างอิง

[1] H.P. Chen, S.F. Wang; K.W. Huang, Grounded-Capacitor First-Order Filter Employing Single DVCC. Proc. of IEEE 3rd International Conference on Communication Software and Networks (ICCSN), pp.401-404, 27-29 May 2011.

[2] S. Ozoguz, A. Toker, O. Cicekoglu, First-order allpass sections-based current-mode universal filter using ICCIIs. Electronics letters, Vol.36, No.17, pp.1443-1444, 2000.

[3] M. Sagbas, K. Fidanboylu, Electronically tunable current-mode second-order universal filter using minimum elements. Electronics letters, Vol.40, No.1, pp.2-4, 2004.

[4] S. Yichuang, Second-order OTA-C filters derived from Nawrocki-Klein biquad. Electronics letters, Vol.34. No.15, pp.1449-1450, 1998.

[5] G. Jacobs, D. Allstot, R. Brodersen, P. Gray, Design techniques for MOS switched capacitor ladder filters. IEEE Transactions on circuits and systems, Vol.25,No12, pp.1014-1021, 1978.

[6] T. Choi, R. Brodersen, Considerations for high-frequency switched-capacitor ladder filters. IEEE Transactions on circuits and systems, Vol.27, No.6, pp.545-552, 1980.

[7] F. Montecchi, Time-shared switched-capacitor ladder filters insensitive to parasitic effects. IEEE Transactions on circuits and systems, Vol.31, No.4, pp.349-353, 1984.

[8] D.J. Allstot, Simplified MOS switched capacitor ladder filter structures. IEEE Journal of Solid-State Circuits, Vol.16, No.6, pp.724-729, 1981.

[9] K. Martin, Improved circuits for the realization of switched-capacitor filters. IEEE Transactions on currents and systems, Vol.27, No.4, pp.237 – 244, 1980.

[10] T.S. Fiez, D.J. Allstot, CMOS switched-current ladder filters. IEEE Journal of Solid-State Circuits, Vol.25, No.6, pp.1360-1367, 1990.

[11] J. Ramirez-Angulo, E. Sanchez-Sinencio, High Frequency Compensated Current-Mode Ladder Filters Using Multiple Output OTAs. IEEE Transactions on circuits and systems II: Analog and digital signal processing, Vol.41, No.9, pp.586-586, 1994.

[12] N.P.J. Greer, R.K. Henderson, J.I. Li Ping, Sewell, Matrix methods for the design of transconductor ladder filters. IEE Proceedings: Circuits, Devices and Systems, Vol.141, No.2, pp.89-100, 1994.

[13] C. Hung, K.A.I. Halonen, M. Ismail, V. Porra, A. Hyogo, A Low-Voltage, Low-Power CMOS Fifth-Order Elliptic GM-C Filter for Baseband Mobile, Wireless Communication. IEEE Transactions on circuits and systems for video technology, Vol.7, No.4, pp.584-593, 1997.

[14] J. Wu, E. El-Masry, Current-mode ladder filters using multiple output current conveyers. IEE Proceedings: Circuits, Devices and Systems, Vol.143, No.4, pp.218-222, 1996.

[15] J. Wu, E. El-Masry, Design of current-mode ladder filters using coupled-biquads. IEEE Transactions on circuits and systems II: Analog and digital signal processing, Vol.45, No.11, pp.1445-1454, 1998.

[16] A.E.J. Ng, J.I. Sewell, Ladder decompositions for wideband SI filter applications. IEE Proceedings: Circuits, Devices and Systems, Vol.145, No.5, pp.306 – 313, 1998.

[17] S. Lee, R.H. Zele, D.J. Allstot, and G. Liang, "A Continuous-Time Current-Mode Integrator," IEEE Transactions on circuits and systems, Vol.38, No.10, pp.1236-1238, 1991.

[18] https://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/tsmc-018/t68b_mm_non_epi-params.txt

[19] L. P. Huelsman, "Active and Passive Analog Filter Design," McGraw-Hill Inc. Singapore, 1993.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายธรณินทร์ ต่ายสวัสดิ์
วัน เดือน ปีเกิด	11 กรกฎาคม 2533 ที่จังหวัดกรุงเทพมหานคร
ที่อยู่	48/87 ซอยนิมิตใหม่40 ถนนนิมิตใหม่ แขวงคลองสามวา เขตสามวาตะวันออก กรุงเทพฯ 10510
ประวัติการศึกษา	2555 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประสบการณ์การทำงาน

พ.ศ. 2556-2556	ตำแหน่ง NOC (Network Operations Center) บริษัท เอ.ไอ.ที เทเลคอม จำกัด - ดูแลและควบคุมระบบการสื่อสาร VOIP
พ.ศ. 2557-2558	ตำแหน่ง Project Engineer บริษัท นาจา เทค จำกัด - ติดต่อประสานงาน วางแผนการทำงานและควบคุมหน้างาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้