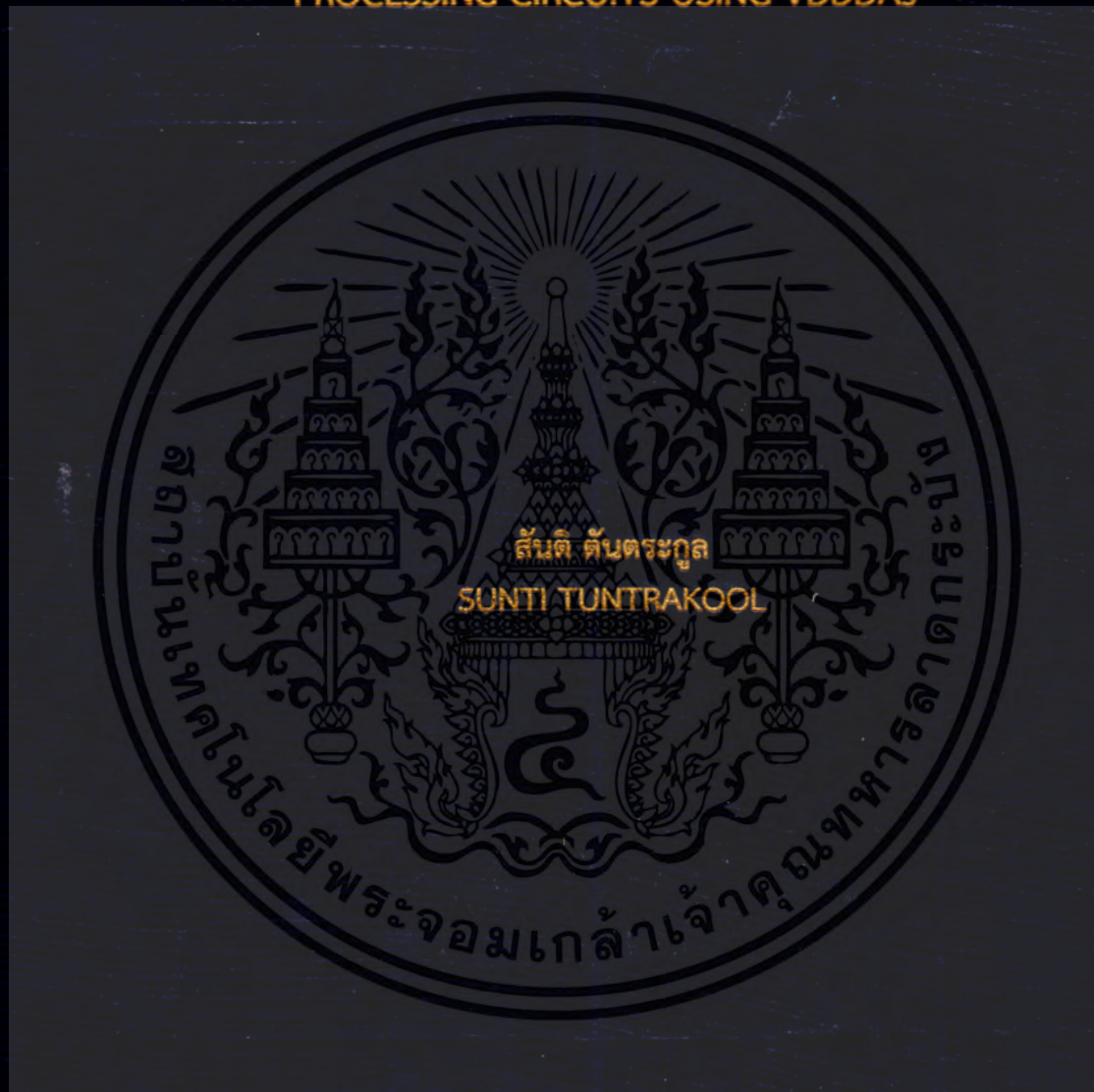


การสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อกโหมดแรงดัน
โดยใช้ VDDDA

SYNTHESIS AND DESIGN OF VOLTAGE-MODE ANALOG SIGNAL
PROCESSING CIRCUITS USING VDDDA_s



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-D-018-195

การสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อกโหมดแรงดัน
โดยใช้ VDDDA

SYNTHESIS AND DESIGN OF VOLTAGE-MODE ANALOG SIGNAL
PROCESSING CIRCUITS USING VDDDA_s



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2560

KMITL-2017-EN-D-018-195

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYNTHESIS AND DESIGN OF VOLTAGE-MODE ANALOG SIGNAL
PROCESSING CIRCUITS USING VDDDA_s



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2017

KMITL-2017-EN-D-018-195
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2017

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อกโหมดแรงดันโดยใช้ VDDDA

Thesis Title Synthesis and Design of Voltage-mode Analog Signal Processing Circuits using VDDDAs

นักศึกษา นายสันติ ตันตระกูล

รหัสประจำตัว 54610171

ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.มนตรี คำเงิน

หมายเลขวิทยานิพนธ์ KMITL-2017-EN-D-018-195

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญดิษฐ์ธรรม	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.ศรวัฒน์	ชีวปรีชา	
ผศ.ดร.สิรภพ	ตู้ประกาย	
ผศ.ดร.มนตรี	คำเงิน	

วัน / เดือน / ปี ที่สอบ วันอังคารที่ 12 ธันวาคม พ.ศ. 2560 เวลา 10.00-12.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
วันที่ 12 ธันวาคม พ.ศ. 2560

หัวข้อวิทยานิพนธ์	การสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนาล็อก โหมดแรงดันโดยใช้ VDDDA
นักศึกษา	สันติ ตันตระกูล
รหัสประจำตัว	54610171
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร.มนตรี คำเงิน

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนาล็อกในโหมดแรงดันโดยใช้อุปกรณ์แอกทีฟสำเร็จรูปที่เรียกว่า วงจรขยายความนำผลต่างแรงดันเอาต์พุต (Voltage Differencing Differential Difference Amplifier: VDDDA) โดยวงจรที่นำเสนอมีสามวงจร ได้แก่ วงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุท-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ และวงจรกำเนิดสัญญาณไซน์หลายเฟสแบบเฟสคี จุดบ่อนอินพุตของวงจรกรองความถี่ที่นำเสนอมีความต้านทานสูงโดยสามารถควบคุมควอลิตี้แฟกเตอร์ได้อย่างอิสระจากควอลิตี้ธรรมชาติด้วยวิธีทางอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส วงจรสามารถให้ฟังก์ชันกรองความถี่ได้พร้อมกัน 5 ฟังก์ชัน และ 6 เอาต์พุต คือ กรองความถี่ต่ำผ่าน กรองความถี่สูงผ่าน กรองจำกัดแถบความถี่ กรองผ่านทุกความถี่ และกรองแถบความถี่ผ่าน โดยฟังก์ชันกรองแถบความถี่ผ่านจะมี 2 เอาต์พุตคือ BP1 และ BP2 ความต้านทานที่เอาต์พุตของฟังก์ชัน กรองความถี่สูงผ่าน กรองผ่านทุกความถี่และกรองจำกัดแถบความถี่มีความต้านทานต่ำ ทำให้สามารถต่อไปวงจรภาคอื่นโดยไม่ต้องใช้วงจรบัฟเฟอร์ วงจรกรองความถี่ที่นำเสนอประกอบไปด้วย VDDDA จำนวนสามวงจร ร่วมกับตัวเก็บประจุต่อลงกราวด์สองตัวและตัวต้านทานต่อลงกราวด์อีกหนึ่งตัว ซึ่งเหมาะที่จะนำไปสร้างเป็นวงจรรวม วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ที่นำเสนอ ประกอบไปด้วย VDDDA จำนวนสองวงจร ตัวต้านทานสองตัวและตัวเก็บประจุต่อลงกราวด์อีกสองตัว ความถี่ในการกำเนิดสัญญาณสามารถปรับได้แบบอิเล็กทรอนิกส์โดยไม่ส่งผลกระทบต่อเงื่อนไขในการกำเนิดสัญญาณ วงจรกำเนิดสัญญาณไซน์หลายเฟสแบบเฟสคีที่นำเสนอออกแบบมาจากวงจรอินทิเกรเตอร์แบบ lossy ที่ใช้ VDDDA เป็นอุปกรณ์แอกทีฟหลัก เงื่อนไขในการกำเนิดสัญญาณสามารถควบคุมได้โดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ การปรับความถี่ในการกำเนิดสัญญาณสามารถทำได้แบบอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส ที่จุดเอาต์พุตมีความต้านทานต่ำจึงทำให้วงจรสามารถต่อไปวงจรภาคอื่นหรือขับโหลดได้โดยไม่ต้องใช้วงจรบัฟเฟอร์ภายนอก วงจรสามารถให้กำเนิดสัญญาณไซน์ที่มีความต่างเฟสเท่ากันและขนาดเท่ากันทุกเฟส โดยวงจรอินทิเกรเตอร์ของสัญญาณแต่ละเฟสประกอบไปด้วย VDDDA จำนวนหนึ่งวงจร ตัวต้านทานสองตัวและตัวเก็บประจุอีกหนึ่งตัว โดยไม่ต้องใช้วงจรขยายภายนอก คุณสมบัติและการทำงานของวงจรที่นำเสนอทั้งสามสามารถยืนยันได้ด้วยผลการเลียนแบบการทำงานโดยใช้โปรแกรม PSPICE และได้ทำการทดลองต่อวงจรจริงสำหรับวงจรกรองความถี่โดยใช้ไอซีเบอร์ LM13700 และ AD830 เป็นโครงสร้างวงจรภายในของ VDDDA

พบว่า การทำงานของวงจรที่นำเสนอทั้งสามมีความสอดคล้องกับที่คาดการณ์ไว้ในทางทฤษฎี เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาค้นคว้า เมื่ออนุญาตให้นำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Synthesis and Design of Voltage-Mode Analog Signal Processing Circuits Using VDDDAs
Student	Mr.Sunti Tuntrakool
Student ID.	54610171
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2017
Thesis Advisor	Asst.Prof.Dr.Montree Kumngern

ABSTRACT

In this thesis, the synthesis and design of three voltage-mode analog signal processing circuits using VDDDA as active element are proposed. The proposed circuits contain single input multiple output voltage-mode second order universal filter, quadrature sinusoidal oscillator and odd phase multiphase sinusoidal oscillator. The proposed filter has high input impedance with orthogonal tune of natural frequency and quality factor. It simultaneously provides five filter functions and six outputs: low-pass (LP), high-pass (HP), band-reject (BR), all-pass (AP) and two band-pass (BP: BP1 and BP2) in the same circuit topology. The natural frequency and quality factor can be tuned electronically and orthogonally by DC bias current. The output impedance at output nodes HP, AP and BR has low impedance which can connect to other circuit without the use of voltage buffers. The proposed filter consists of three VDDDA, two grounded capacitors and one grounded resistor. This makes the proposed filter suitable for integrated circuits development. The proposed quadrature sinusoidal oscillator consists of two VDDDA, two resistors, and two grounded capacitors. The frequency of oscillation (FO) can be electronically controlled without affecting the condition of oscillation (CO) which is easily controlled by microcontroller. For the proposed multiphase sinusoidal oscillator, the odd phase system can be realized using VDDDA-based lossy integrators. The condition and frequency of oscillation can be controlled independently through adjusting the bias current of the VDDDA. The low output impedances facilitate easy driving an external load without additional voltage buffers. The proposed oscillator provides odd phase signals that are equally spaced in phase and equal amplitude each phase. The circuit consisted of one VDDDA, two resistors and one grounded capacitor per phase without additional voltage amplifier. The PSpice simulation and also experimental results using commercially available ICs, LM13700 and AD830 are included for VDDDA structure only for the proposed filter, verifying the workability of the proposed circuits. The given results agree well with the theoretical anticipation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้รับความกรุณาให้การช่วยเหลือ ข้อเสนอแนะ คำแนะนำ การสนับสนุน และให้กำลังใจผู้เขียน เป็นอย่างดีมาโดยตลอด จากบุคคลหลายท่าน จึงทำให้สำเร็จลุล่วงไปได้ด้วยดี

ผู้เขียนขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.มนตรี คำเงิน อาจารย์ที่ปรึกษา วิทยานิพนธ์ ที่ได้ให้ความกรุณาให้คำแนะนำ คำปรึกษา ข้อเสนอแนะ และแนวทางการแก้ไขปัญหาในการทำวิทยานิพนธ์ตลอดระยะเวลาของการศึกษา

และขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.วินัย ใจกล้า รองศาสตราจารย์ ดร.พีระวุฒิ สุวรรณจันทร์ และ Prof. Norbert Herencsar ที่ได้กรุณาให้คำแนะนำ คำปรึกษา ข้อเสนอแนะ ผู้เขียนรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านเป็นอย่างสูง

นอกจากนี้ ผู้เขียนขอขอบพระคุณ คณะวิศวกรรมศาสตร์ และคณะครุศาสตร์อุตสาหกรรมและเทคโนโลยี สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้การสนับสนุนเครื่องมือ อุปกรณ์ ในการทดลอง และให้ใช้สถานที่

สุดท้ายนี้ ขอกราบขอบพระคุณบิดา มารดา และผู้มีพระคุณทุกท่านที่ให้การสนับสนุน ส่งเสริมการศึกษา ให้การช่วยเหลือและให้กำลังใจผู้เขียนมาโดยตลอด โดยเฉพาะอย่างยิ่งภรรยาสุดที่รัก นางจรรยาภรณ์ ตันตระกูล ที่ให้กำลังใจผู้เขียนและคอยดูแลผู้เขียนเป็นอย่างดีที่สุดมาโดยตลอด

สันติ ตันตระกูล
ธันวาคม 2560

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.3 ขอบเขตของวิทยานิพนธ์.....	2
1.4 รายละเอียดของวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	4
2.1 วงจรขยายความนำผลต่างแรงดันเอาต์พุต (MOSFET) (Voltage Differencing Differential Difference Amplifier: VDDDA).....	4
2.2 มอสเฟต (MOSFET).....	5
2.3 วงจรสะท้อนกระแส (Current mirror).....	8
2.4 หลักการของวงจรกรองความถี่ (Principle of Filter Circuits).....	13
2.5 หลักการของวงจรถ่ายสัญญาณ (Principle of Oscillator Circuits).....	19
2.5 งานวิจัยที่เกี่ยวข้อง.....	22
บทที่ 3 วิธีการดำเนินการวิจัย.....	24
3.1 การสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่ หนึ่งอินพุต-หลายเอาต์พุต.....	24
3.2 วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ที่ได้จากการปรับปรุงวงจรกรองความถี่ อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต.....	31
3.3 การสังเคราะห์และออกแบบวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์.....	33
3.4 การสังเคราะห์และออกแบบวงจรถ่ายสัญญาณไซน์หลายเฟส.....	36
บทที่ 4 ผลการวิจัย.....	41
4.1 ผลการเลียนแบบการทำงานของวงจรกรองความถี่อันดับสองหลายหน้าที่ หนึ่งอินพุต-หลายเอาต์พุต.....	41
ผลการทดสอบการทำงานด้วยการต่อวงจรจริงของวงจรกรองความถี่อันดับ สองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต.....	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.2 ผลการเปลี่ยนแปลงการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ควอดเรเจอร์ ที่ได้จากการปรับปรุงวงจรรองความถี่อันดับสองหลายหน้าที่ หนึ่งอินพุต-หลายเอาต์พุต.....	48
ผลการเปลี่ยนแปลงการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ควอดเรเจอร์ ที่ได้จากการปรับปรุงวงจรรองความถี่อันดับสองหลายหน้าที่ หนึ่งอินพุต-หลายเอาต์พุต.....	49
4.3 ผลการเปลี่ยนแปลงการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ควอดเรเจอร์.....	50
4.4 ผลการเปลี่ยนแปลงการทำงานของวงจรถูกกำเนิดสัญญาณไซน์หลายเฟสแบบเฟสคี.....	51
บทที่ 5 สรุป.....	53
5.1 สรุปผลการวิจัย.....	53
5.2 ข้อเสนอแนะจากการวิจัย.....	54
เอกสารอ้างอิง.....	56
ภาคผนวก.....	61
ภาคผนวก ก ผลงานวิจัยที่ได้ตีพิมพ์.....	62
ประวัติผู้เขียน.....	81

สารบัญตาราง

ตารางที่	หน้า
2.1 ขนาดของมอสทรานซิสเตอร์.....	23
5.1 การเปรียบเทียบระหว่างวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตที่นำเสนอกับวงจรกรองความถี่ที่เคยมีผู้นำเสนอมาก่อนหน้านี้.....	54



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 (ก) สัญลักษณ์ (ข) วงจรเทียบเคียงของ VDDDA.....	4
2.2 สัญลักษณ์แบบต่างๆ ของมอสเฟต.....	6
2.3 คุณสมบัติทางเอาต์พุตของมอสเฟต.....	8
2.4 บล็อกไดอะแกรมของวงจรสะท้อนกระแส.....	8
2.5 วงจรสะท้อนกระแสแบบพื้นฐานที่ใช้มอสชนิดเอ็นแชนแนล.....	9
2.6 คุณสมบัติที่เอาต์พุตของวงจรในรูปที่ 2.4 ในกรณี M1 และ M2 สมพงษ์กัน.....	10
2.7 แบบจำลองและวงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กของ M1.....	11
2.8 แบบจำลองและวงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแส.....	11
2.9 วงจรสมมูลของสัญญาณขนาดเล็กของวงจรสะท้อนกระแสในรูปที่ 2.4.....	12
2.10 วงจรสะท้อนกระแสแบบมีจุดออกหลายจุด.....	13
2.11 ระบบของวงจรกรองความถี่.....	14
2.12 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบความถี่ต่ำผ่าน ในทางอุดมคติ.....	15
2.13 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบความถี่สูงผ่าน ในทางอุดมคติ.....	16
2.14 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบแถบความถี่ผ่าน ในทางอุดมคติ.....	16
2.15 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบจำกัดแถบความถี่ ในทางอุดมคติ.....	17
2.16 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองผ่านทุกความถี่ในทางอุดมคติ.....	17
2.17 องค์ประกอบของวงจรถ้าเนตสัญญาณ.....	20
2.18 บล็อกไดอะแกรมของวงจรถ้าเนตสัญญาณ.....	21
2.19 โครงสร้างภายในของ VDDDA.....	23
3.1 บล็อกไดอะแกรมการสังเคราะห์วงจรกรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต.....	24
3.2 วงจรกรองแบบหนึ่งอินพุต-หลายเอาต์พุตที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.1.....	26
3.3 ตัวต้านทานและตัวเก็บประจุแฝงใน VDDDA.....	29
3.4 วงจรถ้าเนตสัญญาณไซน์ควอเดรเจอร์ที่ปรับปรุงจาก วงจรกรองแบบหนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2.....	31
3.5 บล็อกไดอะแกรมการสังเคราะห์วงจรถ้าเนตสัญญาณไซน์ควอเดรเจอร์.....	33
3.6 วงจรถ้าเนตสัญญาณไซน์ที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.4.....	33
3.7 บล็อกไดอะแกรมการสังเคราะห์วงจรถ้าเนตสัญญาณไซน์หลายเฟส.....	36
3.8 วงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้.....	37
3.9 วงจรถ้าเนตสัญญาณไซน์หลายเฟสที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.6.....	37
4.1 ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1 และ BP2.....	41
4.2 ผลตอบสนองทางขนาดและเฟสของฟังก์ชัน BR.....	42

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่นๆ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.3 ผลตอบสนองทางขนาดและเฟสของฟังก์ชัน AP.....	42
4.4 ผลตอบสนองทางขนาดของฟังก์ชัน BP1 เมื่อเปลี่ยนค่า I_{B3}	43
4.5 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อเปลี่ยนค่า I_{B3}	43
4.6 ผลตอบสนองทางขนาดของฟังก์ชัน BR เมื่อเปลี่ยนค่า I_{B3}	43
4.7 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อ $I_{B1}=I_{B2}=I_B$	44
4.8 ขนาดของแรงดันที่เอาต์พุตเทียบกับอินพุตเมื่อป้อนความถี่อินพุตเท่ากับ 100 kHz.....	44
4.9 ค่า THD ของฟังก์ชัน LP เมื่อขนาดของแรงดันอินพุตมีการเปลี่ยนแปลง.....	45
4.10 ผลตอบสนองทางเวลาของฟังก์ชัน AP เมื่อเปลี่ยนค่า I_{B1}	45
4.11 ผลการวิเคราะห์ Monte Carlo.....	46
4.12 โครงสร้าง VDDDA ที่ใช้ในการทดลอง.....	46
4.13 ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1, BP2, BR และ AP ที่ได้จากการทดลอง.....	47
4.14 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อเปลี่ยนค่า I_{B3} ที่ได้จากการทดลองจริง.....	47
4.15 ผลการวัดสัญญาณเอาต์พุตที่ BP2 เทียบกับ V_{in} ที่ความถี่ 63 kHz.....	48
4.16 ผลการจำลองสัญญาณเอาต์พุตวงจรกำเนิดสัญญาณควอเดรเจอร์.....	48
4.17 ผลการจำลองสเปกตรัมของเอาต์พุต.....	49
4.18 ผลการจำลองการปรับความถี่ของการกำเนิดสัญญาณ โดยการปรับค่ากระแสไบอัส I_{B1} และ I_{B2}	49
4.19 ผลการวัดแรงดันเอาต์พุตและความถี่เมื่อ $I_{B1} = I_{B2} = 115\mu A$	50
4.20 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ในสถานะเริ่มต้น.....	50
4.21 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ในสถานะอยู่ตัว.....	51
4.22 สเปกตรัมของสัญญาณในรูปที่ 4.21.....	51
4.23 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์ควอหลายเฟสในสถานะเริ่มต้น.....	52
4.24 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์หลายเฟสในสถานะอยู่ตัว.....	52
4.25 สเปกตรัมของสัญญาณในรูปที่ 4.22.....	52

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

การใช้อุปกรณ์แอกทีฟสำเร็จรูป (Active building block) ในการออกแบบวงจรได้รับความนิยมเป็นอย่างมาก เนื่องจากการใช้อุปกรณ์แอกทีฟสำเร็จรูปจะให้ความสะดวกและยืดหยุ่นในการออกแบบวงจรสูง วงจรที่ออกแบบโดยใช้อุปกรณ์แอกทีฟสำเร็จรูปจะมีอุปกรณ์พาสซีฟต่อรวมด้วยไม่มาก รวมทั้งสามารถให้ความต้านที่ภาคอินพุตสูงและความต้านทานที่ภาคเอาต์พุตต่ำ จึงสะดวกต่อการนำไปวงจรไปต่อคาสเคดหรือขับโหลดได้โดยไม่ต้องมีวงจรบัฟเฟอร์ และเนื่องด้วยใช้อุปกรณ์ต่อรวมด้วยจำนวนน้อยการวิเคราะห์วงจรเพื่อศึกษาสมการคุณสมบัติของวงจรจึงทำได้ง่าย โดยเฉพาะอย่างยิ่งในปัจจุบันอุปกรณ์แอกทีฟสำเร็จรูปที่สามารถควบคุมการทำงานได้แบบอิเล็กทรอนิกส์ถูกนำมาใช้อย่างกว้างขวาง เพราะวงจรที่ใช้อุปกรณ์เหล่านี้สามารถควบคุมได้ด้วยไมโครคอนโทรลเลอร์หรือไมโครคอมพิวเตอร์ ดังนั้นจึงมีการนำเสนอหลักการของวงจรแอกทีฟสำเร็จรูปออกมาอยู่เสมอ [1]-[4]

เมื่อเร็วๆ นี้ Herencsar และคณะได้นำเสนอหลักการของอุปกรณ์แอกทีฟสำเร็จรูปที่เรียกว่า วงจรขยายความนำผลต่างแรงดันเอาต์พุต (Voltage Differencing Differential Difference Amplifier: VDDDA) อุปกรณ์ชนิดนี้เป็นการรวมจุดเด่นของวงจรขยายความนำถ่ายโอน (Operational transconductance amplifier: OTA) และวงจรผลต่างแรงดัน (Voltage differential differencing different unit) ทำให้ VDDDA มีความโดดเด่นที่สามารถควบคุมการทำงานได้แบบอิเล็กทรอนิกส์ มีวงจรบวก-ลบสัญญาณแรงดันอยู่ในอีกทั้งที่ขั้วอินพุตแรงดันมีความต้านทานสูง ส่วนขั้วเอาต์พุตแรงดันมีความต้านทานต่ำ ซึ่งทำให้วงจรที่ออกแบบโดยใช้ VDDDA สามารถหลีกเลี่ยงการใช้วงจรบวก-ลบสัญญาณภายนอก อีกทั้งสามารถต่อคาสเคดไปยังวงจรรูปภาคอื่นๆ โดยไม่ต้องใช้วงจรบัฟเฟอร์ภายนอก [5]-[8]

วงจรประมวลผลสัญญาณแอนะล็อก อาทิ วงจรกรองความถี่ วงจรกำเนิดสัญญาณไซน์ มีความสำคัญอย่างยิ่งต่อระบบสื่อสาร ซึ่งส่วนมากในระบบสื่อสารจะมีการผสมสัญญาณหรือที่เรียกว่า การมอดูเลต (Modulation) ระหว่างสัญญาณพาห้ (Carrier) กับสัญญาณข้อมูลเพื่อส่งไปตามช่องทางสื่อสาร ดังนั้นในภาครับจึงต้องการวงจรกรองความถี่เพื่อใช้ในการส่งผ่านสัญญาณที่ต้องการออกไปที่ภาคเอาต์พุต ในขณะที่วงจรถูกกำเนิดสัญญาณไซน์ก็จะถูกนำมาใช้ในการสร้างสัญญาณพาห้ที่ภาครับหรือภาคส่งของระบบสื่อสาร [9] ไม่เพียงแค่นั้นระบบสื่อสารเท่านั้นที่ต้องใช้วงจรกรองความถี่และวงจรถูกกำเนิดสัญญาณ ในระบบอื่นๆ ก็ต้องการเช่นเดียวกัน เช่น ระบบเสียง ระบบเครื่องมือวัด โดยเฉพาะอย่างยิ่งในระบบวัดข้อมูลทางการแพทย์ ซึ่งสัญญาณรบกวนเป็นปัญหาที่สำคัญมากที่สามารถแก้ปัญหาดังกล่าวโดยนำวงจรกรองความถี่ในรูปแบบต่างๆมาใช้ในการกำจัดสัญญาณรบกวนดังกล่าวหรือแม้แต่ในห้องทดลองไฟฟ้าและอิเล็กทรอนิกส์ก็ต้องการสัญญาณไซน์มาเป็นสัญญาณในการทดลอง โดยเฉพาะอย่างยิ่งการออกแบบวงจรกรองความถี่แบบหลายหน้าที่ได้รับความสนใจเป็นอย่างมาก เนื่องจากในวงจรเดียวสามารถให้ผลตอบสนองได้หลายฟังก์ชัน [10]

จากการศึกษาพบว่าได้มีนักวิจัยนำเสนอวงจรกรองความถี่หลายหน้าที่โหมดแรงดันโดยใช้อุปกรณ์แอกทีฟที่แตกต่างกันไป [11]-[26] อย่างไรก็ตามวงจรเหล่านั้นยังมีข้อด้อยดังต่อไปนี้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ไม่สามารถควบคุมความถี่โพลและควอลิตี้แฟกเตอร์ได้ด้วยวิธีทางอิเล็กทรอนิกส์ [11]-[24]
- ใช้อุปกรณ์พาสซีฟจำนวนมากโดยเฉพาะตัวต้านทาน [11]-[25]
- ใช้อุปกรณ์พาสซีฟแบบลอยซึ่งไม่เหมาะสมที่จะสร้างเป็นวงจรรวม [11]-[15], [17]-[18], [20]-[24]
- ความต้านทานที่อินพุตไม่สูงซึ่งไม่เหมาะสมที่จะนำไปต่อคาสเคดในโหมดแรงดัน [11]-[12], [14]-[15], [18], [21]-[22], [24]

จากปัญหาที่ได้นำเสนอหลักการข้างต้น ในวิทยานิพนธ์นี้จึงมีวัตถุประสงค์เพื่อสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อกที่ใช้ VDDDA เป็นอุปกรณ์แอกทีฟหลัก ได้แก่ วงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสคี่ ซึ่งวงจรทั้งสามสามารถควบคุมการทำงานได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ในการออกแบบเน้นที่ใช้อุปกรณ์แอกทีฟจำนวนน้อยร่วมกับตัวเก็บประจุที่ต่อกราวด์เพื่อให้ง่ายต่อการนำไปสร้างเป็นวงจรรวม

1.2 วัตถุประสงค์ของการวิจัย

1.2.1 เพื่อสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสคี่

1.2.2 เพื่อวิเคราะห์หาสมรรถนะของวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสคี่ที่ได้สังเคราะห์และออกแบบไว้

1.2.3 เพื่อทดสอบสมรรถนะของวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสคี่ที่ได้สังเคราะห์และออกแบบไว้

1.3 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์นี้นำเสนอวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสโดยใช้ VDDDA เป็นอุปกรณ์แอกทีฟหลักในการสังเคราะห์และออกแบบวงจร ซึ่งมีขอบเขตของวิทยานิพนธ์ดังนี้

1.3.1 นำเสนอการสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต จุดบ่อนอินพุตของวงจรกรองความถี่ที่นำเสนอมีความต้านทานสูงโดยสามารถควบคุมควอลิตี้แฟกเตอร์ได้อย่างอิสระจากความถี่ธรรมชาติด้วยวิธีทางอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส วงจรสามารถให้ฟังก์ชันกรองความถี่ได้พร้อมกันห้าฟังก์ชัน คือ กรองความถี่ต่ำผ่าน (Low-pass filter: LPF) กรองความถี่สูงผ่าน (High-pass filter: HPF) กรองจำกัดแถบความถี่ (Band-reject filter: BRF) กรองผ่านทุกความถี่ (All-pass filter: APF) และกรองแถบความถี่ผ่าน (Band-pass filter: BPF) ความต้านทานที่เอาต์พุตของฟังก์ชัน กรองความถี่สูงผ่าน กรองผ่านทุกความถี่และกรองจำกัดแถบความถี่มีความต้านทานต่ำ ทำให้สามารถต่อไปวงจรภาคอื่นโดยไม่ต้องใช้วงจร

บัฟเฟอร์ วงจรกรองความถี่ที่นำเสนอประกอบไปด้วย VDDDA จำนวนสามวงจร ร่วมกับตัวเก็บประจุ ต่อลงกราวด์สองตัวและตัวต้านทานต่อลงกราวด์อีกหนึ่งตัว

1.3.2 นำเสนอการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ ซึ่งประกอบไปด้วย VDDDA จำนวนสองวงจร ตัวต้านทานสองตัวและตัวเก็บประจุต่อลงกราวด์อีกสองตัว ความถี่ในการกำเนิดสัญญาณสามารถปรับได้แบบอิเล็กทรอนิกส์โดยไม่ส่งผลกระทบต่อเงื่อนไขในการกำเนิดสัญญาณ

1.3.3 นำเสนอการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์หลายเฟสแบบเฟสคี่ ซึ่งออกแบบมาจากวงจรอินทิเกรเตอร์ที่ใช้ VDDDA เป็นอุปกรณ์แอกทิฟหลัก เงื่อนไขในการกำเนิดสัญญาณสามารถควบคุมได้โดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ การปรับความถี่ในการกำเนิดสัญญาณสามารถทำได้แบบอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส ที่จุดเอาต์พุตมีความต้านทานต่ำจึงทำให้วงจรสามารถต่อไปยังวงจรภาคอื่นหรือขับโหลดได้โดยไม่ต้องใช้วงจรบัฟเฟอร์ภายนอก วงจรสามารถให้กำเนิดสัญญาณไซน์ที่มีความต่างเฟสเท่ากันและขนาดเท่ากันทุกเฟส โดยวงจรอินทิเกรเตอร์ของสัญญาณแต่ละเฟสประกอบไปด้วย VDDDA จำนวนหนึ่งวงจร ตัวต้านทานสองตัวและตัวเก็บประจุอีกหนึ่งตัว โดยไม่ต้องใช้วงจรขยายภายนอก

1.3.4 คุณสมบัติทางทฤษฎีและการทำงานของวงจรประมวลผลสัญญาณแอนาล็อกทั้งสามวงจรถูกยืนยันด้วยการเลียนแบบการทำงานโดยใช้โปรแกรม PSPICE

1.3.5 คุณสมบัติทางทฤษฎีและการทำงานของวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต และการปรับเป็นวงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ ถูกยืนยันด้วยการทดลองต่อวงจรจริงโดยใช้ไอซีเบอร์ LM13700 และ AD830 เป็นโครงสร้างวงจรภายในของ VDDDA

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้แบ่งเนื้อหาออกเป็น 5 บท ในแต่ละบทมีเนื้อหาโดยสังเขปต่อไปนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของการวิจัย ขอบเขตในการทำวิทยานิพนธ์และรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงเอกสารและงานวิจัยที่เกี่ยวข้อง โดยจะมีรายละเอียดเกี่ยวกับทฤษฎีของ VDDDA รวมถึงงานวิจัยที่เกี่ยวข้องกับวงจรอิเล็กทรอนิกส์ที่ใช้ VDDDA เป็นอุปกรณ์แอกทิฟ ซึ่งจะศึกษาถึงจุดเด่นและข้อจำกัดของงานวิจัยที่ผ่านมา

บทที่ 3 นำเสนอการสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์และวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสคี่ พร้อมทั้งวิเคราะห์หาสมรรถนะของวงจรทั้งในกรณีที่ VDDDA ทำงานเป็นอุดมคติและไม่เป็นอุดมคติ

บทที่ 4 แสดงผลการเลียนแบบการทำงานของวงจรที่ได้สังเคราะห์และออกแบบไว้ในบทที่ 3 และผลการต่อวงจรจริงโดยใช้ไอซีสำเร็จรูป

บทที่ 5 กล่าวถึงบทสรุปและข้อเสนอแนะ ซึ่งประกอบไปด้วย การสรุปผลการวิจัยที่ได้นำเสนอไว้ในวิทยานิพนธ์ และข้อเสนอแนะจากการวิจัยเพื่อเป็นแนวทางในการพัฒนาต่อไป

ภาคผนวก ก ผลงานวิจัยที่ได้ตีพิมพ์

บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

2.1 วงจรขยายความนำผลต่างแรงดันเอาต์พุต

(Voltage Differencing Differential Difference Amplifier: VDDDA)

วงจรขยายความนำผลต่างแรงดันเอาต์พุต (Voltage Differencing Differential Difference Amplifier: VDDDA) เป็นอุปกรณ์แอกทีฟสำเร็จรูปที่ประกอบด้วยวงจรขยายความนำถ่ายโอน (Operational transconductance amplifier: OTA) และตามด้วยวงจรผลต่างแรงดัน (Voltage differential differencing different unit: VDDDU) รูปที่ 2.1 (ก) แสดงถึงสัญลักษณ์ของ VDDDA ส่วนวงจรเทียบเคียงของ VDDDA แสดงดังรูปที่ 2.1 (ข) ซึ่งประกอบด้วยขั้วต่อ 6 ขั้วคือ ขั้ว v_+ v_- z n p และ w ดังรูป โดยขั้ว v_+ และ v_- เป็นขั้วแรงดันอินพุตที่ซึ่งจะถูกเปลี่ยนเป็นกระแสที่ขั้ว z (I_z) ด้วยค่าความนำถ่ายโอน (g_m) ซึ่งปกติค่าความนำถ่ายโอนสามารถควบคุมได้แบบอิเล็กทรอนิกส์ด้วยกระแสไบอัส (I_B) ของวงจรขยายความนำถ่ายโอน และผลต่างของแรงดันที่ขั้ว z n และ p จะเป็นค่าแรงดันที่ขั้ว w (v_w) ซึ่งมีอัตราขยายแรงดันเท่ากับ 1 ความสัมพันธ์ของกระแสและแรงดันของ VDDDA สามารถอธิบายได้ด้วยสมการเมทริกซ์คุณลักษณะของ VDDDA ในทางอุดมคติแสดงดังสมการที่ 2.1 สำหรับ VDDDA ในทางอุดมคติ จะมีค่าเอาต์พุตอิมพีแดนซ์ต่ำที่ขั้ว w และค่าอินพุตอิมพีแดนซ์สูงที่ขั้ว v_+ v_- z n และ p



รูปที่ 2.1 (ก) สัญลักษณ์ (ข) วงจรเทียบเคียงของ VDDDA

$$\begin{pmatrix} I_{v+} \\ I_{v-} \\ I_z \\ I_n \\ I_p \\ I_w \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 1 & 0 \end{pmatrix} \begin{pmatrix} V_+ \\ V_- \\ V_z \\ V_n \\ V_p \\ I_w \end{pmatrix} \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ VDDDA ที่สร้างขึ้นโดยเทคโนโลยีซีมอส ค่าความนำถ่ายโอน (g_m) จะขึ้นอยู่กับทั้งค่าพารามิเตอร์ในเชิงโครงสร้างของซีมอสทรานซิสเตอร์และกระแสไบอัส (I_B) ดังแสดงในสมการที่ 2.2

$$g_m = \sqrt{\mu C_{ox} \left(\frac{W}{L} \right) I_B} \quad (2.2)$$

เมื่อ μ คือค่าความคล่องตัวของพาหะ C_{ox} คือค่าความจุต่อพื้นที่ของเกตออกไซด์ W คือความกว้างของแชนแนล L คือความยาวของแชนแนล และ I_B คือกระแสไบอัส

2.2 มอสเฟต (MOSFET)

เฟต (FET) ชื่อภาษาอังกฤษย่อมาจาก Field Effect Transistor เราจึงเรียก เฟต ว่าเป็นทรานซิสเตอร์สนามไฟฟ้า ซึ่งเป็นทรานซิสเตอร์ชนิดหนึ่งที่มีโครงสร้างแตกต่างไปจากทรานซิสเตอร์ทั่วไป แต่มีข้อดีกว่าทรานซิสเตอร์ทั่วไปหลายประการ เช่น ขบวนการผลิตเฟตสามารถนำไปใช้การผลิต IC ได้ สามารถสร้างเฟตให้มีขนาดเล็กลงได้มากกว่าทรานซิสเตอร์ มีอินพุตอิมพีแดนซ์ที่สูง ทำให้สามารถต่อขยายหลายภาคได้ดี สามารถทำงานที่อุณหภูมิสูงได้ดี และมีสัญญาณรบกวนต่ำ เป็นต้น เฟต แบ่งออกได้เป็น 2 ประเภท คือ เจเฟต (JFET) และ มอสเฟต (MOSFET) และโครงสร้างมี 2 ชนิด คือ พีแชนแนล (P Channel) และ เอ็นแชนแนล (N Channel) โดยมอสเฟตนิยมเรียกกันว่า มอสทรานซิสเตอร์ ซึ่งชื่อภาษาอังกฤษนั้นย่อมาจาก Metal Oxide Semiconductor Field Effect Transistor เป็นอุปกรณ์สารกึ่งตัวนำชนิดหนึ่งซึ่งใช้สนามไฟฟ้าควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันนี้มอสเฟตได้เริ่มเข้ามาแทนที่ไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีโครงสร้างง่าย ขั้นตอนการผลิตน้อย มีขนาดเล็กทำให้ได้ปริมาณโครงสร้างวงจรมากในเนื้อที่จำกัด มีความต้านทานอินพุตสูง (High input impedance) สัญญาณรบกวนต่ำ ในอดีตมอสเฟตก็ยังมีข้อเสียเปรียบไบโพลาร์ทรานซิสเตอร์ คือ ความเร็วในการทำงานต่ำ แต่ในปัจจุบันได้มีการพัฒนาเทคโนโลยีของมอสเฟต ให้สามารถทำงานได้เท่ากับหรือสูงกว่าไบโพลาร์ทรานซิสเตอร์

2.2.1 โครงสร้างของมอสเฟต

มอสเฟตแบ่งชนิดการทำงานได้ 2 ชนิด คือ เอ็นฮานซ์เมนต์มอสเฟต (Enhancement MOSFET) และดีเพลชันมอสเฟต (Depletion MOSFET) ซึ่งแต่ละชนิดนี้สามารถแบ่งออกได้อีก 2 ชนิด คือ P-Channel หรือเรียกว่า PMOS และ N-Channel หรือเรียกว่า NMOS

NMOS ประกอบด้วยส่วนฐานรองที่เป็นสารกึ่งตัวนำชนิดพี (P-Type) ซึ่งมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด ถูกแพร่ลงบนฐานรอง สารกึ่งตัวนำชนิดเอ็น (N-Type) นี้เรียกว่า ซอร์ส (Source) และเดรน (Drain) บนผิวหน้าระหว่างซอร์สกับเดรนจะมีแผ่นฟิล์มบางๆ ของซิลิกอนไดออกไซด์ (SiO_2) ส่วนบนของซิลิกอนไดออกไซด์จะมีโลหะซึ่งทำจากโพลีซิลิกอน ส่วนนี้ถูกเรียกว่า เกต (Gate) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็น และสารกึ่งตัวนำชนิดพีถูกแพร่ลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า PMOS ระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอร์สและเดรน เรียกว่า Channel Length (L) และความกว้างของช่องระหว่างซอร์สและเดรน เรียกว่า Channel Width (W) การทำงาน

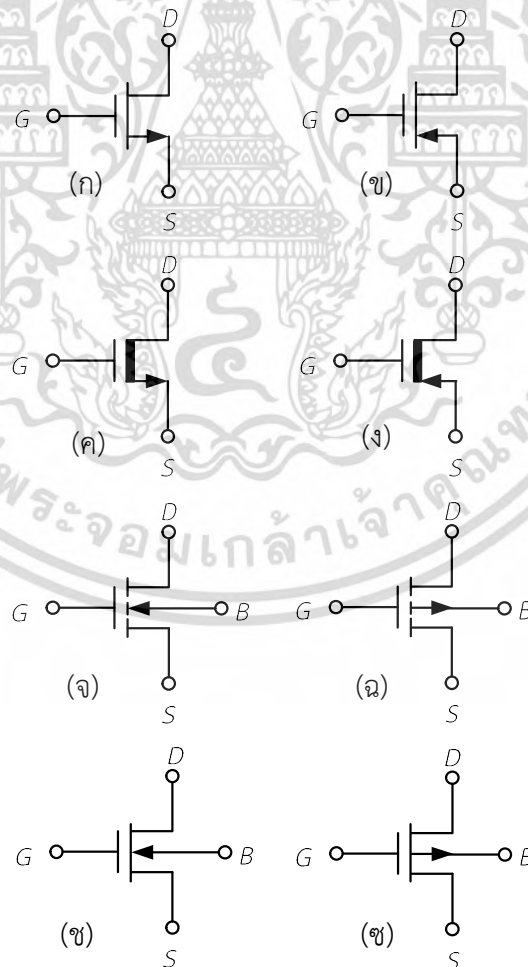
ของ NMOS ขณะที่ไม่มีการจ่ายไบอัสที่เกต มอสจะอยู่ในสภาวะ off ไม่นำกระแส ต่อเมื่อให้แรงดันที่เกตไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเกิดการเหนี่ยวนำอิเล็กตรอนซึ่งเป็นพาหะส่วนน้อยในฐานรองชนิดพี (P-Type Substrate) เกิดเป็นแชลแนลขึ้น เมื่อให้ไบอัสที่ขั้วเดรนเป็นบวกเทียบกับซอร์ส กระแสอิเล็กตรอน ซึ่งเป็นพาหะส่วนมากของซอร์สและเดรนสามารถไหลได้ [27]

2.2.2 สัญลักษณ์ของมอสเฟต

สัญลักษณ์ของมอสเฟตสามารถบอกให้ทราบได้ว่าเป็นมอสเฟตชนิด N-Channel หรือ P-Channel โดยดูที่หัวลูกศรที่ขาซอร์ส หากหัวลูกศรหันเข้าหาขาเกต แสดงว่าเป็น PMOS กรณีหัวลูกศรหันออกแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (Body) ถ้าหัวลูกศรหันเข้าหาขาเกต แสดงว่าเป็น NMOS หากหัวลูกศรหันออกแสดงว่าเป็น PMOS สัญลักษณ์ของมอสเฟตยังสามารถบอกได้อีกว่า มอสเฟตเป็นชนิด Enhancement หรือ Depletion อีกด้วย ดังรูปที่ 2.2

รูปที่ 2.2 แสดงสัญลักษณ์ของมอสเฟตชนิดต่างๆ สัญลักษณ์ในรูปที่ 2.2(ก) คือ Enhancement NMOS เมื่อแรงดันระหว่างบอดี้และซอร์ส (V_{BS}) เป็นศูนย์ สัญลักษณ์ในรูปที่ 2.2(ข) คือ Enhancement PMOS เมื่อ $V_{BS} = 0$ ส่วนสัญลักษณ์ในรูปที่ 2.2(ค) คือ Depletion NMOS เมื่อ $V_{BS} = 0$ สัญลักษณ์ในรูปที่ 2.2(ง) คือ Depletion PMOS เมื่อ $V_{BS} = 0$ สัญลักษณ์ในรูปที่ 2.2(จ) – 2.2(ซ) เป็นสัญลักษณ์ของ NMOS และ PMOS เช่นเดียวกับในรูปที่ 2.2(ก) – 2.2(ง) แตกต่างกันตรงที่ $V_{BS} \neq 0$ [28]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 2.2 สัญลักษณ์แบบต่างๆ ของมอสเฟตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 คุณสมบัติการทำงานของมอสเฟต

การทำงานของมอสเฟต มีลักษณะใช้ศักดาไฟฟ้าควบคุมปริมาณของกระแส สมการของมอสเฟตถูกคิดค้นโดย Sah เมื่อปี 1964 [29] ดังสมการที่ (2.3) ซึ่งเป็นคุณสมบัติการทำงานของมอสเฟต

$$I_D = \frac{KW}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} \quad ; \quad V_{GS} \geq V_{TH} \quad (2.3)$$

โดยที่ $K = \mu_n C_{ox}$

μ_n คือ ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{ox} คือ ค่าความจุต่อพื้นที่ของเกตอ็อกไซด์ (Capacitance per unit area of the gate oxide)

W คือ ความกว้างของแชนแนล (Channel Width)

L คือ ความยาวของแชนแนล (Channel Length)

V_{GS} คือ ความต่างศักย์ระหว่างเกตกับซอร์ส

V_{TH} คือ แรงดันเทรชโฮลด์ (Threshold Voltage)

V_{DS} คือ ความต่างศักย์ระหว่างเดรนกับซอร์ส

I_D คือ กระแสเดรน

มอสเฟตมีการทำงานแบ่งเป็น 3 ช่วง โดยแต่ละช่วงการทำงานขึ้นอยู่กับค่า $V_{GS} - V_{TH}$ และค่า $|V_{GS}| - |V_{TH}|$ เป็นศูนย์หรือเป็นค่าลบ มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cut off)

$$I_D = 0 \quad ; \quad |V_{GS}| - |V_{TH}| < 0 \quad (2.4)$$

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด (Open circuit) ถ้า $|V_{GS}| - |V_{TH}| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_{TH}|$ แล้ว มอสเฟตจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Non-saturation)

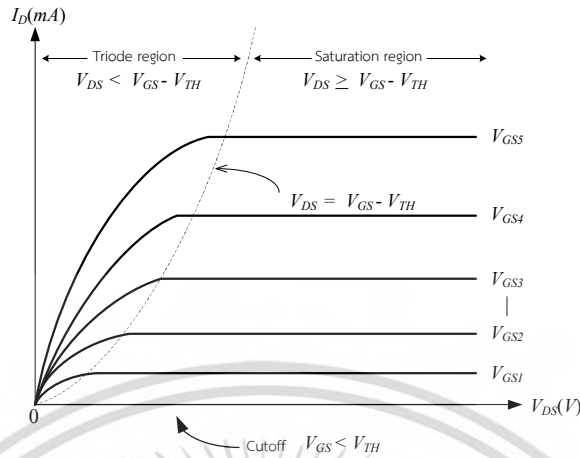
$$I_D = \frac{KW}{L} \left\{ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (2.5)$$

ถ้า $|V_{GS}| - |V_{TH}| > 0$ และ $|V_{DS}| \geq |V_{GS}| - |V_{TH}|$ แล้ว มอสเฟตจะทำงานในช่วงของการนำกระแสอิ่มตัว (Saturation)

$$I_D = \frac{KW}{2L} (V_{GS} - V_{TH})^2 \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติทางเอาต์พุตของมอสเฟต แสดงไว้ดังรูปที่ 2.3

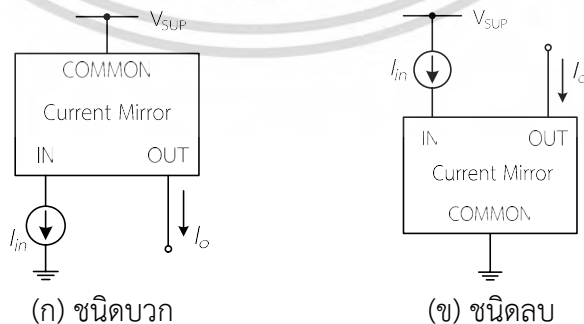


รูปที่ 2.3 คุณสมบัติทางเอาต์พุตของมอสเฟต

2.3 วงจรสะท้อนกระแส (Current mirror)

วงจรสะท้อนกระแส (Current mirror) เป็นวงจรที่มีอย่างน้อย 3 ขั้ว ได้แก่ ขั้วจุดร่วม ขั้วขาเข้า และขั้วขาออก โดยขั้วจุดร่วมจะเป็นจุดต่อแหล่งจ่ายไฟหรือกราวนด์ ดังรูปที่ 2.4 วงจรสะท้อนกระแสเป็นวงจรที่ทำหน้าที่สะท้อนกระแสจากกระแสอ้างอิงในสาขา (Branch) หนึ่งไปยังสาขาอื่นๆ [30] โดยกระแสที่ถูกสะท้อนมาหรือกระแสเอาต์พุตที่ถูกสร้างขึ้นใหม่นี้จะมีความสัมพันธ์กับกระแสอินพุตอย่างคงที่ โดยไม่ขึ้นกับแรงดันเอาต์พุต แหล่งจ่ายกำลัง และผลของอุณหภูมิ

ในทางอุดมคตินั้นวงจรสะท้อนกระแสจะมีคุณสมบัติทางไฟฟ้า คือ ความต้านทานจุดเข้าของสัญญาณต่ำและมีความต้านทานจุดออกสูง จากคุณสมบัตินี้ทำให้วงจรสะท้อนกระแสได้ถูกนำมาประยุกต์ใช้ในงานต่างๆ เป็นอย่างมาก เช่น ภาคขยายกำลังของระบบเซอร์โวมอเตอร์ ภาคขยายกำลังในเครื่องขยายเสียง ภาคขยายสัญญาณส่วนหน้าของเครื่องมือวัด ใช้เป็นภาระของวงจรขยายสัญญาณขนาดเล็กในวงจรรวม และใช้เป็นวงจรส่งผ่านกระแส เป็นต้น โดยทั่วไปแล้วสามารถสร้างขึ้นมาจากทั้งไบโพลาร์และมอสทรานซิสเตอร์ แต่จะกล่าวถึงเฉพาะมอสทรานซิสเตอร์เท่านั้น

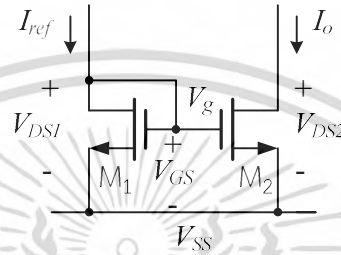


รูปที่ 2.4 บล็อกไดอะแกรมของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 วงจรสะท้อนกระแสแบบใช้มอสทรานซิสเตอร์

วงจรสะท้อนกระแสแบบใช้มอสทรานซิสเตอร์ อาศัยหลักการที่ว่า หากแรงดันไบอัสที่เกต-ซอร์สของมอสทรานซิสเตอร์ที่เหมือนกันสองตัวมีค่าเท่ากันแล้ว กระแสเดรนจะเท่ากันด้วย [28] จากรูปที่ 2.5 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล (N-channel current mirror) โดยมีแหล่งกำเนิดกระแสคงที่ I_{ref} เป็นกระแสที่ทางเข้าและ I_o เป็นกระแสที่ทางออกหรือกระแสที่ถูกสะท้อนโดยมอสทรานซิสเตอร์ M_1 ที่ $V_{DS1} = V_{GS}$ เมื่อสมมติให้มอสทรานซิสเตอร์ M_2 มีค่า $V_{DS2} \geq V_{GS} - V_{TH}$ ดังนั้นมอสทรานซิสเตอร์ M_2 จะทำงานในช่วงอิ่มตัว มีค่ากระแสเดรนคือ



รูปที่ 2.5 วงจรสะท้อนกระแสแบบพื้นฐานที่ใช้มอสชนิดเอ็นแชนแนล

$$I_D = \frac{k}{2} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}); \quad 0 < (V_{GS} - V_{TH}) \leq V_{DS} \quad (2.7)$$

เมื่อ $k = \frac{\mu_n C_{ox} W}{L}$, λ เป็น Channel-length modulation ซึ่งจะได้อัตราส่วนของกระแสเอาต์พุต I_o ต่อกระแสที่ทางเข้า I_{ref} ดังนี้

$$\frac{I_o}{I_{ref}} = \left(\frac{W_2 L_1}{L_2 W_1} \right) \left(\frac{V_{GS} - V_{TH2}}{V_{GS} - V_{TH1}} \right)^2 \left(\frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \right) \left(\frac{\mu_{n2} C_{ox2}}{\mu_{n1} C_{ox1}} \right) \quad (2.8)$$

เนื่องจากมอสทรานซิสเตอร์ทั้งสองตัวเป็นชนิดเดียวกัน โดยทางทฤษฎีแล้วมอสทรานซิสเตอร์ทั้งสองตัวจึงมีความสมพงษ์กันทุกประการ ซึ่งจะทำให้ค่าพารามิเตอร์ในเชิงโครงสร้าง (Physical parameter) เช่น V_{TH} , μ_n , C_{ox} มีค่าที่เท่ากันด้วย ดังนั้นสมการที่ (2.8) สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_o}{I_{ref}} = \left(\frac{W_2 L_1}{L_2 W_1} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (2.9)$$

ถ้า $V_{DS2} = V_{DS1}$ และมอสทรานซิสเตอร์ทั้งสองตัวมีความสมพงษ์กัน ค่า λ ก็จะไม่นำมาพิจารณา ทำให้ได้ว่าสมการใหม่คือ

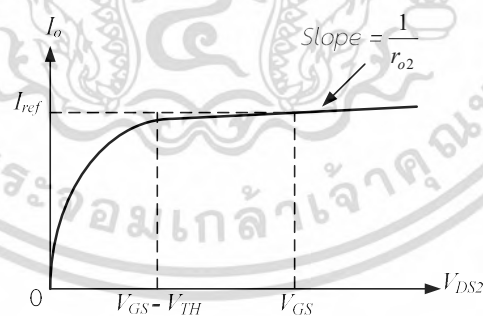
$$\frac{I_o}{I_{ref}} = \frac{L_1 W_2}{W_1 L_2} \quad (2.10)$$

จากสมการที่ (2.10) จะเห็นว่าอัตราส่วน $\frac{I_o}{I_{ref}}$ จะขึ้นอยู่กับค่าความกว้างและความยาวของช่องทางเดินกระแส ซึ่งสามารถที่จะกำหนดค่าเหล่านี้ได้ในขั้นตอนของการออกแบบวงจร หากกำหนดให้ $\frac{W_1}{L_1} = \frac{W_2}{L_2}$ แล้ว จะได้กระแสที่เอาต์พุตเท่ากับกระแสที่อินพุต โดย M_2 จะทำหน้าที่เสมือนเป็นแหล่งจ่ายกระแสคงที่ที่เอาต์พุต

จากการทำงานข้างต้นได้ความสัมพันธ์ว่า มอสทรานซิสเตอร์ M_2 ทำงานอยู่ในช่วงอิมิตัวจึงจะ ได้ความสัมพันธ์ตามสมการที่ (2.11) ดังนั้นแรงดัน V_{DS2} ค่าต่ำสุดที่ทำให้วงจรทำงานได้อย่างเหมาะสมคือ

$$V_{DS2} = V_{GS} - V_{TH} \quad (2.11)$$

สำหรับในทางปฏิบัติแล้วนั้นจะมีผลของ Channel length modulation เข้ามาเกี่ยวข้องด้วย ซึ่งจะมีผลต่อการเปลี่ยนแปลงการทำงานของแหล่งกำเนิดกระแสคงที่ แต่หากพิจารณาในกรณีที่ มอสทรานซิสเตอร์ทั้งสองตัวสมพงษ์กันแล้ว กระแสเดรนของ M_2 จะเท่ากับกระแสเดรนของ M_1 โดยที่ค่าแรงดันเดรน-ซอร์สของ M_2 เท่ากับแรงดันเดรน-ซอร์สของ M_1 นั่นคือ $V_{DS2} = V_{GS}$ และเมื่อ V_{DS2} มีค่าเพิ่มมากขึ้น ค่า I_o จะเพิ่มขึ้นตาม ค่าความต้านทานเอาต์พุตของ M_2 (r_{o2}) ที่เพิ่มขึ้นสามารถอธิบายได้จากกราฟในรูปที่ 2.6 เมื่อ M_2 ทำงานที่ V_{GS} คงที่ค่าหนึ่งโดยขึ้นอยู่กับกระแส I_{ref} ที่ไหลผ่าน M_1



รูปที่ 2.6 คุณสมบัติที่เอาต์พุตของวงจรในรูปที่ 2.5 ในกรณี M_1 และ M_2 สมพงษ์กัน

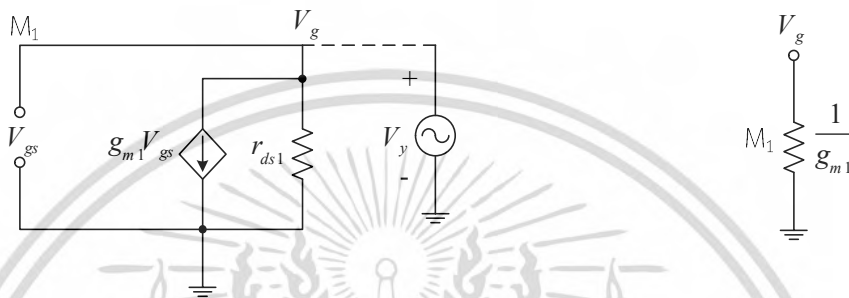
จากกราฟรูปที่ 2.6 สามารถหาค่าความต้านทานเอาต์พุต R_o ของวงจร ได้ดังนี้

$$R_o = \frac{\partial V_{DS2}}{\partial I_o} = r_{o2} = \frac{V_{A2}}{I_o} = \frac{1}{\lambda I_o} \quad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

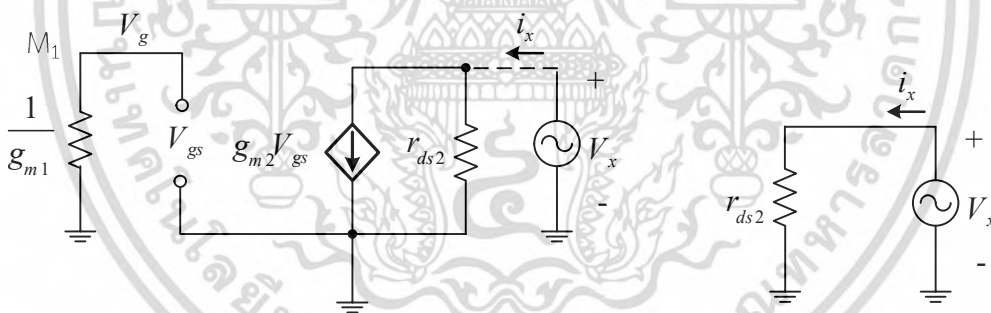
V_{A2} คือ แรงดันจุดเริ่มของ M_2 ซึ่งแปรผันตามค่าความยาวของช่องทางเดินกระแส เมื่อพิจารณาแบบจำลองสัญญาณขนาดเล็กเฉพาะของ M_1 ในรูปที่ 2.7 (ก) พบว่า M_1 ถูกต่อเสมือนเป็นไดโอดตัวหนึ่ง I_o ถูกแทนด้วยวงจรถัด เาต์พุตอิมพีแดนซ์ของ M_1 สามารถหาได้โดยป้อนสัญญาณแรงดันทดสอบ V_y ที่ขั้วต่อ V_g ได้สัญญาณกระแส I_y มีค่าเท่ากับ

$$I_y = \frac{V_y}{r_{ds1}} + g_{m1}v_{gs} = \frac{V_y}{r_{ds1}} + g_{m1}V_y \tag{2.13}$$



(ก) แบบจำลองสัญญาณขนาดเล็ก (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็ก

รูปที่ 2.7 แบบจำลองและวงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กของ M_1



(ก) แบบจำลองสัญญาณขนาดเล็ก (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็ก

รูปที่ 2.8 แบบจำลองและวงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแส

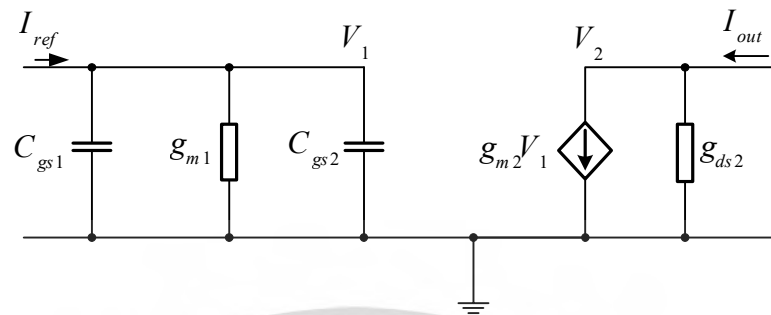
ส่วนค่าเอาต์พุตอิมพีแดนซ์ของ M_1 เท่ากับ $\frac{1}{g_{m1}} // r_{ds}$ แต่เนื่องจาก $r_{ds1} \gg \frac{1}{g_{m1}}$ ดังนั้นค่าเอาต์พุตอิมพีแดนซ์จึงถูกประมาณว่ามีค่าเท่ากับ $\frac{1}{g_{m1}}$ ดังในรูปที่ 2.7 (ข) จากวงจรสมมูลของ M_1 ใน

รูปที่ 2.8 (ก) เมื่อ V_{gs} ต่อลงกราวด์จะทำให้ไม่มีกระแสไหลผ่านตัวต้านทาน $\frac{1}{g_{m1}}$ และ $g_{m2}V_{gs}$

เท่ากับศูนย์ จึงได้วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กดังรูปที่ 2.8 (ข) ค่าเอาต์พุตอิมพีแดนซ์ของสัญญาณขนาดเล็กมีค่าเท่ากับ r_{ds2}

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.9 สามารถหาฟังก์ชันการส่งผ่าน (Transfer function) ได้โดยสมมติให้แหล่งกำเนิดคงที่ในรูปที่ 2.9 เท่ากับ I_{ref}



รูปที่ 2.9 วงจรสมมูลของสัญญาณขนาดเล็กของวงจรสะท้อนกระแสในรูปที่ 2.5

พิจารณาที่โหนด V_1

$$V_1 = \frac{I_{ref}(s)}{sC_{gs1} + g_{m1} + sC_{gs2}} \quad (2.14)$$

และที่โหนด V_2

$$I_{out}(s) = g_{m2}V_1 \quad (2.15)$$

แทนสมการที่ (2.14) ลงใน (2.15) จะได้ฟังก์ชันส่งผ่านดังนี้

$$\frac{I_{out}(s)}{I_{ref}(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \quad (2.16)$$

กรณีความถี่ต่ำถึงความถี่ปานกลางจะได้ฟังก์ชันส่งผ่านดังนี้

$$\frac{I_{out}}{I_{ref}} = \frac{g_{m2}}{g_{m1}} \quad (2.17)$$

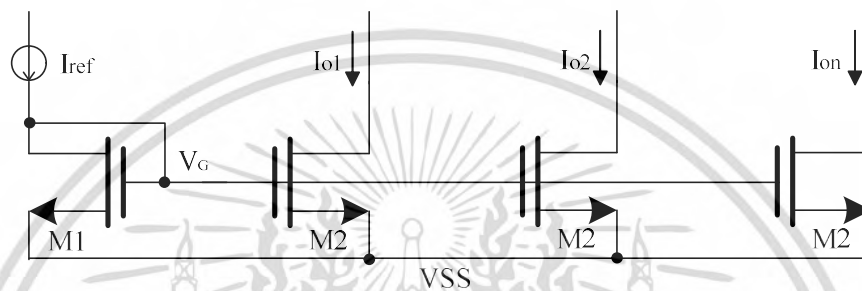
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 วงจรสะท้อนกระแสแบบมีจุดออกหลายจุด

วงจรสะท้อนกระแสแบบมีจุดออกหลายจุดแสดงดังรูปที่ 2.10 ถ้ามอสทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันแล้วจะได้ค่าความสัมพันธ์ระหว่างกระแสจุดออก I_o กับกระแสจุดเข้า I_{ref} ดังนี้

$$\frac{I_{on}}{I_{ref}} = \frac{W_n L_1}{L_n W_1} \quad (2.18)$$

เมื่อ n คือ ลำดับจุดออกของกระแสของมอสทรานซิสเตอร์ลำดับที่ n



รูปที่ 2.10 วงจรสะท้อนกระแสแบบมีจุดออกหลายจุด

2.4 หลักการของวงจรกรองความถี่ (Principle of Filter Circuits)

วงจรกรองความถี่เป็นวงจรที่มีบทบาทสำคัญวงจรหนึ่งในทางด้านวิศวกรรมไฟฟ้าในสาขาต่างๆ มากมาย และเป็นวงจรที่เป็นองค์ประกอบสำคัญของระบบสื่อสารโทรคมนาคมต่างๆ เช่น ในระบบการกระจายเสียง (Broadcasting systems) ระบบสื่อสารดาวเทียม (Satellite systems) เป็นต้น วงจรกรองความถี่สามารถแบ่งออกเป็นประเภทใหญ่ๆ ได้ 2 ประเภท ได้แก่ วงจรกรองความถี่แบบดิจิทัล (Digital filter) หรือสัญญาณที่ไม่มีความต่อเนื่องทางเวลา (Discrete-time signals) และวงจรกรองความถี่แบบแอนาล็อก (Analog filter) ซึ่งเป็นวงจรกรองความถี่ที่ถูกใช้กับสัญญาณที่มีความต่อเนื่องทางเวลา (Continuous-time signals) โดยวงจรกรองแบบแอนาล็อกนั้นยังสามารถแบ่งออกเป็นประเภทย่อยๆ ได้อีก 2 ประเภท คือ วงจรกรองความถี่ประเภทพาสซีฟ (Passive filter) ซึ่งเป็นวงจรกรองความถี่ที่สร้างจากอุปกรณ์พาสซีฟ เช่น ขดลวดตัวนำและตัวต้านทาน หรือสร้างมาจากตัวต้านทานและตัวเก็บประจุ และวงจรกรองความถี่อีกประเภทหนึ่ง คือ วงจรกรองความถี่ประเภทแอกทีฟ (Active filter) เป็นวงจรกรองความถี่ที่สร้างมาจากอุปกรณ์ประเภทแอกทีฟ เช่น ออปแอมป์ OTA วงจรสายพานกระแส ฯลฯ ต่อร่วมกับอุปกรณ์พาสซีฟ เช่น ตัวต้านทานและตัวเก็บประจุ เป็นต้น [31]

รายละเอียดของวงจรกรองความถี่ที่จะกล่าวถึงเพื่อเป็นพื้นฐานเบื้องต้นนั้น จะเป็นหลักการโดยทั่วไปของวงจรกรองความถี่ และจะเป็นการกล่าวถึงรูปแบบโดยทั่วไปของสมการการถ่ายโอนของวงจรกรองความถี่แบบแอนาล็อกที่มีรูปแบบของสมการการถ่ายโอนของวงจรเป็นแบบไบควอด (Biquadratic function) เป็นหลัก

ระบบของวงจรรองความถี่สามารถเขียนแสดงได้ดังรูปที่ 2.11



รูปที่ 2.11 ระบบของวงจรรองความถี่

เมื่อ $x(t)$ คือ สัญญาณทางด้านขาเข้า

$y(t)$ คือ สัญญาณทางด้านขาออก

และ $h(t)$ คือ สัญญาณตอบสนองต่อสัญญาณแบบอิมพัลส์ (Impulse response) ของระบบซึ่งถ้าให้วงจรรองความถี่ภายใต้การพิจารณาเป็นระบบที่มีคุณสมบัติเป็นแบบคอซอล (Causal) เป็นแบบเชิงเส้น (Linear) และเป็นระบบที่ไม่เปลี่ยนแปลงตามเวลา (Time - invariant) แล้ว $y(t)$ จะสัมพันธ์กับตัวแปรอื่นสามารถแสดงให้อยู่ในรูปของสมการดังต่อไปนี้

$$y(t) = \int_0^t h(t-\tau)x(\tau)d\tau \quad (2.19)$$

เมื่อทำการแปลงลาปลาซของสมการที่ (2.19) จะได้ผลการแปลงลาปลาซคือ

$$Y(s) = H(s)X(s) \quad (2.20)$$

โดย $Y(s)$, $X(s)$ และ $H(s)$ คือผลการแปลงลาปลาซของ $y(t)$, $x(t)$ และ $h(t)$ ตามลำดับ

เมื่อพิจารณาบนแกนความถี่ $s = j\omega$ สมการที่ (2.20) สามารถเขียนแสดงอยู่ในรูปส่วนประกอบของขนาดและเฟสได้ดังนี้ คือ

$$|Y(s)| = |H(s)||X(s)| \quad (2.21)$$

$$\text{และ} \quad \phi_{Y(j\omega)} = \phi_{H(j\omega)} + \phi_{X(j\omega)} \quad (2.22)$$

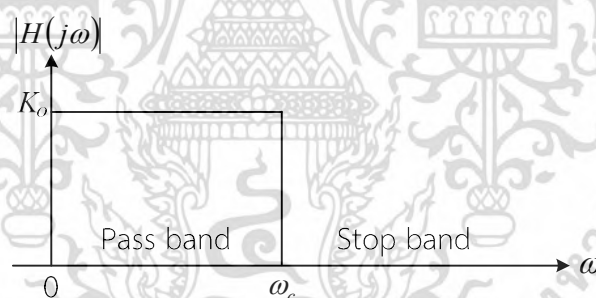
โดย $\phi_{Y(j\omega)}$ คือค่าเฟสของ $Y(j\omega)$, $\phi_{H(j\omega)}$ คือค่าเฟสของ $H(j\omega)$ และ $\phi_{X(j\omega)}$ คือค่าเฟสของ $X(j\omega)$

หลักการโดยทั่วไปของวงจรรองความถี่นั้น คือ ทำหน้าที่ในการแยกสัญญาณที่ไม่ต้องการออกจากสัญญาณที่ต้องการ ตัวอย่างที่เห็นได้ชัด เช่น ในการส่งสัญญาณวิทยุซึ่งสัญญาณที่ส่งมาจากทางด้านสถานีส่งนั้นจะเป็นสัญญาณที่มาจากทุกๆ สถานีที่ทำการกระจายเสียง รวมทั้งสัญญาณรบกวนที่เกิดขึ้นขณะทำการกระจายเสียง การปรับค่าความถี่เพื่อรับฟังรายการจากสถานีใดสถานีหนึ่งนั้น จะทำได้โดยการกรองเอาสัญญาณของสถานีอื่นๆ ที่ไม่ต้องการฟังรวมทั้งสัญญาณรบกวนออกให้เหลือเพียงสัญญาณของสถานีที่ต้องการจะรับฟังเท่านั้น โดยเมื่อพิจารณาสมการที่ (2.21) จะเห็นได้ว่า เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของสัญญาณทางด้านขาออกนั้นเป็นผลคูณของค่าขนาดของสัญญาณขาเข้ากับค่าขนาดของฟังก์ชันของการตอบสนองในเชิงความถี่ (Frequency response function) ของวงจรกรองความถี่ ถ้าหากค่าฟังก์ชันขนาด (Magnitude Function) ของ $H(j\omega)$ มีค่าเท่ากับศูนย์ในช่วงแถบความถี่ระหว่าง ω_{s1} และ ω_{s2} ก็แสดงว่าสัญญาณทางด้านขาออกจะมีค่าขนาดเท่ากับศูนย์ ไม่ว่าจะสัญญาณทางด้านขาเข้านั้นจะมีค่าเท่าไรอยู่ในช่วง $(\omega_{s1}, \omega_{s2})$ ซึ่งโดยทั่วไปช่วงความถี่ $(\omega_{s1}, \omega_{s2})$ จะเรียกว่าแถบหยุด (Stop band) ของวงจร $H(j\omega)$ นั้น ในทำนองเดียวกันเมื่อค่าฟังก์ชันของขนาดของ $H(j\omega)$ มีค่าไม่เท่ากับศูนย์ในช่วงแถบความถี่ระหว่าง ω_{p1} และ ω_{p2} ก็จะทำให้สัญญาณทางด้านขาออกจะมีค่าขนาดเป็นไปตามสมการที่ (2.21) ในช่วงความถี่ $(\omega_{p1}, \omega_{p2})$ ซึ่งช่วงความถี่นี้มีชื่อเรียกว่าแถบผ่าน (Pass band) ของวงจร $H(j\omega)$ นั้น

จากธรรมชาติการตอบสนองของฟังก์ชันขนาดของ $H(j\omega)$ ในช่วงของแถบความถี่ที่แตกต่างกันของวงจร ทำให้วงจรกรองความถี่สามารถแบ่งออกเป็นแบบย่อยๆ ได้อีก 4 แบบตามคุณลักษณะของแถบหยุดและแถบผ่านของวงจร ซึ่งเพื่อให้สะดวกในการอธิบายจึงขอสมมุติให้วงจรกรองความถี่ที่จะกล่าวถึงต่อไปนี้เป็นวงจรกรองความถี่ในเชิงอุดมคติ นั่นคือ การตอบสนองทางเฟสเป็นแบบเชิงเส้นและมีค่าการสูญเสียทางขนาดเป็นศูนย์ในช่วงแถบผ่านของวงจรและให้การสูญเสียในแถบหยุดของวงจรมีค่าเป็นอนันต์ ($|H(j\omega)| = 0$)

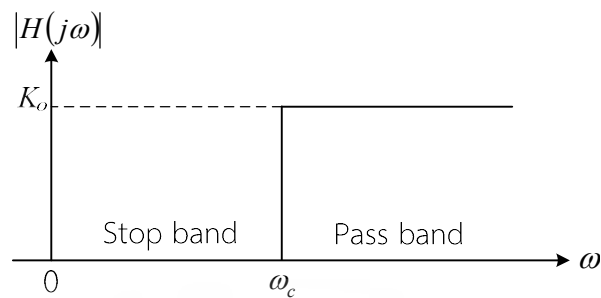
2.4.1 วงจรกรองความถี่แบบความถี่ต่ำผ่าน (Low-pass filter: LPF)



รูปที่ 2.12 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบความถี่ต่ำผ่านในทางอุดมคติ

วงจรกรองความถี่แบบความถี่ต่ำผ่านเป็นวงจรกรองความถี่ที่มีแถบความถี่ผ่านอยู่ในช่วงระหว่าง 0 ถึงความถี่คัทออฟ (Cut-off frequency) ω_c ในขณะที่ช่วงความถี่ที่สูงกว่าความถี่คัทออฟจะเป็นช่วงความถี่แถบหยุดของวงจร ในกรณีเช่นนี้ค่าแบนด์วิดท์ (Bandwidth) ของวงจรมีค่าเท่ากับ ω_c จะพบว่า การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบความถี่ต่ำผ่านในแบบอุดมคตินั้นแสดงดังรูปที่ 2.12

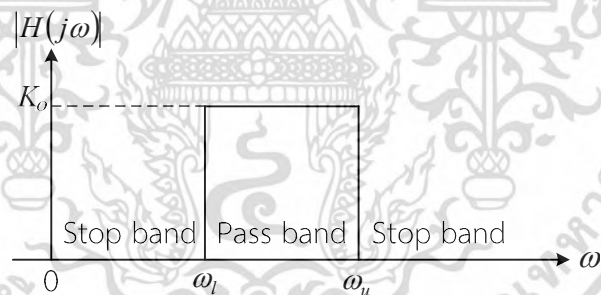
2.4.2 วงจรกรองความถี่แบบความถี่สูงผ่าน (High-pass filter: HPF)



รูปที่ 2.13 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบความถี่สูงผ่านในทางอุดมคติ

วงจรกรองความถี่แบบความถี่สูงผ่านเป็นวงจรกรองความถี่ที่มีแถบหยุดอยู่ในช่วงความถี่ต่ำระหว่าง 0 และความถี่คัทออฟ ω_c ในขณะที่วงจรจะยอมให้ความถี่สูงกว่าความถี่คัทออฟผ่านวงจรไปได้ ซึ่งการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่สูงผ่านในแบบอุดมคตินั้นแสดงในรูปที่ 2.13

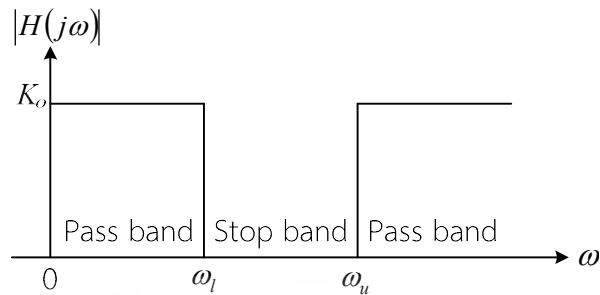
2.4.3 วงจรกรองความถี่แบบแถบความถี่ผ่าน (Band-pass filter: BPF)



รูปที่ 2.14 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบแถบความถี่ผ่านในทางอุดมคติ

วงจรกรองความถี่แบบแถบความถี่ผ่าน เป็นวงจรกรองความถี่ที่มีแถบความถี่ผ่านของวงจรอยู่ในช่วงระหว่างความถี่คัทออฟของความถี่ คือ ω_l และ ω_u ($\omega_u > \omega_l$) ในขณะที่แถบหยุดของวงจรจะมีอยู่สองแถบคือ ในช่วงระหว่างความถี่ 0 ถึงความถี่คัทออฟ ω_l และในช่วงความถี่ที่สูงกว่าความถี่คัทออฟ ω_u สำหรับผลการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบแถบความถี่ผ่านในแบบอุดมคตินั้นจะมีดังแสดงในรูปที่ 2.14

2.4.4 วงจรกรองความถี่แบบกำจัดแถบความถี่ (Band-reject filter: BRF)



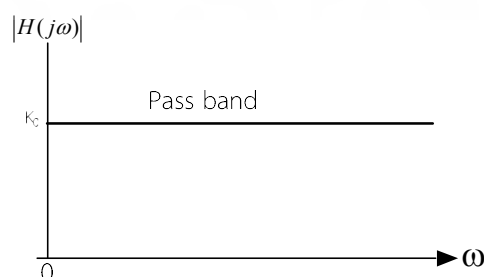
รูปที่ 2.15 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบกำจัดแถบความถี่ในทางอุดมคติ

วงจรกรองความถี่แบบแถบความถี่หยุดเป็นวงจรกรองความถี่ที่มีแถบหยุดอยู่ในช่วงระหว่างความถี่คutoff สองความถี่คือ ω_l และ ω_u ($\omega_u > \omega_l$) ในขณะที่แถบความถี่ผ่านของวงจรจะมีอยู่สองแถบ คือ ในช่วงระหว่างความถี่ 0 ถึงความถี่คutoff ω_l และในช่วงของความถี่ที่สูงกว่าความถี่คutoff ω_u สำหรับผลการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองความถี่แบบแถบความถี่หยุดในแบบอุดมคติแสดงดังรูปที่ 2.15

วงจรกรองความถี่ที่มีการตอบสนองเชิงความถี่ตามอุดมคตินั้น ไม่สามารถสร้างขึ้นได้จริงซึ่งในทางปฏิบัตินั้นวงจรที่มีผลตอบสนองเชิงความถี่ที่ประมาณคล้ายกับผลตอบสนองในอุดมคติมาปฏิบัติการต่างๆ เท่านั้น วงจรทางปฏิบัติเบื้องต้นแบบง่าย ๆ คือ วงจรกรองความถี่ชนิดที่เรียกว่า วงจรกรองความถี่แบบไบควอด (Biquad) หรือวงจรกรองอันดับสอง (Second order) ซึ่งคุณสมบัติของวงจรไบควอดนั้นจะมีดังที่จะกล่าวถึงต่อไปนี้

2.4.5 วงจรกรองผ่านทุกความถี่ (Allpass filter: APF)

วงจรกรองผ่านทุกความถี่ เป็นวงจรที่ยอมให้สัญญาณทุกความถี่สามารถผ่านไปได้ โดยการตอบสนองทางขนาดจะมีค่าคงที่ตลอดไม่ขึ้นกับค่าความถี่ แต่สิ่งที่น่าสนใจคือผลตอบสนองทางเฟสของวงจร เป็นฟังก์ชันของความถี่ ซึ่งวงจรกรองสัญญาณผ่านทุกความถี่นั้น มีประโยชน์ในการนำมาใช้เป็นวงจรเลื่อนเฟส ให้สัญญาณเอาต์พุตมีเฟสสัญญาณที่แตกต่างจากอินพุต สำหรับผลการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองแถบความถี่หยุดในแบบอุดมคติแสดงดังรูปที่ 2.16



รูปที่ 2.16 การตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองผ่านทุกความถี่ในทางอุดมคติ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรองความถี่ที่มีการตอบสนองเชิงความถี่ตามอุดมคติ นั้นไม่สามารถสร้างขึ้นได้จริงซึ่งในทางปฏิบัตินั้นคงใช้วงจรที่มีผลตอบสนองเชิงความถี่ที่ประมาณคล้ายกับผลตอบสนองในอุดมคติมาปฏิบัติการต่างๆ เท่านั้น วงจรทางปฏิบัติเบื้องต้นแบบง่าย ๆ คือ วงจรรองความถี่ชนิดที่เรียกว่า วงจรรองความถี่แบบไบควอด (Biquad) หรือวงจรรองอันดับสอง (Second order) ซึ่งคุณสมบัติของวงจบบิควอดนั้นจะมีดังที่จะกล่าวถึงต่อไปนี้ [31]

2.4.6 รูปแบบสมการฟังก์ชันการถ่ายโอนของวงจรรองความถี่แบบไบควอด

สมการแสดงฟังก์ชันการถ่ายโอนของวงจรรองความถี่แบบไบควอดนั้นจะมีรูปแบบมาตรฐานเป็นดังนี้ คือ

$$H(s) = K \frac{s^2 + \frac{\omega_z}{Q_z} s + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.23)$$

โดย ω_z , Q_z , ω_p และ Q_p คือ ค่าพารามิเตอร์ที่แสดงถึงค่าความถี่ของซีโร (Zero) ค่าควอลิตี้แฟกเตอร์ของซีโร ค่าความถี่ของโพล และค่าควอลิตี้แฟกเตอร์ของโพล ของฟังก์ชันการถ่ายโอน $H(s)$ นั้นตามลำดับ

เมื่อค่าพารามิเตอร์ในสมการที่ (2.23) เปลี่ยนไป จะทำให้ได้วงจรรองความถี่ชนิดต่างๆ คือ วงจรรองความถี่แบบความถี่ต่ำผ่าน ความถี่สูงผ่าน แถบความถี่ผ่าน และความถี่หยุด ซึ่งรูปแบบของฟังก์ชันการถ่ายโอนของวงจรรองสัญญาณแบบต่างๆ ดังกล่าวนั้น มีตามลำดับดังต่อไปนี้ คือ

สมการฟังก์ชันการถ่ายโอนแบบไบควอดของวงจรรองความถี่แบบต่ำผ่าน จะมีรูปแบบสมการดังนี้ คือ

$$H(s) = K \frac{\omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.24)$$

สมการฟังก์ชันการถ่ายโอนแบบไบควอดของวงจรรองความถี่แบบความถี่สูงผ่านนั้นมีลักษณะต่อไปนี้ คือ

$$H(s) = K \frac{s^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.25)$$

สมการฟังก์ชันการถ่ายโอนแบบไบควอดของวงจรรองความถี่แบบแถบความถี่ผ่าน จะมีรูปแบบของสมการโดยเฉพาะเป็น

$$H(s) = K \frac{\frac{\omega_z}{Q_z} s}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.26)$$

สมการฟังก์ชันการถ่ายโอนแบบไบควอดของวงจรรองความถี่แบบแถบความถี่หยุด จะมีลักษณะเฉพาะตัวที่แตกต่างจากฟังก์ชันการถ่ายโอนอื่นๆ ดังนี้คือ

$$H(s) = K \frac{s^2 + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.27)$$

นอกจากวงจรรองความถี่ทั้งสี่รูปแบบที่กล่าวมาแล้วนั้น ยังมีวงจรรองอีกชนิดหนึ่งที่มีใช้งานอยู่ในงานวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ ได้แก่ วงจรรองผ่านทุกความถี่ โดยคุณสมบัติของวงจรรองชนิดนี้จะยอมให้ทุกความถี่ของสัญญาณผ่านไปได้แต่สัญญาณเอาต์พุตจะมีเฟสต่างกับอินพุต ดังนั้น วงจรรองชนิดนี้จึงมักจะถูกนำไปใช้งานในการเลื่อนเฟสสัญญาณ โดยสมการฟังก์ชันการถ่ายโอนแบบไบควอดของวงจรรองความถี่แบบกรองผ่านทุกความถี่แสดงได้ดังนี้

$$H(s) = K \frac{s^2 - \frac{\omega_z}{Q_z} + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.28)$$

2.5 หลักการของวงจรกําเนิดสัญญาณ (Principle of Oscillator Circuits)

วงจรกําเนิดสัญญาณ (Oscillator circuit) เป็นวงจรไฟฟ้าที่สามารถให้กําเนิดสัญญาณได้ในตัวเองโดยจะให้สัญญาณทางด้านขาออก (Output signal) มีรูปแบบเป็นสัญญาณแบบรายคาบ (Periodic signal) โดยไม่จำเป็นต้องมีสัญญาณทางด้านขาเข้า (Input signal) ของวงจรแต่อย่างใด วงจรกําเนิดสัญญาณนั้นเป็นวงจรพื้นฐานอย่างหนึ่งที่เข้ามามีบทบาทสำคัญในทางวิศวกรรมในไฟฟ้าต่างๆ ไม่ว่าจะเป็นในระบบเครื่องมือวัด ระบบการสื่อสารโทรคมนาคม ฯลฯ ในระบบโทรคมนาคมวงจรรออสซิลเลเตอร์สามารถจะถูกใช้เพื่อสร้างสัญญาณคลื่นพาห์ (Carrier signal) เพื่อใช้ในการมอดูเลต (Modulation) สัญญาณหรือเพื่อสร้างสัญญาณนาฬิกาอ้างอิงหลัก (Reference clock signal) ให้แก่ระบบ เป็นต้น [31]

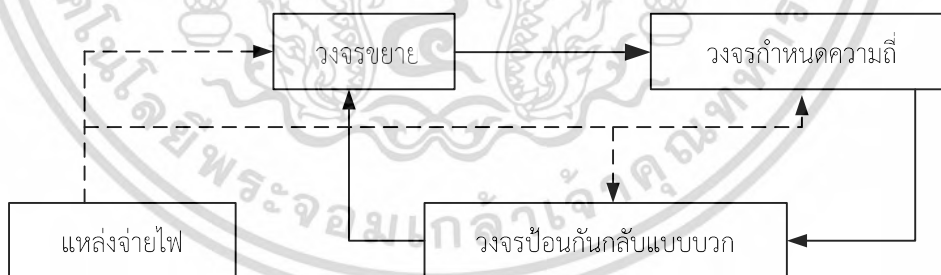
วงจรกําเนิดสัญญาณที่เป็นที่รู้จักกันดีมีอยู่หลายชนิดด้วยกัน ได้แก่ วงจรกําเนิดสัญญาณแบบคริสตัล (Crystal oscillator) วงจรกําเนิดสัญญาณแบบเลื่อนเฟส (Phase shift oscillator) วงจรกําเนิดสัญญาณแบบวินบริดจ์ (Wien - bridge oscillator) วงจรกําเนิดสัญญาณแบบโคลพิทซ์ (Colpitts oscillator) หรือ วงจรกําเนิดสัญญาณแบบฮาร์ทลีย์ (Hartley oscillator) เป็นต้น รูปแบบของสัญญาณที่สร้างขึ้นจากวงจรกําเนิดสัญญาณแบบต่าง ๆ ก็มีอยู่หลายรูปแบบด้วยกัน เช่น สัญญาณซายน์ สัญญาณพัลส์สี่เหลี่ยม สัญญาณสามเหลี่ยมและสัญญาณฟันเลื่อย ฯลฯ อย่างไรก็ตามที่นี้จะกล่าวถึงหลักการเกี่ยวกับวงจรกําเนิดสัญญาณซึ่งกําเนิดสัญญาณรูปซายน์ซึ่งเป็นเรื่องเกี่ยวข้องอยู่กับวงจรกําเนิดสัญญาณที่จะนำเสนออยู่ในงานวิจัยฉบับนี้เท่านั้น ในการออกแบบวงจรกําเนิด

สัญญาณนั้น ผู้ออกแบบจำเป็นต้องคำนึงถึงองค์ประกอบของวงจร เงื่อนไขที่สำคัญในการออกแบบ และต้องมีความเข้าใจในหลักการทำงานที่สำคัญในการกำเนิดรูปสัญญาณของวงจรอีกด้วย

2.4.1 องค์ประกอบของวงจรถูกกำเนิดสัญญาณ

องค์ประกอบหลักที่สำคัญของวงจรถูกกำเนิดสัญญาณที่จำเป็นนั้น ซึ่งองค์ประกอบทั้ง 4 ข้อจัดประกอบกันได้ดังไดอะแกรมในรูปที่ 2.17 สามารถแยกออกได้เป็นดังนี้

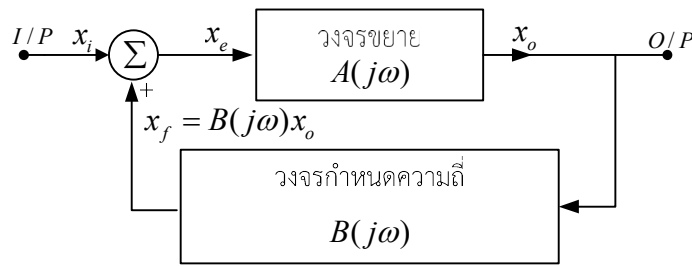
1. ตัวกำเนิดพลังงาน (Energy source) ได้แก่ แหล่งจ่ายไฟ แบตเตอรี่ โดยในงานวิจัยฉบับนี้จะมุ่งเน้นไปที่แหล่งจ่ายไฟกระแสตรงที่มีศักดาคงที่ใช้จ่ายไฟเลี้ยงให้กับอุปกรณ์ต่างๆ ในวงจรเป็นสำคัญ
2. วงจรถูกกำเนิดความถี่ (Frequency-determining circuit) ในการกำเนิดสัญญาณวงจรถูกกำเนิดความถี่จะเป็นวงจรที่สามารถใช้เลือกความถี่ได้ ในลักษณะที่เป็นวงจรกรองแบบแถบความถี่ผ่านซึ่งอาจจะได้แก่ วงจรจูนแบบ LC, วงจรจูนแบบ RC หรือแบบคริสตัล เป็นต้น
3. วงจรขยาย (Amplifier circuit) เป็นวงจรประเภทแอกทีฟซึ่งอาจจะเป็นวงจรขยายแบบทรานซิสเตอร์ แบบเฟต หรือวงจรถูกขยายที่อยู่ในรูปของไอซีอย่างใดอย่างก็ได้ ซึ่งจะทำหน้าที่ดำรงการกำเนิดของสัญญาณไว้ด้วยการชดเชยพลังงานในส่วนที่สูญเสียไปภายในวงจรถูกกำเนิดสัญญาณให้มีค่าคงตัวอยู่เช่นเดิมโดยอัตโนมัติ
4. วงจรป้อนกลับแบบบวก (Positive feedback circuit) เป็นวงจรที่จะนำสัญญาณจากทางด้านขาออกของวงจรถูกกำเนิดสัญญาณกลับไปยังด้านขาเข้าของวงจร โดยสัญญาณทางด้านขาออกที่ป้อนกลับไปสู่ด้านขาเข้าของวงจรถูกกำเนิดสัญญาณนั้นจะต้องจัดให้มีเฟส ตรงกันกับเฟสของวงจรถูกกำเนิดสัญญาณเข้าทั้งนี้ก็เพื่อทำให้เกิดการเสริมสัญญาณกันขึ้นเพื่อจะทำให้สัญญาณคงตัวอยู่ได้



รูปที่ 2.17 องค์ประกอบของวงจรถูกกำเนิดสัญญาณ

2.4.2 คุณสมบัติของวงจรถูกกำเนิดสัญญาณ

วงจรถูกกำเนิดสัญญาณนั้นจัดเป็นโครงข่ายแบบป้อนกลับแบบหนึ่ง ซึ่งมีการป้อนกลับแบบบวกสามารถแสดงบล็อกไดอะแกรมองค์ประกอบการไหลวนของสัญญาณได้ดังรูปที่ 2.18



รูปที่ 2.18 บล็อกไดอะแกรมของวงจรถายกลับ

จากรูปที่ 2.18 สัญลักษณ์ต่างๆ ที่ใช้ในวงจรถายเป็นดังต่อไปนี้

x_i คือ สัญญาณทางด้านขาเข้าของวงจรถายกลับ

x_o คือ สัญญาณทางด้านขาออกของวงจรถายกลับ

x_e คือ สัญญาณผลรวมระหว่าง x_i และ x_o มีค่าเท่ากับ $x_i + x_o$

x_f คือ สัญญาณป้อนกลับ

$A(j\omega)$ คือ ค่าเกนของวงจรถายกลับ

$B(j\omega)$ คือ ค่าเกนของวงจรถายกลับ

จากบล็อกไดอะแกรมจะได้อัตราส่วนของสัญญาณเอาต์พุตกับสัญญาณอินพุตเป็น

$$\frac{x_o}{x_i} = \frac{A(j\omega)}{1 - A(j\omega)B(j\omega)} \quad (2.29)$$

ในการกำเนิดสัญญาณนั้น วงจรถายกลับจะต้องสามารถสร้างสัญญาณเอาต์พุตได้โดยที่ไม่มีสัญญาณอินพุต ($x_i = 0$) ซึ่งเงื่อนไขดังกล่าวจะเป็นจริงได้ก็คือค่าเกนขยายมีค่าเป็นอนันต์ (Infinity) นั่นคือ ค่าส่วนของสมการที่ (2.29) จะต้องมีค่าเป็นศูนย์ กล่าวคือ

$$1 - A(j\omega)B(j\omega) = 0 \quad (2.30)$$

โดยเมื่อเงื่อนไขตามสมการที่ (2.30) เกิดขึ้น ณ ตำแหน่งความถี่ค่าหนึ่ง (สมมติว่าเป็นที่ค่าความถี่ ω) ก็แสดงว่าจะมีการให้กำเนิดสัญญาณที่มีความถี่นั้นขึ้น เกณฑ์การตรวจสอบที่สำคัญที่เป็นที่รู้จักกันดีคือ เกณฑ์ของบาร์คฮูเซน (Barkhausen criterion) ซึ่งเป็นเงื่อนไขที่สำคัญที่รู้จักกันดีในการออกแบบวงจรถายกลับ เกณฑ์ดังกล่าวมีนัยที่กล่าวได้โดยสรุปดังนี้คือ “วงจรถายกลับที่จะสามารถกำเนิดสัญญาณได้อย่างต่อเนื่องนั้นจะต้องมีเกนแบบเปิดลูป (Open-loop gain) เป็นค่าจริงเท่ากับหนึ่ง” [27], [31]-[33] นั่นคือเราจะได้เงื่อนไขของการกำเนิดสัญญาณแยกเป็นสองเงื่อนไขที่จะต้องเกิดพร้อมกันคือ

$$|A(j\omega_o)B(j\omega_o)| = 1 \quad (2.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\angle\{A(j\omega_0)B(j\omega_0)\} = 0 \text{ หรือ } 2n\pi \text{ เมื่อ } n \text{ เป็นจำนวนเต็ม} \quad (2.32)$$

จากที่ได้กล่าวมาแล้วข้างต้นว่าแม้ไม่มีสัญญาณทางด้านขาเข้า วงจรนี้ก็อาจสามารถสร้างสัญญาณทางด้านขาออกได้ คือวงจรจะสามารถให้กำเนิดสัญญาณขึ้นมาได้นั่นเอง อย่างไรก็ตามในทางปฏิบัตินั้นวงจรดังกล่าวจะอาศัยสัญญาณรบกวน (Noise signal) เป็นสัญญาณเริ่มต้นทางด้านขาเข้าให้กับวงจรซึ่งสัญญาณรบกวนนี้อาจจะมาจากแหล่งกำเนิดใดๆ ก็ได้ เช่น สัญญาณรบกวนที่เกิดขึ้นมาจากแหล่งจ่ายไฟเลี้ยงของวงจรเอง เป็นต้น

อย่างไรก็ตามเพื่อพิจารณากันโดยธรรมชาติแล้วนั้น วงจรกำเนิดสัญญาณโดยทั่วไปนั้นจะเป็นวงจรประเภทไม่เป็นเชิงเส้น (Nonlinear circuit) หากแต่การวิเคราะห์ห้วงจรนั้นได้ใช้หลักการการวิเคราะห์แบบเป็นเชิงเส้นดังกล่าวข้างต้น ดังนั้นเงื่อนไขที่ได้จึงสามารถที่จะกำหนดได้แต่เพียงความถี่ของสัญญาณเท่านั้นแต่จะไม่สามารถกำหนดขนาดของสัญญาณที่กำเนิดขึ้นได้ดังจะเห็นได้จากเกณฑ์การตรวจสอบของบาร์คอสเซ่นที่กล่าวไว้นั้นแสดงแต่เพียงว่า ณ ความถี่ของการกำเนิดสัญญาณจะมีค่าเฟสของสัญญาณเท่ากับ $2n\pi$ (n เป็นเลขจำนวนเต็ม) สำหรับการควบคุมขนาดของสัญญาณที่ถูกกำเนิดขึ้นมานั้นที่นิยมใช้กันมีอยู่ 2 วิธีคือ ทำการเพิ่มวงจรในส่วนที่จะทำหน้าที่รักษาระดับของสัญญาณ หรือใช้หลักการของการจำกัดขนาดด้วยตัวเอง (Self-limiting) ของอุปกรณ์ภายในวงจร เช่น วงจรกำเนิดสัญญาณที่สร้างขึ้นจากทรานซิสเตอร์ (Transistor) ในขณะเริ่มต้นเมื่อสัญญาณมีค่าต่ำทรานซิสเตอร์จะมีค่าเกนที่สูง ทำให้ค่าลูบเกนของวงจรจะมีค่ามากกว่า 1 ณ ตำแหน่งความถี่ที่มีค่าเฟสเท่ากับ $2n\pi$ แต่เมื่อขนาดของสัญญาณเพิ่มขึ้นจะทำให้ทรานซิสเตอร์เริ่มอิ่มตัว (Saturate) ทำให้ทรานซิสเตอร์มีเกนลดลงซึ่งจะทำให้ลูบเกนของวงจรจะลดลงจนกระทั่งทำให้สัญญาณมีขนาดที่คงที่ได้ในที่สุด

2.5. งานวิจัยที่เกี่ยวข้อง

เนื่องจากวิทยานิพนธ์นี้มีวัตถุประสงค์สังเคราะห์และออกแบบวงจรกรองความถี่ลำดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์และวงจรมกำเนิดสัญญาณไซน์หลายเฟสโดยใช้ VDDDA เป็นอุปกรณ์แอกทีฟหลัก ดังนั้นจึงจำเป็นต้องศึกษาและวิเคราะห์ถึงข้อดีข้อด้อยของวงจรกรองความถี่ลำดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์และวงจรมกำเนิดสัญญาณไซน์หลายเฟสโดยใช้ VDDDA เป็นอุปกรณ์แอกทีฟที่ได้มีผู้นำเสนอไว้แล้วในอดีต เพื่อเป็นแนวทางในการศึกษา สังเคราะห์ ออกแบบ และพัฒนา จากการศึกษาพบว่าได้มีนักวิจัยจากหลายประเทศได้นำเสนอไว้ ซึ่งจะแสดงรายละเอียดดังต่อไปนี้

อุปกรณ์แอกทีฟสำเร็จรูป VDDDA นั้นย่อมาจาก Voltage Differencing Differential Difference Amplifier การใช้อุปกรณ์แอกทีฟสำเร็จรูป (Active Building Block) ในการออกแบบวงจรอิเล็กทรอนิกส์ได้รับความนิยมเป็นอย่างมาก เนื่องจากให้ความสะดวกในการออกแบบในเรื่องของจำนวนอุปกรณ์และการวิเคราะห์ห้วงจร [1]-[4] ด้วยข้อดีดังกล่าวจึงมีการนำเสนออุปกรณ์แอกทีฟสำเร็จรูปจำนวนมาก เช่น ออปแอมป์ ไอทีเอ วงจรสายพานกระแส เป็นต้น เมื่อปี 2008 Biolk และคณะ [4] ได้นำเสนอหลักการของอุปกรณ์แอกทีฟทั้งหมดแรงดันและโหมดกระแสไว้หลายชนิด โดย VDDDA [4]-[5] เป็นอุปกรณ์แอกทีฟสำเร็จรูปที่น่าสนใจในการนำมาออกแบบวงจรอิเล็กทรอนิกส์

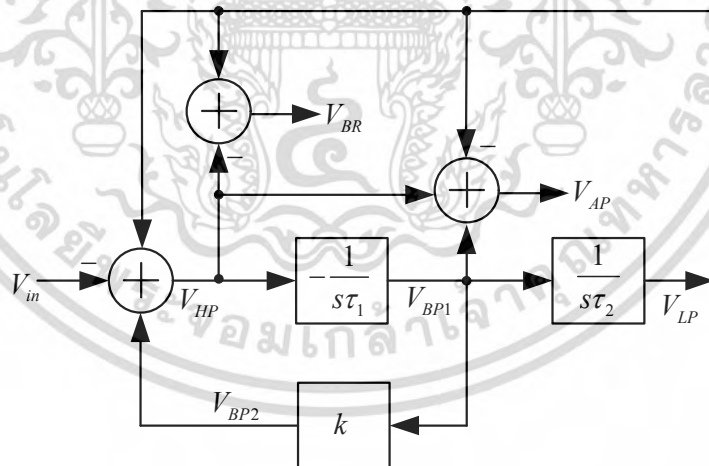
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 วิธีการดำเนินการวิจัย

ในบทนี้จะนำเสนอการสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์และวงจรกำเนิดสัญญาณไซน์หลายเฟส ดังมีรายละเอียดต่อไปนี้

3.1 การสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต

ในการสังเคราะห์วงจรกรองความถี่จะอาศัยบล็อกไดอะแกรมในรูปที่ 3.1 ซึ่งประกอบไปด้วย วงจรอินทิเกรเตอร์ที่ไม่สูญเสีย (Lossless integrator) จำนวนสองวงจร วงจรขยายหนึ่งวงจรและ วงจรบวก-ลบสัญญาณอีกสามวงจร โดย τ_1 และ τ_2 คือ ค่าคงที่ทางเวลาของวงจรอินทิเกรเตอร์ชุดที่ หนึ่งและชุดที่สองตามลำดับ ส่วน k คือ อัตราขยาย วงจรประกอบไปด้วยจุดป้อนแรงดันอินพุตหนึ่ง จุดและจุดแรงดันเอาต์พุตหกจุด ประกอบไปด้วยแรงดัน V_{LP} ให้ผลตอบสนองแบบกรองผ่านความถี่ต่ำ V_{HP} ให้ผลตอบสนองแบบกรองผ่านความถี่สูง V_{BP1} ให้ผลตอบสนองแบบกรองหยุดแถบความถี่ V_{AP} ให้ผลตอบสนองแบบกรองผ่านทุกความถี่ V_{BP2} ให้ผลตอบสนองแบบกรองผ่านแถบความถี่เอาต์พุตที่ 1 และ V_{BP2} ให้ผลตอบสนองแบบกรองผ่านแถบความถี่เอาต์พุตที่ 2 ซึ่งนำเอาต์พุตผลตอบสนองแบบ กรองผ่านแถบความถี่ที่ 1 ผ่านวงจรขยายที่มีอัตราขยาย k



รูปที่ 3.1 บล็อกไดอะแกรมการสังเคราะห์วงจรกรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต

จากบล็อกไดอะแกรมในรูปที่ 3.1 จะได้ฟังก์ชันการถ่ายโอนของแต่ละฟังก์ชันดังนี้

$$HP(s) = \frac{V_{HP}}{V_{in}} = -\frac{s^2}{s^2 + s\frac{k}{\tau_1} + \frac{1}{\tau_1\tau_2}} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$LP(s) = \frac{V_{LP}}{V_{in}} = \frac{1}{s^2 + s \frac{k}{\tau_1} + \frac{1}{\tau_1 \tau_2}} \quad (3.2)$$

$$BR(s) = \frac{V_{BR}}{V_{in}} = \frac{s^2 + \frac{1}{\tau_1 \tau_2}}{s^2 + s \frac{k}{\tau_1} + \frac{1}{\tau_1 \tau_2}} \quad (3.3)$$

$$AP(s) = \frac{V_{AP}}{V_{in}} = -\frac{s^2 - s \frac{1}{\tau_1} + \frac{1}{\tau_1 \tau_2}}{s^2 + s \frac{k}{\tau_1} + \frac{1}{\tau_1 \tau_2}} \quad (3.4)$$

$$BP_1(s) = \frac{V_{BP1}}{V_{in}} = \frac{s \frac{1}{\tau_1}}{s^2 + s \frac{k}{\tau_1} + \frac{1}{\tau_1 \tau_2}} \quad (3.5)$$

$$BP_2(s) = \frac{V_{BP2}}{V_{in}} = \frac{s \frac{k}{\tau_1}}{s^2 + s \frac{k}{\tau_1} + \frac{1}{\tau_1 \tau_2}} \quad (3.6)$$

จากสมการที่ (3.1)-(3.6) พบว่า โครงสร้างนี้สามารถให้ฟังก์ชันทางเอาต์พุตครบทั้งห้าฟังก์ชัน ส่วนฟังก์ชันกรองผ่านทุกความถี่ในสมการที่ (3.4) จะต้องมึเงื่อนไขว่า $k=1$ จากสมการที่ (3.1)-(3.6) จะได้ความถี่ธรรมชาติและควอลิตี้แฟกเตอร์ แสดงได้เป็น

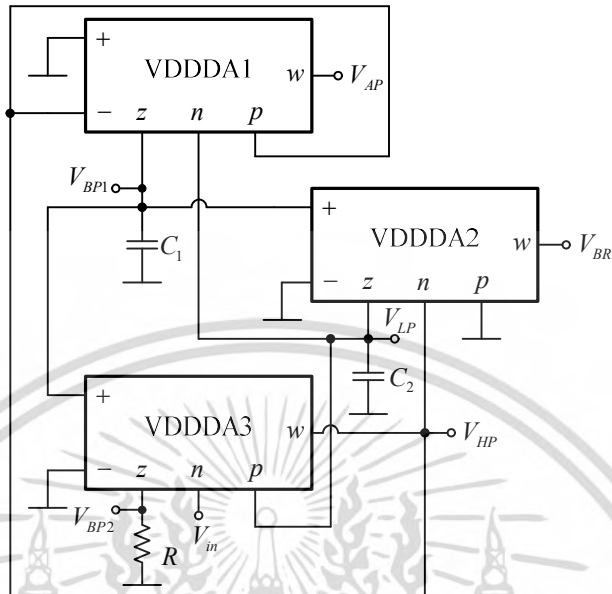
$$\omega_0 = \sqrt{\frac{1}{\tau_1 \tau_2}} \quad (3.7)$$

$$Q = \frac{1}{k} \sqrt{\frac{\tau_1}{\tau_2}} \quad (3.8)$$

จากสมการที่ (3.7) และ (3.8) จะพบว่า ควอลิตี้แฟกเตอร์สามารถควบคุมได้ที่ k โดยไม่ส่งผลกระทบต่อความถี่ธรรมชาติ ซึ่งจะช่วยให้สะดวกต่อการนำวงจรกรองความถี่ไปออกแบบให้ได้แบนด์วิธตามต้องการโดยไม่ส่งผลกระทบต่อความถี่คัทออฟ โดยไม่ต้องการเงื่อนไขในการกำหนดค่าอุปกรณ์ในวงจรให้เท่ากัน

จากบล็อกไดอะแกรมในรูปที่ 3.1 สามารถนำมาสังเคราะห์วงจรกรองความถี่โดยใช้ VDDDA เป็นอุปกรณ์หลักในการออกแบบวงจรได้ดังรูปที่ 3.2 ซึ่งประกอบไปด้วย VDDDA จำนวนสามวงจรถั่วด้านทานที่ต่อลงกราวด์หนึ่งตัวและตัวเก็บประจุที่ต่อลงกราวด์อีกสองตัว จากวงจรจะพบว่าจุดเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนแรงดันอินพุตมีความต้านทานสูง ในขณะที่จุดเอาต์พุต V_{BR} , V_{BS} และ V_{HP} มีความต้านทานต่ำซึ่งทำให้สะดวกต่อการต่อคาสเคดโดยไม่ต้องใช้วงจรบัฟเฟอร์เพิ่มเติม



รูปที่ 3.2 วงจรกรองแบบหนึ่งอินพุต-หลายเอาต์พุตที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.1

3.1.1 การวิเคราะห์สมรรถนะของวงจรกรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในทางอุดมคติ

จากวงจรในรูปที่ 3.2 เมื่อ VDDDA ที่ใช้ในวงจรทำงานเป็นไปตามอุดมคติสามารถหาฟังก์ชันการถ่ายโอนแรงดันได้เป็น

$$HP(s) = \frac{V_{HP}}{V_{in}} = \frac{s^2}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.9)$$

$$LP(s) = \frac{V_{LP}}{V_{in}} = \frac{\frac{g_{m1}g_{m2}}{C_1C_2}}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.10)$$

$$BR(s) = \frac{V_{BR}}{V_{in}} = \frac{s^2 + \frac{g_{m1}g_{m2}}{C_1C_2}}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$AP(s) = \frac{V_{AP}}{V_{in}} = \frac{-\left(s^2 - \frac{g_{m1}}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}\right)}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.12)$$

$$BP_1(s) = \frac{V_{BP1}}{V_{in}} = \frac{\frac{g_{m1}}{C_1}s}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.13)$$

$$BP_2(s) = \frac{V_{BP2}}{V_{in}} = \frac{\frac{g_{m1}g_{m3}R}{C_1}s}{s^2 + \frac{g_{m1}g_{m3}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.14)$$

ดังนั้นจะพบว่า วงจรที่นำเสนอสามารถให้ฟังก์ชันทางเอาต์พุตครบทั้ง 5 จากสมการที่ (3.9)-(3.14) ความถี่ธรรมชาติและควอลิตี้แฟกเตอร์แสดงได้เป็น

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.15)$$

$$Q = \frac{1}{g_{m3}R} \sqrt{\frac{C_1g_{m2}}{C_2g_{m1}}} \quad (3.16)$$

จากสมการที่ (3.15) และ (3.16) จะพบว่าสามารถควบคุมความถี่ธรรมชาติและควอลิตี้แฟกเตอร์ได้ด้วยวิธีทางอิเล็กทรอนิกส์ผ่านการควบคุมค่าความนำถ่ายโอน g_{m1} g_{m2} และ g_{m3} นอกจากนี้จะพบว่า ควอลิตี้แฟกเตอร์สามารถควบคุมได้แบบอิเล็กทรอนิกส์ที่ g_{m3} โดยไม่ส่งผลกระทบต่อความถี่ธรรมชาติ เมื่อกำหนดให้ $g_{m1} = g_{m2} = g_m$ ความถี่ธรรมชาติและควอลิตี้แฟกเตอร์แสดงได้ดังนี้

$$\omega_0 = g_m \sqrt{\frac{1}{C_1C_2}} \quad (3.17)$$

$$Q = \frac{1}{g_{m3}R} \sqrt{\frac{C_1}{C_2}} \quad (3.18)$$

จากสมการที่ (3.17) และ (3.18) จะพบว่า สามารถปรับค่า Q ได้ที่ C_1 และ C_2 ขณะที่ ω_0 สามารถปรับได้ที่ g_m โดยที่ไม่ส่งผลกระทบต่อ Q ดังนั้นอาจกล่าวได้ว่า วงจรที่นำเสนอสามารถปรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω_0 ได้อย่างอิสระจาก Q ด้วยวิธีทางอิเล็กทรอนิกส์ โดยการปรับกระแสไบอัส จากสมการที่ (3.17) และ (3.18) ความไวของ ω_0 และ Q แสดงได้ดังนี้

$$S_{g_{m1}}^{\omega_0} = S_{g_{m2}}^{\omega_0} = \frac{1}{2}; S_{C_1}^{\omega_0} = S_{C_2}^{\omega_0} = -\frac{1}{2} \quad (3.19)$$

$$S_R^{Q_0} = S_{g_{m3}}^{Q_0} = -1; S_{C_1}^{Q_0} = S_{g_{m2}}^{Q_0} = \frac{1}{2}; S_{C_2}^{Q_0} = S_{g_{m1}}^{Q_0} = -\frac{1}{2} \quad (3.20)$$

3.1.2 การวิเคราะห์ผลกระทบเนื่องจากความผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตของอุปกรณ์แอกทีฟ

ในทางปฏิบัติความผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุต (Voltage tracking error) ของ VDDDA จะส่งผลกระทบต่อสมรรถนะของวงจรกรองความถี่ ดังนั้นในหัวข้อนี้จะศึกษาผลกระทบเหล่านั้น โดยในกรณีที่ VDDDA ทำงานไม่เป็นอุดมคติสามารถแสดงสมการแรงดันที่ขั้ว w ได้ดังนี้

$$V_w = \beta_z V_z - \beta_n V_n + \beta_p V_p \quad (3.21)$$

เมื่อ β_z , β_n , และ β_p คือ ค่าผิดพลาดในการส่งผ่านแรงดันจากขั้ว z , n , p ไปยังขั้ว w ตามลำดับ เมื่อคำนึงถึงผลกระทบเหล่านั้นจะได้ฟังก์ชันถ่ายโอนดังนี้

$$\frac{V_{HP}^*}{V_{in}} = \frac{-\beta_{n3} s^2}{s^2 + \beta_{z3} s \frac{g_{m1} g_{m3} R}{C_1} + \beta_{p3} \frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (3.22)$$

$$\frac{V_{LP}^*}{V_{in}} = \frac{\frac{\beta_{n3} g_{m1} g_{m2}}{C_1^* C_2^*}}{s^2 + \beta_{z3} s \frac{g_{m1} g_{m3} R}{C_1} + \beta_{p3} \frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (3.23)$$

$$\frac{V_{BR}^*}{V_{in}} = \frac{\beta_{n2} \beta_{n3} s^2 + \frac{\beta_{z2} \beta_{n3} g_{m1} g_{m2}}{C_1^* C_2^*}}{s^2 + \beta_{z3} s \frac{g_{m1} g_{m3} R}{C_1} + \beta_{p3} \frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (3.24)$$

$$\frac{V_{AP}^*}{V_{in}} = \frac{-\left(\beta_{n3} s^2 - \beta_{z1} \beta_{n3} s \frac{g_{m1}}{C_1} + \frac{\beta_{n3} g_{m1} g_{m2}}{C_1 C_1} \right)}{s^2 + \beta_{z3} s \frac{g_{m1} g_{m3} R}{C_1} + \beta_{p3} \frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (3.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{BP1}^*}{V_{in}} = \frac{\beta_{n3}s \frac{g_{m1}}{C_1^*}}{s^2 + \beta_{z3}s \frac{g_{m1}g_{m3}R}{C_1} + \beta_{p3} \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.26)$$

$$\frac{V_{BP2}^*}{V_{in}} = \frac{\beta_{n3}s \frac{g_{m1}g_{m3}R}{C_1}}{s^2 + \beta_{z3}s \frac{g_{m1}g_{m3}R}{C_1} + \beta_{p3} \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.27)$$

จากสมการที่ (3.22)-(3.27) ค่าพารามิเตอร์ ω_0 และ Q ที่รวมผลของความไม่เป็นอุดมคติ สามารถแสดงได้ ดังนี้

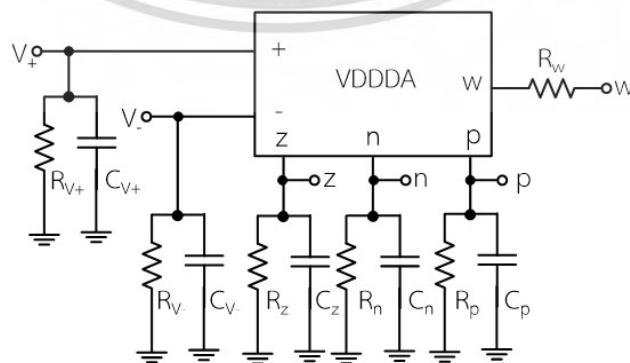
$$\omega_0^* = \sqrt{\frac{\beta_{p3}g_{m1}g_{m2}}{C_1C_2}} \quad (3.28)$$

$$Q^* = \frac{1}{\beta_{z3}g_{m3}R} \sqrt{\frac{\beta_{p3}C_1g_{m2}}{C_2g_{m1}}} \quad (3.29)$$

จากสมการที่ (3.28) และ (3.29) ค่าความไม่เป็นอุดมคติของ VDDDA มีผลทำให้สมการ คุณสมบัติของวงจรกรองความถี่ที่นำเสนอเปลี่ยนไป

3.1.3 การวิเคราะห์ผลกระทบจากตัวต้านทานและตัวเก็บประจุแฝงของอุปกรณ์แอกทีฟ

นอกจากผลกระทบของความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยัง เอาต์พุตของอุปกรณ์ VDDDA แล้ว ตัวต้านทานและตัวเก็บประจุแฝงในตัว VDDDA ยังส่งผลกระทบต่อสมรรถนะของวงจรกรองความถี่ที่นำเสนอด้วย โดยหากพิจารณาถึงตัวต้านทานและตัวเก็บประจุแฝงภายใน VDDDA แล้ว สามารถแสดงตัวต้านทานและตัวเก็บประจุแฝงที่ขั้วต่างๆ ของ VDDDA ดังรูปที่ 3.3



รูปที่ 3.3 ตัวต้านทานและตัวเก็บประจุแฝงใน VDDDA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์หาผลกระทบบของตัวต้านทานและตัวเก็บประจุแฝงจะผลกระทบบของตัวต้านทาน R_w เนื่องจากจะส่งผลกระทบต่อวงจรน้อยเมื่อเทียบกับตัวต้านทานและตัวเก็บประจุแฝงที่ขั้วอื่นๆ ใช้วงจรในรูปที่ 3.3 มาประกอบการวิเคราะห์วงจรกรองความถี่ในรูปที่ 3.2 จะได้ฟังก์ชันถ่ายโอนแต่ละฟังก์ชันดังนี้

$$\frac{V_{HP}^*}{V_{in}} = \frac{s^2 C_1^* C_2^* + s(C_1^* G_2^* + C_2^* G_1^*) + G_1^* G_2^*}{D^*(s)} \quad (3.30)$$

$$\frac{V_{LP}^*}{V_{in}} = \frac{\frac{g_{m1} g_{m2}}{C_1^* C_2^*}}{D^*(s)} \quad (3.31)$$

$$\frac{V_{BR}^*}{V_{in}} = \frac{s^2 C_1^* C_2^* + s(C_1^* G_2^* + C_2^* G_1^*) + G_1^* G_2^* + \frac{g_{m1} g_{m2}}{C_1^* C_2^*}}{D^*(s)} \quad (3.32)$$

$$\frac{V_{AP}^*}{V_{in}} = \frac{-\left\{ [s^2 C_1^* C_2^* + s(C_1^* G_1^* + C_2^* G_1^*) + G_1^* G_2^*] - s \left[\frac{g_{m1}}{C_1^*} - \frac{g_{m1} G_2^*}{C_1^* C_2^*} + \frac{g_{m1} g_{m2}}{C_1^* C_2^*} \right] \right\}}{D^*(s)} \quad (3.33)$$

$$\frac{V_{BP1}^*}{V_{in}} = \frac{s \left[\frac{g_{m1}}{C_1^*} + \frac{g_{m1} g_{m2}}{C_1^* C_2^*} \right]}{D^*(s)} \quad (3.34)$$

และ

$$\frac{V_{BP2}^*}{V_{in}} = \frac{s \left[\frac{g_{m1} g_{m3} R}{C_1^*} + \frac{g_{m1} g_{m3} R G_2^*}{C_1^* C_2^*} \right]}{D^*(s)} \quad (3.35)$$

โดย

$$D^*(s) = s^2 + s \left(\frac{G_2^*}{C_2^*} + \frac{G_1^*}{C_1^*} + \frac{g_{m1} g_{m3} R}{C_1^*} \right) + \frac{G_1^* G_2^* + g_{m1} g_{m3} R G_2^* + g_{m1} g_{m2}}{C_1^* C_2^*} \quad (3.37)$$

$$\begin{aligned} \text{เมื่อ } C_1^* &= C_1 + C_{z1} + C_{v+2} + C_{v+3}, \quad C_2^* = C_2 + C_{z2} + C_{n1} + C_{p3}, \\ G_1^* &= G_{z1} + G_{v+2} + G_{v+3} \quad \text{และ} \quad G_2^* = G_{z2} + G_{n1} + G_{p3} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.37) จะได้ ω_0 และ Q ที่รวมผลของตัวต้านทานและตัวเก็บประจุแฝงเป็น

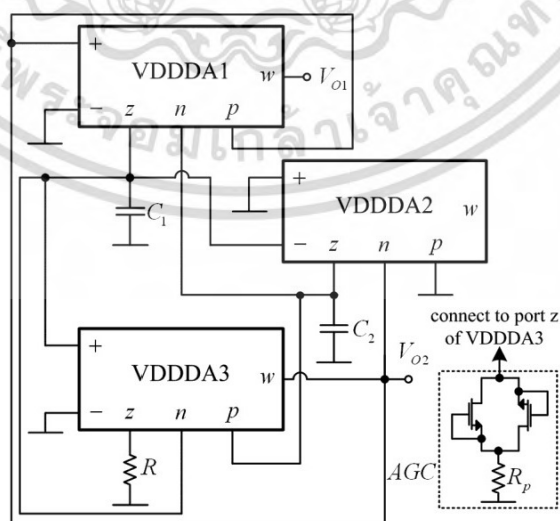
$$\omega_0^* = \sqrt{\frac{G_1^* G_2^* + g_{m1} g_{m3} R G_2^* + g_{m1} g_{m2}}{C_1^* C_2^*}} \quad (3.38)$$

$$Q^* = \frac{1}{(C_1^* G_2^* + C_2^* G_1^* + C_2^* g_{m1} g_{m3} R)} \sqrt{C_1^* C_2^* (G_1^* G_2^* + g_{m1} g_{m3} R G_2^* + g_{m1} g_{m2})} \quad (3.39)$$

จากสมการที่ (3.38) และ (3.39) พบว่า ตัวต้านทานและตัวเก็บประจุแฝงจะส่งผลกระทบต่อความถี่ธรรมชาติและควอลิตี้แฟกเตอร์ ดังนั้นเพื่อลดผลกระทบของตัวเก็บประจุแฝงควรใช้ค่าตัวเก็บประจุภายนอกให้มีค่ามากกว่าตัวเก็บประจุแฝงมากๆ ขณะที่ตัวต้านทานที่ขั้วเอาต์พุตของอุปกรณ์สามารถใช้ VDDDA ที่สร้างมาจากวงจรสะท้อนกระแสที่มีความต้านทานที่เอาต์พุตสูง เช่น แบบคาสโคด หรือแบบวิลสัน เป็นต้น ส่วนความต้านทานที่อินพุตของอุปกรณ์แอกทีฟปกติจะมีค่าสูงอยู่แล้วเนื่องจากขั้วอินพุตป้อนเข้าที่ขั้วเกตของมอสทรานซิสเตอร์

3.2 วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ที่ได้จากการปรับปรุงวงจรรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต

วงจรรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ถูกปรับปรุงให้เป็นวงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ดังแสดงในรูปที่ 3.4 โดยการต่อขั้ว V_{BP1} ของ VDDDA1 เข้ากับขั้ว V_{in} ของ VDDDA3 สลับการต่อระหว่างขั้ว V_+ และ V_- ของ VDDDA2 และ VDDDA2 และต่อวงจร AGC สำหรับเข้าที่ขั้ว z ของ VDDDA3 แทนตำแหน่งของตัวต้านทาน R ขั้วเอาต์พุตแรงดัน V_{O1} จะต่อออกจากขั้ว w ของ VDDDA1 และขั้วเอาต์พุตแรงดัน V_{O2} จะต่อออกจากขั้ว w ของ VDDDA3 ส่วนขั้ว w ของ VDDDA2 ไม่มีการต่อใช้งาน



รูปที่ 3.4 วงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ที่ปรับปรุงจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับวงจรรองแบบหนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ระเบียบข้อดำเนินการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 3.4 ข้างต้นได้ปรับปรุงสอดคล้องกับหลักการของวงจรถ่ายกำเนิดสัญญาณไซน์ควอเดรเจอร์ที่ได้นำเสนอโดย Bajer J และคณะ [34] ซึ่งได้เป็นวงจรถ่ายกำเนิดสัญญาณไซน์ควอเดรเจอร์ โหมดแรงดันที่มีเอาต์พุตอิมพีแดนซ์ต่ำ สมการคุณลักษณะของวงจรถ่ายกำเนิดสัญญาณในรูปที่ 3.4 สามารถเขียนได้ดังสมการที่ 3.40

$$s^2 + (1 - g_{m3}R) \left(\frac{g_{m1}}{C_1} \right) s + \frac{g_{m1}g_{m2}}{C_1C_2} = 0 \quad (3.40)$$

จากสมการคุณลักษณะ จะได้สมการความถี่ของการกำเนิดสัญญาณ (FO) และสมการเงื่อนไขของการกำเนิดสัญญาณ (CO) ดังสมการที่ 3.41 และ 3.42 ตามลำดับ

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.41)$$

$$1 \leq g_{m3}R \quad (3.42)$$

จะเห็นได้ว่าจากสมการที่ 3.41 และ 3.42 ความถี่ของการกำเนิดสัญญาณ (FO) และสมการเงื่อนไขของการกำเนิดสัญญาณ (CO) สามารถถูกควบคุมแบบอิเล็กทรอนิกส์โดยการปรับกระแสไบอัส และเป็นอิสระซึ่งกันและกัน ซึ่งความสัมพันธ์ของเอาต์พุต V_{O2} และ V_{O1} แสดงดังสมการที่ 3.43

$$\frac{V_{O2}}{V_{O1}} = \frac{sC_1}{g_{m1}g_{m3}} \quad (3.43)$$

ที่ความถี่ของการกำเนิดสัญญาณ ω_0 ขนาดของ V_{O2}/V_{O1} แสดงดังสมการที่ 3.44

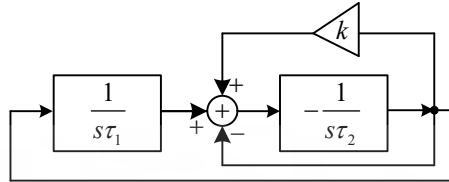
$$\left| \frac{V_{O2}}{V_{O1}} \right|_{\omega_0} = \frac{1}{g_{m3}} \sqrt{\frac{C_1g_{m2}}{C_2g_{m1}}} \quad (3.44)$$

จากสมการที่ 3.44 พบว่าการเปลี่ยนค่า g_{m1} หรือ g_{m2} เพื่อควบคุมความถี่ของการกำเนิดสัญญาณจะทำให้ขนาดความสูงของ V_{O2} และ V_{O1} เกิดการเปลี่ยนแปลงในระหว่างการปรับค่าปรากฏการณ์นี้จะทำให้ค่า THD เพิ่มขึ้นถ้าขนาดความสูงมีค่าสูงซึ่งเป็นผลมาจากข้อจำกัดทาง dynamical range ของ VDDDA อย่างไรก็ตามข้อจำกัดสามารถแก้ไขได้โดยการปรับค่า g_{m1} และ g_{m2} ไปพร้อมๆ กัน ($I_{B1} = I_{B2}$) สิ่งที่ได้กล่าวมาจึงทำให้ขนาดความสูงแรงดันเอาต์พุตควอเดรเจอร์ V_{O1} และ V_{O2} มีขนาดเท่ากันสำหรับทุกๆ ความถี่ อย่างไรก็ตามการแก้ไขความไม่สมดุลของขนาดความสูงของ V_{O1} และ V_{O2} จะช่วยลดค่า THD ลงได้ วงจร AGC อย่างง่ายสามารถรักษาเสถียรภาพทางความสูงได้โดยการต่อเข้าที่ขั้ว z ของ VDDDA3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์

ในการสังเคราะห์วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ นี้จะมีโครงสร้างวงจรถัด บล็อกไดอะแกรมในรูปที่ 3.5 โครงสร้างหลักของวงจรถูกประกอบไปด้วยวงจรมินิเกรเตอร์แบบไม่ สูญเสียจำนวนสองชุด วงจรขยายสัญญาณและวงจรวก-ลบสัญญาณอีกอย่างละหนึ่งชุด



รูปที่ 3.5 บล็อกไดอะแกรมการสังเคราะห์วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์

จากบล็อกไดอะแกรมในรูปที่ 3.5 จะได้สมการลักษณะสมบัติ (Characteristic equation) ดังนี้

$$s^2 \tau_1 \tau_2 + s \tau_1 (k - 1) + 1 = 0 \tag{3.45}$$

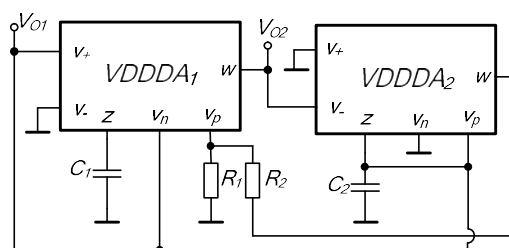
จากสมการที่ (3.45) จะได้ความถี่ในการกำเนิดสัญญาณ (Frequency of oscillation) และ เงื่อนไขในการกำเนิดสัญญาณ (Condition of oscillation) ดังนี้

$$\omega_0 = \frac{1}{\sqrt{\tau_1 \tau_2}} \tag{3.46}$$

$$k \leq 1 \tag{3.47}$$

จากสมการที่ (3.46) และ (3.47) จะพบว่า สามารถควบคุมความถี่ในการกำเนิดสัญญาณและ เงื่อนไขในการกำเนิดสัญญาณได้อย่างอิสระจากกัน ซึ่งความถี่ในการกำเนิดสัญญาณสามารถปรับได้ที่ ค่าคงตัวทางเวลา τ_1 และ τ_2 ในขณะที่เงื่อนไขในการกำเนิดสัญญาณสามารถปรับได้ที่อัตราขยาย k

อาศัยบล็อกไดอะแกรมในรูปที่ 3.5 สามารถสังเคราะห์วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ โดยใช้ VDDDA เป็นอุปกรณ์แอกที่พดั่งรูปที่ 3.6



รูปที่ 3.6 วงจรกำเนิดสัญญาณไซน์ที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.5

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์เพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นประโยชน์ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การวิเคราะห์สมรรถนะของวงจรกำเนิดสัญญาณไซน์ควอเดรเจอร์ในทางอุดมคติ

จากวงจรในรูปที่ 3.6 เมื่ออุปกรณ์ VDDDA ที่ใช้ในวงจรทำงานเป็นไปตามอุดมคติสามารถหาสมการลักษณะสมบัติของวงจรได้เป็น

$$s^2 C_1 C_2 + s C_1 g_{m2} \left(\frac{2R_1}{R_1 + R_2} - 1 \right) + g_{m1} g_{m2} = 0 \quad (3.48)$$

จากสมการที่ (3.48) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (3.49)$$

$$k \leq 1 \quad (3.50)$$

$$k = \frac{2R_1}{R_1 + R_2} \quad (3.51)$$

จากสมการที่ (3.49) และ (3.51) จะพบว่า สามารถควบคุมความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณได้อย่างอิสระจากกัน ซึ่งความถี่ในการกำเนิดสัญญาณสามารถปรับแบบอิเล็กทรอนิกส์ได้ที่ g_{m1} และ g_{m2} ในขณะที่เงื่อนไขในการกำเนิดสัญญาณสามารถปรับได้ที่ R_1 และ R_2 จากวงจรในรูปที่ 3.6 จะได้อัตราส่วนของแรงดันเอาต์พุต V_{O2} และ V_{O1} เป็น

$$\frac{V_{O2}}{V_{O1}} = -s C_2 g_{m2} \quad (3.52)$$

สมการที่ (3.52) แสดงให้เห็นว่าสัญญาณ V_{O2} และ V_{O1} มีเฟสต่างกัน 90 องศา หรือที่เรียกว่าสัญญาณควอเดรเจอร์

3.3.2 การวิเคราะห์ผลกระทบเนื่องจากความผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตของอุปกรณ์แอกทีฟ

ในกรณีที่อุปกรณ์แอกทีฟที่ใช้ในวงจรมีคุณสมบัติไม่เป็นไปตามอุดมคติที่เกิดจากค่าผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตดังที่แสดงไว้ในสมการที่ (3.21) จะได้สมการลักษณะสมบัติของวงจรเป็น

$$s^2 C_1 C_2 + s C_1 g_{m2} \left[\frac{\beta_{p1} (\beta_{z2} + \beta_{p2}) R_1}{R_1 + R_2} - \beta_{n1} \right] + \beta_{z1} g_{m1} g_{m2} = 0 \quad (3.53)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.53) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \sqrt{\frac{\beta_{z1} g_{m1} g_{m2}}{C_1 C_2}} \quad (3.54)$$

$$\frac{\beta_{p1} (\beta_{z2} + \beta_{p2}) R_1}{R_1 + R_2} \leq \beta_{n1} \quad (3.55)$$

จากสมการที่ (3.54) และ (3.55) ค่าความไม่เป็นอุดมคติของ VDDDA มีผลทำให้สมการลักษณะสมบัติของวงจรกำเนิดสัญญาณที่นำเสนอเปลี่ยนไป

3.3.3 การวิเคราะห์ผลกระทบจากตัวต้านทานและตัวเก็บประจุแฝงของอุปกรณ์แอกทิฟ

เมื่อคำนึงถึงอุปกรณ์แฝงในอุปกรณ์แอกทิฟดังแสดงในรูปที่ 3.3 โดยจะผลกระทบของตัวต้านทาน R_w เนื่องจากจะส่งผลกระทบต่อวงจรน้อยเมื่อเทียบกับตัวต้านทานและตัวเก็บประจุแฝงที่ขั้วอื่นๆ สามารถที่จะแสดงสมการลักษณะสมบัติของวงจร ได้ดังนี้

$$(sC_1^* + G_{z1})(sC_2^* + G_2^*) + g_{m2} (sC_1^* + G_{z1}) \left(\frac{1}{1 + sC_{p1}R_2 + \frac{R_2}{R_{p1}} + \frac{R_2}{R_1}} - 1 \right) + g_{m1}g_{m2} = 0 \quad (3.56)$$

เมื่อ $C_1^* = C_1 + C_{z1}$, $C_2^* = C_2 + C_{v+1} + C_{z2} + C_{p2}$ และ $G_2^* = G_{v+1} + G_{z2} + G_{p2}$

จากสมการที่ (3.56) ถ้าความถี่ที่จะใช้งาน $f_{op} \ll \frac{1}{2\pi C_{p2} R_{p2}}$ จะได้

$$s^2 C_1^* C_2^* + s \left[(C_1^* G_2^* + C_2^* G_{z1}) + C_1^* g_{m2} \left(\frac{R_1}{R_1 + R_2} - 1 \right) \right] + G_{z1} G_2^* + G_{z1} \left(\frac{R_1}{R_1 + R_2} - 1 \right) + g_{m1} g_{m2} = 0 \quad (3.57)$$

จากสมการที่ (3.57) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \sqrt{\frac{G_{z1} G_2^* + G_{z1} \left(\frac{R_1}{R_1 + R_2} - 1 \right) + g_{m1} g_{m2}}{C_1^* C_2^*}} \quad (3.58)$$

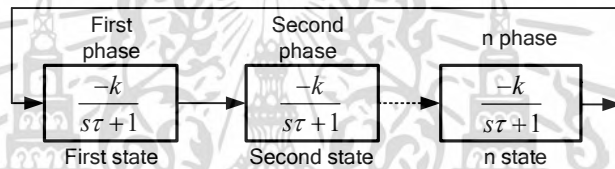
$$\left(\frac{C_1^* G_2^* + C_2^* G_{z1}}{C_1^* g_{m2}} \right) + \frac{R_1}{R_1 + R_2} \leq 1 \quad (3.59)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.58) และ (3.59) พบว่า ตัวต้านทานและตัวเก็บประจุแฝงจะส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณ ดังนั้นเพื่อลดผลกระทบของตัวเก็บประจุแฝงควรใช้ค่าตัวเก็บประจุภายนอกให้มีความมากกว่าตัวเก็บประจุแฝงมากๆ อย่างไรก็ตามจะทำให้ความถี่ใช้งานของวงจรต่ำลง ขณะที่ความต้านทานที่ขั้วเอาต์พุตของอุปกรณ์สามารถใช้ VDDDA ที่สร้างมาจากวงจรสะท้อนกระแส ที่มีความต้านทานที่เอาต์พุตสูง เช่น แบบคาสโคดหรือแบบวิลสัน เป็นต้น ส่วนความต้านทานที่อินพุตของอุปกรณ์แอกทีฟปกติจะมีค่าสูงอยู่แล้วเนื่องจากอินพุตป้อนเข้าที่ขั้วเกตของมอสทรานซิสเตอร์

3.4 การสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์หลายเฟส

ในการสังเคราะห์วงจรกำเนิดสัญญาณไซน์หลายเฟสจะมีโครงสร้างวงจรดังบล็อกไดอะแกรมในรูปที่ 3.7 ซึ่งประกอบไปด้วยวงจรมินิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้ (Gain controllable inverting lossy integrator) จำนวน n ชุด โดยที่ n เป็นจำนวนคี่ (n = 3, 5, 7, ...)



รูปที่ 3.7 บล็อกไดอะแกรมการสังเคราะห์วงจรกำเนิดสัญญาณไซน์หลายเฟส

จากบล็อกไดอะแกรมจะได้สมการลักษณะสมบัติดังนี้

$$\left(\frac{k}{s\tau + 1}\right)^n + 1 = 0 \tag{3.60}$$

จากสมการที่ (3.60) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณเป็น

$$\omega_0 = \frac{1}{\tau} \tan \frac{\pi}{n} \tag{3.61}$$

$$k \geq \sec \frac{\pi}{n} \tag{3.62}$$

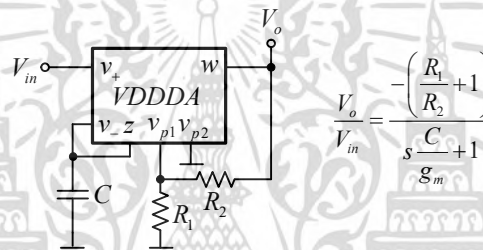
จากสมการที่ (3.61) และ (3.62) จะพบว่า สามารถควบคุมความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณได้อย่างอิสระจากกัน ซึ่งความถี่ในการกำเนิดสัญญาณสามารถปรับได้ที่ค่าคงตัวทางเวลา τ ในขณะที่เงื่อนไขในการกำเนิดสัญญาณสามารถปรับได้ที่อัตราขยาย k จากบล็อกไดอะแกรมในรูปที่ 3.7 จะพบว่าวงจรกำเนิดสัญญาณไซน์หลายเฟสจะออกแบบวงจรโดยใช้วงจรมินิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้เป็นวงจรหลัก ซึ่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถสร้างวงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้โดยใช้ VDDDA เป็นอุปกรณ์แอกทีฟที่พดงรูปที่ 3.8 โดย VDDDA ที่นำมาใช้ในการสังเคราะห์วงจรถ้าเกิดสัญญาณไซน์หลายเฟสจะมีการปรับปรุงคุณสมบัติของอุปกรณ์เล็กน้อย โดยส่วนที่ต่างจาก VDDDA ในสองหัวข้อที่ผ่านมา คือ แรงดันที่ขั้ว w ซึ่งสามารถแสดงสมการแรงดันที่ขั้ว w ได้ดังนี้

$$v_w = v_{p1} + v_{p2} - v_z \quad (3.63)$$

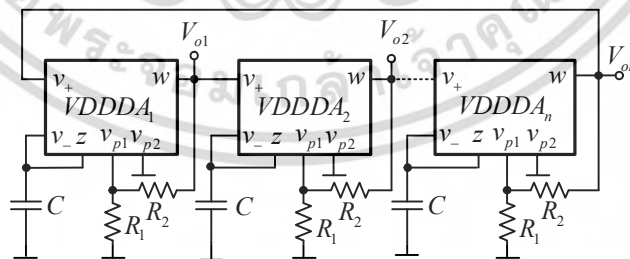
เมื่ออาศัยหลักการที่กล่าวมาข้างต้น จะได้ฟังก์ชันโอนย้ายแรงดันของวงจรในรูปที่ 3.8 ดังนี้

$$\frac{V_o}{V_{in}} = \frac{-\left(\frac{R_1}{R_2} + 1\right)}{s\frac{C}{g_m} + 1} \quad (3.64)$$



รูปที่ 3.8 วงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้

เมื่อนำวงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้ในรูปที่ 3.8 ไปออกแบบวงจรตามบล็อกไดอะแกรมในรูปที่ 3.7 จะได้วงจรถ้าเกิดสัญญาณไซน์หลายเฟสในรูปที่ 3.9



รูปที่ 3.9 วงจรถ้าเกิดสัญญาณไซน์หลายเฟสที่สังเคราะห์ตามบล็อกไดอะแกรมในรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 การวิเคราะห์สมรรถนะของวงจรกำเนิดสัญญาณหลายเฟสในทางอุดมคติ

จากวงจรในรูปที่ 3.9 เมื่ออุปกรณ์แอกทีฟที่ใช้ในวงจรทำงานเป็นไปตามอุดมคติสามารถหาสมการลักษณะสมบัติได้ดังนี้

$$\left[\frac{\left(\frac{R_1}{R_2} + 1 \right)}{s \frac{C}{g_m} + 1} \right]^n + 1 = 0 \quad (3.65)$$

จากสมการที่ (3.65) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \frac{g_m}{C} \tan \frac{\pi}{n} \quad (3.66)$$

และ

$$\frac{R_1}{R_2} + 1 \geq \sec \frac{\pi}{n} \quad (3.67)$$

จากสมการที่ (3.66) และ (3.67) จะพบว่า สามารถควบคุมความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณได้อย่างอิสระจากกัน ซึ่งความถี่ในการกำเนิดสัญญาณสามารถปรับแบบอิเล็กทรอนิกส์ได้ที่ g_m ในขณะที่เงื่อนไขในการกำเนิดสัญญาณสามารถปรับได้ที่ R_1 และ R_2

3.4.2 การวิเคราะห์ผลกระทบเนื่องจากความผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตของอุปกรณ์แอกทีฟ

ในกรณีที่อยู่ปกรณ VDDDA ที่ใช้ในวงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายมีคุณสมบัติไม่เป็นไปตามอุดมคติที่เกิดจากค่าผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตสามารถแสดงคุณสมบัติของแรงดันที่ขั้ว v_w ได้เป็น

$$v_w = \beta_{p1} v_{p1} + \beta_{p2} v_{p2} - \beta_z v_z \quad (3.68)$$

เมื่ออาศัยหลักการที่กล่าวมาข้างต้น จะได้ฟังก์ชันโอนย้ายแรงดันของวงจรในรูปที่ 3.9 ดังนี้

$$\frac{V_o}{V_{in}} = \frac{-\beta_z \left(\frac{R_1 + R_2}{R_1(1 - \beta_{p1}) + R_2} \right)}{s \frac{C}{g_m} + 1} \quad (3.69)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.69) สามารถหาสมการลักษณะสมบัติได้ดังนี้

$$\left[\frac{\beta_z \left(\frac{R_1 + R_2}{R_1(1 - \beta_{p1}) + R_2} \right)}{s \frac{C}{g_m} + 1} \right]^n + 1 = 0 \quad (3.70)$$

จากสมการที่ (3.70) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \frac{g_m}{C} \tan \frac{\pi}{n} \quad (3.71)$$

และ

$$\beta_z \left(\frac{R_1 + R_2}{R_1(1 - \beta_{p1}) + R_2} \right) \geq \sec \frac{\pi}{n} \quad (3.72)$$

3.4.3 การวิเคราะห์ผลกระทบจากตัวต้านทานและตัวเก็บประจุแฝงของอุปกรณ์แอกทีฟ

เมื่อคำนึงถึงอุปกรณ์แฝงในอุปกรณ์แอกทีฟจะได้ฟังก์ชันโอนย้ายแรงดันของวงจรในรูปที่ 3.9

ดังนี้

$$\frac{V_o}{V_{in}} = \frac{- \left[\frac{1}{sC_{p1} + G_{p1} + \frac{1}{R_1}} R_2 \right]}{s \frac{C + C_z}{g_m} + \frac{G_z}{g_m} + 1} \quad (3.73)$$

จากสมการที่ (3.73) ถ้าความถี่ที่จะใช้งาน $f_{op} \ll \frac{1}{2\pi C_{p1} R_{p1}}$ จะได้

$$\frac{V_o}{V_{in}} = \frac{- \left(\frac{R_1}{R_2} + 1 \right)}{s \frac{C + C_z}{g_m} + \frac{G_z}{g_m} + 1} \quad (3.74)$$

จากสมการที่ (3.74) สามารถหาสมการลักษณะสมบัติได้ดังนี้

$$\left[\frac{\left(\frac{R_1}{R_2} + 1 \right)}{s \frac{C + C_z}{g_m} + \frac{G_z}{g_m} + 1} \right]^n + 1 = 0 \quad (3.75)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.75) จะได้ความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega_0 = \left(\frac{g_m + G_z}{C + C_z} \right) \tan \frac{\pi}{n} \quad (3.76)$$

และ

$$\frac{R_1}{R_2} + 1 \geq \sec \frac{\pi}{n} \quad (3.77)$$

จากสมการที่ (3.76) และ (3.77) พบว่า ตัวต้านทานและตัวเก็บประจุแฝงจะส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณและเงื่อนไขในการกำเนิดสัญญาณ ดังนั้นเพื่อลดผลกระทบของตัวเก็บประจุแฝงควรใช้ค่าตัวเก็บประจุภายนอกให้มีความมากกว่าตัวเก็บประจุแฝงมากๆ อย่างไรก็ตามจะทำให้ความถี่ใช้งานของวงจรต่ำลง ขณะที่ความต้านทานที่ขั้วเอาต์พุตของอุปกรณ์สามารถใช้ VDDDA ที่สร้างมาจากวงจรสะท้อนกระแส ที่มีความต้านทานที่เอาต์พุตสูง เช่น แบบคาสโคดหรือแบบวิลสัน เป็นต้น ส่วนความต้านทานที่อินพุตของอุปกรณ์แอกทีฟปกติจะมีค่าสูงอยู่แล้วเนื่องจากอินพุตป้อนเข้าที่ขั้วเกตของมอสทรานซิสเตอร์

บทที่ 4

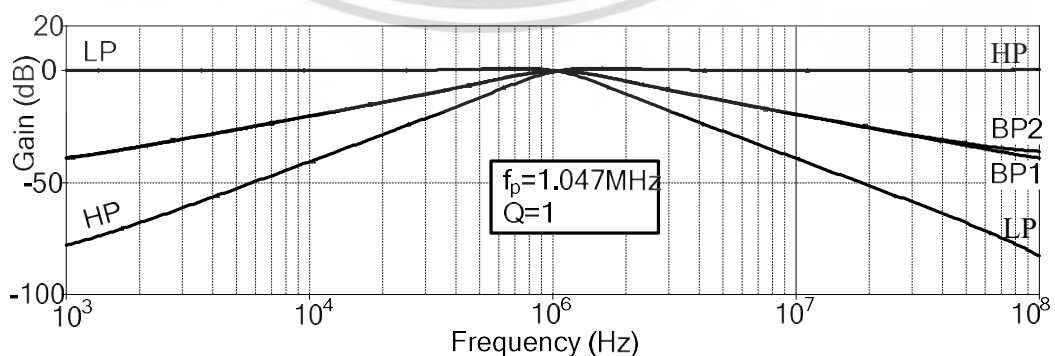
ผลการวิจัย

เพื่อเป็นการยืนยันสมรรถนะของวงจรที่ได้สังเคราะห์และออกแบบไว้ในบทที่ 3 ในบทนี้จะทดสอบการทำงานของวงจรด้วยโปรแกรม PSPICE พร้อมทั้งอภิปรายผลการทดสอบเปรียบเทียบกับที่ได้วิเคราะห์ไว้ในทางทฤษฎีในบทที่ผ่านมา ดังมีรายละเอียดดังต่อไปนี้

4.1 ผลการเลียนแบบการทำงานของวงจรกรองความถี่อันดับสองหลายหน้าที่

วงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ถูกทดสอบการทำงานโดยใช้โปรแกรม PSPICE โดยใช้โครงสร้างของ VDDDA [5] ในรูปที่ 2.19 ซึ่งพารามิเตอร์ของ CMOS ที่ใช้คือ TSMC 0.18 μ m (level 7) ที่แหล่งจ่ายแรงดันไฟเลี้ยงวงจรเท่ากับ $\pm 0.9V$ และ $V_B = -0.35V$ ขนาดของความกว้างและยาวของมอสทรานซิสเตอร์แสดงในตารางที่ 2.1 จากผลการทดสอบวงจร VDDDA ที่กระแสไบอัส $I_B = 50\mu A$ จะพบว่าความต้านทานที่ขั้ว v_+ , v_- , n และ p (R_{v+} , R_{v-} , R_n และ R_p) จะมีความต้านทานสูงมากเนื่องจากเป็นขั้วเกตของมอสทรานซิสเตอร์ ในขณะที่ขั้วอื่นๆ จะมีความจุและความต้านทานแฝงดังนี้ $C_{v+} = 55.5 fF$, $C_{v-} = 53.2 fF$, $R_z = 570.54 k\Omega$, $C_z = 15.4 fF$, $C_n = 4.24 fF$ และ $C_p = 4.25 fF$ ส่วนความผิดพลาดในการส่งผ่านแรงดัน β_z , β_n และ β_p เท่ากับ 0.997 ในการจำลองการทำงานของวงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ได้กำหนดค่าอุปกรณ์และกระแสไบอัสต่างๆ ดังนี้ $C_1 = C_2 = 47 pF$, $R = 3.3 k\Omega$, $I_{B1} = I_{B2} = I_{B3} = 50\mu A$

ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1 และ BP2 แสดงในรูปที่ 4.1 จะเห็นได้ว่าผลตอบสนองมีความสอดคล้องกับทฤษฎีทุกฟังก์ชัน จะได้ความถี่โพลมีค่าเท่ากับ 1.047 MHz และควอลิตี้แฟกเตอร์มีค่าเท่ากับ 1 ส่วนค่าความถี่โพลในทางทฤษฎีมีค่าเท่ากับ 1.058 MHz ซึ่งมากกว่าค่าที่ได้จากการจำลองเล็กน้อย จากรูปจะเห็นถึงความแตกต่างเล็กน้อยระหว่างผลตอบสนองทางขนาดของฟังก์ชัน BP1 และ BP2 ซึ่งสอดคล้องกับวงจรกรองความถี่ที่นำเสนอในรูปที่ 3.2 จะเห็นได้ว่าแรงดัน V_{BP1} ออกจากขั้ว z ของ VDDDA1 ซึ่งมีตัวเก็บประจุ C_1 ต่อลงกราวด์อยู่ในขณะที่แรงดัน V_{BP2} ออกจากขั้ว z ของ VDDDA3 จะมีตัวต้านทาน R ต่อลงกราวด์อยู่

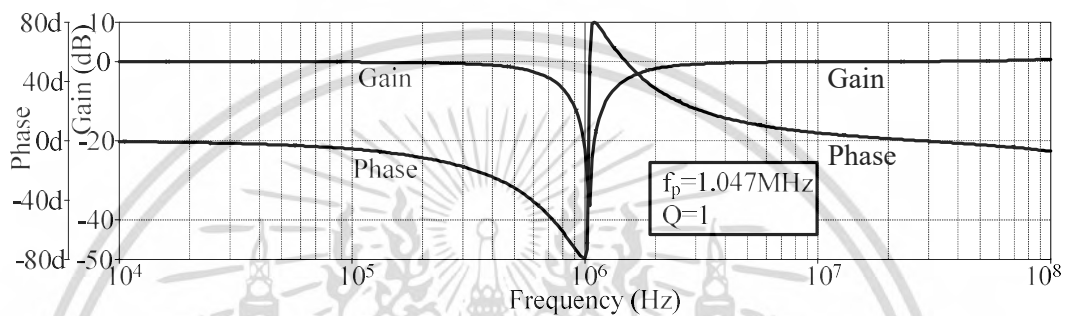


รูปที่ 4.1 ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1 และ BP2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

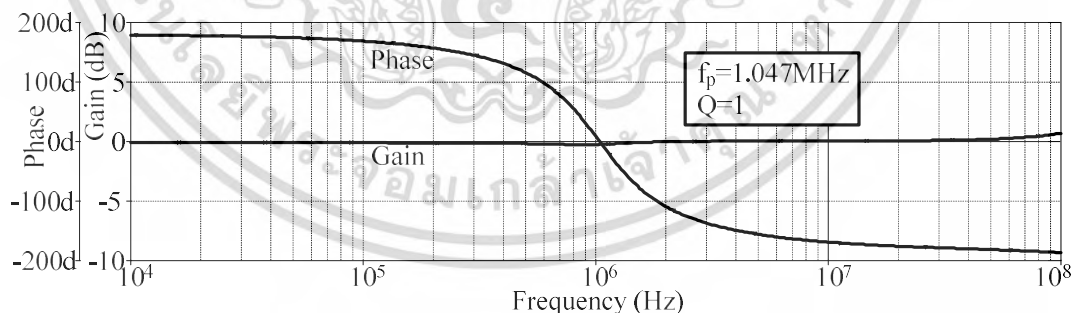
และหากพิจารณาฟังก์ชันถ่ายโอนของ BP1 และ BP2 ในสมการที่ 3.5 และ 3.6 ตามลำดับ จะเห็นว่า ฟังก์ชันถ่ายโอนของ BP1 และ BP2 มีความแตกต่างกันโดยที่ฟังก์ชันถ่ายโอนของ BP2 เป็นการนำเอาฟังก์ชันถ่ายโอนของ BP1 ไปผ่านวงจรถยายที่มีอัตราขยายเท่ากับ k จึงส่งผลให้ฟังก์ชันถ่ายโอนทั้งสองมีความแตกต่างกันดังรูปที่ 4.1

รูปที่ 4.2 เป็นผลตอบสนองทางขนาดและเฟสของฟังก์ชัน BR จะได้ความถี่โพลมีค่าเท่ากับ 1.047 MHz และควอลิตี้แฟกเตอร์มีค่าเท่ากับ 1 ส่วนค่าความถี่โพลในทางทฤษฎีมีค่าเท่ากับ 1.058 MHz ซึ่งมากกว่าค่าที่ได้จากการจำลองเล็กน้อย จะเห็นได้ว่าอัตราขยายมีค่าเท่ากับ 0 dB โดยประมาณในส่วนของ pass band ทั้งสอง ซึ่งสรุปได้ว่าผลตอบสนองมีความสอดคล้องกับทฤษฎี



รูปที่ 4.2 ผลตอบสนองทางขนาดและเฟสของฟังก์ชัน BR

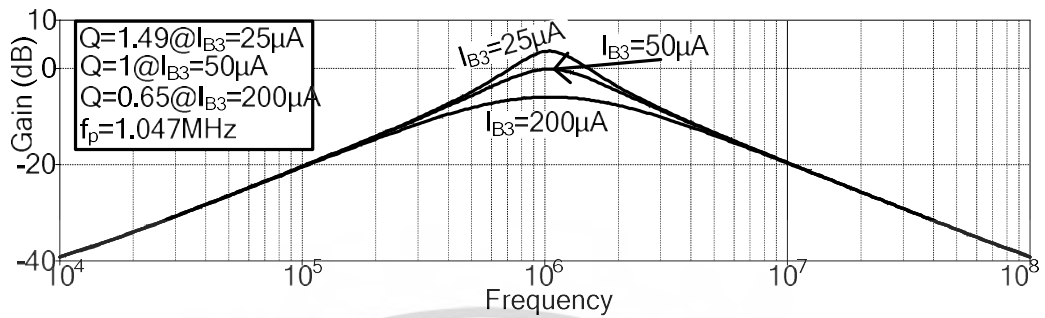
ส่วนฟังก์ชัน AP มีผลตอบสนองทางขนาดและเฟสแสดงดังรูปที่ 4.3 จะได้ความถี่โพลมีค่าเท่ากับ 1.047 MHz และควอลิตี้แฟกเตอร์มีค่าเท่ากับ 1 ส่วนค่าความถี่โพลในทางทฤษฎีมีค่าเท่ากับ 1.058 MHz ซึ่งมากกว่าค่าที่ได้จากการจำลองเล็กน้อย จะเห็นได้ว่าอัตราขยายมีค่าเท่ากับ 0 dB โดยประมาณตลอดช่วง จะเห็นได้ว่าผลตอบสนองมีความสอดคล้องกับทฤษฎี



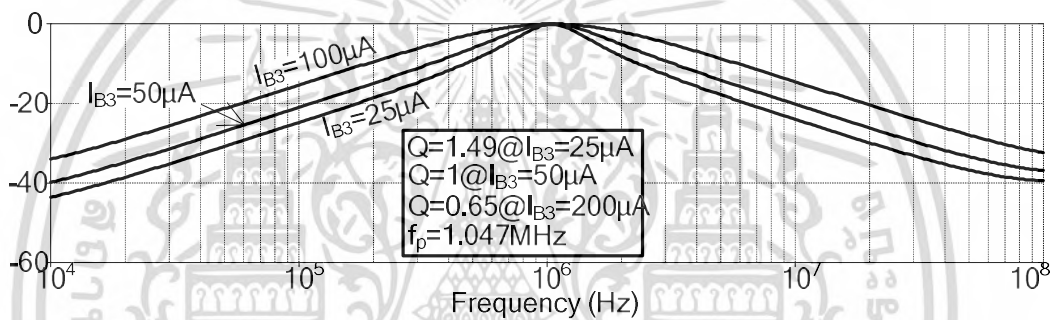
รูปที่ 4.3 ผลตอบสนองทางขนาดและเฟสของฟังก์ชัน AP

เมื่อปรับกระแสไบอัส I_{B3} เท่ากับ $20 \mu A$, $50 \mu A$ และ $200 \mu A$ จะได้ผลตอบสนองทางขนาดของฟังก์ชัน BP1 ดังรูปที่ 4.4 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 ดังรูปที่ 4.5 และผลตอบสนองทางขนาดของฟังก์ชัน BR ดังรูปที่ 4.6 จากผลการเลียนแบบค่า Q จะเปลี่ยนไปตาม

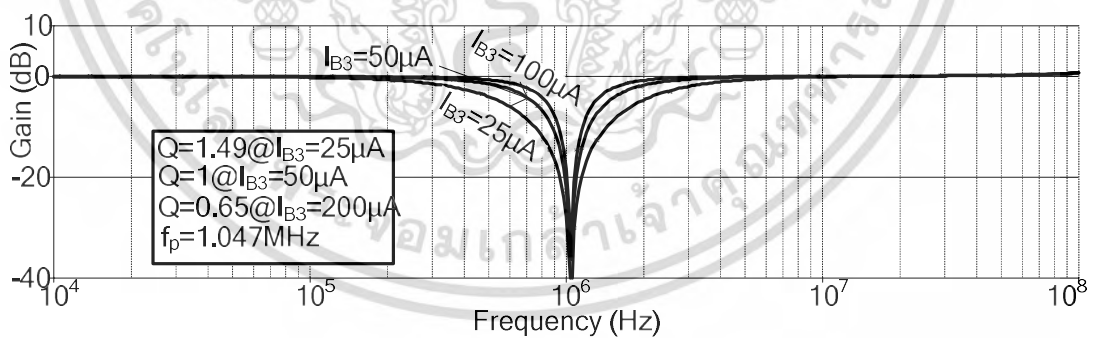
ค่ากระแสไบอัส I_{B3} โดยมีค่าเท่ากับ 1.49, 1, และ 0.65, ตามลำดับ ซึ่งยืนยันได้ว่าค่า Q สามารถปรับได้อย่างอิสระจากความถี่โพลด้วย I_{B3} ซึ่งเป็นการปรับค่า g_{m3} ดังสมการที่ 3.16



รูปที่ 4.4 ผลตอบสนองทางขนาดของฟังก์ชัน BP1 เมื่อเปลี่ยนค่า I_{B3}



รูปที่ 4.5 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อเปลี่ยนค่า I_{B3}

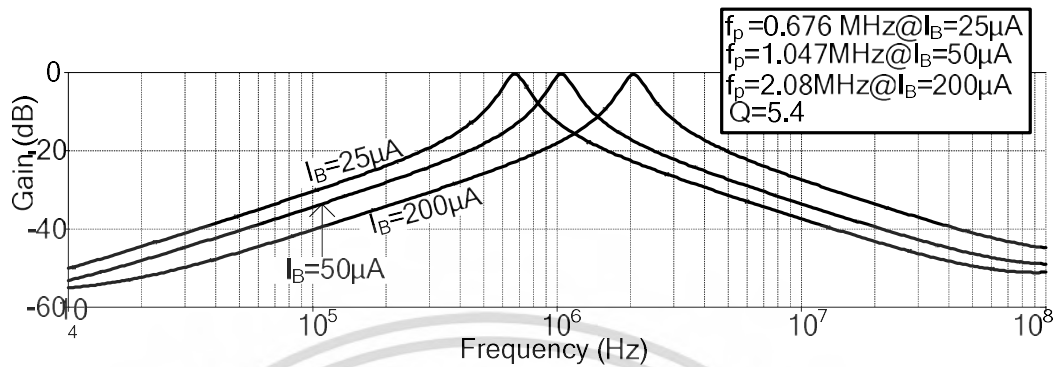


รูปที่ 4.6 ผลตอบสนองทางขนาดของฟังก์ชัน BR เมื่อเปลี่ยนค่า I_{B3}

อย่างไรก็ตามหากต้องการให้ค่า Q มีค่าสูงควรปรับค่า I_{B3} ให้มีค่าน้อย จากการทดสอบวงจรจะได้ค่า Q สูงสุดเท่ากับ 26.66 ที่ $I_{B3} = 1\mu A$ และ Q ต่ำสุดเท่ากับ 0.384 ที่ $I_{B3} = 400\mu A$

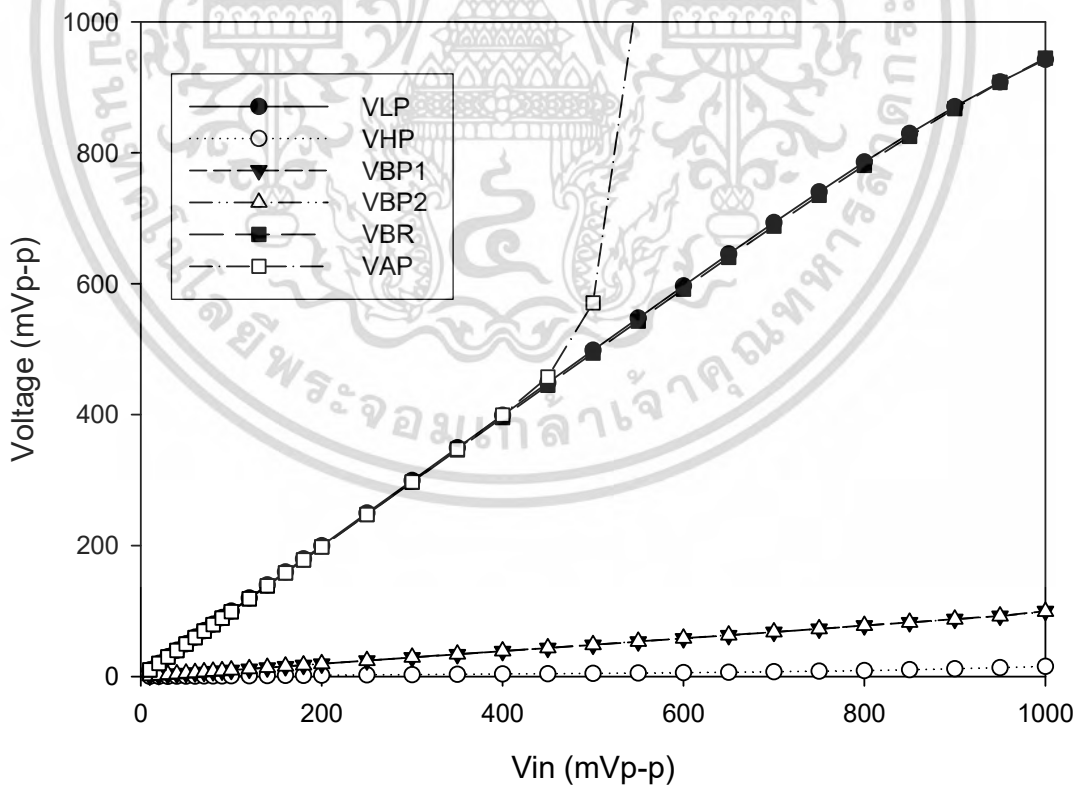
เมื่อปรับ I_{B1} เท่ากับ I_{B2} จำนวนสามค่า ได้แก่ $25\mu A$, $50\mu A$ และ $200\mu A$ จะพบว่าสามารถปรับความถี่โพลได้อย่างอิสระจากควอลิตี้แฟกเตอร์ดังที่ได้วิเคราะห์ไว้ในสมการที่ 3.15 และ 3.16 ดังแสดงผลการจำลองในรูปที่ 4.7 ซึ่งจะได้ความถี่โพลเท่ากับ 676 kHz, 1.047 MHz และเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ผ่านการอนุมัติจากเจ้าของลิขสิทธิ์ หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง และต้องอภัยถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.08 MHz ตามลำดับ ในกรณีนี้ให้ $R = 1k\Omega$ และ $I_{B3} = 25\mu A$ จะเห็นว่าค่าควอลิตี้แฟกเตอร์มีค่าเท่ากับ 5.4 ทุกค่ากระแสไบอัสดังรูป



รูปที่ 4.7 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อ $I_{B1} = I_{B2} = I_B$

นอกจากนี้ยังได้ทดสอบย่านการรับขนาดของสัญญาณแรงดันอินพุตของวงจรรองความถี่ โดยป้อนสัญญาณไซน์ความถี่ 100 kHz ที่ขนาดแรงดันค่าต่างๆ พบว่า ฟังก์ชัน VAP จะรับขนาดของสัญญาณอินพุตได้ไม่เกิน $500mV_{p-p}$ ดังผลการจำลองในรูปที่ 4.8

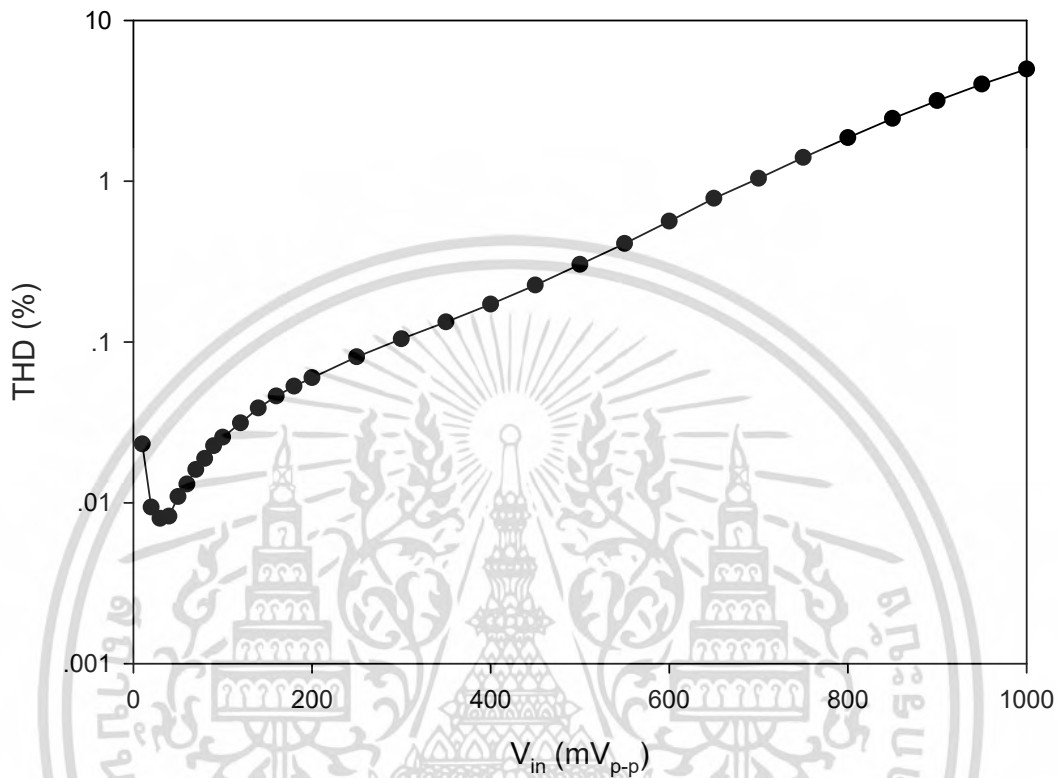


รูปที่ 4.8 ขนาดของแรงดันที่เอาต์พุตของทุกฟังก์ชันเทียบกับอินพุต

เมื่อป้อนความถี่อินพุตเท่ากับ 100 kHz

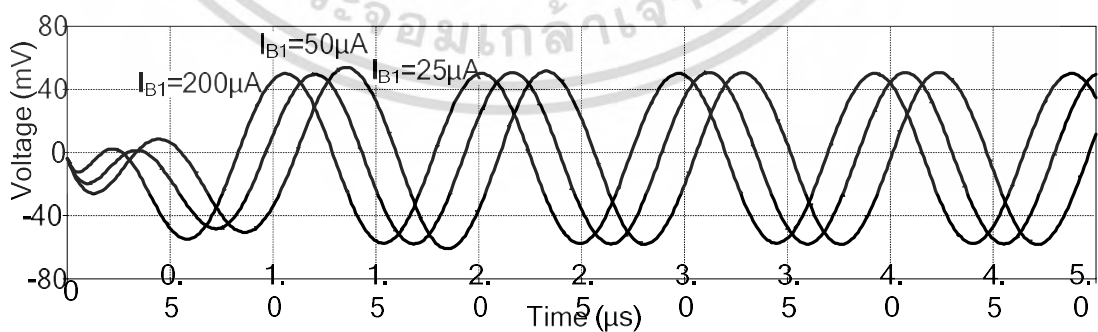
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนรูปที่ 4.9 เป็นผลการวัดค่า THD ของฟังก์ชัน LP ที่ขนาดของอินพุตค่าต่างๆ ซึ่งพบว่าค่า THD จะไม่เกิน 1% ที่ขนาดแรงดันอินพุตต่ำกว่า 650 mV_{p-p} ในการทดสอบนี้ สัญญาณไซน์ความถี่ 100 kHz ถูกป้อนให้กับวงจรกรองความถี่ที่นำเสนอ



รูปที่ 4.9 ค่า THD ของฟังก์ชัน LP เมื่อขนาดของแรงดันอินพุตมีการเปลี่ยนแปลง

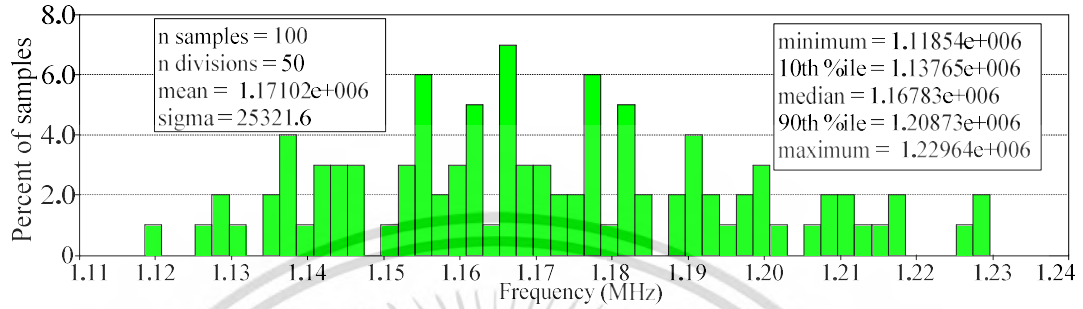
ผลตอบสนองทางเวลาของฟังก์ชัน AP เมื่อ I_{B1} ถูกปรับเป็น $20\mu\text{A}$, $50\mu\text{A}$ และ $200\mu\text{A}$ แสดงดังรูปที่ 4.10 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ขนาด 55 mV ความถี่ 1.047 MHz



รูปที่ 4.10 ผลตอบสนองทางเวลาของฟังก์ชัน AP เมื่อเปลี่ยนค่า I_{B1}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสถียรภาพของวงจรรองความถี่ที่นำเสนอวิเคราะห์ผลโดยใช้ Monte Carlo โดยให้ตัวเก็บประจุทั้งหมดมีค่าความคลาดเคลื่อน 5% โดยใช้วิธีการความน่าจะเป็นแบบ Gaussian มีการกระจายสุ่ม 100 กลุ่มตัวอย่างดังแสดงในรูปที่ 4.11 ค่าเบี่ยงเบนมาตรฐานที่ความถี่กลางของฟังก์ชัน V_{B2} เท่ากับ 25.321 ที่ค่าเฉลี่ยเท่ากับ 1.171



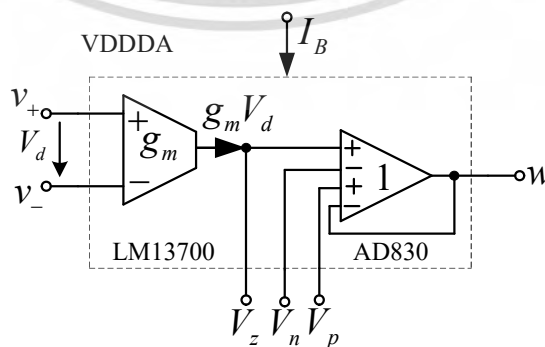
รูปที่ 4.11 ผลการวิเคราะห์ Monte Carlo

จากผลการจำลองนี้ยืนยันได้ว่าวงจรรองความถี่ที่นำเสนอสามารถให้ผลตอบสนองครบทุกฟังก์ชันได้พร้อมกัน

นอกจากนี้วงจรรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ได้ถูกทดสอบการทำงานด้วยการต่อวงจรจริง โดยใช้ VDDDA [5] ที่สร้างมาจากไอซีที่มีขายในทางพาณิชย์เบอร์ LM13700 และเบอร์ AD830 ดังรูปที่ 4.12 โดยมีแหล่งจ่ายแรงดันไฟเลี้ยงวงจรที่มีค่าเท่ากับ $\pm 0.9V$ โดยไอซีเบอร์ LM13700 เป็นวงจรรขยายความนำถ่ายโอนที่สามารถควบคุมค่าความนำถ่ายโอนจากกระแสไบอัสภายนอก ซึ่งค่าความสัมพันธ์ของความนำถ่ายโอนและกระแสไบอัสสามารถแสดงได้ดังนี้

$$g_m = \frac{I_B}{2V_T} \tag{4.1}$$

เมื่อ V_T คือ ค่าแรงดันอุณหภูมิ (Thermal voltage) ซึ่งมีค่าประมาณ $26mV$ ที่อุณหภูมิห้อง

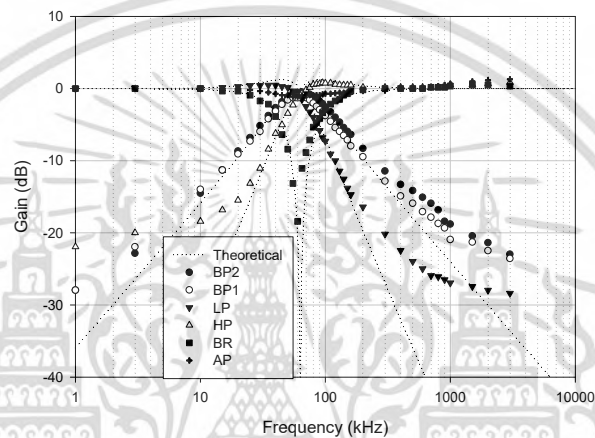


รูปที่ 4.12 โครงสร้าง VDDDA ที่ใช้ในการทดลองต่อจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

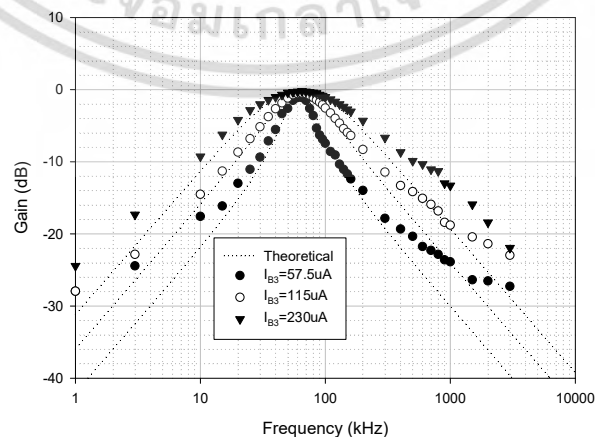
ในการทดลองการทำงานของวงจรความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ได้ถูกทดสอบการทำงานภายใต้เงื่อนไข ดังนี้ แรงดันแหล่งจ่ายมีค่าเท่ากับ $\pm 5V$, $C_1 = C_2 = 5.6nF$, $I_{B1} = I_{B2} = I_{B3} = 115\mu A$ ($g_{m1} = g_{m2} = g_{m3} = 2.211mA/V$) และ $R = 0.45k\Omega$ ภายใต้เงื่อนไขนี้จะมีความถี่ธรรมชาติและควอลิตี้แฟกเตอร์เท่ากับ 62.853 kHz และ 1 ตามลำดับ

ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1, BP2, BR และ AP แสดงในรูปที่ 4.13 ซึ่งค่าความถี่ธรรมชาติที่ได้จากการทดลองเท่ากับ 61 kHz เบี่ยงเบนจากค่าความถี่ในทางทฤษฎีเท่ากับ 2.948 % จากผลการทดลองนี้ยืนยันได้ว่าวงจรความถี่ที่นำเสนอสามารถให้ผลตอบสนองครบทุกฟังก์ชันได้พร้อมกัน



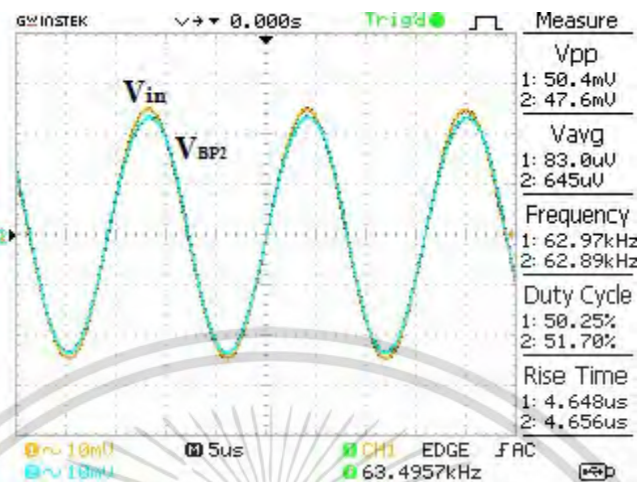
รูปที่ 4.13 ผลตอบสนองทางขนาดของฟังก์ชัน LP, HP, BP1, BP2, BR และ AP ที่ได้จากการทดลอง

การปรับค่าควอลิตี้แฟกเตอร์โดยปราศจากผลกระทบต่อความถี่ธรรมชาติได้ถูกยืนยันด้วยผลการทดลองวงจรความถี่แบบแถบผ่าน BP2 ซึ่งเป็นการปรับกระแสไบอัส I_{B3} ให้มีค่าเท่ากับ $57.5\mu A$, $115\mu A$ และ $230\mu A$ ตามลำดับ จะได้ผลตอบสนองทางขนาดของฟังก์ชัน BP2 ดังรูปที่ 4.14 ซึ่งยืนยันได้ว่าค่า Q สามารถปรับได้อย่างอิสระจากความถี่โพลด้วย I_{B3} ดังสมการที่ (3.16)



รูปที่ 4.14 ผลตอบสนองทางขนาดของฟังก์ชัน BP2 เมื่อเปลี่ยนค่า I_{B3} ที่ได้จากการทดลองจริง เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้ในเชิงวิชาการเท่านั้น เมื่ออนุญาตให้นำไปใช้โดยไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดสัญญาณเอาต์พุตที่ BP2 จะได้สัญญาณอินพุตเทียบกับเอาต์พุตดังรูปที่ 4.15 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ขนาด 50mV ความถี่ 63kHz



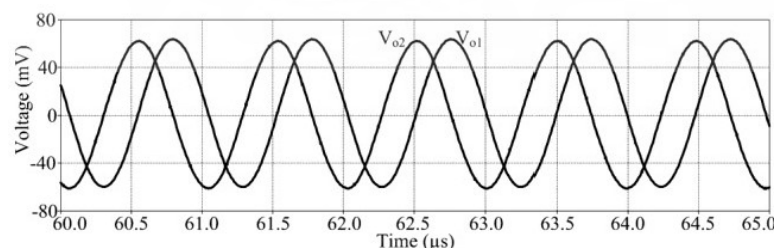
รูปที่ 4.15 ผลการวัดสัญญาณเอาต์พุตที่ BP2 เทียบกับ V_{in} ที่ความถี่ 63kHz

4.2 ผลการเลียนแบบการทำงานของวงจรถ่ายสัญญาณความถี่สูงหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต

วงจรถ่ายความถี่สูงหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.2 ถูกปรับปรุงให้เป็นวงจรถ่ายสัญญาณความถี่สูงหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตดังแสดงในรูปที่ 3.4 ถูกทดสอบการทำงานโดยใช้โปรแกรม PSPICE โดยใช้โครงสร้างของ VDDDA [5] ในรูปที่ 2.19 ซึ่งพารามิเตอร์ของ CMOS ที่ใช้คือ TSMC $0.18\mu\text{m}$ (level 7) ที่แหล่งจ่ายแรงดันไฟเลี้ยงวงจรเท่ากับ $\pm 0.9\text{V}$ และ $V_B = -0.35\text{V}$ ขนาดของความกว้างและยาวของมอสทรานซิสเตอร์แสดงในตารางที่ 2.1

โดยได้กำหนดค่าอุปกรณ์และกระแสไบอัสต่างๆ ดังนี้ $C_1 = C_2 = 47\text{pF}$, $R = 3.3\text{k}\Omega$, $R = 330\text{k}\Omega$, $I_{B1} = I_{B2} = 50\mu\text{A}$ และ $I_{B3} = 51.5\mu\text{A}$ ค่า W/L ของ NMOS ในวงจร AGC มีค่าเท่ากับ $9\mu\text{m}/1.08\mu\text{m}$

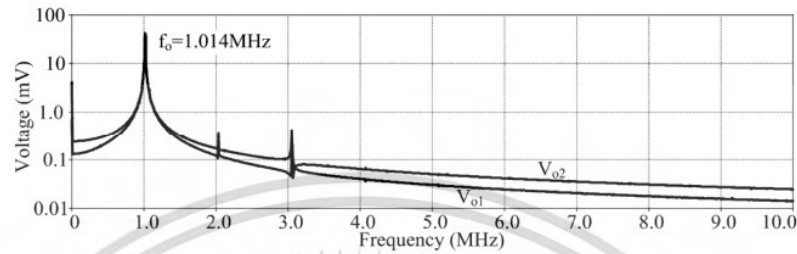
ในรูปที่ 4.16 แสดงผลการจำลองสัญญาณเอาต์พุตของวงจรถ่ายสัญญาณความถี่สูง จะเห็นว่า เอาต์พุต V_{O2} และ V_{O1} มีเฟสที่ต่างกัน 90° องศาเป็นไปตามสมการที่ 3.43



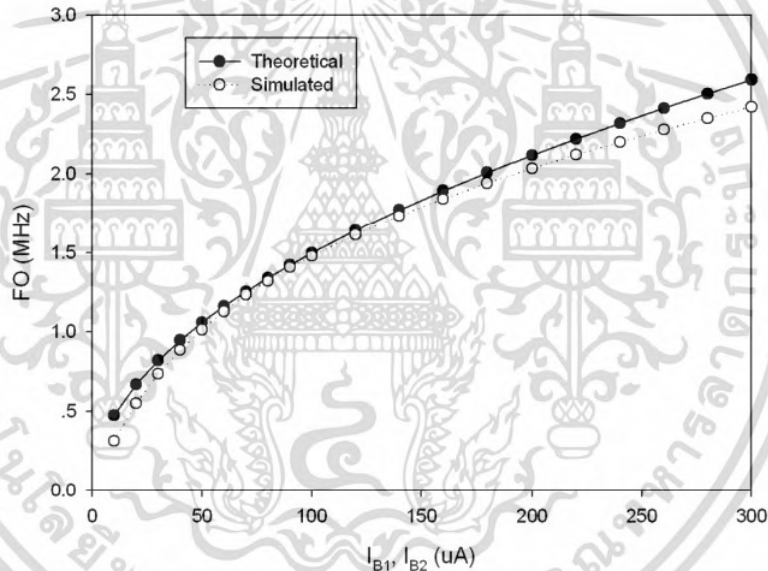
รูปที่ 4.16 ผลการจำลองสัญญาณเอาต์พุตของวงจรถ่ายสัญญาณความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปกตรัมของเอาต์พุตแสดงดังรูปที่ 4.17 จะเห็นได้ว่าความถี่ของวงจรถูกกำเนิดสัญญาณมีค่าเท่ากับ 1.014 MHz ส่วนค่าความถี่ของวงจรถูกกำเนิดสัญญาณในทางทฤษฎีมีค่าเท่ากับ 1.058 MHz ซึ่งมากกว่าค่าที่ได้จากการจำลองเล็กน้อย ผลการปรับความถี่ของการกำเนิดสัญญาณโดยการปรับค่ากระแสไบอัส I_{B1} และ I_{B2} แสดงดังรูปที่ 4.18 พบว่าผลการจำลองและทฤษฎีมีแนวโน้มไปในทิศทางเดียวกัน



รูปที่ 4.17 ผลการจำลองสเปกตรัมของเอาต์พุต



รูปที่ 4.18 ผลการจำลองการปรับความถี่ของการกำเนิดสัญญาณ โดยการปรับค่ากระแสไบอัส I_{B1} และ I_{B2}

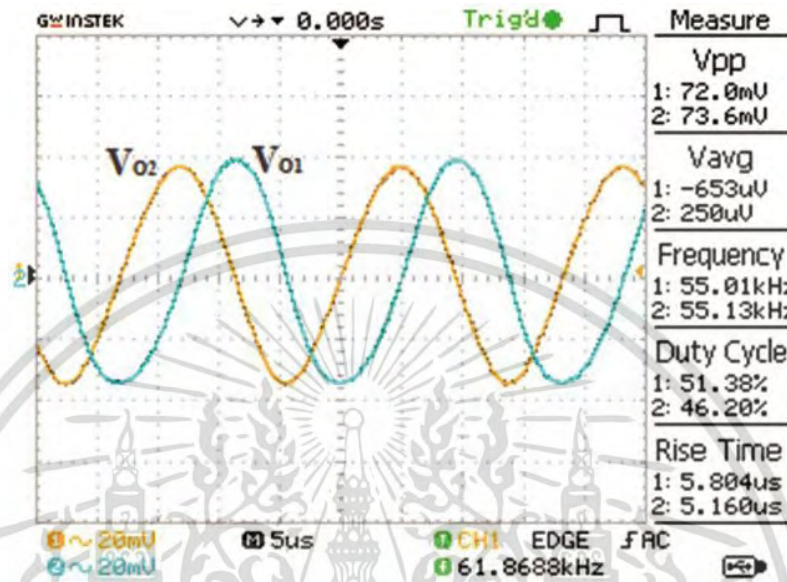
นอกจากนี้วงจรถูกกำเนิดสัญญาณไซน์ควอดเรเจอร์ที่ได้จากการปรับปรุงวงจรรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.4 ได้ถูกทดสอบการทำงานด้วยการต่อวงจรจริง โดยใช้ VDDDA [5] ที่สร้างมาจากไอซีที่มีขายในทางพาณิชย์เบอร์ LM13700 และเบอร์ AD830 ดังรูปที่ 4.12

ในการทดลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ควอดเรเจอร์ที่ได้จากการปรับปรุงวงจรรองความถี่หลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตในรูปที่ 3.4 ได้ถูกทดสอบการทำงานภายใต้เงื่อนไข ดังนี้ แรงดันแหล่งจ่ายมีค่าเท่ากับ $\pm 5V$, $C_1 = C_2 = 5.6 nF$, $I_{B1} = I_{B2} = I_{B3} = 115 \mu A$

($g_{m1} = g_{m2} = g_{m3} = 2.211 mA/V$) และ $R = 0.54 k\Omega$ ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายใต้เงื่อนไขนี้ ความถี่ของการกำเนิดสัญญาณมีค่าเท่ากับ 62.9 kHz รูปที่ 4.19 แสดงค่าแรงดันเอาต์พุตที่ได้จากการวัดเมื่อความถี่ของการกำเนิดสัญญาณมีค่าเท่ากับ 61.8688 kHz ซึ่งเบี่ยงเบนจากค่าทางทฤษฎีประมาณ 1.579 % และได้พบว่าแรงดันเอาต์พุต V_{O1} และ V_{O2} เป็นสัญญาณไซน์ควอดเรเจอร์

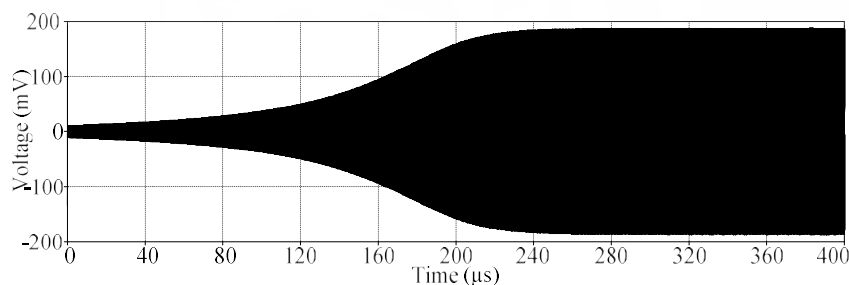


รูปที่ 4.19 ผลการวัดแรงดันเอาต์พุตและความถี่เมื่อ $I_{B1} = I_{B2} = 115\mu A$

4.3 ผลการเลียนแบบการทำงานของวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์

วงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ในรูปที่ 3.6 ถูกทดสอบการทำงานโดยใช้โปรแกรม PSPICE โดยใช้โครงสร้างของ VDDDA ในรูปที่ 2.19 ซึ่งพารามิเตอร์ของ CMOS ที่ใช้คือ TSMC 0.18 μm (level 7) ที่แหล่งจ่ายแรงดันไฟเลี้ยงวงจรเท่ากับ $\pm 0.9V$ และ $V_B = -0.35V$ ขนาดของความกว้างและยาวของมอสทรานซิสเตอร์แสดงในตารางที่ 2.1 ในการเลียนแบบการทำงานของวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ได้กำหนดค่าอุปกรณ์และกระแสไบอัสต่างๆ ดังนี้ $C_1 = C_2 = 33 pF$, $R_1 = 500\Omega$, $R_2 = 9.5\Omega$, $I_{B1} = I_{B2} = 50\mu A$

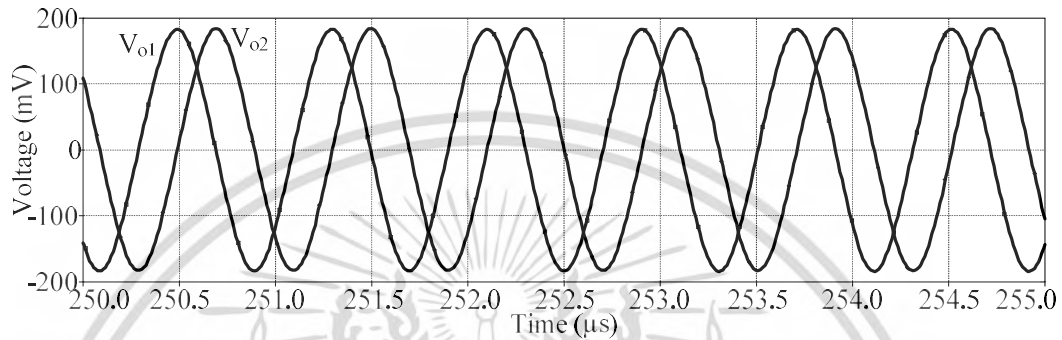
ด้วยค่าอุปกรณ์ดังกล่าวจะได้ผลการเลียนแบบวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ในสถานะเริ่มต้นในรูปที่ 4.20 จะเห็นได้ว่าวงจรถ่ายใช้เวลาในสถานะเริ่มต้นด้วยเวลาประมาณ 250 μs



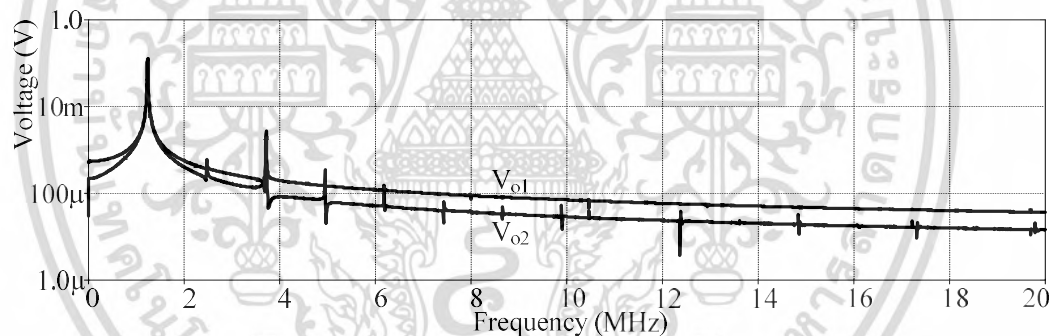
รูปที่ 4.20 ผลการเลียนแบบวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ในสถานะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้ในเชิงวิชาการเท่านั้น เมื่อผู้ยูได้เห็นใบเซอร์ยืนยันการดำเนินการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนรูปที่ 4.21 จะเป็นสัญญาณไซน์ควอดเรเจอร์ในสถานะอยู่ตัวซึ่งผลการเลียนแบบแสดงให้เห็นว่า วงจรสามารถให้กำเนิดสัญญาณไซน์ควอดเรเจอร์ได้ตามที่วิเคราะห์ไว้ในสมการที่ 3.52 โดยสัญญาณ V_{o2} จะล่าหลังสัญญาณ V_{o1} อยู่ 90 องศา โดยผลการเลียนแบบการทำงานจะให้ความถี่ในการกำเนิดสัญญาณเท่ากับ 1.24 MHz ซึ่งสัญญาณ V_{o1} และ V_{o2} มีความผิดเพี้ยนทางฮาร์โมนิกส์รวม (Total harmonic distortion: THD) เท่ากับ 1.83% และ 1.75% ตามลำดับ ส่วนสเปกตรัมของสัญญาณเอาต์พุตแสดงดังรูปที่ 4.22



รูปที่ 4.21 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ในสถานะอยู่ตัว

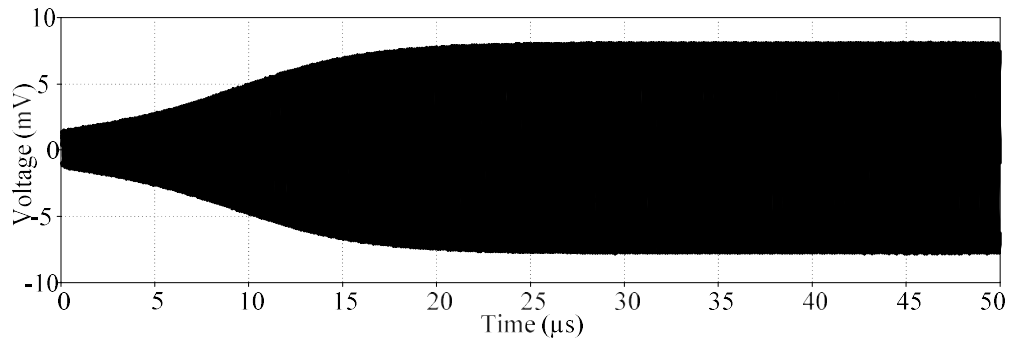


รูปที่ 4.22 สเปกตรัมของสัญญาณในรูปที่ 4.21

4.4 ผลการเลียนแบบการทำงานของวงจรถ้ากำเนิดสัญญาณไซน์หลายเฟสแบบเฟสดี

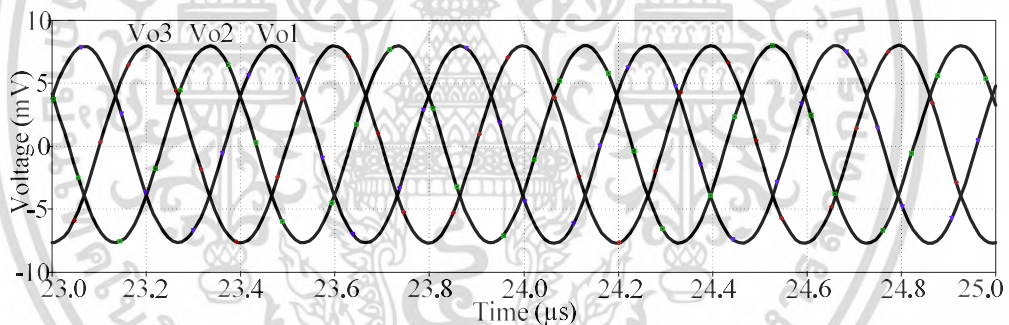
วงจรถ้ากำเนิดสัญญาณหลายเฟสในรูปที่ 3.9 ได้ถูกออกแบบให้กำเนิดสัญญาณไซน์สามเฟส ($n=3$) และถูกทดสอบการทำงานโดยใช้โปรแกรม PSPICE โดยใช้โครงสร้างของ VDDDA ในรูปที่ 2.19 ซึ่งพารามิเตอร์ของ CMOS ที่ใช้คือ TSMC 0.18 μm (level 7) ที่แหล่งจ่ายแรงดันไฟเลี้ยงวงจรเท่ากับ $\pm 0.9\text{V}$ และ $V_B = -0.35\text{V}$ ขนาดของความกว้างและยาวของมอสทรานซิสเตอร์แสดงในตารางที่ 2.1 ในการเลียนแบบการทำงานของวงจรถ้ากำเนิดสัญญาณสามเฟสให้ $C_1 = C_2 = 33\text{pF}$, $R_1 = 10\text{k}\Omega$, $R_2 = 9.9\text{k}\Omega$, $I_B = 50\mu\text{A}$

ด้วยค่าอุปกรณ์ดังกล่าวจะได้ผลการเลียนแบบวงจรถ้ากำเนิดสัญญาณไซน์หลายเฟสในสถานะเริ่มต้นในรูปที่ 4.23 จะเห็นได้ว่าวงจรถ้าใช้เวลาในสถานะเริ่มต้นด้วยเวลาประมาณ 23 μs

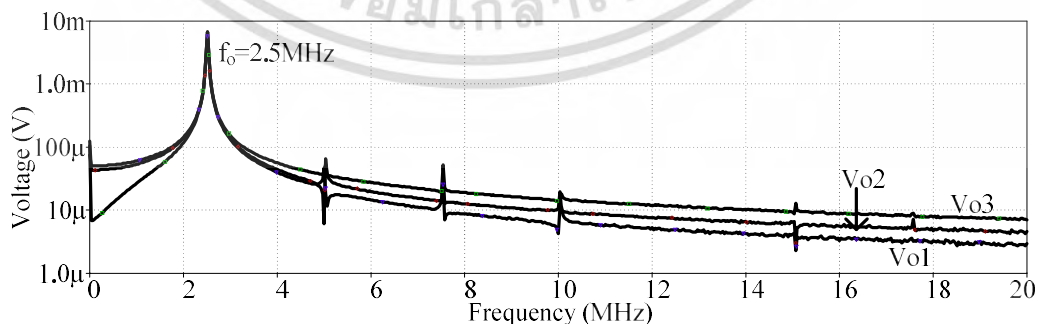


รูปที่ 4.23 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์หลายเฟสในสถานะเริ่มต้น

ส่วนรูปที่ 4.24 จะเป็นสัญญาณไซน์ควอเตอร์เฟสในสถานะอยู่ตัวซึ่งผลการเลียนแบบแสดงให้เห็นว่าสัญญาณ V_{O1} , V_{O2} และ V_{O3} มีความต่างเฟสที่เท่ากันและมีขนาดเท่ากันทั้งสามเฟส ซึ่งสัญญาณ V_{O1} , V_{O2} และ V_{O3} มีความผิดเพี้ยนทางฮาร์โมนิกสรรวม (Total harmonic distortion: THD) เท่ากับ 0.87%, 0.86% และ 0.78% ตามลำดับ ส่วนสเปกตรัมของสัญญาณเอาต์พุตแสดงดังรูปที่ 4.25 โดยผลการเลียนแบบการทำงานจะได้ความถี่ในการกำเนิดสัญญาณเท่ากับ 2.5 MHz จะเห็นว่า V_{O1} , V_{O2} และ V_{O3} มีแนวโน้มไปในทิศทางเดียวกัน



รูปที่ 4.24 ผลการเลียนแบบวงจรกำเนิดสัญญาณไซน์หลายเฟสในสถานะอยู่ตัว



รูปที่ 4.25 สเปกตรัมของสัญญาณในรูปที่ 4.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุป

5.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอการสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนาล็อกในโหมดแรงดันโดยใช้อุปกรณ์แอกทีฟสำเร็จรูปที่เรียกว่า วงจรขยายความนำผลต่างแรงดันเอาต์พุต โดยวงจรที่นำเสนอมีสามวงจร ได้แก่ วงจรกรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุต วงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ และวงจรกำเนิดสัญญาณไซน์หลายเฟสแบบเฟสสี่วงจรกรองความถี่ที่นำเสนอสังเคราะห์มาจากวงจรอินทิเกรเตอร์ที่ไม่สูญเสียจำนวนสองวงจร วงจรขยายหนึ่งวงจรและวงจรบวก-ลบสัญญาณอีกสามวงจร จุดบ่อนอินพุตของวงจรกรองความถี่ที่นำเสนอมีความต้านทานสูงโดยสามารถควบคุมควอลิตี้แฟกเตอร์ได้อย่างอิสระจากควอลิตี้ธรรมชาติ ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส วงจรสามารถให้ฟังก์ชันกรองความถี่ได้พร้อมกันห้าฟังก์ชัน คือ กรองความถี่ต่ำผ่าน กรองความถี่สูงผ่าน กรองผ่านแถบความถี่ กรองจำกัดแถบความถี่และกรองผ่านทุกความถี่ ความต้านทานที่เอาต์พุตของฟังก์ชันกรองความถี่สูง กรองผ่านทุกความถี่และกรองจำกัดแถบความถี่มีความต้านทานต่ำ ทำให้สามารถต่อไปยังวงจรภาคอื่นโดยไม่ต้องใช้วงจรบัฟเฟอร์ วงจรกรองความถี่ที่นำเสนอประกอบไปด้วย VDDDA จำนวนสามวงจร ร่วมกับตัวเก็บประจุต่อลงกราวด์สองตัวและตัวต้านทานอีกหนึ่งตัว ซึ่งเหมาะที่จะนำไปสร้างเป็นวงจรรวมส่วนวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ที่นำเสนอสังเคราะห์มาจากวงจรอินทิเกรเตอร์แบบไม่สูญเสียจำนวนสองชุด วงจรขยายสัญญาณและวงจรบวก-ลบสัญญาณอีกอย่างละหนึ่งชุด โดยวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ประกอบไปด้วย VDDDA จำนวนสองวงจร ตัวต้านทานสองตัวและตัวเก็บประจุที่ต่อลงกราวด์อีกสองตัว ความถี่ในการกำเนิดสัญญาณสามารถปรับได้แบบอิเล็กทรอนิกส์โดยไม่ส่งผลกระทบต่อเงื่อนไขในการกำเนิดสัญญาณ และในส่วนของวงจรถ่ายสัญญาณไซน์หลายเฟสแบบเฟสสี่ที่นำเสนอสังเคราะห์มาจากวงจรอินทิเกรเตอร์ที่มีการสูญเสียชนิดกลับเฟสที่สามารถควบคุมอัตราขยายได้จำนวน n ชุด ซึ่งออกแบบมาจากวงจรอินทิเกรเตอร์ที่ใช้ VDDDA เป็นอุปกรณ์แอกทีฟหลัก เงื่อนไขในการกำเนิดสัญญาณสามารถควบคุมได้โดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ การปรับความถี่ในการกำเนิดสัญญาณสามารถทำได้แบบอิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส ที่จุดเอาต์พุตมีความต้านทานต่ำจึงทำให้วงจรสามารถต่อไปยังวงจรภาคอื่นหรือขับโหลดได้โดยไม่ต้องใช้วงจรบัฟเฟอร์ภายนอก วงจรสามารถให้กำเนิดสัญญาณไซน์ที่มีความต่างเฟสเท่ากันและขนาดเท่ากันทุกเฟส โดยวงจรอินทิเกรเตอร์ของสัญญาณแต่ละเฟสประกอบไปด้วย VDDDA จำนวนหนึ่งวงจร ตัวต้านทานสองตัวและตัวเก็บประจุอีกหนึ่งตัวโดยไม่ต้องใช้วงจรขยายภายนอก

จากการตรวจสอบการทำงานของวงจรทั้งสามพบว่า ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ที่ได้มีความสอดคล้องกับที่ได้วิเคราะห์ไว้ในทางทฤษฎี และผลการทดลองจากการต่อวงจรจริงโดยใช้ไอซีสำเร็จรูปเบอร์ LM13700 และ AD830 แสดงให้เห็นว่าวงจรกรองความถี่ที่นำเสนอสามารถทำหน้าที่เป็นวงจรกรองความถี่ได้ห้าฟังก์ชันโดยไม่ต้องเปลี่ยนแปลงโครงสร้างวงจรรวมทั้งผลการทดลองจากการต่อวงจรจริงโดยใช้ไอซีสำเร็จในส่วนของการปรับวงจรกรองความถี่ให้เป็นวงจรถ่ายสัญญาณไซน์ควอดเรเจอร์ ในขณะที่ผลการเลียนแบบวงจรถ่ายสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควอเตรเจอร์และสัญญาณไซน์หลายเฟสก็ให้ผลสอดคล้องกับที่ได้คาดการณ์ไว้ ซึ่งผลการทดสอบดังกล่าวเป็นการยืนยันได้ว่าวงจรที่นำเสนอในวิทยานิพนธ์นี้สามารถทำงานได้จริง

ตารางที่ 5.1 แสดงการเปรียบเทียบระหว่างวงจรรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตที่นำเสนอกับวงจรรองความถี่ที่เคยมีผู้นำเสนอมาก่อนหน้านี้ จากตารางมีประเด็นการเปรียบเทียบดังนี้ ชนิดของอุปกรณ์แอกทีฟสำเร็จรูป จำนวนของอุปกรณ์แอกทีฟสำเร็จรูป จำนวนของตัวต้านทานและตัวเก็บประจุที่ต้องใช้ต่อรวม อุปกรณ์ต่อรวมเป็นแบบต่อลงกราวด์เท่านั้น มีอินพุตอิมพีแดนซ์สูงหรือไม่ สามารถปรับได้แบบอิเล็กทรอนิกส์หรือไม่ สามารถปรับควอลิตี้แฟกเตอร์และความถี่อิสระจากกันหรือไม่ มีผลตอบสนองวงจรรองความถี่ครบทั้ง 5 ฟังก์ชันหรือไม่ มีเอาต์พุตอิมพีแดนซ์สูงหรือไม่ และเทคโนโลยีที่ใช้ ซึ่งจะเห็นได้ว่าวงจรรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตที่นำเสนอสามารถตอบประเด็นได้ครบทุกประเด็นดังแสดงในตาราง ซึ่งผลการเปรียบเทียบดังกล่าวเป็นการยืนยันได้ว่าวงจรที่นำเสนอในวิทยานิพนธ์นี้สามารถทำงานได้จริงอย่างมีประสิทธิภาพ

ตารางที่ 5.1 การเปรียบเทียบระหว่างวงจรรองความถี่อันดับสองหลายหน้าที่หนึ่งอินพุต-หลายเอาต์พุตที่นำเสนอกับวงจรรองความถี่ที่เคยมีผู้นำเสนอมาก่อนหน้านี้

Reference	ABB	No. of ABB	No. of R+C	Grounded elements only	High input impedance	Electronic tune	Orthogonal tune of Q and ω_0	Five filter responses	Low output impedances	Technology
[19]	DVCC	3	3+2	yes	yes	no	no	yes	no	CMOS
[20]	DVCC	3	3+2	no	yes	no	yes	yes	no	CMOS
[21]	DVCC	2	3+2	no	no	no	yes	yes	no	CMOS
[35]	FDCCII (Fig. 3)	1	2+2	yes	yes	no	no	no	no	CMOS
[22]	DDCC	2	3+2	no	no	no	no	yes	no	CMOS
[24]	DDCC	3	2+2	no	no	no	no	yes	no	CMOS
[36]	DDCC & OTA	2	1+2	yes	yes	yes	no	no	no	CMOS
[37]	OTA	8	0+2	yes	yes	yes	yes	no	no	CMOS
[38]	CFOA	1	3+2	no	no	no	yes	no	LP	commercial IC
[39]	DDCCTA	1	1+2	yes	yes	yes	no	no	no	CMOS
[25]	DDCCTA	2	2+2	yes	yes	yes	no	yes	no	CMOS
[40]	OTA	8	0+2	yes	yes	yes	yes	no	no	CMOS
[41]	DDCCTA	3	0+2	yes	yes	yes	no	yes	AP	CMOS
[42]	CCCCTA	1	1+3	no	no	yes	yes	no	no	BJT
[43]	DDCCTA	1	2+2	no	no	yes	no	no	no	CMOS
[44]	DDCCTA	2	2+2	yes	yes	yes	no	yes	AP	CMOS
[45]	FDCCII	1	3+2	no	no	no	no	yes	no	CMOS
[46]	DVCC	4	5+2	yes	yes	no	yes	no	no	CMOS
[47]	ICCI	2	4+2	no	no	no	no	no	no	CMOS
[48]	DVCC	2	2+3	no	no	no	no	no	no	CMOS
[49]	DDCCTA	2	2+2	no	yes	yes	yes	yes	no	CMOS
[50]	VD-DIBA	2	0+2	yes	yes	yes	no	no	HP	commercial IC
[51]	VDCC (Fig. 3)	1	2+2	yes	no	yes	yes	no	no	CMOS
[52]	VDCC	1	2+2	no	no	yes	yes	no	no	BJT
[53]	CCII	2	3+2	no	yes	no	no	no	no	CMOS
[54]	DDCCTA	2	3+2	yes	yes	yes	yes	yes	AP	CMOS
[55]	VDTA (Fig. 5)	1	0+2	yes	yes	yes	no	no	no	CMOS
[56]	CCII	4	5+2	no	yes	no	yes	yes	no	commercial IC
Present work	VDDDA	3	1+2	yes	yes	yes	yes	yes	HP, AP, BR	CMOS & commercial IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ข้อเสนอแนะจากการวิจัย

5.2.1 ควรมีการสร้างวงจร VDDDA ขึ้นมาเพื่อทดสอบจริงจากมอสทรานซิสเตอร์อาร์เรย์ (MOS Transistor array) เพื่อเปรียบเทียบสมรรถนะของวงจรที่ได้จากการเลียนแบบการทำงานด้วย PSPICE กับการทดลองจริง

5.2.2 โครงสร้างภายในของ VDDDA ควรออกแบบด้วยวงจรพื้นฐานสมรรถนะสูง เช่น วงจรสะท้อนกระแส อาจใช้วงจรสะท้อนกระแสแบบวิลสันหรือแบบคาสเคด เพื่อลดปัญหาด้านกระแสออฟเซตขาออกและอัตราการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุต รวมทั้งเพื่อทำให้ความต้านทานที่จุดเอาต์พุตของวงจรมีค่าสูง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] Soliman A. M., A new realization of the FDNC using the DVCCS/DVCVS, International Journal of Electronics and Communications (AEÜ), 1979, vol. 33, no. 10, p. 423-424.
- [2] Ninsraku W., Biolek D., Jaikla W., Siripongdee S., Suwanjan P., Electronically controlled high input and low output impedance voltage mode multifunction filter with grounded capacitors. International Journal of Electronics and Communications (AEÜ), 2014, vol. 68, no. 12, p. 1239-1246.
- [3] Yuce E., Minaei S., Realization of arbitrary current transfer functions based on commercially available CCII+s. International Journal of Circuit Theory and Applications, 2014, vol. 42, no. 7, p. 659-670.
- [4] Biolek D., Senani R., Biolkova V., Kolka Z., Active elements for analog signal processing, classification, review and new proposals, Radioengineering, 2008, vol. 17, no. 4, p. 15-32.
- [5] Herencsár N., Šotner R., Metin B., Koton J., Vrba K., VDDDA - New Voltage Differencing Device for Analog Signal Processing. In Proceeding of the 8th International Conference on Electrical and Electronics Engineering. Bursa, Turkey: The Chamber of Electrical Engineers Bursa Branch (EMO), 2013. p. 17-20.
- [6] Koton J., Herencsár N., Vrba K., Metin B., The VDDDA in multifunction filter with mutually independent Q and ω_0 control feature, In proceeding of 2013 8th International Conference on Electrical and Electronics Engineering (ELECO), 2013, p. 53-56.
- [7] Koton J., Herencsár N., Vrba K., Metin B., Voltage-mode multifunction filter with mutually independent Q and ω_0 control feature using VDDDA, Analog Integrated Circuits and Signal Processing, 2014, vol. 81, no. 1, p 53-60.
- [8] Herencsár N., Cicekoglu O., Šotner R., Koton J., Vrba K., New resistorless tunable voltage-mode universal filter using single VDIBA. Analog Integrated Circuits and Signal Processing, 2013, vol. 76, no. 2, pp. 251-260.
- [9] Sedra A. S., Smith K. C., Microelectronic circuits, 3rd ed., Florida: Holt, Rinehart and Winston, 1991.
- [10] Ibrahim M. A., Minaei S., Kuntan H., A 22.5MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements. International Journal of Electronics and Communications (AEÜ), 2005, vol. 59, no. 5, p. 311-318.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [11] Horng J. W., Hou C. L., Chang C. M., Chung W. Y., Wei H. Y., Voltage-mode universal biquadratic filter with one input and five outputs using MOCCIs, *Computers & Electrical Engineering*, 31 (2005), pp. 190–202
- [12] Horng J. W., Hou C. L., Chang C. M., Chung W. Y., Voltage-mode universal biquadratic filter with one input and five outputs, *Analog Integrated Circuits and Signal Processing*, 47 (2006), pp. 73–83
- [13] Horng J. W., Hou C. L., Chang C. M., Chou H. P., Lin C. T., High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors, *Circuits, Systems and Signal Processing*, 25 (6) (2006), pp. 767–777
- [14] Chen H. P., Shen S. S., A versatile universal capacitor-grounded voltage-mode filter using DVCCs, *ETRI Journal*, 29 (4) (2007), pp. 470–476
- [15] Chen H. P., Universal voltage-mode filter using only plus-type DDCCs, *Analog Integrated Circuits and Signal Processing*, 50 (2) (2007), pp. 137–139
- [16] Chen H. P., Voltage-mode FDCCII-based universal filters, *International Journal of Electronics and Communications (AEU)*, 62 (2008), pp. 320–323
- [17] Chiu W. Y., Horng J. W., Cheng S. T., Universal filter with one input and five outputs using DDCCs, 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008) (2008) Bangkok, Thailand
- [18] Chen H. P., Versatile universal voltage-mode filter employing DDCCs, *International Journal of Electronics and Communications (AEU)*, 63 (2009), pp. 78–82
- [19] Minaei S., Yuce E., All-grounded passive elements voltage-mode DVCC-based universal filter, *Circuits, Systems and Signal Processing*, 29 (2010), pp. 295–309
- [20] Chiu W. Y., Horng J. W., Lee H., Huang C. C., DVCC-based voltage-mode biquadratic filter with high-input impedance, 5th IEEE International Symposium on Electronic Design, Test and Applications, Ho Chi Minh City, Vietnam, pp.121–125, Dec. 13–15, 2010.
- [21] Horng J. W., Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs, *Analog Integrated Circuits and Signal Processing*, 62 (2010), pp. 407–413
- [22] Chiu W. Y., Horng J. W., Voltage-mode biquadratic filters with one input and five outputs using DDCCs, *Indian Journal of Engineering and Materials Sciences*, 18 (2011), pp. 97–101
- [23] Chiu W. Y., Horng J. W., Yang S. S., High-input impedance voltage-mode universal biquadratic filter with one input and five outputs using DDCCs, 4th IEEE International Symposium on Electronic Design, Test and Applications, Hong Kong, China, pp.346–350, Jan. 23–25, 2008.

- [24] Chiu W. Y., Horng J. W., Guo Y. S., Tseng C. Y., DDCCs based voltage-mode one input five outputs biquadratic filter with high input impedance, 13th International Symposium on Integrated Circuits, Singapore, pp. 39–42, Dec. 12–14, 2011.
- [25] Channumsin O., Pukkalanun T., Tangsrirat W., Voltage-mode universal filter with one input and five outputs using DDCCAs and all-grounded passive components, *Microelectronics Journal*, 43 (2012), pp. 555-561.
- [26] Horng W., Voltage-mode universal biquadratic filter with one input and five outputs using OTAs, *International Journal of Electronics*, 89 (2002), pp. 729-737.
- [27] มนตรี ศิริปรัชญานันท์, การศึกษาวงจรถ่ายทอดสัญญาณและวงจรถ่ายทอด PWM ที่สามารถควบคุมด้วยกระแสอย่างเป็นอิสระต่อกัน โดยอาศัยหลักการวางจรรวม. วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2547.
- [28] Allen P. E., Holberg D. R., *CMOS analog circuit design*. 2nd Ed. New York: Oxford, Inc. 2002, Ch. 2.
- [29] Sah C. T., Characteristics of the metal-oxide-semiconductor transistor. *IEEE Trans. Electron Devices*, vol. ED-11, 1964. pp. 324-325.
- [30] Gray P. R., Hurst P. J., Lewist S. H., Meyer R. G., *Analysis and design of analog integrated circuits*. 4th ed. New York: John Wiley & Sons, 2001.
- [31] จีรสุดา เกษร, วงจรรองความถี่และวงจรรออสซิลเลเตอร์ที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์. วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2542.
- [32] Gray P. R., Meyer R. G., *Analysis and Design of Analog Integrated Circuits*. New York, John & Sons, Inc., 2001.
- [33] Greneich E.W., *Analog Integrated Circuit*. New York: Chapman & Hall, Inc., 1997.
- [34] Bajer J., Vavra J., Biolek D., Hajek K., Low-distortion current-mode quadrature oscillator for low-voltage low power applications with non-linear no inertial automatic gain control. (Linkoping, Sweden), 2011.
- [35] Kaçar F., Yeşil A., Voltage mode universal filters employing single FDCCII. *Analog Integrated Circuits and Signal Processing*, 2010.
- [36] Udorn N., Duangmalai D., Noppakarn A., High input impedance current controlled voltage-mode universal filter using DDCC and OTA, *IEEE International Conference on Vehicular Electronics and Safety (ICVES)*, 2011.
- [37] Kumngern M., Suwanjan P., Dejhan K., Electronically tunable voltage-mode SIMO OTA-C universal biquad filter, *Asia-Pacific Conference on Communications (APCC2011)*, 2011.
- [38] Horng J. W., Hou C. L., Huang W. S., Yang D. Y., “Voltage/Current-Mode Multifunction Filters Using One Current Feedback Amplifier and Grounded Capacitors,” *Circuits and Systems*, Vol. 2, No. 2, 2011, pp. 60-64.

- [39] Tangsrirat W., Channumsin O., High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements. *Radio engineering*, 20 (2011), pp. 905-910
- [40] Kumngern M., Suwanjan P., Dejhan K., Electronically tunable voltage-mode universal filter with single-input fiveoutput using simple OTAs. *Int J Electron* 2013; 100: 1118-1133.
- [41] Tangsrirat W., Channumsim O., Pukkalanun T., Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter. *Microelectron J*, 44 (2013), pp. 210-215.
- [42] Singh S. V., Maheshwari S., Tomar R. S., Chauhan D. S., Single input four output voltage-mode biquad filter with electronic tuning. *International Conference on Multimedia Signal Processing and Communication Technologies*, 2013.
- [43] Channumsin O., Tangsrirat W., Single-input four-output voltage-mode universal filter using single DDCCTA. *Microelectron J*, 44 (2013):1084–1091.
- [44] Chen H. P., High-input impedance voltage-mode differential difference current conveyor transconductance amplifier-based universal filter with single input and five outputs using only grounded passive components. *IET Circuits Dev Syst*, 8 (2014), pp. 280-290.
- [45] MOHAN J., CHATURVEDI B., MAHESHWARI S., Single Active Element Based Voltage-Mode Multifunction Filter. *Advances in Electrical Engineering*, vol. 2014, Article ID 514019, 7 pages, 2014.
- [46] Ismail M. U., Arif B., Single input multi output digitally reconfigurable biquadratic analog filter. *International Conference on Systems Informatics, Modelling and Simulation*, 2014.
- [47] Chen H. P., Voltage-Mode Multifunction Biquadratic Filter with One Input and Six Outputs Using Two ICCIs. *Scientific world J.*, (2014) Article ID 432570.
- [48] Chen H. P., Chiu Y. L., Chung C. K., Chou C. C., Voltage-mode multifunction filter with single input and three outputs based on single plus-type DVCC. *International Conference on Information Science, Electronics and Electrical Engineering*, (2014) 1838-1841.
- [49] Chen H P, Wang S F, Huang W Y & Hsieh M Y, *IEICE Electron Express*, 11 (2014) 20140234.
- [50] Jaikla, W., Birolek, D., Siripongdee, S., Bajer, J., High input impedance voltage-mode biquad filter using VD-DIBAs. *Radioengineering*, 23 (2014), n 3, 914-921
- [51] Kaçar F., Yeşil A., Gürkan K., Design and experiment of VDCC-based voltage mode universal filter. *Indian J Pure Appl Phys* 2015; 53: 341-349.

- [52]Sagbas M., Ayten U. E., Koksal M., Herencsár N., Electronically tunable universal biquad using a single active component. International Conference on Telecommunications and Signal Processing (TSP), 2015.
- [53]Yucel F., Yuce E., A New CCII Based Voltage-Mode Multifunctional Filter with Reduced Number of Active and Passive Elements. *Journal of Circuits Systems and Computers*, vol.24, no.4, 11 pages, 2015.
- [54]Chen H. P., Wang S. F., High-input impedance tunable DDCCTA-based voltage-mode universal filter with grounded capacitors and resistors. *AEU – Int J Electron Commun*, 70 (2016), pp. 491-499.
- [55]Alaybeyoğlu E., Kuntman H., CMOS implementations of VDTA based frequency agile filters for encrypted communications. *Analog Integr Circuits Signal Process*, 89 (3) (2016), pp. 675–684.
- [56]Horng J. W., Chiu W. Y., *Indian J Pure Appl Phys*, 54 (2016) 557.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก
ผลงานวิจัยที่ได้ตีพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A Voltage-Mode Quadrature Sinusoidal Oscillator Using VDDAs

Sunti Tuntrakool

Department of Telecommunications Engineering
 Faculty of Engineering, King Mongkut's Institute of
 Technology Ladkrabang, Bangkok, Thailand
 Email: ktsunti@kmitl.ac.th

Montree Kumngern

Department of Telecommunications Engineering
 Faculty of Engineering, King Mongkut's Institute of
 Technology Ladkrabang, Bangkok, Thailand
 Email: kkmontre@kmitl.ac.th

Abstract— Voltage-mode quadrature sinusoidal oscillator using voltage differencing differential difference amplifiers (VDDAs) is presented in this paper. For this proposed oscillator, it is consisted of two VDDAs, two resistors, and two grounded capacitors. Frequency of oscillation (FO) of the proposed oscillator can be electronically controlled without affecting the condition of oscillation (CO). Therefore it is easily controlled by microcontroller. For simulation results, PSPICE have been performed using parameters of 0.25 μ m TSMC CMOS technology. From the results, it is found that frequency oscillation is 1.24 MHz, total harmonic distortions (THDs) for V_{o1} and V_{o2} are about 1.83% and 1.75%, respectively and power consumption is nearly 0.235 mW at ± 0.9 V power supply voltages. With the proposed structure, it is very convenient to develop in monolithic chip.

Keywords—VDDA; filter; voltage-mode; CMOS; Biquad

I. INTRODUCTION

There are several researches on quadrature oscillator. This kind of oscillator is an oscillator which provides two sinusoidal signals with 90° phase difference. It plays an important role and has been widely applied in various applications such as communication system, instrumentation, measurement and signal processing, etc [1-2]. Especially in communication systems, the sinusoidal oscillator is frequently used to generate the carrier signal for modulation system [3-4] such as AM, FM, QAM etc.

It is very popular to use active building block for circuit design because it gives the flexibility for designer to realize the high performance circuit using minimum number of active element [3-7]. From mentioned features, the principle of active building blocks for both current and voltage mode circuit are introduced by Bielek et al. [7]. VDDA [8] is one of the interests. It allows interesting utilization and design of more profitable or more exacting application especially the electronic controllability. From literature reviews, it is found that not much research using VDDA have been published for instance the voltage-mode first order all pass filter [8], oscillator [8] and multifunction filter [9-11].

The voltage-mode quadrature sinusoidal oscillator using VDDAs is presented. It is suitable for fabricating as a

monolithic chip. It is consisting of two VDDAs, two resistors and two grounded capacitors. The proposed oscillator can provide the electronic control of frequency of oscillation without affecting the condition of oscillation.

II. CIRCUIT DESCRIPTIONS

A. Description of Used Active Building Block

In this section, the characteristic of the main active building block will be firstly described. The main active building block used in this research is voltage differencing differential difference amplifier (VDDDA). This active building block consisted of operational transconductance amplifier (OTA) followed by voltage differencing differential difference unit (VDDDU). Figure 1 (a) and 1 (b) are symbol and equivalent circuit of VDDDA respectively. They are high impedance at the input voltage terminals V_+ , V_- , V_p , and V_n . For output impedance, it is high impedance at the output current terminal (z) and low impedance at the output voltage terminal (w). The voltage difference between input voltage V_+ and V_- will be sent as a current I_z via transconductance (g_m). Generally, the g_m is varied and electronically tuned and the differential voltage of V_z , V_n and V_p will be sent to be voltage V_w with the unity voltage gain. Equation 1 is an equation for ideal VDDDA as follow.

$$\begin{pmatrix} I_{v+} \\ I_v \\ I_z \\ I_m \\ I_{vp} \\ V_w \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 1 & 0 \end{pmatrix} \begin{pmatrix} V_{v+} \\ V_v \\ V_z \\ V_m \\ V_{vp} \\ I_w \end{pmatrix} \quad (1)$$

For VDDDA implemented by CMOS technology, g_m is depends on both physical parameters of CMOS transistor and bias current (I_B) as shown in equation 2.



$$g_m = \sqrt{\mu C_{ox} \left(\frac{W}{L}\right) I_D} \quad (2)$$

Where μ is the mobility of the carrier for NMOS transistors (M_1 and M_2 in figure 4), C_{ox} is the gate oxide capacitance per unit area, W is the channel width and L is the channel length.

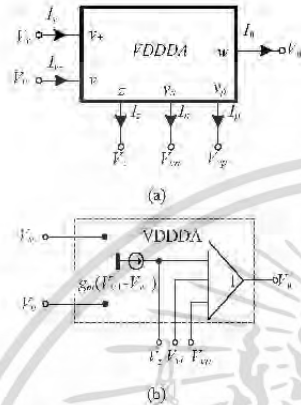


Figure 1 (a) Symbol (b) equivalent circuit of VDDDA [8]

B. Design of Quadrature Oscillator

In figure 2, it is the circuit design of quadrature oscillator by connecting two lossless integrators and amplifier as shown. The following equation 3 is the characteristic equation of the block diagram shown in figure 2.

$$s^2 \tau_1 \tau_2 + s \tau_2 (k - 1) + 1 = 0 \quad (3)$$

By considering equation 3 above, equations 4 and 5 are the frequency of oscillation and the condition of oscillation respectively.

$$\omega_0 = \frac{1}{\sqrt{\tau_1 \tau_2}} \quad (4)$$

and

$$k \leq 1 \quad (5)$$

From equation 4, it can be seen that the frequency of oscillation can be tuned by τ_1 and τ_2 which is independently from the condition of oscillation. And from equation 5, the condition of oscillation can be controlled by k which is also independently from the frequency of oscillation.

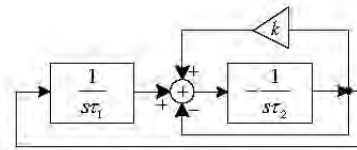


Figure 2 Block diagram for design the proposed oscillator

C. Proposed Quadrature Oscillator

The proposed oscillator is shown in figure 3. It is the second order quadrature oscillator consisted of two VDDDAs, two resistors and two grounded capacitors. It provides simultaneously two output voltages (V_{o1} and V_{o2}) with 90° degree phase difference. Additionally, it is low output impedance at the output node V_{o2} . Equation 6 below is the characteristic equation for an ideal VDDDA.

$$s^2 C_1 C_2 + s C_2 g_{m1} \left(\frac{2R_1}{R_1 + R_2} - 1\right) + g_{m1} g_{m2} = 0 \quad (6)$$

Equations 7 and 8 below are the frequency of oscillation and the condition of oscillation of the proposed filter respectively according to equation 6.

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (7)$$

and

$$k \leq 1 \quad (8)$$

From equation 7, it can be seen that the frequency of oscillation can be tuned electronically and independently from the condition of oscillation by g_{m1} and g_{m2} . And the condition of oscillation can be controlled independently the frequency of oscillation via R_1 and R_2 .

Equation 9 is the relationship of phase response for V_{o2} and V_{o1} .

$$\frac{V_{o2}}{V_{o1}} = -s C_2 g_{m2} \quad (9)$$

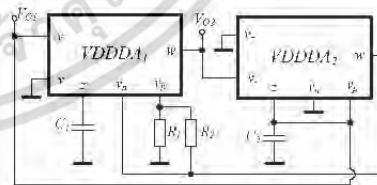


Figure 3 Proposed quadrature oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



III. SIMULATION RESULTS

PSPICE simulation using CMOS schematic of VDDDA as given in figure 4 [8] was performed in order to verify the theoretical analysis of the proposed oscillator. In this simulation of PMOS and NMOS transistors, Parameters of a 0.18 μ m TSMC CMOS technology (level 7) [12] with ± 0.9 V voltage supply and $V_B = -0.35$ V was used. Aspect ratios of PMOS and NMOS transistors are listed in Table 1 as follow. Parameters used for designing of the proposed oscillator were as follows: $C_1, C_2 = 33$ pF, $I_{B1}, I_{B2}, I_{B3} = 50\mu$ A, $R_1 = 500\Omega$ and $R_2 = 9.5\Omega$. From the simulation results, the simulated oscillation frequency is 1.24 MHz. And the total harmonic distortions (THD) of V_{o1} and V_{o2} are 1.83% and 1.75% respectively. Figure 5 and 6 are transient responses from initial state until steady state and during the steady state respectively as shown. From the results, it is found that the output currents V_{o1} and V_{o2} are quadrature signal. The output spectrum is shown in figure 7. In figure 8, the quadrature relationships between the generated waveforms have been verified using Lissagous figures.

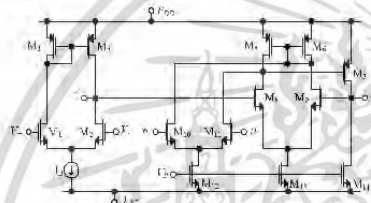


Figure 4 Internal construction of VDDDA [7]

TABLE I. DIMENSION OF MOS TRANSISTORS

Transistor	W (μ m)	L (μ m)
M1-M2	9	1.08
M3-M4	3.96	1.08
M5-M7	3.6	1.8
M8-M11	0.72	1.08
M12-M14	2.16	1.08

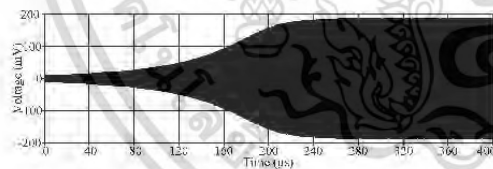


Figure 5 Output waveforms from initial state until steady state

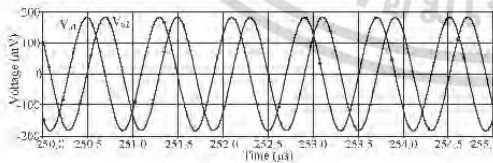


Figure 6 Quadrature waveforms

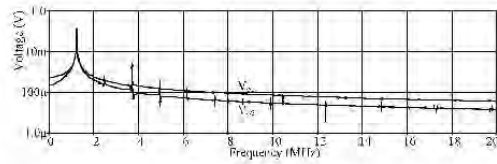


Figure 7 Output spectrum

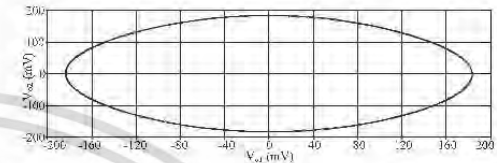


Figure 8 Lissagous figures

IV. CONCLUSION

In this research, voltage-mode quadrature oscillator based on VDDDA is presented. Two sinusoidal output waveforms with 90° degree phase difference are provided for proposed oscillator. The frequency of oscillation can be electronically controlled via input bias currents without affecting the condition of oscillation which are convenient modified to apply in control systems using a microcontroller. The proposed oscillator is the second order quadrature oscillator consisted of two VDDDAs, two resistors and two grounded capacitors. With all mentioned features, it is very suitable to realize the proposed oscillator in monolithic chip. PSPICE simulation results confirmed and verified the theory.

REFERENCES

- [1] A. S. Sedra and K. C. Smith, *Microelectronic circuits*, 3rd ed., Florida: Holt, Rinehart and Winston, 1991.
- [2] D. Bielek, A. Lahiri, W. Jaikla, M. Siripruchyanun, and J. Bajer, "Realization of electronically tunable voltage-mode/current-mode quadrature sinusoidal oscillator using ZC-CG-CDBA," *Microelectronics Journal*, 2011, vol. 42, pp. 1116-1123.
- [3] R. Sotner, Z. Hrubos, J. Slezak, T. Dostal, "Simply Adjustable Sinusoidal Oscillator based on negative three-port current conveyors," *Radioengineering*, 2010, vol. 19, no. 3, pp. 446-453.
- [4] M. Kumngern, J. Chanvutium, K. Dejhan, "Electronically tunable multiphase sinusoidal oscillator using translinear current conveyors," *Analog Integrated Circuits and Signal Processing*, 2010, vol. 65, no. 2, pp. 327-334.
- [5] A. Lahiri, W. Jaikla, M. Siripruchyanun, "Voltage-mode quadrature sinusoidal oscillator with current tunable properties," *Analog Integrated Circuits and Signal Processing*, 2010, vol. 65, no. 2, pp. 321-325.
- [6] D. Bielek, "CDBA-building block for current-mode analog signal processing," in *Proceedings of the ECCTD'03*, 2003, III, pp. 397-400.
- [7] D. Bielek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing, classification, review and new proposals," *Radioengineering*, 2008, vol. 17, no. 4, pp. 15-32.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- [8] N. Herensar, R. Sotner, B. Metin, J. Koton and K. Vrba, "VDDDA – New 'voltage differencing' device for analog signal processing," Proceeding of the 8th International Conference on Electrical and Electronics Engineering, Bursa, Turkey: The Chamber of Electrical Engineers Bursa Branch (EMO), 2013, pp. 17-20.
- [9] J. Koton, N. Herensar, K. Vrba and B. Metin, "The VDDDA in multifunction filter with mutually independent Q and ω_0 control feature," In proceeding of 2013 8th International Conference on Electrical and Electronics Engineering (ELECO), 2013, pp. 53-56.
- [10] J. Koton, N. Herensar, K. Vrba and B. Metin, "Voltage-mode multifunction filter with mutually independent Q and ω_0 control feature using VDDDA," Analog Integrated Circuits and Signal Processing, 2014, vol. 81, no. 1, pp 53-60.
- [11] N. Herensar, O. Cicekoglu, R. Sotner, J. Koton and K. Vrba, "New resistorless tunable voltage-mode universal filter using single VDIBA," Analog Integrated Circuits and Signal Processing, 2013, vol. 76, no. 2, pp. 251-260.
- [12] http://ijohn.ecen.ceat.okstate.edu/5263/processparam/t4bk_lo_spi-params.html.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VDDDA-based Voltage-mode Multiphase Sinusoidal Oscillator

Sunti Tuntrakool^{a,*}, Montree Kumngern^a, Winai Jaikla^b

^aDepartment of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

^bDepartment of Engineering Education, Faculty of Industrial Education,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

*Corresponding Author: sunti.tu@kmitl.ac.th

Abstract

The design of voltage-mode multiphase sinusoidal oscillator (MSO) is presented. The odd phase system can be realized using voltage differencing differential difference amplifier (VDDDA)-based lossy integrators. The condition of oscillation and frequency of oscillation can be controlled independently through adjusting the bias current of the VDDDA. The low output impedances facilitate easy driving an external load without additional voltage buffers. The proposed MSO provides odd phase signals that are equally spaced in phase and equal amplitude. The circuit requires one VDDDA, two resistors and one grounded capacitor per phase without external resistor and additional current amplifier. The results of PSPICE simulations using 0.18 μ m TSMC CMOS technology are included to verify theory.

Keywords: VDDDA, multiphase sinusoidal oscillator, Integrated Circuit.

1. Introduction

Multiphase sinusoidal oscillator (MSO) is important blocks for various applications. For example, in telecommunications it is used for phase modulators, quadrature mixers⁽¹⁾, and single-sideband generators⁽²⁾. In measurement system, MSO is employed for vector generator or selective voltmeters⁽³⁾. It can also be utilized in power electronics systems⁽⁴⁾. Recently, current-mode circuits have been receiving considerable attention of due to their potential advantages such as inherently wide bandwidth, lower slew-rate, greater linearity, wider dynamic range, simple circuitry and low power consumption⁽⁵⁾. Many active building blocks (ABBs) have

been proposed to realize the current-mode circuit. The interesting active element, called current controlled current differencing transconductance amplifier (CCCDTA)⁽⁶⁻⁷⁾, is introduced to provide new possibilities in the current-mode circuit. It is really current-mode element whose input and output signal are currents. In addition, output currents of CCCDTA can be electronically adjusted.

Several realizations of current-mode MSOs using different active building blocks are available in the literature. These include realizations using current follower (CF)⁽⁸⁾, CCCII^(9,11), CDTA^(12,14), CDBA⁽¹⁵⁾, CFOA⁽¹⁶⁾, and CCCCTA⁽¹⁷⁾ and CCCDTA⁽¹⁸⁻¹⁹⁾. The CF-based MSO⁽⁸⁾ requires two current followers, one floating resistor, and one floating capacitor for each phase and thus the circuit is not suitable for monolithic integration. Moreover, it cannot be electronically controlled. The CCCII-based MSOs^(9,11) enjoy high-output impedances and electronic tunability. However, the first one requires a large number of external capacitors. In addition, the oscillation condition can be provided by tuning the capacitance ratio of external capacitors, which is not easy to implement. The second reported circuit requires additional current amplifiers, which makes the circuit more complicated and increases its power consumption. CDTA-based current-mode MSOs⁽¹²⁾ is based on lossy integrators, whereas the circuits⁽¹³⁻¹⁴⁾ contain CDTA-based allpass sections. They exhibit good performance in terms of electronic tunability, high-output impedances, and independent control of the oscillation frequency and the oscillation condition. However, MSOs⁽¹²⁻¹³⁾ require an additional current amplifier, which is implemented by two CDTAs. Moreover, the output currents of the MSO, utilizing the CDTA-based lossy integrators, are of different amplitudes. The MSO employing CDTA-based

allpass sections⁽¹³⁾ requires two CDTAs in each allpass section, and the circuitry becomes more extensive. While MSO using CDTA-based allpass sections⁽¹⁴⁾ requires floating capacitor. Consequently, it occupies a larger chip area for VLSI design. In addition, its power consumption is also increased.

The purpose of this study is to introduce a new current-mode multiphase sinusoidal oscillator. The features of the proposed circuit are the following: (I) Use of grounded capacitors and identical circuit configuration for each section in the MSO topology which are suitable for integration. (II) The electronic tunability of oscillation condition and oscillation frequency. (III) High-impedance current outputs. (IV) The possibility of generating multi-phase signals for both an even and odd number of equally-spaced in phases. (V) Independent tuning of the oscillation frequency and the oscillation condition. (VI) Equality of amplitudes of each phase due to utilizing identical sections. (VII) Requirement for only one CCCDTA as the active element for each phase without any additional current amplifiers.

2. Proposed Multiphase Sinusoidal Oscillator

First, the characteristic of the main active building block will be described. It is named as voltage differencing differential difference amplifier (VDDDA). This device is formed by operational transconductance amplifier (OTA) followed by voltage differencing differential difference unit (VDDDU). The symbol and equivalent circuit of VDDDA are given in figure 1(a) and 1(b), respectively. It has high impedance input voltage terminals (V^+ , V^- , V_p , and V_n), high impedance output current terminal (z) and low impedance output voltage terminal (w). The difference of input voltage V^+ and V^- will be send to be current I_z via transconductance (g_m). Generally, the g_m is varied and electronically tuned and the differential voltage of V_z , V_n and V_p will be send to be voltage V_w with the unity voltage gain. The idea VDDDA is characterized by following equations:

$$\begin{pmatrix} I_{v^+} \\ I_{v^-} \\ I_z \\ I_{vp1} \\ I_{vp2} \\ V_w \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 1 & 1 & 0 \end{pmatrix} \begin{pmatrix} V_{v^+} \\ V_{v^-} \\ V_z \\ V_{vp1} \\ V_{vp2} \\ I_w \end{pmatrix} \quad (1)$$

For the VDDDA implemented by CMOS technology, the g_m is depends on both physical parameters of CMOS transistor and bias current (I_B) and is given as

$$g_m = \sqrt{\mu C_{ox} \left(\frac{W}{L} \right)_{1,2} I_B} \quad (2)$$

where μ is the mobility of the carrier for NMOS transistors (M_1 and M_2 in figure 1(c)), C_{ox} is the gate oxide capacitance per unit area, W and L are the channel width and channel length, respectively. The internal construction of CMOS VDDDA is shown in figure 1(c).

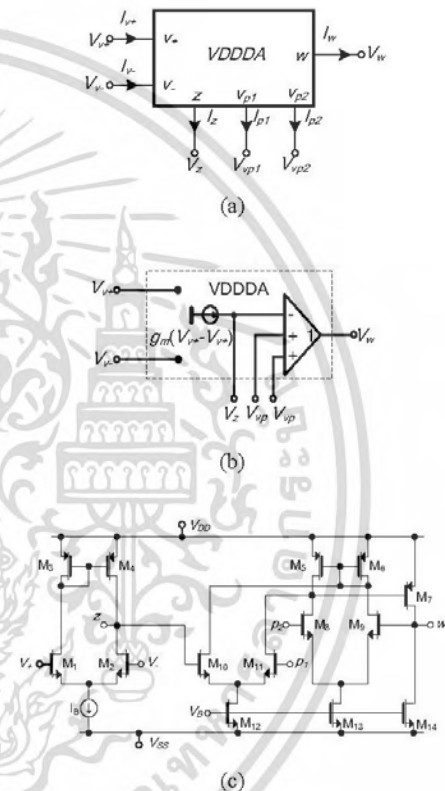


Fig. 1 (a) Symbol (b) equivalent circuit of VDDDA (c) Internal construction of VDDDA

The generalized structure of MSO is designed by cascading the n identical stages ($n \geq 3$ and n is odd number) which contains the lossy integrator (first order low pass filter) for each phase as shown in figure 2, where a is the time constant and k is the gain. The output of n^{th} stage is fed back to the input of the first stage. The system can provide

one phase per one lossy integrator without any additional external amplifier. The oscillator based on this block diagram is available for only odd phase. If n is the number of phase, then n has to be 3, 5, 7, ... Based on block diagram in figure 2, the frequency of oscillation (FO) and condition of oscillation (CO) are written as

$$FO: \omega_{osc} = \frac{1}{a} \tan \frac{\pi}{n} \quad (3)$$

and

$$CO: k \geq \sec \frac{\pi}{n} \quad (4)$$

It is found from Equations (equations 3 and 4) that the frequency of oscillation and condition of oscillation are independent controlled.

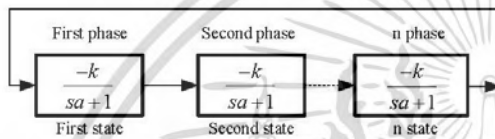


Fig. 2 Lossy integrator based MSO

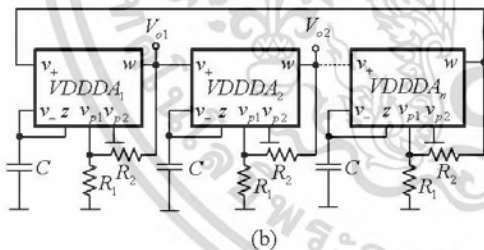
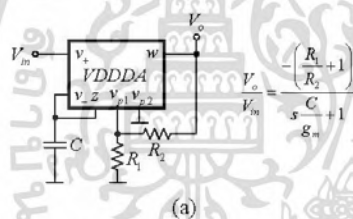


Fig. 3 (a) The VDDDA-based lossy integrator
(b) Proposed MSO

The VDDDA-based lossy integrator is shown in figure 3(a). The proposed voltage-mode odd phase MSO is shown in figure 3(b). It is found from figure 3(b) that the current

mirrors are required to split the bias currents I_B to each lossy integrator section. In addition, it can be seen that the proposed MSO enjoy low output impedances which facilitate easy driving an external load without additional voltage buffers. From circuit in figure 3(b) for $n=3, 5, 7, \dots$, the frequency of oscillation (FO) and condition of oscillation (CO) are expressed as equations 5 and 6 respectively⁽¹⁶⁾.

$$FO: \omega_{osc} = \frac{g_m}{C} \tan \frac{\pi}{n} \quad (5)$$

$$CO: \frac{R_1}{R_2} + 1 \geq \sec \frac{\pi}{n} \quad (6)$$

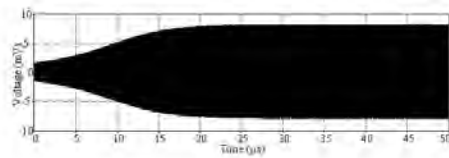
From equation 5, if g_m is equal to equation 2, the FO is modified as

$$\omega_{osc} = \sqrt{\mu C_{ox} \left(\frac{W}{L} \right)_{1,2} I_B} \tan \frac{\pi}{n} \quad (7)$$

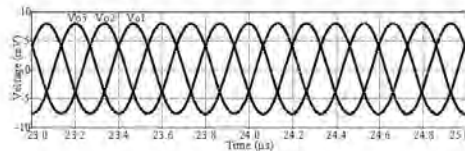
From equation 7, it can be seen that the FO can be adjusted electronically/independently from the CO by varying I_B .

3. Simulation Results

PSpice simulation using CMOS schematic of VDDDA as given in figure 1(c) which was modified from (7) was performed in order to verify the theoretical analysis of the proposed oscillator. In this simulation of PMOS and NMOS transistors, Parameters of a 0.18 μ m TSMC CMOS technology (level 7) [20] with ± 0.9 V voltage supply and $V_B = -0.35$ V was used. Aspect ratios of PMOS and NMOS transistors are listed in (20) as follow. Parameters used for designing of the proposed oscillator were as follows: $C_1 = 33$ pF, $I_B = 50 \mu$ A, $R_1 = 10$ k Ω and $R_2 = 9.9$ k Ω . An odd three-phase sinusoidal oscillator ($n=3$) based on the structure in figure 3(b) has been designed. The simulated output waveforms, V_{o1} , V_{o2} and V_{o3} are shown in figure 4. The frequency of oscillation achieved from the simulation was 2.5 MHz. The frequency spectrum of output voltages are shown in figure 5. The total harmonic distortion for V_{o1} , V_{o2} and V_{o3} are 0.87%, 0.86% and 0.78% respectively.



(a)



(b)

Fig. 4 Sinusoidal output voltages (a) Initial state
(b) Steady state

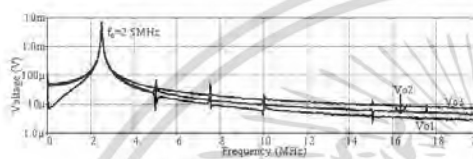


Fig. 5 Output Spectrum

4. Conclusions

New voltage-mode multiphase sinusoidal oscillators using VDDDA-based lossy integrators with grounded capacitors have been presented. The features of the proposed circuit are that: oscillation frequency and oscillation condition can be independently tuned; the proposed oscillator consists of merely 1 VDDDA, 2 resistor and 1 grounded capacitor for each phase and no additional current amplifier and availability of explicit-current outputs from low-output impedance terminals. PSPICE simulation results agree well with the theoretical anticipation.

References

- (1) J. Dunlop and D.G.Smith, "Telecommunications Engineering," 3rd ed. CRC Press, 1994
- (2) W. Tomasi, "Electronic Communications System," New Jersey: Prentice-Hall Inc., 1998.
- (3) Anritsu Emea Limited, "MG3700A vector signal generator datasheet," Availableat: http://www.eu.anritsu.com/files/MEG3700A_E117301.pdf.
- (4) G. Eirea, and S.R. Sanders, "Phase current unbalance estimation in multiphase buck converters," *IEEE Transactions on Power Electronics*, vol. 23, pp. 137-143, 2008.
- (5) C. Toumazou, F.J. Lidgely and D.G. Haigh, "Analogue IC design: the current-mode approach," Peter Peregrinus: London, (1990).
- (6) D. Birolek, "CDTA - Building block for current-mode analog signal processing," *Proceedings of the European Conference on Circuit Theory and Design 2003 - ECCTD'03*, Krakow, Poland, pp. 397-400, 2003.
- (7) N. Herensar, R. Sotner, B. Metin, J. Koton and K. Vrba, "VDDDA - New 'voltage differencing' device for analog signal processing," Proceeding of the 8th International Conference on Electrical and Electronics Engineering, Bursa, Turkey: The Chamber of Electrical Engineers Bursa Branch (EMO), 2013. pp. 17-20.
- (8) M.T. Abuelma'Atti, "Current-mode multiphase oscillator using current followers" *Microelectronics Journal*, vol. 25, 457-461, 1994.
- (9) G.D.Skotis, and C. Psychalinos, "Multiphase sinusoidal oscillators using second generation current conveyors," *Int. J. Electron. Commu. (AEU)*, vol.64, pp.1178-1181, 2010.
- (10) M.T. Abuelma'atti, and M.A.Al-Qahtani, "A new current-controlled multiphase sinusoidal oscillator using translinear current conveyor," *IEEE Transactions on Circuits and Systems*, vol. 45, 881-885, 1998.
- (11) C. Loescharataramdee, W.Kiranton, W.Sangpisit and W.Yadum, "Multiphase sinusoidal oscillators using translinear current conveyors and only grounded passive components," *Proceeding of Southeastern Symposium on System Theory*, 2004, 59-63.
- (12) W. Tangsrirat and W. Tanjaroen, "Current-mode multiphase sinusoidal oscillator using current differencing transconductance amplifiers," *Circuits, Systems and Signal Processing*, vol. 27, pp. 81- 93, 2008.
- (13) W. Tangsrirat, W. Tanjaroen, and T. Pukkalanun, "Current-mode multiphase sinusoidal oscillator using CDTA-based allpass sections," *International Journal of Electronics and Communications (AEU)*, vol. 63, pp. 616- 622, 2009.

- (14) W. Jaikla, M. Siripruchyanun, D. Biolkova, and V. Biolkova, "High-output-impedance current-mode multiphase sinusoidal oscillator employing current differencing transconductance amplifier-based allpass filters," *International Journal of Electronics*, vol. 97, pp. 811-826, 2010.
- (15) K. Klahan, W. Tangsrirat, and W. Surakamponorn, "Realization of multiphase sinusoidal oscillator using CDBAs," *IEEE Asia-Pacific Conf. Circ. Sys.*, pp. 725-728, 2004.
- (16) D.-S. Wu, S.-I. Liu, Y.-S. Hwang and Y.-P. Wu, "Multiphase sinusoidal oscillator using the CFOA pole," *IEE Proc. Circuits Devices Syst*, vol.142, pp. 37-40, 1995.
- (17) P. Uttaphut, "New Current-mode Multiphase Sinusoidal Oscillators Based on CCCCTA-based Lossy Integrators," *Electrical Review*, pp. 291-295, 2012.
- (18) M. Kumngern, "Current-mode multiphase sinusoidal oscillator using current-controlled current differencing transconductance amplifiers," *2010 IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, 2010.
- (19) W. Jaikla, and P. Prommee, "Electronically tunable current-mode multiphase sinusoidal oscillator employing CCCDTA-base allpass filters with only grounded passive elements," *Radioengineering*, vol.20, no.3, pp. 594-599, 2011.
- (20) http://lejohn.ecen.ceat.okstate.edu/5263/processparam/t4bk_lo_epi-params.html

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High input impedance voltage-mode universal filter and its modification as quadrature oscillator using VDDAs

Sunti Tuntrakool^a, Montree Kumngern^a, Roman Sotner^b, Norbert Herencsar^c,
Peerawat Suwanjan^d & Winai Jaikla^{d*}

^aDepartment of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

^bDepartment of Radio Electronics, Faculty of Electrical Engineering and Communication,
Brno University of Technology, Brno 61600, Czech Republic

^cDepartment of Telecommunications, Faculty of Electrical Engineering and Communication,
Brno University of Technology, Brno 61600, Czech Republic

^dDepartment of Engineering Education, Faculty of Industrial Education and Technology,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

Received 14 July 2016; revised 27 December 2016; accepted 3 January 2017

The second order universal voltage-mode filter using voltage differencing differential difference amplifiers (VDDAs) has been proposed. It has high input impedance voltage-mode biquad filter with orthogonal tune of natural frequency and quality factor. The proposed filter simultaneously provides five filter responses: low-pass (*LP*), high-pass (*HP*), band-reject (*BR*), all-pass (*AP*) and band-pass (*BP*) in the same circuit topology. The natural frequency and quality factor can be tuned electronically and orthogonally dc bias current. The output impedance at output nodes *HP*, *AP* and *BR* has low impedance which can connect to other circuit without the use of voltage buffers. The proposed filter consists of three VDDAs, one grounded resistor and two grounded capacitors. This makes the proposed filter suitable for integrated circuit development. With slightly modifying the proposed filter, the voltage-mode quadrature sinusoidal oscillator with low output impedance and independent control of condition of oscillation (CO) and frequency of oscillation (FO) has been achieved. The results shown in this paper are from PSPICE simulation and experiment to validate the proposed circuits.

Keywords: Analog filter, VDDA, Voltage-mode, Single input-multiple output, Oscillator

1 Introduction

The oscillator circuit and analog active filter are popular and standard topic for circuit design. They are widely used for their important requirements for application in electrical and electronic system and also very popular in using for circuit design of continuous-time analog signal processing. There are many fields that using filters circuit such as communications, measurement, and instrumentation, and control systems¹. Especially, researchers have been very considerably interest in several functions filter which is called universal filter or multifunction filter. The single-input multiple-output (SIMO) is the most popular analog filter where different output filter functions can be simultaneously realized by the same circuit topology².

Using of active building block for circuit design is very popular in use. It gives the flexibility for designer to realize the high performance circuit using minimum number of active element³⁻⁷. With mentioned features, the principle of active building blocks for both current and voltage mode circuit are introduced by Biolek *et al.*⁶ Voltage differencing differential difference amplifier (VDDA)⁸ is one of the interests. It allows interesting utilization and design of more profitable or more exacting application especially the electronic controllability. From literature reviews, it is found that not much research using VDDA has been published for instance the voltage-mode first order all pass filter⁸, oscillator⁸⁻¹⁰. The excellent multiple-input multiple-output (MIMO) voltage-mode universal filter using VDDA was proposed in literature¹⁰⁻¹⁴. These filters can provide complete standard transfer functions with

*Corresponding author (E-mail: winai.ja@kmitl.ac.th)

high inputs and low outputs impedance. The natural frequency and quality factor can be electronically and orthogonally controlled. However, these filters cannot be considered as universal filter because all five filter responses cannot be simultaneously provided. The multiple-input single-output (MISO) voltage mode filter was introduced by Herencsar *et al.*¹⁵ This filter consists of single active building block, single MOS transistor and two floating capacitors. It can provide five filter responses depending on the appropriate selecting input voltage. The natural frequency and quality factor can be electronically tuned. However, this filter cannot be easy to cascade without the use of voltage buffers. Moreover, the use of floating capacitors is not attractive for integration.

This contribution presents a SIMO voltage-mode filter with high input impedance, emphasizing on use of VDDDA. The proposed filter composes of three active elements, one grounded resistor and two grounded capacitors which are suitable for fabricating in monolithic chip or off-the-shelf implementation. The proposed filter can provide five standard functions such as low-pass, high-pass, band-reject, all-pass and band-pass. The quality factor and natural frequency can be electronically and orthogonally adjusted. With slight modification of the proposed filter, the voltage-mode quadrature oscillator with low output impedance is achieved.

2 Principle of Operation

2.1 VDDDA overview

The principle of VDDDA was introduced by Bielek *et al.*⁶ Later, Herencsar *et al.*⁸ proposed the internal construction of VDDDA using CMOS technology. Symbol and equivalent circuit of VDDDA are shown in Fig. 1 (a) and (b), respectively, where V_+ and V_- are the voltage input terminals which will be converted to be the current at z terminal by transconductance (g_m). It is generally tuned by bias current and the differential voltage at terminal z , n and p will be send to w terminal with the unity voltage gain. For ideal VDDDA, it has low output impedance at w terminal and high input impedance at terminals

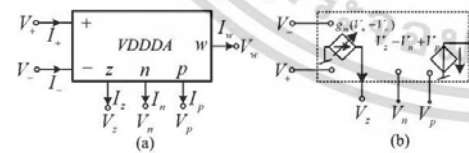


Fig. 1 — VDDDA (a) symbol and (b) equivalent circuit

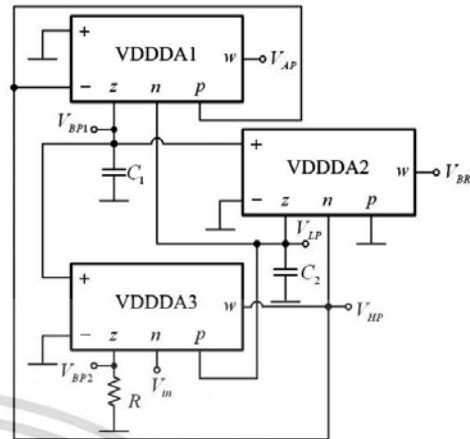


Fig. 2 – Presented voltage-mode filter

V_+ , V_- , z , n and p . The characteristics matrix equation of ideal VDDDA is described below:

$$\begin{pmatrix} I_{V_+} \\ I_{V_-} \\ I_z \\ I_n \\ I_p \\ V_w \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 1 & 0 \end{pmatrix} \begin{pmatrix} V_+ \\ V_- \\ V_z \\ V_n \\ V_p \\ I_w \end{pmatrix} \quad \dots (1)$$

2.2 High input impedance voltage-mode filter using VDDDA

Figure 2 is the proposed second order filter consisted of three VDDDA, one grounded resistor and two grounded capacitors. The proposed filter provides simultaneously five filter responses; *HP*, *LP*, *BR*, *AP* and *BP* (*BP*₁ and *BP*₂) with high input impedance. Moreover, the output nodes for *HP*, *AP* and *BR* responses exhibit low output impedance. Considering an ideal VDDDA, routine analysis of the proposed filter provides the following voltage transfer functions:

$$HP(s) = \frac{V_{HP}}{V_{in}} = \frac{s^2}{D(s)} \quad \dots (2)$$

$$LP(s) = \frac{V_{LP}}{V_{in}} = \frac{g_{m1}g_{m2}}{D(s)} \quad \dots (3)$$

$$BR(s) = \frac{V_{BR}}{V_{in}} = \frac{s^2 + \frac{g_{m1}g_{m2}}{C_1C_2}}{D(s)} \quad \dots (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$AP(s) = \frac{V_{AP}}{V_{in}} = \frac{-\left(s^2 - \frac{g_{m1}}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2}\right)}{D(s)} \quad \dots (5)$$

$$BP_1(s) = \frac{V_{BP1}}{V_{in}} = \frac{\frac{g_{m1}}{C_1}s}{D(s)} \quad \dots (6)$$

$$BP_2(s) = \frac{V_{BP2}}{V_{in}} = \frac{\frac{g_{m1}g_{m3}R}{C_1}s}{D(s)} \quad \dots (7)$$

where

$$D(s) = s^2 + \frac{g_{m1}g_{m2}R}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2} \quad \dots (8)$$

It is found from Eqs (2-8) that the proposed filter is the unit gain filter, then, for any practical use, additional voltage amplifiers are needed to achieve gain from the active filter. However, the gain is probably obtained for BP₁ only if specific quality factor (Q) is set. The natural frequency (ω₀) and Q of each filter response can be expressed as following:

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \text{ and } Q = \frac{1}{g_{m3}R} \sqrt{\frac{C_1g_{m2}}{C_2g_{m1}}} \quad \dots (9)$$

From Eq. (9), it is found that the quality factor can be electronically tuned via g_{m3} without affecting the natural frequency. Moreover, if g_{m1} is equal to g_{m2}, the natural frequency can be electronically adjusted without affecting the quality factor. However, it is found that the proposed circuit needs component matching conditions (i.e., g_{m3}=1/R) for realizing AP response. The relative sensitivities of the proposed filter can be found in Eq. (10):

$$S_{g_{m1}}^{s^2} = S_{g_{m2}}^{s^2} = \frac{1}{2}; S_{C_1}^{s^2} = S_{C_2}^{s^2} = -\frac{1}{2}; \dots (10)$$

$$S_R^{s^2} = S_{g_{m3}}^{s^2} = -1; S_{C_1}^{s^2} = S_{C_2}^{s^2} = \frac{1}{2}; S_{C_2}^{s^2} = S_{g_{m1}}^{s^2} = -\frac{1}{2}$$

It is found that the active and passive sensitivities are equal or less than unity in magnitude.

3 Non-Ideal Case

Practically, the performances of the proposed filter are affected by the influences of voltage tracking error from the unity-value gain of internal differential voltage buffer and parasitic terminal impedances of VDDDA⁸. In this section, these parameters will be

taken into account. For non-ideal case the voltage at w terminal is rewritten as shown below:

$$V_w = \beta_z V_z - \beta_n V_n + \beta_p V_p \quad \dots (11)$$

From Eq. (10), β_z, β_n, and β_p are the voltage error gains from z, n, p terminals to w terminal, respectively. The influences of parasitic impedances of V₋₁, p₁, n₂ and n₃ terminals will be negligible because of their connection to low-impedance outputs (w₃ terminal) and input voltage source. The most importance parasitic impedances are the impedance at z₁ (R_{z1}//C_{z1}), n₁ (R_{n1}//C_{n1}), V₊₂ (R_{V+2}//C_{V+2}), z₂ (R_{z2}//C_{z2}) and p₃ (R_{p3}//C_{p3}) terminals. However, the parasitic impedances at z₃ terminal will be negligible but the operation frequency f_{op} should be more lower than 1/{C_{z3}(R_{z3}+R)}. The voltage transfer functions for the circuit of Fig. 3 are given in Eqs (12-17):

$$\frac{V_{HP}^*}{V_{in}^*} = \frac{-\beta_{n3} [s^2 C_1^* C_2^* + s(C_1^* G_2^* + C_2^* G_1^*) + G_1^* G_2^*]}{D^*(s)} \quad \dots (12)$$

$$\frac{V_{LP}^*}{V_{in}^*} = \frac{\beta_{z3} g_{m1} g_{m2}}{C_1^* C_2^*} \frac{1}{D^*(s)} \quad \dots (13)$$

$$\frac{V_{BP}^*}{V_{in}^*} = \frac{\beta_{z3} \beta_{n3} [s^2 C_1^* C_2^* + s(C_1^* G_2^* + C_2^* G_1^*) + G_1^* G_2^*] + \frac{\beta_{z3} \beta_{n3} g_{m1} g_{m2}}{C_1^* C_2^*}}{D^*(s)} \quad \dots (14)$$

$$\frac{V_{BP1}^*}{V_{in}^*} = \frac{\beta_{z3} g_{m1} \left(s \frac{1}{C_1^*} + \frac{G_2^*}{C_1^* C_2^*} \right)}{D^*(s)} \quad \dots (15)$$

$$\frac{V_{BP2}^*}{V_{in}^*} = \frac{\beta_{z3} g_{m1} g_{m2} R \left(s \frac{1}{C_1^*} + \frac{G_2^*}{C_1^* C_2^*} \right)}{D^*(s)} \quad \dots (16)$$

$$V_{AP}^* = \frac{\left\{ \beta_{z3} [s^2 C_1^* C_2^* + s(C_1^* G_2^* + C_2^* G_1^*) + G_1^* G_2^*] - \left[\beta_{z1} \beta_{n3} g_{m1} \left(s \frac{1}{C_1^*} + \frac{G_2^*}{C_1^* C_2^*} \right) + \frac{\beta_{z3} g_{m1} g_{m2}}{C_1^* C_2^*} \right] \right\}}{D^*(s)} \quad \dots (17)$$

where

$$D^*(s) = \left[s^2 + s \left(\frac{G_2^*}{C_2^*} + \frac{G_1^*}{C_1^*} + \frac{\beta_{z3} g_{m1} g_{m2} R}{C_1^*} \right) + \frac{G_1^* G_2^* + \beta_{z3} g_{m1} g_{m2} R G_2^* + \beta_{p3} g_{m1} g_{m2}}{C_1^* C_2^*} \right] \quad \dots (18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_1^* = C_1 + C_{z1} + C_{v+2} + C_{v+3}$, $C_2^* = C_2 + C_{z2} + C_{n1} + C_{p3}$, $G_1^* = G_{z1} + G_{v+2} + G_{v+3}$ and $G_2^* = G_{z2} + G_{n1} + G_{p3}$. Also non-ideal values of ω_0 and Q are found in Eqs (19) and (20), respectively:

$$\omega_0^* = \sqrt{\frac{G_1^* G_2^* + \beta_{z3} g_{m1} g_{m3} R G_2^* + \beta_{p3} g_{m1} g_{m2}}{C_1^* C_2^*}} \quad \dots (19)$$

$$Q^* = \frac{1}{\left(\frac{C_1^* G_2^* + C_2^* G_1^*}{\beta_{z3} C_2^* g_{m1} g_{m3} R} \right) \sqrt{C_1^* C_2^* \left(\frac{G_1^* G_2^* + \beta_{z3} g_{m1} g_{m3} R G_2^*}{\beta_{p3} g_{m1} g_{m2}} \right)}} \quad \dots (20)$$

4 Simulations Results

PSPICE simulations of the proposed filter in Fig. 2 were performed. The implementation of the CMOS VDDDA was same as described elsewhere⁸. Parameters of a 0.18 μm TSMC CMO Stechnology¹⁶ (level 7) with ± 0.9 V voltage supply and $V_B = -0.35$ V was used for simulation of PMOS and NMOS transistors. From Table 1, aspect ratios of PMOS and NMOS transistor are listed. It is seen that the parasitic resistances at terminals V_+ , V_- , n , and p (R_{v+} , R_{v-} , R_n and R_p) exhibit high because they are gate resistance. Other simulated parasitic element values for each terminal ($I_B = 50 \mu\text{A}$) are $C_{v+} = 55.5$ fF, $C_{v-} = 53.2$ fF, $R_c = 570.54$ k Ω , $C_z = 15.4$ fF, $C_n = 4.24$ fF and $C_p = 4.25$ fF. The simulated voltage error gains, β_z , β_n , and β_p are equal to 0.997. The filter was designed with the parameters of its components as follows: $C_1 = C_2 = 47$ pF, $R = 3.3$ k Ω , $I_{B1} = I_{B2} = I_{B3} = 50 \mu\text{A}$. It yields the natural frequency of 1.047 MHz and quality factor of 1. The theoretical pole frequency is about 1.058 MHz. From the results, the gains responses for LP, BP₁, BP₂ and HP of the proposed filter obtained from Fig. 2 are shown in Figs 3-5 which are the gain response and phase response of BR and AP responses, respectively. It is obviously that the proposed filter can simultaneously provide low-pass, high-pass, band-pass, band-reject and all-pass functions without modifying circuit topology. The gain response of BP₂ difference I_{B3} is shown in Fig. 6, where I_{B3} was set to 20 μA , 50 μA and 200 μA . The quality factor evaluated based on the simulation results was 1.49, 1, and 0.65, respectively. This is confirmed by Eq. (9) that the quality factor can be electronically tuned by I_{B3} without affecting the natural frequency. High Q value can be achieved by setting I_{B3} as low as possible. The highest simulated Q is 26.66 ($I_{B3} = 1 \mu\text{A}$) and the lowest simulated Q is 0.384 ($I_{B3} = 400 \mu\text{A}$).

Transistor	W (μm)	L (μm)
M1-M2, NMOS (AGC)	9	1.08
M3-M4	3.96	1.08
M5-M7	3.6	1.8
M8-M11	0.72	1.08
M12-M14	2.16	1.08

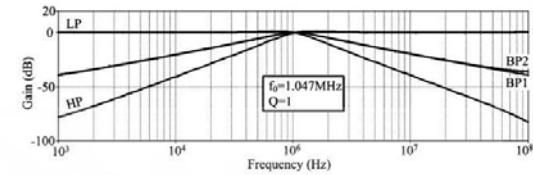


Fig. 3 – Frequency responses of proposed filter LP, BP₁, BP₂ and HP

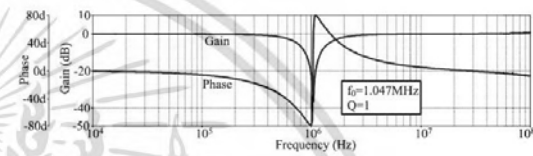


Fig. 4 – Gain and phase response of BR

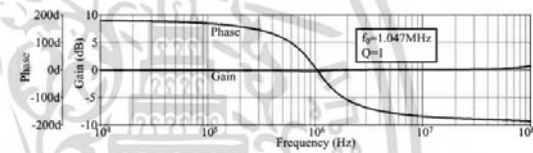


Fig. 5 – Gain and phase response of AP

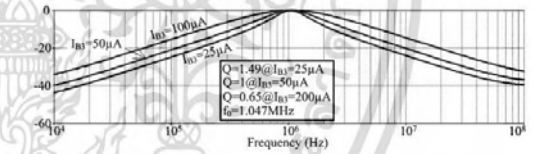


Fig. 6 – BP₂ responses for difference I_{B3}

Figure 7 shows the dependence of the THD of LP filter on input voltage level. The THD is not over 1% when the input signal is lower 650 mV. In this test, sinusoidal signal with 100 kHz in-band frequency was fed into the proposed filter.

5 Comparison with Existing SIMO Voltage-Mode Filters

The proposed SIMO voltage-mode filter in Fig. 2 is compared with several SIMO voltage-mode filters from¹⁷⁻⁴⁴. It is found from Table 2 that there are VM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MISO structures having even some low-output impedance outputs^{25,29,32,38,42}. However, their other drawbacks are in missing possibility for electronic control, requirements for floating passive elements and higher number of active elements (4 or 5).

All these problems are solved in solution presented in this paper.

6 Modification of Proposed Filter as Quadrature Oscillator

By connecting node V_{BP1} to V_{in} and interconnecting terminal V_+ and V_- of VDDDA1 and VDDDA2 of the circuit in Fig. 2 according to the principle reported in earlier study⁴⁵ as illustrated in Fig. 8, the voltage-mode quadrature oscillator with low output impedance can be achieved. The characteristic equation of the oscillator in Fig. 8 is obtained as:

$$s^2 + (1 - g_{m3}R) \frac{g_{m1}}{C_1} s + \frac{g_{m1}g_{m2}}{C_1C_2} = 0 \quad \dots (21)$$

According to Eq. (21), the frequency of oscillator (FO) and condition of oscillation (CO) is written as:

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}}, \text{ and } 1 \leq g_{m3}R \quad \dots (22)$$

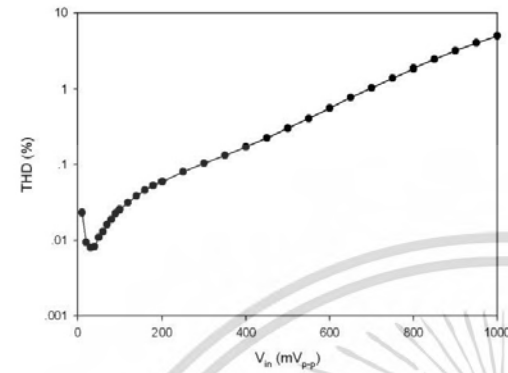


Fig. 7 – Dependence of output harmonic distortion of LP filter on the input voltage

Table 2 – Comparison of various SIMO voltage-mode filters

Reference	ABB	No. of ABB	No. of R+C	Grounded elements only	High input impedance	Electronic tune	Orthogonal tune of Q and ω_0	Five filter responses	Low output impedances	Technology
17	DVCC	3	3+2	yes	yes	no	no	yes	no	CMOS
18	DVCC	3	3+2	no	yes	no	yes	yes	no	CMOS
19	DVCC	2	3+2	no	no	no	yes	yes	no	CMOS
20	FDCCH (Fig. 3)	1	2+2	yes	yes	no	no	no	no	CMOS
21	DDCC	2	3+2	no	no	no	no	yes	no	CMOS
22	DDCC	3	2+2	no	no	no	no	yes	no	CMOS
23	DDCC & OTA	2	1+2	yes	yes	yes	no	no	no	CMOS
24	OTA	8	0+2	yes	yes	yes	yes	no	no	CMOS
25	CFOA	1	3+2	no	no	no	yes	no	LP	commercial IC
26	DDCCTA	1	1+2	yes	yes	yes	no	no	no	CMOS
27	DDCCTA	2	2+2	yes	yes	yes	no	yes	no	CMOS
28	OTA	8	0+2	yes	yes	yes	yes	no	no	CMOS
29	DDCCTA	3	0+2	yes	yes	yes	no	yes	AP	CMOS
30	CCCCTA	1	1+3	no	no	yes	yes	no	no	BJT
31	DDCCTA	1	2+2	no	no	yes	no	no	no	CMOS
32	DDCCTA	2	2+2	yes	yes	yes	no	yes	AP	CMOS
33	FDCCH	1	3+2	no	no	no	no	yes	no	CMOS
34	DVCC	4	5+2	yes	yes	no	yes	no	no	CMOS
35	ICCH	2	4+2	no	no	no	no	no	no	CMOS
36	DVCC	2	2+3	no	no	no	no	no	no	CMOS
37	DDCCTA	2	2+2	no	yes	yes	yes	yes	no	CMOS
38	VD-DIBA	2	0+2	yes	yes	yes	no	no	HP	commercial IC
39	VDCC (Fig. 3)	1	2+2	yes	no	yes	yes	no	no	CMOS
40	VDCC	1	2+2	no	no	yes	yes	no	no	BJT
41	CCII	2	3+2	no	yes	no	no	no	no	CMOS
42	DDCCTA	2	3+2	yes	yes	yes	yes	yes	AP	CMOS
43	VDTA (Fig. 5)	1	0+2	yes	yes	yes	no	no	no	CMOS
44	CCII	4	5+2	no	yes	no	yes	yes	no	commercial IC
Present work	VDDDA	3	1+2	yes	yes	yes	yes	yes	HP, AP, BR	CMOS & commercial IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

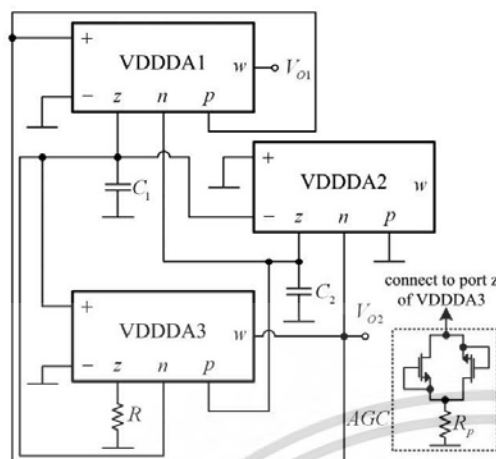


Fig. 8 – Voltage-mode quadrature oscillator with low output impedance

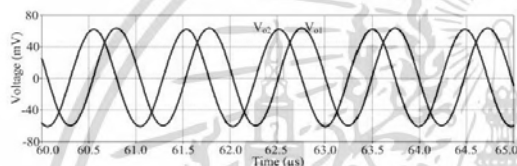


Fig. 9 – Quadrature output waveform

It is found from Eq. (22) that the FO and CO are independently and electronically controlled. The relationship of V_{O2} and V_{O1} is follows:

$$\frac{V_{O2}}{V_{O1}} = \frac{sC_1}{g_{m1}g_{m3}} \dots (23)$$

At oscillation frequency (ω), the magnitude of V_{O2}/V_{O1} is written as:

$$\left| \frac{V_{O2}}{V_{O1}} \right|_{\omega_0} = \frac{1}{g_{m3}} \sqrt{\frac{C_1 g_{m2}}{C_2 g_{m1}}} \dots (24)$$

It is found from Eq. (24) that the changing of g_{m1} or g_{m2} for controlling the FO causes change of amplitude V_{O2} and V_{O1} during tuning process. This phenomenon will increase the THD if amplitude reaches high levels due to the limits of dynamical range of VDDDA. However, this can be alleviated by simultaneously changing g_{m1} and g_{m2} ($I_{B1} = I_{B2}$). As stated above, the amplitude of quadrature output

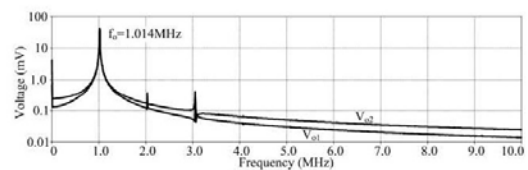


Fig. 10 – Output spectrum

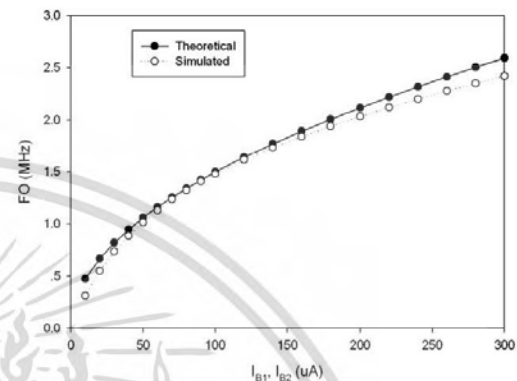


Fig. 11 – Tuning of FO by adjusting I_{B1} and I_{B2}

voltage V_{O1} and V_{O2} is equal for all frequency. However, to unify unbalance of produced amplitudes V_{O1} and V_{O2} as well as to reduce the THD, the simple AGC circuit for amplitude stabilization can be easily applied to terminal z of VDDDA3.

The proposed oscillator in Fig. 8 was simulated with the parameters of its components; $C_1 = C_2 = 47$ pF, $R = 3.3$ k Ω , $R_p = 330$ k Ω , $I_{B1} = I_{B2} = 50$ μ A and $I_{B3} = 51.5$ μ A. The WL of NMOS in AGC is 9 μ m / 1.08 μ m. It yields the FO of 1.014 MHz. The theoretical FO is about 1.058 MHz. The results of this simulation are, respectively, shown in Figs 9 and 10. The total harmonic distortion for V_{O1} and V_{O2} are 0.68 % and 76 %, respectively. Tuning of simulated and theoretical FO is shown in Fig. 11, where I_{B1} and I_{B2} are equal and were adjusted from 10 μ A – 300 μ A. The range of FO controlled from 0.31 MHz – 2.42 MHz was obtained. It is found that there is some deviation between theoretical and simulated value due to the parasitic element as analyzed in Eq. (19). The tuning of g_m by adjusting I_B will change the value of parasitic elements.

7 Experimental Results

The performances of the proposed filter and oscillator were also experimentally investigated. The

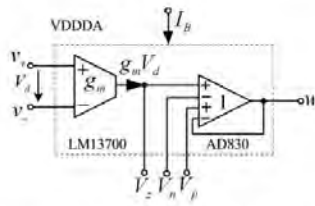


Fig. 12 – Internal construction of VDDDA constructed from an available commercial ICs

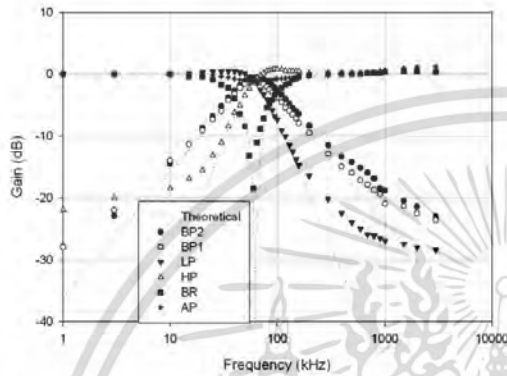


Fig. 13 – Experimental gain responses of the proposed filter

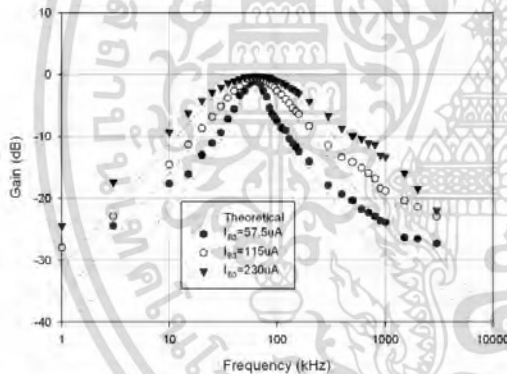


Fig. 14 – Experimental gain response of BP₂ for different value of I_{B3}

VDDDA was constructed from the available commercial ICs, AD830 and LM13700 as illustrated in Fig. 12. The transconductance of LM13700 is $g_m = I_B / 2V_T$ where V_T is thermal voltage ($V_T \approx 26$ mV at room temperature). The proposed filter was firstly tested with following conditions; the supply voltage ± 5 V, $C_1 = C_2 = 5.6$ nF, $I_{B1} = I_{B2} = I_{B3} = 115$ μ A

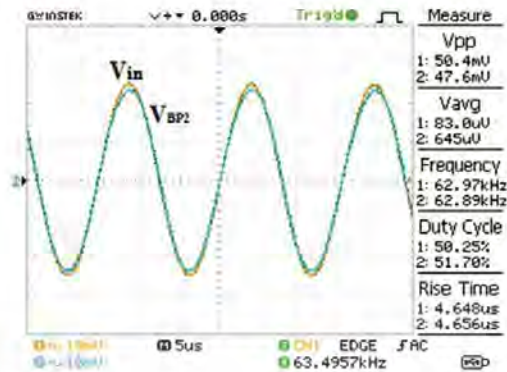


Fig. 15 – Measurement of V_{BP2} at frequency 63 kHz

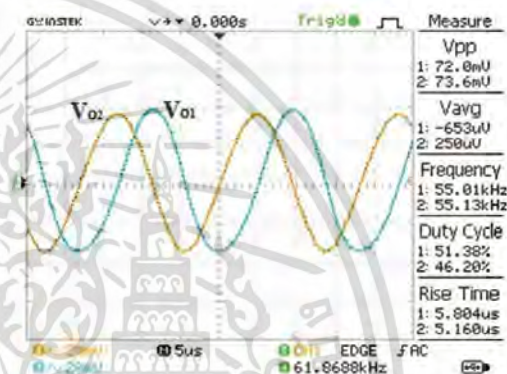


Fig. 16 – Measurement of output voltage and its spectrum where $I_{B1} = I_{B2} = 115$ μ A

($g_{m1} = g_{m2} = g_{m3} = 2.211$ mA/V) and $R = 0.45$ k Ω . With these conditions, the natural frequency and quality factor are 62.853 kHz and 1, respectively. The experimental gain response of BP₂, BP₁, LP, HP, BR and AP is shown in Fig. 13. The experimental natural frequency is about 61 kHz which was about 2.948 % deviated from theoretical value. The tuning of Q without affecting natural frequency is confirmed by the experimental result of BP₂ filter in Fig. 14 where the value of I_{B3} was changed to 57.5 μ A, 115 μ A and 230 μ A. The measurements of output voltage V_{BP2} is also shown in Fig. 15 where the 50 mV sinusoidal voltage with 63 kHz of frequency was applied as input signal.

The proposed oscillator in Fig. 8 was tested with following conditions; the supply voltage ± 5 V, $C_1 = C_2 = 5.6$ nF, $I_{B1} = I_{B2} = I_{B3} = 115$ μ A ($g_{m1} = g_{m2} = g_{m3} = 2.211$ mA/V) and $R = 0.54$ k Ω .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With these conditions, the FO is 62.9 kHz. Figure 16 shows the measured output voltage where the experimental FO was about 61.86 kHz which was about 1.579 % deviated from theoretical value. It is also found that the output voltages V_{o1} and V_{o2} are quadrature sinusoidal signal.

8 Conclusions

Voltage-mode bi-quad filter has been proposed in this study. The advantages of the proposed filter are as follows. Firstly, it can perform variety of filters, i.e., low-pass, high-pass, band-pass, band-reject and all-pass functions. Secondly, the quality factor and the natural frequency can be electronically and orthogonally controlled. Finally, the filter has high input impedance. Moreover, the output voltage terminals for functions high-pass, band-reject and all-pass are low output impedance. The proposed filter consists of three VDDAs, one grounded resistor and two grounded capacitors, which are attractive for either IC implementation. With slightly modifying the proposed filter, the voltage-mode quadrature oscillator low output impedances is achieved. The CO and FO can be independently and electronically tuned. Moreover, the ratio of amplitudes V_{O1} and V_{O2} is constant on the tuning of FO if I_{B1} and I_{B2} are simultaneously tuned. Simulation results confirmed theoretical anticipation and validity of the synthesis. The power consumption for proposed filter is 0.343 mW and for proposed oscillator (with AGC circuit) is 0.346 mW. Moreover, the experimental results using available commercial ICs (AD830 and LM13700) are included and they meet very well with theoretical presumptions.

Acknowledgement

This work was supported by the King Mongkut's Institute of Technology Ladkrabong (KMUTL), National Research Council of Thailand (NRCT), Research described in this paper was financed by Czech Ministry of Education in frame of National Sustainability Program under grant LO1401. For research, infrastructure of the SIX Center was used. Research described in the paper was supported by Czech Science Foundation projects under No. 16-11460Y.

References

- 1 Sedra A S & Smith K C, *Microelectronic circuits*, 6th Edn, (Oxford University Press, USA), 2011.
- 2 Psychalinos C, *Analog Integr Circuits Signal Process*, 67 (2011) 201.
- 3 Jantakun A & Jaikla W, *Indian J Pure Appl Phys*, 53 (2015) 557.
- 4 Chaichana A, Jantakun A, Kungngern M & Jaikla W, *Indian J Pure Appl Phys*, 53 (2015) 470.
- 5 Yuce E & Minaei S, *Int J Circuits Theory Appl*, 42 (2014) 659.
- 6 Biolek D, Senani R, Biolkova V & Kolka Z, *Radioengineering*, 17 (2008) 15.
- 7 Kubanek D, Khateb F, Tsirimokou G & Psychalinos C, *Circuits Syst Signal Process*, 35 (2016) 2003.
- 8 Herencsar N, Sotner R, Metin B, Koton J & Vrba K, *VDDDA - New 'voltage differencing' device for analog signal processing*, International Conference on Electrical and Electronics Engineering, Bursa, Turkey, 2013.
- 9 Chaichana A, Jaikla W, Suwanjan, P & Tuntrakool S, *A new quadrature sinusoidal oscillator for telecommunication system using VDDAs*, International Conference on Intelligent Informatics and Biomedical Sciences (ICIIBMS), 2015.
- 10 Tuntrakool S, Kungngern M & Jaikla W, *VDDAs-based voltage-mode multiphase sinusoidal oscillator*, International Conference on Industrial Application Engineering, 2016.
- 11 Koton J, Herencsar N, Vrba K & Metin B, *The VDDDA in multifunction filter with mutually independent Q and ω_0 control feature*, International Conference on Electrical and Electronics Engineering (ELECO), 2013.
- 12 Koton J, Herencsar N, Vrba K & Metin B, *Analog Integr Circuits Signal Process*, 81 (2014) 53.
- 13 Sangyaem S, Siripongdee S, Jaikla W & Khateb F, *Optik*, 128 (2016) 14.
- 14 Siripongdee S & Jaikla W, *Single VDDA-based voltage-mode multifunction second order filter for analog signal processing*, International Conference on Intelligent Informatics and Biomedical Sciences (ICIIBMS), 2015.
- 15 Herencsar N, Cicekoglu O, Sotner R, Koton J & Vrba K, *Analog Integr Circuits Signal Process*, 76 (2013) 251.
- 16 http://lgjohn.ecen.ceat.okstate.edu/5263/processparam/t4bk_lo_epi-params.html
- 17 Minaei S & Yuce E, *Circuits Syst Signal Process*, 29 (2010) 295.
- 18 Chiu W Y, Horng J W, Lee H & Huang C C, *IEEE International Symposium on Electronic Design, Test and Applications*, Ho Chi Minh City, Vietnam, 2010.
- 19 Horng J W, *Analog Integr Circuits Signal Process*, 62 (2010) 407.
- 20 Chiu W Y & Horng J W, *Indian J Eng Mater Sci*, 18 (2011) 97.
- 21 Kacar F & Yesil A, *Analog Integr Circuits Signal Process*, 63 (2010) 137.
- 22 Chiu W Y, Horng J W, Guo Y S & Tseng C Y, *DDCCs-based voltage-mode one input five outputs biquadratic filter with high input impedance*, International Symposium on Integrated Circuits, Singapore, 2011.
- 23 Udom N, Duangmalai D & Noppakarn A, *High input impedance current controlled voltage-mode universal filter using DDCC and OTA*, IEEE International Conference on Vehicular Electronics and Safety (ICVES), 2011.
- 24 Kungngern M, Suwanjan P & Dejhan K, *Electronically tunable voltage-mode SIMO OTA-C universal biquad filter*, Asia-Pacific Conference on Communications (APCC2011), 2011.
- 25 Horng J W, Hou C L, Huang W S & Yang D Y, *Circuits Syst*, 2 (2011) 60.
- 26 Tangsirat W & Channumsin O, *Radioengineering* 20 (2011) 905.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 27 Channumsin O, Pukkalanun T & Tangsrirat W, *Microelectron J*, 43 (2012) 555.
- 28 Kumngern M, Suwanjan P & Dejhan K, *Int J Electron*, 100 (2013) 1118.
- 29 Tangsrirat W, Channumsin O & Pukkalanun T, *Microelectron J*, 44 (2013) 210.
- 30 Singh, S V, Maheshwari S, Tomar R S & Chauhan D S, *Single input four output voltage-mode biquad filter with electronic tuning*, International Conference on Multimedia Signal Processing and Communication Technologies, 2013.
- 31 Channumsin O & Tangsrirat W, *Microelectron J*, 44 (2013) 1084.
- 32 Chen H P, *IET Circuits Dev Syst*, 8 (2014) 280.
- 33 Mohan J, Chaturvedi B & Maheshwari, S, *Adv Electr Eng*, (2014) Article ID 514019.
- 34 Ismail M U & Arif B, *Single input multi output digitally reconfigurable biquadratic analog filter*, International Conference on Systems Informatics, Modelling and Simulation, 2014.
- 35 Chen H P, *Voltage-mode multifunction biquadratic filter with one input and six outputs using two ICCIIs*, Scientific World J, (2014) Article ID 432570.
- 36 Chen H P, Chiu Y L, Chung C K & Chou C C, *Voltage-mode multifunction filter with single input and three outputs based on single plus-type DVCC*, International Conference on Information Science, Electronics and Electrical Engineering, (2014) 1838-1841.
- 37 Chen H P, Wang S F, Huang W Y & Hsieh M Y, *IEICE Electron Express*, 11 (2014) 20140234.
- 38 Jaikla W, Biolek D, Siripongdee S & Bajer J, *Radioengineering*, 14(3) (2014) 914.
- 39 Kacar F, Yesil A & Gurkan K, *Indian J Pure Appl Phys*, 53 (2015) 341.
- 40 Sagbas M, Ayten U E, Koksall M & Herencsar N, *Electronically tunable universal biquad using a single active component*, International Conference on Telecommunications and Signal Processing (TSP), 2015.
- 41 Yucel F & Yuce E, *J Circuits Syst Comput*, 24(4) (2015), 1550047.
- 42 Chen H P & Wang S P, *AEU Int J Electron Commun*, 70 (2016) 491.
- 43 Alaybeyoglu, E & Kuntman, H, *Analog Integr Circuits Signal Process*, 89 (2016) 675.
- 44 Horng J W & Chiu W Y, *Indian J Pure Appl Phys*, 54 (2016) 557.
- 45 Bajer J, Vavra J, Biolek D & Hajek K, *Low-distortion current-mode quadrature oscillator for low-voltage low-power applications with non-linear noninertial automatic gain control*. (Linkoping, Sweden), 2011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายสันติ ตันตระกุล
วัน เดือน ปีเกิด	22 ตุลาคม 2513 ที่อำเภอหาดใหญ่ จังหวัดสงขลา
ที่อยู่	99/83 ซอยคุ้มเกล้า 11 ถนนคุ้มเกล้า หมู่บ้านปาริชาติ แขวงลำปลาทิว เขตลาดกระบัง กรุงเทพฯ 10520 โทร.0-2363-5413
ประวัติการศึกษา	2536 ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2547 Master of Science in Electrical Engineering Vanderbilt University, Nashville, Tennessee, USA
ความชำนาญเฉพาะด้าน	1) ระบบโทรคมนาคม 2) การประมวลผลสัญญาณ 3) วิศวกรรมชีวแพทย์ (ประมวลผลสัญญาณ)
ประสบการณ์การทำงาน	
พ.ศ.2536-2555	อาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2556-ปัจจุบัน	ผู้ช่วยศาสตราจารย์ประจำภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
มิถุนายน พ.ศ. 2554- สิงหาคม พ.ศ. 2557	ผู้ช่วยคณบดีฝ่ายวิชาการ คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
มิถุนายน พ.ศ. 2557- ธันวาคม พ.ศ. 2557	รักษาการผู้ช่วยอธิการบดี สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
กันยายน พ.ศ. 2557- ธันวาคม พ.ศ. 2558	รองคณบดีกำกับดูแลงานด้านบริหารและพัฒนา คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ธันวาคม พ.ศ. 2558- ปัจจุบัน	หัวหน้าภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรมและเทคโนโลยี สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานวิจัย

- Sunti Tutrakool, et.al., "WAVELET METHODS FOR SPIKE DETECTION IN MOUSE RENAL SYMPATHETIC NERVE ACTIVITY", IEEE transactions on biomedical engineering, Vol. 54, No. 1, 2007
- Sunti Tutrakool, et.al., "NOREPINEPHRINE TRANSPORTER-DEFICIENT MICE EXHIBIT EXCESSIVE TACHYCARDIA AND ELEVATED BLOOD PRESSURE WITH WAKEFULNESS AND ACTIVITY", Circulation: Journal of American Heart Association, Vol. 10, No. 110, 2004
- Sunti Tutrakool, Surapong Siripongdee, Prasert Kenpankho, Peerawut Suwanjan, "THE DEVELOPMENT OF PSoC CY8C27443 MICROCONTROLLER LABORATORY SET", The 4th International Conference on Education Reform [ICER2011], March 2011
- Surapong Siripongdee, Prasert Kenpankho, Peerawut Suwanjan, Sunti Tutrakool, "THE DEVELOPMENT OF 4- CHANNEL PROGRAMMABLE DIGITAL TIMER", The 4th International Conference on Education Reform [ICER2011], March 2011
- Peerawut Suwanjan, Prasert Kenpankho, Surapong Siripongdee, Sunti Tutrakool, "DIGITAL TIMER PACKAGED LEARNING", The 4th International Conference on Education Reform [ICER2011], March 2011
- Sunti Tutrakool, Surapong Siripongdee, Amornchai Chaichana, Peerawut Suwanjan, "ARMED FORCE AND TANK BATTLEFIELD MANAGEMENT SYSTEM", The 9th International Conference on Developing Real-Life Learning Experience: Innovative and Technology Education [DRLE2011], April 2011
- Piya Supavarasuwat, Sunti Tutrakool, "Development of e-Learning on Electrical Circuit Analysis", The 9th International Conference on Developing Real-Life Learning Experience: Innovative and Technology Education [DRLE2011], April 2011
- Surapong Siripongdee, Prasert Kenpankho, Peerawut Suwanjan, Sunti Tutrakool, "MICROCONTROLLER LEARNING PACKAGE", The 9th International Conference on Developing Real-Life Learning Experience: Innovative and Technology Education [DRLE2011], April 2011
- Surapong Siripongdee, Prasert Kenpankho, Peerawut Suwanjan, Sunti Tutrakool, "PIC16F877 MICROCONTROLLER LABORATORY SET", The 9th International Conference on Developing Real-Life Learning Experience: Innovative and Technology Education [DRLE2011], April 2011
- Sunti Tutrakool, Worawit Somha, Nipha Leelaruji and Siritwat Potvejkul, "NEF Contours in KMITL Area Affected from Suwannabhumi Airport", 1st International Symposium on Technology for Sustainability [ISTS2011], January 2012

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Surapong SIRIPONGDEE, Sunti TUNTRAKOOL and Winai JAIKLA, “High Output Impedance Current-mode Universal Filter With Independent Control of Pole Frequency and Quality Factor” Proceedings of the 11th WSEAS International Conference on Instrumentation, Measurement, Circuits and Systems (IMCAS '12), pp. 88-92.
- Peerawut SUWANJAN, Amornchai CHAICHANA and Sunti TUNTRAKOOL, “Current-mode Quadrature Oscillator Using CCCDTAs with Amplitude Controllability,” Proceedings of the International Conference on Electrical Engineering and Computer Sciences 2013 (ICEECS2013), Tokyo, Japan; 16–17 March, 2013, pp. 1751-1755
- Sunti TUNTRAKOOL and Piya SUPAVARASUWAT, “ATmega168 Microcontroller Laboratory Set”, The 1st International Conference on Technical Education [ICTeched2013], November 2013
- Surapong SIRIPONGDEE, Peerawut SUWANJAN, and Sunti TUNTRAKOOL, “Electronically Controllable Current-mode Multiphase Sinusoidal Oscillator for Biomedical Tissue Measurement System”, The 4th Journal Conference on Bioscience, Biochemistry and Bioinformatics (JCBBB 2013 4), December 2013
- Sunti TUNTRAKOOL, Winai JAIKLA and Peerawut SUWANJAN, “Single DVCCTA based voltage-mode quadrature sinusoidal oscillator with electronic controllability”, UKSim AMSS 8th European Modeling Symposium on Mathematical Modeling and Computer Simulation, October 2014
- Suchin ADHAN, Surachai PIMSALAE, Sunti TUNTRAKOOL, “DEVELOPMENT OF COMPUTER AID INSTRUCTION ON DATA STRUCTURE AND ALGORITHM”, Proceeding of the 13th International conference on developing real-life learning Experiences: Lifelong Learning Skills in The 21st Century, KMITL, Bangkok Thailand, June. 2015, P20-1 – P20-8.
- Amornchai CHAICHANA, Winai JAIKLA, Peerawut SUWANJAN and Sunti TUNTRAKOOL, “[A NEW QUADRATURE SINUSOIDAL OSCILLATOR FOR TELECOMMUNICATION SYSTEM USING VDDDAS](#)”, [Intelligent Informatics and Biomedical Sciences \(ICIIBMS\), 2015 International Conference on](#), Okinawa, Japan, 24 March 2016
- Sunti Tuntrakool, Peerawut Suwanjan and Winai Jaikla, "TEMPERATURE INSENSITIVE CURRENT-MODE FOUR QUADRANT MULTIPLIER USING SINGLE CFCTA", 2016 the 3rd International Conference on Mechatronics and Mechanical Engineering (ICMME 2016), 09 February 2017

- Sunti Tuntrakool, Montree Kumngern, Roman Sotner, Norbert Herencsar, Peerawut Suwanjan and Winai Jaikla, "HIGH INPUT IMPEDANCE VOLTAGE-MODE UNIVERSAL FILTER AND ITS MODIFICATION AS QUADRATURE OSCILLATOR USING VDDAS", Indian Journal of Pure & Applied Physics Vol. 55, May 2017, pp. 324-332



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้