การศึกษากระบวนการสร้างและคุณลักษณะทางไฟฟ้าของเอ็นมอสขนาด 0.5 ไมครอน

STUDY OF FABRICATION AND ELECTRICAL CHARATERISTICS OF NMOS 0.5 MICRON

ณัฐพล สกุณา

NATTHAPHON SAKUNA

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2558

KMITL-2015-EN-M-045-098

การศึกษากระบวนการสร้างและคุณลักษณะทางไฟฟ้าของเอ็นมอสขนาด 0.5 ไมครอน

STUDY OF FABRICATION AND ELECTRICAL CHARATERISTICS
OF NMOS 0.5 MICRON

ณัฐพล   สกุณา
NATTHAPHON   SAKUNA

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2558

KMITL-2015-EN-M-045-098

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STUDY OF FABRICATION AND ELECTRICAL CHARATERISTICS OF NMOS 0.5 MICRON

NATTHAPHON SAKUNA

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN MICROELECTRONICS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2015

KMITL-2015-EN-M-045-098

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2015
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การศึกษากระบวนการสร้างและคุณลักษณะทางไฟฟ้าของเอ็นมอสขนาด 0.5 ไมครอน
Thesis Title A Study of Fabrication and Electrical Characteristics of NMOS 0.5 Micron
นักศึกษา นายณัฐพล สกุณา
รหัสประจำตัว 55611109
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมไมโครอิเล็กทรอนิกส์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.รังสรรค์ เมืองเหลือ
หมายเลขวิทยานิพนธ์ KMITL-2015-EN-M-045-098

คณะกรรมการสอบวิทยานิพนธ์		**ลายมือชื่อ**
ผศ.ดร.สุรศักดิ์	เนียมเจริญ	
ดร.วีระ	เพ็งจันทร์	
ดร.อัมพร	โพธิ์ใย	
ดร.นรินทร์	อติวงศ์แสงทอง	
ดร.รังสรรค์	เมืองเหลือ	

วัน / เดือน/ ปี ที่สอบ วันจันทร์ที่ 13 กรกฎาคม พ.ศ. 2558 เวลา 13.00-15.00 น.
สถานที่สอบ ณ อาคารเฉลิมพระเกียรติใหม่ ห้อง HM-305

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 13 กรกฎาคม พ.ศ. 2558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การศึกษากระบวนการสร้างและคุณลักษณะทางไฟฟ้าของเอ็นมอสขนาด 0.5 ไมครอน
นักศึกษา	นายณัฐพล สกุณา
รหัสประจำตัว	55611109
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไมโครอิเล็กทรอนิกส์
พ.ศ.	2558
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร. รังสรรค์ เมืองเหลือ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการศึกษากระบวนการสร้างเอ็นมอสทรานซิสเตอร์ขนาดความยาวเกท 0.5 ไมครอน โพลีซิลิคอนเกทชนิดเอ็น โดยมีขั้นตอนตั้งแต่การจำลองกระบวนการสร้างเพื่อคาดการณ์คุณลักษณะทางไฟฟ้าโดยใช้ Sentaurus TCAD เป็นโปรแกรมตรวจสอบ มีการจำลองค่าปริมาณโดสการยิงฝังประจุสำหรับบ่อแยกชนิดพี, ปริมาณโดสการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่มและปริมาณโดสการยิงฝังประจุสำหรับการป้องกันพันช์ทรูหลายๆเงื่อนไข โดยมุ่งเน้นศึกษาถึงค่าปริมาณโดสการยิงฝังประจุสำหรับบ่อแยกชนิดพี, ปริมาณโดสการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่มและปริมาณโดสการยิงฝังประจุสำหรับการป้องกันพันช์ทรูที่มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ จากนั้นนำผลการจำลองกระบวนการสร้างที่น่าสนใจมาเป็นเงื่อนไขที่ใช้ในการสร้างลงบนแผ่นเวเฟอร์ซิลิคอนโดยมีเงื่อนไขที่ใช้ในการสร้างจำนวน 12 แผ่นเงื่อนไข หลังจากทำการสร้างเอ็นมอสทรานซิสเตอร์ตามเงื่อนไขที่ออกแบบจะทำการวัดคุณลักษณะทางไฟฟ้าซึ่งเงื่อนไขที่น่าสนใจคือเงื่อนไขที่บ่อแยกชนิดพีมีปริมาณโดส 1×10^{12} cm^{-2} มีค่าปริมาณโดสการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่ม 1.8×10^{12} cm^{-2} และค่าปริมาณโดสการยิงฝังประจุสำหรับการป้องกันพันช์ทรู 3×10^{12} cm^{-2} โดยเอ็นมอสทรานซิสเตอร์จากแผ่นเงื่อนไขดังกล่าวมีค่าแรงดันขีดเริ่ม 0.75 โวลต์ มีกระแสเดรนย่านอิ่มตัวที่ $V_{DS}=V_{GS}=3.3$ V เท่ากับ 403 μA/μm จากนั้นนำแผ่นเงื่อนไขดังกล่าวไปทำการถอดแบบจำลองพารามิเตอร์ระดับ 3 สำหรับให้นักออกแบบวงจรรวมได้นำไปใช้ต่อไปซึ่งเอ็นมอสทรานซิสเตอร์ขนาด 0.5 μm ที่สร้างได้นั้นถือได้ว่าเป็นเทคโนโลยีการสร้างเอ็นมอสทรานซิสเตอร์ที่มีขนาดเล็กที่สุดที่สร้างได้จริงในประเทศไทยในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Study of Fabrication and Electrical Characteristics of NMOS 0.5 Micron
Student	Mr. Natthaphon Sakuna
Student ID.	55611109
Degree	Master of Engineering
Program	Microelectronics Engineering
Year	2015
Thesis Advisor	Dr. Rangson Muanghlua

ABSTRACT

This thesis is proposed a study of the fabrication process of NMOS transistor 0.5 micron, N-type Polysilicon Gate. There are 3 steps of this study. The first step is a step of fabrication simulation process for predicting the electrical properties by using Sentaurus TCAD which is a checking program consisting in several conditions of simulation. The purpose of the fabrication simulation process is for studying the dose of Ion Implantation of building P-well, threshold voltage adjustment and anti-purchthrough processes affecting to the threshold voltage of NMOS transistor. Then the interesting conditional results of fabrication simulation process are used for building different 12 silicon wafers. After the fabrication process of NMOS transistor according to the interesting conditional results, the next step is to test electrical properties. The most interesting condition from testing is the condition being composed of the dose concentration of P-well as 1×10^{12} cm^{-2}, threshold voltage adjustment as 1.8×10^{12} cm^{-2} and anti-purchthrough as 3×10^{12} cm^{-2}. This condition cause the threshold voltage of the NMOS to be 0.75 V. and the drain current at saturation region V_{DS}=V_{GS}=3.3V to be 403 μA/μm. Finally, this condition is used for extracting the parameter model level 3 which is a useful application for IC designers. The succeeded fabrication of the NMOS transistors 0.5 micron is a recently technology of the smallest NMOS in Thailand.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จได้ด้วยความกรุณาจาก ดร. รังสรรค์ เมืองเหลือ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ที่ให้ความช่วยเหลือ, สนับสนุน, ให้คำแนะนำช่วยแก้ปัญหา, ตรวจทานและแก้ไขวิทยานิพนธ์ และให้กำลังใจในการเขียนวิทยานิพนธ์จนสำเร็จ

ขอขอบพระคุณ รศ.ดร. วิสุทธิ์ ฐิติรุ่งเรือง, ผศ.ดร.สุรศักดิ์ เนียมเจริญ, ดร. นรินทร์ อติวงศ์ แสงทอง และคณาจารย์ทุกท่าน ที่ประสิทธิ์ประสาทวิชาความรู้ตลอดจนให้คำปรึกษาทางวิชาการ

ขอขอบพระคุณคณะกรรมการสอบวิทยานิพนธ์ทุกท่านที่ให้ข้อเสนอแนะและตรวจแก้ไขวิทยานิพนธ์ให้สมบูรณ์ยิ่งขึ้น

ขอขอบพระคุณ ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) และนักวิจัยทุกท่าน ที่ให้การสนับสนุนการทำงานวิจัยในทุกๆด้าน โดยเฉพาะอย่างยิ่งการอำนวยความสะดวกในการใช้เครื่องจักรในกระบวนการสร้าง เครื่องมือที่ใช้ในการทดลองและวิเคราะห์ผลตลอดการวิจัย ทำให้งานวิจัยนี้สำเร็จลุล่วงด้วยดี

ขอขอบพระคุณ คุณอนุชา เรืองพานิช ซึ่งเป็นผู้ที่ถ่ายทอดความรู้ในเรื่องกระบวนการสร้างมอสทรานซิสเตอร์ตั้งแต่เริ่มต้นจนสิ้นสุดกระบวนการสร้างอย่างดี เป็นอาจารย์ที่ข้าพเจ้าเคารพรัก เป็นผู้ที่คอยแนะนำ ตรวจทานและแก้ไขวิทยานิพนธ์

ขอบคุณพี่ๆ น้องๆ เพื่อนๆ ที่ศูนย์วิจัยอิเล็กทรอนิกส์ (ERC) ที่คอยให้คำแนะนำและให้กำลังใจมาโดยตลอด

ขอขอบพระคุณทุนการศึกษาจาก สำนักงานวิทยาศาสตร์และเทคโนโลยีที่ให้การสนับสนุนในส่วนของเงินทุน และการฝึกอบรมทางวิชาการทำให้นักศึกษาทุนได้รับการพัฒนาศักยภาพในด้านต่างๆ ตลอดระยะเวลา 2 ปี นับเป็นเกียรติของข้าพเจ้าและครอบครัวเป็นอย่างมาก

ท้ายที่สุดขอกราบขอบพระคุณ นาย สำราญ สกุณา ผู้เป็นบิดา นาง เนาวรัตน์ สกุณา ผู้เป็นมารดา และครอบครัว ผู้ซึ่งเป็นที่รักและเคารพยิ่ง ผู้ซึ่งเป็นแบบอย่างที่ดีต่อข้าพเจ้า ไม่ว่าจะเป็นความอดทน ความซื่อสัตย์ ความใฝ่รู้ ซึ่งทำให้ข้าพเจ้าทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี และเป็นผู้ให้การสนับสนุนและเป็นกำลังใจในทุกๆเรื่องมาโดยตลอด

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับ บิดา มารดา และอาจารย์ที่เคารพทุกท่าน และศูนย์วิจัยอิเล็กทรอนิกส์ซึ่งเป็นสถานที่ให้ความรู้และประสบการณ์ในการทำวิจัยจนกระทั่งจบการศึกษา

นาย ณัฐพล สกุณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ I

ABSTRACT II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VIII

สารบัญรูป IX

รายการสัญลักษณ์ XIII

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 4

1.3 ขอบเขตการวิจัย 4

1.4 รายละเอียดของวิทยานิพนธ์ 4

บทที่ 2 ทฤษฎีและหลักการทำงาน 6

2.1 บทนำ 6

2.2 โครงสร้างมอส 6

2.2.1 คุณลักษณะความจุไฟฟ้ากับแรงดัน 7

2.3 คุณลักษณะและการทำงานของมอสทรานซิสเตอร์ 13

2.3.1 ความนำถ่ายโอนหรือทรานส์คอนดัคแตนซ์ 16

2.3.2 กระแสในย่านต่ำกว่าแรงดันขีดเริ่ม (The Subthreshold Current) 17

2.3.3 ปรากฏการณ์ช่องทางเดินกระแสสั้น (Short-channel Mosfets) 18

2.3.3.1 Hot carriers 18

2.3.3.2 Lightly-Doped Drain (LDD) 18

บทที่ 3 การจำลองการสร้างเอ็นมอสทรานซิสเตอร์ 19

3.1 โปรแกรมที่ใช้ในการจำลองกระบวนการสร้างเอ็นมอสทรานซิสเตอร์ 19

3.2 การจำลองกระบวนการสร้างเพื่อศึกษาหาเงื่อนไขการสร้าง 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.2.1 การจำลองเพื่อศึกษาผลของปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) และปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ที่มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ 21

3.2.2 การจำลองเพื่อศึกษาผลของปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) และปริมาณโดสของบ่อแยกชนิดพี (P-Well) ที่มีต่อแรงดันขีดเริ่ม 23

3.2.3 การจำลองเพื่อศึกษาความสัมพันธ์ระหว่างแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ (V_T) กับความยาวเกท (L_g) 24

3.3 เงื่อนไขที่ใช้ในการสร้าง 26

บทที่ 4 การสร้างเอ็นมอสทรานซิสเตอร์ 27

4.1 กระบวนการสร้างพื้นฐาน 27

4.1.1 กระบวนการสร้างแผ่นเวเฟอร์ 27

4.1.2 ออกซิเดชันทางความร้อน (Thermal Oxidation) 28

4.1.3 กระบวนการเติมอะตอมสารเจือ (Doping Processes) 29

4.1.3.1 การยิงฝังประจุ (Ion Implantation) 29

4.1.3.2 การแพร่ในของแข็ง (SolidState Diffusion) 30

4.1.4 โฟโตลิโธกราฟฟี (Photolithography) 30

4.1.5 การเอาฟิล์มบางออก (Thin Film Removal) 31

4.1.5.1 การกัดแบบเปียก 31

4.1.5.2 การกัดแบบแห้ง 32

4.1.6 การวางชั้นฟิล์มบาง (Thin Film Deposition) 33

4.1.6.1 การสะสมไอทางกายภาพ (Physical Vapor Deposition) 34

4.1.6.2 การสะสมไอทางเคมี (Chemical Vapor Deposition) 35

4.2 การออกแบบโครงสร้างทดสอบ 36

4.2.1 โครงสร้างทดสอบค่าความหนาของชั้นออกไซด์ 38

4.2.2 โครงสร้างทดสอบค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม 40

4.2.3 โครงสร้างทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆ 40

4.2.4 โครงสร้างทดสอบค่าคุณสมบัติมอสทรานซิสเตอร์ 41

4.3 กระบวนการสร้างเอ็นมอสทรานซิสเตอร์ 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.3.1 Front end-of-the-line (FEOL) 43

4.3.2 Back end-of-the-line (BEOL) 46

บทที่ 5 ผลการทดลองและวิเคราะห์ผล 49

5.1 เครื่องมือที่ใช้ในการทดสอบ 49

5.2 การทดสอบคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ 49

5.2.1 วิธีการทดสอบเพื่อศึกษาค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ 50

5.2.2 ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ในทุกแผ่นเงื่อนไข 51

5.2.3 การทดสอบเพื่อศึกษาความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรนของเอ็นมอสทรานซิสเตอร์ที่ค่าแรงดันเกทค่าต่างๆ 54

5.2.4 การทดสอบเพื่อศึกษาค่าแรงดันขีดเริ่มของฟิลด์มอสทรานซิสเตอร์ 55

5.2.5 การทดสอบเพื่อศึกษาค่าแรงดันพันช์ทรูและกระแสรั่วของเอ็นมอสทรานซิสเตอร์ 56

5.2.6 การทดสอบเพื่อศึกษาผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ 58

5.3 การทดสอบคุณสมบัติของโครงสร้างทดสอบ 58

5.3.1 การทดสอบค่าความหนาของชั้นออกไซด์ในโครงสร้าง 59

5.3.2 การทดสอบค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม 62

5.3.3 การทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆในโครงสร้าง 63

บทที่ 6 การหาแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์ 65

6.1 ค่า TPG 66

6.2 การหาค่า VTO และ NSUB 66

6.3 การหาค่า LD และ WD 69

6.3.1 การหาค่า LD 69

6.3.2 การหาค่า WD 71

6.4 การหาค่า UO, THETA, RD และ RS 71

6.4.1 การหาค่า UO 71

6.4.2 การหาค่า THETA 72

6.4.3 การหาค่า RD และ RS 74

6.5 การหาค่า DELTA และ ETA 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

6.5.1 การหาค่า DELTA 75

6.5.2 การหาค่า ETA 76

6.6 การหาค่า NFS 77

6.7 การหาค่า VMAX 79

6.8 การหาค่า KAPPA 80

6.9 สรุปผลการหาแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์ 81

6.10 การเปรียบเทียบคุณลักษณะทางไฟฟ้าระหว่างผลจากการหาแบบจำลองพารามิเตอร์และผลจากการวัดจากตัวอุปกรณ์ 82

6.10.1 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกท 83

6.10.2 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่มีผลของการไบอัสฐานรอง 85

6.10.3 ความสัมพันธ์กระแสเดรนกับแรงดันเดรนที่ค่าแรงดันเกทค่าต่างๆ 87

บทที่ 7 สรุปผลการวิจัยและข้อเสนอแนะ 88

เอกสารอ้างอิง 91

ภาคผนวก 96

ภาคผนวก ก. ค่าคงที่ทางฟิสิกส์ 97

ภาคผนวก ข หน่วนในระบบฟิสิกส์ 98

ภาคผนวก ค. คำอุปสรรค 99

ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์ 100

ประวัติผู้เขียน 108

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

1.1 คุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ขนาด 0.8 µm 3
3.1 พารามิเตอร์ของโครงสร้างที่ทดสอบ 21
3.2 ผลคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ L = 0.5 µm, W = 20 µm
ATP = 3×10^{12} cm^{-2} 26
3.3 เงื่อนไขที่ใช้ในการสร้างในแต่ละแผ่น 26
4.1 รายละเอียดของกฎการออกแบบ 36
5.1 ค่าแรงดันขีดเริ่มของมอสเฟทตัวใหญ่ในทุกแผ่นเงื่อนไขที่ W/L = 20/20 51
5.2 ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ทุกขนาดของแผ่นที่ทำการศึกษา 53
5.3 ค่าความจุไฟฟ้าของชั้นออกไซด์ 61
5.4 ค่าความหนาของชั้นออกไซด์ 61
5.5 ค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม 63
5.6 ค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นต่างๆที่ ขนาด 0.6*0.6 64
6.1 ค่าแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์ ระดับ 3 65
6.2 สรุปผลของพารามิเตอร์ของมอสทรานซิสเตอร์ ระดับ 3 81
7.1 คุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ขนาด 0.5 µm 89
7.2 สรุปผลของพารามิเตอร์ของมอสทรานซิสเตอร์ระดับ 3 90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 โครงสร้างมอสพื้นฐาน 6

2.2 กราฟคุณลักษณะความจุไฟฟ้ากับแรงดันในอุดมคติที่มีฐานรองเป็นสารกึ่งตัวนำชนิดพี 8

2.3 แถบพลังงานในโครงสร้างมอสที่มีฐานรองเป็นซิลิคอนชนิดพีในภาวะแอคคิวมูเลชัน 9

2.4 แผนผังแท่งประจุในโครงสร้างมอสในภาวะแอคคิวมูเลชัน 9

2.5 แถบพลังงานในโครงสร้างมอสที่มีฐานรองเป็นซิลิคอนชนิดพีในภาวะดีพลีทชัน 10

2.6 แผนผังแท่งประจุในโครงสร้างมอสในภาวะดีพลีทชัน 10

2.7 แถบพลังงานในโครงสร้างมอสในขณะเริ่มเกิดภาวะสตรองอินเวอร์ชัน 11

2.8 แผนผังแท่งประจุในโครงสร้างมอสขณะเริ่มเกิดภาวะสตรองอินเวอร์ชัน 12

2.9 แถบพลังงานในโครงสร้างมอสในขณะเกิดภาวะสตรองอินเวอร์ชัน 12

2.10 แสดงภาพตัดขวาง ก) เอ็นมอสทรานซิสเตอร์ ข) พีมอสทรานซิสเตอร์ 13

2.11 คุณสมบัติกระแสเดรนกับแรงดันเดรนที่แรงดันเกทคงที่ค่าต่างๆของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล 14

2.12 คุณสมบัติกระแสเดรนกับแรงดันเกทของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล 15

2.13 แสดง LIGHTLY DOPED DRAIN (LDD) IMPLANT 18

3.1 โปรแกรม SENTAURUS TCAD 19

3.2 ขอบเขตทางกายภาพในการจำลอง 20

3.3 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T)กับปริมาณโดสการยิงฝังประจุ (VTA) ที่ปริมาณโดสสำหรับการป้องกันพันช์ทรู (APT) ค่าต่างๆ 22

3.4 ความสัมพันธ์ระหว่าง แรงดันขีดเริ่มกับปริมาณโดสการยิงฝังประจุ VTA ที่ปริมาณโดสบ่อแยกชนิดพีค่าต่างๆ 23

3.5 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T) กับ ความยาวเกท (L_g) 25

3.6 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T) กับ ความยาวเกท (L_g) ที่ L_g=0.3-1.2 μm 25

4.1 รอยต่อของซิลิคอนและออกไซด์ 28

4.2 แผนผังออกซิเดชันทางความร้อน 29

4.3 แผนภาพของเครื่องยิงฝังประจุ (Ion Implantation) 30

4.4 ขั้นตอนกระบวนการโฟโตลิโธกราฟฟี 31

4.5 แผนผังถังกัดแบบเปียก 31

4.6 กระบวนการกัดแบบสปัสเตอร์ 32

4.7 แผนภาพง่ายจากกระบวนการกัดพลาสม่า 33

4.8 การสะสมฟิล์มบางที่ครอบคลุมบนชั้นออกไซด์ 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.9 โปรไฟล์เก็ปฟิว (ดีและไม่ดี) ของพื้นที่เปิดด้วยการสะสมฟิล์ม 34
4.10 แผนภาพอย่างง่ายกระบวนการสะสมแบบการระเหย 35
4.11 แสดงแผนผังของ LPCVD 35
4.12 โครงสร้างทดสอบค่าความหนาของชั้นเกทออกไซด์ที่ออกแบบ 38
4.13 โครงสร้างทดสอบค่าความหนาของชั้นฟิลด์ออกไซด์ที่ออกแบบ 39
4.14 โครงสร้างทดสอบค่าความหนาของชั้นอินเตอร์เลเยอร์ไดอิเล็กตริก (ILD) ที่ออกแบบ 39
4.15 โครงสร้างทดสอบค่าความหนาของชั้นอินเตอร์เมทเทิลไดอิเล็กตริก (IMD) ที่ออกแบบ 39
4.16 โครงสร้างทดสอบค่าความต้านทานแผ่นที่ออกแบบ 40
4.17 โครงสร้างทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆที่ออกแบบ 40
4.18 โครงสร้างมอสทรานซิสเตอร์แบบเดี่ยว 41
4.19 โครงสร้างมอสทรานซิสเตอร์แบบ L-ARRAY 42
4.20 โครงสร้างมอสทรานซิสเตอร์แบบ W-ARRAY 42
4.21 กระบวนการสร้างในส่วนของ FRONT END-OF-THE-LINE (FEOL) 46
4.22 กระบวนการสร้างในส่วนของ BACKEND-OF-THE-LINE (BEOL) 48
5.1 PROBE STATION CASCADE M 150 49
5.2 วงจรการทดสอบค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ที่ย่านเชิงเส้น 50
5.3 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดสยิงฝังประจุ VTA และปริมาณความเข้มข้นการยิงฝังประจุบ่อแยกชนิดพีค่าต่างๆที่ W/L = 20/20 52
5.4 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับความยาวช่องทางเดินกระแสของแผ่นที่ทำการศึกษา 53
5.5 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับความกว้างช่องทางเดินกระแสของแผ่นที่ทำการศึกษา... 54
5.6 วงจรการทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนของ 55
5.7 ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรนของเอ็นมอสทรานซิสเตอร์ที่ค่าแรงดันเกทค่าต่างๆ 55
5.8 วงจรการทดสอบค่าแรงดันขีดเริ่มของเอ็นฟิลด์มอสทรานซิสเตอร์ 56
5.9 ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นฟิลด์มอสทรานซิสเตอร์ 56
5.10 วงจรการทดสอบค่าแรงดันพันช์ทรูและกระแสรั่วของเอ็นมอสทรานซิสเตอร์ 57
5.11 ผลของแรงดันพันช์ทรูโดยหาจุดที่กระแสเพิ่มขึ้นอย่างรวดเร็วของเอ็นมอสทรานซิสเตอร์..... 57
5.12 ผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์..... 58
5.13 วงจรการทดสอบค่าความจุไฟฟ้าในโครงสร้างเพื่อหาค่าความหนาออกไซด์..... 59
5.14 ความสัมพันธ์ระหว่างค่าความจุไฟฟ้ากับแรงดันของชั้นเกทออกไซด์กรณีฐานรองชนิดพี..... 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.15 วงจรการทดสอบค่าความต้านทานแผ่น 62

5.16 วงจรการทดสอบค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นต่างๆ 64

6.1 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด $\phi_S = 0$ ของเอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/20 68

6.2 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด $\phi_S = 0.8$ ของเอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/20 68

6.3 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด $\phi_S = 0.81$ ของเอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/20 69

6.4 การหาค่าระยะแพร่ด้านข้างที่ล้ำมาด้านความยาวเกทของเอ็นมอสทรานซิสเตอร์ 70

6.5 การหาค่าระยะแพร่ด้านข้างที่ล้ำมาด้านความกว้างเกทของเอ็นมอสทรานซิสเตอร์ 71

6.6 การหาค่าความชันที่แรงดันเกทค่าต่างๆของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20)... 73

6.7 การหาค่า **THETA** จากความสัมพันธ์ระหว่าง $Slope_{max}/Slope$ กับ V_{GS} ของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20) 73

6.8 การหาค่า **RD** และ **RS** จากความสัมพันธ์ระหว่าง **THETA**$_M$ กับ B ของเอ็นมอสทรานซิสเตอร์ที่ขนาดความยาวเกทต่างๆ 74

6.9 การหาค่า **DELTA** จากความสัมพันธ์ระหว่าง V_T กับ $1/W_{eff}$ ของเอ็นมอสทรานซิสเตอร์ที่ขนาดความกว้างเกทต่างๆ 76

6.10 ผลของ DIBL ที่เอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/0.5 76

6.11 การหาค่า **ETA** จากความสัมพันธ์ระหว่าง $V_{T(ci)}$ กับ V_{DS} ของเอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/0.5 77

6.12 ...การหาค่าซับเทรดโชลด์สวิงจากความสัมพันธ์ของ $\log|I_D|$ กับ V_{GS} ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5 78

6.13 การหาค่า **VMAX** จากความสัมพันธ์ของ $(1/\mu_{eff})$-$(1/\mu_v)$ กับ V_{DS}/L_{eff} ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5 79

6.14 การหาค่า **KAPPA** จากความสัมพันธ์ระหว่าง L'^2 กับ V_{DS}-$V_{DS(sat)}$ ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5 80

6.15 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ 84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

6.16 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก 84
6.17 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดแคบ 85
6.18 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่มีผลของการไบอัสฐานรองที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่...... 86
6.19 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนที่แรงดันเกทค่าต่างๆ ที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก 87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์

$q\cdot\phi$	คือ	ฟังก์ชั่นงาน
V_T	คือ	แรงดันขีดเริ่ม
C_{OX}	คือ	ความจุไฟฟ้าของฉนวนต่อพื้นที่
		(ความหนาแน่นความจุไฟฟ้าของฉนวน : F/cm^2)
C_D	คือ	ความจุไฟฟ้าของบริเวณปลอดพาหะ
SS	คือ	ชั้นฐานรอง
B	คือ	บอดี้
S	คือ	ซอส
D	คือ	เดรน
G	คือ	เกท
Si	คือ	ซิลิคอน
SiO_2	คือ	ซิลิคอนไดออกไซด์
V_{GS}	คือ	แรงดันเกท หรือ แรงดันระหว่างเกทกับซอส
V_{DS}	คือ	แรงดันเดรน หรือ แรงดันระหว่างเดรนกับซอส
I_D	คือ	กระแสเดรน
V_P	คือ	แรงดันพินช์ออฟ
$V_{DS(sat)}$	คือ	แรงดันเดรนอิ่มตัว
β	คือ	พารามิเตอร์ของมอสเฟท
μ_n	คือ	สภาพคล่องของประจุพาหะ
W	คือ	ความกว้างเกท
L	คือ	ความยาวเกท
V_{FB}	คือ	แรงดันแถบเรียบ
C_{GOX}	คือ	ความจุไฟฟ้าเกทออกไซด์ต่อพื้นที่
C_{Field}	คือ	ความจุไฟฟ้าฟิลด์ออกไซด์ต่อพื้นที่
C_{ILD}	คือ	ความจุไฟฟ้าอินเตอร์เลเยอร์ไดอิเล็กตริกต่อพื้นที่
C_{IMD}	คือ	ความจุไฟฟ้าอินเตอร์เมทเทิลไดอิเล็กตริกต่อพื้นที่
t_{GOX}	คือ	ความหนาเกทออกไซด์
t_{Field}	คือ	ความหนาฟิลด์ออกไซด์
t_{ILD}	คือ	ความหนาอินเตอร์เลเยอร์ไดอิเล็กตริก
t_{IMD}	คือ	ความหนาอินเตอร์เมทเทิลไดอิเล็กตริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์ (ต่อ)

ρ_{Nwell} คือ ความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือ N-well

ρ_{n+} คือ ความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือ n^+

ρ_{p+} คือ ความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือ p^+

ρ_{Poly} คือ ความต้านทานแผ่นของชั้นฟิล์มโพลีซิลิคอน

ρ_{M1} คือ ความต้านทานแผ่นของชั้นฟิล์มโลหะ 1

ρ_{M2} คือ ความต้านทานแผ่นของชั้นฟิล์มโลหะ 2

R_C คือ ความต้านทานรูเชื่อมต่อ

V_H คือ แรงดันที่มีค่าสูง

V_L คือ แรงดันที่มีค่าต่ำ

I_{Force} คือ กระแสที่ป้อน

R_{CM1P} คือ ความต้านทานรูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น p^+

R_{CM1N} คือ ความต้านทานรูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น n^+

$R_{CM1Poly}$ คือ ความต้านทานรูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้นโพลีซิลิคอน

R_{Via} คือ ความต้านทานรูเชื่อมต่อระหว่างชั้นโลหะ 2 กับชั้นโลหะ 1

$V_{T(lin)}$ คือ แรงดันขีดเริ่มย่านเชิงเส้น

g_m คือ ความนำถ่ายโอน

$V_{T(sat)}$ คือ แรงดันขีดเริ่มย่านอิ่มตัว

$I_{D(sat)}$ คือ กระแสเดรนที่แรงดันเกทและแรงดันเดรนเท่ากับ 5 V

V_{PT} คือ แรงดันพันช์ทรู

V_{BS} คือ แรงดันบอดี้ หรือ แรงดันระหว่างบอดี้กับซอส

V_{BG} คือ แรงดันบอดี้ หรือ แรงดันระหว่างบอดี้กับเกท

$I_{D(leak)}$ คือ กระแสเดรนรั่ว

V_{TF} คือ แรงดันขีดเริ่มฟิลด์มอสทรานซิสเตอร์

μ_o, UO คือ สภาพคล่องของพาหะในย่านเชิงเส้นที่มอสเฟทขนาดใหญ่

θ, ξ, THETA คือ ผลของการลดลงของสภาพคล่องของพาหะ

R_S, RS คือ ความต้านทานของซอส

R_D, RD คือ ความต้านทานของเดรน

N_{sub}, NSUB คือ ความหนาแน่นของอะตอมสารเจือของฐานรอง

δ, DELTA คือ ผลความกว้างของแชนแนลที่มีต่อค่าแรงดันขีดเริ่ม

X_j, XJ คือ ความลึกรอยต่อของซอส/เดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์ (ต่อ)

v_{sat}, VMAX	คือ	ความเร็วดริฟท์สูงสุดของพาหะ
κ, KAPPA	คือ	ผลของแชนแนลขนาดสั้นที่มีผลต่อกระแสเดรน
η, ETA	คือ	ค่าสัมประสิทธิ์ของผลของกำแพงศักย์ของบริเวณช่องทางเดินกระแสมีค่าลดลงเมื่อได้รับแรงดันเดรนมากขึ้น ที่มอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนาดสั้น (Drain Induced Barrier Lowering)
TPG	คือ	ชนิดวัสดุของเกท (Type of Gate Material)
TOX	คือ	ความหนาของชั้นเกทออกไซด์ (Gate Oxide Thickness)
LD	คือ	ความยาวของช่องทางเดินกระแสที่ลดลงจากค่าที่ออกแบบ (Channel Length Reduction from Drawn Value)
WD	คือ	ความกว้างของช่องทางเดินกระแสที่ลดลงจากค่าที่ออกแบบ (Channel Width Reduction from Drawn Value)
VTO	คือ	แรงดันขีดเริ่มในย่านเชิงเส้นที่มอสเฟทขนาดใหญ่
NFS	คือ	ปริมาณสารเจือที่ผิวของฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

มอสทรานซิสเตอร์ (Metal Oxide Semiconductor Transistor: MOS) เป็นสิ่งประดิษฐ์สารกึ่งตัวนำที่นิยมใช้ในวงจรรวม ถือเป็นอุปกรณ์พื้นฐานที่สำคัญต่อวงจรรวมเนื่องจากมีคุณสมบัติเด่นหลายประการคือมีขนาดเล็ก มีโครงสร้างที่ไม่ซับซ้อนที่ง่ายต่อการพัฒนา ซึ่งจะเห็นว่าตั้งแต่อดีตจนถึงปัจจุบันมอสทรานซิสเตอร์มีการพัฒนาให้มีประสิทธิภาพมากขึ้น ในขณะเดียวกันก็มีขนาดที่เล็กลงเพื่อตอบสนองความต้องการของผู้ใช้งาน มอสทรานซิสเตอร์เป็นทรานซิสเตอร์ที่มีโครงสร้างประกอบด้วยชั้นโลหะ, ชั้นฉนวนออกไซด์ และชั้นสารกึ่งตัวนำ ซึ่งชั้นฉนวนออกไซด์จะกั้นอยู่ระหว่างชั้นโลหะและสารกึ่งตัวนำ โดยอาศัยผลของสนามไฟฟ้า (Field Effect) ในการควบคุมการทำงานมีลักษณะเด่น คือมีความต้องการพลังงานในขณะใช้งานต่ำและสามารถย่อให้มีขนาดเล็กลงได้ง่าย มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆที่มีลักษณะการใช้งานแบบเดียวกัน ด้วยเหตุผลที่กล่าวมานี้จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป โดยเฉพาะในวงจรที่ต้องการใช้พลังงานต่ำๆ หรือเป็นส่วนประกอบของวงจรรวม (Integrated Circuit) ที่มีจำนวนอุปกรณ์ (Component) มากๆ เช่น ไอซี (IC) ระดับ LSI (Large Scale Integrated Circuit), VLSI (Very Large Scale Integrated Circuit) และ ULSI (Ultra Large Scale Integrated Circuit)

มอสทรานซิสเตอร์สามารถแบ่งออกเป็น 2 ชนิดคือ เอ็นมอสและพีมอส ซึ่งลักษณะสำคัญที่แตกต่างกันของทั้ง 2 ชนิดคือความเร็วในการทำงานซึ่งเอ็นมอสทรานซิสเตอร์จะมีความเร็วในการทำงานมากกว่าพีมอสทรานซิสเตอร์ทำให้ผู้ออกแบบวงจรส่วนใหญ่นิยมใช้เอ็นมอสทรานซิสเตอร์มากกว่าพีมอสทรานซิสเตอร์

ในบทนี้จะกล่าวถึง ความเป็นมา ความสำคัญของปัญหา วัตถุประสงค์ของการศึกษา สมมติฐาน แนวความคิดที่ใช้ในงานวิจัย และขอบเขตของการวิจัย

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันอุปกรณ์เครื่องใช้ไฟฟ้ามีขนาดเล็กลง มีประสิทธิภาพในการทำงานสูงขึ้น ใช้พลังงานต่ำตามความต้องการของผู้ใช้งาน ส่งผลให้มีการพัฒนาชิ้นส่วนอิเล็กทรอนิกส์ ที่เรียกว่า วงจรรวม (Integrated Circuit : IC) ซึ่งถือเป็นหัวใจในการกำหนดขีดความสามารถของเครื่องมือเครื่องใช้ต่างๆเหล่านั้น ทำให้เกิดการวิจัยและพัฒนาชิ้นส่วนนี้ให้มีขนาดเล็กลงแต่เพิ่มประสิทธิภาพสูงขึ้นเพื่อให้ผลิตภัณฑ์เครื่องใช้ไฟฟ้ามีขนาดเล็กลง ตอบสนองความต้องการของผู้ใช้งานได้ดีขึ้น โดยอุปกรณ์ทรานซิสเตอร์เป็นอุปกรณ์หนึ่งที่สำคัญในวงจรรวมได้รับการพัฒนาอย่างต่อเนื่องตั้งแต่ไบโพลาร์ทรานซิสเตอร์จนมาถึงมอสทรานซิสเตอร์แต่เนื่องด้วยมอสทรานซิสเตอร์เป็นทรานซิสเตอร์ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีข้อดีที่มากกว่าไบโพลาร์ทรานซิสเตอร์ นักวิจัยจึงสนใจในการพัฒนามอสทรานซิสเตอร์มากกว่าไบโพลาร์ทรานซิสเตอร์ โดยมุ่งพัฒนามอสทรานซิสเตอร์ให้มีขนาดเล็กลง มีประสิทธิภาพในการทำงานสูงขึ้น ใช้พลังงานต่ำลง มอสทรานซิสเตอร์จึงเป็นอุปกรณ์ทรานซิสเตอร์ที่น่าสนใจ

ความรู้ทางอิเล็กทรอนิกส์ได้รับการพัฒนาอย่างต่อเนื่องตลอดระยะเวลามากกว่า 50 ปี จนกระทั่งปัจจุบัน ศาสตร์ทางไมโครอิเล็กทรอนิกส์ (Microelectronic) ได้เป็นที่น่าสนใจอย่างแพร่หลายทั้งในวงการการศึกษาและวงการอุตสาหกรรม

ประเทศต่างๆทั่วโลกต่างเห็นความสำคัญของไมโครอิเล็กทรอนิกส์ โดยเฉพาะประเทศผู้นำด้านเทคโนโลยี เช่น สหรัฐอเมริกา เยอรมันนี ญี่ปุ่น รวมทั้งประเทศที่กำลังพัฒนา เช่น เกาหลีใต้ ไต้หวัน สิงคโปร์ มาเลเซีย และจีน ต่างมุ่งมั่นที่จะพัฒนาศักยภาพในด้านการผลิต ทั้งนี้จะต้องมีความพร้อม และพัฒนาความสามารถหลายด้าน เช่น เงินลงทุน การบริหารจัดการด้านเทคโนโลยี การตลาด ทรัพยากรมนุษย์และที่สำคัญคือ นโยบายการส่งเสริมอย่างจริงจังของภาครัฐบาล

สำหรับประเทศไทย ในปี พ.ศ. 2523 ได้ดำเนินการก่อตั้งศูนย์วิจัยอิเล็กทรอนิกส์ภายใต้โครงการความช่วยเหลือของรัฐบาลญี่ปุ่นที่ให้แก่ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทางด้านการสร้างและพัฒนาอุปกรณ์สารกึ่งตัวนำโดยได้มอบอุปกรณ์และเครื่องมือพื้นฐานด้านเทคโนโลยีสารกึ่งตัวนำมูลค่า 80 ล้านบาทเพื่อสร้างห้องปฏิบัติการวิจัยสารกึ่งตัวนำ ซึ่งศูนย์วิจัยอิเล็กทรอนิกส์และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติได้วิจัยและพัฒนากระบวนการสร้างวงจรรวมแบบ CMOS ระดับ 5 μm หรือไมโครเมตร (Micrometer : μm) ซึ่งประสบผลสำเร็จด้วยดี ต่อมาการพัฒนาอุตสาหกรรมอิเล็กทรอนิกส์ได้ถูกบรรจุเป็นหนึ่งในอุตสาหกรรมหลัก ที่จะต้องได้รับการพัฒนาตามแผนพัฒนาเศรษฐกิจและสังคมแห่งชาติ ฉบับที่ 7 (พ.ศ. 2535-2539) โดยนำมาตรการต่างๆมาใช้ เช่น ด้านการเงินและการคลัง ด้านการเสริมสร้างขีดความสามารถทางเทคโนโลยีของอุตสาหกรรม และการนำระบบมาตรฐานอุตสาหกรรมมาใช้

จากข้อมูลของกรมเศรษฐกิจการพาณิชย์ การนำเข้าและส่งออกสินค้าอุตสาหกรรมอิเล็กทรอนิกส์ถูกจัดให้อยู่ในอันดับต้นๆของการค้าระหว่างประเทศของไทย ทำรายได้เข้าประเทศได้เป็นจำนวนมาก อย่างไรก็ตาม ถ้ามองในประเด็นผลต่างของมูลค่า จะพบว่ามีมูลค่าเพิ่มเกิดขึ้นไม่มากนัก เนื่องจากส่วนใหญ่เป็นการรับจ้างประกอบชิ้นส่วนอิเล็กทรอนิกส์ ในขณะที่ตลาดโลกมีการแข่งขันที่สูงมาก หากประเทศไทยต้องการที่จะคงความสามารถในการแข่งขันสำหรับอุตสาหกรรมนี้ จำเป็นต้องเพิ่มขีดความสามารถจากเดิมที่เป็นเพียงผู้รับจ้างประกอบชิ้นส่วนอิเล็กทรอนิกส์ ซึ่งเป็นอุตสาหกรรมปลายน้ำ ไปสู่การเป็นผู้ผลิตวงจรรวมซึ่งเป็นอุตสาหกรรมต้นน้ำและมีมูลค่าเพิ่มสูง แต่ในขณะเดียวกันก็ต้องอาศัยเทคโนโลยีชั้นสูงเข้ามาประกอบด้วยเช่นกัน

ด้วยเหตุนี้โครงการศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (Thai Microelectronics Center : TMEC) ภายใต้การดูแลของศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (National Electronics and Computer Technology Center: NECTEC) จึงได้รับการอนุมัติให้ดำเนินการจัดตั้งโดยมติของ ครม. เมื่อวันที่ 3 ตุลาคม พ.ศ. 2538 เพื่อทำหน้าที่เป็นศูนย์กลางงานวิจัยและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัฒนาทางด้านไมโครอิเล็กทรอนิกส์ โดยเน้นการผลิตวงจรรวมต้นแบบ และเป็นสถานที่ฝึกอบรมบุคลากรสำหรับมหาวิทยาลัยต่างๆ รวมทั้งภาคอุตสาหกรรม ด้วยจุดประสงค์หลักของโครงการคือพัฒนาบุคลากรที่มีความรู้ด้านไมโครอิเล็กทรอนิกส์ให้เป็นแหล่งรวบรวมความรู้ทางด้านนี้ เพื่อเป็นพื้นฐานสำหรับการพัฒนาอุตสาหกรรมไมโครอิเล็กทรอนิกส์ให้เป็นอุตสาหกรรมหนึ่งที่มีความสำคัญต่อเศรษฐกิจของประเทศต่อไป โครงการที่วิจัยที่ผ่านมาคือ การพัฒนากระบวนการสร้างมอสเฟทระดับ 0.8 μm ที่ได้ประสบผลสำเร็จ โดยใช้แรงดันไฟฟ้าเลี้ยงวงจร 5 โวลต์ (V) มีค่าแรงดันขีดเริ่ม ± 0.7 V ถึง ±0.9 V ซึ่งมีค่าคุณสมบัติทางไฟฟ้าดังตารางที่ 1.1

ส่วนในการพัฒนากระบวนการสร้างเอ็นมอสทรานซิสเตอร์ขนาด 0.5 μm เราใช้แรงดันไฟฟ้าเลี้ยงวงจร 3.3 V ซึ่งมีการใช้พลังงานน้อยกว่าเอ็นมอสทรานซิสเตอร์ขนาด 0.8 μm และความเร็วในการทำงานเร็วขึ้น และยังเป็นเทคโนโลยีพื้นฐานในการออกแบบและสร้างวงจรรวมที่มีความซับซ้อนมากขึ้น

ตารางที่ 1.1 คุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ขนาด 0.8 μm

พารามิเตอร์	สัญลักษณ์	ค่าคุณสมบัติ	หมายเหตุ
- แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดใหญ่	$V_{TN(big\ MOS)}$	0.7 V	20/20
- แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดสั้นที่ L=0.8 μm	$V_{TN(short\ MOS)}$	0.63 V	20/0.8
- แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดแคบที่ W=1.6 μm	$V_{TN(narrow\ MOS)}$	1.6 V	1.6/20
- แรงดันพันช์ทรู	V_{PTN}	12.5 V	40/0.8
- กระแสเดรนย่านอิ่มตัวที่ $V_{DS} = V_{GS} = 5$ V	$I_{DN(sat)}$	456 μA/μm	20/0.8
- กระแสเดรนรั่ว	$I_{DN(leak)}$	10 pA	20/0.8
- ค่าแรงดันพังทลายออกไซด์ที่เกท		-16 V	
- ค่าความคล่องตัวประจุพาหะ	UO	490 cm^2/V.S	
- ค่า Proces Transcondudnce	KP	99×10^{-6} A/V^2	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในวิทยานิพนธ์ฉบับนี้มีความมุ่งหมายในการศึกษาขั้นตอนกระบวนการสร้างและคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ที่เทคโนโลยีระดับ 0.5 μm โดยมีวัตถุประสงค์ของการศึกษาดังต่อไปนี้

1. เพื่อศึกษาทฤษฎีการทำงานของมอสทรานซิสเตอร์
2. เพื่อศึกษาการออกแบบเงื่อนไขทดสอบและโครงสร้างทดสอบสำหรับกระบวนสร้างเอ็นมอสทรานซิสเตอร์
3. เพื่อศึกษาการจำลองกระบวนการสร้างเอ็นมอสทรานซิสเตอร์ที่เทคโนโลยีระดับ 0.5 μm
4. เพื่อศึกษากระบวนการสร้างเอ็นมอสทรานซิสเตอร์ที่เทคโนโลยีระดับ 0.5 μm
5. เพื่อศึกษาคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์
6. เพื่อศึกษาการถอดแบบจำลองพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์ระดับ Spice Level 3

1.3 ขอบเขตการวิจัย

เพื่อให้บรรลุวัตถุประสงค์ของงานวิจัยนี้ ในเริ่มต้นนั้นได้ทำการศึกษาในงานวิจัยที่เกี่ยวกับกระบวนการสร้างมอสทรานซิสเตอร์ โดยทำการศึกษาถึงขั้นตอนการสร้าง, วิธีการสร้าง, ทฤษฎีและหลักการทำงานของมอสทรานซิสเตอร์ เพื่อออกแบบเงื่อนไขและออกแบบขั้นตอนวิธีการสร้าง จากนั้นนำเงื่อนไขและขั้นตอนวิธีการสร้างที่ออกแบบไปทำการจำลองผลเพื่อคาดการณ์คุณลักษณะทางไฟฟ้าของมอสทรานซิสเตอร์ จากนั้นนำผลที่ได้จากการจำลองมาพิจารณาหาเงื่อนไขที่เหมาะสมสำหรับการสร้าง โดยได้ทำการสร้างเอ็นมอสทรานซิสเตอร์และโครงสร้างทดสอบคุณสมบัติต่างๆขึ้นบนแผ่นซิลิคอนเวเฟอร์ขนาด 6 นิ้ว จากนั้นนำมาทำการวัดคุณสมบัติทางไฟฟ้า และถอดแบบจำลองหาค่าพารามิเตอร์เพื่อเป็นค่าสำหรับนักออกแบบวงจรใช้ต่อไป

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์เล่มนี้แบ่งเนื้อหาออกเป็น 7 บท โดยในแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำ กล่าวถึงความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา ทฤษฎีหรือแนวความคิดที่ใช้ในงานวิจัย ลำดับขั้นตอนของการศึกษา ขอบเขตของการวิจัยและรายละเอียดของวิทยานิพนธ์

บทที่ 2 เป็นทฤษฎีที่เกี่ยวข้องกับมอสทรานซิสเตอร์ โดยจะกล่าวถึงทฤษฎีและหลักการทำงานของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 เป็นการจำลองการสร้างเอ็นมอสทรานซิสเตอร์โดยใช้โปรแกรม Sentaurus TCAD โดยมีวัตถุประสงค์เพื่อคาดการณ์คุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์เบื่องต้นและพิจารณาหาเงื่อนไขที่จะทำการสร้างจริงลงบนแผ่นเวเฟอร์ซิลิคอน

บทที่ 4 เป็นการสร้างเอ็นมอสทรานซิสเตอร์โดยจะกล่าวถึง กระบวนการสร้างพื้นฐานที่จำเป็นต่อการสร้างเอ็นมอสทรานซิสเตอร์, การออกแบบโครงสร้างทดสอบ (Test Structure) สำหรับทดสอบโครงสร้างทางกายภาพของเอ็นมอสทรานซิสเตอร์และขั้นตอนกระบวนการสร้างเอ็นมอสทรานซิสเตอร์

บทที่ 5 เป็นการวัดคุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์หลังจากการสร้างจริงบนแผ่นเวเฟอร์ในทุกแผ่นเงื่อนไข จากนั้นทำการศึกษาแผ่นเงื่อนไขที่สนใจอย่างละเอียด ได้แก่ การทดสอบโครงสร้างทดสอบ, การทดสอบความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรนของเอ็นมอสทรานซิสเตอร์ที่ค่าแรงดันเกทค่าต่างๆ, การทดสอบแรงดันขีดเริ่มของฟิลด์มอสทรานซิสเตอร์, การทดสอบค่าแรงดันพันช์ทรูและกระแสรั่วของเอ็นมอสทรานซิสเตอร์และการทดสอบผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

บทที่ 6 กล่าวถึงลำดับขั้นตอนการถอดแบบจำลองพารามิเตอร์ระดับ 3

บทที่ 7 เป็นบทสรุปและข้อเสนอแนะทั้งหมดของงานวิจัยทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

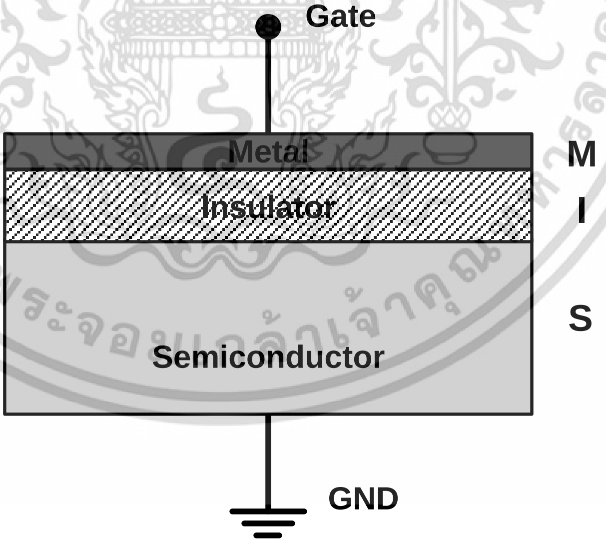
บทที่ 2
ทฤษฎีและหลักการทำงาน

2.1 บทนำ

เนื่องจากในงานวิจัยนี้ได้ทำการศึกษาถึงกระบวนการสร้างและคุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ (NMOS Transistor) ที่เทคโนโลยีระดับ 0.5 μm ดังนั้นในบทนี้จะกล่าวถึงทฤษฎีและหลักการที่เกี่ยวข้องกับงานวิจัยนี้ได้แก่ โครงสร้างของมอสทรานซิสเตอร์, สัญลักษณ์และคุณลักษณะทางไฟฟ้าอื่นๆของมอสทรานซิสเตอร์

2.2 โครงสร้างมอส

มอส (MOS) เป็นชื่อที่เกิดจากการประกอบกันของชั้นโลหะ (Metal) ชั้นของออกไซด์ (Oxide) ชั้นสารกึ่งตัวนำ (Semiconductor) โดยออกไซด์หรือซิลิคอนไดออกไซด์ (Silicondioxide) ซึ่งจะเป็นฉนวนที่อยู่ระหว่างชั้นของโลหะและสารกึ่งตัวนำ [1]



รูปที่ 2.1 โครงสร้างมอสพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างมอส (Metal Oxide Semiconductor : MOS) โดยพื้นฐานฉนวนที่ใช้จะเป็นฟิล์มออกไซด์ ขั้วไฟฟ้าสำหรับเหนี่ยวนำให้เกิดช่องทางเดินกระแสถูกเรียกว่า เกท ส่วนขั้วไฟฟ้าด้านสารกึ่งตัวนำซึ่งเป็นฐานรอง มักจะทำหน้าที่เป็นกราวนด์ดังรูปที่ 2.1 ซึ่งโครงสร้างมอสในอุดมคติมีลักษณะดังนี้

1. ชั้นโลหะมีความหนามากเพียงพอ เมื่อได้รับแรงดันไฟฟ้าจึงมีศักย์ไฟฟ้ากระจายอย่างสม่ำเสมอ ทำให้ความต้านทานภายในชั้นโลหะมีค่าเข้าใกล้ศูนย์

2. ชั้นฉนวนมีความเป็นฉนวนที่สมบูรณ์ ไม่มีกระแสไฟฟ้าไหลผ่านแม้ว่าจะได้รับแรงดันไฟฟ้า ชั้นฉนวนต้องมีความต้านทานสูงเป็นอนันต์

3. ชั้นสารกึ่งตัวนำถูกเติมสารเจืออย่างสม่ำเสมอ และมีความหนาแน่นมากพอที่จะทำให้เกิดบริเวณปลอดสนามไฟฟ้า

4. ไม่มีประจุไฟฟ้าใดๆสะสมอยู่ภายในฉนวนหรือที่ผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำ

5. ประจุไฟฟ้าใดๆจะสะสมอยู่ที่สารกึ่งตัวนำบริเวณผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำ และที่โลหะด้านที่สัมผัสกับฉนวน

6. ขั้วไฟฟ้าทั้งสองด้านของโครงสร้างต้องมีสมบัติเป็นรอยสัมผัสแบบโอห์มิค

7. ในการวิเคราะห์จะพิจารณา 1 มิติ ค่าฟังก์ชันงานของโลหะและของสารกึ่งตัวนำถูกพิจารณาว่ามีค่าเท่ากัน

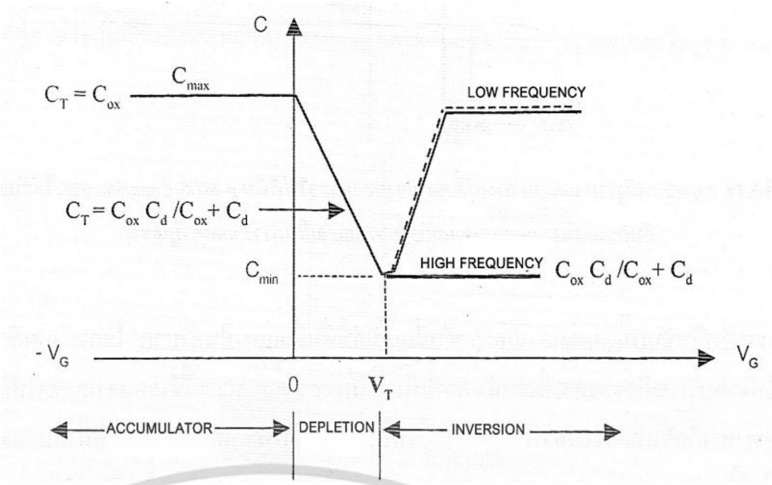
2.2.1 คุณลักษณะความจุไฟฟ้ากับแรงดัน

โครงสร้างมอสมีคุณสมบัติเป็นตัวเก็บประจุไฟฟ้าได้ โดยค่าความจุไฟฟ้า (Capacitance) ที่เกิดขึ้นจะเปลี่ยนแปลงไปตามแรงดันไฟฟ้า สามารถใช้ในการวิเคราะห์สมบัติของโครงสร้างมอส

คุณลักษณะความจุไฟฟ้ากับแรงดัน สามารถนำมาวิเคราะห์หาค่าพารามิเตอร์ที่สำคัญได้เช่น ค่าแรงดันขีดเริ่ม (Threshold Voltage : V_T) ซึ่งเป็นค่าของแรงดันไฟฟ้าของโลหะที่ทำให้ค่าความจุไฟฟ้ามีค่าต่ำสุด ส่วนที่ค่าความจุไฟฟ้าสูงสุดจะเกิดในภาวะแอคคิวมูเลชันคือค่าความจุไฟฟ้าของฉนวน (Oxide Capacitance : C_{OX}) ซึ่งสามารถนำมาคำนวณหาความหนาของชั้นฉนวนได้

หลักการของการวัดคุณลักษณะความจุไฟฟ้าและแรงดัน คือป้อนแรงดันไฟฟ้ากระแสตรงที่มีสัญญาณไฟฟ้ากระแสสลับซ้อนให้แก่โครงสร้างมอส และวัดค่าความจุไฟฟ้าที่แรงดันกระแสตรงค่าต่างๆ แรงดันกระแสตรงจะถูกเปลี่ยนไปอย่างช้าๆ ซึ่งจะทำให้มอสมีการทำงานเข้าสู่ภาวะต่างๆ ดังนี้คือ แอคคิวมูเลชัน, ดีพลีทชัน และอินเวอร์ชัน ตามลำดับ ซึ่งภาวะที่แตกต่างกันนี้จะมีการกระจายตัวของประจุไฟฟ้าในโครงสร้างมอสแตกต่างกัน ทำให้ค่าความจุไฟฟ้ารวมมีค่าต่างกัน กราฟคุณลักษณะความจุไฟฟ้ากับแรงดันของโครงสร้างมอสแบบอุดมคติเมื่อมีฐานรองเป็นสารกึ่งตัวนำชนิดพี ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กราฟคุณลักษณะความจุไฟฟ้ากับแรงดันในอุดมคติที่มีฐานรองเป็นสารกึ่งตัวนำชนิดพี

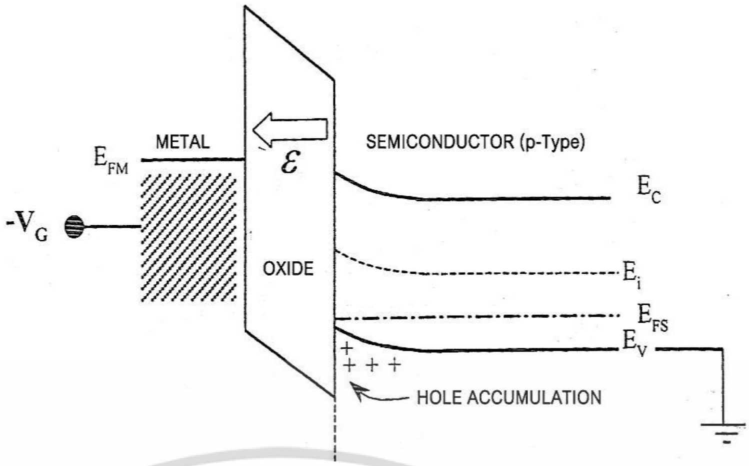
ภาวะที่แตกต่างกันเนื่องจากการกระจายตัวของประจุอธิบายได้ดังนี้ [2]

1. ภาวะแอคคิวมูเลชัน (Accumulation)

เมื่อโลหะได้รับแรงดันไฟฟ้าค่าลบ จะทำให้มีประจุไฟฟ้าลบเกิดขึ้นที่โลหะบริเวณผิวสัมผัสระหว่างโลหะกับฉนวน ประจุไฟฟ้าลบจะกระจายอยู่ในช่วงแคบๆ มีลักษณะเหมือนเป็นแผ่นประจุและจะเหนี่ยวนำให้โฮล ซึ่งเป็นพาหะส่วนมาก (Majority Carrier) ในสารกึ่งตัวนำชนิดพีเข้าไปสะสมที่บริเวณผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำ ความหนาแน่นของโฮลจะมีค่าสูงสุดที่ผิวสัมผัส ภาวะนี้จึงถูกเรียกว่า ภาวะการสะสม หรือ ภาวะแอคคิวมูเลชัน ประจุไฟฟ้าบวกและลบที่ขอบทั้งสองด้านของฉนวนจะมีค่าเท่ากันเพื่อรักษาความเป็นกลางทางไฟฟ้า ความจุไฟฟ้ารวมของโครงสร้างมอสในภาวะนี้จะเหมือนกับความจุไฟฟ้าแบบแผ่นขนานของชั้นฉนวนเพียงอย่างเดียว ซึ่งเป็นค่าความจุไฟฟ้าสูงสุดและมีค่าคงที่

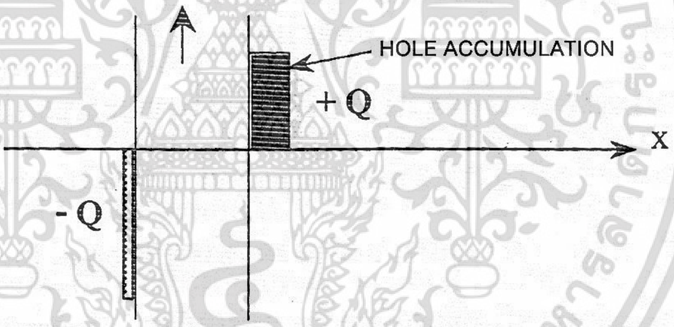
พิจารณาแถบพลังงานเมื่อฐานรองเป็นสารกึ่งตัวนำชนิดพี พบว่าในภาวะแอคคิวมูเลชัน เมื่อโลหะได้รับแรงดันไฟฟ้าเป็นลบ ระดับพลังงานเฟอร์มิด้านโลหะจะสูงขึ้นและสูงกว่าด้านสารกึ่งตัวนำ ทำให้แถบพลังงานในฉนวนและในสารกึ่งตัวนำบริเวณที่สัมผัสกับฉนวนมีการโค้งงอดังรูปที่ 2.3 ความหนาแน่นของโฮลจะมีค่าสูงสุดที่ผิวสัมผัสและเมื่อห่างออกไปจากผิวสัมผัสความหนาแน่นจะมีค่าลดลง และในที่สุดความหนาแน่นโฮลจะมีค่าเท่ากับค่าเดิมก่อนได้รับแรงดันไฟฟ้า แสดงว่าความหนาแน่นของพาหะส่วนมากที่บริเวณผิวสัมผัสมีค่าเพิ่มขึ้น และมีค่ามากกว่าในเนื้อสาร คล้ายกับมีโฮลเข้ามาสะสมอยู่ในบริเวณนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แถบพลังงานในโครงสร้างมอสที่มีฐานรองเป็นซิลิคอนชนิดพีในภาวะแอคคิวมูเลชัน

เมื่อพิจารณาการกระจายของประจุไฟฟ้าจะพบว่า ด้านโลหะจะมีประจุไฟฟ้าลบอยู่ที่ผิวสัมผัสกับฉนวน ซึ่งจะเหนี่ยวนำให้เกิดประจุบวกขนาดเท่ากันที่สารกึ่งตัวนำบริเวณที่สัมผัสกับฉนวน ลักษณะการกระจายของประจุไฟฟ้าที่ตำแหน่งต่างๆ ดังรูปที่ 2.4



รูปที่ 2.4 แผนผังแท่งประจุในโครงสร้างมอสในภาวะแอคคิวมูเลชัน

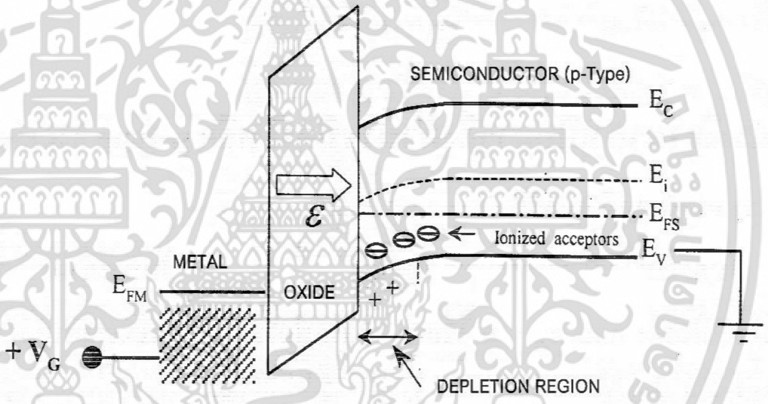
2. ภาวะดีพลีทชัน (Depletion)

เมื่อแรงดันไฟฟ้าที่โลหะมีค่าเพิ่มขึ้นและเป็นบวก โดยมีค่าไม่สูงนักจะเกิดประจุไฟฟ้าบวกที่โลหะบริเวณผิวสัมผัสระหว่างโลหะกับฉนวน ส่งผลให้โฮลถูกผลักออกจากบริเวณผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำเกิดเป็นบริเวณปลอดพาหะขึ้นที่ผิวของสารกึ่งตัวนำ ในบริเวณนี้จะประกอบไปด้วยประจุไฟฟ้าลบของอะตอมสารเจือผู้รับ (Ionized Acceptor) เนื่องจากความหนาแน่นของโฮลลดลง จึงเรียกภาวะนี้ว่า ภาวะลดลง หรือ ภาวะดีพลีทชัน ความหนาแน่นของประจุไฟฟ้าในภาวะนี้จะประกอบไปด้วยความจุไฟฟ้าของชั้นฉนวน (C_{OX}) และความจุไฟฟ้าของบริเวณปลอดพาหะ (C_D) ซึ่งต่อรวมกันแบบอนุกรม

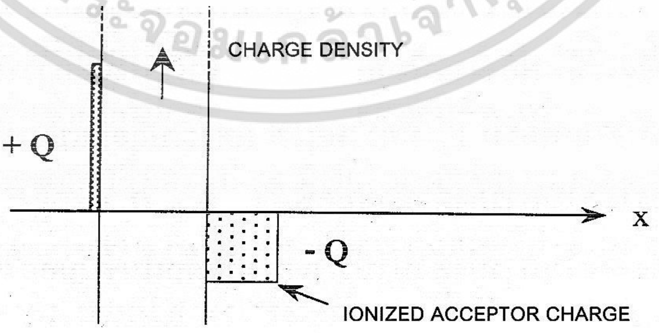
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงแรงดันไฟฟ้าที่โลหะจะทำให้ความหนาแน่นของประจุเปลี่ยนแปลงตามไปด้วย โดยเมื่อแรงดันไฟฟ้าที่โลหะเพิ่มขึ้นบริเวณปลอดพาหะจะกว้างขึ้น ทำให้ความจุไฟฟ้าของบริเวณปลอดพาหะลดลง ดังนั้นความจุไฟฟ้ารวมจึงลดลง และลดลงจนต่ำที่สุดเมื่อความกว้างบริเวณปลอดพาหะมีค่าสูงสุด ซึ่งเป็นจุดที่เริ่มเกิดภาวะอินเวอร์ชัน

เมื่อพิจารณาแถบพลังงานจะพบว่าระดับพลังงานเฟอร์มิของโลหะจะลดลง และอยู่ต่ำกว่าระดับพลังงานเฟอร์มิของสารกึ่งตัวนำเพียงเล็กน้อย ดังนั้นแถบพลังงานในชั้นฉนวนจะเอียงโดยมีความชันบวก ส่วนแถบพลังงานในสารกึ่งตัวนำบริเวณที่สัมผัสกับฉนวนจะมีลักษณะโค้งงอเล็กน้อย ดังรูปที่ 2.5 นั่นคือความหนาแน่นของโฮล ซึ่งเป็นพาหะส่วนมากที่อยู่บริเวณใกล้กับผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำจะมีค่าน้อยกว่าภายในสารกึ่งตัวนำ ในช่วงนี้จะมีประจุบวกเกิดขึ้นที่ด้านโลหะ และทำให้โฮลที่อยู่ในสารกึ่งตัวนำถูกผลักให้ห่างออกไป ซึ่งทำให้ไอออนลบของอะตอมสารเจือแสดงอำนาจไฟฟ้าลบออกมา ลักษณะการกระจายตัวของประจุในภาวะนี้แสดงให้เห็นดังรูปที่ 2.6



รูปที่ 2.5 แถบพลังงานในโครงสร้างมอสที่มีฐานรองเป็นซิลิคอนชนิดพีในภาวะดีพลีทชัน



รูปที่ 2.6 แผนผังแท่งประจุในโครงสร้างมอสในภาวะดีพลีทชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

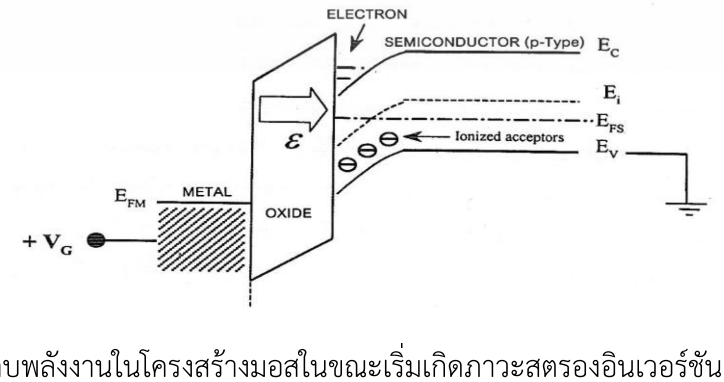
3. ภาวะอินเวอร์ชัน (Inversion)

เมื่อแรงดันไฟฟ้าที่โลหะมีค่าเป็นบวกเพิ่มขึ้นจนเข้าสู่ภาวะอินเวอร์ชัน บริเวณปลอดพาหะจะมีความกว้างสูงสุดและไม่มีการเปลี่ยนแปลงอีกต่อไป แต่จะมีอิเล็กตรอนเข้ามาอยู่บริเวณผิวของสารกึ่งตัวนำเป็นจำนวนมากและเกิดเป็นชั้นกลับ (Inversion Layer) ที่จุดนี้เป็นจุดเริ่มต้นของการเปลี่ยนแปลงสมบัติของสารกึ่งตัวนำอย่างสมบูรณ์ โดยเปลี่ยนจากสมบัติของสารกึ่งตัวนำชนิดพีเป็นชนิดเอ็น จึงเรียกภาวะนี้ว่า ภาวะเปลี่ยนกลับ หรือภาวะอินเวอร์ชัน ความหนาแน่นของอิเล็กตรอนที่ผิวจะเปลี่ยนแปลงตามความต่างศักย์ที่ผิวของสารกึ่งตัวนำแบบเอกซ์โปเนนเชียล (Exponential) ดังนั้นเมื่อแรงดันไฟฟ้าที่โลหะมีเปลี่ยนแปลงเพียงเล็กน้อย จะทำให้ประจุไฟฟ้าในชั้นกลับเปลี่ยนแปลงอย่างมาก

ในกรณีที่สัญญาณกระแสสลับมีความถี่ต่ำ อิเล็กตรอนในชั้นกลับสามารถตอบสนองได้ทันต่อการเปลี่ยนแปลง ทำให้ค่าความจุไฟฟ้ารวมเกิดจากผลรวมของความจุไฟฟ้าของฉนวนซึ่งต่ออนุกรมกับความจุไฟฟ้าของสารกึ่งตัวนำซึ่งมีค่าสูงมาก การเปลี่ยนแปลงประจุในสารกึ่งตัวนำจะเป็นการเปลี่ยนแปลงในชั้นกลับเท่านั้น ดังนั้นโครงสร้างมอสจะเป็นเหมือนตัวเก็บประจุแบบธรรมดา โดยค่าความจุไฟฟ้ารวมจะมีค่าเพิ่มขึ้น และมีค่าเข้าสู่ค่า C_{OX} อีกครั้ง

ในกรณีที่สัญญาณกระแสสลับมีความถี่สูง อิเล็กตรอนจะไม่สามารถตอบสนองได้ทันตามการเปลี่ยนแปลงของความถี่ ดังนั้นความหนาแน่นของอิเล็กตรอนที่ผิวจะมีค่าคงที่ ทำให้ความหนาแน่นของความจุไฟฟ้ารวมเกิดจากความจุไฟฟ้าของฉนวนซึ่งต่ออนุกรม กับความจุไฟฟ้าของบริเวณปลอดพาหะ ซึ่งความจุไฟฟ้าของบริเวณปลอดพาหะนี้จะมีค่าต่ำสุดเพราะเกิดขึ้นขณะที่ความกว้างของบริเวณปลอดพาหะมีค่าสูงสุดเช่นเดียวกับที่ภาวะดีพลีทชัน

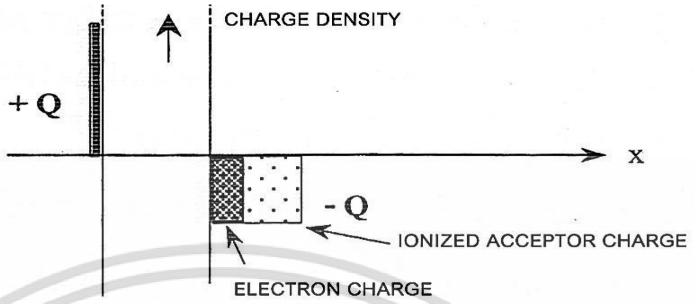
เมื่อพิจารณาแถบพลังงานจะพบว่าเมื่อให้แรงดันไฟฟ้าด้วยค่าบวกที่มากขึ้น ระดับพลังงานเฟอร์มิของโลหะจะต่ำกว่าระดับพลังงานเฟอร์มิของสารกึ่งตัวนำมากยิ่งขึ้น ความชันของการโค้งของแถบพลังงานในสารกึ่งตัวนำจะมีค่ามากขึ้น แสดงว่าค่าความหนาแน่นของอิเล็กตรอนที่ผิวของสารกึ่งตัวนำมีค่าเพิ่มขึ้น ในที่สุดเมื่อแรงดันไฟฟ้าที่โลหะมีค่าสูงเท่ากับแรงดันขีดเริ่ม แถบพลังงานจะโค้งงอดังรูปที่ 2.7



รูปที่ 2.7 แถบพลังงานในโครงสร้างมอสในขณะเริ่มเกิดภาวะสตรองอินเวอร์ชัน

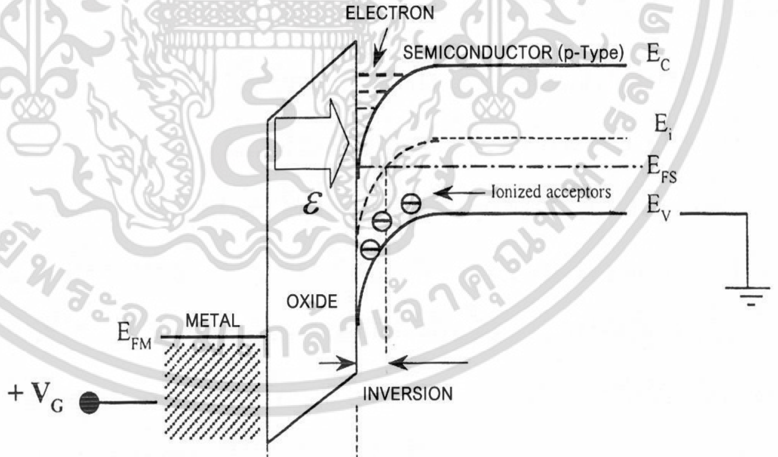
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาวะนี้เป็นจุดเริ่มต้นของการเปลี่ยนแปลงสมบัติของสารกึ่งตัวนำอย่างสมบูรณ์ หรือเป็นจุดเริ่มของการเกิด ภาวะสตรองอินเวอร์ชัน (On Set of Strong Inversion) ลักษณะการกระจายของประจุไฟฟ้าเป็นดังรูปที่ 2.8



รูปที่ 2.8 แผนผังแห่งประจุในโครงสร้างมอสขณะเริ่มเกิดภาวะสตรองอินเวอร์ชัน

ถ้าให้แรงดันไฟฟ้าสูงขึ้นการโค้งงอของแถบพลังงานจะมากขึ้นดังรูปที่ 2.9 สมบัติของสารกึ่งตัวนำที่บริเวณผิวสัมผัสของฉนวนกับสารกึ่งตัวนำจะเปลี่ยนกลับจากสมบัติของสารกึ่งตัวนำชนิดพีเป็นสารกึ่งตัวนำชนิดเอ็น ดังนั้นภาวะนี้จึงถูกเรียกเป็น ภาวะเปลี่ยนกลับอย่างเต็มที่ หรือ ภาวะสตรองอินเวอร์ชัน (Strong Inversion)

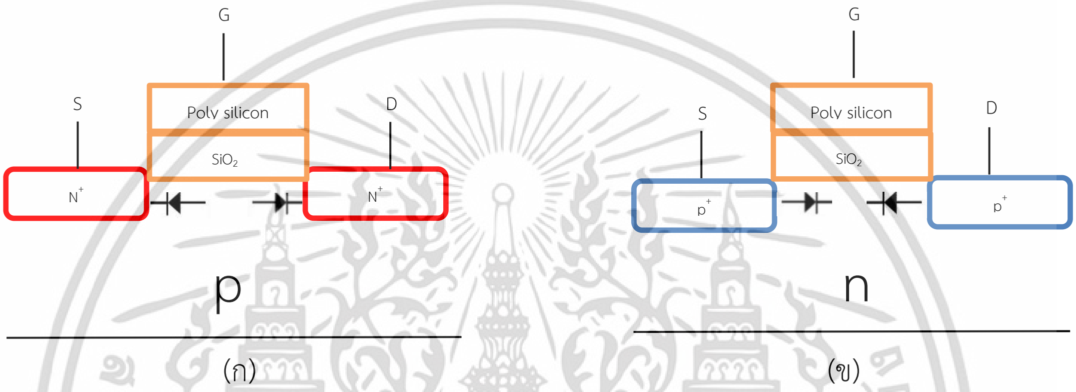


รูปที่ 2.9 แถบพลังงานในโครงสร้างมอสในขณะเกิดภาวะสตรองอินเวอร์ชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 คุณลักษณะและการทำงานของมอสทรานซิสเตอร์

จากรูปที่ 2.10 แสดงภาพตัดขวางของมอสทรานซิสเตอร์ จากรูปถ้าเราพิจารณาจากขาซอร์สไปยังชั้นฐานรองและไปที่ขาเดรน จะเห็นว่าภายในเอ็นมอสทรานซิสเตอร์มีไดโอดแฝงต่ออยู่ในลักษณะหันหลังชนกัน ในขณะที่พีมอสทรานซิสเตอร์จะเห็นว่ามีไดโอดแฝงที่หันหน้าชนกัน ดังนั้นถ้าเราป้อนแรงดันระหว่างขาเดรนและขาซอร์ส เราพบว่าไม่มีกระแสไหลระหว่างขาซอร์สและขาเดรน ยกเว้นกรณีที่แรงดันที่ป้อนมีค่ามากจนทำให้ไดโอดทำงานในโหมดพังทลาย (Breakdown Operation) [3]



รูปที่ 2.10 แสดงภาพตัดขวาง ก) เอ็นมอสทรานซิสเตอร์ ข) พีมอสทรานซิสเตอร์

เพื่อให้มอสทรานซิสเตอร์นำกระแส จะต้องป้อนแรงดันที่ขาเกท เมื่อเอ็นมอสทรานซิสเตอร์ได้รับแรงดันบวกค่าน้อยๆที่ขาเกท แรงดันบวกที่ขาเกทจะผลักโฮลบริเวณใต้เกททำให้เกิดบริเวณปลอดพาหะ (Depletion Region) ใต้เกท เมื่อแรงดันที่ขาเกทมีค่าเพิ่มขึ้น บริเวณปลอดพาหะก็ขยายกว้างขึ้น เนื่องจากบริเวณปลอดพาหะเป็นบริเวณที่ปราศจากพาหะตัวนำ ดังนั้นมอสเฟทจึงยังไม่สามารถนำกระแสได้ แต่อย่างไรก็ตามเมื่อแรงดันที่ขาเกทมีค่าเพิ่มมากขึ้นจนแรงดันที่ผิวสัมผัส (Surface Potential) มีค่ามากพอ ชั้นอิเล็กตรอนอิสระ (Free Electron Layer) ซึ่งเป็นชั้นตัวนำที่บริเวณผิวสัมผัสก็จะถูกสร้างขึ้น ซึ่งเรียกว่า “ชั้นกลับ” (Inversion Layer)

แรงดันที่ป้อนที่ขาเกทที่เริ่มทำให้เกิดชั้นกลับนี้ถูกเรียกว่า “แรงดันขีดเริ่ม” (Threshold Voltage,V_T)

ดังนั้นที่แรงดันเกท $V_{GS}>V_T$ จะทำให้เกิดชั้นกลับขึ้นเชื่อมต่อระหว่างซอสและเดรน และเป็นช่องทางเดินของกระแสเดรน โดยกระแสเดรนจะเพิ่มขึ้นกับแรงดันระหว่างเดรนและซอสในช่วงแรก และเมื่อแรงดันเดรนเพิ่มขึ้นในที่สุดจะถึงค่าแรงดันพินช์ออฟ (Pinch Off Voltage :V_P) หรือแรงดันอิ่มตัว (Saturation Drain Voltage : $V_{DS(sat)}$) และเขียนได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{GS} - V_{DS(sat)} = V_T \quad (2.1)$$

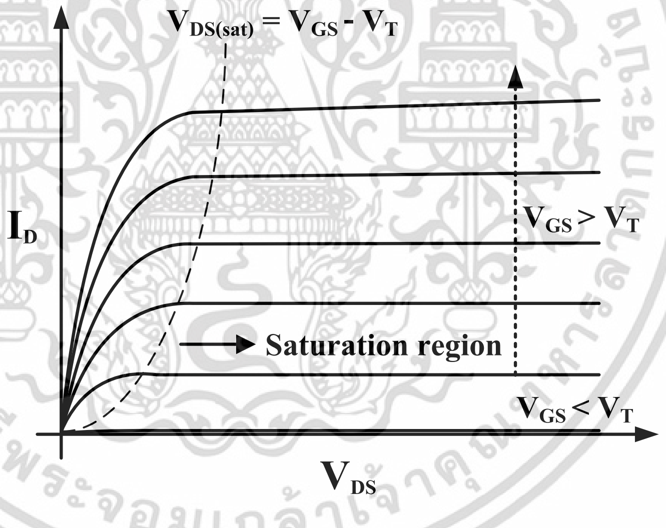
หรือ

$$V_P = V_{DS(sat)} = \left(V_{GS} - V_T\right) \quad (2.2)$$

จากสมการที่ 2.2 แรงดันเดรนอิ่มตัว $V_{DS(sat)}$ จะแปรตามแรงดันเกท V_{GS} เมื่อแรงดันเกทเพิ่มขึ้น กระแสเดรนอิ่มตัวจะเพิ่มขึ้นด้วยและเป็นไปตามสมการ

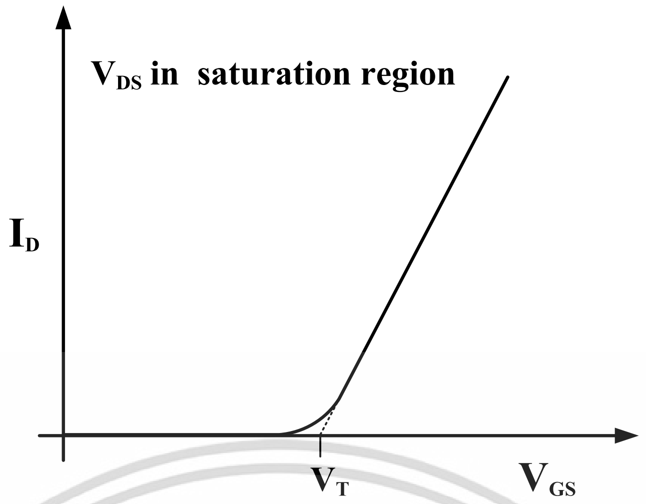
$$I_{D(sat)} = \frac{V_{DS(sat)}}{R_{eff\,(n\text{-}ch)}} = \frac{V_{GS} - V_T}{R_{eff\,(n\text{-}ch)}} \quad (2.3)$$

ดังนั้นคุณสมบัติกระแสเดรนกับแรงดันเดรน (I_D-V_{DS}) ของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล ที่แรงดันเกทคงที่ค่าต่างๆ ดังแสดงในรูปที่ 2.11 และกราฟความสัมพันธ์ของกระแสเดรนกับแรงดันเกท (I_D-V_{GS}) ดังแสดงในรูปที่ 2.12



รูปที่ 2.11 คุณสมบัติกระแสเดรนกับแรงดันเดรนที่แรงดันเกทคงที่ค่าต่างๆของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 คุณสมบัติกระแสเดรนกับแรงดันเกทของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล

ซึ่งความสัมพันธ์นี้สามารถแสดงค่าของแรงดันขีดเริ่ม V_T ได้ เนื่องจากแรงดันเกท V_{GS} ที่ต่ำกว่าแรงดันขีดเริ่ม V_T กระแสเดรน $I_D \approx 0$ และเมื่อแรงดันเกท V_{GS} สูงกว่าแรงดันขีดเริ่ม V_T ทำให้มีกระแสเดรน แรงดันเกท V_{GS} ที่ทำให้กระแสเดรนเริ่มไหลได้จึงถูกพิจารณาว่าเป็นแรงดันขีดเริ่ม นอกจากนี้ความสัมพันธ์ระหว่าง I_D-V_{GS} ยังได้แสดงความสัมพันธ์ระหว่างกระแสเดรน ซึ่งเป็นกระแสเอาท์พุทในวงจรของเดรนและซอส กับแรงดันเกทซึ่งเป็นแรงดันอินพุท โดยแรงดันเกทสามารถควบคุมหรือส่งเสริมสนับสนุนให้กระแสเดรนมีค่าเพิ่มขึ้นได้นั่นเอง

การวิเคราะห์ความสัมพันธ์ระหว่างกระแสเดรน I_D, แรงดันเดรน V_{DS}, แรงดันเกท V_{GS} และแรงดันขีดเริ่ม V_T สามารถอธิบายด้วยย่านการทำงานซึ่งแบ่งออกเป็น 2 ย่าน คือ ย่านไม่อิ่มตัว (Non-Saturation Region) และย่านอิ่มตัว (Saturation Region) เมื่อแรงดัน $V_{DS} \leq V_{GS}-V_T$ เป็นการทำงานในย่านไม่อิ่มตัว หรือย่านเชิงเส้น สามารถอธิบายดังสมการที่ (2.4)

$$I_D = \beta\left[(V_{GS} - V_T)V_{DS} - \frac{{V_{DS}}^2}{2}\right] \tag{2.4}$$

เมื่อพิจารณาที่ V_{DS} ต่ำๆ ทำให้เทอม ${V_{DS}}^2/2$ มีค่าน้อยมากและไม่นำมาพิจารณาสามารถเขียนสมการใหม่ ดังสมการ (2.5)

$$I_D = \beta(V_{GS} - V_T)V_{DS} \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $V_{DS} \geq V_{GS}$ - V_T เป็นการทำงานในย่านอิ่มตัว ซึ่งสมการของกระแสเดรนย่านอิ่มตัวสามารถอธิบายดังสมการ(2.6)

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2 \quad (2.6)$$

เมื่อ β คือ "พารามิเตอร์ของมอสทรานซิสเตอร์" มีค่าเท่ากับ

$$\beta = C_{OX} . \mu_n . \frac{W}{L} \quad (2.7)$$

เมื่อ μ_n คือสภาพคล่องของประจุพาหะ, C_{OX} คือค่าความจุไฟฟ้าของชั้นฉนวนต่อพื้นที่, W คือความกว้างเกท, L คือความยาวเกท, V_T คือค่าแรงดันขีดเริ่มซึ่งเป็นค่าพารามิเตอร์ที่สำคัญที่สุดอย่างหนึ่งของอุปกรณ์มอสเฟทหมายถึงแรงดันไบอัสค่าน้อยสุดที่เกท ซึ่งทำให้เกิดภาวะ "สตรองอินเวอร์ชั่น" กล่าวคือเป็นค่าแรงดันที่ทำให้อุปกรณ์มอสเฟทเริ่มทำงาน แสดงดังสมการ (2.8)

$$V_T = V_{FB} - \frac{Q_{dm}}{C_{OX}} + 2\phi_F \quad (2.8)$$

โดยค่าแรงดันแถบเรียบของมอสเฟท หรือ Flat Band Voltage ซึ่งเราใช้สัญลักษณ์ย่อเป็น V_{FB} มีเท่ากับสมการ (2.9) โดย Q_{dm} คือความหนาแน่นของประจุไฟฟ้าในบริเวณปลอดพาหะของสารกึ่งตัวนำมีค่าสูงสุด

$$V_{FB} = (f_M - f_S) - \frac{Q_i}{C_{OX}} \quad (2.9)$$

เมื่อ ϕ_F คือศักย์เฟอร์มิ ϕ_M คือศักย์ไฟฟ้าของโลหะ ϕ_S คือศักย์ไฟฟ้าของสารกึ่งตัวนำ Q_i คือความหนาแน่นของประจุไฟฟ้าในออกไซด์ และที่ผิวสัมผัส (Oxide Charge Density)

2.3.1 ความนำถ่ายโอนหรือทรานส์คอนดัคแตนซ์

ค่าความนำถ่ายโอนหรือทรานส์คอนดัคแตนซ์ (Transconductance:g_m) เป็นอีกหนึ่งพารามิเตอร์ที่สำคัญของมอสทรานซิสเตอร์ ซึ่งกล่าวได้ว่าเป็นพารามิเตอร์ที่แสดงถึงประสิทธิภาพการทำงานของมอสทรานซิสเตอร์ เนื่องจากถูกนิยามว่าเป็นอัตราส่วนระหว่างการเปลี่ยนแปลงของกระแสเดรนกับการเปลี่ยนแปลงของแรงดันเกทในขณะที่แรงดันเดรนคงที่ [4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$g_{\mathrm{m}} = \left.\frac{\partial I_{\mathrm{D}}}{\partial V_{\mathrm{GS}}}\right|_{V_{\mathrm{DS(Constant)}}} \quad (2.10)$$

จากสมการ (2.10) จะเห็นว่าค่าความนำถ่ายโอน มีความหมายคล้ายกับเป็นอัตราการขยายของมอสทรานซิสเตอร์ เมื่อพิจารณาจากการวิเคราะห์แบบกฎกำลังสอง ในย่านอิ่มตัว และในย่านเชิงเส้น แทนสมการ (2.5) ในสมการ (2.10) จะทำให้ค่าของความนำถ่ายโอนในย่านเชิงเส้นเป็น

$$g_{m(lin)} = \beta V_{DS} = C_{OX} \times \mu_n \frac{W}{L} V_{DS} \quad (2.11)$$

จากสมการ (2.11) จะเห็นว่าค่าความนำถ่ายโอนในย่านเชิงเส้น แปรผันโดยตรงกับแรงดันเดรนโดยไม่ขึ้นกับแรงดันเกท

และกรณีมอสทรานซิสเตอร์ทำงานเข้าสู่ย่านอิ่มตัว กระแสเดรนกลายเป็นกระแสอิ่มตัว เมื่อแทนค่ากระแสเดรนย่านอิ่มตัวในสมการ (2.6) ลงในสมการที่ (2.10) จะได้ค่าความนำถ่ายโอนของมอสทรานซิสเตอร์ในย่านอิ่มตัว ดังสมการ (2.12)

$$g_{\mathrm{m(sat)}} = \beta\left(V_{\mathrm{GS}} - V_{\mathrm{T}}\right) = C_{\mathrm{OX}} \cdot \mu_{\mathrm{n}} \frac{W}{L}\left(V_{\mathrm{GS}} - V_{\mathrm{T}}\right) \quad (2.12)$$

จากสมการ (2.12) จะเห็นว่าค่าความนำถ่ายโอนในย่านอิ่มตัว แปรผันกับแรงดันเกทไม่ขึ้นกับแรงดันเดรน

2.3.2 กระแสในย่านต่ำกว่าแรงดันขีดเริ่ม (The Subthreshold Current)

เราได้กล่าวไว้ว่า มอสทรานซิสเตอร์จะเริ่มนำกระแสได้เมื่อ $V_{GS} \geq V_T$ แต่ในทางปฏิบัตินั้นเมื่อ V_{GS} น้อยกว่าแรงดันขีดเริ่ม (V_T) กระแสของมอสเฟทไม่ได้เท่ากับศูนย์ กล่าวคือ มอสทรานซิสเตอร์จะยังคงนำกระแสที่มีค่าน้อยมาก การนำกระแสนี้ถูกเรียกว่า การนำกระแสในโหมดต่ำกว่าแรงดันขีดเริ่ม (Subthreshold Conduction) ซึ่งกระแสที่ได้เป็นกระแสที่เกิดจากการแพร่ (Diffusion Current) แทนที่จะเป็นกระแสที่เกิดจากสนามไฟฟ้า (Drift Current) การทำงานในย่านต่ำกว่าแรงดันขีดเริ่มมีประโยชน์มากสำหรับการทำงานที่ใช้พลังงานต่ำ ตัวอย่างอุปกรณ์ไอซีประเภทมอสทรานซิสเตอร์ที่ทำงานในย่านนี้คือ เครื่องคิดเลขพลังงานแสงอาทิตย์ แบตเตอรี่นาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 ปรากฏการณ์ช่องทางเดินกระแสสั้น (Short-channel Mosfets)

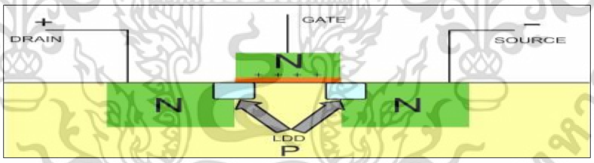
ในปัจจุบันมอสทรานซิสเตอร์ได้มีความยาวช่องทางเดินกระแสที่สั้นกว่า 1 μm ซึ่งจะเกิดปรากฏการณ์อันเนื่องมาจากช่องทางเดินกระแสที่สั้นลง

2.3.3.1 Hot carriers

ในมอสทรานซิสเตอร์ที่มีขนาดเล็กมาก บางส่วนของพาหะที่อยู่ใกล้เดรนจะได้รับพลังงานที่มากกว่าพลังงานความร้อนของพาหะที่สมดุล เรียกพาหะเหล่านี้ว่า hot carrier ซึ่งพาหะจะเกิดการเคลื่อนที่จนกระทั่งความเร็วของพาหะมีค่าสูงสุดที่เรียกว่าความเร็วอิ่มตัว (Satulation Velocity, v_{sat}) ความเร็วและค่าความนำของมอสทรานซิสเตอร์ที่เพิ่มขึ้นน่าจะเป็นสิ่งที่ดีแต่กลับเป็นข้อเสีย ที่พาหะเหล่านี้ยังสามารถทะลุผ่านเกทออกไซด์ (Gate Oxide) และเกิดเป็นกระแสเกทหรือไปติดอยู่ในเกทออกไซด์ มีผลกระทบต่อแรงดันขีดเริ่มของมอสเฟท (Threshold Voltage) และสามารถทำให้เกิดผลกระทบไอออนไนซ์

2.3.3.2 Lightly-Doped Drain (LDD)

ภาพตัดขวางของเอ็นมอส (NMOS) โดยใช้โครงสร้าง LDD แสดงในรูปที่ 2.13 ซึ่งปรากฏการณ์ของ LDD เป็นการเพิ่มแรงตกคร่อมในรอยต่อช่องทางเดินกระแสและเดรน สามารถลด Hot carriers



รูปที่ 2.13 แสดง Lightly doped drain (LDD) implant

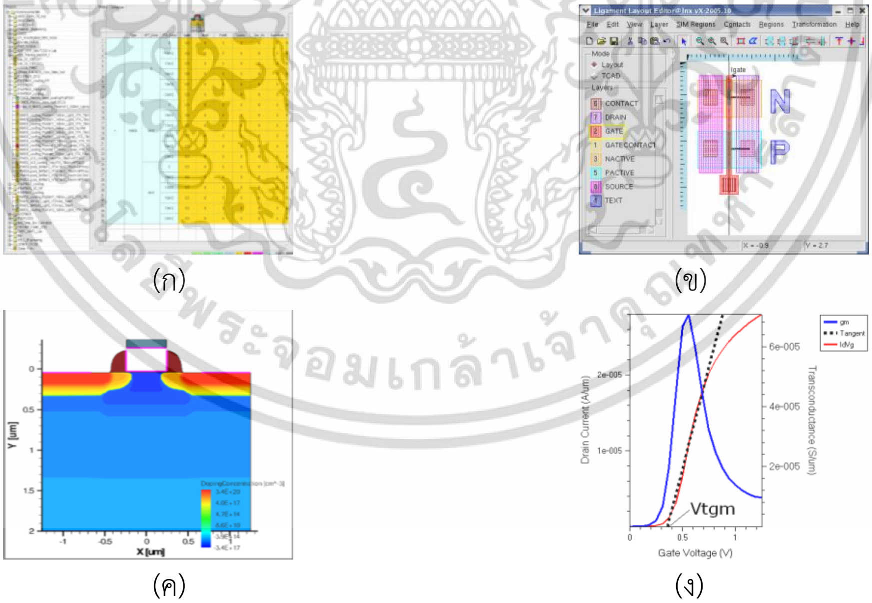
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การจำลองการสร้างเอ็นมอสทรานซิสเตอร์

ในบทนี้กล่าวถึงการจำลองการสร้างเอ็นมอสทรานซิสเตอร์โดยใช้โปรแกรม Sentaurus TCAD ในการจำลอง มีวัตถุประสงค์เพื่อคาดการณ์คุณลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์เบื่องต้น ก่อนที่จะทำการสร้างจริงลงบนแผ่นเวเฟอร์ซิลิคอน ซึ่งมุ่งเน้นศึกษาถึงปริมาณโดสการยิงฝังประจุของกระบวนการสร้างบ่อแยกชนิดพี (P-Well), ปริมาณโดสการยิงฝังประจุของกระบวนการเพื่อปรับแรงดันขีดเริ่ม (VTA) และปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ที่มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

3.1 โปรแกรมที่ใช้ในการจำลองกระบวนการสร้างเอ็นมอสทรานซิสเตอร์

การจำลองผลกระบวนการสร้างเอ็นมอสทรานซิสเตอร์ใช้โปรแกรม Sentaurus TCAD ของบริษัท Synopsys ซึ่งทางศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ได้ดำเนินการจัดซื้อลิขสิทธิ์โปรแกรมดังกล่าว รูปที่ 3.1 แสดงตัวอย่างหน้าต่างโปรแกรม Sentaurus TCAD [5]



รูปที่ 3.1 โปรแกรม Sentaurus TCAD

(ก) โปรแกรม Sentaurus Workbench
(ข) โปรแกรมSentaurus Ligament
(ค) ภาคตัดขวางจากโปรแกรม Techplot SV
(ง) ผลการทดสอบอุปกรณ์จากโปรแกรม Inspect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การจำลองกระบวนการสร้างเพื่อศึกษาหาเงื่อนไขการสร้าง

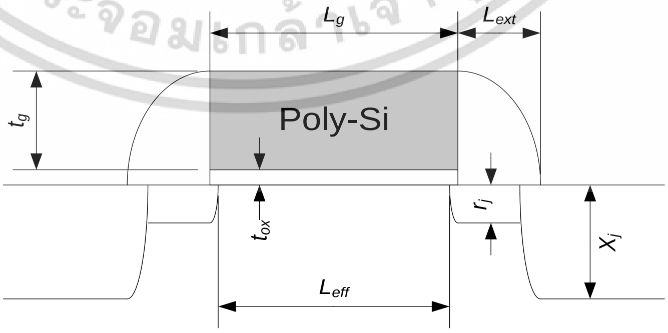
วัตถุประสงค์ของการจำลองคือการศึกษาในผลกระทบและความสำคัญในแต่ละขั้นตอนของกระบวนการสร้างที่เกี่ยวข้องกับพฤติกรรมของเอ็นมอสทรานซิสเตอร์ โดยในการจำลองนี้มุ่งเน้นศึกษาถึงค่าปริมาณโดสในการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA), ปริมาณโดสในการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) และปริมาณโดสของการยิงฝังประจุในกระบวนการสร้างบ่อแยกชนิดพี (P-Well) ซึ่งพารามิเตอร์เหล่านี้มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ โดยจะทำการปรับเปลี่ยนพารามิเตอร์ดังต่อไปนี้เพื่อศึกษาผลกระทบต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ได้แก่ [6-8]

1.ปริมาณโดสของการยิงฝังประจุของกระบวนการสร้างบ่อแยกชนิดพี (P-Well)
2.ปริมาณโดสของการยิงฝังประจุของกระบวนการเพื่อปรับแรงดันขีดเริ่ม (VTA)
3.ปริมาณโดสของการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT)

การจำลองกระบวนการทำงานของเอ็นมอสทรานซิสเตอร์เป็นการตรวจสอบค่าพารามิเตอร์ทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ดังต่อไปนี้

- Threshold voltage, V_T
- Off state leakage current, I_{off}
- Dain Induce Barrier Lowering, DIBL
- Subthreshold slope, *SS*
- Punchthrough voltage or breakdown voltage, V_{PT}

โครงสร้างภาคตัดขวางของมอสเฟททที่กำหนดขอบเขตในการจำลองแสดงในรูปที่ 3.2



รูปที่ 3.2 ขอบเขตทางกายภาพในการจำลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 แสดงพารามิเตอร์ทางกายภาพเช่น ความหนาอ็อกไซด์ (t_{ox}), ความลึกของซอสและเดรน (X_j), ความยาวเกท (L_g) ซึ่งการออกแบบพารามิเตอร์ทางกายภาพจะเป็นไปตามกฎการออกแบบมอสทรานซิสเตอร์ เช่น ความหนาอ็อกไซด์ (t_{ox}) จะเท่ากับ 0.018L_g, ความลึกของ LDD extension (r_j) เท่ากับ 0.3L_g, X_j เท่ากับ 0.6L_g, Spacer width (L_{ext}) เท่ากับ 0.3L_g และความยาว effect gate (L_{eff}) เท่ากับ 0.6L_g ตารางที่ 3.1 แสดงพารามิเตอร์ทางกายภาพของเอ็นมอสทรานซิสเตอร์ที่ขนาดความยาวเกท 0.5 ไมครอน

ตารางที่ 3.1 พารามิเตอร์ของโครงสร้างที่ทดสอบ

Devices Structure Parameter	Value
well junction depth	2.0 μm
Gate Length	0.5 μm
Gate oxide thickness	10 nm
N+ Poly silicon thickness	300 nm
Spacer width	160 nm
LDD junction depth	180 nm
S/D junction depth	360 nm

การจำลองกระบวนการสร้างกำหนดให้ความยาวเกทมีค่าที่ 0.3, 0.4, 0.5, 0.55, 0.6, 0.65, 0.7, 0.8, 1.0, 1.2, 3.0 และ 20 ไมโครเมตร ซึ่งพารามิเตอร์ต่างๆจะแปรตามความยาวเกทที่ออกแบบตามกฎการออกแบบ การจำลองอุปกรณ์ทั้งหมดใช้โปรแกรม Sentaurus device 2-D

3.2.1 การจำลองเพื่อศึกษาผลของปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) และปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ที่มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

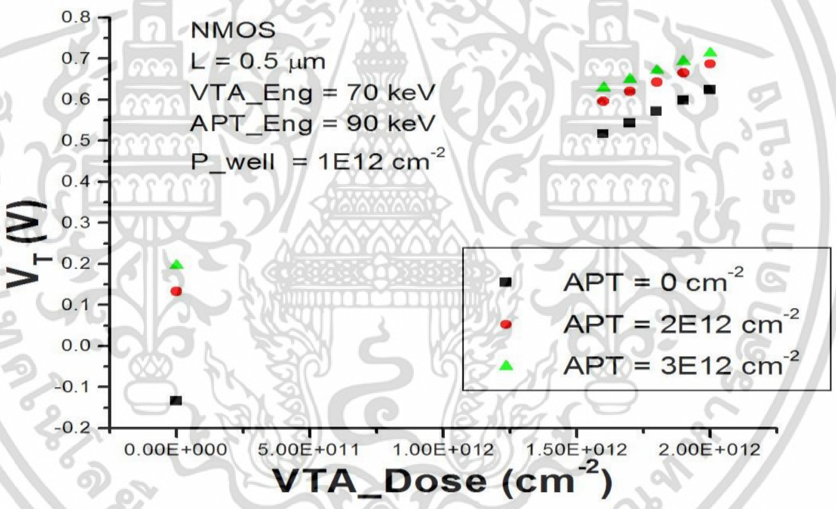
เนื่องจากแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์เป็นพารามิเตอร์หลักที่สำคัญ ในการที่จะได้แรงดันขีดเริ่มที่เหมาะสมนั้น กระบวนการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่มจึงมีความจำเป็น และเพื่อให้เอ็นมอสทรานซิสเตอร์มีค่าแรงดันพังทลายที่สูงตามที่ต้องการโดยมีค่าประมาณ 11 V จึงมีกระบวนการยิงฝังประจุสำหรับการป้องกันพันช์ทรู (APT) ดังนั้นในการจำลองนี้เป็นการจำลองเพื่อศึกษาผลของความเข้มข้นการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) และผลของความเข้มข้นการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ที่มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฐานรองเริ่มต้นเป็นชนิดพีมีค่าพิกัดความต้านทาน 20-25 Ω-cm บ่อแยกชนิดพีสร้างโดยการยิงฝังประจุโบรอนพลังงาน 140 keV ซึ่งในการจำลองได้ทำการปรับเปลี่ยนปริมาณโดสมีค่า 6×10^{11}, 8×10^{11}, 1×10^{12} cm^{-2} สำหรับการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) จะใช้โบรอนซึ่งมีปริมาณโดสที่ 0, 2×10^{12} และ 3×10^{12} cm^{-2} ด้วยพลังงาน 90 keV และการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่ม (VTA) จะใช้ BF_2 ซึ่งในการจำลองได้ทำการปรับเปลี่ยนปริมาณโดสมีค่าตั้งแต่ 0, 1.6×10^{12}, 1.7×10^{12}, 1.8×10^{12} , 1.9×10^{12} และ 2.0×10^{12} cm^{-2} ด้วยพลังงาน 70 keV

โดยในการศึกษานี้ได้ทำการศึกษาเอ็นมอสทรานซิสเตอร์ที่มีค่าความยาวเกท 0.5 μm มีปริมาณโดสของบ่อแยกชนิดพีมีค่า 1×10^{12} cm^{-2}

จากการจำลองกระบวนการสร้างได้ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส VTA ที่ค่าปริมาณโดสของการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ค่าต่างๆดังแสดงในรูปที่ 3.3 ซึ่งจะทำการวิเคราะห์เพื่อหาปริมาณโดส VTA และปริมาณโดสของการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ที่เหมาะสมต่อไป



รูปที่ 3.3 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T)กับปริมาณโดสการยิงฝังประจุ (VTA) ที่ปริมาณโดสสำหรับการป้องกันพันช์ทรู (APT) ค่าต่างๆ

จากผลการจำลองความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T) กับปริมาณโดส VTA ที่ค่าปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ค่าต่างๆ หากพิจารณาทั้งความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส VTA และความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส APT จะเห็นได้ว่าค่าแรงดันขีดเริ่มมีค่าเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าปริมาณโดส VTA และค่าปริมาณโดส APT ซึ่งค่าแรงดันขีดเริ่มที่สนใจนั้นอยู่ที่ประมาณ 0.6 V ถึง 0.7 V ซึ่งตรงกับค่าปริมาณโดส APT ที่ 3×10^{12} cm^{-2} ดังนั้นในการจำลองขั้นต่อไปจึงเลือกทำการจำลองที่ค่าปริมาณโดส APT ที่ 3×10^{12} cm^{-2} และยังพบว่าที่ค่าปริมาณโดส APT ดังกล่าวให้ค่าแรงดันพันช์ทรูมากกว่า 11 V

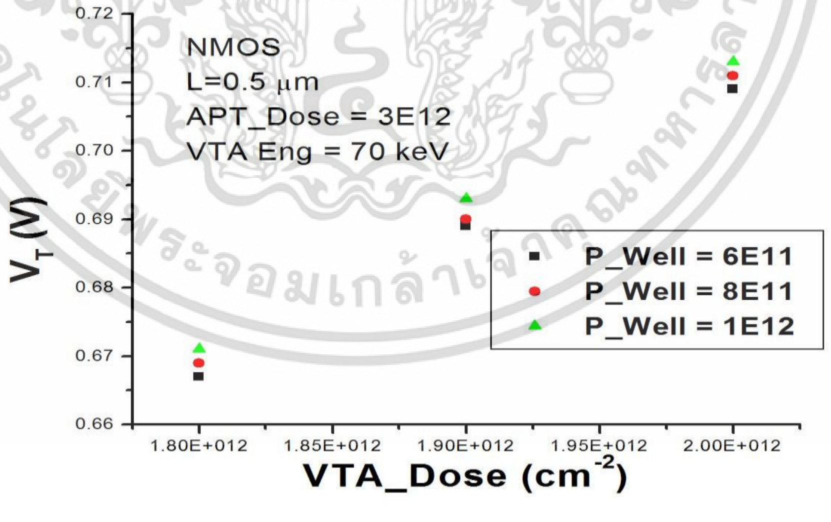
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 การจำลองเพื่อศึกษาผลของปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) และปริมาณโดสของบ่อแยกชนิดพี (P-Well) ที่มีต่อแรงดันขีดเริ่ม

จากการจำลองความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) ที่มีปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) ค่าต่างๆนั้นได้กำหนดค่าปริมาณโดสของบ่อแยกชนิดพี (P-well) ไว้คงที่ ยังไม่ได้ทำการศึกษาถึงผลของค่าปริมาณโดส P-well ที่มีต่อค่าแรงดันขีดเริ่ม ดังนั้นในการจำลองนี้จึงเป็นการจำลองเพื่อศึกษาผลของปริมาณโดส P-Well และผลปริมาณโดส VTA มีต่อแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์เพื่อหาปริมาณโดสของ P-Well ที่เหมาะสม

และจากการจำลองความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส VTA ที่มีปริมาณโดส APT ค่าต่างๆนั้น ค่าปริมาณโดส APT ที่ 3×10^{12} cm^{-2} เป็นค่าปริมาณโดสที่ให้แรงดันขีดเริ่มได้ตามที่ต้องการและมีแรงดันพันช์ทรูมากกว่า 11 V ดังนั้นในการจำลองครั้งนี้จึงกำหนดค่าปริมาณโดส APT ที่ 3×10^{12} cm^{-2} และทำการปรับเปลี่ยนค่าปริมาณโดส VTA ที่ 1.8×10^{12}, 1.9×10^{12} และ 2.0×10^{12} cm^{-2} ด้วยพลังงาน 70 keV ที่ค่าปริมาณโดส P-Well ที่ 6.0×10^{11}, 8.0×10^{11} และ 1.0×10^{12} cm^{-2} ด้วยพลังงาน 140 keV โดยทำการศึกษาเอ็นมอสทรานซิสเตอร์ที่มีค่าความยาวเกท 0.5 μm

จากการจำลองได้ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส VTA ที่ค่าปริมาณโดส P-Well ค่าต่างๆดังแสดงในรูปที่ 3.4



รูปที่ 3.4 ความสัมพันธ์ระหว่าง แรงดันขีดเริ่มกับปริมาณโดสการยิงฝังประจุ VTA ที่ปริมาณโดสบ่อแยกชนิดพีค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการจำลองความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) ที่ค่าปริมาณโดสของบ่อแยกชนิดพี (P-Well) ค่าต่างๆ หากพิจารณาทั้งความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส VTA และความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดส P-well จะเห็นได้ว่าค่าแรงดันขีดเริ่มมีค่าเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าปริมาณโดส VTA และค่าปริมาณโดส P-well ซึ่งค่าแรงดันขีดเริ่มที่สนใจนั้นอยู่ที่ประมาณ 0.7 ซึ่งตรงกับค่าปริมาณโดส P-well ที่ 1×10^{12} cm^{-2} ดังนั้นในการจำลองขั้นต่อไปจึงเลือกทำการจำลองที่ค่าปริมาณโดส P-well ที่ 1×10^{12} cm^{-2}

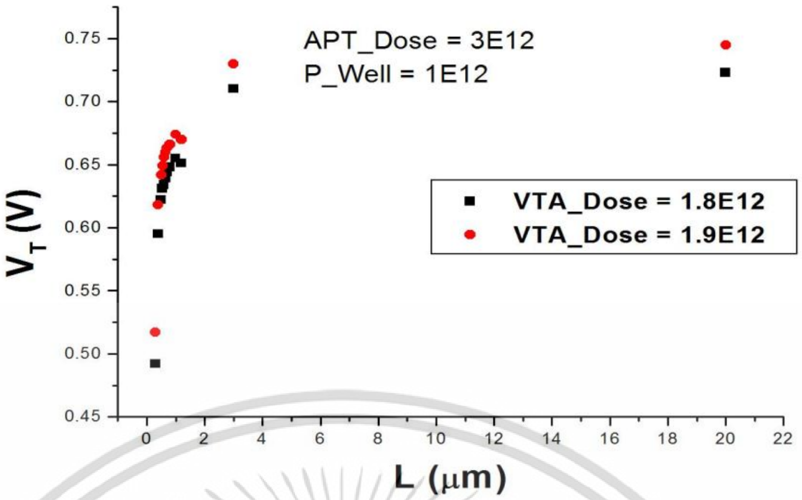
3.2.3 การจำลองเพื่อศึกษาความสัมพันธ์ระหว่างแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ (V_T) กับความยาวเกท (L_g)

จาก 2 การจำลองที่ผ่านมาได้กำหนดค่าความยาวเกทไว้คงที่ 0.5 μm จึงไม่ได้ทำการศึกษาถึงผลของความยาวเกทที่มีต่อแรงดันขีดเริ่ม ดังนั้นในการจำลองนี้จึงเป็นการจำลองเพื่อศึกษาความสัมพันธ์ระหว่างแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ (V_T) กับความยาวเกท (L_g) เพื่อหาค่าความยาวเกทที่ทำให้เกิดปรากฏการณ์ช่องทางเดินกระแสสั้น (Short channel Effect)

และจากการจำลองที่ผ่านมาทำให้ได้ค่าปริมาณโดสสำหรับการป้องกันพันช์ทรู (APT) ที่ 3×10^{12} cm^{-2} และค่าปริมาณโดสของบ่อแยกชนิดพี (P-well) ที่ 1×10^{12} cm^{-2} ดังนั้นในการจำลองครั้งนี้จึงกำหนดค่าปริมาณโดส APT ที่ 3×10^{12} cm^{-2} และค่าปริมาณโดส P-well ที่ 1×10^{12} cm^{-2} และได้ทำการปรับเปลี่ยนค่าความยาวเกท (L_g) มีความยาว คือ 20, 3, 1.2, 1, 0.8, 0.7, 0.65, 0.6, 0.55, 0.5, 0.4, และ 0.3 μm ตามลำดับ ที่ค่าปริมาณโดสการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) 1.8×10^{12} และ 1.9×10^{12} cm^{-2} ตามลำดับ

จากการจำลอง ได้ความสัมพันธ์ระหว่างแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ (V_T) กับความยาวเกท (L_g) ที่ค่าปริมาณโดส VTA ค่าต่างๆดังแสดงในรูปที่ 3.5 ซึ่งจะทำการวิเคราะห์หาค่าความยาวเกทที่ทำให้เกิดปรากฏการณ์ช่องทางเดินกระแสสั้น (Short channel Effect) ต่อไป

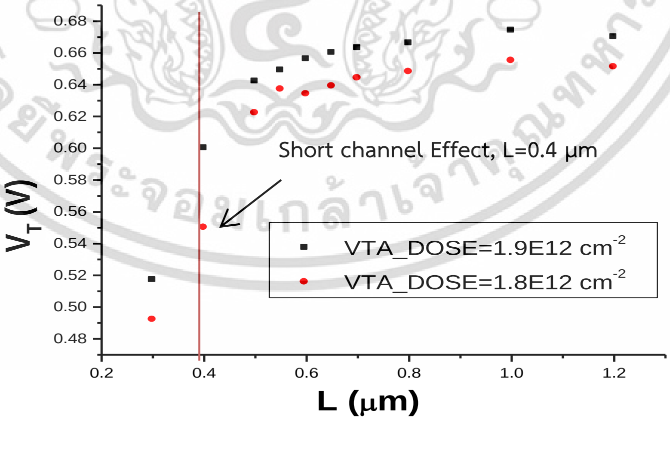
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T) กับ ความยาวเกท (L_g)

จากผลการจำลองเพื่อศึกษาความสัมพันธ์ระหว่างแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ (V_T) กับความยาวเกท (L_g) จะเห็นได้ว่าแรงดันขีดเริ่มเพิ่มขึ้นตามความเข้มข้นการยิงฝังประจุเพื่อปรับแรงดันขีดเริ่ม (VTA) ทุกค่าความยาวเกท

และหากพิจารณาในช่วงความยาวเกท 0.3-1.2 ไมโครเมตร พบว่าค่าแรงดันขีดเริ่มลดลงอย่างรวดเร็วเมื่อความยาวเกทน้อยกว่า 0.4 ไมโครเมตร แสดงให้เห็นว่าจะเกิดปรากฏการณ์ช่องทางเดินกระแสสั้น (Short channel Effect) ที่ความยาวเกทต่ำกว่า 0.4 ไมโครเมตรเป็นต้นไป



รูปที่ 3.6 ความสัมพันธ์ระหว่างแรงดันขีดเริ่ม (V_T) กับ ความยาวเกท (L_g) ที่ L_g=0.3-1.2 μm

ซึ่งจากผลการจำลองสามารถสรุปคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ได้ดังตารางที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 ผลคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ L = 0.5 μm, W = 20 μm
ATP = 3×10^{12} cm^{-2}

Process parameter		Out put			
P-well dose (cm^{-2}) 140 keV	VTA dose (cm^{-2}) 70 keV	V_T (V)	S mV/dec	G_m (μS/μm)	I_{on} (μA/μm)
1.0×10^{12}	0	0.196	242.66	6.16	8.2 μA
	1.8×10^{12}	0.671	91.48	4.8	6.68 μA
	1.9×10^{12}	0.693	92.47	4.71	6.6 μA
	2.0×10^{12}	0.713	93.33	4.69	6.5 μA

3.3 เงื่อนไขที่ใช้ในการสร้าง

จากการจำลองเพื่อหาเงื่อนไขในการสร้าง ทำให้สามารถเลือกเงื่อนไขในการสร้าง จำนวน 12 เงื่อนไขดังตารางที่ 3.3

ตารางที่ 3.3 เงื่อนไขที่ใช้ในการสร้างในแต่ละแผ่น

แผ่นทดสอบ	P-WELL IMPLANT DOSE ที่พลังงานคงที่ 140 keV	VTA IMPLANT DOSE ที่พลังงานคงที่ 70keV
D01	6×10^{11} cm^{-2}	No implant
D02		$1.8\times10^{12}cm^{-2}$
D03		1.9×10^{12} cm^{-2}
D04		2.0×10^{12} cm^{-2}
D05	8×10^{11} cm^{-2}	No implant
D06		$1.8\times10^{12}cm^{-2}$
D07		1.9×10^{12} cm^{-2}
D08		2.0×10^{12} cm^{-2}
D09	1×10^{12} cm^{-2}	No implant
D10		$1.8\times10^{12}cm^{-2}$
D11		1.9×10^{12} cm^{-2}
D12		2.0×10^{12} cm^{-2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การสร้างเอ็นมอสทรานซิสเตอร์

ในบทนี้จะกล่าวถึงการสร้างเอ็นมอสทรานซิสเตอร์โดยจะกล่าวถึง กระบวนการสร้างพื้นฐานที่จำเป็นต่อการสร้างเอ็นมอสทรานซิสเตอร์, การออกแบบโครงสร้างทดสอบ (Test Structure) สำหรับทดสอบโครงสร้างทางกายภาพของเอ็นมอสทรานซิสเตอร์และขั้นตอนกระบวนการสร้างเอ็นมอสทรานซิสเตอร์

4.1 กระบวนการสร้างพื้นฐาน

จะกล่าวถึงกระบวนการพื้นฐานที่จำเป็นต่อกระบวนการสร้างมอสทรานซิสเตอร์ ซึ่งจะอธิบายเป็นลำดับตั้งแต่เริ่มต้นจนสิ้นสุด

4.1.1 กระบวนการสร้างแผ่นเวเฟอร์

ซิลิคอน (Silicon) มักอยู่ในรูปสารประกอบมีมากเป็นอันดับสองของโลก การที่จะได้ธาตุซิลิคอนบริสุทธิ์นั้นมนุษย์จะต้องกลั่นจากสารประกอบ ซึ่งวงจรรวมนั้นจะต้องสร้างขึ้นบนแผ่นเวเฟอร์ (Wafer) ที่บริสุทธิ์ โดยการสร้างแผ่นเวเฟอร์มี 3 กระบวนการ คือ การปรับซิลิคอน (Silicon Refinement) การปลูกผลึก (Crystal Growth) และการก่อตัวของแผ่นเวเฟอร์ (Wafer Formation)

การปรับซิลิคอนจะเริ่มด้วยการแยกพันธะของซิลิกาในเตาปฏิกิริยาที่อุณหภูมิประมาณ 2,000 °C ในแหล่งกำเนิดคาร์บอน

$$SiO_2\ (solid) + 2C\ (solid) \longrightarrow Si\ (liquid) + 2CO\ (gas) \qquad (4.1)$$

ซิลิคอนที่ได้ก็ยังไม่ความบริสุทธิ์พอสำหรับอุปกรณ์ไมโครอิเล็กทรอนิกส์ ดังนั้นจึงจำเป็นจะต้องทำให้ซิลิคอนมีความบริสุทธิ์ยิ่งขึ้น

$$Si\ (solid) + HCL\ (gas) \longrightarrow silane\ (SiH_4)(liquid) + trichlorosilane(SiHCL_3)(liquid) \qquad (4.2)$$

ซึ่งผลิตภัณฑ์ที่ได้เรียกว่า อิเล็กทรอนิกส์เกรนซิลิคอน (Electronic grade silicon) ในผลึกรูปโพลีของซิลิคอน แต่อุปกรณ์สารกึ่งตัวนำส่วนใหญ่ใช้รูปผลึกเดี่ยวของซิลิคอน จึงมีวิธีการเกิดเป็นรูปผลึกเดี่ยวจะมีด้วยกันสองวิธี คือการปลูกแบบ Czochralski และ Floating Zone [9]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

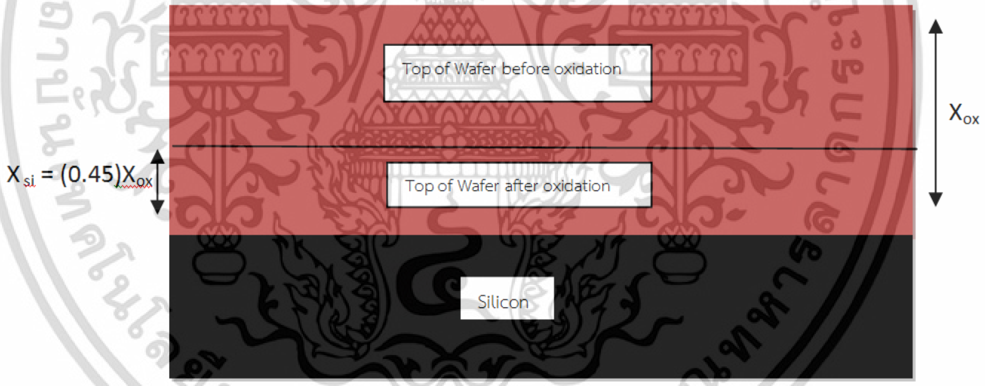
4.1.2 ออกซิเดชันทางความร้อน (Thermal Oxidation)

เมื่อซิลิคอนสัมผัสกับอากาศที่อุณหภูมิสูงจะเกิดเป็นชั้นออกไซด์บางๆในรูปของซิลิคอนไดออกไซด์ (sio_2) ที่ผิวสัมผัสได้ง่าย โดยในโครงสร้างของมอสทรานซิสเตอร์ (MOS Transistor) ซึ่งมีเกทออกไซด์ (Gate Oxide) นั้นจะนำซิลิคอนไดออกไซด์เป็นเกทออกไซด์เพราะมีความเป็นไดอิเล็กตริก (Dielectric) ที่มีคุณภาพสูง และในระหว่างกระบวนการสร้างนั้น การปลูกออกไซด์ก็ถูกใช้ในการยิงฝังประจุ, การแพร่ และเป็นหน้ากากสำหรับการกัด โดยกระบวนการออกซิเดชั่นนั้นแบ่งเป็นสองประเภทคือการออกซิเดชั่นแห้ง และการออกซิเดชั่นเปียก [10]

การออกซิเดชั่นแห้ง $$Si\ (solid) + O_2\ (gas) \longrightarrow SiO_2\ (solit) \qquad (4.3)$$

การออกซิเดชั่นเปียก $$Si\ (solid) + 2H_2O\ (liquid) \longrightarrow SiO_2\ (solit) \qquad (4.4)$$

ที่บริเวณรอยต่อของซิลิคอนกับออกไซด์ พื้นผิวของซิลิคอนจะถูกความหนาของออกไซด์กินไปประมาณ 45 เปอร์เซ็นของความหนาออกไซด์ [11]

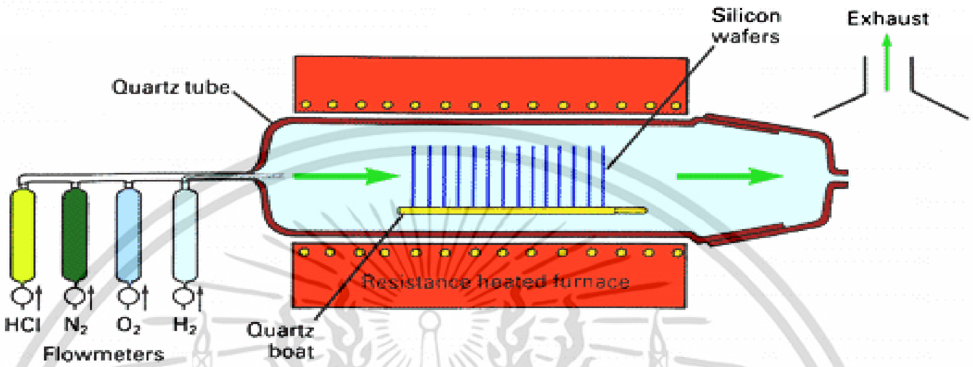


รูปที่ 4.1 รอยต่อของซิลิคอนและออกไซด์

อัตราของการออกซิเดชั่นจะขึ้นอยู่กับ อุณหภูมิ, ความดันแก๊ส, ประเภทของการออกซิไดซ์, และลักษณะของแผ่นเวเฟอร์เช่นประเภทการเติมอะตอมสารเจือ ความเข้มข้นของอะตอมสารเจือ และระนาบของโครงผลึก โดยทั่วไปการออกซิเดชั่นแบบแห้งจะมีความหนาแน่นและคุณภาพที่สูงกว่าแบบเปียก แต่อย่างไรก็ตามอัตราการออกซิเดชั่นแบบเปียกจะสูงกว่าการออกซิเดชั่นแบบแห้ง การออกซิเดชั่นแบบแห้งจะมีความหนาอยู่ในระดับนาโนเมตร (Nanometre) ส่วนการออกซิเดชั่นแบบเปียกอยู่ในระดับไมครอน (Micrometer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกซิเดชั่นจะเกิดในหลอดปฏิกิริยาหรือเกิดในกระบวนการความร้อนแบบรวดเร็ว (Rapid Thermal Processing) แผนผังหลอดปฏิกิริยาซึ่งประกอบไปด้วยหลอดควอทซ์ (Quartz Tube) โดยมีขดลวดความร้อนจะเป็นตัวให้ความร้อน ส่วนกระบวนการความร้อนแบบรวดเร็วจะมีหลอดไฟเป็นตัวให้ความร้อนซึ่งมีเตาปฏิกิริยาคล้ายกัน ดังแสดงในรูปที่ 4.2 [12]



รูปที่ 4.2 แผนผังออกซิเดชันทางความร้อน

4.1.3 กระบวนการเติมอะตอมสารเจือ (Doping Processes)

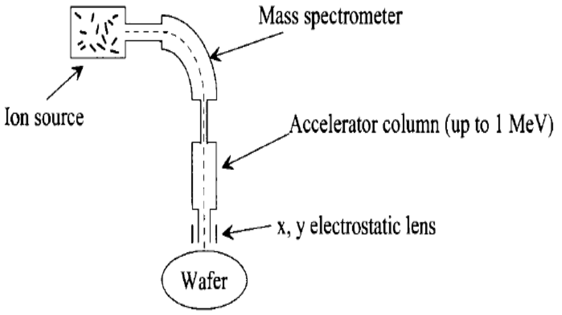
การเติมอะตอมสารเจือเข้าสู่แผ่นซิลิคอนทำให้เกิดประเภทของพาหะข้างมาก, ความเข้มข้นของพาหะ, ความคล่องตัวของพาหะ วิธีการเติมอะตอมสารเจือที่ใช้หลักๆมี 2 วิธี คือการแพร่ในของแข็ง (Solid State Diffusion) และการยิงฝังประจุ (Ion Implantation) [13] วิธีการเติมอะตอมสารเจือโดยการแพร่ในของแข็งนั้นเป็นวิธีการดั้งเดิม ส่วนการยิงฝังประจุเป็นวิธีสมัยใหม่ที่ใช้ในกระบวนการสร้างมอสทรานซิสเตอร์

4.1.3.1 การยิงฝังประจุ (Ion Implantation)

การยิงฝังประจุเป็นวิธีการหนึ่งที่ใช้ในการนำสารเจือ (Doping) เข้าไปในพื้นผิวของแผ่นเวเฟอร์ ในการยิงฝังประจุ อะตอมสารเจือจะแตกตัวเป็นไอออนและถูกเร่งด้วยศักย์ไฟฟ้าสูงในระดับกิโลโวลต์ (kV) ถึงระดับเมกะโวลต์ (MV) พุ่งเข้าไปในแผ่นเวเฟอร์ ซึ่งกระบวนการนี้นำไปสู่ความเสียหายของแลตทิซ โดยทั่วไปจะซ่อมแซมโดยการแอลนีล (Anneal) ที่อุณหภูมิสูง [14]

รูปที่ 4.3 แสดงแผนภาพของเครื่องยิงฝังประจุ ซึ่งไอออนจะถูกสร้างโดยสนามแม่เหล็กไฟฟ้าย่านความถี่วิทยุ (RF Field) ในแหล่งไอออนและต่อมาถูกบีบไปยังสเปกโทรมิเตอร์ (Spectrometer) โดยสเปกโทรมิเตอร์จะให้ไอออนซึ่งถูกเลือกโดยมวลของอนุภาคเข้าไปสู่เครื่องเร่งอนุภาคที่มีศักย์ไฟฟ้าสูง ไอออนจะถูกยิงบนแผ่นเวเฟอร์ผ่านอิเล็กโตรสแตติกเลนส์ (Electrostatic Lens) เข้าสู่พื้นผิวของเวเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แผนภาพของเครื่องยิงฝังประจุ (Ion implantation)

4.1.3.2 การแพร่ในของแข็ง (SolidState Diffusion)

การแพร่ในของแข็งเป็นวิธีการสำหรับการนำและจัดของอะตอมสารเจือ ซึ่งกระทำที่อุณหภูมิสูง เป็นการแพร่ในสามมิติ เลื่อนขอบเขตจากการยิงฝังประจุเดิมทั้งในแนวตั้งและแนวนอน [15]

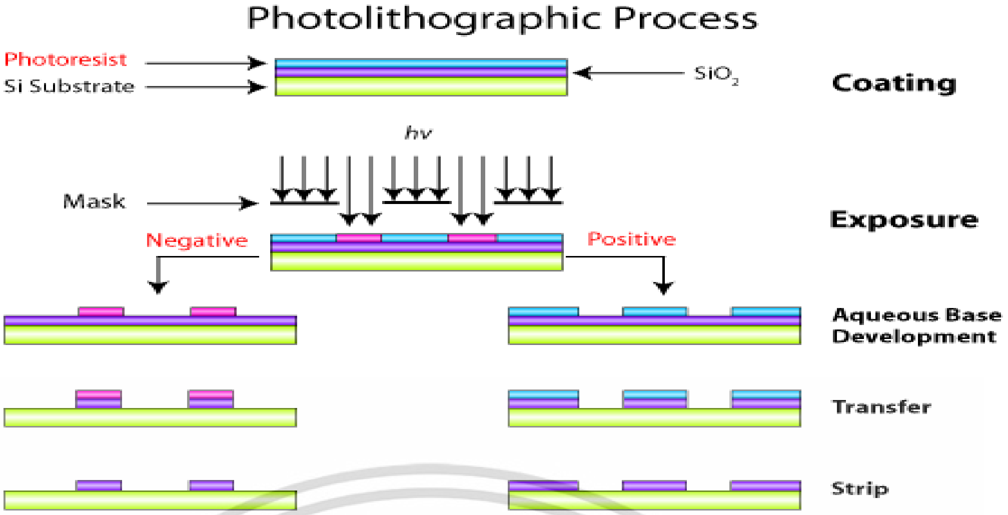
4.1.4 โฟโตลิโธกราฟฟี (Photolithography)

ในกระบวนการสร้างมอสทรานซิสเตอร์นั้น มีบางขั้นตอนที่จำเป็นให้มีผลของปรากฏการณ์เฉพาะบางพื้นที่ของแผ่นเวเฟอร์ซึ่งกระบวนการที่จะเลือกให้มีผลปรากฏการณ์เฉพาะบางพื้นที่คือกระบวนการโฟโตลิโธกราฟฟี (Photolithography) โดยการใช้แสงอัลตราไวโอเลต, หน้ากาก (Mask) และโพลิเมอร์ที่ไวต่อแสง กระบวนการของการโฟโตลิโธกราฟฟี คือการสร้างลวดลายของโพลิเมอร์ที่ไวต่อแสงที่เรียกว่า น้ำยาไวแสง (Photoresist) โดยลวดลายของน้ำยาไวแสงสามารถทำหน้าที่เป็นหน้ากากในกระบวนการยิงฝังประจุและการกัด ซึ่งเป็นกระบวนการย่อยของการสร้างมอสทรานซิสเตอร์ [16]

รูปที่ 4.4 แสดงขั้นตอนการปลูกออกไซด์โดยใช้กระบวนการโฟโตลิโธกราฟฟีซึ่งน้ำยาไวแสงเป็นพอลิเมอร์เหลวที่ใช้บนพื้นผิวของออกไซด์โดยการหยดน้ำยาไวแสงปริมาณน้อยลงบนแผ่นเวเฟอร์แล้วทำการหมุนแผ่นเวเฟอร์อย่างเร็วจะได้แผ่นฟิลม์บางบนแผ่นเวเฟอร์ที่สม่ำเสมอ

จากนั้นทำการฉายแสงอัลตราไวโอเลตผ่านหน้ากาก (Mask) ตามรูปแบบที่ออกแบบไว้ ในการฉายแสงนั้นหน้ากากจะมีขนาดที่ใหญ่กว่า (เช่น 5 เท่าหรือ 10 เท่า) ขนาดที่ถูกเปิดออกบนพื้นผิวของน้ำยาไวแสง โดยฉายภาพจากหน้ากากไปยังแผ่นเวเฟอร์ผ่านเครื่องฉายสเต็ปเปอร์ (Stepper)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



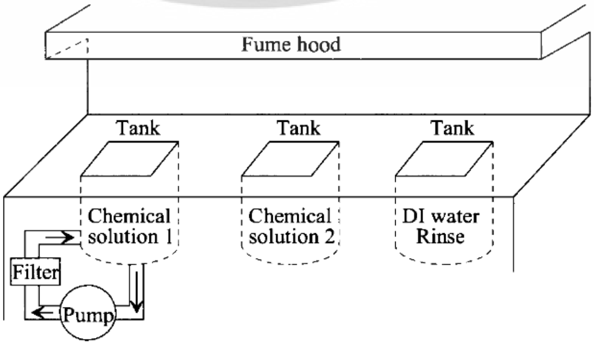
รูปที่ 4.4 ขั้นตอนกระบวนการโฟโตลิโธกราฟฟี

4.1.5 การเอาฟิล์มบางออก (Thin Film Removal)

กระบวนการเอาฟิล์มบางออกเป็นกระบวนการหนึ่งจากสองกระบวนการที่อาศัยการโฟโตลิโธกราฟฟี อีกกระบวนการที่อาศัยการโฟโตลิโธกราฟฟีคือการยิงฝังประจุโดยใช้รูปแบบลวดลายปิดกั้นประจุจากพื้นที่ที่ถูกเลือกบนพื้นผิวของเวเฟอร์ ซึ่งในส่วนนี้จะอธิบายเกี่ยวกับกระบวนการกัดฟิล์มบาง ทั้งกระบวนการกัดทางเคมีแบบเปียกและแบบแห้ง [17]

4.1.5.1 การกัดแบบเปียก

การกัดแบบเปียกประกอบด้วยการใช้สารละลายเคมี ซึ่งในกระบวนการสร้างมอสทรานซิสเตอร์ กระบวนการแบบเปียกได้ถูกใช้สำหรับการทำความสะอาดแผ่นเวเฟอร์และการกัดฟิล์มบาง กระบวนการทำความสะอาดแบบเปียกมีการทำซ้ำหลายๆครั้งตลอดกระบวนการสร้าง การทำความสะอาดนั้นมีเป้าหมายในการกำจัดอนุภาคทั้งที่เป็นอินทรีย์หรืออนินทรีย์ที่ปนเปื้อนบนพื้นผิว การกัดแบบเปียกนั้นสามารถเป็นทั้งแบบทุกทิศทุกทางและทิศทางเดียว แผนภาพของถังกัดแบบเปียกแสดงในรูปที่ 4.5

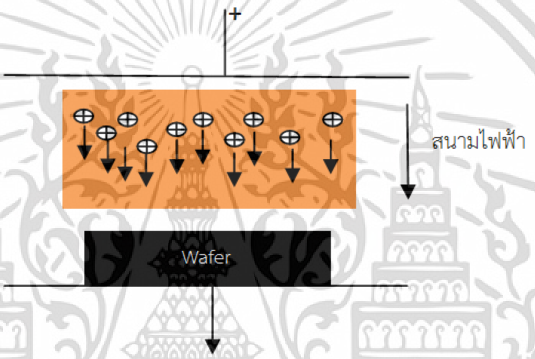


รูปที่ 4.5 แผนผังถังกัดแบบเปียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5.2 การกัดแบบแห้ง

ในกระบวนการสร้างมอสทรานซิสเตอร์ โดยทั่วไปมีเทคนิคการกัดแบบแห้ง 3 วิธีคือ สปัสเตอร์, พลาสม่า, รีแอคชั่นไอออน [18] ในรูปที่ 4.6 แสดงกระบวนการกัดแบบสปัสเตอร์ซึ่งมีก๊าซเฉื่อย (เช่นอาร์กอน) แตกตัวเป็นไอออนถูกเร่งผ่านสนามไฟฟ้าซึ่งอยู่ระหว่างสองขั้วไฟฟ้าขั้วบวกและขั้วลบซึ่งความดันระหว่างขั้วไฟฟ้าทั้งสองอยู่ในช่วงมิลิทอร์เพื่อให้มีการส่งของไอออนที่เหมาะสม ภายใต้เงื่อนไขเหล่านี้จะเกิดพลาสม่าขึ้นที่ระหว่างขั้วไฟฟ้า โดยพลาสม่าที่เกิดขึ้นประกอบด้วยประจุบวกและลบ พื้นผิวแผ่นเวเฟอร์จะโดนยิงโดยไอออนประจุบวกทำให้วัสดุบนผิวของเวเฟอร์หลุดออกไป สำหรับการกัดแบบสปัสเตอร์บนพื้นผิวที่นำไฟฟ้าจะใช้แหล่งจ่ายไฟตรง ขณะที่การกัดแบบสปัสเตอร์บนพื้นผิวที่ไม่นำไฟฟ้าจะใช้แหล่งจ่าย RF

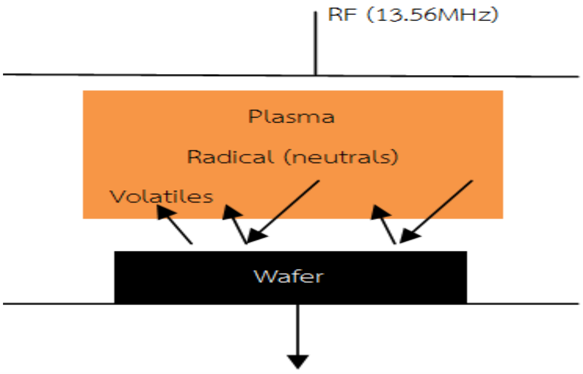


รูปที่ 4.6 กระบวนการกัดแบบสปัสเตอร์

ระบบการกัดพลาสม่าแสดงดังในรูปที่ 4.7 ก๊าซหรือส่วนผสมของก๊าซ (เช่น ฮาโลเจน) จะแตกตัวเป็นไอออนเรียกว่าอนุมูลอิสระทำให้เกิดพลาสม่าระหว่างขั้วไฟฟ้าทั้งสองอนุมูลอิสระจะทำปฏิกิริยาทางเคมีกับพื้นผิวของวัสดุและได้ผลิตภัณฑ์ในรูปของแก๊สซึ่งจะถูกปั๊มออกผ่านระบบสูญญากาศ

การกัดแบบสปัสเตอร์เป็นกระบวนการทางกลส่วนการกัดแบบพลาสม่าเป็นกระบวนการทางเคมี แต่การกัดแบบรีแอคชั่นไอออนนั้นเป็นการร่วมระหว่างการกัดแบบสปัสเตอร์และพลาสม่า การกัดแบบรีแอคชั่นไอออนนั้นก๊าซและส่วนผสมของก๊าซจะแตกตัวเป็นไอออนและทำปฏิกิริยากับพื้นผิวของเวเฟอร์ การกัดแบบรีแอคชั่นไอออนนั้นถือเป็นกระบวนการกัดที่มีความโดดเด่นเพราะมีข้อดีของการกัดแบบสปัสเตอร์และการกัดแบบพลาสม่าร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



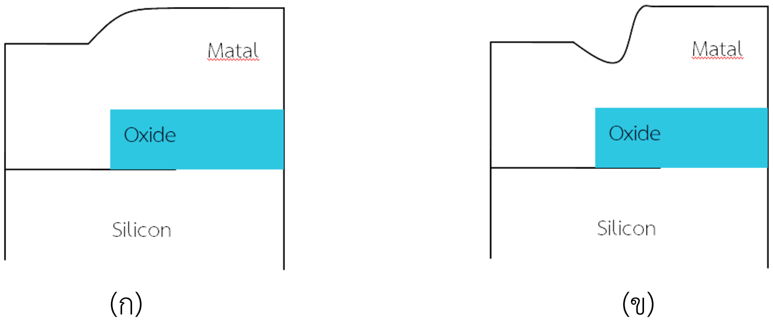
รูปที่ 4.7 แผนภาพง่ายจากกระบวนการกัดพลาสม่า

4.1.6 การวางชั้นฟิล์มบาง (Thin Film Deposition)

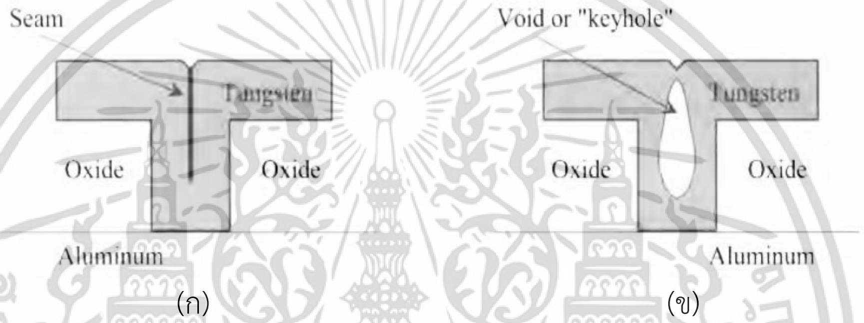
ฉนวน, ตัวนำ, และสารกึ่งตัวนำ จำเป็นสำหรับการสร้างมอสทรานซิสเตอร์ซึ่งซิลิคอนผลึกเดี่ยวเป็นสารกึ่งตัวนำสำหรับพื้นที่ใช้งาน (Active), ซิลิคอนหลายรูปสำหรับขั้วเกทและชั้นเชื่อมต่อ ส่วนฉนวนเช่น ซิลิคอนไนไตรด์ (Si_3N_4) ซิลิคอนไดออกไซด์ (SiO_2) จะถูกสร้างเป็นไดอิเล็กตริกเกท, หน้ากากกัด, หน้ากากยิงประจุ, ชั้นป้องกันการแพร่ โดยที่ตัวนำเช่น อลูมิเนียม, ทองแดง, โคบอลต์, ไทเทเนียม, ทังสแตน และไทเทเนียมไนไตรด์ถูกใช้สำหรับการเชื่อมต่อ, เวียร์, ชั้นป้องกันการแพร่และการเชื่อมโยงสาย ในส่วนนี้จะอธิบายวิธีการการสะสมฟิล์มบางสำหรับ ฉนวน ตัวนำและสารกึ่งตัวนำ ซึ่งจะนำเสนอเป็นสองประเภทหลักของการสะสมฟิล์มบางคือ สะสมไอทางกายภาพ (Physical Vapor Deposition) และสะสมไอทางเคมี (Chemical Vapor Deposition)

ลักษณะของการวางชั้นฟิล์มนั้นมีปัจจัยมาเกี่ยวข้องหลายปัจจัย โดยที่คุณภาพของฟิล์มเกี่ยวข้องกับการควบคุมคุณภาพของส่วนประกอบ, ระดับการปนเปื้อนต่ำ, คุณสมบัติทางไฟฟ้าและทางกล สิ่งเหล่านี้มีความสำคัญมาก ยิ่งไปกว่านั้นความสม่ำเสมอของฟิล์มบางจะต้องควบคุมให้มีคุณภาพสูง ความสม่ำเสมอของฟิล์มบนพื้นที่หนึ่งๆนั้นมีความสำคัญ การวัดความสม่ำเสมอนี้ถูกเรียกว่า สเต็ปครอบเวอร์เรจ (Step Coverage) แสดงในรูป 4.8 สเต็ปครอบเวอร์เรจที่ดีจะมีความสม่ำเสมอของความหนาทุกพื้นผิว ส่วนสเต็ปครอบเวอร์เรจที่ไม่ดีความหนาของพื้นผิวจะลดลงในแนวดิ่งเมื่อเทียบกับพื้นผิวที่ขนานของแผ่นเวเฟอร์ ซึ่งสเต็ปครอบเวอร์เรจที่ดีเกี่ยวข้องกับการเติมช่องว่างเก็ปฟิว (Gap Fill) ซึ่งถูกนำไปใช้ในการสะสมฟิล์มของวัสดุในที่เปิดเช่น ชั้นเชื่อมต่อ หรือช่องว่างระหว่างเส้นโลหะ รูปที่ 4.9 แสดงการสะสมฟิล์มที่ เก็ปฟิวที่ดีและเก็ปฟิวที่ไม่ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 การสะสมฟิล์มบางที่ครอบคลุมบนชั้นออกไซด์
(ก) สเต็ปครอบเวอร์เรจที่ดี (ข) สเต็ปครอบเวอร์เรจที่ไม่ดี



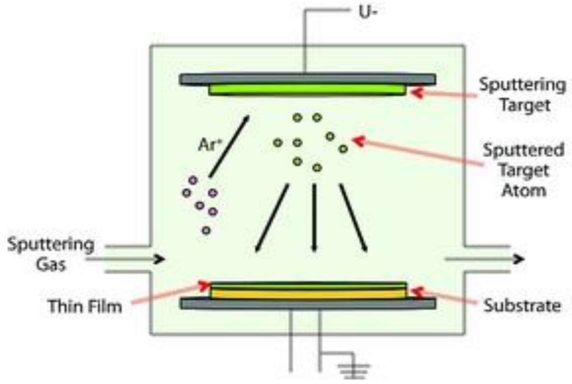
รูปที่ 4.9 โปรไฟล์เก็ปฟิว (ดีและไม่ดี) ของพื้นที่เปิดด้วยการสะสมฟิล์ม

4.1.6.1 การสะสมไอทางกายภาพ (Physical Vapor Deposition)

ในการสะสมไอทางกายภาพโดยทั่วไปเป็นมีการสะสมแบบการระเหย (Evaporation) และการสปัสเตอร์ (Sputter) [19] ซึ่งทั้งสองกระบวนการนี้สามารถใช้ในการสะสมของวัสดุฉนวน (Insulating) ความนำ (Condutive) และสารกึ่งตัวนำ (Semiconductor) กระบวนการสะสมไอทางกายภาพนั้นมีข้อเสียคือการมีสเต็ปครอบเวอร์เรจที่ไม่ค่อยดี

กระบวนการสะสมแบบสปัสเตอร์จะคล้ายกับการกัดสปัสเตอร์ ซึ่งแผ่นเวเฟอร์จะให้เป็นขั้วบวกและทาร์เก็ต (Target) เป็นขั้วลบ ซึ่งรูปที่ 4.10 แสดงกระบวนการสะสมสปัสเตอร์อย่างง่าย โดยแก๊สเฉื่อยเช่น อาร์กอนแตกตัวเป็นไอออนที่ความดันต่ำ เมื่อไอออนประจุบวกเร่งผ่านสนามไฟฟ้าเข้าสู่ทาร์เก็ตที่มีความบริสุทธ์สูง ในการยิงของไอออนนั้นทาร์เก็ตจะปล่อยอะตอม (หรือโมเลกุล) ของทาร์เก็ตออกมาจะส่งไปยังพื้นผิวของแผ่นเวเฟอร์เกิดเป็นฟิล์มบางคล้ายๆ กับการกัดแบบสปัสเตอร์ แหล่งจ่ายไฟตรง (DC) สามารถถูกใช้สำหรับการสะสมสปัสเตอร์ของตัวนำทางไฟฟ้า และแหล่งจ่ายไฟสลับความถี่วิทยุ (RF) ถูกใช้สำหรับการสะสมสปัสเตอร์ของฉนวนทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

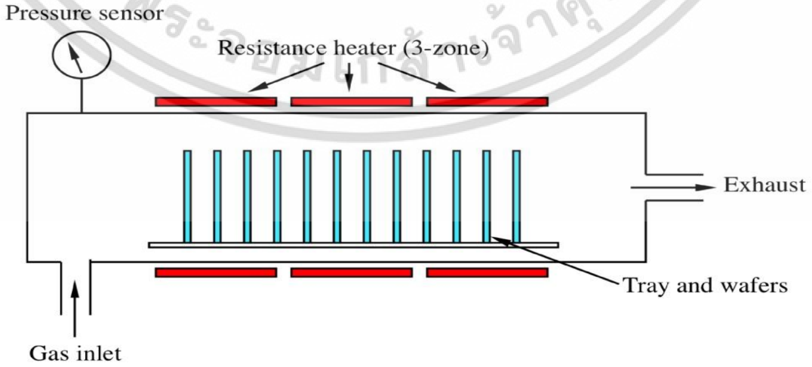


รูปที่ 4.10 แผนภาพอย่างง่ายกระบวนการสะสมแบบการระเหย

4.1.6.2 การสะสมไอทางเคมี (Chemical Vapor Deposition)

การสะสมไอทางเคมีเป็นกระบวนการสะสมโดยแก๊สที่เป็นสารตั้งต้นในห้องปฏิกิริยาทำปฏิกิริยาที่พื้นผิวของฐานรองเกิดเป็นชั้นฟิล์ม ซึ่งการสะสมไอทางเคมีเป็นวิธีการหลักในการวางชั้นฟิล์มเนื่องจากมีความบริสุทธิ์ของฟิล์มสูง, ค่าใช้จ่ายต่ำ กระบวนการสะสมไอทางเคมีโดยทั่วไปจะมี Atmospheric Pressure (APCVD), Low Pressure (LPCVD), และ Plasma Enhanced (PECVD) [20] ซึ่งกระบวนการ LPCVD เกิดปฏิกิริยาในเตาปฏิกริยาย่านความดันมิลิทอร์ (milliTorr) เมื่อเปรียบเทียบกับ APCVD แล้วกระบวนการ LPCVD ฟิล์มจะมีการคงรูปสูงกว่า ในรูปที่ 4.11 แสดงแผนผังของ LPCVD

ส่วน PECVD นั้นพลาสม่าจะเป็นตัวต้านทานพลังงานสำหรับการเกิดปฏิกิริยาที่ผิว โดยเมื่อเปรียบเทียบกับ APCVD และ LPCVD นั้น PECVD จะมีข้อดีคือ อุณหภูมิต่ำและฟิล์มมีการคงรูปสูง ซึ่งทั้งฉนวน, ตัวนำ และสารกึ่งตัวนำสามารถใช้การสะสมโดย CVD ซึ่งมีสเต็ปครอบเวอร์เรจที่ดีกว่าเมื่อเปรียบเทียบกับกระบวนการ Physical Vapor Deposition (PVD)



รูปที่ 4.11 แสดงแผนผังของ LPCVD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การออกแบบโครงสร้างทดสอบ

การศึกษากระบวนการสร้างเอ็นมอสทรานซิสเตอร์นั้น ขั้นตอนการออกแบบลวดลายถือว่าเป็นขั้นตอนที่สำคัญอีกขั้นตอนหนึ่ง โดยการศึกษานี้ใช้เทคโนโลยีกระบวนการสร้างวงจรรวมแบบซีมอสระดับ 0.5 µm โดยการออกแบบต้องคำนึงถึงกฎการออกแบบ (Design Rules) [21]

กฎการออกแบบเป็นข้อกำหนดเกี่ยวกับความสัมพันธ์ของรูปแบบทางเรขาคณิตของลวดลายมาส์กในแต่ละชั้น โดยทั่วๆไปการออกแบบจะให้ความสำคัญที่ราคาต้นทุน คุณสมบัติตัวอุปกรณ์และใช้พื้นที่น้อยที่สุด กฎการออกแบบอาจแบ่งปัจจัยที่สำคัญออกเป็น 2 กลุ่มใหญ่ คือปัจจัยทางด้านลายเส้น (Graphical Factors) ซึ่งจะสัมพันธ์กับความละเอียดและค่าผิดพลาดที่ยอมรับได้ของขบวนการสร้างและปัจจัยทางไฟฟ้า (Electrical Factors) ซึ่งจะเกี่ยวข้องกับคุณสมบัติทางไฟฟ้า เช่น คุณสมบัติแรงดันพังทลายของขั้วเดรนและซอส หรือความหนาแน่นกระแสบนลวดลายโลหะ

ซึ่งกฎการออกแบบจะเป็นแนวทางสำหรับการออกแบบลวดลายวงจรรวม เทคโนโลยีของกระบวนการสร้างที่แตกต่างกัน จะมีกฎการออกแบบที่ต่างกัน ซึ่งแสดงดังตารางที่ 4.1

ตารางที่ 4.1 รายละเอียดของกฎการออกแบบ

กฎที่		ขนาด λ
1	N-well	
	1.1 ความกว้างน้อยสุด	12
	1.2 ระยะห่างน้อยสุด	18
2	Active	
	2.1 ความกว้างน้อยสุด	3
	2.2 ระยะห่างน้อยสุด	3
	2.3 ระยะห่างน้อยสุดจากขอบบ่อแยก	6
	2.4 ระยะห่างน้อยสุดของชั้น Active ที่มีศักย์ต่างกัน	4
3	Poy gate	
	3.1 ความกว้างน้อยสุด	2
	3.2 ระยะห่างน้อยสุด	3
	3.3 ระยะน้อยสุดครอบชั้น Active	2
	3.4 ระยะห่างน้อยสุดห่างจากขอบ Active	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 (ต่อ)

กฎที		ขนาด λ
4	N^+ และ P^+	
	4.1 ระยะห่างน้อยสุดกับโพลี่เกท	3
	4.2 ระยะน้อยสุดครอบชั้น Active	2
	4.3 ระยะห่างน้อยสุดรอบชั้น Contact	1
5	Contact	
	5.1 ขนาดเล็กสุด	2×2
	5.2 ระยะน้อยสุดถูกครอบจากชั้น Active	2
	5.3 ระยะห่างน้อยสุด	3
	5.4 ระยะน้อยสุดถูกครอบจากชั้น Active	2
	5.5 ระยะห่างน้อยสุดกับโพลี่เกท	2.5
	5.6 ระยะน้อยสุดถูกครอบจากชั้น โพลี่เกท	2
6	Metal1	
	6.1 ความกว้างน้อยสุด	3
	6.2 ระยะห่างน้อยสุด	3
	6.3 ระยะน้อยสุดครอบชั้น Contact บนโพลี่เกท	2
	6.4 ระยะน้อยสุดครอบชั้น Contact บนชั้น โพลี่เกท Active	2
7	Vias1	
	7.1 ขนาดเล็กสุด	4×4
	7.2 ระยะห่างน้อยสุด	3
	7.3 ระยะน้อยสุดถูกครอบจากชั้น Metal1	1
	7.4 ระยะห่างน้อยสุดกับ contact	3
	7.5 ระยะห่างน้อยสุดกับโพลี่เกทหรือโพลี่เกท	3
8	Metal2	
	8.1 ความกว้างน้อยสุด	3
	8.2 ระยะห่างน้อยสุด	3
	8.3 ระยะน้อยสุดครอบชั้น Via1	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

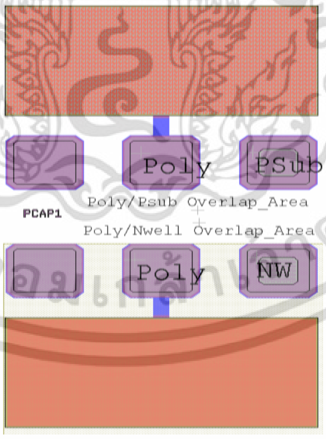
ตารางที่ 4.1 (ต่อ)

กฎที่		ขนาด λ
9	PAD	
	9.1 ความกว้างน้อยสุด	90 um
	9.2 ระยะห่างน้อยสุด	50 um

จากตารางที่ 4.1 จะใช้เป็นแนวทางสำหรับการออกแบบโครงสร้างทดสอบ (Test Structure) โดยมีวัตถุประสงค์เพื่อทดสอบคุณสมบัติของเอ็นมอสทรานซิสเตอร์ได้แก่ โครงสร้างทดสอบค่าความหนาของชั้นออกไซด์ โครงสร้างทดสอบค่าความต้านทานแผ่นของชั้นฟิล์มและชั้นแพร่อะตอมสารเจือ โครงสร้างทดสอบรูเชื่อมต่อและโครงสร้างเอ็นมอสทรานซิสเตอร์ที่ขนาดต่างๆ โดยใช้โปรแกรม L-edit V10.4 ในการออกแบบ

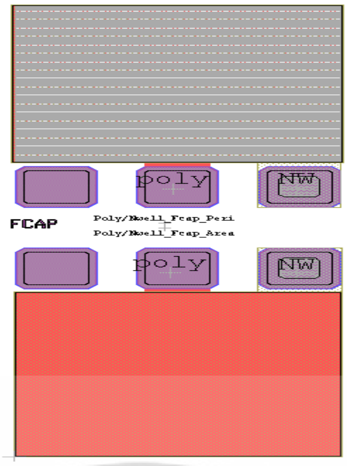
4.2.1 โครงสร้างทดสอบค่าความหนาของชั้นออกไซด์

โครงสร้างทดสอบค่าความหนาของชั้นออกไซด์ ซึ่งภายในโครงสร้างมอสทรานซิสเตอร์มีชั้นออกไซด์ทั้งหมด 4 ชั้น คือ ชั้นเกทออกไซด์ (Gate Oxide), ชั้นฟิลด์ออกไซด์ (Field Oxide), ชั้นอินเตอร์เลเยอร์ไดอิเล็กตริก (Inter-layer Dielectric: ILD) และชั้นอินเตอร์เมทเทิลไดอิเล็กตริก (Inter-Metal Dielectric: IMD) ดังรูปที่ 4.12 -4.15

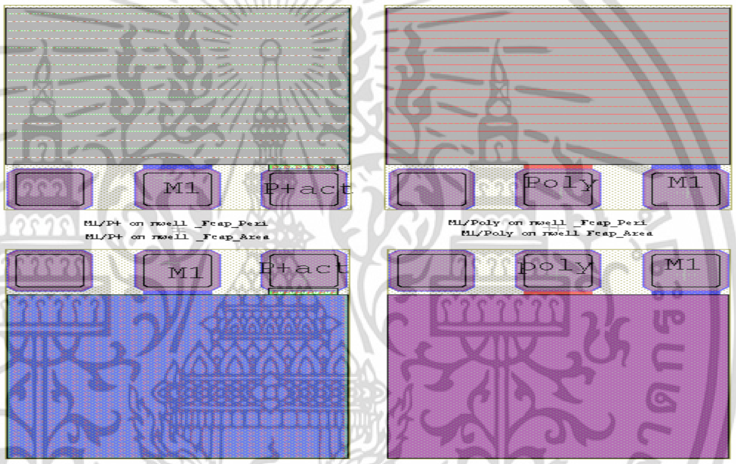


รูปที่ 4.12 โครงสร้างทดสอบค่าความหนาของชั้นเกทออกไซด์ที่ออกแบบ

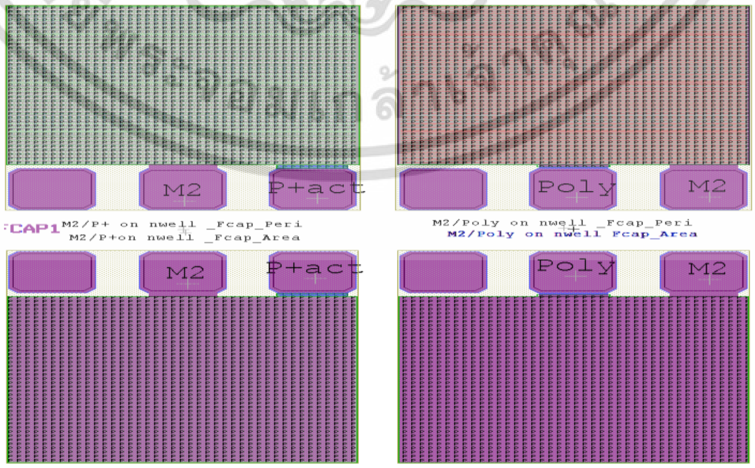
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 โครงสร้างทดสอบค่าความหนาของชั้นฟิลด์ออกไซด์ที่ออกแบบ



รูปที่ 4.14 โครงสร้างทดสอบค่าความหนาของชั้นอินเตอร์เลเยอร์ไดอิเล็กตริก (ILD) ที่ออกแบบ



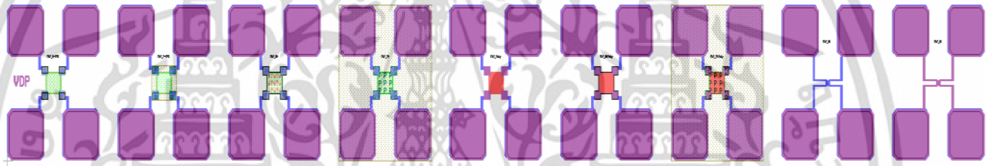
รูปที่ 4.15 โครงสร้างทดสอบค่าความหนาของชั้นอินเตอร์เมทเทิลไดอิเล็กตริก (IMD) ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่าความหนาชั้นออกไซด์ ภายในโครงสร้างมอสทรานซิสเตอร์ทั้ง 4 ชั้นจะทำโดยการนำเอาโครงสร้างทดสอบค่าความหนาของชั้นออกไซด์ที่ออกแบบไว้ไปทำการวัดค่าความจุไฟฟ้าโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้า จากนั้นทำการแปลงค่าความจุไฟฟ้าเป็นค่าความหนาชั้นออกไซด์

4.2.2 โครงสร้างทดสอบค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม

โครงสร้างทดสอบค่าความต้านทานแผ่นโดยใช้โครงสร้าง Van Der Pauw (VDP) [22-25] ซึ่งภายในโครงสร้างมอสทรานซิสเตอร์มีชั้นแพร่อะตอมสารเจือและชั้นฟิล์มทั้งหมด 9 ชั้น คือ ชั้นแพร่อะตอมสารเจือ N-well, ชั้นแพร่อะตอมสารเจือ P-well, ชั้นแพร่อะตอมสารเจือ n^+, ชั้นแพร่อะตอมสารเจือ p^+, ชั้นฟิล์มโพลีซิลิคอน (Poly Silicon: Poly), ชั้นฟิล์มโพลีซิลิคอน n^+ (N^+Poly Silicon: Poly), ชั้นฟิล์มโพลีซิลิคอน p^+ (P^+ Poly Silicon: Poly), ชั้นฟิล์มโลหะ1 (Metal 1: M1) และชั้นฟิล์มโลหะ 2 (Metal 2: M2) ดังรูปที่ 4.16

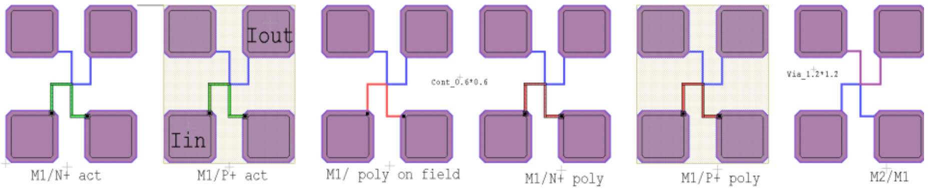


รูปที่ 4.16 โครงสร้างทดสอบค่าความต้านทานแผ่นที่ออกแบบ

การหาค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์มจะใช้หลักการป้อนกระแส (I_{FORCE}) คงที่ 1 mA ไหลผ่านไปยังขั้ว I_{OUT} ที่ต่อลงกราวด์ จากนั้นทำการวัดแรงดันไฟฟ้าตกคร่อมขั้ว V_H และ V_L

4.2.3 โครงสร้างทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆ

โครงสร้างทดสอบค่าความต้านทานรูเชื่อมต่อโดยใช้โครงสร้างเคลวิน (Kelvin Structure) [26-30] ซึ่งภายในโครงสร้างมอสทรานซิสเตอร์มีรูเชื่อมต่อระหว่างชั้นต่างๆทั้งหมด 4 แบบ คือรูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น p^+, รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น n^+, รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้นโพลีซิลิคอน และรูเชื่อมต่อระหว่างชั้นโลหะ 2 กับชั้นโลหะ 1 ดังรูปที่ 4.17



รูปที่ 4.17 โครงสร้างทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

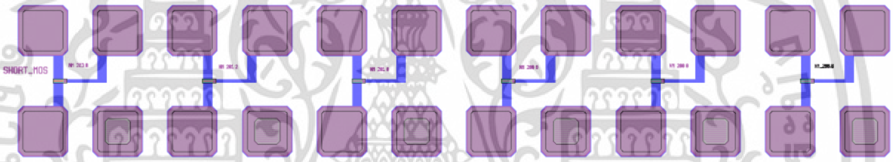
การหาค่าความต้านทานของรูเชื่อมต่อต่างๆสามารถทำได้โดยการป้อนกระแสคงที่ 1 mA เข้าที่ขั้ว I_{in} ให้กระแสผ่านไปยัง I_{OUT} และวัดแรงดันตกคร่อม

4.2.4 โครงสร้างทดสอบค่าคุณสมบัติมอสทรานซิสเตอร์

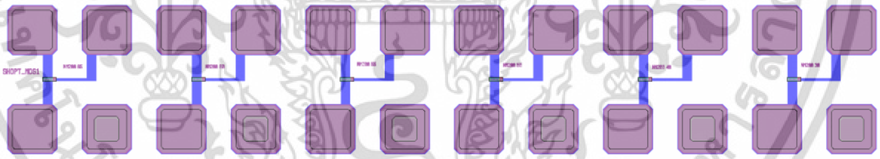
โครงสร้างทดสอบค่าคุณสมบัติมอสทรานซิสเตอร์ ได้ออกแบบเอ็นมอสทรานซิสเตอร์ที่มีขนาดความกว้างและความยาวของช่องทางเดินกระแสขนาดต่างๆ

กลุ่มโครงสร้างช่องทางเดินกระแสสั้น (Short Mos) (W/L = 20/20, 20/3.0, 20/1.2, 20/1.0, 20/0.8, 20/0.7, 20/0.65, 20/0.6, 20/0.55, 20/0.5, 20/0.4, 20/0.3) และกลุ่มของช่องทางเดินกระแสแคบ (Narrow Mos) (*W/L* =0.9/20, 1.2/20, 1.5/20, 1.8/20, 2.1/20, 2.4/20, 3.0/20, และ 3.6/20) (หน่วยเป็น μm/μm)

การออกแบบโครงสร้างมี 2 ลักษณะ คือ โครงสร้างมอสทรานซิสเตอร์แบบเดี่ยว (Single MOS) ดังรูปที่ 4.18 และโครงสร้างมอสทรานซิสเตอร์แบบอาร์เรย์ (Array MOS) ซึ่งมี 2 โครงสร้าง ได้แก่ L-array MOS และ W-array MOS ดังรูปที่ 4.19 และรูปที่ 4.20 ตามลำดับ

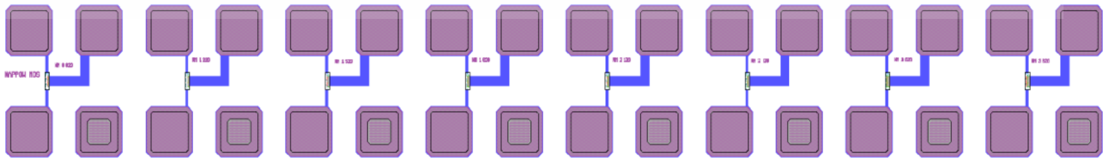


(ก) Short MOS (W= 20, L= 0.6, 0.8, 0.9, 1.0, 1.2 และ 3.0 μm)



(ข) Short MOS 1 (W= 20, L= 0.3, 0.4, 0.5, 0.55, 0.6 และ 0.65 μm)

ในรูปที่ 4.18 (ก) และ (ข) จะเป็นโครงสร้างของมอสทรานซิสเตอร์แบบเดียว (Single Mos) ในกลุ่ม Short Mos

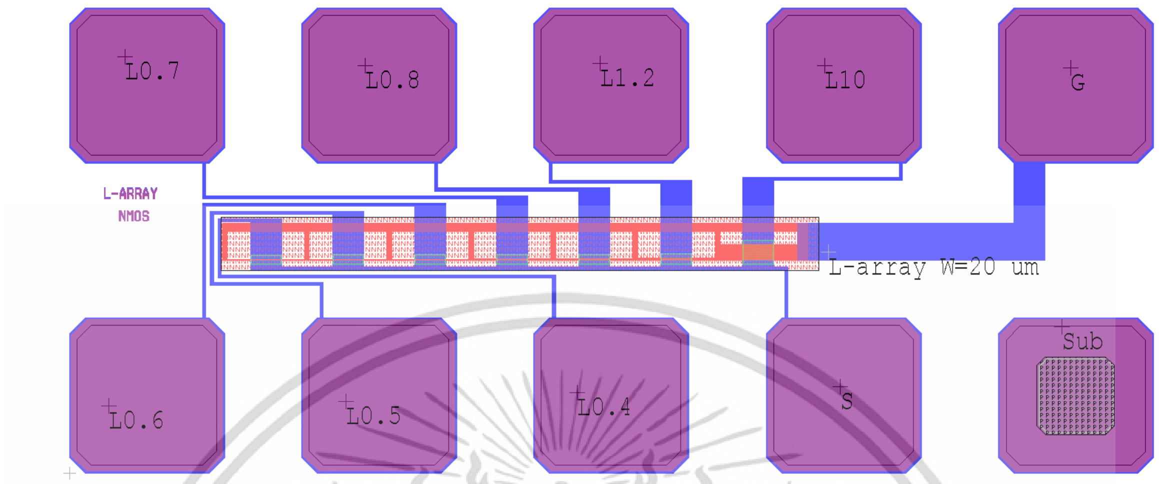


(ค) Narrow MOS (L = 20, W= 0.9, 1.2, 1.5, 1.8, 2.1, 2.4, 3.0 และ 3.6 μm)

รูปที่ 4.18 โครงสร้างมอสทรานซิสเตอร์แบบเดี่ยว

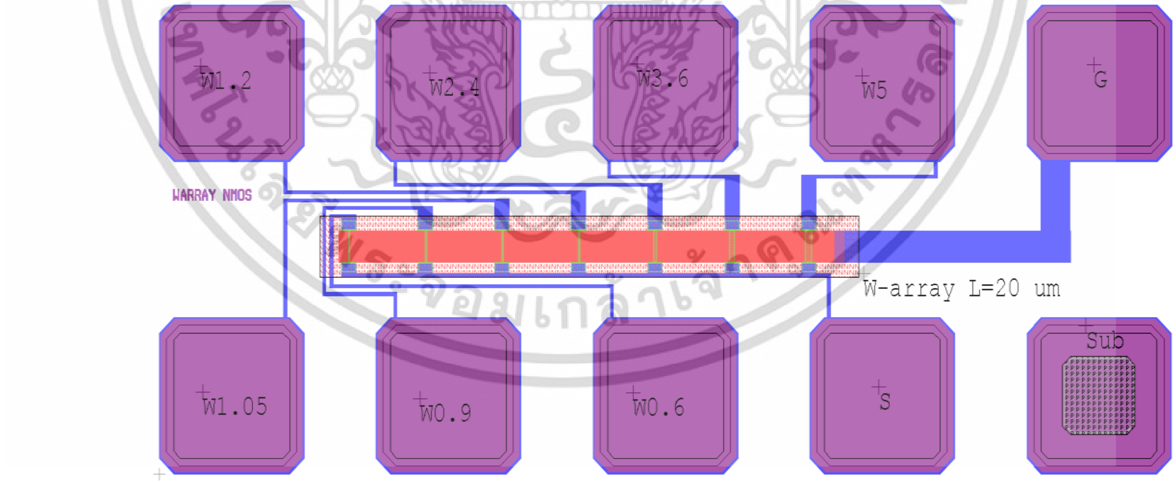
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 4.18 (ค) จะเป็นโครงสร้างของมอสทรานซิสเตอร์แบบเดียว (Single Mos) ในกลุ่ม Narrow Mos



รูปที่ 4.19 โครงสร้างมอสทรานซิสเตอร์แบบ L-array
(W=20, L= 0.4, 0.5, 0.6, 0.7, 0.8, 1.2, 10 µm)

ในรูปที่ 4.19 จะเป็นโครงสร้างของมอสทรานซิสเตอร์แบบอาร์เรย์ (Array Mos) ในกลุ่ม L-array



รูปที่ 4.20 โครงสร้างมอสทรานซิสเตอร์แบบ W-array
(L=20, W=0.6, 0.9, 1.05, 1.2, 2.4, 3.6, 5 µm)

ในรูปที่ 4.20 จะเป็นโครงสร้างของมอสทรานซิสเตอร์แบบอาร์เรย์ (Array Mos) ในกลุ่ม W-array

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 กระบวนการสร้างเอ็นมอสทรานซิสเตอร์

ในงานวิจัยนี้ได้ทำการศึกษาเอ็นมอสทรานซิสเตอร์ที่ถูกสร้างขึ้นที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) โดยการสร้างเอ็นมอสทรานซิสเตอร์ลงบนฐานรองซิลิคอนชนิดพีที่มีสภาพความต้านทาน 20 Ohm-cm มีขนาดเส้นผ่านศูนย์กลาง 6 นิ้ว

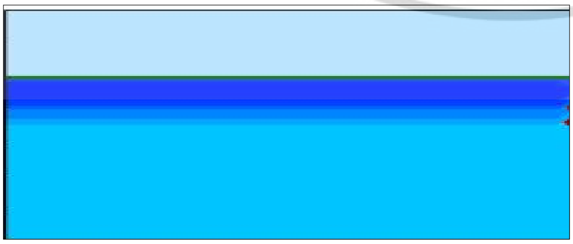
ในกระบวนการสร้างเอ็นมอสทรานซิสเตอร์นั้นจะใช้กระบวนการพื้นฐานทั้งหมดที่ได้กล่าวไว้ในหัวข้อที่ 4.1 ซึ่งมีขั้นตอนการสร้างรวมกันหลายร้อยขั้นตอน แต่สามารถแบ่งเป็น 2 กระบวนการหลักๆคือ Front end-of-the-line (FEOL) และ Back end-of-the-line (BEOL) สำหรับขั้นตอนการสร้างเอ็นมอสทรานซิสเตอร์จะแสดงดังรูปที่ 4.21 และ รูปที่ 4.22

4.3.1 Front end-of-the-line (FEOL)

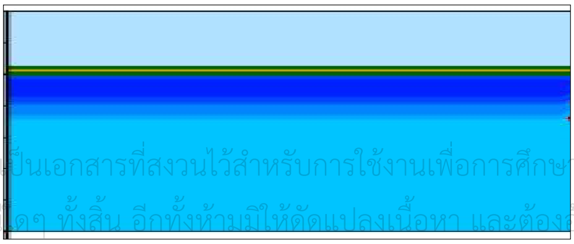
สามารถสรุปกระบวนการสร้างในส่วนของ Front end-of-the-line (FEOL) ได้ดังรูปที่ 4.21

ขั้นตอนการสร้างออกไซด์บนฐานรองซิลิคอนชนิดพีระนาบ (100) สภาพต้านทาน 20 โอห์ม-เซนติเมตร

ขั้นตอนการสร้างบ่อแยกชนิดพีด้วยการยิงฝังประจุโบรอน

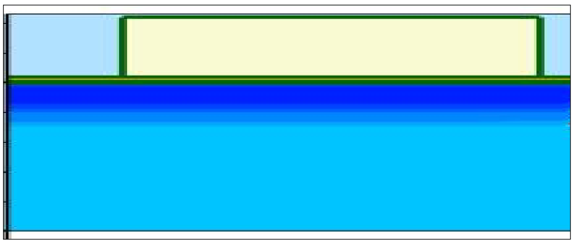


ขั้นตอนการขับลึก

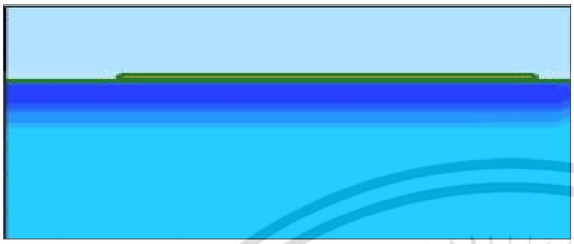


ขั้นตอนการสร้างออกไซด์/ไนไตรด์

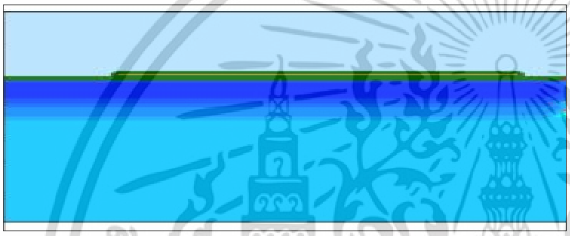
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



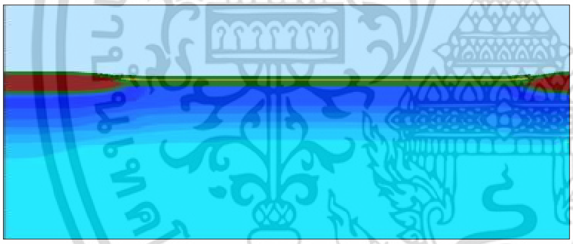
ขั้นตอนการเลือกพื้นที่ Active



ขั้นตอนการกัดไนไตรด์และลอกน้ำยาไวแสง

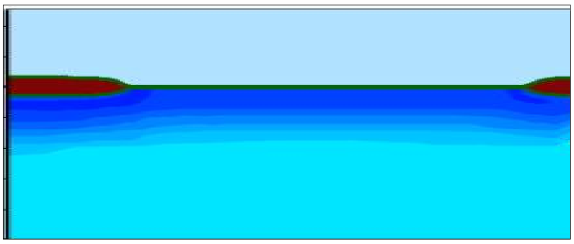


ขั้นตอนการยิงฝังประจุในส่วนของ LOCOS



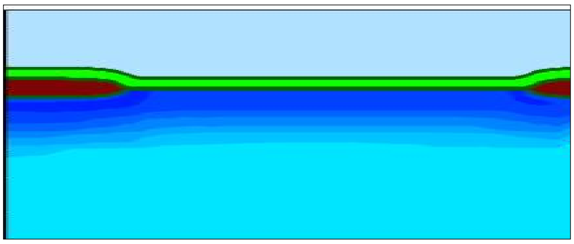
ขั้นตอนการสร้าง LOCOS หนาประมาณ 650 nm

ขั้นตอนการลอกไนไตรด์/ออกไซด์

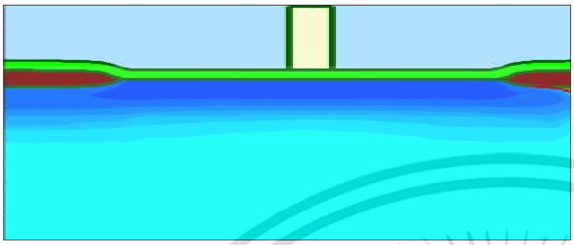


ขั้นตอนการสร้างเกทอ็อกไซด์และยิงประจุสำหรับการปรับแรงดันขีดเริ่ม

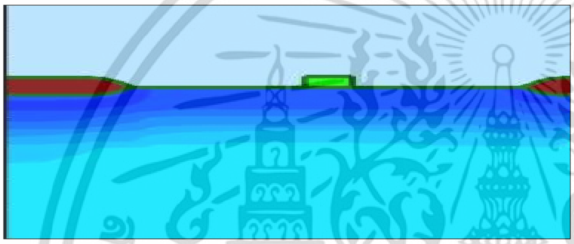
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



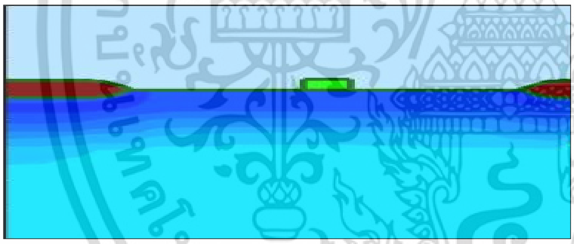
ขั้นตอนการสร้างโพลีออกไซด์และยิงฝังประจุของโพลีเกท



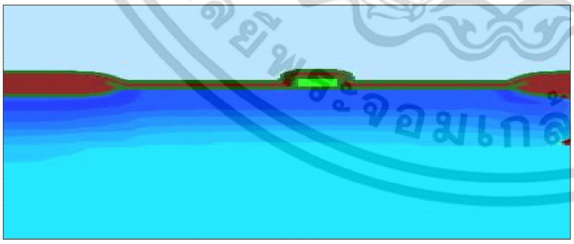
ขั้นตอนการสร้างโพลีซิลิกอน และกัดโพลีเกทเพื่อกำหนดความยาวช่องทางเดินกระแส



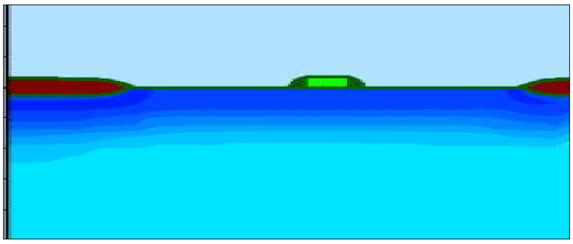
ขั้นตอนการกัดน้ำยาไวแสง



ขั้นตอนการสร้างยิงฝังประจุ LDD

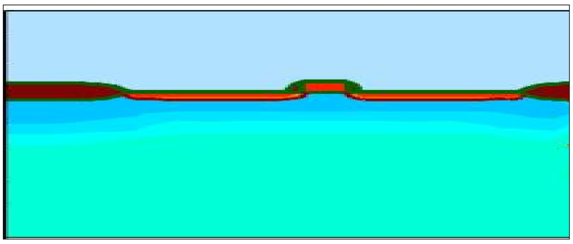


ขั้นตอนการสร้างออกไซด์สเปเซอร์



ขั้นตอนการกัดออกไซด์สเปเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

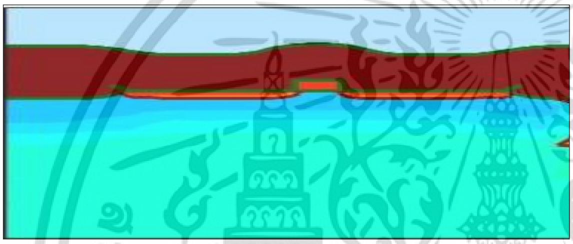


ขั้นตอนการยิงฝังประจุในส่วนของซอสและเดรน

รูปที่ 4.21 กระบวนการสร้างในส่วนของ Front end-of-the-line (FEOL)

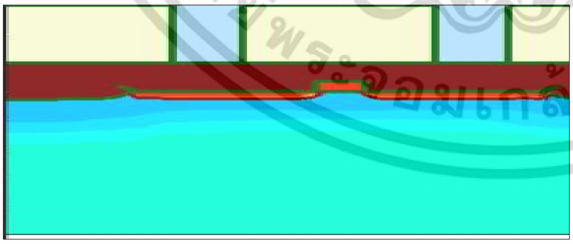
4.3.2 Back end-of-the-line (BEOL)

สามารถสรุปกระบวนการสร้าง ในส่วนของ Back end-of-the-line (BEOL) ได้ดังรูปที่ 4.22

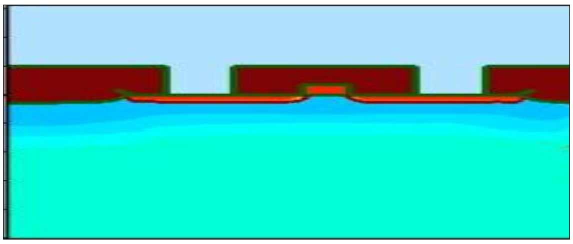


ขั้นตอนการปลูกชั้นฉนวน

ขั้นตอนทำให้เรียบ

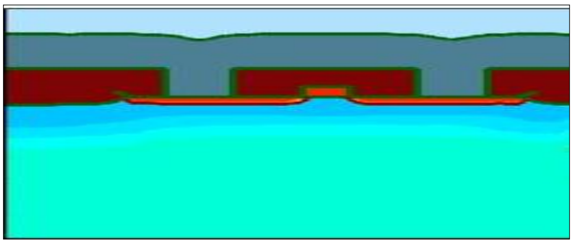


ขั้นตอนสร้างรอยต่อฐานรองกับโลหะชั้นที่1

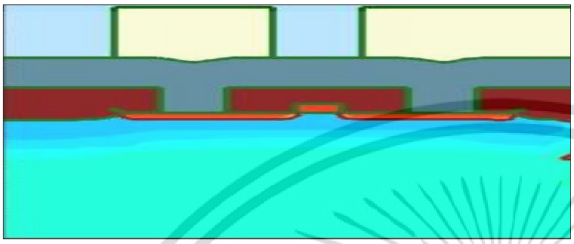


ขั้นตอนการกัดออกไซด์และลอกไวแสง

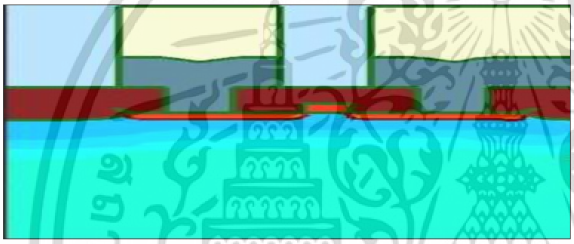
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



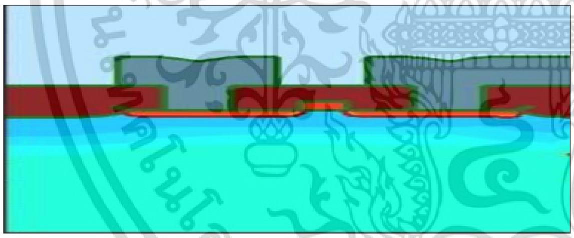
ขั้นตอนปลูกชั้นโลหะตัวนำชั้นที่ 1



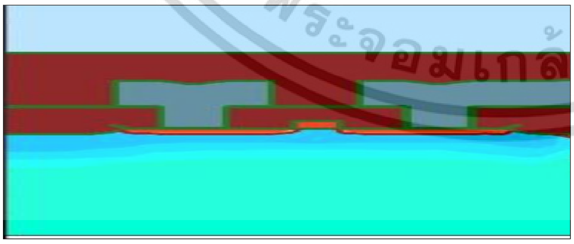
ขั้นตอนลวดลายโลหะชั้นที่ 1



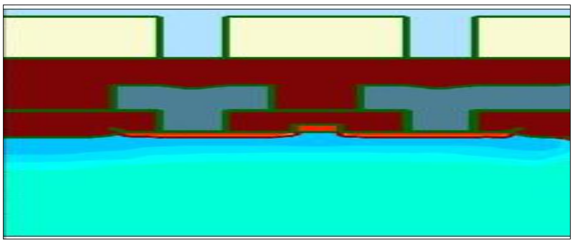
ขั้นตอนการกัดโลหะตัวนำชั้นที่ 1



ขั้นตอนการลอกไวแสง

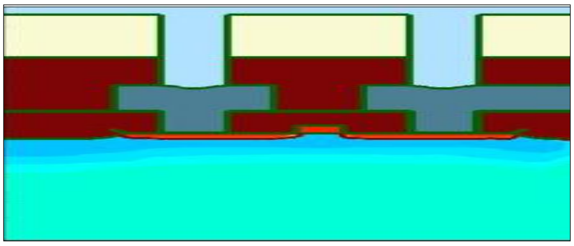


ขั้นตอนปลูกชั้นฉนวนและทำให้เรียบ

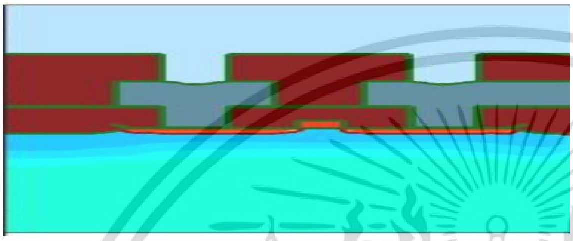


ขั้นตอนรอยต่อระหว่างโลหะ

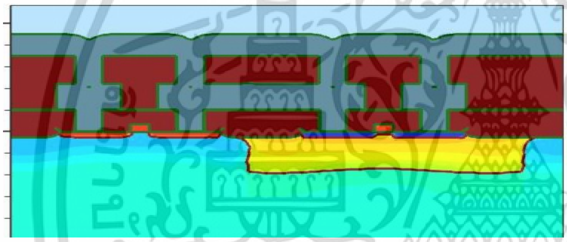
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ขั้นตอนกัดชั้นฉนวน



ขั้นตอนลอกน้ำยาไวแสง



ขั้นตอนการสร้างลวดลายเชื่อมต่อภายนอก

รูปที่ 4.22 กระบวนการสร้างในส่วนของ Backend-of-the-line (BEOL)

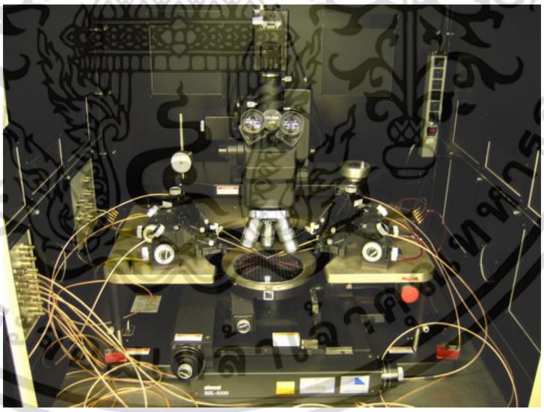
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลองและวิเคราะห์ผล

ในบทนี้กล่าวถึงผลการทดสอบคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ทุกแผ่นเงื่อนไข, การทดสอบค่าความต้านทานของชั้นต่างๆและความต้านทานของรูเชื่อมต่อเพื่อหาแผ่นเงื่อนไขที่เหมาะสมตรงตามลักษณะทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ที่ใช้อ้างอิง [31] จากนั้นนำแผ่นที่สนใจไปศึกษาคุณสมบัติทางไฟฟ้าจากโครงสร้างทดสอบ และนำแผ่นเงื่อนไขดังกล่าวไปหาค่าคุณสมบัติทางไฟฟ้าอย่างละเอียดเพื่อถอดแบบจำลองพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์

5.1 เครื่องมือที่ใช้ในการทดสอบ

ในขั้นตอนการทดสอบเอ็นมอสทรานซิสเตอร์ ใช้ชุดเครื่องมือวัดค่าคุณสมบัติทางไฟฟ้าซึ่งประกอบด้วยเครื่อง Probe Station Cascade M 150, HP B1500A Precision Semiconductor Parameter Analyzer ซึ่งเป็นชุดเครื่องมือวัดค่าคุณสมบัติทางไฟฟ้าของอุปกรณ์สารกึ่งตัวนำ ตั้งอยู่ที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ โดยสั่งงานผ่านคอมพิวเตอร์ควบคุมการวัดดังรูปที่ 5.1



รูปที่ 5.1 Probe Station Cascade M 150

5.2 การทดสอบคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์

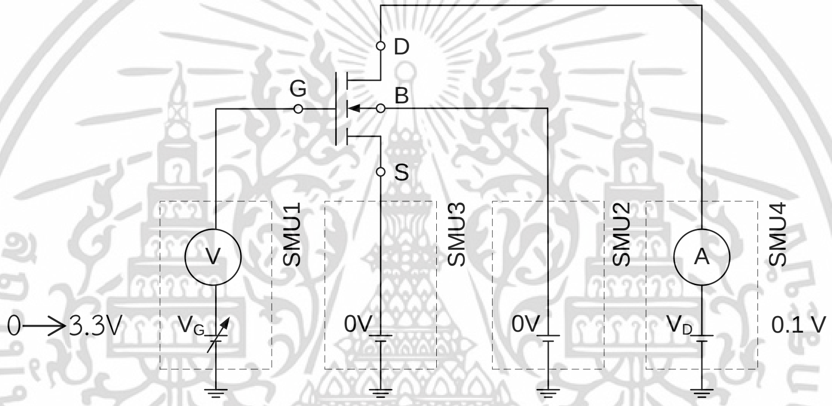
การทดสอบคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ ได้แก่ การทดสอบค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์, การทดสอบค่าความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรน การทดสอบค่าแรงดันขีดเริ่มของฟิลด์มอสทรานซิสเตอร์, การทดสอบค่ากระแสรั่วและแรงดันพันช์ทรู, และการทดสอบผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 วิธีการทดสอบเพื่อศึกษาค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

ค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ (Threshold Voltage:V_T) คือค่าแรงดันต่ำที่สุดของแรงดันระหว่างเกทและซอสที่เหนี่ยวนำทำให้เกิดช่องทางกระแส เพื่อทำให้เกิดการไหลของกระแสเดรน ซึ่งค่าแรงดันขีดเริ่มนั้นจะขึ้นอยู่กับความหนาของชั้นเกทออกไซด์และความเข้มข้นของชั้นฐานรอง โดยสามารถควบคุมได้ในขั้นตอนกระบวนการสร้าง

การทดสอบค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ ซึ่งทดสอบที่ย่านทำงานเชิงเส้น (Linear Region) ทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้า ซึ่งมีวงจรการทดสอบดังรูปที่ 5.2 เอ็นมอสทรานซิสเตอร์จะถูกป้อนแรงดันที่ขั้วเดรน 0.1 V (V_{DS} = 0.1 V) ป้อนแรงดันขั้วเกทตั้งแต่ 0 ถึง 3.3 V ($V_{GS} = 0 \longrightarrow 3.3$ V) (1 V/Step) และขั้วซอสและฐานรองต่อกับกราวด์



รูปที่ 5.2 วงจรการทดสอบค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ที่ย่านเชิงเส้น

จากการทดสอบจะได้ค่าความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทที่ย่านเชิงเส้น ซึ่งค่าแรงดันขีดเริ่มสามารถหาได้จากจุดตัดแกน X ของกระแสที่มีค่าความชันสูงสุด (Maximum Slope) หรือค่าความนำถ่ายโอน (Tranconductance:g_m) [32-36] สูงสุดลบด้วย $V_{DS}/2$ ซึ่งสามารถอธิบายได้ดังต่อไปนี้

จากสมการกระแสเดรนในย่านเชิงเส้น

$$I_D = \beta\left[\left(V_{GS} - V_T\right)V_{DS} - \frac{{V_{DS}}^2}{2}\right] \tag{5.1}$$

ที่จุดตัดแกน X ค่า $I_D = 0$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$0=\beta\left[\left(V_{GS}-V_{T}\right)V_{DS}-\frac{V_{DS}^{2}}{2}\right] \tag{5.2}$$

ดังนั้น

$$0=\left(V_{GS}-V_{T}\right)-\frac{V_{DS}}{2} \tag{5.3}$$

เขียนใหม่เป็น

$$V_{\mathrm{GS}}=V_{\mathrm{T}}+\frac{V_{\mathrm{DS}}}{2} \tag{5.4}$$

เพราะฉะนั้น

$$V_{T}=V_{GS}-\frac{V_{DS}}{2} \tag{5.5}$$

5.2.2 ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ในทุกแผ่นเงื่อนไข

ในขั้นแรกจะศึกษาค่าแรงดันขีดเริ่มในทุกแผ่นเงื่อนไขของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20) เพราะสามารถตัดผลกระทบจากปรากฏการณ์ช่องทางเดินกระแสสั้น (Short Channal Effect) และช่องทางเดินกระแสแคบ (Narrow Channal Effect)

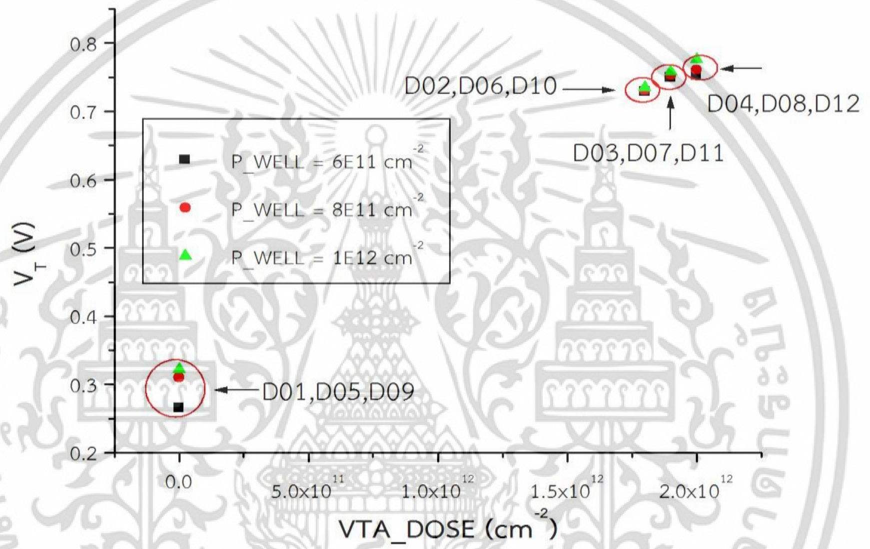
ตารางที่ 5.1 ค่าแรงดันขีดเริ่มของมอสเฟทตัวใหญ่ในทุกแผ่นเงื่อนไขที่ W/L = 20/20

แผ่นทดสอบ	P-WELL IMPLANT DOSE ที่ 140 keV	VTA IMPLANT DOSE ที่ 70 keV	ค่าแรงดันขีดเริ่ม
D01	6×10^{11} cm^{-2}	No implant	0.266
D02		1.8×10^{12} cm^{-2}	0.729
D03		1.9×10^{12} cm^{-2}	0.75
D04		2.0×10^{12} cm^{-2}	0.753
D05	8×10^{11} cm^{-2}	No implant	0.31
D06		1.8×10^{12} cm^{-2}	0.731
D07		1.9×10^{12} cm^{-2}	0.753
D08		2.0×10^{12} cm^{-2}	0.761
D09	1×10^{12} cm^{-2}	No implant	0.322

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 (ต่อ)

แผ่นทดสอบ	P-WELL IMPLANT DOSE ที่ 140 keV	VTA IMPLANT DOSE ที่ 70 keV	ค่าแรงดันขีดเริ่ม
D10	1×10^{12} cm^{-2}	1.8×10^{12} cm^{-2}	0.75
D11		1.9×10^{12} cm^{-2}	0.758
D12		2.0×10^{12} cm^{-2}	0.776



รูปที่ 5.3 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับปริมาณโดสยิงฝังประจุ VTA และปริมาณความเข้มข้นการยิงฝังประจุบ่อแยกชนิดพีค่าต่างๆที่ W/L = 20/20

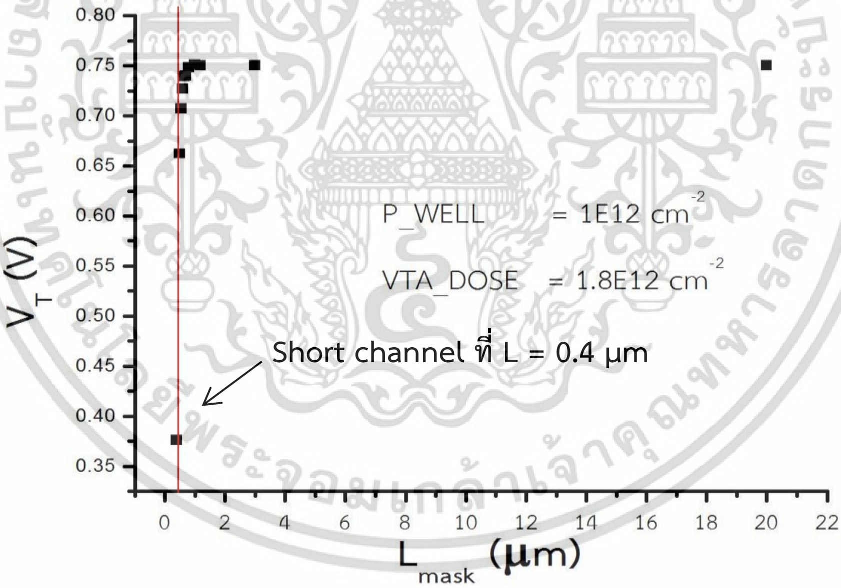
จากค่าของแรงดันขีดเริ่มพบว่าเมื่อค่าปริมาณโดส VTA มีค่ามากขึ้นจะทำให้แรงดันขีดเริ่มมีค่าเพิ่มขึ้น ทั้งนี้เนื่องมาจากค่าของ VTA ทำให้ความหนาแน่นของพาหะในช่องทางเดินกระแสมีค่ามากขึ้น จึงทำให้ค่าของแรงดันไฟฟ้าในการทำให้เกิดเป็นชั้นกลับมีค่ามากขึ้น หมายถึงค่าของแรงดันขีดเริ่มเพิ่มขึ้นนั้นเอง

ในกรณีที่มีการเปลี่ยนแปลงปริมาณโดสของค่า P-Well พบว่าปริมาณโดสของ P-well มีผลต่อค่าแรงดันขีดเริ่ม โดยค่าแรงดันขีดเริ่มเพิ่มตามปริมาณโดส P-Well แต่อย่างไรก็ตามปริมาณโดส P-Well มีผลต่อค่าแรงดันขีดเริ่มน้อยกว่าเมื่อเทียบกับปริมาณโดส VTA ในที่นี้ได้เลือกแผ่นที่มีปริมาณโดส P-Well 1×10^{12} cm^{-2}, ปริมาณโดส VTA 1.8×10^{12} cm^{-2} มาเป็นแผ่นศึกษาและหาค่าของแบบจำลองพารามิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

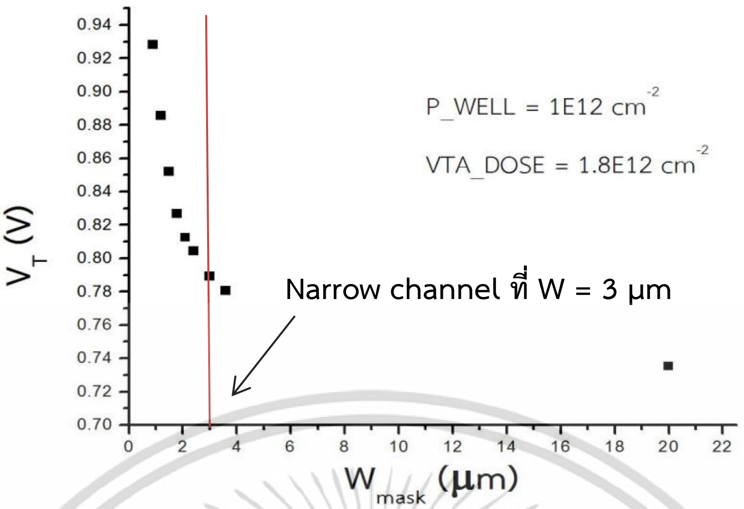
ตารางที่ 5.2 ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ทุกขนาดของแผ่นที่ทำการศึกษา

W/L	แรงดันขีดเริ่ม (V)	W/L	แรงดันขีดเริ่ม (V)
20/20	0.75	3.6/20	0.780
20/3	0.75	3/20	0.789
20/1.2	0.75	2.4/20	0.804
20/1	0.751	2.1/20	0.812
20/0.8	0.748	1.8/20	0.827
20/0.7	0.740	1.5/20	0.852
20/0.65	0.739	1.2/20	0.885
20/0.6	0.727	0.9/20	0.928
20/0.55	0.707	20/0.4	0.376
20/0.5	0.662		



รูปที่ 5.4 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับความยาวช่องทางเดินกระแสของแผ่นที่ทำการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มกับความกว้างช่องทางเดินกระแสของแผ่นที่ทำการศึกษา

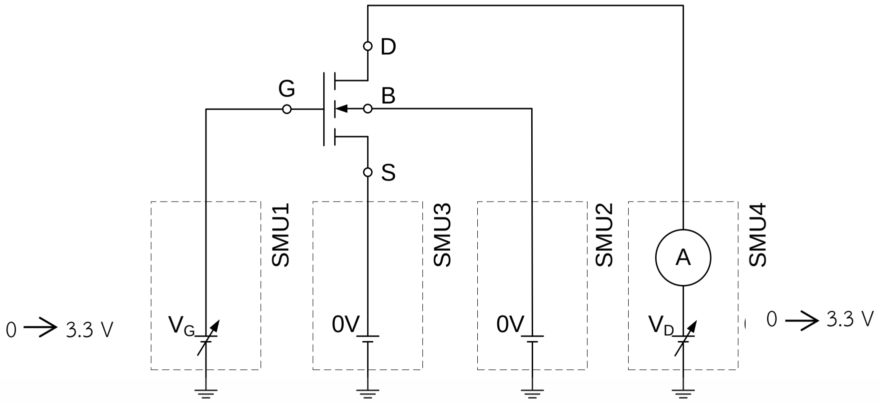
จากรูปที่ 5.4 พบว่าค่าแรงดันขีดเริ่มมีค่าประมาณ 0.75 V และแรงดันขีดเริ่มลดลงอย่างรวดเร็วที่ค่าความยาวของช่องทางเดินกระแสน้อยกว่าหรือเท่ากับ 0.4 μm กล่าวได้ว่าในกระบวนการสร้างของเอ็นมอสทรานซิสเตอร์ 0.5 μm เกิดปรากฏการณ์ของ Short channel ที่ความยาวของช่องทางเดินกระแสน้อยกว่าหรือเท่ากับ 0.4 μm

จากรูปที่ 5.5 พบว่าค่าแรงดันขีดเริ่มมีค่าเพิ่มขึ้นอย่างรวดเร็วเมื่อความกว้างของช่องทางเดินกระแสมีค่าน้อยกว่า 3 μm กล่าวได้ว่าในกระบวนการสร้างของเอ็นมอสทรานซิสเตอร์ 0.5 μm เกิดปรากฏการณ์ของ Narrow channel ที่ความกว้างของช่องทางเดินกระแสน้อยกว่าหรือเท่ากับ 3 μm

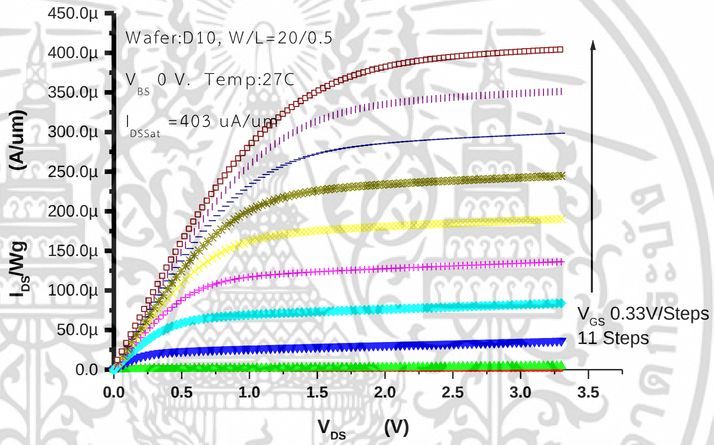
5.2.3 การทดสอบเพื่อศึกษาความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรนของเอ็นมอสทรานซิสเตอร์ที่ค่าแรงดันเกทค่าต่างๆ

การทดสอบความสัมพันธ์ระหว่างกระแสเดรน (I_D) และแรงดันเดรน (V_{DS}) ของมอสทรานซิสเตอร์ สามารถวัดค่าโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการวัดดังรูปที่ 5.6 โดยเอ็นมอสทรานซิสเตอร์ถูกป้อนแรงดันที่ขั้วเดรน 0 ถึง 3.3 V, V_{DS} = 0⟶3.3 V (0.33 V/step) ที่แรงดันขั้วเกทค่าต่างๆ ตั้งแต่ 0 ถึง 3.3 V, V_{GS} = 0⟶3.3 V (0.33 V/step) และขั้วซอสและฐานรองต่อกับกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 วงจรการทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนของเอ็นมอสทรานซิสเตอร์



รูปที่ 5.7 ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรนของเอ็นมอสทรานซิสเตอร์ที่ค่าแรงดันเกทค่าต่างๆ

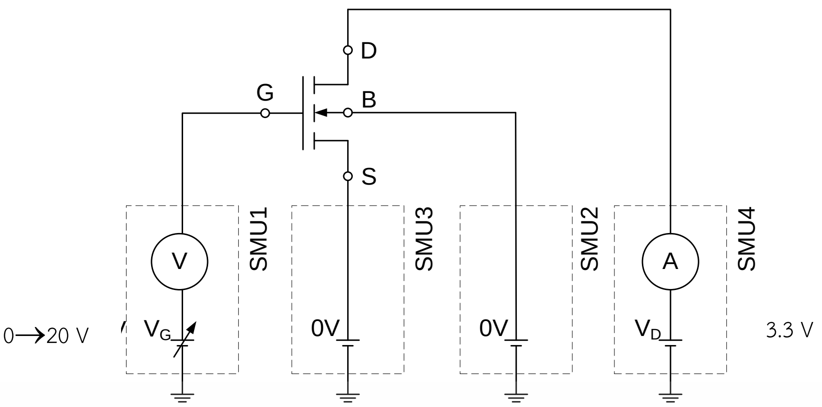
จากรูปที่ 5.7 พบว่ากระแสเดรนอิ่มตัวที่ V_{GS} = V_{DS} = 3.3 V มีค่าเป็น 403 μA/μm

5.2.4 การทดสอบเพื่อศึกษาค่าแรงดันขีดเริ่มของฟิลด์มอสทรานซิสเตอร์

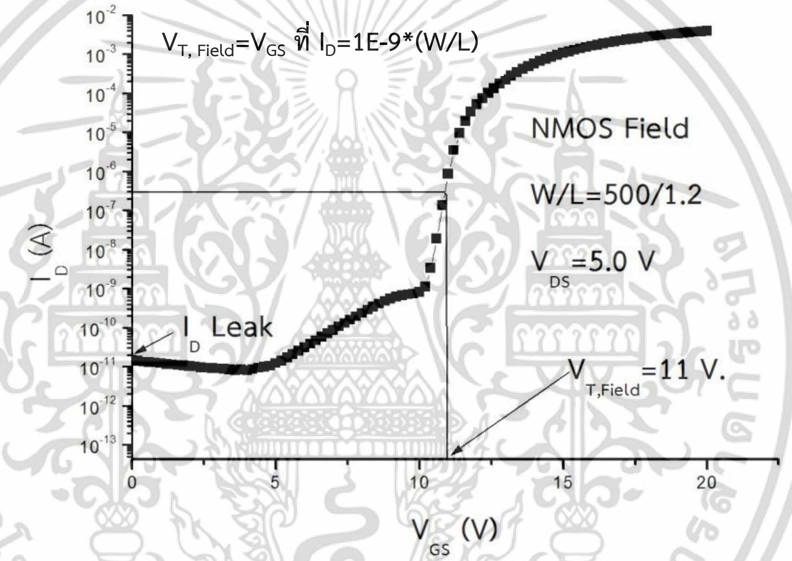
การทดสอบนี้เป็นการทดสอบเพื่อหาค่าแรงดันน้อยที่สุดที่สามารถเหนี่ยวนำให้เกิดช่องทางเดินกระแสใต้ชั้นฟิลด์ออกไซด์ ซึ่งชั้นฟิลด์ออกไซด์เป็นชั้นระหว่างชั้นโพลีซิลิคอนกับฐานรองเพื่อป้องกันการใช้แรงดันเกินขีดจำกัด ซึ่งจะทำให้กระแสไหลข้ามระหว่างมอสทรานซิสเตอร์

การทดสอบค่าแรงดันขีดเริ่มของฟิลด์มอสทรานซิสเตอร์ ทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการทดสอบดังรูปที่ 5.8 โดยเอ็นมอสทรานซิสเตอร์ถูกป้อนแรงดันที่ขั้วเดรน 3.3 V (V_{DS} = 3.3 V) ป้อนแรงดันขั้วเกทตั้งแต่ 0 ถึง 20 V, V_{GS} = 0 ⟶ 20 V (1V/step) และขั้วซอสและฐานรองต่อกับกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 วงจรการทดสอบค่าแรงดันขีดเริ่มของเอ็นฟิลด์มอสทรานซิสเตอร์



รูปที่ 5.9 ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นฟิลด์มอสทรานซิสเตอร์

จากรูปที่ 5.9 จะเห็นได้ว่ากระแสเดรน (I_D) มีการไหลอย่างรวดเร็วที่ V_{GS} มีค่า 11 V นั้นแสดงว่าแรงดันขีดเริ่มของเอ็นฟิลด์มอสทรานซิสเตอร์มีค่า 11 V ซึ่งมาจากความสัมพันธ์ $V_{T,\,Field} = V_{GS}$ ที่ $I_D = 1\times10^{-9}$ (W/L)

5.2.5 การทดสอบเพื่อศึกษาค่าแรงดันพันช์ทรูและกระแสรั่วของเอ็นมอสทรานซิสเตอร์

การทดสอบค่าแรงดันพันช์ทรูเป็นการทดสอบในขณะที่ค่า V_{GS} ของเอ็นมอสทรานซิสเตอร์ เท่ากับ 0 V ซึ่งโครงสร้างของเอ็นมอสทรานซิสเตอร์จะประกอบไปด้วยซอส, ฐานรองและเดรน เหมือนกับโครงสร้างของทรานซิสเตอร์ชนิดไบโพลาร์ เมื่อเอ็นมอสทรานซิสเตอร์มีช่องทางเดินกระแสสั้น การได้รับแรงดันระหว่างขั้วเดรนกับซอส (V_{DS}) จะทำให้เกิดการขยายตัวของ

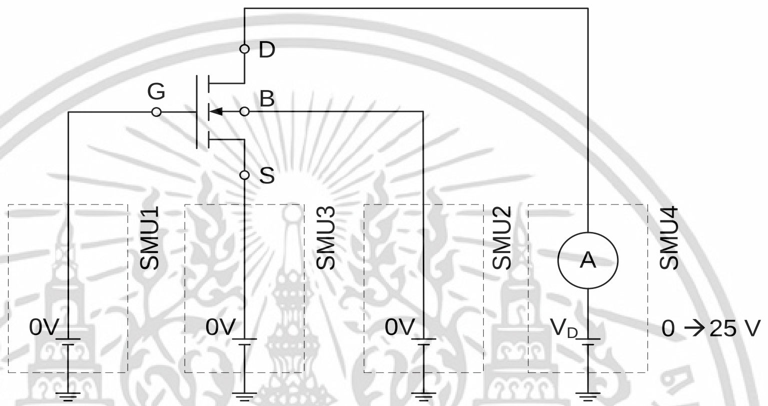
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริเวณปลอดพาหะที่ขั้วเดรน เมื่อได้รับแรงดันมากขึ้น ($V_{DS}\uparrow$) จะทำบริเวณปลอดพาหะจากขั้วเดรนไปชนกับบริเวณปลอดพาหะของขั้วซอส [37]

การทดสอบค่าแรงดันพันช์ทรูสามารถทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการทดสอบดังรูปที่ 5.10

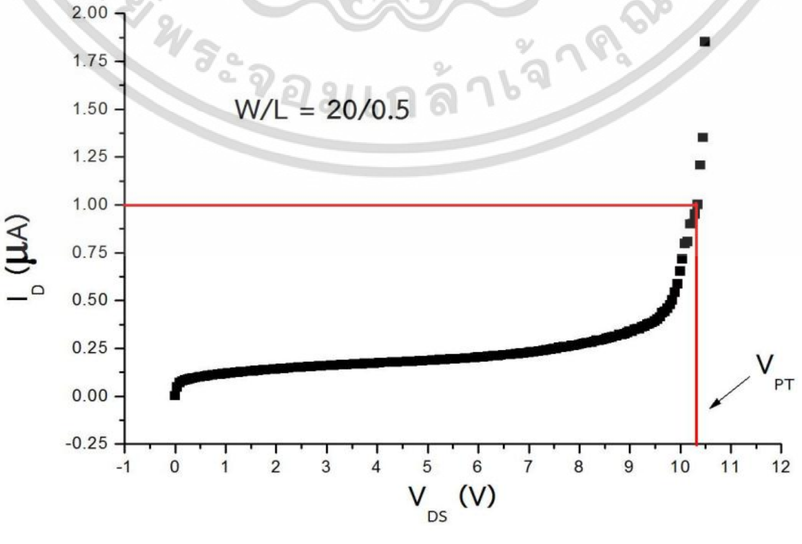
โดยเอ็นมอสทรานซิสเตอร์ถูกป้อนแรงดันที่ขั้วเดรนตั้งแต่ 0 ถึง 25 V

V_{DS} = 0 $\longrightarrow$ 25 V (1V/Step) ป้อนแรงดันขั้วเกท 0 V, (V_{GS} = 0 V) และขั้วซอสและฐานรองต่อกับกราวด์



รูปที่ 5.10 วงจรการทดสอบค่าแรงดันพันช์ทรูและกระแสรั่วของเอ็นมอสทรานซิสเตอร์

ค่าแรงดันพันช์ทรู คือแรงดันเดรนที่ทำให้กระแสเดรนไหลเพิ่มขึ้นอย่างรวดเร็ว ดังรูปที่ 5.11 และค่าแรงดันพันช์ทรูสามารถหาได้จากค่าแรงดันเดรน (V_{DS}) ที่ทำให้กระแสเดรน (I_D) ไหลเท่ากับ 1 μA พบว่าค่าแรงดันพันช์ทรูประมาณ 10.5 V

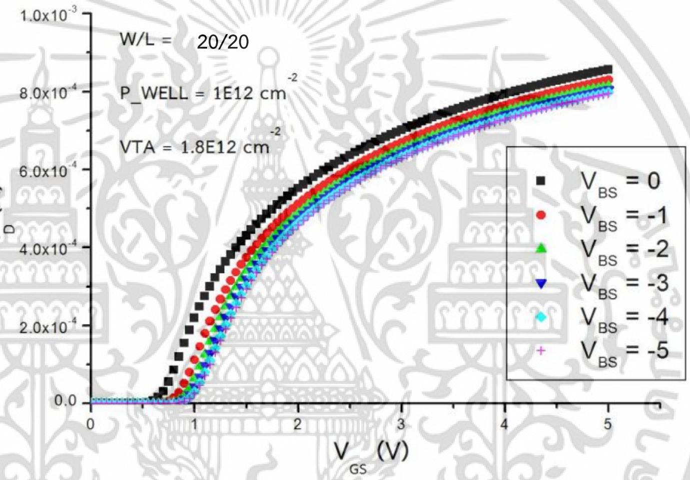


รูปที่ 5.11 ผลของแรงดันพันช์ทรูโดยหาจุดที่กระแสเพิ่มขึ้นอย่างรวดเร็วของเอ็นมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.6 การทดสอบเพื่อศึกษาผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

ในการปฏิบัติงานจริง ความต่างศักย์ระหว่างขั้วซอสและฐานรองที่เกิดขึ้นทั้งที่ต้องการและไม่ต้องการซึ่งทำได้ 2 ลักษณะคือ Substrate Bias และ Backgate Bias ในกรณีที่บอดี้โวลเตจมีค่าเท่ากับ 0 V (V_{BS} = 0 V) ช่องทางเดินกระแสจะเกิดขึ้นได้เมื่อ $\phi_S = 2\phi_F$ แต่ในกรณีเอ็นมอสทรานซิสเตอร์ที่ฐานรองได้รับไบอัส (V_{BS}< 0 V) ช่องทางเดินกระแสเกิดขึ้นเมื่อศักย์ที่ผิวมีค่ามากกว่าปกติ ($\phi_S = 2\phi_F - V_{BS}$ โดย ϕ_F กรณีเอ็นมอสทรานซิสเตอร์มีค่าเป็นบวก) ทำให้แรงดันขีดเริ่มของมอสทรานซิสเตอร์มีค่าเพิ่มขึ้น [32, 38-39] ดังรูปที่ 5.12



รูปที่ 5.12 ผลการไบอัสฐานรองที่มีผลต่อค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์

จากรูปที่ 5.12 แสดงให้เห็นว่าเมื่อแรงดัน $|V_{BS}|$ มีค่าเพิ่มมากขึ้น ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์จะเพิ่มขึ้นตามค่าแรงดัน $|V_{BS}|$

5.3 การทดสอบคุณสมบัติของโครงสร้างทดสอบ

โครงสร้างทดสอบ (Test Structure) ที่ทำการออกแบบไว้ มีวัตถุประสงค์เพื่อทดสอบคุณสมบัติต่างๆของมอสทรานซิสเตอร์ได้แก่ โครงสร้างทดสอบค่าความหนาของชั้นออกไซด์, โครงสร้างทดสอบค่าความต้านทานแผ่นของชั้นฟิล์มและชั้นแพร่อะตอมสารเจือและโครงสร้างทดสอบรูเชื่อมต่อ

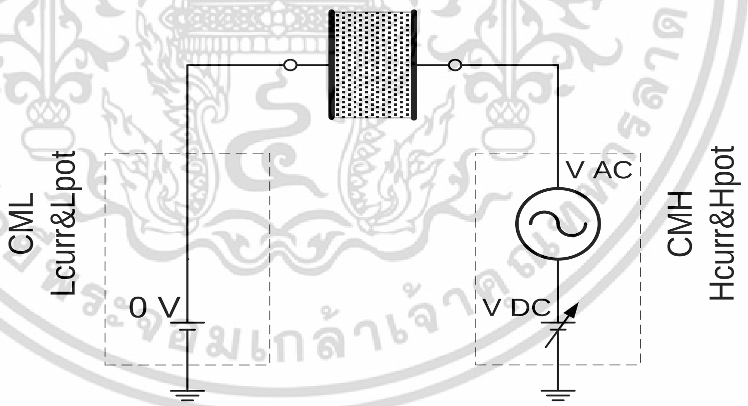
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1 การทดสอบค่าความหนาของชั้นออกไซด์ในโครงสร้าง

เราสามารถหาความหนาของชั้นออกไซด์ได้จากการวัดค่าความจุไฟฟ้าจากโครงสร้างทดสอบชั้นความหนาออกไซด์ที่ได้ทำการออกแบบไว้ จากนั้นนำค่าความจุไฟฟ้าที่ได้มาคำนวณเป็นค่าความหนาชั้นออกไซด์ ซึ่งโครงสร้างทดสอบชั้นความหนาออกไซด์ของมอสทรานซิสเตอร์ประกอบด้วยชั้นออกไซด์ต่างๆดังนี้

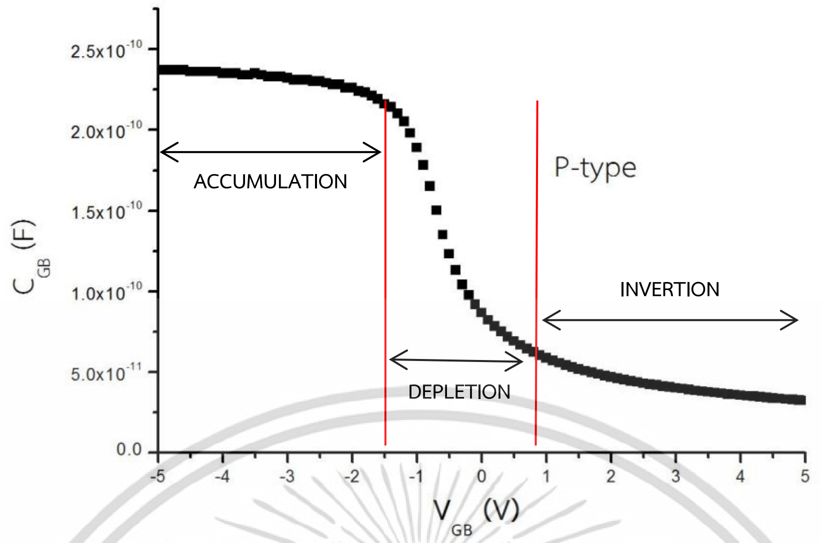
- ชั้นเกทออกไซด์ (Gate Oxide)
- ชั้นฟิลด์ออกไซด์ (Field Oxide)
- ชั้นอินเตอร์เลเยอร์ไดอิเล็กตริก (Inter-Layer Dielectric: ILD)
- ชั้นอินเตอร์เมททเทิลไดอิเล็กตริก (Inter-Metal Dielectric: IMD)

การทดสอบค่าความจุไฟฟ้า ทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการทดสอบดังรูปที่ 5.13 โดย สำหรับทดสอบค่าความจุไฟฟ้าเพื่อหาค่าความหนาเกทออกไซด์จะป้อนแรงดันตั้งแต่ -5 ถึง 5 V ที่ค่าความถี่ 100 kHz ส่วนการทดสอบค่าความจุไฟฟ้าเพื่อหาค่าความหนาของชั้นฟิลด์ออกไซด์, อินเตอร์เลเยอร์ไดอิเล็กตริกและอินเตอร์เมททเทิลไดอิเล็กตริก จะป้อนแรงดันตั้งแต่ -25 ถึง 25 V ที่ค่าความถี่ 100 kHz ซึ่งผลการทดสอบดังแสดงในรูปที่ 5.14



รูปที่ 5.13 วงจรการทดสอบค่าความจุไฟฟ้าในโครงสร้างเพื่อหาค่าความหนาออกไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 ความสัมพันธ์ระหว่างค่าความจุไฟฟ้ากับแรงดันของชั้นเกทออกไซด์กรณีฐานรองชนิดพี

จากรูปที่ 5.14 แสดงให้เห็นถึงการเกิดภาวะต่างๆ ดังนี้คือ แอคคิวมูเลชัน, ดีพลีทชัน และอินเวอร์ชันของชั้นเกทออกไซด์ โดยเมื่อแรงดัน V_{GB} มีค่าเป็นลบ ประจุไฟฟ้าลบจะเหนี่ยวนำให้โฮล ซึ่งเป็นพาหะส่วนมาก (Majority Carrier) ในสารกึ่งตัวนำชนิดพีเข้าไปสะสมที่บริเวณผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำ ความหนาแน่นของโฮลจะมีค่าสูงสุดที่ผิวสัมผัส ภาวะนี้จึงถูกเรียกว่าภาวะการสะสมหรือภาวะแอคคิวมูเลชัน และเมื่อแรงดัน V_{GB} มีค่าเพิ่มขึ้นและเป็นบวกโดยมีค่าไม่สูงมากจะส่งผลให้โฮลถูกผลักออกจากบริเวณผิวสัมผัสระหว่างฉนวนกับสารกึ่งตัวนำเกิดเป็นบริเวณปลอดพาหะขึ้นที่ผิวของสารกึ่งตัวนำ ในบริเวณนี้จะประกอบไปด้วยประจุไฟฟ้าลบของอะตอมสารเจือผู้รับ (Ionized Acceptor) เนื่องจากความหนาแน่นของโฮลลดลง จึงเรียกภาวะนี้ว่า ภาวะลดลง หรือภาวะดีพลีทชัน เมื่อแรงดันไฟฟ้าที่โลหะมีค่าเป็นบวกเพิ่มขึ้นจนเข้าสู่ภาวะอินเวอร์ชัน บริเวณปลอดพาหะจะมีความกว้างสูงสุดและไม่มีการเปลี่ยนแปลงอีกต่อไป แต่จะมีอิเล็กตรอนเข้ามาอยู่บริเวณผิวของสารกึ่งตัวนำเป็นจำนวนมากและเกิดเป็นชั้นกลับ (Inversion Layer) ที่จุดนี้เป็นจุดเริ่มต้นของการเปลี่ยนแปลงสมบัติของสารกึ่งตัวนำอย่างสมบูรณ์ โดยเปลี่ยนจากสมบัติของสารกึ่งตัวนำชนิดพีเป็นชนิดเอ็น จึงเรียกภาวะนี้ว่า ภาวะเปลี่ยนกลับ หรือภาวะอินเวอร์ชัน ซึ่งสามารถสรุปค่าความจุไฟฟ้าและความหนาของชั้นต่างๆได้ดังตารางที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 ค่าความจุไฟฟ้าของชั้นออกไซด์

ชั้นออกไซด์	สัญลักษณ์	ค่าความจุไฟฟ้า	หน่วย
เกทออกไซด์	C_{GOX}	2.92	$fF/\mu m^2$
ฟิลด์ออกไซด์	C_{Field}	0.65122	$fF/\mu m^2$
อินเตอร์เลเยอร์ไดอิเล็กตริก	C_{ILD}	0.7015	$fF/\mu m^2$
อินเตอร์เมทเทิลไดอิเล็กตริก	C_{IMD}	0.674	$fF/\mu m^2$

จากค่าความจุไฟฟ้าที่ทดสอบได้ โดยใช้ค่าความจุไฟฟ้าสูงสุดซึ่งอยู่ในย่านแอคคิวมูเลชั่น เป็นย่านที่มีค่าความจุไฟฟ้าของชั้นออกไซด์เพียงอย่างเดียว [40] นำมาคำนวณหาค่าความหนาของชั้นออกไซด์ต่างๆได้จากสมการ 5.6 และผลการคำนวณสามารถสรุปค่าความหนาได้ดังตารางที่ 5.4

$$t_{ox} = \frac{\varepsilon_{ox}}{C_{ox}} \tag{5.6}$$

ตารางที่ 5.4 ค่าความหนาของชั้นออกไซด์

ชั้นออกไซด์	สัญลักษณ์	ความหนาออกไซด์	หน่วย
เกทออกไซด์	t_{GOX}	11.8	nm
ฟิลด์ออกไซด์	t_{Field}	530	nm
อินเตอร์เลเยอร์ไดอิเล็กตริก	t_{ILD}	492	nm
อินเตอร์เมทเทิลไดอิเล็กตริก	t_{IMD}	512	nm

จากตารางที่ 5.4 จะเห็นได้ว่าค่าความหนาชั้นออกไซด์ของเอ็นมอสทรานซิสเตอร์จะอยู่ในระดับนาโนเมตร โดยชั้นความหนาเกทออกไซด์มีความหนาน้อยที่สุดมีค่า 11.8 นาโนเมตร ซึ่งมีค่าความหนาใกล้เคียงกับความหนาเกทออกไซด์ที่ออกแบบไว้ที่ความหนา 10 นาโนเมตร

ส่วนค่าความหนาของฟิลด์ออกไซด์มีค่าประมาณ 530 nm ซึ่งน้อยกว่าที่คาดไว้ที่ความหนาประมาณ 650 nm ค่าที่น้อยลงของความหนาฟิลด์ออกไซด์เนื่องจากการกัดในกระบวนการสร้างที่มีการกัดมากกว่าที่คาดไว้ จากค่าดังกล่าวทำให้ค่าแรงดันขีดเริ่มของฟิลด์ออกไซด์มีค่าน้อยกว่าที่คาดไว้ ที่ 16 V ซึ่งการวัดจริงในหัวข้อที่ 5.2.4 พบว่ามีค่าเพียง 11 V เท่านั้น

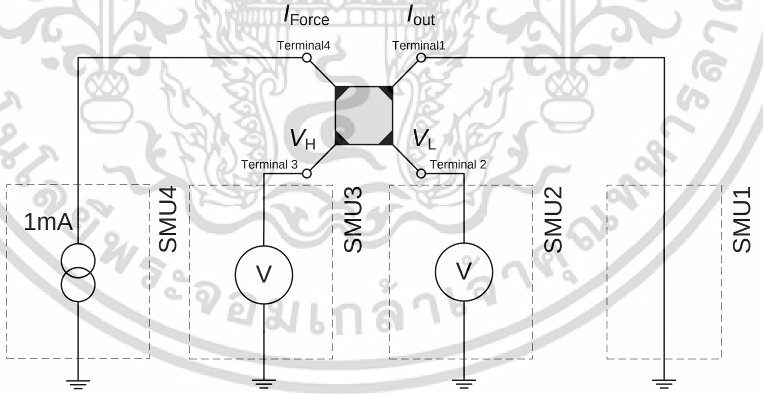
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 การทดสอบค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม

ภายในโครงสร้างมอสทรานซิสเตอร์มีชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม ซึ่งการทดสอบค่าความต้านทานแผ่น (Sheet Resistance: ρ_S) ของชั้นแพร่อะตอมสารเจือและชั้นฟิล์มบางจะใช้โครงสร้างของ Van Der Pauw ดังรูปที่ 5.15 ซึ่งประกอบด้วยชั้นต่างๆ ดังนี้

- ชั้นแพร่อะตอมสารเจือ N-well
- ชั้นแพร่อะตอมสารเจือ n+
- ชั้นแพร่อะตอมสารเจือ p+
- ชั้นฟิล์มโพลีซิลิคอน (Poly Silicon: Poly)
- ชั้นฟิล์มโลหะ 1 (Metal 1: M1)
- ชั้นฟิล์มโลหะ 2 (Metal 2: M2)

การทดสอบค่าความต้านทานแผ่นสามารถทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการทดสอบดังรูปที่ 5.15 โดยป้อนกระแสที่ขั้ว I_{Force} เท่ากับ 1 มิลลิแอมป์ (I_{Force} = 1 mA) ไหลผ่านออกไปยังขั้ว I_{out} ซึ่งต่อลงกราวด์และทำการวัดค่าแรงดันที่ขั้ว V_H และ V_L เพื่อหาค่าความต่างของแรงดันระหว่างขั้วทั้งสอง



รูปที่ 5.15 วงจรการทดสอบค่าความต้านทานแผ่น

จากผลการทดสอบสามารถนำไปคำนวณหาค่าความต้านทานแผ่นได้ดังสมการ (5.7) [42] และสรุปค่าความต้านทานแผ่นได้ดังตารางที่ 5.5

$$\rho_S = \frac{\pi R}{\ln 2} \approx 4.532R = \frac{4.532 \times (V_H - V_L)}{I_{Force}} \tag{5.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.5 ค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม

ชั้นแพร่อะตอมสารเจือและชั้นฟิล์ม	สัญลักษณ์	ความต้านทานแผ่น	หน่วย
ชั้นแพร่อะตอมสารเจือ N-well	$\rho_{N\text{-well}}$	1.8	kΩ/□
ชั้นแพร่อะตอมสารเจือ n^+	ρ_{n+}	45	Ω/□
ชั้นแพร่อะตอมสารเจือ p^+	ρ_{p+}	57	Ω/□
ชั้นฟิล์มโพลีซิลิคอน (Poly Silicon: Poly)	ρ_{Poly}	39	Ω/□
ชั้นฟิล์มโลหะ 1 (Metal 1: M1)	ρ_{M1}	24	mΩ/□
ชั้นฟิล์มโลหะ 2 (Metal 2: M2)	ρ_{M2}	25	mΩ/□

จากตารางที่ 5.5 จะสังเกตได้ว่าค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือ N-well มีค่ามากที่สุด กล่าวได้ว่าค่าความหนาแน่นของอะตอมสารเจือ N-well มีค่าน้อยที่สุดและค่าความต้านทานแผ่นของชั้นแพร่อะตอมสารเจือและชั้นฟิล์มในตารางที่ 5.5 มีค่าเป็นไปตามค่ามาตรฐานของการสร้างซีมอส 0.5 µm

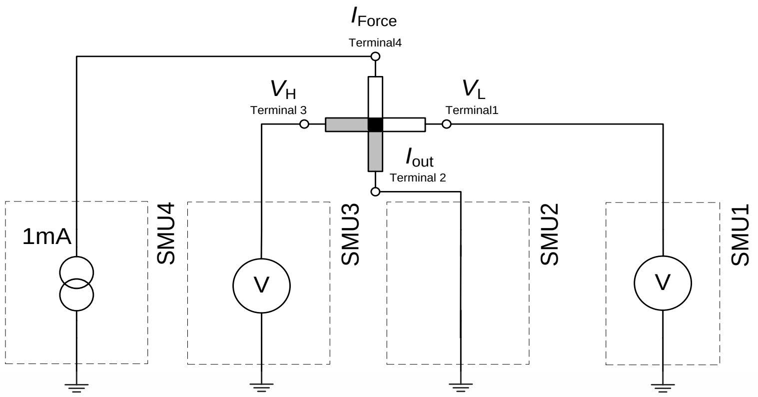
5.3.3 การทดสอบค่าความต้านทานของรูเชื่อมต่อต่างๆในโครงสร้าง

ภายในโครงสร้างมอสทรานซิสเตอร์จะมีรูเชื่อมต่อระหว่างชั้นแพร่อะตอมสารเจือและชั้นฟิล์มต่างๆ ในการทดสอบค่าความต้านทานของรูเชื่อมต่อ (Contact Resistance: R_C) จะใช้โครงสร้างที่ออกแบบไว้ ซึ่งประกอบด้วยรูเชื่อมต่อระหว่างชั้นแพร่อะตอมสารเจือและชั้นฟิล์มต่างๆ ดังนี้

- รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น p^+
- รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น n^+
- รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้นโพลีซิลิคอน
- รูเชื่อมต่อระหว่างชั้นโลหะ 2 กับชั้นโลหะ 1

การทดสอบค่าความต้านทานของรูเชื่อมต่อ สามารถทดสอบโดยใช้เครื่องวัดคุณสมบัติทางไฟฟ้าซึ่งมีวงจรการทดสอบดังรูปที่ 5.16 โดยป้อนกระแสที่ขั้ว I_{Force} เท่ากับ 1 มิลลิแอมป์ (I_{Force} = 1 mA) ไหลผ่านไปยังขั้ว I_{out} ซึ่งต่อลงกราวด์และทำการวัดค่าแรงดันที่ขั้ว V_H และ V_L เพื่อหาค่าความต่างของแรงดันระหว่างขั้วทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 วงจรการทดสอบค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นต่างๆ

จากผลการทดสอบ สามารถนำไปคำนวณหาค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นต่างๆ ได้ดังสมการ (5.8) [26-30] และสรุปค่าความต้านทานได้ดังตารางที่ 5.6

$$R_C = \frac{V_H - V_L}{I_{Force}} \tag{5.8}$$

ตารางที่ 5.6 ค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นต่างๆที่ ขนาด 0.6*0.6

รูเชื่อมต่อ	สัญลักษณ์	ความต้านทาน	หน่วย
รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น p^+	R_{CM1P}	40.23	Ω/Cont
รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้น n^+	R_{CM1N}	13.46	Ω/Cont
รูเชื่อมต่อระหว่างชั้นโลหะ 1 กับชั้นโพลีซิลิคอน	$R_{CM1Poly}$	30	Ω/Cont
รูเชื่อมต่อระหว่างชั้นโลหะ 2 กับชั้นโลหะ 1	R_{Via}	133	mΩ/Cont

จากตารางที่ 5.6 สังเกตเห็นได้ว่าค่าความต้านทานของรูเชื่อมต่อระหว่างชั้นโลหะ 2 กับชั้น ฃโลหะ 1 มีค่าน้อยที่สุด เนื่องจากเป็นค่าความต้านทานของชั้นโลหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การหาแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์

ในบทนี้จะกล่าวถึงขั้นตอนวิธีการหาค่าแบบจำลองพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์ระดับ 3 (The Level 3 NMOSFET Model) ด้วยการคำนวณจากข้อมูลการทดสอบเอ็นมอสทรานซิสเตอร์ในบทที่ผ่านมา ซึ่งแบบจำลองพารามิเตอร์ที่ได้จะเป็นข้อมูลที่เป็นประโยชน์ต่อนักออกแบบวงจรที่นำไปใช้ในการออกแบบวงจรต่อไป โดยวิธีการหาค่าพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์ระดับ 3 นั้นมีวิธีการหาจากการทดลองกึ่งทฤษฎี (Semi-Empirical) โดยรวมผลของแรงดันขีดเริ่มที่ขึ้นกับความยาวและความกว้างของช่องทางเดินกระแส, ผลของ Drain-Induced Barrier Lowering (DIBL) และผลของกระแสอันเนื่องมาจากความเร็วอิ่มตัวของพาหะในช่องทางเดินกระแสซึ่งมีนัยสำคัญเมื่อช่องทางเดินกระแสน้อยกว่า 1 μm โดยแบบจำลองดังกล่าวจะสมมติว่าการกระจายตัวของพาหะในช่องทางเดินกระแสมีค่าคงที่ในทุกระดับความลึกของอุปกรณ์ ซึ่งค่าพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์มีทั้งหมด 16 ตัว [41] ดังตารางที่ 6.1

ตารางที่ 6.1 ค่าแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์ ระดับ 3

พารามิเตอร์	สัญลักษณ์	หน่วย	ความหมาย
TPG	-	-	ชนิดวัสดุของเกท
TOX	t_{GOX}	m	ความหนาเกทออกไซด์
LD	-	m	ความยาวของช่องทางเดินกระแสที่ลดลงจากค่าที่ออกแบบ
WD	-	m	ความกว้างของช่องทางเดินกระแสที่ลดลงจากค่าที่ออกแบบ
UO	μ_o	$cm^2/V{\cdot}s$	สภาพคล่องของพาหะในย่านเชิงเส้นที่มอสเฟทขนาดใหญ่
VTO	$V_{T(Big\ MOS)}$	V	แรงดันขีดเริ่มในย่านเชิงเส้นที่มอสเฟทขนาดใหญ่
THETA	θ, ξ	V^{-1}	ผลของการลดลงของสภาพคล่องของพาหะ
RS	R_S	Ohm (Ω)	ความต้านทานของซอส
RD	R_D	Ohm (Ω)	ความต้านทานของเดรน
DELTA	δ	-	ผลความกว้างของแชนแนลที่มีต่อค่าแรงดันขีดเริ่ม
NSUB	N_{sub}	cm^{-3}	ความหนาแน่นของอะตอมสารเจือของฐานรอง
XJ	X_j	m	ความลึกรอยต่อของซอส/เดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1(ต่อ)

พารามิเตอร์	สัญลักษณ์	หน่วย	ความหมาย
NFS	-	cm^{-2}	ปริมาณสารเจือที่ผิวของฐานรอง
VMAX	v_{sat}	m/s	ความเร็วดริฟท์สูงสุดของพาหะ
KAPPA	κ	V^{-1}	ผลของแชนแนลขนาดสั้นที่มีผลต่อกระแสเดรน
ETA	η	-	ค่าสัมประสิทธิ์จากผลของ DIBL

6.1 ค่า TPG

ชนิดของวัสดุเกท (Type of Gate Material: **TPG**) เป็นค่าที่บอกความเหมือนหรือความต่างของชนิดโพลิซิลิคอนเกทกับชนิดของซอส/เดรน โดยถ้าชนิดโพลิซิลิคอนเกทมีชนิดเดียวกับชนิดของซอส/เดรน **TPG** = 1 (ยกตัวอย่างเช่น n^+ โพลิซิลิคอนในเอ็นมอสทรานซิสเตอร์) ถ้าชนิดโพลิซิลิคอนเกทมีชนิดตรงข้ามกับชนิดของซอส/เดรน **TPG** = -1 (ยกตัวอย่างเช่น n^+ โพลิซิลิคอนในพีมอสทรานซิสเตอร์) และถ้าเกทเป็นอลูมินัม **TPG** = 0 [42]

6.2 การหาค่า VTO และ NSUB

ค่า **VTO** นั้นเป็นค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดใหญ่ที่ย่านเชิงเส้น ส่วนค่า **NSUB** เป็นความหนาแน่นของอะตอมสารเจือของฐานรอง

ซึ่งการหาค่า **VTO** และ **NSUB** สามารถหาจากแรงดันขีดเริ่มที่ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกท (I_D-V_{GS}) ที่ย่านเชิงเส้นที่แรงดันไบอัสฐานรองที่ค่าต่างๆ ซึ่งทดสอบที่มอสทรานซิสเตอร์ที่มีขนาดใหญ่ (*W/L* = 20/20) เพื่อหลีกเลี่ยงผลของแชนแนลขนาดเล็ก (Small Dimension Effect) และผลของของแชนแนลแคบ (Narrow Channel)

จากสมการแรงดันขีดเริ่มดังสมการ (6.1) [42-43]

$$V_T = V_{FB} + \phi_S + \gamma\sqrt{\phi_S - V_{BS}} \qquad (6.1)$$

โดยที่ V_{FB} คือแรงดันแฟลตแบนด์ (Flat band voltage) ส่วนค่า ϕ_S มีค่าเท่ากับ

$$\phi_S = 2\frac{KT}{q}\ln\frac{N_{SUB}}{N_i} \qquad (6.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕ_S คือแรงดันภายในฐานรองและมีค่าเท่ากับผลต่างระหว่างระดับแรงดันเฟอร์มิอินทรินสิก (Intrinsic Fermi Level) และเฟอร์มิของฐานรอง (Bulk Fermi Level), N_{SUB} และ N_{i} คือความเข้มข้นของสารเจือในฐานรองและความเข้มข้นของพาหะของสารกึ่งตัวนำแบบอินทรินสิก (Intrinsic Carrier Concentration), V_{BS} คือความต่างศักย์ระหว่างขาซอร์สและขาบอดี้

$$V_{T(Big\ MOS)} = VTO = V_{FB} + \phi_S + \gamma\sqrt{\phi_S} \tag{6.3}$$

นำสมการ (6.3) แทนในสมการ (6.1) จะได้

$$V_T = VTO + \gamma\left(\sqrt{\phi_S - V_{BS}} - \sqrt{\phi_S}\right) \tag{6.4}$$

โดยที่

$$\gamma = \frac{\sqrt{2\varepsilon_{\mathrm{Si}} q N_{\mathrm{sub}}}}{C_{\mathrm{OX}}} = \frac{\sqrt{2\varepsilon_{\mathrm{Si}} q \mathbf{NSUB}}}{C_{\mathrm{OX}}} \tag{6.5}$$

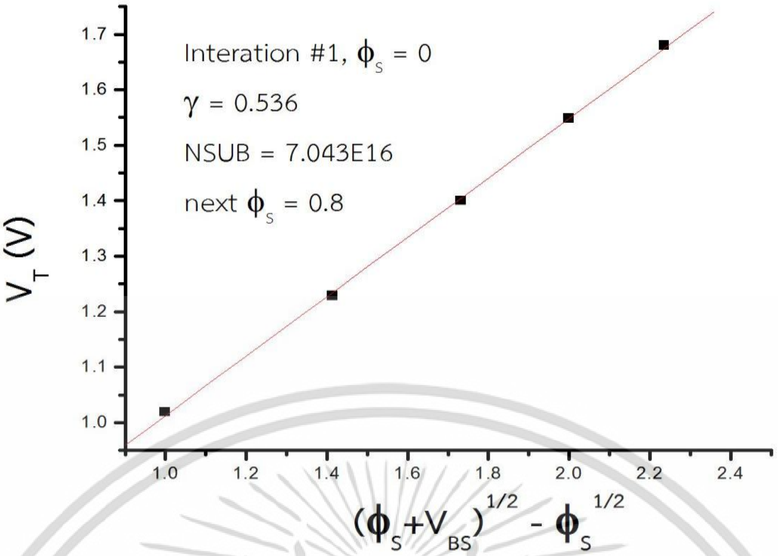
ดังนั้น

$$\mathbf{NSUB} = \frac{\left(\gamma \cdot C_{\mathrm{OX}}\right)^2}{2\varepsilon_{\mathrm{Si}} q} \tag{6.6}$$

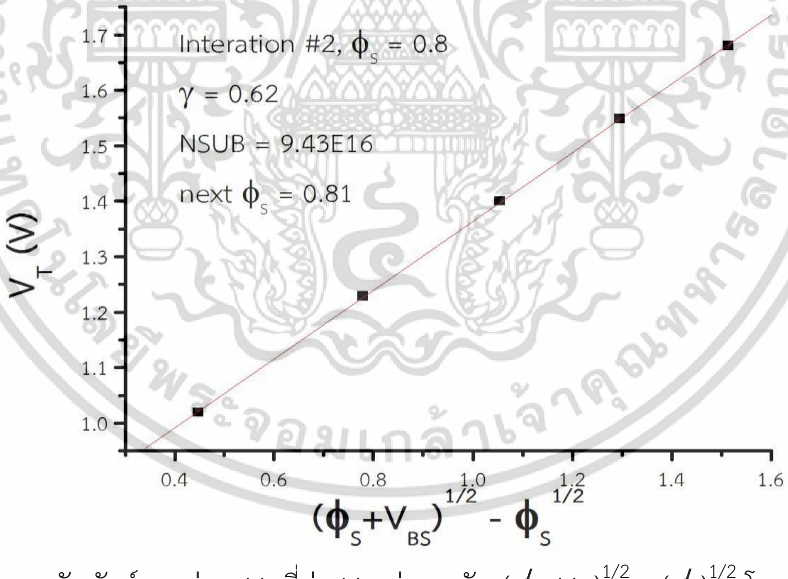
จากสมการที่ (6.6) สามารถหาค่า **NSUB** ได้จากความชัน γ มีค่าดังสมการที่ (6.4) [43] และจุดตัดแกน Y จะเป็นค่า **VTO** แต่เนื่องจากไม่ทราบค่า **NSUB** ในขั้นต้นนั้นได้กำหนดค่าเป็นศูนย์ (**NSUB** = 0) ไปแทนในสมการที่ (6.2) จะได้ค่า ϕ_{S} =0 ด้วย จากนั้นนำไปเขียนกราฟสร้างความสัมพันธ์ของแรงดันขีดเริ่มที่ค่า V_{BS} ค่าต่างๆตามสมการที่ (6.4) ซึ่งค่าความชันจะเป็น γ

นำค่า γ ที่ได้ไปคำนวณหาค่า **NSUB** จากนั้นนำค่า **NSUB** ที่ได้ไปคำนวณหาค่า ϕ_{S} ใหม่ เมื่อได้ค่า ϕ_{S} ใหม่ไปเขียนกราฟสร้างความสัมพันธ์ของแรงดันขีดเริ่มที่ค่า V_{BS} ค่าต่างๆดังรูปที่ 6.2 ให้แทนค่า ϕ_{S} ใหม่เพื่อหาค่า ϕ_{S} จนกระทั่งมีค่าคงที่หรือต่างกันเพียงเล็กน้อย และนำค่าที่ได้คำนวณหาค่า **NSUB** และ **VTO**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

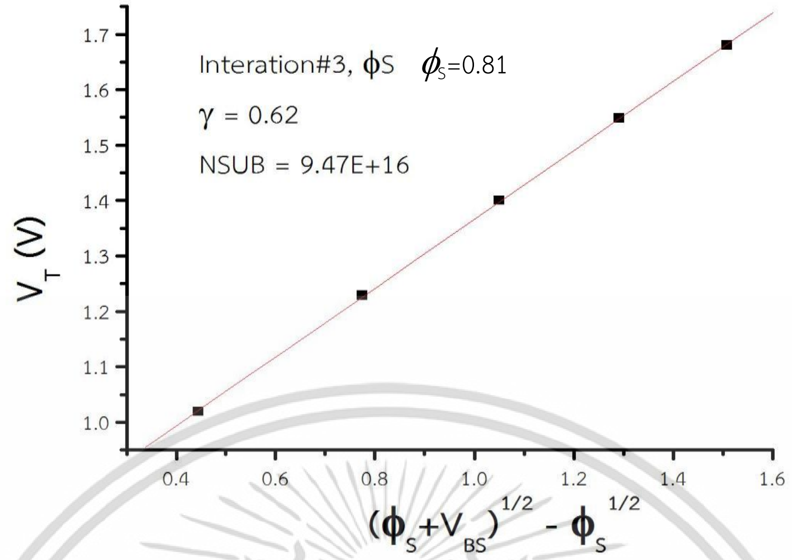


รูปที่ 6.1 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด ϕ_S= 0 ของเอ็นมอสทรานซิสเตอร์ขนาด *W/L* = 20/20



รูปที่ 6.2 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด ϕ_S= 0.8 ของเอ็นมอสทรานซิสเตอร์ขนาด *W/L* = 20/20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 ความสัมพันธ์ระหว่าง V_T ที่ค่า V_{BS} ต่างๆ กับ $(\phi_S - V_{BS})^{1/2} - (\phi_S)^{1/2}$ โดยกำหนด ϕ_S= 0.81 ของเอ็นมอสทรานซิสเตอร์ขนาด *W/L* = 20/20

หลังจากแทนค่า ϕ_S จำนวน 3 ครั้ง ทำให้ค่า ϕ_S ก่อนและหลังมีค่าต่างกันน้อยมากหรือมีค่าเท่ากันจึงหยุดการแทนค่า จากรูปที่ 6.1 ถึง 6.3 ได้ค่า γ จากความชัน สามารถคำนวณหาค่า **NSUB** ได้ เท่ากับ 9.47E+16 cm^{-3} และค่าที่จุดตัดแกน Y(X=0) หรือ **VTO** มีค่าเท่ากับ 0.72 V

6.3 การหาค่า LD และ WD

6.3.1 การหาค่า LD

ค่า **LD** (Lateral Diffusion Length: **LD**) นั้นเป็นค่าความยาวของช่องทางเดินกระแสที่ลดลงไปจากค่าที่ออกแบบไว้ เพื่อให้ทราบค่าความยาวเกทที่แท้จริง (Effective Length: L_{eff}) ในการหาค่า **LD** สามารถทำได้โดยอาศัยความสัมพันธ์ระหว่างความยาวเกทที่ออกแบบ (L_{mask}) กับค่า $1/\beta$ ที่มอสทรานซิสเตอร์มีขนาดความยาวเกทต่างๆ ซึ่งจุดตัดแกน Y(X=0) เป็นค่า **2LD** ดังรูปที่ 6.4

จากสมการกระแสเดรนในย่านเชิงเส้นดังสมการที่ 6.7

$$I_D = \mu C_{OX} \frac{W}{L_{eff}} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^{\ 2}}{2} \right] \tag{6.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ย่านเชิงเส้น กำหนดให้ V_{DS} = 0.1 แทนในสมการที่ (6.7) จะได้สมการที่ (6.8)

$$I_D = \mu C_{OX} \frac{W}{L_{eff}} \left[(V_{GS} - V_T) V_{DS} \right] \quad (6.8)$$

เมื่อกำหนดให้

$$\mu_0 C_{OX} \frac{W}{L_{eff}} = \beta \quad (6.9)$$

จากสมการที่ 6.9 พบว่าค่าของ β มีค่าแปรผกผันกับค่าของความยาวช่องทางเดินกระแส กล่าวได้ว่าค่า L_{mask} มีค่าน้อยทำให้ค่า β มีค่าเพิ่มขึ้น

กำหนดให้

$$L_{eff} = L_{mask} - 2LD \quad (6.10)$$

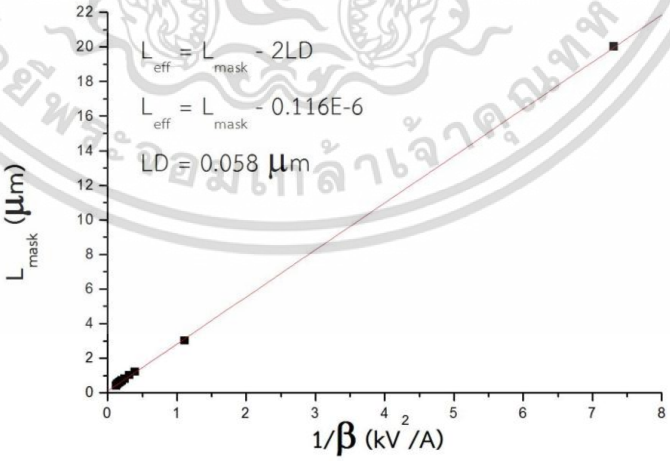
ในการหาค่า **LD** อาศัยกราฟความสัมพันธ์ระหว่าง L_{mask} กับ $1/\beta$ โดยจุดตัดแกน Y(X=0) จะเป็นค่าของ **2LD** เพราะเป็นความสัมพันธ์เชิงเส้น

$$y = mx + b \quad (6.11)$$

โดยค่า y จะเป็นค่า L_{mask}

x จะเป็นค่า $1/\beta$

b จะเป็นค่า **2LD**



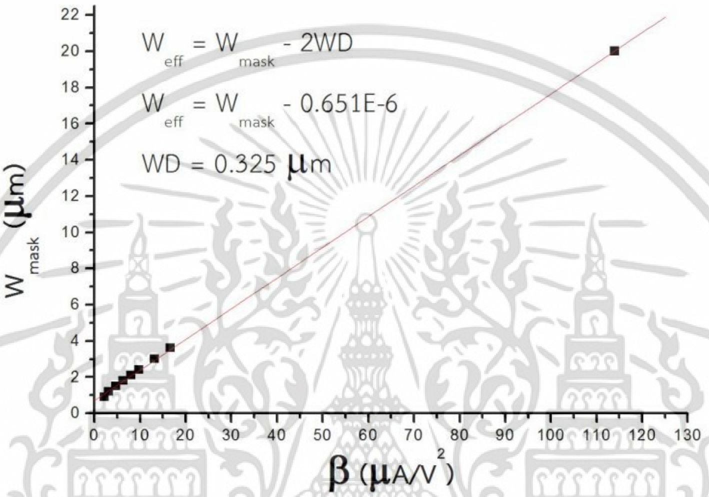
รูปที่ 6.4 การหาค่าระยะแพร่ด้านข้างที่ล้ำมาด้านความยาวเกทของเอ็นมอสทรานซิสเตอร์

ในรูปที่ 6.4 จุดตัดแกน Y(X=0) ซึ่งเป็นค่าของ **2LD** มีค่าเท่ากับ 0.116 μm เพราะฉะนั้น **LD** มีค่า 0.058 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.2 การหาค่า WD

ค่า **WD** (Lateral Diffusion Width: **WD**) [43] คือค่าความกว้างของช่องทางเดินกระแสที่ลดลงจากค่าที่ออกแบบไว้ เพื่อให้ทราบความกว้างของเกทที่แท้จริง (Effective Width: W_{eff}) สามารถทำได้โดยอาศัยความสัมพันธ์ระหว่างความกว้างเกทที่ออกแบบ (W_{mask}) กับค่า β ที่มอสทรานซิสเตอร์มีขนาดความกว้างต่างๆ ซึ่งจุดตัดแกน Y(X=0) เป็นค่า **2WD** ดังรูปที่ 6.5



รูปที่ 6.5 การหาค่าระยะแพร่ด้านข้างที่ล้ำมาด้านความกว้างเกทของเอ็นมอสทรานซิสเตอร์

ในรูปที่ 6.5 จุดตัดแกน Y(X=0) ซึ่งเป็นค่าของ **2WD** มีค่า 0.651 μm เพราะฉะนั้น **WD** มีค่า 0.325 μm

6.4 การหาค่า UO, THETA, RD และ RS

6.4.1 การหาค่า UO

การหาค่าสภาพคล่องหรือโมบิลิตี้ของพาหะ หาได้จากความชันของความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทที่ย่านเชิงเส้นของมอสทรานซิสเตอร์ขนาดใหญ่ (W/L = 20/20) ซึ่งแสดงได้ดังสมการที่ (6.12)

$$\text{Slope} = \beta_0 \frac{W}{L} \times V_{\text{DS}} = \mu_{\text{o}} C_{\text{OX}} \frac{W}{L} \times V_{\text{DS}} = \textbf{UO} \times C_{\text{OX}} \frac{W}{L} \times V_{\text{DS}} \qquad (6.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดสอบโมบิลิตี้ของพาหะของเอ็นมอสทรานซิสเตอร์จะได้

$$\mathbf{UO}=\frac{\text{Slope}}{C_{\text{OX}}V_{\text{DS}}}\times\frac{L}{W}=\frac{1.38\times10^{-5}}{2.87\times10^{-7}\times0.1}\times\frac{20}{20}=480.83\ \text{cm}^2/\text{V}\cdot\text{s} \tag{6.13}$$

แทนค่าความชันที่ได้จากความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ย่านเชิงเส้นมีค่า 1.38×10^{-5} ลงในสมการที่ 6.13 จะได้ค่าสภาพคล่องของพาหะเท่ากับ 480.83 $cm^2/V.s$

6.4.2 การหาค่า THETA

จากความสัมพันธ์ของกระแสเดรนกับแรงดันเกทที่ย่านเชิงเส้น จะเห็นว่าเมื่อแรงดันเกทเพิ่มขึ้นค่ากระแสเดรนมีค่าเพิ่มขึ้นอย่างชะลอตัว ทำให้ค่าความชันมีค่าลดลงเมื่อแรงดันเกทเพิ่มขึ้น เป็นผลมาจากการลดประสิทธิภาพของสภาพคล่อง (Mobility Degradation: THETA) ซึ่งมีความสัมพันธ์ดังสมการ (6.15) [41] โดยที่ค่าสภาพคล่องของพาหะที่มีผลของสนามไฟฟ้าแนวตั้ง (Vertical Field Mobility : μ_v) แสดงได้ดังสมการ (6.14)

$$\mu_{\text{v}}=\frac{\mu_{\text{o}}}{1+\theta\left(V_{\text{GS}}-V_{\text{T}}\right)} \tag{6.14}$$

หรือ

$$\mu_{\text{v}}=\frac{\mathbf{UO}}{1+\mathbf{THETA}\left(V_{\text{GS}}-V_{\text{T}}\right)} \tag{6.15}$$

แทนสมการ (6.13) ลงในสมการ (6.15) จะได้เป็น

$$\frac{Slope}{C_{\text{OX}}V_{DS}}\times\frac{L_{\text{eff}}}{W_{\text{eff}}}=\frac{Slope(\max)\times L_{\text{eff}}/C_{\text{OX}}V_{DS}W_{\text{eff}}}{1+\mathbf{THETA}\left(V_{\text{GS}}-V_{\text{T}}\right)} \tag{6.16}$$

แก้สมการที่ (6.16) ได้เป็น

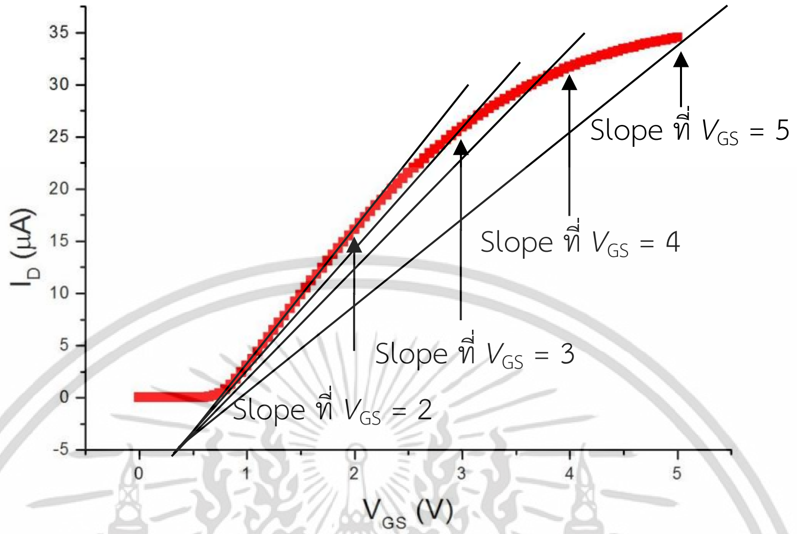
$$\text{Slope}=\frac{\text{Slope}_{\max}}{1+\mathbf{THETA}\left(V_{\text{GS}}-V_{\text{T}}\right)} \tag{6.17}$$

เขียนใหม่ได้

$$\frac{\text{Slope}_{\max}}{\text{Slope}}=1+\mathbf{THETA}\left(V_{\text{GS}}-V_{\text{T}}\right) \tag{6.18}$$

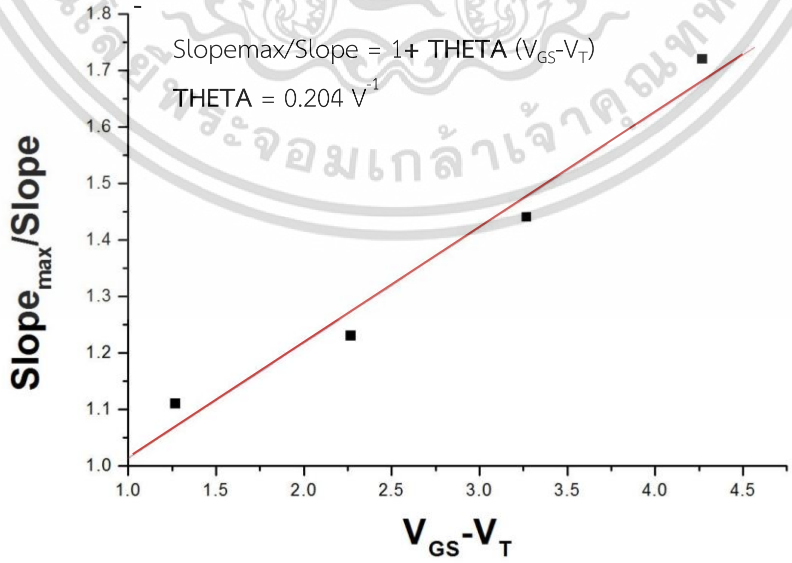
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ Slope เป็นค่าความชันของความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทที่ย่านเชิงเส้นที่ค่า V_{GS} ค่าต่างๆ ดังแสดงในรูปที่ 6.6 จากความสัมพันธ์ดังกล่าวสามารถหาค่าความสัมพันธ์ระหว่าง $Slope_{max}/Slope$ กับ V_{GS} ซึ่งค่าความชันมีค่าเท่ากับ **THETA** ดังรูปที่ 6.7



รูปที่ 6.6 การหาค่าความชันที่แรงดันเกทค่าต่างๆของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20)

จากรูปที่ 6.6 พบว่าที่ V_{GS} มีค่าเท่ากับแรงดันขีดเริ่มจะได้ค่าความชันสูงสุด ($Slope_{max}$) และค่า V_{GS} มีค่ามากขึ้นพบว่าค่าของ Slope มีค่าลดลง ซึ่งเป็นผลมาจากค่า V_{GS} มีการดึงพาหะที่ช่องทางเดินกระแสมากขึ้น ทำให้พาหะมีค่าความคล่องตัวลดลง



รูปที่ 6.7 การหาค่า THETA จากความสัมพันธ์ระหว่าง $Slope_{max}/Slope$ กับ V_{GS} ของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า **THETA** หาได้จากค่าความชันของความสัมพันธ์ระหว่าง $Slope_{max}/Slope$ กับ $V_{GS}- V_T$ ของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L = 20/20) จากรูปที่ 6.7 ค่า **THETA** มีค่าเท่ากับ 0.204 V^{-1}

6.4.3 การหาค่า RD และ RS

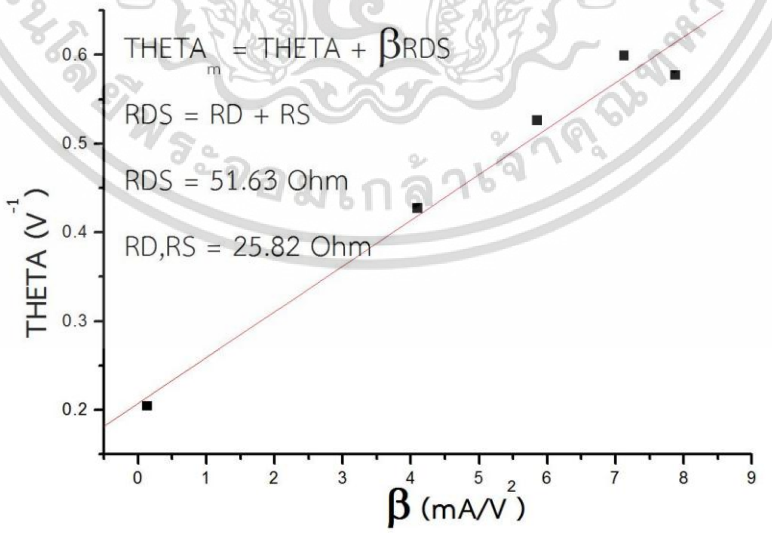
จากการหาค่า **THETA** จะมีผลของความต้านทาน **RD** และ **RS** รวมอยู่ด้วย ดังสมการ (6.19) ซึ่งสามารถหาค่าได้โดยใช้ความสัมพันธ์ระหว่าง **$THETA_m$** ของมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสที่แตกต่างกันกับค่า β ดังรูปที่ 6.8 ซึ่งค่าความชันคือค่าความต้านทาน **RD** และ **RS** จุดตัดแกน Y (X=0) เป็นค่า **THETA** เฉลี่ยจากมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสต่างๆ

$$\mathbf{THETA_m} = \mathbf{THETA} + \beta RDS \tag{6.19}$$

โดยที่

$$RDS = \mathbf{RD} + \mathbf{RS} \tag{6.20}$$

จากสมการที่ 6.19 ค่าความชันของกราฟจะเป็นค่าของ **RDS** ส่วนจุดตัดแกน Y(X=0) จะเป็นค่าของ **THETA** เฉลี่ยจากรูปที่ 6.8 ได้ค่า **THETA** เฉลี่ยเท่ากับ 0.2 และ **RDS** เท่ากับ 51.63 โอห์ม



รูปที่ 6.8 การหาค่า **RD** และ **RS** จากความสัมพันธ์ระหว่าง **$THETA_m$** กับ β ของเอ็นมอสทรานซิสเตอร์ที่ขนาดความยาวเกทต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 การหาค่า DELTA และ ETA

ค่า **DELTA** เป็นผลความกว้างของแชนแนลที่มีต่อค่าแรงดันขีดเริ่ม ส่วนค่า **ETA** เป็นค่าสัมประสิทธิ์จากผลของ DIBL จากสมการแรงดันขีดเริ่มดังสมการ (6.1) ของมอสทรานซิสเตอร์ที่มีขนาดใหญ่นั้นไม่มีผลของความยาวและความกว้างของช่องทางเดินกระแสที่ลดลงรวมถึงผลของ DIBL เพราะผลกระทบดังกล่าวจะมีผลต่อค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ที่มีขนาดเล็ก และหากรวมผลความยาวของช่องทางเดินกระแสที่มีขนาดสั้น (F_S) ผลของความกว้างของช่องทางเดินกระแสที่แคบ (F_N) และผลของ DIBL (F_D) จะทำให้สมการแรงดันขีดเริ่มมีความสัมพันธ์ดังสมการ (6.21) [41]

$$V_T = V_{FB} + \phi_S + F_S \gamma \sqrt{\phi_S - V_{BS}} + F_N \left(\phi_S - V_{BS} \right) + F_D V_{DS} \tag{6.21}$$

โดยที่

$$F_S = 1 - \frac{1}{L_{eff}} \left[\left(W_C + \mathbf{LD} \right) \left[1 - \left(\frac{W_P}{\mathbf{XJ} + W_P} \right)^2 \right]^{\frac{1}{2}} - \mathbf{LD} \right] \tag{6.22}$$

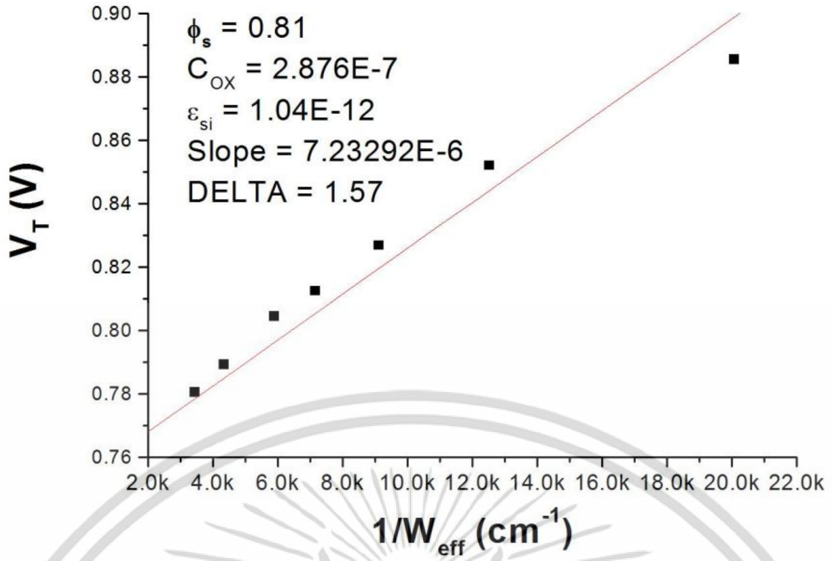
$$F_N = \delta \frac{\pi \varepsilon_{Si}}{2 C_{OX} W_{eff}} = \mathbf{DELTA} \frac{\pi \varepsilon_{Si}}{2 C_{OX} W_{eff}} \tag{6.23}$$

$$F_D = \eta \frac{8.15 \times 10^{-20}}{C_{OX} {L_{eff}}^3} = \mathbf{ETA} \frac{8.15 \times 10^{-20}}{C_{OX} {L_{eff}}^3} \tag{6.24}$$

6.5.1 การหาค่า DELTA

จากสมการ (6.21) และ (6.23) สามารถหาค่า **DELTA** ได้จากความสัมพันธ์ระหว่าง V_T กับ $1/W_{eff}$ โดยที่ **DELTA** คือค่าความชันคูณด้วย $2C_{OX}/\pi\varepsilon_{Si}(\phi_S - V_{BS})$ [44] ของมอสทรานซิสเตอร์ที่มีค่าความกว้างช่องทางเดินกระแสแคบ ซึ่งค่า **DELTA** ของเอ็นมอสทรานซิสเตอร์มีค่า 1.57 ดังแสดงในรูปที่ 6.9

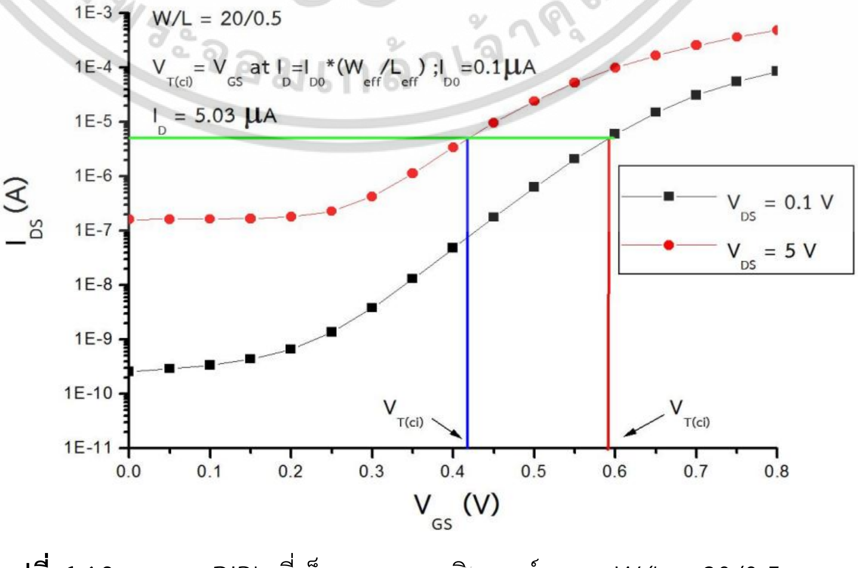
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 การหาค่า **DELTA** จากความสัมพันธ์ระหว่าง V_T กับ $1/W_{eff}$ ของเอ็นมอสทรานซิสเตอร์ที่ขนาดความกว้างเกทต่างๆ

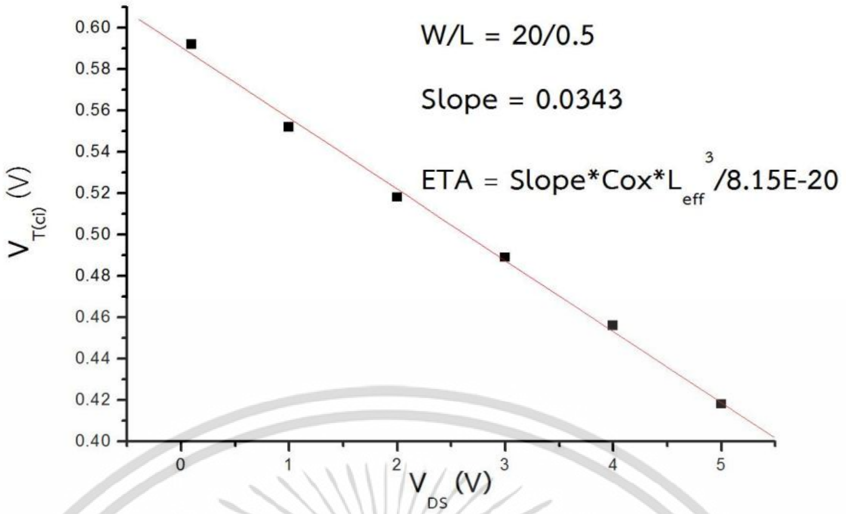
6.5.2 การหาค่า ETA

จากสมการ (6.21) และ (6.24) สามารถหาค่า **ETA** ได้จากความสัมพันธ์ระหว่าง $V_{T(ci)}$ กับ V_{DS} โดยกำหนดค่า $V_{T(ci)}$ มีค่าเท่ากับ V_{GS} ที่ $I_{D0}\times(W_{eff}/L_{eff})$ ซึ่งค่า $V_{T(ci)}$ เรียกว่าค่าแรงดันขีดเริ่มที่กำหนดโดยกระแสเดรนดังรูปที่ 6.10 สามารถหาค่า $V_{T(ci)}$ ที่ V_{DS} ค่าต่างๆ ของเอ็นมอสทรานซิสเตอร์ ค่า **ETA** คือค่าความชันจากความสัมพันธ์ระหว่าง $V_{T(ci)}$ กับ V_{DS} คูณด้วย $(C_{OX}L_{eff}^3)/8.15\times10^{-20}$ ของมอสทรานซิสเตอร์ที่มีค่าความยาวช่องทางเดินกระแสสั้น [41] ซึ่งค่า **ETA** ของเอ็นมอสทรานซิสเตอร์มีค่า 6.84E-9 ดังรูปที่ 6.11



รูปที่ 6.10 ผลของ DIBL ที่เอ็นมอสทรานซิสเตอร์ขนาด W/L = 20/0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 การหาค่า **ETA** จากความสัมพันธ์ระหว่าง $V_{T(ci)}$ กับ V_{DS} ของเอ็นมอสทรานซิสเตอร์ขนาด *W/L* = 20/0.5

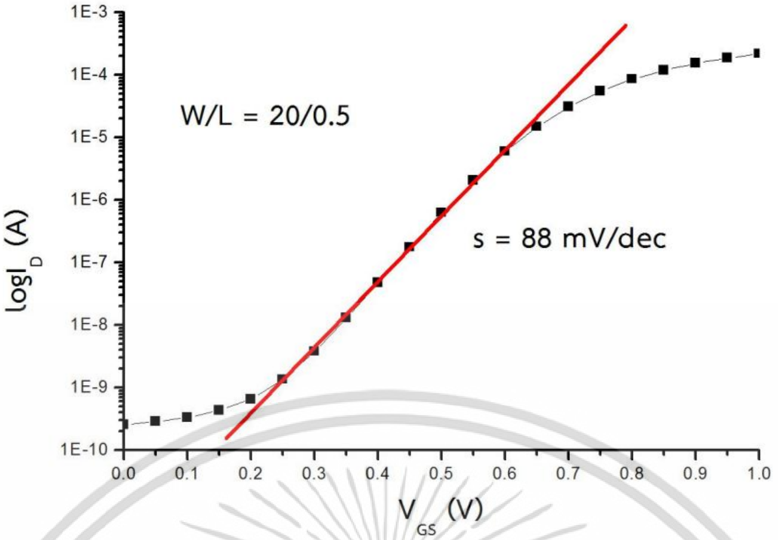
6.6 การหาค่า NFS

ค่า **NFS** นั้นคือค่าปริมาณสารเจือที่ผิวของฐานรองซึ่งสามารถหาได้จากค่าซับเทรดโชลด์สวิง (Subthreshold Swing: *S*) โดยค่าซับเทรดโชลด์สวิงนั้นสามารถหาได้จากการทดสอบกระแสเดรนของมอสทรานซิสเตอร์ที่ช่วงวีคอินเวอร์ชัน (Weak Inversion) ในช่องทางเดินกระแสระหว่างช่วงแถบเรียบจนถึงช่วงแรงดันขีดเริ่มของมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนาดสั้น โดยความสัมพันธ์ของซับเทรดโชลด์สวิง มีค่าดังสมการ (6.25) [41]

$$S = \frac{\partial V_{GS}}{\partial \log|I_{DS}|} = \frac{kT}{q}\ln 10\left(1+\frac{C_D + C_{it}}{C_{OX}}\right) = \frac{kT}{q}\ln 10\left(1+\frac{1}{C_{OX}}\cdot\sqrt{\frac{q\cdot\varepsilon_{Si}\cdot N_{ch}}{\phi_S}}\right) \quad (6.25)$$

จากสมการ (6.25) สามารถหาค่าซับเทรดโชลด์สวิงจากความสัมพันธ์ของ log $|I_D|$กับ V_{GS} โดยค่าซับเทรดโชลด์สวิง คือความชันของความสัมพันธ์ของ log $|I_D|$กับ V_{GS} ดังรูปที่ 6.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 การหาค่าซับเทรดโชลด์สวิงจากความสัมพันธ์ของ log|I_D| กับ V_{GS} ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5

จากรูปที่ 6.12 ค่าความชันระหว่างความสัมพันธ์ของ log|I_D| กับ V_{GS} ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5 มีค่าเท่ากับ 88 mV/dec

เมื่อทราบค่าซับเทรดโชลด์สวิงสามารถคำนวณหาค่า NFS ได้จากสมการ (6.26)

$$\mathbf{NFS} = \frac{C_{\mathrm{OX}}}{q}\left(\ln\frac{S}{kT/q} - \frac{\gamma}{2\sqrt{\phi_{\mathrm{S}}}} - 1\right) \tag{6.26}$$

ซึ่งสมการ (6.27) แสดงวิธีการหาค่า NFS

$$\mathbf{NFS} = \frac{C_{\mathrm{OX}}}{q}\left(\ln\frac{S}{kT/q} - \frac{\gamma}{2\sqrt{\phi_{\mathrm{S}}}} - 1\right)$$

$$= \frac{2.88\times10^{-7}}{1.602\times10^{-19}}\left(\ln\frac{0.088}{2.59\times10^{-2}} - \frac{0.62}{2\sqrt{0.81}} - 1\right) = 2.37\times10^{11}\ \mathrm{cm}^{-2} \tag{6.27}$$

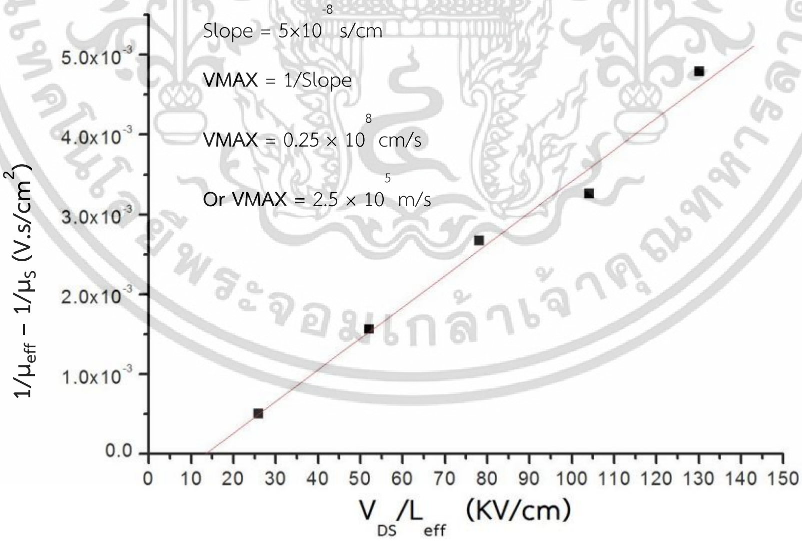
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 การหาค่า VMAX

ค่า **VMAX** คือค่าความเร็วดริฟท์สูงสุดของพาหะ โดยค่าสภาพคล่องของพาหะที่มีผลของสนามไฟฟ้าแนวตั้ง (Vertical Field Mobility : μ_v) และค่าสภาพคล่องของพาหะประสิทธิผล (Effective Mobility : μ_{eff}) ซึ่งเป็นค่าความคล่องตัวที่ V_{DS} ต่ำและสูงของมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสสั้น ส่วนค่าสภาพคล่องของพาหะประสิทธิผล (สภาพคล่องของพาหะที่รวมผลของสนามไฟฟ้าในแนวตั้งและแนวราบ) สามารถหาได้ดังสมการ (6.28) [41-42, 45] โดยที่ μ_v คือ ค่าสภาพคล่องของพาหะที่ผลมีของสนามไฟฟ้าแนวตั้ง จากสมการ (6.14)

$$\mu_{\text{eff}} = \frac{\mu_\nu}{1+\dfrac{\mu_\nu V_{DS}}{\mathbf{VMAX}L_{\text{eff}}}} \tag{6.28}$$

ค่า **VMAX** สามารถหาได้จากความสัมพันธ์ระหว่าง $(1/\mu_{eff})$-$(1\mu_v)$ กับ V_{DS}/L_{eff} ซึ่งค่า **VMAX** มีค่าเท่ากับ 1/Slope [44] ของความสัมพันธ์ดังกล่าว ดังรูปที่ 6.13 แสดงการหาค่า **VMAX** ของเอ็นมอสทรานซิสเตอร์



รูปที่ 6.13 การหาค่า **VMAX** จากความสัมพันธ์ของ $(1/\mu_{eff})$-$(1/\mu_v)$ กับ V_{DS}/L_{eff} ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5

จากรูปที่ 6.13 ค่าความชันจากความสัมพันธ์ของ $(1/\mu_{eff})$-$(1/\mu_v)$ กับ V_{DS}/L_{ef} มีค่าเท่ากับ 5E-8 s/cm จะสามารถหาค่า **VMAX** ได้จาก 1/Slope ซึ่งมีค่าเท่ากับ 2.5E5 m/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.8 การหาค่า KAPPA

ค่า KAPPA เป็นค่าพารามิเตอร์ที่เกิดขึ้นในย่านอิ่มตัว อันเนื่องมาจากผลของความยาวแชนแนลประสิทธิผล (Effective Channel Length: L') [41] ของมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสสั้น โดยมีความสัมพันธ์ดังสมการ (6.29)

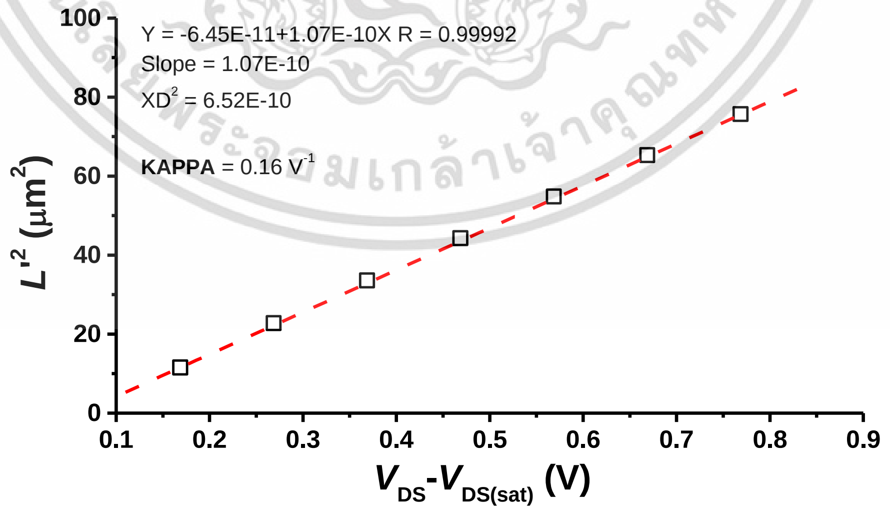
$$L' = \left[\left(\frac{V_{DS(sat)}}{2a \cdot L_{eff}}\right)^2 + \kappa\left(\frac{V_{DS} - V_{DS(sat)}}{a}\right)\right]^{\frac{1}{2}} - \frac{V_{DS(sat)}}{2a \cdot L_{eff}}$$

$$= \left[\left(\frac{V_{DS(sat)}}{2a \cdot L_{eff}}\right)^2 + \mathbf{KAPPA}\left(\frac{V_{DS} - V_{DS(sat)}}{a}\right)\right]^{\frac{1}{2}} - \frac{V_{DS(sat)}}{2a \cdot L_{eff}} \quad (6.29)$$

โดยที่

$$a = \frac{qN_{sub}}{2\varepsilon_{Si}} = \frac{q\mathbf{NSUB}}{2\varepsilon_{Si}} \quad (6.30)$$

จากสมการ (6.29) สามารถหาค่าได้จากความสัมพันธ์ระหว่าง L'^2 กับ V_{DS}-$V_{DS(sat)}$ โดยค่าความชันมีค่าเท่ากับ KAPPA×a และค่า $L' = L_{eff}(1-(I_{D(sat)}/I_D)$ ซึ่งได้จากความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนของมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสขนาดสั้น ดังรูปที่ 6.14 แสดงการหาค่า KAPPA โดยอาศัยความสัมพันธ์ดังกล่าว



รูปที่ 6.14 การหาค่า KAPPA จากความสัมพันธ์ระหว่าง L'^2 กับ V_{DS}-$V_{DS(sat)}$ ของเอ็นมอสทรานซิสเตอร์ที่ขนาด W/L = 20/0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.9 สรุปผลการหาแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์

จากการหาแบบจำลองพารามิเตอร์ทั้งหมดที่ได้นำเสนอ สามารถสรุปค่าพารามิเตอร์ทั้งหมดได้ดังตารางที่ 6.3

ตารางที่ 6.2 สรุปผลของพารามิเตอร์ของมอสทรานซิสเตอร์ ระดับ 3

พารามิเตอร์	สัญลักษณ์	เอ็นมอสทรานซิสเตอร์	หน่วย
TPG	-	1	-
TOX	t_{GOX}	11.8	nm
LD	-	0.058	μm
WD	-	0.325	μm
UO	μ_o	480.83	$cm^2/V{\cdot}s$
VTO	$V_{T(Big\ MOS)}$	0.72	V
THETA	θ, ξ	0.204	V^{-1}
RS	R_S	25.82	Ohm (Ω)
RD	R_D	25.82	Ohm (Ω)
DELTA	δ	1.57	-
NSUB	N_{sub}	9.47×10^{16}	cm^{-3}
XJ	X_j	0.35	μm
NFS	-	2.37×10^{11}	cm^{-2}
VMAX	v_{sat}	2.5×10^{5}	m/s
KAPPA	κ	0.16	V^{-1}
ETA	η	6.84E-9	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.10 การเปรียบเทียบคุณลักษณะทางไฟฟ้าระหว่างผลจากการหาแบบจำลองพารามิเตอร์และผลจากการวัดจากตัวอุปกรณ์

จากการออกแบบโครงสร้างทดสอบและการถอดแบบจำลองพารามิเตอร์ ได้แบบจำลองพารามิเตอร์ SPICE ระดับ 3 สามารถเขียนเป็น

```
*The model are 0.5 CMOS model.
.MODEL  nmos  nmos (LEVEL=3  VTO=0.72   KP=140E-6  NSUB=9.47E16
                   +TOX=11.63E-9   UO=480 THETA= 0.204  LD=5.6E-8
                   +WD= 0.3E-6  CGDO=1.84E-10  CGSO=1.84E-10
                   +CGBO=5.7E-11 XJ=0.35E-6  ETA=6.84E-9
                   +RD=25.8  RS=25.8  KAPPA=0.16  DELTA=1.57
                   +VMAX=2.5E5  NFS=2.37E11  JS=1.25E-6
                   +JSW=3.0E-11  CJ=3.6E-4 MJ=0.67  PB=0.97
                   +CJSW=3.6E-10 PBSW=0.97  MJSW=0.72)
```

ในการทดสอบความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นมอสทรานซิสเตอร์ขนาด W = 20 µm L= 20 µm ใช้คำสั่งโปรแกรม T-Spice ดังด้านล่าง

```
*IDSVGS Family
M1 D G S B nmos  L=20 µ W=20 µ
VDD D S  dc  100mV
VGND S 0 dc 0V
VGS G S dc  0V
VBS B S dc  0V
.DC VGS  0  3.3  0.05
.print dc ID(M1)
.end
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนที่แรงดันเกทค่าต่างๆ องเอ็นมอสทรานซิสเตอร์ขนาด W = 20 µm L = 0.5 µm ใช้คำสั่งโปรแกรม T-Spice ดังด้านล่าง

```
*IDSVDS Family
VDD D S
VGS G S
VGND S 0 dc 0V
M1 D G S B nmos  L=0.5u W=20u
VBS B S dc 0V
.DC VDD  0  3.3  0.033  VGS 0.0  3.3  0.33
.print dc ID(M1)
.end
```

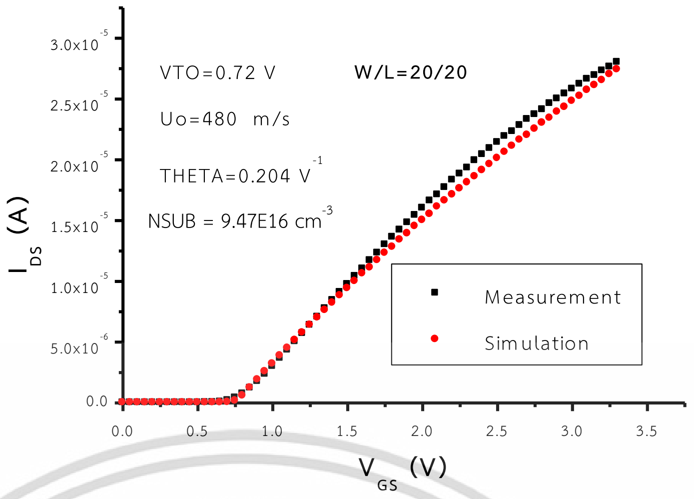
การเปรียบเทียบคุณลักษณะทางไฟฟ้าระหว่างผลจากการหาแบบจำลองพารามิเตอร์และผลจากการวัดจากตัวอุปกรณ์เป็นการทดสอบเพื่อศึกษาถึงความถูกต้องแม่นยำจากการหาแบบจำลองพารามิเตอร์ SPICE ระดับ 3

การทดสอบคุณลักษณะทางไฟฟ้าจากการหาแบบจำลองพารามิเตอร์ทำได้โดยนำพารามิเตอร์ที่ได้ใส่ในโปรแกรม T-Spice โดยคุณลักษณะทางไฟฟ้าที่ได้ทำการเปรียบเทียบมีดังต่อไปนี้

6.10.1 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกท

การทดสอบความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นมอสขนาด W = 20 µm L = 20 µm เพื่อดูผลของพารามิเตอร์ **NSUB THETA VTO** และ **Uo** ต่อเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ ทำได้โดยป้อน V_{GS} = 0 ⟶3.3 V (0.05 V/step) ที่ V_{DS} = 0.1 V ซึ่งผลการเปรียบเทียบแสดงดังรูปที่ 6.15

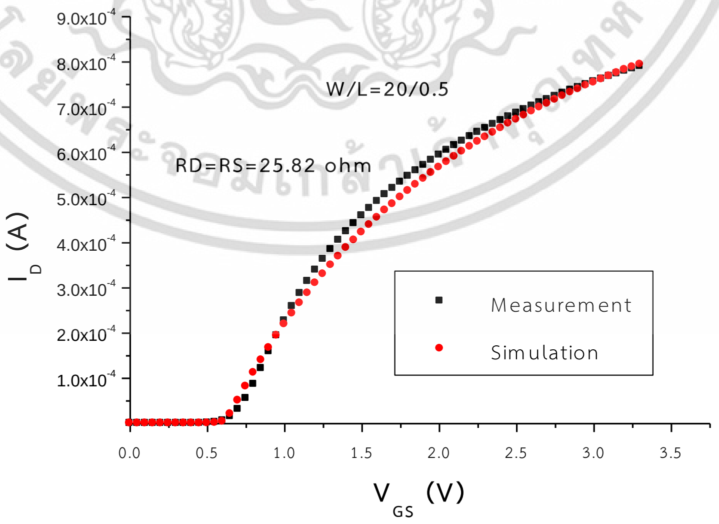
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.15 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่

จากรูปที่ 6.15 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L = 20/20) พบว่ามีค่าความคลาดเคลื่อนสูงสุดประมาณ 5 เปอร์เซ็นต์

ส่วนการผลของพารามิเตอร์ RD และ RS ทดสอบความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นมอสขนาด W = 20 μm L= 0.5 μm ทำได้โดยป้อน V_{GS} = 0 ⟶3.3 V (0.05 V/step) ที่ V_{DS} = 0.1 V ซึ่งผลการเปรียบเทียบแสดงดังรูปที่ 6.16

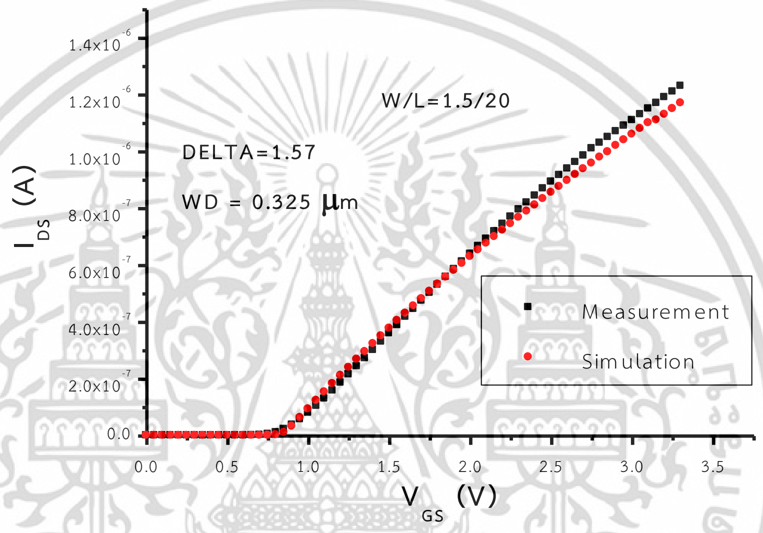


รูปที่ 6.16 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.16 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก (W/L = 20/0.5) พบว่ามีค่าความคลาดเคลื่อนสูงสุดประมาณ 4.7 เปอร์เซ็นต์

ส่วนผลของพารามิเตอร์ **WD** และ **DELTA** ที่มีต่อเอ็นมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสแคบ ทดสอบโดยอาศัยความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกทของเอ็นมอสขนาด W = 1.5 μm L= 20 μm ทำได้โดยป้อน V_{GS} = 0 ⟶ 3.3 V (0.05 V/step) ที่ V_{DS} = 0.1 V ซึ่งผลการเปรียบเทียบแสดงดังรูปที่ 6.17



รูปที่ 6.17 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดแคบ

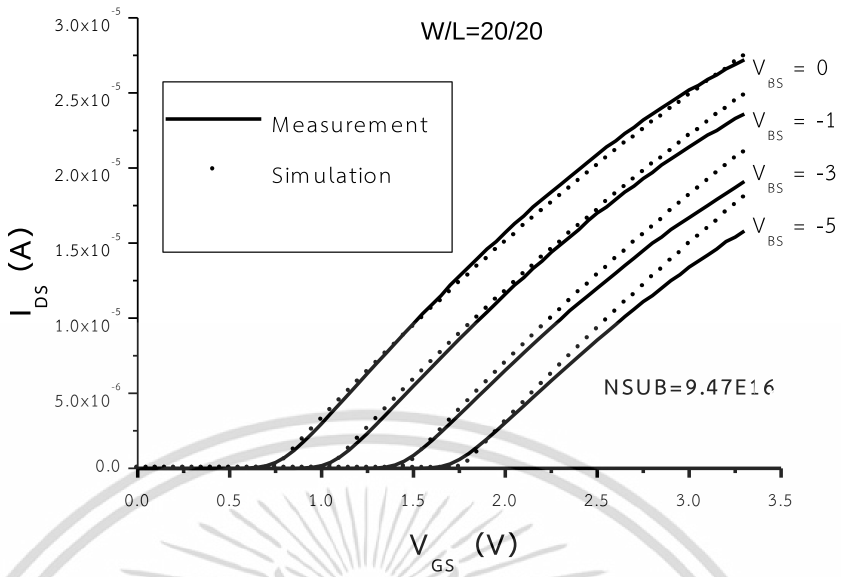
จากรูปที่ 6.17 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดแคบ (W/L = 1.5/20) พบว่ามีค่าความคลาดเคลื่อนสูงสุดประมาณ 3 เปอร์เซ็นต์

6.10.2 ความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทที่มีผลของการไบอัสฐานรอง

การทดสอบค่าพารามิเตอร์ **NSUB** โดยทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกทของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ W = 20 μm L= 20 μm

ที่มีผลของการไบอัสฐานรองทำได้ โดยป้อน V_{GS}= 0⟶3.3 V ที่ V_{DS}= 0.1 V และป้อน V_{BS}=0,-1,-3,-5 V ซึ่งผลการเปรียบเทียบแสดงผลในรูปที่ 6.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



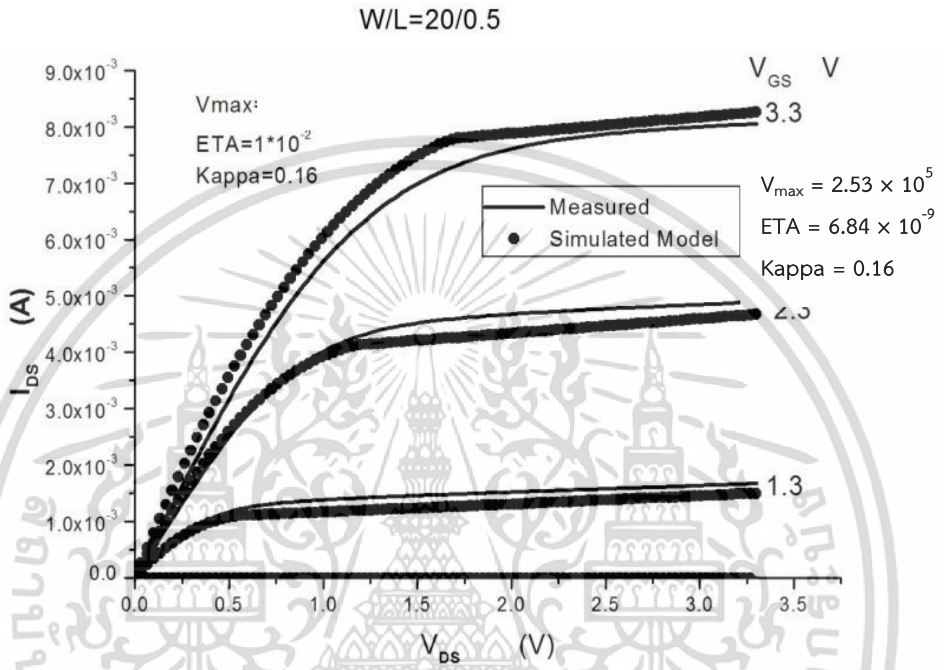
รูปที่ 6.18 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกททีมีผลของการไบอัสฐานรอง ที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่

จากรูปที่ 6.18 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเกททีมีผลของการไบอัสฐานรอง ที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดใหญ่ (W/L=20/20) พบว่ามีค่าความคลาดเคลื่อนสูงสุดประมาณ 5 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.10.3 ความสัมพันธ์กระแสเดรนกับแรงดันเดรนที่ค่าแรงดันเกทค่าต่างๆ

การทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนที่มีผลของการไบอัสฐานรองของเอ็นมอสขนาด W = 20 μm L= 0.5 μm โดยป้อน V_{DS} = 0 → 3.3 V ที่ V_{GS} = 0, 1.3, 2.3, 3.3 V ซึ่งผลการเปรียบเทียบแสดงผลในรูปที่ 6.19



รูปที่ 6.19 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนที่แรงดันเกทค่าต่างๆ ที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก

จากรูปที่ 6.19 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนที่แรงดันเกทค่าต่างๆ ที่ได้จากผลการจำลองพารามิเตอร์และผลจากการวัดของเอ็นมอสทรานซิสเตอร์ขนาดเล็ก พบว่ามีค่าความคลาดเคลื่อนสูงสุดประมาณ 5 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการวิจัยและข้อเสนอแนะ

เนื่องจากในปัจจุบันมีการวิจัยและพัฒนาทรานซิสเตอร์ ตั้งแต่ไบโพลาร์ทรานซิสเตอร์จนถึงมอสทรานซิสเตอร์ แต่เนื่องจากมอสทรานซิสเตอร์มีข้อดีกว่าไบโพลาร์ทรานซิสเตอร์ นักวิจัยจึงสนใจการพัฒนามอสทรานซิสเตอร์มากกว่าไบโพลาร์ทรานซิสเตอร์โดยมุ่งพัฒนามอสทรานซิสเตอร์ให้มีขนาดเล็กลง มีประสิทธิภาพในการทำงานสูงขึ้น ใช้พลังงานต่ำลง ซึ่งการพัฒนามอสทรานซิสเตอร์ให้มีขนาดเล็กลงนั้นมีเหตุผลหลายประการ ดังนี้

1. ในวงจรรวมที่มีพื้นที่เท่ากัน วงจรรวมที่สร้างจากมอสทรานซิสเตอร์ที่มีขนาดเล็กจะสามารถบรรจุมอสทรานซิสเตอร์ได้จำนวนมากกว่าวงจรรวมที่สร้างจากมอสที่มีขนาดใหญ่ หรือกล่าวได้ว่าวงจรรวมมีฟังก์ชั่นการทำงานมากขึ้นแต่มีขนาดเท่าเดิม

2. ค่าใช้จ่ายในการสร้างแผ่นอุปกรณ์สารกึ่งตัวนำนั้นค่อนข้างคงที่ ส่วนค่าใช้จ่ายของการสร้างวงจรรวมจะสัมพันธ์กับจำนวนวงจรรวมต่อแผ่น ยิ่งสร้างวงจรรวมได้จำนวนมากต่อหนึ่งแผ่นก็ยิ่งเป็นการลดราคาของการสร้างวงจรร่วม

3. เนื่องจากการปรับลดขนาดของมอสทรานซิสเตอร์เช่น ความกว้าง, ความยาว, ความหนาอ๊อกไซด์ของมอสทรานซิสเตอร์จะลดลงเป็นไปตามกฏการออกแบบ แต่ค่าความต้านทานภายในช่องทางเดินกระแสยังคงไม่เปลี่ยนแปลงทำให้ค่าความจุไฟฟ้าของเกทจะลดลง ดังนั้นค่า RC time ของทรานซิสเตอร์จะลดลงด้วยทำให้มอสทรานซิสเตอร์ที่มีขนาดเล็กลงจะสามารถมีความเร็วในการ Switch ได้เร็วขึ้น

จากเหตุผลทั้งหมดที่กล่าวมาทำให้งานวิจัยนี้มีจุดมุ่งหมายเพื่อที่จะสร้างเอ็นมอสทรานซิสเตอร์ขนาด 0.5 µm ซึ่งถือได้ว่าเป็นเทคโนโลยีการสร้างเอ็นมอสทรานซิสเตอร์ที่มีขนาดเล็กที่สุดที่สร้างได้จริงในประเทศไทยในเวลาปัจจุบัน โดยเนื้อหาในวิทยานิพนธ์เล่มนี้คือ

1. การศึกษาวิธีการสร้าง, ทฤษฎีและหลักการทำงานของมอสทรานซิสเตอร์

2. การจำลองขั้นตอนกระบวนการสร้างเพื่อคาดการณ์คุณลักษณะทางไฟฟ้า, การออกแบบขั้นตอนกระบวนการสร้าง, การลงมือสร้างเอ็นมอสทรานซิสเตอร์จริงและการวัดคุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์

3. การทดสอบคุณลักษณะทางไฟฟ้าและการทดสอบโครงสร้างทดสอบของเอ็นมอสทรานซิสเตอร์

4. การถอดแบบจำลองพารามิเตอร์ระดับ 3 สำหรับให้นักออกแบบวงจรรวมได้นำไปใช้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเนื้อหาทั้งหมดสามารถสรุปได้ดังนี้

1. จากการจำลองผลกระบวนการสร้าง โดยใช้โปรแกรม Sentaurus TCAD เพื่อให้ค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์มีค่าประมาณเท่ากับ +0.7 V ($V_T \cong +0.7$ V) โดยกำหนดสภาพต้านทานของฐานรองที่ 20-25 โอห์ม-ซม. บ่อแยกชนิดพียิงฝังประจุโบรอนที่พลังงาน 140 keV และได้ปรับเปลี่ยนปริมาณโดสมีค่า 6×10^{11}, 8×10^{11}, 1×10^{12} cm^{-2} ส่วนการยิงฝังประจุ สำหรับการป้องกันพันช์ทรู (APT) จะใช้โบรอนที่พลังงาน 90 keV มีปริมาณโดสที่ 0, 2×10^{12} และ 3×10^{12} cm^{-2} และการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่ม (VTA) จะใช้ BF_2 ซึ่งในการจำลองได้ทำการปรับเปลี่ยนปริมาณโดสมีค่าตั้งแต่ 0, 1.6×10^{12}, 1.7×10^{12}, 1.8×10^{12}, 1.9×10^{12}และ $2.0\times10^{12}cm^{-2}$ ด้วยพลังงาน 70 keV และค่าความหนาของชั้นเกทออกไซด์เท่ากับ 10 นาโนเมตร ซึ่งจากการจำลองเงื่อนไขทั้งหมดที่กล่าวมานั้น เงื่อนไขที่มีค่าแรงดันขีดเริ่มเท่ากับ +0.7 V ($V_T \cong +0.7$ V) คือเงื่อนไขที่มีบ่อแยกชนิดพีมีปริมาณโดส 1×10^{12} cm^{-2}, ค่าปริมาณโดสการยิงฝังประจุสำหรับการปรับแรงดันขีดเริ่มมีปริมาณโดส 1.8×10^{12} และค่าปริมาณโดสการยิงฝังประจุของกระบวนการป้องกันพันช์ทรู (APT) มีปริมาณโดส $3\times10^{12}cm^{-2}$ ซึ่งมีผลของค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์เท่ากับ 0.693 V โดยเอ็นมอสทรานซิสเตอร์มีกระแสเดรนย่านอิ่มตัวที่ $V_{DS}=V_{GS}=3.3$ V เท่ากับ 403 μA/μm

2. จากการทดสอบคุณสมบัติทางไฟฟ้าของโครงสร้างทดสอบและคุณสมบัติทางไฟฟ้าของมอสทรานซิสเตอร์ สามารถสรุปผลคุณสมบัติที่สำคัญได้ดังตารางที่ 7.1

ตารางที่ 7.1 คุณสมบัติทางไฟฟ้าของเอ็นมอสทรานซิสเตอร์ขนาด 0.5 μm

พารามิเตอร์	สัญลักษณ์	ค่าคุณสมบัติ	หน่วย	หมายเหตุ
แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดใหญ่	$V_{TN(big\ MOS)}$	0.75	V	20/20
แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดสั้น	$V_{TN(short\ MOS)}$	0.662	V	20/0.5
แรงดันขีดเริ่มของมอสทรานซิสเตอร์ขนาดแคบ	$V_{TN(narrow\ MOS)}$	0.928	V	0.9/20
แรงดันพันช์ทรู	V_{PTN}	10.5	V	20/0.5
กระแสเดรนย่านอิ่มตัวที่ $V_{DS} = V_{GS} = 3.3$ V	$I_{DN(sat)}$	403	A	20/0.5
กระแสเดรนรั่วที่ $V_{DS} = 5.5$ V	$I_{DN(leak)}$	0.192	μA	20/0.5
แรงดันขีดเริ่มของฟิล์ดมอสทรานซิสเตอร์	V_{TFN}	11	V	500/1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. จากการหาแบบจำลองพารามิเตอร์ทั้งหมดที่ได้นำเสนอ สามารถสรุปค่าพารามิเตอร์ทั้งหมดได้ดังตารางที่ 7.2

ตารางที่ 7.2 สรุปผลของพารามิเตอร์ของมอสทรานซิสเตอร์ระดับ 3

พารามิเตอร์	สัญลักษณ์	เอ็นมอสทรานซิสเตอร์	หน่วย
TPG	-	1	-
TOX	t_{GOX}	11.8	nm
LD	-	0.058	μm
WD	-	0.325	μm
UO	μ_o	480.82	$cm^2/V{\cdot}s$
VTO	$V_{T(Big\ MOS)}$	0.72	V
THETA	θ, ξ	0.204	V^{-1}
RS	R_S	25.82	Ohm (Ω)
RD	R_D	25.82	Ohm (Ω)
DELTA	δ	1.57	-
NSUB	N_{sub}	9.47×10^{16}	cm^{-3}
XJ	X_j	0.35	μm
NFS	-	2.37×10^{11}	cm^{-2}
VMAX	v_{sat}	2.5×10^{2}	m/s
KAPPA	κ	0.16	V^{-1}
ETA	η	6.84×10^{-9}	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] สมเกียรติ ศุภเดช, **เซมิคอนดัคเตอร์ดีไวซ์**, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร, พ.ศ. 2549. บทที่ 5. หน้า 256-265.

[2] สิทธิชัย โภไคยอุดม, **อุปกรณ์สารกึ่งตัวนำสำหรับวงจรรวมยุคใหม่**, มหาวิทยาลัยเทคโนโลยีมหานคร, กรุงเทพฯ, 2551. หน้า 4-47 - 4.75.

[3] วรากรณ์ เกษมสุวรรณ, การวิเคราะห์วงจรรวมซีมอสแบบแอนะล็อก, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร, พ.ศ.2552. บทที่ 2. หน้า 5 – 7

[4] สมเกียรติ ศุภเดช, **เซมิคอนดัคเตอร์ดีไวซ์**, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร, พ.ศ. 2549. บทที่ 5. หน้า 271-273

[5] Synopsys Inc. “Sentaurus TCAD User Manual, version Z-2007.” [Compact Disc]. USA : **Synopsys Inc**. 2007

[6] N. Phongphanchanthra, A. Ruangphanit, N. Klunngien and R. Muanglua. “Effect of Process Variation on the Threshold Voltage of MOSFET Using Proces and Device Simulations” **Proc. ANSCSE 11,** Mar. 2007. pp. 192-193

[7]]A. Ruangphanit, N. Phongphanchanthra, N. Klunngien, W. Yamwong, R. Muanglua and S. Khunkhao. “Channel Engineering Study for Submicron N-Channel MOSFET Based on TCAD Simulation” **Proc. ANSCSE 12**, Mar. 2008. pp. 346-349

[8] N. Phongphanchanthra, A. Ruangphanit, N. Klunngien, W. Yamwong, S. Niemcharoen and S. Khunkhao. “Twin-Well 0.8 micron CMOS Technology Design and Simulatin Process for Fabrication” **Proc. SmartMat’08,** Apr. 2008. pp. 288

[9] T.F. Ciszek, M.R. Page, T.H. Wang and J.A. Casey. “float-zone and czochralski crystal growth and diagnostic solar”, Photovoltaic Specialists Conference, **Conference Record of the Twenty-Ninth IEEE**, 2002, pp. 210 - 213

[10] Russell Deaton and Hisham Z. Massoud.“Manufacturability of Rapid-Thermal Oxidation of Silicon: Oxide Thickness, Oxide Thickness Variation and System Dependency”, **IEEE Transactions on semiconductor manufacturing**, Vol 5 NO 4 NOVEMBER 1992, pp. 347-358.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

[11] Z. J. Chen, E Zhang, X.Wang and S. C. Zou. “Structural Characterization of SiGe/Si Dry Thermal Oxidation”, Junction Technology, **The Fourth International Workshop on 15-16 March 2004** pp 267-269

[12] Yong Liu, Jeff Hebb and James Willis. “Fast ambient switching for the multiple-step rapid thermal”, 9th Int. **Conference on Advanced Thermal Processing of Semiconductors-RTP**' 2001 pp. 306-314.

[13] Heiner Ryssel, Karl Haberger, Klaus Hoffmann, Gertraud Prinke, Rolf Dumcke and Albert Sachs. “Simulation of Doping Processes”**, IEEE JOURNAL OF SOLID-STATE CIRCUITS**, Vol. SC-15, NO. 4, AUGUST 1980, pp. 549-557.

[14] Toshihiro Matsuda, Mika Okina and Takashi Ohzone. “Electrical Characteristics of 0° / ±45° /±90° –Orientation CMOSFET with Source/Drain Fabricated by Various Ion-Implantation Methods”, **IEEE TRANSACTIONS ON ELECTRON DEVICES**, Vol. 46, NO. 4, APRIL 1999, pp. 703-711.

[15] X.-L. XU, J. ZHANQ, Y. TONG. “Silicon on quartz by solid-state diffusion bonding (ssdb) technology”, **ELECTRONICS LETTERS 26th** May 1988 Vol.24 No. 11, pp 691-692.

[16] You-Jin Park and Ha-Ran Hwang. “A Rule-Based Simulation Approach to Scheduling Problem in Semiconductor Photolithography Process”, **Intelligent Systems: Theories and Applications (SITA)**, 2013 IEEE, pp. 192-193.

[17] D. Resnik, D. Vrtacnik, U. Aljancic, M. Mozek and S. Amon. “Etching Properties of DC Sputtered Al Thin Films in Silicon Micromachining”, **IEEE MELECON 2006, May 16-19, Benalmádena (Málaga), Spain**, pp. 293-296.

[18] lleana Cernica, Camelia Dunare, Liviu Bocioaca, Carmen Moldovan and Octavian Buiu. “Polysilicon gate dry etching process optimization in cmos technologies” **Semiconductor Conference, CAS '97 Proceedings**, 1997 International IEEE, pp. 239-242.

[19] Orlando Auciello, and Angus I.Kingon. “A Critical Review Of Physical Vapor Deposition Techniques For The Synthesis Of Ferroelectric Thin Films” Applications of Ferroelectrics, 1992. ISAF '92, **Proceedings of the Eighth IEEE International Symposium on IEEE.** pp. 320-331.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

[20] Mehmet C. Oztiirk, F. Yates Sorrell, Jimmie J. Wortman, F. Scott Johnson and Douglas **T.** Grider. "Manufacturability Issues in Rapid Thermal Chemical Vapor Deposition" ,**IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING**, Vol. 4, NO. 2. MAY 1991, pp. 155-165.

[21] Neil H.E. Weste and David Harris., **CMOS VLSI Design; A Circuits and Systems Perspective,** 3rd ED. Boston: Pearson Education, Inc. 2005 pp. 28-32.

[22] Van der Pauw and L.J. "A Method of Measuring Specific Resistivity and Hall Effect of Discs of Arbitrary Shape" **Philips Research Reports**, vol. 13, no. 1, 1985. pp. 1-9

[23] Van der Pauw and L.J. "A method of measuring the resistivity and Hall coefficient on lamellae of arbitrary shape" **Philips Research Review**, vol. 20, 1985. pp. 220-224.

[24] Dieter K. Schroder, Semiconductor Material and Device Characterization, **New York, John Wiley &Sons, Inc.**, 1990. pp. 1-14

[25] Keithley Instruments., **Low Level Measurements Handbook: Precision DC Current, Voltage, and Resistance Measurements, Ohio**, 2004. pp. 4-26 to 4-35

[26] Dieter K. Schroder., **Semiconductor Material and Device Characterization**, New York, John Wiley &Sons, Inc., 1990. pp. 121-128.

[27] S. J. Proctor, L. W. Linholm and J. A. Mazer, "Direct Measurement of Interfacial Contact Resistance, End Contact Resistance, and interfacial contact layer uniformity" **IEEE Trans. Elec. Dev**., vol. ED-30, no. 11, 1983. pp. 1535-1542.

[28] T. A. Schreyer and K. C. Saraswat, "A Two-Dimensional Analytical Model of the Cross-Bridge Kelvin Resistor" **IEEE Elec. Dev. Lett., vol. EDL-7**, no. 12, 1986. pp. 661-663

[29] L. K. Nanver, E. J. G. Goudena and J. Slabbekoorn. "Kelvin Test Structure for Measuring Contact Resistance of Shallow Junctions" **Proc. IEEE Conference on Microelectronic Test Structure**, vol. 9, Mar. 1996. pp. 241-245.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

[30] Lis K. Nanver, Egbert J. G. Goudena and John Slabbekoorn. "Bipolar Integrated Kelvin Test Structure for Contact Resistance Measurement of Self-Aligned Implantations" **IEEE Trans. Semi. Manufacturing**, vol. 9, no. 3, Aug. 1996. pp. 455-460

[31] Keithley Instruments**., Low Level Measurements Handbook: Precision DC Current, Voltage, and Resistance Measurements,** Ohio, 2004. pp. 4-26 to 4-35.

[32] Y. P. Tsivids., Operating and Modeling of The MOS Transistor, **New York, Oxford University Press Inc**., 1999.

[33] ASTM International. 1988 "ASTM F617, Standard Method for Measuring MOSFET Linear Threshold Voltage." **Annual Book of ASTM Standrads. Am. Soc. Test. Mat.**

[34] สิทธิชัย โภไคยอุดม, **อุปกรณ์สารกึ่งตัวนำสำหรับวงจรรวมยุคใหม่**, มหาวิทยาลัยเทคโนโลยีมหานคร, กรุงเทพฯ, 2551. หน้า 4.47 - 4.75.

[35] S. Jian. "Measurement of Threshold Voltage and Channel Length of Sub-micron MOSFET's" **Proc. IEE, Dec**. 1988. pp. 162-164.

[36] Mauro Zambuto., **Semiconductor Devices**, New York: **McGraw-Hill**. 1989. pp. 309-313.

[37] F. Hsu, R. S. Muller, C. Hu and P. Ko. "A Simple Punchthrough Model for Short-Channel MOSFET's" **IEEE Trans. Elec. Dev**., vol. ED-30, no. 10, Oct. 1983.pp. 1354-1359.

[38] นพพล พงษ์พันธุ์จันทรา, อนุชา เรืองพานิช, นิภาพรรณ กลั่นเงิน, วิทวัส แย้มวงษ์, สันชัย หาญสูงเนิน, นรินทร์ อติวงศ์แสงทอง และ สุรศักดิ์ เนียมเจริญ.,"ผลการไบอัสฐานรองที่มีต่อซับเทรดโชลด์สวิงของมอสเฟท 0.8 μm" **การประชุม 10 ปีวิชาการแม่ฟ้าหลวง**, พฤศจิกายน พ.ศ. 2551. หน้า 52

[39] A. Ruangphanit, N. Phongphanchantra, A. Poyai, C. Hruanan, R. Muanghlua and S. Khunkhao. 2009 "Substrate Bias Effects on Drain Induced Barrier Lowering (DIBL) in Short Channel NMOS FETs" **Australian Journal of Basic and Applied Sciences**. 3(3) : 1640-1644.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

[40] N. Phongphanchanthra, A. Ruangphanit, N. Klunngien, W. Yamwong, S. Niemcharoen and S. Khunkhao. “Twin-Well 0.8 micron CMOS Technology Design and Simulatin Process for Fabrication” **Proc. SmartMat’08,** Apr. 2008. pp. 288.

[41] อนุชา เรืองพานิช, รังสรรค์ เมืองเหลือ, นพพล พงษ์พันธุ์จันทรา, ภาวดี มีสรรพวงศ์ และ อัมพร โพธิ์ใย., “แบบจำลองพารามิเตอร์และการหาค่า ของมอสเฟตระดับ 3” **มหาวิทยาลัยมหาสารคามวิจัย** ครั้งที่ 2, กันยายน พ.ศ. 2549. หน้า 42

[42] Daniel P. Foty, **MOSFET Modeling with SPICE Principles and Practice, New Jersey** : Prentice Hall, Inc., 1997. pp. 154-211.

[43] อนุชา เรืองพานิช และสรายุทธ วิศวแสวงสุข., “วิธีการหาแบบจำลองพารามิเตอร์ของมอสทรานซิสเตอร์” **สารเนคเทค,** ปีที่ 10, ฉบับที่ 53. กรกฎาคม พ.ศ. 2546. หน้า 31-35.

[44] สมเกียรติ ศุภเดช, **เซมิคอนดัคเตอร์ดีไวซ์**, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร, พ.ศ. 2544. หน้า 319

[45] G. Baum and H. Beneking. “Drift Velocity Saturation in MOS Transistors” **IEEE Trans. Elec. Dev.**, vol. ED-17, Jun. 1970. pp. 481-482.

[46] N. Phongphanchanthra, A. Ruangphanit, N. Klunngien, P. Meesapawong, R. Sonboonton and S. Niemcharoen. “Design and Measurements Technique of Thin Film and Diffusion Layer in Submicron CMOS Technology” **Proc. Nano Thailand**, 2007. pp. 122.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
ค่าคงที่ทางฟิสิกส์

ตารางที่ ก.1 ค่าคงที่ทางฟิสิกส์

พารามิเตอร์	สัญลักษณ์	ค่า	หน่วย
มวลนิ่งของอิเล็กตรอน	m_e	9.1091×10^{-31}	kg
มวลนิ่งของโปรตรอน	m_p	1.6726×10^{-31}	kg
มวลนิ่งของนิวตรอน	m_n	1.675×10^{-31}	kg
ประจุไฟฟ้าของอิเล็กตรอน	q	1.6021×10^{-19}	C
อัตราส่วนระหว่างประจุกับมวลนิ่งของอิเล็กตรอน	q/m_e	1.75879×10^{-11}	C/kg
ความเร็วแสงในสุญญากาศ	c	2.9979×10^{8}	m/s
เปอร์มิติวิตีในสุญญากาศ	ε_0	8.8542×10^{-12} 8.8542×10^{-14}	F/m F/cm
ค่าคงที่โบลทซ์มันน์	k	1.3805×10^{-23} 8.6171×10^{-5}	J/K eV/K
ค่าคงที่ของแพลงค์	h	6.6256×10^{-34} 4.135×10^{-15}	J•s eV•s
เลขอะโวกาโด	N_0, A_0	6.0221×10^{23}	1/mol
ค่าเปอร์มิอะบิลิตี้ในสุญญากาศ	μ_0	1.2566×10^{-6}	$N{\cdot}A^2$
ค่าคงที่ของแรงคูลอมบ์	$k_e = 1/4\pi\varepsilon_0$	8.9876×10^{9}	$N{\cdot}m^2/C^2$
ค่ารัศมีของบอห์ร	a_0	5.2918×10^{-11}	m
ค่าคงที่ของริดเบอร์ก	R_∞	1.0974×10^{7}	1/m
ค่าคงที่ของสเตฟาน	σ	5.6704×10^{-8}	W/m^2
ค่าบอห์แมกนีตรอน	μ_B	9.274×10^{-24}	J/T
ค่าพลังงานจูล	J	6.242×10^{18}	eV
ค่าอุณหภูมิสัมบูรณ์	K	$^\circ C + 273.15$	K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข
หน่วนในระบบฟิสิกส์

ตารางที่ ข.1 หน่วยในระบบเอสไอ (International System Unit : SI Unit)

ปริมาณ	ชื่อหน่วย	หน่วยอนุพันธ์	หน่วยฐาน
ความยาว (Length)	Meter	-	m
มวล (Mass)	Kilogram	-	kg
เวลา (Time)	Second	-	s
กระแสไฟฟ้า (Current)	Ampere	-	A
ความถี่ (Frequency)	Hertz	Hz	1/s
แรง (Force)	Newton	N	$kg{\cdot}m/s^2$
แรงดัน (Pressure)	Pascal	Pa	$N/m^2 = kg\ /m{\cdot}s^2$
พลังงาน (Energy)	Joule	J	$N{\cdot}m = kg{\cdot}m^2/s^2$
กำลังไฟฟ้า (Power)	Watt	W	$V{\cdot}Ab = kg{\cdot}m^2/s^3$
ประจุไฟฟ้า (Electric Charge)	Coulomb	C	$A{\cdot}s$
ศักย์ไฟฟ้า (Potential)	Volt	V	$J/C = kg{\cdot}m^2/A{\cdot}\ s^3$
ความนำไฟฟ้า (Conductance)	Siemens	S	$\Omega^{-1} = A^2{\cdot}\ s^3/kg{\cdot}m^2$
ความต้านทานไฟฟ้า (Resistance)	Ohm	Ω	$V/A = kg{\cdot}m^2/A^2{\cdot}\ s^3$
ความจุไฟฟ้า (Capacitance)	Farad	F	$C/V = A^2{\cdot}\ s^4/kg{\cdot}m^2$
ฟลักซ์แม่เหล็ก (Magnetic Flux)	Weber	Wb	$V{\cdot}s = kg{\cdot}m^2/A{\cdot}s^2$
ความหนาแน่นฟลักซ์แม่เหล็ก (Magnetic Flux Density)	Tesla	T	$Wb/m^2 = kg/\ A{\cdot}s^2$
ความเหนี่ยวนำไฟฟ้า (Inductance)	Henry	H	$Wb/A = kg{\cdot}m^2/\ A^2{\cdot}s^2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

คำอุปสรรค

ตารางที่ ค.1 คำอุปสรรค หรือ คำนำหน้าหน่วย (Prefix)

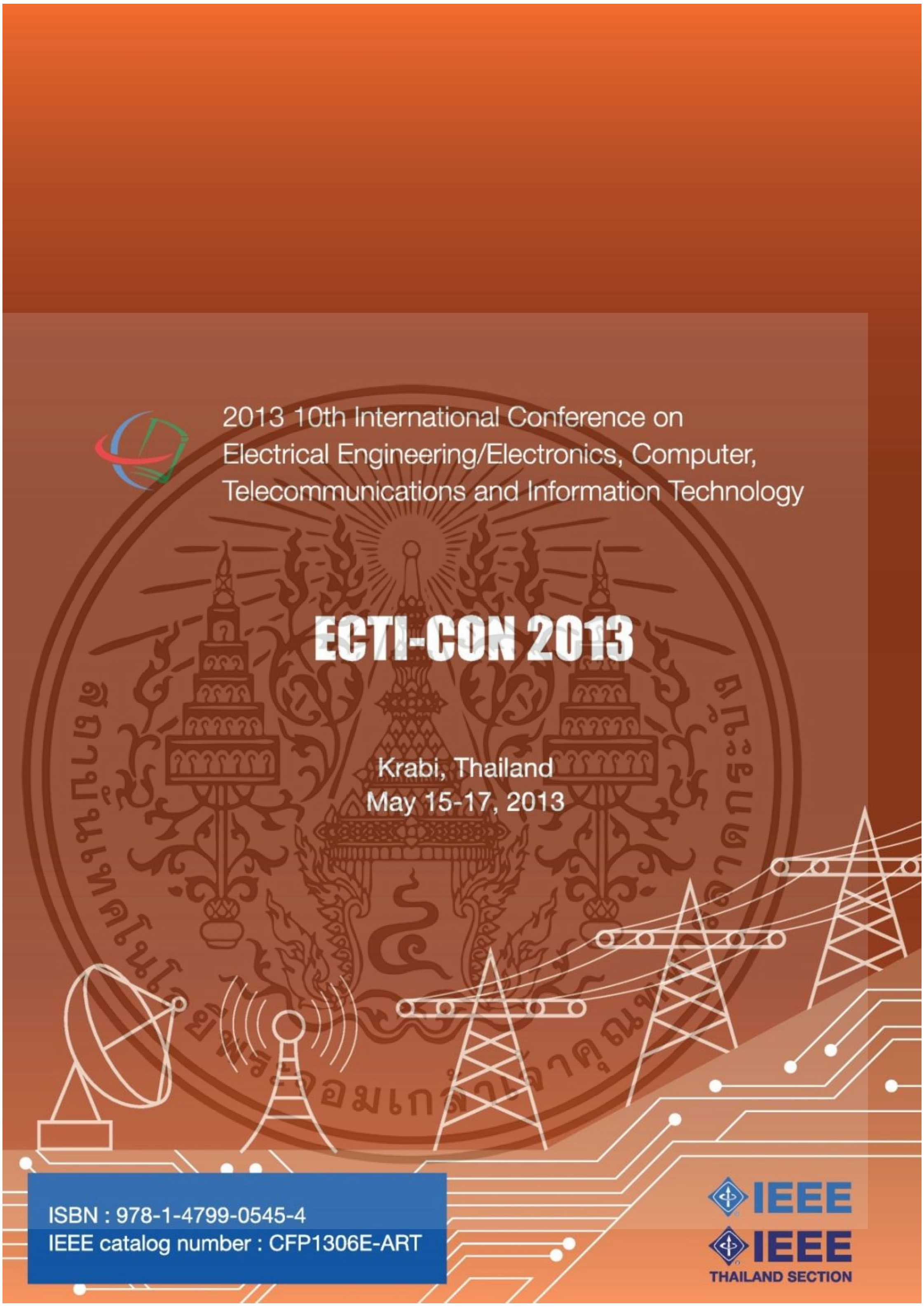
10^n	คำอุปสรรค		ตัวย่อ	ความหมาย	ตัวเลข
10^{24}	ยอตตะ	yotta-	Y	ล้านล้านล้านล้าน	1,000,000,000,000,000,000,000,000
10^{21}	เซตตะ	zetta-	Z	พันล้านล้านล้าน	1,000,000,000,000,000,000,000
10^{18}	เอกซะ	exa-	E	ล้านล้านล้าน	1,000,000,000,000,000,000
10^{15}	เพตะ	peta-	P	พันล้านล้าน	1,000,000,000,000,000
10^{12}	เทระ	tera-	T	ล้านล้าน	1,000,000,000,000
10^{9}	จิกะ	giga-	G	พันล้าน	1,000,000,000
10^{6}	เมกะ	mega-	M	ล้าน	1,000,000
10^{3}	กิโล	kilo-	k, K	พัน	1,000
10^{2}	เฮกโต	hecto-	h	ร้อย	100
10^{1}	เดคา	deca-	da	สิบ	10
10^{-1}	เดซิ	deci-	d	หนึ่งส่วนสิบ	0.1
10^{-2}	เซนติ	centi-	c	หนึ่งส่วนร้อย	0.01
10^{-3}	มิลลิ	milli-	m	หนึ่งส่วนพัน	0.001
10^{-6}	ไมโคร	micro-	μ	หนึ่งส่วนล้าน	0.000 001
10^{-9}	นาโน	nano-	n	หนึ่งส่วนพันล้าน	0.000 000 001
10^{-12}	พิโก	pico-	p	หนึ่งส่วนพันล้าน	0.000 000 000 001
10^{-15}	เฟมโต	famto-	f	หนึ่งส่วนพันล้านล้าน	0.000 000 000 000 001
10^{-18}	อัตโต	atto-	a	หนึ่งส่วนล้านล้านล้าน	0.000 000 000 000 000 001
10^{-21}	เซปโต	zepto-	z	หนึ่งส่วนพันล้านล้านล้าน	0.000 000 000 000 000 000 001
10^{-24}	ยอกโต	yocto-	y	หนึ่งส่วนล้านล้านล้านล้าน	0.000 000 000 000 000 000 000 001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.
ผลงานวิจัยที่ได้รับการตีพิมพ์

[1] N. Sakuna, R. Muanghlua, S. Niemcharoen, A. Ruangphanit, A.Poyai. "Temperature and Devices Dimension Dependence on Threshold voltage, the Low field mobilty and the Series parasitic resistance of PMOSFET" 2013 10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Temperature and Devices Dimension Dependence on Threshold voltage, the Low field mobilty and the Series parasitic resistance of PMOSFET

N. Sakuna[2], R. Muanghlua[2], S. Niemcharoen[2]
[2]Department of Electronics Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand

A. Ruangphanit[1], A.Poyai[1]
[1]National Electronics and Computer Technology Center
Pathumthani, Thailand
anucha.ruangphanit@nectec.or.th

Abstract— **This paper presents the temperature and devices dimension dependence on the threshold voltage, low field mobility and series parasitic resistance of PMOS over operating temperature range of 27 ^{0}C to 125 ^{0}C. The relation of I_{DS} and V_{GS} in linear region was used with a different of channel length and channel width. The parameters extraction procedure is based on the measurement of the transconductance characteristics of MOSFET in linear region. The results show that, the temperature coefficient for threshold voltage is around 1.7mV/K approximately. The low field mobility degradation parameter is decreased by the factor of 0.68. The temperature coefficient of source-drain series resistance per unit channel width (R_{DSW}) is approximately 16.7 ohm-um/K. These data are necessary not only should be compared with the results of NMOS but also should be used for the circuit designer to understanding well in the elevated operating temperatures.**

I. Introduction

When the devices dimension are scaled down to submicron. The relationship between the threshold voltage and the substrate bias deviate from the first order square root dependence as the device dimensions are scaled down too. This is mainly because the built-in potential depends logarithmically on the substrate doping which is scaled up proportionally with the dimensions. This feature is modeled by decoupling the effect of channel length, channel width and a static feedback. Each of features is enable by specifying the parameters XJ, DELTA and ETA respectively. The short channel effect, the decrease of V_{TH} as the channel length is scaled down [1]. The narrow channel effect, the increase of V_{TH} as the channel width is scaled down is model by taking into account the extra bulk charge at the edge of the channel such as the existence of field implant and non-planarity due to the Local Oxidation of Silicon (LOCOS) process. The parameter DELTA is introduced. The static feedback effect can be explained as a Drain Induced Barrier (DIBL) which is linearly proportional to V_{DS}. The threshold voltage in Level 3 model [1],[2] which sums up the above feature is written as

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

$$V_{TH} = V_{T0} + \gamma\sqrt{\Phi_S} - \gamma F_S\sqrt{\Phi_S + |V_{BS}|} - F_N\left(\Phi_S + |V_{BS}|\right) - F_D V_{DS} \quad (1)$$

$$F_S = 1 - \frac{1}{L_{eff}}\left[\left(W_C + \mathrm{LD}\right)\left\{1 - \left[\frac{W_P}{\mathrm{XJ} + W_P}\right]^2\right\}^{\frac{1}{2}} - \mathrm{LD}\right] \quad (2)$$

$$F_N = DELTA\frac{\pi\varepsilon_{si}}{2C_{ox}W_{eff}} \quad (3)$$

$$F_D = ETA\frac{8.15\times10^{-20}(F.cm)}{C_{ox}L_{eff}^3} \quad (4)$$

Where V_{TO} is a zero bias threshold voltage of a big MOSFET at zero substrate bias. Φ_S is a surface potential. γ is body bias coefficient. F_N is the correction factor of a narrow channel. F_S is a correction factor for short channel effect. F_D is a coefficient of static feedback. For big MOSFET (large W, large L), $F_S \rightarrow 1$, $F_N \rightarrow 0$. The threshold voltage equation of the narrow channel width is simplified as

$$V_{TH,N} = V_{T0} - F_N(\Phi_S + |V_{BS}|) \quad (5)$$

Similarly, the threshold voltage equation of the short channel width that include drain bias is simplified as

$$V_{TH,S} = V_{TO} + \gamma\sqrt{\Phi_S} - \gamma F_S\sqrt{\Phi_S + |V_{BS}|} - F_D V_{DS} \quad (6)$$

The $DELTA$ and ETA can be fined as [1].The electrical characteristics of MOSFETs are strongly dependence on the operating temperature [2]-[10]. The temperature dependence model of V_{TH} is used

$$V_{TH}(T) = V_{TH}(T_{ref}, W, L, V_{DS}) + TCV\cdot\left(T - T_{ref}\right) \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Where $V_{TH}(T_{ref}, W, L, V_{DS})$ is a threshold voltage at specific W,L, V_{DS} measure at T=T_{ref}. The parameter TCV is the threshold voltage dependence of temperature with a unit of V/K. The temperature dependence on the mobility in Berkley SPICE is defined as [5]

$$\mu(T) = \mu(T_{ref})\left(\frac{T}{T_{ref}}\right)^{UTE} \quad (8)$$

The channel mobility reduction by the vertical field is written as [2]

$$\mu_v = \frac{U_0}{1+\theta(V_{GS}-V_{TH})} \quad (9)$$

The drain current model of MOSFET at a function of temperature that the effects of series parasitic resistance and mobility degradation are included is defined as

$$I_{DS}(T) = K(T)[((V_{GS}-V_{TH}(T)) - 0.5V_{DS}]V_{DS} \quad (10)$$

$$K = \frac{K_0}{1+\theta_m(V_{GS}-V_{TH})} \quad (11)$$

$$K_0(T) = Cox\frac{W_{eff}}{L_{eff}}Uo\left(\frac{T}{T_{ref}}\right)^{UTE} \quad (12)$$

$$L_{eff} = L_{drawn} - 2dL \quad (13)$$

$$W_{eff} = W_{drawn} - 2dW \quad (14)$$

$$\theta_m = \theta_0 + K_0R_{DS} \quad (15)$$

Where K_0 (A/V^2) is the maximum device transconductance parameter, T_{ref} is the nominal temperature or reference temperature at which parameters are extracted (27^{0}C), Uo is the Low field mobility, θ_0 is the mobility degradation factor of large MOSFET, θ_m is the total mobility degradation factor that the series parasitic resistance and mobility degradation are included, V_{TH} is the threshold voltage, UTE is temperature dependence on the low drain bias mobility, V_{TH} is the threshold voltage, W_{eff} is the effective channel width, L_{eff} is the effective channel length, dL is the channel length reduction on one side , dW is the channel width reduction on one side, C_{ox} is the gate oxide capacitance per unit area, R_S is a series parasitic resistance at the source end, R_D is a series parasitic resistance at the drain end, by assuming the R_D=R_S=R_{DS}/2.

We can find the mobility degradation θ and SD series parasitic resistance by the following procedure [3]. Where K_o is the slope max of I_{DS}-V_{GS}, K is the slope of I_{DS}-V_{GS} at a specific V_{GS}. We can find θ at the specific drawn channel length by plotting the relation between K_o and K. We can find R_{DS} from the slope between θ -K_0 of each specific device that varying the channel length. The y-intercept of θ - K_0 is a mobility degradation factor (θ) of MOSFET. As you seen that the longer channel length value the lower mobility degradation value.

In BSIM3 model[2], the temperature dependence of the series S/D resistance is defined by

$$R_{DSW}(T) = R_{DSW} + PRT(\frac{T}{T_{ref}} - 1) \quad (16)$$

Where R_{DSW} is the parasitic series resistance per unit width exacted at T=T_{ref}, PRT is the temperature coefficient for R_{DSW}.

In this paper, we reported the effect of temperature and the devices dimension on the basic electrical characteristics of PMOS devices in a supply voltage of 5.0 V fabricated at TMEC. The temperature dependence of a device performance parameter such as the threshold voltage, the saturation drain current, low field mobility, mobility degradation and series parasitic resistance are determined. The buried channel PMOS devices is given that;

1) CMOS technology fabrication is the dominant technology in modern VLSI and PMOS device is part of the CMOS structure.

2) Boron-ion implantation in the channel for VTA adjust is now commonly used in both NMOS and PMOS device in CMOS technology and this serves mainly to match on the threshold voltage of both devices. This channel doping process can be used to prevent the NMOS from exhibiting the punchthrough effect. However, it causes the formation of the p-type buried channel in the enhancement mode PMOS device.

II. Experimental Procedure

A. Devices Fabrication

The CMOS fabrication technology requires both n-channel (NMOS) and p-channel (PMOS) transistors be built on the same substrate. The PMOS test devices in this paper were fabricated by Twin-Well 0.8 CMOS technology (TMCN08) from Thai Micro Electronics Center (TMEC). They start with p-type substrate 25 Ω-cm of resistance. The N-well was formed by phosphorus ion implantation with a doping concentration of 3×10^{16} cm^{-3}. A self align n+ poly silicon gate process 350 nm of thickness was used with gate oxide 15 nm of thickness. BF_2^+ ion implantation with dose of 1×10^{12} cm^{-2} and 70 keV of energy for threshold voltage adjust process in a channel was implemented in order to match the threshold voltage of the NMOS and PMOS device, as require in the modern CMOS technology process. The source and drain junction depth were approximately 0.3 μm with approximately 75 Ω/square of sheet resistance. The scalable device test structure have been design for different device geometries; Big dimension (W=20 μm, L= 20 μm) and short dimension (L= 0.6 μm, 0.7 μm 0.8 μm, 1.2 μm, 1.6 μm, 3.0 μm and 20 μm , W= 20 μm). The lateral diffusion is 0.06 μm/side and the channel width reduction is approximately 0.5 μm/side respectively. Figure 1 shows the PMOS buried channel cross section from Sentaurus process simulation software.

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

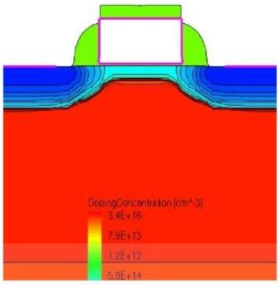


Figure 1. PMOS cross section from process simulation

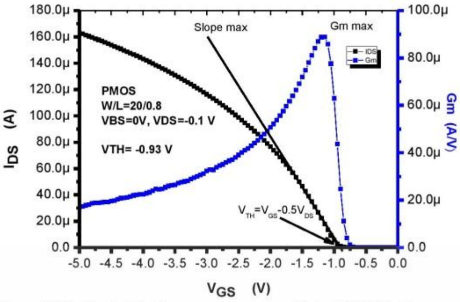


Figure 3. The threshold voltage measurement method of PMOS in linear region at temperature 27°C

In simulation, the n-well concentration is 3×10^{16} cm^{-3}, the channel concentration is approximately 3×10^{16} cm^{-3} with junction depth of 0.1μm.Figure 2 shows the scalable device of PMOS

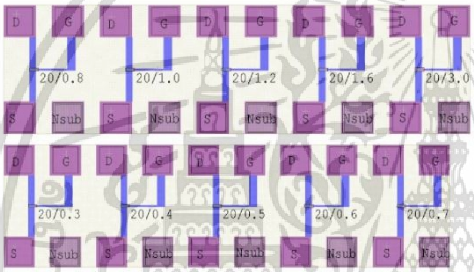
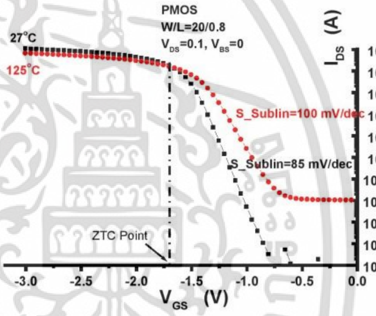


Figure 2. Illustration of the PMOS scalable device test structure

B. Devices Measurements

The threshold voltage measurements for testing device were performed by measuring a set of log I_{DS} - V_{GS} by the linear extrapolation methodology. The most common threshold voltage measurement method is the linear extrapolation method using the maximum slope technique of I_{DS} and V_{GS} which the drain current is measured as a function of gate voltage at low drain voltage of typically 100 mV to ensure that the operation is in linear region. Hence, the I_{DS} - V_{GS} is extrapolated at I_{DS} = 0 and the threshold voltage is determined from the extrapolated or intercepted gate voltage V_{GS} by $V_{TH}=V_{GS}-0.5V_{DS}$ as shown in Figure 3.

The testing PMOS devices using a precision semiconductor parameter analyser B-1500A with a thermal chuck in the range of 25°C to 200 °C in manual operating. Fig.4 shows log I_{DS} - V_{GS} characteristics of PMOS in linear region (V_{DS} = -0.1V) in the range of 27°C and 125 °C respectively.



(a)

Figure 4. log I_{DS} versus V_{GS} of PMOS with temperature 27°C and 125°C respectively

Fig.5 shows the I_{DS} - V_{DS} characteristics of PMOS as the drain voltage V_{DS} was swept from 0 V to -5.0 V at zero substrate and the gate voltage V_{GS} was swept from 0 V to -5.0 V(1V/step) over the temperature in the range of 27°C and 125 °C respectively.

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

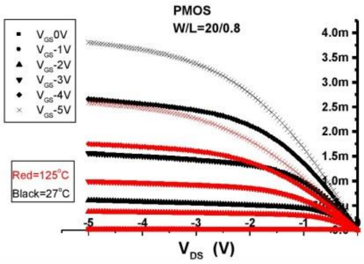


Figure 5. I_{DS} versus V_{DS} of PMOS with temperature 27°C and 125°C

III. Results and Discussions

The value of mobility degradation and device transconductance are illustrated in Table I. The value of mobility degradation of a large PMOS is approximately 0.13 V^{-1}. As the channel length of testing devices are scaled down, the value of mobility degradation are increased. In the same way, as the channel length of testing devices are scaled down, the value of device transconductance are increased.

Table I. *THETA*,K_0 of PMOS at various temperatures at various *W/L*

W/L (um/um)	*27⁰C* *Ko* (A/V²)	*27⁰C* θ (V⁻¹)	*125⁰C* *Ko* (A/V²	*125⁰C* θ (V⁻¹)
20/20	3.17×10^{-5}	0.13	2.16×10^{-5}	0.05
20/0.8	8.92×10^{-4}	0.247	4.70×10^{-4}	0.176
20/0.6	1.28×10^{-3}	0.293	8.73×10^{-4}	0.233

In sub threshold region at given $V_{GS} \leq V_{TH}$,the drain current increased with operating temperature. This effect caused by the junction current increased with the temperature and make the sub threshold current increased by the following relation;

$$I_{DS} = I_o 10^{\left(\frac{V_{GS}-V_{TH}+nV_{DS}}{S}\right)}\left[1-\exp(\frac{-V_{DS}}{V_{TH}})\right] \tag{17}$$
$$I_o = \mu_0 C_{ox}(W/L)(1-e^{1.8})(kt/q)^2$$

and also make the threshold voltage lowering with the operating temperature. In this region, the threshold voltage is a significant affected. The zero temperature coefficient point (ZTC) is a value -1.65 V of V_{GS} in linear region. The Subthreshold Swing in linear region (S_Subtlin) is around 85 mV/dec and 100 mV/dec at the temperature of 27°C and 125°C respectively. In saturation region, the The Subthreshold Swing in saturation region (S_Subsat) is around 88 mV/dec and 120 mV/dec at the temperature of 27°C and 125°C respectively. A small value of Subthreshold swing is desirable [10]. The drain leakage current at V_{GS}=0, V_{DS}=5.0V is approximately 2 decades increased. Above this point, the temperature effect on the mobility and series parasitic resistance is significant affected. Then, the drain current decreased as the operating temperature increased for all design drawn channel length. The effect of total parasitic series resistance makes the drain current is decreased as the operating temperature increased. This effect caused by the degradation of carrier mobility and the positive dependent of drain/source resistance on the temperature. The saturation drain current is decreased as the temperature increases by the factor of 0.68.The drain saturation current model over the operating temperature of a testing device can be defined as

$$I_{DS}(T) = I_{DS}(Tref)\left[1+TCI_{DS}(T-T_{ref})\right] \tag{18}$$

TCI_{DS} is a coefficient of drain saturation current over the operating temperatures that have a value of -0.33%/K. Fig.6 shows the threshold voltage versus mask channel length width an operating temperature as a parameter. It can be seen that, the threshold voltage decreases rapidly for the mask channel length $L_{drawn} \leq 0.7$ μm for all operating temperature.

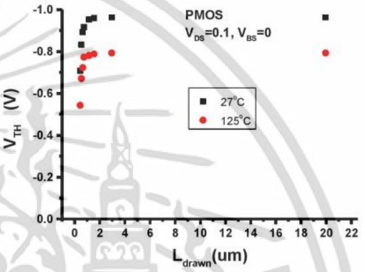


Figure 6. V_{TH} versus L_{drawn} with various temperature for the test PMOS devices of W=20 μm

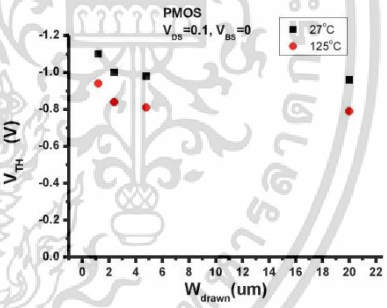


Figure 7. V_{TH} versus W_{drawn} with various temperature for the test PMOS devices of L=20 μm

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE II *THETA*, K_O, *Uo* and R_{DS} of PMOS at various temperatures at *W/L=20/20*

Parameter	27° C	125°C	unit
Low Field mobility degradation (THETA, θ)	0.13	0.05	V^{-1}
Total Series Resistance (R_{DS})	2620	4260	Ω-μm
Maximum Devices Transconductance (K_0)	3.17×10^{-5}	2.16×10^{-5}	A/V^2
Low Field mobility (*Uo*)	138	94	cm^2/Vs
Drain Current at $V_{GS}=V_{DS}=-5V$	8×10^{-6}	6.15×10^{-6}	A/μm

The value of mobility degradation, maximum devices transconductance, low field mobility and series parasitic resistance are illustrated in Table II. Fig.7 shows the threshold voltage versus mask channel width an operating temperature as a parameter. It can be seen that, the threshold voltage increases rapidly for the mask channel length $W_{drawn} \leq 1.2$ μm for all operating temperature. The coefficient of threshold voltage over the operating temperature is 1.7mV/K. The threshold voltage model over the operating temperature of a large device can be defined by

$$V_{TH}(T) = -0.96 + 1.7\times10^{-3}(T - T_{ref}) \quad (19)$$

Similarly, the threshold voltage model over the operating temperature of a narrow channel (W=1.2 μm) device can be defined by

$$V_{TH,N}(T) = -1.1 + 1.6\times10^{-3}(T - T_{ref}) \quad (20)$$

Finally, the threshold voltage model over the operating temperature of a narrow channel (L=0.8 μm) device can be defined by

$$V_{TH,S}(T) = -0.91 + 1.7\times10^{-3}(T - T_{ref}) \quad (21)$$

The process tranconductance and the low field mobility are decreased around by the factor of 0.68 as the temperature increase. The model over the operating temperature can be extracted by the relation

$$\ln K(T) = \ln K(T_{ref}) + UTE[\ln(T) - \ln(T_{ref})] \quad (22)$$

The parameter *UTE* is extracted from the slope. The low field mobility model of long channel can be defined as

$$U_0(T) = 138\left(\frac{T}{T_{ref}}\right)^{-1.35} \quad (23)$$

Similarly, the process transconductance can be defines by

$$K(T) = 3.17\times10^{-5}\left(\frac{T}{T_{ref}}\right)^{-1.35} \quad (24)$$

The drain source series parasitic resistance per unit width (R_{DSW}) are extracted by I_{DS} - V_{GS} of PMOS at various drawn channel length [7] at the temperature of 27 and 125 °C and also can be defined as

$$R_{DSW}(T) = 2620 + 5\times10^3\left(\frac{T}{T_{ref}} - 1\right) \quad (25)$$

IV. Conclusion

The experimental results of the characterization of PMOS at elevated temperature fabricated in 0.8 μm twin well CMOS process at Thai Micro Electronics Center(TMEC) are presented. We note that an increase in temperature results in decrease in the threshold that caused by the increase of conduction current of MOSFET devices. But the threshold slope is decrease with the temperature that caused by the increase of conduction current. The coefficient of threshold with temperature is in the range of 1.7mV/K . The low field mobility is decreases as the temperature increases by the factor of 0.68. The coefficient of drain saturation current over the operating temperatures have a value of -0.33%/K. On the other hand, the series parasitic resistance per unit width is increased linearly by 16.7 Ω.μm/K. To achieve a good matching, this results should be compared with the results of NMOS [3],[10].These data are necessary for the circuit designer and process development to understanding well in the elevated operating temperatures. The new process fabrication design and new design rule for improvement will be discussed later on.

Acknowledgment

The authors would like to thank the TMEC staff for devices testing and a system measurements tool.

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REFERENCES

[1] Anucha Ruangphanit, Rangson Muanghlua, Nopphon Phongphanchanthra, Amporn Poyai, "The Parameters Mismatch Model of Threshold Voltage For The Narrow and Short Channel MOSFET", *The 10th Annual National Symposium on Computational Science and Engineering (ANSCSE10)*, 22-24 March 2006, Chiangmai, pp. 62-67.

[2] Foty. D, *Mosfet Modeling With SPICE Principle and Practice*, 2nd ed., New Jersy, America: Prentice Hall, 1997.

[3] K.Kiddee, A.Ruangphanit, S. Niemcharoen, N.Atiwongsangthong and R.Muanghlua, "Extraction of Mobility degradation, Effective channel length and total series resistance of NMOS at elevated temperature," *ECTI-CON2011*,pp.002--005 , May.2011

[4] A.Ruangphanit, K.Kiddee, S. Niemcharoen, S.Wongpasert and R.Muanghlua, "The Effects of Temperature and Devices Dimension of MOSFET on the DC Characteristics of CMOS Inverter," *ECTI-CON2012*, May.2012

[5] Tsividis, *Operation and Modelling of the MOS transistor*, 1st ed., Singapore: Mcgraw-Hill, 1988.

[6] Cheng, Y. and Hu, *MOSFET Modeling and BSIM3 User's Guide*, USA: Kluwer Academic Publishers, 1999.

[7] Wang, R. DeMassa, T.A. and Jelsma, "Threshold Voltage Variations with Temperature in MOS Transistor," *IEEE Electron Device.*, vol. 18, pp. 386–388, 1971.

[8] Xiaolin Ouyang, Ashraf A., Osman and Mohammad Mojarradi, "High temperatature characterization of high-voltage MOSFET fabricated in a 0.5 um CMOS process," *IEEE Electron Device.*,pp. 222–225, 1998.

[9] Z. Parpia, C. Andee, T. salama, and R.A. Hadaway, "Modelling and characterization of CMOS-compatible high voltage device structure," *IEEE Trans. Electron Device*, Vol.Ed-34, pp. 2335–2343, Nov.1987.

[10] K. Kiddee, A. Ruangphanit, Amporn Poyai, R. Muanghlua and S. Niemcharoen "Characterization of 0.8 μm NMOSFETs at Elevated Temperatures", ISTS 20111st International Symposium on Technology for Sustainability 26-29 January 2012,KMITL.

[11] Wang, R. DeMassa, T.A. and Jelsma, "Threshold Voltage Variations with Temperature in MOS Transistor," *IEEE Electron Device.*, vol. 18, pp. 386–388, 1971.

[12] Klaassen, "On the Temperature Coefficient of the MOSFET Threshold Voltage". *Solid-State Electronics.*,1986., Vol. 29, pp. 787-789.

[13] Stanley Wolf, Silicon processing for the VLSI ERA,Volume2., California, America: Lattice press,1990

978-1-4799-0545-4/13/$31.00 ©2013 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นาย ณัฐพล สกุณา

วัน เดือน ปีเกิด 18 เมษายน พ.ศ. 2533 ที่อำเภอปะทิว จังหวัดชุมพร

ที่อยู่ 254 หมู่ 11 ตำบลชุมโค อำเภอปะทิว
จังหวัดชุมพร โทร. 098-2681302

ประวัติการศึกษา พ.ศ. 2555 วิศวกรรมศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์ (เกียรตินิยมอันดับ 2) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง วิทยาเขตชุมพร

ความชำนาญเฉพาะด้าน

1) การจำลองผลกระบวนการผลิต สำหรับอุปกรณ์สารกึ่งตัวนำ
2) การทดสอบคุณสมบัติทางไฟฟ้า สำหรับอุปกรณ์สารกึ่งตัวนำ
3) การเจือสารด้วยเทคนิคการยิงฝังประจุ

ประสบการณ์ทำงาน 1) วิศวกร 3 โรงงานยาสูบ กระทรวงการคลัง

ผลงานวิจัยที่ได้รับการตีพิมพ์ในวิทยานิพนธ์นี้

[1] N. Sakuna, R. Muanghlua, S. Niemcharoen, A. Ruangphanit, A.Poyai . “Temperature and Devices Dimension Dependence on Threshold voltage, the Low field mobilty and the Series parasitic resistance of PMOSFET” 2013 ,10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้