

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องพิมพ์ดีดมุลสารบ้านเกิดสวัสดี โฉมใหม่



นายแพทย์ ยิ่งนวลจันทร์  
นายสมพงษ์ เล็กงโรคาพัก

๒๗.  
๒๑๔๑๗๑  
๒๐๓๔

เลขหมู่.....  
เลขทะเบียน.....  
วัน,เดือน,ปี.....

โครงการนิเทศน์ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิชาศาสตรบัณฑิต

ภาควิชานิเทศน์ประยุกต์

คณะวิทยาศาสตร์

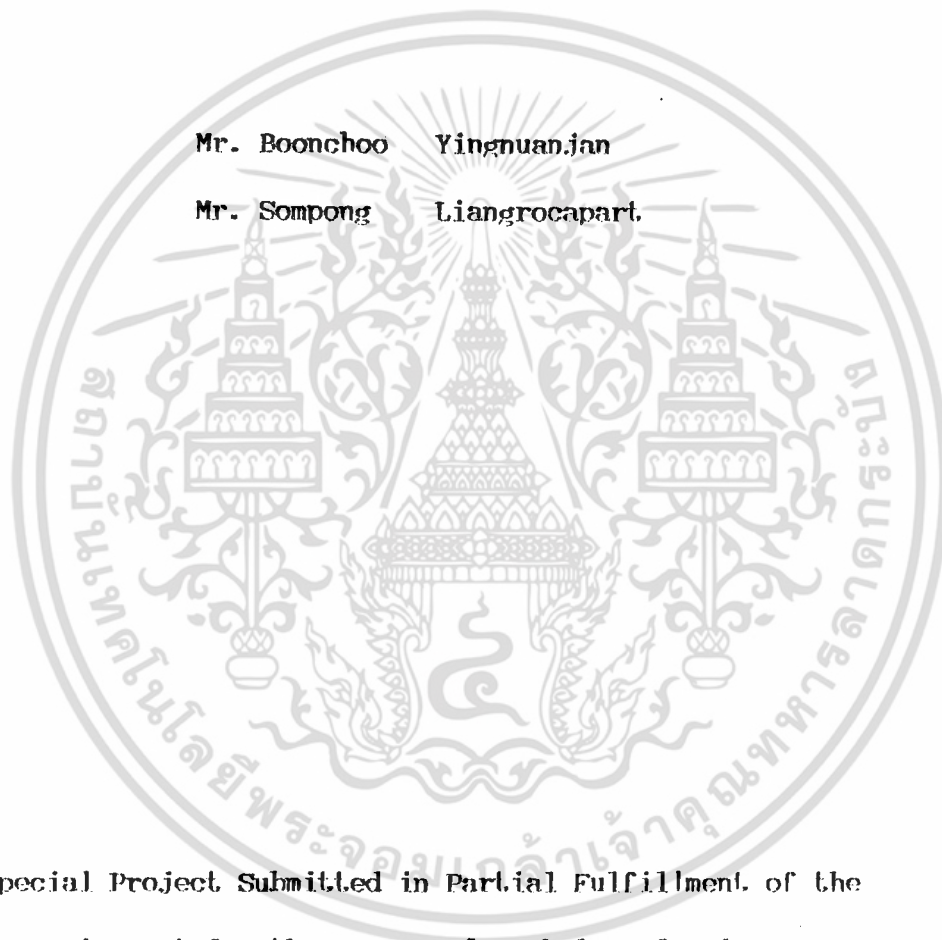
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา ๒๕๓๔

5.12549039

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA LOGGER FOR OSCILLOSCOPE



Mr. Boonchoo Yingnuanjan

Mr. Sompong Liangrocapart.

A Special Project Submitted in Partial Fulfillment of the  
Requirement for the Degree of Bachelor of Science

Department of Applied Physics

Faculty of Science

King Mongkut's Institute of Technology Ladkrabang

1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ	เครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคป	
โดย	นายบุญชู	ยິงนวลจันทร์
	นายสมพงษ์	เลียงโรคาพาธ
ภาควิชา	ฟิสิกส์ประยุกต์	
อาจารย์ที่ปรึกษา	อ. วิจิต	ศิริโชติ
	ผศ.ดร. จันทร์ชัย	หญิงประยูร

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้ทำโครงการพิเศษฉบับนี้ เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรวิทยาศาสตรบัณฑิต

.....  
( ดร. เส็นท์ เอกะวิภาต ) หัวหน้าภาควิชาฟิสิกส์ประยุกต์

คณะกรรมการโครงการพิเศษ

.....  
( ดร. เส็นท์ เอกะวิภาต ) ประธานกรรมการ

.....  
( ผศ. เต๋อวัลย์ ศีตะจิตต์ ) กรรมการ

.....  
( อ. วิจิต ศิริโชติ ) กรรมการ

.....  
( ผศ.ดร. จันทร์ชัย หญิงประยูร ) กรรมการ

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ	เครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคป	
นักศึกษา	นายบุญชู	ยิ่งเวลจักร์
	นายสมพงษ์	เลียงโรคาพาธ
อาจารย์ที่ปรึกษา	อ. วิฑิต	ศรัทธา
	ผศ.ดร. จักรชัย	หญิงประยูร
ภาควิชา	ฟิสิกส์ประยุกต์	
ปีการศึกษา	2533	

#### บทคัดย่อ

เครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคปแบบดิจิทัลนี้ ใช้เก็บสัญญาณไฟฟ้าแบบอนาล็อกที่ไม่เป็นคาบ (Nonperiodic analog signal) โดยใช้ไอซีเบอร์ ADC0820 เป็นวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล ความคมการทำงานด้วยไมโครโปรเซสเซอร์ Z-80 ใช้โปรแกรมภาษาแอสเซมบลี Z-80 ขนาด 4 กิโลไบต์ โดยจะมีฟังก์ชันสนับสนุนการทำงานต่างๆ เช่น ฟังก์ชัน ZOOM ใช้ขยายรูปสัญญาณในช่วงที่ต้องการ เป็นต้น มีส่วนแสดงผลแบบ LCD และใช้คีย์บอร์ดเป็นส่วนรับข้อมูล โดยจะใช้งานร่วมกับเครื่องออสซิลโลสโคปเพื่อใช้แสดงรูปสัญญาณอนาล็อกที่วัดได้ จะใช้การสุ่มข้อมูลในการเก็บรูปสัญญาณ ด้วยอัตราสุ่มตั้งแต่ 1 ครั้งต่อนาที จนถึง 85,000 ครั้งต่อวินาที โครงการนี้เหมาะสำหรับใช้วัดสัญญาณอนาล็อกที่มีความถี่ในย่านความถี่คลื่นเสียง และยังสามารถใช้วัดสัญญาณอนาล็อกที่มีการเปลี่ยนแปลงต่ำๆ ได้อีกด้วย

Special Project Title	Data Logger for Oscilloscope
Name	Mr. Boonchoo            Yingnuanjan
	Mr. Sompong            Liangrocapart
Special Project Advisor	Mr. Wichit            Sirichote
	Asst.Prof. Janchai Yingprayoon
Department	Applied Physics
Academic year	1990

#### Abstract

Data Logger for Oscilloscope is used for storage nonperiodic analog signal, convert by ADC0820 to be digital signal. The process is controlled by Z-80 microprocessor with 4 KByte Assembly program. The special function of this instrument is "ZOOM" function that use to zoom the selected area of signal. It use LCD and keyboards to take the user's commands. This instrument is combining with oscilloscope for displaying the analog signal. It has sampling rate from 1 time/minute to 85,000 times/second. This special project is suitable to storage analog signal with in audio frequency range or lower frequency.

กิติกรรมประกาศ

โครงการพิเศษนี้สามารถเสร็จสมบูรณ์ได้ด้วยความช่วยเหลือเหลือจากบุคคลต่างๆดังนี้

คุณพ่อและคุณแม่ ผู้คอยสนับสนุน และให้ความอุปการะ ในทุกๆด้านจนสำเร็จการศึกษา

อ. วิจิต ศรีโกลิ ผู้คอยให้คำปรึกษาในรายละเอียดต่างๆของการทำโครงการ และให้ความช่วยเหลือทางด้านข้อมูลต่างๆ

ผศ.ดร. จันทร์ทิพย์ เทียงประจักษ์ ผู้เสนอโครงการพิเศษนี้ และคอยชี้แนะทางการทำโครงการ

รศ. สุรพล รักวิจิตร ผู้ให้ความช่วยเหลือเกี่ยวกับสถานที่ทำโครงการพิเศษ

คุณ สุรเมธ สัจจสิริภวดี และ  
คุณ สมภพ ภูริวิกรัยพงศ์ ที่ให้คำปรึกษา และอุปการะค่าใช้จ่ายในโครงการพิเศษ

น้อง พงษ์ศิริ อ่อนศรี และ  
น้องๆ บ้าง 111 ที่ให้ความช่วยเหลือ และกำลังใจ

เพื่อนๆ ทุกคน ที่คอยให้กำลังใจ และความช่วยเหลือในทุกๆด้าน

คณะกรรมการทุกท่าน ที่ตรวจทานรายงานฉบับนี้  
ภาควิชาฟิสิกส์ประยุกต์ ให้มีอุปการะและเครื่องมืตต่างๆ

ขอขอบคุนบุคคลเหล่านี้เป็นอย่างจริงใจ

บุญชู ชิ่งนวลจันทร์  
สมพงษ์ เคียงโรตนาช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	ก
บทคัดย่อภาษาอังกฤษ.....	ท
กิตติกรรมประกาศ.....	ค
สารบัญรูป.....	ด
สารบัญตาราง.....	ฉ
บทที่ 1 บทนำ.....	1
บทที่ 2 ความรู้พื้นฐานเกี่ยวกับเครื่องออกสติก โลสโตป.....	3
2.1 บทนำ.....	3
2.2 การทำงานของออกสติก โลสโตป.....	3
2.3 จอภาพของออกสติก โลสโตป.....	4
2.4 Graticules.....	6
2.5 วงจรของออกสติก โลสโตป.....	6
2.6 การเร่งลำอิเล็กตรอนและการกำหนดทิศทาง.....	7
2.6.1 ระบบเบี่ยงเบนแนวตั้ง (Vertical Deflection).....	7
2.6.2 ระบบเบี่ยงเบนแนวนอน (Horizontal Deflection).....	8
2.7 สรุปหลักการทำงาน.....	9

	หน้า
บทที่ 3 หลักการเบื้องต้นที่ใช้ในโครงการ.....	11
3.1 ส่วนขยายสัญญาณ.....	12
3.1.1 วงจร Inverting Amplifier.....	12
3.1.2 วงจร Noninverting Amplifier.....	13
3.2 การแปลงสัญญาณอนาลอกให้เป็นข้อมูลดิจิทัล (Analog-to-Digital Converter).....	16
3.2.1 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีธรรมชาติ หรือวิธีแรมป์.....	16
3.2.2 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีต่อเนื่อง.....	17
3.2.3 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีประมาณ ทีละบิต.....	18
3.2.4 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีสไลด์คีย์.....	19
3.2.5 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีแฟลช.....	20
3.2.6 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีฮาล์ฟแฟลช....	22
3.2.7 วงจรแปลงสัญญาณอนาลอกให้เป็นดิจิทัลที่ใช้ในโครงการ...	23
3.2.8 รายละเอียดและการทำงานของขาสัญญาณต่างๆของ วงจรรวม ADC0820.....	23
3.2.9 การใช้งาน ADC0820.....	26
3.3 ระบบไมโครโปรเซสเซอร์เบื้องต้น.....	28
3.3.1 ไมโครโปรเซสเซอร์.....	28
3.3.2 หน่วยความจำ.....	28
3.3.3 อุปกรณ์ช่วยติดต่อ 8255PIA.....	29
3.3.3.1 รายละเอียดการจัดขาของ 8255.....	30
3.3.3.2 การเชื่อมต่อ 8255 เข้ากับระบบ Z-80.....	31

3.4	วงจรแปลงข้อมูลดิจิทัลเป็นแอนะล็อก (Digital-to-Analog Converter).....	36
3.4.1	วงจรเวจวีธีสเตอร์แลดเดอร์ (Weight Resistor Ladder).....	36
3.4.2	วงจร R-2R แลดเดอร์(R-2R Ladder).....	37
บทที่ 4	วงจรที่ใช้ไมโครงาน.....	38
4.1	ส่วนรับและแปลงสัญญาณ.....	38
4.1.1	วงจรปรับระดับแรงดันไฟ.....	38
4.1.2	วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล.....	38
4.2	วงจรควบคุมระบบ.....	42
4.2.1	ระบบไมโครโปรเซสเซอร์.....	42
4.2.2	วงจรสร้างสัญญาณควบคุมการเขียนและการอ่าน หน่วยความจำที่เพิ่มเติม.....	42
4.2.3	วงจรแสดงผลโดยใช้ LCD และวงจรมัลติเพล็กซ์.....	42
4.3	ส่วนสร้างสัญญาณแอนะล็อก(Signal Reconstruction).....	47
บทที่ 5	โปรแกรมควบคุมการทำงาน.....	49
5.1	โปรแกรมรับข้อมูลตัวเลขจากการแปลงสัญญาณแอนะล็อก.....	50
5.2	โปรแกรมคำนวณและแสดงค่า Time/Division.....	54
5.3	โปรแกรมตั้งค่าสำหรับการขยายรูปสัญญาณ.....	55
5.4	โปรแกรมตรวจสอบการกดคีย์.....	57
5.5	โปรแกรมแสดงรูปสัญญาณ.....	58

บทที่ 6 ผลการทดลอง..... 60

บทที่ 7 สรุปและข้อเสนอนี้..... 64

ภาคผนวก ก. ขั้นตอนการใช้เครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคป

ภาคผนวก ข. Assembly Program

ภาคผนวก ค. Data Sheet

เอกสารอ้างอิง

ประวัติผู้เขียน



## สารบัญรูป

		หน้า
รูปที่ 1.1	แสดงส่วนประกอบต่างๆของเครื่อง Data Logger for Oscilloscope..	2
รูปที่ 2.1	แผนภาพการทำงานของออสซิลโลสโคป.....	4
รูปที่ 2.2	แหล่งจ่ายไฟสำหรับออสซิลโลสโคป.....	6
รูปที่ 2.3	แผนภาพการทำงานของระบบเบี่ยงเบนแนวตั้ง.....	8
รูปที่ 2.4	วงจรสร้าง Linear voltage ramp.....	9
รูปที่ 2.5	โครงสร้างภายในของออสซิลโลสโคป.....	10
รูปที่ 3.1	แผนภาพการทำงานของโครงงานนี้.....	11
รูปที่ 3.2	วงจร Inverting Amplifier.....	12
รูปที่ 3.3	วงจร Noninverting Amplifier.....	14
รูปที่ 3.4	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีรรมดา หรือวิธีแอมป์.....	16
รูปที่ 3.5	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีต่อเนื่อง.....	17
รูปที่ 3.6	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีประมาณทีละบิต....	18
รูปที่ 3.7	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีสโตนวอลล์.....	19
รูปที่ 3.8	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีแฟลช.....	21
รูปที่ 3.9	แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีสเกลแฟลช.....	22
รูปที่ 3.10	แสดงขาสัญญาณต่างๆของไอซีเบอร์ ADC0820.....	23
รูปที่ 3.11	แสดงไทม์แอมพลิจูดการทำงานในโหมด RD ของ ADC0820.....	26
รูปที่ 3.12	(a)แสดงการทำงานใน WR-RD MODE เมื่อ $t_{RD} < t_1$ .....	26
	(b)แสดงการทำงานใน WR-RD MODE เมื่อ $t_{RD} > t_1$ .....	27
รูปที่ 3.13	แสดงการทำงานใน WR-RD MODE ในแบบ Stand-Alone.....	27

รูปที่ 3.14	ระบอบการทำงานของ Z-80.....	28
รูปที่ 3.15	แผนผังวงจรภายในและการจัดขาของไอซี 8255.....	29
รูปที่ 3.16	การเชื่อมต่อ 8255 เข้ากับระบบของ Z-80.....	31
รูปที่ 3.17	แสดงรายละเอียดแต่ละบิตของคำสั่งควบคุมของ 8255.....	32
รูปที่ 3.18	วงจรการต่อ 8255 ในโหมด 1.....	34
รูปที่ 3.19	โครงสร้างของเทอร์มินัล A ที่ทำงานแบบสองทิศทาง.....	35
รูปที่ 3.20	แสดงวงจร DAC แบบเวจวีธีสเตอร์แลตเตอร์.....	36
รูปที่ 3.21	แสดงวงจร DAC แบบ R-2R แลตเตอร์.....	37
รูปที่ 4.1	วงจรปรับระดับแรงดันไฟ.....	40
รูปที่ 4.2	วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล.....	41
รูปที่ 4.3	วงจรระบบไมโครโปรเซสเซอร์.....	44
รูปที่ 4.4	วงจรสร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำที่เก็บถาวร.....	45
รูปที่ 4.5	วงจรแสดงผล โดยให้ LCD และวงจรพีพีแอล.....	46
รูปที่ 4.6	วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกและวงจรจัดระงับสัญญาณไฟ.....	48
รูปที่ 6.1	รูปสัญญาณไฟฟ้าที่แปลงมาจากสัญญาณเสียง.....	60
รูปที่ 6.2	รูปสัญญาณที่ถูกขยายตั้งแต่ช่องหน้าต่างที่ 4 ถึง 7.....	61
รูปที่ 6.3	การขยายรูปสัญญาณตั้งแต่ช่องหน้าต่างที่ 5 ถึง 6 อีกครั้งหนึ่ง.....	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญตาราง

	หน้า
ตารางที่ 2.1 ตารางข้อมูลสารฟอสเฟอรัส.....	5
ตารางที่ 3.1 หน้าทีของฟอร์ท C ในโหมด 1.....	34
ตารางที่ 3.2 หน้าทีของฟอร์ท C ในโหมด 2.....	35

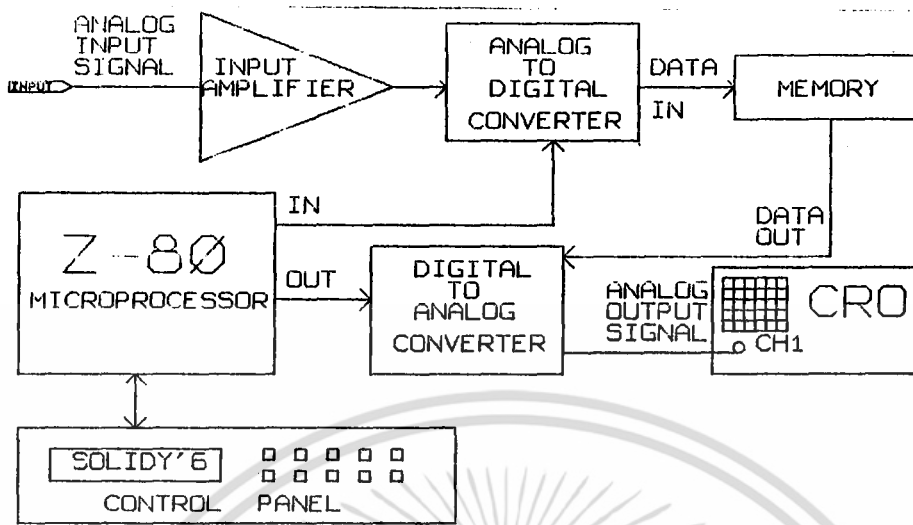


ในปัจจุบันนี้ เทคโนโลยีสมัยใหม่ได้เจริญก้าวหน้าไปอย่างรวดเร็ว และมีการพัฒนาไปอย่างไม่หยุดยั้ง ทำให้ความต้องการเกี่ยวกับเครื่องมือและอุปกรณ์ทางด้านอิเล็กทรอนิกส์มีมากขึ้น เครื่องมือทางด้านอิเล็กทรอนิกส์มีอยู่หลายชนิด แต่ละชนิดก็มีประโยชน์และการใช้งานแตกต่างกัน ยกตัวอย่างเช่น เครื่อง Digital Storage Oscilloscope (DSO) เป็นเครื่องมือที่ใช้ในการเก็บบันทึกสัญญาณไฟฟ้าที่มีลักษณะเปลี่ยนแปลงกับเวลา ในรูปของข้อมูลดิจิทัล ซึ่งวัดได้จากแหล่งกำเนิดสัญญาณต่างๆ แล้วนำข้อมูลดิจิทัลที่ได้จากการแปลงสัญญาณอนาล็อกอินพุตเข้ามาแสดงผลในภายหลัง โดยมีฟังก์ชันในการใช้งานหลายแบบ เช่น สามารถเลือกขยายรูปสัญญาณไฟฟ้าในช่วงเวลาต่างๆได้ สามารถทำการโอเปอเรตสัญญาณ 2 สัญญาณเข้าด้วยกัน เช่น การบวก การลบ การคูณ และการหาร เป็นต้น เครื่องมือชนิดนี้ในปัจจุบันยังไม่เป็นที่แพร่หลายในสถาบันการศึกษาเท่าที่ควร เนื่องจากมีราคาแพงมาก จึงได้มีการสร้างวงจร Data Logger for Oscilloscope ขึ้นเป็นโครงการพิเศษ โดยใช้ระบบไมโครโปรเซสเซอร์ในการควบคุมการทำงานของวงจร และมีราคาถูกลงกว่า DSO มาก เพื่อให้สามารถใช้ได้ทั่วไป

เครื่อง Data Logger for Oscilloscope ที่สร้างขึ้นนี้ เมื่อใช้ร่วมกับเครื่องออสซิลโลสโคปแล้ว จะมีลักษณะการใช้งานคล้ายกับเครื่อง DSO คือสามารถเก็บบันทึกรูปสัญญาณไฟฟ้าที่มีลักษณะเปลี่ยนแปลงกับเวลา ในรูปของข้อมูลดิจิทัล แล้วนำข้อมูลที่ได้มาใช้สร้างรูปสัญญาณเพื่อแสดงผลบนจอออสซิลโลสโคป โดยสามารถเลือกขยายช่วงต่างๆของสัญญาณที่ต้องการดูใหม่ขนาดกว้างขึ้นได้ ส่วนประกอบต่างๆของวงจร Data Logger for Oscilloscope แสดงดังรูปที่ 1.1 แบ่งออกเป็นแผงวงจร 3 ส่วน คือ

1. แผงวงจรหลัก : ประกอบด้วยวงจรขยายสัญญาณอนาล็อกอินพุต วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล ท่วงความจำเก็บข้อมูล และวงจรแปลงข้อมูลดิจิทัลเป็นอนาล็อก
2. แผงระบบไมโครโปรเซสเซอร์ : เป็นแผงวงจรรระบบไมโครโปรเซสเซอร์สำเร็จรูป ประกอบด้วยไอซี Z-80A ไอซีเบอร์ 8255 ไอซีเบอร์ 74138 ท่วงความจำหลักแบบ ROM ขนาด 8 กิโลไบต์ 1 ตัว และท่วงความจำแบบ RAM ขนาด 8 กิโลไบต์ 2 ตัว
3. แผงรับคำสั่งและแสดงผล : ประกอบด้วยคีย์บอร์ดจำนวน 7 คีย์ และจอ LCD (Liquid Crystal Display)

ส่วนประกอบต่าง ๆ แสดงในรูปที่ 1.1



รูปที่ 1.1 แสดงส่วนประกอบต่างๆของเครื่อง Data Logger for Oscilloscope

1.1 วัตถุประสงค์ของโครงการ

1.1.1 เพื่อให้ได้เครื่องมือที่ใช้เก็บรูปสัญญาณที่มีความถี่ต่างๆ และสามารถนำรูปสัญญาณกลับมาแสดงผลในภายหลัง

1.1.2 เพื่อสร้างเครื่องมือนี้มีลักษณะการทำงานคล้ายกับ DSO แต่มีราคาถูกกว่า

1.2 ขอบเขตของการสร้าง

- 1.2.1 วงจรขยายสัญญาณเอาต์พุตอีกชุด
- 1.2.2 วงจรแปลงสัญญาณเอาต์พุต เป็นดิจิทัล
- 1.2.3 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก
- 1.2.4 เชื่อมต่อแผงระบบ ไมโครโปรเซสเซอร์กับแผงวงจรหลัก
- 1.2.5 เชื่อมต่อแผงวงจรหลักกับแผงรับคำสั่งและแสดงผล
- 1.2.6 เชื่อมต่อหน่วยความจำเพิ่มเติมบนแผงวงจรหลัก
- 1.2.7 โปรแกรมมอนิเตอร์สำหรับควบคุมการทำงานของระบบ
- 1.2.8 เลือกอัตราขยายรูปสัญญาณบนจออสซิลโลสโคปได้ตั้งแต่ 1-100 เท่า

## บทที่ 2

### ความรู้พื้นฐานเกี่ยวกับเครื่องออสซิลโลสโคป

#### 2.1 บทนำ

Cathod Ray Tube Oscilloscope หรือที่นิยมเรียกกันว่า ออสซิลโลสโคป นั้น เป็นเครื่องมือที่มีประโยชน์ และเป็นส่วนสำคัญในการพัฒนางานด้านอิเล็กทรอนิกส์สมัยใหม่ หลักการคือ นำแอมพลิจูดของสัญญาณที่จะตรวจวัด ซึ่งจะเป็นค่าความต่างศักย์ กระแสไฟฟ้า หรือ กำลังไฟฟ้า มาแสดงผลโดยเป็นฟังก์ชันของเวลา

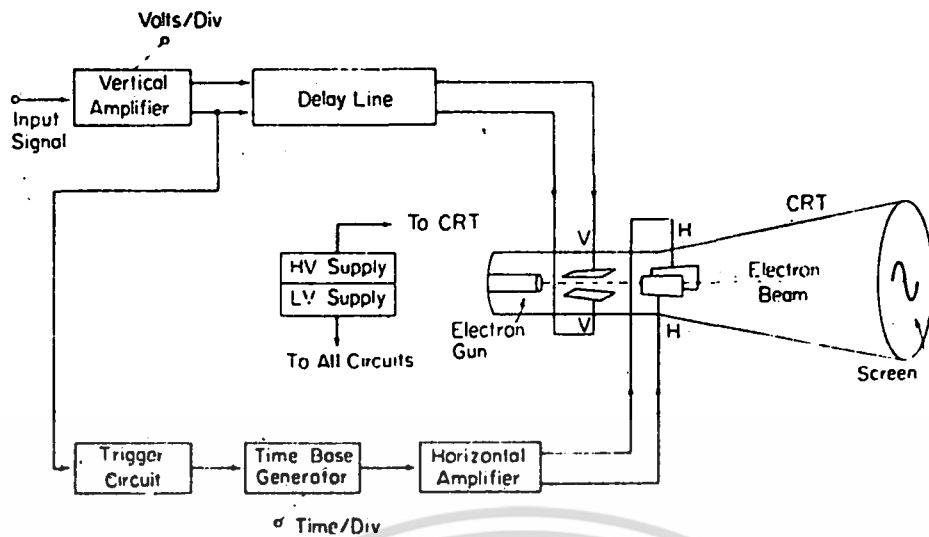
ภาคแสดงผลจะ ใช้การเคลื่อนที่ของลำอิเล็กตรอน (Electron Beam) ซึ่งเกิดจากการให้ความร้อนที่หลอดแคโทด (Cathode Ray Tube) ไปตกกระทบจอภาพ Phosphor และ จะกำเนิดจุดเรืองแสงขึ้น ถ้าทำให้ลำอิเล็กตรอน หักเหไปจากแนวเดิม และกวาดไปตลอดจอภาพก็จะเกิดเป็นรูปสัญญาณที่ตรวจวัด

เมื่อพิจารณาจอภาพเป็นระนาบ 2 มิติ โดยมีแกน X กับ Y เป็นตัวกำหนดระนาบ เมื่อมีการกวาดลำอิเล็กตรอน จากจอภาพด้านหนึ่ง ไปยังอีกด้านหนึ่ง จะปรากฏเป็นภาพบนระนาบ 2 มิติ โดยทั่วไปแกนนอน X จะกำหนดเป็น ค่าอัตราส่วนคงที่ซึ่งสัมพันธ์กับเวลา และแกนตั้ง Y จะกำหนดให้เป็นการตอบสนองต่อสัญญาณ Input เช่น ค่าความต่างศักย์ เป็นต้น

มีอุปกรณ์ที่ทำงานในลักษณะนี้อีกเช่น Strip Chart Recorder ซึ่งมีใช้กันเป็นเวลานานแล้ว แต่ความสามารถน้อยกว่าออสซิลโลสโคป ด้านความเร็ว ซึ่ง Strip Chart Recorder จะใช้กับสัญญาณ ที่มีการเปลี่ยนแปลงในอัตราที่ช้ามาก ในระดับวินาที เนื่องจากทำงานด้วยระบบกลไก แทนที่จะแสดงผลโดยใช้ลำอิเล็กตรอน เหมือนแบบออสซิลโลสโคป ซึ่งแสดงผลได้ที่มีความถี่สูงถึง ระดับเมกะเฮิรต์ หรือ จิกะเฮิรต์

#### 2.2 แผนภาพการทำงานของออสซิลโลสโคป

หัวใจของออสซิลโลสโคปคือ ลำอิเล็กตรอนซึ่งถูกเร่งให้มีความเร็วสูง ไปตกกระทบจอภาพเรืองแสง (Phosphor) แล้วปรากฏจุดเรืองแสง โดยมีสัญญาณทางไฟฟ้าเป็นตัวกำหนดการเกิดภาพบนจอของออสซิลโลสโคป ดังรูปที่ 2.1



รูปที่ 2.1 แผนภาพการทำงานของออสซิลโลสโคป

แหล่งจ่ายไฟของออสซิลโลสโคป ประกอบด้วย ส่วนที่จ่ายให้กับ หลอดรังสีแคโทด เพื่อสร้างและเร่งลำอิเล็กตรอน ซึ่งมีแรงดันสูงถึงหลายพันโวลต์ และส่วนที่จ่ายให้กับวงจรส่วนอื่นๆ เช่น Heater ของ Electron Gun ซึ่งเป็นตัวปลดปล่อยอิเล็กตรอนออกมา

ออสซิลโลสโคป มีฐานเวลาที่จะนำไปสร้างแรงดันจ่ายให้ วงจรขยายสัญญาณในแนวนอน เพื่อบังคับให้ลำอิเล็กตรอน ตกกระทบจอเกิดภาพเป็นฟังก์ชันของเวลา ส่วนสัญญาณที่วัดจะถูกส่งไปยัง วงจรขยายสัญญาณในแนวตั้ง นำไปเพิ่มแรงดันให้ถึงระดับที่สามารถควบคุมให้ลำอิเล็กตรอน เบี่ยงเบนอยู่บนจอภาพ และจะมีการกำหนดสัญญาณทางแนวนอนหรือแกนของเวลา ให้สัมพันธ์กับแนวตั้งหรือแกนของสัญญาณที่วัด เพื่อให้จุดเริ่มต้นของสัญญาณทั้งสองอยู่ที่เดียวกัน การกำหนดความสัมพันธ์ดังกล่าวจะใช้วงจรกำหนดจังหวะ (Synchronizing) หรือ Triggering Circuit

### 2.3 จอภาพของออสซิลโลสโคป

จากหลักการที่ลำอิเล็กตรอนตกกระทบบนจอภาพของออสซิลโลสโคป จะเกิดจุดเรืองแสงขึ้นนั้น วัสดุที่ใช้ทำจอจะต้องมีคุณสมบัติดูดกลืนพลังงานจากลำอิเล็กตรอน ดังนั้นผิวภายใน จะมีสารเรืองแสง (Phosphor) ฉาบอยู่ สารเรืองแสงจะดูดกลืนพลังงานจลน์ ของอิเล็กตรอนที่วิ่งชน และจะปลดปล่อยแถบพลังงานความถี่ ที่ตามองเห็น ได้ออกมา

สารที่ใช้ฉายจอ เช่น Phosphor หรือ Zinc Oxide จะปลดปล่อยแสงเมื่อถูก กระตุ้นด้วยการแผ่รังสี ซึ่งคุณสมบัติดังกล่าวเรียกว่า ฟลูออเรสเซนซ์ (Fluorescence) วัสดุ ฟลูออเรสเซนซ์ จะมี คุณสมบัติที่สองคือ การเรืองแสง (Phosphorescence) คือ หลังจาก ที่การกระตุ้น (ในที่นี้ คือลำอิเล็กตรอน) หยุดลง จะให้แสงต่อเนื่องออกมาอีกช่วงเวลาหนึ่ง ช่วง เวลาดังกล่าว คือ Persistence ของ Phosphor ซึ่ง Persistence เป็นช่วงเวลาที ความเข้มของจุดบนจอภาพลดลงจนถึง 10% ของความเข้มเดิม

ความส่องสว่างบนจอภาพ (Luminance) จะขึ้นอยู่กับเงื่อนไขหลายประการดังนี้

1. จำนวนของ อิเล็กตรอน ที่วิ่งกระทบบนจอใน 1 วินาที ซึ่งเรียกว่า กระแส อิเล็กตรอน เมื่อเพิ่ม กระแสอิเล็กตรอน ก็จะทำให้ความเข้มของแสงสูงขึ้นด้วย
2. หลังงานที่ อิเล็กตรอน ตกกระทบจอภาพ โดยจะขึ้นกับ ค่าศักย์ความเร่ง (Accelerating Potential) เมื่อเพิ่มค่าศักย์ความเร่ง จะทำให้ความเข้มบนจอภาพสูงขึ้น ค่าศักย์ความเร่งนี้จะ ได้กล่าวถึงต่อไป
3. อัตราของลำอิเล็กตรอน ที่ตกกระทบจอภาพ 1 หน่วยพื้นที่ ใน 1 หน่วยเวลา
4. คุณสมบัติทางกายภาพของสารที่ใช้ฉายจอ ดังตารางที่ 2.1

Phosphor type	Fluorescence	Phosphorescence	Relative luminance*	Decay to 0.1% (ms)	Comments
P1	Yellow-green	Yellow-green	50%	95	General-purpose; replaced by P31 in most applications
P2	Blue-green	Yellow-green	55%	120	Good compromise for high- and low-speed applications
P4	White	White	50%	20	Television displays
P7	Blue	Yellow-green	35%	1,500	Long decay; observation of low-speed phenomena
P11	Purple-blue	Purple-blue	15%	20	Photographic applications
P31	Yellow-green	Yellow-green	100%	32	General-purpose; brightest available phosphor

ตารางที่ 2.1 ตารางข้อมูล สารฟอสเฟอร์

จากตารางที่ 2.1 แสดงถึงจำนวนองค์ประกอบ ที่จะต้องพิจารณา ในการเลือกใช้ สารเรืองแสงให้ถูกกับชนิดของงาน เช่น P13 phosphor มีค่าความส่องสว่าง (Luminance) สูง และ Persistence ปานกลาง เหมาะสำหรับใช้ในงานวัดสัญญาณ ซึ่งพบว่าเป็นที่นิยมใช้

## สำหรับออสซิลโลสโคปทั่วไป

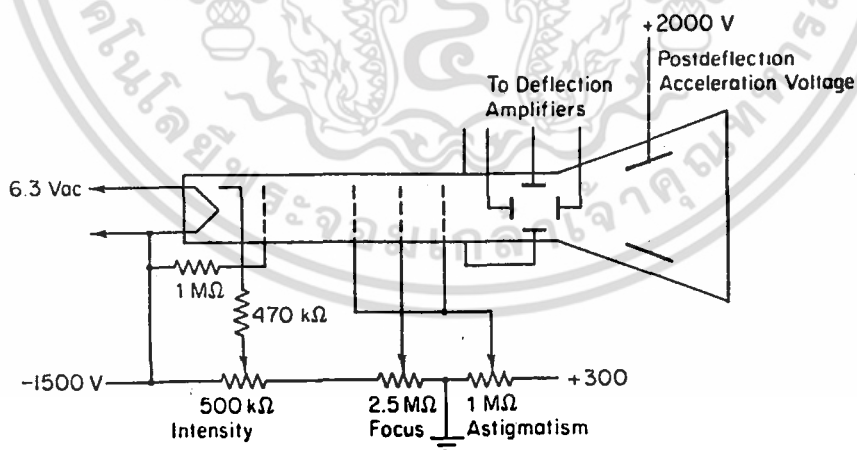
ความเสียหาย อาจเกิดขึ้นกับ ออสซิลโลสโคปได้ เมื่อรับค่า กระแสอิเล็กตรอนเกินขอบเขต เมื่อ Phosphor ถูกกระตุ้นด้วยลำอิเล็กตรอน ที่มี กระแสอิเล็กตรอน สูงมาก อาจทำให้จอภาพเกิดความเสียหายได้ หรืออาจได้ความเข้มน้อยกว่าที่ควรจะเป็น ซึ่งกระแสอิเล็กตรอนจะควบคุมได้จากการปรับภายนอกที่ด้านหน้าของออสซิลโลสโคป ได้แก่ INTENSITY , FOCUS และ ASTIGMATISM ดังนั้นในการใช้งานจึงควรปรับความเข้มของรูปสัญญาณบนจอให้พอเหมาะอย่าให้มากเกินไป เพราะจะทำให้อายุการใช้งานออสซิลโลสโคป สั้นลง

## 2.4 Graticules

การกำหนดขอบเขตแกมม่อน และแกมมิ่ง จะใช้เส้นแบ่งขอบเขต หรือ Graticules โดยจะแบ่งจอภาพออกเป็น 10 ส่วน เพื่อให้ทราบขนาดของสัญญาณ และคาบเวลา โดยทั่วไปแต่ละช่วงจะห่างกัน 1 เซนติเมตร

## 2.5 วงจรของออสซิลโลสโคป

ออสซิลโลสโคปต้องการแหล่งจ่ายไฟหลายแหล่ง เพื่อใช้ในการกำหนดทิศทางการเบี่ยงเบน และการโฟกัส และวงจรส่วนอื่นๆ อีกดังรูปที่ 2.2



รูปที่ 2.2 แหล่งจ่ายไฟสำหรับออสซิลโลสโคป

รูปที่ 2.2 ส่วนแรกจะเป็นแหล่งจ่ายไฟศักย์ต่ำ ป้อนให้ขั้วแคโทด ของหลอดแคโทด เพื่อให้หลอดแคโทดร้อน ส่วนหลังเป็นแหล่งจ่ายไฟศักย์สูง โดยมีด้านบวก และ ด้านลบ ด้านบวกจ่ายให้กับ แผ่นเร่งการเบี่ยงเบนด้านหน้า (Post Deflection Acceleration Plate) และด้านลบจ่ายให้กับหลอดแคโทด ที่ขากริด (Grid) และขั้วสำหรับไฟกัสน์

## 2.6 การเร่งลำอิเล็กตรอนและการกำหนดทิศทาง

ความเข้มแสงบนจอภาพเรืองแสง ส่วนหนึ่งจะขึ้นกับ ปริมาณของพลังงานที่ ลำอิเล็กตรอนถ่ายเทให้กับสารเรืองแสง ซึ่งพลังงานของลำอิเล็กตรอนนั้น จะเกิดจากการที่อิเล็กตรอนถูกกระตุ้นที่ขั้วแคโทด จนหลุดออกมา และถูกเร่งด้วย แผ่นเร่งการเบี่ยงเบนด้านหน้า ที่มีศักย์ไฟฟ้าสูงถึงหลายพันโวลต์ มีลักษณะดังรูปที่ 2.2

การกำหนดทิศทางของลำอิเล็กตรอน ที่จะกวาด ไปบนจอรับ จะมีความเร่งเบี่ยงเบน (Deflection Acceleration) เป็นตัวกำหนด ซึ่งจะแบ่งเป็นภาคขยายการเบี่ยงเบนแนวนอน (Horizontal Deflection Amplifier) เป็นตัวกำหนดทางแนวนอน(แกนของเวลา) และภาคขยายการเบี่ยงเบนแนวตั้ง (Vertical Deflection Amplifier) เป็นตัวกำหนดทางแนวตั้ง (แกนของ Amplitude) ทั้ง 2 Deflection Amplifier ทั้ง 2 จะ ได้กล่าวถึงต่อไป

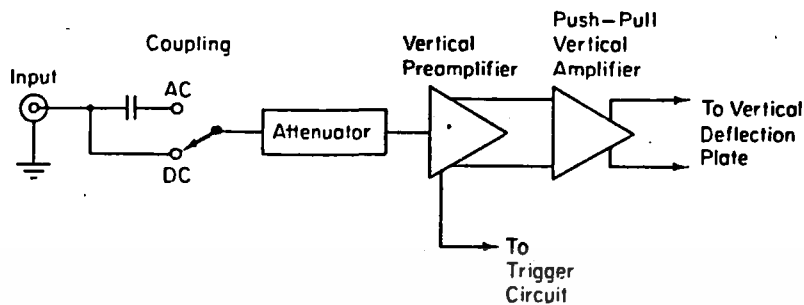
### 2.6.1 ระบบเบี่ยงเบนแนวตั้ง (Vertical Deflection)

การกำหนดทิศทางของลำอิเล็กตรอนในแนวตั้ง จำเป็นต้องขยายสัญญาณให้ถึงระดับที่สามารถจะขับแผ่นเบี่ยงเบนแนวตั้ง (Vertical Deflection Plates) จากรูปที่ 1 ประกอบให้ขั้วบังคับทิศทางได้ถูกต้อง

ออสซิลโลสโคป สามารถแสดงผลรูปสัญญาณ ที่มีระดับแรงดันในช่วง มิลลิโวลต์ ถึงร้อยโวลต์ได้ โดยจะมี ตัวลดทอนแรงดัน (Attenuator) สำหรับลดทอนสัญญาณอยู่ใน รูปที่

### 2.3 แสดงถึงแผนภาพการทำงานของ ระบบเบี่ยงเบนแนวตั้ง

สัญญาณทางอินพุท จะถูกลดทอนสัญญาณลง หลังจากนั้น จะผ่านวงจรขยายสัญญาณในแนวตั้ง เพื่อขยายสัญญาณให้ถึงระดับหนึ่ง ซึ่งสามารถบังคับให้ ลำอิเล็กตรอน กวาดอยู่บนจอภาพได้



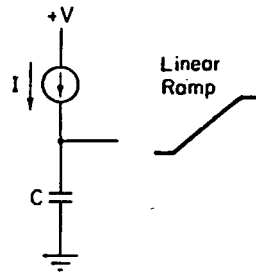
รูปที่ 2.3 แผนภาพการทำงานของระบบเบี่ยงเบนแนวตั้ง

โดยทั่วไป ออสซิลโลสโคป จะมีสวิตช์ให้เลือกการวัดสัญญาณว่าจะให้เป็น แบบ ac หรือ dc ถ้าเป็น ac จะมีการต่อ Input Coupling Capacitor ส่วน dc จะนำตัวเก็บประจุ ออก ตามรูปที่ 2.3

### 2.6.2 ระบบเบี่ยงเบนแนวนอน (Horizontal Deflection)

ระบบเบี่ยงเบนแนวนอน ประกอบด้วย ตัวกำเนิดฐานเวลา (Time-Base Generator) ซึ่งจะควบคุมลำอิเล็กตรอนให้กวาดภาพตามแนวนอนตามฐานเวลา และสามารถปรับค่าฐานเวลาได้จากปุ่มปรับ TIME/DIV ซึ่งอยู่ด้านหน้า Trigger Circuit จะเป็นตัวกำหนดให้ การกวาดภาพทางแนวนอนสัมพันธ์กับแนวตั้ง ส่วน ภาควิทยาสัญญาณในแนวนอน หลักการจะคล้ายกับ ภาควิทยาสัญญาณแนวตั้ง

ในการใช้งานออสซิลโลสโคป โดยทั่วไปจะให้ ระบบเบี่ยงเบนแนวนอน เป็นอัตราส่วน ซึ่งสัมพันธ์กับเวลา รูปสัญญาณส่วนใหญ่ จะเป็น การกวาดภาพเชิงเส้น (Linear Sweep) จะใช้คุณสมบัติการเก็บประจุ ของตัวเก็บประจุ ทำให้ความต่างศักย์เพิ่มขึ้นแบบเชิงเส้น เพื่อจะจ่ายให้กับ ภาควิทยาสัญญาณในแนวนอน ดังรูปที่ 2.4



รูปที่ 2.4 วงจรสร้าง Linear voltage ramp

จากรูป ตัวเก็บประจุ ถูกประจุ ด้วยแหล่งจ่ายกระแสคงที่ (Constant-Current Source) โดยที่อัตราการเพิ่มของแรงดัน จะเท่ากับ

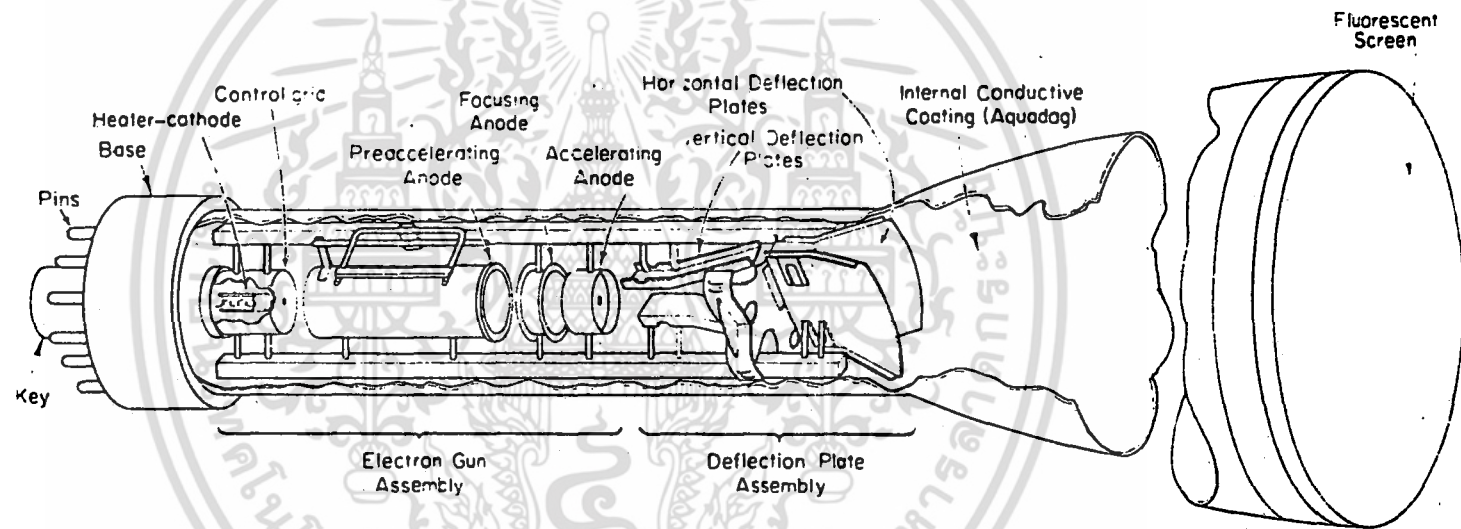
$$\text{การเปลี่ยนแปลงของแรงดัน/ช่วงเวลา} = \text{กระแสไฟฟ้า/ความจุไฟฟ้า}$$

หรือ 
$$\Delta V / T = I / C$$

การควบคุม Linear Sweep นั้นทำได้โดยเปลี่ยนค่ากระแส หรือ ไม่ก็เปลี่ยนค่าตัวเก็บประจุ ซึ่งจะเป็นผลให้อัตราการเพิ่มขึ้นของแรงดันต่อหน่วยเวลา (Time/Division) เปลี่ยนไปด้วย และอาจมีความกว้างของ Linear Sweep อยู่ในช่วง 1 วินาที ถึง 10 nsec

## 2.7 สรุปหลักการทำงาน

ออสซิลโลสโคปจะใช้จอภาพเรืองแสง ในการแสดงผล และมีลำอิเล็กตรอนที่เกิดจากหลอดรังสีแคโทด (Cathode Ray Tube) ถูกเร่งด้วย แผ่นเร่งการเบี่ยงเบนส่วนหน้า ตกกระทบจอภาพด้วยความเร็วสูง และจะควบคุมการเบี่ยงเบนของลำอิเล็กตรอน โดยใช้ระบบการเบี่ยงเบนแนวตั้ง ควบคุมในแนวตั้ง และ ระบบการเบี่ยงเบนแนวอน ควบคุมในแนวอน ระบบการเบี่ยงเบนแนวตั้ง จะได้รับสัญญาณจากภายนอก ส่วน ระบบเบี่ยงเบนแนวอน เป็นสัญญาณที่ได้จาก Sweep Generator หรืออาจให้ Sweep Trig จากภายนอกได้ด้วย ซึ่งสัญญาณทั้งสอง จะสัมพันธ์กันเป็นคาบ จึงจะแสดงผลเป็นภาพหนึ่งบนจอ



รูปที่ 2.5 โครงสร้างภายในของออสซิลโลสโคป

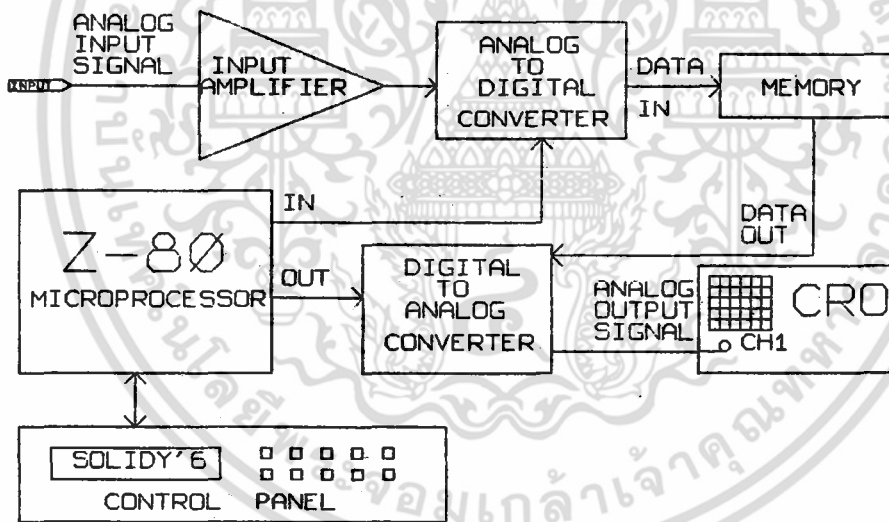
### บทที่ 3

#### หลักการเบื้องต้นที่ใช้ในโครงการ

ในบทนี้จะกล่าวถึงรายละเอียด และหลักการเบื้องต้นของระบบ ส่วนประกอบใหญ่ๆ ของระบบ สามารถแบ่งได้เป็น 4 ส่วน ได้แก่

- 3.1 ส่วนขยายสัญญาณ
- 3.2 การแปลงสัญญาณอนาลอก เป็นข้อมูลดิจิทัล
- 3.3 ระบบไมโครโปรเซสเซอร์เบื้องต้น
- 3.4 วงจรแปลงข้อมูลดิจิทัลเป็นสัญญาณอนาลอก

โครงสร้างระบบ สามารถเขียนเป็นแผนภาพการทำงานได้ดังรูป 3.1



รูปที่ 3.1 แผนภาพการทำงานของโครงการนี้

ระบบจะถูกควบคุมด้วยไมโครโปรเซสเซอร์ Z-80 เมื่อสัญญาณอนาลอก ผ่านส่วนขยายสัญญาณ และส่วนแปลงข้อมูลแล้ว จะได้ข้อมูลดิจิทัล ขนาด 8 บิต ซึ่งข้อมูลดิจิทัลนี้จะถูกส่งต่อไปยังหน่วยความจำ และระบบสร้างสัญญาณอนาลอก เพื่อแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก แล้วนำไปแสดงผลแบบอนาลอก ด้วยออสซิลโลสโคป

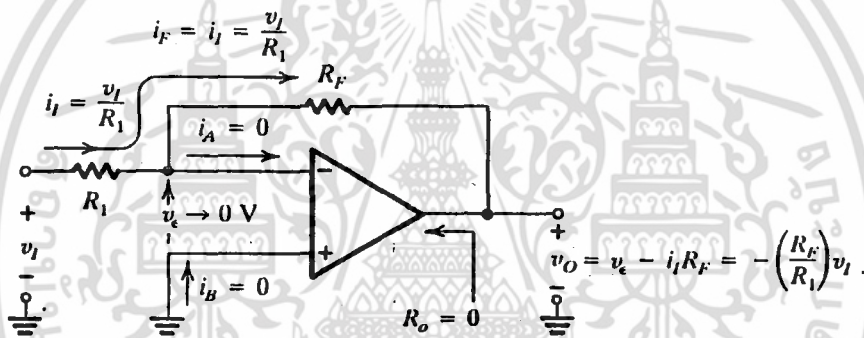
### 3.1 ส่วนขยายสัญญาณ

ระบบนี้จะอยู่ตรงส่วนหน้าสุด จะรับสัญญาณอนาล็อกเข้ามาทำการขยายหรือลดระดับสัญญาณ ให้อยู่ในช่วงที่เหมาะสมกับ วงจรแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิทัล คือ ช่วงระดับแรงดัน 0 ถึง +5 โวลต์

ในหัวข้อนี้ จะกล่าวถึงพื้นฐานของวงจรขยายสัญญาณ โดยใช้วงจรออปแอมป์ ซึ่งจะเป็นพื้นฐานของการประยุกต์ใช้งานวงจรเชิงเส้น โดยหลักการสัญญาณที่ถูกขยาย จะเป็นสัดส่วนโดยตรงกับสัญญาณที่รับเข้ามา ซึ่งแบ่งออกได้เป็นสองชนิด คือ

#### 3.1.1 วงจร Inverting Amplifier

วงจร Inverting Amplifier แบบพื้นฐาน เป็นดังรูปที่ 3.2



รูปที่ 3.2 วงจร Inverting Amplifier

สัญญาณอินพุต ถูกป้อนผ่าน  $R_1$  และ ต่อตัวต้านทานป้อนกลับ  $R_F$  กระแสอินพุต  $i_1$  ต้องไหลผ่าน  $R_F$  ไปยังเอาต์พุตของออปแอมป์ และเพราะว่าขา Noninverting Input ถูกต่อไว้ที่กราวนด์ (Ground) และเนื่องจากอัตราขยายลูปเปิด มีค่าสูงเป็นอนันต์ ดังนั้นขา Inverting Input ก็จะมีเหมือนอยู่ที่กราวนด์ด้วย (Virtual Ground) จะได้

$$i_1 = (v_1 - 0)/R_1 = v_1/R_1 \quad (3.1)$$

และเพราะว่า  $i_1 = i_f$  จะได้ว่า

$$v_o = -i_1 R_F \quad (3.2)$$

หรือ

$$v_o = -[ R_F / R_1 ] v_1 \quad (3.3)$$

ดังนั้น อัตราขยายลูปปิด คือ

$$(v_o / v_1) = -(R_F / R_1) \quad (3.4)$$

ค่าอินพุทอิมพีแดนซ์ ( $r_{in}$ ) มีค่าเท่ากับ

$$\begin{aligned} r_{in} &= v_1 / i_1 = v_1 / (v_1 / R_1) \\ &= R_1 \end{aligned} \quad (3.5)$$

วงจร Inverting Amplifier ค่าอินพุทอิมพีแดนซ์มีค่าต่ำ อย่างไรก็ตาม อินพุทอิมพีแดนซ์จะมีค่ามากกว่าเอาต์พุทอิมพีแดนซ์มาก (ซึ่งมีค่าน้อยมาก) ค่า  $R_1$  ควรมีค่าไม่มากกว่า 100 กิโลโอห์ม และอัตราขยายแรงดันไฟฟ้า ควรจะอยู่ในช่วง 0.1 ถึง 100 เท่า

สรุปวงจร Inverting Amplifier

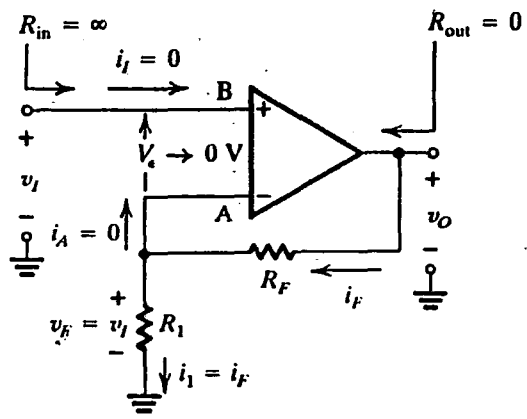
$$\text{อัตราขยาย (Gain)} = (v_o / v_1) = -(R_F / R_1)$$

$$\text{อินพุทอิมพีแดนซ์} = R_1$$

$$\text{เอาต์พุทอิมพีแดนซ์} = 0 \Omega$$

### 3.1.2 วงจร Noninverting Amplifier

วงจรพื้นฐานของ Noninverting Amplifier เป็นดังรูปที่ 3.3



รูปที่ 3.3 วงจร Noninverting Amplifier

สัญญาณอินพุตถูกป้อนเข้าที่ขา Noninverting Input และสัญญาณที่ป้อนกลับถูกต่อด้วยความต้านทาน  $R_F$  และ  $R_1$  ที่ขา Inverting Input

จากคุณสมบัติของออปแอมป์ อินพุตอิมพีแดนซ์ ( $r_{in}$ ) มีค่าสูงมาก

$$r_{in} = \infty \quad (3.6)$$

เพราะว่าไม่มีกระแสไหลเข้าขา Inverting Input

$$i_1 = i_F = v_F / R_1 \quad (3.7)$$

จะได้ แรงดันไฟฟ้า ที่เอาต์พุต

$$v_o = i_F (R_F + R_1) = [(R_F + R_1) / R_1] v_F \quad (3.8)$$

และอัตราขยายลูปปิด มีค่าเท่ากับ

$$v_o / v_F = [(R_F + R_1) / R_1] = 1 + (R_F / R_1) \quad (3.9)$$

วงจร Noninverting Amplifier เป็นวงจรที่มีอินพุตโวลติจีสสูง อัตราขยาย  
ต่ำสุดคือ 1 ( $R_1 = \infty, R_F = 0$ ) และอัตราขยายสูงๆที่ใช้งาน ควรอยู่ในช่วง 100 ถึง 1000 เท่า  
ค่าความต้านทาน  $R_F$  ควรอยู่ในช่วง 2 ถึง 100 กิโลโห์ม

สรุปวงจร Noninverting Amplifier

$$\text{อัตราขยาย (Gain)} = v_o/v_f = 1 + (R_F/R_1)$$

$$\text{อินพุตโวลติจีส} > 10^{12} \Omega \quad (\text{ในกรณี FET})$$

$$> 3 \times 10^9 \Omega \quad (\text{ในกรณี BIPOLAR})$$

$$\text{เอาต์พุตโวลติจีส} = 0 \Omega$$

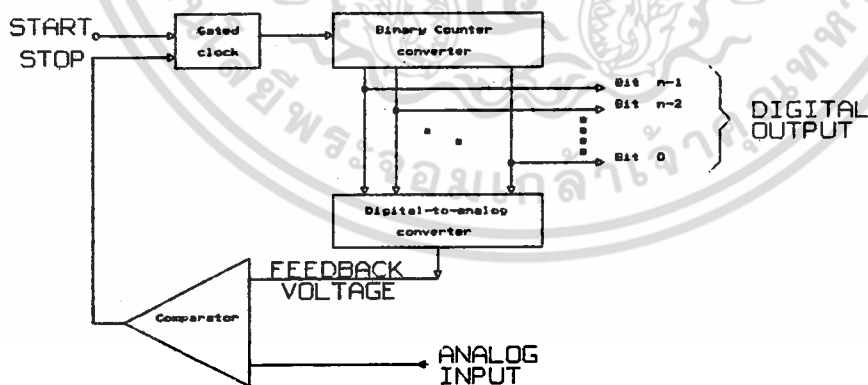


### 3.2 การแปลงสัญญาณอนาลอกให้เป็นข้อมูลดิจิทัล (Analog-to-Digital Converter: ADC)

เนื่องจากสัญญาณไฟฟ้าโดยทั่วไป จะมีลักษณะเป็นสัญญาณอนาลอก ซึ่งมีการเปลี่ยนแปลงกับเวลา แต่ในการประมวลผลค่าสัญญาณด้วยระบบไมโครโปรเซสเซอร์นั้น จำเป็นต้องใช้ข้อมูลที่เป็นสัญญาณดิจิทัล ดังนั้นจึงต้องมีการแปลงสัญญาณอนาลอกให้เป็นข้อมูลดิจิทัล การแปลงสัญญาณดังกล่าวมีได้หลายวิธี แต่วิธีที่นิยมใช้ส่วนใหญ่ได้แก่

1. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีธรรมดา หรือวิธีเรมป์ (Basic ADC or Ramp ADC)
2. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีต่อเนื่อง (Continuous Converter)
3. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีประมาณทีละบิต (Successive Approximation Converter)
4. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีสโลปคู่ (Dual-Slope Integrator ADC)
5. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีแฟลช (Flash ADC)
6. การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีฮาล์ฟแฟลช (Half-Flash ADC)

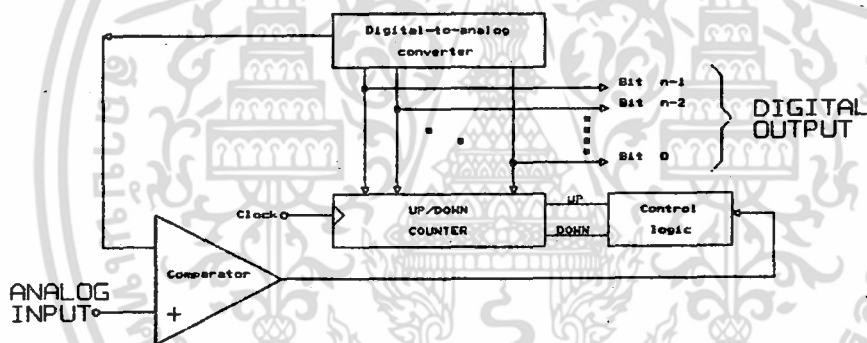
#### 3.2.1 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีธรรมดา หรือวิธีเรมป์



รูปที่ 3.4 แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีธรรมดา หรือวิธีเรมป์

วงจรจะประกอบด้วยวงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรแปลงข้อมูลดิจิทัลเป็นอนาล็อก (Digital to Analog Converter หรือ DAC) วงจรนับเลขฐานสอง (Binary Counter) และวงจรกำเนิดพัลส์ (Clock Pulse) ซึ่งมี ขั้นตอนการทำงานดังนี้ วงจรนับเลขฐานสองจะถูกตั้งให้มีค่าเป็น 0 เมื่อมีสัญญาณจากวงจรกำเนิดพัลส์ผ่านแชนด์เกทเข้ามา จะทำให้วงจรนับเลขฐานสองเริ่มทำการนับ สัญญาณเอาต์พุตที่ได้จากวงจรนับเลขฐานสองจะถูกนำเข้าวงจรแปลงข้อมูลดิจิทัลเป็นอนาล็อก เพื่อทำการแปลงข้อมูลดิจิทัลให้เป็นสัญญาณอนาล็อก แล้วนำสัญญาณอนาล็อกที่ได้ มาเปรียบเทียบกับสัญญาณอินพุตที่เข้ามา โดยใช้ วงจรเปรียบเทียบแรงดัน เมื่อสัญญาณอนาล็อกที่ได้จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกมีค่ามากกว่าหรือเท่ากับสัญญาณอินพุตที่เข้ามา วงจรนับเลขฐานสองจะหยุดทำงาน ดังนั้นข้อมูลดิจิทัลเอาต์พุตที่ได้จากวงจรนับเลขฐานสอง จะมีค่าเท่ากับสัญญาณอินพุตที่เข้ามา

### 3.2.2 การแปลงสัญญาณอนาล็อกให้เป็นดิจิทัล โดยวิธีต่อเนื่อง

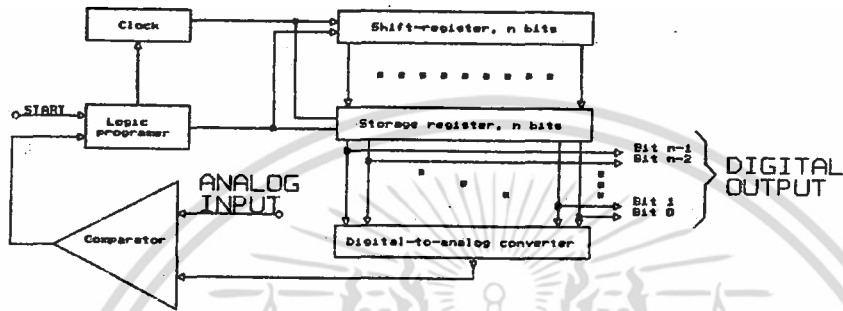


รูปที่ 3.5 แสดงวงจรการแปลงสัญญาณอนาล็อกให้เป็นดิจิทัล โดยวิธีต่อเนื่อง

วงจรนี้หลักการการทำงานคล้ายกับการแปลงสัญญาณอนาล็อกให้เป็นดิจิทัล โดยวิธีธรรมชาติ หรือวิธีแรมป์ แต่ต่างกันที่สัญญาณเอาต์พุตของวงจรเปรียบเทียบแรงดันจะ ไปป้อน เข้าที่ วงจรควบคุมลอจิก (Control Logic) เพื่อทำการเปลี่ยนแปลงค่าของวงจรนับเลขฐานสองขึ้น-ลง (Up-Down Binary Counter) ถ้าสัญญาณเอาต์พุตของวงจรแปลงสัญญาณดิจิทัลให้เป็นอนาล็อก น้อยกว่าสัญญาณอนาล็อกอินพุต จะทำให้วงจรควบคุมลอจิกไปควบคุมวงจรนับเลขฐานสองขึ้น-ลง ทำให้สัญญาณเอาต์พุตจากวงจรนี้มีค่าเพิ่มขึ้น จนกว่าจะได้สัญญาณเอาต์พุตจากวงจร

นับเลขฐานสองขึ้น-ลง เท่ากับสัญญาณอนาลอกอินพุท วงจรควบคุมลอจิกก็จะทำการเก็บค่านั้นไว้ จนกว่าจะมีการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุท

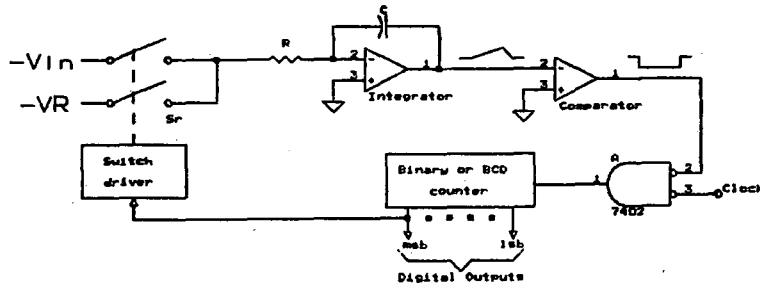
### 3.2.3 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีประมาณทีละบิต



รูปที่ 3.6 แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีประมาณทีละบิต

เป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลที่มีความละเอียดและรวดเร็ว มีหลักการทำงานคือ เริ่มต้น ชิฟต์รีจิสเตอร์จะถูกเคลียร์ให้เป็น 0 ยกเว้นตำแหน่งบิตที่มีค่านัยสำคัญสูงสุดในชิฟต์รีจิสเตอร์จะถูกเซตให้เป็น 1 สัญญาณเอาต์พุทที่ได้จากชิฟต์รีจิสเตอร์ จะผ่านเข้าไปยังวงจรแปลงข้อมูลดิจิทัลเป็นอนาลอก และนำสัญญาณอนาลอกที่ได้มา เข้าวงจรเปรียบเทียบแรงดัน เพื่อเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าสัญญาณอนาลอกอินพุท มีค่ามากกว่าสัญญาณอนาลอกจาก DAC บิตที่มีค่านัยสำคัญสูงสุดจะคงค่าเดิมคือ 1 ไว้ แต่ถ้าสัญญาณอนาลอกอินพุทมีค่าน้อยกว่าสัญญาณอนาลอกจาก DAC บิตที่มีค่านัยสำคัญสูงสุดจะเปลี่ยนเป็น 0 แทน หลังจากนั้น บิตที่มีค่านัยสำคัญรองลงไป จะถูกทำตามขั้นตอนข้างต้นเช่นเดียวกัน จนถึงบิตสุดท้ายซึ่งมีค่านัยสำคัญต่ำสุด ดังนั้น ข้อมูลดิจิทัลเอาต์พุทที่ได้จากชิฟต์รีจิสเตอร์จึงมีค่าเท่ากับสัญญาณอนาลอกอินพุท

### 3.2.4 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีสไลปกู้



รูปที่ 3.7 แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีสไลปกู้

วงจรชนิดนี้ สามารถแปลงสัญญาณได้อย่างแม่นยำ แต่มีข้อเสียคือ ใช้เวลาในการแปลงสัญญาณค่อนข้างนาน จึงไม่เหมาะในการใช้วัดแรงดันไฟฟ้าในช่วงเวลาสั้นๆ นิยมใช้ในการวัดค่าเฉลี่ยของแรงดันไฟฟ้าและกระแสไฟฟ้า เช่น ในมิเตอร์แบบดิจิทัล

การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีนี้ มีวงจรพื้นฐานดังรูปที่ 3.7 แรงดันอนาลอกอินพุต  $E_1$  และแรงดันมาตรฐาน  $E_{REF}$  จะผลิตกันถูกต่อเข้ากับขาอินพุทของวงจรอินทีเกรเตอร์ ทำให้มีการอินทีเกรตขึ้นและลงเป็นจังหวะอยู่ตลอดเวลา เอาท์พุท  $E_0$  ของวงจรอินทีเกรเตอร์จะต่อเข้ากับวงจรเปรียบเทียบแรงดัน ซึ่งจะทำหน้าที่ตรวจจับว่าเมื่อใดที่ค่าแรงดัน  $E_0$  จะมีค่าเป็น 0 โวลต์ วงจรควบคุมในวงจร ADC แบบนี้ จะทำหน้าที่ควบคุมสวิตช์  $S_1$  และ  $S_2$  เพื่อเชื่อมต่ออินพุทที่เป็น  $E_1$  สลับกับ  $E_{REF}$  ให้แก่วงจรอินทีเกรเตอร์

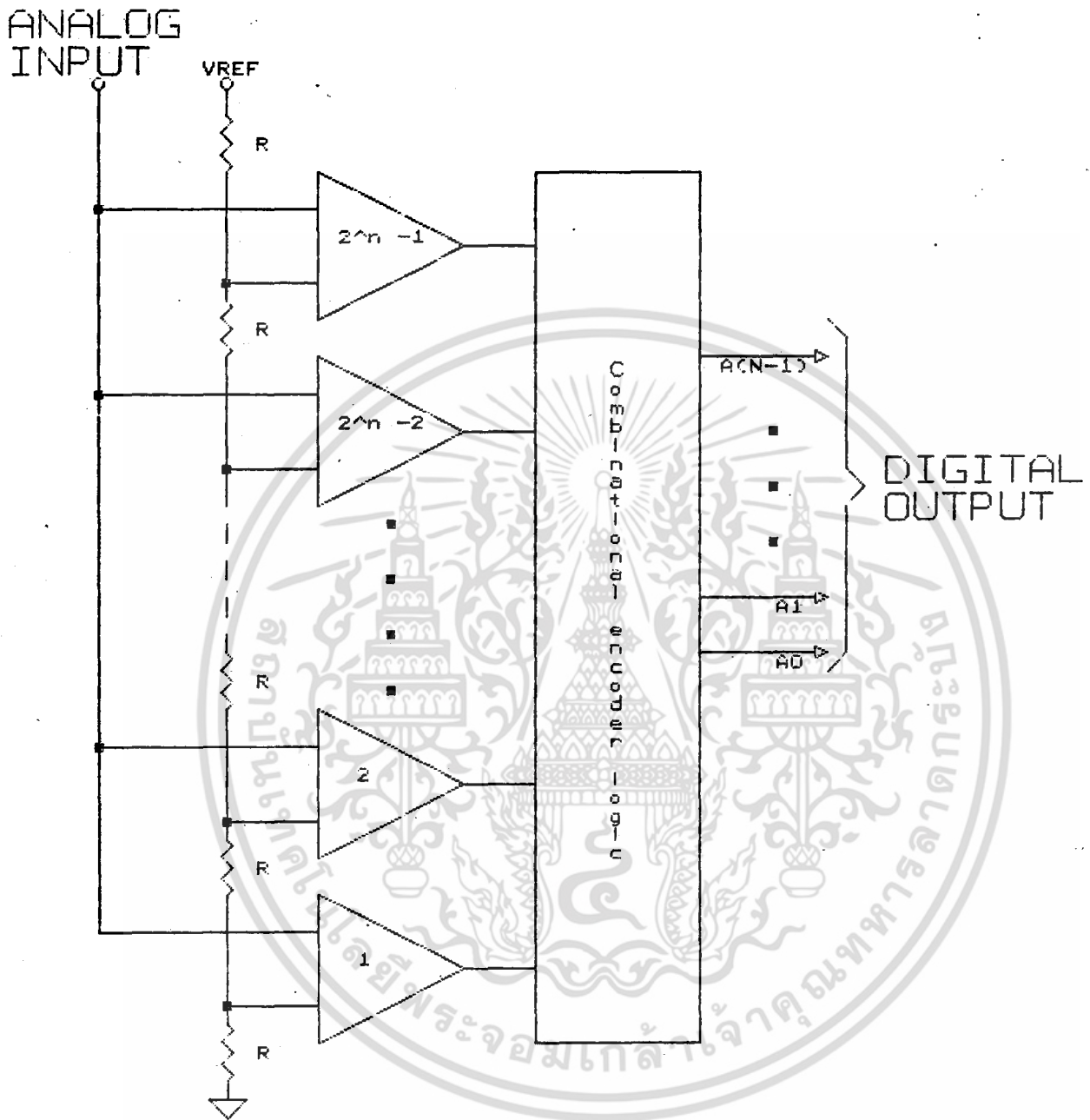
การทำงานของวงจรเริ่มจากเมื่อแรงดัน  $E_0 = 0$  โวลต์ วงจรควบคุมจะปิดสวิตช์  $S_1$  เพื่อให้แรงดัน  $E_1$  ต่อเข้ากับวงจรอินทีเกรเตอร์ วงจรควบคุมจะปล่อยให้วงจรอินทีเกรเตอร์ทำการอินทีเกรตสัญญาณ  $E_1$  เป็นระยะเวลา  $t_1$  วินาที การจับเวลาสามารถทำได้โดยการนับจำนวนพัลส์ที่มีความถี่คงที่จนได้ค่าที่กำหนดไว้ เช่น พัลส์ความถี่ 10 กิโลเฮิรตซ์จำนวน 1000 ลูก จะใช้เวลา 0.1 วินาที เป็นต้น เมื่อครบเวลา  $t_1$  วงจรควบคุมจะเปิดสวิตช์  $S_1$  ในขณะที่แรงดันเอาท์พุทของอินทีเกรเตอร์จะมีค่าแปรผกผันกับแรงดัน  $E_1$  เช่น  $E_0 = -(1.5)E_1$  เป็นต้น จากนั้นวงจรควบคุมจะปิดสวิตช์  $S_2$  เพื่อต่อแรงดัน  $E_{REF}$  เข้ากับวงจรอินทีเกรเตอร์

และรีเซตวงจรนับ แรงดัน  $E_{REF}$  จะมีขีดตรงข้ามกับ  $E_1$  ดังนั้น  $E_0$  ที่ได้จากแรงดัน  $E_{REF}$  จะเป็นเส้นตรงที่มีความชันตรงข้ามกับความชันที่ได้ในตอนแรกนั่นคือ  $E_0$  จะมีค่าเปลี่ยนแปลงเข้าใกล้ค่า 0 และเมื่อเวลาผ่านไป  $t_2$  แรงดัน  $E_0$  จะมีค่าเป็น 0 โวลต์ วงจรเปรียบเทียบกับ จะตรวจจับเหตุการณ์นี้แล้วส่งสัญญาณไปยังวงจรควบคุม วงจรควบคุมจะเปิดสวิตช์  $S_2$  และให้ วงจรนับหยุดนับพัลส์ ค่าที่นับได้ในวงจรมันขณะนั้นจะเท่ากับค่าแรงดันที่ต้องการวัด ที่เป็นเช่นนี้ เพราะแรงดัน  $E_{REF}$  มีค่าคงที่ ช่วงเวลา  $t_2$  ในการอินทิเกรตสัญญาณแรงดันเป็นศูนย์ จะแปรผันกับแรงดัน  $E_1$  ถ้า  $E_1$  มีค่ามาก ค่า  $E_0$  หลังจากการอินทิเกรตครั้งแรกจะมีค่ามาก จึง ใช้เวลา  $t_2$  ในการอินทิเกรตครั้งที่สองมากตามไปด้วย สมมติให้  $E_1 = 1$  โวลต์ และ  $E_{REF} = -1$  โวลต์ ได้  $t_1 = t_2$  เท่ากับการนับพัลส์ 1000 ลูก ถ้าให้  $E_1 = 1.5$  โวลต์ จะได้ว่า  $t_2 = 1.5t_1$  หรือเท่ากับกับการนับพัลส์ 1500 ลูก จะสังเกตเห็นว่าค่านับพัลส์นี้ตรงกับค่าแรงดัน  $E_1$  ที่ต้องการวัดเช่น  $E_1 = 1.000$  โวลต์ ได้ค่านับ 1000 และ  $E_1 = 1.500$  โวลต์ ได้ค่านับ 1500 เป็นต้น ค่านับของวงจรมันสามารถส่งออกไปที่แลตซ์และถอดรหัส เพื่อแสดงผลด้วย LED 7 ซิตอีกทีหนึ่ง ทำให้สามารถอ่านค่าแรงดันเป็นตัวเลขได้โดยตรง

### 3.2.5 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีนับพลซ

วิธีนี้เป็นวิธีการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลที่มีความเร็วสูงมาก อุปกรณ์หลักที่ใช้ในการแปลงสัญญาณแบบนี้คือ วงจรเปรียบเทียบแรงดัน ในการทำงานของวงจร สัญญาณอนาลอกที่ต้องการแปลงจะถูกส่งไปยังขาอินพุตขาหนึ่งของวงจรเปรียบเทียบแรงดันแต่ละตัว ส่วนขาอินพุตอีกขาหนึ่งที่เหลือจะถูกต่อเข้ากับแรงดันอ้างอิงที่ทราบค่าแน่นอน โดยใช้ตัวต้านทานเป็นตัวแบ่งกระแส เพื่อให้มีค่าความต่างศักย์ต่างกัน สัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบแรงดัน จะถูกนำมาเข้าวงจรเข้ารหัสรวม เพื่อให้ได้ข้อมูลดิจิทัลซึ่งมีค่าเท่ากับสัญญาณอนาลอกอินพุตจำนวน วงจรเปรียบเทียบแรงดัน ที่ต้องใช้ในการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลขนาด  $n$  บิตคือ  $2^n - 1$  วงจร

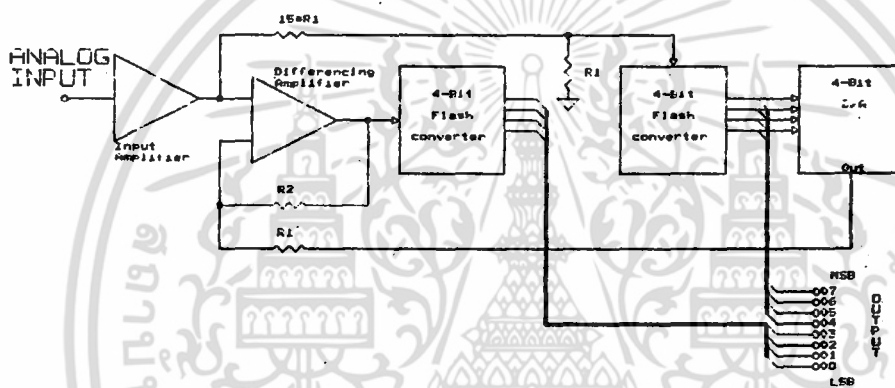
กรณีสัญญาณอนาลอกทำให้วงจรเปรียบเทียบแรงดันตัวที่  $m$  มีเอาต์พุตเป็น 1 วงจรเปรียบเทียบแรงดันตั้งแต่ตัวที่ 1 ถึงตัวที่  $m-1$  จะมีเอาต์พุตเป็น 1 ด้วย เอาต์พุตของวงจรเปรียบเทียบแรงดันทุกตัวจะถูกส่งผ่านเข้าไปในวงจรเข้ารหัสรวม เพื่อให้ได้สัญญาณเอาต์พุตแบบดิจิทัล ซึ่งสามารถนำไปเก็บลงในหน่วยความจำได้



รูปที่ 3.8 แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัล โดยวิธีแฟลช

การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีแฟลชนี้ ในปัจจุบันสามารถสร้างวงจรที่มีช่วงเวลาในการแปลงสัญญาณ(Conversion time)ประมาณ  $20 \times 10^{-9}$  ถึง  $50 \times 10^{-9}$  วินาที สำหรับวงจรที่ให้ค่าเอาต์พุตเป็นข้อมูลดิจิทัลขนาด 3 บิต หรือเร็วกว่านี้ ในการแปลงสัญญาณที่มีเอาต์พุตขนาด 8 บิต ข้อเสียของการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีแฟลชนี้คือ ต้องใช้วงจรเปรียบเทียบแรงดันเป็นจำนวนมากถึง  $2^n - 1$  วงจร เมื่อ  $n$  คือจำนวนบิตของข้อมูลดิจิทัลเอาต์พุตที่ต้องการ

### 3.2.6 การแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีฮาล์ฟแฟลช



รูปที่ 3.9 แสดงวงจรการแปลงสัญญาณอนาลอกให้เป็นดิจิทัลโดยวิธีฮาล์ฟแฟลช

มีหลักการทำงานของวงจรคล้ายกับการแปลงสัญญาณโดยวิธีแฟลช โดยอาศัยวงจรแปลงสัญญาณแบบแฟลชขนาด 4 บิต จำนวน 2 ตัว ตัวหนึ่งจะแปลงสัญญาณอนาลอกครั้งหนึ่งให้เป็นข้อมูลดิจิทัลที่มีค่านัยสำคัญสูงจำนวน 4 บิต ส่วนอีกตัวหนึ่งจะแปลงสัญญาณอนาลอกส่วนล่างให้เป็นข้อมูลดิจิทัลที่มีค่านัยสำคัญต่ำจำนวน 4 บิต

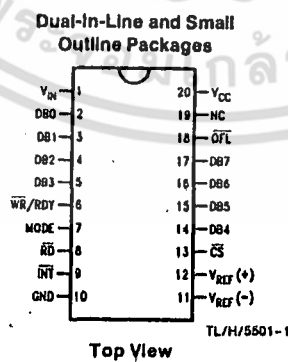
เมื่อสัญญาณอินพุตผ่านวงจรขยาย และวงจรแอมป์เบลแอนด์ไฮล ซึ่งทำหน้าที่สุ่มและค้างข้อมูลแล้ว จะผ่านเข้าไปยังอินพุตของวงจรเปรียบเทียบแรงดัน โดยที่วงจรเปรียบเทียบแรง

ดังนั้นจะทำงาน 2 รอบในการแปลงสัญญาณแต่ละครั้งคือ ในรอบแรกจะ ไม่มีการเปรียบเทียบสัญญาณอินพุตกับสัญญาณใดๆ สัญญาณอินพุตจะถูกหารด้วย 16 และถูกนำไปเข้าวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลชที่มีความละเอียด 4 บิต เนื่องจากสัญญาณถูกลดทอนลง 16 เท่าดังนั้นน้ำหนักแท้จริงของแต่ละบิตที่ได้จากการแปลงสัญญาณนี้จะต้องคูณด้วย  $2^4$  นั่นคือ น้ำหนักของแต่ละบิตจากนัยสำคัญสูงมายังบิตที่มีนัยสำคัญต่ำมีค่าเท่ากับ 128, 64, 32 และ 16 ตามลำดับ จะเห็นได้ว่าข้อมูลทั้ง 4 บิตที่ได้นี้จะ เป็นข้อมูล 4 บิตบน ซึ่งจะถูกนำไปแปลงกลับให้เป็นสัญญาณอนาลอกโดยวงจรแปลงข้อมูลดิจิตอลเป็นอนาลอก สัญญาณอนาลอกที่ได้นี้จะถูกป้อนกลับให้กับวงจรเปรียบเทียบแรงดัน เพื่อเปรียบเทียบกับสัญญาณอนาลอกอินพุต ผลลัพธ์ที่ได้นี้จะถูกแปลงโดยวงจรแปลงสัญญาณแบบแฟลชขนาด 4 บิตอีกตัวหนึ่ง ซึ่งจะได้เป็นข้อมูลดิจิตอลที่มีนัยสำคัญต่ำจำนวน 4 บิต

วงจรแปลงสัญญาณแบบฮาร์ลแฟลชนี้ จะมีจำนวนวงจรเปรียบเทียบแรงดันลดลงจากแบบแฟลชที่ต้องใช้ถึง 255 ตัว เหลือเพียง 32 ตัว แต่จะใช้เวลาในการแปลงสัญญาณนานกว่าแบบแฟลช อย่างไรก็ตาม การแปลงสัญญาณแบบฮาร์ลแฟลชนี้ก็ยังมีความเร็วกว่าการแปลงสัญญาณด้วยวิธีอื่นอย่างมาก

### 3.2.7 วงจรแปลงสัญญาณอนาลอกให้เป็นดิจิตอลที่ใช้ในโครงการ

เนื่องจากโครงการ Data Logger for Oscilloscope นี้ ต้องการการแปลงสัญญาณอนาลอกให้เป็นดิจิตอล (ADC) ที่มีความเร็วสูง จึงเลือกใช้วงจรแปลงสัญญาณแบบฮาร์ลแฟลชขนาด 8 บิต เบอร์ ADC0820 บรรจุอยู่ในตัวถังแบบ DIP (Dual-in-line Package) ขนาด 20 ขา ดังแสดงในรูปที่ 3.10



รูปที่ 3.10 แสดงขาสัญญาณต่างๆของไอซีเบอร์ ADC0820

### 3.2.8 รายละเอียดและการทำงานของขาสัญญาณต่างๆของวงจรรวม ADC0820

Vin (ขา 1) : เป็นขารับสัญญาณอนาล็อกอินพุต ซึ่งต้องการแปลงเป็นข้อมูลดิจิทัล โดยจะต้องมีระดับแรงดันอยู่ในช่วง 0 ถึงแรงดันไฟเลี้ยง

DB0-DB3 (ขา 2-5) และ DB4-DB7 (ขา 14-17) : เป็นขาเอาต์พุตสำหรับส่งค่าข้อมูลดิจิทัลที่แปลงจากสัญญาณอนาล็อกอินพุต

MODE (ขา 7) : เป็นขาอินพุตใช้สำหรับเลือกโหมดการทำงานซึ่งมีอยู่ 2 โหมดคือ

RD MODE : เมื่อขานี้มีลอจิกเป็น "0"

WR-RD MODE : เมื่อขานี้มีลอจิกเป็น "1"

WR/RDY (ขา 6) : มีการใช้งานต่างกัน 2 แบบขึ้นกับโหมดการใช้งานคือ

WR-RD MODE : ใช้เป็นขาอินพุต (WR) ถ้าสัญญาณเลือกชิป มีลอจิกเป็น "0" ADC จะเริ่มแปลงสัญญาณที่ขอบขาของสัญญาณ WR และจะส่งข้อมูลที่ได้จากการแปลงนี้ไปยังเอาต์พุตเลขที่เมื่อเวลาผ่านไปประมาณ  $800 \times 10^{-9}$  วินาทีหลังจากขอบขาขึ้นของสัญญาณ WR ในกรณีที่ไม่มีสัญญาณ RD ในช่วงเวลาดังกล่าว

RD MODE : ใช้เป็นขาเอาต์พุต (RDY) โดยที่ขา RDY จะมีลอจิกเป็น "0" หลังจากสัญญาณ CS เปลี่ยนจากลอจิก "1" เป็น "0" หรือขอบขาของสัญญาณ CS ขาสัญญาณ RDY จะมีสถานะเป็น Tri-state เมื่อข้อมูลที่ได้จากการแปลงสัญญาณถูกส่งมายังเอาต์พุตเลขที่ ขาสัญญาณนี้อาจใช้เชื่อมต่อกับระบบไมโครโปรเซสเซอร์ได้

RD (ขา 8) :

WR-RD MODE : เมื่อสัญญาณ CS และขาสัญญาณ RD มีลอจิกเป็น "0" ทั้งคู่ ข้อมูลที่ได้จากการแปลงสัญญาณจะถูกส่งออกมาที่เอาต์พุตเลขที่ ขาสัญญาณ RD อาจใช้เพื่อเพิ่มความเร็วในการแปลงสัญญาณ โดยการอ่านข้อมูล (ให้ RD เป็น "0") ก่อนเวลาปกติ ( $800 \times 10^{-9}$  วินาที) นั่นคือข้อมูลเนื่องจากการแปลงสัญญาณจะถูกส่งมายังเอาต์พุตเลขที่หลังขอบขาของสัญญาณ RD

RD MODE : เมื่อสัญญาณ CS และ RD มีลอจิกเป็น "0" ทั้งคู่ ADC จะเริ่มทำการแปลงสัญญาณ นอกจากนี้สัญญาณ RD ยังใช้ในการเอเนเบิล (enable) ให้ข้อมูลไปปรากฏที่เอาต์พุตแลตซ์เมื่อเสร็จสิ้นการแปลงสัญญาณ สัญญาณ RDY จะอยู่ในสภาวะ Tri-state และสัญญาณ INT จะมีลอจิกเป็น "0" เพื่อแสดงว่าการแปลงสัญญาณได้เสร็จสิ้นลงแล้ว

INT (ขา 9) : ถ้าสัญญาณ INT มีลอจิกเป็น "0" แสดงว่าการแปลงสัญญาณนั้นได้เสร็จสิ้นและมีข้อมูลที่ได้จากการแปลงสัญญาณรออยู่ที่เอาต์พุตแลตซ์แล้ว

GND (ขา 10) : เป็นขาที่ต่อเข้ากับกราวด์ (Ground) ของระบบ

$V_{REF(-)}$  (ขา 11) : คือจุดกลางสุดของวงจรรีซิสเตอร์แลดเดอร์ (Resistor ladder) มีค่าแรงดันอยู่ในช่วงระหว่าง GND ถึง  $V_{REF(+)}$

$V_{REF(+)}$  (ขา 12) : คือจุดปลายสุดของวงจรรีซิสเตอร์แลดเดอร์ มีค่าแรงดันอยู่ในช่วงระหว่าง  $V_{REF(-)}$  ถึงแรงดันไฟเลี้ยงหรือ  $V_{CC}$

CS (ขา 13) : ขาสัญญาณนี้จะต้องมีลอจิกเป็น "0" เมื่อต้องการให้ ADC รับรู้สัญญาณ RD หรือสัญญาณ WR

OFL (ขา 18) : สัญญาณนี้จะแอกทีฟ (มีลอจิกเป็น "0") เมื่อสัญญาณอนาลอกอินพุตมีแรงดันสูงกว่า  $V_{REF(+)}$  สามารถใช้ในการต่อคาสเคด (Cascade) เมื่อต้องการเพิ่มค่ากำลังแยก (Resolution)

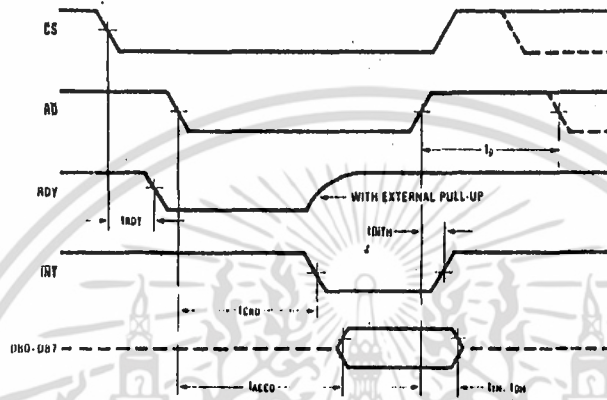
NC (ขา 19) : ขานี้ไม่ได้ใช้ประโยชน์ใดๆในวงจร จึงไม่มีการเชื่อมต่อ

$V_{CC}$  (ขา 20) : ใช้ต่อเข้ากับแหล่งจ่ายไฟเพื่อป้อนไฟเลี้ยงให้กับวงจร

### 3.2.9 การใช้งาน ADC0820

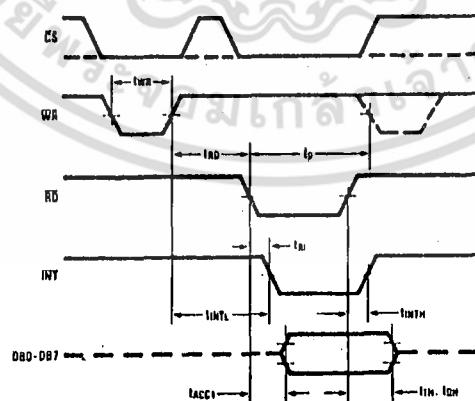
ไอซีเบอร์ ADC0820 นี้สามารถจัดการทำงานได้ 3 โหมดคือ

**RD MODE :** การเลือกการใช้งานในโหมดนี้ ทำได้โดยให้ขา Mode มีลอจิกเป็น "0" การทำงานในโหมดนี้ ADC จะเริ่มแปลงสัญญาณเมื่อขาสัญญาณ RD เป็น "0" จนกระทั่งมีข้อมูลปรากฏที่เอาต์พุต ซึ่งทำให้สัญญาณ INT มีลอจิกเป็น "0" เพื่อแสดงว่าเสร็จสิ้นการแปลงสัญญาณแล้ว รูปที่ 3.11 แสดงไดอะแกรมเวลาการทำงานในโหมด RD

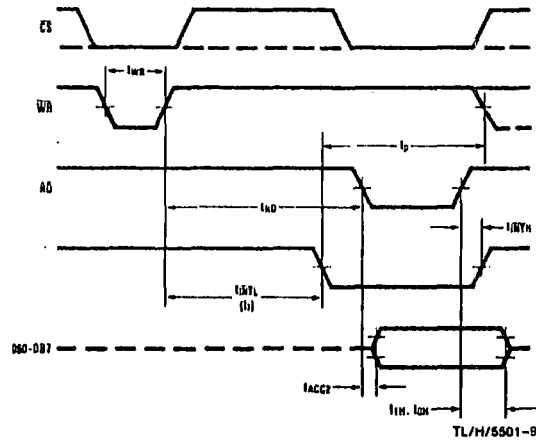


รูปที่ 3.11 แสดงไดอะแกรมเวลาการทำงานในโหมด RD ของ ADC0820

**WR-RD MODE :** การเลือกการใช้งานในโหมดนี้ ทำได้โดยให้ขาสัญญาณ Mode มีลอจิกเป็น "1" ในโหมดการทำงานนี้ เริ่มแปลงสัญญาณเมื่อสัญญาณ WR เป็น "0" ส่วนการอ่านข้อมูลจากเอาต์พุตมี 2 วิธีดังจะเห็นได้จากรูป 3.12(a) และ (b)



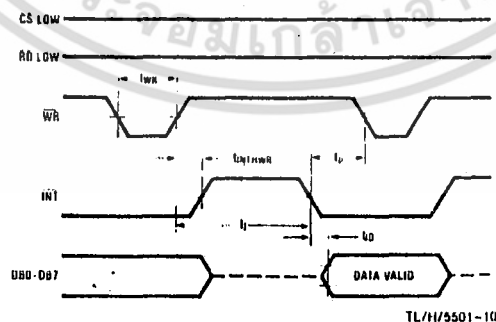
รูปที่ 3.12(a) แสดงการทำงานใน WR-RD MODE เมื่อ  $t_{RD} < t_1$



รูปที่ 3.12(b) แสดงการทำงานใน WR-RD MODE เมื่อ  $t_{RD} > t_1$

ถ้าสัญญาณ INT มีลอจิก "0" ก่อนที่สัญญาณ RD จะเป็นโลว์ (low) สัญญาณ INT จะเปลี่ยนจากลอจิก "1" เป็น "0" หลังขอบขาขึ้นของสัญญาณ WR ประมาณ  $800 \times 10^{-9}$  วินาที ถ้าต้องการให้มีการแปลงสัญญาณที่เร็วขึ้น ทำได้โดยให้สัญญาณ RD เป็น "0" หลังจากขอบขาขึ้นของสัญญาณ WR ประมาณ  $600 \times 10^{-9}$  วินาที ดังรูปที่ 3.12(b) ซึ่งวิธีนี้จะทำให้สัญญาณ INT เป็น "0" ทันที (ปกติต้องรอเวลาประมาณ  $800 \times 10^{-9}$  วินาที หลังจากขอบขาขึ้นของสัญญาณ WR) และมีข้อมูลปรากฏที่เอาต์พุตของ ADC

**STAND-ALONE** : การทำงานแบบ Stand-Alone ใน WR-RD MODE นั้นสัญญาณ CS และสัญญาณ RD มีลอจิกเป็น "0" ตลอด และควบคุมการแปลงสัญญาณโดยใช้สัญญาณ WR ข้อมูลจะปรากฏที่เอาต์พุตหลังขอบขาขึ้นของสัญญาณ WR ประมาณ  $800 \times 10^{-9}$  วินาที การทำงานในโหมดนี้ถูกแสดงไว้ในรูปที่ 3.13

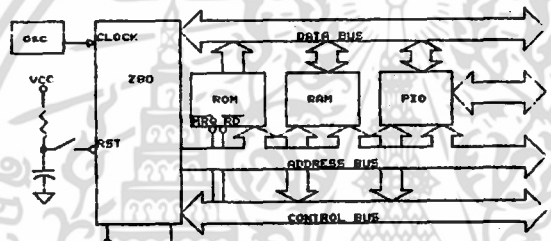


รูปที่ 3.13 แสดงการทำงานใน WR-RD MODE ในแบบ Stand-Alone

### 3.3 ระบบไมโครโปรเซสเซอร์เบื้องต้น

#### 3.3.1 ไมโครโปรเซสเซอร์

Z-80 ซีพียู นับว่าเป็นส่วนสำคัญที่สุดในการทำงานของระบบ ซึ่งทำหน้าที่คำนวณทางคณิตศาสตร์ ปฏิบัติการทางลอจิก สร้างสัญญาณควบคุมจากขาสัญญาณต่างๆ ไมโครโปรเซสเซอร์เพียงตัวเดียว ยังไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์ส่วนสำคัญอีก 2 ส่วน คือ หน่วยความจำ (Memory) และ หน่วยรับส่งข้อมูลเข้าออก (I/O Devices) โดยซีพียูจะทำงานตามคำสั่งในหน่วยความจำซึ่งถูกเรียงไว้เป็นลำดับ ซึ่งเรียกว่า โปรแกรม คำสั่งจะมีลักษณะเป็นเลขฐานสอง เมื่อ ซีพียู รับ (Fetch) คำสั่งจากหน่วยความจำ ซีพียู จะแปลความหมายของคำสั่ง และทำงาน (Execute) ตามคำสั่งนั้น จะทำให้เกิดการควบคุมระบบภายนอก จากบัสควบคุม (Control Bus)



รูปที่ 3.14 ระบบการทำงานของ Z-80

#### 3.3.2 หน่วยความจำ

หน่วยความจำทำหน้าที่ ในการเก็บข้อมูลของระบบ แบ่งเป็น 2 ประเภทใหญ่ๆคือ หน่วยความจำแบบชั่วคราว หรือ แรม (Random Access Memory) และหน่วยความจำถาวร หรือ รอม (Read Only Memory)

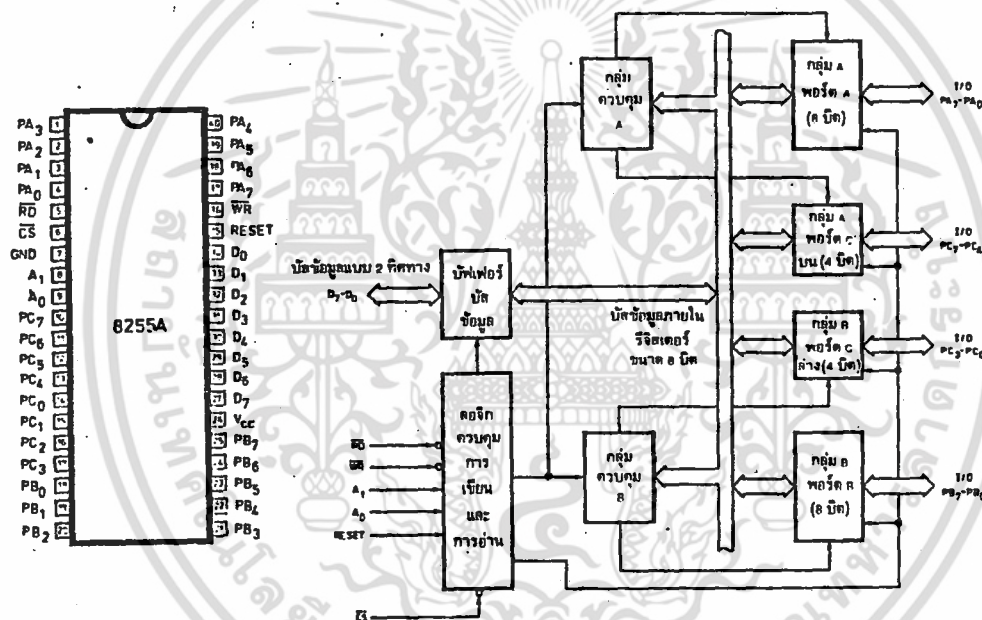
รอม เป็นหน่วยความจำที่ใช้เก็บโปรแกรมการทำงานของระบบ(Monitor Program) การเขียนข้อมูลลงในรอม จะกระทำได้เพียงครั้งเดียว แต่ถ้าเป็น อีพรอม (EPROM) สามารถลบข้อมูลเดิม ด้วยแสงอุลตราไวโอเล็ต แล้วเขียนข้อมูลลงไปใหม่ได้

แรม เป็นหน่วยความจำแบบชั่วคราว ซึ่งสามารถเลือกใช้หน่วยความจำในตำแหน่งที่ต้องการได้ ทั้งการเก็บข้อมูล และการให้ข้อมูลแก่อุปกรณ์อื่น ต้องใช้แบตเตอรี่จ่ายไฟสำรอง

ไว้ จึงสามารถเก็บข้อมูลในการทำงานต่างๆ ไว้ได้ เมื่อไม่มีไฟเลี้ยง

### 3.3.3 อุปกรณ์ช่วยติดต่อ 8255 PIA

8255 PIA (Programable Interface Adapter) เป็นอุปกรณ์ ที่ใช้ในการช่วยติดต่อ ระหว่าง ซีพียู กับอุปกรณ์ภายนอก หรือที่เรียกกันทั่วไปว่า อุปกรณ์อินพุท/เอาต์พุท (I/O Devices) เป็นพอร์ตที่ให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ต และจะเรียกพอร์ตต่างๆ ว่า พอร์ต A พอร์ต B และ พอร์ต C โดยพอร์ต C แยกออกเป็น 2 ส่วน คือ พอร์ต C ล่าง หรือ ตั้งแต่  $PC_0-PC_3$  มีจำนวน 4 บิต และ พอร์ต C บน หรือ ตั้งแต่  $PC_4-PC_7$  ที่พิเศษคือ พอร์ตทุกพอร์ทเป็น ได้ทั้งพอร์ทอินพุทและพอร์ทเอาต์พุท



รูปที่ 3.15 แผนผังวงจรภายในและการจัดขาของไอซี 8255

จากรูปที่ 3.15 แสดงการทำงานของ 8255 ซึ่งสามารถแบ่งการทำงาน ออกได้เป็น 3 กลุ่ม คือ

ก) กลุ่มของพอร์ท พอร์ต A (PA<sub>0</sub>-PA<sub>7</sub>), พอร์ต B (PB<sub>0</sub>-PB<sub>7</sub>) และ พอร์ต C ล่าง กับ C บน (PC<sub>0</sub>-PC<sub>3</sub> และ PC<sub>4</sub>-PC<sub>7</sub>) ซึ่งเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอก

อื่นๆ ทำหน้าที่ส่งผ่านข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 และแต่ละพอร์ทมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายใน 8255

ข) กลุ่มควบคุม แบ่งเป็นกลุ่มควบคุม A และ กลุ่มควบคุม B เป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 พอร์ท

ค) กลุ่มบัฟเฟอร์และสัญญาณควบคุม Data Buffer เป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU และ Read/Write Control Logic ซึ่งเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวที่ถูกต้องและในเวลาที่เหมาะสม

### 3.3.3.1 รายละเอียดการจัดการของ 8255

8255 มีลักษณะเป็นตัวถัง 40 ขา แบบดิพ แต่ละขา มีหน้าที่แตกต่างกันไป ซึ่งมีรายละเอียด ดังต่อไปนี้

$D_0-D_7$  (DATA BUS) : เป็นสายข้อมูลอินพุท/เอาต์พุท แบบ 2 ทิศทาง จะเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่างๆ ของ 8255 กับบัสข้อมูลของ Z-80

CS (Chip Select Input) : เมื่อขานี้มีสถานะลอจิกเป็น 0 CPU สามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD (Read Input) : เมื่อขานี้และขา CS มีสถานะลอจิกเป็น 0 ข้อมูลจาก 8255 จะเข้าสู่บัสข้อมูล

WR (WRITE Input) : เมื่อขานี้และขา CS มีสถานะลอจิกเป็น 0 ข้อมูลจากบัสข้อมูล จะเข้าสู่ 8255

$A_0-A_1$  (ADDRESS INPUT) : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255

RESET : เมื่อขานี้มีสถานะเป็น 1 8255 จะอยู่ในสภาวะรีเซ็ต

PA0-PA7, PBO-PB7 : ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิต

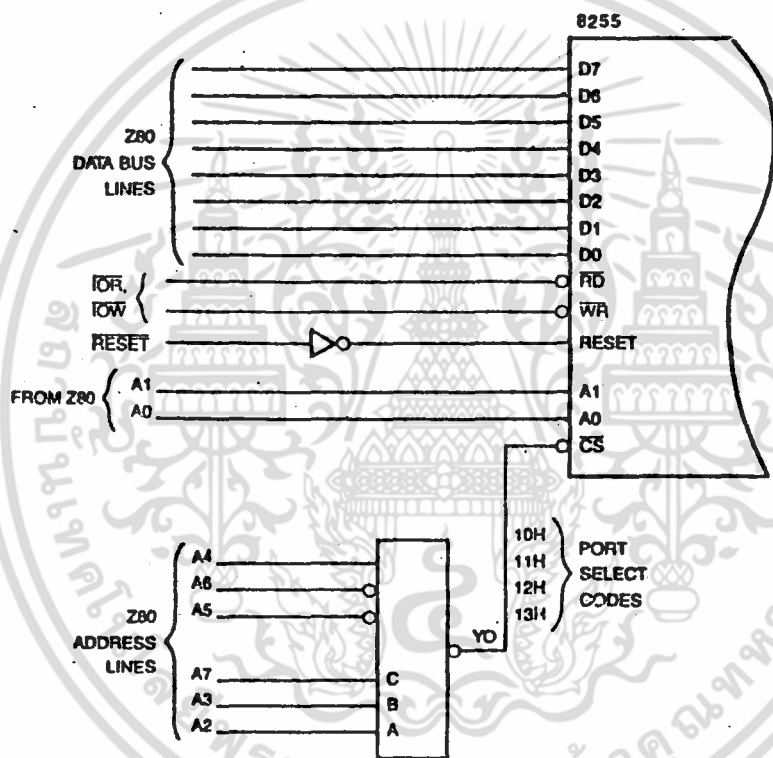
ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่นๆ

PC0-PC7 : ใช้เป็นพอร์ท I/O ขนาด 8 บิต และสามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิต กลุ่มแรกใช้ควบคุม PBO-PB7 และกลุ่มที่สองใช้ควบคุม PA0-PA7

### 3.3.3.2 การเชื่อมต่อ 8255 เข้ากับระบบ Z-80

ในการต่อ 8255 เข้ากับระบบ Z-80 นั้น ต้องนำสัญญาณ  $A_0-A_7$  จาก Z-80 มาถอดรหัส เพื่อสร้างสัญญาณเลือกพอร์ท และเพราะว่า 8255 มีขาแอดเดรสอินพุตอยู่แล้ว 2 ขา ( $A_0-A_1$ ) จะนำมาต่อตรงเข้ากับ  $A_0, A_1$  จากแอดเดรสบัส หมายความว่า 8255 หนึ่งตัวจะใช้ค่าพอร์ทแอดเดรสถึง 4 ค่า ( $2^2$ ) ส่วนสัญญาณอีก 6 เส้น ( $A_2-A_7$ ) จะนำไปถอดรหัสเพื่อสร้างสัญญาณเลือกชิพ (CS:CHIP SELECT) ให้แก่ 8255

สมมติว่าต้องการให้ Z-80 มองเห็น 8255 เป็นพอร์ทหมายเลข 10H, 11H, 12H และ 13H การเชื่อมต่อ 8255 เข้ากับระบบของ Z-80 จะเป็นดังรูปที่ 3.16

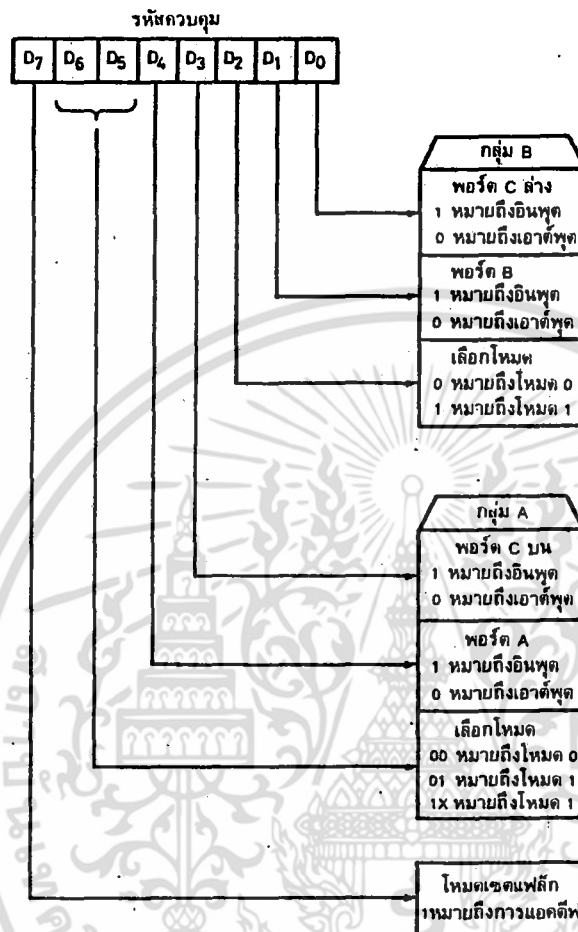


รูปที่ 3.16 การเชื่อมต่อ 8255 เข้ากับระบบของ Z-80

ลักษณะการทำงานของ 8255 แบ่งออกเป็น 3 โหมด แต่ละโหมดมีความแตกต่างกันตามความเหมาะสมในการเลือกใช้งาน ในการเซต 8255 ให้อยู่ในโหมดใดโหมดหนึ่ง จะสั่งได้จากคำสั่งควบคุม แบบที่นิยมใช้จะเป็นโหมด 0

## การทำงานในโหมด 0

การกำหนดโหมดการทำงาน จะต้องส่งข้อมูลเข้าไป โปรแกรมในพอร์ตควบคุมของ 8255 ซึ่งจากตัวอย่างรูปที่ 3.4 ใช้พอร์ทหมายเลข 13H แต่ละบิตที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตในรหัสควบคุมแสดงดังรูปที่ 3.17 และมีรายละเอียดดังนี้



รูปที่ 3.17 แสดงรายละเอียดแต่ละบิตของคำสั่งควบคุม ของ 8255

- บิต D<sub>7</sub> = "1" เป็นตัวกำหนดว่า เป็นคำสั่งควบคุม (Control Word)
- บิต D<sub>6</sub> และ D<sub>5</sub> กำหนดโหมดทำงานของกลุ่ม A
- บิต D<sub>4</sub> = "0" กำหนดให้พอร์ท A เป็นพอร์ทเอาต์พุต
- บิต D<sub>3</sub> = "0" กำหนดให้พอร์ท C 4 บิตบน เป็นพอร์ทเอาต์พุต
- บิต D<sub>2</sub> = "0" กำหนดให้พอร์ท B เป็นพอร์ทเอาต์พุต
- บิต D<sub>1</sub> = "0" กำหนดโหมดทำงานของกลุ่ม B
- บิต D<sub>0</sub> = "0" กำหนดให้พอร์ท C 4 บิตล่าง เป็นพอร์ทเอาต์พุต

ตัวอย่างคำสั่งของ Z-80 ในการเซท 8255 เป็นดังนี้

LD A,80H ;เซทคำสั่งควบคุม  
OUT (13H),A ;ส่งคำสั่งควบคุมให้ 8255 ที่พอร์ตควบคุม

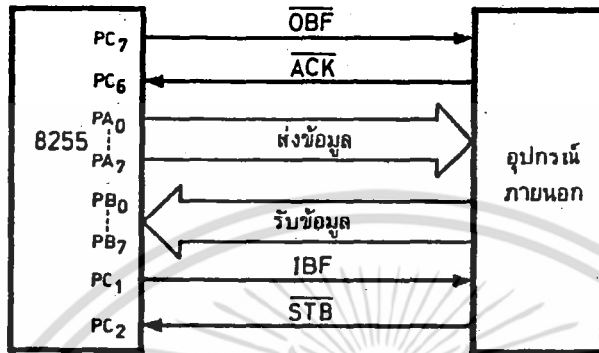
เมื่อ Z-80 ทำงานตามคำสั่งข้างต้นแล้ว 8255 จะถูกเซทให้ทุกพอร์ทเป็นเอาต์พุท และอยู่ในโหมด 0 ซึ่งสามารถส่งข้อมูลไปยังพอร์ทต่างๆ ได้ด้วยคำสั่ง OUT ของ Z-80 เช่น

LD A,99H ;กำหนดข้อมูล  
OUT (10H),A ;ส่งค่า 99H ไปที่พอร์ท A (10H)  
LD A,8AH ;กำหนดข้อมูล  
OUT (11H),A ;ส่งค่า 8AH ไปที่พอร์ท B (11H)

#### การทำงานในโหมด 1

การทำงานของ 8255 ในโหมด 1 เป็นโหมดที่ทำให้อินพุท/เอาต์พุทมีการตรวจสอบสัญญาณ (Handshaking) โดยใช้อินพุท/เอาต์พุทของพอร์ท A และ พอร์ท B เป็นหลัก และใช้พอร์ท C บน เป็นตัวตรวจสอบสัญญาณ (Handshake) ของพอร์ท A ส่วนพอร์ท C ล่างเป็นตัวตรวจสอบสัญญาณของพอร์ท B การใช้พอร์ทอินพุท/เอาต์พุท โดยมีการตรวจสอบสัญญาณ เพื่อให้มีการซิงโครไนซ์ ระหว่างอุปกรณ์ภายนอกที่ทำงานได้ช้า เช่น เครื่องพิมพ์ ลักษณะของการรับส่งข้อมูลแบบบั๊ตั้น จะใช้  $PA_0-PA_7$  เป็นเอาต์พุท และ  $PB_0-PB_7$  เป็นอินพุท โดยมีพอร์ท C เป็นตัวตรวจสอบสัญญาณ ดังรูปที่ 3.17

เมื่อโปรแกรม 8255 ให้เป็นโหมด 1 แล้ว ตัว 8255 จะให้พอร์ท C เป็นสัญญาณควบคุม โดยแต่ละบิตของพอร์ท C เป็นไปตามที่กำหนดไว้ ดังตารางที่ 3.1



รูปที่ 3.18 วงจรการต่อ 8255 ในโหมด 1

ขา	กรณีอินพุต	กรณีเอาต์พุต
PC <sub>0</sub>	INTR <sub>B</sub>	INTR <sub>B</sub>
PC <sub>1</sub>	IBF <sub>B</sub>	OBF <sub>B</sub>
PC <sub>2</sub>	STB <sub>B</sub>	ACK <sub>B</sub>
PC <sub>3</sub>	INTR <sub>A</sub>	INTR <sub>A</sub>
PC <sub>4</sub>	STB <sub>A</sub>	I/O
PC <sub>5</sub>	IBF <sub>A</sub>	I/O
PC <sub>6</sub>	I/O	ACK <sub>A</sub>
PC <sub>7</sub>	I/O	OBF <sub>A</sub>

ตารางที่ 3.1 หน้าที่ของพอร์ท C ในโหมด 1

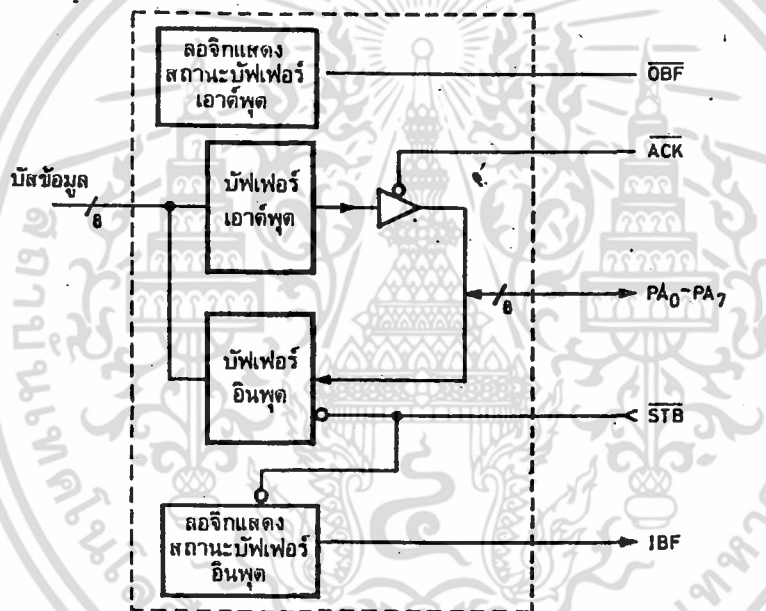
### การทำงานในโหมด 2

ในโหมดนี้ 8255 จะใช้พอร์ท A เป็นพอร์ทแบบสองทิศทางคือ สามารถเป็นได้ทั้งพอร์ทอินพุต และพอร์ทเอาต์พุต โดยโครงสร้างของพอร์ท A ทั้งอินพุต/เอาต์พุต มีตัวตรวจสอบสัญญาณทั้งคู่ โดยใช้พอร์ท C โดยมีสัญญาณแต่ละขาดังตารางที่ 3.2

พอร์ต C	ความหมาย
PC <sub>0</sub>	IO
PC <sub>1</sub>	IO
PC <sub>2</sub>	IO
PC <sub>3</sub>	INTR <sub>A</sub>
PC <sub>4</sub>	$\overline{\text{STB}}_A$
PC <sub>5</sub>	IBF <sub>A</sub>
PC <sub>6</sub>	$\overline{\text{ACK}}_A$
PC <sub>7</sub>	$\overline{\text{OBF}}_A$

ตารางที่ 3.2 หน้าที่ของพอร์ต C ในโหมด 2

โครงสร้างของพอร์ต A ที่ทำงานแบบ 2 ทิศทาง แสดงดังรูปที่ 3.19



รูปที่ 3.19 โครงสร้างของพอร์ต A ที่ทำงานแบบสองทิศทาง

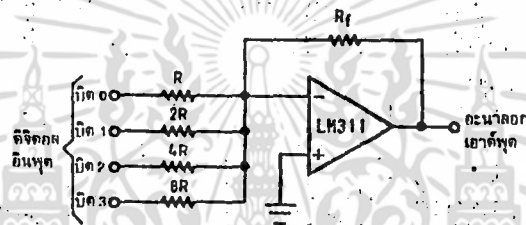
เมื่อโปรแกรมพอร์ต A เป็นโหมด 2 แล้ว พอร์ต B จะต้องโปรแกรมเป็นโหมด 0 หรือโหมด 1 ก็ได้ ซึ่งก็ทำงานแบบแยกอิสระ

### 3.4 วงจรแปลงข้อมูลดิจิทัลเป็นอนาลอก (Digital-to-Analog Converter, DAC)

ขนาดของข้อมูลดิจิทัลสามารถบอกได้ด้วยน้ำหนักของแต่ละบิตรวมกัน โดยบิตที่มีค่านัยสำคัญสูงกว่าจะมีน้ำหนักในการบอกขนาดมากกว่า ดังนั้นวงจร DAC ที่ใช้จึงเป็นวงจรที่ทำหน้าที่รวมน้ำหนักจากบิตต่างๆ ให้ปรากฏเป็นอนาลอกเอาต์พุต วงจร DAC โดยทั่วไปมี 2 แบบ คือ

#### 3.4.1 วงจรเวจวิสิเตอร์แลดเดอร์ (Weight resistor ladder)

วงจรชนิดนี้ถูกออกแบบค่าความต้านทานเพื่อเป็นตัวกำหนดน้ำหนักของค่าทางดิจิทัลใหม่มีความแตกต่างกันในแต่ละบิต แล้วนำมาต่อเข้ากับวงจรขยายแบบรวมอินพุต (Summing amplifier) ดังรูปที่ 3.20



รูปที่ 3.20 แสดงวงจร DAC แบบเวจวิสิเตอร์แลดเดอร์

แรงดันขาออกของวงจรแบบรวมอินพุต (Summing amplifier) สำหรับ DAC ขนาด 4 บิต โดยทั่วไปจะมีค่าเป็น

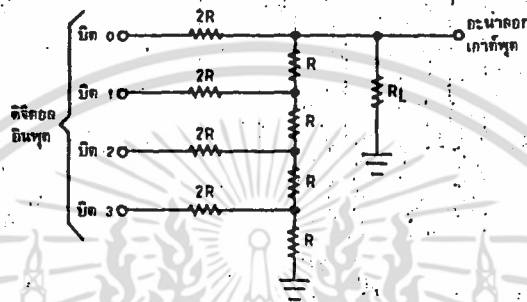
$$V_{out} = -R_f/R ( V_0 + V_1/2 + V_2/4 + V_3/8 ) \quad (3.10)$$

จากสมการนี้จะเห็นว่า ถ้าเลือกอัตราส่วน  $R_f$  กับ  $R$  อย่างเหมาะสมแล้ว จะได้ระดับความต่างศักย์เต็มสเกลที่ต้องการได้ แต่จะได้ค่าแรงดันเอาต์พุตที่มีค่าลบเสมอ ดังนั้นในทางปฏิบัติจึงมักจะมีการเพิ่มเติมนวงจรเพื่อให้ได้แรงดันเอาต์พุตที่เป็นค่าบวก

โดยทั่วไป DAC ขนาด  $n$  บิต จะต้องใช้ตัวต้านทานจำนวน  $n+1$  ตัวและตัวต้านทานที่มีค่านัยสำคัญต่ำสุดจะต้องมีค่าความต้านทานเป็น  $2^n$  เท่าของตัวต้านทานมีอนกลับ (Feedback resistor) ซึ่งถ้าจำนวนบิตมีมาก ก็จะต้องใช้ค่าความต้านทานค่าสูงมาก เป็นผลให้กระแสไหลได้น้อยลง ทำให้เกิดสัญญาณรบกวนและมีปัญหาในการสร้างค่าความต้านทานสูงๆลงบนวงจรรวม

### 3.4.2 วงจร R-2R แลด์เดอร์ (R-2R Ladder)

วงจรชนิดนี้ใช้ค่าความต้านทานเพียง 2 ค่า ทำให้ค่าความต้านทานไม่สูงมากนัก และทำให้มีความถูกต้องมากยิ่งขึ้น ได้ด้วยการใช้ค่าความต้านทานเพียงค่าเดียวสำหรับทั้งวงจร โดยใช้ตัวต้านทานที่มีค่าความต้านทาน R จำนวน 2 ตัวต่ออนุกรมกัน สำหรับใช้แทนค่าความต้านทาน 2R ในวงจร ค่าความต้านทานที่ใช้จะขึ้นอยู่กับโหลดด้วย ( $R_L$  ในรูปที่ 3.21) ซึ่งโหลดที่จะไปต่อก็คือ ออปแอมป์ที่ใช้เป็นตัวเปรียบเทียบค่าแรงดันนั่นเอง



รูปที่ 3.21 แสดงวงจร DAC แบบ R-2R Ladder

วงจรแบบนี้ต้องการจำนวนตัวต้านทานเป็น 2 เท่าของวงจรเวจรีสเตอร์แลด์เดอร์ คือต้องการ  $2n+1$  ตัว แต่ค่าความต้านทานที่ต้องมีเพียง 2 ค่าคือ R และ 2R ดังนั้นปัญหาทางด้านสัญญาณรบกวน และการสร้างตัวต้านทานบนวงจรรวมจึงลดลง

## บทที่ 4

### วงจรที่ใช้ในโครงการ

ในบทนี้จะกล่าวถึงวงจรทั้งหมดที่ใช้ในโครงการ และผังงานเบื้องต้นของโปรแกรมจัดระบบ สำหรับวงจรที่ใช้ สามารถแบ่งออกได้ 3 ส่วน คือ

**4.1 ส่วนรับและแปลงสัญญาณ** ประกอบด้วย วงจรปรับแรงดันไฟตรง และวงจรแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิทัล

**4.2 ส่วนควบคุมระบบ** ประกอบด้วย ระบบไมโครโปรเซสเซอร์ วงจรสร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำ และวงจรแสดงผล LCD

**4.3 ส่วนสร้างสัญญาณอนาลอก** ประกอบด้วย วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก และวงจรจัดระดับสัญญาณไฟ

#### 4.1 ส่วนรับและแปลงสัญญาณ

##### 4.1.1 วงจรปรับระดับแรงดันไฟ

วงจรนี้ใช้ออปแอมป์แบบ BIFET เบอร์ LF 351 เป็น Inverting Amplifier ใช้  $R_f$  ทั้งหมด 10 ค่า เพื่อปรับเป็น 10 สเกล จากนั้นจะนำมาผ่าน ออปแอมป์ ตัวที่ 2 เบอร์ MC1458 ซึ่งมี ออปแอมป์ 2 ตัว อยู่ใน 1 ตัวแรกจัดเป็น Inverting Amplifier เพื่อกลับสัญญาณให้ได้รูปสัญญาณตรงกับ สัญญาณที่ Input แล้วผ่านส่วนยกระดับโดยจัด  $R_u$  และ  $R_d$  ค่า 5 กิโลโอห์ม เข้า ออปแอมป์ MC1458 ตัวที่ 2 ซึ่งจัดเป็น Buffer Amplifier ตามรูปที่ 4.1

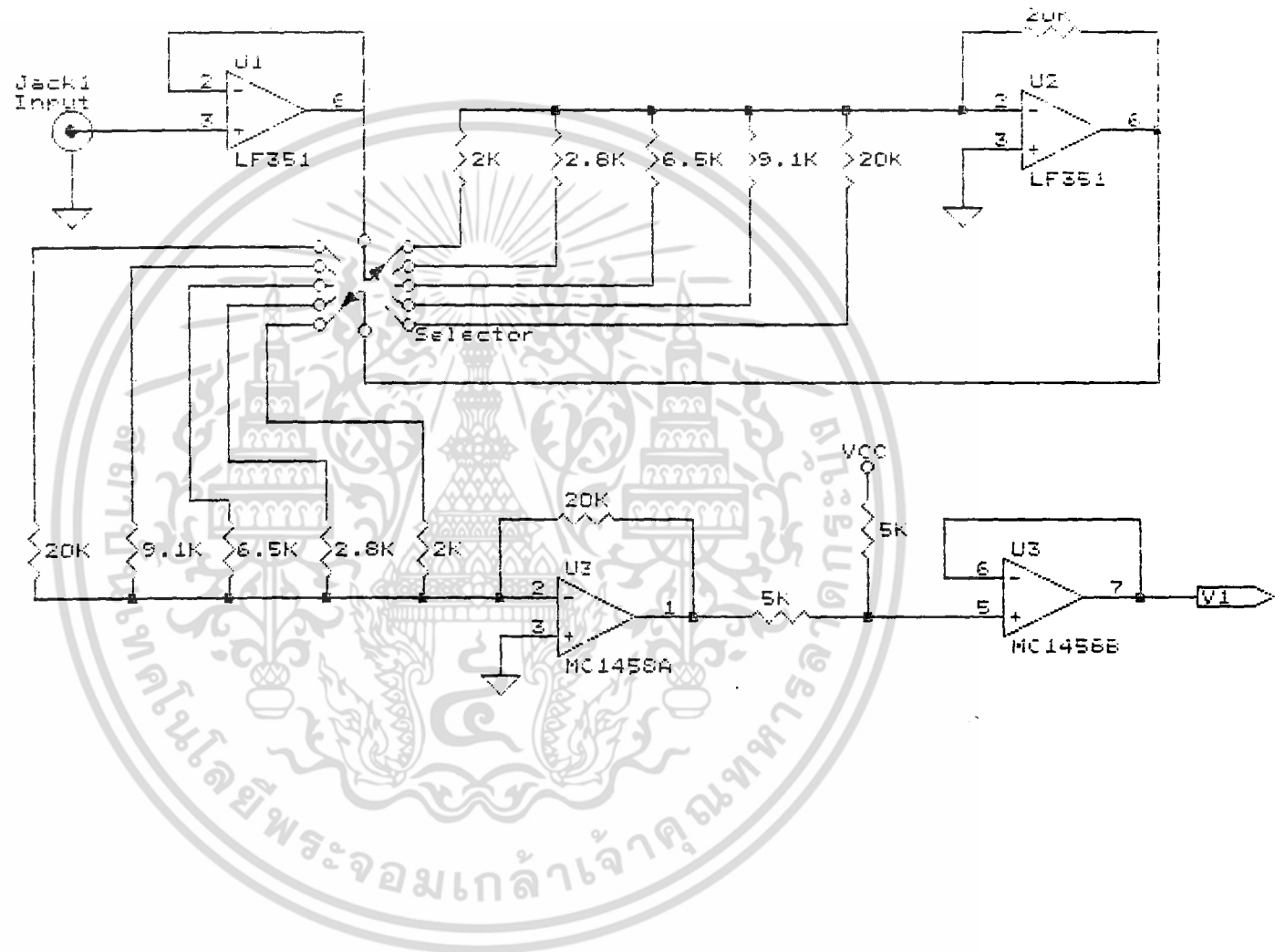
##### 4.1.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

ในส่วนนี้ใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล แบบ half-flash มีความเร็วในการแปลงข้อมูลสูง และใช้กำลังไฟต่ำ โดยใช้ไอซีเบอร์ ADC 0820 CNE ซึ่งเป็น วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล แบบ half-flash ที่มี function track-hold

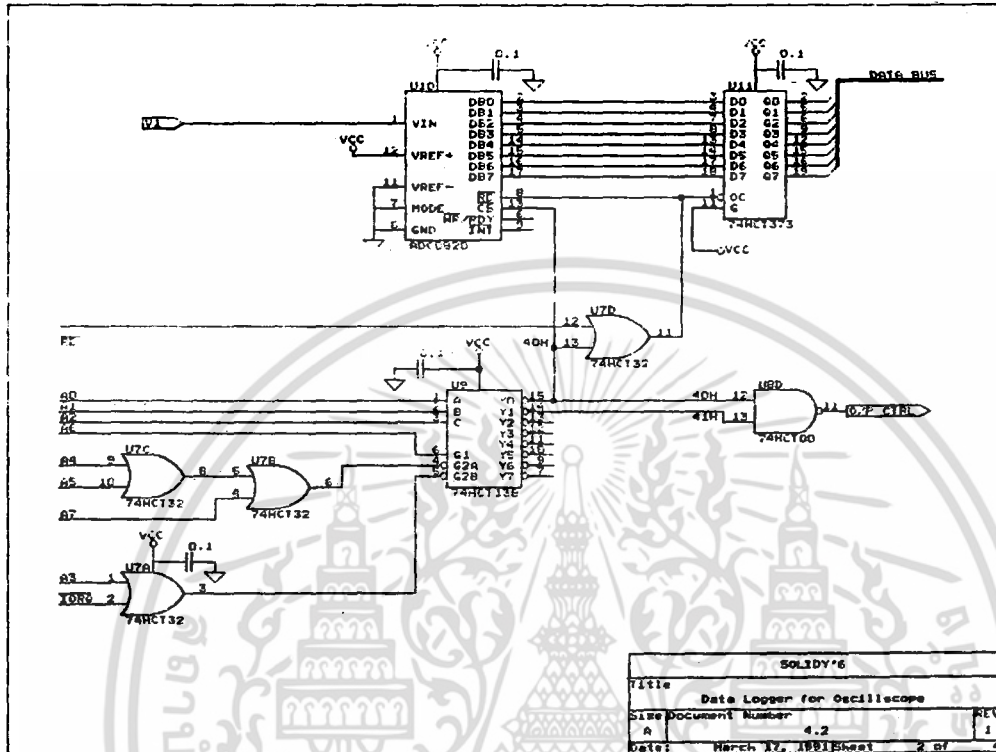
มีความละเอียดขนาด 8 บิต การแปลงข้อมูลจะเริ่มขึ้น เมื่อมีสัญญาณ CS ที่ Port 40H และจะแปลงข้อมูลเสร็จสิ้นภายใน 1 cycle ของการอ่าน เอาท์พุทจะผ่านวงจร D/A นำไปสร้างสัญญาณให้วงจรใช้งานได้ในแบบ Real-Time

สัญญาณ CS มาจาก วงจรถอดรหัส ของพอร์ทเลขที่ 40H โดยใช้ไอซีเบอร์ 74HCT138 เป็นวงจรถอดรหัส ตามรูปที่ 4.2





รูปที่ 4.1 วงจรรับระดับแรงดันไฟ



รูปที่ 4.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า, ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

## 4.2 วงจรควบคุมระบบ

### 4.2.1 ระบบไมโครโปรเซสเซอร์ ดังรูปที่ 4.3 ประกอบด้วย

- หน่วยประมวลผลกลาง (Central Processing Unit หรือ CPU) ใช้ไมโครโปรเซสเซอร์ เบอร์ Z-80A

- หน่วยความจำแบบ ROM ขนาด 8 กิโลไบต์ (2764 EPROM)

- หน่วยความจำแบบ RAM ขนาด 16 กิโลไบต์ (6264 RAM 2 ตัว)

- ส่วนอินพุทเอาต์พุท (Input-Output Port) ใช้ในการติดต่อกับผู้ใช้ ส่วนแสดงผลจะใช้จอ LCD 16 หลัก และส่วนรับข้อมูลจะใช้คีย์บอร์ดจำนวน 7 คีย์ ใช้พอร์ท 8255 PIA (Programable Interfacing Adapter) มีพอร์ทใช้งานอยู่ 3 ชุด ดังนี้

1. PA0-PA7 ใช้เป็นส่วนเอาต์พุทสำหรับการแสดงผลบนจอ LCD

2. PB0-PB7 ใช้เป็นอินพุทสำหรับส่วนคีย์บอร์ด

3. PC0-PC2 ใช้เป็นชาสัญญาณที่ป้อนให้กับจอ LCD

- ฐานเวลากำหนดโดยคริสตอล (Crystal) 4 เมกกะเฮิร์ตซ์

### 4.2.2 วงจรสร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำที่เพิ่มเติม

เนื่องจากโครงงานนี้ ต้องการหน่วยความจำเป็นจำนวนมาก เพื่อให้เพียงพอต่อจำนวนข้อมูลดิจิทัล ที่ได้จากการแปลงสัญญาณอนาลอก จึงได้เพิ่ม หน่วยความจำแบบ RAM ขนาด 40 กิโลไบต์ โดยแบ่งเป็น

- หน่วยความจำแบบ RAM ขนาด 8 กิโลไบต์ (เบอร์ 6264)

- หน่วยความจำแบบ RAM ขนาด 32 กิโลไบต์ (เบอร์ 84256)

ซึ่งใช้วงจรถอดรหัส ดังรูปที่ 4.4

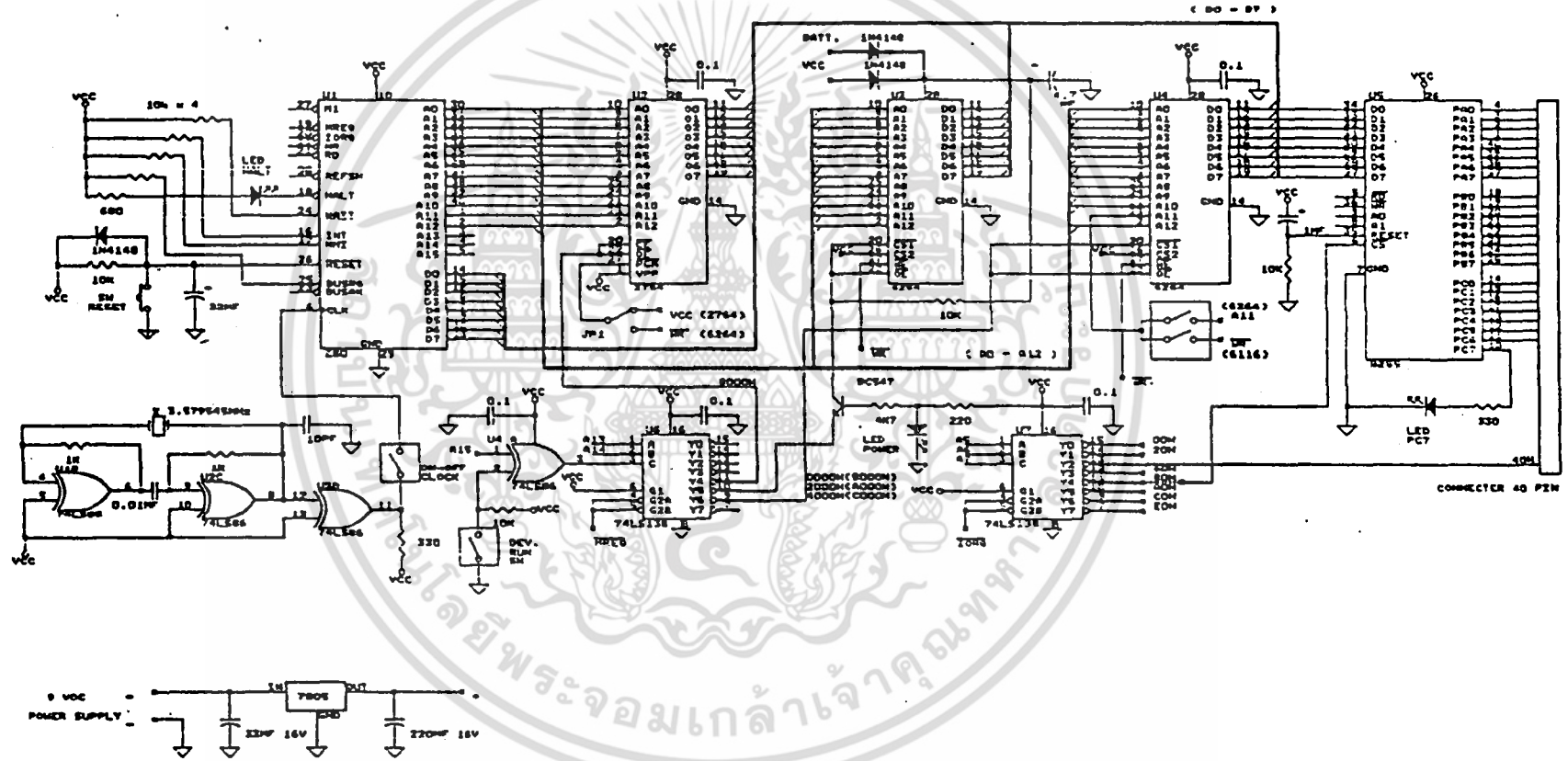
### 4.2.3 วงจรแสดงผลโดยใช้ LCD และวงจรคีย์บอร์ด

เนื่องจาก LCD มีวงจรควบคุมการแสดงผลอยู่ภายในแล้ว จึงสะดวกในการใช้งาน เมื่อจะส่งข้อมูล จะส่งไปที่ขา DATA 8 บิต ซึ่งจะใช้ DA0-DA7 และชาสัญญาณต้องต่อกับ LCD ใช้ PC0-PC2 ของ 8255 บนระบบไมโครโปรเซสเซอร์ที่ใช้ วงจรเป็นดังรูป 4.5

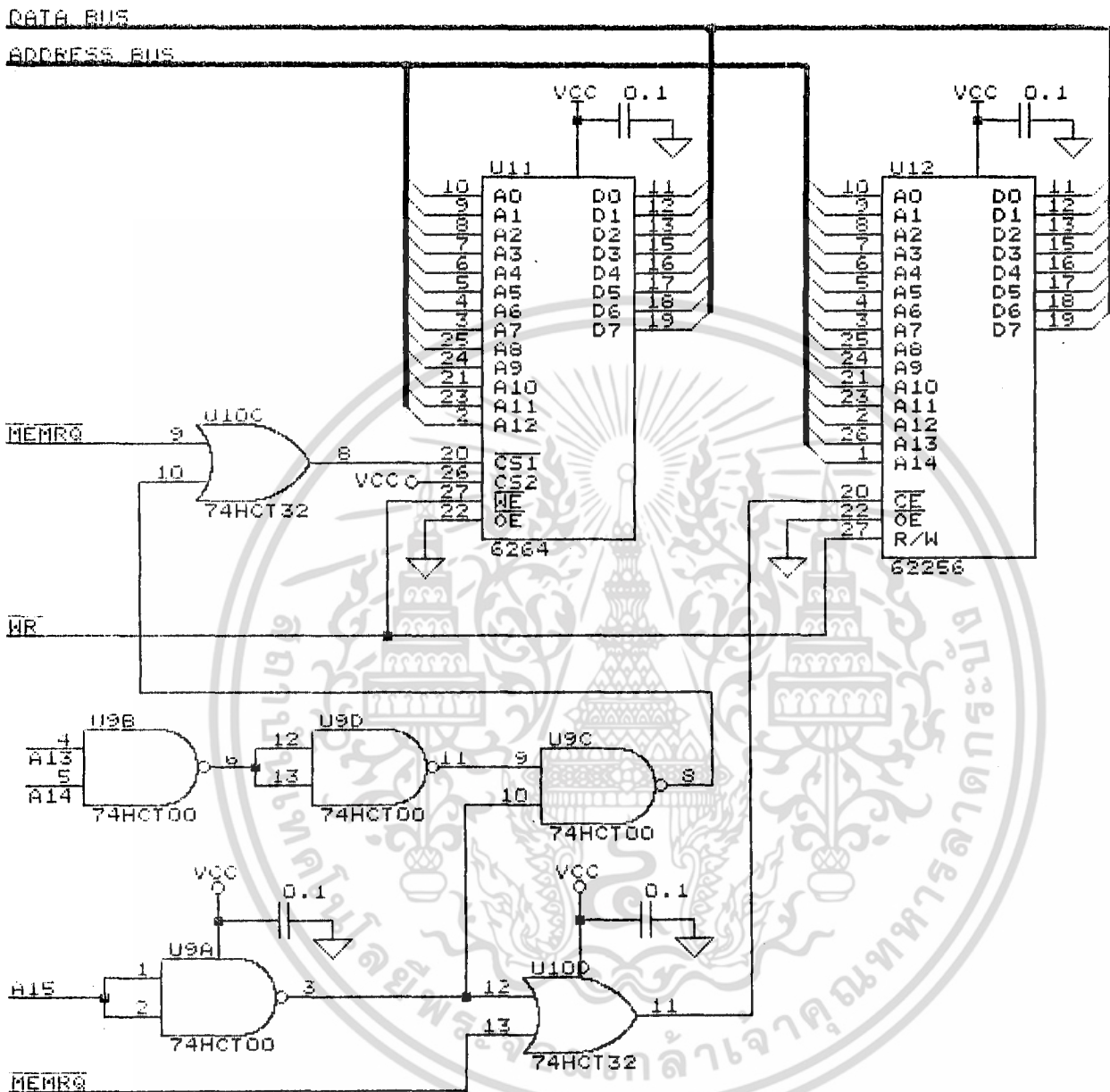
ส่วนคีย์บอร์ดประกอบด้วย

1. INPUT สำหรับรับสัญญาณ
2. ZOOM
3. T/D (Time/Division)
4. LEFT KEY
5. RIGHT KEY
6. GO
7. PREVIOUS



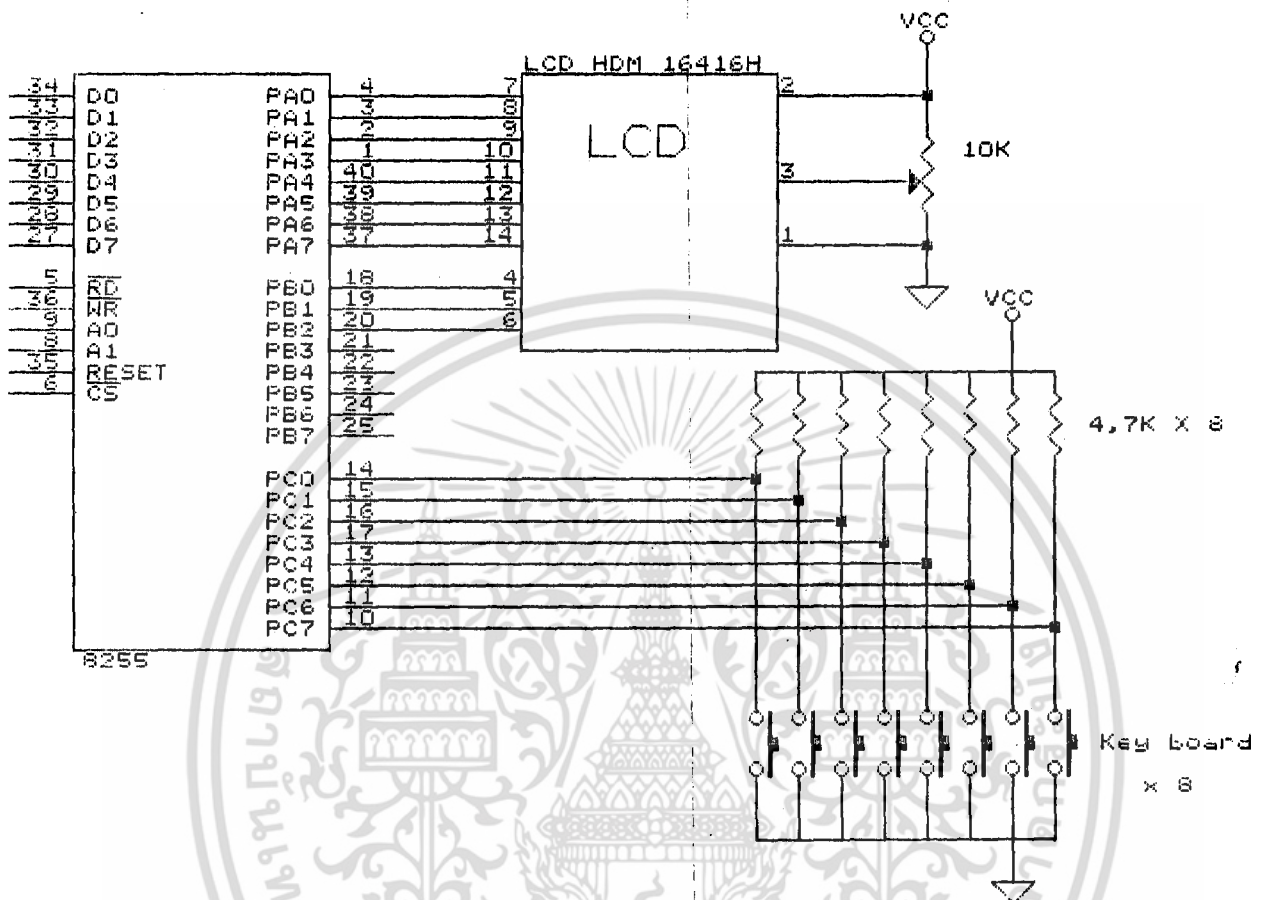


รูปที่ 4.3 วงจรระบบไมโครโปรเซสเซอร์



รูปที่ 4.4 วงจรสร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำที่เพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



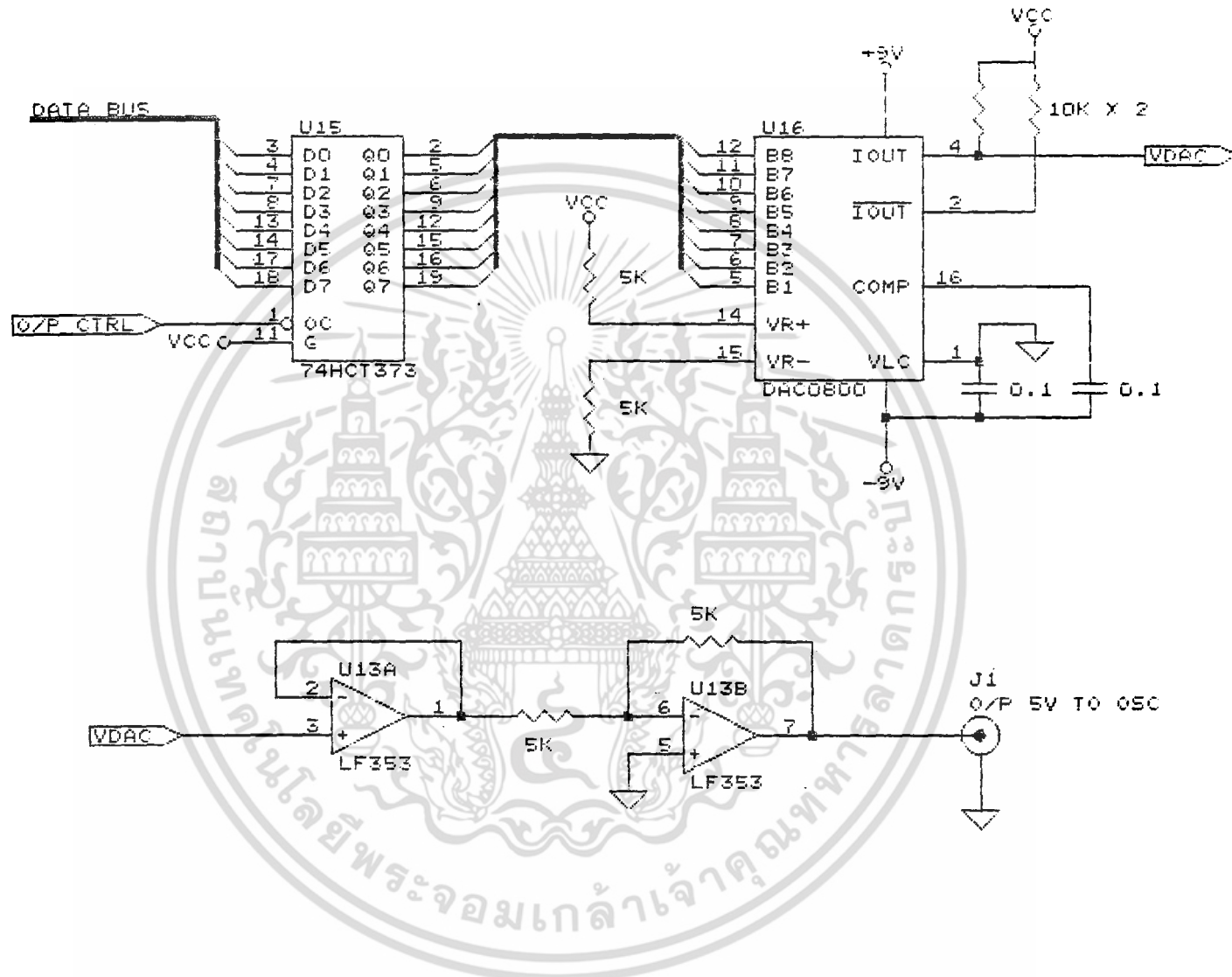
รูปที่ 4.5 วงจรแสดงผลโดยใช้ LCD และวงจรคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.3 ส่วนสร้างสัญญาณอนาล็อก (Signal Reconstruction)

ในส่วนที่ใช้วงจรแปลงสัญญาณแบบบันไดความต้านทาน เป็นไอซีเบอร์ DAC 0800 โดยเป็นวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก ขนาด 8 บิต ระดับสัญญาณอนาล็อก ที่ได้จะมีอยู่ 256 ระดับ ( $0-255_{10}$  หรือ  $0-FF_{16}$ ) และจะถูกนำไป ปรับให้อยู่ในช่วง  $-5\text{ V}$  ถึง  $+5\text{ V}$  โดยข้อมูลดิจิทัลได้มาจาก 2 ทาง ทางที่ 1 ได้มาจาก วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล ผ่านทาง DATA BUS และทางที่ 2 ได้มาโดยตรงจากระบบไมโครโปรเซสเซอร์ และใช้ออปแอมป์ ในการจัดระดับสัญญาณให้อยู่ในระดับที่ถูกต้อง ดังรูป 4.6





-48-

รูปที่ 4.6 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกและวงจรจัดระดับสัญญาณไฟ

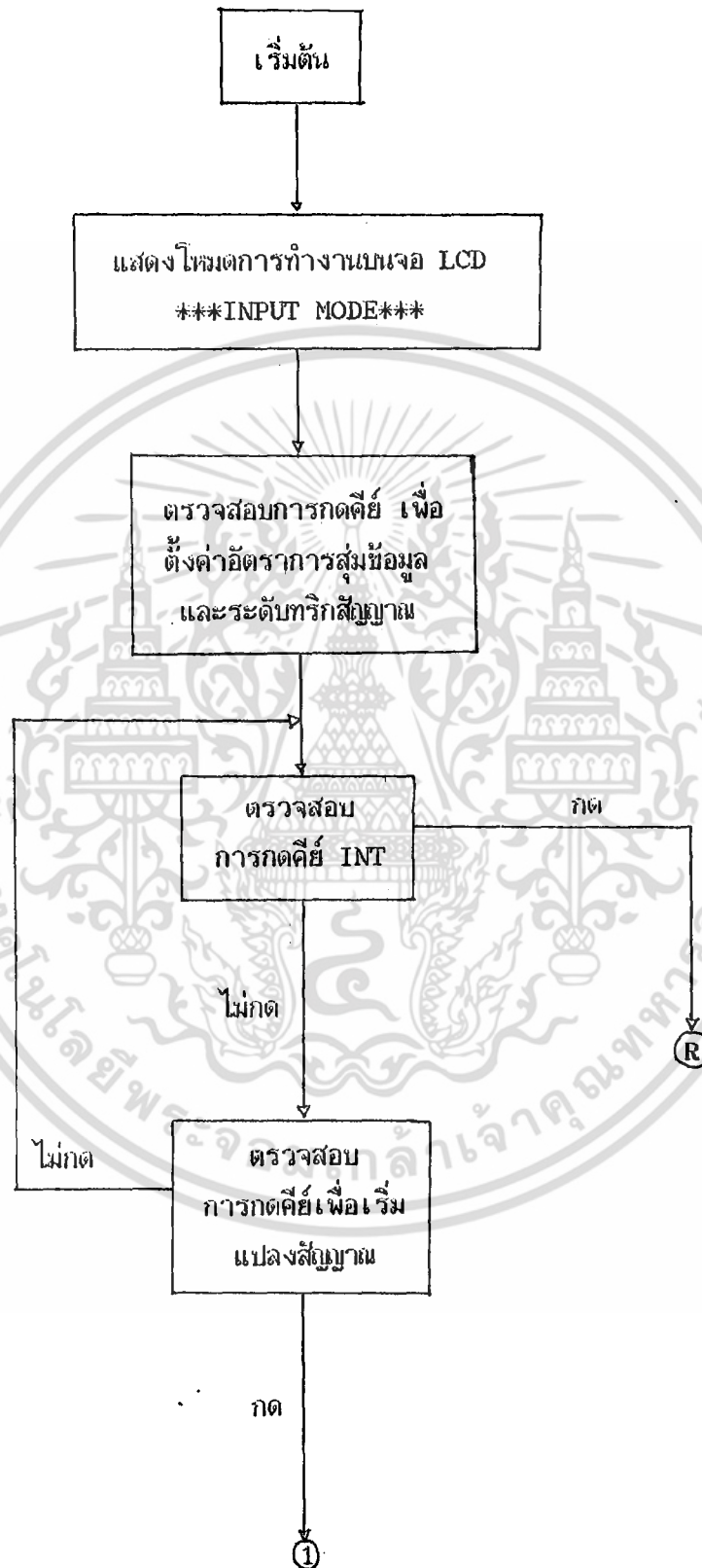
## บทที่ 5

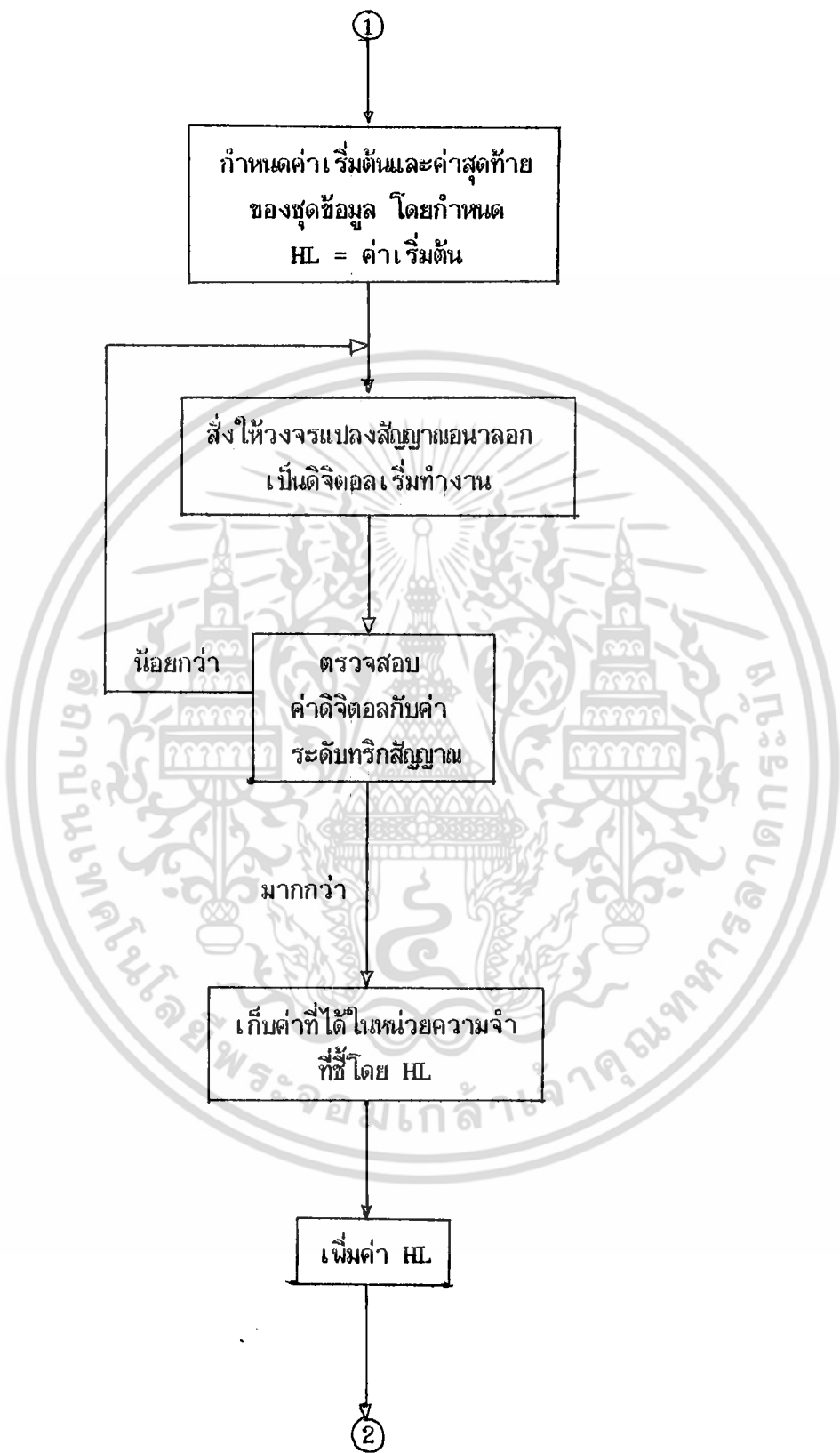
### โปรแกรมควบคุมการทำงาน

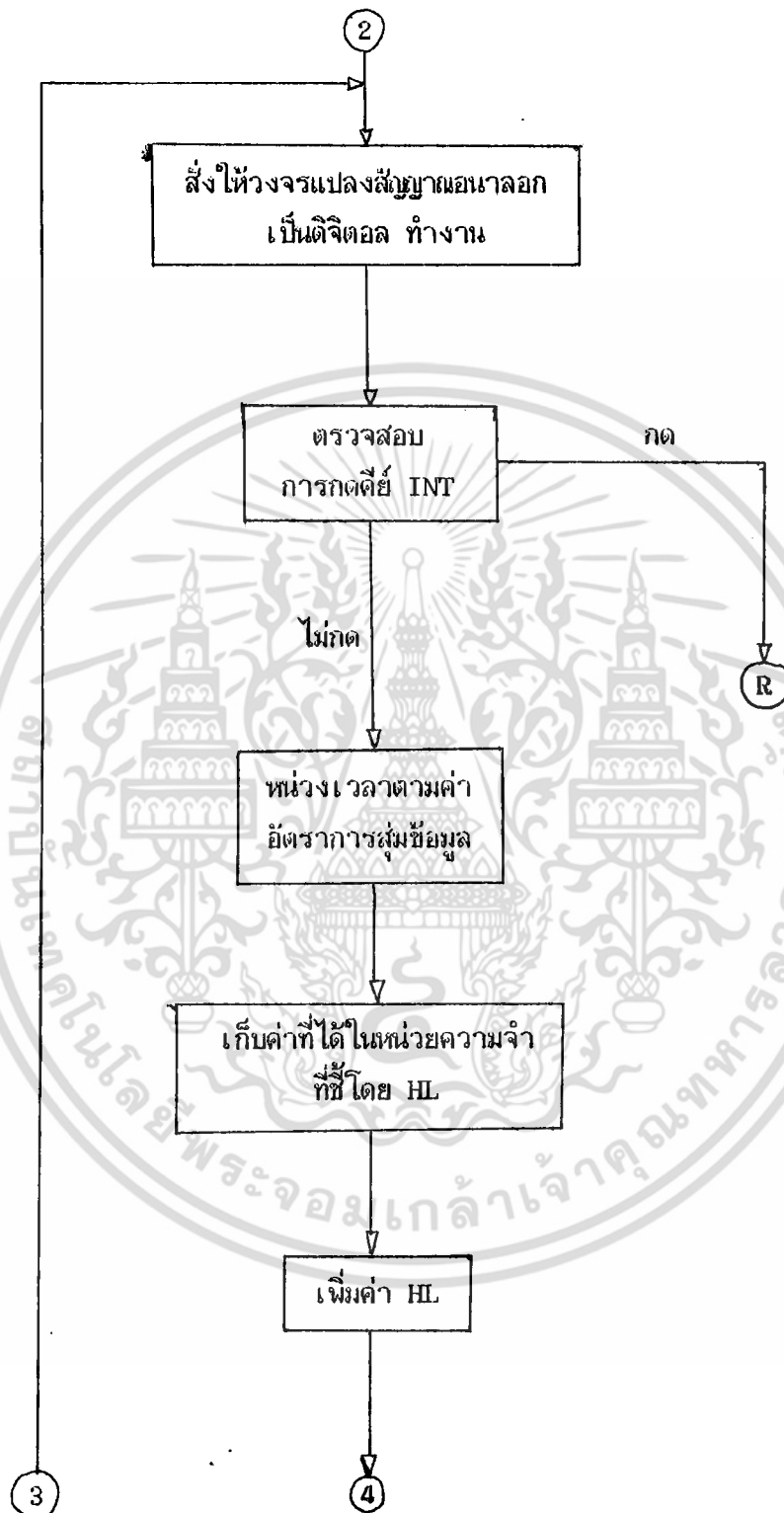
โปรแกรมที่ใช้ในโครงการนี้ เป็นภาษาแอสเซมบลี Z-80 ควบคุมการทำงาน โดยมี โปรแกรมแสดงรูปสัญญาณ เป็นโปรแกรมหลัก จะมีการเรียกใช้โปรแกรมอื่นๆ ภายในโปรแกรมนี้ แบ่งโปรแกรมออกเป็นส่วนต่างๆ ได้ดังนี้

- 5.1 โปรแกรมแปลงข้อมูลตัวเลขจากสัญญาณอนาลอก
- 5.2 โปรแกรมควบคุมและแสดงค่า TIME/DIVISION
- 5.3 โปรแกรมตั้งค่าสำหรับขยายรูปสัญญาณ
- 5.4 โปรแกรมตรวจสอบการกดคีย์
- 5.5 โปรแกรมแสดงรูปสัญญาณ

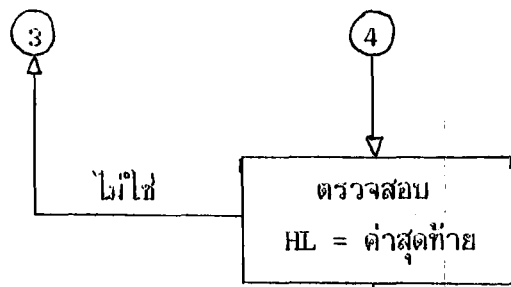
5.1 โปรแกรมรับข้อมูลตัวเลขจากการแปลงสัญญาณออก





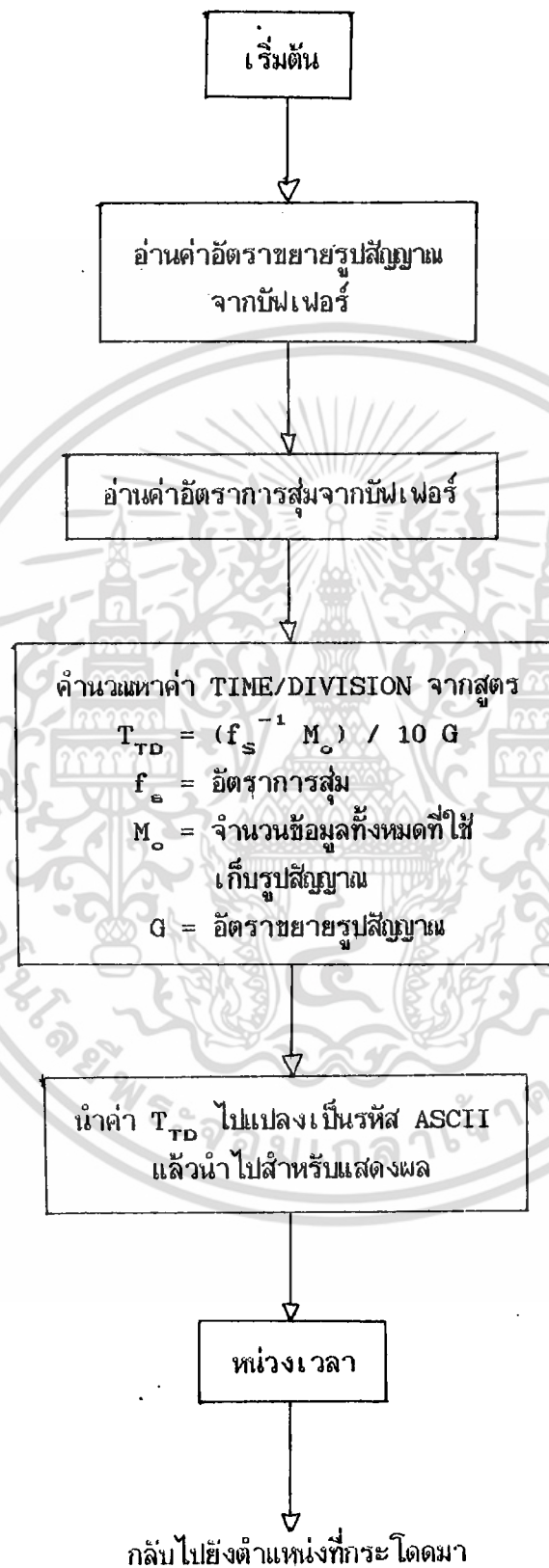


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

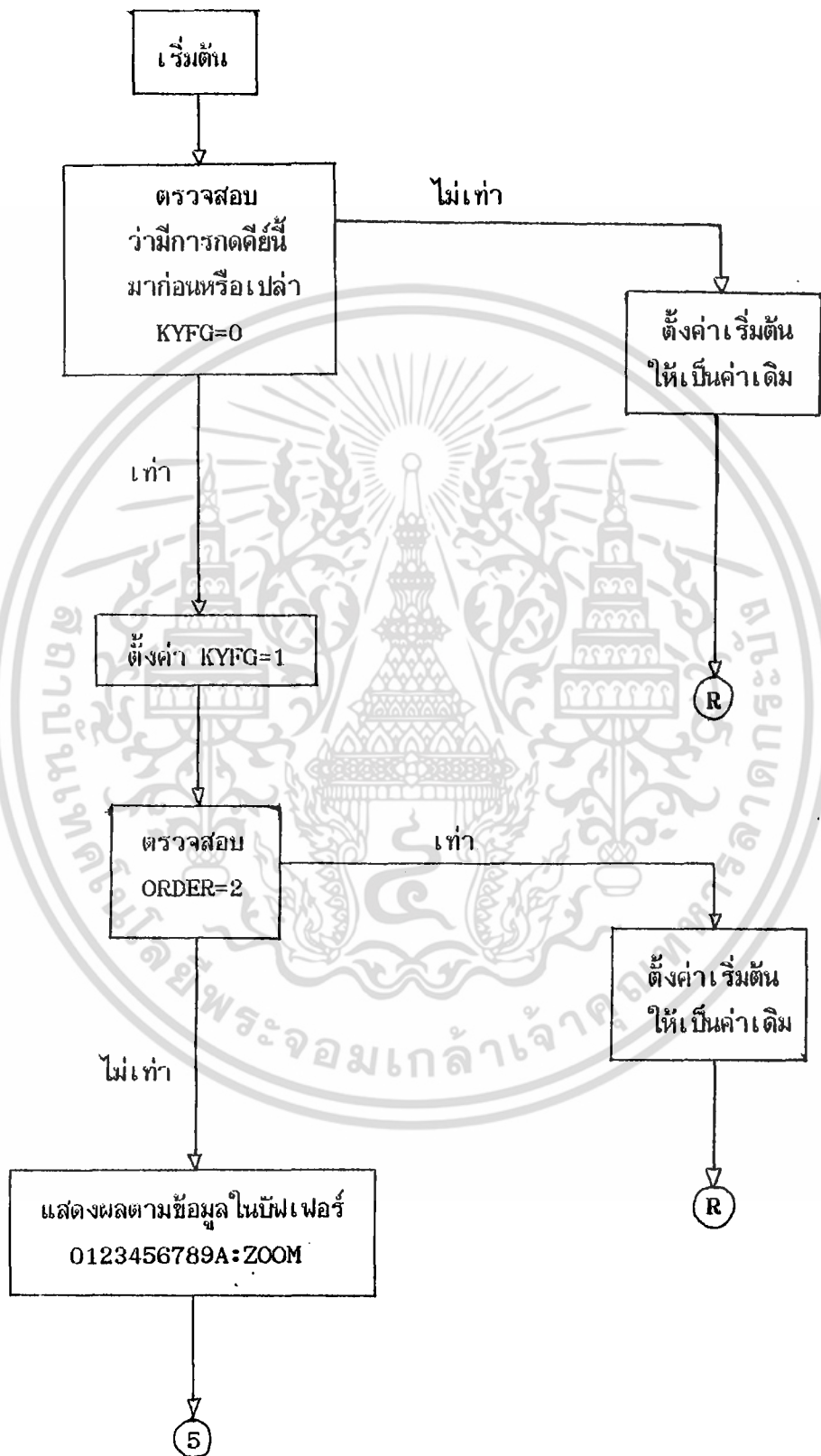


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

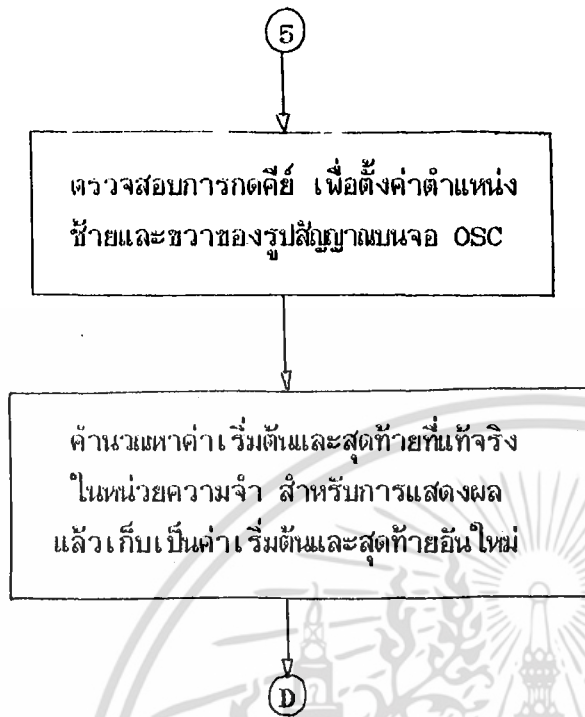
## 5.2 โปรแกรมคำนวณและแสดงค่า TIME/DIVISION



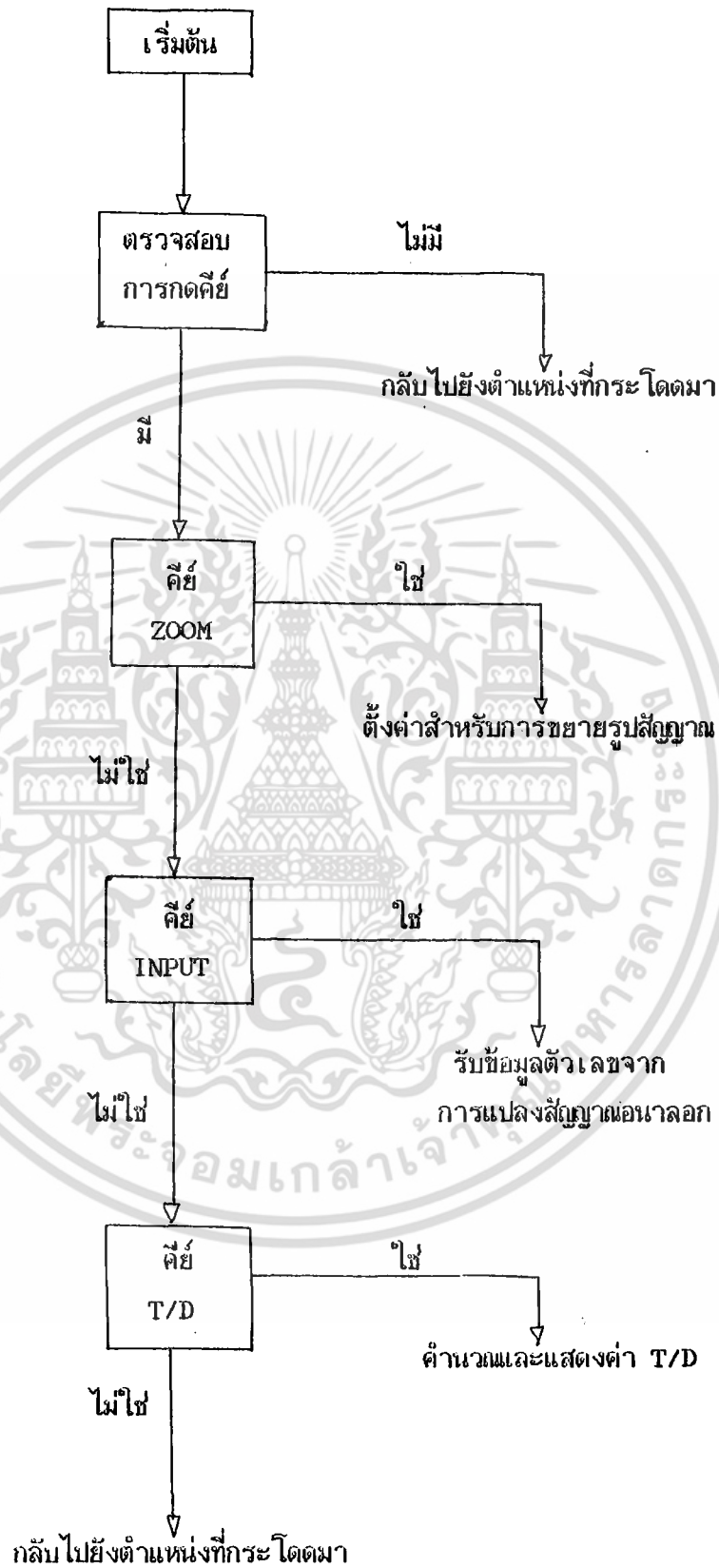
### 5.3 โปรแกรมตั้งค่าสำหรับการขยายรูปสัญญาณ



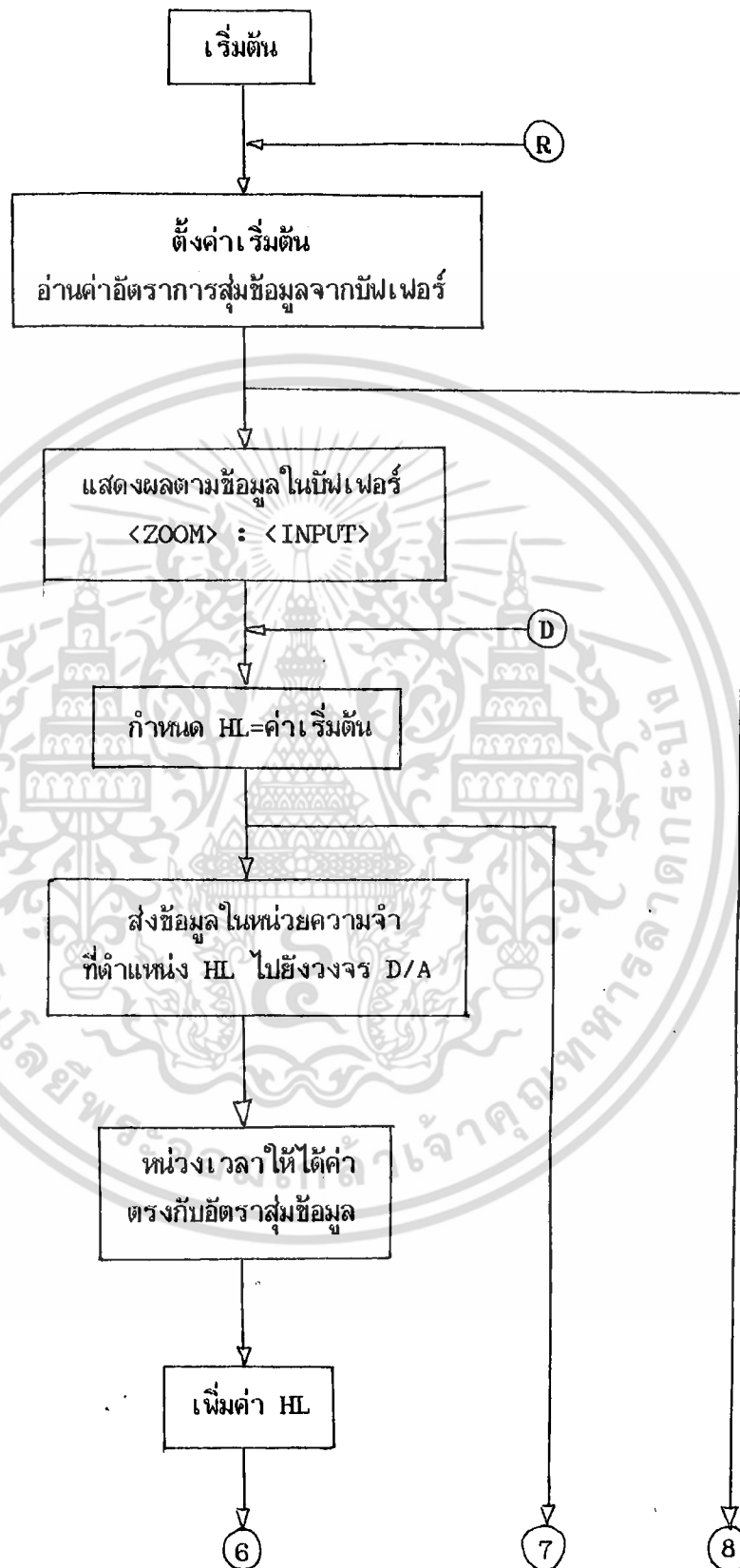
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ 55-รศศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

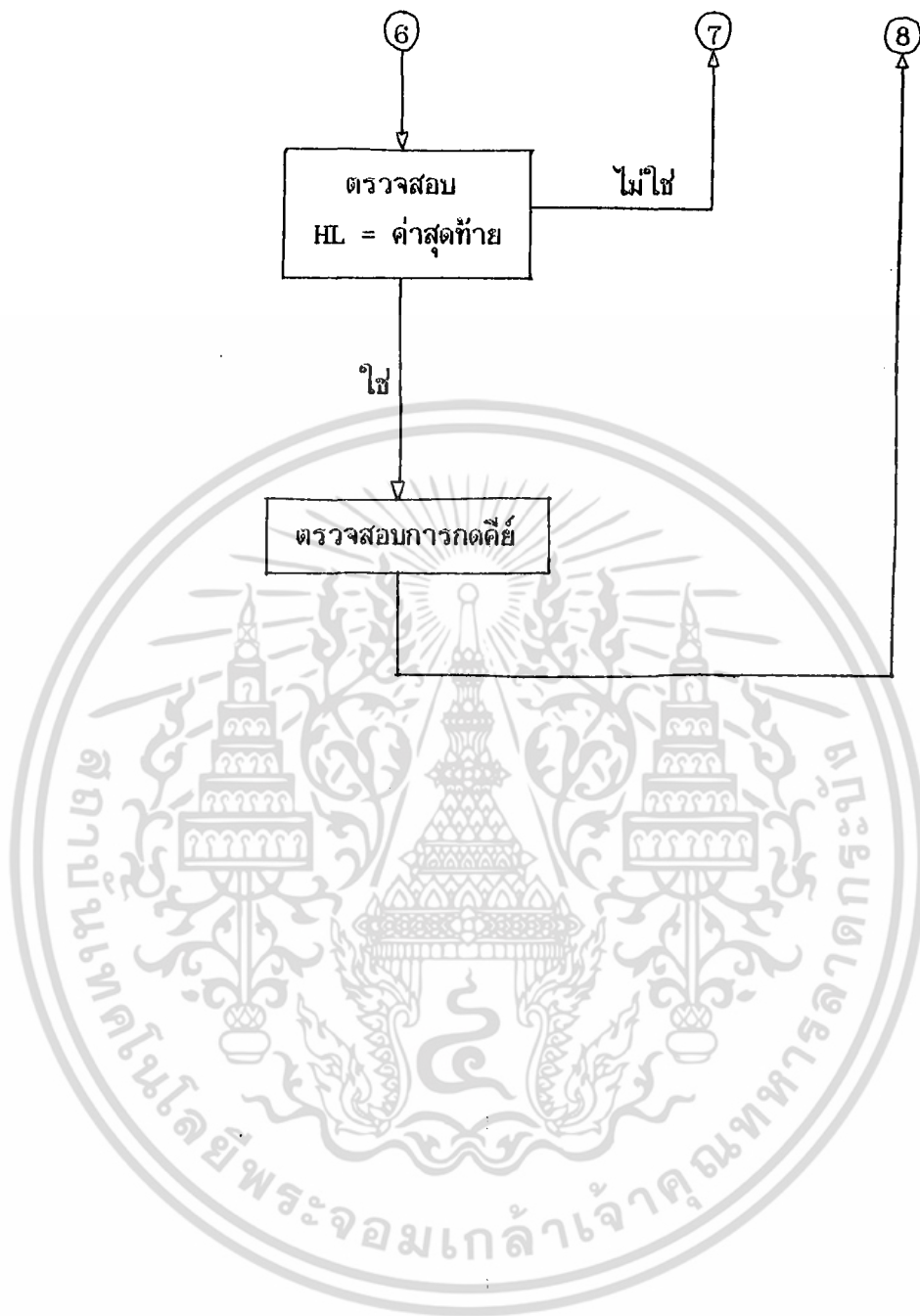


5.4 โปรแกรมตรวจสอบการกดคีย์



5.5 โปรแกรมแสดงรูปสี่เหลี่ยม





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### ผลการทดลอง

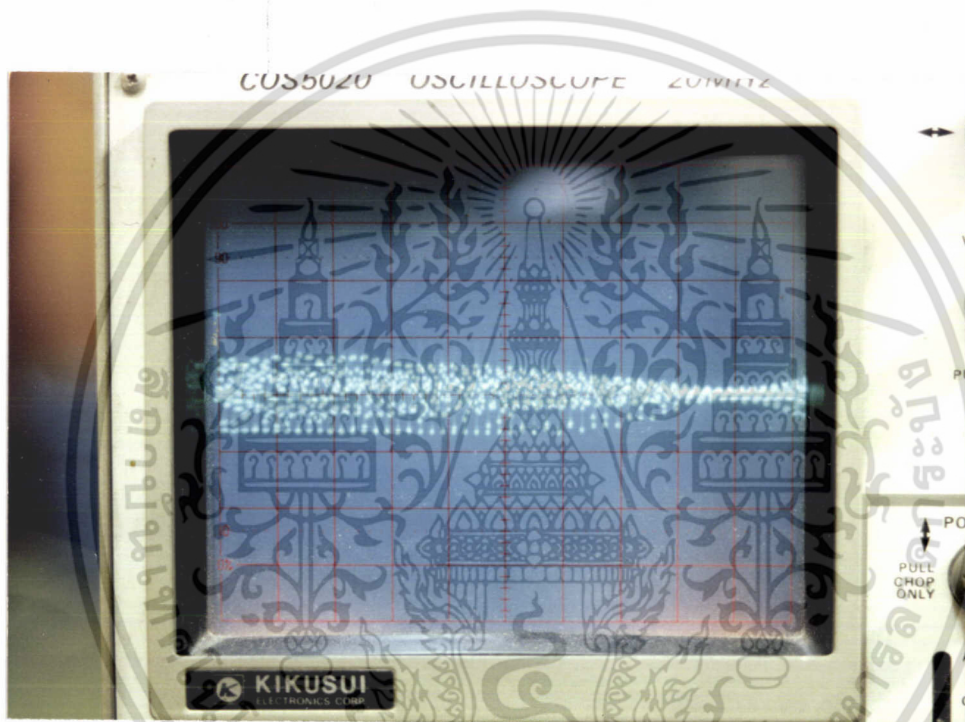
ในการทดสอบการใส่งานเครื่องบันทึกข้อมูล สำหรับออสซิลโลสโคป โดยที่เครื่องนี้ ใช้ทำการทดลอง โดยใส่เก็บรูปสัญญาณไฟฟ้าที่แปลงมาจากสัญญาณเสียง แล้วนำมาแสดงตามจอ ออสซิลโลสโคป จะได้ภาพเป็นดังรูปที่ 6.1



รูปที่ 6.1 รูปสัญญาณไฟฟ้าที่แปลงมาจากสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการขยายรูปสัญญาณ ตั้งแต่ช่องหน้าต่างที่ 4 ถึง 7 จะทำให้สังเกตเห็นการเปลี่ยนแปลงได้ชัดเจนขึ้น ดังรูปที่ 6.2



รูปที่ 6.2 รูปสัญญาณที่ถูกขยายตั้งแต่ช่องหน้าต่างที่ 4 ถึง 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อทำการขยายอีกครึ่งหนึ่ง ตั้งแต่ช่องหน้าต่างที่ 5 ถึง 6 ก็จะทำให้สังเกตเห็นการเปลี่ยนแปลงชัดเจนยิ่งขึ้น ดังรูปที่ 6.3



รูปที่ 6.3 การขยายรูปสัญญาณตั้งแต่ช่องหน้าต่างที่ 5 ถึง 6 ครึ่งหนึ่ง

หลังจากที่เข้ามีการกดคีย์ INT หรือ ZOOM อีกครั้งหนึ่ง ภาพบนจอคอมพิวเตอร์จะ  
กลับเป็นภาพสัญญาณแบบปกติที่ไม่มีการขยายดังรูปที่ 6.1

ค่า TIME/DIVISION จะเปลี่ยนไปตาม การขยายรูปสัญญาณ และ ค่าอัตราการ  
สุ่มข้อมูลของรูปสัญญาณนี้ จากตัวอย่างนี้ ใช้อัตราการสุ่มข้อมูล เท่ากับ 40 KHZ และ  
การขยายรูปสัญญาณเป็นดังรูป 6.1 ถึง 6.3 . ดังนั้นจะได้ค่า TIME/DIVISION เป็นค่าต่างๆ  
ดังนี้

รูปที่ 6.1 TIME/DIVISION เท่ากับ 140 msec

รูปที่ 6.2 TIME/DIVISION เท่ากับ 42 msec

รูปที่ 6.3 TIME/DIVISION เท่ากับ 4200  $\mu$ sec



## บทที่ 7

### สรุปและข้อเสียด้าน

#### 7.1 สรุป

โปรแกรมพิเศษนี้ ได้สร้างเครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคป ซึ่งเป็นเครื่องมือที่ใช้สำหรับเก็บรูปสัญญาณไฟฟ้าจากที่ต่างๆ เพื่อสามารถนำมาแสดงผลบนจอออสซิลโลสโคปได้ ในภายหลัง เครื่องบันทึกข้อมูลสำหรับออสซิลโลสโคปที่สร้างขึ้นมีคุณสมบัติดังนี้คือ

7.1.1 ใช้วัดสัญญาณไฟฟ้าที่มีความถี่ในย่านความถี่คลื่นเสียง

7.1.2 สามารถเลือกค่าความถี่ในการสุ่มข้อมูล ได้ตั้งแต่ค่าต่ำสุดคือ 1 ครั้งต่อวินาที จนถึงค่าสูงสุดคือ 85,000 ครั้งต่อวินาที

7.1.3 สามารถปรับอัตราขยายระดับสัญญาณอินพุต ได้ตั้งแต่ 1 จนถึง 100 เท่า

7.1.4 สามารถเลือกขยายรูปสัญญาณได้เป็นช่วง ตั้งแต่ 1 จนถึง 100 เท่า

#### 7.2 ข้อเสียด้าน

โปรแกรมพิเศษนี้ สามารถพัฒนาต่อไปได้หลายทาง เช่น

7.2.1 เพิ่มความเร็วในการทำงานโดยเปลี่ยนอุปกรณ์ไมโครโปรเซสเซอร์ จาก Z-80A เป็น Z-80B หรืออาจใช้ไมโครโปรเซสเซอร์ Z-80180

7.2.2 สามารถส่งข้อมูลผ่านทาง RS-232C เข้าสู่เครื่อง IBM PC เพื่อทำการวิเคราะห์และเก็บข้อมูลลงดิสเก็ตได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

## ขั้นตอนการเก็บบันทึกข้อมูล

1. ต่อสายสัญญาณอินพุตเข้ากับแหล่งกำเนิดสัญญาณที่ต้องการเก็บ
2. ปรับเลือกค่าระดับสัญญาณอินพุตให้ได้ค่าที่เหมาะสม
3. กดสวิทช์ ON เพื่อให้เครื่องบันทึกข้อมูลเริ่มทำงาน
4. กดคีย์ INPUT เพื่อเริ่มขั้นตอนการเก็บบันทึกข้อมูล
5. ตั้งระดับสัญญาณที่เริ่มเก็บ (Trig Level) โดยใช้คีย์ < และ >

ในการเลือก แล้วกดคีย์ GO

6. ตั้งค่าความถี่ในการสุ่มข้อมูล (Sampling Rate) โดยใช้คีย์ < และ

> ในการเลือก แล้วกดคีย์ GO

7. กดคีย์ GO อีกครั้งเพื่อให้เครื่องเริ่มทำการเก็บข้อมูล

8. ในระหว่างขั้นตอนต่างๆดังกล่าวนี้ สามารถกลับไปเริ่มขั้นตอนการเก็บข้อมูลใหม่ โดยการกดคีย์ INT

## ขั้นตอนการแสดงผลสัญญาณบนจอออสซิลโลสโคป

1. ตั้งค่า TIME/DIV บนเครื่องออสซิลโลสโคปไว้ที่ 2 ns
2. ต่อสายส่งสัญญาณจากเอาต์พุตของเครื่องบันทึกข้อมูล ไปยังหัวอินพุตของออสซิลโลสโคป

โลสโคป

3. กดสวิทช์ ON บนเครื่องบันทึกข้อมูลและออสซิลโลสโคป เพื่อให้เกิดรูปสัญญาณ

บนจอออสซิลโลสโคป

4. สามารถเลือกขยายช่วงต่างๆของสัญญาณที่ปรากฏบนจอออสซิลโลสโคป โดยกดคีย์ ZOOM และใช้คีย์ < และ > ร่วมกับคีย์ GO เพื่อเลือกช่วง

สัญญาณที่ต้องการขยาย ช่วงสัญญาณที่ถูกเลือกจะถูกระบุขยายจนเต็มจอออสซิลโลสโคป

5. สามารถขยายรูปสัญญาณที่ได้จากข้อ 4. อีกครั้งโดยวิธีเดียวกับครั้งแรก

6. ค่า TIME/DIV ที่แท้จริงดูได้จากจอ LCD เมื่อทำการกดคีย์ T/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. คีย์ INT ใช้สำหรับขกเลิกการทำงานต่างๆ แล้วกลับมาสู่การทำงานแบบปกติคือ แสดงรูปสัญญาณขนาดปกติที่ไม่มีการขยาย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0000      CPU "Z80.TBL"
0000      HOF "BIN8"

0000      ORG 0000H
0000 C30001  JP  HHH

0100      ORG 0100H

0040 =     ADCPRT: EQU 40H
0041 =     DACPRT: EQU 41H

0004 =     BINT:   EQU 04H
0000 =     BTMDV:  EQU 00H
0006 =     BIN:    EQU 06H
0007 =     BZOOM:  EQU 07H
0003 =     BLPT:   EQU 03H
0002 =     BRGT:   EQU 02H
0001 =     BGO:    EQU 01H

0080 =     PDATA:  EQU 80H
0081 =     KYPRT:  EQU 81H
0082 =     PSIGN:  EQU 82H
0083 =     PCTRL:  EQU 83H

005F =     UNDERLINE: EQU 05FH
007E =     LEFT:   EQU 07EH
007F =     RIGHT:  EQU 07FH

2000 =     STPT:   EQU 02000H

FF01 =     TBL:    EQU 0FF01H
FF05 =     TBLX:   EQU 0FF05H
FF09 =     TBLX1:  EQU 0FF09H
FF0D =     TBLX2:  EQU 0FF0DH
FF11 =     TBL3:   EQU 0FF11H
FF15 =     TBL4:   EQU 0FF15H

FF19 =     POS:    EQU 0FF19H
FF1B =     POSX:   EQU 0FF1BH
FF1D =     POSX1:  EQU 0FF1DH

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FF1F =	POSX2:	EQU	0FF1FH
FF21 =	P1234:	EQU	0FF21H
FF31 =	KYFG:	EQU	0FF31H
FF32 =	KYDT:	EQU	0FF32H
FF33 =	ORDER:	EQU	0FF33H
FF34 =	CURS:	EQU	0FF34H
FF36 =	LOOPDL:	EQU	0FF36H
FF37 =	LEVEL:	EQU	0FF37H
FF39 =	SMPR:	EQU	0FF39H
FF3D =	TDLEV:	EQU	0FF3DH
FF3E =	TRGLV:	EQU	0FF3EH
FF3F =	PPOINTER:	EQU	0FF3FH
FF41 =	SPBFF:	EQU	0FF41H
FF42 =	X:	EQU	0FF42H
FF43 =	BUFTMDV:	EQU	0FF43H
FF44 =	VALTMDV:	EQU	0FF44H
FF46 =	BCDTMDV:	EQU	0FF46H
FF49 =	POWERBCD:	EQU	0FF49H
0100 31FFFF	HHH:	LD	SP,0FFFFH
0103 3E82		LD	A,82H
0105 D383		OUT	(PCTRL),A
0107 CD1B0A		CALL	INITLCD
010A 210020		LD	HL,STPT
010D 2201FF		LD	(TBL),HL
0110 2205FF		LD	(TBLX),HL
0113 2100FF		LD	HL,0FF00H
0116 2203FF		LD	(TBL+2),HL
0119 2207FF		LD	(TBLX+2),HL
011C 3E00		LD	A,0
011E 3219FF		LD	(POS),A
0121 321BFF		LD	(POSX),A
0124 3E0A		LD	A,10
0126 321AFF		LD	(POS+1),A
0129 321CFF		LD	(POSX+1),A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

012C 0E00      DOWLOAD: LD   C,0
012E 0640      LD   B,64
0130 21EA0B    LD   HL,TABD
0133 56        DO1:   LD   D,(HL)
0134 C5        PUSH BC
0135 CD420A    CALL WRCGRAM
0138 C1        POP  BC
0139 23        INC  HL
013A 0C        INC  C
013B 10F6      DJNZ DO1

013D 21AC0A    LD   HL,PSOLIDY ; PRINT "-----SOLIDY-----"
0140 3E01      LD   A,1
0142 CD5A0A    CALL WRLINE
0145 3E02      LD   A,2
0147 CD5A0A    CALL WRLINE

014A 0680      LD   B,80H
014C CD0C0A    SOLIDY: CALL DELAYMS
014F 10FB      DJNZ SOLIDY

0151 21BA0B    RUN:   LD   HL,PMENU ; PRINT "<ZOOM>: <INPUT>"
0154 3E01      LD   A,1
0156 CD5A0A    CALL WRLINE
0159 3E02      LD   A,2
015B CD5A0A    CALL WRLINE

015E AF        XOR  A
015F 3231FF    LD   (KYFG),A
0162 3233FF    LD   (ORDER),A

0165 ED5B01FF  REAL:  LD   DE,(TBL)
0169 2A03FF    LD   HL,(TBL+2)
016C ED52      SBC  HL,DE ; HL=HL-DE
016E EB        EX   DE,HL
016F 010A00    LD   BC,000AH ; DIVISOR
0172 CDC402    CALL DIVIDE ; HL=HL/10
0175 2242FF    LD   (X),HL ; X=HL.
0178 ED5B42FF  LD   DE,(X)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

017C 3A1BFF      LD  A, (POX)
017F 4F          LD  C,A          ; POS1=C,X=DE
0180 CDB402      CALL MULTI       ; HL=DE*C
0183 ED5B01FF    LD  DE,(TBL)    ; S1=DE
0187 19          ADD  HL,DE       ; S1 = S1 + (POS1*X)
0188 2205FF      LD  (TBLX),HL

018B ED5B42FF    LD  DE,(X)
018F 3A1CFF      LD  A,(POX+1)
0192 4F          LD  C,A          ; POS1=C,X=DE
0193 CDB402      CALL MULTI       ; HL=DE*C
0196 ED5B01FF    LD  DE,(TBL)    ; S1=DE
019A 19          ADD  HL,DE       ; S2 = S1 + (POS2*X)
019B 2207FF      LD  (TBLX+2),HL
019E ED5B05FF    LD  DE,(TBLX)   ; S=S2-S1
01A2 ED52        SBC  HL,DE
01A4 EB          EX  DE,HL
01A5 01F403      LD  BC,03F4H    ; HL=HL/BC:DIVISOR
01A8 CDC402      CALL DIVIDE      ; BC=20mS/OUTPUT RATE
01AB E5          PUSH HL          ; DEFAULT=04FEH
01AC C1          POP  BC
01AD 78          LD  A,B
01AE B1          OR  C
01AF CAD701      JP  Z,REAL2

01B2 2A05FF      START: LD  HL,(TBLX)
01B5 ED5B07FF    LD  DE,(TBLX+2)

01B9 3EFF        LD  A,0FFH
01BB D341        OUT (DACPRT),A
01BD D341        OUT (DACPRT),A

01BF 7E          ST:  LD  A,(HL)   ; This routine use 81 Tstate
01C0 D341        OUT (DACPRT),A
01C2 09          ADD  HL,BC
01C3 ED52        SBC  HL,DE
01C5 D2CC01      JP  NC,ST11
01C8 19          ADD  HL,DE
01C9 C3BF01      JP  ST

01CC AF          ST11: XOR  A
01CD D341        OUT (DACPRT),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

01CF D341          OUT  (DACPRT),A

01D1 CD5F02       CALL CHKY
01D4 C3B201       JP   START

01D7 ED5B05FF    REAL2: LD  DE,(TBLX)
01DB 2A07FF      LD  HL,(TBLX+2)
01DE ED52        SBC  HL,DE          ; N=HL-DE

01E0 11F203      LD  DE,03F2H
01E3 ED52        SBC  HL,DE
01E5 D23902      JP   NC,REAL3
01E8 19          ADD  HL,DE

01E9 4D          LD  C,L
01EA 44          LD  B,H
01EB 11204E      LD  DE,20000
01EE CDC402      CALL DIVIDE          ; R=20000/N
01F1 0E04        LD  C,4
01F3 EB          EX  DE,HL
01F4 CDB402      CALL MULTI          ; T=R*4
01F7 113900      LD  DE,57
01FA ED52        SBC  HL,DE          ; S=T-78
01FC EB          EX  DE,HL
01FD 010A00      LD  BC,10
0200 CDC402      CALL DIVIDE          ; C=S/14
0203 7D          LD  A,L
0204 B5          OR  L
0205 C20A02      JP   NZ,SV
0208 3E01        LIT: LD  A,1
020A 3236FF      SV:  LD  (LOOPDL),A

020D 2A05FF      START2: LD  HL,(TBLX)
0210 ED5B07FF    LD  DE,(TBLX+2)

0214 3EFF        LD  A,OFFH
0216 D341        OUT  (DACPRT),A
0218 D341        OUT  (DACPRT),A

021A 7E          ST2: LD  A,(HL)          ; This routine use
021B D341        OUT  (DACPRT),A          ; 81 Tstate+DELAY
021D 3A36FF      LD  A,(LOOPDL)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0220	47		LD	B,A	
0221	10FF		DJNZ	\$	
0223	23		INC	HL	
0224	7C		LD	A,H	
0225	BA		CP	D	
0226	C21A02		JP	NZ,ST2	
0229	7D		LD	A,L	
022A	BB		CP	E	
022B	C21A02		JP	NZ,ST2	
022E	AF		XOR	A	
022F	D341		OUT	(DACPRT),A	
0231	D341		OUT	(DACPRT),A	
0233	CD5F02		CALL	CHKY	
0236	C30D02		JP	START2	
0239	2A05FF	REAL3:	LD	HL,(TBLX)	
023C	ED5B07FF		LD	DE,(TBLX+2)	
0240	3EFF		LD	A,OFFH	
0242	D341		OUT	(DACPRT),A	
0244	D341		OUT	(DACPRT),A	
0246	7E	ST3:	LD	A,(HL)	; This routine use
0247	D341		OUT	(DACPRT),A	; 81 Tstate+DELAY
0249	23		INC	HL	
024A	7C		LD	A,H	
024B	BA		CP	D	
024C	C24602		JP	NZ,ST3	
024F	7D		LD	A,L	
0250	BB		CP	E	
0251	C24602		JP	NZ,ST3	
0254	AF		XOR	A	
0255	D341		OUT	(DACPRT),A	
0257	D341		OUT	(DACPRT),A	
0259	CD5F02		CALL	CHKY	
025C	C33902		JP	REAL3	
025F	3A31FF	CHKY:	LD	A,(KYFG)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0262 CB47          BIT  0,A
0264 C27D02       JP   NZ,RELEASE      ; KEY HAVE PRESSED GOTO
                                ; RELEASE MUST PULL UP
                                ; 4.7K EVERY BIT

0267 DB81        NPRSS:  IN  A,(KYPRT)
0269 F600        OR   0          ; FOR SET FLAG
026B EB          RET  PE          ; NO PRESS GOTO START
026C 3A31FF      LD   A,(KYFG)
026F CBC7        SET  0,A
0271 3231FF      LD   (KYFG),A
0274 C0C0A       CALL DELAYMS      ; DEBOUNCE = 10 ms
0277 DB81        IN  A,(KYPRT)
0279 3232FF      LD   (KYDT),A
027C C9          RET

027D DB81        RELEASE: IN  A,(KYPRT)
027F F600        OR   0          ; FOR SET FLAG
0281 E0          RET  PO
0282 C0C0A       CALL DELAYMS      ; DEBOUNCE = 10 ms
0285 DB81        IN  A,(KYPRT)
0287 F600        OR   0          ; FOR SET FLAG
0289 E0          RET  PO

028A 3A31FF      LD   A,(KYFG)
028D CB87        RES  0,A
028F 3231FF      LD   (KYFG),A

0292 3A32FF      LD   A,(KYDT)
0295 CB77        BIT  BIN,A          ; BIT 5
0297 CA9507      JP   Z,KINP
029A CB47        BIT  B'TMDV,A       ; BIT 4
029C CADF04      JP   Z,TMDV
029F CB7F        BIT  BZOOM,A        ; BIT 3
02A1 CADF02      JP   Z,ZOOM
02A4 CB5F        BIT  BLFT,A          ; BIT 2
02A6 CA5303      JP   Z,KLFT
02A9 CB57        BIT  BRGT,A          ; BIT 1
02AB CA9603      JP   Z,KRGT
02AE CB4F        BIT  BGO,A          ; BIT 0
02B0 CABB03      JP   Z,KGO

02B3 C9          RET

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

; MULTIPLY 8 BIT * 16 BIT
; HL = C * DE
02B4 0608   MULTI:  LD    B,8
02B6 210000        LD    HL,0

02B9 CB39   MULT:   SRL   C
02BB 3001        JR    NC,NOADD
02BD 19       ADD   HL,DE

02BE EB       NOADD:  EX   DE,HL
02BF 29       ADD   HL,HL
02C0 EB       EX   DE,HL
02C1 10F6     DJNZ  MULT
02C3 C9       RET

; DE=DIVIDEND
; BC=DIVISOR
; HL=QUOTIENT
02C4 AF       DIVIDE: XOR   A
02C5 67       LD    H,A
02C6 6F       LD    L,A
02C7 3E10     LD    A,16
02C9 CB13     DIV1:  RL   E
02CB CB12     RL   D
02CD ED6A     ADC   HL,HL
02CF ED42     SBC   HL,BC
02D1 3005     JR    NC,DIV2
02D3 09       ADD   HL,BC
02D4 3F       CCF
02D5 C3D902   JP    DIV3
02D8 37       DIV2:  SCF
02D9 3D       DIV3:  DEC   A
02DA 20ED     JR    NZ,DIV1
02DC EB       EX   DE,HL
02DD 29       ADD   HL,HL
02DE C9       RET

02DF 3E0B     ZOOM:  LD    A,0BH           ; FIRST TIME AT (*)=43H
02E1 3234FF   LD    (CURS),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

02E4 3235FF      LD      (CURS+1),A

02E7 3A31FF      LD      A,(KYFG)
02EA E681        AND     10000001B
02EC CB67        BIT     4,A
02EE C22B03      JP      NZ,RSETB
02F1 CB7F        BIT     7,A
02F3 C22B03      JP      NZ,RSETB

02F6 AF          XOR     A          ; RESET ORDER TO ZERO
02F7 3233FF      LD      (ORDER),A

02FA CBFF        SET     7,A
02FC 3231FF      LD      (KYFG),A

02FF 21DA0B      SETSCRN: LD     HL,P123          ; PRINT "0123456789A*T:Z0"
0302 1121FF      LD      DE,P1234
0305 010F00      LD      BC,0FH
0308 EDA0        LDDBLK: LDI
030A 78          LD      A,B
030B B1          OR      C
030C C20803      JP      NZ,LDBLK

030F 21DA0B      LD      HL,P123          ; PRINT "0123456789A*T:Z0"
0312 3E01        LD      A,1
0314 CD5A0A      CALL   WRLINE
0317 3E02        LD      A,2
0319 CD5A0A      CALL   WRLINE
031C 3E43        LD      A,43H
031E CD8D0A      CALL   GOTO
0321 165F        LD      D,05FH          ; PRINT " "
0323 CD9A0A      CALL   WRBYTE

0326 DDE1        POP     IX          ; FOR CANCEL RETURN TO CALL
0328 C36501      JP      REAL

032B CBBF        RSETB: RES     7,A          ; IF PRESS 'ZOOM' AGAIN GOTO FULL
032D 3231FF      LD      (KYFG),A
0330 AF          XOR     A
0331 3233FF      LD      (ORDER),A
0334 3219FF      LD      (POS),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0337 321BFF      LD  (POX) , A
033A 3E0A      LD  A, 10
033C 321AFF      LD  (POS+1) , A
033F 321CFF      LD  (POX+1) , A

```

```

0342 210020     LD  HL, STPT
0345 2201FF     LD  (TBL) , HL
0348 2100FF     LD  HL, OFF00H
034B 2203FF     LD  (TBL+2) , HL

```

```

034E DDE1      POP  IX
0350 C35101     JP   RUN

```

```

0353 3A31FF     KLFT: LD  A, (KYFG)
0356 CB7F      BIT  7, A
0358 C8       RET  Z
0359 CB6F      BIT  5, A
035B C0       RET  NZ
035C CB67      BIT  4, A
035E C0       RET  NZ

035F DD2134FF  LD  IX, CURS
0363 CB77      BIT  6, A
0365 CA6A03    JP  Z, ONETIME
0368 DD23      INC  IX ; TWO TIMES
036A DD7E00    ONETIME: LD  A, (IX+0)

036D 3D       DEC  A
036E FEF7      CP   OFFH
0370 C27403    JP  NZ, KLFT1 ; IF A<0 THEN A=0
0373 AF       XOR  A
0374 DD7700    KLFT1: LD  (IX+0) , A ; SAVE A TO CURS 1 OR 2

0377 FE08      CP   8
0379 DA7E03    JP  C, KLFT2
037C C638      ADD  A, 38H

037E F5       KLFT2: PUSH AF
037F 2121FF    LD  HL, P1234 ; PRINT "01>3456789A*F:7 "
0382 3E01      LD  A, 1
0384 CD5A0A    CALL WRLINE

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0387	3E02		LD	A,2
0389	CD5A0A		CALL	WRLINE
038C	F1		POP	AF
038D	CD8D0A		CALL	GOTO
0390	165F		LD	D,UNDERLINE
0392	CD9A0A		CALL	WRBYTE
0395	C9		RET	
0396	3A31FF	KRGT:	LD	A,(KYFG)
0399	CB67		BIT	4,A
039B	C0		RET	NZ
039C	CB7F		BIT	7,A
039E	C8		RET	Z
039F	CB6F		BIT	5,A
03A1	C0		RET	NZ
03A2	DD2134FF		LD	IX,CURS
03A6	CB77		BIT	6,A
03A8	CAAD03		JP	Z,FSTTIME
03AB	DD23		INC	IX ; TWO TIMES
03AD	DD7E00	FSTTIME:	LD	A,(IX+0)
03B0	3C		INC	A
03B1	FE0A		CP	0AH
03B3	DA7403		JP	C,KLFT1 ; IF A<0 THEN A=0
03B6	3E0A		LD	A,0AH
03B8	C37403		JP	KLFT1
03BB	3A34FF	KGO:	LD	A,(CURS)
03BE	FE0B		CP	0BH
03C0	C8		RET	Z
03C1	3A31FF		LD	A,(KYFG)
03C4	CB67		BIT	4,A
03C6	C2DF02		JP	NZ,ZOOM
03C9	CB7F		BIT	7,A
03CB	C8		RET	Z
03CC	CB6F		BIT	5,A
03CE	C23C04		JP	NZ,THRD
03D1	CB77		BIT	6,A
03D3	C20A04		JP	NZ,SCND
03D6	CBF7	FIRST:	SET	6,A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

03D8 3231FF		LD (KYFG),A
03DB C5		PUSH BC
03DC D5		PUSH DE
03DD FD2121FF		LD IY,P1234
03E1 3A34FF		LD A,(CURS)
03E4 4F		LD C,A
03E5 0600		LD B,0
03E7 FD09		ADD IY,BC
03E9 167E		LD D,LEFT
03EB FD7200		LD (IY+0),D
03EE FE08		CP 8
03F0 DAF503		JP C,GOON
03F3 C638		ADD A,38H
03F5 CD8D0A	GOON:	CALL GOTO
03F8 167E		LD D,LEFT
03FA CD9A0A		CALL WRBYTE
03FD 3E43		LD A,043H
03FF CD8D0A		CALL GOTO
0402 165F		LD D,UNDERLINE
0404 CD9A0A		CALL WRBYTE
0407 D1		POP DE
0408 C1		POP BC
0409 C9		RET
040A CBB7	SCND:	RES 6,A
040C 3231FF		LD (KYFG),A
040F C5		PUSH BC
0410 D5		PUSH DE
0411 3A35FF		LD A,(CURS+1)
0414 FD2121FF		LD IY,P1234
0418 4F		LD C,A
0419 0600		LD B,0
041B FD09		ADD IY,BC
041D 167F		LD D,RIGHT
041F FD7200		LD (IY+0),D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0422	FE08		CP	8
0424	DA2904		JP	C,GEON
0427	C638		ADD	A,38H
0429	CD8DOA	GEON:	CALL	GOTO
042C	167F		LD	D,RIGHT
042E	CD9A0A		CALL	WRBYTE
0431	D1		POP	DE
0432	C1		POP	BC
0433	3A31FF		LD	A,(KYFG)
0436	CBEF		SET	5,A
0438	3231FF		LD	(KYFG),A
043B	C9		RET	
043C	3A33FF	THRD:	LD	A,(ORDER)
043F	3C		INC	A
0440	3233FF		LD	(ORDER),A
0443	87		ADD	A,A
0444	DD211BFF		LD	IX,PO SX
0448	4F		LD	C,A
0449	0600		LD	B,0
044B	DD09		ADD	IX,BC
044D	3A35FF		LD	A,(CURS+1)
0450	DD7701		LD	(IX+1),A
0453	47		LD	B,A
0454	3A34FF		LD	A,(CURS)
0457	DD7700		LD	(IX+0),A
045A	B8		CP	B
045B	D2C004		JP	NC,ERROR
045E	CAC004		JP	Z,ERROR
0461	3A33FF		LD	A,(ORDER)
0464	FE02		CP	2
0466	C8A04		JP	Z,ORDER2
0469	3A1DFE	ORDER1:	LD	A,(PO SX+2)
046C	321BFF		LD	(PO SX),A
046F	3A1EFF		LD	A,(PO SX+3)
0472	321CFF		LD	(PO SX+1),A
0475	3A31FF		LD	A,(KYFG)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0478	CBFF		SET	7,A
047A	CBAF		RES	5,A
047C	3231FF		LD	(KYFG),A
047F	3E0B		LD	A,OBH
0481	3234FF		LD	(CURS),A
0484	3235FF		LD	(CURS+1),A
0487	C3FF02		JP	SETSCRN
048A	3A31FF	ORDER2:	LD	A,(KYFG)
048D	CBFF		SET	7,A
048F	CBAF		RES	5,A
0491	CBE7		SET	4,A
0493	3231FF		LD	(KYFG),A
0496	2A05FF		LD	HL,(TBLX)
0499	2201FF		LD	(TBL),HL
049C	2A07FF		LD	HL,(TBLX+2)
049F	2203FF		LD	(TBL+2),HL
04A2	3A1FFF		LD	A,(POSX+4)
04A5	321BFF		LD	(POSX),A
04A8	3A20FF		LD	A,(POSX+5)
04AB	321CFF		LD	(POSX+1),A
04AE	217A0B	PIPGO:	LD	HL,PGO
04B1	3E01		LD	A,1
04B3	CD5A0A		CALL	WRLINE
04B6	3E02		LD	A,2
04B8	CD5A0A		CALL	WRLINE
04BB	DDE1		POP	IX
04BD	C36501		JP	REAL
04C0	216A0B	ERROR:	LD	HL,PERROR
04C3	3E01		LD	A,1
04C5	CD5A0A		CALL	WRLINE
04C8	3E02		LD	A,2
04CA	CD5A0A		CALL	WRLINE
04CD	0640		LD	B,040H
04CF	CD0C0A	DDD:	CALL	DELAYMS
04D2	10FB		DJNZ	DDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

04D4 3A31FF	LD	A, (KYFG)	
04D7 CEFF	SET	7, A	
04D9 3231FF	LD	(KYFG), A	
04DC C3DF02	JP	ZOOM	
04DF 3A33FF	TMDV: LD	A, (ORDER)	
04E2 FE00	CP	0	
04E4 CA7E07	JP	Z, TMOD0	
04E7 FE01	CP	1	
04E9 CA8307	JP	Z, TMOD1	
04EC ED4B1DFF	TMOD2: LD	BC, (POSX1)	
04F0 ED5B1FFF	LD	DE, (POSX2)	
04F4 78	LD	A, B	
04F5 91	SUB	C	
04F6 4F	LD	C, A	
04F7 7A	LD	A, D	
04F8 93	SUB	E	
04F9 5F	LD	E, A	
04FA 1600	LD	D, 0	
04FC CDB402	CALL	MULTI	
04FF 7D	LD	A, L	
0500 3243FF	FROMDO: LD	(BUFTMDV), A	; A = DE * C
0503 3A3DFF	LD	A, (TDLEV)	
0506 3D	DEC	A	
0507 47	LD	B, A	; X 3
0508 87	ADD	A, A	
0509 80	ADD	A, B	
050A 21380C	LD	HL, TIMESMP	
050D 5F	LD	E, A	
050E 1600	LD	D, 0	
0510 19	ADD	HL, DE	
0511 5E	LD	E, (HL)	; LD DE, (HL)
0512 23	INC	HL	
0513 56	LD	D, (HL)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0514	016400		LD	BC,064H	
0517	CDC402		CALL	DIVIDE	
051A	EB		EX	DE,HL	
051B	3A43FF		LD	A,(BUFTMDV)	
051E	4F		LD	C,A	
051F	CDB402		CALL	MULTI	
0522	2244FF		LD	(VALTMDV),HL	
0525	AF	HTOD:	XOR	A	
0526	2149FF		LD	HL,VALTMDV+5	
0529	0603		LD	B,3	
052B	2B	HTOD1:	DEC	HL	
052C	77		LD	(HL),A	
052D	10FC		DJNZ	HTOD1	
052F	0E10		LD	C,16	
0531	2144FF	HTOD2:	LD	HL,VALTMDV	
0534	CB16		RL	(HL)	
0536	23		INC	HL	
0537	CB16		RL	(HL)	
0539	23		INC	HL	
053A	0603		LD	B,3	
053C	7E	HTOD3:	LD	A,(HL)	
053D	8F		ADC	A,A	
053E	27		DAA		
053F	77		LD	(HL),A	
0540	23		INC	HL	
0541	10F9		DJNZ	HTOD3	
0543	0D		DEC	C	
0544	20EB		JR	NZ,HTOD2	
0546	3A3DFF		LD	A,(TDLEV)	
0549	3D		DEC	A	
054A	47		LD	B,A	; X 3
054B	87		ADD	A,A	
054C	80		ADD	A,B	
054D	213A0C		LD	HL,TIMESMP+2	
0550	5F		LD	E,A	
0551	1600		LD	D,0	
0553	19		ADD	HL,DE	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0554	7E	LD	A, (HL)	
0555	ED4E46FF	LD	BC, (BCDTMDV)	
0559	FEFE	CP	-2	
055B	CA7505	JP	Z, O_2	
055E	FEFF	CP	-1	
0560	CAB905	JP	Z, O_1	
0563	FE00	CP	0	
0565	CAFA05	JP	Z, 00	
0568	FE01	CP	1	
056A	CA0100	JP	Z, 01	
056D	FE03	CP	3	
056F	CA6D06	JP	Z, 03	
0572	C3A806	JP	O5	
0575	78	O_2:	LD A, B	; 3RD NOSET
0576	E6F0		AND OF0H	
0578	C29505	JP	NZ, O_20	; 0 SET GO
057B	78		LD A, B	
057C	E60F		AND OFH	
057E	C2A305	JP	NZ, O_21	; 1ST SET GO
0581	79		LD A, C	
0582	E6F0		AND OF0H	
0584	C2AE05	JP	NZ, O_22	; 2ND SET GO
0587	CD6407	CALL	LFT4BIT	; 3RD SET GO
058A	CD6407	CALL	LFT4BIT	
058D	3EE4	LD	A, 0E4H	
058F	3249FF	LD	(POWERBCD), A	; MILLI
0592	C3E906	JP	CONTIN	
0595	CD5107	O_20:	CALL RGT4BIT	
0598	CD5107		CALL RGT4BIT	
059B	3E6D	LD	A, 06DH	
059D	3249FF	LD	(POWERBCD), A	; MILLI
05A0	C3E906	JP	CONTIN	
05A3	CD6407	O_21:	CALL LFT4BIT	
05A6	3EE4	LD	A, 0E4H	
05A8	3249FF	LD	(POWERBCD), A	
05AB	C3E906	JP	CONTIN	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

05AE CD6407   O_22:   CALL LFT4BIT
05B1 3EE4     LD    A,0E4H
05B3 3249FF   LD    (POWERBCD),A
05B6 C3E906   JP    CONTIN

05B9 78       O_1:    LD    A,B
05BA E6F0     AND  OF0H
05BC C2D605   JP    NZ,O_10           ; 0 SET GO
05BF 78       LD    A,B
05C0 E60F     AND  OFH
05C2 C2E105   JP    NZ,O_11           ; 1ST SET GO
05C5 79       LD    A,C
05C6 E6F0     AND  OF0H
05C8 C2EC05   JP    NZ,O_12           ; 2ND SET GO

05CB CD5107   CALL RGT4BIT
05CE 3EE4     LD    A,0E4H           ; MICRO
05D0 3249FF   LD    (POWERBCD),A
05D3 C3E906   JP    CONTIN

05D6 CD5107   O_10:  CALL RGT4BIT
05D9 3E6D     LD    A,06DH
05DB 3249FF   LD    (POWERBCD),A     ; MLLL
05DE C3E906   JP    CONTIN

05E1 CD5107   O_11:  CALL RGT4BIT
05E1 3E6D     LD    A,06DH
05E6 3249FF   LD    (POWERBCD),A
05E9 C3E906   JP    CONTIN

05EC CD6407   O_12:  CALL LFT4BIT
05EF CD6407   CALL LFT4BIT
05F2 3EE4     LD    A,0E4H
05F4 3249FF   LD    (POWERBCD),A
05F7 C3E906   JP    CONTIN

05FA 78       O0:    LD    A,B
05FB E6F0     AND  OF0H
05FD C21406   JP    NZ,O00           ; 0 SET GO
0600 78       LD    A,B

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0601	E60F		AND	0FH	
0603	C21C06		JP	NZ,001	; 1ST SET GO
0606	79		LD	A,C	
0607	E6F0		AND	0F0H	
0609	C22406		JP	NZ,002	; 2ND SET GO
060C	3EE4		LD	A,0E4H	; MICRO
060E	3249FF		LD	(POWERBCD),A	
0611	C3E906		JP	CONTIN	
0614	3E6D	000:	LD	A,06DH	
0616	3249FF		LD	(POWERBCD),A	;MILLI
0619	C3E906		JP	CONTIN	
061C	3E6D	001:	LD	A,06DH	
061E	3249FF		LD	(POWERBCD),A	
0621	C3E906		JP	CONTIN	
0624	3E6D	002:	LD	A,06DH	
0626	3249FF		LD	(POWERBCD),A	
0629	C3E906		JP	CONTIN	
062C	78	01:	LD	A,B	
062D	E6F0		AND	0F0H	
062F	C24906		JP	NZ,010	; 0 SET GO
0632	78		LD	A,B	
0633	E60F		AND	0FH	
0635	C25706		JP	NZ,011	; 1ST SET GO
0638	79		LD	A,C	
0639	E6F0		AND	0F0H	
063B	C26206		JP	NZ,012	; 2ND SET GO
063E	CD6407		CALL	LFT4BIT	
0641	3E6D		LD	A,06DH	; MICRO
0643	3249FF		LD	(POWERBCD),A	
0646	C3E906		JP	CONTIN	
0649	CD5107	010:	CALL	RGT4BIT	
064C	CD5107		CALL	RGT4BIT	
064F	3E20		LD	A,20H	; SPACE
0651	3249FF		LD	(POWERBCD),A	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0654	C3E906		JP	CONTIN	
0657	CD6407	011:	CALL	LFT4BIT	
065A	3E6D		LD	A,06DH	
065C	3249FF		LD	(POWERBCD),A	
065F	C3E906		JP	CONTIN	
0662	CD6407	012:	CALL	LFT4BIT	
0665	3E6D		LD	A,06DH	
0667	3249FF		LD	(POWERBCD),A	
066A	C3E906		JP	CONTIN	
066D	78	03:	LD	A,B	
066E	E6F0		AND	0F0H	
0670	C29006		JP	NZ,030	; 0 SET GO
0673	78		LD	A,B	
0674	E60F		AND	0FH	
0676	C29806		JP	NZ,031	; 1ST SET GO
0679	79		LD	A,C	
067A	E6F0		AND	0F0H	
067C	C2A006		JP	NZ,032	; 2ND SET GO
067F	CD6407		CALL	LFT4BIT	
0682	CD6407		CALL	LFT4BIT	
0685	CD6407		CALL	LFT4BIT	
0688	3E6D		LD	A,06DH	
068A	3249FF		LD	(POWERBCD),A	
068D	C3E906		JP	CONTIN	
0690	3E20	030:	LD	A,20H	; SPACE
0692	3249FF		LD	(POWERBCD),A	
0695	C3E906		JP	CONTIN	
0698	3E20	031:	LD	A,20H	
069A	3249FF		LD	(POWERBCD),A	
069D	C3E906		JP	CONTIN	
06A0	3E20	032:	LD	A,20H	
06A2	3249FF		LD	(POWERBCD),A	
06A5	C3E906		JP	CONTIN	
06A8	78	05:	LD	A,B	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

06A9 E6F0          AND  0F0H
06AB C2C806       JP   NZ,050          ; 0 SET GO
06AE 78           LD   A,B
06AF E60F         AND  0FH
06B1 C2D306       JP   NZ,051          ; 1ST SET GO
06B4 79           LD   A,C
06B5 E6F0          AND  0F0H
06B7 C2DE06       JP   NZ,052          ; 2ND SET GO

06BA CD6407       CALL LFT4BIT
06BD CD6407       CALL LFT4BIT
06C0 3E20         LD   A,20H
06C2 3249FF       LD   (POWERBCD),A
06C5 C3E906       JP   CONTIN

06C8 CD5107       050: CALL RGT4BIT
06CB 3E6B         LD   A,06BH          ; KILO
06CD 3249FF       LD   (POWERBCD),A
06D0 C3E906       JP   CONTIN

06D3 CD5107       051: CALL RGT4BIT
06D6 3E6B         LD   A,06BH
06D8 3249FF       LD   (POWERBCD),A
06DB C3E906       JP   CONTIN

06DE CD6407       052: CALL LFT4BIT
06E1 CD6407       CALL LFT4BIT
06E4 3E20         LD   A,20H
06E6 3249FF       LD   (POWERBCD),A

06E9 21CA0B       CONTIN: LD  HL,PTMDV          ; "T/D =      sec"
06EC 3E01         LD   A,1
06EE CD5A0A       CALL WRLINE
06F1 3E02         LD   A,2
06F3 CD5A0A       CALL WRLINE

06F6 2146FF       LD   HL,BCD'TMDV
06F9 CD7107       CALL LF4ASC
06FC 57           LD   D,A
06FD 3E41         LD   A,41H
06FF CD8D0A       CALL GOTO
0702 CD9A0A       CALL WRBYTE

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0705 7E	LD	A, (HL)
0706 E60F	AND	0FH
0708 C630	ADD	A, 30H
070A 57	LD	D, A
070B 3E42	LD	A, 42H
070D CD8D0A	CALL	GOTO
0710 CD9A0A	CALL	WRBYTE
0713 23	INC	HL
0714 CD7107	CALL	LF1ASC
0717 57	LD	D, A
0718 3E07	LD	A, 7
071A CD8D0A	CALL	GOTO
071D CD9A0A	CALL	WRBYTE
0720 7E	LD	A, (HL)
0721 E60F	AND	0FH
0723 C630	ADD	A, 30H
0725 57	LD	D, A
0726 3E40	LD	A, 40H
0728 CD8D0A	CALL	GOTO
072B CD9A0A	CALL	WRBYTE
072E 3A49FF	LD	A, (POWERBCD)
0731 57	LD	D, A
0732 3E44	LD	A, 44H
0734 CD8D0A	CALL	GOTO
0737 CD9A0A	CALL	WRBYTE
073A 0660	LD	B, 60H
073C CD0COA	TMLOOP2:	CALL DELAYMS
073F 10FB	DJNZ	TMLOOP2
0741 3A33FF	LD	A, (ORDER)
0744 FE00	CP	0
0746 CA2B03	JP	Z, RSETB
0749 FE02	CP	2
074B CAAE04	JP	Z, PIPGO
074E C3FF02	JP	SETSCRN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0751 2147FF RGT4BIT: LD HL,BCDTMDV+1  
 0751 7E LD A,(HL)  
 0755 2B DEC HL  
 0756 ED67 RRD  
 0758 CB3F SRL A  
 075A CB3F SRL A  
 075C CB3F SRL A  
 075E CB3F SRL A  
 0760 3247FF LD (BCDTMDV+1),A  
 0763 C9 RET

0764 ED5B46FF LFT4BIT: LD DE,(BCDTMDV)  
 0768 0E10 LD C,10H  
 076A CDB402 CALL MULTI  
 076D 2246FF LD (BCDTMDV),HI.  
 0770 C9 RET

0771 7E LFT4ASC: LD A,(HL)  
 0772 CB3F SRL A  
 0774 CB3F SRL A  
 0776 CB3F SRL A  
 0778 CB3F SRL A  
 077A C630 ADD A,30H  
 077C 57 LD D,A  
 077D C9 RET

077E 3E64 TMODE: LD A,64H  
 0780 C30005 JP FROMODO

0783 ED4B1DFF TMODE1: LD BC,(POSX1)  
 0787 78 LD A,B  
 0788 91 SUB C  
 0789 0E0A LD C,0AH

078B 5F LD E,A ; x 10  
 078C 1600 LD D,0  
 078E CDB402 CALL MULTI  
 0791 7D LD A,L  
 0792 C30005 JP FROMODO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0795 21BC0A    K1NP:    LD    HL,PINPUF    ;    PRINT "*** INPUT MODE ***"
0798 3E01                LD    A,1
079A CD5A0A                CALL WRLINE
079D 3E02                LD    A,2
079F CD5A0A                CALL WRLINE
07A2 063C                LD    B,60
07A4 CD0C0A    1NMO:    CALL DELAYMS
07A7 10FB                DJNZ 1NMO

07A9 21CC0A                LD    HL,PINTD    ;    PRINT "Sampling= 85 kHz"
07AC 3E01                LD    A,1
07AE CD5A0A                CALL WRLINE
07B1 3E02                LD    A,2
07B3 CD5A0A                CALL WRLINE

07B6 3A3DFF    1NMM:    LD    A,(TDLEV)
07B9 3D                DEC  A
07BA FD21EC0A                LD    IY,P85KH
07BE FD223FFF                LD    (PPOINTER),IY
07C2 CDD808                CALL DISP6
07C5 AF                XOR  A
07C6 3231FF                LD    (KYFG),A

07C9 3A31FF    SLTD:    LD    A,(KYFG)
07CC CB47                BIT  0,A
07CE C2F007                JP   NZ,REL
07D1 DB81                IN  A,(KYPRT)
07D3 FEF0                CP   OFFH
07D5 CAC907                JP   Z,SLTD

07D8 3A31FF                LD    A,(KYFG)
07DB CBC7                SET  0,A
07DD 3231FF                LD    (KYFG),A
07E0 CD0C0A                CALL DELAYMS
07E3 DB81                IN  A,(KYPRT)
07E5 FEF0                CP   OFFH
07E7 CAC907                JP   Z,SLTD
07EA 3232FF                LD    (KYDT),A
07ED C3C907                JP   SLTD

07F0 DB81    REL:    IN  A,(KYPRT)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

07F2	FEFF	CP	OFFH	
07F4	C2C907	JP	NZ,SLTD	
07F7	CD0C0A	CALL	DELAYMS	
07FA	DB81	IN	A, (KYPRT)	
07FC	FEFF	CP	OFFH	
07FE	C2C907	JP	NZ,SLTD	
0801	3A31FF	LD	A, (KYFG)	
0804	CB87	RES	0, A	
0806	3231FF	LD	(KYFG), A	
0809	3A32FF	LD	A, (KYDT)	
080C	CB67	BIT	BINT, A	
080E	CA010A	JP	Z, DELRES	
0811	CB7F	BIT	BZOOM, A	
0813	CA010A	JP	Z, DELRES ; GOTO PREVIOUS STATUS	
0816	CB5F	BIT	BLFT, A	
0818	CA3408	JP	Z, TDL	
081B	CB57	BIT	BRGT, A	
081D	CA2808	JP	Z, TDR	
0820	CB4F	BIT	BGO, A	
0822	CA4508	JP	Z, TRLEVEL	
0825	C3C907	JP	SLTD	
0828	3A3DFF	TDR:	LD A, (TDLEV)	
082B	3D	DEC	A	
082C	C23F08	JP	NZ, LDLEV	
082F	3E0A	LD	A, 10	
0831	C33F08	JP	LDLEV	
0834	3A3DFF	TDL:	LD A, (TDLEV)	
0837	3C	INC	A	
0838	FE0B	CP	11	
083A	C23F08	JP	NZ, LDLEV	
083D	3E01	LD	A, 1	
083F	323DFF	LDLEV:	LD (TDLEV), A	
0842	C3B607	JP	INMM	
0845	21DC0A	TRLEVEL:	LD HL, PINLV ; PRINT "Trig Level= 100%"	
0848	3E01	LD	A, 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

084A	CD5A0A		CALL	WRLINE
084D	3E02		LD	A,2
084F	CD5A0A		CALL	WRLINE
0852	3A3EFF	INMM2:	LD	A,(TRGLV)
0855	FD21280B		LD	IY,PTRGLVPC
0859	FD223FFF		LD	(PPOINTER),IY
085D	CDD808		CALL	DISP6
0860	3A31FF	SLTRG:	LD	A,(KYFG)
0863	CB47		BIT	0,A
0865	C28708		JP	NZ,REL1
0868	DB81		IN	A,(KYPRT)
086A	FEFF		CP	OFFH
086C	CA6008		JP	Z,SLTRG
086F	3A31FF		LD	A,(KYFG)
0872	CBC7		SET	0,A
0874	3231FF		LD	(KYFG),A
0877	CD0C0A		CALL	DELAYMS
087A	DB81		IN	A,(KYPRT)
087C	FEFF		CP	OFFH
087E	CA6008		JP	Z,SLTRG
0881	3232FF		LD	(KYDT),A
0884	C36008		JP	SLTRG
0887	DB81	REL1:	IN	A,(KYPRT)
0889	FEFF		CP	OFFH
088B	C26008		JP	NZ,SLTRG
088E	CD0C0A		CALL	DELAYMS
0891	DB81		IN	A,(KYPRT)
0893	FEFF		CP	OFFH
0895	C26008		JP	NZ,SLTRG
0898	3A31FF		LD	A,(KYFG)
089B	CB87		RES	0,A
089D	3231FF		LD	(KYFG),A
08A0	3A32FF		LD	A,(KYDT)
08A3	CB67		BIT	BLFT,A
08A5	CA010A		JP	Z,DELRES
08A8	CB5F		BIT	BLFT,A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

08AA CABA08		JP	Z, LVL
08AD CB57		BIT	BRGT, A
08AF CAC808		JP	Z, LVR
08B2 CB4F		BIT	BGO, A
08B4 CAF808		JP	Z, INCAL
08B7 C36008		JP	SLTRG
08BA 3A3EFF	LVL:	LD	A, (TRGLV)
08BD 3D		DEC	A
08BE FEFF		CP	OFFH
08C0 C2D208		JP	NZ, LDTRGLV
08C3 3E0A		LD	A, 10
08C5 C3D208		JP	LDTRGLV
08C8 3A3EFF	LVR:	LD	A, (TRGLV)
08CB 3C		INC	A
08CC FE0B		CP	11
08CE C2D208		JP	NZ, LDTRGLV
08D1 AF		XOR	A
08D2 323EFF	LDTRGLV:	LD	(TRGLV), A
08D5 C35208		JP	INMM2
08D8 110600	DISP6:	LD	DE, 6
08DB 4F		LD	C, A
08DC CDB402		CALL	MULTI
08DF 2B		DEC	HL
08E0 ED5B3FFF		LD	DE, (PPOINTER)
08E4 19		ADD	HL, DE
08E5 0E42		LD	C, 42H
08E7 79		LD	A, C
08E8 CD8D0A	INMO2:	CALL	GOTO
08EB 23		INC	HL
08EC 56		LD	D, (HL)
08ED CD9A0A		CALL	WRBYTE
08F0 0C		INC	C
08F1 79		LD	A, C
08F2 FE48		CP	48H
08F4 C2E808		JP	NZ, INMO2
08F7 C9		RET	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

08F8 3A3EFF	INCAL:	LD	A, (TRGLV)		
08FB 87		ADD	A, A		
08FC 21020C		LD	HL, LEVELTB		
08FF 5F		LD	E, A		
0900 1600		LD	D, 0		
0902 19		ADD	HL, DE		
0903 5E		LD	E, (HL)		
0904 23		INC	HL		
0905 56		LD	D, (HL)		
0906 ED5337FF		LD	(LEVEL), DE		
090A 218A0B		LD	HL, PREADY	; "	READY? "
090D 3E01		LD	A, 1		
090F CD5A0A		CALL	WRLINE		
0912 3E02		LD	A, 2		
0914 CD5A0A		CALL	WRLINE		
0917 DB81	WAIT:	IN	A, (KYPRT)		
0919 CB67		BIT	BINT, A		
091B CA010A		JP	Z, DELRES		
091E CB4F		BIT	BGO, A		
0920 C21709		JP	NZ, WAIT		
0923 CD0C0A		CALL	DELAYMS		
0926 3A3DFE		LD	A, (TDLEV)		
0929 FE01		CP	1		
092B CA5109		JP	Z, INP		
092E FE02		CP	2		
0930 CA5109		JP	Z, INP		
0933 D603		SUB	3		
0935 87		ADD	A, A		
0936 87		ADD	A, A		
0937 21180C		LD	HL, SMPRATE		
093A 5F		LD	E, A		
093B 1600		LD	D, 0		
093D 19		ADD	HL, DE		
093E 7E		LD	A, (HL)		
093F 3239FF		LD	(SMPR), A		
0942 23		INC	HL		
0943 7E		LD	A, (HL)		
0944 323AFF		LD	(SMPR+1), A		
0947 23		INC	HL		
0948 7E		LD	A, (HL)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0919 323BFF      LD  (SMPR+2),A
094C 23         INC  HL
094D 7E         LD  A,(HL)
094E 323CFF      LD  (SMPR+3),A

0951 21AA0B     INP:  LD  HL,PWAITTRG      ; " WAIT FOR TRIG "
0954 3E01       LD  A,1
0956 CD5A0A     CALL WRLINE
0959 3E02       LD  A,2
095B CD5A0A     CALL WRLINE

095E ED4B37FF   LD  BC,(LEVEL)
0962 DB40       IN  A,(ADCPRT)      ; TO DELETE THE OLD VALUE

0964 DB10       INLO: IN  A,(ADCPRT)
0966 B8         CP  B              ; B=POS
0967 D27D09     JP  NC,INP10
096A B9         CP  C              ; C=NEG
096B DA7D09     JP  C,INP10
096E DB81       IN  A,(KYPRT)
0970 FEF7       CP  OFFH
0972 CA6409     JP  Z,INLO
0975 CB67       BIT  BINT,A
0977 CA010A     JP  Z,DELRES
097A C36409     JP  INLO

097D 320020     INP10: LD  (STPT),A
0980 219A0B     LD  HL,PSMPL      ; "...Sampling..."
0983 3E01       LD  A,1
0985 CD5A0A     CALL WRLINE
0988 3E02       LD  A,2
098A CD5A0A     CALL WRLINE

098D 3A3DFF     LD  A,(TDLEV)
0990 FE01       CP  1
0992 CACD09     JP  Z,INP0
0995 FE02       CP  2
0997 CAE309     JP  Z,INP2

099A 210120     INP1: LD  HL,STPT+1
099D 1100FF     LD  DE,OFF00H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

09A0 DB40	IN1:	IN	A, (ADCPRT)	
09A2 77		LD	(HL), A	
09A3 23		INC	HL	
09A4 D9		EXX		
09A5 ED4E39FF		LD	BC, (SMPR)	
09A9 0B	DEL:	DEC	BC	
09AA ED5E3BFF		LD	DE, (SMPR+2)	
09AE DB81	DEL1:	IN	A, (KYPRT)	
09B0 B7		OR	A	
09B1 CB67		BIT	BINT, A	
09B3 CA010A		JP	Z, DELRES	
09B6 1B		DEC	DE	
09B7 7B		LD	A, E	
09B8 B2		OR	D	
09B9 C2AE09		JP	NZ, DEL1	
09BC 79		LD	A, C	
09BD B0		OR	B	
09BE C2A909		JP	NZ, DEL	
09C1 D9		EXX		
09C2 7A		LD	A, D	
09C3 BC		CP	H	
09C4 C2A009		JP	NZ, IN1	
09C7 DDE1		POP	IX ; FOR CANCEL RETURN TO CALL	
09C9 AF		XOR	A	
09CA C32B03		JP	RSETB	
09CD 320020	INP0:	LD	(STPT), A ; SAMPLING=85KHz	
09D0 210120		LD	HL, STPT+1	
09D3 1100FF		LD	DE, OFF00H	
09D6 DB40	INST0:	IN	A, (ADCPRT)	
09D8 77		LD	(HL), A	
09D9 23		INC	HL	
09DA 7A		LD	A, D	
09DB BC		CP	H	
09DC C2D609		JP	NZ, INST0	
09DF AF		XOR	A	
09E0 C32B03		JP	RSETB	
09E3 320020	INP2:	LD	(STPT), A ; SAMPLING=40KHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

09E6 210120          LD  HL,STPT+1
09E9 1100FF          LD  DE,0FF00H
09EC DB40      INP2ST: IN  A,(ADCPRT)
09EE 77            LD  (HL),A
09EF 23            INC  HL

09F0 00            NOP
09F1 0E02          LD  C,2
09F3 0D      INDEL:  DEC  C
09F4 00            NOP
09F5 C2F309        JP  NZ,INDEL
09F8 7A            LD  A,D
09F9 BC            CP  H
09FA C2EC09        JP  NZ,INP2ST

09FD AF            XOR  A
09FE C32B03        JP  RSETB

0A01 061E      DELRES: LD  B,30
0A03 CD0COA      DELRES1: CALL DELAYMS
0A06 10FB          DJNZ DELRES1
0A08 AF            XOR  A
0A09 C32B03        JP  RSETB

0A0C D9      DELAYMS: EXX
0A0D 3E0A          LD  A,0AH
0A0F 0EE0      DLY1:  LD  C,0E0H ; FOR CPU 3.579545 MHz
0A11 0D      DLY2:  DEC  C
0A12 C2110A        JP  NZ,DLY2
0A15 3D            DEC  A
0A16 C20FOA        JP  NZ,DLY1
0A19 D9            EXX
0A1A C9            RET

0A1B 3E00      INITLCD: LD  A,00H
0A1D D382          OUT (PSIGN),A ; PB = Psign
0A1F 3E38          LD  A,38H

0A21 D380          OUT (PDATA),A ; PC = Pdata

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0A23 CD7E0A      CALL EPLUSE
0A26 CDA50A      CALL DELAY
0A29 3E0C        LD   A,0CH      ; D=1 DISP ON,C=0 CURSOR OFF
                                     ; B=0 NO BLINK

0A2B D380        OUT  (PDATA),A
0A2D CD7E0A      CALL EPLUSE
0A30 3E06        LD   A,6

0A32 D380        OUT  (PDATA),A
0A34 CD7E0A      CALL EPLUSE

0A37 3E01        LD   A,01H
0A39 D380        OUT  (PDATA),A
0A3B CD7E0A      CALL EPLUSE
0A3E CDA50A      CALL DELAY
0A41 C9          RET

0A42 CBB9        WRCGRAM: RES 7,C
0A44 CBF1        SET  6,C
0A46 79          LD   A,C
0A47 D380        OUT  (PDATA),A
0A49 3E00        LD   A,0
0A4B D382        OUT  (PSIGN),A
0A4D CD7E0A      CALL EPLUSE
0A50 CDA50A      CALL DELAY
0A53 CD9A0A      CALL WRBYTE
0A56 CDA50A      CALL DELAY
0A59 C9          RET

0A5A FE01        WRLINE:  CP  1
0A5C CA650A      JP   Z,WRL1
0A5F FE02        CP   2
0A61 CA6D0A      JP   Z,WRL2
0A64 C9          RET

0A65 3E00        WRL1:   LD   A,00H
0A67 CD8D0A      CALL GOTO
0A6A C3720A      JP   WRLM
0A6D 3E40        WRL2:   LD   A,40H
0A6F CD8D0A      CALL GOTO
0A72 0608        WRLM:   LD   B,08H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0A74 56      WRL:      LD   D,(HL)
0A75 C5      PUSH BC
0A76 CD9A0A  CALL WRBYTE
0A79 C1      POP  BC
0A7A 23      INC  HL
0A7B 10F7    DJNZ WRL
0A7D C9      RET

0A7E DB82    EPLUSE:  IN   A,(PSIGN)
0A80 CBD7    SET   2,A
0A82 D382    OUT  (PSIGN),A
0A84 0600    LD   B,00H
0A86 10FE    EPI:     DJNZ EPI
0A88 CB97    RES  2,A
0A8A D382    OUT  (PSIGN),A
0A8C C9      RET

0A8D C5      GOTO:   PUSH BC
0A8E CBFF    SET   7,A
0A90 D380    OUT  (PDATA),A
0A92 AF      XOR   A
0A93 D382    OUT  (PSIGN),A
0A95 CD7E0A  CALL EPLUSE
0A98 C1      POP  BC
0A99 C9      RET

0A9A 3E01    WRBYTE:  LD   A,1
0A9C D382    OUT  (PSIGN),A
0A9E 7A      LD   A,D
0A9F D380    OUT  (PDATA),A
0AA1 CD7E0A  CALL EPLUSE
0AA4 C9      RET

0AA5 0600    DELAY:  LD   B,0
0AA7 00      DE1:    NOP
0AA8 00      NOP
0AA9 10FC    DJNZ DE1
0AAB C9      RET

0AAC 2D2D2D2D2DPSOLIDY:  DFB  "-----SOLIDY-----"
0ABC 2A2A20494EPIINPUT:  DFB  "*** INPUT MODE ***"

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0ACC	53616D706CPINTD:	DFB	"Sampling= 85 kHz"
0ADC	5472696720PINLV:	DFB	"Trig Level =100%"
0AEC	3835206B48P85KH:	DFB	"85 kHz"
0AF2	3430206B48P40KH:	DFB	"40 kHz"
0AF8	3230206B48P20KH:	DFB	"20 kHz"
0AFE	3130206B48P10KH:	DFB	"10 kHz"
0B04	2035206B48P_5KH:	DFB	" 5 kHz"
0B0A	2031206B48P_1KH:	DFB	" 1 kHz"
0B10	3530302048P500H:	DFB	"500 Hz"
0B16	3130302048P100H:	DFB	"100 Hz"
0B1C	2020312048P__1H:	DFB	" 1 Hz"
0B22	2031206D69P1_6H:	DFB	" 1 min"
0B28	203D202030PTRGLVPC:	DFB	" = 0%"
0B2E	203D203130	DFB	" = 10%"
0B34	203D203230	DFB	" = 20%"
0B3A	203D203330	DFB	" = 30%"
0B40	203D203430	DFB	" = 40%"
0B46	203D203530	DFB	" = 50%"
0B4C	203D203630	DFB	" = 60%"
0B52	203D203730	DFB	" = 70%"
0B58	203D203830	DFB	" = 80%"
0B5E	203D203930	DFB	" = 90%"
0B64	203D313030	DFB	" =100%"
0B6A	202E2E2E20PEERROR:	DFB	" ... ERROR ... "
0B7A	2020202020PCO:	DFB	" <GO> "
0B8A	2020202020PREADY:	DFB	" READY? "
0B9A	2E2E2E2E53PSMPL:	DFB	". . . .Sampling. . . ."
0BAA	5741195420PWAITTRG:	DFB	"WAIT FOR TRIG. . ."
0BBA	3C5A4F4F4DPMENU:	DFB	"<ZOOM> : <INPUT>"
0BCA	542F44203DPTMDV:	DFB	"T/D = sec"
0BDA	3031323334P123:	DFB	"0123456789A:ZOOM"
0BEA	1F11011D11TABD:	DFB	01FH,011H,001H,01DH,011H,011H
0BF0	1F00190B0D	DFB	01FH,000H,019H,00PH,00DH,009H
0BF6	0909090000	DFB	009H,009H,009H,000H,000H,000H
0BFC	0001010F01	DFB	000H,001H,001H,00FH,001H,01FH
0C02	8080	LEVELTB: DFB	128,128
0C04	738D	DFB	115,141
0C06	669A	DFB	102,154

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0C08	5AA6		DFB	90,166		
0C0A	4DB3		DFB	77,179		
0C0C	40C0		DFB	64,192		
0C0E	33CD		DFB	51,205		
0C10	26DA		DFB	38,218		
0C12	1AE6		DFB	26,230		
0C14	0DF3		DFB	13,243		
0C16	00FF		DFB	0,255		
0C18	01000100	SMPRATE:	DFB	1,0,1,0	;	20K,21K
0C1C	01000400		DFB	1,0,4,0	;	10K,9596.6
0C20	02000500		DFB	2,0,5,0	;	5K,5099
0C24	02001E00		DFB	2,0,30,0	;	1K,992.9
0C28	01007C00		DFB	1,0,07CH,0	;	500,501.4
0C2C	01007202		DFB	1,0,072H,02H	;	100,100.04
0C30	01004DF5		DFB	1,0,04DH,0F5H	;	1,1.000009778
0C34	3E0064ED		DFB	03EH,0H,064H,0EDH	;	1/60,59.996
0C38	C21AFE	TIMESMP:	DFB	0C2H,01AH,-2	;	6.850E-2 -- 85k
0C3B	9305FF		DFB	093H,005H,-1	;	1.427E-1 -- 40k
0C3E	260BFF		DFB	026H,00BH,-1	;	2.854E-1 -- 20k
0C41	4C16FF		DFB	04CH,016H,-1	;	5.708E-1 -- 10k
0C44	750400		DFB	075H,004H,0	;	1.141E0 -- 5k
0C47	4C1600		DFB	04CH,016H,0	;	5.708E0 -- 1k
0C4A	750401		DFB	075H,004H,1	;	1.141E+1 -- 500
0C4D	4C1601		DFB	04CH,016H,1	;	5.708E+1 -- 100
0C50	4C1603		DFB	04CH,016H,3	;	5.708E+3 -- 1
0C53	610D05		DFB	061H,00DH,5	;	3.425E+5 -- 1/60
0000			END			
0040	ADCPRT		FF46	BCDTMDV	0001	BGO
0006	BIN		0004	BINT	0003	BLFT
0002	BRGT		0000	BTMDV	FF43	BUFTMDV
0007	BZOOM		025F	CHKY	06E9	CONTIN
FF34	CURS		0041	DACPRT	04CF	DDD
0AA7	DE1		09A9	DEL	09AE	DEL1
0AA5	DELAY		0A0C	DELAYMS	0A01	DELRES
0A03	DELRES1		08D8	DISP6	02C9	DIV1
02D8	DIV2		02D9	DIV3	02C4	DIVIDE
0A0F	DLY1		0A11	DLY2	0133	DO1
012C	DOWLOAD		0A86	EP1	0A7E	EPIUSE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

04C0	ERROR	03D6	FIRST	0500	FROMD0
03AD	FSTTIME	0429	GFON	03F5	GOON
0A8D	GOTO	0100	HHH	0525	HTOD
052B	HTOD1	0531	HTOD2	053C	HTOD3
09A0	INI	08F8	INCAL	09F3	INDEL
0A1B	INITLCD	0964	INLO	07B6	INMM
0852	INMM2	07A4	INMO	08E8	INMO2
0951	INP	09CD	INPO	099A	INP1
097D	INP10	09E3	INP2	09EC	INP2ST
09D6	INSTO	03BB	KGO	0795	KINP
0353	KLFT	0374	KLFT1	037E	KLFT2
0396	KRGT	FF32	KYDT	FF31	KYFG
0081	KYPRC	0308	LDLKB	083F	LDLEV
08D2	LDTRGLV	007E	LEFT	FF37	LEVEL
0C02	LEVELTB	0771	LF4ASC	0764	LFT4BIT
FF36	LOOPDL	0208	LTT	08BA	LVL
08C8	LVR	02B9	MULT	02B4	MULT1
02BE	NOADD	0267	NPRSS	05FA	OO
0614	O00	061C	O01	0624	O02
062C	O1	0649	O10	0657	O11
0662	O12	066D	O3	0690	O30
0698	O31	06A0	O32	06A8	O5
06C8	O50	06D3	O51	06DE	O52
036A	ONETIME	FF33	ORDER	0469	ORDER1
048A	ORDER2	05B9	O_1	05D6	O_10
05E1	O_11	05EC	O_12	0575	O_2
0595	O_20	05A3	O_21	05AE	O_22
0B16	P100H	0AFE	P10KH	0BDA	P123
FF21	P1234	0B22	P1_6H	0AF8	P20KH
0AF2	P40KH	0B10	P500H	0AEC	P85KH
0083	PCTRL	0080	PDATA	0B6A	PERROR
0B7A	PGO	0ADC	PINLV	0ABC	PINPUT
0ACC	PINTD	04AE	PIPGO	0BBA	PMENU
FF19	POS	FF1B	POSX	FF1D	POSX1
FF1F	POSX2	FF49	POWERBCD	FF3F	PPOINTER
0B8A	PREADY	0082	PSIGN	019A	PSMPL
0AAC	PSOLIDY	0BCA	PTMDV	0B28	PTRGLVPC
0BAA	PWAITTRG	0B0A	P_1KH	0B04	P_5KH
0B1C	P__1H	0165	REAL	01D7	REAL2
0239	REAL3	07F0	REL	0887	REL1
027D	RELEASE	0751	RGT4BIT	007F	RIGHT
032B	RSETB	0151	RUN	040A	SCND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

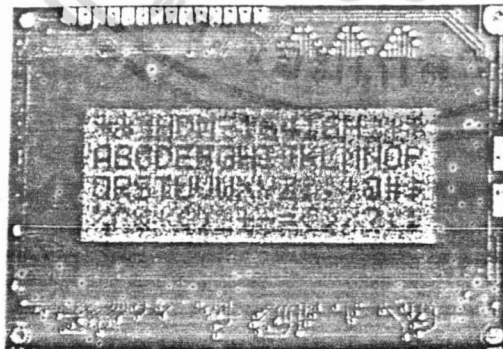
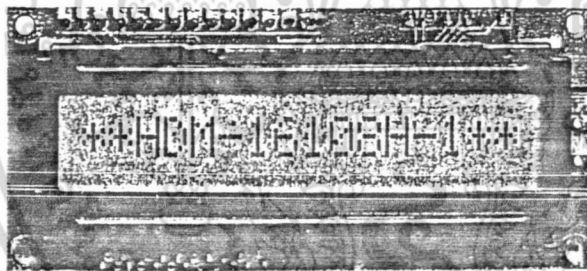


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ETT บริษัท อีทีที จำกัด ETT CO., LTD.

1108/32 ศูนย์การค้าพระโขนง ถนนสุขุมวิท กรุงเทพฯ 10110  
1108/32 Sukhumvit Rd., Phrakanong Bangkok 10110 Tel. 3917215-6 Fax. 391-7216

## DOT MATRIX LCD MODULE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ETT บริษัท อีทีที จำกัด ETT CO., LTD.

## DOT MATRIX LCD MODULE

อุปกรณ์ในปัจจุบันนี้ในส่วนแสดงผลนั้นจะใช้ LCD เสียเป็นส่วนใหญ่ไม่ว่าจะเป็นเครื่องเล่น VEDIO, เครื่องถ่ายเอกสาร, เครื่องมือวัดคุมต่างๆ, เครื่องคอมพิวเตอร์ เรามองจะแบ่ง DOT MATRIX LCD MODULE นี้ออกได้เป็นหลายๆสิ่งนี้ :-

1. CHARACTER LCD MODULE
2. GRAPHIC LCD MODULE
3. SEGMENT DISPLSY TYPE LCD MODULE

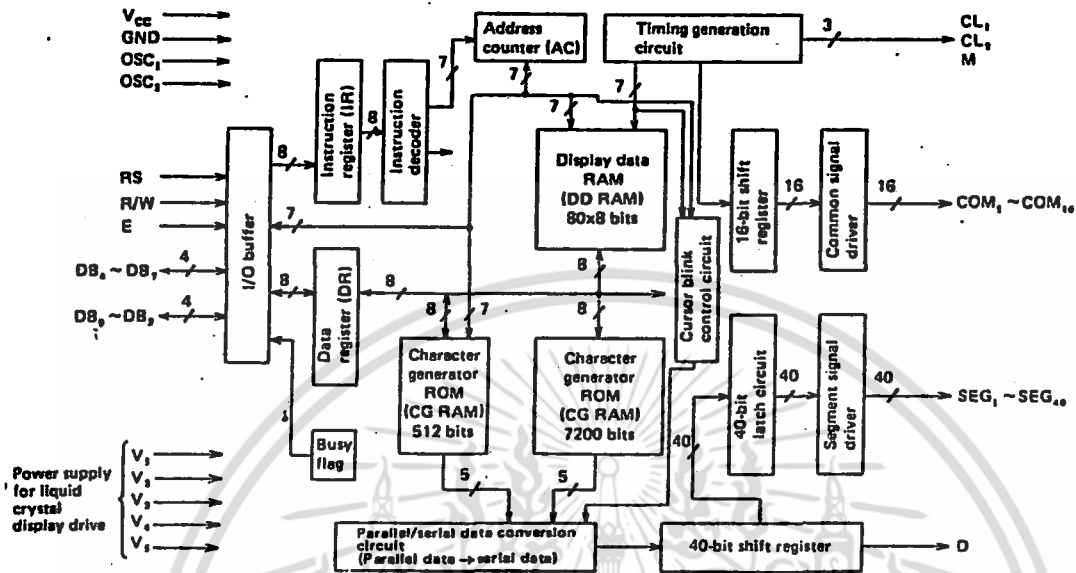
โดยในแต่ละแบบนั้นก็จะมีส่วนประกอบใหญ่แบ่งได้เป็น

1. DOT MATRIX LCD เป็นตัวแสดงผลให้เรามองเห็นในลักษณะการปิดและเปิดตัวเองกันแสงก็คือ ส่วนของที่เป็นตัวกระจกบรรจุหลัก
2. DRIVER เป็นตัวรับสัญญาณจากตัวควบคุมมาขับผลึก LCD อีกทีหนึ่ง โดยมีเบอร์ที่นิยมใช้ใน LCD MODULE เช่น HD44100H, MSM5269
3. CONTROLLER เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมาและจัดการควบคุม LCD MODULE ให้ทำงานแสดงผลต่างๆเช่น การลบจอภาพ, การเกิดตัวอักษร, เป็นต้น โดยมีเบอร์ IC ที่นิยมใช้ก็คือ HD44780 ซึ่งจะใช้ในแบบ CHARACTER LCD MODULE เป็นส่วนใหญ่ เบอร์ IC HD61830 จะใช้ในแบบ GRAPHIC LCD MODULE

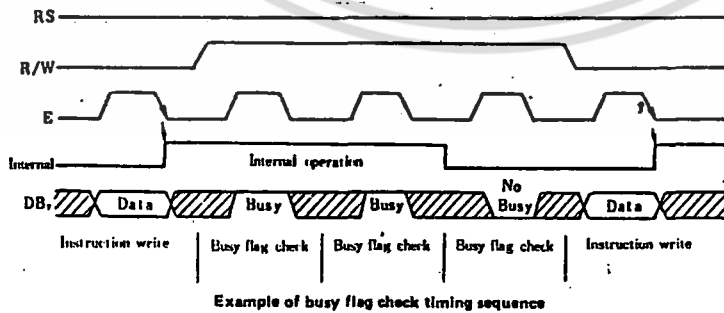
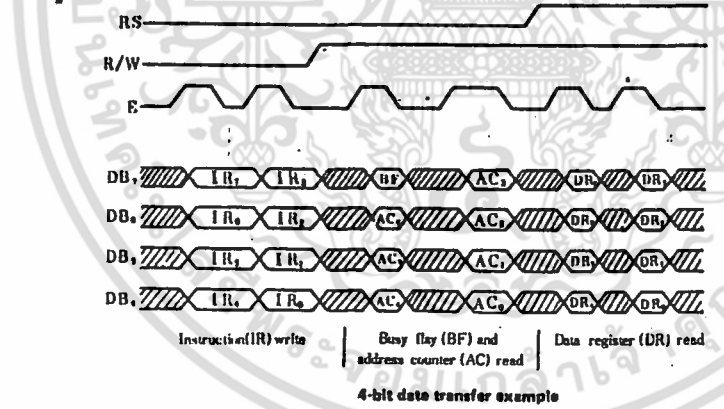
ในการศึกษาการทำงานและใช้งาน LCD MODULE นั้นไม่ใช่เรื่องยากเลยถ้าเราสามารถทำความเข้าใจในส่วนของ CONTROLLER ได้ก็เพียงพอแล้วและโดยมาก LCD MODULE ในแต่ละบริษัทแล้วจะใช้ตัว CONTROLLER ที่มีหลักการทำงานเหมือนกันเป็นส่วนใหญ่และใน LCD MODULE แต่ละขนาดจำนวนตัวอักษรหรือจำนวนบรรทัดก็มีหลักการทำงานแบบเดียวกันทั้งหมด IC ที่นิยมมากที่สุดตัวหนึ่งที่เป็น CONTROLLER LCD ก็คือ เบอร์ HD44780 โดยรูปแบบการทำงานของมันได้เป็นมาตรฐานให้กับ CONTROLLER LCD ตัวอื่นๆด้วย

HD44780 เป็นไอซี LSI ตัวหนึ่งใช้ควบคุม LCD โดยแสดงผลในรูปตัวอักษรหรือสัญลักษณ์ต่างๆตัวมันเองสามารถต่อใช้งานแบบ 4 BIT หรือ 8 BIT ก็ได้ โดยถ้าเราต่อแบบ 4 BIT จะต่อใช้งานที่ DB7-DB4

Block diagram of HD44780 interior

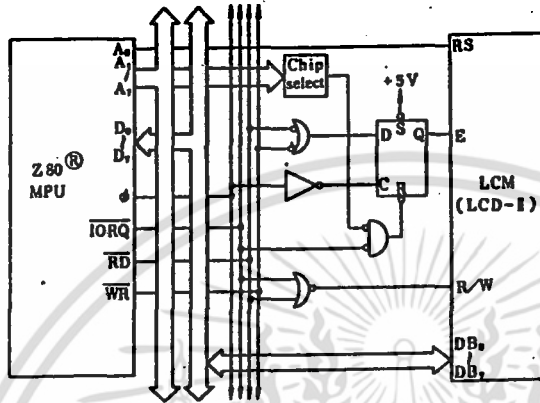


เท่านั้น โดยข้อมูลครึ่งแรกที่ส่งให้ HD44780 จะถือเป็นข้อมูล 4 BIT บน และข้อมูลครึ่งต่อมาถือเป็นข้อมูล 4 BIT ล่าง

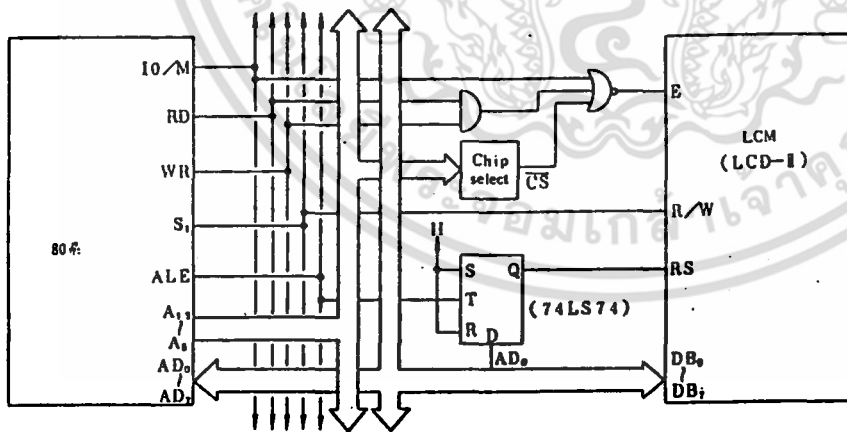


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Example of interfacing to Z80 MPU



เราสามารถต่อ LCD MODULE (HD44780 เป็น CONTROLLER) เข้ากับระบบไมโครได้หลายรูปแบบดังรูป



Example of connection with LCM being used as a part of memories on the determined address.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

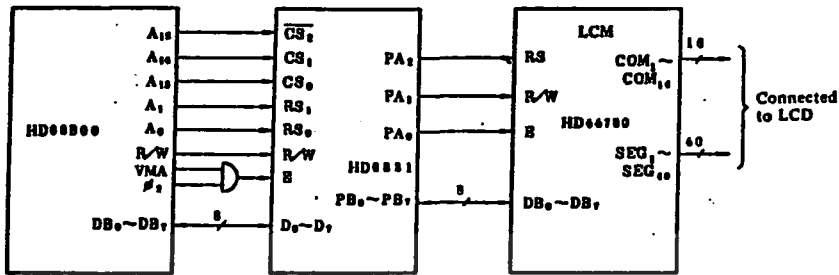
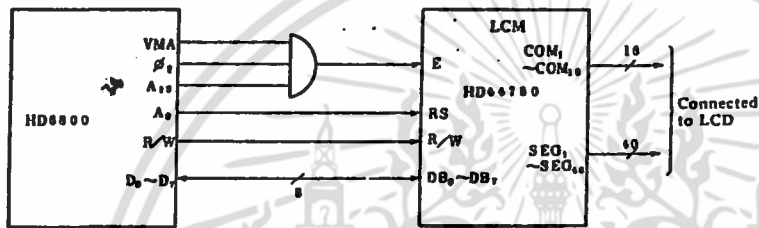
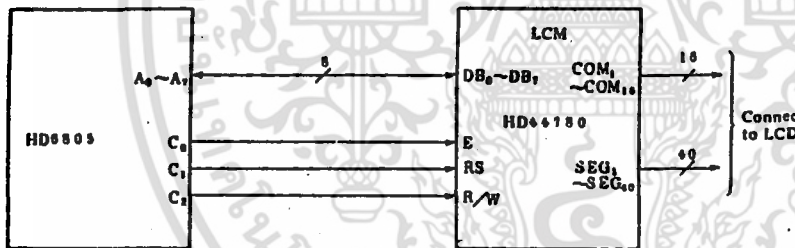


Fig. 4 Example of interface to HD68800 using PIA (HD68821)

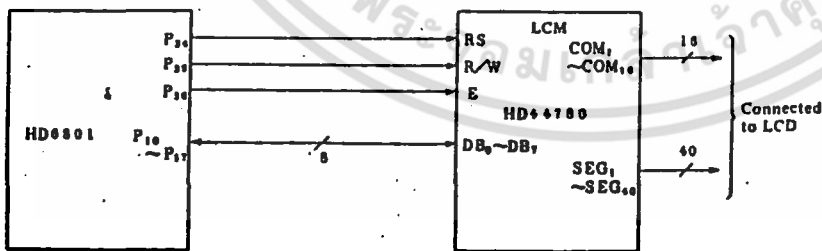
Connecting directly to the 8 bit MPU bus line



Example of interfacing to the HD6805

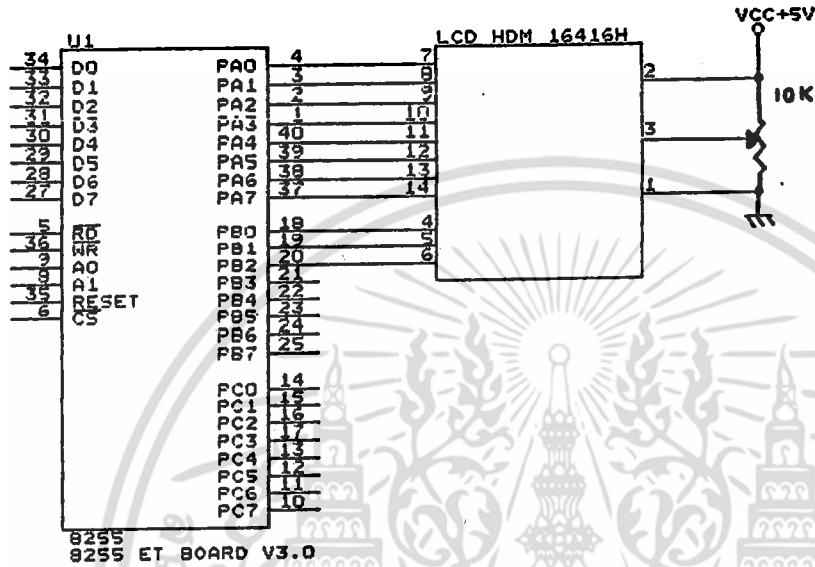


Example of interfacing to the HD6301



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ตัวอย่างการต่อใช้งานจริงกับ ET-BOARD V3.0**



จากวงจรเป็นการต่อ 8255 ให้เข้าใช้กับ LCD โดยเราจะจำลองสัญญาณต่างๆขึ้นมา โดยการใช้ PORT A และ PORT B โดย PORT A นั้นเราให้เป็น DATA PORT และ PORT B นั้นเราให้เป็นสัญญาณควบคุมไม่ใช่  
 เมื่อเราเริ่มเปิดไฟป้อนให้ HD44780 นั้นก็จะทำการ RESET ตัวมันเองโดยจะใช้เวลา ประมาณ 10 ms หลังจากไฟ VDD ถึง 4.5 VOLT แล้ว โดยจะ SET ตัวเองดังนี้ :-

1. DISPLAY CLEAR จะทำการลบข้อมูลจอภาพ LCD

2. FUNCTION SET

โดยจะ SET ค่าภายใน

DL = 1 : เป็นการ SET ให้การติดต่อแบบ 8 BIT

N = 0 : SET เป็น 1 บรรทัดการแสดงผล

F = 0 : 5X7 DOT ต่อหนึ่งตัวอักษร

3. DISPLAY ON/OFF

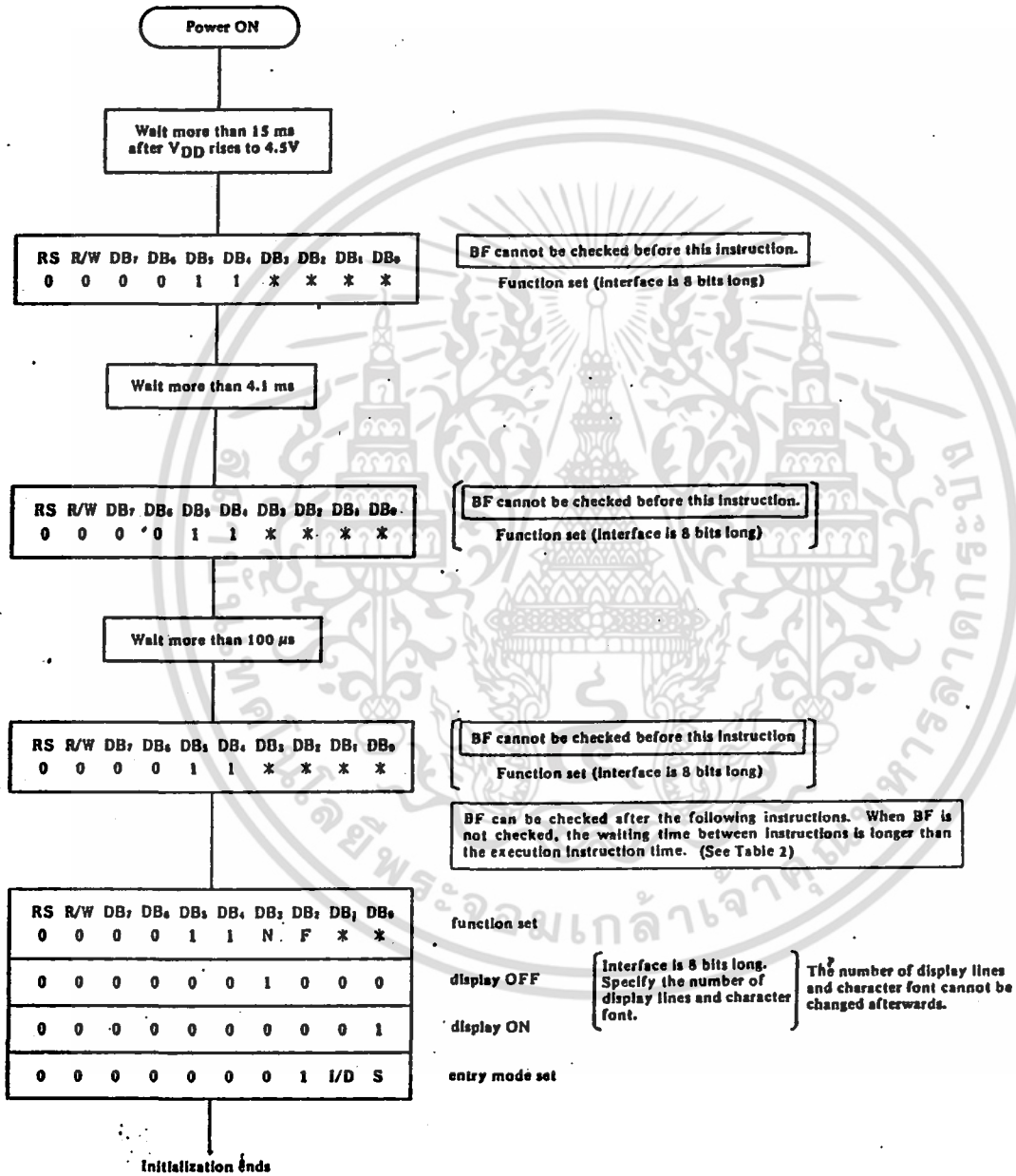
D = 0 : DISPLAY OFF

C = 0 : CURSOR OFF

B = 0 : BLINK OFF

4. ENTRY MODE SET I/D = 1 : +1 (เพิ่มค่า COUNTER ขึ้น 1)  
S = 0 : NO SHIFT

เมื่อเราเริ่มเปิดเครื่องทำงานแล้วก็จะต้องส่งคำสั่งควบคุมให้มันเริ่มทำงานดังตาราง



ตารางคำสั่ง HD44780

Instruction	Code										Description	Execution time (when fosc is 250 kHz) Note 1	Execution time (when fosc is 160 kHz) Note 2		
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0					
Clear display	0	0	0	0	0	0	0	0	0	1	Clears all display and returns the cursor to the home position (Address 0).	82 $\mu$ s ~ 1.64 ms	120 $\mu$ s ~ 4.9 ms		
Return home	0	0	0	0	0	0	0	0	0	1	Returns the cursor to the home position (Address 0). Also returns the display being shifted to the original position. DD RAM contents remain unchanged.	40 $\mu$ s ~ 1.6 ms	120 $\mu$ s ~ 4.8 ms		
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Sets the cursor move direction and specifies or not to shift the display. These operations are performed during data write and read.	40 $\mu$ s	120 $\mu$ s		
Display ON/OFF control	0	0	0	0	0	0	1	D	C	B	Sets ON/OFF of all display (D), cursor ON/OFF (C), and blink of cursor position character (B).	40 $\mu$ s	120 $\mu$ s		
Cursor and display shift	0	0	0	0	0	1	S/C	R/L	.	.	Moves the cursor and shifts the display without changing DD RAM contents	40 $\mu$ s	120 $\mu$ s		
Function set	0	0	0	0	1	DL	N	F	.	.	Sets interface data length (DL) number of display lines (L) and character font (F).	40 $\mu$ s	120 $\mu$ s		
Set CG RAM address	0	0	0	1	ACG					.	.	Sets the CG RAM address. CG RAM data is sent and received after this setting.	40 $\mu$ s	120 $\mu$ s	
Set DD RAM address	0	0	1	ADD					.	.	Sets the DD RAM address. DD RAM data is sent and received after this setting.	40 $\mu$ s	120 $\mu$ s		
Read busy flag & address	0	1	BF	AC					.	.	Reads Busy flag (BF) indicating internal operation is being performed and reads address counter contents.	1 $\mu$ s	1 $\mu$ s		
Write data to CG or DD RAM	1	0	Write Data										Writes data into DD RAM or CG RAM.	40 $\mu$ s	120 $\mu$ s
Read data to CG or DD RAM	1	1	Read Data										Reads data from DD RAM or CG RAM.	40 $\mu$ s	120 $\mu$ s
	I/D = 1: Increment (+1) I/D = 0: Decrement (-1) S = 1: Accompanies display shift. S/C = 1: Display shift S/C = 0: Cursor move R/L = 1: Shift to the right. R/L = 0: Shift to the left. DL = 1: 8 bits DL = 0: 4 bits N = 1: 2 lines N = 0: 1 line F = 1: 5 x 10 dots F = 0: 5 x 7 dots BF = 1: Internally operating BF = 0: Can accept instruction										DD RAM: Display data RAM CG RAM: Character generator RAM ACG: CG RAM address ADD: DD RAM address Corresponds to cursor address. AC: Address counter used for both of DD and CG RAM address.	Execution time changes when frequency changes. (Example) When fosc is 270 kHz: $40 \mu\text{s} \times \frac{250}{270} = 37 \mu\text{s}$			

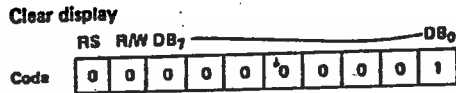
\*No effect

Notes 1. Applied to models driven by 1/8 duty or 1/11 duty.  
 2. Applied to models driven by 1/16 duty.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

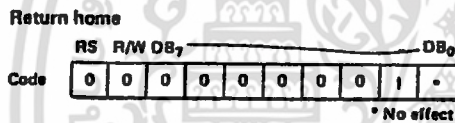
**รายละเอียดของคำสั่ง HD44780**

**1. CLEAR DISPLAY**



คำสั่งนี้จะเป็นการเขียนช่องว่างหรือ SPACE (ASCII 20H) เข้าไปใน DD RAM ทั้งหมดและทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพ SET I/D = 1, S ไม่มีการเปลี่ยน

**2. RETURN HOME**



คำสั่งนี้จะทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพข้อมูลในจอภาพไม่เปลี่ยน

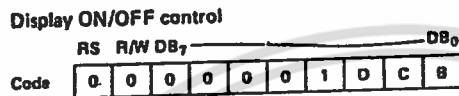
**3. ENTRY MODE SET**



**BIT I/D :** โดยจะเป็นตัวกำหนดให้ว่าเมื่อเขียนหรืออ่านข้อมูลแล้วจะทำให้ DD RAM ADDRESS เพิ่มขึ้นหนึ่งหรือลดลงหนึ่งโดย 1 = เพิ่ม 0 = ลดลงหนึ่ง

**BIT S** : เป็นตัวกำหนดแสดงผลโดยถ้า  $S = 1$  จะเป็นการใส่ข้อมูลแล้วตัว CURSOR อยู่ที่ข้อมูลที่จะถูกดันไปทางซ้าย ถ้า  $S = 0$  ข้อมูลจะอยู่ที่ตัว CURSOR จะถูกดันไปทางขวามือ

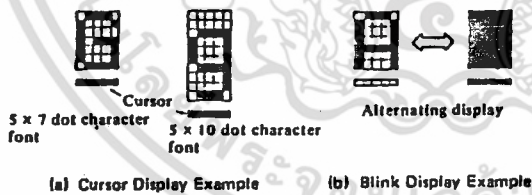
#### 4. DISPLAY ON/OFF CONTROL



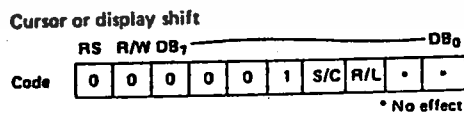
**BIT D** : เป็น BIT ให้เปิดปิดหน้าจอภาพโดยถ้า  $D = 1$  จะ ON, และ  $D = 0$  จะ OFF

**BIT C** : จะใช้แสดง CURSOR ให้  $C = 1$  และถ้าไม่ต้องการแสดง CURSOR  $C = 0$  โดยตัว CURSOR จะอยู่ที่ LINE ที่ 8 ในแบบ 5X7 DOT และจะอยู่ที่ LINE ที่ 11 ในแบบ 5X10 DOT

**BIT B** : เป็น BIT SET การกะพริบของ CURSOR โดย  $B = 1$  มีการกะพริบ  $B = 0$  ไม่มีการกะพริบ โดยมีระยะเวลาการกะพริบประมาณ 379.2 ms



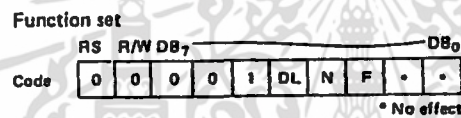
#### 5. CURSOR OR DISPLAY SHIFT



เป็นคำสั่งกำหนดให้ตำแหน่ง CURSOR หรือข้อมูลไปเกิดทางซ้ายหรือขวาโดยไม่ต้องใช้คำสั่งเขียนหรืออ่าน โดย

S/C	R/L	
0	0	ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปซ้ายมือ 1 ตำแหน่ง
0	1	ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปขวามือ 1 ตำแหน่ง
1	0	เป็นการดับตัวอักษรที่เกิดไปทางซ้าย
1	1	เป็นการดับตัวอักษรที่เกิดไปทางขวามือ

#### 6. FUNCTION SET



**BIT DL :** เป็นการ SET การคิดต่อว่าจะให้เป็นแบบ 8 BIT หรือ 4 BIT โดยถ้าต้องการติดต่อ 4 BIT DL = 0 และ 8 BIT DL = 1

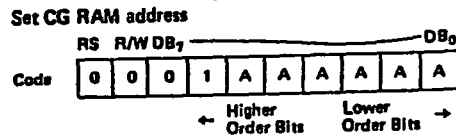
**N :** เป็นการ SET บรรทัดการแสดงผล N = 0 แสดง 1 บรรทัด N = 1 แสดง 2 บรรทัด ในกรณีมากกว่า 2 บรรทัด ก็ให้ SET N = 1

**F :** เป็นการ SET ขนาด DOT การแสดงผล 5X7 หรือ 5X10 โดย F = 0 เป็นแบบ 5X7 และ F = 1 เป็นแบบ 5X10

N F	No. of display lines	Character font	Duty factor	Remarks
0 0	1	5 x 7 dots	1/8	
0 1	1	5 x 10 dots	1/11	
1 0	2	5 x 7 dots	1/16	Cannot display 2 lines with 5 x 10 dot character font.

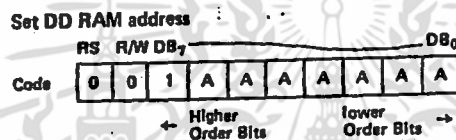
\* No effect

### 7. SET CG RAM ADDRESS



ใน HD44780 นั้นจะมีหน่วยความจำอยู่ 2 ชุด คือ DISPLAY DATA RAM (DD RAM) จำนวน 80x8 BIT และ CHARACTER GENERATOR ROM CG RAM จำนวน 512 BIT และ 7200 BIT คำสั่งนี้จะเป็นการ SET ADDRESS ใน CG RAM โดยต้องทำการ SET ADDRESS ก่อนเขียนหรืออ่านข้อมูลจาก CG RAM ด้วย

### 8. SET DD RAM ADDRESS



เป็นคำสั่ง SET คำ ADDRESS ใน DD RAM ในการเขียนหรืออ่านค่าจาก DD RAM (DD RAM คือ ส่วนที่จะแสดงผลหน้าจอ LCD) โดยจำนวน ADDRESS ที่จะเกิดขึ้นบนจอ LCD จะอยู่กับ SET คำ N ด้วย

ถ้า N = 0 (1 บรรทัด) ADDRESS จะอยู่ 00H-4FH

ถ้า N = 1 (2 บรรทัด) ADDRESS จะอยู่ 00H-27H สำหรับบรรทัดที่

1 และ 40H-67H สำหรับบรรทัดที่ 2

ตัวอย่างการจัด ADDRESS ของ DD RAM หน้าจอ LCD แบบ 16 ตัวอักษร 4 บรรทัด และ 20 ตัวอักษร 2 บรรทัด HDM-16416H, HDM-20216H

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	← display position
1-line	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	← DD RAM address
2-line	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	
3-line	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F	
4-line	50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F	

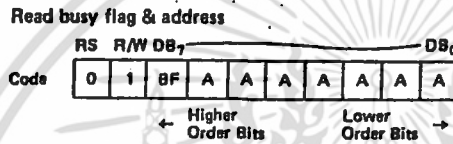
HDM-16416H

	1Ri	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	← display position
1-line	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	← DD RAM address
2-line	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	51	52	53	
3-line	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F	20	21	22	23	24	25	26	27	
4-line	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F	60	61	62	63	64	65	66	67	

(Note) Shift display is as same as 2-line type.

## HDM-20216H

### 9. READ BUSY FLAG AND ADDRESS



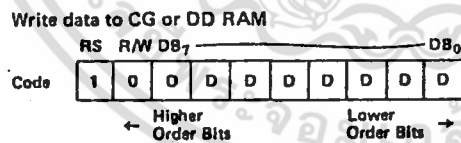
เป็นคำสั่งอ่านค่า BUSY FLAG ซึ่งจะเป็นตัวบอกว่าตัว HD44780 นี้ อยู่ในขบวนการทำงานภายในอยู่หรืออยู่ในสภาพพร้อมจะรับข้อมูล โดย

BF = 1 อยู่ในขบวนการทำงานภายในไม่พร้อมจะรับข้อมูลหรือคำสั่ง

BF = 0 พร้อมจะรับข้อมูลหรือคำสั่งได้

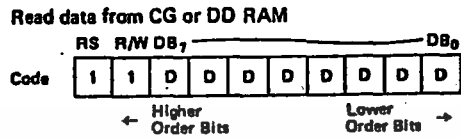
และนอกจากนี้ยังเป็นคำสั่งอ่านค่าข้อมูล ADDRESS ของ CG RAM หรือ DD RAM ด้วย

### 10. WRITE DATA TO CG หรือ DD RAM



เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยเมื่อเขียนข้อมูลและ ADDRESS จะเพิ่มหรือลดโดยอัตโนมัติตามคำสั่งที่ SET ใน ENTRY MODE ข้อกำหนดที่รู้ว่าเป็นการเขียนข้อมูลของ CG RAM หรือ DD RAM ทำได้โดยการ SET ADDRESS ของ CG RAM หรือ DD RAM ขึ้นมาก่อนจะเขียนข้อมูล

11. READ DATA FROM CG OR DD RAM



เป็นคำสั่งอ่านค่าข้อมูลจาก CG RAM หรือ DD RAM โดยก่อนอ่านค่าจาก DD RAM หรือ CG RAM นี้ควรจะใช้คำสั่ง SET ADDRESS ก่อนเพื่อให้รู้ว่าข้อมูลที่อ่านได้นั้นเป็น DD หรือ CG RAM

จากตารางการทำงานจะเห็นว่าการใช้งาน LCD MODULE นี้ง่ายเพียงแต่เราส่งคำสั่งเริ่มแรกและ SET ความต้องการในขนาดตัวอักษร, CURSOR หลังจากนั้นเราก็สามารถเขียนตัวอักษรเข้าไปใน DD RAM ตามตารางตัวอักษรที่ใ้มนั้นก็จะเกิดอักษรในจอภาพ LCD เรายังสามารถกำหนดตำแหน่งตัวอักษรที่จะให้เกิดเงอได้โดยการ SET DD RAM ADDRESS ตามตารางที่ใ้มน่าให้หัวข้อ SET DD RAM ADDRESS ขอให้ทดสอบทำความเข้าใจกับตัวโปรแกรมที่ใช้กับ ET-BOARD V3.0 นี้ที่ใ้มน่าจะเห็นว่าส่วนเริ่มต้นนี้คือ ส่วนการ INITIAL LCD เพื่อกำหนดหน้าที่การทำงานต่างๆ

Character Codes (DD RAM Data)		CG RAM Address		Character Patterns (CG RAM Data)	
7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	5 4 3 2 1 0	5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
--Higher	Lower--	--Higher	Lower--	--Higher	Lower--
0 0 0 0 x 0 0 0 0		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	0 0 1 0		0 0 0 0
		0 0 0 0	0 0 1 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	0 0 1 0		0 0 0 0
		0 0 0 0	0 0 1 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0
		0 0 0 0	0 0 0 0	x x x	0 0 0 0
		0 0 0 0	0 0 0 1		0 0 0 0
		0 0 0 0	1 0 0 0		0 0 0 0
		0 0 0 0	1 0 0 1		0 0 0 0
		0 0 0 0	1 1 0 0		0 0 0 0
		0 0 0 0	1 1 0 1		0 0 0 0
		0 0 0 0	1 1 1 0		0 0 0 0
		0 0 0 0	1 1 1 1		0 0 0 0

For 5 x 7 dot character pattern

Character Pattern Example (1)

Character Pattern Example (2)

\* No effect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ส่วนประกอบของโปรแกรม

EPLUSE จะเป็นส่วนกำเนิดสัญญาณ ENABLE SIGNAL โดยการใช้ PORT B BIT ที่ 2 กำเนิด PLUSE สัญญาณ ENABLE ขึ้น

GOTO จะเป็นส่วนกำหนดตำแหน่งของส่วน DD RAM ADDRESS ที่จะเขียนข้อมูล โดยจากโปรแกรม INITIAL ที่เรา SET ไว้ เมื่อเขียนข้อมูลเข้าไปใน DD RAM แล้ว ADDRESS ของ DD RAM จะเพิ่มขึ้น 1 โดยทันที

WRBYTE เป็นส่วนเขียนข้อมูล 1 BYTE เข้าไปในตำแหน่ง ADDRESS ของ DD RAM หนึ่งตำแหน่ง

WRLINE เป็นส่วนในการเขียนข้อมูลทีละ 1 LINE เพราะตำแหน่ง DD RAM ที่เกิดบนจอภาพ LCD แต่ละตำแหน่งจะไม่ต่อกันไปเลยแต่ละบรรทัด

จากตัวอย่างที่ให้จะมี LCD แบบ 20 ตัวอักษร 2 บรรทัด และ 16 ตัวอักษร 4 บรรทัด

```

3 *****
4 TEST LCD ET BOARD V3.0
5 16 CHARACTERS * 4 LINE
6 HDM - 16416H
7 ETT CO.,LTD.
8 21/9/1990
9 *****

```

```

10
11 0020 ORG 2000H
12
13 2000 FDATA EQU 20H
14 2100 PSIGN EQU 21H
15 2300 PCONT EQU 23H
16
17 ***** INITIAL 8255 *****
18
19 2000 3E 80 LD A,80H ;PA,PB,PC-OUT
2002 DJ 23 OUT (PCONT),A
21 ;
22 TEST1 CALL INITLCD
23 LD HL,TAB2
24 LD A,1
25 CALL WRLINE
26 LD A,2
27 CALL WRLINE
28 LD A,3
29 CALL WRLINE
2014 3E 03 LD A,3
2016 CD 8620 CALL WRLINE
2019 3E 04 LD A,4
201B CD 8620 CALL WRLINE
201E DF RST 18H
31
32 ;
33 ;
34
35 201F 2A 20 45 54 TAB2 DB " * ETT CO.,LTD. * "
2023 54 20 43 4F 35
2027 2E 2C 4C 54 35
202B 44 2E 20 2A 35
202F 20 48 44 4D 36
2033 2D 31 36 34 36
2037 31 36 48 20 36
203B 4C 43 44 20 36
203F 40 41 42 43 37
2043 44 45 46 47 37
2047 48 49 4A 4B 37
204B 4C 4D 4E 4F 37
204F 50 51 52 53 38
2053 54 55 56 57 38
2057 58 59 5A 31 38
205B 32 33 34 35 38
39 ;
40 ***** INITIAL LCD DISPLAY *****
41 ; PA0-PA7 : PIN DO-D7 (DATA READ/WRITE LCD)
42 ; FB2 : PIN E (ENABLE SIGNAL PULSE)
43 ; FB1 : PIN R/W (READ/WRITE)
44 ; PBO : PIN RS (REGISTER SELECTION)
45
46
47 205F 3E 00 INITLCD LD A,0
2061 DJ 21 OUT (PSIGN),A
2063 3E 38 LD A,00111000B ;function set 38H
;DL=1 8 bit,N=1 1/16 duty,F=0 5x7
50
51 OUT (FDATA),A
52 CALL EPLUSE ;enable signal pluse
2065 DJ 20 CALL DELAY ;DELAY > 4.1 ms
2067 CD BD20 LD A,00001111B ;display on/off control
206A CD E420 ;D=1 off,C=1 cursor on,B=1 blink
206D 3E 0F
55
56 OUT (FDATA),A
206F DJ 20 CALL EPLUSE
2071 CD BD20 LD A,00000110B ;entry mode set
2074 3E 06 ;I/D=1 increment,S=0 right
59
60 OUT (FDATA),A
2076 DJ 20 CALL EPLUSE
2078 CD BD20
62
63 LD A,00000001B ;clear all display
207B 3E 01 OUT (FDATA),A
207D DJ 20
64
207F CD BD20 CALL EPLUSE
2082 CD E420 CALL DELAY
2085 C9 RET
67
68

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

69 :***** WRITE LINE 16 CHAR *****
70 : INPUT (HL)=DATA
71 : INPUT A =LINE
72
2086 FE 01 73 WRLINE CP 1
2088 28 0D 74 JR Z,WRL1
208A FE 02 75 CP 2
208C 28 10 76 JR Z,WRL2
208E FE 03 77 CP 3
2090 28 13 78 JR Z,WRL3
2092 FE 04 79 CP 4
2094 28 16 80 JR Z,WRL4
81 ;
2096 C9 82 RET ;NO WRITE LINE
2097 3E 00 83 WRL1 LD A,00H
2099 CD CC20 84 CALL GOTO
209C 18 13 85 JR WRLM
86 ;
209E 3E 40 87 WRL2 LD A,40H
20A0 CD CC20 88 CALL GOTO
20A3 18 0C 89 JR WRLM
90 ;
20A5 3E 10 91 WRL3 LD A,10H
20A7 CD CC20 92 CALL GOTO
20AA 18 05 93 JR WRLM
94 ;
20AC 3E 50 95 WRL4 LD A,50H
20AE CD CC20 96 CALL GOTO
20B1 06 10 97 WRIM LD B,16 ;16 CHR
20B3 56 98 WRL LD D,(HL)
20B4 C5 99 FUSH BC
20B5 CD D920 100 CALL WRBYTE
20B8 C1 101 POP BC
20B9 23 102 INC HL
20BA 10 F7 103 DJNZ WRL
20BC C9 104 RET
105
106 :***** ENABLE FLUSE SUB. *****
107
20BD DB 21 108 EPLUSE IN A,(PSIGN)
20BF CB D7 109 SET 2,A
20C1 D3 21 110 OUT (PSIGN),A ;enable bit 2=1
20C3 06 00 111 LD B,00H
20C5 10 FE 112 EPI DJNZ EPI
20C7 CB 97 113 RES 2,A
20C9 D3 21 114 OUT (PSIGN),A ;enable bit 2=0
20CB C9 115 RET
116
117 :***** GOTO POSITION *****
118 ; INPUT REG A=DATA
119
20CC C5 120 GOTO FUSH BC
20CD CB FF 121 SET 7,A ;set DD RAM
20CF D3 20 122 OUT (FDATA),A
20D1 AF 123 XOR A
20D2 D3 21 124 OUT (PSIGN),A ;set RS=0,R/W=0
20D4 CD BD20 125 CALL EPLUSE
20D7 C1 126 POP BC
20D8 C9 127 RET
128
129 :***** WRITE DATA SUB. *****
130 ; INPUT REG D=DATA
131
20D9 3E 01 132 WRBYTE LD A,0000001B ;data write
20DB D3 21 133 OUT (PSIGN),A
20DD 7A 134 LD A,D ;data byte
20DE D3 20 135 OUT (FDATA),A
20E0 CD BD20 136 CALL EPLUSE
20E3 C9 137 RET
138
139 :***** DELAY SUB *****
140 ;
20E4 06 00 141 DELAY LD B,0
20E6 00 142 DEL NOP
20E7 00 143 NOP
20E8 10 FC 144 DJNZ DEL
20EA C9 145 RET
146

```

0 Error(s) Detected.  
235 Absolute Bytes. 19 Symbols Detected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

3 *****
4 * TEST LCD ET BOARD V3.0 *
5 * 20 CHARACTERS * 2 LINE *
6 * HDM- 20216H *
7 * ETT CO.,LTD. *
8 * 21/9/1990. *
9 *****
10
11 0020 ORG 2000H
12
13 PDATA EQU 20H
14 PSIGN EQU 21H
15 PCONT EQU 23H
16
17 ;***** INITIAL 8255 *****
18
19 LD A,80H ;PA,PB,PC=OUT
20 OUT (PCONT),A
21
22 ;***** TEST *****
23 ;TEST LCD HDM-20216H
24
25 TEST1 CALL INITLCD
26 LD HL,TAB1
27 LD A,1
28 CALL WRLINE
29 LD A,2
30 CALL WRLINE
31 RST 18H
32
33 TAB1 DB "*** ETT CO.,LTD. ***"
34
35 DB " HDM-20216H LCD "
36
37 ;***** INITIAL LCD DISPLAY *****
38 ; PA0-PA7 : PIN D0-D7 (DATA READ/WRITE LCD)
39 ; PB2 : PIN E (ENABLE SIGNAL PULSE)
40 ; PB1 : PIN R/W (READ/WRITE)
41 ; PB0 : PIN RS (REGISTER SELECTION)
42
43 INITLCD LD A,0
44 OUT (PSIGN),A
45 LD A,00111000B ;function set 38H
46 ;DL=1 8 bit,N=1 1/16 duty,F=0 5x
47 OUT (PDATA),A
48 CALL EPLUSE ;enable signal pluse
49 CALL DELAY ;DELAY > 4.1 ms
50 LD A,00001111B ;display on/off control
51 ;D=1 off,C=1 cursor on,B=1 blink
52 OUT (PDATA),A
53 CALL EPLUSE
54 LD A,00000110B ;entry mode set
55 ;I/D=1 increment,S=0 right
56 OUT (PDATA),A
57 CALL EPLUSE
58 LD A,00000001B ;clear all display
59 OUT (PDATA),A
60 CALL EPLUSE
61 CALL DELAY
62 RET
63
64 ;***** WRITE LINE 20 CHAR *****
65 ; INPUT (HL)=DATA
66 ; INPUT A =LINE
67

```

```

2000 JE 80
2002 D3 23

2004 CD 3D20
2007 21 1520
200A JE 01
200C CD 6420
200F JE 02
2011 CD 6420
2014 DF

2015 2A 2A 2A 20
2019 45 54 54 20
201D 43 4F 2E 2C
2021 4C 54 44 2E
2025 20 2A 2A 2A
2029 20 20 20 48
202D 44 4D 2D 32
2031 30 32 31 36
2035 48 20 4C 43
2039 44 20 20 20

203D JE 00
203F DJ 21
2041 JE 38

2043 DJ 20
2045 CD 8520
2048 CD AC20
204B JE 0F

204D DJ 20
204F CD 8520
2052 JE 06

2054 DJ 20
2056 CD 8520

2059 JE 01
205B DJ 20
205D CD 8520
2060 CD AC20
2063 C9

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

2064 FE 01      68 WRLINE  CP 1
2066 28 05      69          JR Z,WRL1
2068 FE 02      70          CP 2
206A 28 08      71          JR Z,WRL2
                72 ;
206C C9         73          RET          ;NO WRITE LINE
206D 3E 00      74 WRL1     LD A,00H
206F CD 9420    75          CALL GOTO
2072 18 05      76          JR WRLM
                77 ;
2074 3E 40      78 WRL2     LD A,40H
2076 CD 9420    79          CALL GOTO
                80 ;
2079 06 14      81 WRLM     LD B,20          ;20 CHR
207B 56         82 WRL      LD D,(HL)
207C C5         83          PUSH BC
207D CD A120    84          CALL WRBYTE
2080 C1         85          POP BC
2081 23         86          INC HL
2082 10 F7      87          DJNZ WRL
2084 C9         88          RET
                89
                90 ;***** ENABLE PLUSE SUB. *****
                91
2085 DB 21      92 EPLUSE   IN A,(PSIGN)
2087 CB D7      93          SET 2,A
2089 DJ 21      94          OUT (PSIGN),A ;enable bit 2=1
208B 06 00      95          LD B,00H
208D 10 FE      96 EP1     DJNZ EP1
208F CB 97      97          RES 2,A
2091 DJ 21      98          OUT (PSIGN),A ;enable bit 2=0
2093 C9         99          RET
                100
                101 ;***** GOTO POSITION *****
                102 ; INPUT  REG A=DATA
                103
2094 C5         104 GOTO    PUSH BC
2095 CB FF      105          SET 7,A          ;set DD RAM
2097 DJ 20      106          OUT (PDATA),A
2099 AF         107          XOR A
209A D3 21      108          OUT (PSIGN),A ;set RS=0,R/W=0
209C CD 8520    109          CALL EPLUSE
209F C1         110          POP BC
20A0 C9         111          RET
                112
                113 ;***** WRITE DATA SUB. *****
                114 ; INPUT  REG D=DATA
                115
20A1 3E 01      116 WRBYTE   LD A,0000001B ;data write
20A3 DJ 21      117          OUT (PSIGN),A
20A5 7A         118          LD A,D          ;data byte
20A6 D3 20      119          OUT (PDATA),A
20A8 CD 8520    120          CALL EPLUSE
20AB C9         121          RET
                122
                123 ;***** DELAY SUB *****
                124 ;
20AC 06 00      125 DELAY    LD B,0
20AE 00         126 DE1     NOP
20AF 00         127          NOP
20B0 10 FC      128          DJNZ DE1
20B2 C9         129          RET
                130

```

0 Error(s) Detected.  
179 Absolute Bytes. 17 Symbols Detected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CHARACTER FONT TABLE

Higher Lower 4bit	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
XXXX0000	C1 RAM (1)	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔
XXXX0001	(2)	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔	๕	๖
XXXX0010	(3)	"	๒	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒
XXXX0011	(4)	#	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓
XXXX0100	(5)	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔
XXXX0101	(6)	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔	๕	๖
XXXX0110	(7)	๖	๗	๘	๙	๐	๑	๒	๓	๔	๕	๖	๗
XXXX0111	(8)	๗	๘	๙	๐	๑	๒	๓	๔	๕	๖	๗	๘
XXXX1000	(9)	๘	๙	๐	๑	๒	๓	๔	๕	๖	๗	๘	๙
XXXX1001	(10)	๙	๐	๑	๒	๓	๔	๕	๖	๗	๘	๙	๐
XXXX1010	(11)	*	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓
XXXX1011	(12)	+	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓
XXXX1100	(13)	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔
XXXX1101	(14)	-	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓
XXXX1110	(15)	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔
XXXX1111	(16)	๓	๔	๕	๖	๗	๘	๙	๐	๑	๒	๓	๔

NOTE: CGRAM is a CHARACTER GENERATOR RAM having a storage function of character pattern which enable to change freely by user's program.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

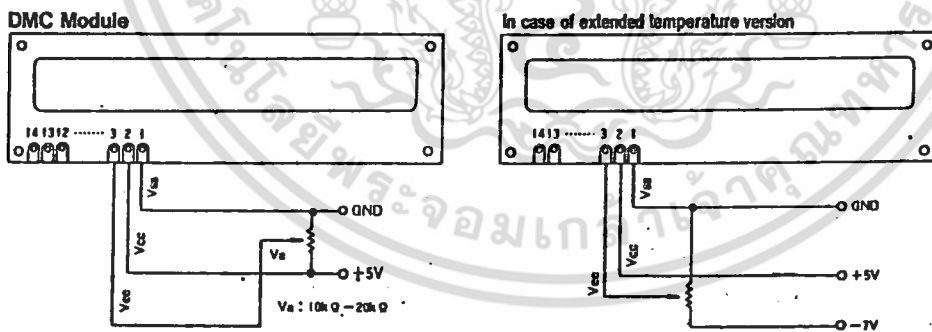
นอกจากนี้ LCD MODULE (HD44780) นี้จะยังมีส่วนหนึ่งของ CHARACTER GENERATOR ที่เราสามารถเขียนข้อมูลในการเกิดตัวอักษรขึ้นได้เอง จากตารางตัวอักษร 5X7 DOT นี้จะเห็นว่าคือ ตำแหน่งในตาราง 00H ถึง 07H ส่วนตำแหน่ง 08H-0FH จะเป็นตำแหน่งเดียวกับ 00H-07H จะเห็นว่าจะมี CHARACTER GENERATOR 8 ตัวที่เราสามารถเขียนข้อมูลกำหนดเองได้และถ้าเป็นแบบ 5X10 DOT จะเขียนได้ 4 ตัวอักษร ซึ่งจากข้อพิเศษนี้ทำให้เราสามารถเขียนตัวอักษรสัญลักษณ์หรืออักษรภาษาไทยได้

### การเขียนข้อมูล CHARACTER GENERATOR

เราสามารถเขียนข้อมูลได้โดยกำหนด ADDRESS ของ CG RAM ก่อนโดยเขียนได้ 64 ตำแหน่ง BIT 5-BIT 0 และเมื่อกำหนด ADDRESS แล้วก็ทำการเขียนข้อมูลลงใน CG RAM โดยเป็นลักษณะ BIT ต่อ BIT นนจอ 1 ตัวอักษร คือ 5X7 DOT นี้จะใช้ข้อมูล BIT 4 ถึง BIT 0 ต่อ 1 BYTE เท่านั้น 1 ตัวอักษรจะใช้ข้อมูล 8 BYTE ด้วยกันให้ดูจากตารางประกอบไปด้วยและเมื่อเขียนข้อมูลลงใน CG RAM แล้วเวลาเราจะใช้งานก็ให้เขียนข้อมูลใน DD RAM คือ ข้อมูลตำแหน่งในตาราง CHARACTER ที่ตำแหน่ง 00H-07H

ตัวอย่างโปรแกรมการเขียนข้อมูลตัวหนึ่งคือภาษาไทยเป็นตัว (อ), (ก), และตัว (๑) เข้าไปใน CG RAM ตำแหน่งที่ 00H, 01H และ 02H และนำมาแสดงผลทางจอ LCD โดยใช้ 2 บรรทัดในการแสดงผล

สรุป การใช้งาน LCD MODULE นี้ที่สำคัญคือ ต้องเข้าใจในตัว CONTROLLER ของ LCD MODULE นี้ โดย CONTROLLER ทุกรุ่นจะมีความทำงานที่เหมือนกันเป็นส่วนใหญ่



\*NOTE: When the voltage of Vcc is different from the recommended voltage, the viewing angle may be changed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





**ขาค่างๆในการต่อใช้งาน HD44780**

1. **RS (REGISTOR SELECTION)** จะเป็นขาเลือก REGISTOR ภายในซึ่งมีอยู่ 2 ตัวคือ INSTRUCTION REGISTOR (IR) และ DATA REGISTOR (DR) โดยถ้าเป็น 1 จะเป็นการเลือก DATA และถ้าเป็น 0 จะเป็นการเลือก INSTRUCTION

2. **R/W (READ/WRITE)** เป็นตัวเลือกว่าจะเขียนหรือจะอ่านข้อมูลจากตัว IC โดยอ่านข้อมูล = 1, เขียนข้อมูล = 0

3. **E (ENABLE SIGNAL)** เป็นขากำหนดสภาพการรับเขียนอ่านข้อมูล

The relation between the operation and the combination of RS, R/W

RS	RW	E	OPERATION
0	0		Write instruction code
0	1		Read busy flag and address counter
1	0		Write data
1	1		Read data

When performing data and instruction code by 4 bit, transfer RS, R/W every time.

4. **DB0-DB7** เป็นขารับส่งข้อมูลจากตัว IC

5. **VDD** ไฟเลี้ยงตัววงจร

6. **VSS** เป็นขา GND

7. **VO** เป็นขารับ VOLTAGE ในการขับ LCD ให้สว่างหรือมืด

```

1 *****
2 *
3 * TEST LCD ET BOARD V3.0 *
4 * 16 CHARACTERS * 4 LINE *
5 * HM - 16416H *
6 * ETT CO.,LTD. *
7 * 21/9/1990 *
8 *
9 *****
10
11 0020          ORG 2000H
12
13 2000          PDATA EQU 20H
14 2100          PSIGN EQU 21H
15 2300          PCONT EQU 23H
16 0030          KEYBU EQU 3000H
17
18 ***** INITIAL 8255 *****
19
2000 3E 80          LD A,80H ;PA,PB,PC-OUT
2002 D3 23          OUT (PCONT),A
21
22 ;
23 2004 CD A020      TEST1 CALL INITLCD
24
25 ***** SET CG RAM CHARACTER *****
26 ;
27 2007 0E 00        DOWNLOAD LD C,0
28 2009 06 40        LD B,64
29 200B 21 7020      LD HL,TABD
30 200E 56           DO1 LD D,(HL)
31 200F C5           PUSH BC
32 2010 CD 8820      CALL WRCGRAM
33 2013 C1           POP BC
34 2014 23          INC HL
35 2015 0C          INC C
36 2016 10 F6       DJNZ DO1
37 ;
38 2018 21 3020      LD HL,TAB2
39 201B 3E 01        LD A,1
40 201D CD C720      CALL WRLINE
41 2020 3E 02        LD A,2
42 2022 CD C720      CALL WRLINE
43 2025 3E 03        LD A,3
44 2027 CD C720      CALL WRLINE
45 202A 3E 04        LD A,4
46 202C CD C720      CALL WRLINE
47 ;
48 202F DF          RST 18H
49 ;
50
51 2030 2A 20 45 54  TAB2 DB  " * ETT CO.,LTD. *"
52 2034 54 20 43 4F  DB  " "
53 2038 2E 2C 4C 54  DB  " "
54 203C 44 2E 20 2A  DB  " "
55 2040 20 20 20 20  DB  " ",02H,20H,02H,20H," "
56 2044 20 02 20 02  DB  " "
57 2048 20 02 20 20  DB  " "
58 204C 20 20 20 20  DB  " "
59 2050 20 20 20 20  DB  " ",0CH,2EH,01H,2EH,01H,2EH," "
60 2054 20 00 2E 01  DB  " "
61 2058 2E 01 2E 20  DB  " "
62 205C 20 20 20 20  DB  " "
63 2060 20 20 20 20  DB  " "
64 2064 20 20 20 20  DB  " "
65 2068 20 20 20 20  DB  " "
66 206C 20 20 20 20  DB  " "
67 ;
68 2070 1F          TABD DB 00011111B
69 2071 11          DB 00010001B
70 2072 01          DB 00000001B
71 2073 1D          DB 00011101B
72 2074 11          DB 00010001B
73 2075 11          DB 00010001B
74 2076 1F          DB 00011111B
75 2077 00          DB 0000000B
76
77
78 2078 19          DB 00011001B
79 2079 0B          DB 00001011B
80 207A 0D          DB 00001101B
81 207B 09          DB 00001001B

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

207C 09          69          DB 00001001B
207D 09          70          DB 00001001B
207E 09          71          DB 00001001B
207F 00          72          DB 00000000B
                73
2080 00          74          DB 00000000B
2081 00          75          DB 00000000B
2082 00          76          DB 00000000B
2083 01          77          DB 00000001B
2084 01          78          DB 00000001B
2085 0F          79          DB 00001111B
2086 11          80          DB 00010001B
2087 1F          81          DB 00011111B
                82
83 ;***** WRITE CG RAM *****
84 ; INPUT REG C=ADDRESS 1-64
85 ; REG D=DATA BIT 4-0
                86
2088 CB B9      87 WROGRAM RES 7,C
208A CB F1      88 SET 6,C
208C 79        89 LD A,C
208D D3 20     90 OUT (PDATA),A
208F 3E 00     91 LD A,0
2091 D3 21     92 OUT (PSIGN),A
2093 CD FE20   93 CALL EPLUSE
2096 CD 2521   94 CALL DELAY
2099 CD 1A21   95 CALL WRBYTE
209C CD 2521   96 CALL DELAY
209F C9        97 RET
                98
89 ;***** INITIAL LCD DISPLAY *****
100 ; PA0-PA7 : PIN D0-D7 (DATA READ/WRITE LCD)
101 ; PB2 : PIN E (ENABLE SIGNAL PULSE)
102 ; PB1 : PIN R/W (READ/WRITE)
103 ; PB0 : PIN RS (REGISTER SELECTION)
                104
20A0 3E 00     105 INITLCD LD A,0
20A2 D3 21     106 OUT (PSIGN),A
20A4 3E 38     107 LD A,0011000B ;function set 38H
                108 ;DL=1 8 bit,N=1 1/16 duty,F=0 5x7
20A6 D3 20     109 OUT (PDATA),A
20A8 CD FE20   110 CALL EPLUSE ;enable signal pluse
20AB CD 2521   111 CALL DELAY ;DELAY > 4.1 ms
20AE 3E 0F     112 LD A,00001111B ;display on/off control
                113 ;D=1 off,C=1 cursor on,B=1 blink
20B0 D3 20     114 OUT (PDATA),A
20B2 CD FE20   115 CALL EPLUSE
20B5 3E 06     116 LD A,00000110B ;entry mode set
                117 ;I/D=1 increment,S=0 right
20B7 D3 20     118 OUT (PDATA),A
20B9 CD FE20   119 CALL EPLUSE
                120
20BC 3E 01     121 LD A,00000001B ;clear all display
20BE D3 20     122 OUT (PDATA),A
20C0 CD FE20   123 CALL EPLUSE
20C3 CD 2521   124 CALL DELAY
20C6 C9        125 RET
                126
127 ;***** WRITE LINE 16 CHAR *****
128 ; INPUT (HL)=DATA
129 ; INPUT A =LINE
                130
20C7 FE 01     131 WRLINE CP 1
20C9 28 00     132 JR Z,WRL1
20CB FE 02     133 CP 2
20CD 28 10     134 JR Z,WRL2
20CF FE 03     135 CP 3
20D1 28 13     136 JR Z,WRL3
20D3 FE 04     137 CP 4
20D5 28 16     138 JR Z,WRL4
                139 ;
20D7 C9        140 RET ;NO WRITE LINE
20D8 3E 00     141 WRL1 LD A,00H
20DA CD 0D21   142 CALL GOTO
20DD 18 13     143 JR WRLM
                144 ;
20DF 3E 40     145 WRL2 LD A,40H
20E1 CD 0D21   146 CALL GOTO
20E4 18 0C     147 JR WRLM
                148 ;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

20E6 3E 10      149 WRL3   LD  A,10H
20E8 CD 0D21    150        CALL GOTO
20EB 18 05      151        JR   WRLM
                152 ;
20ED 3E 50      153 WRL4   LD  A,50H
20EF CD 0D21    154        CALL GOTO
20F2 06 10      155 WRLM   LD  B,16      ;16 CIR
20F4 56         156 WRL    LD  D,(HL)
20F5 C5         157        PUSH BC
20F6 CD 1A21    158        CALL WRBYTE
20F9 C1         159        POP  BC
20FA 23         160        INC  HL
20FB 10 F7      161        DJNZ WRL
20FD C9         162        RET
                163
                164 ;***** ENABLE PULSE SUB. *****
                165
20FE DB 21      166 EPLUSE  IN  A,(PSIGN)
2100 CB D7      167        SET  2,A
2102 D3 21      168        OUT (PSIGN),A      ;enable bit 2=1
2104 06 00      169        LD  B,00H
2106 10 FE      170 EP1     DJNZ EP1
2108 CB 97      171        RES  2,A
210A D3 21      172        OUT (PSIGN),A      ;enable bit 2=0
210C C9         173        RET
                174
                175 ;***** GOTO POSITION *****
                176 ; INPUT REG A=DATA
                177
210D C5         178 GOTO    PUSH BC
210E CB FF      179        SET  7,A      ;set DD RAM
2110 D3 20      180        OUT (PDATA),A
2112 AF         181        XOR  A
2113 D3 21      182        OUT (PSIGN),A      ;set RS=0,R/W=0
2115 CD FE20    183        CALL EPLUSE
2118 C1         184        POP  BC
2119 C9         185        RET
                186
                187 ;***** WRITE DATA SUB. *****
                188 ; INPUT REG D=DATA
                189
211A 3E 01      190 WRBYTE  LD  A,0000001B ;data write
211C D3 21      191        OUT (PSIGN),A
211E 7A         192        LD  A,D      ;data byte
211F D3 20      193        OUT (PDATA),A
2121 CD FE20    194        CALL EPLUSE
2124 C9         195        RET
                196
                197 ;***** DELAY SUB *****
                198 ;
2125 06 00      199 DELAY   LD  B,0
2127 00         200 DEI    NOP
2128 00         201        NOP
2129 10 FC      202        DJNZ DEI
212B C9         203        RET
                204

```

0 Error(s) Detected.  
300 Absolute Bytes. 24 Symbols Detected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS

### Electric maximum ratings

Item	Symbol	Min.	Max.	Unit	Remarks
Power supply for logic	V <sub>DD</sub> - V <sub>SS</sub>	Refer to individual specification		V	
Power supply for LCD drive	V <sub>DD</sub> - V <sub>O</sub>	Refer to individual specification		V	
Input voltage	V <sub>i</sub>	Refer to individual specification		V	
Static electricity		—	100	V	See note

**Note** Electro-static discharge resistance is tested by charging a condenser with a capacity of 200pF and discharging it by contact with an interface connector pin.

### Environmental conditions

Item	Operating		Non-operating		Remarks
	Min.	Max.	Min.	Max.	
Ambient temperature	Refer to individual specifications				
Humidity	Note				No dew
Vibration	—	4.9m/s <sup>2</sup> (0.5G)	—	19.6 m/s <sup>2</sup> (2G)	XYZ 3 directions
Shock	—	29.4 m/s <sup>2</sup> (3G)	—	490 m/s <sup>2</sup> (50G)	
Corrosion gas	No corrosion gas				

**Note** Humidity conditions are as follows.

Number of dots	Under 128 x 240		128 x 240 or over	
	Ambient temperature (Ta)	95% RH max.	Ambient temperature (Ta)	85% RH max.
Ta ≤ 40°C				
Ta > 40°C (Below maximum temperature)	Below maximum absolute humidity of 40°C 95% RH		Below maximum absolute humidity of 40°C 85% RH	

## RELIABILITY CONDITIONS

LCD MODULE (Consumer Type)		
Item	Conditions	Evaluation
High Temperature Operation	Operating 96 ~ 100 Hrs at 50 ± 2°C surrounding temp.	No change is visible in appearance nor function
Low Temperature Operation	Operating 96 ~ 100 Hrs at 0 ± 2°C surrounding temp.	
High Temperature Storage	Storage 96 ~ 100 Hrs at 60 ± 2°C surrounding temp. then storage 4 Hrs at normal condition (Power Off)	
Low Temperature Storage	Storage 96 ~ 100 Hrs at -20 ± 2°C surrounding temp then storage 4 Hrs at normal condition (Power Off) No dew to be found	
Damp Proof	Storage 96 ~ 100 Hrs at 40 ± 2°C and 90 ~ 95% RH surrounding condition, then storage 4 Hrs at normal condition (Power Off) No dew to be found.	

**Note** The above condition is only representative, and may differ in case of customized specifications.

## OPTICAL DATA

Ta = 25°C

Item	Symbol	Condition	Min.	Typ.	Max.	Unit	Notes to see
Viewing angle	φ2-φ1	K=1.4	—	20	—	deg.	—
Contrast ratio	K	φ=25°	—	2	—	—	—
		φ=0°	—	—	—	—	—
Response time (rise)	t <sub>r</sub>	φ=25°	—	250	400	ms	—
		φ=0°	—	150	250		—
Response time (fall)	t <sub>f</sub>	φ=25°	—	250	400	ms	—
		φ=0°	—	150	250		—

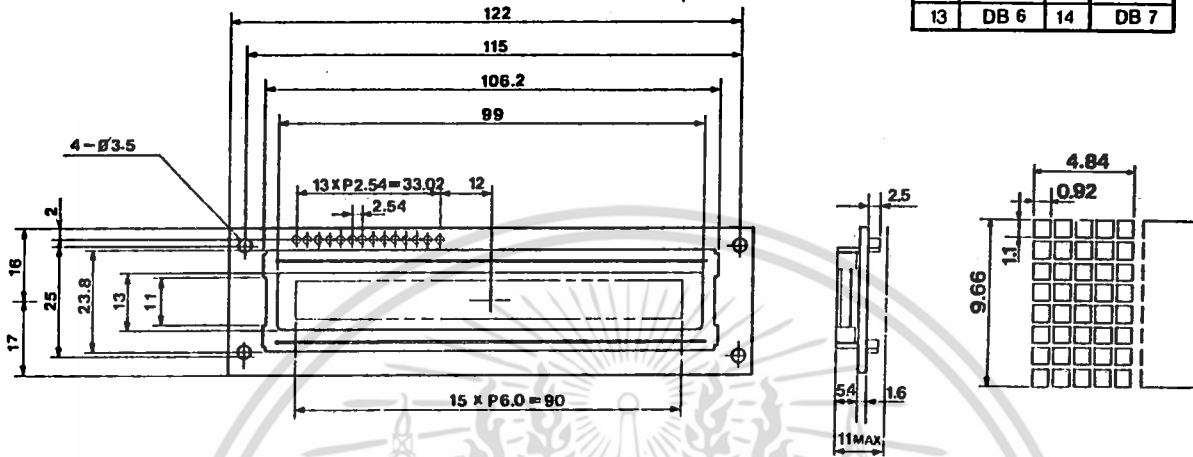
③



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

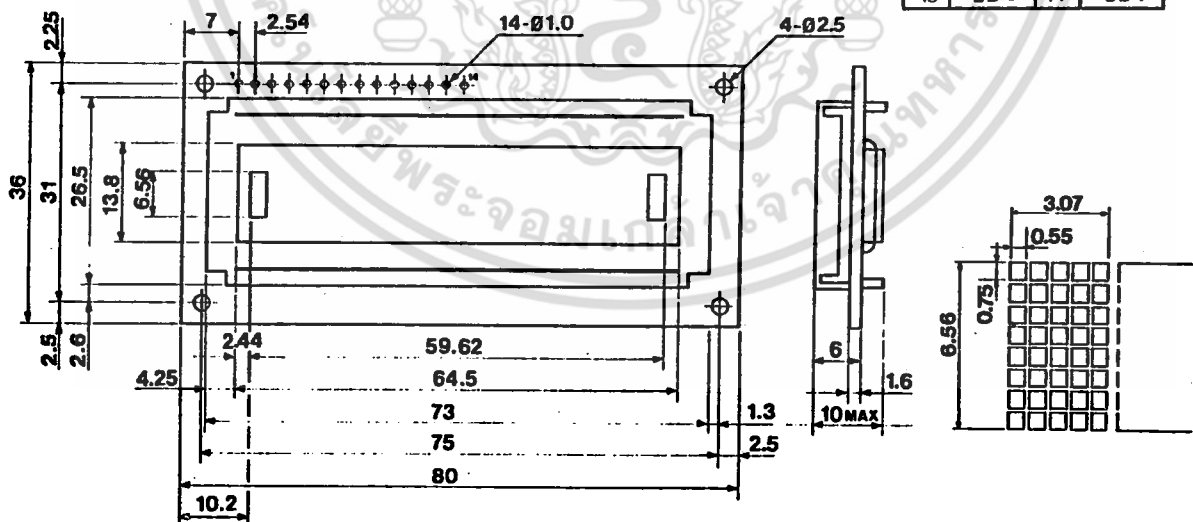
# DV-1601B

No.	Signal	No.	Signal
1	VSS	2	VDD
3	VO	4	RS
5	R/W	6	E
7	DB 0	8	DB 1
9	DB 2	10	DB 3
11	DB 4	12	DB 5
13	DB 6	14	DB 7



# DV-1601

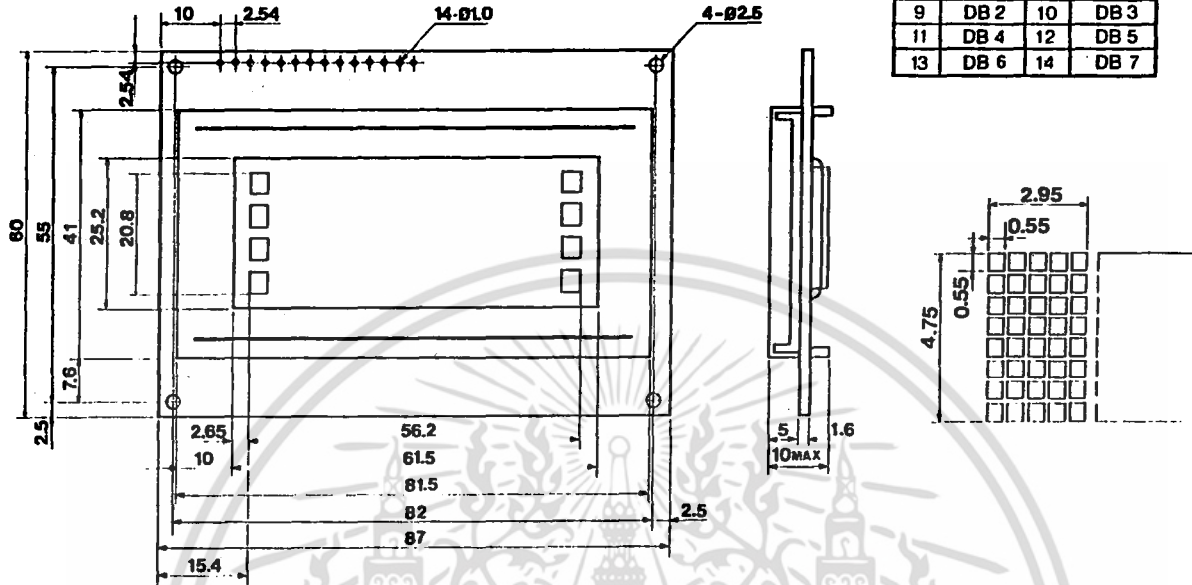
No.	Signal	No.	Signal
1	VSS	2	VDD
3	VO	4	RS
5	R/W	6	E
7	DB 0	8	DB 1
9	DB 2	10	DB 3
11	DB 4	12	DB 5
13	DB 6	14	DB 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

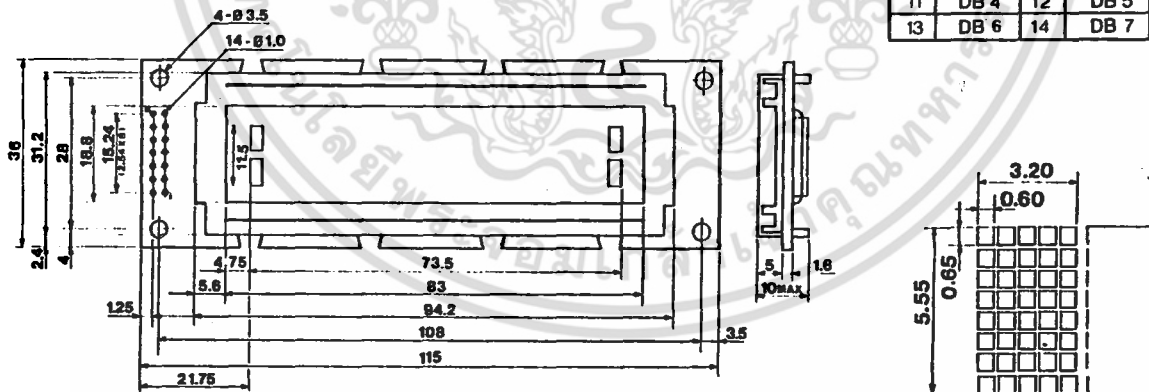
# DV-1604

No.	Signal	No.	Signal
1	VSS	2	VDD
3	V0	4	RS
5	R/W	6	E
7	DB 0	8	DB 1
9	DB 2	10	DB 3
11	DB 4	12	DB 5
13	DB 6	14	DB 7



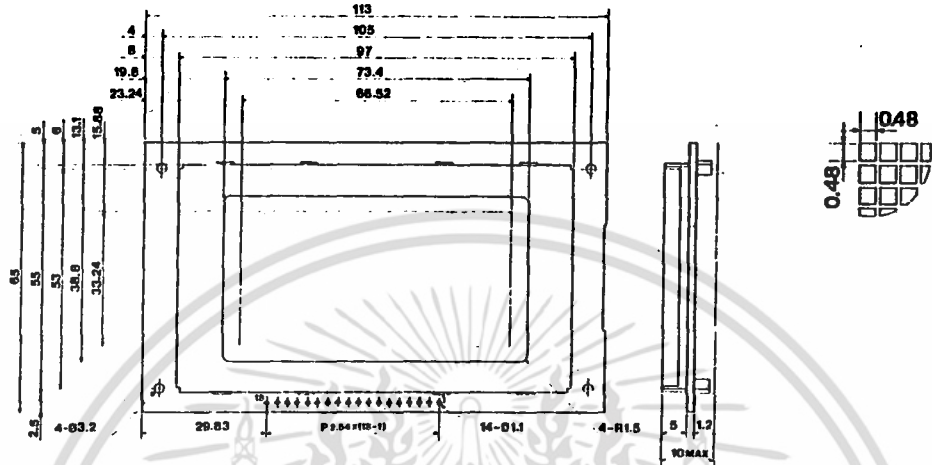
# DV-2002

No.	Signal	No.	Signal
1	VSS	2	VDD
3	V0	4	RS
5	R/W	6	E
7	DB 0	8	DB 1
9	DB 2	10	DB 3
11	DB 4	12	DB 5
13	DB 6	14	DB 7

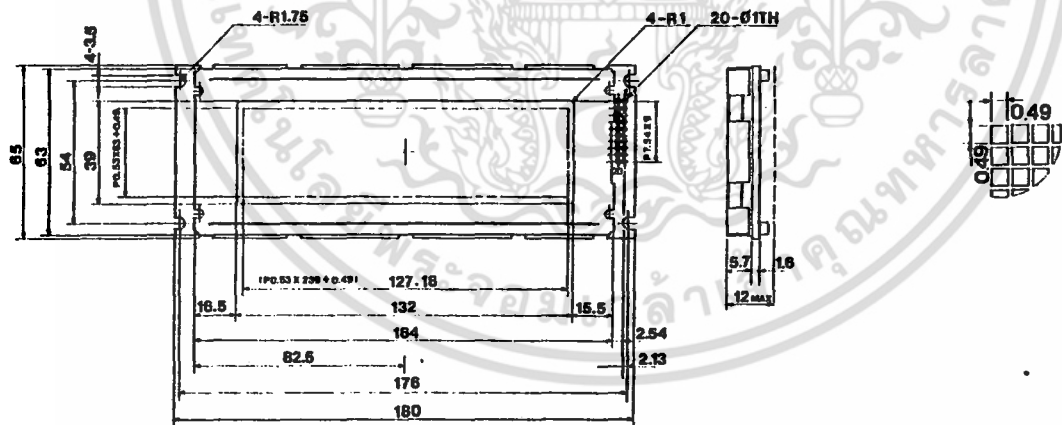


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DG 128064



DG 240064



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ADC0820 8-Bit High Speed $\mu$ P Compatible A/D Converter with Track/Hold Function

## General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5  $\mu$ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ $\mu$ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

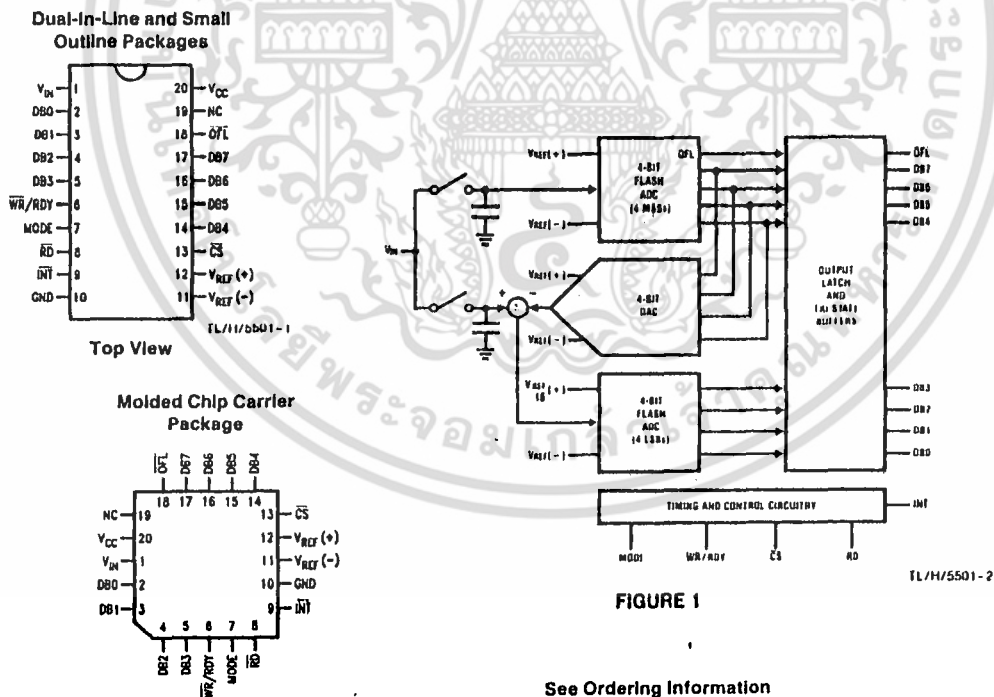
## Key Specifications

- Resolution 8 Bits
- Conversion Time 2.5  $\mu$ s Max (RD Mode)  
1.5  $\mu$ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ $\mu$ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error  $\pm 1/2$  LSB and  $\pm 1$  LSB

## Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5  $V_{DC}$
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE<sup>®</sup> output
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than  $V_{CC}$
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package

## Connection and Functional Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ , unless otherwise specified. Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ C$ .

Parameter	Conditions		ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units	
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)		
$V_{IN(1)}$ , Logical "1" Input Voltage	$V_{CC} = 5.25V$	$\overline{CS}, \overline{WR}, \overline{RD}$		2.0			2.0	2.0	V	
		Mode		3.5			3.5	3.5	V	
$V_{IN(0)}$ , Logical "0" Input Voltage	$V_{CC} = 4.75V$	$\overline{CS}, \overline{WR}, \overline{RD}$		0.8			0.8	0.8	V	
		Mode		1.5			1.5	1.5	V	
$I_{IN(1)}$ , Logical "1" Input Current	$V_{IN(1)} = 5V; \overline{CS}, \overline{RD}$ $V_{IN(1)} = 5V; \overline{WR}$ $V_{IN(1)} = 5V; \text{Mode}$		0.005	1		0.005	1	1	$\mu A$	
				0.1	3		0.1	3	3	$\mu A$
				50	200		50	170	200	$\mu A$
$I_{IN(0)}$ , Logical "0" Input Current	$V_{IN(0)} = 0V; \overline{CS}, \overline{RD}, \overline{WR},$ Mode		-0.005	-1		-0.005	-1	-1	$\mu A$	
$V_{OUT(1)}$ , Logical "1" Output Voltage	$V_{CC} = 4.75V, I_{OUT} = -360 \mu A;$ DB0-DB7, $\overline{OFL}, \overline{INT}$ $V_{CC} = 4.75V, I_{OUT} = -10 \mu A;$ DB0-DB7, $\overline{OFL}, \overline{INT}$			2.4			2.8	2.4	V	
				4.5			4.6	4.5	V	
$V_{OUT(0)}$ , Logical "0" Output Voltage	$V_{CC} = 4.75V, I_{OUT} = 1.6 \text{ mA};$ DB0-DB7, $\overline{OFL}, \overline{INT}, \text{RDY}$			0.4			0.34	0.4	V	
$I_{OUT}$ , TRI-STATE Output Current	$V_{OUT} = 5V; \text{DB0-DB7}, \text{RDY}$ $V_{OUT} = 0V; \text{DB0-DB7}, \text{RDY}$		0.1	3		0.1	0.3	3	$\mu A$	
			-0.1	-3		-0.1	-0.3	-3	$\mu A$	
$I_{SOURCE}$ , Output Source Current	$V_{OUT} = 0V; \text{DB0-DB7}, \overline{OFL}$ $\overline{INT}$		-12	-6		-12	-7.2	-6	mA	
			-9	-4.0		-9	-5.3	-4.0	mA	
$I_{SINK}$ , Output Sink Current	$V_{OUT} = 5V; \text{DB0-DB7}, \overline{OFL},$ $\overline{INT}, \text{RDY}$		14	7		14	8.4	7	mA	
$I_{CC}$ , Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	15		7.5	13	15	mA	

**AC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V, t_r = t_f = 20 \text{ ns}, V_{REF(+)} = 5V, V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
$t_{CRD}$ , Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.6		2.5	$\mu s$
$t_{ACC0}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = 0, (Figure 2)		$t_{CRD} + 20$	$t_{CRD} + 50$	ns
$t_{CWR-RD}$ , Conversion Time for WR-RD Mode	Pin 7 = $V_{CC}; t_{WR} = 600 \text{ ns},$ $t_{RD} = 600 \text{ ns};$ (Figures 3a and 3b)			1.52	$\mu s$
$t_{WR}$ , Write Time	Pin 7 = $V_{CC};$ (Figures 3a and 3b) (Note 4) See Graph	Min		600	ns
		Max	50		$\mu s$
$t_{RD}$ , Read Time	Min			600	ns
$t_{ACC1}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = $V_{CC}; t_{RD} < t_r;$ (Figure 3a) $C_L = 15 \text{ pF}$		180	280	ns
		$C_L = 100 \text{ pF}$	210	320	ns
$t_{ACC2}$ , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = $V_{CC}; t_{RD} > t_r;$ (Figure 3b) $C_L = 15 \text{ pF}$		70	120	ns
		$C_L = 100 \text{ pF}$	90	150	ns

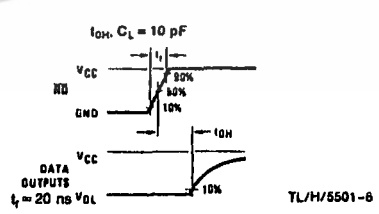
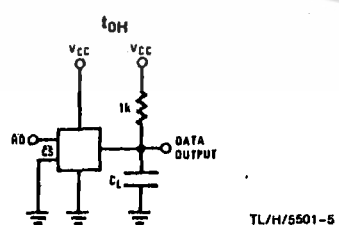
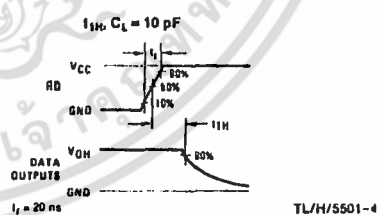
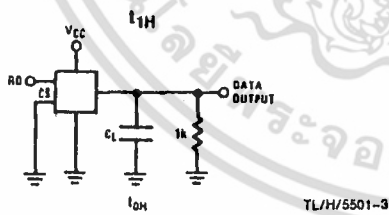
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AC Electrical Characteristics** (Continued) The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20$  ns,  $V_{REF}(+) = 5V$ ,  $V_{REF}(-) = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
$t_i$ , Internal Comparison Time	Pin 7 = $V_{CC}$ ; (Figures 3b and 4) $C_L = 50$ pF	800		1300	ns
$t_{IH}$ , $t_{OH}$ , TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to HI-Z State)	$R_L = 1k$ , $C_L = 10$ pF	100		200	ns
$t_{INTL}$ , Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = $V_{CC}$ , $C_L = 50$ pF $I_{RD} > I_i$ ; (Figure 3b) $I_{RD} < I_i$ ; (Figure 3a)			$I_i$ $I_{RD} + 290$	ns ns
$t_{INTH}$ , Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	(Figures 2, 3a and 3b) $C_L = 50$ pF	125		225	ns
$t_{INTHWR}$ , Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	(Figure 4), $C_L = 50$ pF	175		270	ns
$t_{RDY}$ , Delay from $\overline{CS}$ to $\overline{RDY}$	(Figure 2), $C_L = 50$ pF, Pin 7 = 0	50		100	ns
$t_{PD}$ , Delay from $\overline{INT}$ to Output Valid	(Figure 4)	20		50	ns
$t_{RI}$ , Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = $V_{CC}$ , $I_{RD} < I_i$ (Figure 3a)	200		290	ns
$t_p$ , Delay from End of Conversion to Next Conversion	(Figures 2, 3a, 3b and 4) (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ $\mu$ s
$C_{VIN}$ , Analog Input Capacitance		45			pF
$C_{OUT}$ , Logic Output Capacitance		5			pF
$C_{IN}$ , Logic Input Capacitance		5			pF

- Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.
- Note 2:** All voltages are measured with respect to the GND pin, unless otherwise specified.
- Note 3:** Total unadjusted error includes offset, full-scale, and linearity errors.
- Note 4:** Accuracy may degrade if  $t_{WH}$  or  $t_{RD}$  is shorter than the minimum value specified. See Accuracy vs  $t_{WH}$  and Accuracy vs  $t_{RD}$  graphs.
- Note 5:** When the input voltage ( $V_{IN}$ ) at any pin exceeds the power supply rails ( $V_{IN} < V^-$  or  $V_{IN} > V^+$ ) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.
- Note 6:** Typical values are at  $25^\circ C$  and represent most likely parametric norm.
- Note 7:** Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).
- Note 8:** Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.
- Note 9:** Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

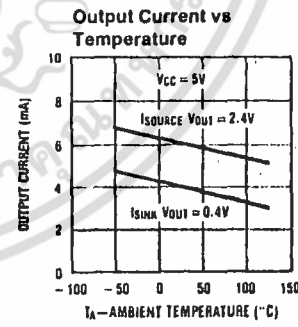
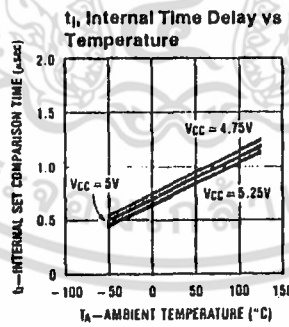
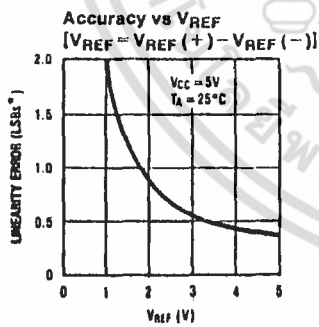
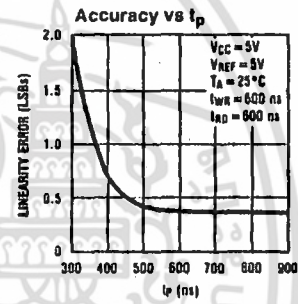
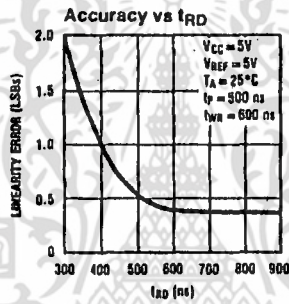
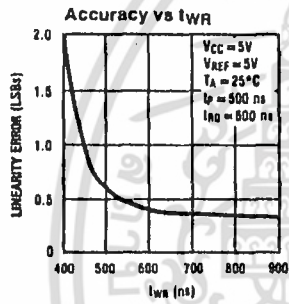
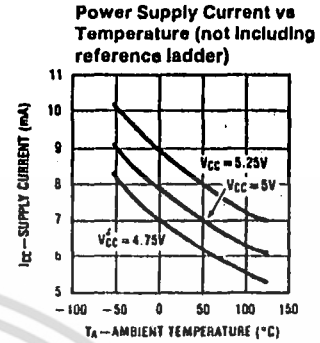
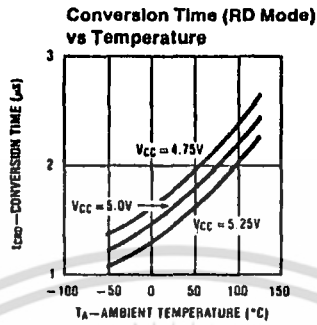
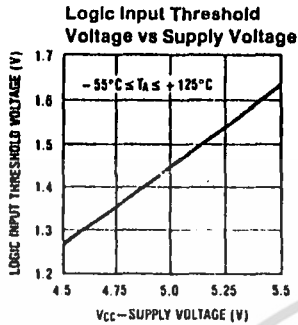
**TRI-STATE Test Circuits and Waveforms**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## Typical Performance Characteristics



$\pm 1\text{ LSB} = \frac{V_{REF}}{256}$

TL/H/5501-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Description of Pin Functions

Pin Name	Function
1 $V_{IN}$	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$
2 DB0	TRI-STATE data output—bit 0 (LSB)
3 DB1	TRI-STATE data output—bit 1
4 DB2	TRI-STATE data output—bit 2
5 DB3	TRI-STATE data output—bit 3
6 $WR/RDY$	<b>WR-RD Mode</b> <b>WR:</b> With $\overline{CS}$ low, the conversion is started on the falling edge of $WR$ . Approximately 800 ns (the preset internal time out, $t_i$ ) after the $WR$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see Figures 3a and 3b). <b>RD Mode</b> <b>RDY:</b> This is an open drain output (no internal pull-up device). $RDY$ will go low after the falling edge of $\overline{CS}$ ; $RDY$ will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a micro-processor system (see Figure 2). <b>Mode:</b> Mode selection input— $I_1$ is internally tied to GND through a 50 $\mu A$ current source. <b>RD Mode:</b> When mode is low <b>WR-RD Mode:</b> When mode is high
7 Mode	
8 $\overline{RD}$	<b>WR-RD Mode</b> With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see Figure 4). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out ( $t_i$ , ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see Figures 3a and 3b). <b>RD Mode</b> With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion, $RDY$ going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see Figure 2).

Pin Name	Function
9 $\overline{INT}$	<b>WR-RD Mode</b> $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, $t_i$ ) after the rising edge of $WR$ (see Figure 3b); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$ , if $\overline{RD}$ goes low prior to the 800 ns time out (see Figure 3a). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figures 3a and 3b). <b>RD Mode</b> $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figure 2). Ground
10 GND	Ground
11 $V_{REF(-)}$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)
12 $V_{REF(+)}$	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
13 $\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $WR$ to be recognized by the converter.
14 DB4	TRI-STATE data output—bit 4
15 DB5	TRI-STATE data output—bit 5
16 DB6	TRI-STATE data output—bit 6
17 DB7	TRI-STATE data output—bit 7 (MSB)
18 $\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF(+)}$ , $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
19 NC	No connection
20 $V_{CC}$	Power supply voltage

## 1.0 Functional Description

### 1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

## 1.0 Functional Description (Continued)

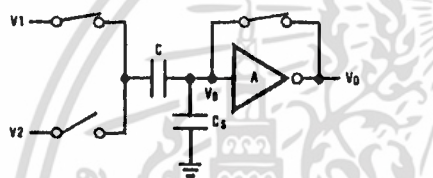
### 1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V<sub>B</sub>, approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V<sub>B</sub>') becomes

$$V_B - (V1 - V2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of V<sub>B</sub>' - V<sub>B</sub>.



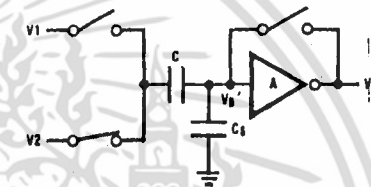
- V<sub>O</sub> = V<sub>B</sub>
- V on C = V1 - V<sub>B</sub>
- C<sub>S</sub> = stray input node capacitor
- V<sub>B</sub> = inverter input bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

### 1.3 ARCHITECTURE

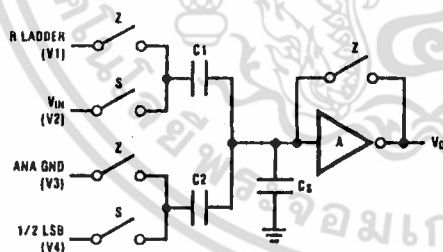
In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.



- V<sub>B</sub>' = V<sub>B</sub> - (V2 - V1)  $\frac{C}{C + C_S}$
- V<sub>O</sub>' =  $\frac{-A}{C + C_S} [CV2 - CV1]$
- V<sub>O</sub>' is dependent on V2 - V1

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



$$V_O = \frac{-A}{C1 + C2 + C_S} [C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Detailed Block Diagram

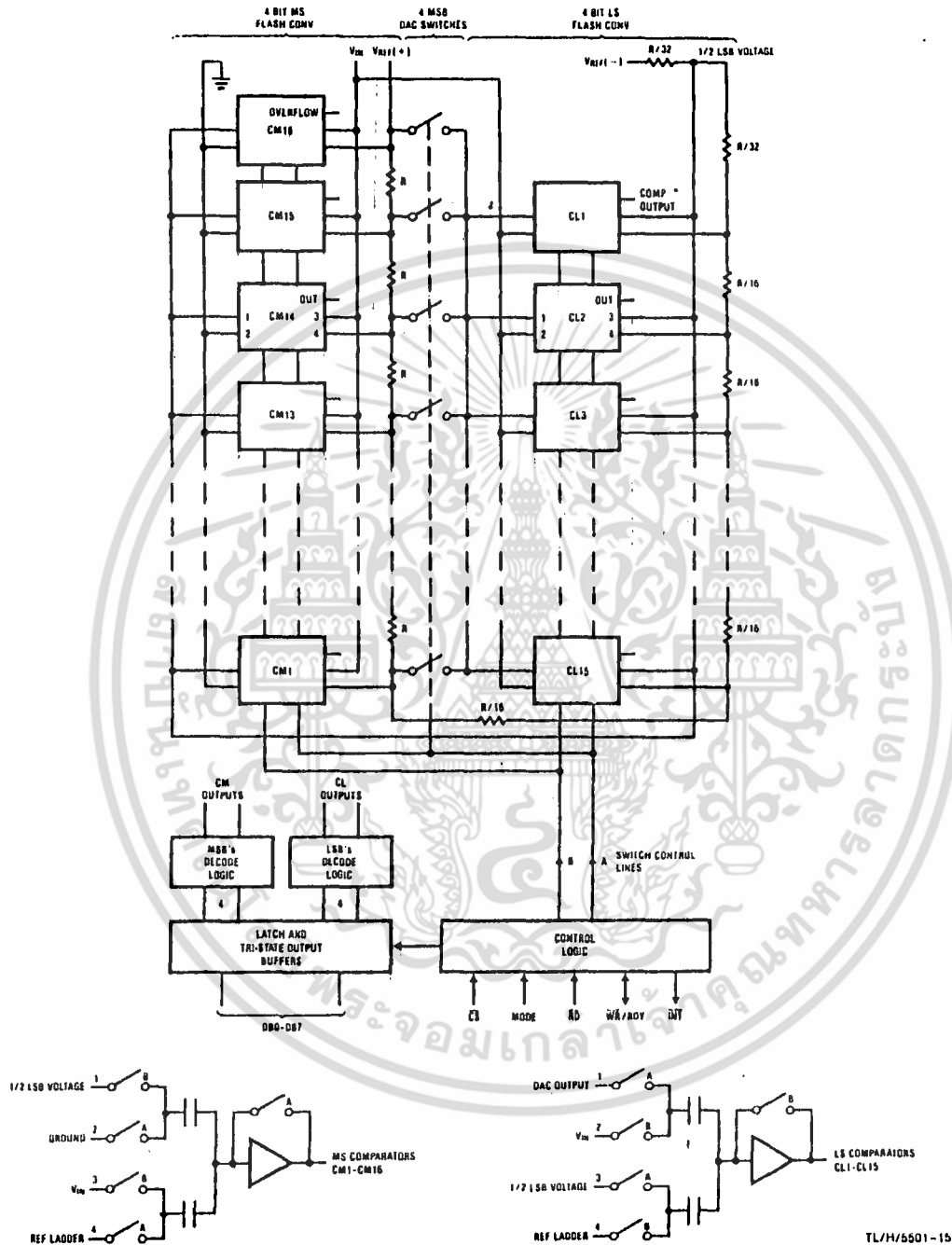


FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.0 Functional Description (Continued)

When a typical conversion is started, the  $\overline{WR}$  line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When  $\overline{WR}$  is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the  $\overline{RD}$  line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When  $\overline{RD}$  goes low, the flash A/Ds change state once again in preparation for the next conversion.

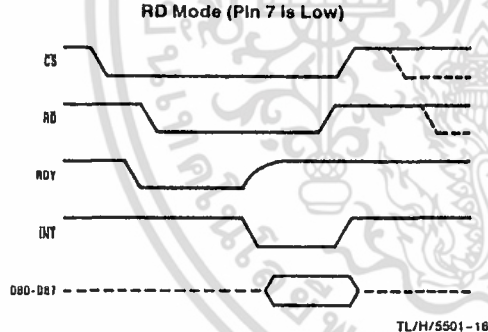
Figure 8 also outlines how the converter's interface timing relates to its analog input ( $V_{IN}$ ). In WR-RD mode,  $V_{IN}$  is measured while  $\overline{WR}$  is low. In RD mode, sampling occurs during the first 800 ns of  $\overline{RD}$ . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample  $V_{IN}$  at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when  $\overline{WR}$  is low the MS flash is in compare mode (connected to  $V_{IN}$ ), and the LS flash is in zero mode (also connected to  $V_{IN}$ ). Therefore both flash ADCs sample  $V_{IN}$  at the same time.

### 1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

#### RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling  $\overline{RD}$  low until output data appears. An  $\overline{INT}$  line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.



When in RD mode, the comparator phases are internally triggered. At the falling edge of  $\overline{RD}$ , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

#### WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the  $\overline{WR}$  input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for  $\overline{INT}$  to go low before reading the conversion result (Figure 9).  $\overline{INT}$  will typically go low 800 ns after  $\overline{WR}$ 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for  $\overline{INT}$  and can exercise a read after only 600 ns (Figure A). If this is done,  $\overline{INT}$  will immediately go low and data will appear at the outputs.

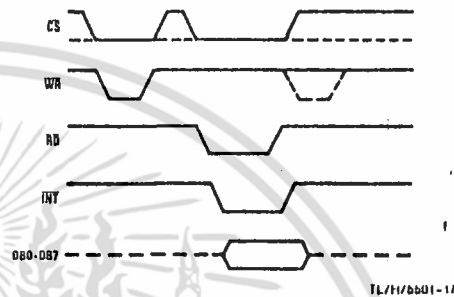


FIGURE A. WR-RD Mode (Pin 7 is High and  $t_{RD} < t_i$ )

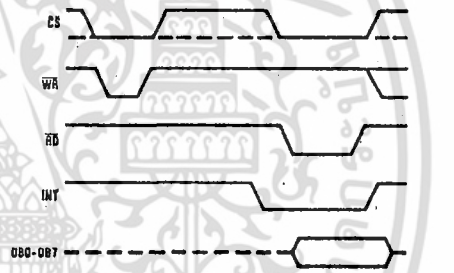
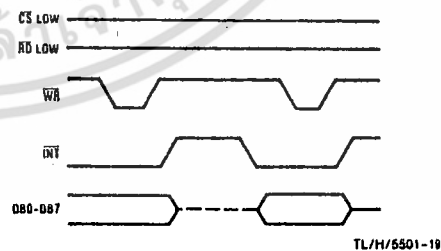


FIGURE B. WR-RD Mode (Pin 7 is High and  $t_{RD} > t_i$ )

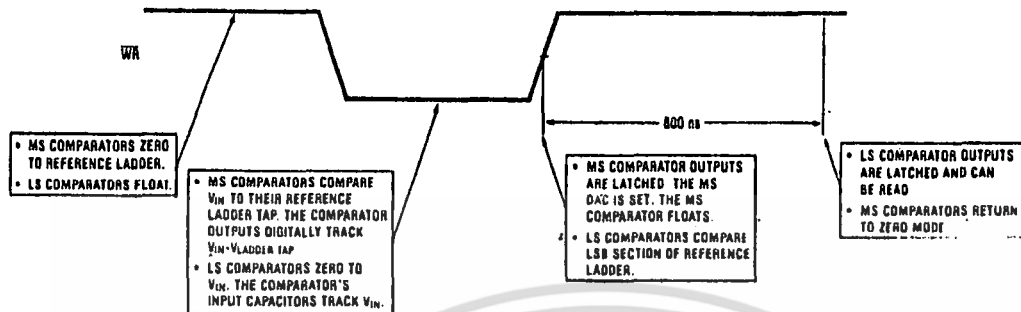
#### Stand-Alone

For stand-alone operation in WR-RD mode,  $\overline{CS}$  and  $\overline{RD}$  can be tied low and a conversion can be started with  $\overline{WR}$ . Data will be valid approximately 800 ns following  $\overline{WR}$ 's rising edge.

#### WR-RD Mode (Pin 7 is High) Stand-Alone Operation



## 1.0 Functional Description (Continued)



Note: MS means most significant  
LS means least significant

TL1115501-20

FIGURE 8. Operating Sequence (WR-RD Mode)

### OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy,  $\overline{WR}$  has a maximum width spec of 50  $\mu$ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ( $\overline{WR}$  is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time ( $t_p$ , Figures 2, 3a, 3b, and 4) is 500 ns.

## 2.0 Analog Considerations

### 2.1 REFERENCE AND INPUT

The two  $V_{REF}$  inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A/D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between  $V_{IN}(+)$  and  $V_{IN}(-)$ . By reducing  $V_{REF}(V_{REF} = V_{REF}(+) - V_{REF}(-))$  to less than 5V, the sensitivity of the converter can be increased (i.e., if  $V_{REF} = 2V$  then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the  $V_{REF}$  source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at  $V_{REF}(-)$  sets the input level which produces a digital output of all zeroes. Though  $V_{IN}$  is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

### 2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

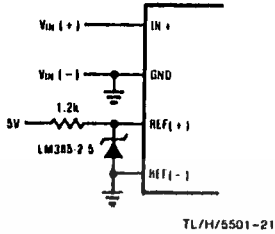
The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts ( $\overline{WR}$  low, WR-RD mode), all input switches close, connecting  $V_{IN}$  to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time,  $V_{IN}$  still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses  $V_{IN}$  as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k $\Omega$  to 10 k $\Omega$ ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As  $R_S$  increases, it will take longer for the input capacitance to charge.

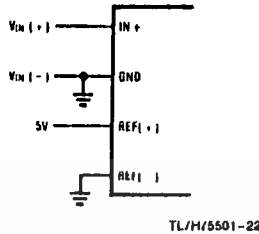
In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that  $\overline{WR}$  is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow  $R_S$  to be 1.5 k $\Omega$  without lengthening  $\overline{WR}$  to give  $V_{IN}$  more time to settle.

## 2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



Power Supply as Reference



Input Not Referred to GND

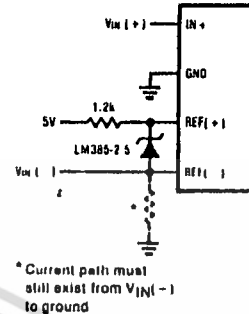


FIGURE 9. Analog Input Options

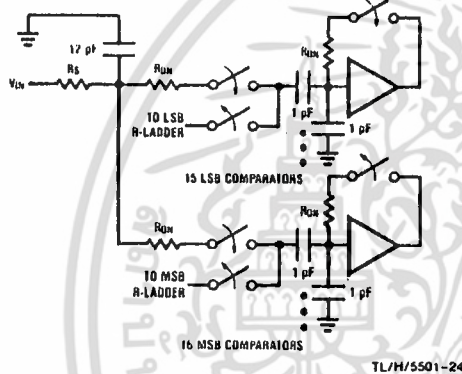


FIGURE 10a

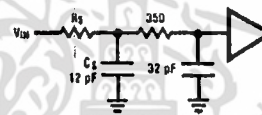


FIGURE 10b

### 2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into  $V_{IN}$ , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while  $\overline{WR}$  is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the  $V_{IN}$  terminal.

### 2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least  $\frac{1}{2}$  LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

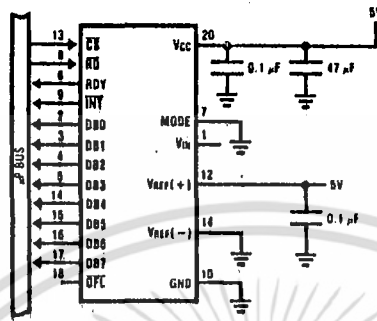
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is  $1.5 \mu\text{s}$ , the time through which  $V_{IN}$  must be  $\frac{1}{2}$  LSB stable is much smaller. Since the MS flash ADC uses  $V_{IN}$  as its "compare" input and the LS ADC uses  $V_{IN}$  as its "zero" input, the ADC0820 only "samples"  $V_{IN}$  when  $\overline{WR}$  is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of  $V_{IN}$  approximately 100 ns after the rising edge of  $\overline{WR}$  (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below  $100 \text{ mV}/\mu\text{s}$  can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as  $1 \mu\text{s}$  would still not be able to measure a  $5 \text{ V } 1 \text{ kHz}$  sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure  $5 \text{ V } 7 \text{ kHz}$  waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

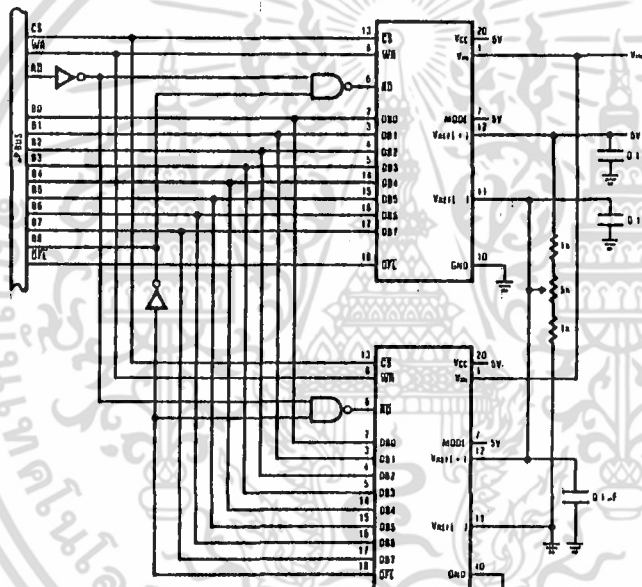
### 3.0 Typical Applications

8-Bit Resolution Configuration



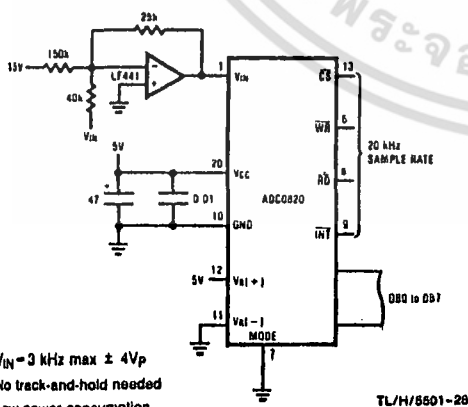
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

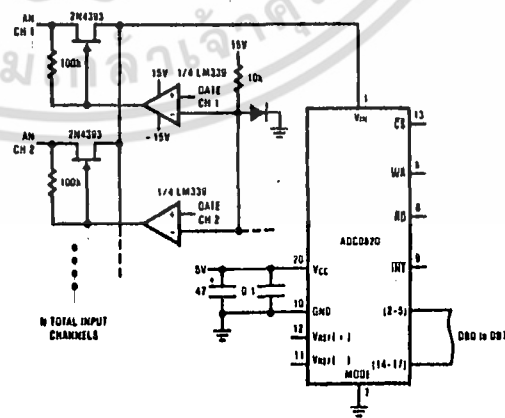
Telecom A/D Converter



- $V_{IN} = 3 \text{ kHz max } \pm 4 \text{ Vp}$
- No track-and-hold needed
- Low power consumption

TL/H/5501-28

Multiple Input Channels

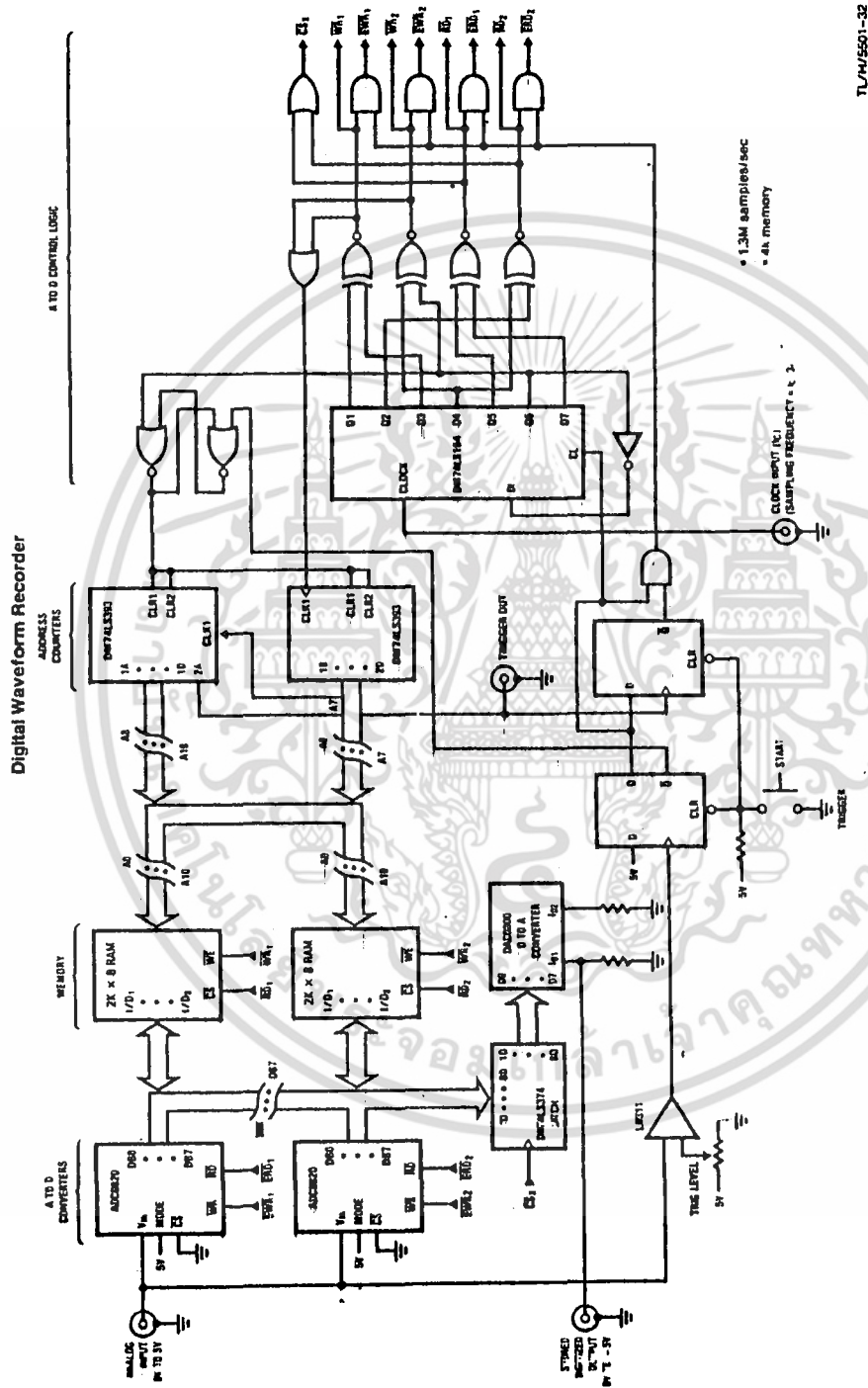


TL/H/5501-29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



### 3.0 Typical Applications (Continued)



TU/M/5501-32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BD ADC0820BCD ADC0820BCV	$\pm \frac{1}{2}$ LSB	D20A—Cavity DIP D20A—Cavity DIP V20A—Molded Chip Carrier	-55°C to +125°C -40°C to +80°C 0°C to +70°C
ADC0820BCM ADC0820BCN		M20B—Wide Body Small Outline N20A—Molded DIP	0°C to +70°C 0°C to +70°C
ADC0820CJ ADC0820CCJ ADC0820CCV	$\pm 1$ LSB	J20A—Cerdip J20A—Cerdip V20A—Molded Chip Carrier	-55°C to +125°C -40°C to +85°C 0°C to +70°C
ADC0820CCM ADC0820CCN		MJ20B—Wide Body Small Outline N20A—Molded DIP	0°C to +70°C 0°C to +70°C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

### General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonically performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V<sub>p-p</sub> with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V<sub>LC</sub>, grounded. Changing the V<sub>LC</sub> potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

### Features

- Fast settling output current 100 ns
- Full scale error ±1 LSB
- Nonlinearity over temperature ±0.1%
- Full scale current drift ±10 ppm/°C
- High output compliance -10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range ±4.5V to ±18V
- Low power consumption 33 mW at ±5V
- Low cost

### Typical Applications

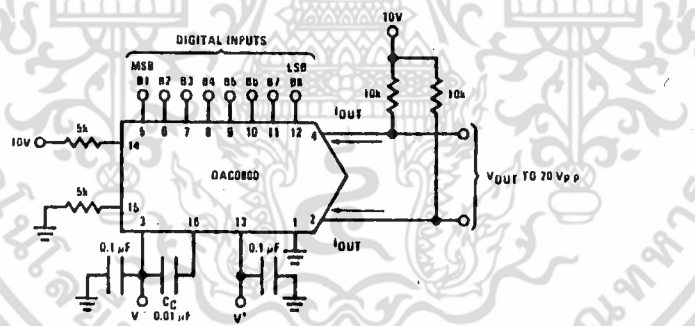


FIGURE 1. ±20 V<sub>p-p</sub> Output Digital-to-Analog Converter (Note 4)

### Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	-55°C ≤ T <sub>A</sub> ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T <sub>A</sub> ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	-55°C ≤ T <sub>A</sub> ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T <sub>A</sub> ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.30% FS	0°C ≤ T <sub>A</sub> ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

\*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V^+ - V^-$ )	$\pm 18V$ or $36V$
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	$V^-$ to $V^+$
Reference Input Common-Mode Range (V14, V15)	$V^-$ to $V^+$
Reference Input Current	5 mA
Logic Inputs	$V^-$ to $V^-$ plus $36V$
Analog Current Outputs ( $V_S^- = -15V$ )	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	$-65^\circ C$ to $+150^\circ C$

Lead Temp. (Soldering, 10 seconds)

Dual-In-Line Package (plastic)	$260^\circ C$
Dual-In-Line Package (ceramic)	$300^\circ C$
Surface Mount Package	
Vapor Phase (60 seconds)	$215^\circ C$
Infrared (15 seconds)	$220^\circ C$

### Operating Conditions (Note 1)

Temperature ( $T_A$ )	Min	Max	Units
DAC0802L	$-55$	$+125$	$^\circ C$
DAC0800L	$-55$	$+125$	$^\circ C$
DAC0800LC	$0$	$+70$	$^\circ C$
DAC0801LC	$0$	$+70$	$^\circ C$
DAC0802LC	$0$	$+70$	$^\circ C$

**Electrical Characteristics** The following specifications apply for  $V_S = \pm 15V$ ,  $I_{REF} = 2 mA$  and  $T_{MIN} = T_A = T_{MAX}$  unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $I_{OUT}$ .

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution Monotonicity Nonlinearity		8 8 8	8 8 8	$\pm 0.1$	8 8 8	8 8 8	$\pm 0.10$	8 8 8	8 8 8	8 8 8	Bits Bits %FS
$t_s$	Settling Time	To $\pm 1/2$ LSB, All Bits Switched "ON" or "OFF", $T_A = 25^\circ C$ DAC0800L DAC0800LC		100	135					100	150	ns
IPLH, IPHL	Propagation Delay Each Bit All Bits Switched	$T_A = 25^\circ C$		35	60		35	60		35	60	ns
				35	60		35	60		35	60	ns
TCIFS	Full Scale Tempo		$\pm 10$	$\pm 50$		$\pm 10$	$\pm 50$		$\pm 10$	$\pm 50$	ppm/ $^\circ C$	
VOC	Output Voltage Compliance	Full Scale Current Change $< 1/2$ LSB, $R_{OUT} > 20 M\Omega$ Typ	$-10$		18	$-10$		18	$-10$		18	V
IFS4	Full Scale Current	$V_{REF} = 10.000V$ , $R14 = 5.000 k\Omega$ $R15 = 5.000 k\Omega$ , $T_A = 25^\circ C$	1.994	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
IFSS	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		$\pm 0.5$	$\pm 4.0$		$\pm 1$	$\pm 8.0$		$\pm 2$	$\pm 16$	$\mu A$
I <sub>ZS</sub>	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	$\mu A$
I <sub>FSR</sub>	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V <sub>IL</sub> V <sub>IH</sub>	Logic Input Levels Logic "0" Logic "1"	$V_{LC} = 0V$			0.8			0.8			0.8	V
I <sub>IL</sub> I <sub>IH</sub>	Logic Input Current Logic "0" Logic "1"	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$ $2V \leq V_{IN} \leq +18V$		-2.0 0.002	-10 10		-2.0 0.002	-10 10		-2.0 0.002	-10 10	$\mu A$ $\mu A$
V <sub>IS</sub>	Logic Input Swing	$V^- = -15V$	$-10$		18	$-10$		18	$-10$		18	V
V <sub>THR</sub>	Logic Threshold Range	$V_S = \pm 15V$	$-10$		13.5	$-10$		13.5	$-10$		13.5	V
I <sub>IS</sub>	Reference Bias Current			-1.0	-3.0		-1.0	-3.0		-1.0	-3.0	$\mu A$
dI/dt	Reference Input Slew Rate	(Figure 12)	4.0	8.0		4.0	8.0		4.0	8.0		mA/ $\mu s$
PSSI <sub>FS+</sub>	Power Supply Sensitivity	$4.5V \leq V^+ \leq 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
PSSI <sub>FS-</sub>		$-4.5V \leq V^- \leq 18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
I <sub>+</sub> I <sub>-</sub>	Power Supply Current	$V_S = \pm 15V$ , $I_{REF} = 1 mA$		2.3 -4.3	3.8 -5.8		2.3 -4.3	3.8 -5.8		2.3 4.3	3.8 -5.8	mA mA
		$V_S = 5V$ , $-15V$ , $I_{REF} = 2 mA$		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 7.8	mA mA
		$V_S = \pm 15V$ , $I_{REF} = 2 mA$		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 7.8	mA mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

The following specifications apply for  $V_S = \pm 15V$ ,  $I_{REF} = 2\text{ mA}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$  unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $\bar{I}_{OUT}$ .

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
$P_D$	Power Dissipation	$\pm 5V$ , $I_{REF} = 1\text{ mA}$		33	48		33	48		33	48	mW
		$5V$ , $-15V$ , $I_{REF} = 2\text{ mA}$		108	136		108	136		108	136	mW
		$\pm 15V$ , $I_{REF} = 2\text{ mA}$		135	174		135	174		135	174	mW

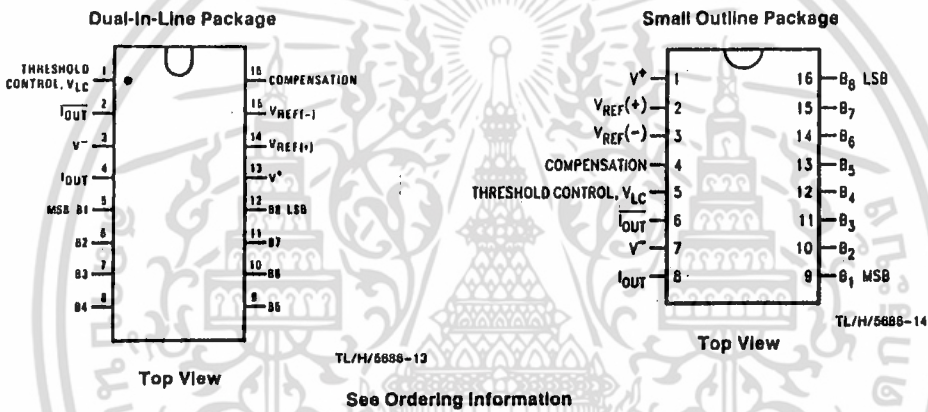
**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

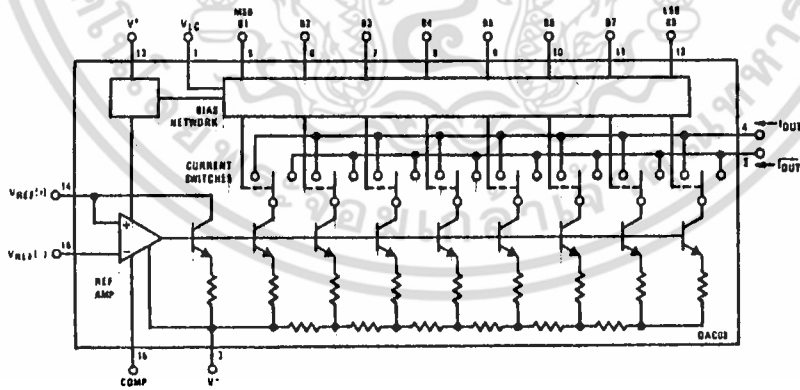
**Note 3:** Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

**Note 4:** Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

## Connection Diagrams

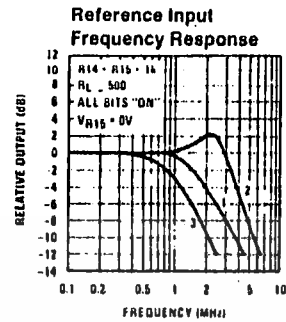
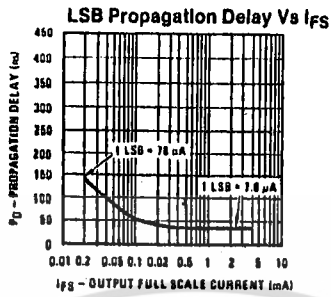
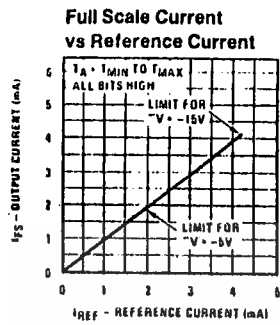


## Block Diagram (Note 4)

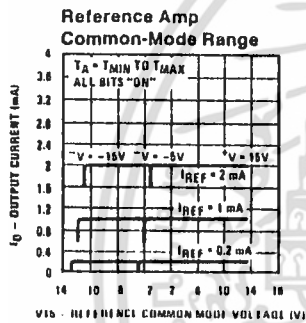


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

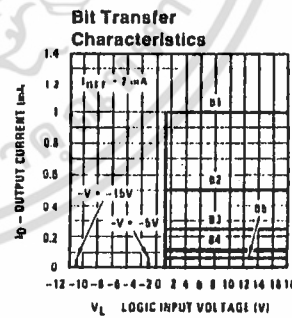
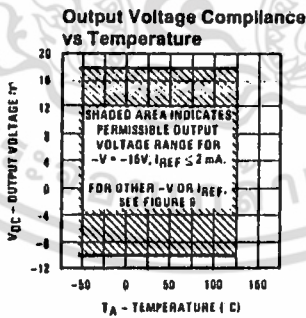
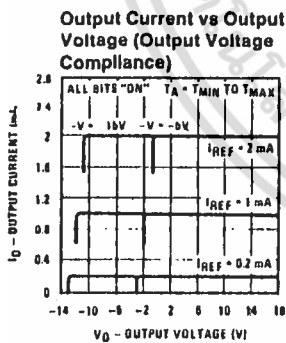
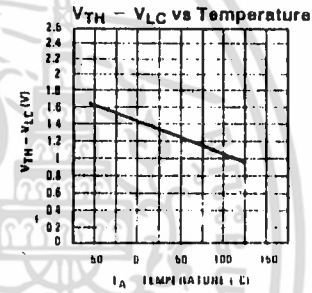
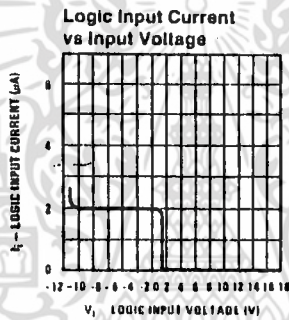
# Typical Performance Characteristics



Curve 1:  $C_C = 15 \text{ pF}$ ,  $V_{IN} = 2 \text{ Vp-p}$  centered at 1V.  
 Curve 2:  $C_C = 15 \text{ pF}$ ,  $V_{IN} = 50 \text{ mVp-p}$  centered at 200 mV.  
 Curve 3:  $C_C = 10 \text{ pF}$ ,  $V_{IN} = 100 \text{ mVp-p}$  at 0V and applied through 50  $\Omega$  connected to pin 14. 2V applied to R14.

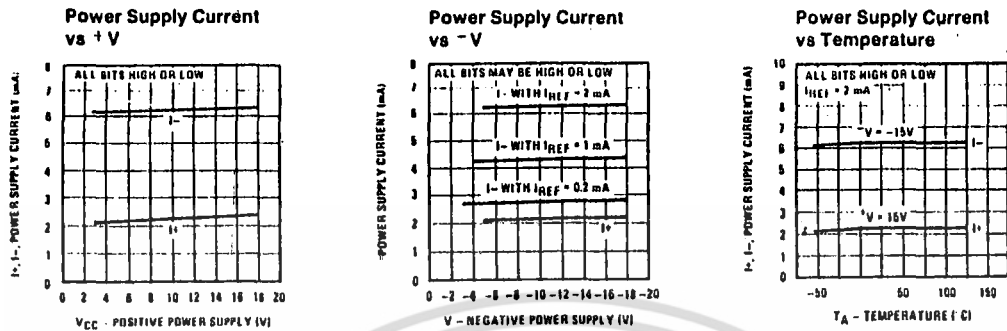


Note. Positive common-mode range is always  $(V+) - 1.5V$ .



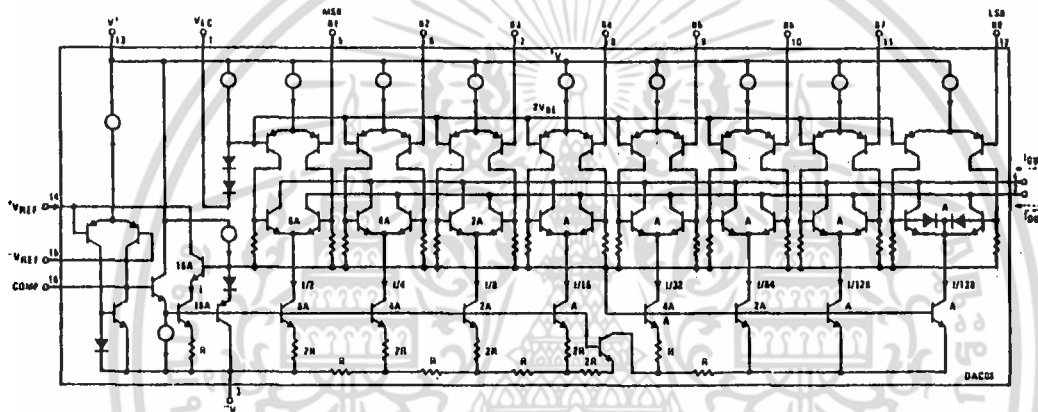
Note. B1 - B8 have identical transfer characteristics. Bits are fully switched with less than 1/4 LSB error, at less than  $\pm 100 \text{ mV}$  from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ( $V_{LC} = 0V$ ).

## Typical Performance Characteristics (Continued)



TL/H/5886-4

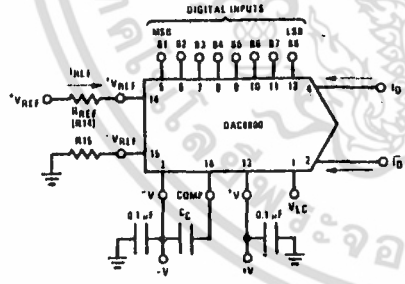
## Equivalent Circuit



TL/H/5886-15

FIGURE 2

## Typical Applications (Continued)



TL/H/5886-5

FIGURE 3. Basic Positive Reference Operation (Note 4)

$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$$I_0 + I_7 = I_{FS} \text{ for all logic states}$$

For fixed reference, TTL operation, typical values are:

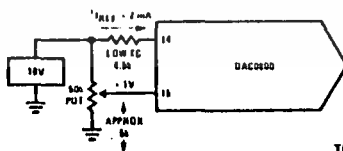
$$V_{REF} = 10.000V$$

$$R_{REF} = 5.000k$$

$$R_{15} = R_{REF}$$

$$C_C = 0.01 \mu F$$

$$V_{LC} = 0V \text{ (Ground)}$$



TL/H/5886-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5886-16

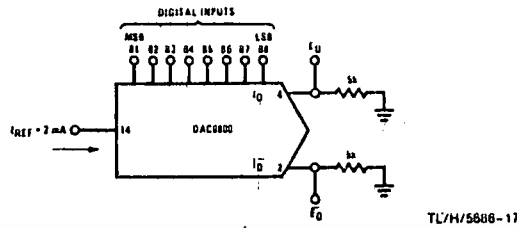
$$I_{FS} = \frac{-V_{REF}}{V_{REF}} \times \frac{255}{256}$$

Note: R<sub>REF</sub> sets I<sub>FS</sub>; R<sub>15</sub> is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

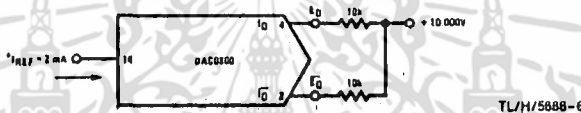
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



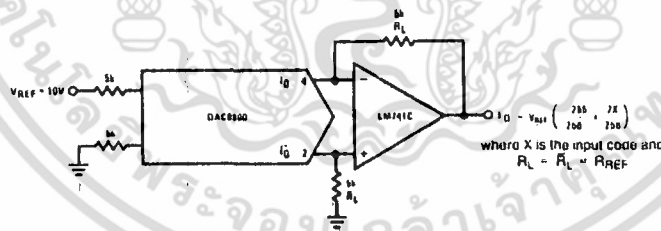
	B1	B2	B3	B4	B5	B6	B7	B8	$I_O$ mA	$\bar{I}_O$ mA	$E_O$	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale - LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale - LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)



	B1	B2	B3	B4	B5	B6	B7	B8	$E_O$	$\bar{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	-9.920	+10.000
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	-9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	-0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale - LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	-9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	-9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



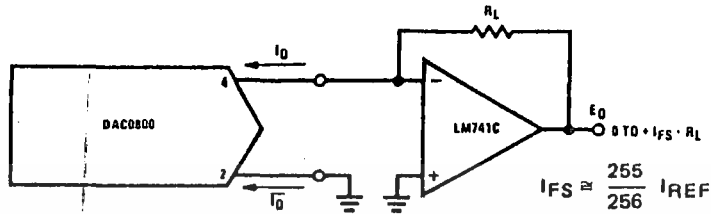
If  $R_1 = R_2$  within  $\pm 0.05\%$ , output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	$E_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.980
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	+9.880
(+) Zero Scale	1	0	0	0	0	0	0	0	+0.040
(-) Zero Scale	0	1	1	1	1	1	1	1	-0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	-9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	-9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

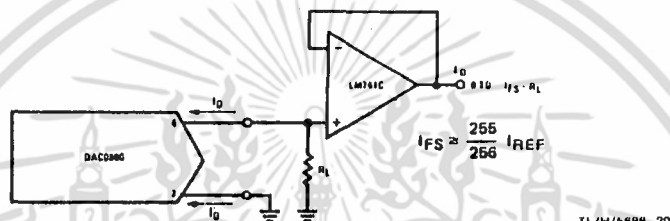
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)



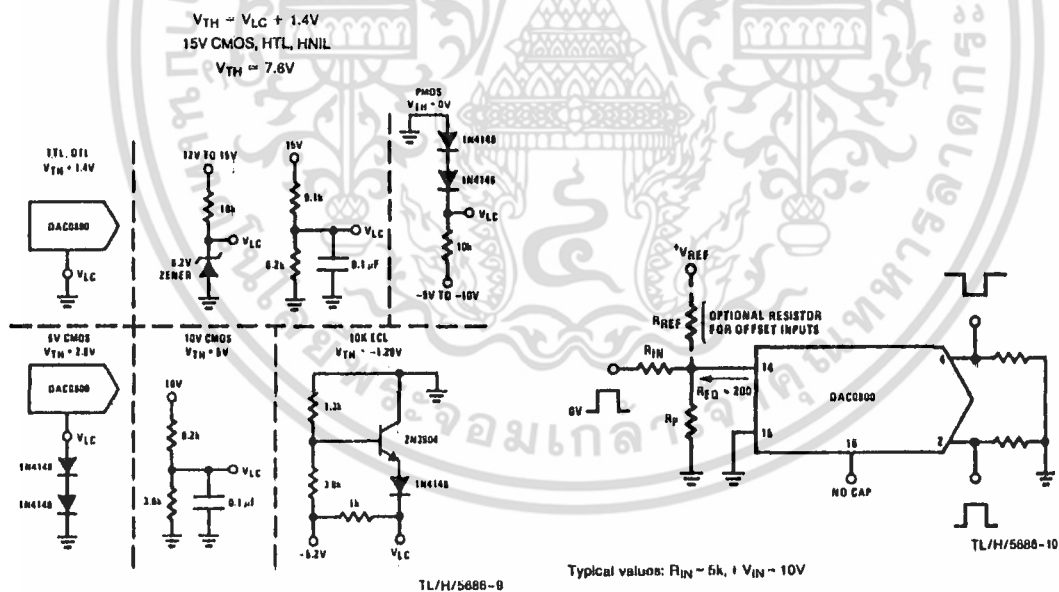
For complementary output (operation as negative logic DAC), connect inverting input of op amp to  $I_{\bar{Q}}$  (pin 2); connect  $I_Q$  (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to  $I_Q$  (pin 2); connect  $I_{\bar{Q}}$  (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families

FIGURE 12. Pulsed Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

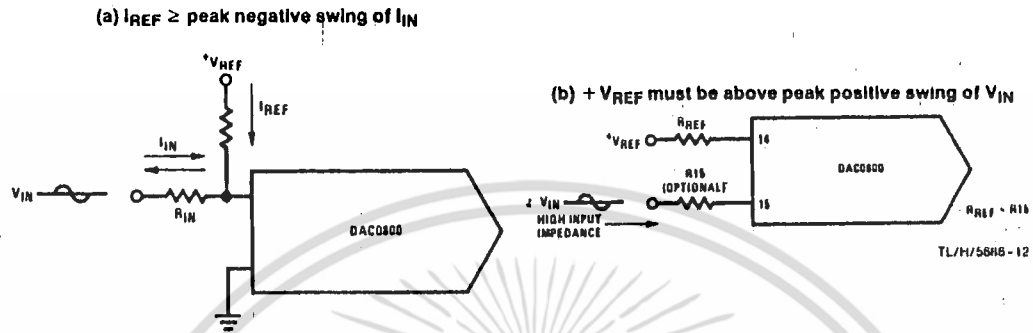


FIGURE 13. Accommodating Bipolar References (Note 4)

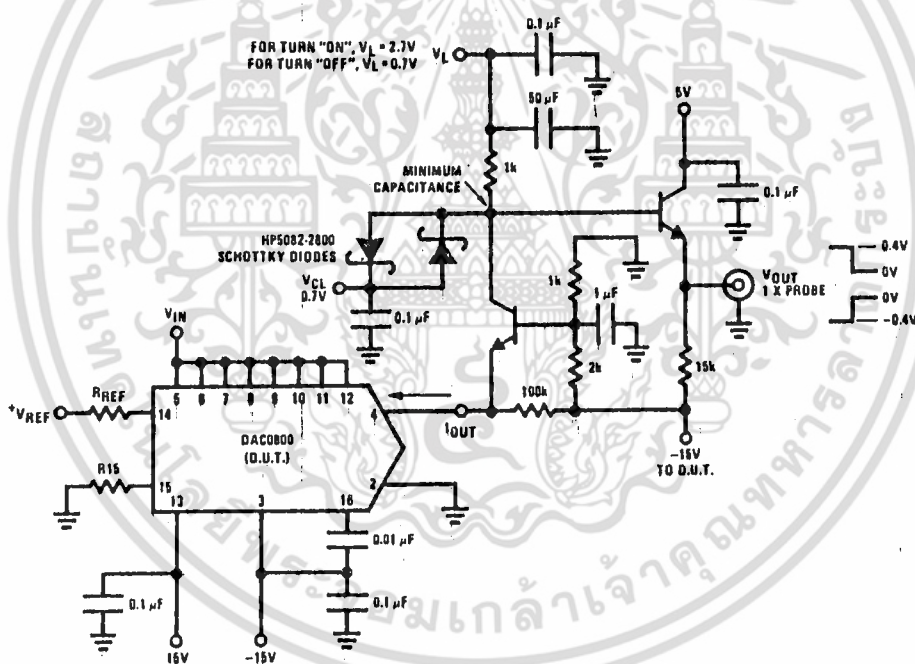


FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

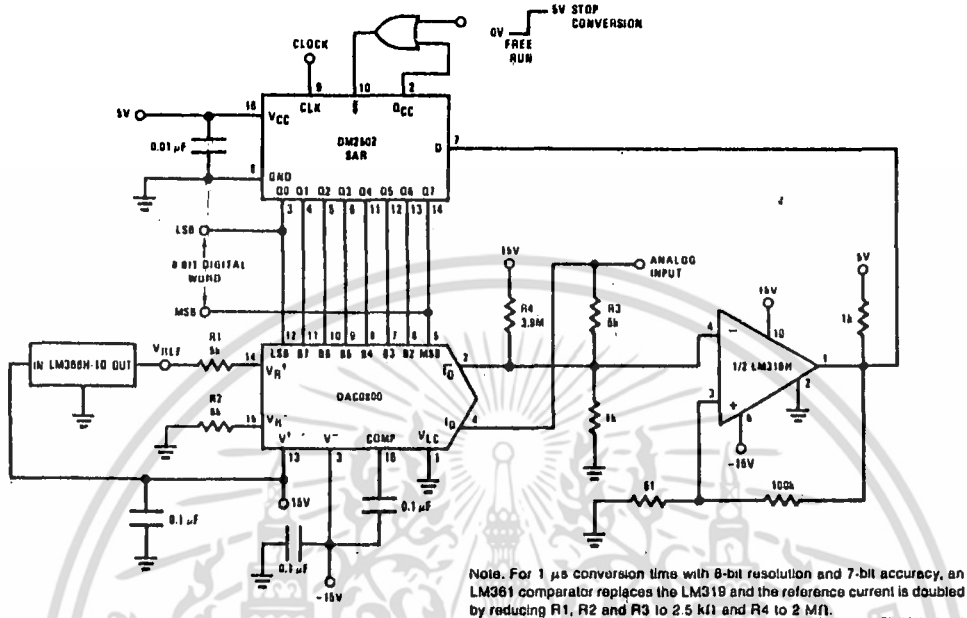


FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

TL11/5410-D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings

† Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
T <sub>J</sub> (MAX)	115°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	300°C
Metal Can	260°C
DIP	260°C

	H Package	N Package
$\theta_{JA}$	225°C/W (Still Air)	120°C/W
	160°C/W	
	(400 LF/min Air Flow)	
$\theta_{JC}$	25°C/W	

Soldering Information		
Dual-In-Line Package		260°C
Soldering (10 sec.)		
Small Outline Package		215°C
Vapor Phase (60 sec.)		220°C
Infrared (15 sec.)		

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

### DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V <sub>OS</sub>	Input Offset Voltage	R <sub>S</sub> = 10 k $\Omega$ , T <sub>A</sub> = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R <sub>S</sub> = 10 k $\Omega$		10		$\mu V/^{\circ}C$
I <sub>OS</sub>	Input Offset Current	T <sub>J</sub> = 25°C, (Notes 3, 4) T <sub>J</sub> $\leq$ 70°C		25	100 4	$\mu A$ nA
I <sub>B</sub>	Input Bias Current	T <sub>J</sub> = 25°C, (Notes 3, 4) T <sub>J</sub> $\leq$ 70°C		50	200 8	$\mu A$ nA
R <sub>IN</sub>	Input Resistance	T <sub>J</sub> = 25°C		10 <sup>12</sup>		$\Omega$
A <sub>VOL</sub>	Large Signal Voltage Gain	V <sub>S</sub> = $\pm$ 15V, T <sub>A</sub> = 25°C V <sub>O</sub> = $\pm$ 10V, R <sub>L</sub> = 2 k $\Omega$ Over Temperature	25	100		V/mV V/mV
V <sub>O</sub>	Output Voltage Swing	V <sub>S</sub> = $\pm$ 15V, R <sub>L</sub> = 10 k $\Omega$	$\pm$ 12	$\pm$ 13.5		V
V <sub>CM</sub>	Input Common-Mode Voltage Range	V <sub>S</sub> = $\pm$ 15V	$\pm$ 11	+ 15 - 12		V V
CMRR	Common-Mode Rejection Ratio	R <sub>S</sub> $\leq$ 10 k $\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I <sub>S</sub>	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LF351 Wide Bandwidth JFET Input Operational Amplifier

### General Description

The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

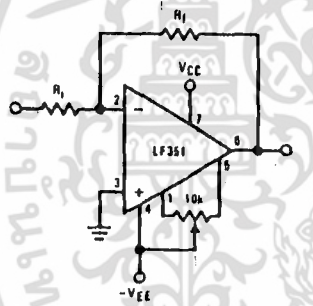
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply

current is important, however, the LF351 is the better choice.

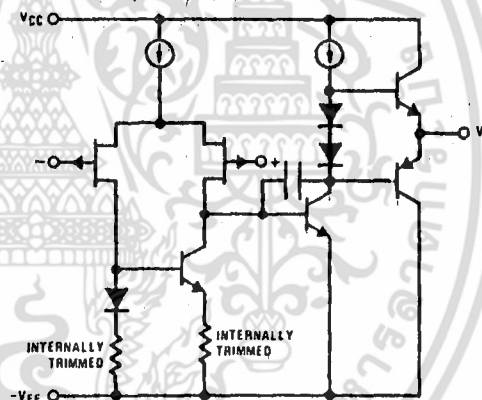
### Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	10 <sup>12</sup> Ω
■ Low total harmonic distortion A <sub>V</sub> = 10, R <sub>L</sub> = 10k, V <sub>O</sub> = 20 Vp-p, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

### Typical Connection

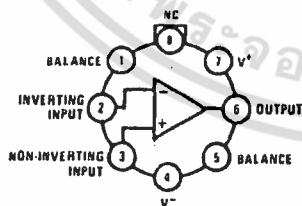


### Simplified Schematic



### Connection Diagrams (Top Views)

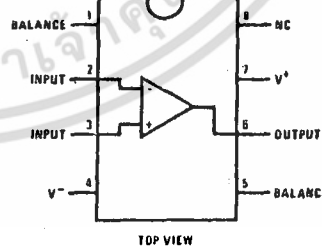
#### Metal Can Package



Note: Pin 4 connected to case.

Order Number LF351H  
See NS Package Number H08C

#### Dual-In-Line Package



Order Number LF351J,  
LF351M or LF351N  
See NS Package Number J08A, M08A or N08E

TL/H/5648-1

### AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V, T_A = 25^\circ C$		13		V/ $\mu s$
GBW	Gain Bandwidth Product	$V_S = \pm 15V, T_A = 25^\circ C$		4		MHz
$e_n$	Equivalent Input Noise Voltage	$T_A = 25^\circ C, R_S = 100\Omega, f = 1000 \text{ Hz}$		25		nV/ $\sqrt{Hz}$
$i_n$	Equivalent Input Noise Current	$T_J = 25^\circ C, f = 1000 \text{ Hz}$		0.01		pA/ $\sqrt{Hz}$

**Note 1:** For operating at elevated temperature, the device must be derated based on the thermal resistance,  $\theta_{JA}$ .

**Note 2:** Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

**Note 3:** These specifications apply for  $V_S = \pm 15V$  and  $0^\circ C \leq T_A \leq +70^\circ C$ .  $V_{OS}$ ,  $I_B$  and  $I_{OS}$  are measured at  $V_{CM} = 0$ .

**Note 4:** The input bias currents are junction leakage currents which approximately double for every  $10^\circ C$  increase in the junction temperature,  $T_J$ . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation,  $P_D$ .  $T_J = T_A + \theta_{JA} P_D$  where  $\theta_{JA}$  is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

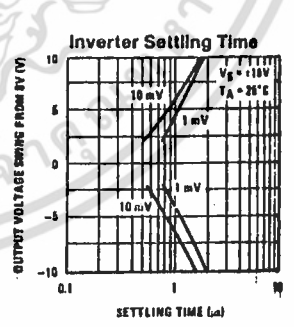
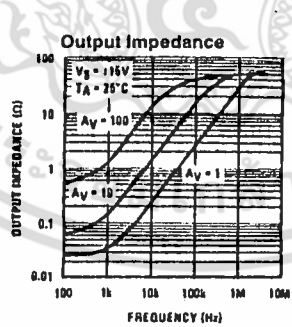
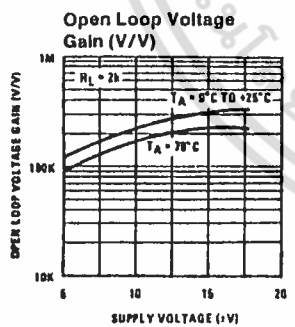
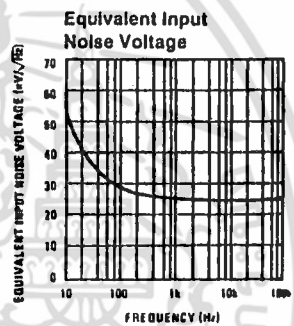
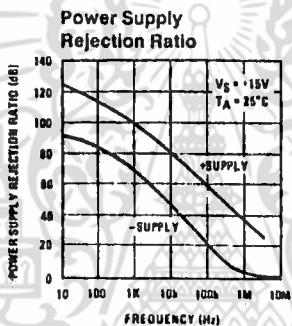
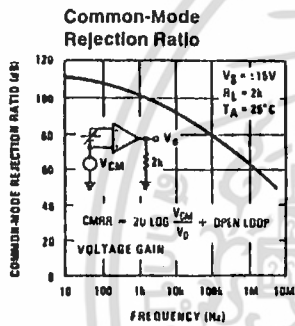
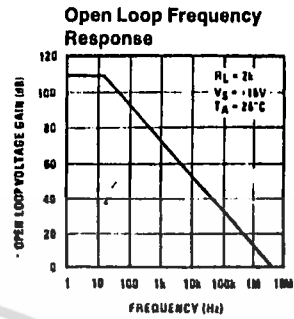
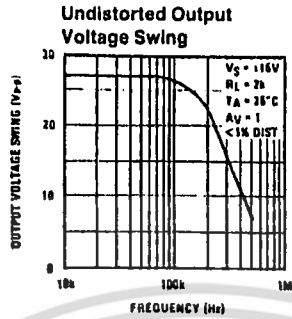
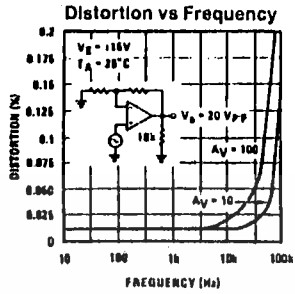
**Note 5:** Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From  $\pm 15V$  to  $\pm 5V$ .

**Note 6:** Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

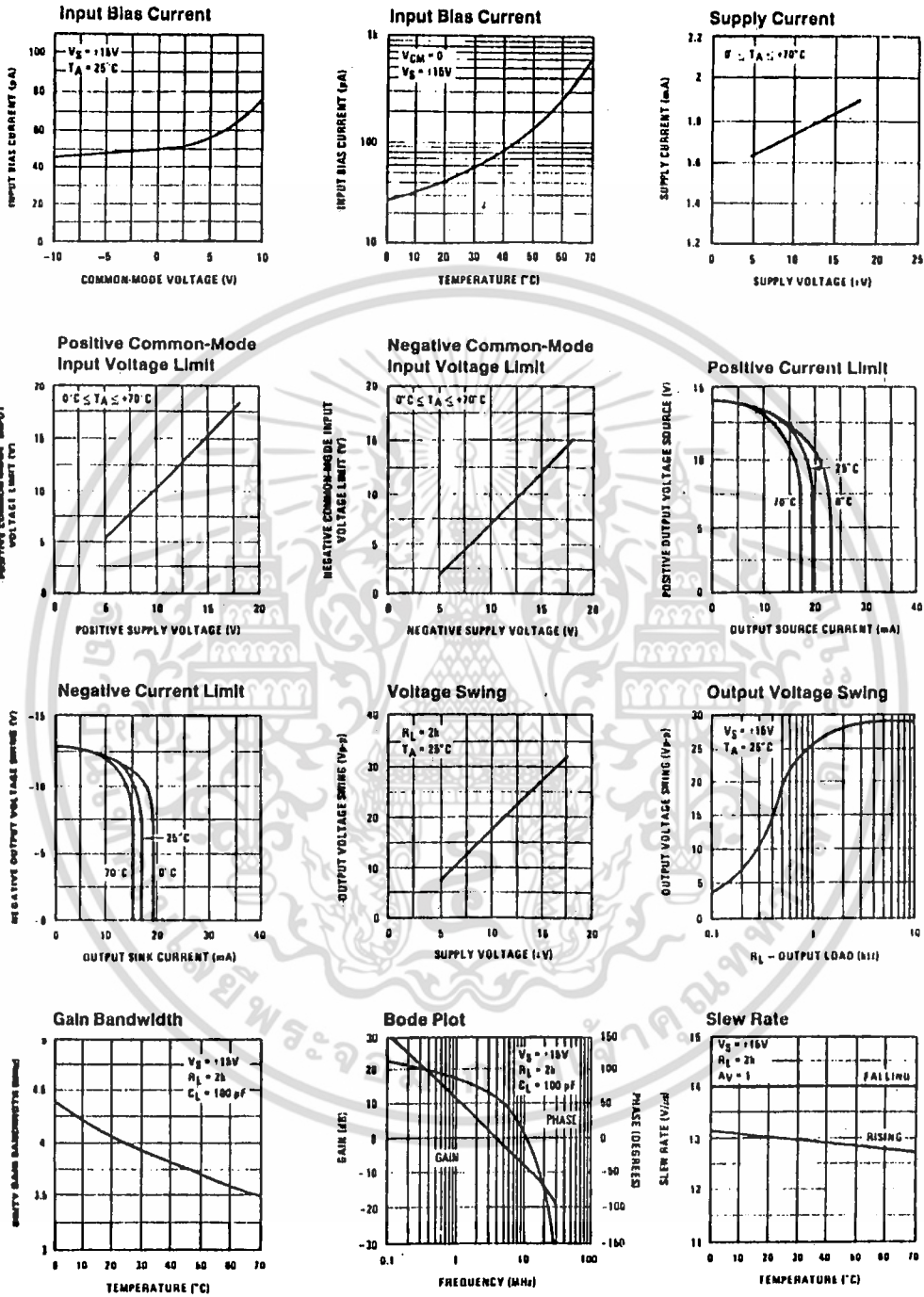
## Typical Performance Characteristics (Continued)



TL/H/1049-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

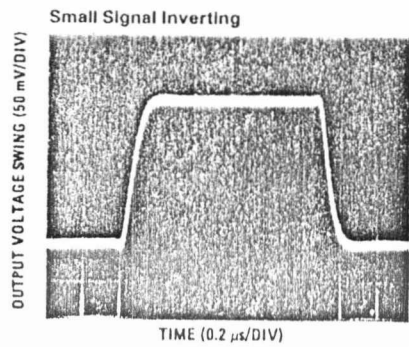
# Typical Performance Characteristics



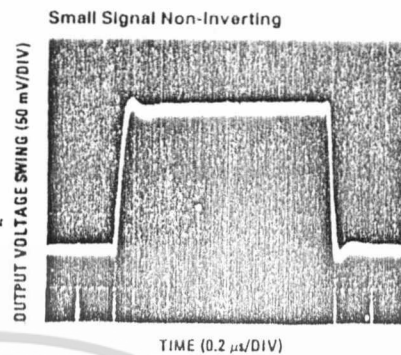
TL/H/564B-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

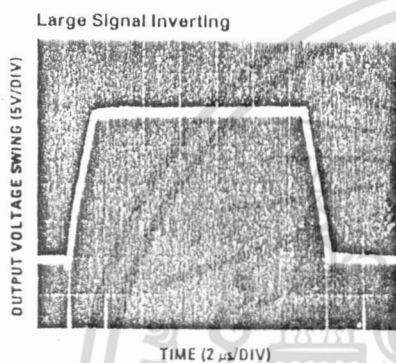
## Pulse Response



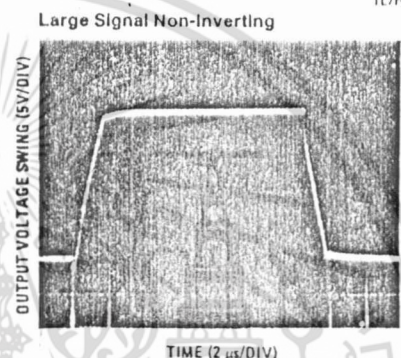
TL/H/5648-4



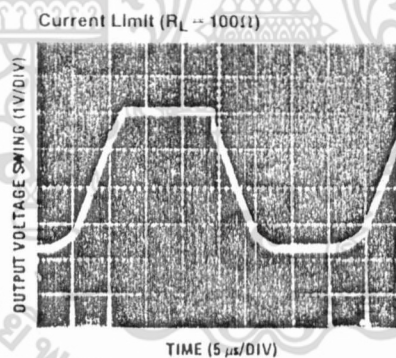
TL/H/5648-5



TL/H/5648-6



TL/H/5648-7



TL/H/5648-8

## Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will

cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on 14V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 k $\Omega$  load resistance to  $\pm 10V$  over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed back-

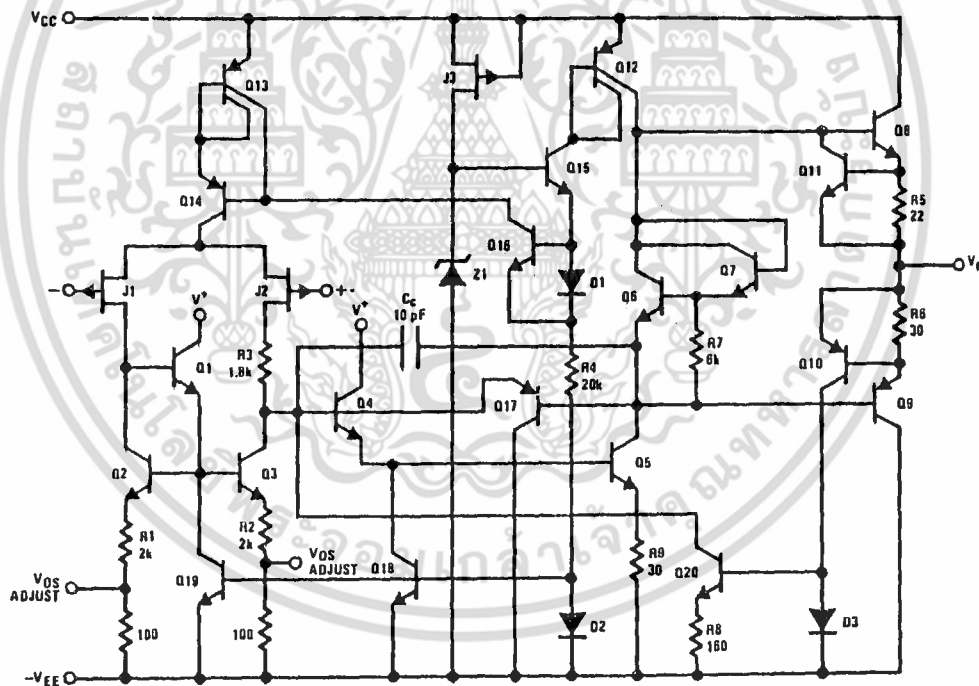
wards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around an amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

## Detailed Schematic

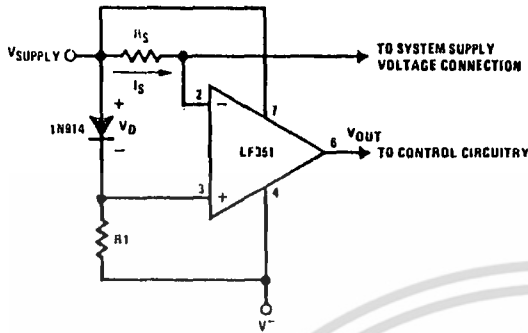


TL/H/5504-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

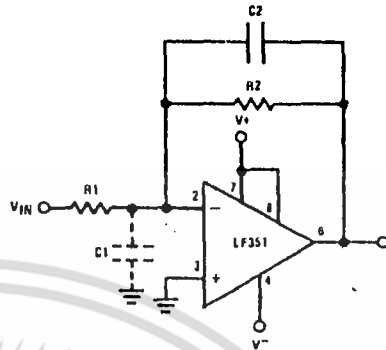
## Typical Applications

### Supply Current Indicator/Limiter



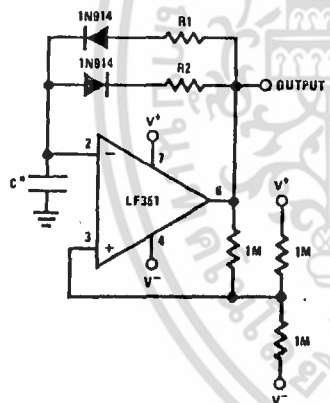
\*  $V_{OUT}$  switches high when  $R_3 I_S > V_D$

### Hi-Z<sub>IN</sub> Inverting Amplifier



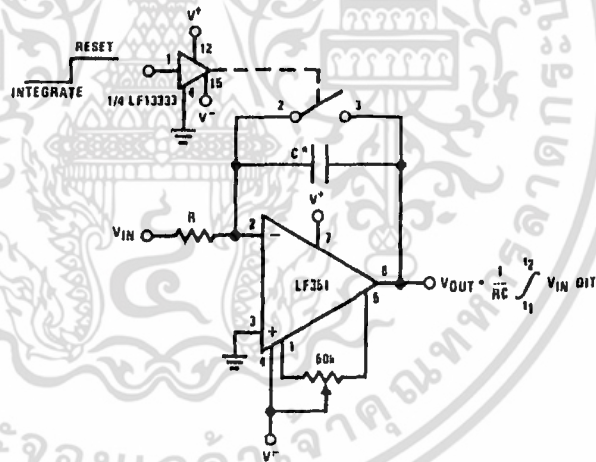
Parasitic input capacitance  $C_1 \approx (1 \text{ pF})$  for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high-frequency poles. To compensate, add  $C_2$  such that:  $R_2 C_2 \approx R_1 C_1$ .

### Ultra-Low (or High) Duty Cycle Pulse Generator



- \*  $I_{OUTPUT \text{ HIGH}} \approx R_1 C \cdot \frac{4.8 - 2V_S}{4.8 - V_S}$
- \*  $I_{OUTPUT \text{ LOW}} \approx R_2 C \cdot \frac{2V_S - 7.8}{V_S - 7.8}$
- where  $V_S = V^+ + |V^-|$
- \* low leakage capacitor

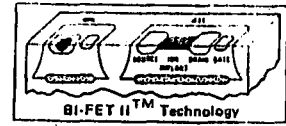
### Long Time Integrator



- \* Low leakage capacitor
- \* 50k pot used for less sensitive  $V_{OS}$  adjust

TL/H/564B-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## LF353 Wide Bandwidth Dual JFET Input Operational Amplifier

### General Description

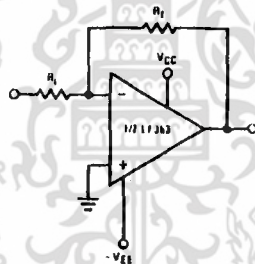
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

### Features

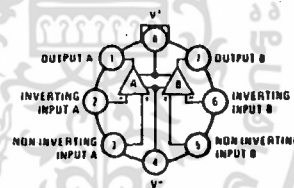
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	3.6 mA
■ High input impedance	10 <sup>12</sup> Ω
■ Low total harmonic distortion $A_V = 10$ , $R_L = 10k$ , $V_O = 20V_{pp}$ , $BW = 20\text{ Hz} - 20\text{ kHz}$	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

### Typical Connection



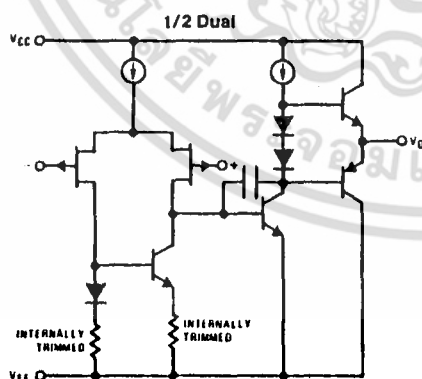
### Connection Diagrams

#### Metal Can Package (Top View)

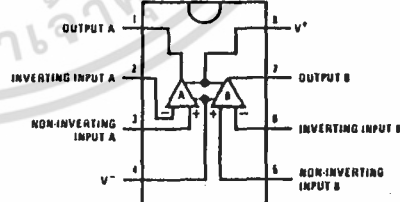


Order Number LF353H  
See NS Package Number H08C

### Simplified Schematic



#### Dual-In-Line Package (Top View)



Order Number LF353J, LF353M or LF353N  
See NS Package Number J08A, M08A or N08E

TL/H/5646-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation	(Note 1)
Operating Temperature Range	0°C to + 70°C
T <sub>J</sub> (MAX)	150°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous

Storage Temperature Range	65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

## DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
V <sub>OS</sub>	Input Offset Voltage	R <sub>S</sub> = 10kΩ, T <sub>A</sub> = 25°C Over Temperature		5	10 13	mV mV
ΔV <sub>OS</sub> /ΔT	Average TC of Input Offset Voltage	R <sub>S</sub> = 10 kΩ		10		μV/°C
I <sub>OS</sub>	Input Offset Current	T <sub>J</sub> = 25°C, (Notes 4, 5) T <sub>J</sub> ≤ 70°C		25	100 4	pA nA
I <sub>B</sub>	Input Bias Current	T <sub>J</sub> = 25°C, (Notes 4, 5) T <sub>J</sub> ≤ 70°C		50	200 8	pA nA
R <sub>IN</sub>	Input Resistance	T <sub>J</sub> = 25°C		10 <sup>12</sup>		Ω
A <sub>VOL</sub>	Large Signal Voltage Gain	V <sub>S</sub> = ± 15V, T <sub>A</sub> = 25°C V <sub>O</sub> = ± 10V, R <sub>L</sub> = 2 kΩ Over Temperature	25	100		V/mV V/mV
V <sub>O</sub>	Output Voltage Swing	V <sub>S</sub> = ± 15V, R <sub>L</sub> = 10kΩ	± 12	± 13.5		V
V <sub>CM</sub>	Input Common-Mode Voltage Range	V <sub>S</sub> = ± 15V	± 11	+ 15 - 12		V V
CMRR	Common-Mode Rejection Ratio	R <sub>S</sub> ≤ 10kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I <sub>S</sub>	Supply Current			3.6	6.5	mA

## AC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
	Amplifier to Amplifier Coupling	T <sub>A</sub> = 25°C, f = 1 Hz – 20 kHz (Input Referred)		- 120		dB
SR	Slew Rate	V <sub>S</sub> = ± 15V, T <sub>A</sub> = 25°C	8.0	13		V/μs
GBW	Gain Bandwidth Product	V <sub>S</sub> = ± 15V, T <sub>A</sub> = 25°C	2.7	4		MHz
e <sub>n</sub>	Equivalent Input Noise Voltage	T <sub>A</sub> = 25°C, R <sub>S</sub> = 100Ω, f = 1000 Hz		25		nV/√Hz
i <sub>n</sub>	Equivalent Input Noise Current	T <sub>J</sub> = 25°C, f = 1000 Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperatures, the device must be derated based on a thermal resistance of 115°C/W typ junction to ambient for the N package, and 195°C/W typ junction to ambient for the H package.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: The power dissipation limit, however, cannot be exceeded.

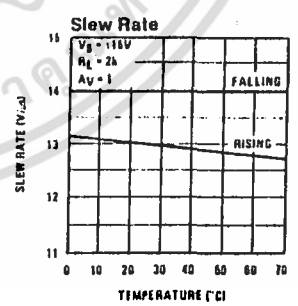
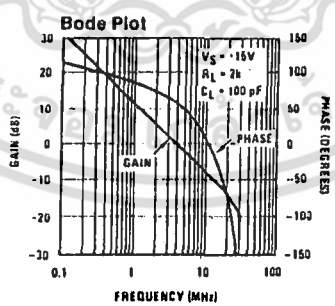
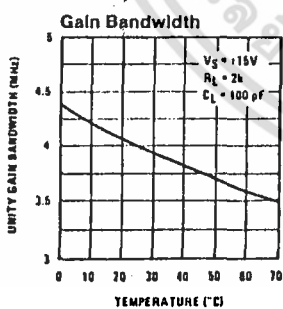
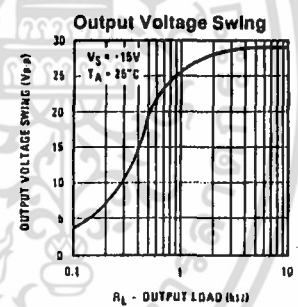
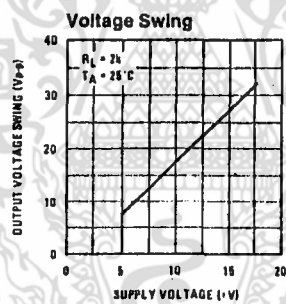
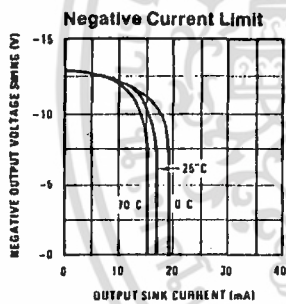
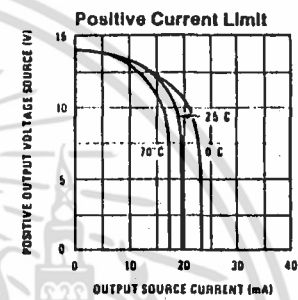
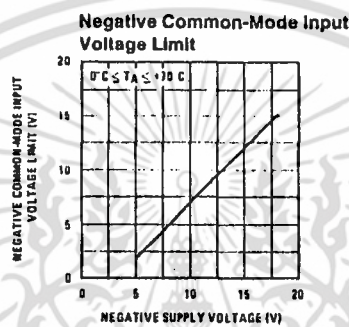
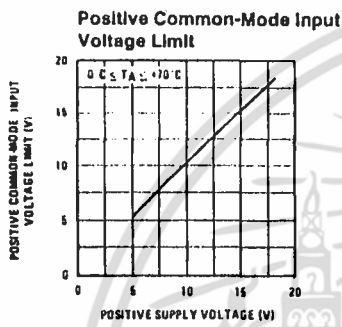
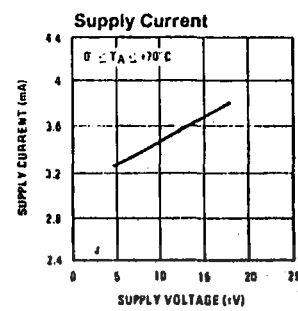
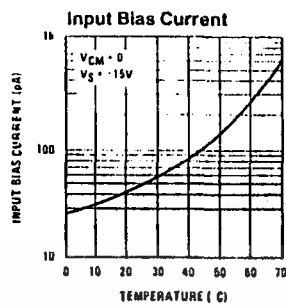
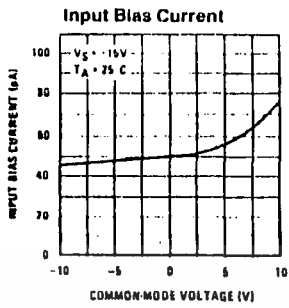
Note 4: These specifications apply for V<sub>S</sub> = ± 15V and 0°C ≤ T<sub>A</sub> ≤ + 70°C. V<sub>OS</sub>, I<sub>B</sub> and I<sub>OS</sub> are measured at V<sub>CM</sub> = 0.

Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T<sub>J</sub>. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P<sub>D</sub>. T<sub>J</sub> = T<sub>A</sub> + θ<sub>JA</sub> P<sub>D</sub> where θ<sub>JA</sub> is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice: V<sub>S</sub> = ± 18V to ± 15V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

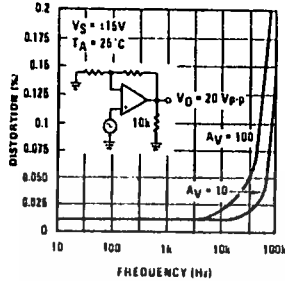


TL/H/5649-2

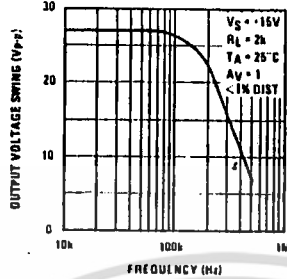
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)

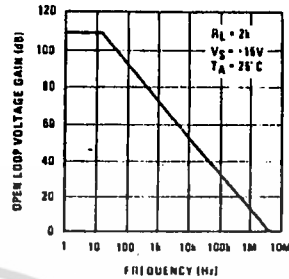
**Distortion vs Frequency**



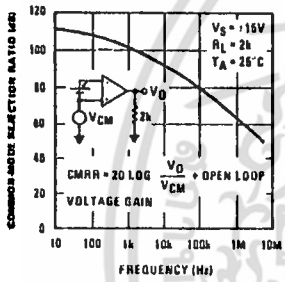
**Undistorted Output Voltage Swing**



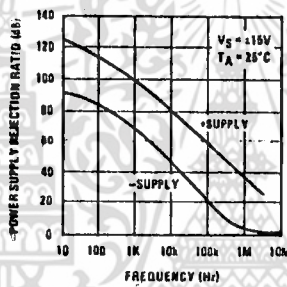
**Open Loop Frequency Response**



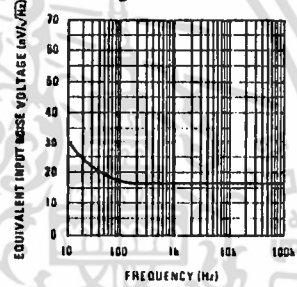
**Common-Mode Rejection Ratio**



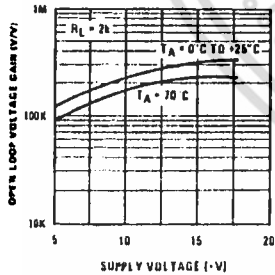
**Power Supply Rejection Ratio**



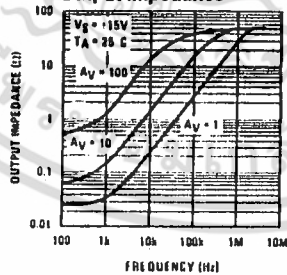
**Equivalent Input Noise Voltage**



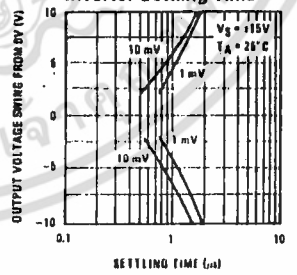
**Open Loop Voltage Gain (V/V)**



**Output Impedance**



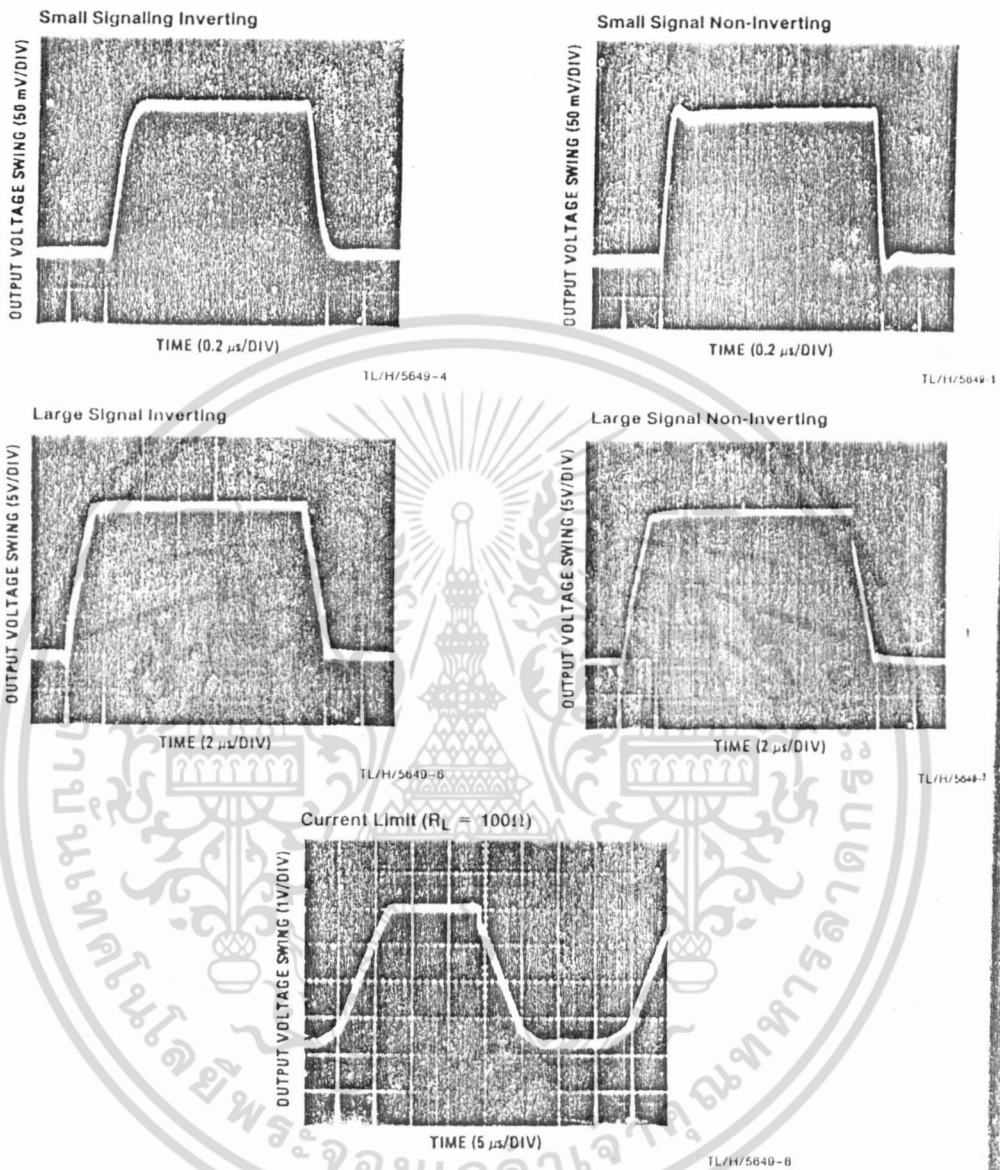
**Inverter Settling Time**



TL/H/5649-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pulse Response



## Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Application Hints (Continued)

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on  $\pm 6V$  power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 k $\Omega$  load resistance to  $\pm 10V$  over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the result-

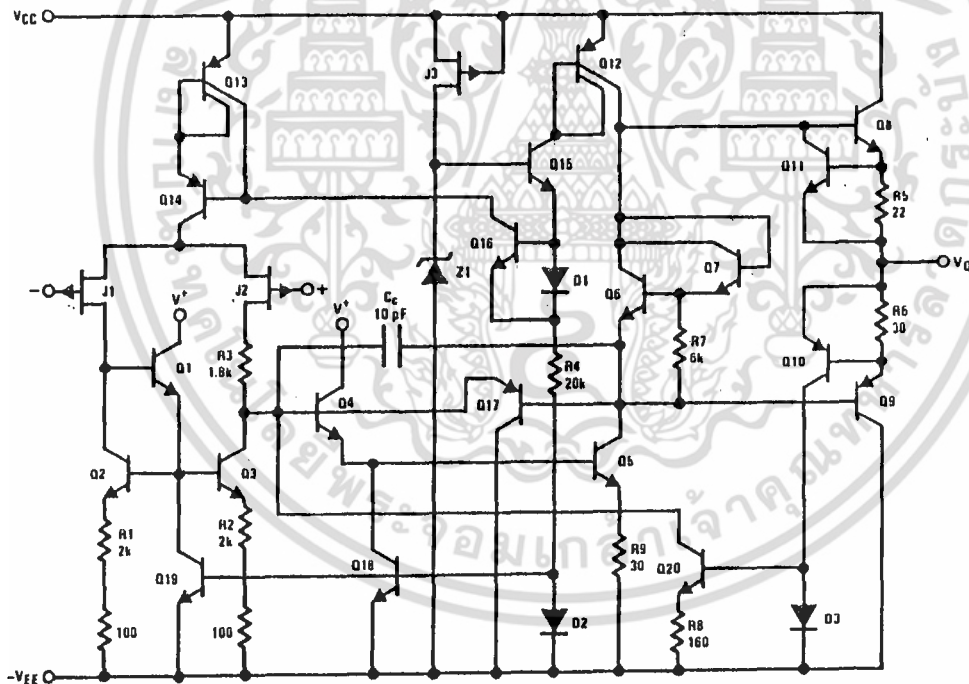
ing forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with load dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

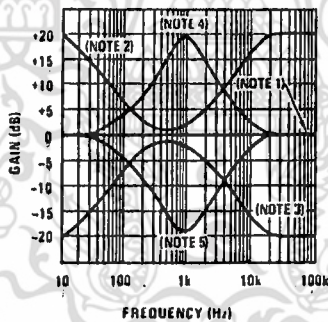
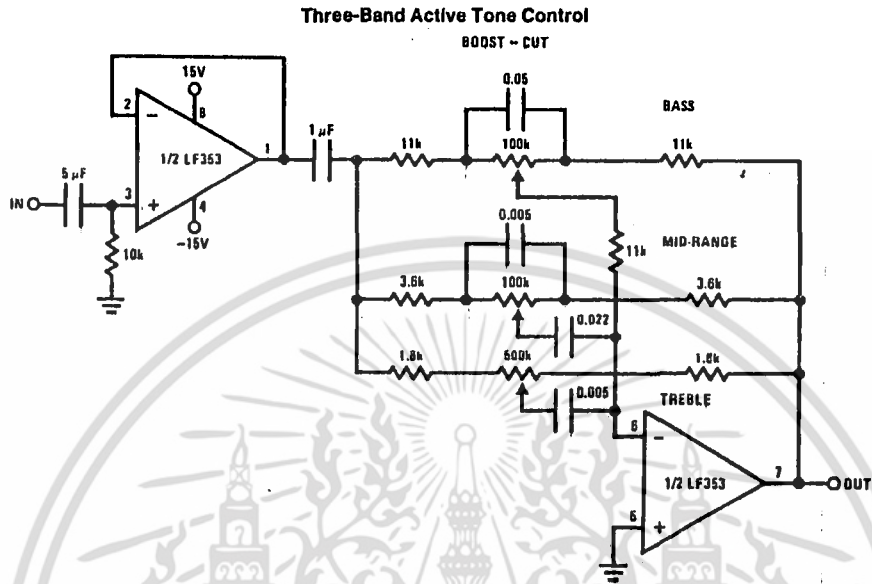
### Detailed Schematic



TL11/5649-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications



- Note 1: All controls flat.
- Note 2: Bass and treble boost, mid flat.
- Note 3: Bass and treble cut, mid flat.
- Note 4: Mid boost, bass and treble flat.
- Note 5: Mid cut, bass and treble flat.

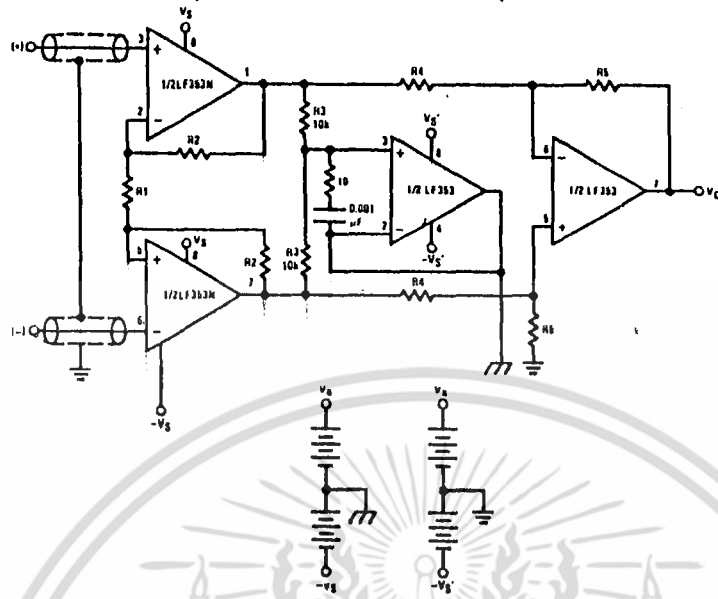
- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

TL/H/5849-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)

### Improved CMRR Instrumentation Amplifier



$$A_V = \left( \frac{2R_2}{R_1} + 1 \right) \frac{R_6}{R_4}$$

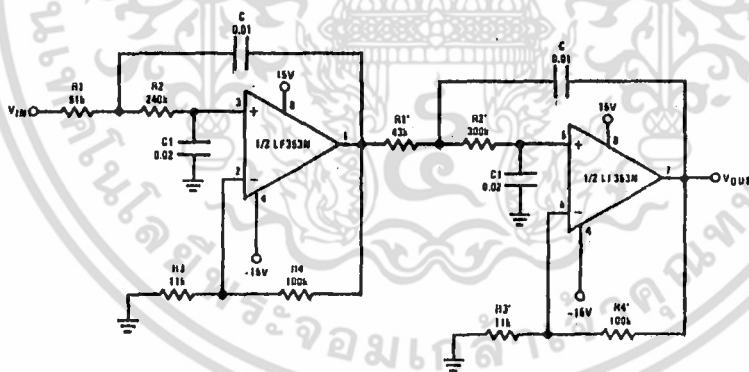
$\text{---}$  and  $\text{---}$  are separate isolated grounds

Matching of  $R_2$ 's,  $R_4$ 's and  $R_6$ 's control CMRR

With  $A_{VT} = 1400$ , resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

### Fourth Order Low Pass Butterworth Filter



$$\bullet \text{ Corner frequency } (f_c) = \sqrt{\frac{1}{R_1 R_2 C C_1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R_1' R_2' C C_1}} \cdot \frac{1}{2\pi}$$

• Passband gain ( $H_0$ ) =  $(1 + R_4/R_3) (1 + R_4'/R_3')$

• First stage  $Q = 1.31$

• Second stage  $Q = 0.541$

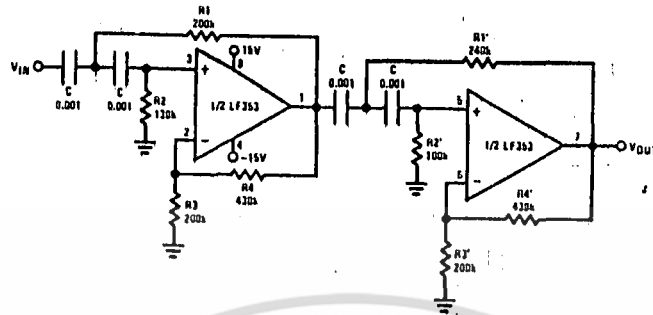
• Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100

• Offset nulling necessary for accurate DC performance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

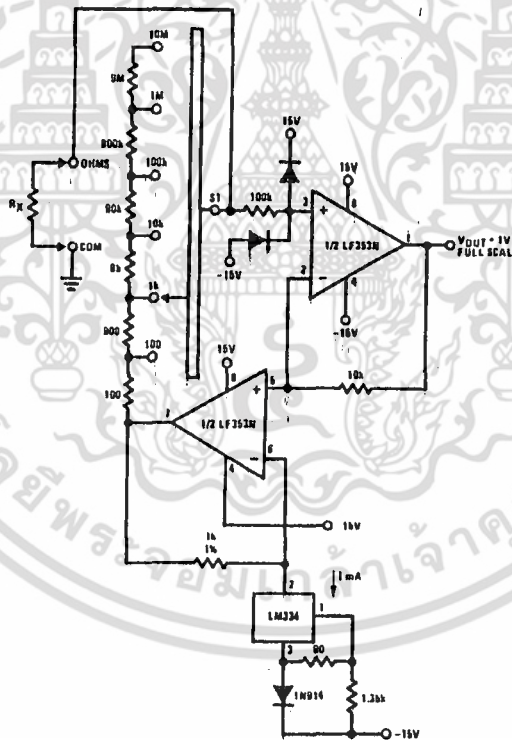
## Typical Applications (Continued)

### Fourth Order High Pass Butterworth Filter



- Corner frequency ( $f_c$ ) =  $\sqrt{\frac{1}{R_1 R_2 C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R_1' R_2' C^2}} \cdot \frac{1}{2\pi}$
- Passband gain ( $H_0 = (1 + R_4/R_3) (1 + R_4'/R_3')$ )
- First stage  $Q = 1.31$
- Second stage  $Q = 0.541$
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10.

### Ohms to Volts Converter



$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where  $R_{LADDER}$  is the resistance from switch S1 pole to pin 7 of the LF353.

TL/H/5649-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM741/LM741A/LM741C/LM741E Operational Amplifier

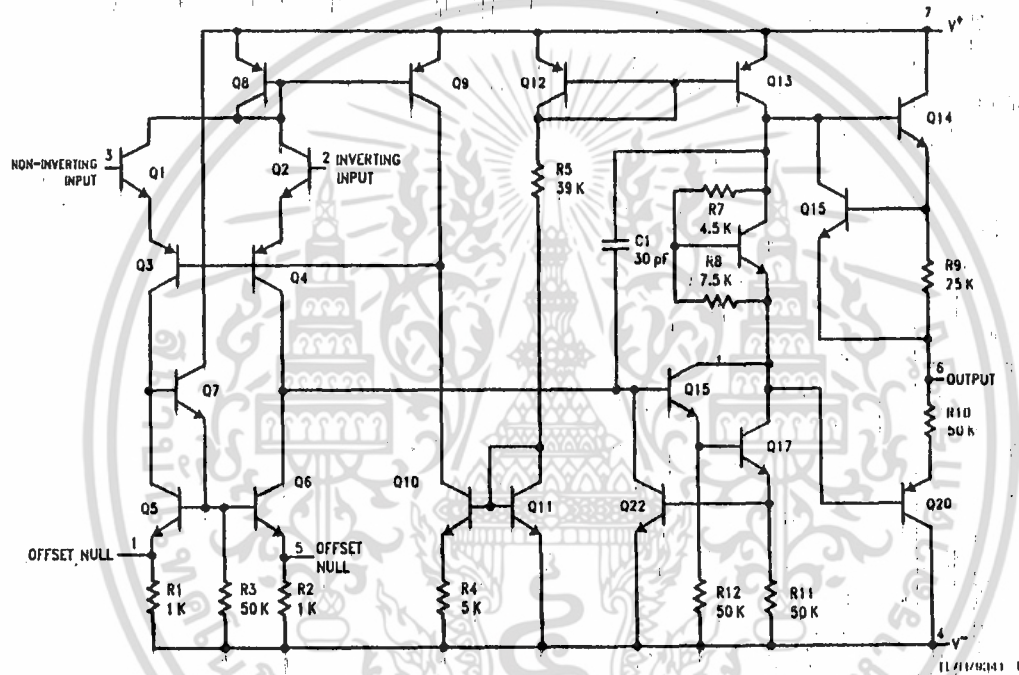
### General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications. The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

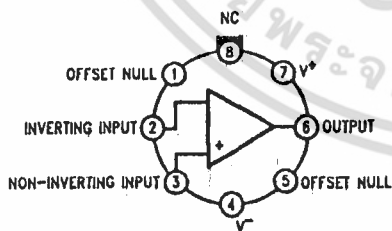
output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

### Schematic and Connection Diagrams (Top Views)

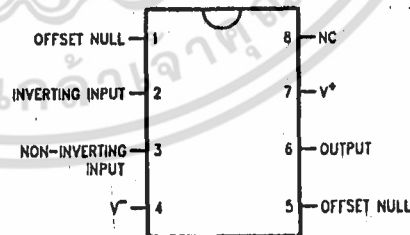


Metal Can Package



Order Number LM741H, LM741AH,  
LM741CH or LM741EH  
See NS Package Number H08C

Dual-In-Line or S.O. Package



Order Number LM741CJ, LM741CM,  
LM741CN or LM741EN  
See NS Package Number J08A, M08A or N08E

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.  
(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

## Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ $R_S \leq 10\text{ k}\Omega$ $R_S \leq 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$			4.0			6.0			7.5	mV mV
Average Input Offset Voltage Drift				15							$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	±10				±15			±15		mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	$\mu\text{A}$
Input Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0		0.3	2.0		M $\Omega$
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ , $V_S = \pm 20\text{V}$	0.5									M $\Omega$
Input Voltage Range	$T_A = 25^\circ\text{C}$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}, R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	50				50	200		20	200	V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ , $R_L \geq 2\text{ k}\Omega$ , $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	32									V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ , $R_L \geq 2\text{ k}\Omega$ , $V_S = \pm 10\text{V}, V_O = \pm 10\text{V}$	10			25				15		V/mV V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$ $R_L \geq 10 k\Omega$ $R_L \geq 2 k\Omega$	$\pm 16$									V V
	$V_S = \pm 15V$ $R_L \geq 10 k\Omega$ $R_L \geq 2 k\Omega$				$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		V V
Output Short Circuit Current	$T_A = 25^\circ C$	10	26	35		25			25		mA mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S = 10 k\Omega, V_{CM} = \pm 12V$ $R_S \leq 50 k\Omega, V_{CM} = \pm 12V$				70	90		70	90		dB dB
		80	95								
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $V_S = \pm 20V$ to $V_S = \pm 5V$ $R_S \leq 50\Omega$ $R_S \leq 10 k\Omega$										dB dB
		86	96		77	96		77	96		
Transient Response Rise Time Overshoot	$T_A = 25^\circ C$ , Unity Gain		0.25	0.8		0.3			0.3		$\mu s$ %
			6.0	20		5			5		
Bandwidth (Note 4)	$T_A = 25^\circ C$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ C$ , Unity Gain	0.3	0.7			0.5			0.5		V/ $\mu s$
Supply Current	$T_A = 25^\circ C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25^\circ C$ $V_S = \pm 20V$ $V_S = \pm 15V$		80	150		50	85		50	85	mW mW
	LM741A $V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			165 135							mW mW
LM741E	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			150 150							mW mW
LM741	$V_S = \pm 15V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$					60 45	100 75				mW mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and  $T_J$  max. (listed under "Absolute Maximum Ratings").  $T_J = T_A + (\theta_{JA} P_D)$ .

Thermal Resistance	Cerdip (J)	DIP (N)	TO-5 (H)	SO-8 (M)
$\theta_{JA}$ (Junction to Ambient)	100°C/W	100°C/W	150°C/W	165°C/W
$\theta_{JC}$ (Junction to Case)	N/A	N/A	80°C/W	N/A

Note 2: For supply voltages less than  $\pm 15V$ , the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for  $V_S = \pm 15V$ ,  $-55^\circ C \leq T_A \leq +125^\circ C$  (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to  $0^\circ C \leq T_A \leq +70^\circ C$ .

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time( $\mu s$ ).

Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1558/LM1458 Dual Operational Amplifier

### General Description

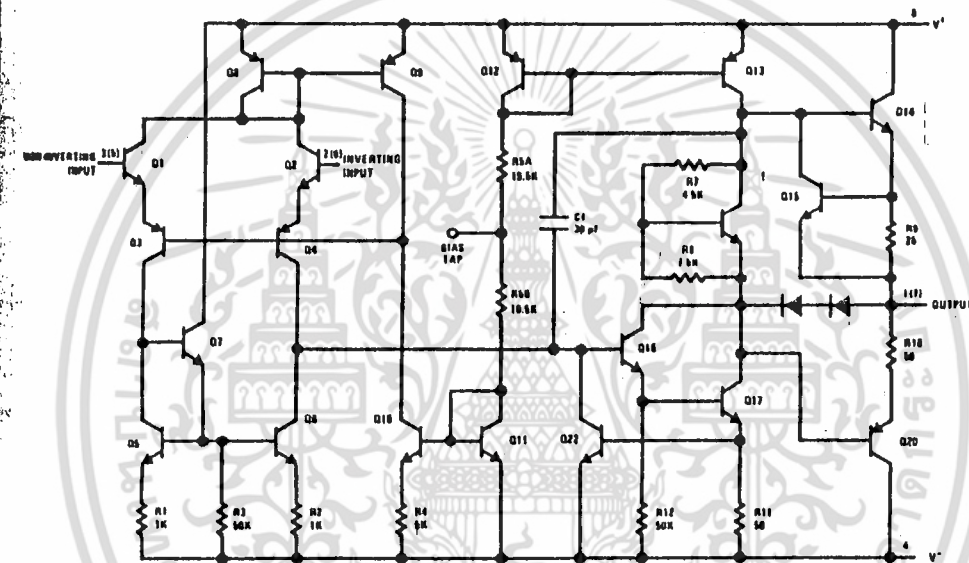
The LM1558 and the LM1458 are general purpose dual operational amplifiers. The two amplifiers share a common bias network and power supply leads. Otherwise, their operation is completely independent.

The LM1458 is identical to the LM1558 except that the LM1458 has its specifications guaranteed over the temperature range from 0°C to +70°C instead of -55°C to +125°C.

### Features

- No frequency compensation required
- Short-circuit protection
- Wide common-mode and differential voltage ranges
- Low-power consumption
- 8-lead TO-5 and 8-lead mini DIP
- No latch up when input common mode range is exceeded

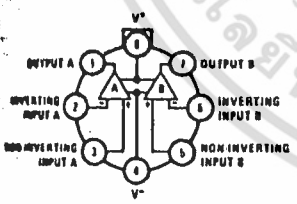
### Schematic and Connection Diagrams



Note: Numbers in parentheses are pin numbers for amplifier B.

TL/H/7886-1

#### Metal Can Package



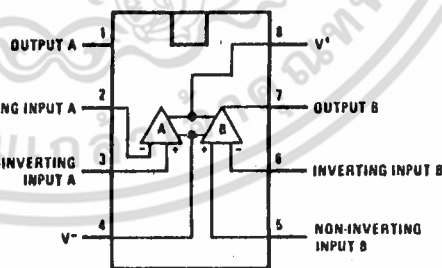
Top View

Order Number LM1558H  
or LM1458H

See NS Package Number H08C

TL/H/7886-2

#### Dual-In-Line Package



Top View

Order Number LM1558J, LM1458J, LM1458M or LM1458N  
See NS Package Number J08A, M08A or N08E

TL/H/7886-3

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 4)

Supply Voltage	
LM1558	± 22V
LM1458	± 18V
Power Dissipation (Note 1)	
LM1558H/LM1458H	500 mW
LM1458N	400 mW
Differential Input Voltage	± 30V
Input Voltage (Note 2)	± 15V
Output Short-Circuit Duration	Indefinite

Operating Temperature Range

LM1558	-55°C to +125°C
LM1458	0°C to +70°C

Storage Temperature Range

-65°C to +150°C

Lead Temperature (Soldering, 10 sec.)

260°C

Soldering Information

Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

## Electrical Characteristics (Note 3)

Parameter	Conditions	LM1558			LM1458			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}, R_S \leq 10\text{ k}\Omega$		1.0	5.0		1.0	6.0	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		80	200		80	200	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		200	500		200	500	nA
Input Resistance	$T_A = 25^\circ\text{C}$	0.3	1.0		0.3	1.0		M $\Omega$
Supply Current Both Amplifiers	$T_A = 25^\circ\text{C}, V_S = \pm 15\text{V}$		3.0	5.0		3.0	5.6	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}, V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}, R_L \geq 2\text{ k}\Omega$	50	160		20	160		V/mV
Input Offset Voltage	$R_S \leq 10\text{ k}\Omega$			6.0			7.5	mV
Input Offset Current				500			300	nA
Input Bias Current				1.5			0.8	$\mu\text{A}$
Large Signal Voltage Gain	$V_S = \pm 15\text{V}, V_{OUT} = \pm 10\text{V}$ $R_L \geq\text{ k}\Omega$	25			15			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}, R_L = 10\text{ k}\Omega$ $R_L = 2\text{ k}\Omega$	± 12	± 14		± 12	± 14		V
Input Voltage Range	$V_S = \pm 15\text{V}$	± 12			± 12			V
Common Mode Rejection Ratio	$R_S \leq 10\text{ k}\Omega$	70	90		70	90		dB
Supply Voltage Rejection Ratio	$R_S \leq 10\text{ k}\Omega$	77	96		77	96		dB

Note 1: The maximum junction temperature of the LM1558 is 150°C, while that of the LM1458 is 100°C. For operating at elevated temperatures, devices in the SO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 187°C/W, junction to ambient.

Note 2: For supply voltages less than ± 15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: These specifications apply for  $V_S = \pm 15\text{V}$  and  $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ , unless otherwise specified. With the LM1458, however, all specifications are limited to  $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$  and  $V_S = \pm 15\text{V}$ .

Note 4: Refer to RETS 1558V for LM1558J and LM1558H military specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL									
	Device Type	C	P	M	CF	Device Type	C	P	M	CF	Device Type	C	P	M	CF	Device Type	C	P	M	CF	Device Type	C	P	M	CF	
T.I.	SN54500	J	ND	WD		SN54H00	J	ND	WD		SN54LS00	J	ND	WD		SN5400	J	ND	WD		SN54L00	J	ND	WD		
FAIRCHILD	FM54500/FM5900	D	ND			FM54H00/FM5900	D	ND			FM54LS00/FM5900	D	ND			FM5400/FM5900	D	ND			FM54L00/FM5900	D	ND			
MOTOROLA	MC3100	L	ND			MC3000	L	ND			MC3400	L	ND			MC3400	L	ND			MC3400	L	ND			
N.S.C.	DM74500	N	ND			DM54H00	N	ND			DM54L00	N	ND			DM5400	N	ND			DM54L00	N	ND			
PHILIPS	N74500	P	ND			UJH131/74H00	P	ND			N74L500	P	ND			FJH131/7400	P	ND								
SIGNETICS	NS4500	F	ND			BS4H00	F	ND			NS4L500	F	ND			BS400	F	ND								
SIEMENS	N74500	F	ND			N74H00	F	ND			N74L500	F	ND			N7400	F	ND								
FUJITSU						MB501	M	ND			74L500	M	ND			MB400	M	ND								
HITACHI	HD74500	H	ND								HD74L500	H	ND			HD7400/HD2503	H	ND								
MITSUBISHI	M55000	M	ND								M74L500	M	ND			M5300	M	ND								
NEC	μPB2500	D	ND								74L500	D	ND			μPB201	D	ND								
TOSHIBA																TD3400A	T	ND								

## Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V	Storage temperature range	SN74LS	-75 to 150°C
Intermetallic voltage	5.1V	Storage temperature range		-55°C to 125°C

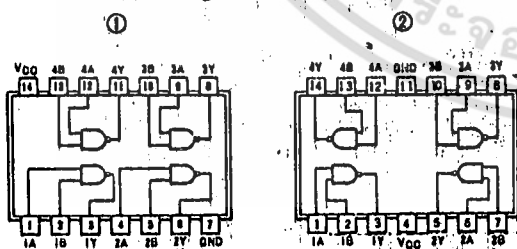
### recommended operating conditions

	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	mA
Low-level output current, I <sub>OL</sub>			4			4	mA
Operating free-air temperature, T <sub>A</sub>	-55		125	0		75	°C

### electrical characteristics over recommended operating free-air temperature range

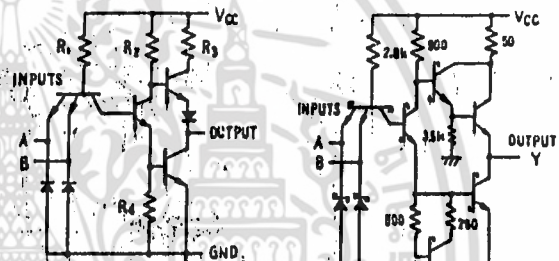
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage		0.8		V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, I <sub>OH</sub> = MAX, V <sub>IL</sub> = V <sub>I</sub> 50%	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, I <sub>OL</sub> = 4mA	0.2	0.4	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V	9.1		mA
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>IH</sub> = 2.7V	20		mA
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>IL</sub> = 0.4V	-0.4		mA
I <sub>OS</sub>	Short-circuit output current †	V <sub>CC</sub> = MAX	54LS Family: -20 74LS Family: -18	-100	mA
I <sub>COH</sub>	Supply current	V <sub>CC</sub> = MAX	Total, outputs high	4	mA
I <sub>COL</sub>	Supply current	V <sub>CC</sub> = MAX	Total, outputs low	12	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V	Average per gate (50% duty cycle)	0.4	mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15pF, R <sub>L</sub> = 2kΩ	9	15	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15pF, R <sub>L</sub> = 2kΩ	10	15	ns

### Pin Assignments (Top View)



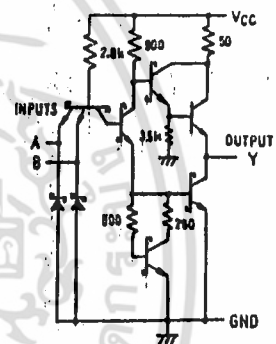
positive logic:  
Y = AB

### Schematics (each gate)

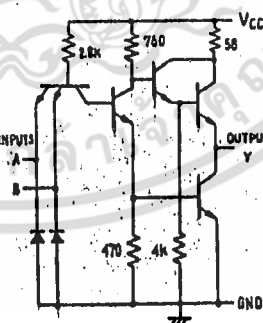


CIRCUIT	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	R <sub>4</sub>
'00	4k	1.5k	190	1k
'00	40k	20k	500	12k

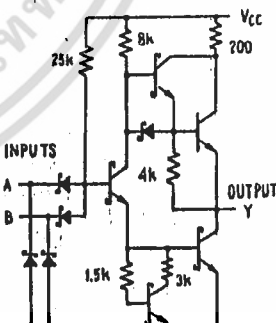
Input clamp diodes not on SN54L/SN74L circuits, '00, '000 CIRCUITS



'000 CIRCUIT



'000 CIRCUIT



'000 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

• Not more than one output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



5432/7432 Quadruple 2-Input Positive-OR Gate

Manufacturer	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.	SN5432	J	Q		WD							SN5432	J	Q		WD					
	SN7432	J	Q	ND								SN7432	J	Q	ND						
FAIRCHILD	FMS432/FMS32	Q	Q		FD							FMS432/FM32	Q	Q		FD					
	7432/7432	Q	Q		FD							7432/7432	Q	Q		FD					
MOTOROLA																					
N.S.C.												DM5432	J	Q	ND	WD	DM5432				
												DM7432	J	Q	ND		DM7432				
PHILIPS	N7432		Q									N7432		Q							
SIGNETICS												7432	F	Q	Q	Q					
												7432	F	Q	Q	Q					
SIEMENS												FLH831		Q							
FUJITSU																					
HTACHI																					
MITSUBISHI																					
NEC																					
TOSHIBA																					

**Electrical Characteristics SN54LS32/SN74LS32**

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	1V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	1V	Storage temperature range	SN74LS	0°C to 100°C
				-65°C to 150°C

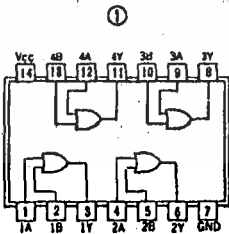
recommended operating conditions

Parameter	SN54LS32		SN74LS32		UNIT
	MIN	MAX	MIN	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	4.75	5	V
High-level output current, I <sub>OH</sub>		-400		-400	mA
Low-level output current, I <sub>OL</sub>		4		4	mA
Operating free-air temperature, T <sub>A</sub>	-55	175	0	150	°C

electrical characteristics over recommended operating free-air temperature range

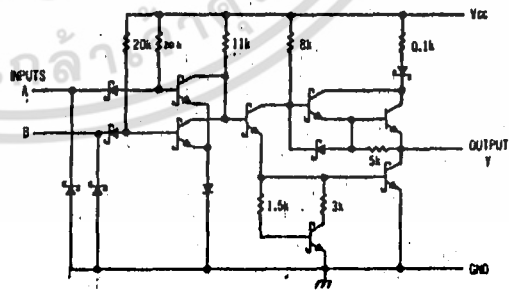
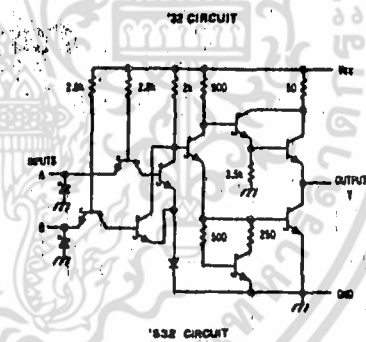
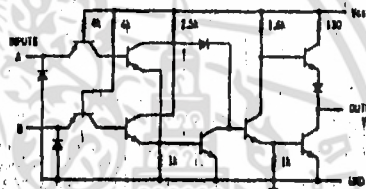
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage			0.8	V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> =MIN, I <sub>I</sub> =-18mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, I <sub>OH</sub> =MAX	2.7	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> =MIN, V <sub>IL</sub> =V <sub>IL</sub> max, I <sub>OL</sub> =4mA	0.25	0.4	V	
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> =MAX, V <sub>I</sub> =1V		0.1	mA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> =MAX, V <sub>IH</sub> =2.7V		20	µA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> =MAX, V <sub>IL</sub> =0.4V		-0.4	mA	
I <sub>OS</sub>	Short-circuit output current †	V <sub>CC</sub> =MAX	54LS Family	-20	-100	mA
			74LS Family	-20	-100	mA
I <sub>OPH</sub>	Supply current	V <sub>CC</sub> =MAX	Total, outputs high	3.1	6.2	mA
I <sub>OL</sub>	Supply current	V <sub>CC</sub> =MAX	Total, outputs low	4.9	9.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> =5V	Average per gate (50% duty cycle)	1.0		mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> =5V, T <sub>A</sub> =25°C, C <sub>L</sub> =15pF, R <sub>L</sub> =2kΩ		14	22	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	V <sub>CC</sub> =5V, T <sub>A</sub> =25°C, C <sub>L</sub> =15pF, R <sub>L</sub> =2kΩ		14	22	ns

Pin Assignment (Top View)



positive logic:  
Y=A+B

Schematics (each gate)



Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at V<sub>CC</sub>=5V, T<sub>A</sub>=25°C.  
§ Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# 54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
T.I.	SN54S373	J	D						SN54LS373	J	D									
	SN74S373	J	D	NO					SN74LS373	J	D	NO								
FAIRCHILD																				
MOTOROLA																				
N.S.C.																				
PHILIPS																				
SIGNETICS																				
SIEMENS																				
FUJITSU																				
HITACHI																				
mitsubishi																				
NEC																				
TOSHIBA																				

## Electrical Characteristics SN54LS373/SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, $V_{CC}$	TV	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	TV		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

	SN54LS373			SN74LS373			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-1			-2.4	mA
High-level output voltage, $V_{OH}$			5.5			5.5	V
Pulse width, $t_p$		Clock enable high	15		15		ns
		Clock enable high	15		15		ns
Setup time, $t_{SU}$			0		0		ns
Hold time, $t_{HD}$			10		10		ns
Operating free-air temperature, $T_A$			-55		125		0

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{IH}$	High-level input voltage		2		V
$V_{IL}$	Low-level input voltage		0.8		V
$V_{IK}$	Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = -18 \text{ mA}$		-1.5	V
$V_{OH}$	High-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OH} = \text{MAX}$	2.4	3.1	V
$V_{OL}$	Low-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 4 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OL} = 24 \text{ mA}$	0.35	0.5	V
$I_{OZH}$	Off-state output current, high-level voltage applied	$V_{CC} = \text{MAX.}, V_{IH} = 2 \text{ V}, V_O = 2.7 \text{ V}$		20	$\mu\text{A}$
$I_{OZL}$	Off-state output current, low-level voltage applied	$V_{CC} = \text{MAX.}, V_{IH} = 2 \text{ V}, V_O = 0.4 \text{ V}$		-20	$\mu\text{A}$
$I_I$	Input current at maximum input voltage	$V_{CC} = \text{MAX.}, V_I = 7 \text{ V}$		0.1	mA
$I_{IH}$	High-level input current	$V_{CC} = \text{MAX.}, V_I = 2.7 \text{ V}$		20	$\mu\text{A}$
$I_{IL}$	Low-level input current	$V_{CC} = \text{MAX.}, V_I = 0.4 \text{ V}$		-0.4	mA
$I_{OS}$	Short-circuit output current	$V_{CC} = \text{MAX.}, \text{Output control at 4.5 V}$	-20	-130	mA
$I_{OO}$	Supply current	$V_{CC} = \text{MAX.}, \text{Output control at 4.5 V}$	24	40	mA

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

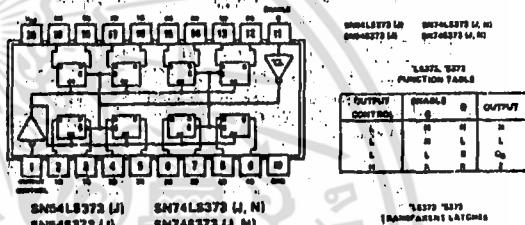
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{max}$							MHZ
$t_{PLH}$	Data	Any Q	$C_L = 45 \text{ pF}, R_L = 610 \Omega$ See Notes 2 and 3		12	18	ns
$t_{PHL}$					12	18	
$t_{PZH}$	Clock or enable	Any Q			20	30	
$t_{PZL}$	Output	Any Q			16	20	
$t_{PHZ}$	Control	Any Q	$C_L = 50 \text{ pF}, R_L = 647 \Omega$ See Note 3		25	38	ns
$t_{PLZ}$	Output	Any Q			12	20	
$t_{PLZ}$	Control	Any Q			16	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

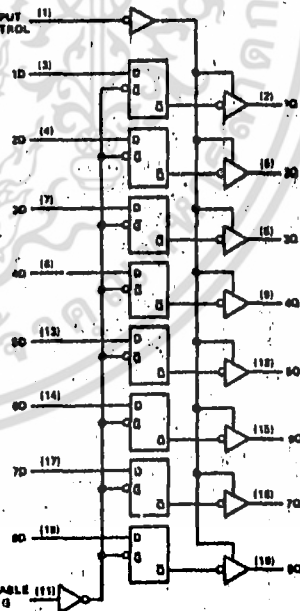
‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

## Pin Assignments (Top View)



## FUNCTION TABLE



NOTES: 1. Maximum clock frequency is tested with all outputs loaded.  
2. See load circuits and waveforms on page 3-11.  
3. See load circuits and waveforms on page 3-11.  
 $f_{max}$  = maximum clock frequency  
 $t_{PLH}$  = propagation delay time, low-to-high-level output  
 $t_{PHL}$  = propagation delay time, high-to-low-level output  
 $t_{PZH}$  = output enable time to high level  
 $t_{PZL}$  = output enable time to low level  
 $t_{PHZ}$  = output disable time from high level  
 $t_{PLZ}$  = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

### General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6  $\mu$ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of  $10^{10}\Omega$  allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1  $\mu$ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

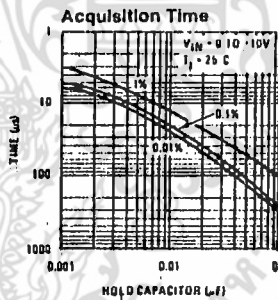
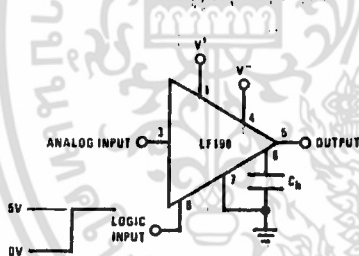
### Features

- Operates from  $\pm 5V$  to  $\pm 18V$  supplies
- Less than 10  $\mu$ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at  $C_H = 0.01 \mu$ F
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

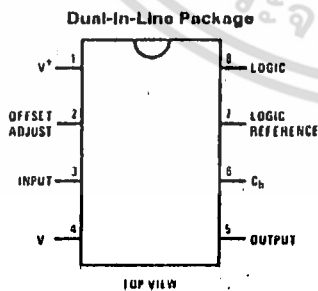
Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from  $\pm 5V$  to  $\pm 18V$  supplies. It is available in an 8-lead TO-5 package.

An "A" version is available with tightened electrical specifications.

### Typical Connection and Performance Curve

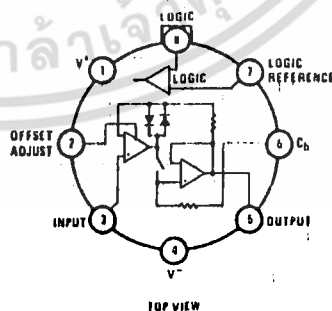


### Connection Diagrams



Order Number LF398N or LF398AN  
See NS Package Number N08E

### Metal Can Package



Order Number LF198H, LF298H,  
LF398H, LF198AH or LF398AH  
See NS Package Number H08C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Package Limitation) (Note 1)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	-65°C to +125°C
LF298	-25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Input Voltage	Equal to Supply Voltage
Logic To Logic Reference Differential Voltage (Note 2)	+7V, -30V
Output Short Circuit Duration	Indefinite
Hold Capacitor Short Circuit Duration	10 sec
Lead Temperature (Soldering, 10 seconds)	260°C
Thermal Resistance ( $\theta_{JA}$ ) (typical)	
H package	215°C/W (Board mount in still air) 85°C/W (Board mount in 400LF/min air flow)
N package	115°C/W
$\theta_{JC}$ (typical)	20°C/W

## Electrical Characteristics (Note 3)

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	$T_J = 25^\circ\text{C}$		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	$T_J = 25^\circ\text{C}$		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	$T_J = 25^\circ\text{C}$		10 <sup>10</sup>			10 <sup>10</sup>		$\Omega$
Gain Error	$T_J = 25^\circ\text{C}, R_L = 10\text{k}$		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	$T_J = 25^\circ\text{C}, C_h = 0.01 \mu\text{F}$	86	96		80	90		dB
Output Impedance	$T_J = 25^\circ\text{C}, \text{"HOLD" mode}$		0.5	2		0.5	4	$\Omega$
	Full Temperature Range			4			6	$\Omega$
"HOLD" Step, (Note 4)	$T_J = 25^\circ\text{C}, C_h = 0.01 \mu\text{F}, V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	$T_J \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_J = 25^\circ\text{C}$		2	10		2	10	$\mu\text{A}$
Leakage Current into Hold Capacitor (Note 6)	$T_J = 25^\circ\text{C}, \text{(Note 5)}$ Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10\text{V}, C_h = 1000 \text{ pF}$ $C_h = 0.01 \mu\text{F}$		4			4		$\mu\text{s}$
			20			20		$\mu\text{s}$
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2\text{V}$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_J = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Electrical Characteristics (Continued) (Note 3)

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		1	1 2		2	2 3	mV mV
Input Bias Current, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		5	25 75		10	25 50	nA nA
Input Impedance	$T_j = 25^\circ\text{C}$		$10^{10}$		$10^{10}$			$\Omega$
Gain Error	$T_j = 25^\circ\text{C}$ , $R_L = 10\text{k}$ Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	% %
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ\text{C}$ , $C_h = 0.01 \mu\text{F}$	86	96		86	90		dB
Output Impedance	$T_j = 25^\circ\text{C}$ , "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	$\Omega$ $\Omega$
"HOLD" Step, (Note 4)	$T_j = 25^\circ\text{C}$ , $C_h = 0.01 \mu\text{F}$ , $V_{\text{OUT}} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10	$\mu\text{A}$
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25^\circ\text{C}$ , (Note 5) Hold Mode		30	100		30	100	pA
Acquisition Time to 0.1%	$\Delta V_{\text{OUT}} = 10\text{V}$ , $C_h = 1000 \text{ pF}$ $C_h = 0.01 \mu\text{F}$		4 20	6 25		4 20	6 25	$\mu\text{s}$ $\mu\text{s}$
Hold Capacitor Charging Current	$V_{\text{IN}} - V_{\text{OUT}} = 2\text{V}$		5			5		mA
Supply Voltage Rejection Ratio	$V_{\text{OUT}} = 0$	90	110		90	110		dB
Differential Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum junction temperature of the LF198/LF398A is  $150^\circ\text{C}$ , for the LF298,  $115^\circ\text{C}$ , and for the LF398/LF398A,  $100^\circ\text{C}$ . When operating at elevated ambient temperature, the power dissipation must be derated based on a thermal resistance ( $\theta_{JA}$ ) of  $150^\circ\text{C/W}$ .

Note 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

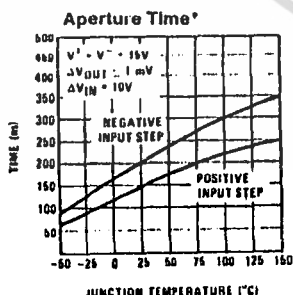
Note 3: Unless otherwise specified, the following conditions apply. Until in "sample" mode,  $V_S = \pm 15\text{V}$ ,  $T_j = 25^\circ\text{C}$ ,  $-11.5\text{V} \leq V_{\text{IN}} \leq +11.5\text{V}$ ,  $C_h = 0.01 \mu\text{F}$ , and  $R_L = 10 \text{ k}\Omega$ . Logic reference voltage = 0V and logic voltage = 2.5V.

Note 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a  $0.01 \mu\text{F}$  hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

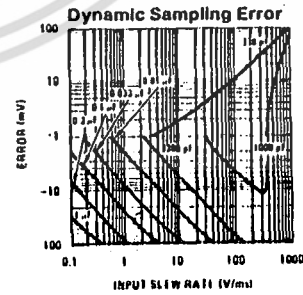
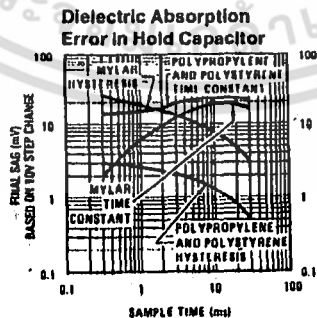
Note 5: Leakage current is measured at a junction temperature of  $25^\circ\text{C}$ . The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the  $25^\circ\text{C}$  value for each  $11^\circ\text{C}$  increase in chip temperature. Leakage is guaranteed over full input signal range.

Note 6: These parameters guaranteed over a supply voltage range of  $\pm 5$  to  $\pm 18\text{V}$ , and an input range of  $-V_S + 3.5\text{V} \leq V_{\text{IN}} \leq +V_S - 3.5\text{V}$ .

### Typical Performance Characteristics



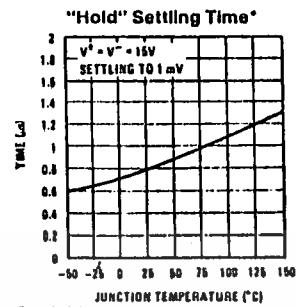
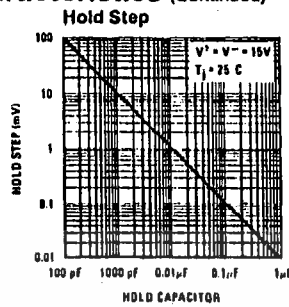
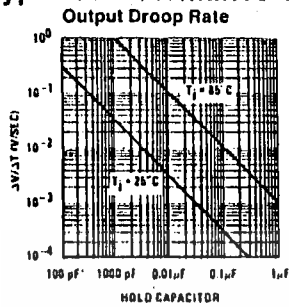
\*See Definition of Terms



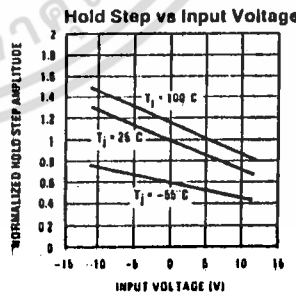
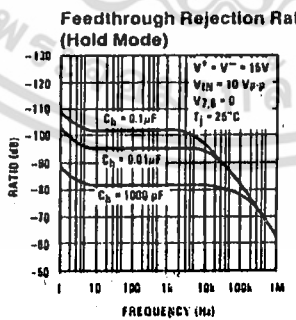
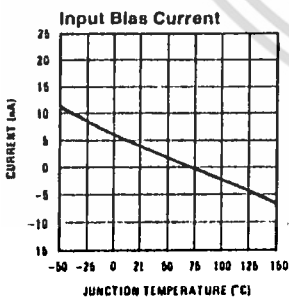
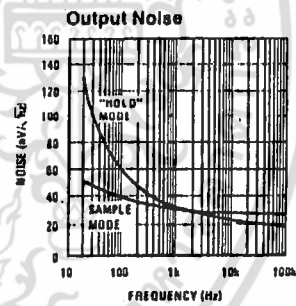
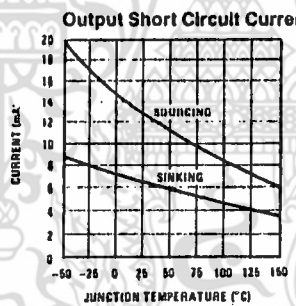
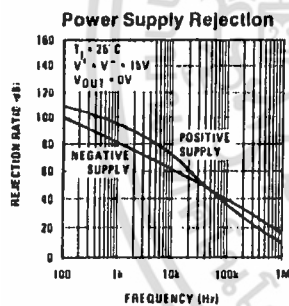
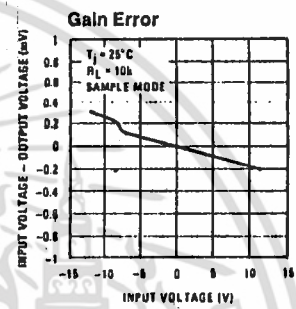
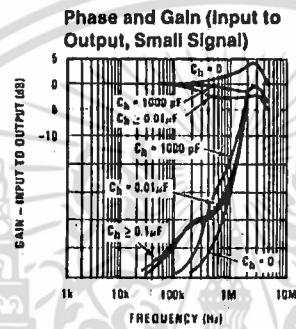
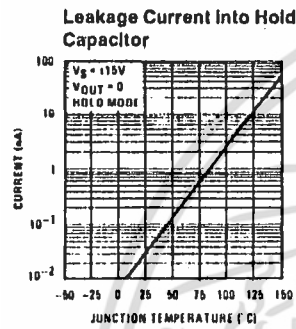
TL/H/5502-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)



\*See definition

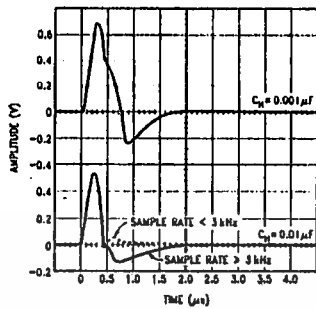


TL/H/5692-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

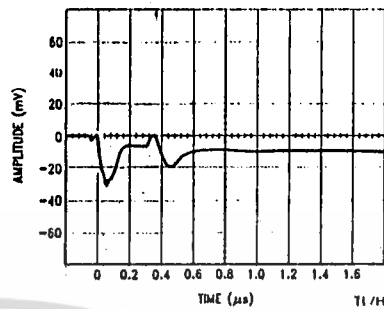
## Typical Performance Characteristics (Continued)

Output Transient at Start of Sample Mode



TL/H/5692-12

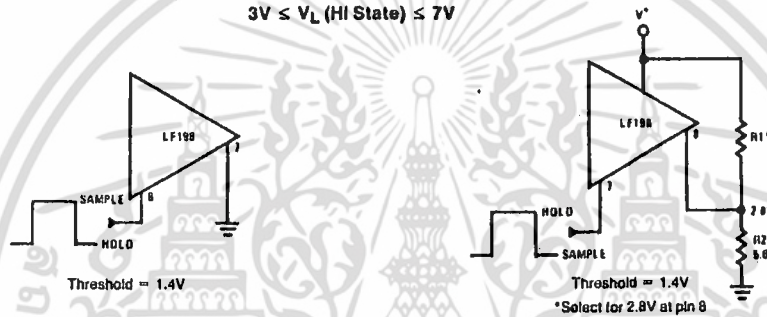
Output Transient at Start of Hold Mode



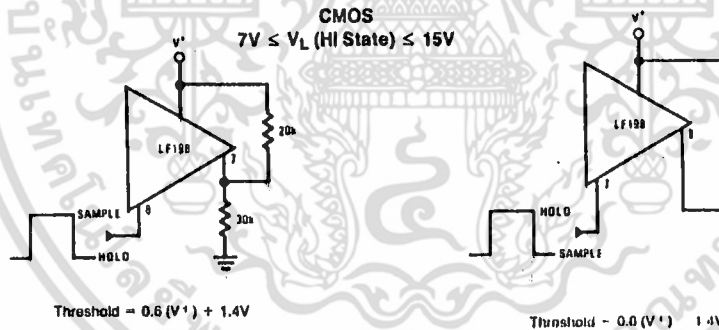
TL/H/5692-13

## Logic Input Configurations

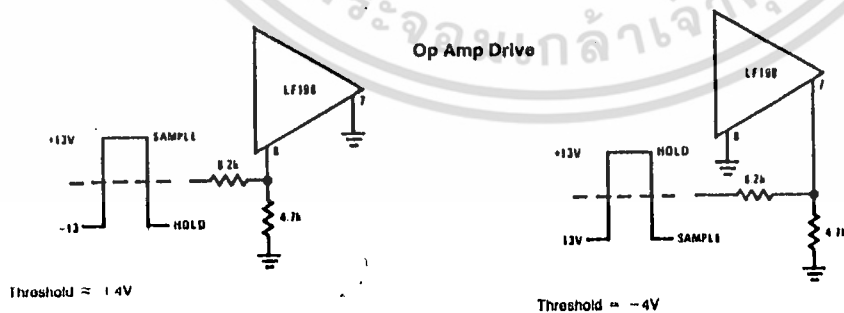
TTL & CMOS  
 $3V \leq V_L \text{ (HI State)} \leq 7V$



CMOS  
 $7V \leq V_L \text{ (HI State)} \leq 15V$



Op Amp Drive



TL/H/5692-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Hints

### Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long "soak" time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. Ceramic is unusable with > 1% hysteresis. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve *Dielectric Absorption Error*. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10–50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

### DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 k $\Omega$  potentiometer which has one end tied to  $V^+$  and the other end tied through a resistor to ground. The resistor should be selected to give  $\approx 0.6$  mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give  $\pm 4$  mV hold step adjustment with a 0.01  $\mu$ F hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

### Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum  $dV/dt$  of 1.0 V/ $\mu$ s. Slower signals will cause excessive hold step. If a R/C network is used in front of the logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 1.0 V/ $\mu$ s.

### Sampling Dynamic Signals

Sample error to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300 $\Omega$  series resis-

tor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum  $dV/dt$  is 0.6 V/ $\mu$ s. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1  $\mu$ s) (0.6V/ $\mu$ s) = 60 mV error if the "hold" signal arrived near maximum  $dV/dt$  of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16  $\mu$ s) (0.6 V/ $\mu$ s) = -96 mV. Total output error is +60 mV (digital) -96 mV (analog) for a total of -36 mV. To add to the confusion, analog delay is proportioned to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

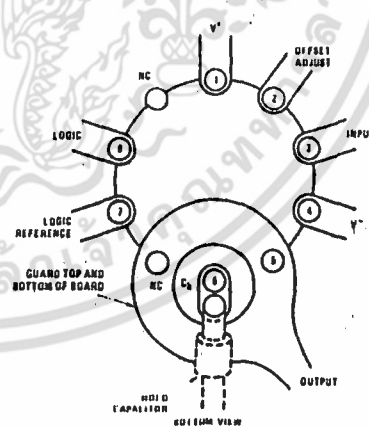
A curve labeled *Aperture Time* has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, *Hold Settling Time* indicates the time required for the output to settle to 1 mV after the "hold" command.

### Digital Feedthrough

Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.

### Guarding Technique

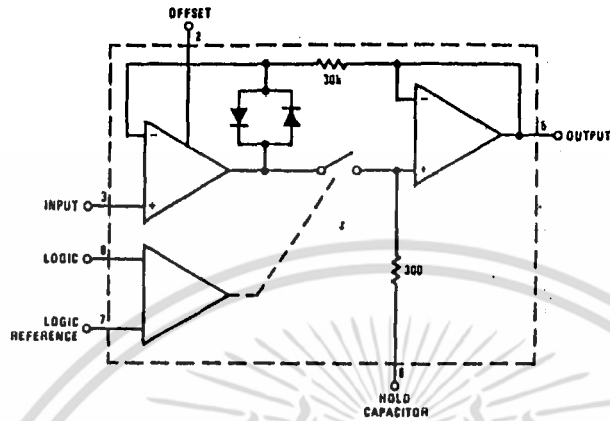


TL/H/5892-5

Use 10-pin layout. Guard around  $C_H$  is tied to output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

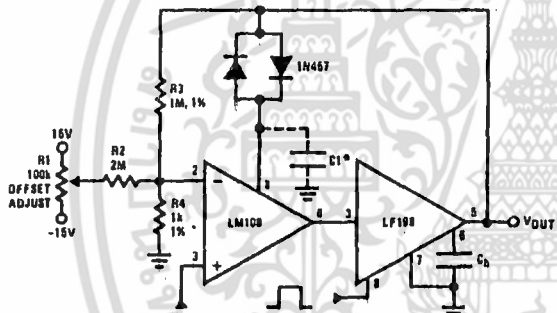
## Functional Diagram



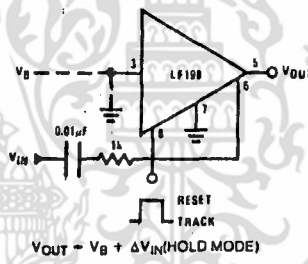
TL/H/5692-1

## Typical Applications (Continued)

X1000 Sample & Hold



Sample and Difference Circuit  
(Output Follows Input in Hold Mode)



$$V_{OUT} = V_B + \Delta V_{IN}(\text{HOLD MODE})$$

TL/H/5692-7

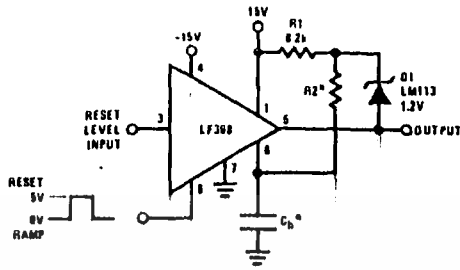
\*For lower gains, the LM108 must be frequency compensated

Use  $\approx \frac{100}{A_v}$  pF from comp 2 to ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

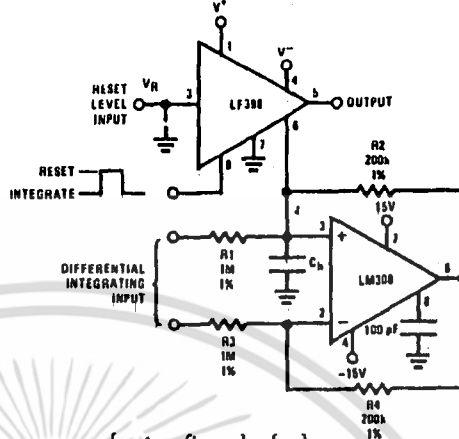
## Typical Applications (Continued)

**Ramp Generator with Variable Reset Level**



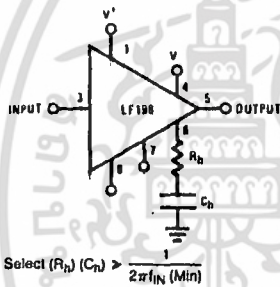
\*Select for ramp rate  
 $\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(Cn)}$   
 R2 = 10k

**Integrator with Programmable Reset Level**



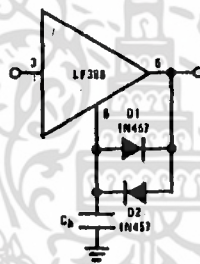
$$V_{OUT} (\text{Hold Mode}) = \left[ \frac{1}{(R1)(Cn)} \int_0^t V_{IN} dt \right] + [V_R]$$

**Output Holds at Average of Sampled Input**

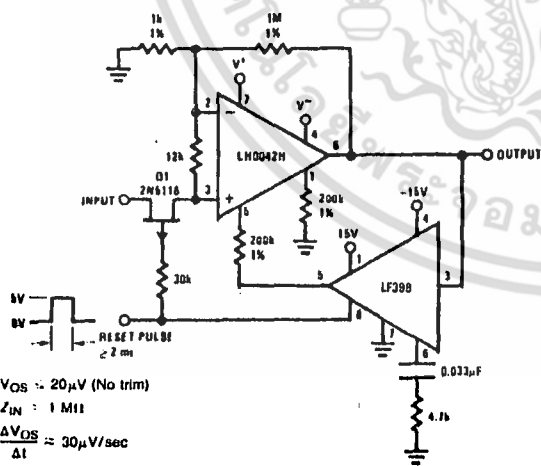


Select  $(R_n)(C_n) > \frac{1}{2\pi f_{IN}(\text{Min})}$

**Increased Slew Current**



**Reset Stabilized Amplifier (Gain of 1000)**



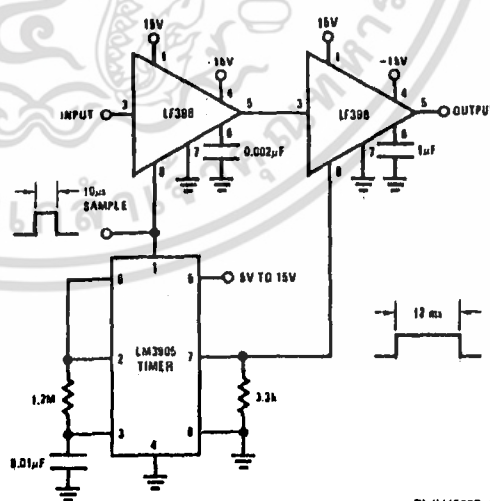
$V_{OS} = 20\mu V$  (No trim)

$Z_{IN} = 1 \text{ M}\Omega$

$\frac{\Delta V_{OS}}{\Delta T} = 30\mu V/\text{sec}$

$\frac{\Delta V_{OS}}{\Delta T} = 0.1\mu V/^\circ C$

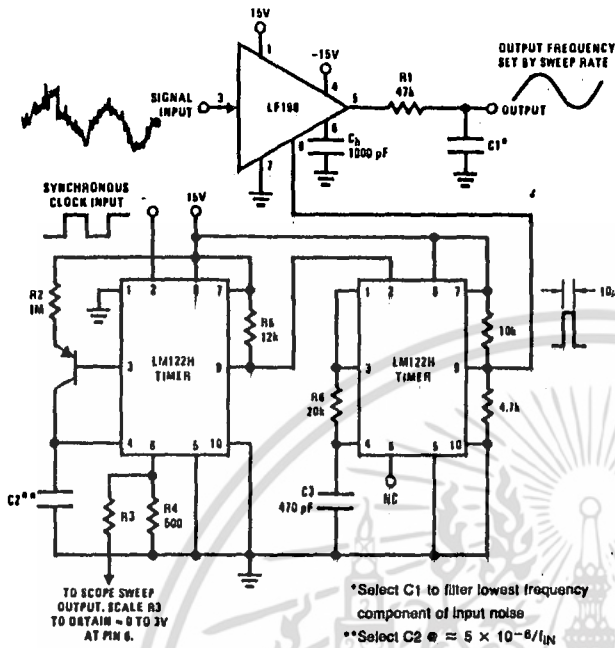
**Fast Acquisition, Low Droop Sample & Hold**



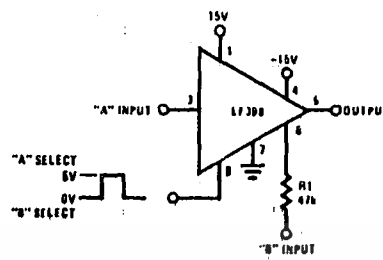
TL/H/5682-0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Typical Applications (Continued)**  
**Synchronous Correlator for Recovering Signals Below Noise Level**

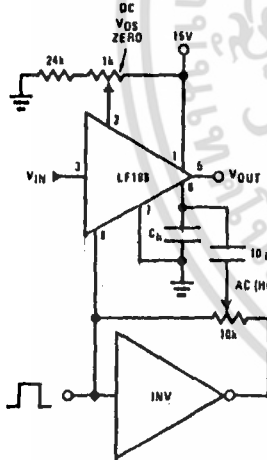


**2-Channel Switch**

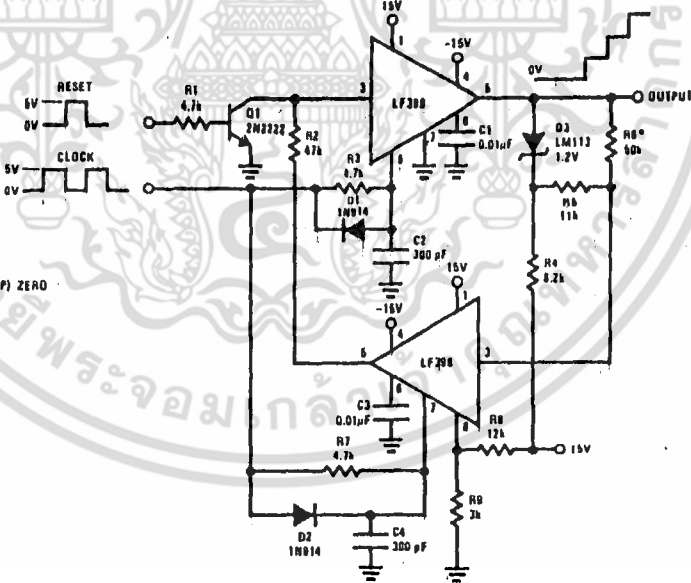


	A	B
Gain	$1 \pm 0.02\%$	$1 \pm 0.2\%$
$Z_{IN}$	$10^{10}\Omega$	$47\text{ k}\Omega$
BW	$\approx 1\text{ MHz}$	$\approx 400\text{ kHz}$
Crosstalk @ 1 kHz	$\approx 80\text{ dB}$	$90\text{ dB}$
Offset	$\leq 6\text{ mV}$	$\leq 75\text{ mV}$

**DC & AC Zeroing**



**Staircase Generator**

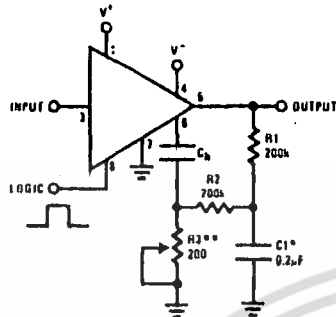


TL/11/5892-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)

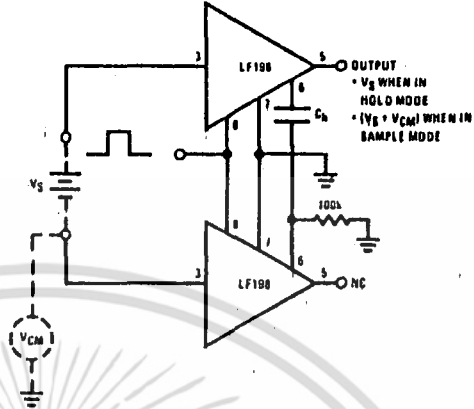
### Capacitor Hysteresis Compensation



\*Select for time constant  $C1 = \frac{V}{100k}$

\*\*Adjust for amplitude

### Differential Hold



OUTPUT  
 •  $V_S$  WHEN IN HOLD MODE  
 •  $(V_S + V_{CM})$  WHEN IN SAMPLE MODE

TL/H/5692-10

## Definition of Terms

**Hold Step:** The voltage step at the output of the sample and hold when switching from sample mode to hold mode with a steady (dc) analog input voltage. Logic swing is 5V.

**Acquisition Time:** The time required to acquire a new analog input voltage with an output step of 10V. Note that acquisition time is not just the time required for the output to settle, but also includes the time required for all internal nodes to settle so that the output assumes the proper value when switched to the hold mode.

**Gain Error:** The ratio of output voltage swing to input voltage swing in the sample mode expressed as a per cent difference.

**Hold Settling Time:** The time required for the output to settle within 1 mV of final value after the "hold" logic command.

**Dynamic Sampling Error:** The error introduced into the held output, due to a changing analog input at the time the hold command is given. Error is expressed in mV with a given hold capacitor value and input slew rate. Note that this error term occurs even for long sample times.

**Aperture Time:** The delay required between "Hold" command and an input analog transition, so that the transition does not affect the held output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V <sub>CC</sub> )	10V
Logic Control Inputs	-0.2V to V <sub>CC</sub> + 0.2V
Voltage at Other Inputs and Output	-0.2V to V <sub>CC</sub> + 0.2V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T <sub>A</sub> = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V

Lead Temp. (Soldering, 10 sec.)

Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

### Operating Ratings (Notes 1 & 2)

Temperature Range	T <sub>MIN</sub> ≤ T <sub>A</sub> ≤ T <sub>MAX</sub>
ADC0820BD, ADC0820CJ	-55°C ≤ T <sub>A</sub> ≤ +125°C
ADC0820BCD, ADC0820CCJ	-40°C ≤ T <sub>A</sub> ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T <sub>A</sub> ≤ 70°C
ADC0820BCV, ADC0820CCV	0°C ≤ T <sub>A</sub> ≤ 70°C
ADC0820BCWM, ADC0820CCWM	0°C ≤ T <sub>A</sub> ≤ 70°C
V <sub>CC</sub> Range	4.5V to 8V

**Converter Characteristics** The following specifications apply for HD mode (pin 1 = 0), V<sub>CC</sub> = 5V, V<sub>REF</sub>(+) = 5V, and V<sub>REF</sub>(-) = GND unless otherwise specified. Boldface limits apply from T<sub>MIN</sub> to T<sub>MAX</sub>; all other limits T<sub>A</sub> = T<sub>I</sub> = 25°C.

Parameter	Conditions	ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8		8	8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		± ½		± ½	± ½	± ½	LSB LSB LSB LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum V <sub>REF</sub> (+) Input Voltage			V <sub>CC</sub>		V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V
Minimum V <sub>REF</sub> (-) Input Voltage			GND		GND	GND	GND	V
Minimum V <sub>REF</sub> (+) Input Voltage			V <sub>REF</sub> (-)		V <sub>REF</sub> (-)	V <sub>REF</sub> (-)	V <sub>REF</sub> (-)	V
Maximum V <sub>REF</sub> (-) Input Voltage			V <sub>REF</sub> (+)		V <sub>REF</sub> (+)	V <sub>REF</sub> (+)	V <sub>REF</sub> (+)	V
Maximum V <sub>IN</sub> Input Voltage			V <sub>CC</sub> + 0.1		V <sub>CC</sub> + 0.1	V <sub>CC</sub> + 0.1	V <sub>CC</sub> + 0.1	V
Minimum V <sub>IN</sub> Input Voltage			GND - 0.1		GND - 0.1	GND - 0.1	GND - 0.1	V
Maximum Analog Input Leakage Current	CS = V <sub>CC</sub> V <sub>IN</sub> = V <sub>CC</sub> V <sub>IN</sub> = GND		3 -3		0.3 -0.3	3 -3	3 -3	μA μA
Power Supply Sensitivity	V <sub>CC</sub> = 5V ± 5%	± 1/16	± 1/4		± 1/16	± 1/4	± 1/4	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

1. ชาวดี นิชัยรัตน์, ศราวุธ วัจนบุญตง, สมภพ สุวีริย์ภักย์, "เครื่องควบคุมอุณหภูมิแบบโปรแกรมได้", วิทยานิพนธ์ระดับปริญญาตรี, ภาควิชาอิเล็กทรอนิกส์ประยุกต์, คณะวิทยาศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2532.
2. ศักดิ์ชาย ปาสาณพงศ์, อภิเวรต สีลาภักดิ์, "Data Converter Box for ASYST", วิทยานิพนธ์ระดับปริญญาตรี, ภาควิชาอิเล็กทรอนิกส์ประยุกต์, คณะวิทยาศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2533.
3. Albert D. Helfric, William D. Cooper. Modern Electronic Instrumentation and Measurement Techniques, Prentice-Hall, Inc. Englewood Cliffs, New Jersey, 1990.
4. กฤษฎา วิเศษวิฑูรย์, เว็บบ์ เล่ง ไซ้ โยซีตัจิตอล, พิมพ์ครั้งที่ 2, บริษัท ซีอีดียูเคซิ่ง จำกัด, พ.ศ. 2531.
5. กัมภาง ETT, Dot Matrix LCD Module, พิมพ์ครั้งที่ 1, ETT, พ.ศ. 2533.
6. กัมภาง ETT, Z80 CP-A Control Pack Advance Reference Manual, พิมพ์ครั้งที่ 1, ETT, พ.ศ. 2533.
7. ยัน สุวรรณธรรม, ทฤษฎีและการประยุกต์ไมโครโปรเซสเซอร์ Z-80, พิมพ์ครั้งที่ 1, บริษัท ซีอีดียูเคซิ่ง จำกัด, พ.ศ. 2532.
8. Darold Wobschall, Circuit Design for Electronic Instrumentation, Second Edition, McGraw-Hill, 1979.
9. E.J. Kennedy, Operation Amplifier Circuits Theory and Applications, Holt, Rinehart and Winston Inc., New York, 1988.
10. Ramakant A. Gayakwad, Op-Amps and Linear Integrated Circuits, Prentice-Hall International Editions, New Jersey, 1988.
11. The Engineering Staff of Analog Devices, Inc., Analog-Digital Conversion Handbook, Prentice-Hall International Editions, New Jersey, 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย บุญชู ยี่งเวลจันทร์ เกิดวันที่ 22 สิงหาคม พ.ศ. 2511 สำเร็จการศึกษา ระดับมัธยมศึกษาตอนต้นและระดับมัธยมศึกษาตอนปลายจาก โรงเรียนไตรมิตรวิทยาลัย แล้วเข้าศึกษาต่อในระดับปริญญาตรีสาขาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และสำเร็จการศึกษาในปีการศึกษา 2533

นาย สมพงษ์ เลียงโรคนาথ เกิดวันที่ 17 กุมภาพันธ์ พ.ศ. 2513 สำเร็จการศึกษา ระดับมัธยมศึกษาตอนต้นจาก โรงเรียนเซนต์จอห์น และระดับมัธยมศึกษาตอนปลายจาก โรงเรียนเตรียมอุดมศึกษา แล้วเข้าศึกษาต่อในระดับปริญญาตรีสาขาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และสำเร็จการศึกษาในปีการศึกษา 2533



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้