

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



การวิเคราะห์ความถี่ด้วยไมโครคอมพิวเตอร์

๑/๑๗  
๑๑๒๓ก  
๒๕๓๔

เลขหมู่.....  
เลขทะเบียน.....  
วันเดือนปี.....

นาย คณีย์ ศุภธรรม  
นางสาว ผกามาศ ทนาศักดิ์

๒๑๒๕๒๑๒๒๙

โครงการนี้พิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์

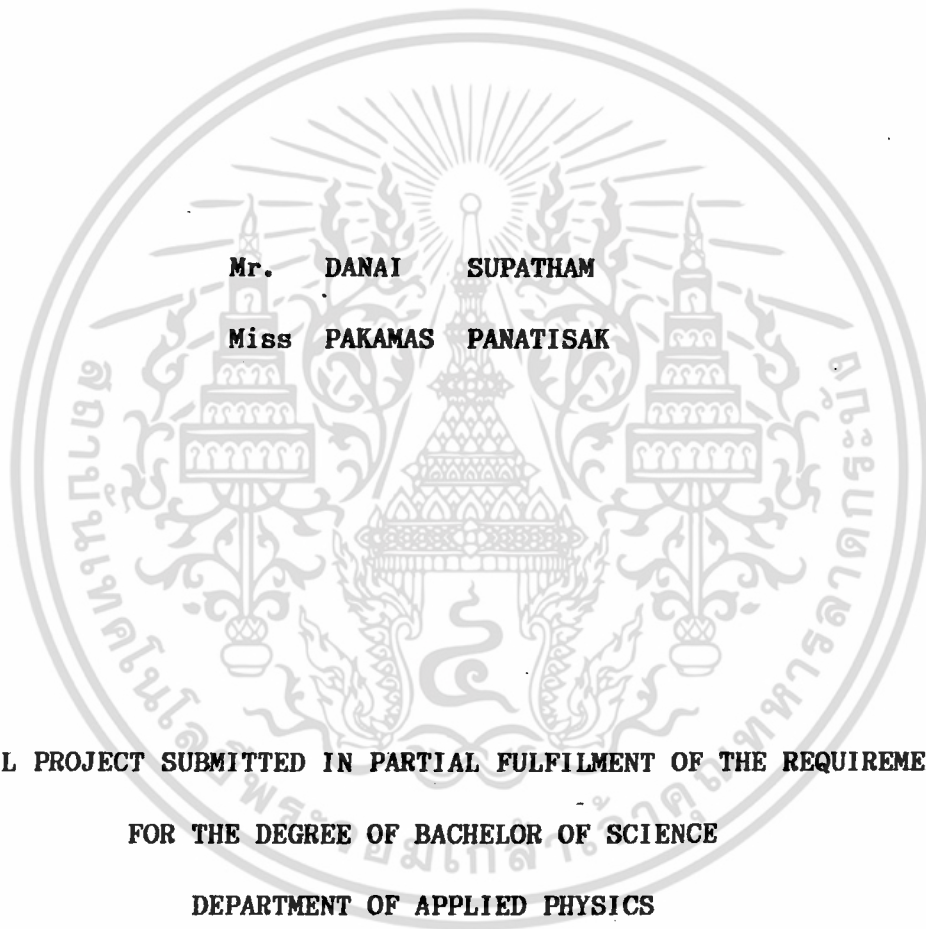
คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. ๒๕๓๔

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SPECTRUM ANALYSIS**



**A SPECIAL PROJECT SUBMITTED IN PARTIAL FULFILMENT OF THE REQUIREMENTS  
FOR THE DEGREE OF BACHELOR OF SCIENCE  
DEPARTMENT OF APPLIED PHYSICS**

**FACULTY OF SCIENCE**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**1991**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ

การวิเคราะห์ความถี่ด้วยไมโครคอมพิวเตอร์

โดย

นาย ดนัย ศุภธรรม

นางสาว พกามาศ พนาธิศักดิ์

ภาควิชา

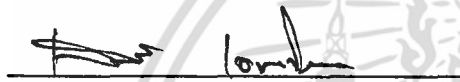
ฟิสิกส์ประยุกต์

อาจารย์ที่ปรึกษา

อ. วิชิต ศิริชาติ

ผศ.ดร. จันทรชัย หญิงประยูร

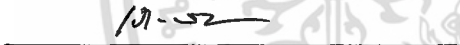
ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร  
ลาดกระบัง อนุมัติให้นำโครงการพิเศษฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร  
วิทยาศาสตร์บัณฑิต



( ดร. เสน่ห์ เอกะวิภาต )

หัวหน้าภาควิชาฟิสิกส์ประยุกต์

คณะกรรมการโครงการพิเศษ



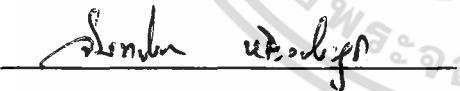
( อ. เกร็ววัลย์ ตีตะจิตต์ )

ประธานกรรมการ




( อ. วิชิต ศิริชาติ )

กรรมการ



( ผศ.ดร. จันทรชัย หญิงประยูร )

กรรมการ



( อ. อนุชิต จารุนาววัฒน์ )

กรรมการ

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ	การวิเคราะห์ความถี่ด้วยไมโครคอมพิวเตอร์
นักศึกษา	นาย คณัย สุพรรณ นางสาว พกามาศ พนาธิศักดิ์
อาจารย์ที่ปรึกษา	อ. วิชิต ศิริโชติ ผศ.ดร. จันทร์ชัย หึงงประยูร
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2534

### บทคัดย่อ

โครงการพิเศษนี้ศึกษาถึงการวิเคราะห์สเปกตรัม โดยใช้เครื่องไมโครคอมพิวเตอร์ IBM PC ร่วมกับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และโปรแกรมสำหรับวิเคราะห์สเปกตรัมที่จัดสร้างขึ้นเอง สัญญาณอนาลอกอินพุทในโดเมนเวลาจะถูกแปลงให้เป็นสัญญาณดิจิตอลด้วยอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอลชนิดฮาร์สเฟลชเบอร์ ADC0820 ซึ่งสามารถสุ่มสัญญาณด้วยอัตรา 20 kHz และมีความละเอียด 8 บิต ข้อมูลดิจิตอลที่ได้นี้จะถูกบันทึกลงบนแผ่นดิสก์เก็บเป็นแฟ้มข้อมูล ข้อมูลดิบจะถูกเปลี่ยนเป็นข้อมูลในโดเมนความถี่ โดยใช้อัลกอริทึมการแปลงฟูเรียร์อย่างรวดเร็ว FFT (Fast Fourier Transform) ซึ่งเขียนด้วยโปรแกรมภาษา C แฟ้มข้อมูลข้อมูลดิบและข้อมูลที่ผ่านการแปลงฟูเรียร์อย่างรวดเร็วนี้สามารถแสดงผลในรูปของตารางข้อมูล, กราฟ ฯลฯ โดยใช้โปรแกรมสำเร็จรูป LOTUS 1-2-3 อ่านและจัดการข้อมูล

<b>Special Project Title</b>	<b>Spectrum Analysis</b>
<b>Name</b>	Mr. Danai Supatham Miss Pakamas Panatisak
<b>Special Project Advisor</b>	Mr. Wichit Sirichote ASST.PROF. Janchai Yingprayoon
<b>Department</b>	Applied Physics
<b>Academic year</b>	1991

### Abstract

This special project presents a study of spectrum analysis by using an IBM PC microcomputer combined with a homemade analog-to-digital converter and spectrum analysis software. Time domain input signal is digitised by the intel ADC0820 half-flash analog-to-digital converter with sampling rate up to 20 kHz and resolution of 8 bit. The digitised data is then transformed to frequency domain data using FFT (Fast Fourier Transform) algorithm written in C language. Raw data file and transformed data file can read and processed by the LOTUS 1-2-3 electronic worksheet software for tabulating, graphing, ect.

## กิตติกรรมประกาศ

โครงการพิเศษนี้สำเร็จลงได้ เนื่องจากได้รับความช่วยเหลือจากบุคคล  
หลายท่าน ซึ่งให้ทั้งคำปรึกษา, คำแนะนำ และความช่วยเหลืออนุเคราะห์ในอีกหลายๆ  
ประการ นับตั้งแต่ อ. วิชิต ศิริโชติ และ ผศ.ดร. จันทรชัย หึงประยูร ที่  
คอยให้คำปรึกษา แนะนำ และแก้ไขโครงการพิเศษนี้

ขอขอบพระคุณคุณพ่อและคุณแม่ ซึ่งเป็นผู้ให้กำลังใจ และคอยสนับสนุนมา  
โดยตลอด

ทั้งนี้ต้องขอขอบคุณ นายสุรเมธ สัจฉิสรียวุฒิ ที่ให้คำแนะนำและอุปกรณ์  
ใช้ในโครงการพิเศษ

ขอขอบคุณ นาย สุวิทย์ เตชะพิชณะ, นายบ๋วย สนั่นเสียง และ  
นาย สมพงษ์ เลียงโรคาพาส ที่ให้ความสะดวกด้านคอมพิวเตอร์ที่ใช้พิมพ์โครงการพิเศษ  
ฉบับนี้

และสุดท้ายต้องขอขอบคุณเพื่อนที่คอยให้ ความช่วยเหลือ, คำปรึกษาและ  
กำลังใจมาโดยตลอด

# สารบัญ

	หน้า
บทคัดย่อปัญหาพิเศษภาษาไทย.....	ก
บทคัดย่อปัญหาพิเศษภาษาอังกฤษ.....	ข
กิตติกรรมประกาศ.....	ค
สารบัญตาราง.....	ง
สารบัญรูป.....	จ
บทที่ 1 บทนำ.....	1
1.1 วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล.....	1
1.2 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก.....	2
1.3 วงจรเชื่อมต่อระหว่างอุปกรณ์ภายนอกกับไมโครคอมพิวเตอร์.....	2
1.4 โปรแกรมจัดการและวิเคราะห์สัญญาณ.....	2
บทที่ 2 การประมวลผลสัญญาณดิจิทัลและทฤษฎีที่ใช้ในโครงการ.....	4
2.1 การกรองดิจิทัล (Digital filtering).....	4
2.2 การวิเคราะห์สเปกตรัม (Spectrum analysis).....	7
2.3 ทฤษฎีที่ใช้ในโครงการ.....	9
2.3.1 การสุ่มตัวอย่างสัญญาณ.....	9
2.3.2 การแปลงฟูเรียร์เป็นช่วง (DFT).....	12
2.3.3 ฟังก์ชันหน้าต่าง.....	20
2.3.4 การแปลงฟูเรียร์อย่างรวดเร็ว.....	22
บทที่ 3 โครงสร้างทางซอฟต์แวร์.....	25
3.1 โปรแกรมควบคุมการใช้งานฮาร์ดแวร์.....	28
3.2 โปรแกรมวิเคราะห์.....	28
3.2.1 โปรแกรม WINDOW.....	28
3.2.2 โปรแกรม FFT.....	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4	การเชื่อมต่อผ่าน IBM สล็อตและการแปลงสัญญาณ.....	33
4.1	สัญญาณต่างๆบนสล็อต IBM/PC.....	33
4.1.1	รายละเอียดเกี่ยวกับสัญญาณต่างๆ ที่เกี่ยวข้องกับโครงงานพิเศษ.....	35
4.1.2	บัสของแหล่งจ่ายไฟของระบบ.....	36
4.2	การจัดแอดเดรสสำหรับพอร์ท I/O ใน IBM/PC.....	37
4.2.1	การอ้างแอดเดรสของพอร์ท I/O.....	37
4.2.2	การใช้งานแอดเดรสสำหรับพอร์ท I/O ใน IBM/PC..	38
4.3	เทคนิคในการดีโคดแอดเดรสสำหรับพอร์ท I/O.....	40
4.3.1	การดีโคดแบบ Fixed.....	40
4.3.2	การดีโคดโดยอาศัยสวิทช์เลือก.....	42
4.3.3	การดีโคดโดยใช่ PROM.....	43
4.4	รายละเอียดเกี่ยวกับ 8255.....	44
4.4.1	รายละเอียดการจัดเรียงขาของ 8255.....	45
4.4.2	รีจิสเตอร์ภายใน 8255.....	46
4.4.3	การทำงานของ 8255.....	47
4.5	วงจรแปลงอนาลอกเป็นดิจิตอล (Analog-to-Digital, A/D converter).....	48
4.5.1	ความแม่นยำของวงจรแปลงสัญญาณ (Accuracy)....	48
4.5.2	ช่วงเวลาที่ใช้ในการแปลงสัญญาณ (Converter time)49	
4.5.3	เทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล....	49
บทที่ 5	โครงสร้างและฮาร์ดแวร์ของระบบ.....	56
5.1	หน่วยตรวจจับสัญญาณ (Transducer).....	56
5.2	ส่วนจัดการสัญญาณ (Signal conditioning).....	57
5.3	ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D converter)....	58

5.3.1	หลักพื้นฐานของการแปลงสัญญาณแบบฮาล์ฟแฟลช (Half flash A/D converter).....	58
5.3.2	วงจรแปลงสัญญาณแบบฮาล์ฟแฟลชที่ใช้ในโครงงาน....	60
5.4	ส่วนวิเคราะห์และจัดการสัญญาณ (Signal processing)...	67
5.4.1	วงจรดีโคดเดอร์.....	67
5.4.2	วงจรพอร์ทขนาน I/O.....	69
บทที่ 6	ผลการทดลอง.....	71
6.1	ขั้นตอนที่ 1.....	71
6.2	ขั้นตอนที่ 2.....	78
6.3	ขั้นตอนที่ 3.....	82
บทที่ 7	บทสรุป.....	84
ภาคผนวก		
	โปรแกรม.....	พ-1
	DATASHEET.....	พ-10
เอกสารอ้างอิง		
ประวัติผู้เขียน		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 4.1 แอดเดรสทั้ง 8 กลุ่มที่ถูกตีโคคโดยวงจรรูปที่ 4.6..... 41



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป

	หน้า
รูปที่ 1.1 บล็อกไออะแกรมแสดงองค์ประกอบหลักของโครงการพิเศษนี้.....	1
รูปที่ 2.1 การทำแบบรีเคอร์ซีฟ.....	6
รูปที่ 2.2 การทำแบบไม่เป็นรีเคอร์ซีฟ.....	7
รูปที่ 2.3 (ก) สัญญาณจากเฮลิคอปเตอร์.....	9
(ข) สเปกตรัมกำลังของสัญญาณ.....	9
รูปที่ 2.4 แสดงการล่มตัวอย่างสัญญาณนาฬิกา และการนำสัญญาณนาฬิกาออกมา (Recovery) อีกครั้ง.....	11
รูปที่ 2.5 แสดง Periodicity of the DFT.....	14
รูปที่ 2.6 แสดงสเปกตรัมรอบจุดกลาง.....	16
รูปที่ 2.7 แสดงฟังก์ชันหน้าต่างแบบต่างๆและสเปกตรัมของแต่ละแบบ.....	19
รูปที่ 2.8 แผนผังแบบบัตเตอร์ฟลาย.....	24
รูปที่ 3.1 โปรแกรมที่ใช้ในการวิเคราะห์สเปกตรัมของสัญญาณ.....	27
รูปที่ 3.2 แผนผังแสดงการทำงานของโปรแกรม SAMPLING.....	29
รูปที่ 3.3 แผนผังแสดงการทำงานของโปรแกรม WINDOW.....	30
รูปที่ 3.4 แผนผังแสดงการทำงานของโปรแกรม FFT.....	32
รูปที่ 4.1 แสดงขาสัญญาณต่างๆบนสล็อตอินพุตของ IBM/PC.....	34
รูปที่ 4.2 การเข้ารหัสแอดเดรสบิตต่างๆในการอ้างแอดเดรสของพอร์ทบน IBM/PC.....	38
รูปที่ 4.3 การเข้ารหัสแอดเดรสของพอร์ทบน IBM/PC.....	38
รูปที่ 4.4 การเข้ารหัสแอดเดรสต่างๆสำหรับพอร์ท I/O ของ IBM/PC.....	39
รูปที่ 4.5 การเข้ารหัสแอดเดรสสำหรับพอร์ท I/O บนการ์ดต่างๆ.....	40
รูปที่ 4.6 ตัวอย่างวงจรดีโคดแอดเดรสแบบ Fixed.....	41
รูปที่ 4.7 ตัวอย่างวงจรดีโคดโดยใช้สวิตช์เลือก.....	42
รูปที่ 4.8 ตัวอย่างวงจรดีโคดโดยใช้ PROM.....	43
รูปที่ 4.9 แสดงบล็อกไออะแกรมและการวางตำแหน่งขาของ 8255.....	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

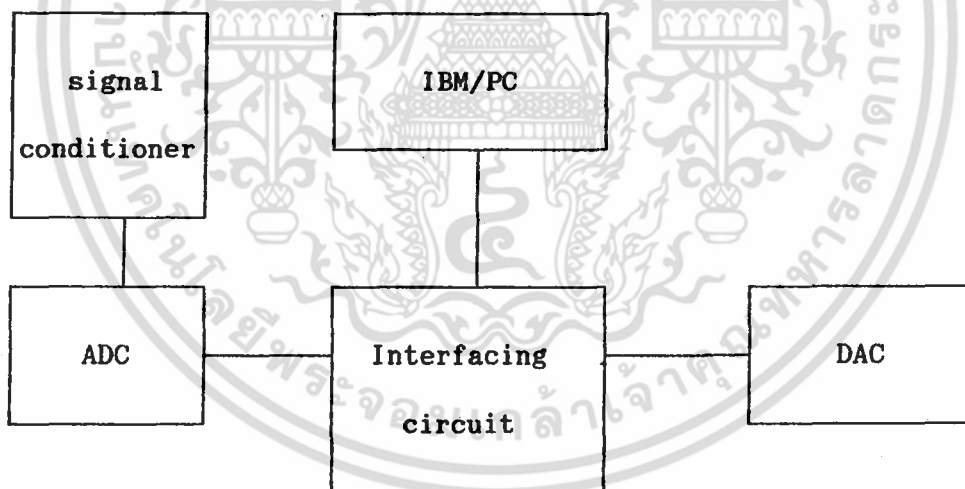
รูปที่ 4.10	แสดงรายละเอียดแต่ละบิตของรีจิสเตอร์ควบคุม.....	47
รูปที่ 4.11 (a)	แสดงวงจร Parallel comparator A/D converter.....	50
	(b) ตารางความสัมพันธ์ระหว่างแรงดันอินพุตที่เป็น อนาลอกกับเอาต์พุตที่เป็นดิจิทัล.....	50
รูปที่ 4.12	วงจรเปรียบเทียบสัญญาณ A/D แบบสลอปเดี่ยว.....	51
รูปที่ 4.13 (a)	บล็อกไดอะแกรมของวงจร A/D แบบสลอปคู่.....	52
	(b) เอาต์พุตของวงจรอินติเกรเตอร์เมื่อเทียบกับเวลา.....	52
รูปที่ 4.14	วงจร A/D แบบนับเดี่ยวที่สร้างขึ้นจากวงจรมนับขึ้นและวงจร D/A.....	53
รูปที่ 4.15	วงจร A/D ที่สร้างขึ้นจากวงจรมนับขึ้น/ลงและวงจร D/A.....	54
รูปที่ 4.16 (a)	แสดงบล็อกไดอะแกรมของวงจร A/D แบบใช้การประมาณค่า.....	55
	(b) กราฟแสดงเอาต์พุตของวงจร A/D แบบใช้การประมาณค่า.....	55
	(c) ไดอะแกรมแสดงขั้นตอนการแปลงรหัส.....	55
รูปที่ 5.1	แสดงบล็อกไดอะแกรมการทำงานของระบบ.....	56
รูปที่ 5.2	แสดงวงจรขยายและยกระดับสัญญาณที่ใช้ในโครงการ.....	57
รูปที่ 5.3	แสดงบล็อกไดอะแกรมของการแปลงสัญญาณจากอนาลอก เป็นดิจิทัลโดยใช้เทคนิคการแปลงสัญญาณแบบฮาล์ฟแฟลช (Half flash A/D converter).....	59
รูปที่ 5.4	แสดงขาสัญญาณต่างๆของ IC ADC0820.....	60
รูปที่ 5.5	แสดงไดอะแกรมเวลาการทำงานในโหมด RD ของ ADC0820.....	64
รูปที่ 5.6 (a)	การทำงานใน WR-RD MODE เมื่อ $t_{RD} < t_1$ .....	64
	(b) การทำงานใน WR-RD MODE เมื่อ $t_{RD} > t_1$ .....	65
รูปที่ 5.7	แสดงการทำงานใน WR-RD MODE ในแบบ Stand-Alone.....	66
รูปที่ 5.8	แสดงการใช้งาน ADC0820 ใน WR-RD MODE ในแบบ Stand-Alone.....	67
รูปที่ 5.9	แสดงวงจรดีโคเดอ์ในโครงการพิเศษ.....	68
รูปที่ 5.10	แสดงการใช้งาน 8255 ในโหมด 0.....	70
รูปที่ 6.1	แสดงคลื่นขายนที่ผ่านพียงชั้นหน้าต่างแบบสี่เหลี่ยม.....	72

รูปที่ 6.2	แสดงคลื่นขายนี้อันผ่านฟังก์ชันหน้าต่างแบบสามเหลี่ยม.....	72
รูปที่ 6.3	แสดงคลื่นขายนี้อันผ่านฟังก์ชันหน้าต่างแบบฮานนิง.....	73
รูปที่ 6.4	แสดงคลื่นขายนี้อันผ่านฟังก์ชันหน้าต่างแบบแฮมมิง.....	73
รูปที่ 6.5	แสดงคลื่นขายนี้อันผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน.....	74
รูปที่ 6.6	แสดงคลื่นขายนี้อันผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส.....	74
รูปที่ 6.7	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบสี่เหลี่ยม.....	75
รูปที่ 6.8	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบสามเหลี่ยม.....	75
รูปที่ 6.9	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบฮานนิง.....	76
รูปที่ 6.10	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแฮมมิง.....	76
รูปที่ 6.11	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแบล็กแมน.....	77
รูปที่ 6.12	แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส.....	77
รูปที่ 6.13	แสดงการจัดอุปกรณ์ทดสอบ.....	78
รูปที่ 6.14	แสดงสเปกตรัมของสัญญาณความถี่ 1 kHz.....	79
รูปที่ 6.15	แสดงสเปกตรัมของสัญญาณความถี่ 2 kHz.....	79
รูปที่ 6.16	แสดงสเปกตรัมของสัญญาณความถี่ 4 kHz.....	80
รูปที่ 6.17	แสดงสเปกตรัมของสัญญาณความถี่ 5 kHz.....	80
รูปที่ 6.18	แสดงสเปกตรัมของสัญญาณความถี่ 6 kHz.....	81
รูปที่ 6.19	แสดงสเปกตรัมของสัญญาณความถี่ 8 kHz.....	81
รูปที่ 6.20	สเปกตรัมของสัญญาณเสียง "กา" ผ่านฟังก์ชันหน้าต่างแบบสี่เหลี่ยม.....	82
รูปที่ 6.21	สเปกตรัมของสัญญาณเสียง "กา" ผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส.....	83
รูปที่ 7.1	การ์ดแปลงสัญญาณอนาลอกเป็นดิจิตอล.....	84

## บทที่ 1

### บทนำ

การวิเคราะห์ความถี่ของสัญญาณโดยใช้เทคนิคทางด้านดิจิทัล ได้พัฒนามา นาน จนกระทั่งในปัจจุบันได้ถูกนำมาใช้งานอย่างจริงจัง แทนการวิเคราะห์แบบอนาลอก เนื่องจากความก้าวหน้าทาง เทคโนโลยีด้านไมโครคอมพิวเตอร์ และอัลกอ-ริทึมที่ใช้ในการประมวลผลทำได้รวดเร็วขึ้น รวมทั้งราคาที่ถูกลง ในโครงการพิเศษนี้ เป็นการศึกษาระบบพื้นฐานของการวิเคราะห์สัญญาณด้วยไมโครคอมพิวเตอร์ โดยจัดทำ วงจรหลักที่ใช้แปลงสัญญาณจากอนาลอก เป็นดิจิทัล และวงจรแปลงสัญญาณดิจิทัล เป็น อนาลอก, โปรแกรมหลักที่ใช้ส่งข้อมูลและวิเคราะห์ความถี่ ซึ่งสามารถพัฒนาต่อไปได้ในอนาคตแล้วแต่การประยุกต์ใช้ในแต่ละงาน โครงการพิเศษนี้มีองค์ประกอบหลักดังแสดง ในรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมแสดงองค์ประกอบหลักของโครงการพิเศษนี้

จากรูปจะเห็นได้ว่าโครงการพิเศษนี้สามารถแบ่งเป็น 4 ส่วนสำคัญได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 1.1 วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล

เป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล เพื่อป้อนให้กับไมโครคอมพิวเตอร์ โดยในโครงงานพิเศษนี้ใช้ IC เบอร์ ADC0820 มีความละเอียด 8 บิต ซึ่งใช้หลักการแปลงสัญญาณอนาลอกเป็นดิจิทัลแบบแปลงทีละครึ่ง (Half flash)

### 1.2 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

เป็นวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ที่ใช้ในการพัฒนาต่อ เช่น ใช้แปลงข้อมูลที่ได้จากการส่ง เคราะห์ หรือผ่านการจัดการโดยโปรแกรม ซึ่งเป็นข้อมูลดิจิทัลให้เป็นสัญญาณอนาลอกไปควบคุมอุปกรณ์อื่น คือ ลำโพง โดยใช้ IC DAC0800 มีความละเอียด 8 บิต

### 1.3 วงจรเชื่อมต่อระหว่างวงจรภายนอกกับไมโครคอมพิวเตอร์

ใช้เชื่อมต่อระหว่าง ไมโครคอมพิวเตอร์และวงจรภายนอก คือ ADC และ DAC ใช้รับส่งข้อมูลสัญญาณดิจิทัล โดยใช้ IC 8255 และวงจรดีโคเดเตอร์ คือ 74LS85 และ 74LS138 ซึ่งใช้เลือกแอดเดรสที่จะติดต่อกับไมโครคอมพิวเตอร์

### 1.4 โปรแกรมจัดการและวิเคราะห์สัญญาณ

ในโครงงานนี้ได้จัดทำโปรแกรมส่งข้อมูล และแปลงข้อมูลที่ได้จากโดเมนเวลา (Time domain) ให้อยู่ในโดเมนความถี่ (Frequency domain) ซึ่งเป็นการวิเคราะห์หาความถี่ของสัญญาณ โดยใช้วิธีทางคณิตศาสตร์ที่เรียกว่า การแปลงฟูเรียร์อย่างรวดเร็ว (Fast Fourier Transform)

#### วัตถุประสงค์ในการจัดทำโครงงานพิเศษ

1. ศึกษากระบวนการวัดความถี่ของสัญญาณ โดยใช้การแปลงฟูเรียร์อย่างรวดเร็ว (Fast Fourier Transform)

2. จัดสร้างวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล และ เขียนโปรแกรม

ใช้งาน รวมทั้งโปรแกรมแปลงฟูเรียร์อย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทดสอบการใช้งานของระบบ วิทยาชีคลิ้นชายน้จากฟังก์ชันเจเนอเรเตอร์ หรือแหล่งกำเนิดสัญญาณอื่นๆ

ขั้นตอนการดำเนินงาน

1. ศึกษากระบวนการวิเคราะห์ความถี่โดยอาศัยการแปลงฟูเรียร์อย่างรวดเร็ว
2. สร้างเครื่องมือ และ เขียนโปรแกรมใช้งาน
3. ทดสอบการทำงานเปรียบเทียบกับผลการทดลองของต่างประเทศ
4. สรุปผลการทดสอบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### การประมวลผลสัญญาณดิจิทัลและทฤษฎีที่ใช้งานจริง

การประมวลผลสัญญาณดิจิทัล จะหมายถึงการดำเนินการในลักษณะที่เป็นลำดับขั้นต่อสัญญาณ เพื่อให้จะได้ข่าวสารที่เราสนใจออกมา โดยใช้เทคนิคทางด้านดิจิทัลทั้งฮาร์ดแวร์และซอฟต์แวร์ ดังนั้นสัญญาณใดๆที่จะทำการประมวลผลด้วยวิธีนี้ จะต้องอยู่ในรูปของสัญญาณดิจิทัล (Digital signal) ซึ่งจัดเป็นสัญญาณแบบไม่ต่อเนื่อง (Discrete-time signal) ค่าของตัวแปรอิสระและค่าของขนาดสัญญาณจะถูกนิยามเฉพาะที่ค่าบางค่าเป็นช่วงๆ ดังนั้นสัญญาณลักษณะนี้ จะถูกแทนค่าทางคณิตศาสตร์ในรูปอนุกรมของตัวเลข ซึ่งโดยทั่วไปจะมีค่าอยู่ในช่วงที่จำกัด

ในทางปฏิบัติ สัญญาณอินพุตที่เข้ามามักจะเป็นสัญญาณอนาล็อก (Analog signal) ซึ่งจัดเป็นสัญญาณต่อเนื่อง (Continuous-time signal) จะถูกสุ่มตัวอย่าง (Sampling) โดยวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to digital converter) ให้เป็นสัญญาณดิจิทัลเสียก่อน แล้วจึงส่งข้อมูลให้ระบบประมวลผลต่อไป

เราอาจแบ่งย่อยการประมวลผลสัญญาณดิจิทัลได้เป็น 2 ส่วนด้วยกันคือ การกรองดิจิทัล (Digital filtering) และการวิเคราะห์สเปกตรัม (Spectrum analysis) ในบทนี้จะกล่าวถึงทฤษฎีของการกรองดิจิทัลแต่เพียงคร่าวๆ โดยเนื้อหาจะเห็นถึงการแปลงฟูเรียร์อย่างรวดเร็ว FFT (Fast Fourier Transform) และหน้าต่าง (Windows) สำหรับใช้ในการวิเคราะห์สเปกตรัมที่ใช้ในโครงการนี้

#### 2.1 การกรองดิจิทัล (Digital filtering)

การกรองดิจิทัลจะเกี่ยวข้องกับทั้งการวิเคราะห์ และการสังเคราะห์วงจรกรองดิจิทัล การวิเคราะห์จะเกี่ยวข้องกับการหาความรู้เกี่ยวกับทฤษฎีระบบเวลาเป็นช่วงมาศึกษาคุณสมบัติพฤติกรรม หรือธรรมชาติของวงจรกรองดิจิทัล ซึ่งถือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่าเป็นระบบเชิงเส้นไม่แปรตามเวลา การวิเคราะห์จะทำให้เราได้ทรานสเฟอร์ฟังก์ชัน ซึ่งจะเป็นตัวกำหนดหรือบ่งบอกคุณสมบัติเฉพาะ (Characteristic) ของระบบ เช่น เสถียรภาพของระบบ ส่วนการสังเคราะห์จะเกี่ยวข้องกับการความรู้เกี่ยวกับการออกแบบ วงจรกรองแบบต่างๆมาออกแบบวงจรกรองที่มีคุณสมบัติในโดเมนเวลา หรือโดเมน ความถี่ตามที่ต้องการ

เราสามารถแทนระบบเชิงเส้นและ ไม่แปรตามเวลา ด้วยสมการความแตกต่าง (Difference equation)

$$y(n) = \sum_{i=0}^k a_i x(n-i) - \sum_{i=1}^k b_i y(n-i) \quad (2.1)$$

เมื่อ  $x(n)$  และ  $y(n)$  คือ อินพุตและ เอาท์พุทของระบบตามลำดับ และ เราสามารถหาทรานสเฟอร์ฟังก์ชัน  $H(z)$  ของระบบจากสมการ (2.1) โดยใช้การแปลง  $z$  ( $z$ -transform) ได้

$$H(z) = \frac{\sum_{i=0}^k a_i z^{-i}}{1 + \sum_{i=1}^k b_i z^{-i}} \quad (2.2)$$

ปัญหาของการออกแบบวงจรกรองดิจิทัลก็คือ การหาค่าสัมประสิทธิ์  $a_i$  และ  $b_i$  ที่ทำให้วงจรกรองมีพฤติกรรมตามที่ต้องการ

เมื่อกล่าวถึงชนิดของวงจรกรองดิจิทัล เราสามารถแบ่งชนิดของวงจรกรองตาม

### 1. ช่วง เวลาการตอบสนองอิมพัลส์

#### (Duration of the impulse response)

ซึ่งเป็นการพิจารณาแบ่งชนิดตามช่วงเวลาที่ระบบตอบสนองต่ออินพุต เมื่ออินพุตเป็นอิมพัลส์ โดยสามารถแบ่งย่อยเป็น

#### 1.1 การตอบสนองอิมพัลส์กึ่งอนันต์ IIR (Infinite Impulse

Response) วงจรกรองแบบนี้จะมีการตอบสนองอิมพัลส์  $h(n)$  ที่ประกอบด้วยตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(sample) จำนวนอนันต์

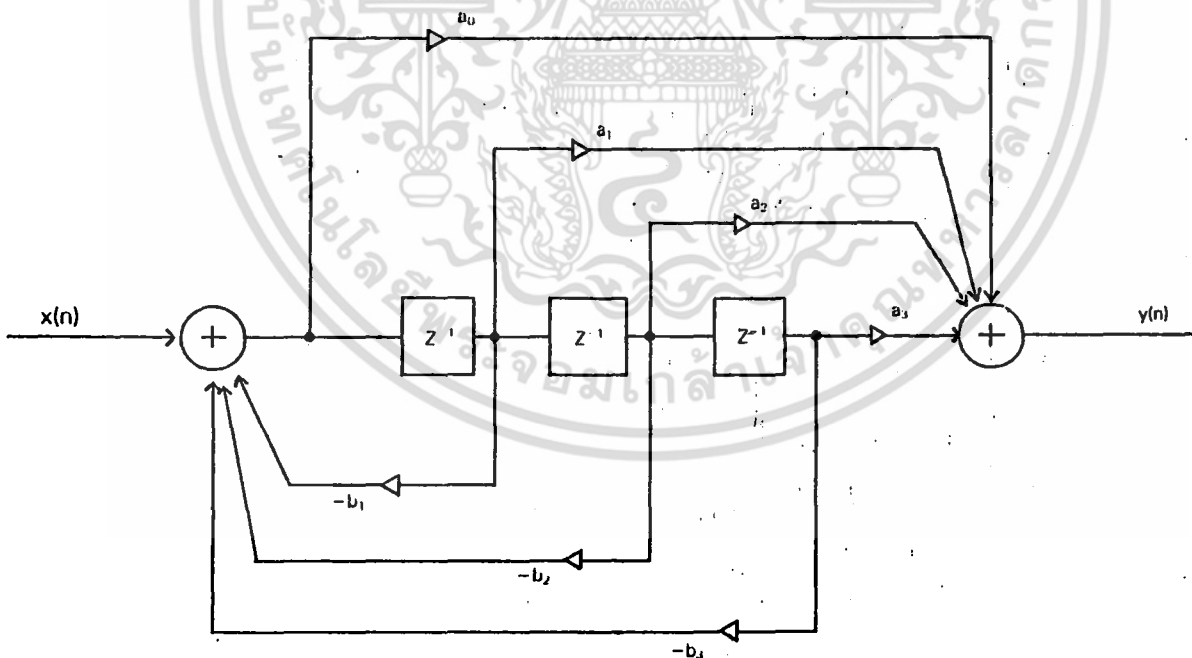
1.2 การตอบสนองอิมพัลส์ที่จำกัด FIR (Finite Impulse Response) วงจรกรองจะมีการตอบสนองที่จำกัดเพียงจำนวนตัวอย่างที่แน่นอนค่าหนึ่ง

## 2. ชนิดการทำให้เป็นจริง (Type of realization)

ถ้าพิจารณาการแบ่งชนิดของการทำให้เป็นจริง (ซึ่งหมายถึงการแทนวงจรกรองในรูปที่เราสามารถคำนวณหาการตอบสนองของวงจรได้โดยตรง) จะแบ่งย่อยได้เป็น

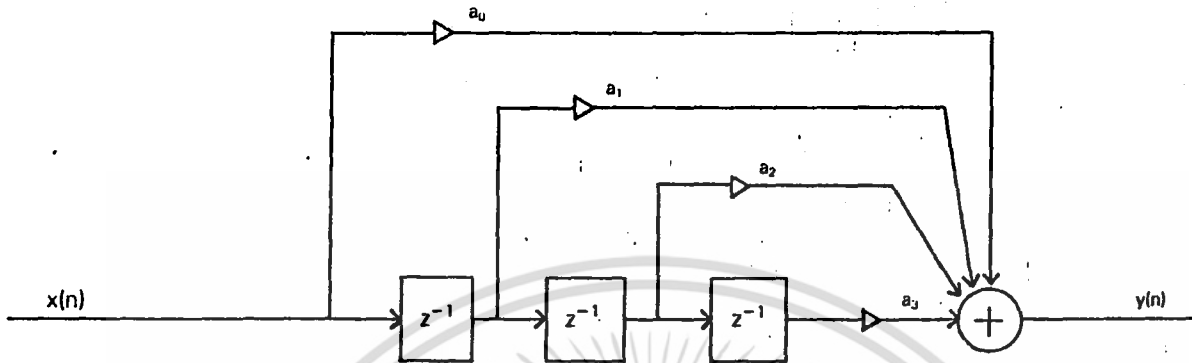
2.1 การทำแบบรีเคอร์ซีฟ (Recursive realization) ในแบบนี้ค่าเอาต์พุตที่คำนวณในปัจจุบันจะขึ้นกับอินพุตทั้งในอดีตและปัจจุบัน และขึ้นกับเอาต์พุตในอดีต (รูปที่ 2.1)

2.2 การทำแบบไม่เป็นรีเคอร์ซีฟ (Nonrecursive realization) ค่าเอาต์พุตที่คำนวณในปัจจุบัน จะขึ้นกับค่าอินพุตในอดีตและปัจจุบันเท่านั้น (รูปที่ 2.2)



รูปที่ 2.1 การทำแบบรีเคอร์ซีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การทำแบบไม่เป็นรีเคอร์ซีฟ

### 2.3 การทำโดยใช้การแปลงฟูเรียร์อย่างรวดเร็ว (FFT realization)

กรณีนี้เป็นการทำให้เป็นจริงในโดเมนความถี่ โดยการแปลงสัญญาณอินพุตซึ่งเป็นสัญญาณในโดเมนเวลาไปเป็นสัญญาณในโดเมนความถี่ โดยใช้การแปลงฟูเรียร์อย่างรวดเร็ว (Fast Fourier Transform) จากนั้นทำการกรองสเปกตรัมของสัญญาณให้ได้ตามต้องการ แล้วจึงแปลงกลับให้ได้สัญญาณในโดเมนเวลา

### 2.2 การวิเคราะห์สเปกตรัม (Spectrum analysis)

ส่วนนี้จะเกี่ยวข้องกับการวิเคราะห์หาส่วนประกอบ รวมทั้งการวิเคราะห์ หากำลังหรือพลังงานของสัญญาณเวลาเป็นช่วง (Discrete-time signal) ที่ความถี่ต่างๆ การวิเคราะห์ทำได้โดยการแปลงสัญญาณดิจิทัลในโดเมนเวลาเข้าสู่โดเมนความถี่ โดยใช้การแปลงฟูเรียร์เป็นช่วง DFT (Discrete Fourier Transform) หรือการแปลงฟูเรียร์อย่างรวดเร็ว FFT (Fast Fourier Transform) เราจะได้สเปกตรัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

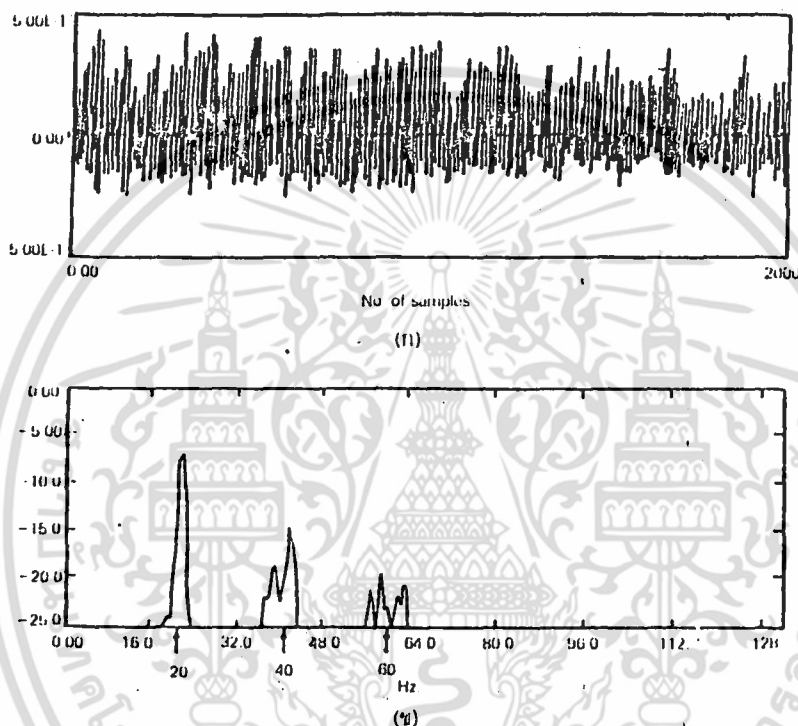
ของสัญญาณ (หรือส่วนประกอบของสัญญาณที่ความถี่ต่างๆ) จากนั้นจะคำนวณหาค่าสเปกตรัมความหนาแน่นของกำลัง (Power density spectrum) ซึ่งกล่าวโดยง่ายก็คือ ค่าว่าแต่ละความถี่ของสัญญาณจะมีกำลังมากน้อยเพียงใด

การวิเคราะห์เริ่มจากปัญหาการคำนวณ หรือการประมาณค่าการแปลงฟูเรียร์ (Fourier transform) ของสัญญาณอนาล็อก โดยใช้ดิจิทัลคอมพิวเตอร์ ขั้นตอนการคำนวณทำได้โดยการสุ่มตัวอย่าง (Sampling) สัญญาณอนาล็อก และแทนค่าโดยอนุกรม (Sequence) ที่มีความยาว  $N$  จากนั้นทำการคำนวณโดยใช้ DFT ค่าที่คำนวณได้จะมีจำนวน  $N$  จุด (Point) และจะแทนจุดของสเปกตรัมของสัญญาณ ซึ่งก็คือการประมาณค่าการแปลงฟูเรียร์ของสัญญาณอนาล็อกนั่นเอง การเลือกค่า  $N$  จะมีผลโดยตรงต่อความละเอียด (Resolution) ของสเปกตรัมที่เราคำนวณวิเคราะห์ อย่างไรก็ตาม การคำนวณ DFT ของข้อมูลที่มีความยาว  $N$  โดยตรง จะมีความเกี่ยวข้องกับการคูณเชิงซ้อนจำนวน  $N^2$  ครั้ง ซึ่งจะเห็นได้ว่าในทางปฏิบัติเมื่อเราต้องการวิเคราะห์สเปกตรัมที่มีความละเอียดเพียงพอค่า  $N$  อาจมีค่ามาก เช่น 1024 ซึ่งหมายความว่าจำนวนครั้งที่ต้องทำการคูณจะมีค่าสูงมาก (แม้ว่าในการคำนวณ DFT จะต้องเกี่ยวข้องกับการคูณและการบวกเลข แต่ขณะนี้ไม่ได้กล่าวถึงการบวก เนื่องจากปกติจะใช้เวลาในการคูณมากกว่าการบวกมาก) โดยอาศัยอัลกอริทึมที่ใช้ในการคำนวณ DFT ที่เรียกว่า การแปลงฟูเรียร์อย่างรวดเร็ว หรือ FFT

อัลกอริทึมแรกถูกเสนอโดย J.W. Cooley และ J.W. Tukey ในปี ค.ศ. 1965 สามารถลดการคูณเชิงซ้อนลงเหลือ  $(N/2)\log_2 N$  ซึ่งสำหรับกรณี  $N$  เท่ากับ 1024 แล้ว จำนวนครั้งการคูณจะลดลงเหลือประมาณ 200 เท่า ในปัจจุบันจะพบเห็นอัลกอริทึมการคำนวณ FFT หลายรูปแบบซึ่งมีคุณสมบัติแตกต่างกัน การตัดสินใจเลือกใช้ FFT อัลกอริทึมใดจะขึ้นอยู่กับคุณสมบัติของฮาร์ดแวร์ด้วย (ซึ่งจะได้กล่าวอย่างละเอียดในหัวข้อ การแปลงฟูเรียร์อย่างรวดเร็วซึ่งอยู่บนบทนี้เช่นกัน) รูปที่ 2.3 แสดงถึงตัวอย่างหนึ่งของการวัดสเปกตรัมกำลัง (Power spectrum) ของสัญญาณที่แทนเสียงรบกวนเนื่องจากเฮลิคอปเตอร์ โดยการใช้อิมโครโฟนจับเสียงของเครื่องบินที่บินอยู่สูงขึ้นไป 200-300 ฟุต โดยการสุ่มตัวอย่างสัญญาณที่ได้จากไมโครโฟนนี้ด้วยอัตรา 256

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างต่อไปนี้ เพื่อให้ได้ข้อมูลจำนวน 2048 จุด (ในรูป 2.3 (ก) แสดงเพียง 2,000 จุด) ค่าสเปกตรัมกำลังจะคำนวณจากค่า FFT ของข้อมูลย่อยจำนวน 256 จุด ร่วมกับอนุกรมหน้าต่าง (Window sequence) รูปที่ 2.3 (ข) แสดงค่าสเปกตรัมกำลังที่ได้จากการคำนวณเป็นเดซิเบล (dB) เราสามารถนำหลักการข้างต้นนี้ไปวิเคราะห์ดูสเปกตรัมของสัญญาณอื่นๆได้เช่นกัน



รูปที่ 2.3 (ก) และ 2.3 (ข) สัญญาณจากเฮลิคอปเตอร์ (รูปหนา) และ สเปกตรัมกำลังของสัญญาณ (รูปบาง)

## 2.3 ทฤษฎีที่ใช้ในโครงการ

### 2.3.1 การสุ่มตัวอย่างสัญญาณ

เนื่องจากการประมวลผลสัญญาณดิจิทัล เราจะ เกี่ยวข้องกับสัญญาณ และระบบซึ่งมีลักษณะ เวลาเป็นช่วง ดังนั้นในการประมวลผลสัญญาณอนาลอกไปเป็น สัญญาณดิจิทัล สิ่งแรกที่จะต้องทำคือ การแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิทัล

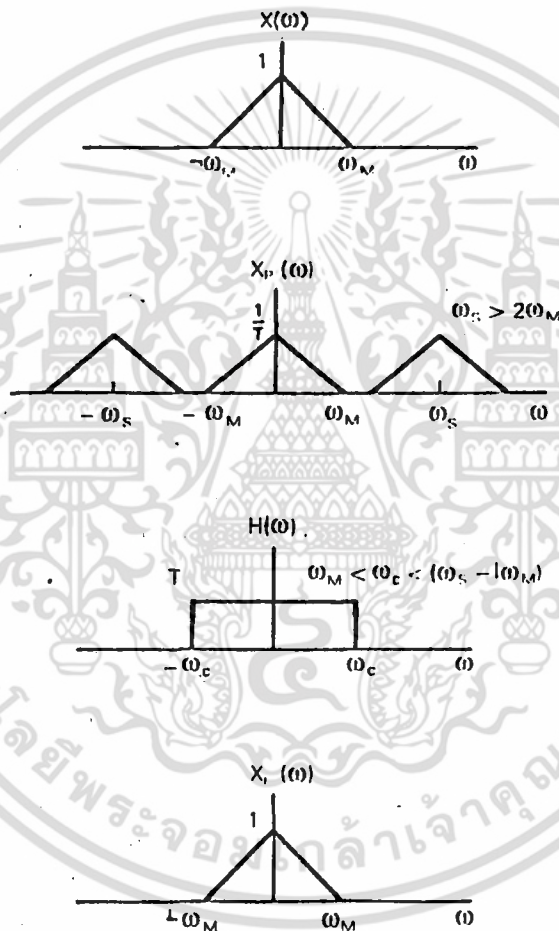
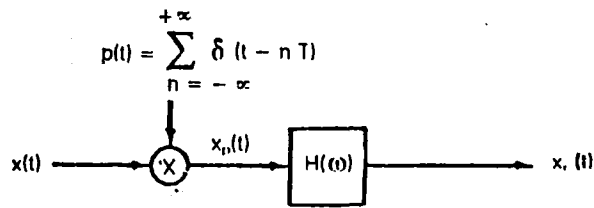
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยผ่านสัญญาณอนาล็อกเข้าสู่ส่วนวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to digital converter) วงจรนี้ประกอบด้วยส่วนทวนหน้าที่สุ่มตัวอย่างสัญญาณ (Sampler) ส่วนที่ทวนหน้าที่จัดสัญญาณให้มีค่าเป็นช่วงตามที่ยอมให้ (Quantizer) และส่วนที่เข้ารหัสเป็นเลขฐานสอง (Encoder) เราทราบว่าสัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็วจะมีส่วนประกอบสัญญาณที่มีความถี่สูงกว่ารวมอยู่ เมื่อเทียบกับสัญญาณที่มีการเปลี่ยนแปลงช้ากว่า ดังนั้นอัตราการสุ่มตัวอย่างจะต้องมีค่ามากพอที่จะตรวจจับให้เห็นการเปลี่ยนแปลงนั้น

อัตราการสุ่มตัวอย่างจะถูกกำหนดโดยทฤษฎีการสุ่มตัวอย่าง (Sampling theorem) ซึ่งเสนอโดย แซนนอน (Shannon) ทฤษฎีนี้กล่าวว่า อัตราการสุ่มตัวอย่างต้องมีค่าไม่น้อยกว่าสองเท่าของความถี่สูงสุดที่รวมอยู่ในสัญญาณนั้น เพื่อให้เข้าใจง่าย จะอธิบายการสุ่มตัวอย่างโดยอาศัยการวิเคราะห์ในโดเมนความถี่ ดังแสดงในรูปที่

#### 2.4

จากรูป  $x(t)$  เป็นสัญญาณต่อเนื่อง ซึ่งสเปกตรัมความถี่ของสัญญาณ  $x(\omega)$  จะได้จากการคำนวณการแปลงฟูเรียร์ของ  $x(t)$  ขณะนี้เราบอกว่า สัญญาณ  $x(t)$  เป็นสัญญาณที่มีแถบความถี่จำกัด (Band limit) เนื่องจากสเปกตรัมของมันมีค่าเป็นศูนย์เมื่อ  $\omega$  (หน่วยเป็นเรเดียนต่อวินาที) มากกว่า  $\omega_m$  จะเห็นได้ว่าสัญญาณ  $x(t)$  ประกอบไปด้วยส่วนประกอบที่มีความถี่สูงสุดเท่ากับ  $\omega_m$  เมื่อเราทำการสุ่มตัวอย่าง  $x(t)$  ด้วยอัตรา  $\omega_s$  จะได้  $x_p(t)$  เป็นสัญญาณที่ได้จากการสุ่มตัวอย่าง จากการวิเคราะห์สเปกตรัมความถี่ของ  $x_p(t)$  เมื่อ  $\omega_s$  มากกว่าสองเท่าของ  $\omega_m$  จะได้ว่า มันประกอบด้วยสเปกตรัม  $x(\omega)$  ที่ขนาดถูกสเกลด้วย  $1/T$  และเกิดขึ้นที่ทุกๆ  $\omega_s$  ในกรณีนี้ เมื่อนำสัญญาณที่ได้เข้าไปในวงจรกรองความถี่ต่ำผ่าน (Low pass filter) ที่มีอัตราขยาย  $T$  และมีความถี่คutoff  $\omega_c$  วงจรกรองจะยอมให้ความถี่ไม่เกิน  $\omega_c$  เท่านั้นที่ผ่านไป ดังนั้นจะเห็นว่าสเปกตรัมของสัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน จะเหมือนกับ  $x(\omega)$  ซึ่งหมายถึงว่าเราจะได้สัญญาณในโดเมนเวลาที่เหมือนกับ  $x(t)$  ทุกประการ



รูปที่ 2.4 แสดงการสุ่มตัวอย่างสัญญาณอนาลอก และการนำสัญญาณอนาลอกกลับมา (recovery) อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางของคลื่น ถ้า  $f_s$  มีค่าน้อยกว่า  $2f_m$  จะเกิดการเหลื่อมกันของสเปกตรัมที่อยู่ใกล้เคียงกัน ซึ่งหลังจากผ่านวงจรกรองความถี่ต่ำแล้ว จะได้สเปกตรัมที่ผิดแผกไป เป็นผลที่สัญญาณที่ได้ต่างออกไปจาก  $x(t)$  การที่เราสุ่มสัญญาณด้วยอัตราต่ำกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอินพุต จะทำให้เกิดปรากฏการณ์ที่เรียกว่า เอเลียสซิง (Aliasing) เนื่องจากความถี่ที่สูงกว่า  $2f_s$  จะไปปรากฏเป็นสัญญาณความถี่ต่ำกว่า  $f_m$  ทำให้เกิดการแปลงความหมายผิดว่าเป็นสัญญาณความถี่ต่ำ แทนที่จะเป็นสัญญาณความถี่สูง ซึ่งอาจยกตัวอย่างได้ง่าย เช่น ถ้าความถี่สูงสุดของสัญญาณอินพุตเป็นความถี่ 1 กิโลเฮิรซ์ (KHz) และเราทำการสุ่มด้วยอัตรา 5,000 ตัวอย่างต่อวินาที ความถี่ 4 กิโลเฮิรซ์ จะถูกแปลงความหมายผิดว่าเป็นความถี่ 1 กิโลเฮิรซ์ ในทางปฏิบัติจะพบว่า สัญญาณส่วนใหญ่จะมีสเปกตรัมที่ไม่จำกัดต่อเนื่องไปถึงอนันต์ อย่างไรก็ตาม หากพิจารณาให้ละเอียดขึ้นจะพบว่า กำลังหรือพลังงานส่วนใหญ่ของสัญญาณ จะอยู่ในช่วงค่าความถี่ค่าหนึ่ง ดังนั้นจึงนิยมกรองความถี่ที่เหลือเพียงค่าที่มีนัยสำคัญโดยใช้อุปกรณ์กรองความถี่ก่อน (Prefilter) ที่ทำการแปลงสัญญาณเป็นดิจิตอล

เมื่อสัญญาณอนาล็อกอินพุตผ่านขั้นตอนการแปลงสัญญาณแล้ว สัญญาณดิจิตอลที่ได้จะถูกนำไปคำนวณหาค่าการแปลงฟูเรียร์ โดยใช้อุปกรณ์แปลงฟูเรียร์อย่างรวดเร็ว (FFT) ในการประมาณค่าการแปลงฟูเรียร์อย่างรวดเร็วของสัญญาณอนาล็อก ซึ่งในส่วนนี้จะได้อีกส่วนในหัวข้อต่อไป

### 2.3.2 การแปลงฟูเรียร์เป็นช่วง (DFT)

ก่อนที่จะกล่าวถึงการแปลงฟูเรียร์อย่างรวดเร็ว (FFT) เราควรจะทำ ความเข้าใจถึงคุณสมบัติของการแปลงฟูเรียร์เป็นช่วง (DFT) เสียก่อน การแปลงฟูเรียร์เป็นช่วงได้มาจากการประมาณค่า จากการแปลงฟูเรียร์ของสัญญาณต่อเนื่องซึ่งจะอยู่ในรูปของอินทิกรัลทรานสฟอร์ม ตามสมการที่ (2.3) และ (2.4)

ฟูเรียร์ทรานสฟอร์ม  $X(j\omega) = \int_{-\infty}^{\infty} x(t)e^{-j\omega t} dt$  (2.3)

อินเวอร์สฟูเรียร์ทรานสฟอร์ม  $x(t) = (1/2\pi) \int_{-\infty}^{\infty} X(j\omega)e^{j\omega t} dt$  (2.4)

ซึ่งอยู่ในรูปของสมการตรีโกณมิติ  $e^{-j\omega t} = \cos\omega t - j\sin\omega t$  (2.5)

สมการที่ (2.3) และ (2.4) สามารถประมาณโดยใช้คณิตศาสตร์แบบไม่ต่อเนื่อง (Discrete maths) เพื่อให้ได้สมการ DFT ดังนี้

DFT  $X(k) = \sum_{n=0}^{N-1} x(n)e^{-j2\pi kn/N}$  (2.6)

และอินเวอร์ส DFT  $x(n) = (1/N) \sum_{k=0}^{N-1} X(k)e^{j2\pi kn/N}$  (2.7)

สำหรับข้อแตกต่างก็คือ DFT เป็นการคำนวณหาสัมประสิทธิ์ฟูเรียร์แบบเป็นช่วง (Discrete fourier coefficients) ของข้อมูลในโดเมนเวลาช่วงหนึ่ง ซึ่งมีค่าจำกัด และถูกประมาณว่าเป็นคาบ ดังนั้นในทางปฏิบัติการคำนวณการแปลงฟูเรียร์แบบเป็นช่วง เพื่อหาสเปกตรัมของสัญญาณจะถูกจำกัดเพียงช่วงหนึ่งของสัญญาณ ซึ่งจะเหมือนกับการตัดสัญญาณช่วงเวลาออกเหนือจากที่กำลังสนใจทั่วไป คุณสมบัติที่ควรพิจารณา DFT อีกอันหนึ่งก็คือ คุณสมบัติความเป็นคาบของ DFT (The periodicity of the DFT) พิจารณาสมการที่ (2.6) การแปลงฟูเรียร์ของข้อมูลในโดเมนเวลา  $x$  จะให้สัมประสิทธิ์สเปกตรัมจำนวน  $N$  ถ้าสมการ (2.6) ถูกคำนวณ  $N$  ครั้ง หมายความว่า  $k$  มีค่าตั้งแต่ 0 ถึง  $N-1$  เราจะพิจารณาการคำนวณค่าสัมประสิทธิ์ที่นอกเหนือจากตำแหน่ง  $N-1$  คือ ค่าที่ตำแหน่ง  $N+k$  ดังนี้

ให้  $k$  กลายเป็น  $N+k$

แทนค่าลงในสมการ (2.6)

$$X_{N+k} = \sum_{n=0}^{N-1} x_n e^{-j2\pi n(N+k)/N} \quad (2.8)$$

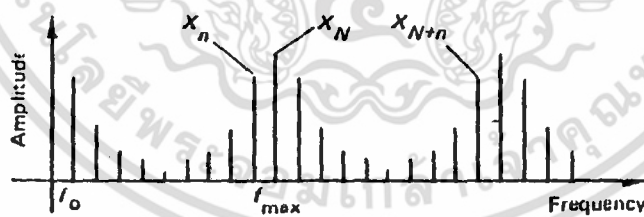
$n$  เป็นจำนวนเต็ม

ดังนั้น 
$$e^{-j2\pi n} = 1$$

จะได้ว่า 
$$X_{N+k} = \sum_{n=0}^{N-1} x_n e^{-j2\pi kn/N}$$

$$X_{N+k} = X_k \quad (2.9)$$

จะเห็นว่าในกรณีที่สัญญาณเป็นจำนวนเชิงซ้อน ค่าสัมประสิทธิ์จะซ้ำกันที่  
ตำแหน่งห่างกันจำนวน  $N$  ดังแสดงดังรูป 2.5



รูปที่ 2.5 แสดง periodicity of the DFT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



หากพิจารณากรณีที่ สัมประสิทธิ์อยู่ในช่วงความถี่เป็นลบ (Negative frequency)  $X_{-k}$  และแทนค่า  $k$  อีกครั้งลงในสมการ (2.6)

$$X_{-k} = \sum_{n=0}^{N-1} x_n e^{-j2\pi n(-k)/N}$$

$$= \sum_{n=0}^{N-1} x_n \{ \cos(2\pi kn/N) + j \sin(2\pi kn/N) \} \quad (2.10)$$

สัมประสิทธิ์ที่ได้จะเป็นคอนจูเกตเชิงซ้อนของ  $X_k$  เขียนได้ว่า

$$X_{-k} = X_k^*$$

ดังนั้น DFT จึงให้ขนาดของสเปกตรัมเป็นคาบในช่วงความถี่ที่เป็นลบด้วย เช่นกัน เพราะว่า

$$|X_k| = |X_k^*|$$

กลับมาพิจารณาการคำนวณหาสัมประสิทธิ์สเปกตรัมในช่วง  $k$  เท่ากับ 0 ถึง  $N-1$  ซึ่งเป็นการหาสัมประสิทธิ์จำนวน  $N$  ค่า จากข้อมูลจำนวน  $N$  จุด เราจะได้ขนาดของสเปกตรัมที่สมมาตรจำนวน  $N/2$  ค่า เพื่อแสดงความจริงในข้อนี้

เราจะกำหนดค่าที่

$$k = N-r$$

โดยที่

$$r < N/2$$

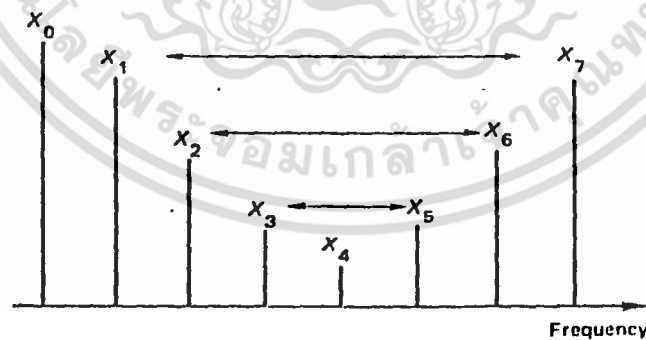
จากนั้นแทนค่าลงในสมการ (2.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 X_{N-r} &= \sum_{n=0}^{N-1} x_n e^{-j2\pi(N-r)n/N} \\
 &= \sum_{n=0}^{N-1} x_n e^{j2\pi nr/N} \cdot e^{-j2\pi n} \\
 &= \sum_{n=0}^{N-1} x_n e^{j2\pi nr/N}
 \end{aligned}$$

$$X_{N-r} = X_r^* \quad (2.11)$$

ดังนั้นพิสูจน์ได้ว่า สมบัติที่ฟูเรียร์ในครึ่งหลัง เป็นคอนจูเกตเชิงซ้อน  
ของค่าในครึ่งแรก และขนาดของสเปกตรัมสมมาตรรอบจุดกลาง ดังรูปที่ 2.6



รูปที่ 2.6 แสดงสเปกตรัมรอบจุดกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่ารูปที่ 2.6 เป็นการหาสเปกตรัมจากข้อมูล จำนวน 8 จุด และมีสมมาตรของสเปกตรัมรอบค่า  $x_4$  รูปที่ 2.7 เป็นตัวอย่างแสดงกราฟสัญญาณอินพุทกับสเปกตรัมของมัน

คุณสมบัติที่สำคัญอีกประการหนึ่งคือ ความละเอียดในการแบ่งแยกความถี่ (Frequency resolution) ซึ่งมีค่า  $1/T$  Hz

โดย  $T =$  ช่วงเวลาของข้อมูลจำนวน  $N$

และย่านการตอบสนองความถี่คือ

$$f_{\max} = (N/2T_s) \text{ Hz}$$

โดยที่

$N =$  จำนวนข้อมูล

$T_s =$  ช่วงเวลาที่ใช้ในการสุ่มตัวอย่าง

ยกตัวอย่างเช่น การวิเคราะห์ความถี่สัญญาณอินพุทคลื่นสี่เหลี่ยม ที่ถูกสุ่มตัวอย่าง ด้วยอัตรา 10 ms ต่อตัวอย่าง โดยที่คลื่นสี่เหลี่ยมนี้มีความถี่มูลฐาน 100 Hz ดังนั้นฮาร์โมนิคของสัญญาณนี้เป็น 100, 300, 500, 700 Hz,... ถ้าวิเคราะห์ด้วย DFT โดยเก็บตัวอย่างเป็นเวลา 1 วินาที ซึ่งเป็นจำนวน 500 ตัวอย่าง ดังนั้นความละเอียดในการแบ่งแยกความถี่เท่ากับ 1 Hz และมีย่านการตอบสนองความถี่เท่ากับ  $N/2T_s = 500/2(10 \times 10^{-3})$

ดังนั้น

$$f_{\max} = 250 \text{ Hz}$$

ดังนั้นสามารถตอบสนองความถี่ตั้งแต่ 0 ถึง 250 Hz และมีความ

ละเอียด 1 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

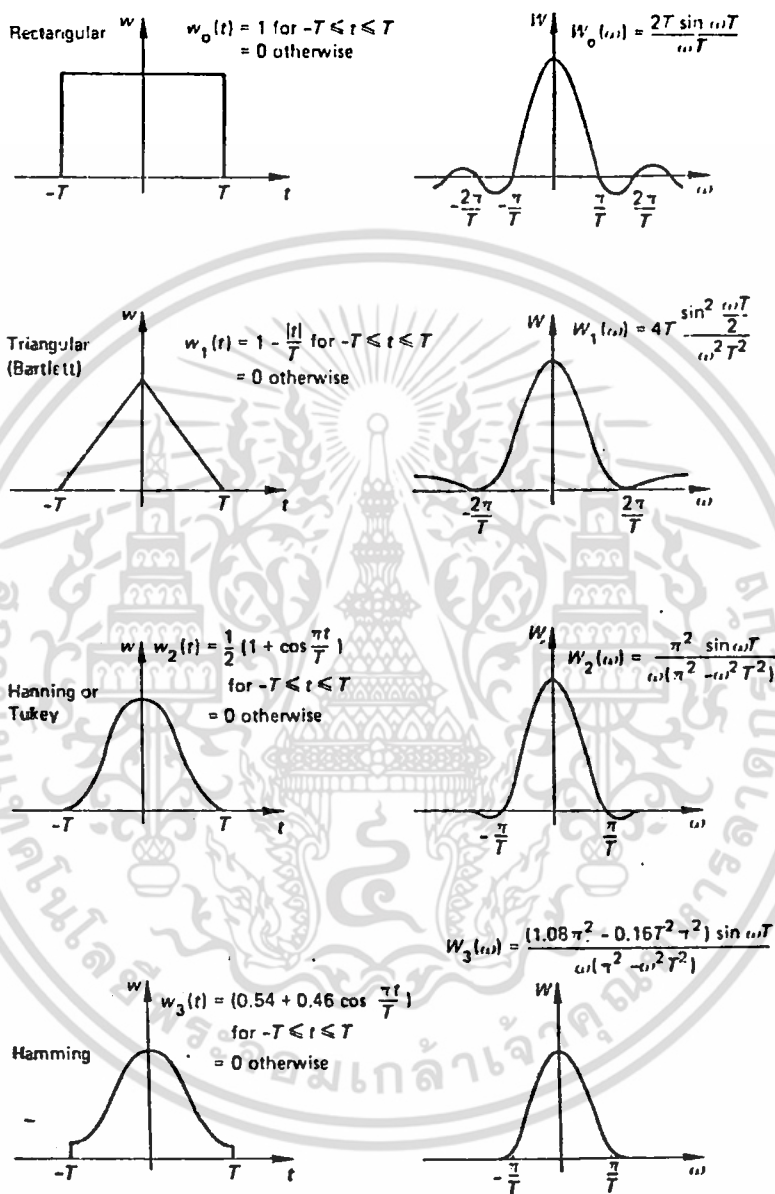
ถึงขณะนี้เรากล่าวถึงการเลือกอัตราการสุ่มให้เหมาะสมกับความถี่สูงสุดของสัญญาณอินพุต ในการวิเคราะห์สเปกตรัมของสัญญาณเราจะใช้ DFT หรือ FFT ในการประมาณค่าการแปลงฟูเรียร์ของสัญญาณอนาล็อก เราพบว่ามี 3 ปรากฏการณ์ที่จะก่อให้เกิดความผิดพลาด ระหว่างค่าที่คำนวณกับค่าการแปลงที่ควรจะเป็น ปรากฏการณ์ทั้งสาม คือ

ก. ปรากฏการณ์เอเลียสซิง (Aliasing effect) ซึ่งเป็นผลจากการที่ความถี่ของสัญญาณอินพุตมีค่าสูงกว่าครึ่งหนึ่งของอัตราการสุ่มตัวอย่าง ปรากฏการณ์นี้สามารถแก้ไขได้โดยการทำการกรองก่อน (Prefiltering)

ข. ปรากฏการณ์คิกเคตเฟนซ์ (picket-fence effect) เนื่องจากการใช้ DFT จะทำให้เราได้ค่าที่เป็นช่วงของสเปกตรัม ซึ่งเหมือนกับการมองผ่านไม้ระแนง (Picket-fence) ที่บางส่วนของไม้จะปิดภาพส่วนหนึ่งไว้ จำนวนตัวอย่างหรือจำนวนจุดที่เรานำมาคำนวณจะเป็นตัวกำหนดความละเอียดของความถี่ (Frequency resolution) ระหว่างค่าของสเปกตรัม ซึ่งเปรียบเสมือนกำหนดความถี่ หรือห่างของระยะระหว่างไม้ระแนงนั่นเอง

ค. ปรากฏการณ์รั่วไหล (Leakage effect) สัญญาณที่มีสเปกตรัมความถี่ที่มีค่าต่อเนื่อง ไปไม่สิ้นสุด การหาค่าที่ถูกต้องของสเปกตรัมความถี่โดยการแปลงฟูเรียร์ จะต้องคำนวณโดยใช้สัญญาณทั้งหมดถึงอนันต์ อย่างไรก็ตามในทางปฏิบัติ การคำนวณจะถูกจำกัดเพียงช่วงหนึ่งของสัญญาณ ซึ่งจะเหมือนกับการตัดสัญญาณช่วงเวลานอกเหนือจากการสุ่มตัวอย่างทิ้งไป หรือเหมือนกับการคูณสัญญาณด้วยฟังก์ชันหน้าต่าง (Window function) ที่เป็นสี่เหลี่ยมผืนผ้า ดังนั้นสเปกตรัมความถี่ที่ได้จะมีการกระจายออกหรือเรียกว่ามีการรั่วไหล (Leakage) ของสเปกตรัม

การแก้ปัญหาการรั่วไหลนี้แก้ไขได้โดยการปรับปรุงความไม่ต่อเนื่อง (Discontinuity) ของสัญญาณที่สุ่มมากับสัญญาณที่ตัดทิ้งไปให้ดีขึ้น ด้วยการใส่ฟังก์ชันหน้าต่าง ซึ่งมีผู้วิจัยไว้หลายแบบ ซึ่งจะกล่าวถึงในหัวข้อต่อไป



รูป 2.7 แสดงฟังก์ชันหน้าต่างแบบต่างๆและสเปกตรัมของแต่ละแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.3 ฟังก์ชันหน้าต่าง

การแก้ปัญหาการรั่วไหลนี้สามารถแก้ไขได้ โดยการปรับปรุงความไม่ต่อเนื่อง (Discontinuity) ของสัญญาณที่ส่งมากับสัญญาณที่ตัดทิ้งไปให้ดีขึ้น ด้วยการ ใช้ฟังก์ชันหน้าต่าง ซึ่งมีผู้วิจัยไว้หลายแบบ ดังนี้

#### 1. ฟังก์ชันหน้าต่างแบบสี่เหลี่ยม (Rectangle window)

ฟังก์ชันหน้าต่างชนิดนี้กำหนดได้ดังสมการ

$$w(n) = 1.0 \quad ; \quad n = -N/2, \dots, -1, 0, 1, \dots, N/2 \quad (2.12)$$

ซึ่งผลตอบสนองความถี่ของหน้าต่างแบบสี่เหลี่ยมนี้ จะมีความกว้างของเมนโลบ (Main lobe) แคบที่สุดจำนวนหน้าต่างทั้งหมด แต่จะมีไซด์โลบ (Side lobe) สูงที่สุดเช่นกัน โดยไซด์โลบแรกจะต่ำกว่าเมนโลบอยู่ประมาณ 13 dB และไซด์โลบที่เหลือจะมีอัตราการลดทอนเท่ากับ 6 dB/octave

#### 2. ฟังก์ชันหน้าต่างแบบสามเหลี่ยม (Triangle window)

ฟังก์ชันหน้าต่างชนิดนี้กำหนดได้ดังสมการ

$$w(n) = 1.0 - |n|/(N/2) \quad ; \quad n = -N/2, \dots, -1, 0, 1, \dots, N/2 \quad (2.13)$$

โดยจะมีความกว้างของเมนโลบเป็น 2 เท่า ของฟังก์ชันหน้าต่างแบบสี่เหลี่ยม และไซด์โลบแรกเริ่มที่ -26 dB ส่วนไซด์โลบที่เหลือจะลดลงที่ 12 dB/octave

#### 3. ฟังก์ชันหน้าต่างแบบฮานนิง (Hanning window)

ฟังก์ชันหน้าต่างชนิดนี้จัดเป็นฟังก์ชันหน้าต่างชนิด  $\cos^2(x)$  อันหนึ่ง ซึ่งฟังก์ชันหน้าต่างแบบฮานนิงนี้มีรูปแบบเป็น

$$\begin{aligned}
 w(n) &= \cos^2[(\pi/N)n] \\
 &= 0.5[1.0 + \cos[(2\pi/N)n]]
 \end{aligned}
 \tag{2.14}$$

โดยที่  $n = -N/2, \dots, -1, 0, 1, \dots, N/2$

สเปกตรัมของหน้าต่างแบบฮานนิงนี้จะมีเมนโลบกว้างเป็น 2 เท่าของ ฟังก์ชันหน้าต่างชนิดสี่เหลี่ยม (เช่นเดียวกับฟังก์ชันหน้าต่างชนิดสามเหลี่ยม) โดยไซด์โลบสูงสุดของมัน (ไซด์โลบแรก) จะต่ำกว่าเมนโลบอยู่ 32 dB และ ไซด์โลบอื่นๆจะมีอัตรา ลดทอน 18 dB/octave

#### 4. ฟังก์ชันหน้าต่างแบบแฮมมิง (Hamming window)

ฟังก์ชันหน้าต่างแบบนี้พัฒนามาจากฟังก์ชันหน้าต่างแบบฮานนิง โดยมีรูปแบบดังนี้

$$w(n) = 0.54 + 0.46 \cos[(2\pi/N)n] \tag{2.15}$$

โดยสเปกตรัมของฟังก์ชันหน้าต่างแบบแฮมมิงนี้ มีความกว้างของเมนโลบ เท่ากับเมนโลบของฟังก์ชันหน้าต่างแบบฮานนิง แต่ไซด์โลบสูงสุดจะอยู่ต่ำกว่าเมนโลบ ประมาณ 43 dB และมีอัตราการลดทอนเท่ากับ 6 dB/octave

#### 5. ฟังก์ชันหน้าต่างแบบแบล็กแมน (Blackman window)

มีรากฐานมาจากฟังก์ชันหน้าต่างแบบโคไซน์ (Cosine window) เช่นเดียวกับฟังก์ชันหน้าต่างแบบฮานนิงและแฮมมิง ดังสมการ

$$w(n) = 0.42 + 0.5\cos[(2\pi/N)n] + 0.08\cos[(2\pi/N)2n] \tag{2.16}$$

โดยที่  $n = -N/2, \dots, -1, 0, 1, \dots, N/2$

โดยสเปกตรัมของฟังก์ชันหน้าต่างแบบแบล็กแมนนี้ ไซด์โลบแรกจะต่ำกว่าเมนโลบอยู่

59 dB และมีอัตราการลดทอนเท่ากับ 18 dB/octave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.4 การแปลงฟูเรียร์อย่างรวดเร็ว

ในส่วนของ การแปลงฟูเรียร์อย่างรวดเร็วจะมีพื้นฐานมาจากการแปลงฟูเรียร์แบบเป็นช่วง โดยนำมาพัฒนาที่มีอัลกอริทึมที่เหมาะสมกับการเขียนเป็นภาษาคอมพิวเตอร์ และเน้นให้มีการคำนวณน้อยกว่าการแปลงฟูเรียร์แบบเป็นช่วง เพื่อให้คอมพิวเตอร์สามารถแปลงข้อมูลได้เร็วขึ้น เหมาะสมกับการนำไปใช้งานจริง

พิจารณาสมการการแปลงฟูเรียร์แบบเป็นช่วง

$$X_n = \sum_{k=0}^{N-1} x_k W^{nk} \quad (2.17)$$

โดย  $W = e^{-j2\pi/N}$  (2.18)

ถ้า  $N$  ถูกหารด้วย 2 เพื่อแบ่งผลรวมทั้งหมดออกเป็นผลรวมของจำนวนคู่ และคี่ของ  $N$  เราจะได้

$$X_n = \sum_{k=0}^{N/2-1} x_{2k} W^{2nk} + W^n \sum_{k=0}^{N/2-1} x_{(2k+1)} W^{2nk} \quad (2.19)$$

ผลรวมแรกจะเป็นการแปลงฟูเรียร์แบบเป็นช่วงของจำนวนคู่ คือ

$$E_n = \sum_{k=0}^{N/2-1} x_{2k} W^{2nk}$$

และผลรวมที่ 2 จะเป็นการแปลงฟูเรียร์แบบเป็นช่วงของจำนวนคี่ คือ

$$O_n = \sum_{k=0}^{N/2-1} x_{(2k+1)} W^{2nk}$$

ดังนั้น  $X_n = E_n + W^n O_n$  (2.20)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าการหาสัมประสิทธิ์สเป็คตรัมในตอนนี้ได้เพียง  $N/2 + 1$  ค่าเท่านั้น ส่วนสัมประสิทธิ์สเป็คตรัมจำนวนที่เหลือ หาได้โดยกำหนดให้

$$E_{(n+N/2)} = E_n$$

$$O_{(n+N/2)} = O_n$$

ดังนั้นสเป็คตรัมที่เหลือหาได้จาก

$$X_{n+N/2} = E_n + w^{n+N/2}O_n \quad (2.21)$$

แต่ตอนนี้

$$w^{n+N/2} = e^{-j2\pi(n+N/2)/N}$$

$$= e^{-j2\pi n/N} \cdot e^{-j\pi}$$

โดยที่

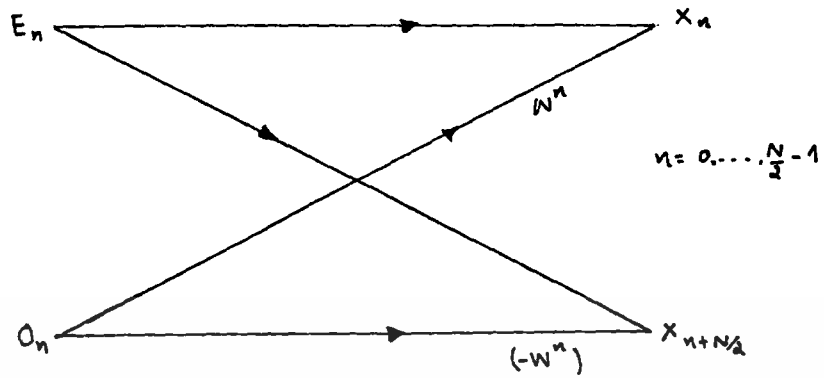
$$e^{-j\pi} = -1$$

$$w^{n+N/2} = -w^n$$

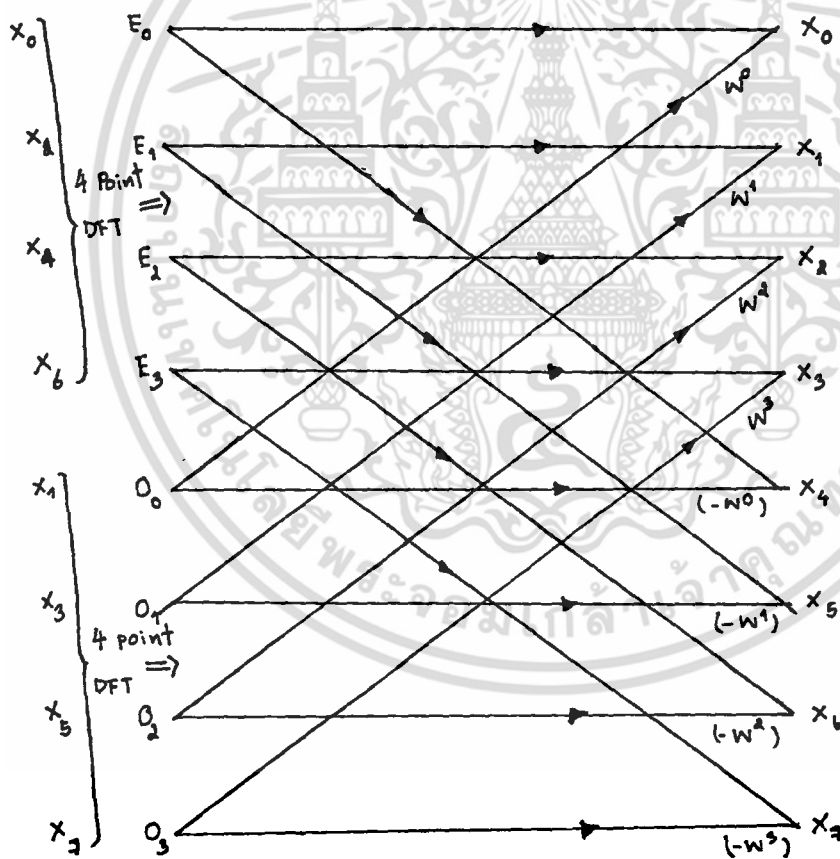
ดังนั้น

$$X_n = E_n - w^n O_n \quad (2.22)$$

อัลกอริทึมที่สมบูรณ์ของการแปลงฟูเรียร์อย่างรวดเร็วสามารถแสดงได้ดังแผนผังซึ่งเรียกว่าเป็นแผนผังแบบบัตเตอร์ฟลาย (Butterfly diagram) ดังรูปที่ 2.8



(n)



(ข)

รูปที่ 2.8 แผนผังแบบบัตเตอร์ฟลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3

### โครงสร้างทางซอฟต์แวร์

ซอฟต์แวร์ที่เกี่ยวข้องกับการวิเคราะห์สเปกตรัมของสัญญาณที่ใช้ในโครงการงานพิเศษนี้ สามารถแบ่งได้เป็น 3 กลุ่มด้วยกันคือ

#### 1. โปรแกรมควบคุมการใช้งานฮาร์ดแวร์

ได้แก่โปรแกรม SAMPLING ทำหน้าที่ควบคุมการทำงานของการ์ด A/D ในการแปลงสัญญาณอนาล็อกอินพุตให้เป็นสัญญาณดิจิทัลขนาด 8 บิต แล้วทำการจัดเก็บค่าของข้อมูลอินพุตในลักษณะตัวเลขแบบโพลต์ตั้งพอยท์ลงในแฟ้มข้อมูล เพื่อใช้ในการวิเคราะห์สเปกตรัมต่อไป

#### 2. โปรแกรมวิเคราะห์

ประกอบด้วย

-โปรแกรม WINDOW ทำหน้าที่ทำหน้าที่ของแต่ละข้อมูลอินพุตด้วยฟังก์ชันหน้าต่างที่เลือกใช้ ซึ่งในโครงการงานพิเศษนี้ใช้ทั้งสิ้น 6 ฟังก์ชันด้วยกันคือ

- 1) ฟังก์ชันหน้าต่างแบบสี่เหลี่ยม (Rectangle window)
- 2) ฟังก์ชันหน้าต่างแบบสามเหลี่ยม (Triangle window)
- 3) ฟังก์ชันหน้าต่างแบบฮานนิง (Hanning window)
- 4) ฟังก์ชันหน้าต่างแบบ แฮมมิง (Hamming window)
- 5) ฟังก์ชันหน้าต่างแบบแบล็กแมน (Blackman window)
- 6) ฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส (Blackman-Harris

window)

ดังนั้นโปรแกรม WINDOW นี้ จะประกอบไปด้วยโปรแกรมย่อย 6

โปรแกรมด้วยกัน คือ โปรแกรม Rect, โปรแกรม Tri, โปรแกรม Han, โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ham, โปรแกรม Black และ โปรแกรม Har ตามลำดับ

-โปรแกรม FFT ทำหน้าที่แปลงข้อมูลที่ได้จากโปรแกรม SAMPLING หรือโปรแกรม WINDOW ให้อยู่ในรูปของสเปกตรัมของสัญญาณนั้นๆ ด้วยการแปลงฟูเรียร์อย่างรวดเร็ว โดยข้อมูลที่ได้จะอยู่ในรูปของตัวเลขแบบโพลตติ้งพอยท์ และมีหน่วยเป็นเดซิเบล แล้วจึงจัดเก็บข้อมูลเอาท์พุทที่ได้ลงในแฟ้มข้อมูล เพื่อให้ใช้กับโปรแกรม LOTUS 1-2-3 ต่อไป

### 3. โปรแกรมส่วนแสดงผลข้อมูล

ส่วนแสดงผลข้อมูลของโครงการนี้ จะแสดงผลข้อมูลในรูปของกราฟเส้นตรง โดยใช้โปรแกรมสำเร็จรูป LOTUS 1-2-3 มาเป็นโปรแกรมช่วยในการแสดงผล โปรแกรมที่กล่าวมาทั้งหมด ยกเว้นโปรแกรมในส่วนแสดงผลข้อมูล ถูกเขียนด้วยภาษา ซี บนเครื่อง IBM PC XT และผ่านการคอมไพล์ด้วยโปรแกรมเทอร์โบซี เวอร์ชัน 2.0 รูป 3.1 แสดงโปรแกรมต่างๆที่กล่าวมา

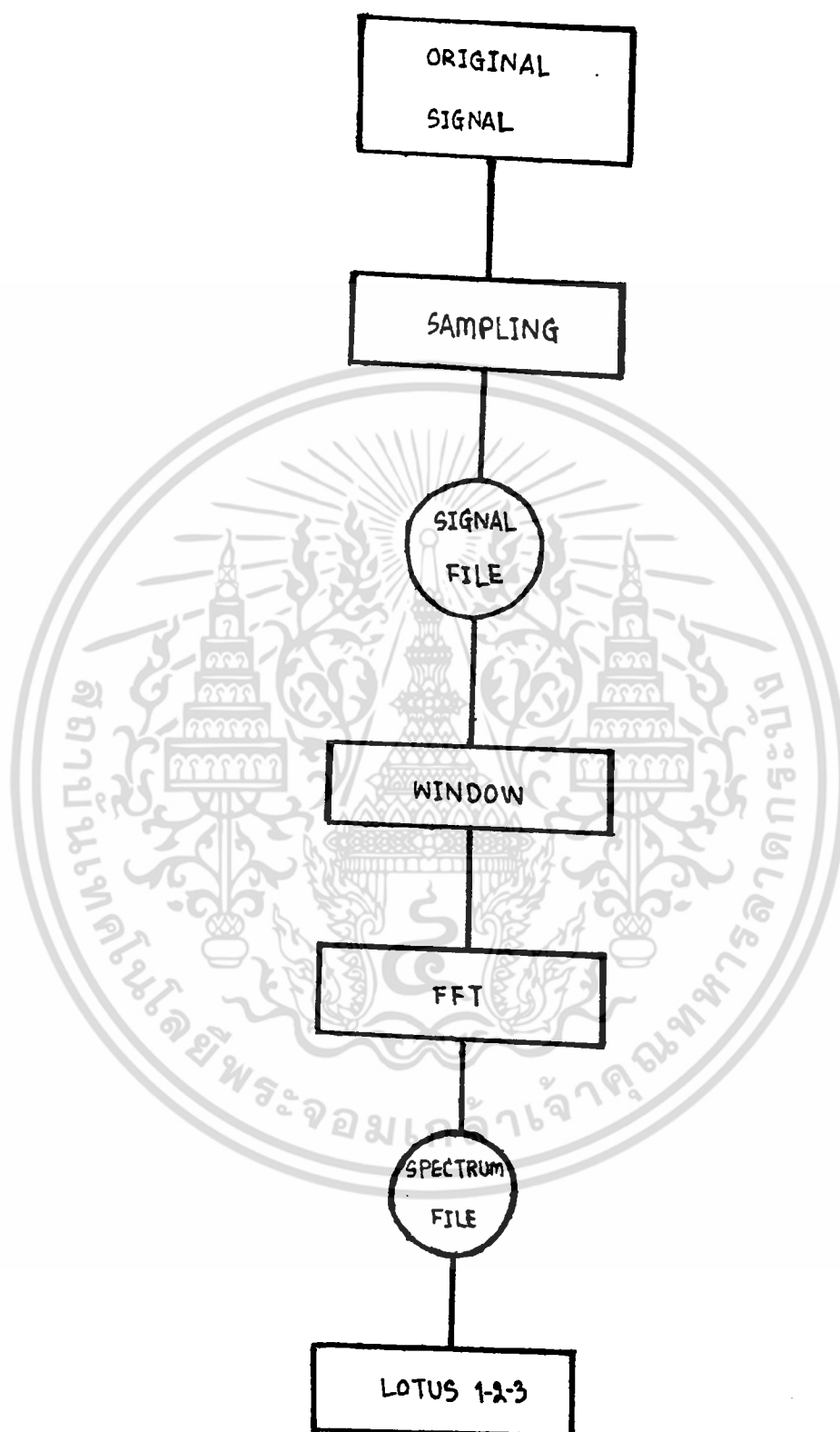
ในการวิเคราะห์สเปกตรัมของสัญญาณจะมีขั้นตอนสรุปได้คือ

1. สัญญาณอนาล็อกอินพุตถูกสุ่มมาเก็บไว้เป็นแฟ้มข้อมูลสัญญาณ Sinal File ด้วยโปรแกรม SAMPLING

2. นำสัญญาณอินพุตจากแฟ้มข้อมูลสัญญาณไปให้นักข้อมูลด้วยโปรแกรม WINDOW ซึ่งสามารถเลือกฟังก์ชันหน้าต่างได้ 6 ฟังก์ชัน โดยใช้โปรแกรมย่อย 6 โปรแกรม คือ โปรแกรม Rect, Tri, Han, Ham, Black และ Har

3. นำข้อมูลจากโปรแกรม WINDOW มาคำนวณหาสเปกตรัมของสัญญาณด้วยโปรแกรม FFT แล้วจัดเก็บในแฟ้มข้อมูล

4. แสดงผลข้อมูลในรูปของกราฟได้ด้วยโปรแกรม LOTUS 1-2-3



รูปที่ 3.1 โปรแกรมที่ใช้ในการวิเคราะห์สเปกตรัมของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1 โปรแกรมควบคุมการใช้งานฮาร์ดแวร์

#### โปรแกรม SAMPLING

เป็นโปรแกรมที่ใช้ควบคุมการ์ด A/D ในการแปลงสัญญาณอนาล็อกอินพุต เป็นสัญญาณดิจิทัลขนาด 8 บิต เมื่อเริ่มดำเนินการทำงานของโปรแกรม โปรแกรมจะรับค่าตัวแปร 3 ค่าจากผู้ใช้ คือ ค่าอัตราการสุ่มสัญญาณ, จำนวนข้อมูลที่จะสุ่มเข้ามา และระดับของสัญญาณในการเริ่มต้นสุ่มค่า โดยตัวโปรแกรมมีคุณสมบัติดังนี้

- 1.สามารถกำหนดอัตราการสุ่มสัญญาณได้สูงสุด 30 kHz
- 2.สามารถกำหนดจำนวนข้อมูลได้สูงสุด 10,000 ค่า
- 3.สามารถกำหนดระดับของสัญญาณในการเริ่มต้นสุ่มค่าได้ตั้งแต่ระดับ 0 จนถึง 255

ข้อมูลที่ถูกสุ่มเข้ามาจะเป็นจำนวนเต็ม (Integer) ขนาด 8 บิต ซึ่งจะถูกแปลงอีกครั้งด้วยซอฟต์แวร์ให้เป็นจำนวนฟลอยติงพอยท์ (Floating point) ขนาด 16 บิต ซึ่งข้อมูลจะอยู่ในช่วง -2.5 โวลต์ถึง +2.5 โวลต์ จากนั้นโปรแกรมจะเก็บข้อมูลฟลอยติงพอยท์นี้ลงไปในแฟ้มข้อมูลสัญญาณ (Signal file) เพื่อใช้ในการวิเคราะห์สเปกตรัมต่อไป แผนผังการทำงานของโปรแกรมนี้นี้ แสดงในรูปที่ 3.2

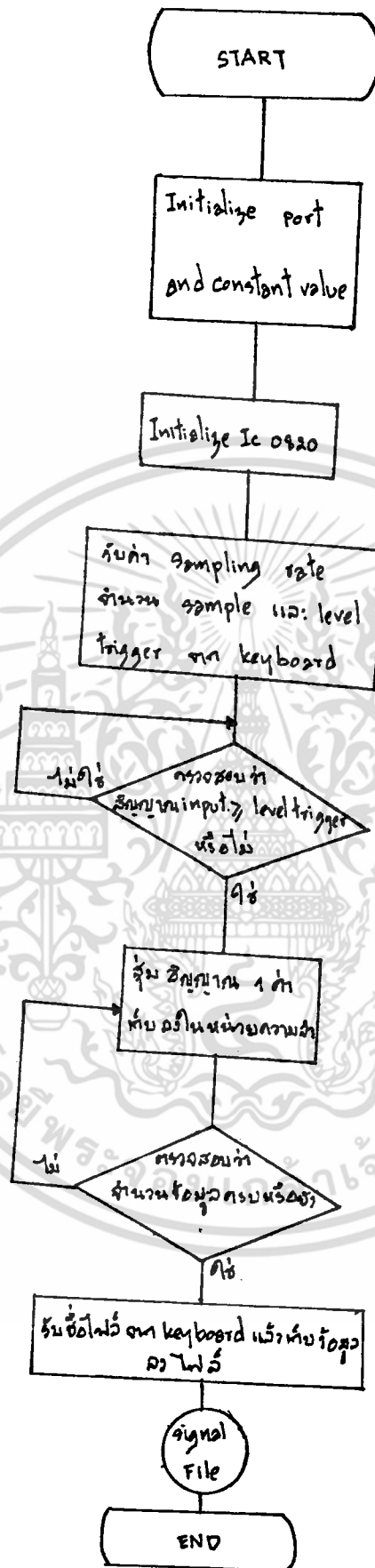
### 3.2 โปรแกรมวิเคราะห์

ประกอบไปด้วย โปรแกรม WINDOW และ โปรแกรม FFT

#### 3.2.1 โปรแกรม WINDOW

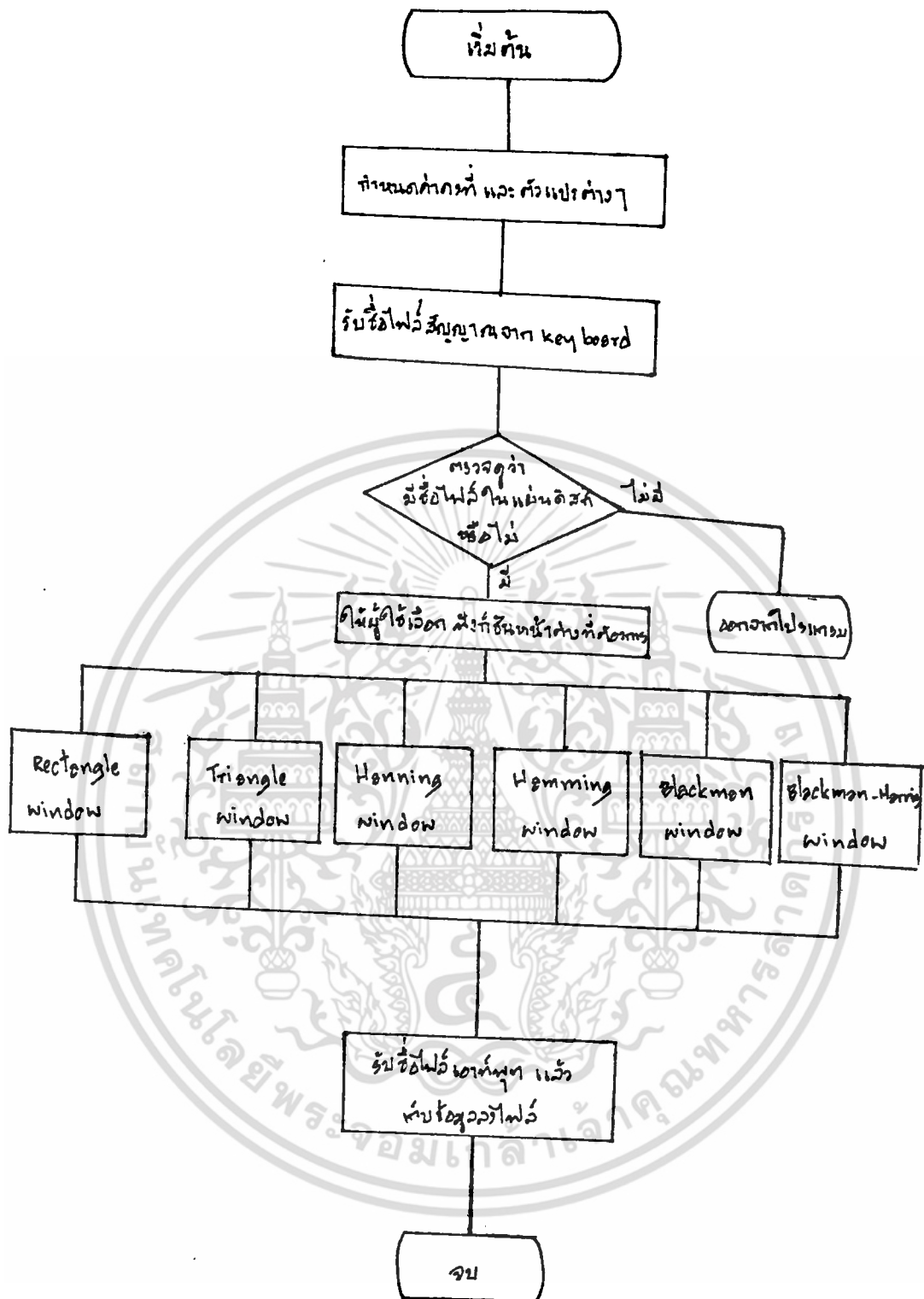
เป็นโปรแกรมที่ใช้ในการให้หน้าต่างแก่ข้อมูลอินพุตด้วยฟังก์ชันหน้าต่าง ซึ่งผลลัพธ์ให้ความแม่นยำในการวัดความถี่ดีขึ้น เริ่มต้นการทำงาน of โปรแกรม จะแสดงเมนูเพื่อให้เลือกฟังก์ชันหน้าต่าง เมื่อผู้ใช้เลือกฟังก์ชันหน้าต่างแล้ว โปรแกรมจะทำการให้หน้าต่างข้อมูลตามฟังก์ชันหน้าต่างนั้น หลังจากนั้นจึงเก็บข้อมูลเอาท์พุทลงไปในแฟ้มข้อมูล แผนผังการทำงาน of โปรแกรมคู่นี้จากรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แผนผังแสดงการทำงานของโปรแกรม SAMPLING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



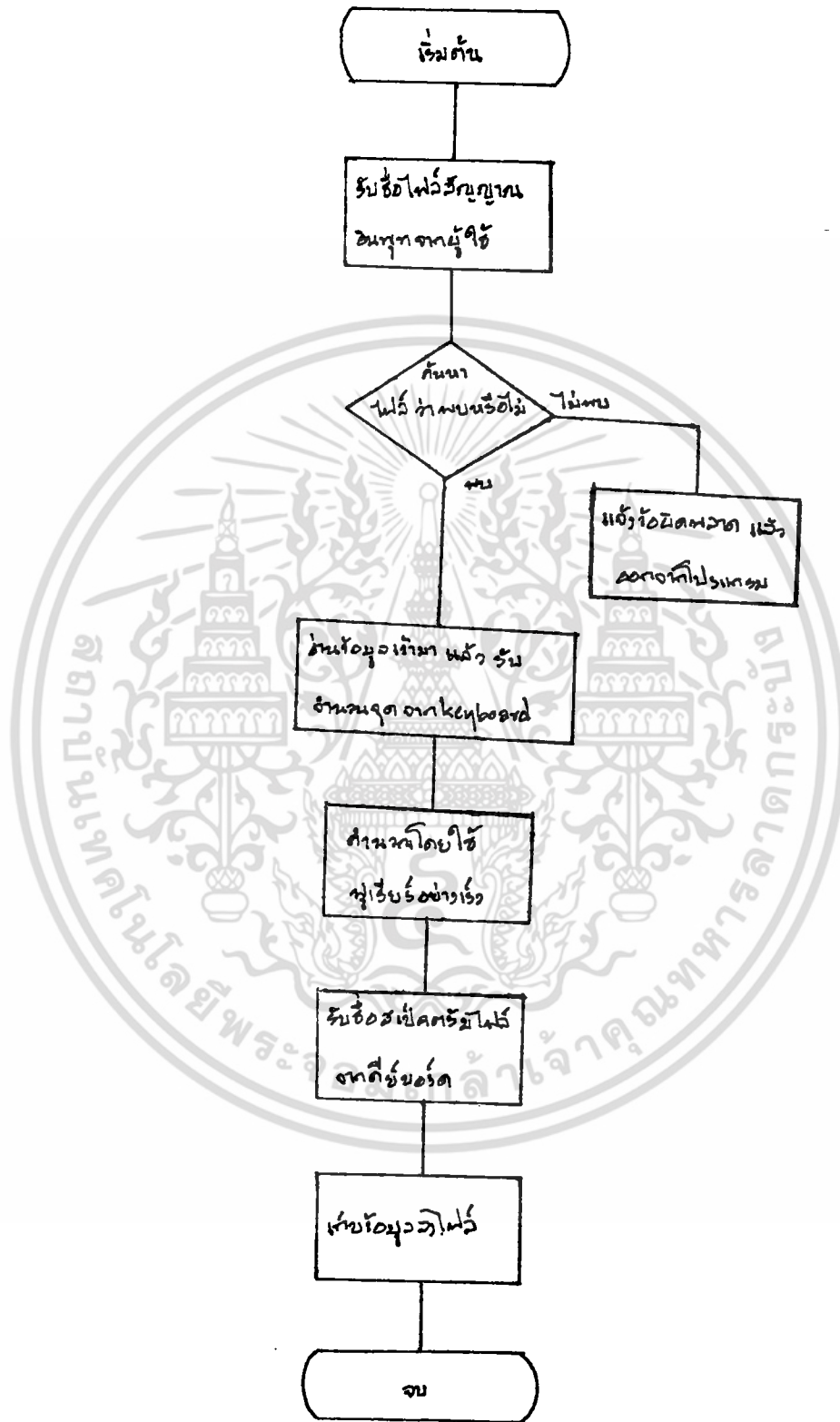
รูปที่ 3.3 แพนผังแสดงการทำงานของโปรแกรม WINDOW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.2 โปรแกรม FFT

เป็นโปรแกรมวิเคราะห์สเปกตรัมของข้อมูล โดยใช้อัลกอริทึมของการแปลงฟูเรียร์อย่างรวดเร็ว เมื่อเริ่มต้นโปรแกรมจะรับชื่อไฟล์สัญญาณอินพุตจากผู้ใช้ โดยป้อนชื่อไฟล์จากคีย์บอร์ด จากนั้นโปรแกรมจะไปค้นหาไฟล์จากดิสก์ไดรว์ปัจจุบัน หากไม่พบโปรแกรมจะแจ้งข้อผิดพลาดบนจอและออกจากโปรแกรม แต่ถ้าพบไฟล์นั้นๆ โปรแกรมจะคำนวณงานต่อโดยอ่านข้อมูลจากไฟล์เข้ามาเก็บไว้ในหน่วยความจำ จากนั้นจึงรับความยาวของจุด (Point) ในการคำนวณฟูเรียร์อย่างรวดเร็ว จากผู้ใช้ทางคีย์บอร์ดแล้วจึงเริ่มคำนวณ เมื่อคำนวณเสร็จโปรแกรมจะรับชื่อไฟล์สเปกตรัมจากผู้ใช้ แล้วจึงเก็บข้อมูลลงไฟล์ สำหรับแผนผังการทำงานของโปรแกรมแสดงได้ดังรูป 3.4





รูปที่ 3.4 แผนผังแสดงการทำงานของโปรแกรม FFT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

### การเชื่อมต่อผ่าน IBM สล็อตและการแปลงสัญญาณ

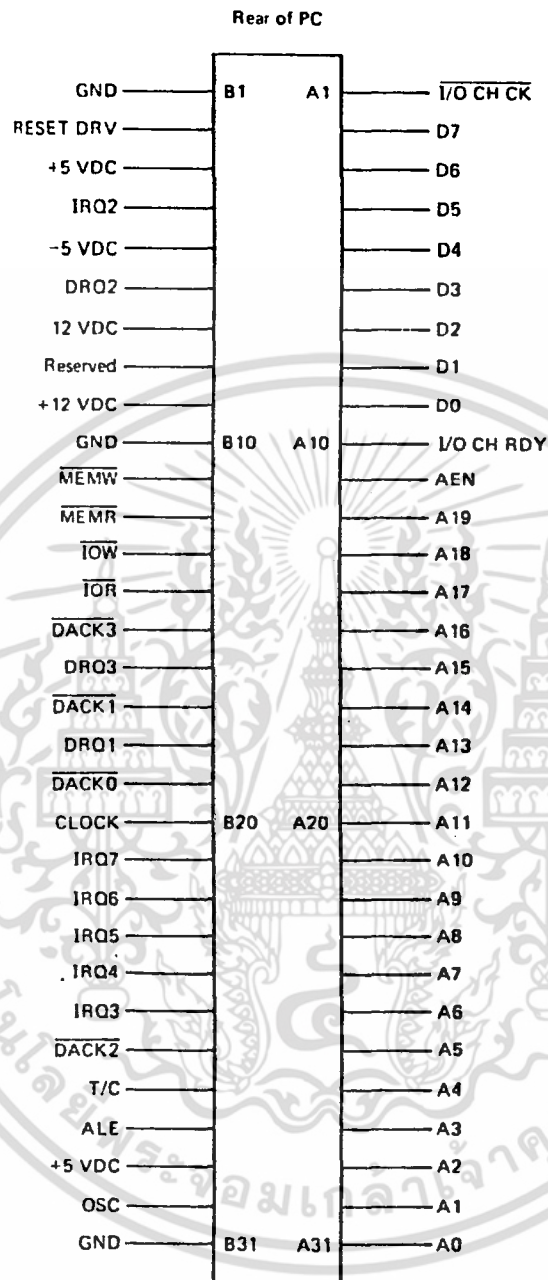
ในโครงการนี้เราได้ออกแบบให้มีการใช้งานร่วมกันระหว่าง ฮาร์ดแวร์ กับเครื่องคอมพิวเตอร์ ดังนั้นเราจึงควรทำความเข้าใจถึงการอินเทอร์เฟสเข้ากับเครื่อง IBM/PC

เครื่อง IBM/PC ได้ถูกออกแบบให้สามารถขยายความสามารถของระบบ เพื่อเพิ่มประสิทธิภาพการทำงาน หรือเพิ่มฟังก์ชันการทำงานของระบบได้ง่ายโดยอาศัย สล็อตและพอร์ตต่างๆที่มีอยู่พร้อมแล้วในเครื่อง IBM/PC

#### 4.1 สล็อตบนสล็อต IBM/PC

ภายใน IBM/PC ได้มีการออกแบบให้สามารถที่จะเพิ่มวงจรรินเทอร์เฟสเข้าไปในภายหลังได้ โดยผ่านทางสล็อตที่อยู่บนเมนบอร์ด (main board) สำหรับสล็อตบนเมนบอร์ดนี้จะมีจำนวน 5 สล็อต ซึ่งแต่ละสล็อตจะมีจำนวนขาทั้งสิ้น 62 ขา แบ่งออกเป็น 2 ข้างๆละ 31 ขา โดยขาที่อยู่ทางด้านซ้ายของสล็อตจะเรียกโดยใช้อักษร "B" หน้าเลขตำแหน่งของขา ส่วนขาที่อยู่ทางด้านขวาของสล็อตจะเรียกโดยใช้อักษร "A" หน้าเลขตำแหน่งของขา โดยตำแหน่งของขาเริ่มนับจากทางด้านท้ายเครื่อง

แต่ละขาของสล็อตเหล่านี้จะ เชื่อมต่อกับเส้นสัญญาณต่างๆและแหล่งจ่ายไฟ DC บนเมนบอร์ดรูป 4.1 แสดงถึงขาสัญญาณต่างๆบนแต่ละสล็อต ซึ่งรายละเอียดของสัญญาณต่างๆที่ใช้ในโครงการพิเศษนี้จะกล่าวถึงในหัวข้อต่อไป



#### รูปที่ 4.1 แสดงขาสัญญาณต่างขานสล็อตบนเครื่อง IBM/PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.1.1 รายละเอียดเกี่ยวกับสัญญาณต่างๆที่เกี่ยวข้องกับไมโครงานพิเศษ

##### - RESET DRV (ขา B2)

ขาสัญญาณนี้เป็นเอาต์พุต ซึ่งจะแอดทิฟ (ลอจิก "1") ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคงแอดทิฟไปจนกว่าระบบต่างๆภายใน IBM/PC จะพร้อมที่จะทำงานได้ จากนั้นสัญญาณนี้จะเปลี่ยนกลับเป็นลอจิก "0" นอกจากนี้ในระหว่างการทำงานของ IBM/PC ถ้าระดับแรงดันของแหล่งจ่ายไฟตกลง สัญญาณนี้จะถูกทำให้แอดทิฟเช่นกัน โดยทั่วไปแล้วสัญญาณนี้จะถูกนำไปใช้ในการรีเซ็ตวงจรรีโมทหรืออุปกรณ์ I/O ต่างๆในช่วงที่เริ่มจ่ายไฟให้กับระบบ

##### - A0-A19 (Address Bus; ขา A31-A12) :

ขาสัญญาณทั้ง 20 ขานี้เป็นเอาต์พุต ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ 8088 ต้องการติดต่อด้วยโดยสัญญาณ A0 จะมีบิตนัยสำคัญต่ำสุด (Least Significant Bit) และ A19 จะมีบิตนัยสำคัญสูงสุด (Most Significant Bit) สำหรับค่าแอดเดรสบนบัสแอดเดรส A0-A19 นี้จะถูกกำหนดโดย 8088 ในระหว่างขบวนการอ่าน/เขียนข้อมูลลงในหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วงของขบวนการ DMA นั้น DMA-Controller จะเป็นผู้กำหนดแอดเดรสบนบัสแอดเดรสเอง (ในระหว่างนี้ 8088 จะถูกตัดออกจากระบบ)

##### - D0-D7 (Data Bus; ขา A9-A2) :

ขาสัญญาณนี้จะ เป็นแบบ 2 ทิศทาง (Bi-directional) ซึ่งต่อกับบัสข้อมูลของระบบเพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ต I/O กับ IBM/PC โดยบิต D0 จะมีนัยสำคัญต่ำสุดและบิต D7 จะมีนัยสำคัญสูงสุด

การเขียนหรืออ่านข้อมูลนั้นจะถูกควบคุมโดยสัญญาณ IOW หรือ MEMW (สำหรับการเขียนข้อมูล) และ IOR หรือ MEMR (สำหรับการอ่านข้อมูล)

- IOR (I/O Read; ขา B14) :

ขาสัญญาณนี้เป็นเอาต์พุตแอกทีฟที่ลอจิก "0" เพื่อใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อที่พอร์ท I/O ที่มีแอกเตอรตรงกับแอกเตอรสนบนบัสแอกเตอรสนั้น ส่งข้อมูลออกมาบนบัสข้อมูลก่อนขอบขาขึ้นของสัญญาณ IOR ประมาณ 30 nanoseconds เพื่อให้มันน่าจะได้ว่า 8088สามารถรับข้อมูลได้ถูกต้อง สำหรับบนขบวนการ DMA 8237A-5 DMA Controller จะทำการสร้างสัญญาณ IOR เอง

- IOW (I/O Write; ขา B13) :

ขาสัญญาณนี้เป็นเอาต์พุตแอกทีฟที่ลอจิก "0" ซึ่งใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อที่พอร์ท I/O ที่มีแอกเตอรตรงกับแอกเตอรสนบนบัสแอกเตอรสนั้นรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ สำหรับบนขบวนการ DMA นั้น DMA-Controller จะทำการสร้างสัญญาณ IOW เอง

- AEN (Address Enable; ขา A11) :

สัญญาณนี้เป็นเอาต์พุตที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอกทีฟ (ลอจิก "1") นั้น เป็นบัสไซเคิลของขบวนการ DMA สำหรับบนเมนบอร์ดของ IBM/PC นั้น จะใช้สัญญาณนี้ในการดิสเอเบิล (Disable) 8288 Bus Controller และจะใช้ดิสเอเบิลพอร์ท I/O ต่างๆที่ไม่เกี่ยวข้องกับขบวนการ DMA ที่เกิดขึ้นนี้

4.1.2 บัสของแหล่งจ่ายไฟของระบบ

+5Vdc (ขา B3 และ B29) :

ขาทั้งสองนี้ต่อกับแหล่งจ่ายไฟ DC +5V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) +5% คืออยู่ในช่วง +4.75 ถึง +5.25 Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+12Vdc (ขา B9) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) +5% คืออยู่ในช่วง +11.4 ถึง +12.6 Vdc

-5Vdc (ขา B5) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -5V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) +10% คืออยู่ในช่วง -5.5 ถึง -4.5 Vdc

-12Vdc (ขา B7) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12V ของระบบ โดยจะมีค่าความเที่ยงตรง (regulated) +10% คืออยู่ในช่วง -13.2 ถึง -10.8 Vdc

GND (ขา B1, B10 และ B31) :

ขาทั้งสามนี้จะต่อเข้ากับกราวด์ (ground) ของระบบ

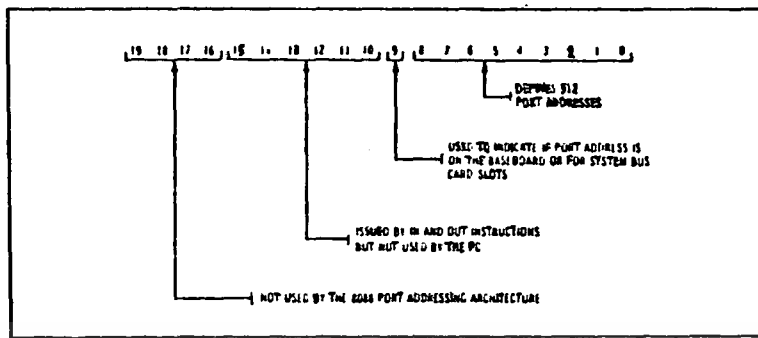
#### 4.2 การจัดแอดเดรสสำหรับพอร์ต I/O ใน IBM/PC

ในหัวข้อนี้จะกล่าวถึงวิธีการอ้างและใช้งานแอดเดรสต่างๆของพอร์ต I/O ที่ใช้งานอยู่ใน IBM/PC

##### 4.2.1 การอ้างแอดเดรสของพอร์ต I/O

เนื่องจากใน IBM/PC ได้ใช้งานเส้นแอดเดรสเพียง 10 เส้น ดังนั้นจึงสามารถที่จะอ้างแอดเดรสของพอร์ตได้สูงสุดเพียง 1024 พอร์ตเท่านั้น ซึ่งถูกแบ่งออกเป็น 2 กลุ่มโดยข้อมูลในบิต A9 คือ ถ้าข้อมูลในบิต A9 เป็นลอจิก "0" แล้ว เราจะสามารถอ่านข้อมูลได้เฉพาะจากพอร์ตของอุปกรณ์ หรือชิพพอร์ทัลต่างๆที่อยู่บนเมนบอร์ด (Main Board) ของ IBM/PC เท่านั้น แต่ถ้าข้อมูลในบิต A9 นี้เป็น "1" ก็จะสามารถอ่านข้อมูลที่ได้เฉพาะจากพอร์ตที่อยู่บนการ์ดต่างๆเท่านั้น

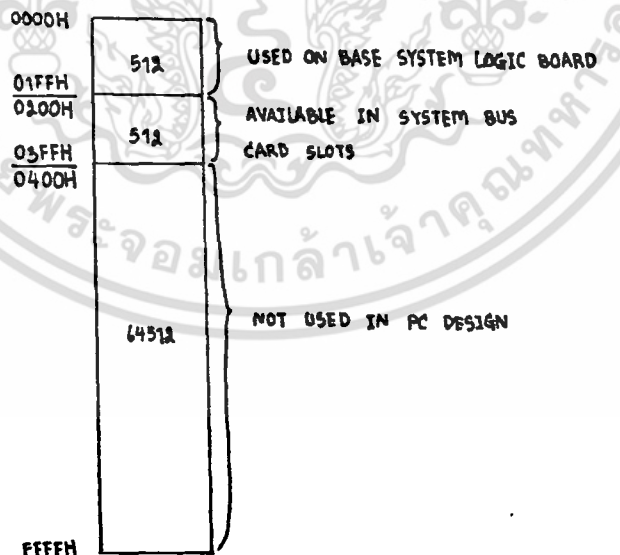
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 การใช้แอดเดรสบิตต่างๆในการอ้างแอดเดรสของพอร์ทาน IBM/PC

4.2.2 การใช้งานแอดเดรสสำหรับพอร์ท I/O ใน IBM/PC

จะกล่าวถึงการใช้งานพอร์ทต่างๆเหล่านี้ โดยจะแบ่งออกเป็น 2 กลุ่ม ตามที่ได้อธิบายไว้ในหัวข้อที่ผ่านมาดังนี้



รูปที่ 4.3 การใช้งานแอดเดรสของพอร์ทบน IBM/PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HEX ADDRESS USED	FUNCTION
0000H	DMA CHIP (8257-5)
001FH 0020H	INTERRUPT CHIP (8259A)
003FH 0040H	TIMER COUNTER CHIP (8253-5)
005FH 0060H	PPS CHIP (8255A5)
007FH 0080H	DMA PAGE REGISTERS (82415670)
009FH 00A0H	NMI MASK BIT
00BFH 00C0H	
320	NOT DECODED OR USED ON THE BASEBOARD
01FFH	

รูปที่ 4.4 การใช้งานแอดเดรสต่างๆสำหรับพอร์ต I/O ของ IBM/PC

1) ในกลุ่มแรกนี้เป็นกลุ่มของพอร์ต I/O ที่อยู่บนเมนบอร์ดของ IBM/PC ซึ่งจะมีแอดเดรสอยู่ที่ตำแหน่ง 0000H จนถึง 01FFH หรือแอดเดรสที่บิต A9 เป็น "0" นั่นเอง

ในรูปที่ 4.4 แสดงถึงการใช้งานแอดเดรสต่างๆตั้งแต่ 0000H จนถึง 01FFH ในการอ้างแอดเดรสของชิพซีพอร์ทและอุปกรณ์ต่างๆที่ทำหน้าที่เป็น I/O บนเมนบอร์ดของ IBM/PC

จากรูปที่ 4.4 ถึงแม้ว่าแอดเดรส 00C0H จนถึงแอดเดรส 01FFH นั้นไม่ได้ถูกใช้งานบนเมนบอร์ดของ IBM/PC แต่อย่างไรก็ตามแอดเดรสเหล่านี้ยังคงถูกตีโศดาให้เป็นแอดเดรสที่ใช้งานการอ่านข้อมูลจากพอร์ต I/O บนเมนบอร์ดเท่านั้น ดังนั้นจะทำการอ่านข้อมูลจากพอร์ต I/O (ที่ไม่ได้อยู่บนเมนบอร์ด) ที่มีค่าแอดเดรสอยู่ในช่วง 00C0H-01FFH ไม่ได้

2) ในกลุ่มที่สองนี้ จะเป็นกลุ่มของพอร์ต I/O ที่ถูกใช้งานอยู่บนการ์ดที่ใช้เสียบบนสล็อตต่างๆของ IBM/PC สำหรับแอดเดรสของพอร์ตเหล่านี้จะเริ่มต้นจากแอดเดรส 0200H จนถึง 03FFH ซึ่งก็คือแอดเดรสที่มีบิต A9 เป็น "1" นั่นเอง สำหรับ

การใช้งานแอดเดรสของพอร์ต I/O ในกลุ่มนี้จะแสดงได้ดังรูป 4.5

Hex range	Usage
200-20F	Game control
210-217	Expansion unit
220-24F	Reserved
278-27F	Reserved
2F0-2F7	Reserved
2F8-2FF	Asynchronous communications (2)
300-31F	Prototype card
320-32F	Fixed disk
378-37F	Printer
380-38C	SDLC communications
380-389	Binary synchronous communications (2)
3A0-3A9	Binary synchronous communications (1)
3B0-3BF	IBM monochrome display/printer
3C0-3CF	Reserved
3D0-3DF	Color/graphics
3E0-3F7	Reserved
3F0-3F7	Diskette
3F8-3FF	Asynchronous communications (1)

Assigned to  
feature card  
ports

รูปที่ 4.5 การใช้งานแอดเดรสสำหรับพอร์ต I/O บนการ์ดต่างๆ

จากรูปจะเห็นได้ว่าเราออกแบบพอร์ตที่สำหรับใช้งานได้เพียง 32 พอร์ต เท่านั้นคือ จากแอดเดรส 0300H ถึง 031FH เท่านั้น

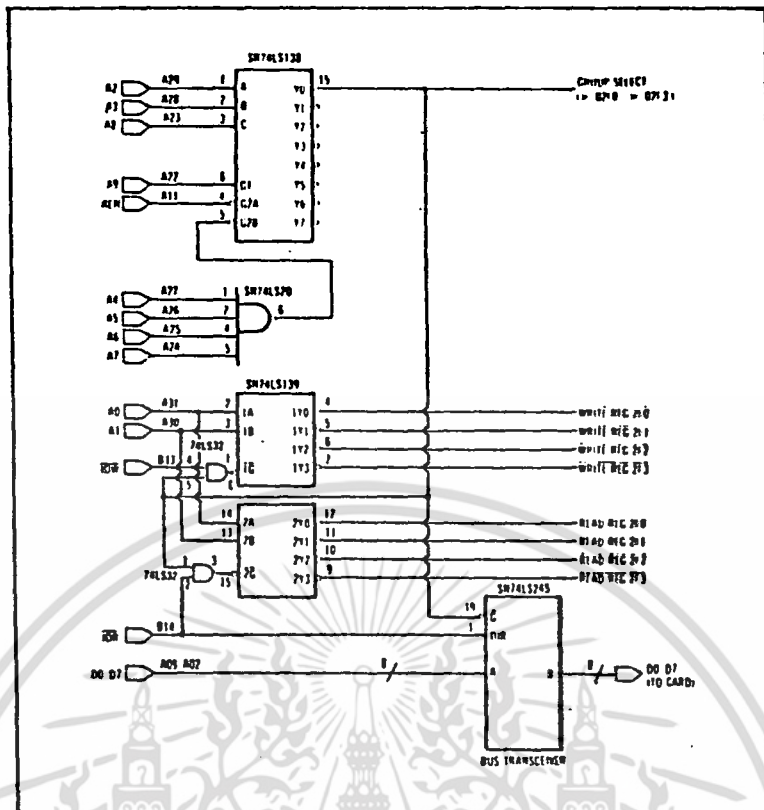
#### 4.3 เทคนิคในการดีโคดแอดเดรสสำหรับพอร์ต I/O

จะกล่าวถึงวิธีการต่างๆที่ใช้ในการดีโคดแอดเดรสต่างๆ ให้เป็นไปตามที่เราต้องการ

##### 4.3.1 การดีโคดแบบ Fixed

วิธีการดีโคดแบบนี้เป็นวิธีที่ง่ายและสะดวกในการดีโคดแอดเดรส หรือกลุ่มของแอดเดรสของพอร์ต I/O ใน IBM/PC ซึ่งวิธีนี้เป็นการกำหนดจำนวนของแอดเดรสที่เราต้องการใช้ จากนั้นจึงทำการเลือกบล็อกของแอดเดรสที่ยังไม่ถูกใช้งานโดยการ์ดหรือวงจรรินเทอร์เฟสอื่นๆ แล้วจึงออกแบบวงจรที่ทำการดีโคดแอดเดรสที่เราต้องการ ตัวอย่างวงจรที่ใช้ในการดีโคดแอดเดรสแบบนี้แสดงได้ดังรูป 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 ตัวอย่างวงจรดีโคดแอดเดรสแบบ Fixed

จากรูปจะ เห็นได้ว่า วงจรที่ใช้สามารถทำการดีโคดแอดเดรสได้ 8 กลุ่ม โดยแต่ละกลุ่มมีจำนวนแอดเดรส 4 แอดเดรสดังตารางที่ 1

กลุ่ม	แอดเดรส
0 (Y0)	02F0H-02F3H
1 (Y1)	02F4H-02F7H
2 (Y2)	02F8H-02FBH
3 (Y3)	02FCH-02FFH
4 (Y4)	03F0H-03F3H
5 (Y5)	03F4H-03F7H
6 (Y6)	03FBH-03FBH
7 (Y7)	03FCH-03FFH

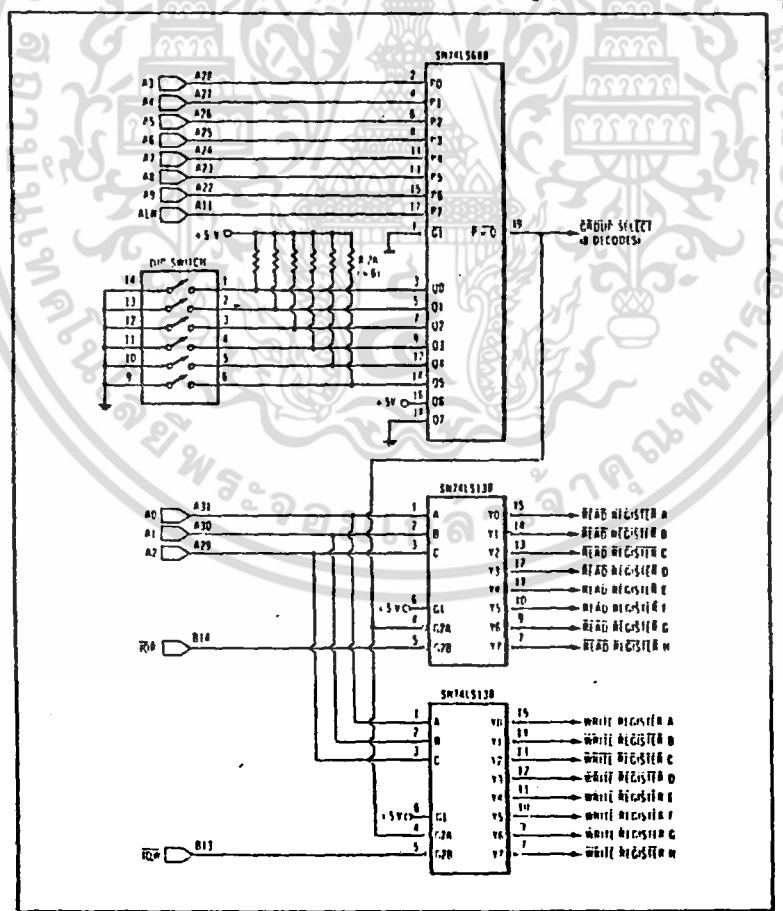
ตารางที่ 4.1 แอดเดรสทั้ง 8 กลุ่มที่ถูกดีโคดโดยวงจรรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3.2 การตีโคคโดยใช้สวิตช์เลือก

การตีโคคแบบ Fixed มีข้อเสียอยู่บางประการคือ แอดเดรสที่เราเลือกไว้ใช้งานนั้นอาจจะซ้ำกับแอดเดรสของการ์ดอื่น ที่เรานำมาเพิ่มเข้าไปในระบบงานภายหลังก็ได้ ซึ่งในกรณีเช่นนี้เราต้องแก้ไขวงจรเพื่อหลีกเลี่ยงไปใช้แอดเดรสอื่นที่ยังว่างอยู่ และไม่ถูกใช้งานโดยการ์ดที่เพิ่มเข้าไปใหม่ ซึ่งยุ่งยากและต้องเสียเวลามากขึ้น ปัญหาเช่นนี้เราสามารถแก้ไขได้โดยใช้วงจรถีโคคที่สามารถเปลี่ยนแปลงค่าแอดเดรสได้โดยเพียงแค่เปลี่ยนตำแหน่งของสวิตช์ (ในที่นี้คือ Dip Switch) ที่ใช้ทำในวงจรเท่านั้น ดังรูป 4.7

จากรูป 4.7 เป็นวงจรที่ทำการตีโคคกลุ่มแอดเดรสขนาด 8 แอดเดรส ซึ่งการเลือกกลุ่มแอดเดรสที่จะทำการตีโคคนี้จะได้โดยการเซต Dip Switch ที่ขา Q0-Q5 ของ 74LS688

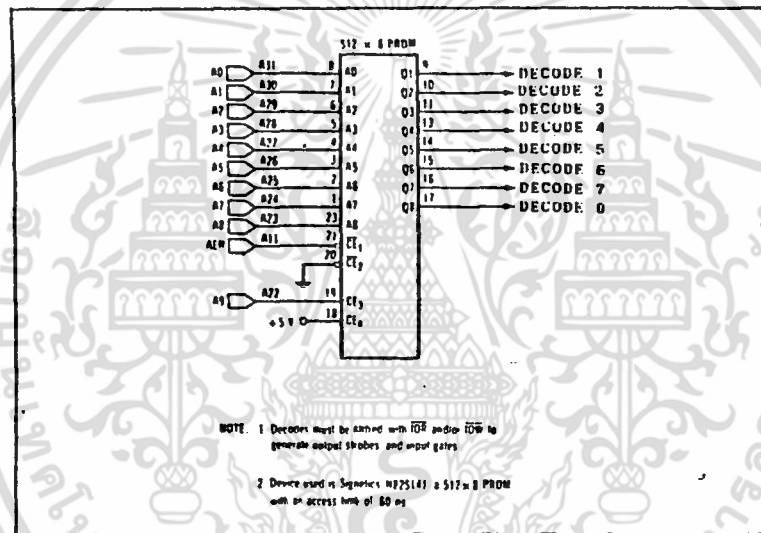


รูปที่ 4.7 ตัวอย่างวงจรถีโคคโดยใช้สวิตช์เลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3.3 การตีโศคโดยใช้ PROM

ในบางกรณีพอร์ทที่เราใช้งานนั้นมีแอดเดรสแยกกันอย่าง เป็นอิสระ เช่น ในการนำเอาหน้าที่การงานที่อยู่บนการ์ดต่างๆมารวมไว้บนการ์ดเดียวกัน และมีความจำเป็นที่ต้องคงค่าแอดเดรสของพอร์ทเดิม (ที่อยู่บนการ์ดเดิม) ไว้ด้วย ทากทำให้ไม่สามารถใช้การตีโศคแบบต่างๆที่ผ่านมาได้ เนื่องจากวิธีตีโศคที่ผ่านมาั้นจะ ทากให้ต้องใช้อุปกรณ์ที่ทำการตีโศคมากเกินไป ในกรณีเช่นนี้เราจำเป็นต้องใช้การตีโศคอีกแบบหนึ่ง คือ การตีโศคโดยใช้ PROM (Programmable Read Only Memory) ดังในรูป 4.8



รูปที่ 4.8 ตัวอย่างวงจรตีโศคโดยใช้ PROM

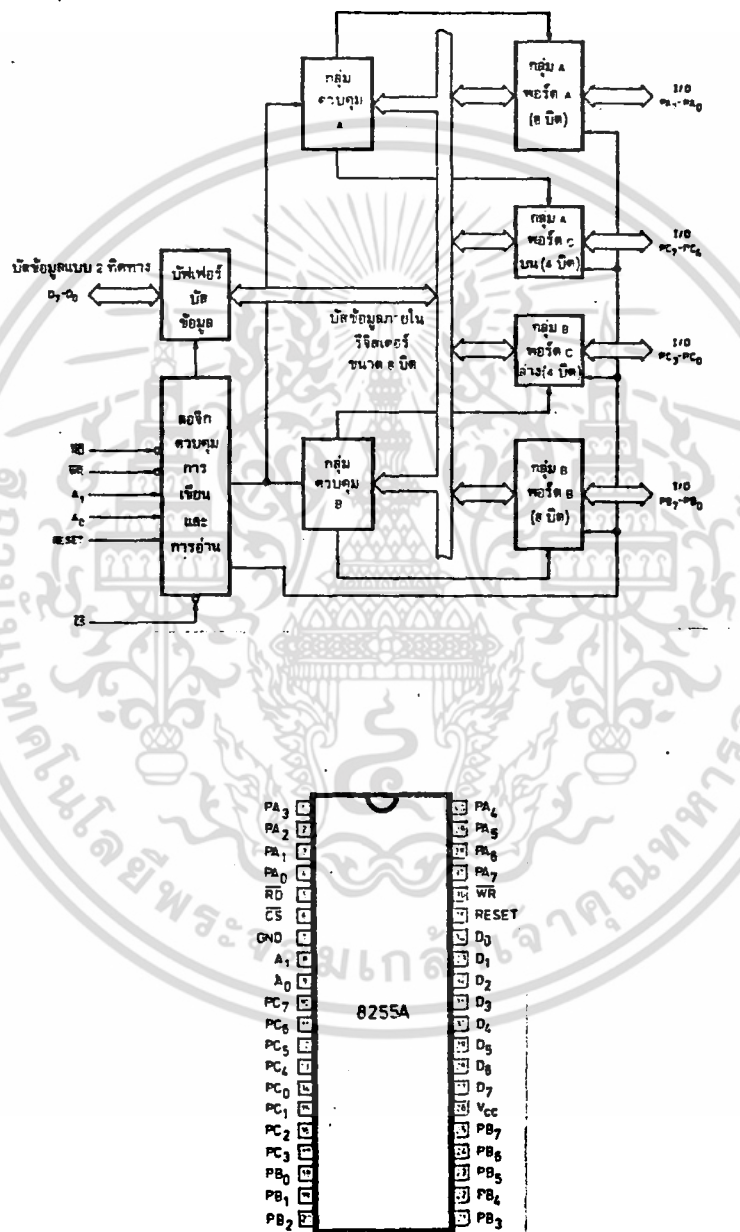
PROM ที่จะนำมาใช้งานนั้นจะต้องถูกโปรแกรมมาก่อนแล้ว โดยข้อมูลที่โปรแกรมมาให้กับแอดเดรสต่างๆของ PROM นั้น จะต้องสัมพันธ์กับสัญญาณตีโศคที่เราต้องการ กล่าวคือเราจะต้องทราบเสียก่อนว่าค่าแอดเดรสของพอร์ทที่ 8 ที่เราต้องการจะตีโศคนั้น มีแอดเดรสใดบ้าง แล้วจึงกำหนดว่าพอร์ทที่จะใช้สัญญาณเส้นใด จากนั้นจึงโปรแกรมข้อมูลให้กับ PROM โดยแอดเดรสใดที่ต้องการให้สัญญาณตีโศคใด ออกก็กำหนดให้ข้อมูลในบิตที่ตรงกับสัญญาณตีโศคนั้นเป็น "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI (Large Scale Integrated circuit) บรรจุอยู่บน ตัวถัง 40 ขาแบบ DIP (dual-In-line Package)

รูป 4.9 แสดงบล็อกไดอะแกรมของ 8255 ซึ่งหน้าที่ของแต่ละบล็อกมีดังต่อไปนี้ คือ



รูปที่ 4.9 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไอโตะแกรมของ 8255 สามารถแบ่งออกได้เป็น 3 กลุ่ม คือ

1) ได้แก่พอร์ท A (PA0-PA7), พอร์ท B (PBO-PB7) และพอร์ท C ล่างและ C บน (PC0-PC3 และ PC4-PC7) ซึ่งเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ ทาหน้าที่ส่งผ่านข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 และแต่ละพอร์ทมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายใน 8255

2) Group A Control และ Group B Control เป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 พอร์ท

3) ได้แก่ Data Buffer เป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU และ Read/Write Control Logic ซึ่งเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวที่ถูกต้องและในเวลาที่เหมาะสม

#### 4.4.1 รายละเอียดการจัดเรียงขาของ 8255

เราจะพิจารณาหน้าที่ของขาแต่ละขาของ ซึ่งมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU

- D0-D7 :

เป็นสายข้อมูลแบบ 2 ทิศทาง (Bi-directional Bus) จะเป็นทางผ่านข้อมูลระหว่างพอร์ทต่างๆของ 8255 กับบัสข้อมูลของ CPU

- cs (chip select input) :

เมื่อขานี้มีสถานะลอจิก "0" CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

- RD (Read Input) :

เมื่อขานี้มีสถานะลอจิก "0" และสัญญาณ cs มีลอจิก "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- WR (Write Input) :

เมื่อขานี้และสัญญาณ cs มีลอจิก "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

- A0-A1 (Address Input) :

จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255

- RESET :

เมื่อขานี้มีสถานะเป็น "1" 8255 จะอยู่ในสภาวะรีเซ็ต ทุกๆพอร์ทของ 8255 จะถูกเซตให้อยู่ในโหมดอินพุท

- PA0-PA7, PBO-PB7 :

ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิต ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่นๆ

- PC0-PC7 :

ใช้เป็นพอร์ท I/O ขนาด 8 บิต และสามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิต กลุ่มแรกใช้ควบคุม PBO-PB7 และกลุ่มที่สองใช้ควบคุม PA0-PA7

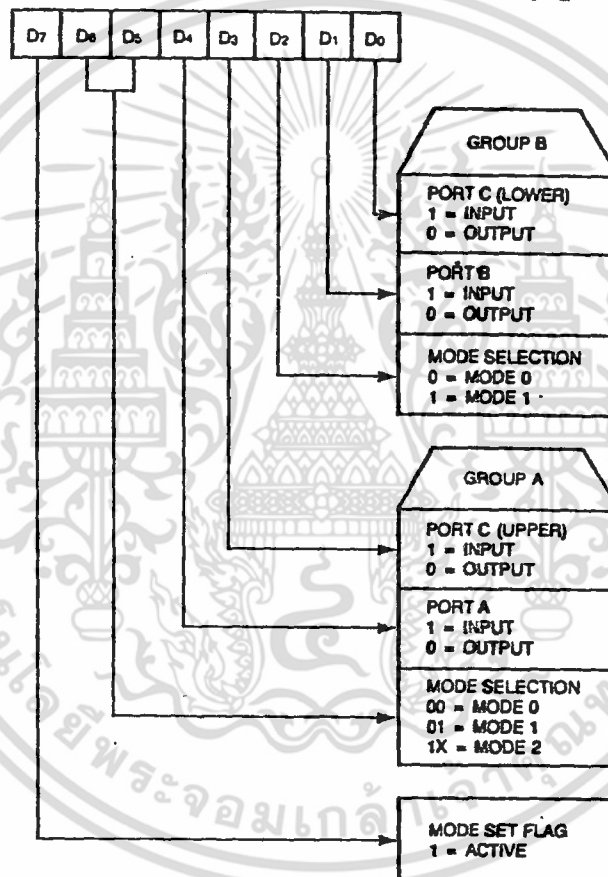
#### 4.4.2 รีจิสเตอร์ภายใน 8255

รีจิสเตอร์ภายใน 8255 มีอยู่ 4 ตัว ซึ่งสามารถอ้างถึงโดยอาศัยข้อมูลที่ขา A0 และ A1 เป็นตัวกำหนดดังนี้

A1	A0	register name
0	0	port A
0	1	port B
1	0	port C
1	1	control port

รูป 4.10 แสดงรายละเอียดของแต่ละบิตของรีจิสเตอร์ควบคุม ซึ่งจะ

เป็นข้อมูลที่ใช้ในการกำหนดหน้าที่ของรีจิสเตอร์หมายเลข 0-2



รูปที่ 4.10 แสดงรายละเอียดของแต่ละบิตของรีจิสเตอร์ควบคุม

#### 4.4.3 การทำงานของ 8255

8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด คือ โหมด 0, 1 และ 2 ซึ่งสามารถกำหนดได้โดยการโปรแกรมส่ง Control Word ให้กับ 8255 ดังรายละเอียดต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 1) โหมด 0 : Basic register I/O

ในการทำงานในโหมดนี้ อาจจะทำให้พอร์ทของ 8255 เป็นอินพุทหรือเอาต์พุทก็ได้

### 2) การใช้งาน 8255 ในโหมด 1 : Strobe I/O

โหมด 1 นี้ เป็นการทำงานในลักษณะของการ Handshake พอร์ท A และพอร์ท B จะเป็นพอร์ทข้อมูลส่วนพอร์ท C นี้จะถูกใช้เป็นสัญญาณ Handshake โดย 4 บิตบนจะเป็นสัญญาณ Handshake ให้กับพอร์ท A และบิตล่างจะเป็นสัญญาณ Handshake ให้กับพอร์ท B

### 3) การใช้งาน 8255 ในโหมด 2 : Bi-directional Bus

การทำงานของ 8255 ในโหมด 2 นี้ จะเป็นการใช้งานในลักษณะที่ทำให้พอร์ท A เป็นพอร์ทข้อมูลแบบ 2 ทิศทาง

เนื่องจากสัญญาณทั่วไปที่มักพบเห็นจะเป็นสัญญาณอนาลอกซึ่งมีการเปลี่ยนแปลงอย่างต่อเนื่องตลอดเวลา ดังนั้นเราจึงต้องมีขั้นตอน หรือวิธีการแปลงสัญญาณอนาลอกนี้ให้อยู่ในรูปของเลข "0" หรือ "1" ซึ่งคอมพิวเตอร์สามารถเข้าใจได้โดยวิธีดังกล่าวเรียกว่า "การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล สามารถแทนด้วยสัญลักษณ์ ADC (Analog-to-Digital Converter)"

## 4.5 วงจรแปลงอนาลอกเป็นดิจิทัล (Analog-to-Digital, A/D Converter)

### 4.5.1 ความแม่นยำของวงจรแปลงสัญญาณ (Converter accuracy)

หาได้จากความแตกต่างระหว่างแรงดันทางด้านขาเข้าของสัญญาณจริง กับขนาดของสัญญาณดิจิทัลที่แปลงได้ หรืออาจหาได้จากผลรวมของค่าความคลาดเคลื่อนต่างๆของวงจรแปลงสัญญาณทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5.2 ช่วงเวลาที่ใช้ในการแปลงสัญญาณ (Converter time)

เมื่อเราเริ่มการทำงานของ ADC ADC จะต้องใช้เวลาหนึ่งในการแปลงสัญญาณเรียกช่วงเวลานี้ว่า Conversion time  $t_c$  จึงจะให้ข้อมูลดิจิทัลออกมา สำหรับวงจรแปลงสัญญาณขนาด  $n$  บิต Conversion time  $t_c$  หาได้จากสมการ

$$f_{\max} = 1/(2^n t_c)$$

#### 4.5.3 เทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

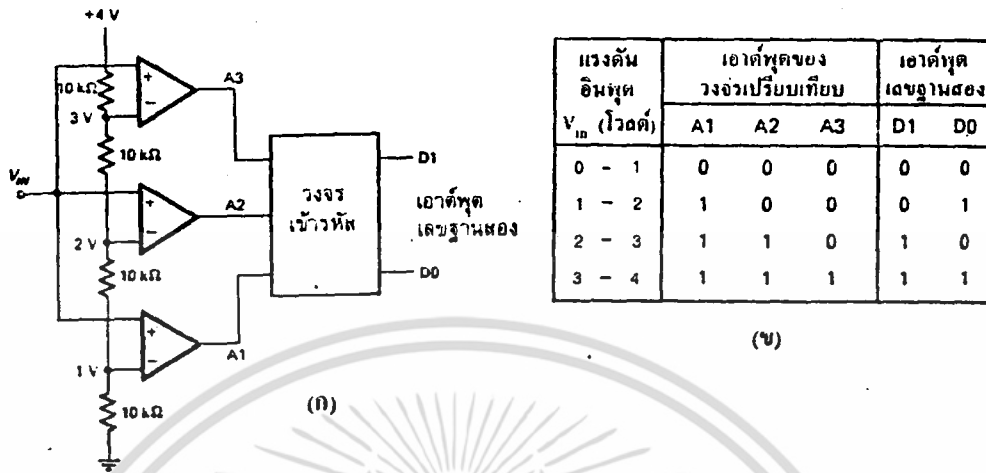
วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลที่ใช้กันอยู่ทั่วไปมีหลายแบบ คือ

##### 1) แบบใช้วงจรเปรียบเทียบขนานหรือแบบ "แฟลช"

(Parallel Comparator Simultaneous or "Flash" A/D Converter)

วงจร A/D แบบนี้ใช้หลักการง่ายอีกทั้งยังเป็นวิธีที่รวดเร็วที่สุด คือ ใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูปที่ 4.11 (a) ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบที่ต่อขนานกัน และตัวต้านทานที่ต่อไว้เพื่อ แบ่งแรงดันที่ขาอินพุตแบบกลับ (Inverting) ให้มีขนาดต่าง ๆ กัน

จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุตที่ขาอินพุตแบบไม่กลับ (Noninverting) มีค่าสูงกว่าแรงดันที่ขาอินพุตแบบกลับ เอาท์ที่ได้จะเป็นลอจิก "1" ดูได้จากตารางที่ 4.11 (b)



รูปที่ 4.11 (a) แสดงการต่อวงจร Parallel comparator A/D converter

(b) ตารางความสัมพันธ์ระหว่างแรงดันอินพุตที่เป็นอนาลอก กับเอาต์พุตที่เป็นดิจิทัล

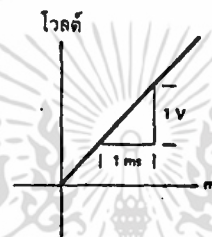
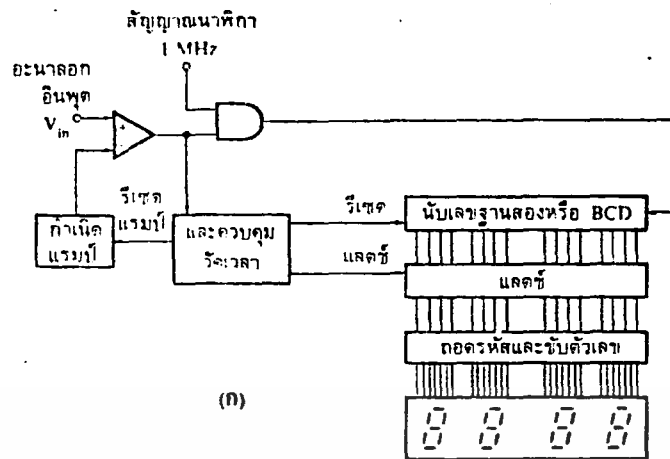
เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น โดยหาจำนวนวงจรเปรียบเทียบได้เท่ากับ  $2^n - 1$  เมื่อ  $n$  แทนจำนวนบิตหรือความละเอียดที่ต้องการ

2) วงจร A/D ที่ใช้การอินทิเกรต

วงจร A/D ที่ใช้เทคนิคการอินทิเกรตสัญญาณมี 2 แบบคือ

2.1) แบบสโลปเดี่ยวหรือแบบแรมพ์

(Single Ramp หรือ Single Slope A/D Converter)



รูปที่ 4.12 วงจรเปรียบเทียบสัญญาณ A/D แบบสโลปเดียว

(a) แสดงบล็อกไดอะแกรม (b) ความชันของสัญญาณแรम्พ์

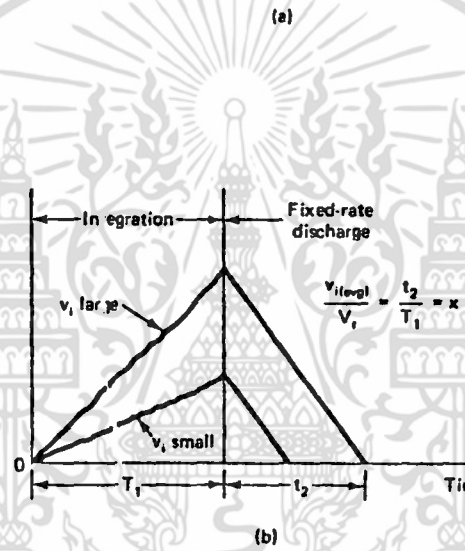
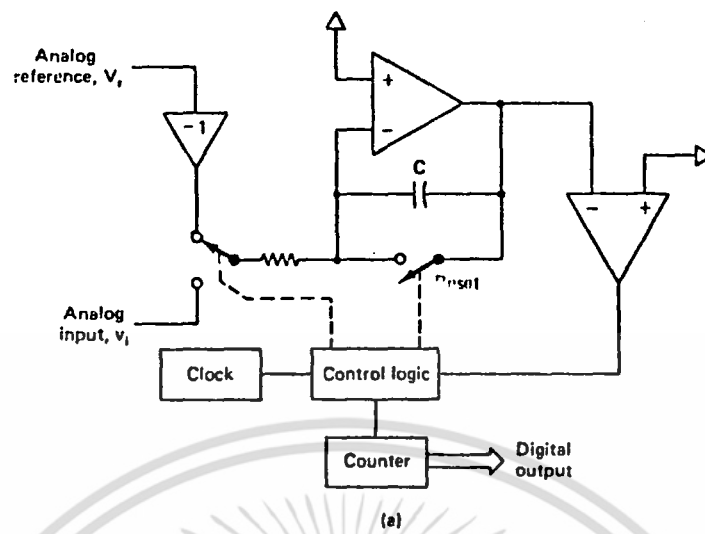
วงจร A/D แบบนี้แสดงไว้ดังรูป 4.12 ประกอบด้วยวงจรถ่ายค่าสัญญาณแรम्พ์, วงจรเปรียบเทียบ, วงจรนับ BCD หรือนับเลขฐานสอง

วงจรลักษณะนี้มักนำไปใช้งาน ในการเปลี่ยนเวลาเป็นขนาดของสัญญาณ (Time to amplitude conversion) หรืออาจใช้ในคิดิจิตอลโวลต์มิเตอร์ แต่ไม่ใช่งานงานที่ต้องการความแม่นยำสูง เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรम्พ์ขึ้นกับอุณหภูมิ และผลตอบสนองต่อสัญญาณอินพุต ทำให้ไม่มีเสถียรภาพ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบ สโลปคู่

## 2.2) แบบสโลปคู่ (Dual-slope A/D converter)

รูปที่ 4.13 (a) แสดงบล็อกไดอะแกรมของวงจร A/D แบบสโลปคู่ ซึ่งวงจรส่วนใหญ่คล้ายกับแบบสโลปเดียว แต่มีสวิตช์ที่อินพุตเพิ่มขึ้น เพื่อทำการเลือกระหว่างแรงดันอินพุตกับแรงดันอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 (a) บล็อกไดอะแกรมของวงจร A/D แบบสโลปคู่  
(b) เวกซ์ของวงจรอินทิเกรเตอร์เมื่อเทียบกับเวลา

เนื่องจากการประจุของตัวเก็บประจุของวงจรอินทิเกรเตอร์ตลอดช่วงเวลา

$t_1$  มีค่าเท่ากับการคายประจุตลอดช่วงเวลา  $t_2$

ดังนั้น  $t_1 V_{in} = t_2 V_{ref}$

แล้ว  $t_1/t_2 = V_{in}/V_{ref}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าการเปลี่ยนความถี่ของสัญญาณนาฬิกาไม่มีผลต่อ resolution ของวงจรแปลงสัญญาณแบบนี้ ข้อดีของวงจรนี้คือ มีความถูกต้องสูง ราคาถูก มีความเสถียรภาพทางอุณหภูมิ ข้อเสียคือ มีความเร็วในการเปลี่ยนสัญญาณ 1 ครั้งอาจใช้เวลาถึง 100 ms (ในขณะที่แบบ "แฟลช" ใช้เวลาประมาณ 30 ms)

### 3) วงจรแปลงสัญญาณ A/D ที่ใช้วงจรนับและวงจร D/A ประกอบกัน

มี 2 แบบดังนี้ คือ

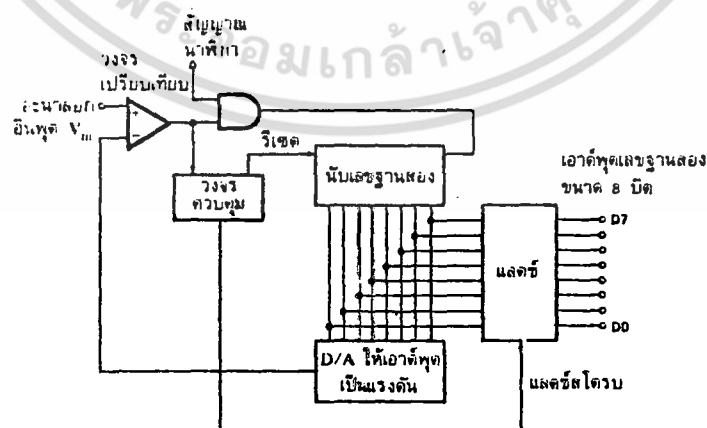
#### 3.1) แบบวงจรนับเดียว (Single converter)

แท้ที่จริงแล้วสัญญาณแรมป์เชิงเส้น (Linear ramp) อาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็กๆจำนวนมากที่เกิดจากการต่อเอาที่พู่ของวงจรนับเข้ากับวงจร D/A โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับจำนวนบิตหรือความละเอียดของวงจร D/A นั้นๆ

รูปที่ 4.14 แสดงการกำเนิดสัญญาณแรมป์เดียวด้วยวงจรนับ และวงจร D/A (แทนวงจรอินทิเกรเตอร์)

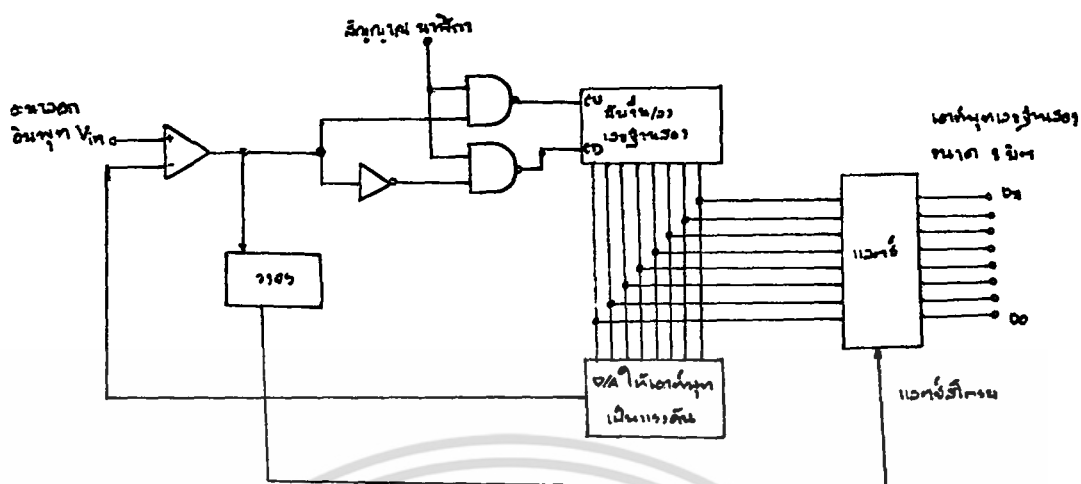
#### 3.2) แบบแทร็กกิ้ง (Tracking A/D converter)

มีการทำงานคล้ายกับแบบวงจรนับเดียว แต่การนับจะไม่ได้เริ่มต้นที่ศูนย์ แต่จะทำการนับขึ้นหรือนับลงจากค่าล่าสุดไปยังค่าใหม่ แล้วแต่ว่าแรงดันอินพุตในรอบใหม่ มีค่าสูงกว่าหรือต่ำกว่าค่าที่แล้ว



รูปที่ 4.14 วงจร A/D แบบนับเดียวที่สร้างขึ้นจากวงจรนับขึ้นและวงจร D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

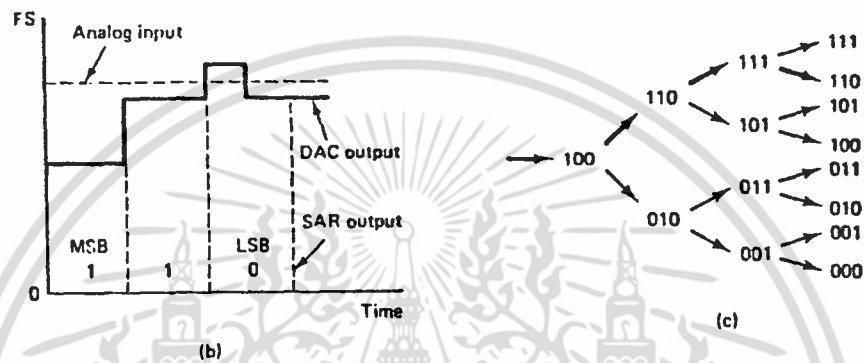
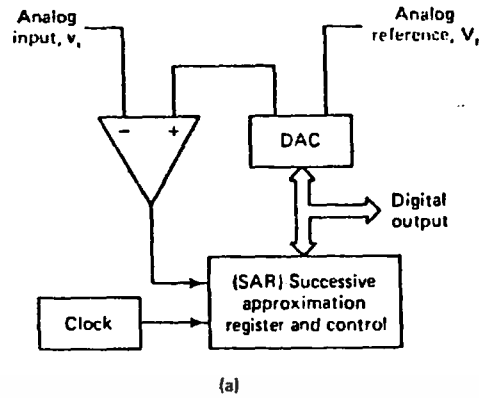


รูปที่ 4.15 วงจร A/D ที่สร้างขึ้นจากวงจรนับขึ้น/ลง และวงจร D/A

ข้อดีของวงจร A/D แบบนี้คือ สามารถทำงานได้เร็วกว่าแบบนับเดียว

4) วงจรแปลงสัญญาณ A/D แบบใช้การประมาณค่า

เทคนิคนี้นิยมมาใช้ในการแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิทัล ในวงจรแปลงสัญญาณที่มีความเร็วปานกลาง-สูง และมีการใช้วงจร D/A ภายในด้วย ซึ่งแตกต่างจากวงจร A/D แบบนับ (counter) คือ DAC ในวงจรแปลงสัญญาณแบบใช้การประมาณค่า จะสร้างระดับแรงดันเอาต์พุตสอดคล้องกับแรงดันอินพุตโดยใช้สัญญาณนาฬิกาเพียง n ลูก สำหรับ ADC ที่มีความละเอียด n บิต ซึ่งเป็นการลดเวลาที่เสียไปในการแปลงสัญญาณ (conversion time) และไม่ขึ้นกับระดับแรงดันอินพุต เทคนิคนี้อาศัยหลักการประมาณสัญญาณอินพุตด้วยรหัสไบนารี แล้วทำการแก้ไขแต่ละบิตในรหัสตามลำดับจากน้อยสำคัญสูงมาต่ำ จนกระทั่งได้การประมาณหรือค่าที่ตรงกับสัญญาณอินพุต แต่ละขั้นตอนของการแปลงด้วยวิธีนี้ คำรหัสไบนารีจากการประมาณ จะถูกเก็บใน Successive approximation register (SAR)



รูปที่ 4.16 (a) แสดงบล็อกโคจรและแกรมของวงจร A/D แบบใช้การประมาณค่า

(b) กราฟแสดงเอาต์พุตของวงจร A/D แบบนี้

(c) โคจรแกรมแสดงขั้นตอนการแปลงรหัส

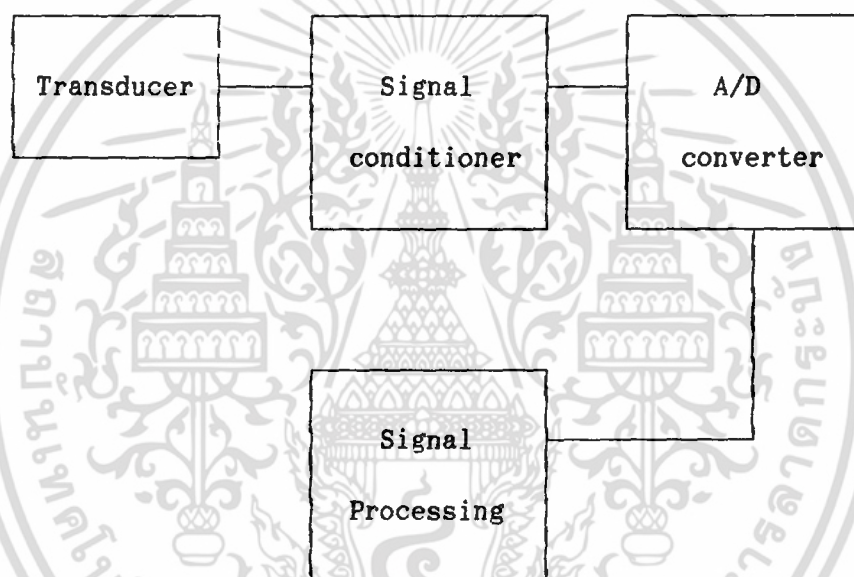
รูป 4.16 แสดงแผนภาพอย่างง่าย และการทํางานโดยใช้เทคนิคนี้ของ  
A/D ขนาด 3 บิต

วงจร A/D แบบนี้เป็นวงจรที่มีความเร็วสูงและความละเอียดสูง จึงเป็น  
วงจรที่นำมาใช้กันอย่างแพร่หลาย

## บทที่ 5

### โครงสร้างและฮาร์ดแวร์ของระบบ

การวิเคราะห์ความถี่ของสัญญาณนั้น ได้อาศัยทฤษฎีและหลักการที่ได้กล่าวไว้ในบทก่อน ใช้เป็นแนวทางการจัดสร้างและดำเนินงาน ซึ่งสามารถเขียนเป็นไดอะแกรมการทำงานของโครงการได้ดังรูป 5.1



รูปที่ 5.1 แสดงบล็อกไดอะแกรมการทำงานของระบบ

โดยในบทนี้จะ ได้กล่าวถึงรายละเอียดและวงจรที่เกี่ยวข้องในแต่ละบล็อกตามลำดับดังต่อไปนี้

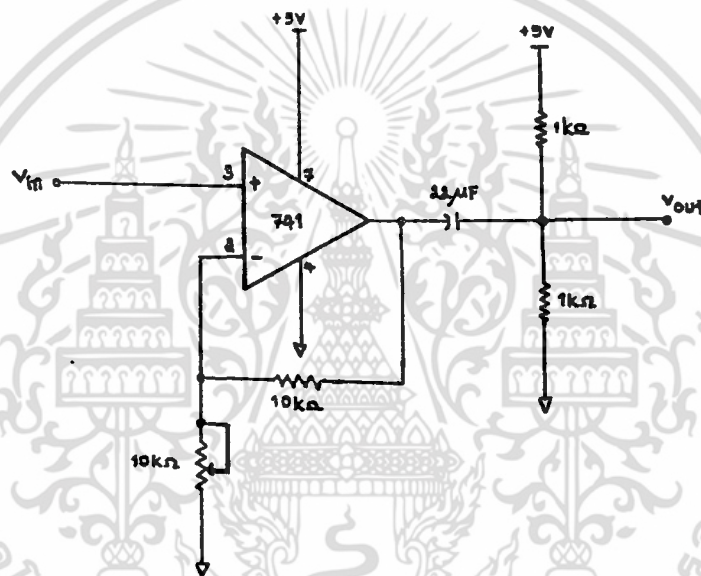
#### 5.1 หน่วยตรวจจับสัญญาณ (Transducer)

เป็นส่วนที่รับสัญญาณจากภายนอก แล้วแปลง เป็นสัญญาณทางไฟฟ้าโดยใช้ทรานสดิวเซอร์ ซึ่งทรานสดิวเซอร์ที่ใช้ในโครงการนี้ คือ ไมโครโฟน ซึ่งเป็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานสดิวเซอร์ที่ใช้ในการตรวจจับสัญญาณเสียง แล้วเปลี่ยนจากสัญญาณเป็นสัญญาณทางไฟฟ้าป้อนให้กับอุปกรณ์ในส่วนอื่นต่อไป

## 5.2 ส่วนจัดการสัญญาณ (Signal conditioning)

เป็นส่วนที่ใช้สำหรับจัดสัญญาณที่เหมาะสม เพื่อเป็นอินพุตให้กับบล็อกต่อไป ในกรณีนี้จะหมายถึงวงจรขยายสัญญาณ (Amplifier) ที่ได้จากรานสดิวเซอร์และยกระดับสัญญาณที่มีระดับแรงดันอยู่ในช่วง 0 ถึง ระดับแรงดันไฟเลี้ยงดังแสดงในรูป 5.2



รูปที่ 5.2 แสดงวงจรขยายและยกระดับสัญญาณที่ใช้ในโครงการ

จากรูปเมื่ออินพุตเข้าทางอินพุตแบบไม่กลับของออปแอมป์แล้ว สัญญาณทางเอาต์พุตของออปแอมป์ซึ่งมีค่าเป็น  $(1+R_F/R_{in})$  เท่า ของสัญญาณทางด้านอินพุตเมื่อผ่านตัวเก็บประจุ C ซึ่งมีไว้เพื่อกรองแรงดันไฟตรง ทำให้เหลือเฉพาะส่วนที่มีการเปลี่ยนแปลงขนาดตามเวลาหรือสัญญาณ AC สัญญาณ AC นี้ ส่วนหนึ่งจะเป็นสัญญาณป้อนกลับให้กับออปแอมป์เพื่อรักษาเสถียรภาพ และอีกส่วนหนึ่งจะถูกยกระดับโดยบวกด้วยสัญญาณไฟตรงจากความต้านทาน ที่ต่อเป็นวงจรโวลเตจดีไวเดอร์ (Voltage divider) เอาท์พุตที่ได้นี้จะ เป็นสัญญาณอินพุตให้กับวงจร แปลงสัญญาณ A/D

### 5.3 ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D converter)

ส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณจากอนาลอกเป็นดิจิทัล ซึ่งผลลัพธ์ที่ได้จะอยู่ในรูปของตัวเลข "0" หรือ "1" ซึ่งเป็นข้อมูลที่คอมพิวเตอร์เข้าใจ และสามารถนำไปวิเคราะห์ หรือประมวลผลได้ โดยอาศัยซอฟต์แวร์ช่วยในส่วนของการวิเคราะห์สัญญาณ (Signal processing) ซึ่งได้กล่าวมาแล้วในบทที่ 3

จากหัวข้อ 4.5 เราได้ทราบเทคนิคต่างๆในการแปลงสัญญาณจากอนาลอกเป็นดิจิทัลมาแล้ว จะเห็นได้ว่าเทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบต่างๆจริงเปรียบเทียบกันนั้น ใช้เวลาในการแปลงสัญญาณ (Conversion time) น้อยที่สุด นั่นคือสามารถแปลงสัญญาณที่มีความถี่สูงได้ แต่ก็มีข้อเสียเช่นเดียวกัน นั่นคือที่ความละเอียดสูงๆ ADC ต้องการจำนวนวงจรเปรียบเทียบ (Comparator) มาก เช่นในโครงการนี้ต้องการความละเอียด 8 บิต ดังนั้นจะต้องใช้คอมพาราเตอร์ถึง 256 ตัว ซึ่งถ้าจะสร้างลงอนุกรม IC แล้วเป็นไปได้ยากมาก เราสามารถลดจำนวนคอมพาราเตอร์ลง โดยที่ยังคงมีความเร็วในการแปลงสัญญาณสูง เมื่อเทียบกับเทคนิคอื่นได้โดยใช้เทคนิคการแปลงสัญญาณแบบฮาล์ฟแฟลช (Half flash A/D converter) รูปที่ 5.3 แสดงบล็อกไดอะแกรมการแปลงสัญญาณโดยใช้เทคนิคนี้

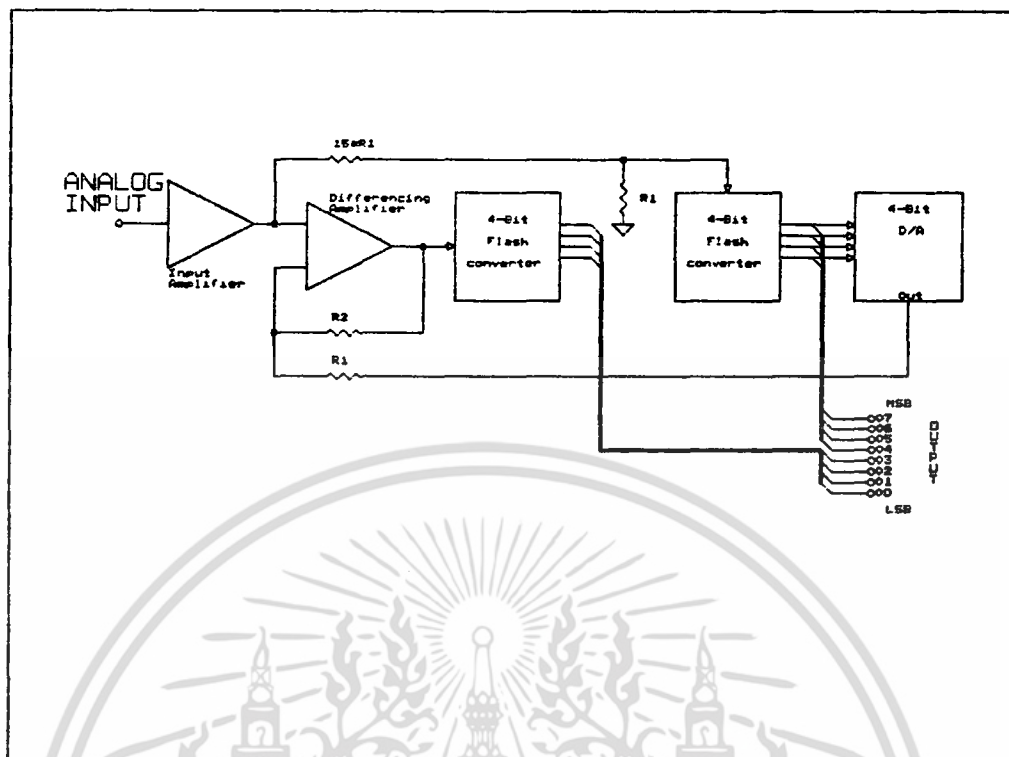
#### 5.3.1 หลักพื้นฐานของการแปลงสัญญาณแบบฮาล์ฟแฟลช

##### (Half flash A/D converter)

ในหัวข้อนี้จะเน้นที่วงจรแปลงสัญญาณ A/D ที่มีความละเอียด 8 บิต โดยหลักพื้นฐานของการแปลงสัญญาณแบบนี้จะอาศัยวงจรแปลงสัญญาณแบบ 4 บิต "แฟลช" คอนเวอร์เตอร์ (4 bit Flash Converter) 2 ตัว โดยตัวหนึ่งจะแปลงสัญญาณอนาลอกครั้งบนได้เป็นรหัสดิจิทัลที่มีนัยสำคัญสูง 4 บิต ส่วนอีกตัวหนึ่งจะแปลงสัญญาณอนาลอกส่วนล่างได้รหัสที่มีนัยสำคัญต่ำ 4 บิต

จากรูปเมื่อสัญญาณอินพุตผ่านวงจรขยายและวงจรมัลติเพลกซ์ซึ่งทำหน้าที่สุ่มและค้างข้อมูลแล้ว จะผ่านเข้าไปยังอินพุตของคอมพาราเตอร์ โดยที่คอมพารา-

เตอร์นี้จะทำงานใน 2 รอบในการแปลงสัญญาณแต่ละครั้ง คือในรอบแรกจะไม่มี



รูปที่ 5.3 แสดงบล็อกไดอะแกรมของการแปลงสัญญาณจากอนาลอกเป็นดิจิทัล โดยใช้เทคนิคการแปลงสัญญาณแบบฮาล์ฟแฟลช (Half flash A/D converter)

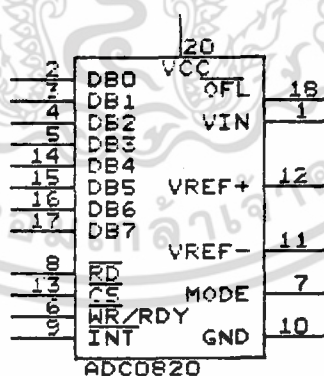
การเปรียบเทียบสัญญาณอินพุตกับสัญญาณใด ๆ สัญญาณอินพุตจะถูกลดทอนลง 16 เท่าจากเดิม จากนั้นจะแปลงสัญญาณอนาลอกที่ถูกลดทอนนี้เป็นดิจิทัลโดยใช้วงจร A/D แบบแฟลชความละเอียด 4 บิต เนื่องจากสัญญาณถูกลดทอนลง 16 เท่า ดังนั้นแต่ละบิตที่ได้จากการแปลงสัญญาณนี้จะถูกคูณด้วย  $2^4$  นั่นคือ น้ำหนักของแต่ละบิตจากน้อยสำคัญสูงมายังบิตที่มีนัยสำคัญต่ำมีค่าเท่ากับ 128, 64, 32 และ 16 ตามลำดับ จะเห็นว่าทั้ง 4 บิตที่ได้นี้ก็คือนั่นเอง สัญญาณดิจิทัลที่ได้นี้จะถูกแปลงกลับให้เป็นสัญญาณอนาลอกโดยวงจร D/A สัญญาณอนาลอกที่ได้นี้จะถูกป้อนกลับให้กับคอมพาราเตอร์เพื่อเปรียบเทียบกับสัญญาณอนาลอกอินพุตในรอบที่ 2 ซึ่งผลลัพธ์ที่ได้นี้จะถูกแปลงโดยวงจรแปลงสัญญาณแบบแฟลช ความละเอียด 4 บิตอีกตัวหนึ่ง ซึ่งสัญญาณดิจิทัลที่ได้นี้ก็คือนั่นเอง 4 บิตล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณแบบแฟลช ความละเอียด 4 บิตแต่ละตัวนี้ ภายนอกประกอบไปด้วยคอมพาราเตอร์จำนวน 16 ตัว ดังนั้นการแปลงสัญญาณโดยเทคนิคนี้จะใช้คอมพาราเตอร์เพียง 32 ตัวเท่านั้น ซึ่งจากเดิมต้องการถึง 256 ตัว แต่จากการที่แปลงสัญญาณทีละส่วน และรวมถึงเวลาที่ใช้ในการแปลงสัญญาณ (Conversion time) ของวงจร D/A ดังนั้นการแปลงสัญญาณโดยเทคนิคนี้ จึงใช้เวลามากกว่าการแปลงสัญญาณแบบแฟลช แต่อย่างไรก็ตามการแปลงสัญญาณโดยเทคนิคนี้ก็ยังคงเร็วกว่าวิธีอื่นยกเว้นแบบแฟลช

### 5.3.2 วงจรแปลงสัญญาณแบบฮาล์ฟแฟลชที่ใช้ในโครงการ

วงจรฮาล์ฟแฟลชที่ใช้ในโครงการนี้ใช้ IC ADC0820 ซึ่งเป็นวงจรที่บรรจุอยู่ในตัวถังแบบ DIP 20 ขา แสดงดังรูป 5.4



รูปที่ 5.4 แสดงขาสัญญาณต่างๆของ IC ADC0820

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1) รายละเอียดและการทำงานของขาสัญญาณต่างๆของ IC ADC0820

### - $V_{in}$ (ขา 1) :

เป็นขาอินพุตสำหรับรับสัญญาณอนาล็อก ซึ่งต้องการแปลงเป็นสัญญาณอนาล็อก โดยจะต้องมีระดับแรงดันอยู่ในช่วง 0 ถึงแรงดันไฟเลี้ยง

### - DB0-DB3 (ขา 2-5) และ DB4-DB7 (ขา 14-17) :

เป็นขาเอาต์พุตส่งค่าดิจิตอลของอนาล็อกอินพุต

### - MODE (ขา 7) :

เป็นขาอินพุตใช้สำหรับเลือกโหมดการทำงาน ซึ่งมีอยู่ 2 โหมดคือ

RD MODE : เมื่อขานี้มีลอจิกเป็น "0"

WR-RD MODE : เมื่อขานี้มีลอจิกเป็น "1"

### - WR/RDY (ขา 6) :

WR-RD MODE :

ใช้เป็นขาอินพุต (WR) ถ้าสัญญาณ CS มีลอจิกเป็น "0" ADC จะเริ่มแปลงสัญญาณที่ขอบขาของ สัญญาณ WR และจะส่งข้อมูลที่ได้จากการแปลงนี้ไปยังเอาต์พุตแลตซ์เมื่อเวลาผ่านไปประมาณ 800 nanosecond หลังจากขอบขาขึ้นของสัญญาณ WR ในกรณีที่ไม่มีการสัญญาณ RD ในช่วงเวลาที่เรารอ

RD MODE :

ใช้เป็นขาเอาต์พุต (RDY) โดยที่ขา RDY จะมีลอจิกเป็น "0" หลังจากสัญญาณ CS เปลี่ยนจากลอจิก "1" เป็น "0" หรือ ขอบขาของสัญญาณ CS ขาสัญญาณ RDY จะมีสถานะเป็น Tri-state เมื่อข้อมูลที่ได้จากการแปลงสัญญาณถูกส่งมายังเอาต์พุตแลตซ์ ขาสัญญาณนี้อาจใช้เชื่อมต่อกับระบบไมโครโปรเซสเซอร์ได้

- RD (ขา 8) :

WR-RD MODE :

เมื่อสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลที่ได้จากการแปลงสัญญาณจะถูกส่งออกมาที่เอาต์พุตแลตซ์เมื่อขาสัญญาณ RD มีลอจิกเป็น "0" ขาสัญญาณ RD อาจใช้เพื่อเพิ่มความเร็วในการแปลงสัญญาณ โดยการอ่านข้อมูล (ให้ RD เป็น "0") ก่อนเวลาปกติ (800 nanosecond) นั่นคือข้อมูลเนื่องจากการแปลงสัญญาณจะถูกส่งมายัง เอาต์พุตแลตซ์หลังขอบขาลงของสัญญาณ RD

RD MODE :

เมื่อสัญญาณ CS มีลอจิก "0" ADC จะเริ่มแปลงสัญญาณเมื่อสัญญาณ RD มีลอจิก "0" นอกจากนี้สัญญาณ RD ยังใช้ในการเอเนเบิล (enable) ให้ข้อมูลไปปรากฏที่เอาต์พุตแลตซ์ เมื่อเสร็จสิ้นการแปลงสัญญาณ สัญญาณ RDY จะอยู่ในสถานะ Tri-state และสัญญาณ INT มีลอจิก "0" เพื่อแสดงว่าการแปลงสัญญาณได้เสร็จสิ้นลงแล้ว

- INT (ขา 9) :

ถ้าสัญญาณ INT มีลอจิกเป็น "0" แสดงว่าการแปลงสัญญาณนั้นได้เสร็จสิ้นและมีข้อมูลที่ได้จากการแปลงสัญญาณรออยู่ที่เอาต์พุตแลตซ์แล้ว

- GND (ขา 10) :

เป็นขาที่ต่อเข้ากับกราวด์ (Ground) ของระบบ

-  $V_{REF} (-)$  (ขา 11) :

คือจุดล่างสุดของวงจรรีซิสเตอร์แลดเดอร์ (Resister ladder) มีแรงดันอยู่ในช่วง GND ถึง  $V_{REF} (+)$

-  $V_{REF}$  (+) (ขา 12) :

คือจุดยอดสุดของวงจรรีซิสเตอร์แลคเตอร์ มีแรงดันอยู่ในช่วง  $V_{REF}$  (-) ถึง แรงดันไฟเลี้ยงหรือ  $V_{CC}$

- CS (ขา 13) :

สัญญาณนี้จะต้องมีลอจิกเป็น "0" เมื่อต้องการให้ ADC รับรู้สัญญาณ RD หรือสัญญาณ WR

- OFL (ขา 18) :

สัญญาณนี้จะแอกทีฟ (ลอจิก "0") เมื่อสัญญาณอนาล็อกอินพุตมีแรงดันสูงกว่า  $V_{REF}$  (+) สามารถเข้าในการต่อคาสเคด (Cascade) เมื่อต้องการเพิ่มกำลังแยก (Resolution)

- NC (ขา 19) :

ขาที่ไม่ได้ใช้

-  $V_{CC}$  (ขา 20) :

เข้าต่อเข้ากับแหล่งจ่ายไฟเพื่อบ่อนไฟเลี้ยงให้กับวงจร

## 2) การใช้งาน ADC0820

ADC สามารถจัดการทำงานได้ 3 โหมด คือ

- RD MODE :

สามารถเลือกให้ทำงานในโหมดนี้ได้โดยให้ขา Mode มีลอจิกเป็น "0" การทำงานในโหมดนี้จะเริ่มแปลงสัญญาณเมื่อขาสัญญาณ RD เป็น "0" จนกระทั่งมีข้อมูลปรากฏที่เอาต์พุต ซึ่งทำให้สัญญาณ INT มีลอจิกเป็น "0" เมื่อเสร็จสิ้นการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



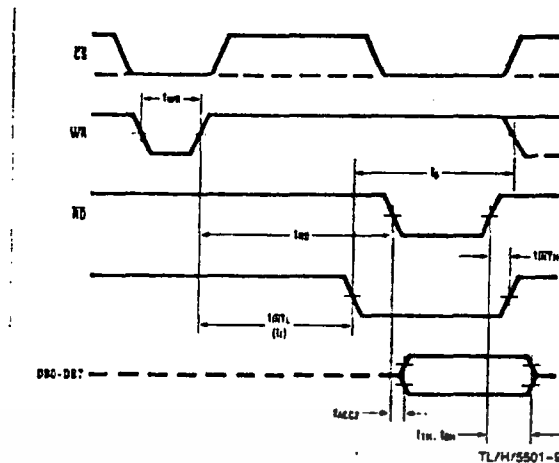


FIGURE 3b. WR-RD Mode (Pin 7 is High and  $t_{RD} > t_1$ )

รูปที่ 5.6 (b) การทำงานใน WR-RD MODE เมื่อ  $t_{RD} > t_1$

ถ้าสัญญาณ INT มีลอจิก "0" ก่อนที่สัญญาณ RD จะมีลอจิกเป็น "0" สัญญาณ INT จะเปลี่ยนจากลอจิก "1" เป็น "0" หลังขอบขาขึ้นของสัญญาณ WR ประมาณ 800 nanosecond

ถ้าต้องการแปลงสัญญาณได้เร็วขึ้น ทำได้โดยให้สัญญาณ RD เป็น "0" หลังขอบขาขึ้นของสัญญาณ WR ประมาณ 600 nanosecond ดังรูป 5.6 (a) ซึ่งจะทำให้สัญญาณ INT มีลอจิกเป็น "0" ทันที (ปกติต้องรอ 800 nanosecond) และมีข้อมูลปรากฏที่เอาต์พุต

- STAND-ALONE :

การทำงานแบบ Stand-Alone ใน WR-RD MODE นั้นสัญญาณ CS และสัญญาณ RD มีลอจิกเป็น "0" ตลอด และควบคุมการแปลงสัญญาณโดยใช้สัญญาณ WR ข้อมูลจะปรากฏที่เอาต์พุต หลังขอบขาขึ้นของสัญญาณ WR ประมาณ 800 nanosecond แสดงการทำงานของโหมดนี้ดังรูป 5.7

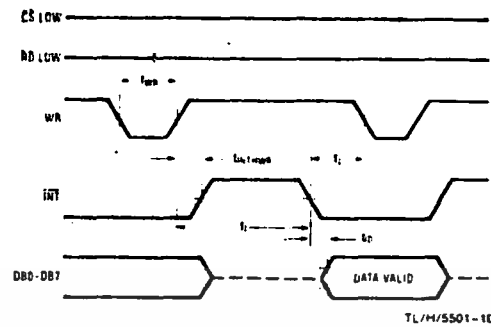


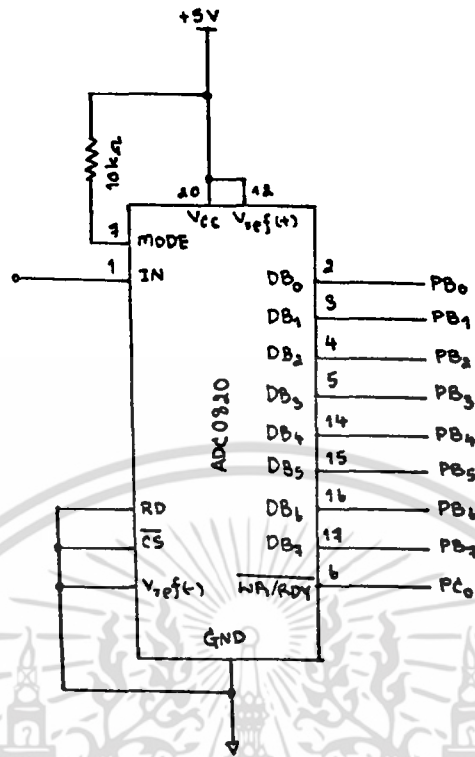
FIGURE 4. WR-RD Mode (Pin 7 is High)  
Stand-Alone Operation

รูปที่ 5.7 แสดงการทำงานใน WR-RD MODE ในแบบ Stand-Alone

### 3) การต่อ ADC0820 ในโหมด WR-RD MODE ในแบบ Stand-Alone

ในโครงการนี้เราใช้ ADC0820 เป็นวงจรแปลงสัญญาณจากอนาล็อกเป็นดิจิทัล โดยจัดให้ทำงานในโหมด WR-RD ในแบบ Stand-Alone โดยมีเงื่อนไขดังได้กล่าวในหัวข้อข้างต้นแล้ว วงจรแสดงดังรูป 5.8

จากรูป 5.8 สัญญาณ WR/RDY ในโหมดการทำงานนี้ จะทำหน้าที่เป็นเวริฟาย โดยรับสัญญาณอินพุตจาก PC0 ซึ่งเป็นเอาต์พุตพอร์ทของ 8255 ซึ่งควบคุมการเปลี่ยนระดับสัญญาณด้วย IBM/PC คือ ส่งสัญญาณที่มีระดับลอจิกเป็น "0" ให้กับขา WR เพื่อเริ่มแปลงสัญญาณ จากนั้นส่งลอจิก "1" ให้กับขา WR แล้วรอเป็นเวลาอย่างน้อย 800 nanosecond จึงจะมีข้อมูลมาปรากฏที่เอาต์พุต อ่านข้อมูลนี้จากขา DB0-DB7 ของ ADC ผ่านทางพอร์ท PB0-PB7 ของ 8255 เข้าสู่ IBM/PC ได้



รูปที่ 5.8 แสดงการใช้งาน ADC0820 ใน WR-RD MODE ในแบบ Stand-Alone

#### 5.4 ส่วนวิเคราะห์และจัดการสัญญาณ (Signal processing)

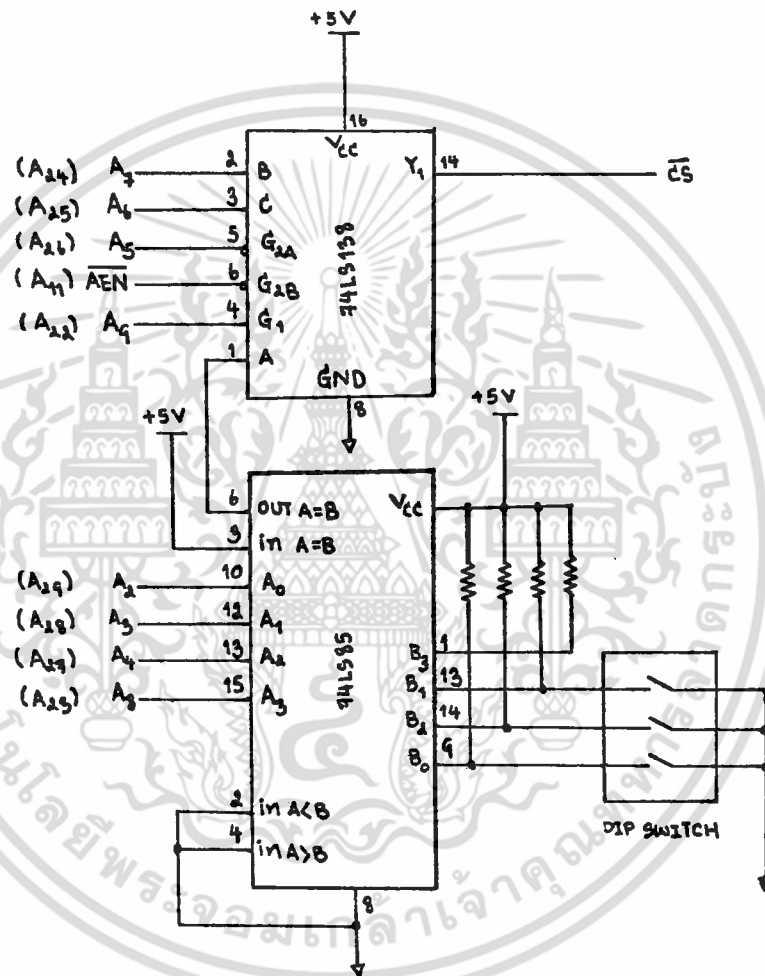
ส่วนนี้เป็นส่วนที่มีการติดต่อกับ IBM/PC และรวมถึงการใช้ฮาร์ดแวร์มาจัดการและวิเคราะห์สัญญาณ โดยใช่วิธีทางคณิตศาสตร์ซึ่งจะกล่าวในบทต่อไป ส่วนในบทนี้จะเน้นเฉพาะเนื้อหาทางด้านฮาร์ดแวร์ ดังนั้นในบล็อกการทำงานนี้ จะกล่าวถึงเฉพาะวงจรเชื่อมต่อกับ IBM/PC อันประกอบด้วยวงจรถัดโคตเตอร์ และวงจรพอร์ทขนาน I/O ดังต่อไปนี้

##### 5.4.1 วงจรถัดโคตเตอร์

จากบทที่ 4 เราได้ทราบมาแล้วว่า แอดเดรสที่เราสามารถติดต่อกับ IBM/PC ได้ นั่นคือแอดเดรส 300H-31FH เท่านั้น ซึ่งจะเห็นได้ว่าจะมีบางบิตที่มีค่าคงที่ไม่เปลี่ยนแปลง คือบิตที่ 5-7 จะต้องมีลอจิกเป็น "0" และบิตที่ 8 และ 9 นั้นจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องมีลอจิกเป็น "1" เสมอ ส่วนอีก 5 บิตที่เหลือนั้นสามารถเปลี่ยนแปลงค่าได้ ดังนั้น ในการออกแบบบางจรีโคดเดอร์นี้ เราเลือกใช้เทคนิคการดีโคดแบบ Fixed และแบบ 1 บิตสวิทช์เลือกร่วมกัน โดยที่ใช้ IC 74LS138 ในการดีโคดแบบ Fixed และ IC 74LS85 ซึ่งเป็นคอมพาราเตอร์ ในการดีโคดแบบ 1 บิตสวิทช์เลือก ดังแสดงในรูป 5.9



รูปที่ 5.9 แสดงวงจรีโคดเดอร์ในโครงการ

วงจรีโคดเดอร์ในรูป 5.9 นี้สามารถอ้างแอดเดรสได้ตั้งแต่ 300H-31FH โดยการ 1 บิตสวิทช์เลือก จากรูปจะ เห็นได้ว่าสัญญาณที่เราใช้ในการดีโคดนี้มี สัญญาณ

แอดเดรสจากแอดเดรสบัส A0-A9 และสัญญาณ AEN ซึ่งเป็นสัญญาณบอกว่าการขอเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DMA หรือไม่ โดยปกติจะต้องมีลอจิกเป็น "0" เพื่อแสดงว่าเป็นการติดต่อโดย 8088

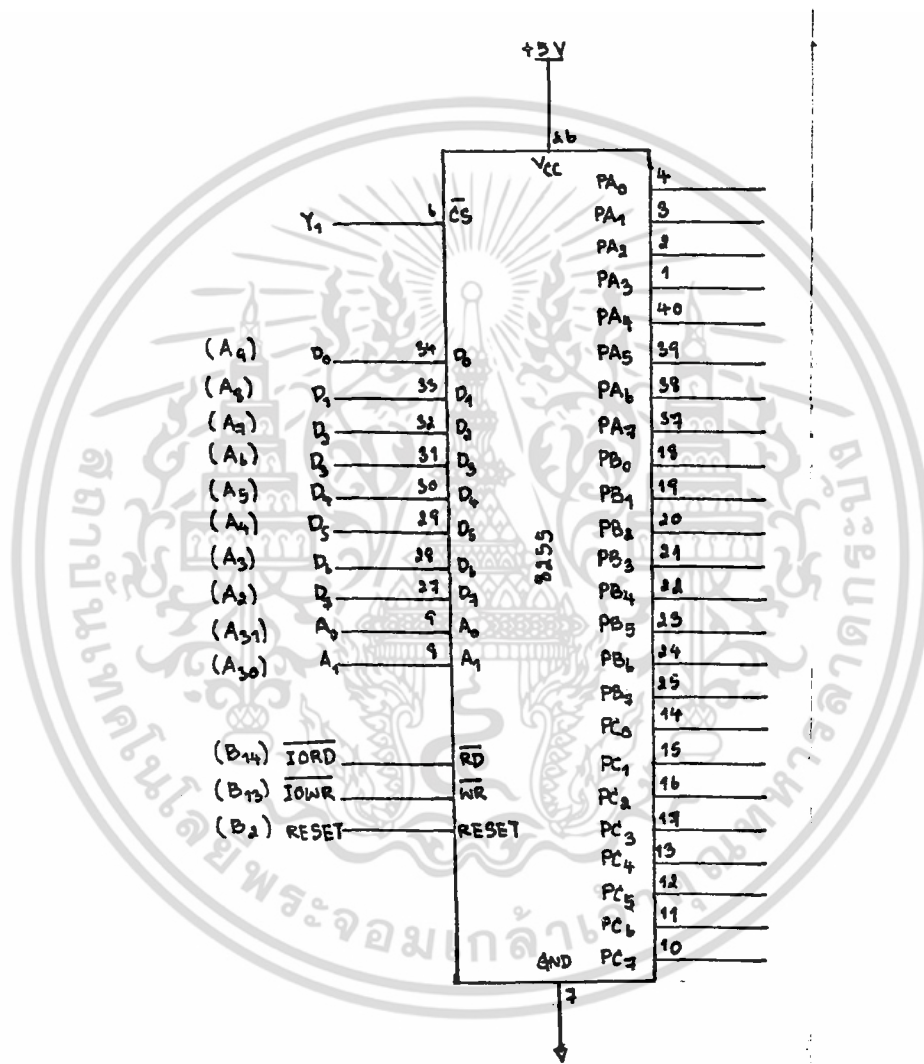
ดังได้กล่าวมาแล้วว่าวงจรถีโคคนี้แบ่งเป็น 2 ส่วนคือ ส่วนแรกคือโคคโดย  
ใช้สวิตช์เลือก วงจรส่วนนี้ใช้คอมพาราเตอร์ 74LS85 เปรียบเทียบค่าแอดเดรสบน  
แอดเดรสบัส A2-A4 และ A8 กับค่าที่ตั้งไว้โดยดิบสวิตช์ (Dip switch) ถ้ามีค่าตรง  
กันแล้ว 4 บิตคอมพาราเตอร์นี้จะให้เอาต์พุตที่ขา A=B เป็นลอจิก "1" ป้อนให้กับขา  
A ของ 74LS138 ซึ่งต่อเป็นวงจรถีโคคโคคเตอร์แบบ Fixed โดยจะให้เอาต์เป็น "0"  
ที่ขา  $Y_1$  ก็ต่อเมื่อ A9 มีลอจิกเป็น "1" ส่วนสัญญาณ A5-A7 และ AEN ต้องมีลอจิก  
(enable) สำหรับในโครงการนี้ได้ตั้งสวิตช์เพื่อเลือกติดต่อแอดเดรสที่ 300H-303H

#### 5.4.2 วงจรพอร์ทขนาน I/O

เราได้เลือกใช้ 8255 ต่อเป็นวงจรถีโคคขนานทวิทางในโหมด "0"  
โดยเซตให้พอร์ท A และ C เป็นเอาต์พุตพอร์ท ส่วนพอร์ท B ทำหน้าที่เป็นอินพุตพอร์ท  
โดยมีการติดต่อกับสัญญาณบนสล็อต IBM ดังรูป 5.10

จากรูป 5.10 เราได้จัดให้ พอร์ท A เป็นเอาต์พุตพอร์ท ใช้ส่งข้อมูล  
ให้กับวงจร DAC พอร์ท B เป็นอินพุตพอร์ท ใช้รับข้อมูลจาก ADC ส่วนพอร์ท C  
ทำหน้าที่เป็นเอาต์พุตพอร์ท ซึ่งใช้เพียงเส้นเดียวในการส่งสัญญาณไปที่ขา WR/RDY  
เพื่อควบคุมการแปลงสัญญาณของ ADC

เราสามารถกำหนดหน้าที่การทำงานของแต่ละพอร์ทได้โดยการส่ง คำสั่ง  
ควบคุม (Control word) ซึ่งในกรณีนี้ คำสั่งควบคุม (Control word) คือ 82H



### รูปที่ 5.10 แสดงการใช้งาน 8255 ในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### ผลการทดลอง

ในบทนี้จะกล่าวถึงขั้นตอนการทดสอบและการดำเนินการทดลอง ขั้นตอนแรกจะแสดงผลการทดสอบสเป็คตรัมของฟังก์ชันหน้าต่างแต่ละชนิดโดยใช้ซอฟต์แวร์เป็นตัวกำเนิดคลื่นทดสอบ โดยผลที่ได้จะแสดงในรูปของกราฟ เพื่อเปรียบเทียบกับคุณสมบัติของฟังก์ชันหน้าต่างแต่ละชนิด ดังได้กล่าวไว้ในบทที่ 2

ขั้นตอนที่ 2 จะเป็นการทดลองสุ่มสัญญาณคลื่นรูปไซน์ที่มีความถี่ต่างๆ จากฟังก์ชันเจนเนอเรเตอร์ผ่านการ์ด A/D ที่ได้จัดสร้างขึ้น เพื่อดูการเลื่อนของเส้นสเป็คตรัม และปรากฏการณ์เอเลียสซิง

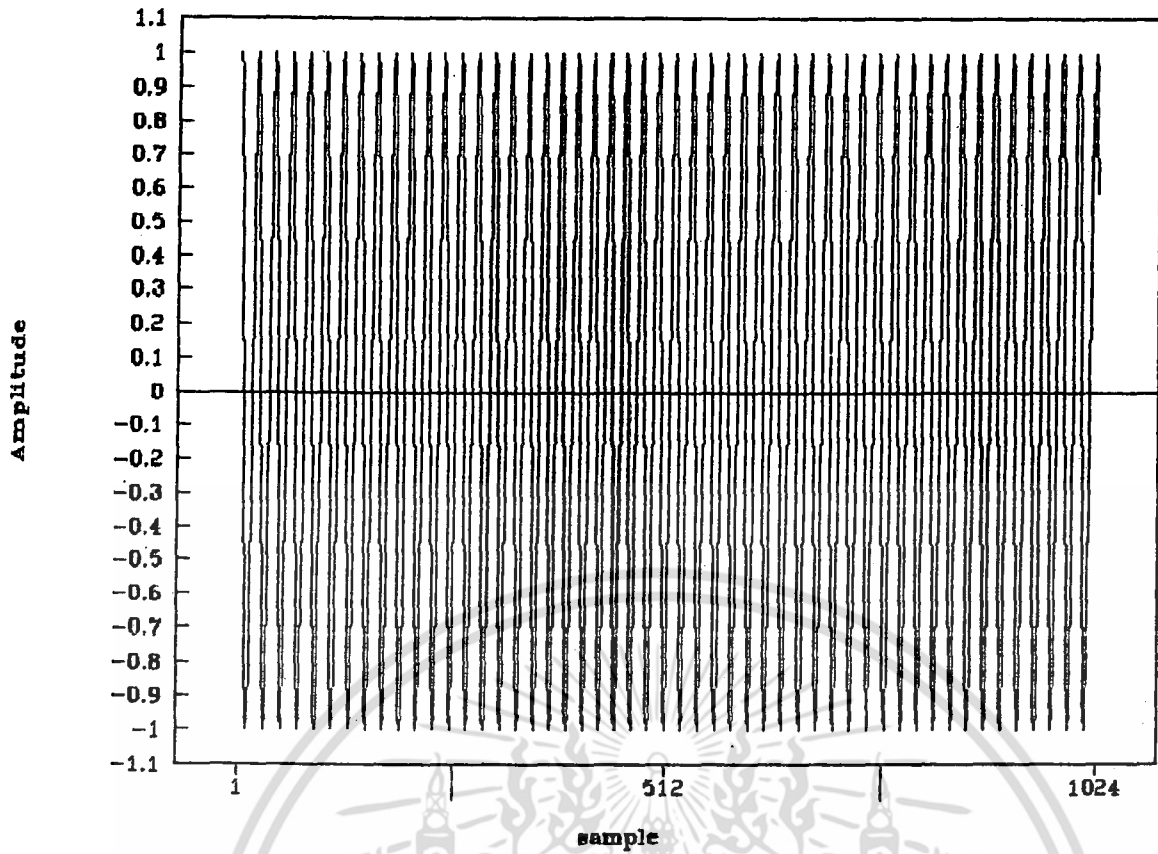
ขั้นตอนที่ 3 เป็นการทดลองสุ่มสัญญาณเสียงพูดผ่านทางไดนามิคไมโครโฟน เพื่อสังเกตลักษณะของสเป็คตรัมที่ได้จากการวิเคราะห์

#### 6.1 ขั้นตอนที่ 1

ในขั้นตอนนี้จะใช้ซอฟต์แวร์เป็นตัวกำเนิดคลื่นไซน์ เพื่อใช้ทดสอบฟังก์ชันหน้าต่างแต่ละชนิด โดยใช้โปรแกรม WINDOW เป็นตัวให้พิกัดข้อมูลแก่ไฟล์สัญญาณที่สร้างขึ้น ตามแต่ละฟังก์ชันหน้าต่างและสเป็คตรัมที่ได้จากการคำนวณฟูเรียร์อย่างรวดเร็วโดยใช้โปรแกรม FFT

ผลการทดสอบแสดงได้ดังรูปที่ 6.1 ถึง 6.12

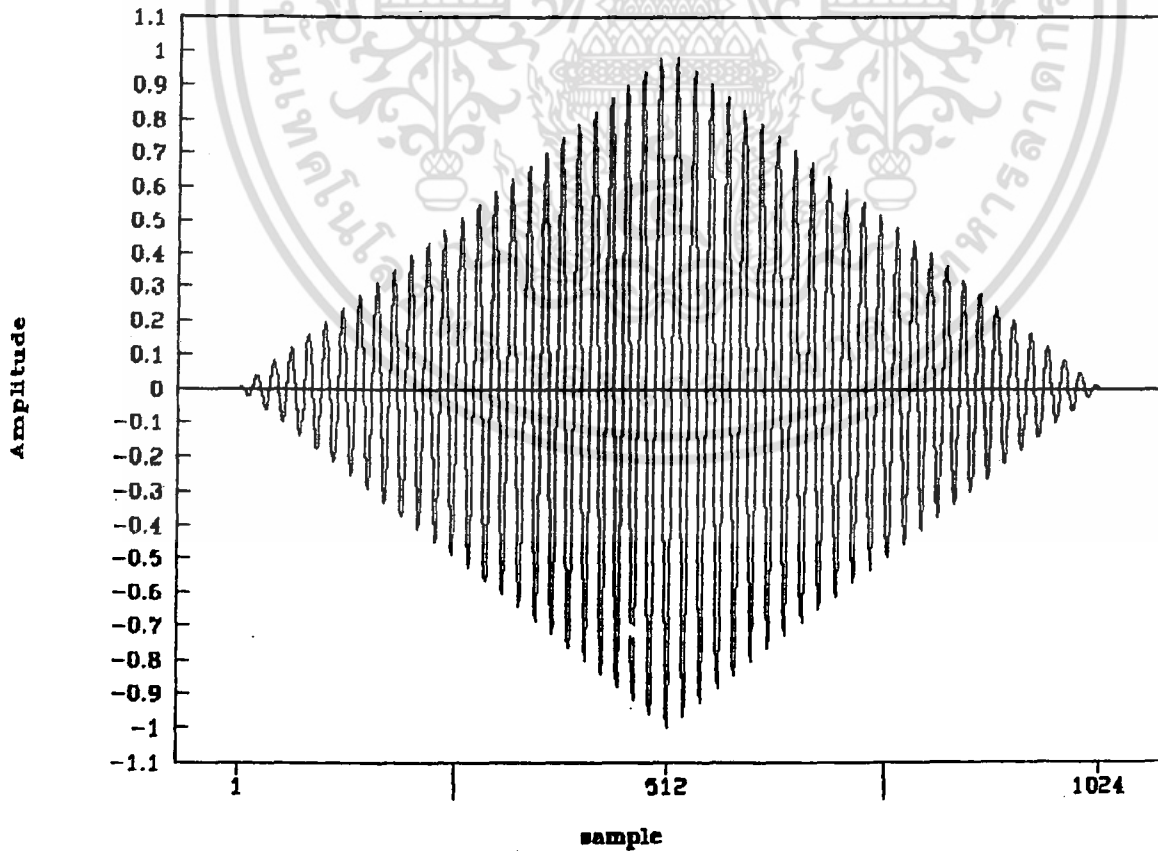
# Rectangle window's time response



72

รูปที่ 6.1 แสดงคลื่นขายนี่ผ่านฟังก์ชันหน้าต่างแบบสี่เหลี่ยม

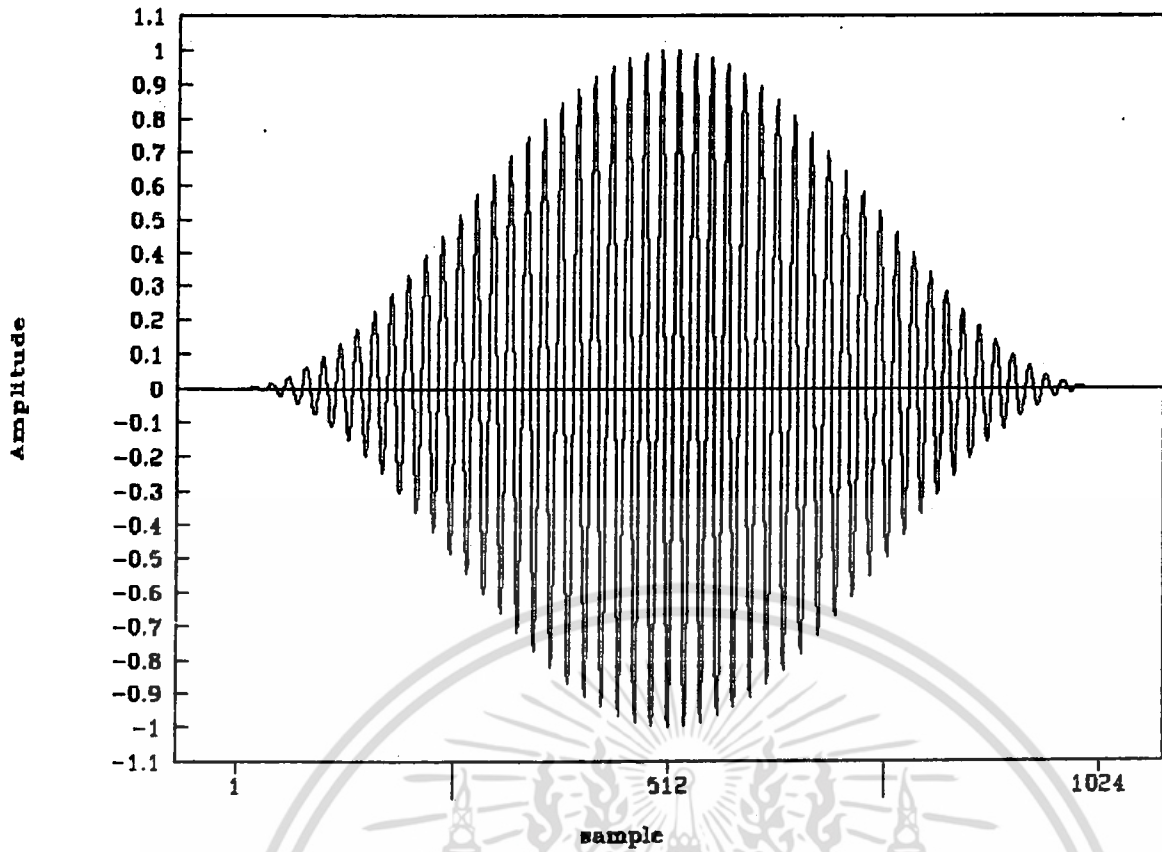
## Triangle window's time response



รูปที่ 6.2 แสดงคลื่นขายนี่ผ่านฟังก์ชันหน้าต่างแบบสามเหลี่ยม

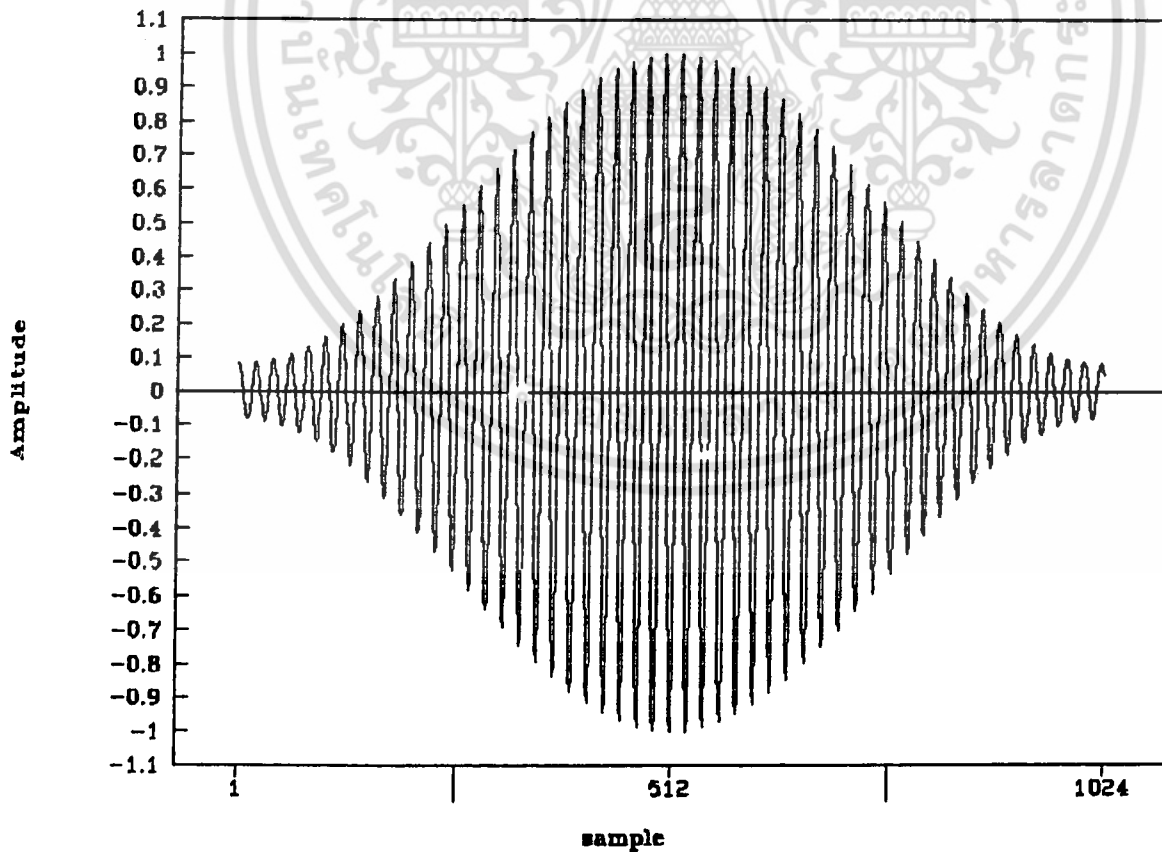
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Hanning window's time response



รูปที่ 6.3 แสดงคลื่นซายน์ที่ผ่านฟังก์ชันหน้าต่างแบบฮานนิง

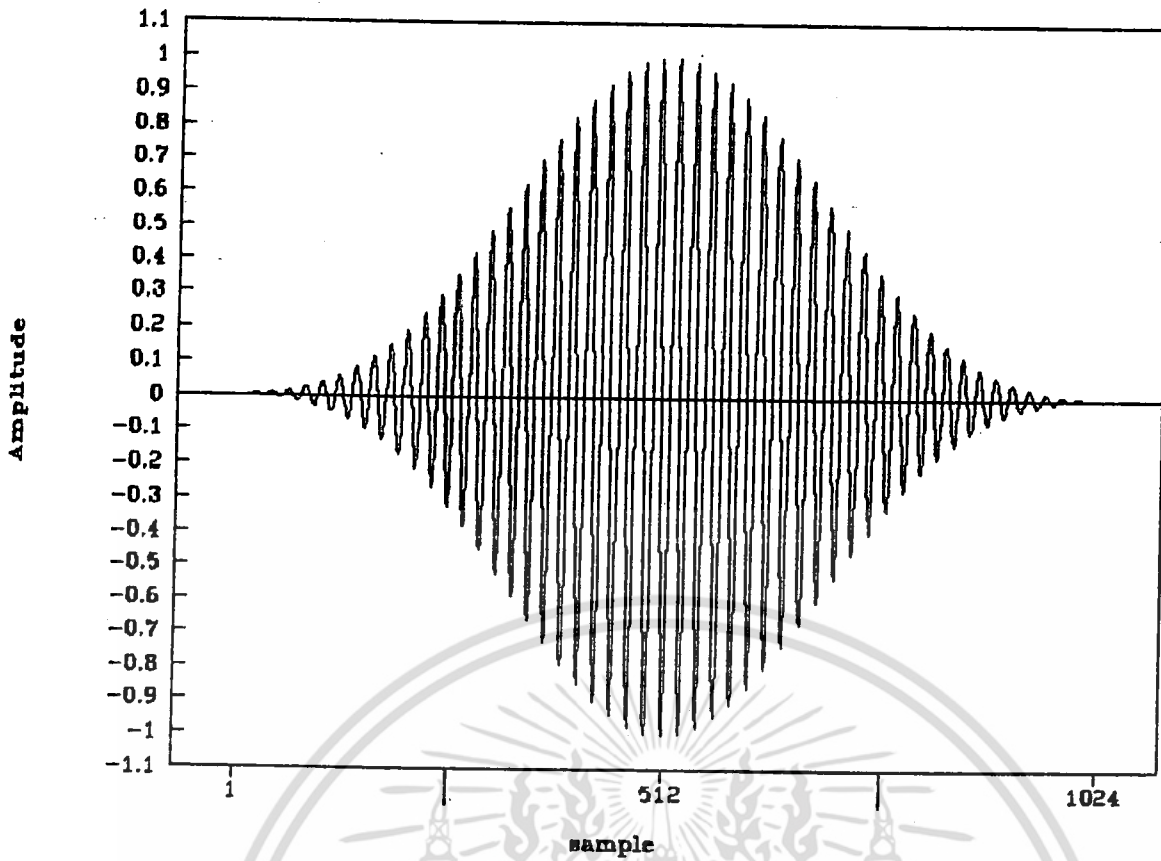
# Hamming window's time response



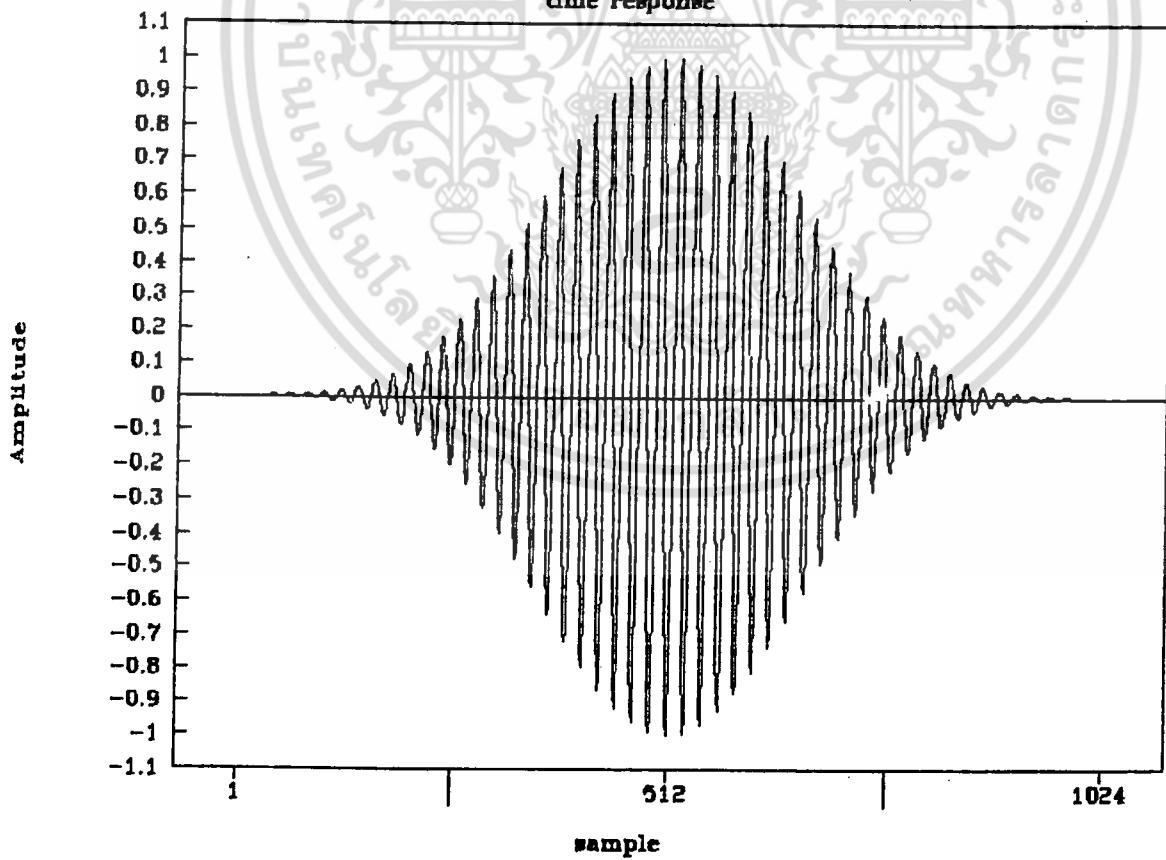
รูปที่ 6.4 แสดงคลื่นซายน์ที่ผ่านฟังก์ชันหน้าต่างแบบแฮมมิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Blackman window's time response



รูปที่ 6.5 แสดงคลื่นไซน์ที่ผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน 4 term Blackman-Harris window's time response

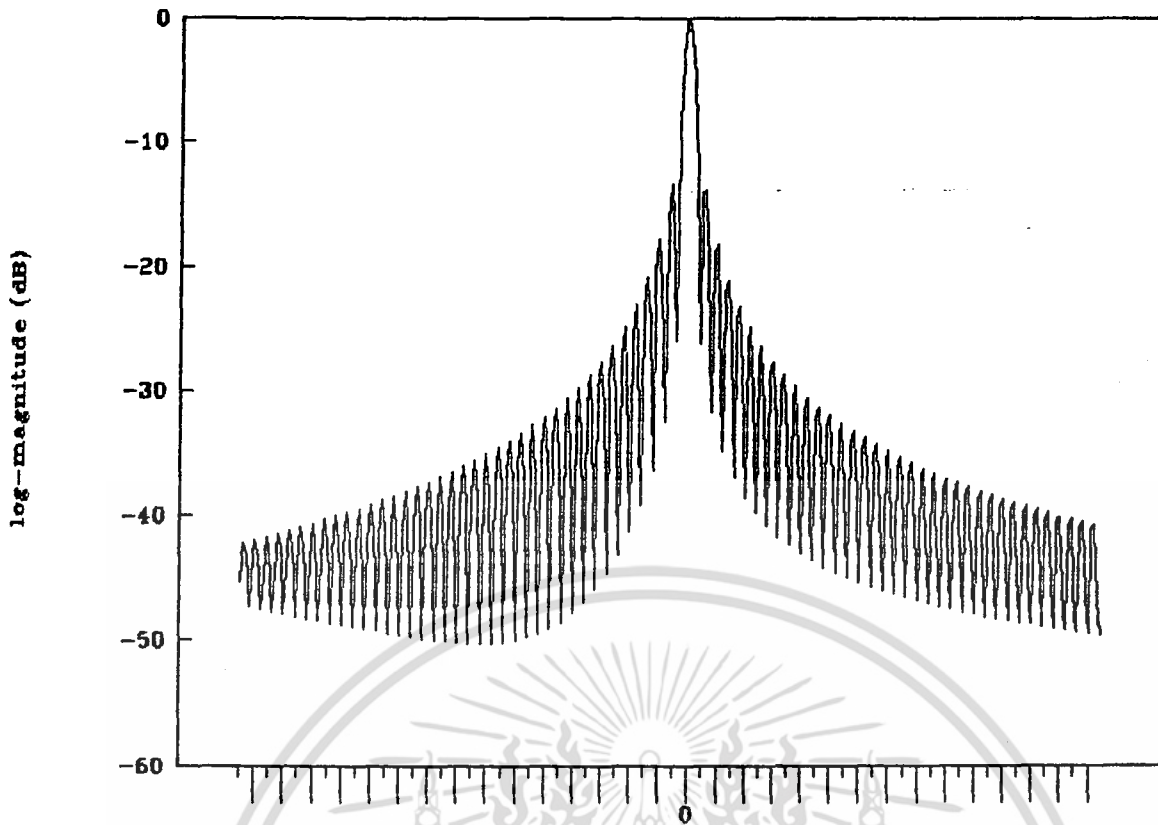


รูปที่ 6.6 แสดงคลื่นไซน์ที่ผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

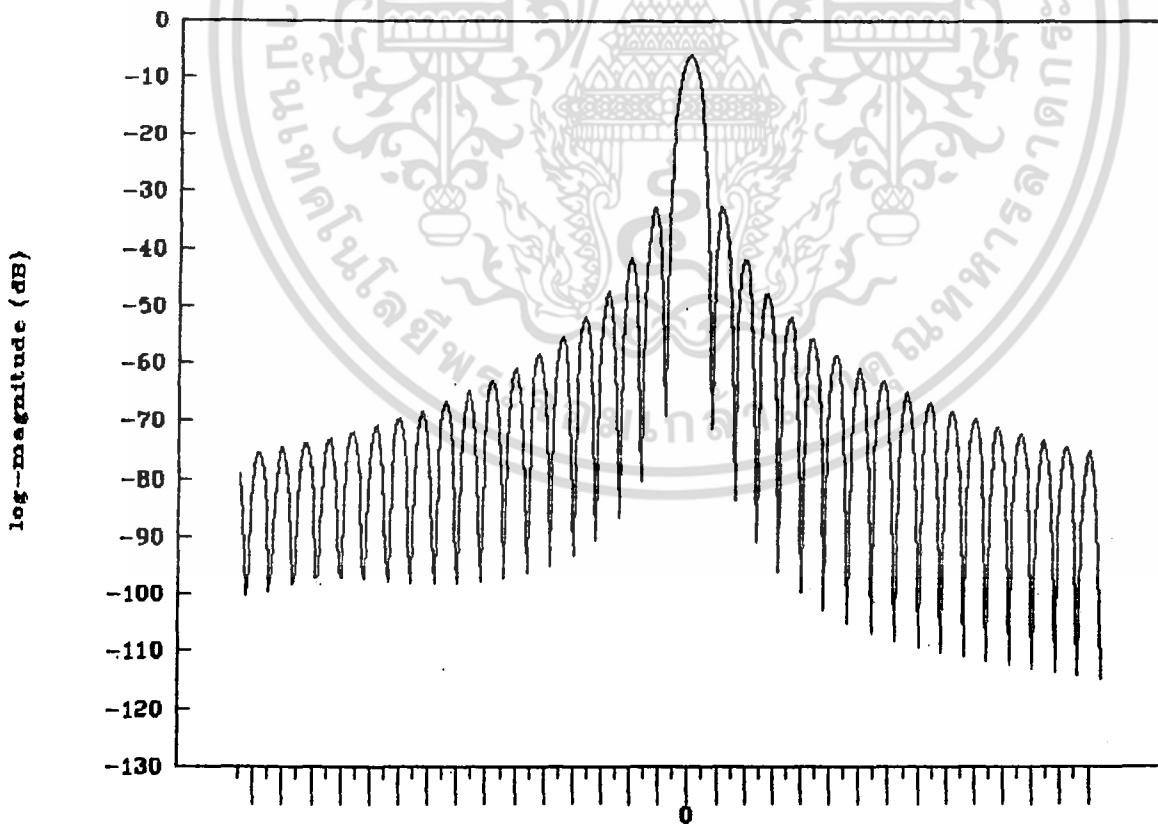
## Rectangle window's frequency response

75



รูปที่ 6.7 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบสี่เหลี่ยม

## Triangle window's frequency response

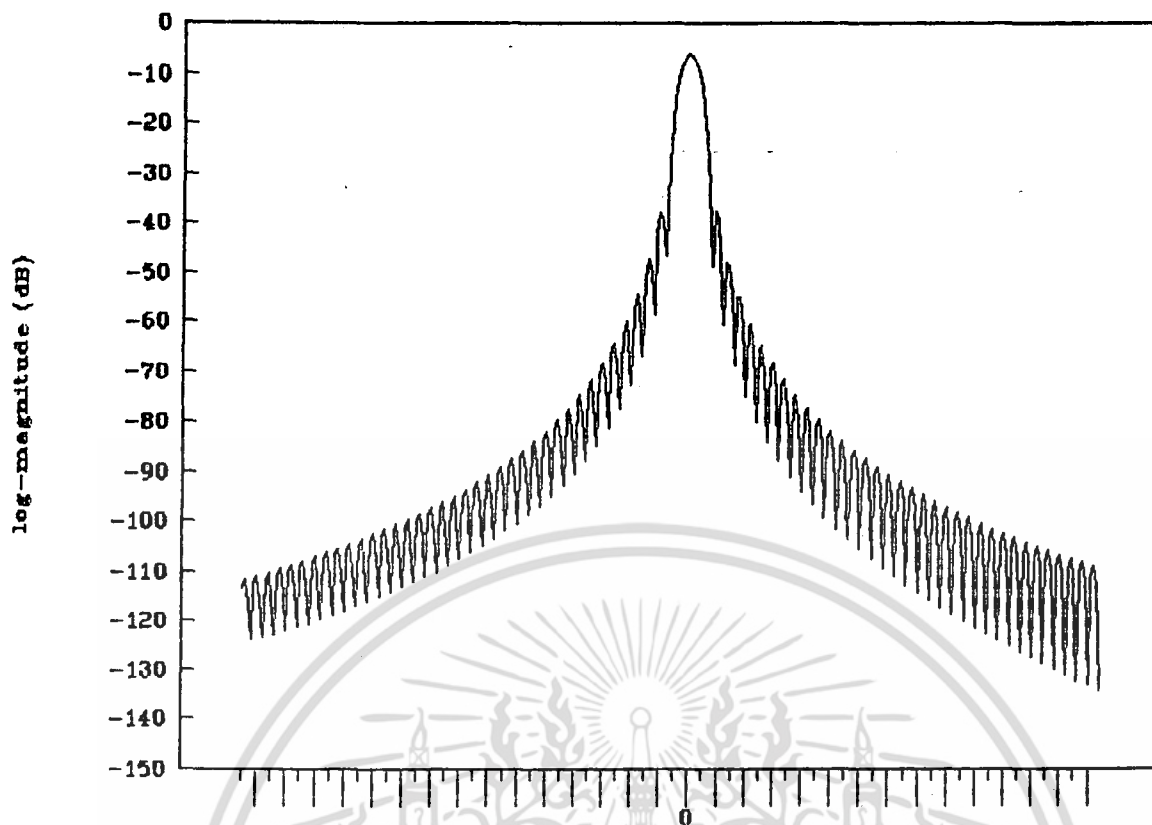


รูปที่ 6.8 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

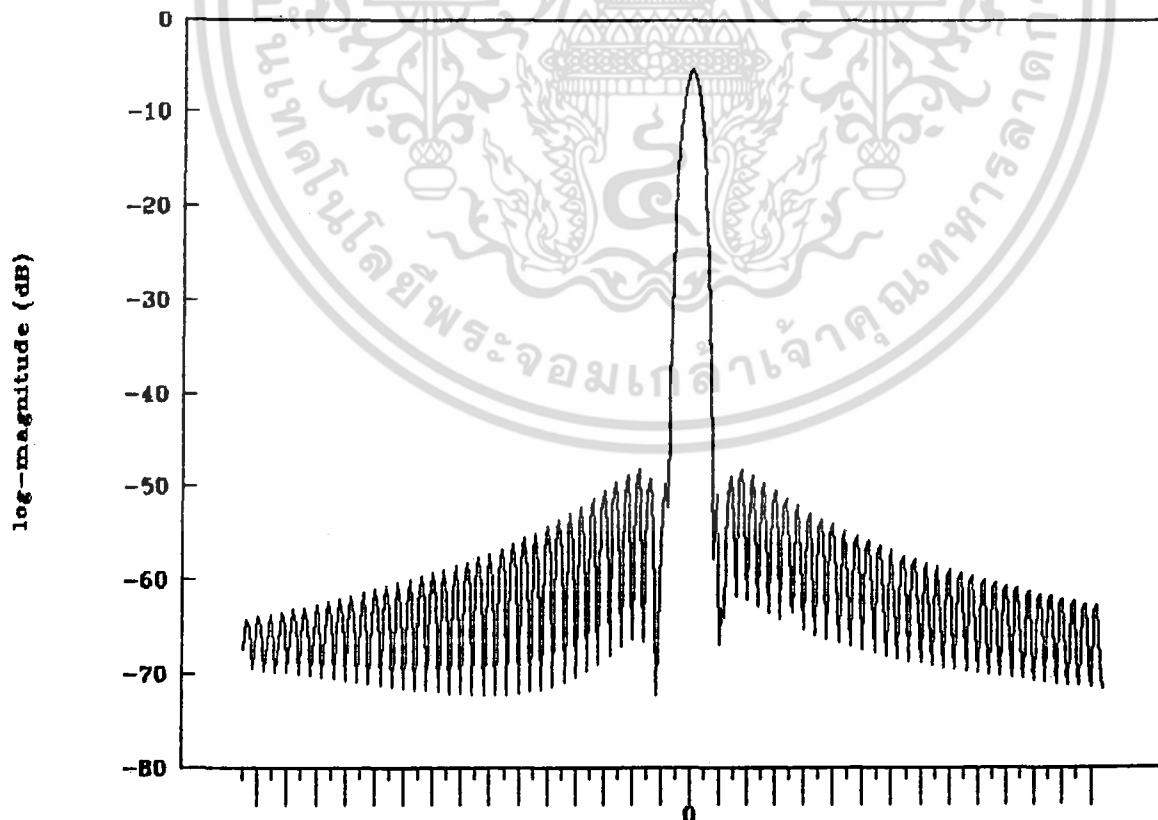
## Hanning window's frequency response

76



รูปที่ 6.9 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบฮานนิง

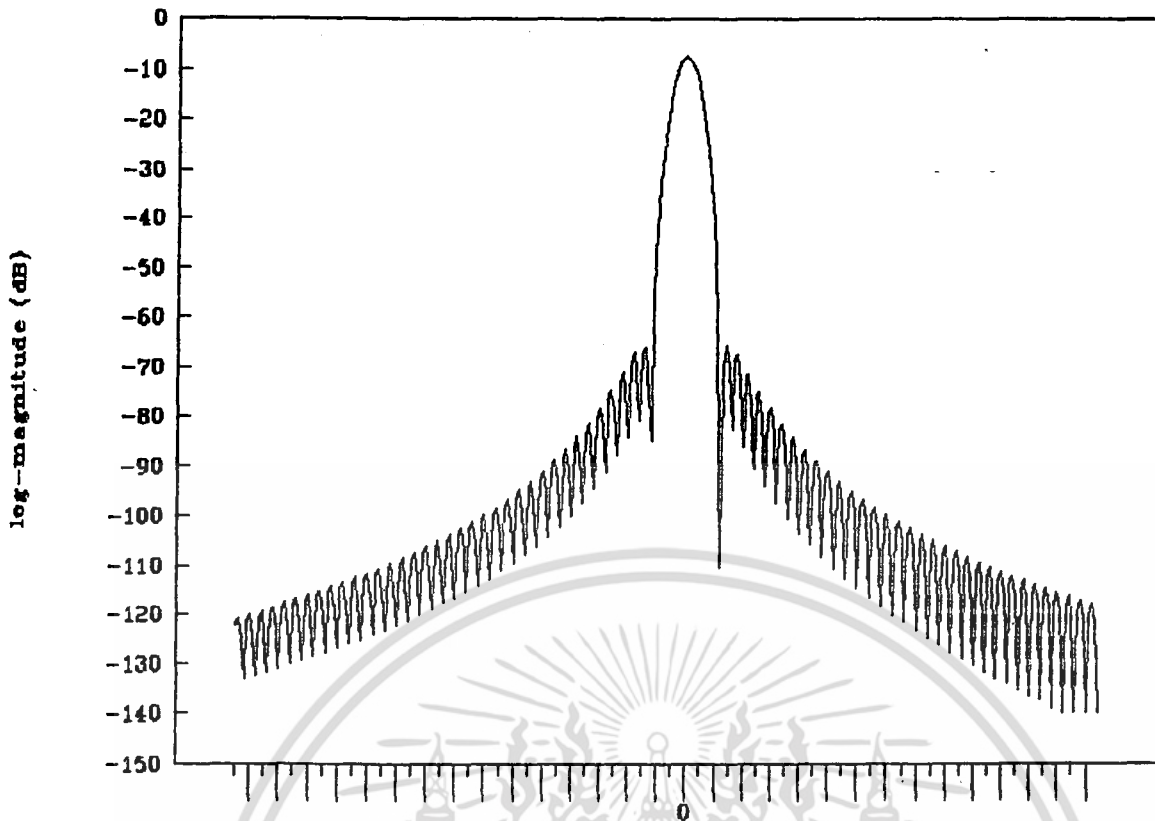
## Hamming window's frequency response



รูปที่ 6.10 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแฮมมิง

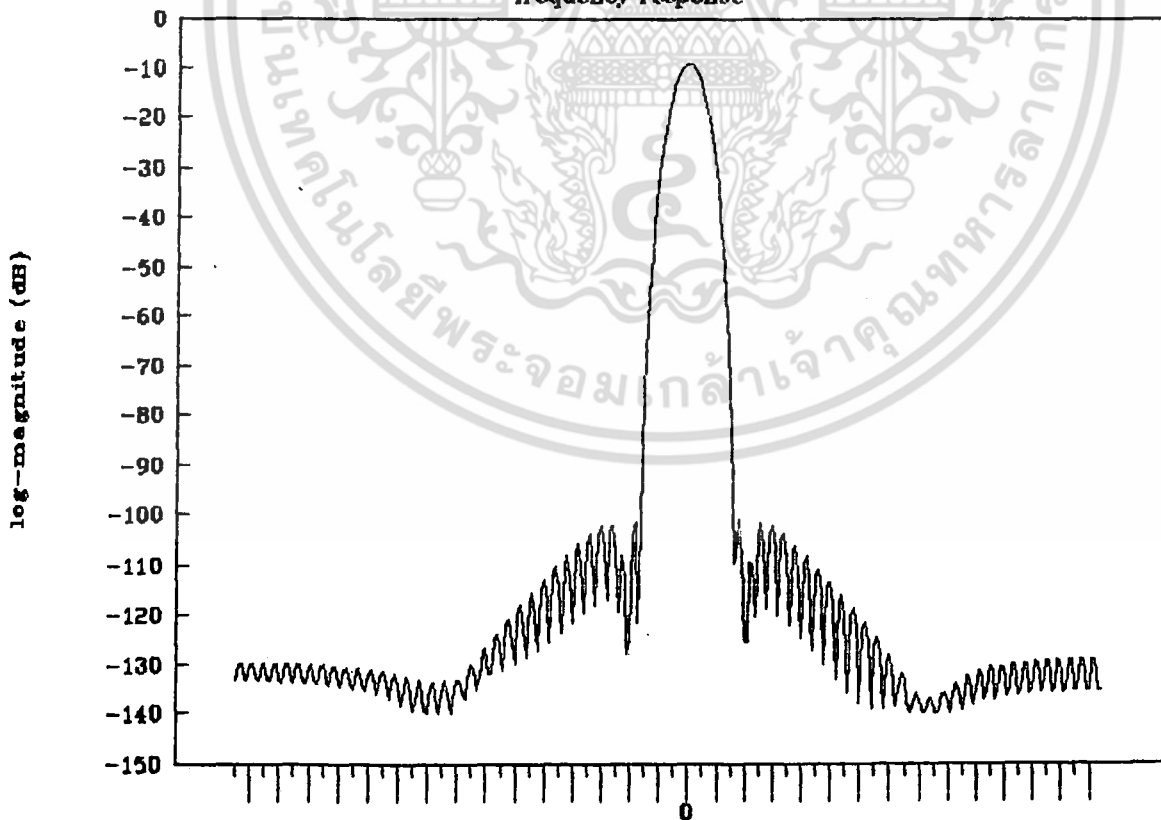
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Blackman window's frequency response



รูปที่ 6.11 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแบล็กแมน

## 4 term Blackman-Harris window's frequency response



รูปที่ 6.12 แสดงสเปกตรัมของฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะ เห็นได้ว่าคุณสมบัติของแต่ละฟังก์ชันหน้าต่าง มีคุณสมบัติใกล้เคียงกับผลวิจัยของต่างประเทศ ซึ่งได้กล่าวไว้แล้วในหัวข้อฟังก์ชันหน้าต่างของบทที่ 2

## 6.2 ชั้นตอนที่ 2

เริ่มดำเนินการทดสอบ ด้วยการสุ่มสัญญาณคลื่นไซน์ จากฟังก์ชันเจนเนอเรเตอร์ผ่านการ์ด A/D โดยจัดอุปกรณ์ดังรูปที่ 6.13 ใช้ซอฟต์แวร์ควบคุมการทำงานของฮาร์ดแวร์

ในขั้นตอนนี้ได้ทดสอบและวิเคราะห์ สัญญาณคลื่นไซน์ที่มีความถี่ต่างๆผ่านฟังก์ชันหน้าต่างแบบสี่เหลี่ยม โดยกำหนดอัตราการสุ่มสัญญาณเท่ากับ 10,000 ตัวอย่างต่อวินาที และใช้ความถี่ของสัญญาณอินพุตในการทดสอบเท่ากับ 1000, 2000, 4000, 5000, 6000 และ 8000 เฮิรตซ์ เพื่อสังเกตความถี่และความแม่นยำของเส้นสเปกตรัม และเพื่อศึกษาปรากฏการณ์เอเลียสซิงของสัญญาณ ซึ่งได้ผลการทดสอบดังกราฟรูปที่ 6.14 ถึง 6.19

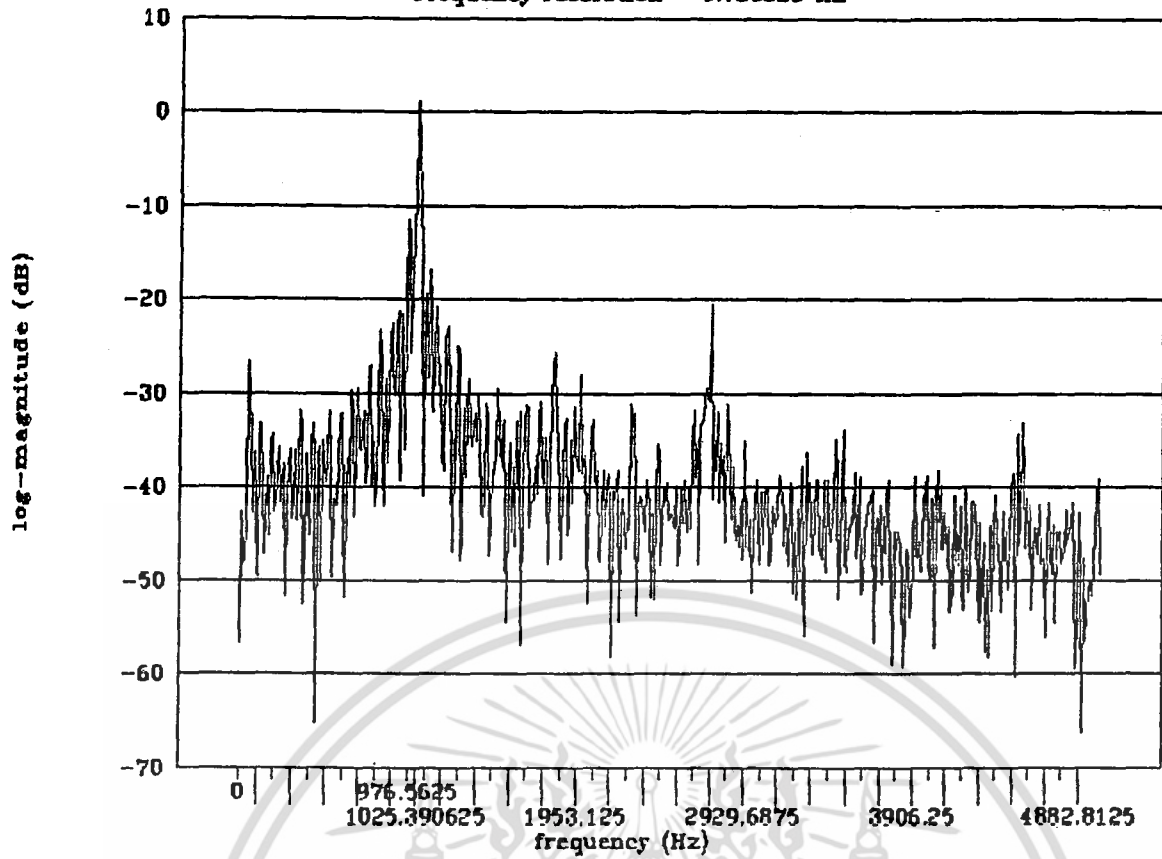


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้ งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 6.13 แสดงการจัดอุปกรณ์ทดสอบ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Spectral of 1 kHz with Rectangle window

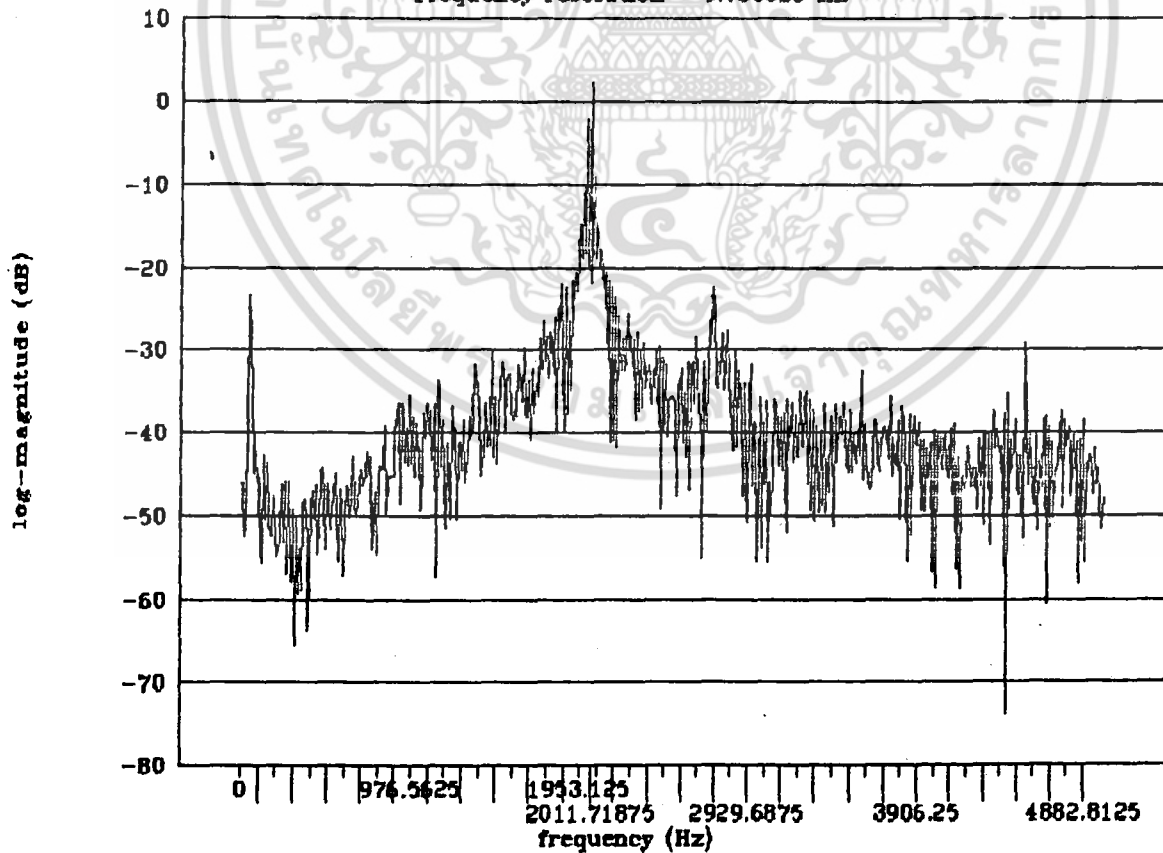
Frequency resolution = 9.765625 Hz



รูปที่ 6.14 แสดงสเปกตรัมของสัญญาณความถี่ 1 kHz

# Spectral of 2 kHz with Rectangle window

Frequency resolution = 9.765625 Hz



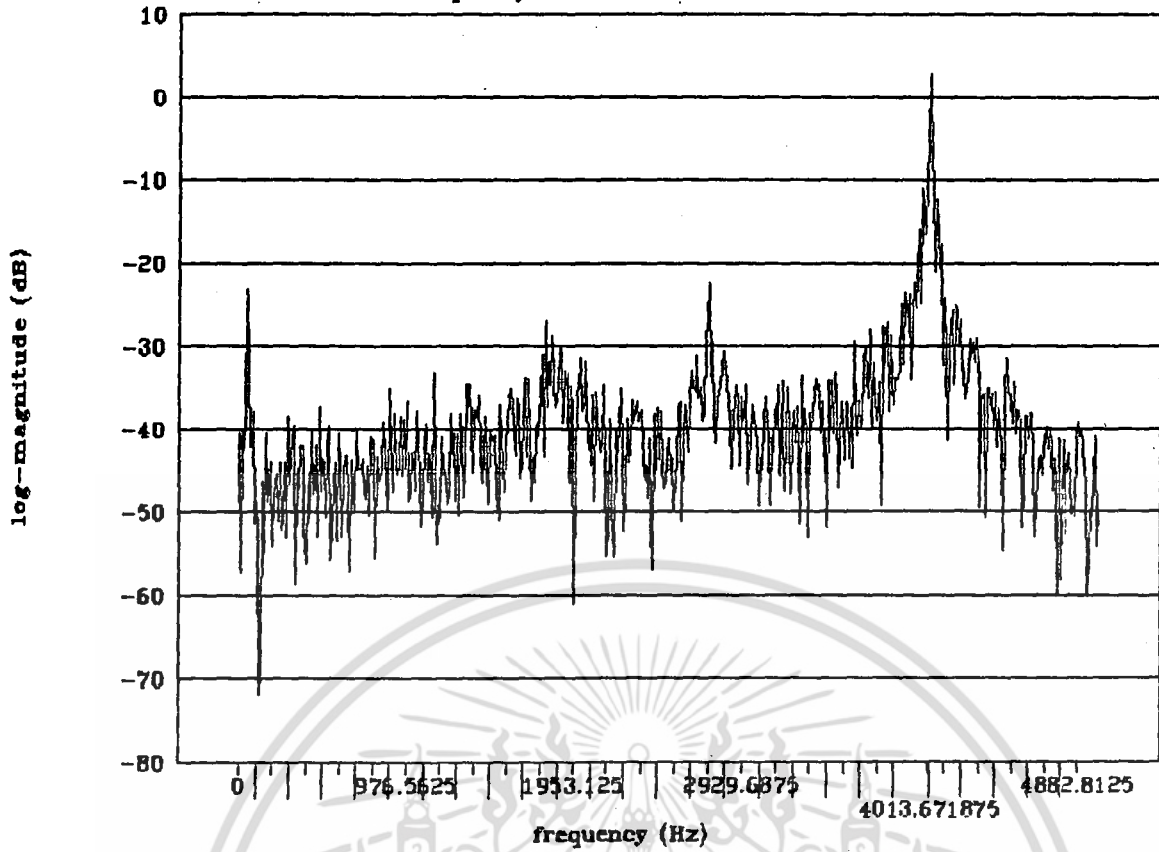
รูปที่ 6.15 แสดงสเปกตรัมของสัญญาณความถี่ 2 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Spectral of 4 kHz with Rectangle window

Frequency resolution = 9.765625 Hz

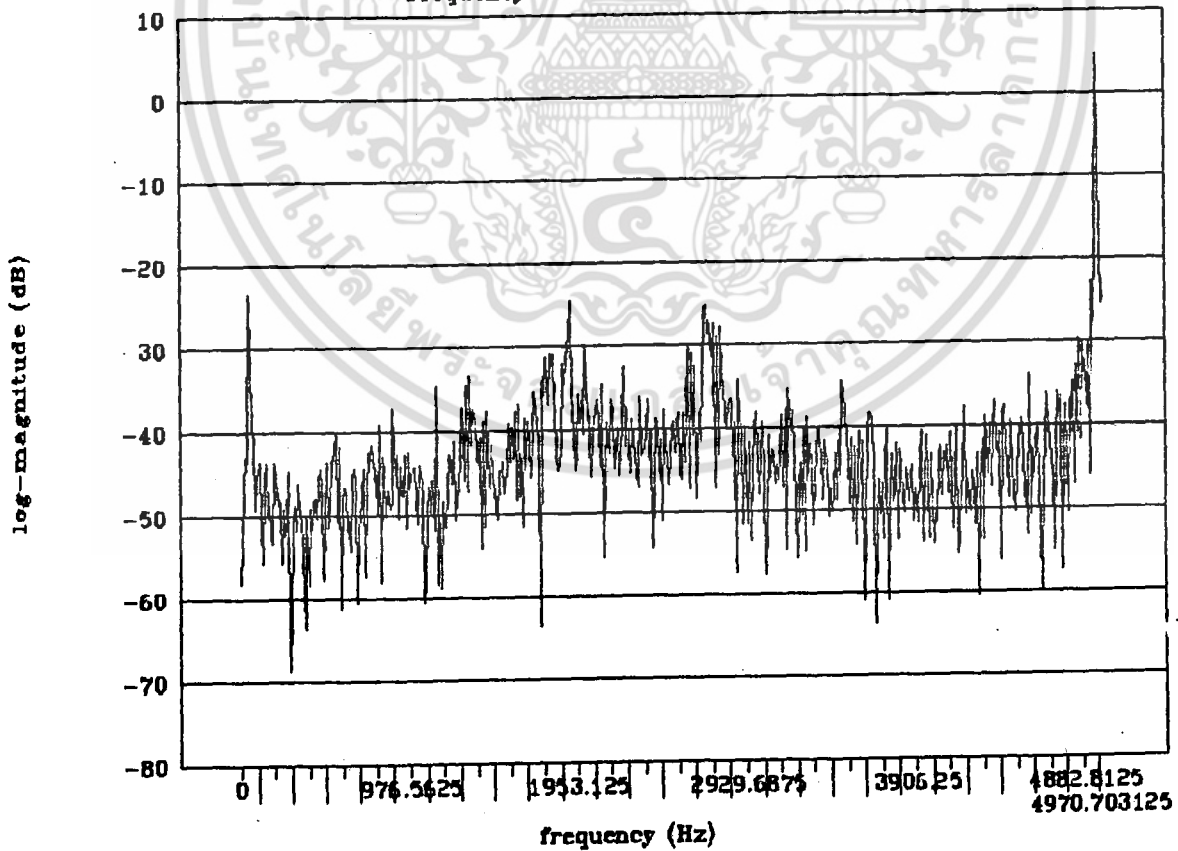
80



รูปที่ 6.16 แสดงสเปกตรัมของสัญญาณความถี่ 4 kHz

# Spectral of 5 kHz with Rectangle window

Frequency resolution = 9.765625 Hz

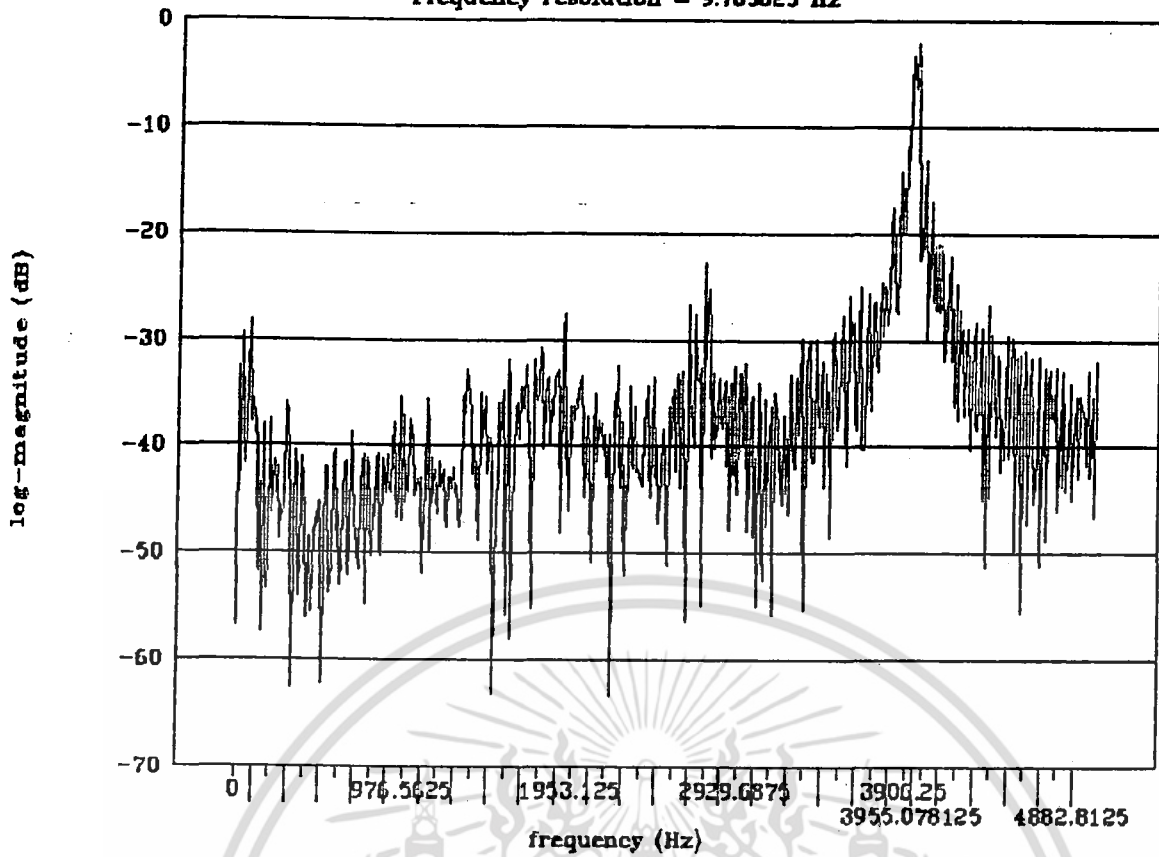


รูปที่ 6.17 แสดงสเปกตรัมของสัญญาณความถี่ 5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Spectral of 6 kHz with Rectangle window

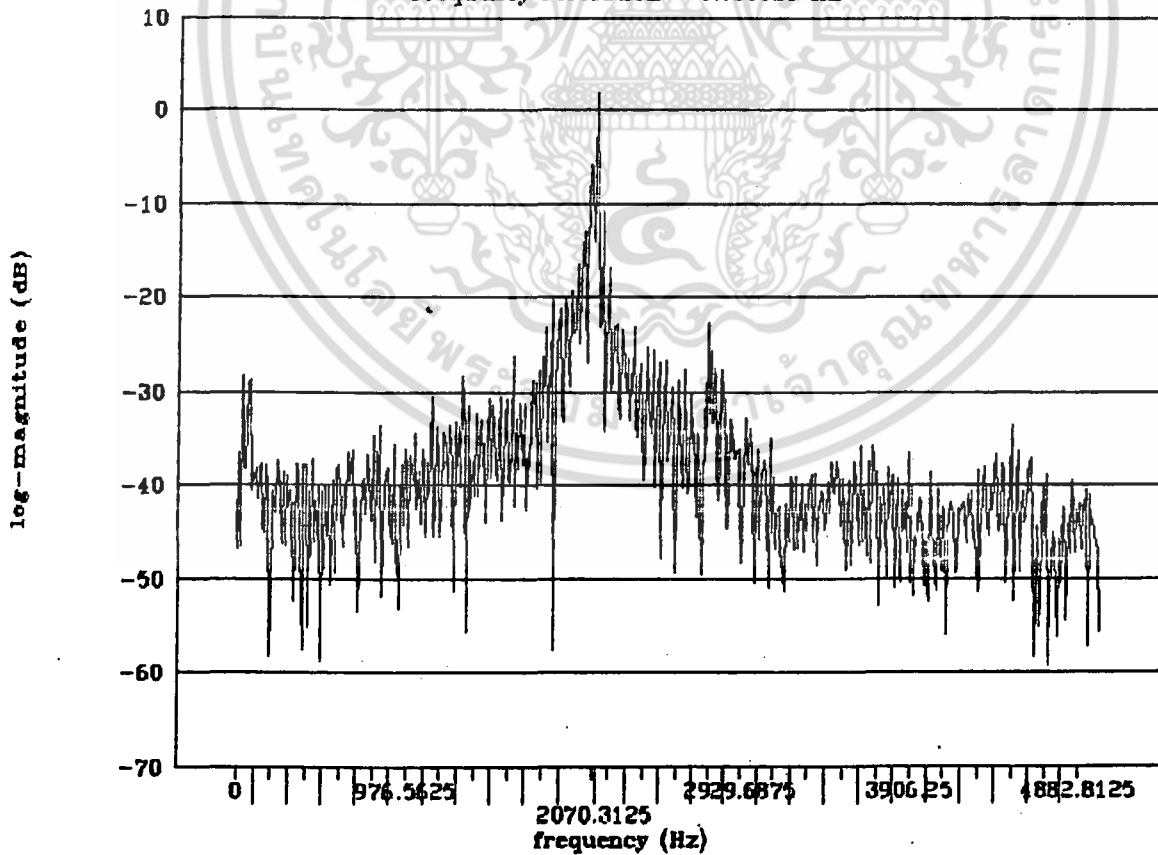
Frequency resolution = 9.765625 Hz



รูปที่ 6.18 แสดงสเปกตรัมของสัญญาณความถี่ 6 kHz

# Spectral of 8 kHz with Rectangle window

Frequency resolution = 9.765625 Hz



รูปที่ 6.19 แสดงสเปกตรัมของสัญญาณความถี่ 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

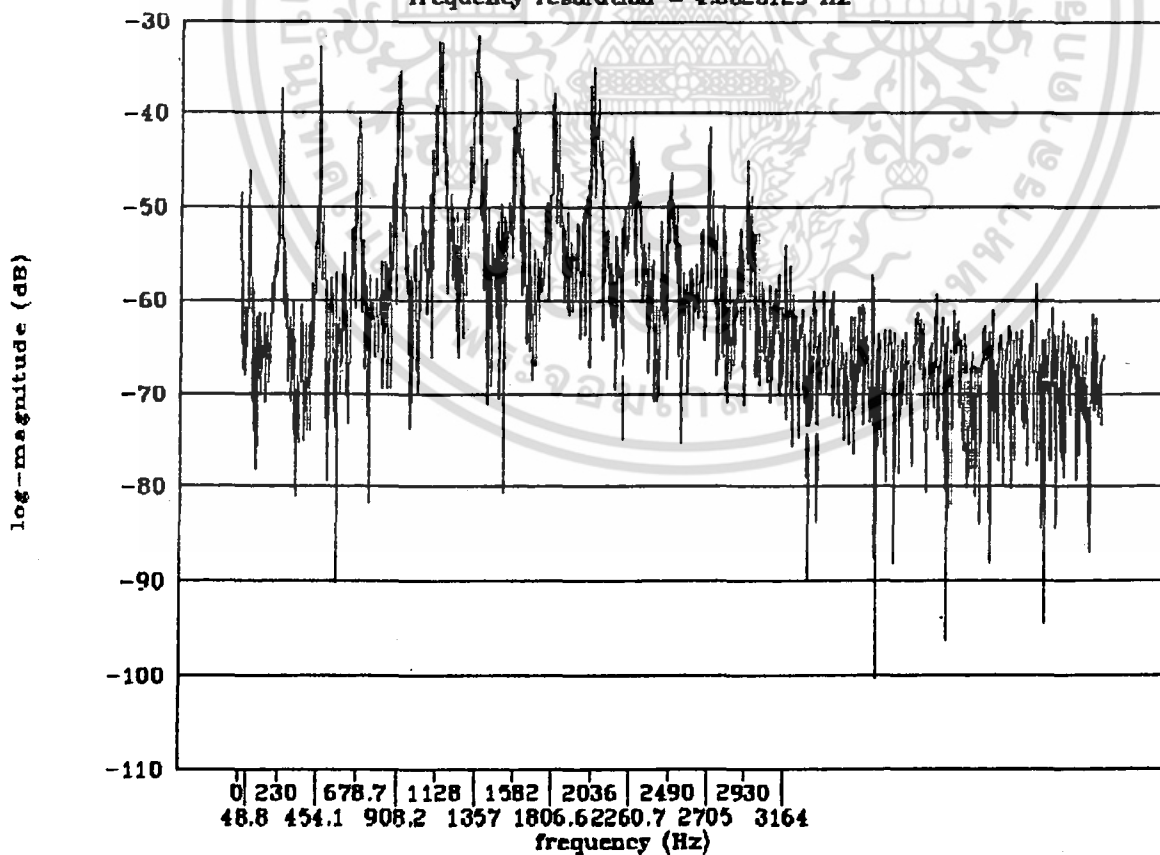
จากการทดสอบใช้อัตราการสุ่มสัญญาณเท่ากับ 10,000 ตัวอย่างต่อวินาที ดังนั้นจากทฤษฎีการสุ่มสัญญาณจะได้ว่าความถี่สูงสุดของระบบวิเคราะห์สเปกตรัม จะเท่ากับ 5 kHz ในการที่ที่สัญญาณอินพุตมีความถี่เกินครึ่งหนึ่งของอัตราการสุ่มสัญญาณจะทำให้เกิดปรากฏการณ์เอเลียสซิงขึ้นดังรูปที่ 6.18 และ 6.19 ซึ่งมีผลทำให้เกิดการวัดความถี่ของสัญญาณผิดพลาดได้

### 6.3 ขั้นตอนที่ 3

ในขั้นตอนนี้ได้ทดลองสุ่มสัญญาณเสียง "กา" โดยใช้ไมโครโฟนเป็นทรานสดิวเซอร์ต่อเชื่อมเข้ากับส่วนหน้าของวงจร signal conditioner ของการ์ด A/D แล้วสุ่มสัญญาณด้วยอัตราการสุ่มเท่ากับ 10,000 ตัวอย่างต่อวินาที แล้วส่งเกตุสเปกตรัมของสัญญาณเปรียบเทียบกับระหว่างฟังก์ชันหน้าต่างแบบสี่เหลี่ยมกับฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส ซึ่งได้ผลการทดสอบดังรูปที่ 6.20 และ 6.21

#### Spectral of Ka with Rectangle window

frequency resolution = 4.8828125 Hz

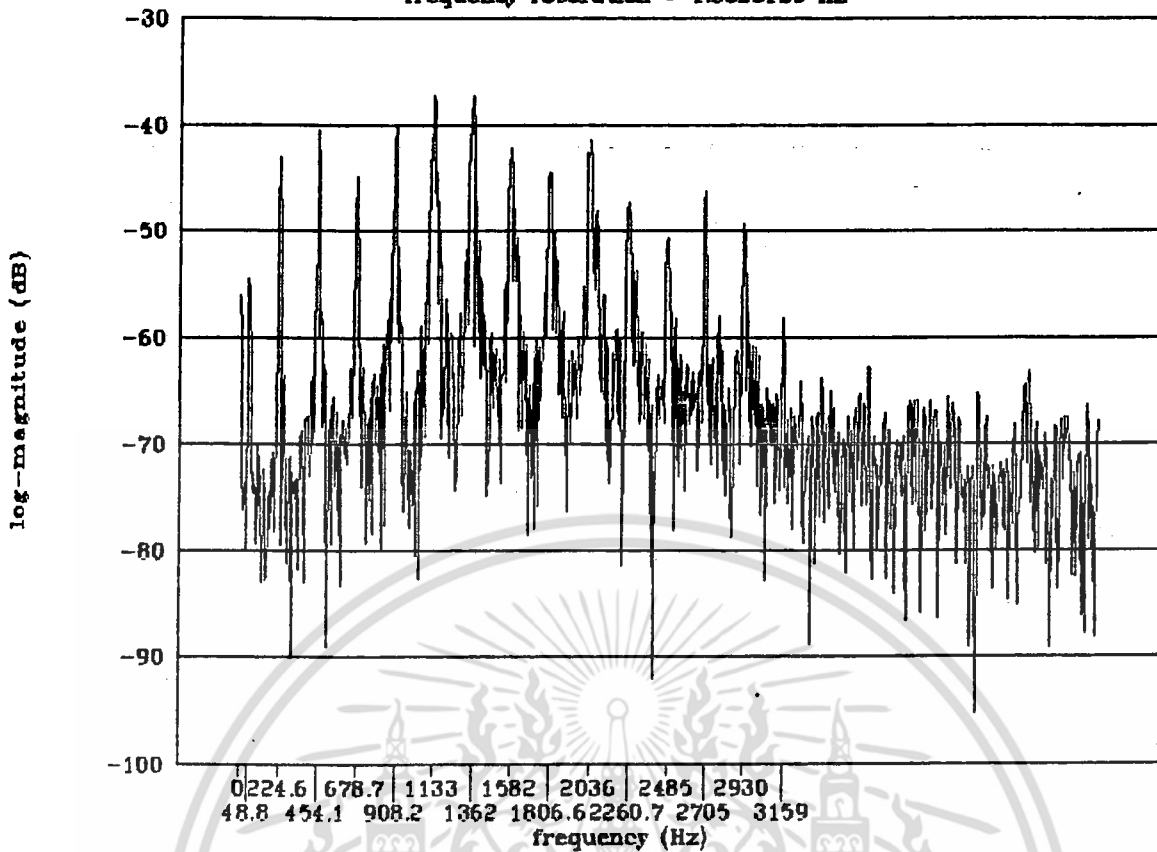


รูป 6.20 สเปกตรัมของสัญญาณเสียง "กา" ผ่านฟังก์ชันหน้าต่างแบบสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Spectral of Ka with Blackman-Harris

frequency resolution = 4.8828125 Hz



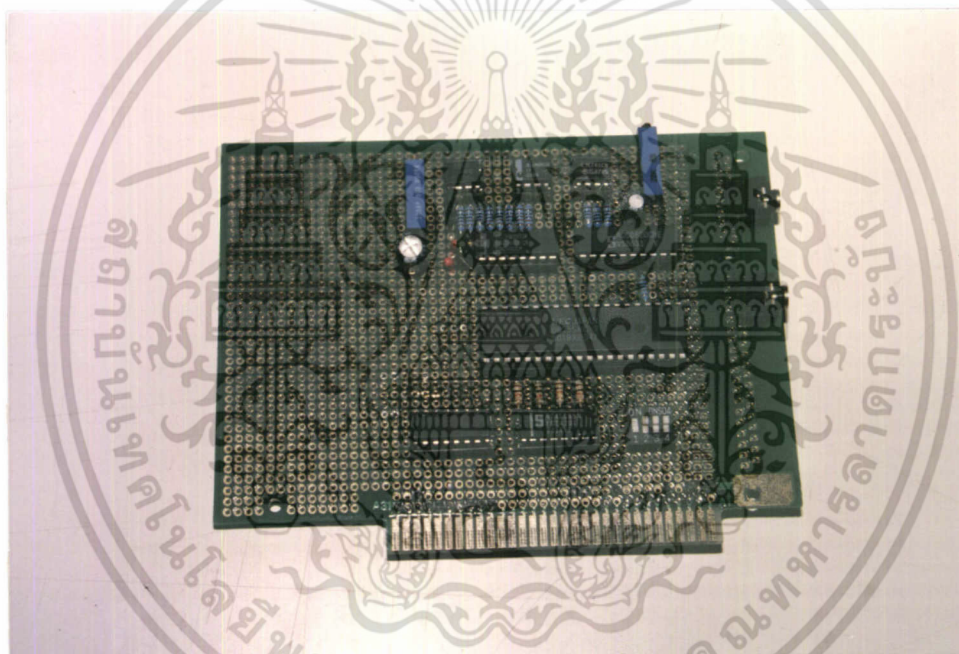
รูป 6.21 สเปกตรัมของสัญญาณเสียง "กา" ผ่านฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส

จากการเปรียบเทียบกราฟในรูป 6.20 และ 6.21 จะเห็นว่ากราฟในรูปหลัง จะมีสัญญาณรบกวนน้อยกว่าในรูปแรก และด้วยเหตุที่สเปกตรัมที่วัดได้ด้วยฟังก์ชันหน้าต่างแบบสี่เหลี่ยม แต่ละเส้นสเปกตรัมมีความห่างกันพอสมควรเมื่อทดลองใช้ฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริสแล้ว ทำให้แบ่งแยกเส้นสเปกตรัมได้ดีขึ้น ดังนั้นในการเลือกใช้ฟังก์ชันหน้าต่างแบบหลังจึงมีความเหมาะสมกว่า

## บทที่ 7

### บทสรุป

โครงการพิเศษนี้ได้ศึกษาถึงการวิเคราะห์สเปคตรัม โดยใช้เครื่องไมโครคอมพิวเตอร์ IBM PC ร่วมกับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล และโปรแกรมสำหรับวิเคราะห์สเปคตรัมที่จัดสร้างขึ้น แล้วแสดงผลและจัดการข้อมูลด้วยโปรแกรมสำเร็จรูป LOTUS 1-2-3 โดยวงจรที่จัดสร้างขึ้นได้แสดงดังรูปที่ 7.1



รูปที่ 7.1 การ์ดแปลงสัญญาณอนาล็อกเป็นดิจิทัล

คุณสมบัติของระบบที่จัดสร้างขึ้น มีดังนี้คือ

1. สามารถเลือกอัตราการสุ่มสัญญาณได้สูงสุด 30 Hz
2. ปรับค่าเกณฑ์ขยายสัญญาณอินพุตได้โดยสัญญาณที่ผ่านการขยายแล้วมีค่าอยู่

ในช่วง  $-2.5$  V ถึง  $+2.5$  V

3. สามารถตั้งค่าระดับสัญญาณอินพุตที่เริ่มเก็บข้อมูลได้ 256 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. สามารถแปลงข้อมูลให้อยู่ในรูปของสเป็คตรัมในด้านหน่วยเดซิเบล (dB)
5. สามารถแสดงรูปภาพของข้อมูลได้โดยใช้โปรแกรมสำเร็จรูป LOTUS

1-2-3

### ข้อเสนอแนะ

1. ควรเพิ่มส่วนควบคุมแกนขยายอัตราส่วนของฮาร์ดแวร์ เพื่อความสะดวกในการใช้งาน
2. ควรพัฒนาโปรแกรมให้มีการแสดงผลข้อมูลได้ดีขึ้น โดยไม่ต้องพึ่งโปรแกรมสำเร็จรูป LOTUS 1-2-3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรม SAMPLING

```

#include <stdio.h>
#include <stdlib.h>
#include <dos.h>
#include "disk.h"
#include "get.h"

#define PORTJA 0x300
#define PORTJB 0x301
#define PORTJC 0x302
#define CTRLPORT 0x303
#define CTRLWORD 0x82
#define ON 0xFF
#define OFF 0x00
#define END 26

void main()
{
    register unsigned i,j;
    unsigned char a, *buff;
    int point, delaytime, trigger;
    float *signal;
    FILE *fp;

    outportb(CTRLPORT,CTRLWORD);
    outportb(PORTJC,ON);

    point = getJnum("number of samples",2,10000);
    delaytime = getJnum("delay loop",0,1000);
    trigger = getJnum("level trigger",0,255);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if((buff=(char *)malloc(point)) != NULL) {
    printf("\nHit any key for sampling\n");
    getch();
    do {
        outportb(PORTJC,OFF);
        outportb(PORTJC,ON);
        *buff = inportb(PORTJB);

    } while (*buff < trigger);

    for(i=0;i<point;i++) {
        outportb(PORTJC,OFF);
        outportb(PORTJC,ON);
        *(buff+i) = inportb(PORTJB);
        for(j=0;j<delayJtime;j++);
    }
}

else {
    printf("Error: can't allocate memory");
    exit(1);
}

if((signal = (float*)calloc(point,sizeof(float))) != 'NULL') {
    for(i = 0;i < point ;i++)
        *(signal+i) = (*(buff+i)/256.0*5.0)-2.5;
}

else printf("\nError: cannot allocate memory for 'signal'\n"

/* open file .PRN for LOTUS 123 */
fp = fopen(getJstring("file name [.PRN]"),"w");

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
if(!fp) {  
    printf("\nError: cannot open file\n");  
    exit(1);  
}
```

```
for(i=0;i<point;i++)  
    fprintf(fp,"%d,%f\n",i,*(signal+i));
```

```
fputc(END,fp);  
fclose(fp);
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมย่อย FFT

```

#include <math.h>
#include <stdlib.h>
#include <stdio.h>
#include "dft.h"

void fft(x,m)
    COMPLEX *x;
    int m;
{
    static COMPLEX *w;
    static int mstore = 0;
    static int n = 1;
    COMPLEX u,temp,tm;
    COMPLEX *xi,*xip,*xj,*wptr;
    int i,j,k,l,le,windex;
    double arg,wlreal,wlimag,wrecurlreal,wrecurlimag,wtempreal;

    if(m != mstore) {
        if(mstore != 0) free(w);
        mstore = m;
        if(m == 0) return;

/* n = 2**m = fft length */
        n = 1 << m;
        le = n/2;
        w = (COMPLEX *) calloc(le-1,sizeof(COMPLEX));
        if(!w) {
            printf("\nUnable to allocate complex W array\n");
            exit(1);
        }

        arg = PI/le;          /* PI/le calculation */

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

wrecurlreal = wlreal = cos(arg);
wrecurlimag = wlimag = -sin(arg);
xj = w;
for (j = 1 ; j < le ; j++) {
    xj->real = (float)wrecurlreal;
    xj->imag = (float)wrecurlimag;
    xj++;
    wtempreal = wrecurlreal*wlreal - wrecurlimag*wlimag
    wrecurlimag = wrecurlreal*wlimag + wrecurlimag*wlrea
    wrecurlreal = wtempreal;
}
)
)

/* start fft */
le = n;
windex = 1;
for (l = 0 ; l < m ; l++) {
    le /= 2;
    for(i = 0 ; i < n ; i = i + 2*le) {
        xi = x + i;
        xip = xi + le;
        temp.real = xi->real + xip->real;
        temp.imag = xi->imag + xip->imag;
        xip->real = xi->real - xip->real;
        xip->imag = xi->imag - xip->imag;
        *xi = temp;
    }
    wptr = w + windex - 1;
    for (j = 1 ; j < le ; j++) {
        u = *wptr;
        for (i = j ; i < n ; i = i + 2*le) {
            xi = x + i;
            xip = xi + le;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

temp.real = xi->real + xip->real;
temp.imag = xi->imag + xip->imag;
tm.real = xi->real - xip->real;
tm.imag = xi->imag - xip->imag;
xip->real = tm.real*u.real - tm.imag*u.imag;
xip->imag = tm.real*u.imag + tm.imag*u.real;
*xi = temp;
    }
    wptr += windex;
}
windex *= 2;
)
/* rearrange data by bit reversing */
j = 0;
for (i = 1 ; i < (n-1) ; i++) {
    k = n/2;
    while(k <= j) {
        j -= k;
        k /= 2;
    }
    j += k;
    if (i < j) {
        xi = x + i;
        xj = x + j;
        temp = *xj;
        *xj = *xi;
        *xi = temp;
    }
}
)
)
)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมย่อยใน WINDOW

```
/* โปรแกรมฟังก์ชันหน้าต่างแบบแฮมมิง */
```

```
void Ham(x, n)
```

```
    COMPLEX    *x;
```

```
    int        n;
```

```
{
```

```
    int        i;
```

```
    double ham, factor;
```

```
    factor = 2*PI/(n-1);
```

```
    for (i = 0 ; i < n ; i++){
```

```
        ham = 0.54 - 0.46*cos(factor*i);
```

```
        x->real *= ham;
```

```
        x->imag *= ham;
```

```
        x++;
```

```
    }
```

```
}
```

```
/* โปรแกรมฟังก์ชันหน้าต่างแบบฮานนิง */
```

```
void Han(x, n)
```

```
    COMPLEX    *x;
```

```
    int        n;
```

```
{
```

```
    int        i;
```

```
    double factor, han;
```

```
    factor = 2*PI/(n-1);
```

```
    for (i = 0 ; i < n ; i++){
```

```
        han = 0.5 - 0.5*cos(factor*i);
```

```
        x->real *= han;
```

```
        x->imag *= han;
```

```
        x++;
```

```
    }
```

```
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

/* โปรแกรมฟังก์ชันหน้าตาต่างแบบสามเหลี่ยม */
void triang(x, n)
    COMPLEX *x;
    int n;
    int i;
    double tri,a;

    a = 2.0/(n-1);
    for (i = 0 ; i <= (n-1)/2 ; i++) {
        tri = i*a;
        x->real *= tri;
        x->imag *= tri;
        x++;
    }
    for ( ; i < n ; i++) {
        tri = 2.0 - i*a;
        x->real *= tri;
        x->imag *= tri;
        x++;
    }
}

/* โปรแกรมฟังก์ชันหน้าตาต่างแบบแบล็กแมน */
void Black(x, n)
    COMPLEX *x;
    int n;
{
    int i;
    double black,factor;
    factor = 2*PI/(n-1);
    for (i=0; i<n; ++i){
        black = 0.42 - 0.5*cos(factor*i) + 0.08*cos(2*factor*i);
        x->real += black;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    x->imag += black;
    x++;
}
)

/* โปรแกรมฟังก์ชันหน้าต่างแบบแบล็กแมน-ฮาร์ริส */
void Har(x, n)
    COMPLEX *x;
    int n;
{
    int i;
    double harris, factor, arg;
    factor = 2*PI/n;
    for (i=0; i<n; ++i){
        arg = factor * i;
        harris = 0.35875 - 0.48829*cos(arg) + 0.14128*cos(2*arg)
                - 0.01168*cos(3*arg);
        x->real *= harris;
        x->imag *= harris;
        x++;
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5485/7485 4-Bit Magnitude Comparator

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	
T.I.	SN54LS85	J	U	W					SN54LS85	J	U	W					SN54LS85	J	U	W	
FAIRCHILD	SN74LS85	J	U	W					SN74LS85	J	U	W					SN74LS85	J	U	W	
MOTOROLA																					
N.S.C.									DM54LS85	J	U	W					DM54LS85	J	U	W	
PHILIPS	N74585								N74LS85	J	U	W					N74LS85	J	U	W	
SIGNETICS	N74585	A							N74LS85	A							N74LS85	A			
SIEMENS																	FLH83				
FUJITSU									74LS85	M							MP448				
HITACHI									HD74LS85	P							HD7485				
MTSUBISHI	M74LS85	P							M74LS85	P							M53285				
NEC																	μPB2085				
TOSHBA																					

### Electrical Characteristics SN54LS85/SN74LS85

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS85	-55°C to 125°C
Input voltage	7V	SN74LS85	0°C to 70°C	
Interconnect voltage (see text)	5.5V	Storage temperature range		-65°C to 150°C

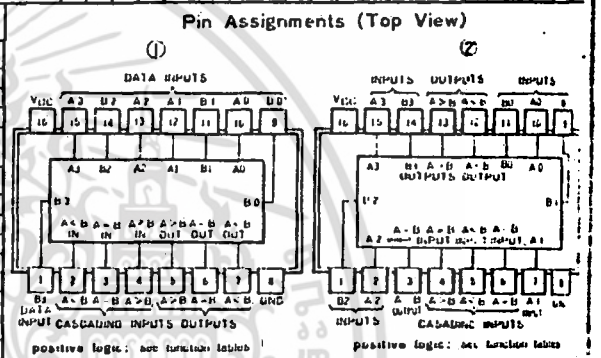
recommended operating conditions

	SN54LS85			SN74LS85			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.5	5	5.25	V
High-level input current, I <sub>ih</sub>			400			400	μA
Low-level input current, I <sub>il</sub>			4			8	mA
Operating free temperature, T <sub>a</sub>	0		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>oh</sub> High-level output voltage	V <sub>CC</sub> MIN, I <sub>oh</sub> = 18 mA	2			V
V <sub>ol</sub> Low-level output voltage	V <sub>CC</sub> MIN, I <sub>oh</sub> = 400 μA	0.8			V
V <sub>oh</sub> High-level output voltage	V <sub>CC</sub> MIN, V <sub>ih</sub> = 2V, I <sub>oh</sub> = 400 μA	2.7	3.4		V
V <sub>ol</sub> Low-level output voltage	V <sub>CC</sub> MIN, V <sub>ih</sub> = 2V, I <sub>oh</sub> = 4 mA	0.25	0.4		V
I <sub>ih</sub> High-level input current	V <sub>CC</sub> - MAX, V <sub>i</sub> = 7V, all other inputs		0.1		mA
I <sub>ih</sub> High-level input current	V <sub>CC</sub> - MAX, V <sub>i</sub> = 2.7V, all other inputs		20		μA
I <sub>il</sub> Low-level input current	V <sub>CC</sub> - MAX, V <sub>i</sub> = 0.4V, all other inputs		-0.4		mA
I <sub>oh</sub> Short-circuit output current	V <sub>CC</sub> - MAX, V <sub>o</sub> = 0	SN54LS85	20	-100	mA
I <sub>oh</sub> Short-circuit output current	V <sub>CC</sub> - MAX, V <sub>o</sub> = 0	SN74LS85	20	-100	mA
I <sub>cc</sub> Supply current	V <sub>CC</sub> - MAX, see text		10.4	20	mA
I <sub>PLH</sub> Propagation delay time from Any A or B data input to output A (t <sub>PLH</sub> )	1		14		ns
	2		19		ns
	3		24	36	ns
	4		27	45	ns
I <sub>PHL</sub> Propagation delay time from Any A or B data input to output A (t <sub>PHL</sub> )	1		11		ns
	2		15		ns
	3		20	30	ns
	4		23	45	ns
I <sub>PLH</sub> Propagation delay time from A (t <sub>PLH</sub> )	1		14	27	ns
	2		11	17	ns
	3		13	20	ns
	4		13	26	ns
I <sub>PHL</sub> Propagation delay time from A (t <sub>PHL</sub> )	1		14	27	ns
	2		11	17	ns
	3		13	20	ns
	4		13	26	ns

NOTE: I<sub>cc</sub> is measured with outputs open, A-B grounded, and all other inputs at 4.5V.



### Function Table

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS			
A <sub>3</sub> B <sub>3</sub>	A <sub>2</sub> B <sub>2</sub>	A <sub>1</sub> B <sub>1</sub>	A <sub>0</sub> B <sub>0</sub>	A>B	A<B	A=B	A>B	A<B	A=B	
A <sub>3</sub> >B <sub>3</sub>	X	X	X	X	X	X	H	L	L	
A <sub>3</sub> <B <sub>3</sub>	X	X	X	X	X	X	L	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> >B <sub>2</sub>	X	X	X	X	X	H	L	L	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> <B <sub>2</sub>	X	X	X	X	X	L	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> >B <sub>1</sub>	X	X	X	X	H	L	L	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> <B <sub>1</sub>	X	X	X	X	L	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> >B <sub>0</sub>	X	X	X	H	L	L	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	L	L	H	L	L	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	H	H	L	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	X	X	H	L	L	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	L	L	L	L	L	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	H	H	H	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	H	H	H	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	H	L	H	H	H	
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	L	L	L	L	L	

1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 2 All typical values are at V<sub>CC</sub> = 5V, T<sub>a</sub> = 25°C.  
 3 Not more than one output should be shorted at a time.  
 4 I<sub>PLH</sub> = propagation delay time from low-to-high-level output.  
 5 I<sub>PHL</sub> = propagation delay time from high-to-low-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
T.I.	SN54S138	JQ							SN54LS138	JQ										
FAIRCHILD	SN74S138	JH	NU						SN74LS138	JH	NU									
MOTOROLA	74S138	DQ							74ALS138	DQ										
N.S.C.	DM74S138	DQ							DM74LS138	DQ										
PHILIPS	74M74S138	DQ							74M74LS138	DQ										
SIGNETICS	SN74S138	JQ	NU	WJ					SN74LS138	JQ	NU	WJ								
SIEMENS																				
FUJITSU									74LS138	MQ										
HITACHI									HD74LS138	PQ										
MTSUBISHI	M74S138	PQ							HD74LS138	PQ										
NEC									74LS138	LQ										
TOSHIBA																				

T.I.
FAIRCHILD
MOTOROLA
N.S.C.
PHILIPS
SIGNETICS
SIEMENS
FUJITSU
HITACHI
MTSUBISHI
NEC
AMD

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS138	-55°C to 125°C
Input voltage	7V		SN74LS138	0°C to 70°C
		Storage temperature range		-55°C to 150°C

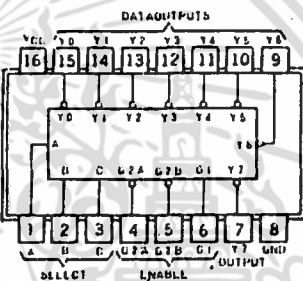
recommended operating conditions

	SN54LS138		SN74LS138		UNIT
	MIN	NOM	MAX	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	5.25	V
High-level output current, I <sub>OH</sub>			400	400	mA
Low-level output current, I <sub>OL</sub>			4	8	mA
Operating free-air temperature, T <sub>A</sub>	-55	175	0	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
V <sub>OH</sub>	High-level output voltage		?		V	
V <sub>OL</sub>	Low-level output voltage			0.8	V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> - MIN	I <sub>I</sub> = 10mA	1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> - MIN, V <sub>I</sub> = 2V, I <sub>OH</sub> = 0.5V (OH), 400-μA (SN54LS138)	2.5	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> - MAX, V <sub>I</sub> = 2V, V <sub>OL</sub> = 0.8V, I <sub>OL</sub> = 8mA	0.35	0.5	V	
I <sub>I</sub>	Input current at maximum output voltage	V <sub>CC</sub> - MAX, V <sub>I</sub> = 7V		0.1	mA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> - MAX, V <sub>I</sub> = 2.7V		25	μA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> - MAX, V <sub>I</sub> = 0.4V		0.4	mA	
I <sub>OL</sub>	Short-circuit output current	V <sub>CC</sub> - MAX	70	160	mA	
I <sub>CC</sub>	Supply current	V <sub>CC</sub> - MAX, Outputs enabled and open	6.3	16	mA	
t <sub>PLH</sub>	From Binary output to Any output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15pF, H <sub>I</sub> = 2pF	2	12	26	ns
t <sub>PLL</sub>			3	18	27	ns
t <sub>PHL</sub>			2	26	38	ns
t <sub>PHL</sub>	From Enable to Any output	H <sub>I</sub> = 2pF	2	12	18	ns
t <sub>PHL</sub>			3	17	26	ns

Pin Assignment (Top View)



positive logic:  
see function table

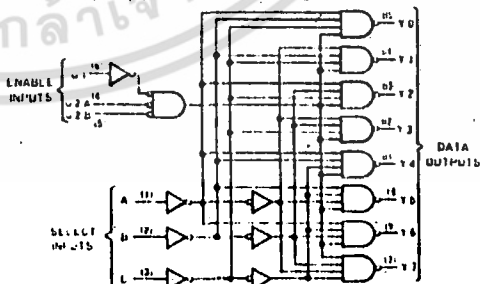
Function Table

\*S138\*LS138

ENABLE	INPUTS			OUTPUTS							
	G <sub>1</sub>	G <sub>2</sub>	SELECT	Y <sub>0</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>	Y <sub>4</sub>	Y <sub>5</sub>	Y <sub>6</sub>	Y <sub>7</sub>
X	H	X	X	X	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H
H	L	L	H	L	H	L	H	H	H	H	H
H	L	L	H	H	L	H	L	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	L	H	H
H	L	H	H	H	L	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	L

\*G<sub>2</sub> = G<sub>2A</sub> + G<sub>2B</sub>  
H = high level, L = low level, X = irrelevant

Functional Block Diagram



\*S138\*LS138 DECODER / DEMULTIPLEXER

If conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Not more than one output should be started at a time and duration of the short-circuit test should not exceed one second.

t<sub>PH</sub> = propagation delay time, low-to-high-level output.

t<sub>PL</sub> = propagation delay time, high-to-low-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ADC0820

## ADC0820 8-Bit High Speed $\mu$ P Compatible A/D Converter with Track/Hold Function

### General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5  $\mu$ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ $\mu$ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

### Key Specifications

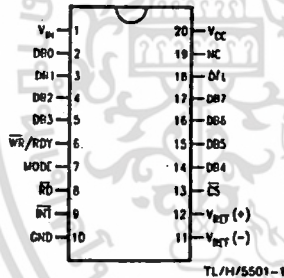
- Resolution 8 Bits
- Conversion Time 2.5  $\mu$ s Max (RD Mode)  
1.5  $\mu$ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ $\mu$ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error  $\pm \frac{1}{2}$  LSB and  $\pm 1$  LSB

### Features

- Built-in track-and-hold function
- No missing codes\*
- No external clocking
- Single supply—5 V<sub>DC</sub>
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T<sup>2</sup>L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V<sub>CC</sub>
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package

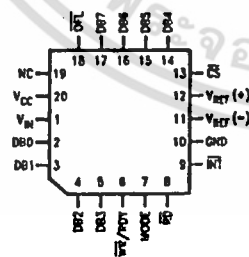
### Connection and Functional Diagrams

#### Dual-In-Line and Small Outline Packages



Top View

#### Molded Chip Carrier Package



TL/H/5501-33

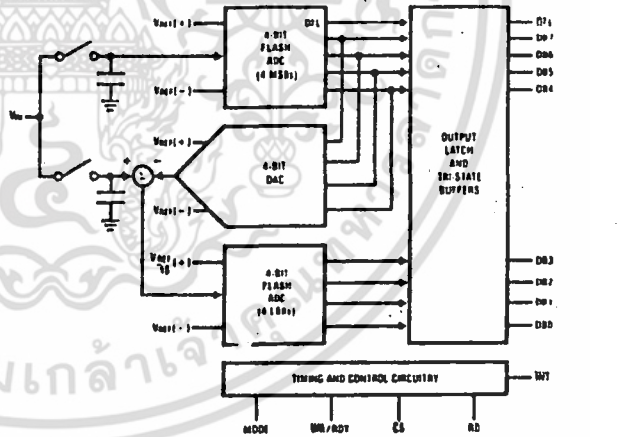


FIGURE 1

TL/H/5501-2

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ )	10V
Logic Control Inputs	-0.2V to $V_{CC} + 0.2V$
Voltage at Other Inputs and Output	-0.2V to $V_{CC} + 0.2V$
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ C$	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V

Lead Temp. (Soldering, 10 sec.)	260°C
Dual-In-Line Package (plastic)	300°C
Dual-In-Line Package (ceramic)	
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

### Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0820BD, ADC0820CJ	-55°C $\leq T_A \leq$ +125°C
ADC0820BCD, ADC0820CCJ	-40°C $\leq T_A \leq$ +85°C
ADC0820BCN, ADC0820CCN	0°C $\leq T_A \leq$ 70°C
ADC0820BCV, ADC0820CCV	0°C $\leq T_A \leq$ 70°C
ADC0820BCWM, ADC0820CCWM	0°C $\leq T_A \leq$ 70°C
$V_{CC}$ Range	4.5V to 8V

### Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0),  $V_{CC} = 5V$ ,  $V_{REF(+)} = 5V$ , and  $V_{REF(-)} = GND$  unless otherwise specified. Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ C$ .

Parameter	Conditions	ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8		8	8	Bits	
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		$\pm 1/2$ $\pm 1$		$\pm 1/2$ $\pm 1$	$\pm 1/2$ $\pm 1$	LSB LSB LSB	
Minimum Reference Resistance		2.3	1.00		2.3	1.2	k $\Omega$	
Maximum Reference Resistance		2.3	6		2.3	5.3	k $\Omega$	
Maximum $V_{REF(+)}$ Input Voltage			$V_{CC}$		$V_{CC}$	$V_{CC}$	V	
Minimum $V_{REF(-)}$ Input Voltage			GND		GND	GND	V	
Minimum $V_{REF(+)}$ Input Voltage			$V_{REF(-)}$		$V_{REF(-)}$	$V_{REF(-)}$	V	
Maximum $V_{REF(-)}$ Input Voltage			$V_{REF(+)}$		$V_{REF(+)}$	$V_{REF(+)}$	V	
Maximum $V_{IN}$ Input Voltage			$V_{CC} + 0.1$		$V_{CC} + 0.1$	$V_{CC} + 0.1$	V	
Minimum $V_{IN}$ Input Voltage			GND - 0.1		GND - 0.1	GND - 0.1	V	
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$		3 -3		0.3 -0.3	3 -3	$\mu A$ $\mu A$	
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	$\pm 1/16$	$\pm 1/4$		$\pm 1/16$	$\pm 1/4$	LSB	

DC Bolt  
Pa  
VOUT(1) Input V  
VOUT(0) Input V  
VOUT(1) Input C  
VOUT(0) Input C  
VOUT(1) Output V  
VOUT(0) Output V  
OUT, TR Output C  
SOURCE Source C  
I<sub>IN</sub>, I<sub>OUT</sub> Current  
I<sub>CC</sub>, SUPP  
AC I  
V<sub>REF(-)</sub>  
I<sub>CRD</sub>, C  
I<sub>CCO</sub>, A Falling E  
I<sub>CR</sub>, WR-RD  
I<sub>WR</sub>, Wri  
I<sub>RD</sub>, ROE  
I<sub>CC1</sub>, A Falling E  
I<sub>CC2</sub>, A Falling E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ , unless otherwise specified. Boldface limits apply from  $T_{MIN}$  to  $T_{MAX}$ ; all other limits  $T_A = T_J = 25^\circ C$ .

Parameter	Conditions		ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units	
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)		
$V_{IN(1)}$ , Logical "1" Input Voltage	$V_{CC} = 5.25V$	CS, WR, RD		2.0			2.0	2.0	V	
		Mode		3.5			3.5	3.5	V	
$V_{IN(0)}$ , Logical "0" Input Voltage	$V_{CC} = 4.75V$	CS, WR, RD		0.8			0.8	0.8	V	
		Mode		1.5			1.5	1.5	V	
$I_{IN(1)}$ , Logical "1" Input Current	$V_{IN(1)} = 5V$ ; CS, RD $V_{IN(1)} = 5V$ ; WR $V_{IN(1)} = 5V$ ; Mode		0.005	1		0.005	0.1	0.3	1	$\mu A$
				0.1	3				3	$\mu A$
				50	200		50	170	200	$\mu A$
$I_{IN(0)}$ , Logical "0" Input Current	$V_{IN(0)} = 0V$ ; CS, RD, WR, Mode		-0.005	-1		-0.005			-1	$\mu A$
$V_{OUT(1)}$ , Logical "1" Output Voltage	$V_{CC} = 4.75V$ , $I_{OUT} = -360 \mu A$ ; DB0-DB7, OFL, INT $V_{CC} = 4.75V$ , $I_{OUT} = -10 \mu A$ ; DB0-DB7, OFL, INT			2.4			2.8	2.4	V	
				4.5			4.6	4.5	V	
$V_{OUT(0)}$ , Logical "0" Output Voltage	$V_{CC} = 4.75V$ , $I_{OUT} = 1.6 mA$ ; DB0-DB7, OFL, INT, RDY			0.4			0.34	0.4	V	
$I_{OUT}$ , TRI-STATE Output Current	$V_{OUT} = 5V$ ; DB0-DB7, RDY $V_{OUT} = 0V$ ; DB0-DB7, RDY		0.1	3		0.1	0.3	3	$\mu A$	
			-0.1	-3		-0.1	-0.3	-3	$\mu A$	
$I_{SOURCE}$ , Output Source Current	$V_{OUT} = 0V$ ; DB0-DB7, OFL, INT		-12	-6		-12	-7.2	-6	mA	
			-9	-4.0		-9	-5.3	-4.0	mA	
$I_{SINK}$ , Output Sink Current	$V_{OUT} = 5V$ ; DB0-DB7, OFL, INT, RDY		14	7		14	8.4	7	mA	
$I_{CC}$ , Supply Current	CS = WR = RD = 0		7.5	15		7.5	13	15	mA	

**AC Electrical Characteristics** The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20 ns$ ,  $V_{REF(+)} = 5V$ ,  $V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
$t_{CONV}$ , Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.6		2.5	$\mu s$
$t_{ACCESS}$ , Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = 0, (Figure 2)	$t_{CONV} + 20$		$t_{CONV} + 50$	ns
$t_{WR-RD}$ , Conversion Time for WR-RD Mode	Pin 7 = $V_{CC}$ ; $t_{WR} = 600 ns$ , $t_{RD} = 600 ns$ ; (Figures 3a and 3b)			1.52	$\mu s$
$t_{WR}$ , Write Time	Min	Pin 7 = $V_{CC}$ ; (Figures 3a and 3b)		600	ns
	Max	(Note 4) See Graph	50		$\mu s$
$t_{RD}$ , Read Time	Min	Pin 7 = $V_{CC}$ ; (Figures 3a and 3b)		600	ns
$t_{ACC1}$ , Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = $V_{CC}$ ; $t_{RD} < t_r$ ; (Figure 3a) $C_L = 15 pF$		190		ns
			210		ns
				320	
$t_{ACC2}$ , Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = $V_{CC}$ ; $t_{RD} > t_r$ ; (Figure 3b) $C_L = 15 pF$		70		ns
			90		ns

3

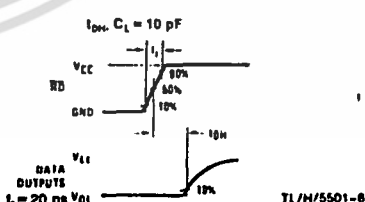
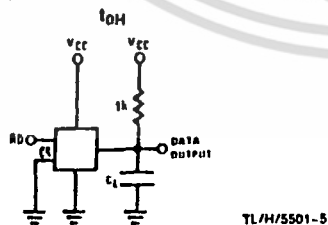
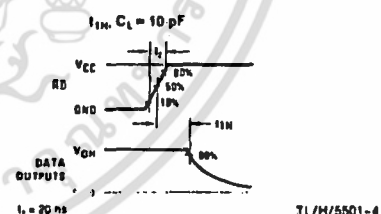
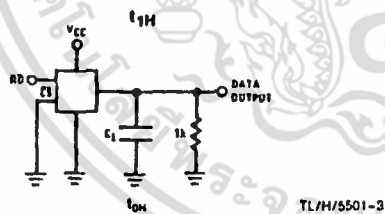
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AC Electrical Characteristics** (Continued) The following specifications apply for  $V_{CC} = 5V$ ,  $t_r = t_f = 20$  ns,  $V_{REF(+)} = 5V$ ,  $V_{REF(-)} = 0V$  and  $T_A = 25^\circ C$  unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
$t_i$ , Internal Comparison Time	Pin 7 = $V_{CC}$ ; (Figures 3b and 4) $C_L = 50$ pF	800		1300	ns
$t_{IH}$ , $t_{OH}$ , TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L = 1k$ , $C_L = 10$ pF	100		200	ns
$t_{INTL}$ , Delay from Rising Edge of $\overline{WR}$ to Falling Edge of INT	Pin 7 = $V_{CC}$ , $C_L = 50$ pF $t_{RD} > t_i$ ; (Figure 3b) $t_{RD} < t_i$ ; (Figure 3a)	$t_{RD} + 200$		$t_i$ $t_{RD} + 290$	ns ns
$t_{INTH}$ , Delay from Rising Edge of $\overline{RD}$ to Rising Edge of INT	(Figures 2, 3a and 3b) $C_L = 50$ pF	125		225	ns
$t_{INTHWR}$ , Delay from Rising Edge of $\overline{WR}$ to Rising Edge of INT	(Figure 4), $C_L = 50$ pF	175		270	ns
$t_{RDV}$ , Delay from $\overline{CS}$ to $\overline{RDY}$	(Figure 2), $C_L = 50$ pF, Pin 7 = 0	50		100	ns
$t_{pD}$ , Delay from INT to Output Valid	(Figure 4)	20		50	ns
$t_{RI}$ , Delay from $\overline{RD}$ to INT	Pin 7 = $V_{CC}$ , $t_{RD} < t_i$ (Figure 3a)	200		290	ns
$t_p$ , Delay from End of Conversion to Next Conversion	(Figures 2, 3a, 3b and 4) (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ $\mu$ s
$C_{VIN}$ , Analog Input Capacitance		45			pF
$C_{OUT}$ , Logic Output Capacitance		5			pF
$C_{IN}$ , Logic Input Capacitance		5			pF

- Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.
- Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.
- Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.
- Note 4: Accuracy may degrade if  $t_{WR}$  or  $t_{RD}$  is shorter than the minimum value specified. See Accuracy vs  $t_{WR}$  and Accuracy vs  $t_{RD}$  graphs.
- Note 5: When the input voltage ( $V_{IN}$ ) at any pin exceeds the power supply rails ( $V_{IN} < V^-$  or  $V_{IN} > V^+$ ) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.
- Note 6: Typical values are at  $25^\circ C$  and represent most likely parametric norm.
- Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).
- Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.
- Note 9: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

**TRI-STATE Test Circuits and Waveforms**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$t_1 = t_2 = 20 \text{ ns}$

Design Limit (Note 8)	Units
1300	ns
200	ns
$t_1$	ns
$t_2 + 290$	ns
225	ns
270	ns
100	ns
50	ns
290	ns
500	ns
	V/ $\mu\text{s}$
	pF
	pF
	pF

not apply when operating

pin should be limited to four.

Timing Diagrams

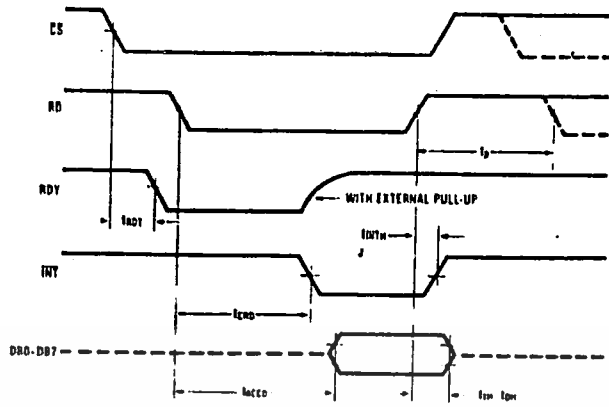


FIGURE 2. RD Mode (Pin 7 is Low)

TL/H/5501-7

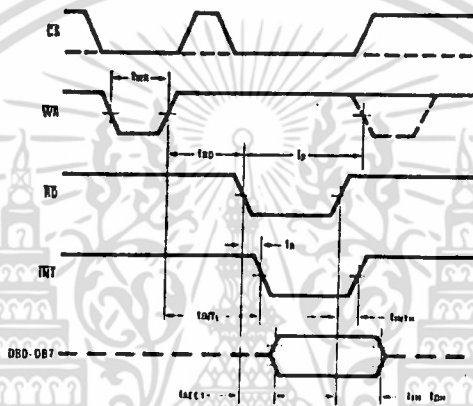


FIGURE 3a. WR-RD Mode (Pin 7 is High and  $t_{RD} < t_1$ )

TL/H/5501-8

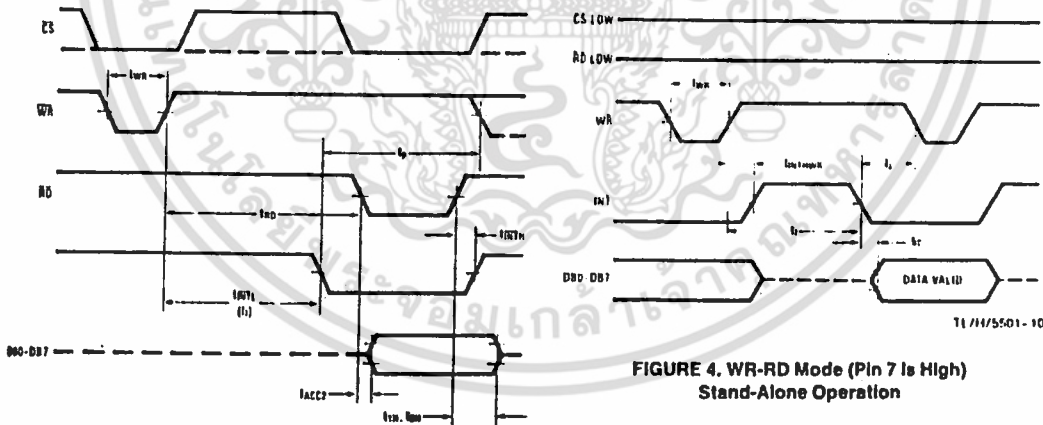


FIGURE 3b. WR-RD Mode (Pin 7 is High and  $t_{RD} > t_1$ )

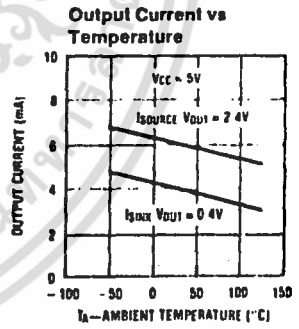
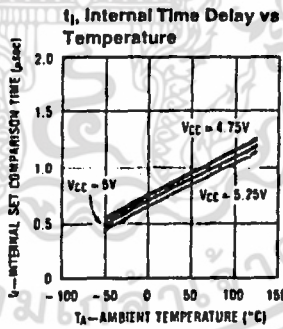
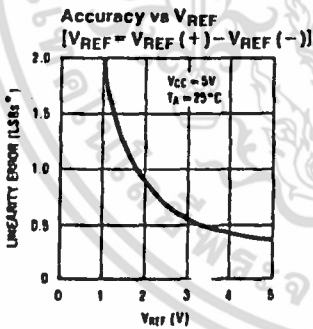
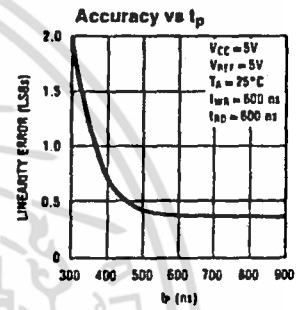
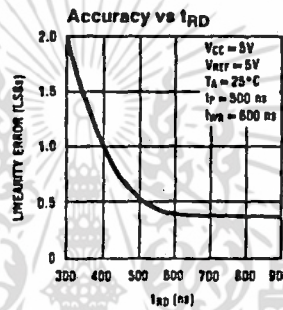
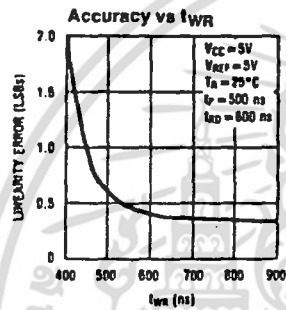
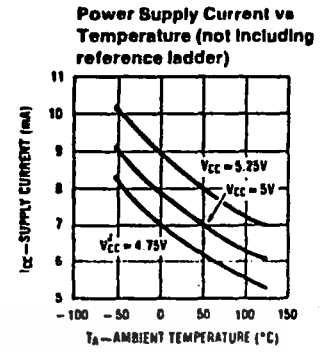
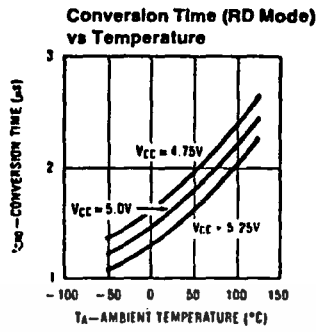
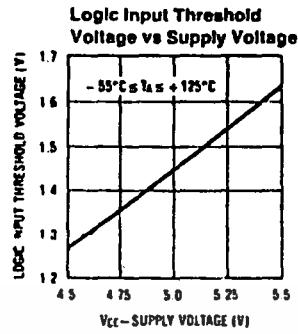
FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

TL/H/5501-10



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics



\*1 LSB =  $\frac{V_{REF}}{256}$

TL/H/5501-11

T  
A  
M  
of  
I  
B  
B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Description of Pin Functions

Pin Name	Function
1 $V_{IN}$	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$
2 DB0	TRI-STATE data output—bit 0 (LSB)
3 DB1	TRI-STATE data output—bit 1
4 DB2	TRI-STATE data output—bit 2
5 DB3	TRI-STATE data output—bit 3
6 $WR/RDY$	<p><b>WR-RD Mode</b></p> <p><b>WR:</b> With <math>\overline{CS}</math> low, the conversion is started on the falling edge of <math>WR</math>. Approximately 800 ns (the preset internal time out, <math>t_i</math>) after the <math>WR</math> rising edge, the result of the conversion will be strobed into the output latch, provided that <math>\overline{RD}</math> does not occur prior to this time out (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p><b>RDY:</b> This is an open drain output (no internal pull-up device). <math>RDY</math> will go low after the falling edge of <math>\overline{CS}</math>; <math>RDY</math> will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 2).</p>
7 Mode	<p><b>Mode:</b> Mode selection input—it is internally tied to GND through a 50 <math>\mu A</math> current source.</p> <p><b>RD Mode:</b> When mode is low</p> <p><b>WR-RD Mode:</b> When mode is high</p>
8 $\overline{RD}$	<p><b>WR-RD Mode</b></p> <p>With <math>\overline{CS}</math> low, the TRI-STATE data outputs (DB0-DB7) will be activated when <math>\overline{RD}</math> goes low (see Figure 4). <math>\overline{RD}</math> can also be used to increase the speed of the converter by reading data prior to the preset internal time out (<math>t_i</math>, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the <math>\overline{RD}</math> (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p>With <math>\overline{CS}</math> low, the conversion will start with <math>\overline{RD}</math> going low, also <math>\overline{RD}</math> will enable the TRI-STATE data outputs at the completion of the conversion. <math>RDY</math> going TRI-STATE and <math>\overline{INT}</math> going low indicates the completion of the conversion (see Figure 2).</p>

Pin Name	Function
9 $\overline{INT}$	<p><b>WR-RD Mode</b></p> <p><math>\overline{INT}</math> going low indicates that the conversion is completed and the data result is in the output latch. <math>\overline{INT}</math> will go low, ~800 ns (the preset internal time out, <math>t_i</math>) after the rising edge of <math>WR</math> (see Figure 3b); or <math>\overline{INT}</math> will go low after the falling edge of <math>\overline{RD}</math>, if <math>\overline{RD}</math> goes low prior to the 800 ns time out (see Figure 3a). <math>\overline{INT}</math> is reset by the rising edge of <math>\overline{RD}</math> or <math>\overline{CS}</math> (see Figures 3a and 3b).</p> <p><b>RD Mode</b></p> <p><math>\overline{INT}</math> going low indicates that the conversion is completed and the data result is in the output latch. <math>\overline{INT}</math> is reset by the rising edge of <math>\overline{RD}</math> or <math>\overline{CS}</math> (see Figure 2).</p>
10 GND	Ground
11 $V_{REF(-)}$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)
12 $V_{REF(+)}$	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
13 $\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $WR$ to be recognized by the converter.
14 DB4	TRI-STATE data output—bit 4
15 DB5	TRI-STATE data output—bit 5
16 DB6	TRI-STATE data output—bit 6
17 DB7	TRI-STATE data output—bit 7 (MSB)
18 $\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF(+)}$ , $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
19 NC	No connection
20 $V_{CC}$	Power supply voltage

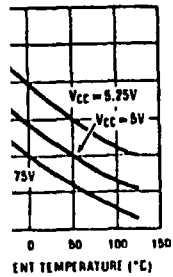
## 1.0 Functional Description

### 1.1 GENERAL OPERATION

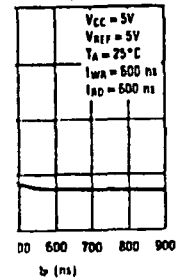
The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

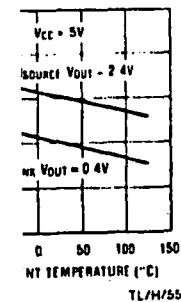
Supply Current vs Temperature (not including resistor ladder)



Delay vs  $t_p$



Current vs Temperature



TL/H/5501-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.0 Functional Description (Continued)

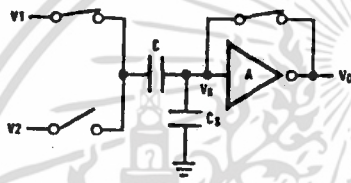
### 1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (VB, approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (VB') becomes

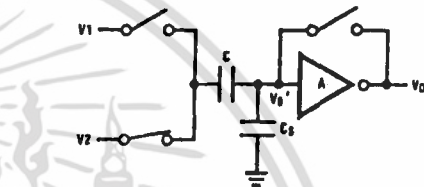
$$V_B' = (V_1 - V_2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of  $V_B' - V_B$ .



- $V_O = V_B$
- $V$  on  $C = V_1 - V_B$
- $C_S$  - stray input node capacitor
- $V_B$  - inverter input bias voltage

FIGURE 5a. Zeroing Phase



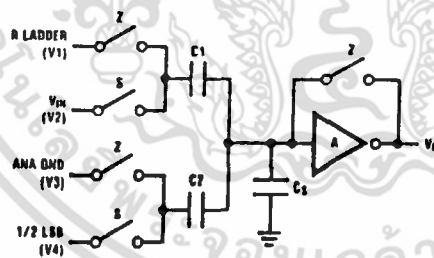
$$V_B' - V_B = (V_2 - V_1) \frac{C}{C + C_S}$$

$$V_O' = \frac{-A}{C + C_S} [CV_2 - CV_1]$$

$V_O'$  is dependent on  $V_2 - V_1$

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



$$V_O = \frac{-A}{C_1 + C_2 + C_S} [C_1(V_2 - V_1) + C_2(V_4 - V_3)]$$

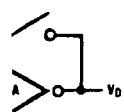
$$= \frac{-A}{C_1 + C_2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

Detailed Block Diagram

0820 is a simple but comparator described or and another set of theme can be expansions. In this circuit, the on each capacitor (Z cycle. A comparison is input on each capacl-hns (S switches). The put, as a result of the cilor, will now depend

comparators is used in ve 7). The MS (most ditional comparator to ts of comparators op- is zeroing cycle while



TL/H/5501-13

$$2 - V1) \frac{C}{C + C_S}$$

[CV2 - CV1]

ont on V2 - V1

Phase

4 - V3]]

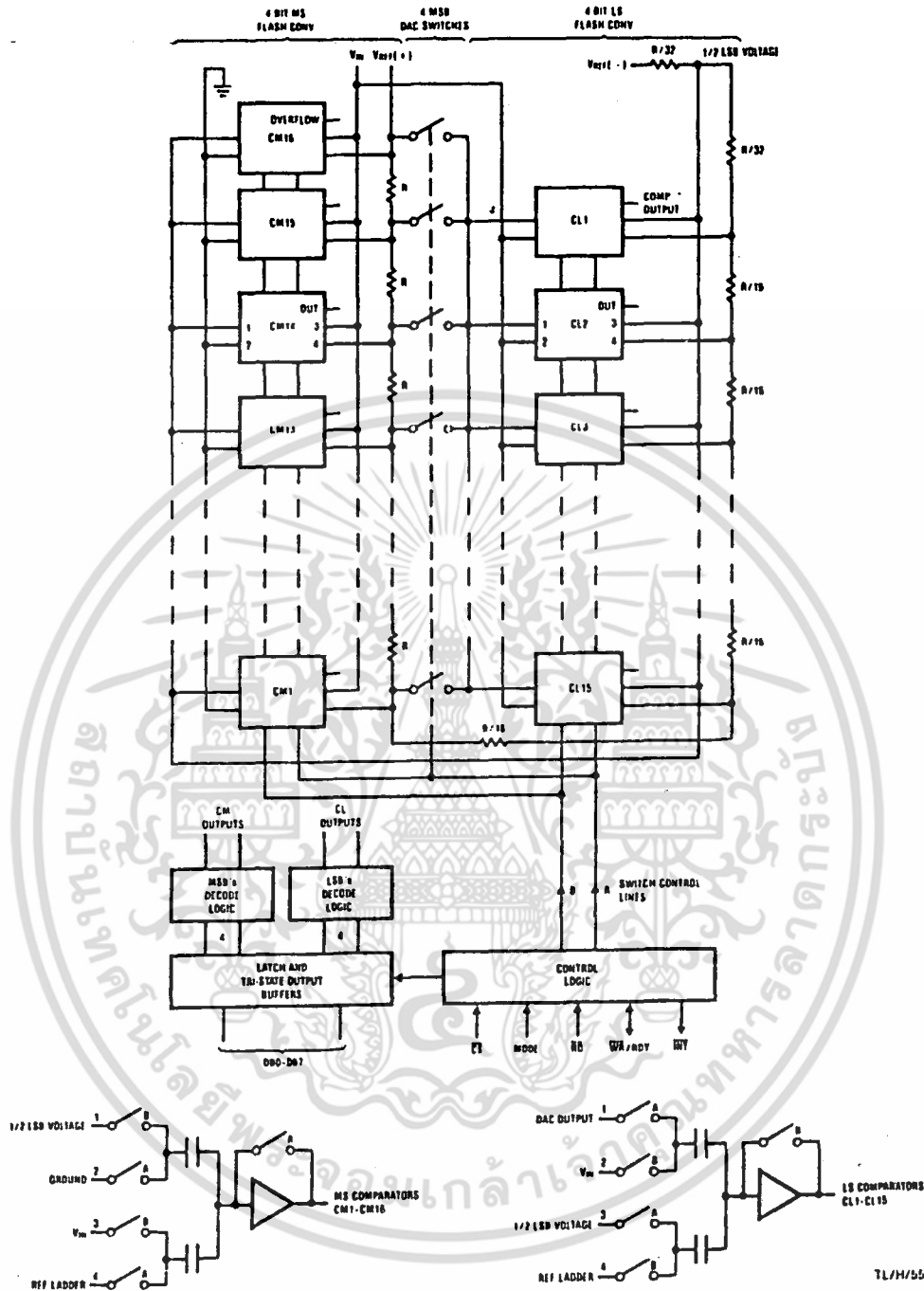


FIGURE 7

TL/H/5501-15

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.0 Functional Description (Continued)

When a typical conversion is started, the  $\overline{WR}$  line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When  $\overline{WR}$  is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the  $\overline{RD}$  line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When  $\overline{RD}$  goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 8 also outlines how the converter's interface timing relates to its analog input ( $V_{IN}$ ). In WR-RD mode,  $V_{IN}$  is measured while  $\overline{WR}$  is low. In RD mode, sampling occurs during the first 800 ns of  $\overline{RD}$ . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample  $V_{IN}$  at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when  $\overline{WR}$  is low the MS flash is in compare mode (connected to  $V_{IN}$ ), and the LS flash is in zero mode (also connected to  $V_{IN}$ ). Therefore both flash ADCs sample  $V_{IN}$  at the same time.

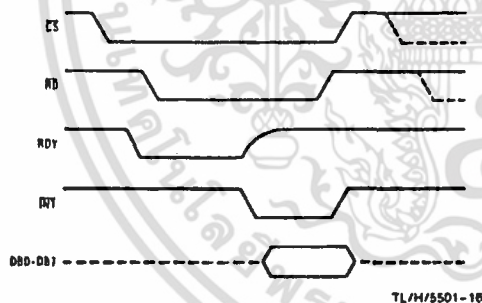
### 1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

#### RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling  $\overline{RD}$  low until output data appears. An  $\overline{INT}$  line is provided which goes low at the end of the conversion as well as a  $\overline{RDY}$  output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

#### RD Mode (Pin 7 Is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of  $\overline{RD}$ , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

#### WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the  $\overline{WR}$  input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for  $\overline{INT}$  to go low before reading the conversion result (Figure 8).  $\overline{INT}$  will typically go low 800 ns after  $\overline{WR}$ 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for  $\overline{INT}$  and can exercise a read after only 600 ns (Figure A). If this is done,  $\overline{INT}$  will immediately go low and data will appear at the outputs.

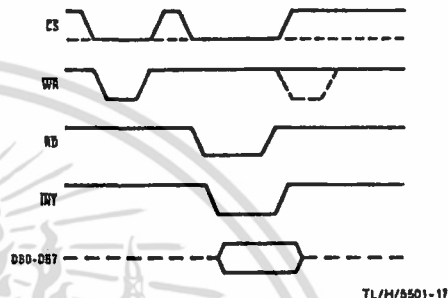


FIGURE A. WR-RD Mode (Pin 7 Is High and  $t_{RD} < t_I$ )

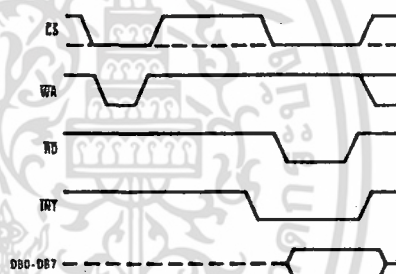
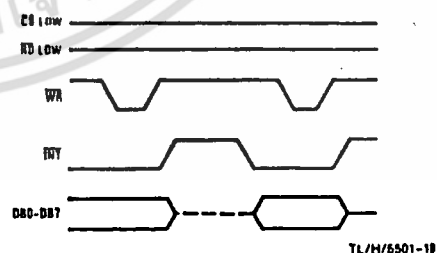


FIGURE B. WR-RD Mode (Pin 7 Is High and  $t_{RD} > t_I$ )

#### Stand-Alone

For stand-alone operation in WR-RD mode,  $\overline{CS}$  and  $\overline{RD}$  can be tied low and a conversion can be started with  $\overline{WR}$ . Data will be valid approximately 800 ns following  $\overline{WR}$ 's rising edge.

#### WR-RD Mode (Pin 7 Is High) Stand-Alone Operation



1

No

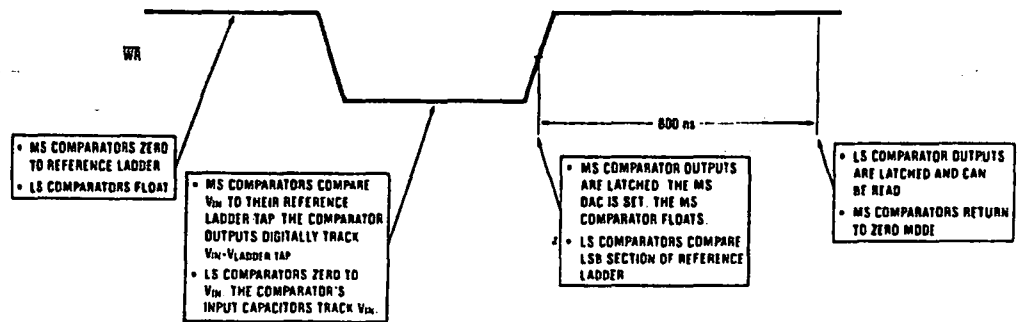
OTH  
In or  
mum  
pled-  
mod-  
hold  
can c  
to c  
Since  
of a c  
starts  
this ti

2.0

2.1 RE  
The tv  
and di  
conver  
of the  
voltage  
 $V_{REF}$   
activity  
then 1  
also fa  
chip po  
as the  
This rel  
led but  
the inpu  
Though  
effort  
ment ap  
tions thi

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



Note: MS means most significant  
LS means least significant

TI/H/5501-20

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy,  $\overline{WR}$  has a maximum width spec of 50  $\mu$ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ( $\overline{WR}$  is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (i.e., Figures 2, 3a, 3b, and 4) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two  $V_{REF}$  inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between  $V_{IN}(+)$  and  $V_{IN}(-)$ . By reducing  $V_{REF}(V_{REF} = V_{REF}(+) - V_{REF}(-))$  to less than 5V, the sensitivity of the converter can be increased (i.e., if  $V_{REF} = 2V$  then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the  $V_{REF}$  source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at  $V_{REF}(-)$  sets the input level which produces a digital output of all zeroes. Though  $V_{IN}$  is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

2.2 INPUT CURRENT

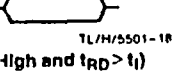
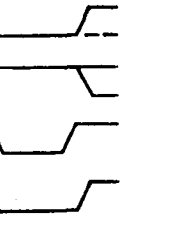
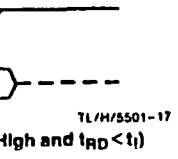
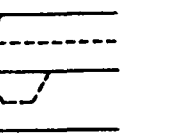
Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts ( $\overline{WR}$  low, WR-RD mode), all input switches close, connecting  $V_{IN}$  to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time,  $V_{IN}$  still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses  $V_{IN}$  as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k $\Omega$  to 10 k $\Omega$ ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As  $R_S$  increases, it will take longer for the input capacitance to charge.

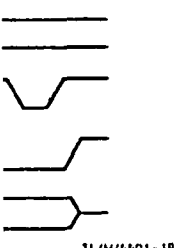
In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that  $\overline{WR}$  is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow  $R_S$  to be 1.5 k $\Omega$  without lengthening  $\overline{WR}$  to give  $V_{IN}$  more time to settle.

will be set up for the started with the  $\overline{WR}$  or reading the output if an interrupt driven or  $\overline{INT}$  to go low before  $\overline{INT}$ . However, if a processor need not later only 600 ns (Figure 8) to go low and data



ode,  $\overline{CS}$  and  $\overline{RD}$  can be started with  $\overline{WR}$ . Data following  $\overline{WR}$ 's rising

Alone Operation



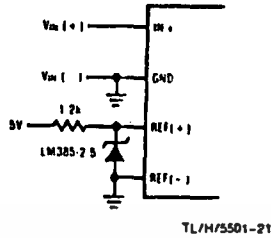
TI/H/5501-19



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

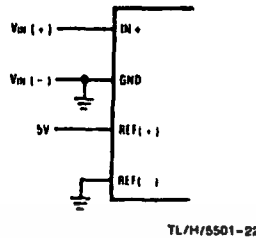
## 2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



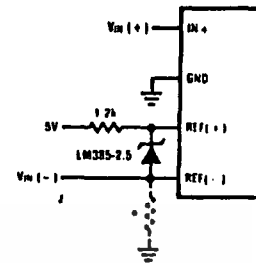
TL/H/5501-21

Power Supply as Reference



TL/H/5501-22

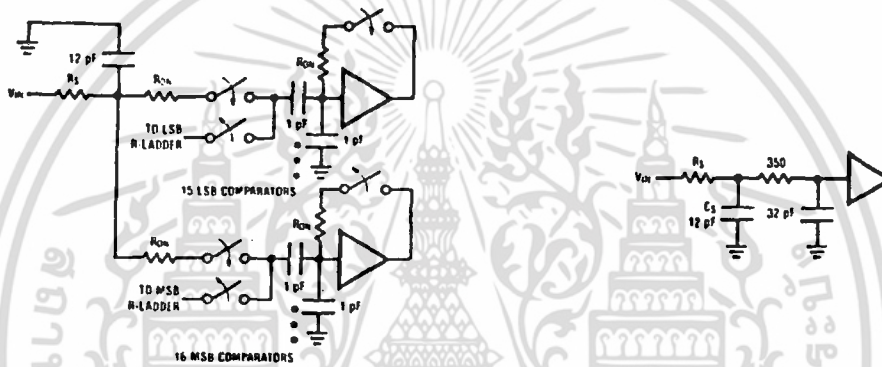
Input Not Referred to GND



\* Current path must still exist from  $V_{IN}(-)$  to ground

TL/H/5501-23

FIGURE 9. Analog Input Options



TL/H/5501-24

FIGURE 10a

FIGURE 10b

TL/H/5501-25

### 2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into  $V_{IN}$ , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while  $\overline{WR}$  is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the  $V_{IN}$  terminal.

### 2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least  $\frac{1}{2}$  LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

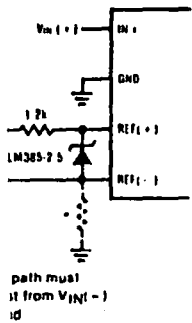
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5  $\mu$ s, the time through which  $V_{IN}$  must be 1/2 LSB stable is much smaller. Since the MS flash ADC uses  $V_{IN}$  as its "compare" input and the LS ADC uses  $V_{IN}$  as its "zero" input, the ADC0820 only "samples"  $V_{IN}$  when  $\overline{WR}$  is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of  $V_{IN}$  approximately 100 ns after the rising edge of  $\overline{WR}$  (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ $\mu$ s can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1  $\mu$ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms

• Vp  
• Nc  
• Lr

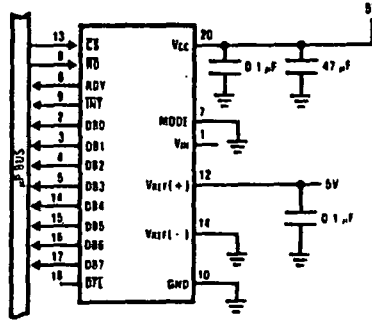
### 3.0 Typical Applications

**Not Referred to GND**



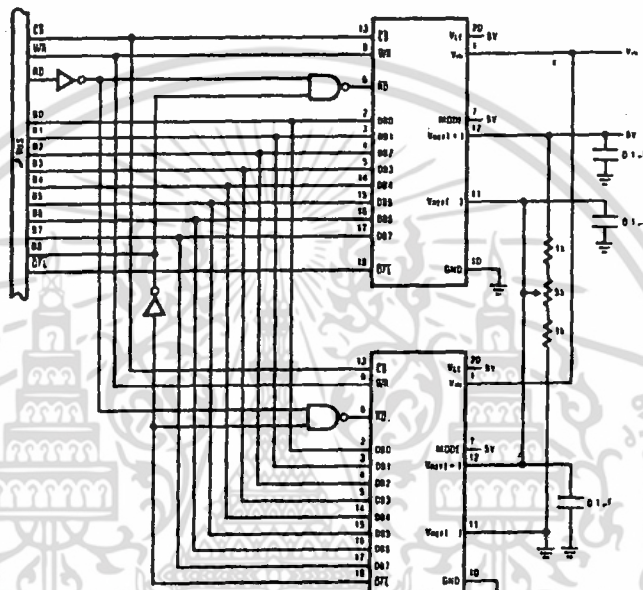
TL/H/5501-23

**8-Bit Resolution Configuration**



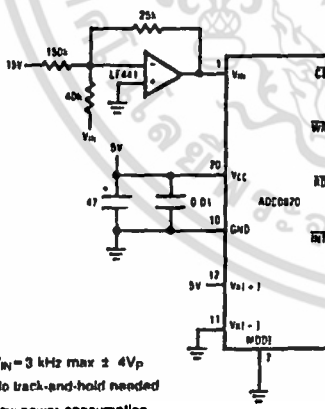
TL/H/5501-26

**9-Bit Resolution Configuration**



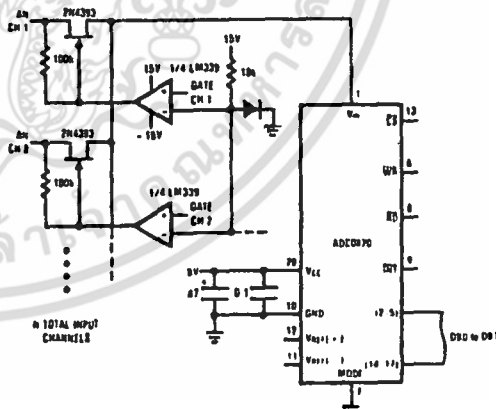
TL/H/5501-27

**Telecom A/D Converter**



TL/H/5501-28

**Multiple Input Channels**



TL/H/5501-29

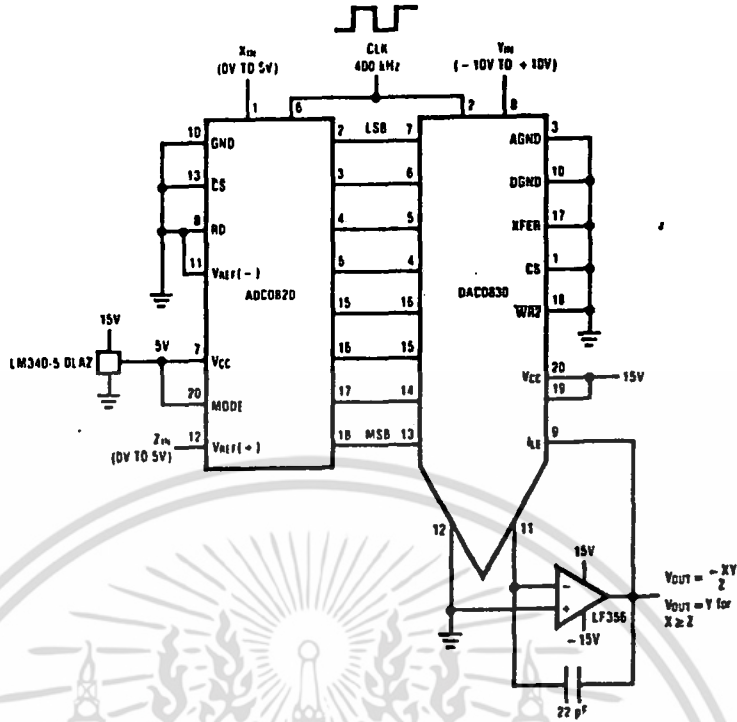
...ture of their input switch-  
... to a large degree (Sec-  
... time for the ADC0820 is  
... must be 1/2 LSB stable  
... ish ADC uses  $V_{IN}$  as its  
... uses  $V_{IN}$  as its "zero"  
... s"  $V_{IN}$  when  $\overline{WR}$  is low  
... h the two flashes are not  
... signal is measured at one  
... mately 100 ns after the  
... internal logic prop delay)

...ly below 100 mV/ $\mu$ s can  
... er, because of the input  
... ion through the opened  
... ginals may cause errors.  
... y for a given increase in  
... would be witnessed in  
... ration device. An SAR  
... ne as fast as 1  $\mu$ s would  
... kHz sine wave without  
... old. The ADC0820, with  
... 5V, 7 kHz waveforms.

- $V_{IN}$  = 3 kHz max  $\pm$  4Vp
- No track-and-hold needed
- Low power consumption

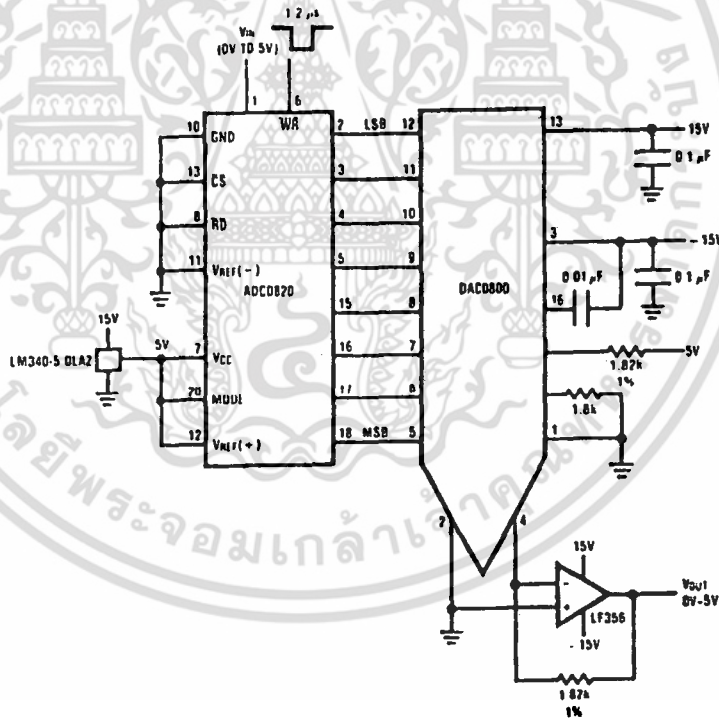
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)  
8-Bit 2-Quadrant Analog Multiplier



TL/H/5501-30

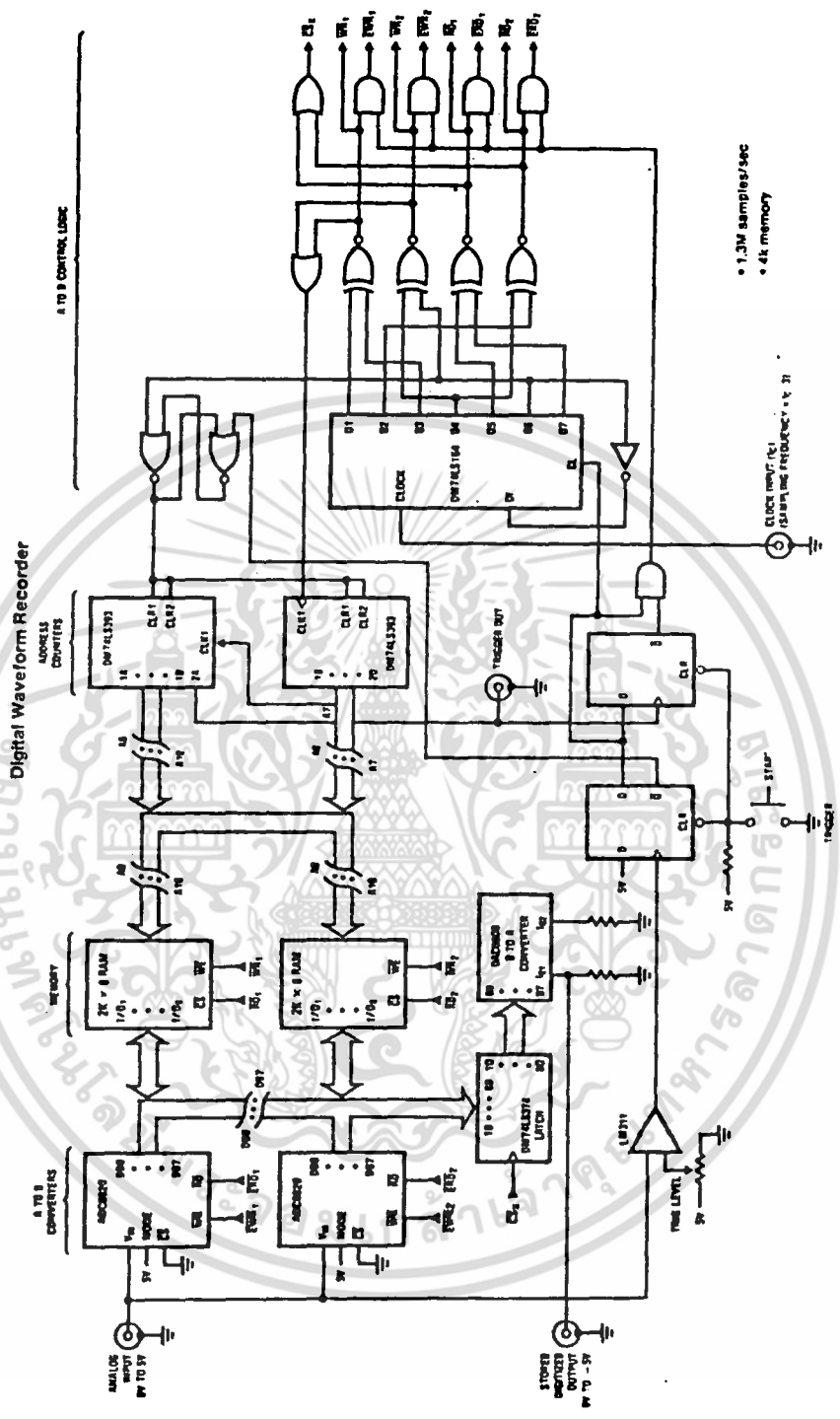
Fast Infinite Sample-and-Hold



TL/H/5501-31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.0 Typical Applications (Continued)



TL/H/5501-32

15.0k samples/sec  
4k memory

15.0k Hz clock source  
15.0k Hz clock source

Digital Waveform Recorder

U1 = -XY  
U2 = Y for  
Z

TL/H/5501-30

15V  
0.1 μF  
15V  
0.1 μF  
5V

Vout  
0V-5V

TL/H/5501-31



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BD ADC0820BCD ADC0820BCV	$\pm \frac{1}{2}$ LSB	D20A—Cavity DIP	-55°C to +125°C
ADC0820BCM		D20A—Cavity DIP	-40°C to +80°C
ADC0820BCN		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820CJ ADC0820CCJ ADC0820CCV		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CCM	$\pm 1$ LSB	N20A—Molded DIP	0°C to +70°C
ADC0820CCN		J20A—Cerdip	-55°C to +125°C
		J20A—Cerdip	-40°C to +85°C
		V20A—Molded Chip Carrier	0°C to +70°C
		MJ20B—Wide Body Small Outline	0°C to +70°C
		N20A—Molded DIP	0°C to +70°C



## ADC0829 $\mu$ P with 11-Char

### General Description

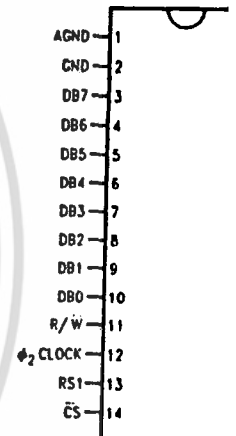
The ADC0829 is an 8-bit converter with an 11-channel. It can be used as digital inputs, and this A/D is designed to operate on a single 5V supply.

Channel selection, conversion, and bus interface logic is implemented in CMOS device.

This device contains three channels. It is a double byte device with only register which conversion, selects the channel to bit I/O port as input or output the 8-bit output register.

The conversion results register contains the current status results. The discrete input register which contains the four address, and the six discrete input analog multiplexer.

### Connection and Electrical Characteristics



Top View

### Ordering Information

Error	$\pm 1/2$ Bit Unadjusted
	$\pm 1$ Bit Unadjusted
Package Outline	

# LM741/LM741A/LM741C/LM741E Operational Amplifier

## General Description

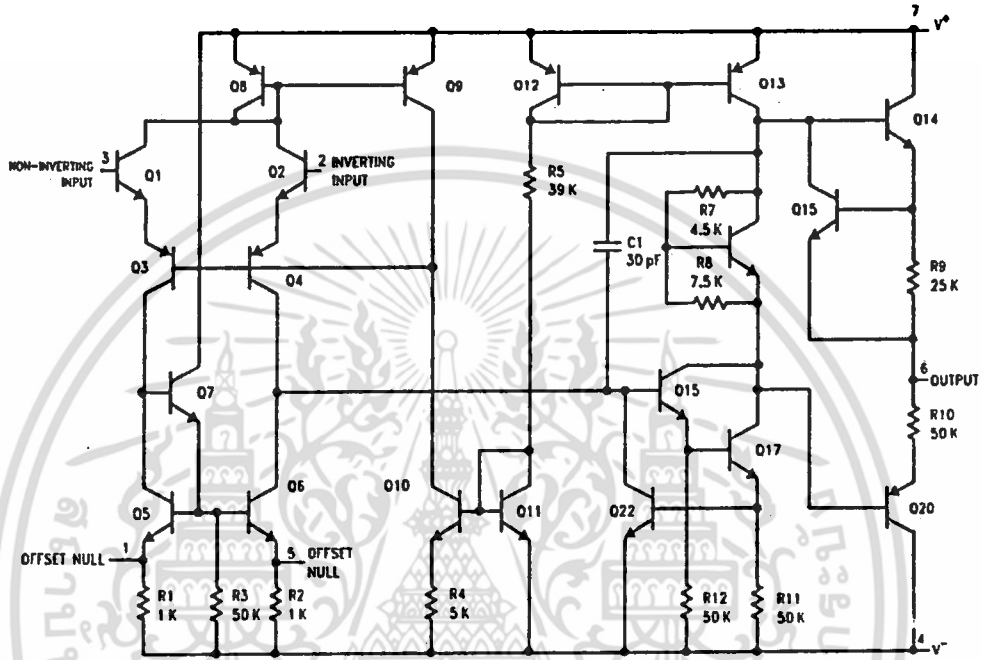
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications. The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

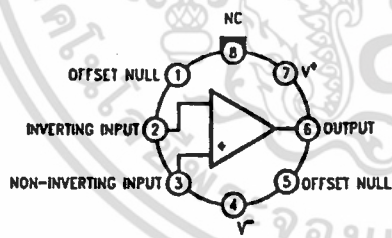
LM741/LM741A/LM741C/LM741E

## Schematic and Connection Diagrams (Top Views)

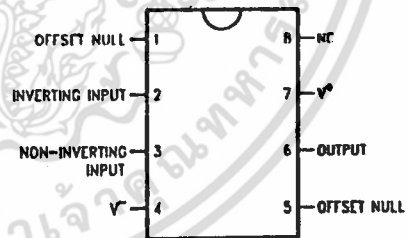


TL 71/0341-1

**Metal Can Package**



**Dual-In-Line or S.O. Package**



Order Number LM741H, LM741AH,  
LM741CH or LM741EH  
See NS Package Number H08C

Order Number LM741CJ, LM741CM,  
LM741CN or LM741EN  
See NS Package Number J08A, M08A or N08E

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

### Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ $R_S \leq 10\text{ k}\Omega$ $R_S \leq 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$			4.0			6.0			7.5	mV mV
Average Input Offset Voltage Drift				15							$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	±10				±15			±15		mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	$\mu\text{A}$
Input Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	8.0		0.3	2.0		0.3	2.0		M $\Omega$
	$T_{AMIN} \leq T_A \leq T_{AMAX}, V_S = \pm 20\text{V}$	0.5									M $\Omega$
Input Voltage Range	$T_A = 25^\circ\text{C}$								±12	±13	V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$					±12	±13				V
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}, R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	50									V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}, R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$	32									V/mV V/mV
	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$			25					15		V/mV
	$V_S = \pm 5\text{V}, V_O = \pm 2\text{V}$	10									V/mV

2-448

### Electrical Characteristics

Parameter	Conditions
Output Voltage Swing	$V_S = 15\text{V}$ $R_L = 10\text{ k}\Omega$ $R_L = 2\text{ k}\Omega$
	$V_S = 5\text{V}$ $R_L = 10\text{ k}\Omega$ $R_L = 2\text{ k}\Omega$
Output Short Circuit Current	$T_A = 25^\circ\text{C}$ $T_{AMIN} \leq T_A \leq T_{AMAX}$
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S = 10\text{ k}\Omega$ $R_S = 50\Omega$
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $V_S = 15\text{V}$ $R_S = 50\Omega$ $R_S = 10\text{ k}\Omega$
Transient Response Rise Time Overshoot	$T_A = 25^\circ\text{C}$
Bandwidth (Note 4)	$T_A = 25^\circ\text{C}$
Slew Rate	$T_A = 25^\circ\text{C}$
Supply Current	$T_A = 25^\circ\text{C}$
Power Consumption	$T_A = 25^\circ\text{C}$ $V_S = 15\text{V}$ $V_S = 5\text{V}$
	LM741A $V_S = 15\text{V}$ $T_A = 1/2$ $T_A = 1/2$
LM741E	$V_S = 15\text{V}$ $T_A = 1/2$ $T_A = 1/2$
	LM741 $V_S = 15\text{V}$ $T_A = 1/2$ $T_A = 1/2$

Note 1: For operation at elevated temperature ratings,  $T_J = T_A + (\theta_{JA} P_D)$

Thermal Resistance	Condition
$\theta_{JA}$ (Junction to Ambient)	( $^\circ\text{C}/\text{W}$ )
$\theta_{JC}$ (Junction to Case)	( $^\circ\text{C}/\text{W}$ )

Note 2: For supply voltages less than ±15V  
 Note 3: Unless otherwise specified, these specifications are limited to  $0^\circ\text{C} \leq T_A \leq 25^\circ\text{C}$   
 Note 4: Calculated value from BW (MHz)  
 Note 5: For military specifications see REF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Electrical Characteristics (Note 3) (Continued)**

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$ $R_L \geq 10k\Omega$ $R_L \geq 2k\Omega$	$\pm 16$									V
	$V_S = \pm 15V$ $R_L \geq 10k\Omega$ $R_L \geq 2k\Omega$	$\pm 15$			$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		V
Output Short Circuit Current	$T_A = 25^\circ C$ $T_{AMIN} \leq T_A \leq T_{AMAX}$	10	25	35		25			25		mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 10k\Omega, V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50k\Omega, V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $V_S = \pm 20V$ to $V_S = \pm 5V$ $R_S \leq 50\Omega$ $R_S \leq 10k\Omega$										dB
Transient Response	$T_A = 25^\circ C$ , Unity Gain	Rise Time		0.25	0.8		0.3			0.3	$\mu s$
		Overshoot		6.0	20		5			5	%
Bandwidth (Note 4)	$T_A = 25^\circ C$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ C$ , Unity Gain	0.3	0.7			0.5			0.5		V/ $\mu s$
Supply Current	$T_A = 25^\circ C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25^\circ C$ $V_S = \pm 20V$ $V_S = \pm 15V$		80	150		50	85		50	85	mW
	LM741A $V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			165							mW
LM741E	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			135							mW
	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			150							mW
	$V_S = \pm 15V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$					60	100				mW
						45	75				mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and  $T_J$  max (listed under "Absolute Maximum Ratings").  $T_J = T_A + (\theta_{JA} P_D)$ .

Thermal Resistance	CerDip (J)	DIP (N)	TO-8 (M)	SO-8 (M)
$\theta_{JA}$ (Junction to Ambient)	100°C/W	100°C/W	150°C/W	195°C/W
$\theta_{JC}$ (Junction to Case)	N/A	N/A	80°C/W	N/A

Note 2: For supply voltages less than  $\pm 15V$ , the absolute maximum input voltage is equal to the supply voltage.  
 Note 3: Unless otherwise specified, these specifications apply for  $V_S = \pm 15V$ ,  $-55^\circ C \leq T_A \leq 125^\circ C$  (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to  $0^\circ C \leq T_A \leq 70^\circ C$ .  
 Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time( $\mu s$ )  
 Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A

LM741C  
 $\pm 18V$   
 500 mW  
 $\pm 30V$   
 $\pm 15V$   
 Indefinite  
 $0^\circ C$  to  $+70^\circ C$   
 $-65^\circ C$  to  $+150^\circ C$   
 100°C  
 260°C  
 300°C  
 215°C  
 215°C  
 methods of soldering

M741C		Units
Typ	Max	
		mV
		mV
	7.5	mV
		$\mu V/^\circ C$
$\pm 15$		mV
20	200	nA
	300	nA
		nA/°C
80	500	nA
	0.8	$\mu A$
2.0		M $\Omega$
		M $\Omega$
1.13		V
		V
		V/mV
100		V/mV
		V/mV
		V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

1. ชูชัย ธารสารตั้ง เจริญ, ดนัย แสงสุริยะศิลป์, ทินกร ตึก, ธงชัย อุดมกิจภักต, ธารินทร์ กาวรศาสนวงศ์, การใช้งาน 8255 PIA กับ Z-80, การใช้งาน Z-80, หน้า 102-121, ฟิสิกส์เซมิคอนดักเตอร์การพิมพ์
2. ทรงชัย วีระทวีมาศ, "เทคนิคการออกแบบวงจรดิจิทัล ตอนที่ 103 (1990) : 295-296  
เซมิคอนดักเตอร์อิเล็กทรอนิกส์ ฉบับที่ 103 (1990) : 295-296
3. เปรมาจิตร วิสุทธิศิริ, "พื้นฐานวงจรเอชดี, ดีทูเอ ตอนที่ 2 วงจรแปลงอนาล็อกเป็นดิจิทัล" เซมิคอนดักเตอร์อิเล็กทรอนิกส์ ฉบับที่ 103 (1990) : 302-309
4. ธารินทร์ กาวรศาสนวงศ์, ทินกร ตึก, การจัดแอดเดรสสำหรับหน่วยความจำและ I/O, อินเทอร์เน็ตเพลส IBM PC, หน้า 158-166, ฟิสิกส์เซมิคอนดักเตอร์การพิมพ์
5. ธารินทร์ กาวรศาสนวงศ์, ทินกร ตึก, สัญญาณต่าง ๆ บนสล็อตของ IBM/PC, อินเทอร์เน็ตเพลส IBM PC, หน้า 43-51, ฟิสิกส์เซมิคอนดักเตอร์การพิมพ์
6. พศ.ดร. เอก ไชยสวัสดิ์, "การวิเคราะห์สัญญาณดิจิทัล" วารสารฉบับพิเศษพิเศษ  
เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ฉบับที่ 1 (พ.ศ. 2533) : 30-41
7. Albert D. Helfrick, William D. Cooper, Digital Storage Oscilloscope, Modern Electronic Instrumentation And Measurement Techniques, pp. 240-241, Prentice-Hall, Inc., 1990
8. D. Brook, R.J. Wynne, The Measurement of Computation of Signal Characteristics, Signal Processing Principles and Applications, pp. 181-214, Edward Arnold, 1988
9. Frederic J. Harris, Multirate FIR Filters for Interpolating and Decimation, Handbook of Digital Signal Processing (Douglas F. Elliot), pp. 173-286 Academic Press, Inc., 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. Jiu An, Thomas A. Dumas, Thomas J. Yorkey, Interfacing to the IBM PC Bus, Interfacing Sensors to the IBM PC (Willis J. Tompkins, John G. Webster) pp. 59-66, Prentice-Hall, Inc., 1988
11. Jorge E. Monzon, Willis J. Tompkins, Basic Signal Conversion, Interfacing Sensors to IBM PC (Willis J. Tompkins, John G. Webster) pp. 107-127, Prentice-Hall, Inc., 1988
12. Pradeep K. Sood, Analog-to-Digital, Interfacing Sensors to the IBM PC (Willis J. Tompkins, John G. Webster) pp. 128-141, Prentice-Hall, Inc., 1988



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ : นาย คณัย ศุภธรรม

เลขประจำตัวนักศึกษา : 300804

วัน เดือน ปี เกิด : 30 กรกฎาคม พ.ศ. 2511

สถานที่เกิด : จังหวัดกรุงเทพมหานคร

วุฒิการศึกษา

ระดับประถมศึกษา

ประถมศึกษาปีที่ 1-6 : โรงเรียนหิมาลัยวัฒนา

ระดับมัธยมศึกษา

มัธยมศึกษา 1-6 : โรงเรียนเทพศิรินทร์

ระดับอุดมศึกษา

: ศึกษาระดับปริญญาตรี ในสาขาวิชาศิลปศาสตรบัณฑิต

ภาควิชาศิลปกรรมศาสตร์ คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

<พ.ศ. 2530 - 2534>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อ : นางสาว ผกามาศ พนาธิศักดิ์

เลขประจำตัวนักศึกษา : 300809

วัน เดือน ปี เกิด : 26 มิถุนายน พ.ศ. 2512

สถานที่เกิด : จังหวัดชลบุรี

วุฒิการศึกษา

ระดับประถมศึกษา

ประถมศึกษาปีที่ 1-6 : โรงเรียนบุญญวิทยาการ <พ.ศ. 2519 - 2524>

ระดับมัธยมศึกษา

มัธยมศึกษา 1-6 : โรงเรียนพนัสพิทยาคาร <พ.ศ. 2524 - 2530>

ระดับอุดมศึกษา

: ศึกษาระดับปริญญาตรี ในสาขาโชนิตส.ตทอิล็คทรอนิกส์  
ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

<พ.ศ. 2530 - 2534>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้