

วงจรถ่ายแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจรถ่าย VDTA หนึ่งตัว  
VARIABLE INDUCTANCE SIMULATORS USING SINGLE VDTA



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-M-080-189

วงจรถ่ายแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจรถ่าย VDTA หนึ่งตัว

VARIABLE INDUCTANCE SIMULATORS USING SINGLE VDTA



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-M-080-189

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# VARIABLE INDUCTANCE SIMULATORS USING SINGLE VDTA



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN CONTROL ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2017  
KMITL-2017-EN-M-080-189

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2017**

**FACULTY OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**คณะวิศวกรรมศาสตร์**  
**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**  
**ใบรับรองวิทยานิพนธ์**

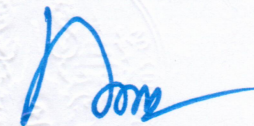
หัวข้อวิทยานิพนธ์    วงจรเลียนแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจร VDTA หนึ่งตัว  
Thesis Title        Variable Inductance Simulators Using Single VDTA  
นักศึกษา                นายภานุรุจ ยะเรื่อน  
รหัสประจำตัว        56601435  
ปริญญา                วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา            วิศวกรรมระบบควบคุม  
อาจารย์ที่ปรึกษาวิทยานิพนธ์    ศ.ดร.วรพงษ์ ตั้งศรีรัตน์  
หมายเลขวิทยานิพนธ์              KMITL-2017-EN-M-080-189

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.อนุชา	แก้วพลสุข	
ศ.ดร.วันชัย	ธีรวิรุจา	
ผศ.ดร.วรรณดี	เพชรมนีล้ำค่า	
ผศ.ดร.ทัตยา	บุศกมลชนันท์	
ศ.ดร.วรพงษ์	ตั้งศรีรัตน์	

วัน / เดือน / ปี ที่สอบ    วันศุกร์ที่ 1 ธันวาคม พ.ศ. 2560 เวลา 09.00-11.00 น.  
สถานที่สอบ    ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาวันที่ 1 ธันวาคม พ.ศ. 2560 ๕ ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรถ่ายแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจรวจร VDTA หนึ่งตัว
นักศึกษา	นายภาณุรุจ ยะเรื่อน
รหัสประจำตัว	56601435
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร.วรวงศ์ ตั้งศรีรัตน์

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจรวจร VDTA (voltage differencing transconductance amplifier) จำนวนหนึ่งตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว ปรากฏจากตัวต้านทานพาสซีฟจากภายนอก โดยค่าความต้านทานสมมูล (equivalent inductance,  $R_{eq}$ ) และค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ของวงจรถ่ายที่นำเสนอสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมกระแสไบอัสจากภายนอกของวงจรวจร VDTA คุณสมบัติการทำงานของวงจรถ่ายที่นำเสนอถูกแสดงและยืนยันด้วยผลการจำลองการทำงานของวงจรถ่ายโดยใช้โปรแกรม PSPICE และผลการทดลองการต่อวงจรถ่ายจริงทดสอบบนแผ่นวงจรถ่ายพิมพ์โดยใช้ไอซีเบอร์ CA3080 และ CA3280

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต่ออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Variable Inductance Simulators Using Single VDTA
Student	Mr. Panurut Yaruan
Student ID.	56601435
Degree	Master of Engineering
Program	Control Engineering
Year	2017
Thesis Advisor	Prof. Dr. Worapong Tangsirat

### ABSTRACT

This thesis describes simple circuit configurations for realizing actively variable simulated inductors using single VDTA (voltage differencing transconductance amplifier) and only one grounded capacitor, resulting in resistorless and canonical structure as well as attractive for integration. The value of the simulated equivalent resistance and inductance are electronically adjustable through by external bias currents of the VDTA. The properties of the proposed circuits are theoretically investigated in detail. Furthermore, to confirm the theoretical analysis, the circuit simulation using PSPICE program and the experimental test using commercially available IC components CA3080 and CA3280 are also reported.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ได้ด้วยความช่วยเหลือจากอาจารย์และบุคคลหลายท่านดังนี้

ศาสตราจารย์ ดร. วรพงศ์ ตั้งศรีรัตน์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ ที่ได้กรุณาให้คำปรึกษาและชี้แนะแนวทางขั้นตอนการทำวิจัยตั้งแต่เริ่มต้นตลอดจนการเขียนวิทยานิพนธ์ฉบับนี้ อีกทั้งยังปลูกฝังแนวทางการใช้ชีวิต ความรับผิดชอบต่อสังคมและเห็นแก่ส่วนรวมเสมอ ซึ่งมีความหมายกับผู้เขียนอย่างยิ่ง จึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอกราบขอบพระคุณรองศาสตราจารย์ ดร. อีรศิลป์ ทุมวิภาต และรองศาสตราจารย์ สุมาลี อุทวนวิชัย ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ (IEE) คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ซึ่งให้การสนับสนุนและให้ความช่วยเหลือผู้เขียนเสมอมา

ขอกราบขอบพระคุณศาสตราจารย์ ดร. วันชัย ธีรรัฐจา ผู้ช่วยศาสตราจารย์ ดร. วรณดี เพชรณิลีคำ และผู้ช่วยศาสตราจารย์ ดร. ทศยา ปุคคะนนันท์ ภาควิชาวิศวกรรมการวัดและควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งให้คำแนะนำ ให้ความรู้ทั้งในตำราและนอกตำราเรียน ซึ่งมีค่ากับผู้เขียนเป็นอย่างมาก

ขอขอบคุณห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Laboratory, MSP Lab) ซึ่งให้การสนับสนุนพื้นที่การทำงานวิจัย เครื่องมือต่างๆ ที่ใช้ในการทดลอง เพื่อแสดงในวิทยานิพนธ์ฉบับนี้

ขอขอบคุณ พี่ๆ เพื่อนๆ และน้องๆ ณ ห้องปฏิบัติการวิจัย MSP Lab สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งเป็นกำลังใจและชี้แนะแนวทางและการแก้ปัญหาต่างๆ กับผู้เขียนตลอดระยะเวลาของการศึกษา

ขอกราบขอบพระคุณบิดา มารดา และครอบครัวที่อบอุ่นของผู้เขียนทุกๆ ท่าน ที่เป็นกำลังใจให้การสนับสนุนและให้ความช่วยเหลือผู้เขียนในทุกๆ ด้านเสมอมา ซึ่งมีค่ากับผู้เขียนอย่างยิ่ง

สุดท้ายนี้ขอขอบพระคุณบุคคลที่มีได้เอ่ยนามมา ณ ที่นี้ ซึ่งให้การสนับสนุนผู้เขียน และเป็นกำลังใจให้กับผู้เขียนเสมอมา

คุณประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

ภานุรุจ ยะเรื่อน

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ .....	IV
สารบัญตาราง .....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา .....	2
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ .....	3
1.4 รายละเอียดของวิทยานิพนธ์.....	3
1.5 เอกสารอ้างอิงบทที่ 1 .....	4
บทที่ 2 วงจร VDTA.....	9
2.1 กล่าวนำ .....	9
2.2 คุณสมบัติวงจร VDTA ในทางอุดมคติ.....	10
2.3 คุณสมบัติวงจร VDTA ในทางปฏิบัติ .....	10
2.4 การสังเคราะห์วงจร VDTA โดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอส .....	11
2.4.1 วงจรแหล่งจ่ายกระแสลอยตัว.....	11
2.4.2 วงจรสะท้อนกระแส.....	12
2.5 คุณสมบัติของวงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส.....	15
2.6 ผลการทดลองต่อวงจรจริง .....	20
2.7 สรุป.....	23
2.8 เอกสารอ้างอิงบทที่ 2.....	24
บทที่ 3 วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียโดยใช้วงจร VDTA.....	27
3.1 กล่าวนำ .....	27
3.2 วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ.....	28
3.3 สมรรถนะของวงจรกรณีไม่เป็นไปตามอุดมคติ.....	29
3.4 ผลการจำลองการทำงานของวงจร.....	30
3.5 ผลการทดลองต่อวงจรจริง.....	33
3.6 การประยุกต์ใช้งานของวงจรที่นำเสนอ.....	37
3.7 สรุป.....	40
3.8 เอกสารอ้างอิงบทที่ 3 .....	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และดัด IV อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
บทที่ 4 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมโดยใช้วงจร VDTA.....	43
4.1 กล่าวนำ .....	43
4.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ .....	44
4.3 สมรรถนะของวงจรกรณีไม่เป็นไปตามอุดมคติ.....	45
4.4 ผลการจำลองการทำงานของวงจร.....	46
4.5 ผลการทดลองต่อวงจรจริง.....	48
4.6 การประยุกต์ใช้งานของวงจรที่นำเสนอ.....	53
4.7 สรุป.....	55
4.8 เอกสารอ้างอิงบทที่ 4 .....	55
บทที่ 5 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA .....	57
5.1 กล่าวนำ .....	57
5.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ .....	58
5.3 สมรรถนะของวงจรกรณีไม่เป็นไปตามอุดมคติ.....	59
5.4 ผลการจำลองการทำงานของวงจร.....	60
5.5 ผลการต่อวงจรทดลองจริง.....	62
5.6 การประยุกต์ใช้งานของวงจรที่นำเสนอ.....	67
5.7 สรุป.....	69
5.8 เอกสารอ้างอิงบทที่ 5 .....	69
บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ.....	71
6.1 บทสรุป .....	71
6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ .....	72
6.3 เอกสารอ้างอิงบทที่ 6 .....	73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต่อVอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
ภาคผนวก .....	74
ภาคผนวก ก การวิเคราะห์คุณสมบัติของวงจรแหล่งจ่ายกระแสลอยตัว .....	75
ภาคผนวก ข การวิเคราะห์คุณสมบัติของสะพานกระแส .....	80
ภาคผนวก ค การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ ที่ไม่มีการสูญเสียโดยใช้วงจร VDTA.....	84
ภาคผนวก ง การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ ที่มีการสูญเสียแบบอนุกรมโดยใช้วงจร VDTA .....	90
ภาคผนวก จ การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ ที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA.....	96
ภาคผนวก ฉ บทความวิจัยที่ได้รับการตีพิมพ์ .....	102
ประวัติผู้เขียน .....	132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และตัดVIอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
2.1 ความกว้าง (W) และความยาว (L) ของช่องนำกระแสของทรานซิสเตอร์ ที่ใช้ในวงจร VDTA ดังรูปที่ 2.5.....	15
2.2 รายละเอียดของอัตราขยายค่าความนำของวงจร VDTA ในรูปที่ 2.5.....	18
3.1 รายละเอียดของค่า $L_{eq}$ ของวงจรที่นำเสนอในรูปที่ 3.1.....	30
3.2 รายละเอียดของค่า $L_{eq}$ ที่ใช้ในการทดสอบวงจรในรูปที่ 3.6.....	34
3.3 รายละเอียดของค่า $L_{eq}$ ที่ใช้ในการทดสอบวงจรในรูปที่ 3.10.....	38
4.1 รายละเอียดของค่า $R_{eq}$ และ $L_{eq}$ ของวงจรที่นำเสนอในรูปที่ 4.1.....	46
4.2 รายละเอียดของค่า $R_{eq}$ และ $L_{eq}$ ที่ใช้ในการทดสอบวงจรในรูปที่ 4.6.....	49
4.3 รายละเอียดของค่า $R_{eq}$ และ $L_{eq}$ ที่ใช้ในการวัดวงจรในรูปที่ 4.10.....	53
5.1 รายละเอียดของค่า $R_{eq}$ และค่า $L_{eq}$ ของวงจรที่นำเสนอในรูปที่ 5.1.....	60
5.2 รายละเอียดของค่า $R_{eq}$ และค่า $L_{eq}$ ที่ใช้ในการทดสอบวงจรในรูปที่ 5.6.....	64
5.3 รายละเอียดของค่า $R_{eq}$ และค่า $L_{eq}$ ที่ใช้ในการทดสอบวงจรในรูปที่ 5.10.....	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และตัด VI อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
2.1	วงจรร VDTA ในทางอุดมคติ ..... 10
2.2	วงจรรสมมูลทางไฟฟ้าของวงจรร VDTA ในทางปฏิบัติ ..... 11
2.3	วงจรรแหล่งจ่ายกระแสลอยตัว ..... 12
2.4	วงจรรสะท้อนกระแสแบบพื้นฐาน ..... 13
2.5	โครงสร้างภายในของวงจรร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส ..... 14
2.6	วงจรร VDTA โดยโปรแกรม PSPICE ..... 16
2.7	ผลการจำลองอัตราขยายค่าความนำของวงจรร VDTA เมื่อแปรค่าแรงดันอินพุต ..... 16
2.8	ผลการจำลองอัตราขยายค่าความนำของวงจรร VDTA เมื่อแปรค่ากระแสไบอัส $I_B$ ..... 17
2.9	ผลการจำลองผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตที่ขั้ว p และ n ..... 17
2.10	ผลการจำลองผลตอบสนองทางความถี่ของอิมพีแดนซ์เอาต์พุตของวงจรร VDTA ..... 18
2.11	ผลการจำลองผลตอบสนองทางความถี่ของ $g_{mF}$ , $g_{mS+}$ และ $g_{mS-}$ ..... 19
2.12	ผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ เมื่อแปรค่า $I_B$ ..... 19
2.13	การสังเคราะห์วงจรร VDTA โดยใช้ไอซีเบอร์ CA3080 และไอซีเบอร์ CA3280 ..... 21
2.14	ภาพถ่ายวงจรร VDTA ที่ใช้ทำการต่อทดลองจริง ..... 21
2.15	ผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว z ..... 22
2.16	ผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว $x+$ และขั้ว $x-$ ..... 22
2.17	ผลการวัดผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ เมื่อแปรค่า $I_B$ ..... 23
3.1	วงจรรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ ..... 28
3.2	ผลการจำลองผลการตอบสนองทางเวลาของวงจรรที่นำเสนอในรูปที่ 3.1 ..... 31
3.3	ผลการจำลองผลการตอบสนองทางความถี่ของวงจรรที่นำเสนอในรูปที่ 3.1 ..... 31
3.4	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรที่นำเสนอในรูปที่ 3.1 เมื่อแปรค่า $g_m$ ..... 32
3.5	การต่อวงจรรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอที่ใช้ในการทดลอง ..... 33
3.6	ภาพถ่ายวงจรรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่ใช้ในทดลอง ..... 33
3.7	ผลการวัดผลตอบสนองทางเวลาของวงจรรในรูปที่ 3.6 ..... 35
3.8	ผลการวัดผลตอบสนองทางเฟสของวงจรรในรูปที่ 3.6 ..... 35
3.9	ผลการวัดผลตอบสนองทางขนาดของวงจรรในรูปที่ 3.6 เมื่อแปรค่า $g_m$ ..... 36
3.10	วงจรรกรองผ่านแถบความถี่โดยใช้วงจรรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 3.1 ..... 38
3.11	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรกรองผ่านแถบความถี่ในรูปที่ 3.10 ..... 39
3.12	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรกรองผ่านแถบความถี่ ในรูปที่ 3.10 เมื่อแปรค่า $g_m$ ..... 39

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.1	วงจรถ่ายแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ ..... 44
4.2	ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 4.1..... 47
4.3	ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1..... 47
4.4	ผลการจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 4.1 เมื่อแปรค่า $g_{ms}$ ..... 48
4.5	การต่อวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่ใช้ในการทดลอง ..... 48
4.6	ภาพถ่ายวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่ใช้ในทดลอง..... 50
4.7	ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 4.6..... 50
4.8	ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 4.6..... 51
4.9	ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 4.6 เมื่อแปรค่า $g_{ms}$ ..... 51
4.10	วงจรกรองผ่านแถบความถี่ต่ำอันดับสองโดยใช้วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย ในรูปที่ 4.1..... 54
4.11	ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสอง ในรูปที่ 4.10 ..... 54
4.12	ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสอง ในรูปที่ 4.10 เมื่อแปรค่า $g_{ms}$ ..... 55
5.1	วงจรถ่ายแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ ..... 58
5.2	ผลการจำลองผลการตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 5.1 ..... 61
5.3	ผลการจำลองผลการตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1..... 61
5.4	ผลการจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 5.1 เมื่อแปรค่า $g_{ms}$ ..... 62
5.5	การต่อวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่ใช้ในการทดลอง ..... 62
5.6	ภาพถ่ายวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่ใช้ในทดลอง..... 63
5.7	ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 5.6..... 64
5.8	ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 5.6..... 65
5.9	ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 5.6 เมื่อแปรค่า $g_{ms}$ ..... 65
5.10	วงจรรีโซแนนซ์แบบขนานโดยใช้วงจรที่นำเสนอในรูปที่ 5.1 ..... 67
5.11	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์แบบขนานในรูปที่ 5.10..... 68
5.12	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์แบบขนาน ในรูปที่ 5.10 เมื่อแปรค่า $g_{ms}$ ..... 68

## สารบัญรูป (ต่อ)

รูปที่	หน้า
ก1	วงจรแหล่งจ่ายกระแสลอยตัวแบบมอสทรานซิสเตอร์ในรูปที่ 2.3 ..... 76
ก2	วงจรสมมูลของวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ ก1 ..... 78
ก3	วงจรสมมูลของวงจรแหล่งจ่ายกระแสลอยตัว เมื่อพิจารณาเฉพาะทรานซิสเตอร์ $M_1$ และ $M_2$ ..... 78
ข1	วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์ ..... 81
ข2	วงจรสมมูลของวงจรสะท้อนกระแส $M_{13}$ - $M_{14}$ ..... 83
ค1	วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ ..... 85
ง1	วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ ..... 91
จ1	วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ ..... 97



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และตัด X อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ช่วงทศวรรษที่ผ่านมาการออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกได้รับความนิยมน้อยกว่าในช่วงทศวรรษก่อนหน้าทั้งในงานด้านการประมวลผลสัญญาณและการสื่อสารข้อมูลในภาคแอนะล็อก เช่น การปรับแต่งสัญญาณภาคอินพุตก่อนส่งผ่านไปยังส่วนที่ทำหน้าที่แปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลในวงจรกรองสัญญาณภาพ (video filters) [1] ระบบควบคุมความถี่โดยใช้วิธีเปรียบเทียบเฟส หรือ เฟสล็อกลูป (phase-locked loop) การออกแบบโครงข่ายแยกช่วงความถี่ (crossover network) [2] หรือการออกแบบวงจรกรองสัญญาณ (filter) และวงจรออสซิลเลเตอร์ (oscillator) เป็นต้น ซึ่งวงจรที่กล่าวมานั้นมักมีตัวเหนี่ยวนำซึ่งเป็นอุปกรณ์พาสซีฟรวมอยู่ด้วย แต่ด้วยตัวเหนี่ยวนำแบบพาสซีฟนั้นมีโครงสร้างทางกายภาพที่ใหญ่ไม่เหมาะสมต่อการพัฒนาเป็นวงจรรวม (integrated circuit, IC) จึงได้มีการพยายามแก้ปัญหาดังกล่าวโดยนำอุปกรณ์แอคทีฟ (active circuit building block) มาออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำ [3]-[6] ซึ่งแนวทางการวิจัยและพัฒนาการออกแบบวงจรประมวลผลสัญญาณแอนะล็อกที่ได้รับความสนใจอย่างกว้างขวางคือ การออกแบบโดยใช้อุปกรณ์แอคทีฟที่มีสมรรถนะในการทำงานสูง ยกตัวอย่างเช่น วงจร OA (operational amplifier) [7]-[12] วงจร OTA (operational transconductance amplifier) [13]-[17] และ วงจร CC (current conveyor) [18]-[22] เป็นต้น

ในปี ค.ศ.1999 นักวิจัยชื่อ Cevdet Acar และ Serdar Ozoguz ได้นำเสนออุปกรณ์แอคทีฟชื่อว่า วงจร CDBA (current differencing buffered amplifier) ขึ้นเป็นครั้งแรก [23] เพื่อประยุกต์ใช้ในการสังเคราะห์วงจรกรองสัญญาณโหมดกระแส (current mode) และโหมดแรงดัน (voltage mode) โดยวงจร CDBA ประกอบด้วยวงจรร้อยที่สำคัญสองส่วน คือ วงจรผลต่างกระแส (current differencing circuit) และวงจรตามแรงดัน (voltage follower) ทำให้มีคุณสมบัติเด่นหลายประการ เช่น มีช่วงแบนด์วิดท์ที่กว้าง (wide bandwidth) และโครงสร้างวงจรที่ไม่ซับซ้อน จึงทำให้นักวิจัยจำนวนมากนำวงจร CDBA มาสังเคราะห์เป็นวงจรเลียนแบบตัวเหนี่ยวนำกันอย่างมากมาย [24]-[26] อย่างไรก็ตามหากพิจารณาคุณสมบัติในการทำงานของวงจร CDBA จะพบว่าการป้อนสัญญาณแรงดันเอาต์พุตกลับมายังกระแสอินพุตของวงจร จำเป็นต้องตัวต้านทานจากภายนอกเป็นองค์ประกอบสำคัญในการสังเคราะห์วงจร

ต่อมาในปี ค.ศ. 2003 นักวิจัยชื่อ Dalibor Birolek ได้นำเสนออุปกรณ์แอคทีฟที่มีชื่อว่า วงจร CDTA (current differencing transconductance amplifier) ขึ้นเป็นครั้งแรก [27] โดยประกอบด้วยวงจรมลต่างกระแสเป็นภาคอินพุต และวงจร OTA เป็นภาคเอาต์พุตของวงจร เมื่อพิจารณาคุณสมบัติของวงจร CDTA จะเห็นว่าในส่วนภาคอินพุตของวงจรมีคุณสมบัติการทำงานส่วนใหญ่คล้ายกับวงจร CDBA แต่ในส่วนภาคเอาต์พุตจะใช้วงจร OTA มาทำหน้าที่แทนวงจรตามแรงดัน ดังนั้นวงจรเลียนแบบตัวเหนี่ยวนำที่ออกแบบโดยใช้วงจร CDTA จึงสามารถทำการปรับแต่งคุณสมบัติของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ รวมทั้งยังสามารถสังเคราะห์วงจรโดยไม่ต้องใช้ตัวต้านทานจากภายนอกอีกด้วย จึงได้รับความนิยมในการนำมาออกแบบและพัฒนาขึ้น

ในรูปแบบต่างๆ มากมาย [28]-[35]

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปี ค.ศ. 2008 Dalibor Bolek ได้รวบรวมและสรุปคุณสมบัติการทำงานของอุปกรณ์แอกทีฟที่มีศักยภาพในงานด้านการออกแบบวงจรแอนะล็อกขึ้น [36] ซึ่งหนึ่งในนั้นคือ วงจร VDTA (voltage differencing transconductance amplifier) โดยคุณสมบัติการทำงานของวงจร VDTA สามารถเปรียบเทียบได้กับวงจร CDTA ที่ทำงานในโหมดกระแสซึ่งนำเสนอขึ้นก่อนหน้า กล่าวคือภาคอินพุตของวงจร CDTA มีคุณสมบัติเป็นวงจรผลต่างกระแส ส่วนภาคอินพุตของวงจร VDTA มีคุณสมบัติเป็นวงจรผลต่างแรงดัน ซึ่งหมายความว่าวงจร VDTA จะประกอบด้วยวงจรที่มีคุณสมบัติเป็นแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดันต่อร่วมกับวงจร OTA แบบหลายเอาต์พุต ดังนั้นด้วยศักยภาพในการปรับค่าได้ทางอิเล็กทรอนิกส์ อีกทั้งโครงสร้างภายในของวงจร VDTA ที่มีความกะทัดรัด (compact structure) จึงเป็นข้อได้เปรียบที่น่าสนใจและนำไปประยุกต์ใช้ในการสังเคราะห์วงจรต่างๆอย่างแพร่หลาย [37]-[42] ดังนั้นจึงนับได้ว่าวงจร VDTA เป็นอุปกรณ์แอกทีฟอีกทางเลือกหนึ่งในการสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกทั้งโหมดกระแสและโหมดแรงดัน

จากเหตุผลที่ได้กล่าวมาข้างต้นวิทยานิพนธ์ฉบับนี้จึงมุ่งเน้นในการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำ โดยการใช้อุปกรณ์แอกทีฟหลักเพียงชนิดเดียว คือ วงจร VDTA ซึ่งทำให้วงจรมีความไม่ยุ่งยากซับซ้อน และสามารถปรับอัตราขยายค่าความนำ (transconductance gain) ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการควบคุมกระแสไบอัสจากภายนอก ทำให้เกิดความคล่องตัวและยืดหยุ่นต่อการปรับค่าพารามิเตอร์ที่สำคัญของวงจรกรองสัญญาณ นอกจากนี้ยังต่อร่วมกับอุปกรณ์พาสซีฟจำนวนน้อย ทำให้พื้นที่ของวงจรมีขนาดเล็กและสิ้นเปลืองกำลังไฟฟ้าต่ำ รวมถึงทำให้ต้นทุนในการผลิตวงจรมีค่าต่ำอีกด้วย ซึ่งเหมาะสมกับแนวทางการนำไปสร้างเป็นวงจรรวมต่อไป

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้เป็นการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจร VDTA เป็นอุปกรณ์แอกทีฟหลักจำนวนหนึ่งตัวต่อร่วมกับตัวเก็บประจุเทียบกราวด์ (grounded capacitor) จำนวนหนึ่งตัว ค่าอิมพีแดนซ์ที่ได้จากวงจรสามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านการปรับกระแสไบอัสของวงจร VDTA ซึ่งคุณสมบัติดังกล่าวช่วยลดจำนวนอุปกรณ์พาสซีฟ ทำให้เกิดความยืดหยุ่นในการออกแบบและสะดวกเมื่อนำไปออกแบบประยุกต์เป็นวงจรกรองสัญญาณและวงจรออสซิลเลเตอร์อีกด้วย นอกจากนี้วิทยานิพนธ์ฉบับนี้ยังศึกษาถึงคุณสมบัติและหลักเกณฑ์ในการออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกโดยใช้วงจร VDTA ที่มีโครงสร้างกะทัดรัด เป็นอุปกรณ์แอกทีฟหลัก มุ่งเน้นการใช้อุปกรณ์แอกทีฟและพาสซีฟจำนวนน้อย วงจรที่ออกแบบมีโครงสร้างที่ไม่ยุ่งยากซับซ้อน และสามารถปรับค่าคุณสมบัติที่สำคัญของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์

### 1.3 หลักการใหม่ที่น่าเสนอขึ้นในวิทยานิพนธ์

จากการติดตามผลงานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรประมวลผลสัญญาณแอนะล็อกพบว่าเนื่องจากปัญหาของตัวเหนี่ยวนำแบบพาสซีฟที่มีขนาดที่ใหญ่ไม่เหมาะสมต่อการพัฒนาเป็นวงจรรวม ดังนั้นในวิทยานิพนธ์นี้จึงมุ่งเน้นการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสีย (lossless inductor) และแบบที่มีการสูญเสีย (lossy inductor) โดยใช้วงจร VDTA แม้จะมีการนำเสนอในงานวิจัยในลักษณะเดียวกันมาบ้างแล้ว แต่งานวิจัยทั้งหมดในอดีต [3]-[6], [43]-[52] ยังมีข้อด้อยอยู่หลายประการเมื่อเทียบกับงานวิจัยที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้เช่น อาศัยอุปกรณ์แอคทีฟมากกว่าหนึ่งตัวในการสังเคราะห์วงจร [3], [43]-[45] อีกทั้งยังไม่สามารถแปรค่าทางอิเล็กทรอนิกส์ได้ [46]-[48] หรือจำเป็นต้องอาศัยอุปกรณ์พาสซีฟมากกว่าหนึ่งตัวในการสังเคราะห์วงจร [49]-[52] เป็นต้น

จากประเด็นที่กล่าวไว้ข้างต้น สามารถสรุปหลักการใหม่ที่ได้นำเสนอในวิทยานิพนธ์นี้คือสังเคราะห์และออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบปรับค่าได้โดยใช้วงจร VDTA ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ ซึ่งรูปแบบของวงจรเลียนแบบตัวเหนี่ยวนำทั้งหมดที่นำเสนอ สามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย โดยปราศจากตัวต้านทานจากภายนอก

### 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวกอีก 6 ภาค โดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ ซึ่งจะเป็นการกล่าวถึงความจำเป็นและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา หลักการใหม่ที่น่าเสนอขึ้นในวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงหลักการทำงานและการวิเคราะห์วงจรภายในของวงจร VDTA รวมถึงการทดสอบสมรรถนะของวงจร VDTA โดยใช้โปรแกรม PSPICE และการต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ ไอซีเบอร์ CA3280

บทที่ 3 นำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสีย (lossless inductor) โดยใช้วงจร VDTA และตัวเก็บประจุเทียบกราวด์ ซึ่งได้ทำการยืนยันผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE และผลการทดลองด้วยการต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ ไอซีเบอร์ CA3280

บทที่ 4 นำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม (lossy inductor) โดยใช้วงจร VDTA หนึ่งตัว วงจรสามารถแปรค่าแลทำงานได้โดยปราศจากตัวต้านทานจากภายนอก ซึ่งผลการจำลองการทำงานของวงจรถูกตรวจสอบด้วยโปรแกรม PSPICE เปรียบกับผลการทดลองด้วยการต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ ไอซีเบอร์ CA3280

บทที่ 5 นำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน (lossy inductor) ใช้วงจร VDTA จำนวนหนึ่งตัว ต่อร่วมกับตัวเก็บประจุแบบเทียบกราวด์จำนวนหนึ่งตัว โดยทำการยืนยันผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE และผลการทดลองด้วยการต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ ไอซีเบอร์ CA3280

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์เพื่อการเรียนการสอนเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 สรุปผลงานวิจัยที่ได้นำเสนอไว้ในวิทยานิพนธ์ พร้อมทั้งข้อเสนอแนะในการทำวิจัย และการพัฒนาต่อ

ส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวก ซึ่งแสดงการวิเคราะห์คุณสมบัติและสมการที่ใช้ ภายในแต่ละบท ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก	การวิเคราะห์คุณสมบัติของวงจรแหล่งจ่ายกระแสลอยตัว
ภาคผนวก ข	การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส
ภาคผนวก ค	การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสีย
ภาคผนวก ง	การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม
ภาคผนวก จ	การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน
ภาคผนวก ฉ	บทความวิจัยที่ได้รับการตีพิมพ์

### 1.5 เอกสารอ้างอิงบทที่ 1

- [1] A. Uygur and H. Kuntman, "Seventh-order elliptic video filter with 0.1 dB pass band ripple employing CMOS CDTAs", **International Journal of Electronics and Communications (AEU)**, vol. 61, no. 5, pp. 320-328, 2007.
- [2] M. A. Ibrahim, S. Minaei and H. Kuntman, "A 22.5 MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements", **International Journal of Electronics and Communications (AEU)**, vol. 59, no. 5, pp. 311-318, 2005.
- [3] C. Psychalinos and A. Spanidou, "Current amplifier-based grounded and floating inductance simulators", **International Journal of Electronics and Communications (AEU)**, vol.60, pp.168-171, 2006.
- [4] E. Yuce, "Inductor implementation using a canonical number of active and passive elements", **International Journal of Electronics**, vol.94, no.4, pp.317-326, 2007.
- [5] E. Yuce, "Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components", **Analog Integrated Circuits and Signal Processing**, vol. 59, no.1, pp.77-82, 2009.
- [6] F. Kaçar, H. Kuntman, "CFOA-based lossless and lossy inductance simulators", **Radioengineering**, vol. 20, no.3, pp.627-631, 2011.
- [7] K. Matsukawa, Y. Mitani, M. Takayama, K. Obata, S. Dosho and A. Matsuzawa, "A fifth-order continuous-time delta-sigma modulator with single-opamp resonator", **IEEE Journal of Solid-State Circuits**, vol. 45, pp. 697-706, 2010.
- [8] R. Raut, M. N. S. Swamy and N. Tian, "Current-mode filters using voltage amplifiers", **Circuits, Systems, and Signal Processing**, vol. 26, no. 5, pp. 773-792, 2007.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [9] N. A. Shah and S. Z. Iqbal, "Versatile voltage mode universal biquad filter using the operational amplifier pole", **International Journal of Electronics**, vol. 94, no. 1, pp. 75-79, 2007.
- [10] R. Raut, M. N. S. Swamy and N. Tian, "On the realization of current transfer function using voltage amplifiers", **International Journal of Circuit Theory and Applications**, vol. 34, no. 5, pp. 583-589, 2006.
- [11] S. Koziel and S. Szczepanski, "General active-RC filter model for computer aided design", **Bulletin of the Polish Academy of Sciences**, vol. 54, no. 1, pp. 89-99, 2006.
- [12] N. A. Shah, S. Z. Iqbal and B. Parveen, "Lowpass and bandpass transadmittance filter using operational amplifier pole", **International Journal of Electronics and Communications (AEU)**, vol. 59, no. 7, pp. 410-412, 2005.
- [13] Y. Ozcelep, A. Kuntman and H. Kuntman, "On the degradation of OTA-C based CMOS low-power filter circuits for biomedical instrumentation", **Turkish Journal of Electrical Engineering & Computer Sciences**, vol. 20, no. 2, pp. 1359-1368, 2012.
- [14] C. N. Lee, "High-order multiple-mode and transadmittance-mode OTA-C universal filters", **Journal of Circuits, Systems, and Computers**, vol. 21, no. 5, pp. 1250048 (21 page), 2012.
- [15] A. Pirmohammadi and M. H. Zarifi, "A low power tunable Gm-C filter based on double CMOS inverters in 0.35  $\mu\text{m}$ ", **Analog Integrated Circuits and Signal Processing**, vol. 71, no. 3, pp. 473-479, 2012.
- [16] S. V. Thyagarajan, S. Pavan and P. Sankar, "Active-RC filters using the Gm-assisted OTA-RC technique", **IEEE Journal of Solid-State Circuits**, vol. 46, no. 7, pp. 1522-1533, 2011.
- [17] F. Rezaei and S. J. Azhari, "Ultra low voltage, high performance operational transconductance amplifier and its application in a tunable Gm-C filter", **Microelectronics Journal**, vol. 42, no. 6, pp. 827-836, 2011.
- [18] H. Alzaher, N. Tasadduq and O. Al-Ees, "Implementation of reconfigurable  $n$ th-order filter based on CCII", **Analog Integrated Circuits and Signal Processing**, vol. 75, no. 3, pp. 539-545, 2013.
- [19] W. Tangsrirat, "Cascadable current-mode first-order allpass filter using current controlled conveyors", **Przeglad Elektrotechniczny**, vol. 89, no 1a, pp. 187-190, 2013.
- [20] J. W. Horng, "Analytical synthesis of general high-order voltage/current transfer functions using CCIs", **Microelectronics Journal**, vol. 43, no. 8, pp. 546-554, 2012.

- [21] J. W. Horng, C. L. Hou, Y. S. Guo, C. H. Hsu, D. Y. Yang and M. J. Ho, “Low input and high output impedances current-mode first-order allpass filter employing grounded passive components”, **Circuits and Systems**, vol. 3, no. 2, pp. 176-179, 2012.
- [22] B. Metin, K. Pal and O. Cicekoglu, “A new approach for high-input impedance in voltage mode filters using first-generation current conveyor in place of second-generation current conveyor”, **International Journal of Electronics**, vol. 99, no. 1, pp. 131-139, 2012.
- [23] C. Acar and S. Ozoguz, “A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters”, **Microelectronics Journal**, vol. 30, no. 2, pp. 157-160, 1999.
- [24] M. T. Abuelma’atti, M. H. Khan, and H. A Al-Zaher, “Simulation of active-only floating inductance”, **Frequenz**, vol. 52, pp. 161-164, 1998.
- [25] A. Toker, S. Ozoguz and C. Acar, “CDBA-based fully integrated gyrator circuit suitable for electronically tunable inductance simulation”, **International Journal of Electronics and Communications (AEU)**, vol. 54, no. 5, pp. 293-296, 2000.
- [26] C. Acar ,and S. Ozoguz, “A versatile building block current differencing buffered amplifier suitable for analog signal processing filters”, **Microelectronics Journal**, vol. 30, pp. 157-160, 1999.
- [27] D. Biolek, “CDTA-building block for current-mode analog signal processing”, **Proceedings of the 16<sup>th</sup> IEEE European Conference on Circuits Theory and Design (ECCTD 2003)**, Krakow, Poland, vol. 3, pp. 397-400, 2003.
- [28] Y. Li, “A modified CDTA (MCDTA) and its applications: designing current-mode sixth-order elliptic band-pass filter”, **Circuits, Systems, and Signal Processing**, vol. 30, no. 6, pp. 1383-1390, 2011.
- [29] N. Pandey and S. K. Paul, “Single CDTA-based current mode all-pass filter and its applications”, **Journal of Electrical and Computer Engineering**, vol. 2011, Article ID 897631, 5 pages, 2011.
- [30] F. Kacar and H. Kuntman, “A new, improved CMOS realization of CDTA and its filter applications”, **Turkish Journal of Electrical Engineering & Computer Sciences**, vol. 19, no. 4, pp. 631-642, 2011.
- [31] W. Tangsrirat and T. Pukkalanun, “Structural generation of two integrator loop filters using CDTAs and grounded capacitors”, **International Journal of Circuit Theory and Applications**, vol. 39, no. 1, pp. 31-45, 2011.

- [32] W. Tangsrirat, T. Pukkalanun and W. Surakamponorn, “Resistorless realization of current-mode first-order allpass filter using current differencing transconductance amplifiers”, **Microelectronics Journal**, vol. 41, no. 2-3, pp. 178-183, 2010.
- [33] D. Prasad, D. R. Bhaskar and A. K. Singh, “Multi-function biquad using single current differencing transconductance amplifier”, **Analog Integrated Circuits and Signal Processing**, vol. 61, no. 3, pp. 309-313, 2009.
- [34] M. Siripruchyanun and W. Jaikla, “Current-controlled current differencing transconductance amplifier and applications in continuous-time signal processing circuits”, **Analog Integrated Circuits and Signal Processing**, vol. 61, no. 3, pp. 247-257, 2009.
- [35] W. Tangsrirat, “Cascadable current-controlled current-mode universal filters using CDTAs and grounded capacitors”, **Journal of Active and Passive Electronic Devices**, vol. 4, no. 1-2, pp. 135-145, 2009.
- [36] D. Bolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing: classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [37] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba, “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Elektronika ir Elektrotechnika**, vol. 19, no. 10, pp. 87-90, 2013.
- [38] D. Prasad, M. Srivastava and D. Bhaskar, “Electronically controllable fully-uncoupled explicit current-mode quadrature oscillator using VDTAs and grounded capacitors”, **Circuits and Systems**, vol. 4, no. 2, pp. 169-172, 2013.
- [39] D. Prasad, D. Bhaskar and M. Srivastava, “Universal current-mode biquad filter using a VDTA”, **Circuits and Systems**, vol. 4, no. 1, pp. 29-33, 2013.
- [40] D. Prasad and D. Bhaskar, “Grounded and floating inductance simulation circuits using VDTAs”, **Circuits and Systems**, vol. 3, no. 4, pp. 342-347, 2012.
- [41] D. Bolek, M. Shaktour, V. Biolkova and Z. Kolka, “Current-input current-output universal biquad employing two bulk-driven VDTAs”, **Proceedings of the 4<sup>th</sup> International Congress on Ultra Modern Telecommunications and Control Systems (ICUMT 2012)**, St. Petersburg, Russia, pp. 484-489, 2012.
- [42] D. Prasad and D.R. Bhaskar, “Electronically Controllable Explicit Current Output Sinusoidal Oscillator Employing Single VDTA”, **ISRN Electronics**, vol. 2012, Article ID 382560, 5 pages, 2012.
- [43] E. Yuce, S. Minaei, “Novel floating simulated inductors with wider operating-frequency ranges”, **Microelectronics Journal**, vol.40, pp.928-938, 2009.

- [44] D. Prasad, D. R. Bhaskar, and A. K. Singh, “New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers”, **Radioengineering**, vol.19, no.1, pp.194-198, 2010.
- [45] E. Yuce, “A novel floating simulation topology composed of only grounded passive elements”, **International Journal of Electronics**, vol.97, no.3, pp.249-262, 2010.
- [46] H. Kuntman, M.Gulsoy, O.Cicekoglu, “Actively simulated grounded lossy inductors using third generation current conveyor”, **Microelectronics Journal**, vol.31, no.4, pp.245-250, 2000.
- [47] U. Cam, F. Kacar, O. Cicekoglu, H. Kuntman, A. Kuntman, “Novel grounded parallel immittance simulator topologies employing single OTRA” **International Journal of Electronics and Communications (AEU)**, vol.57, no.4, pp.287-290, 2003.
- [48] F. Kacar, A. Yesil “Novel grounded parallel inductance simulator realization using a minimum number of active and passive components” **Microelectronics Journal** vol.41, no.1, pp.632-638, 2010.
- [49] H. Yu Wang, C. Ting Lee “Systematic synthesis of R-L and C-D immittances using single CCIII” **International Journal of Electronics**, vol.87, no.3, pp.293-301, 2000.
- [50] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, “Lossy/lossless floating/grounded inductance simulation using one DDCC”, **Radioengineering**, vol.21, no.1, pp.3-10, 2012.
- [51] F. Kacar, A. Yesil, S. Minaei, H. Kuntman “Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements” **International Journal of Electronics and Communications (AEU)**, vol.68, no.1, pp.73-78, 2014.
- [52] H. Alpaslan, E. Yuce “Inverting CFOA based lossless and lossy grounded inductor simulators”, **Circuits Systems and Signal Processing**, vol. 34, no.10, pp.3081-3100, 2015.

## บทที่ 2

### วงจรร VDTA

#### 2.1 กล่าวนำ

ปัจจุบันความก้าวหน้าทางด้านเทคโนโลยีการออกแบบวงจรรวม (integrated circuit, IC) หรือที่นิยมเรียกกันว่า ไอซี ได้มีการพัฒนาไปอย่างรวดเร็ว จึงทำให้วงจรรทางด้านอิเล็กทรอนิกส์ สำหรับการประมวลผลสัญญาณแอนะล็อก (analog signal processing) ในรูปแบบต่างๆ ได้รับความนิยมในการนำมาออกแบบและสังเคราะห์วงจรรวมขึ้นมากมาย ทั้งนี้เนื่องจากคุณสมบัติของวงจรรวมนั้นมีข้อดีหลายประการ อาทิเช่น มีขนาดเล็ก สิ้นเปลืองพลังงานน้อย จึงทำให้มีความคล่องตัวและสะดวกในการนำไปประยุกต์ใช้งาน เป็นต้น ดังนั้นจึงทำให้วงจรรประมวลผลสัญญาณแอนะล็อกที่สังเคราะห์ขึ้นในรูปแบบของวงจรรวม หรืออุปกรณ์แอกทีฟ ได้เข้ามามีบทบาทสำคัญ และกลายเป็นอุปกรณ์หลักในการพัฒนาออกแบบวงจรรประมวลผลสัญญาณแอนะล็อกต่างๆ มากมาย [1]-[12] จากการติดตามผลงานวิจัยในอดีตที่ผ่านมา พบว่าการออกแบบและสังเคราะห์วงจรรประมวลผลสัญญาณแอนะล็อกนั้นอาศัยอุปกรณ์แอกทีฟเป็นอุปกรณ์หลัก โดยมีเป้าหมายที่สำคัญเพื่อปรับปรุงและพัฒนาอุปกรณ์แอกทีฟพื้นฐานที่มีการใช้งานกันอย่างแพร่หลายให้มีประสิทธิภาพในการทำงานมากยิ่งขึ้น กล่าวคือพยายามลดข้อบกพร่องและข้อจำกัดต่างๆ ในการทำงานของวงจรรที่ออกแบบด้วยอุปกรณ์พาสซีฟ รวมทั้งยังมุ่งเน้นให้เกิดความยืดหยุ่นและมีความคล่องตัวในการนำไปประยุกต์ใช้งานออกแบบวงจรรประมวลผลสัญญาณแอนะล็อกรูปแบบต่างๆ อีกทั้งยังพัฒนาให้มีรูปแบบโครงสร้างภายในของวงจรรที่เรียบง่าย ไม่ซับซ้อน และยังคงไว้ซึ่งคุณสมบัติการทำงานพื้นฐานของวงจรรให้สามารถทำงานได้ในระดับแรงดันไฟเลี้ยงต่ำ และสามารถปรับแต่งค่าคุณสมบัติของวงจรรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ซึ่งนิยมนำมาใช้เป็นเป้าหมายหลักสำคัญในการพัฒนาอุปกรณ์แอกทีฟด้วยเช่นกัน

วงจรร VDTA (voltage differencing transconductance amplifier) เป็นอุปกรณ์แอกทีฟชนิดหนึ่ง ซึ่งถูกพัฒนาขึ้นโดย Dalibor Bišek และคณะในปี ค.ศ.2008 [13] โดยมีวัตถุประสงค์หลักเพื่อใช้ในการออกแบบและสังเคราะห์วงจรรประมวลผลสัญญาณต่างๆ เนื่องจากมีคุณสมบัติเด่นคือสามารถปรับอัตราขยายค่าความนำ (transconductance gain) ของวงจรรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการแปรค่ากระแสไบอัสจากภายนอก อีกทั้งโครงสร้างของวงจรรไม่ซับซ้อน พื้นที่วงจรรมีขนาดเล็ก และสิ้นเปลืองกำลังไฟฟ้าต่ำ

ดังนั้นในบทนี้จึงได้กล่าวถึงหลักการทำงานพื้นฐานของวงจรร VDTA พร้อมทั้งวิเคราะห์คุณสมบัติในทางอุดมคติและทางปฏิบัติ อีกทั้งยังนำเสนอแนวทางในการออกแบบและสังเคราะห์วงจรร VDTA โดยใช้โปรแกรมจำลองการทำงาน PSPICE และยืนยันผลด้วยการต่อทดลองจริงใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ CA3280 ของบริษัท Harris semiconductor ซึ่งสามารถหาซื้อได้ตามท้องตลาด อีกทั้งวงจรรยังมีความเรียบง่าย ไม่ยุ่งยากซับซ้อน และสามารถปรับอัตราขยายค่าความนำ (transconductance gain) ได้ด้วยวิธีการทางอิเล็กทรอนิกส์อีกด้วย โดยการควบคุมกระแสไบอัสจากภายนอก ทำให้งจรรที่นำเสนอมีความคล่องตัวและยืดหยุ่นในการนำไปการออกแบบและสังเคราะห์วงจรรประมวลผลสัญญาณแอนะล็อก [14]-[19]

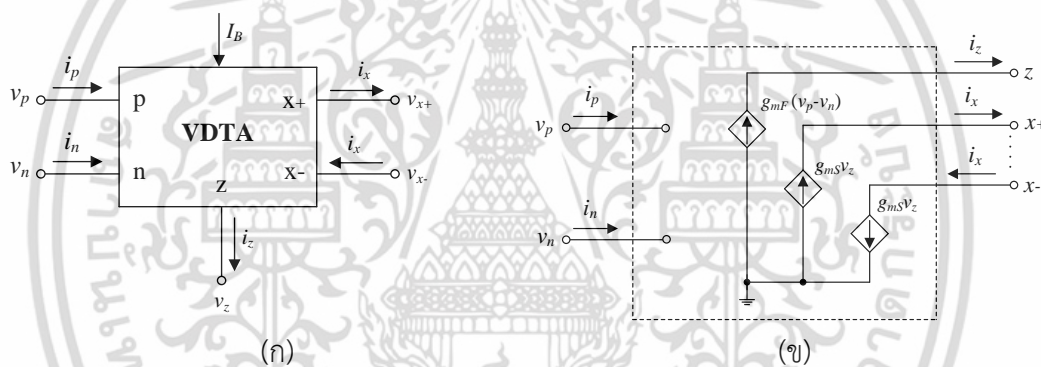
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 คุณสมบัติของวงจร VDTA ในทางอุดมคติ

วงจร VDTA ในทางอุดมคติ สามารถเขียนแสดงสัญลักษณ์ทางไฟฟ้าได้ดังรูปที่ 2.1 (ก) โดยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร อธิบายได้ดังนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (2.1)$$

โดยที่  $g_{mF}$  และ  $g_{mS}$  คือ อัตราขยายค่าความนำส่วนแรกและส่วนที่สองของวงจร VDTA ตามลำดับ สมการ (2.1) แสดงให้เห็นว่าผลต่างแรงดันอินพุตระหว่างขั้ว p กับ n ( $v_p - v_n$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว z ( $i_z$ ) ด้วยอัตราขยายค่าความนำ  $g_{mF}$  ในขณะที่แรงดันตกคร่อมที่ขั้ว z ( $v_z$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว x ( $i_x$ ) ด้วยอัตราขยายค่าความนำ  $g_{mS}$  ซึ่งสามารถเขียนอธิบายได้ด้วยวงจรสมมูลทางไฟฟ้าได้ดังรูปที่ 2.1 (ข) [20]-[21]



รูปที่ 2.1 วงจร VDTA ในทางอุดมคติ

(ก) สัญลักษณ์ทางไฟฟ้า

(ข) วงจรสมมูลทางไฟฟ้า

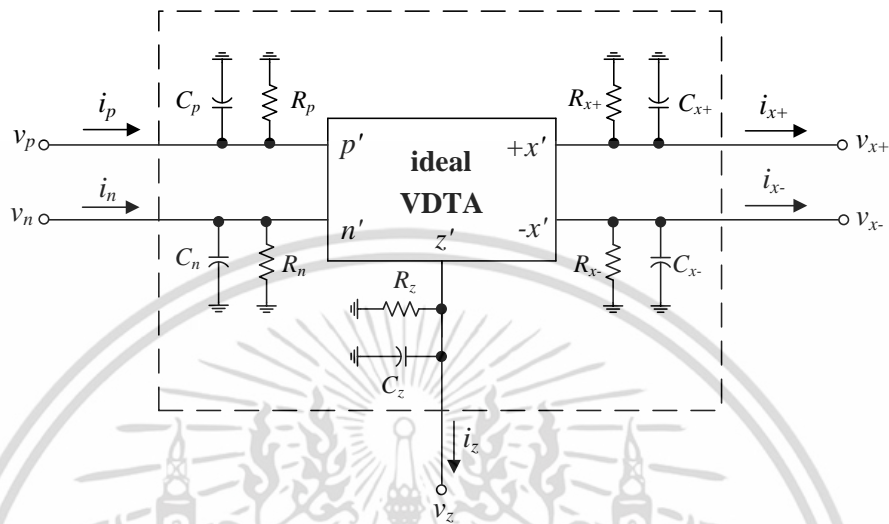
## 2.3 คุณสมบัติของวงจร VDTA ในทางปฏิบัติ

หากพิจารณาคุณสมบัติการทำงานของวงจร VDTA ในกรณีไม่เป็นอุดมคติ (non-ideal) สามารถเขียนอธิบายได้ดังรูปที่ 2.2 ซึ่งจะเห็นว่าประกอบด้วยอิมพีแดนซ์แฝงที่ขั้วอินพุต p ( $R_p//C_p$ ) และขั้ว n ( $R_n//C_n$ ) โดยอิมพีแดนซ์แฝงที่ขั้วเอาต์พุต z ขั้ว x+ และขั้ว x- จะประกอบด้วย  $R_z//C_z$ ,  $R_{x+}//C_{x+}$  และ  $R_{x-}//C_{x-}$  ตามลำดับ ดังนั้นจึงสามารถเขียนอธิบายความสัมพันธ์ระหว่างแรงดันอินพุตและกระแสเอาต์พุตของวงจร VDTA ในทางปฏิบัติได้ดังต่อไปนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \alpha g_{mF} & -\alpha g_{mF} & 0 \\ 0 & 0 & \beta g_{mS} \\ 0 & 0 & -\beta g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $\alpha = 1 - \varepsilon_{gmF}$  และ  $\varepsilon_{gmF}$  ( $\varepsilon_{gmF} \ll 1$ ) คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ (transconductance tracking error) ระหว่างขั้ว p และ ขั้ว n ไปยังขั้ว z ในขณะที่  $\beta$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำจากขั้ว z ไปยังขั้ว x ในกรณีนี้  $\beta = 1 - \varepsilon_{gmS}$  และ  $\varepsilon_{gmS}$  ( $\varepsilon_{gmS} \ll 1$ )



รูปที่ 2.2 วงจรสมมูลทางไฟฟ้าของวงจร VDTA ในทางปฏิบัติ

## 2.4 การสังเคราะห์วงจร VDTA โดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอส

วงจร VDTA ที่ถูกออกแบบและนำเสนอโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสจะประกอบด้วยกลุ่มวงจรร้อยที่สำคัญสองส่วนคือ วงจรแหล่งจ่ายกระแสลอยตัว (floating current source) และ วงจรสะท้อนกระแส (current mirror) ซึ่งมีรายละเอียดของแต่ละวงจรมีดังนี้

### 2.4.1 วงจรแหล่งจ่ายกระแสลอยตัว

รูปที่ 2.3 แสดงวงจรแหล่งจ่ายกระแสลอยตัว ซึ่งประกอบด้วยทรานซิสเตอร์  $M_1$ - $M_2$  และ  $M_3$ - $M_4$  ทำหน้าที่แปลงแรงดันผลต่างอินพุต (differential input voltage,  $V_{in} = V_1 - V_2$ ) ให้เป็นกระแสเอาต์พุต ( $I_O$ ) เมื่อพิจารณาทรานซิสเตอร์  $M_1$ - $M_2$  จะได้ความสัมพันธ์ดังนี้ [ภาคผนวก ก1]

$$I_{D1} = \frac{\mu C_{OX}}{2} \left( \frac{W}{L} \right) (V_{GS1} - V_{TH})^2 \quad (2.3)$$

และ

$$I_{D2} = \frac{\mu C_{OX}}{2} \left( \frac{W}{L} \right) (V_{GS2} - V_{TH})^2 \quad (2.4)$$

จากสมการ (2.3) และ (2.4) จะได้กระแสเอาต์พุต  $I_O$  มีค่าเท่ากับ

$$I_O = \frac{\mu C_{OX}}{2} \left( \frac{W}{L} \right) V_{in} \sqrt{\frac{4I_B}{\mu C_{OX} (W/L)} - V_{in}^2} \quad (2.5)$$

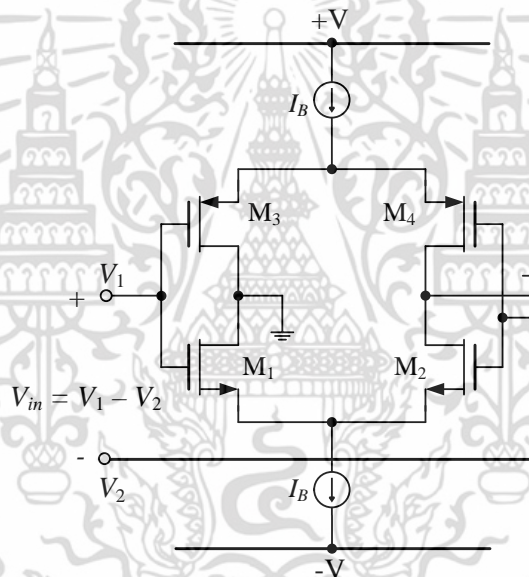
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้สามารถหาอัตราขยายค่าความนำ ( $g_m$ ) ของวงจรในรูปที่ 2.3 ได้จาก [ภาคผนวก ก2]

$$g_m \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_3 + g_4} \right) \quad (2.6)$$

โดยที่ 
$$g_i = \sqrt{I_B \mu C_{OX} \frac{W_i}{L_i}} \quad (2.7)$$

เมื่อ  $I_B$  คือ กระแสไบอัสของทรานซิสเตอร์  $\mu$  คือ ค่าสภาพความคล่องตัวของอิเล็กตรอน  $C_{OX}$  คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์  $g_i$  คือ อัตราขยายค่าความนำ  $W_i$  และ  $L_i$  คือ ความกว้างและความยาวของช่องนำกระแสของทรานซิสเตอร์แบบมอสตัวที่  $i$  ( $i = 1, 2, 3, 4$ ) ตามลำดับ



รูปที่ 2.3 วงจรแหล่งจ่ายกระแสลอยตัว

#### 2.4.2 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส เป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่ง ซึ่งนิยมนำไปประยุกต์ใช้งานเป็นแหล่งจ่ายกระแสแบบคงที่ (constant current source) โดยคุณสมบัติของวงจรสะท้อนกระแสในทางอุดมคตินั้นต้องมีค่ากระแสเอาต์พุตเท่ากับกระแสอินพุต ในขณะที่เดียวกันต้องมีค่าอิมพีแดนซ์อินพุตต่ำและ ค่าอิมพีแดนซ์เอาต์พุตสูง วงจรสะท้อนกระแสที่ออกแบบโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสแสดงได้ดังรูปที่ 2.4 สามารถทำงานได้โดยอาศัยแรงดันไบอัส ซึ่งมีค่าเท่ากันเป็นผลทำให้กระแสเอาต์พุตที่ชั่วเดรนจะมีค่าเท่ากันด้วย [22]-[25]

จากรูปที่ 2.4 เมื่อกำหนดให้  $I_{in}$  เป็นแหล่งจ่ายกระแสคงที่และ  $I_{out}$  เป็นกระแสเอาต์พุตของวงจรสะท้อนกระแส จะได้ความสัมพันธ์ดังนี้ [26]-[28]

$$\frac{I_{out}}{I_{in}} = \left( \frac{W_2 L_1}{W_1 L_2} \right) \left( \frac{V_{GS2} - V_{TH2}}{V_{GS1} - V_{TH1}} \right)^2 \left( \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \right) \left( \frac{\mu C_{OX2}}{\mu C_{OX1}} \right) \quad (2.8)$$

โดย  $\lambda_i$  คือค่ามอดูเลตความยาวของช่องนำกระแส (channel length modulation) ของทรานซิสเตอร์แบบมอสต์ที่  $i$  เมื่อกำหนดให้ทรานซิสเตอร์  $M_1$  และ  $M_2$  มีความสมพจน์กันทุกประการ จะได้อัตราขยายกระแสของวงจรสะท้อนกระแสในรูปที่ 2.4 เท่ากับ [ภาคผนวก ข1]

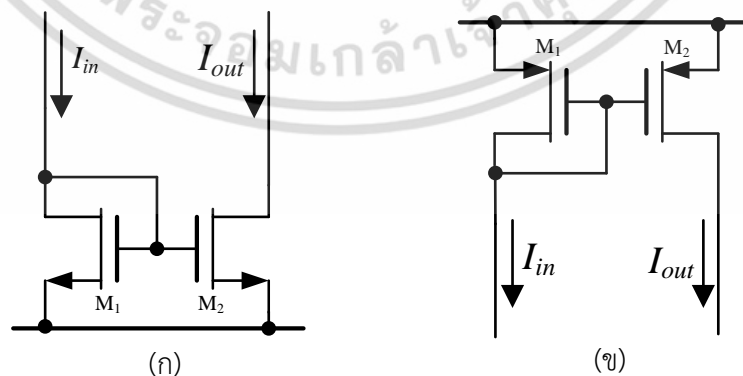
$$\frac{I_{out}}{I_{in}} = \left( \frac{W_2 L_1}{W_1 L_2} \right) \quad (2.9)$$

และผลตอบสนองทางความถี่ของวงจรในกรณีสัญญาณขนาดเล็ก เท่ากับ [ภาคผนวก ข2]

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} \left[ \frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right] \quad (2.10)$$

จากสมการ (2.10) หากพิจารณาในกรณีความถี่ต่ำ ( $s \rightarrow 0$ ) อัตราขยายกระแสของวงจรสะท้อนกระแสจะเท่ากับ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} \quad (2.11)$$



รูปที่ 2.4 วงจรสะท้อนกระแสแบบพื้นฐาน  
(ก) ชนิดบวก (ข) ชนิดลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ 2.3 มาประกอบกับวงจรสะท้อนกระแสในรูปที่ 2.4 จะได้วงจรดังรูปที่ 2.5 วงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส โดยอัตราขยายค่าความนำของวงจรแหล่งจ่ายกระแสลอยตัว  $M_1$ - $M_4$  และ  $M_5$ - $M_8$  ก็สามารถวิเคราะห์หาได้เช่นเดียวกับสมการ (2.6) นั่นคือ

$$g_{mF} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_4 + g_4} \right) \quad (2.12)$$

และ

$$g_{mS} \cong \left( \frac{g_5 g_6}{g_5 + g_6} \right) + \left( \frac{g_7 g_8}{g_7 + g_8} \right) \quad (2.13)$$

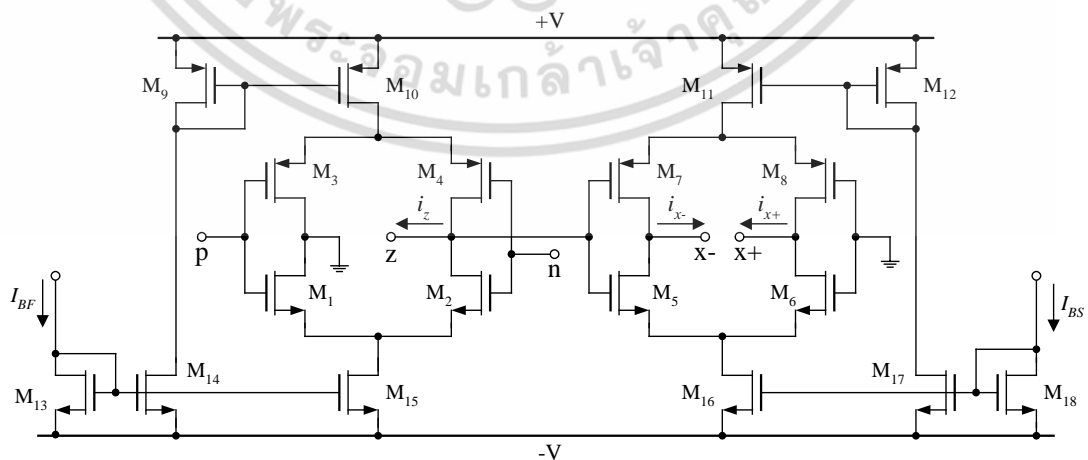
เมื่อ  $g_{mF}$  และ  $g_{mS}$  คืออัตราขยายค่าความนำของทรานซิสเตอร์  $M_1$ - $M_4$  และ  $M_5$ - $M_8$  และเมื่อแทนสมการ (2.7) ลงในสมการ (2.12) และ (2.13) โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพจน์กันทุกประการ (matching) และไม่พิจารณาความแตกต่างของชนิดทรานซิสเตอร์ จะได้อัตราขยายค่าความนำของวงจร VDTA ในรูปที่ 2.5 ดังนี้

$$g_{mF} = \sqrt{K' \left( \frac{W}{L} \right) I_{BF}} \quad (2.14)$$

และ

$$g_{mS} = \sqrt{K' \left( \frac{W}{L} \right) I_{BS}} \quad (2.15)$$

โดยที่  $K' = \mu C_{OX}$  สมการ (2.14) และ (2.15) แสดงให้เห็นว่าอัตราขยายค่าความนำ  $g_{mF}$  และ  $g_{mS}$  ของวงจร VDTA สามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ผ่านการปรับกระแสไบอัส  $I_{BF}$  และ  $I_{BS}$  ตามลำดับ



รูปที่ 2.5 โครงสร้างภายในของวงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 คุณสมบัติของวงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส

เนื่องจากวิทยานิพนธ์ฉบับนี้มุ่งเน้นที่จะนำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำโดยใช้วงจร VDTA เป็นอุปกรณ์แอกทีฟหลัก ดังนั้นในหัวข้อนี้จึงทำการตรวจสอบคุณสมบัติของวงจร VDTA ที่นำเสนอในรูปที่ 2.5 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี 0.35  $\mu\text{m}$  CMOS ของบริษัท Taiwan Semiconductor Manufacturing Company (TSMC) โดยรายละเอียดของความกว้าง ( $W$ ) และความยาว ( $L$ ) ของช่องนำกระแสของทรานซิสเตอร์ แสดงดังตารางที่ 2.1

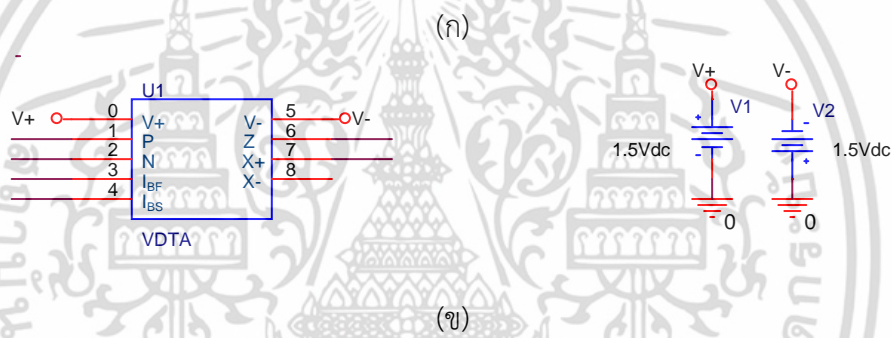
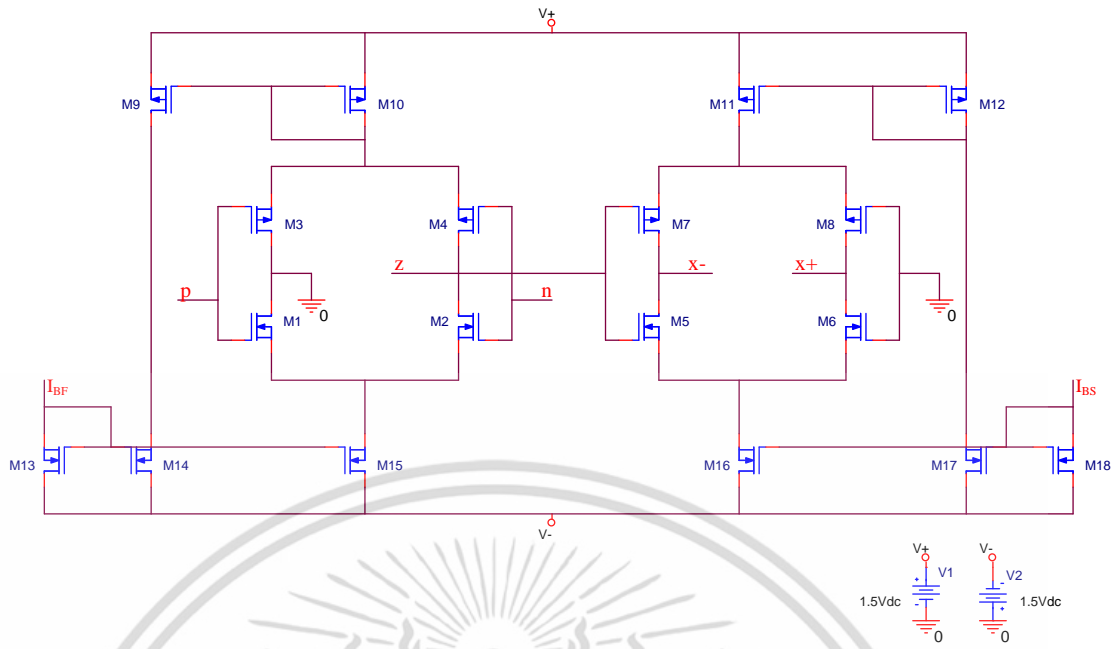
ตารางที่ 2.1 ความกว้าง ( $W$ ) และความยาว ( $L$ ) ของช่องนำกระแสของทรานซิสเตอร์ที่ใช้ในวงจร VDTA ดังรูปที่ 2.5

Transistors	$W$ ( $\mu\text{m}$ )	$L$ ( $\mu\text{m}$ )
$M_1 - M_2, M_5 - M_6$	16.1	0.7
$M_3 - M_4, M_7 - M_8$	28	0.7
$M_9 - M_{12}, M_{14} - M_{17}$	56	0.7
$M_{13}, M_{18}$	7	0.7

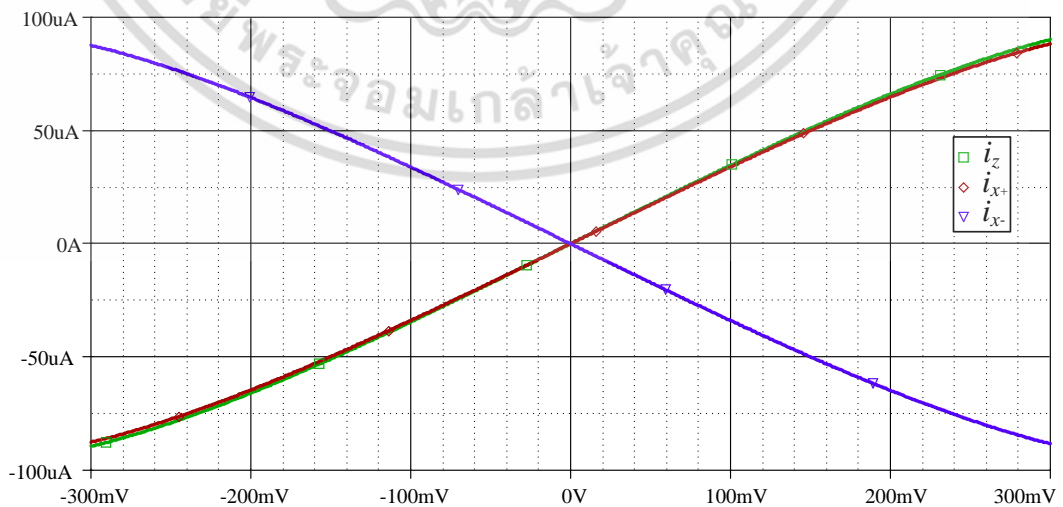
รูปที่ 2.6 (ก) แสดงโครงสร้างภายในของวงจร VDTA ที่ใช้ในการจำลอง เมื่อกำหนดให้แหล่งจ่ายไฟเลี้ยงที่ใช้มีค่าเท่ากับ  $\pm 1.5$  V ผลการจำลองพบว่าวงจรที่นำเสนอสิ้นเปลืองกำลังไฟฟ้า (power consumption) เท่ากับ 5.29 mW และรูปที่ 2.6 (ข) แสดงวงจร VDTA เมื่อทำการยุบรวมวงจรโดยวิธีการสร้างเป็นบล็อกวงจร (create block) เพื่อความสะดวกในการนำไปจำลองการทำงาน บล็อกวงจรที่ออกแบบจะประกอบด้วยขั้วอินพุต  $p$  และ  $n$  ขั้วเอาต์พุต  $iz$   $+ix$  และ  $-ix$  และขั้ว  $I_{BF}$  และ  $I_{BS}$  เป็นขั้วกระแสไบอัสจากภายนอกวงจร เพื่อใช้ในการปรับอัตราขยายค่าความนำอีกด้วย

รูปที่ 2.7 แสดงผลการจำลองอัตราขยายค่าความนำของวงจร VDTA จากโปรแกรม PSPICE เมื่อทำการตรวจสอบคุณสมบัติของอัตราขยายค่าความนำ โดยแปรค่าแรงดันอินพุตจาก  $-300$  mV จนถึง  $300$  mV พบว่าอัตราขยายค่าความนำของวงจร VDTA ที่นำเสนอมีคุณสมบัติเป็นเชิงเส้นในช่วงแรงดันอินพุตที่  $-100$  mV ถึง  $100$  mV

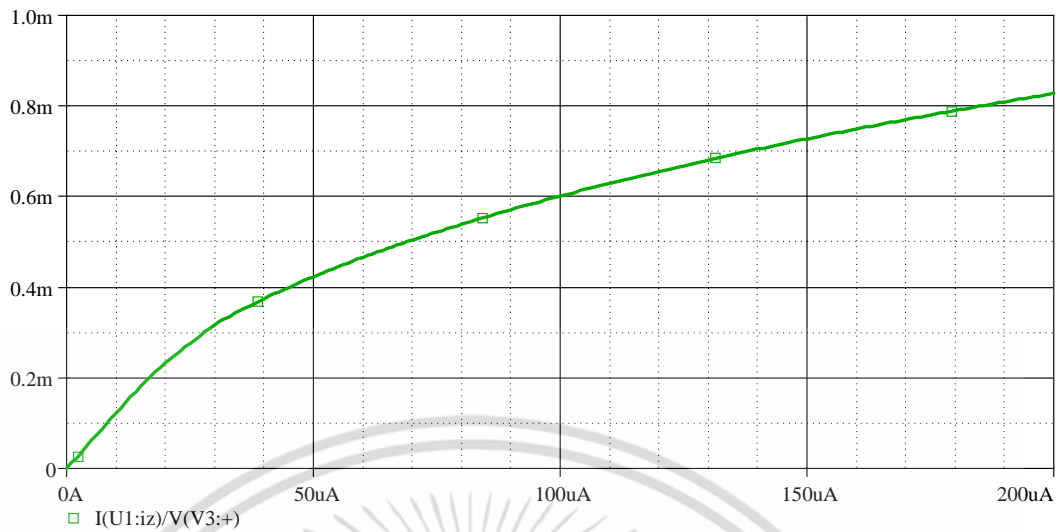
รูปที่ 2.8 แสดงผลการจำลองอัตราขยายค่าความนำของวงจร VDTA เมื่อทำการตรวจสอบคุณสมบัติของอัตราขยายค่าความนำ โดยแปรค่า  $I_B = I_{BF} = I_{BS}$  ( $g_m = g_{mF} = g_{mS}$ ) ซึ่งเป็นกระแสไบอัสของวงจร VDTA ให้มีค่าตั้งแต่  $0$   $\mu\text{A}$  จนถึง  $200$   $\mu\text{A}$  เมื่อทำการเปรียบเทียบกับผลการคำนวณทางทฤษฎีในสมการ (2.12) พบว่าที่กระแสไบอัส  $I_B$  เท่ากับ  $50$   $\mu\text{A}$ ,  $100$   $\mu\text{A}$ ,  $150$   $\mu\text{A}$  และ  $200$   $\mu\text{A}$  อัตราขยายค่าความนำที่ได้จากการจำลองการทำงานจะมีค่าความผิดพลาดประมาณ 0.3%, 0.9%, 2.6% และ 3.8% ตามลำดับ



รูปที่ 2.6 วงจร VDTA โดยโปรแกรม PSPICE  
 (ก) โครงสร้างภายใน (ข) บล็อกวงจร VDTA ที่สร้างขึ้นเพื่อใช้ในการจำลอง

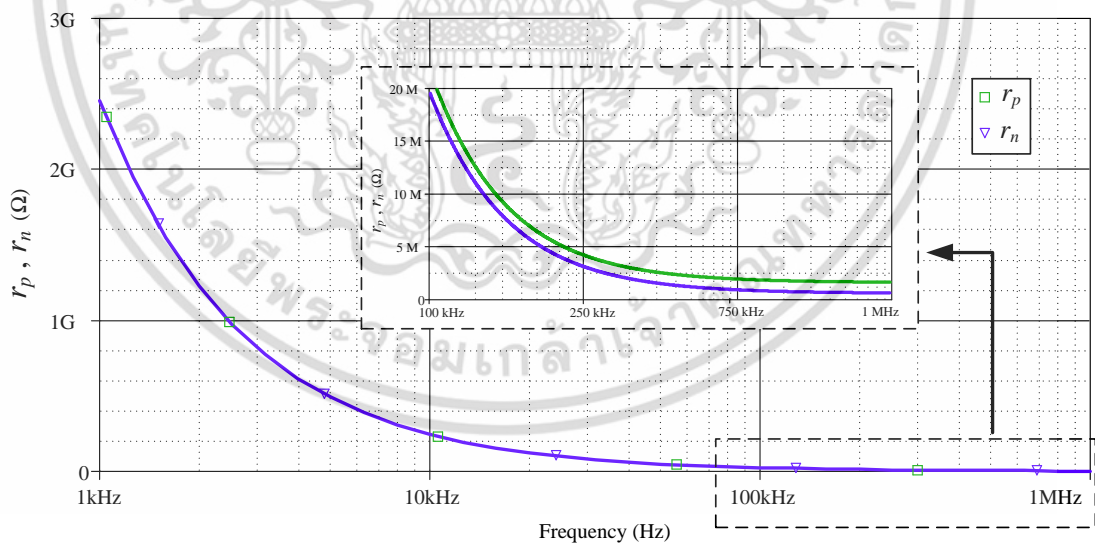


รูปที่ 2.7 ผลการจำลองอัตราขยายค่าความนำของวงจร VDTA เมื่อแปรค่าแรงดันอินพุต  
 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น เมื่อผู้ยูสเซอร์ได้เห็นเอกสารนี้แล้ว  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ผลการจำลองอัตราขยายค่าความนำของวงจร VDTA เมื่อแปรค่ากระแสไบอัส  $I_B$

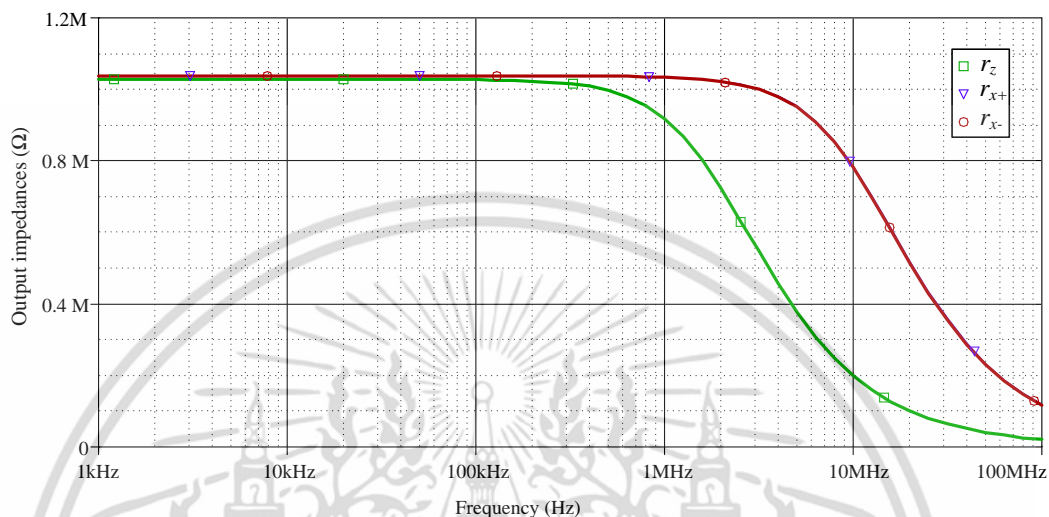
รูปที่ 2.9 แสดงผลการจำลองผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตที่ขั้ว p ( $r_p$ ) และขั้ว n ( $r_n$ ) ของวงจร VDTA จากการทดสอบพบว่าที่ความถี่ 1 kHz, 10 kHz, 100 kHz และ 1 MHz อิมพีแดนซ์ที่ขั้ว p และขั้ว n ต่างมีค่าประมาณ 2.44 G $\Omega$ , 245.28 M $\Omega$ , 24.58 M $\Omega$ , และ 2.44 M $\Omega$  ตามลำดับ



รูปที่ 2.9 ผลการจำลองผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตที่ขั้ว p และ n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.10 แสดงผลการจำลองผลตอบสนองทางความถี่ของอิมพีแดนซ์เอาต์พุตที่ขั้ว  $x+$  และ  $x-$  ( $r_z$ ,  $r_{x+}$  และ  $r_{x-}$ ) โดยกำหนดให้กระแสไบอัส  $I_B = I_{BF} = I_{BS}$  มีค่าเท่ากับ  $50 \mu A$  ซึ่งผลที่ได้จากการจำลองการทำงานพบว่า  $r_z$  มีค่าประมาณ  $1.03 M\Omega$  ในช่วงความถี่ปฏิบัติงานตั้งแต่  $1 kHz$  จนถึง  $300 kHz$  ในขณะที่  $r_{x+}$  และ  $r_{x-}$  มีค่าประมาณ  $1.05 M\Omega$  ในช่วงความถี่ปฏิบัติงานตั้งแต่  $1 kHz$  จนถึง  $1 MHz$



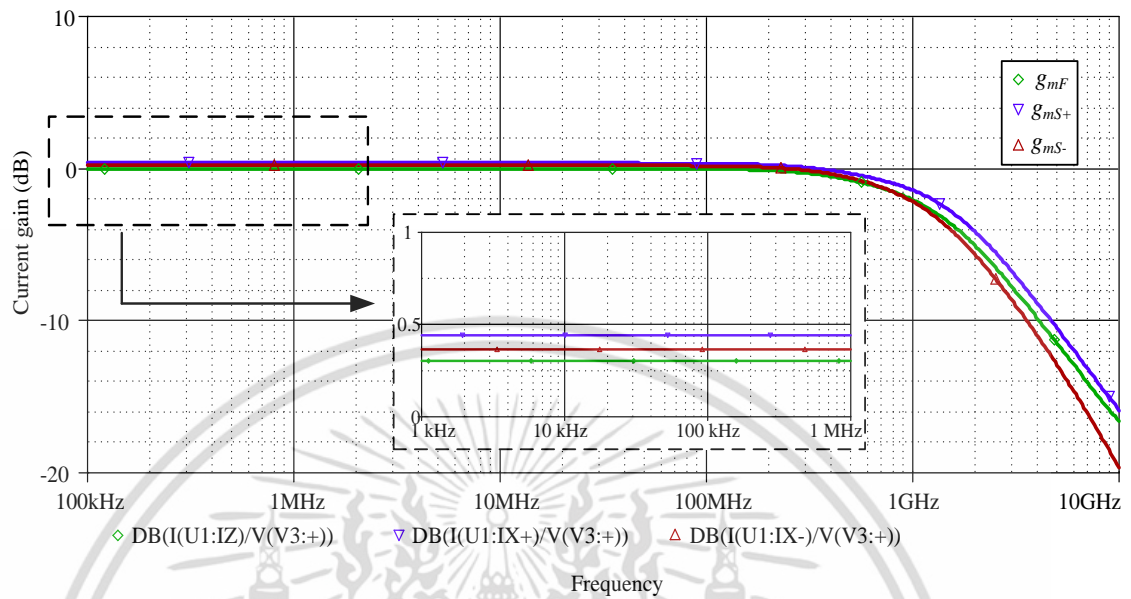
รูปที่ 2.10 ผลการจำลองผลตอบสนองทางความถี่ของอิมพีแดนซ์เอาต์พุตของวงจร VDTA

รูปที่ 2.11 แสดงผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ  $g_mF$ ,  $g_{mS+}$  และ  $g_{mS-}$  ของวงจร VDTA ซึ่งพบว่าความถี่แบนด์วิธ (bandwidth,  $f_{BW}$ ) มีค่าประมาณ  $400 MHz$  และรูปที่ 2.12 แสดงผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำเมื่อกำหนดให้  $I_B = I_{BF} = I_{BS}$  แปรค่าเป็น  $50 \mu A$ ,  $100 \mu A$  และ  $150 \mu A$  ตามลำดับ จากการทดสอบพบว่าอัตราขยายค่าความนำของวงจร VDTA สามารถแปรค่าได้ผ่านการควบคุมกระแสไบอัส รายละเอียดของอัตราขยายค่าความนำของวงจร VDTA สรุปได้ดังตารางที่ 2.2

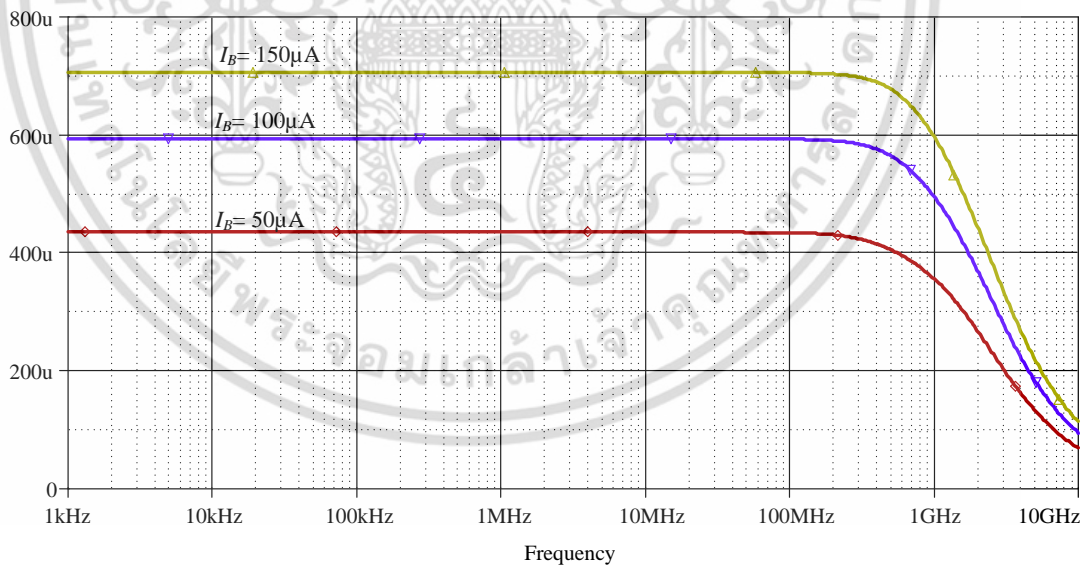
ตารางที่ 2.2 รายละเอียดของอัตราขยายค่าความนำของวงจร VDTA ในรูปที่ 2.5

$I_B$ ( $\mu A$ )	$g_m$ (mA/V)		ค่าความผิดพลาด (%)
	ผลการคำนวณทางทฤษฎี	ผลการจำลอง	
50	0.426	0.430	0.9
100	0.603	0.601	0.3
150	0.738	0.729	1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ผลการจำลองผลตอบสนองทางความถี่ของ  $g_{mF}$ ,  $g_{mS+}$  และ  $g_{mS-}$ .



รูปที่ 2.12 ผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ เมื่อแปรค่า  $I_B$

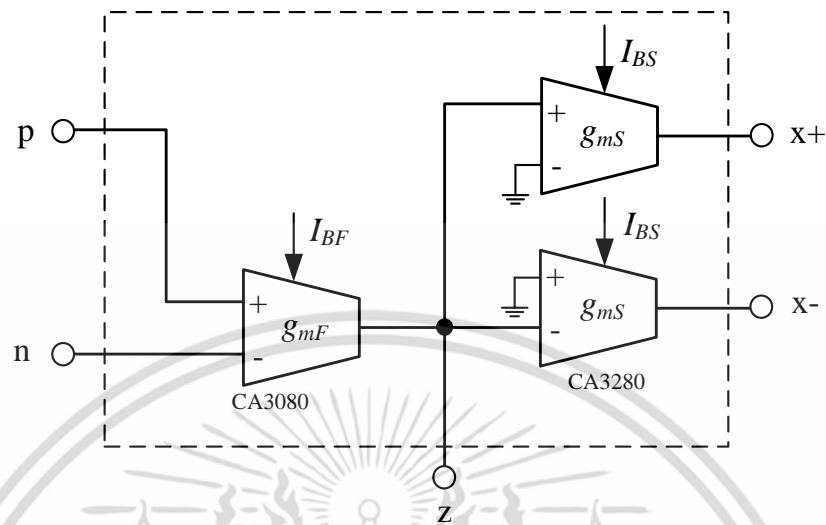
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.6 ผลการทดลองต่อวงจรจริง

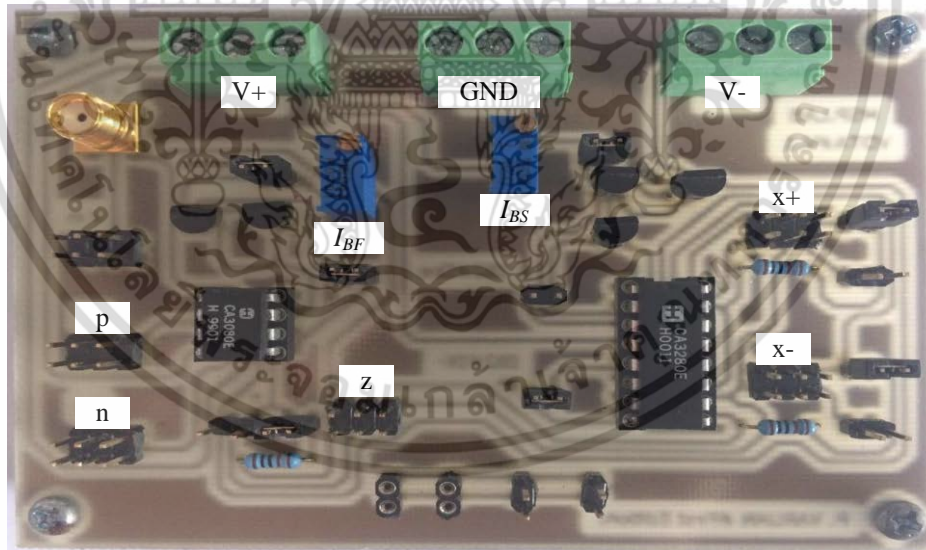
คุณสมบัติการทำงานของวงจร VDTA ในรูปที่ 2.5 ถูกนำมาทดสอบด้วยวงจรจริงเพื่อแสดงให้เห็นถึงความสอดคล้องระหว่างผลการคำนวณทางทฤษฎีและผลการจำลองการทำงานของวงจรจริง โดยรูปที่ 2.13 แสดงรายละเอียดการต่อวงจร VDTA เพื่อทำการทดลองจริง โดยใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ CA3280 เมื่อกำหนดแหล่งจ่ายไฟเลี้ยงให้มีค่าเท่ากับ  $\pm 5V$

การสังเคราะห์วงจร VDTA ในทางปฏิบัตินั้นสามารถทำได้โดยใช้ไอซีเบอร์ CA3080 ทำหน้าที่เป็นภาครับสัญญาณอินพุต เมื่อทำการป้อนแรงดันอินพุตให้ไอซีเบอร์ CA3080 ผลต่างของแรงดันอินพุตจะถูกเปลี่ยนไปเป็นกระแสเอาต์พุต  $i_z$  ของวงจร VDTA ด้วยอัตราขยายค่าความนำ  $g_{mF}$  ในขณะที่แรงดันอินพุตของไอซีเบอร์ CA3280 นั้นอาศัยแรงดันที่ตกคร่อมขั้วเอาต์พุตของไอซีเบอร์ CA3080 ซึ่งจะถูกลำเลียงไปเป็นกระแสเอาต์พุต  $i_x$  ด้วยอัตราขยายค่าความนำ  $g_{mS}$  อีกทั้งในส่วน of กระแสเอาต์พุต  $i_x$  นั้นมีค่าสัญญาณเอาต์พุตเป็นทั้งแบบบวกและแบบลบ ซึ่งเกิดจากการกลับขั้วแรงดันอินพุตที่ป้อนให้ไอซีเบอร์ CA3280 ดังแสดงในรูปที่ 2.14

ในกรณีนี้ได้ทำการตรวจสอบคุณสมบัติของวงจร VDTA ด้วยการทดลองจริง โดยกำหนดให้แรงดันอินพุตที่ป้อนให้กับขั้ว p ของวงจร VDTA ( $v_p$ ) เท่ากับ 100 mV มีความถี่ 1kHz จากนั้นวัดแรงดันเอาต์พุตที่ตกคร่อมตัวต้านทานขนาด 1 k $\Omega$  ที่ขั้ว z รูปที่ 2.15 แสดงผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว z เทียบกับแรงดันอินพุตที่ขั้ว p ผลการวัดคุณสมบัติพบว่าแรงดันเอาต์พุตที่ขั้ว z นั้นมีค่าผิดพลาดประมาณ 4% และรูปที่ 2.16 แสดงผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว x+ และขั้ว x- ของวงจร VDTA จะเห็นได้ว่าผลการทดสอบคุณสมบัติของแรงดันเอาต์พุตนั้นมีความสอดคล้องเป็นไปตามหลักการทางทฤษฎี กล่าวคือแรงดันเอาต์พุตที่ขั้ว x+ และขั้ว x- ของวงจร VDTA จะมีขนาดเท่ากัน แต่ทิศทางการกลับกันดังที่กล่าวไปแล้วในสมการ (2.1)

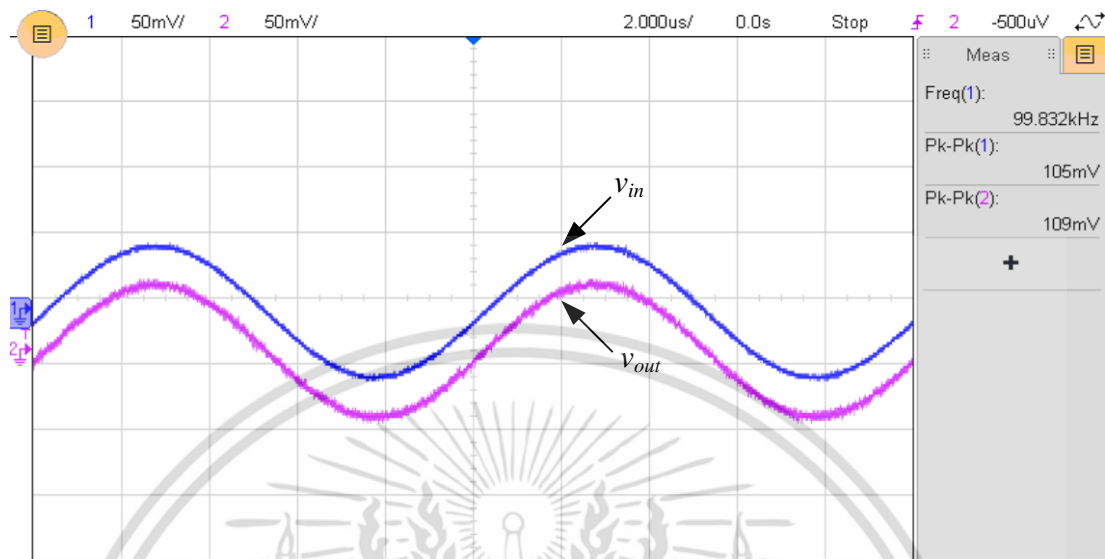


รูปที่ 2.13 การสังเคราะห์วงจร VDTA โดยใช้ไอซีเบอร์ CA3080 และไอซีเบอร์ CA3280

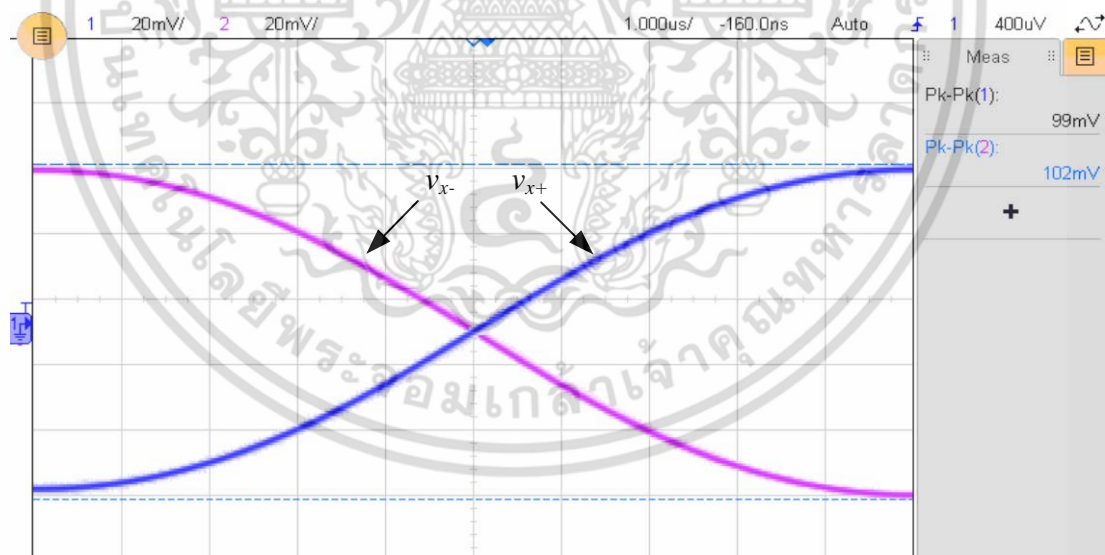


รูปที่ 2.14 ภาพถ่ายวงจร VDTA ที่ใช้ทำการต่อทดลองจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



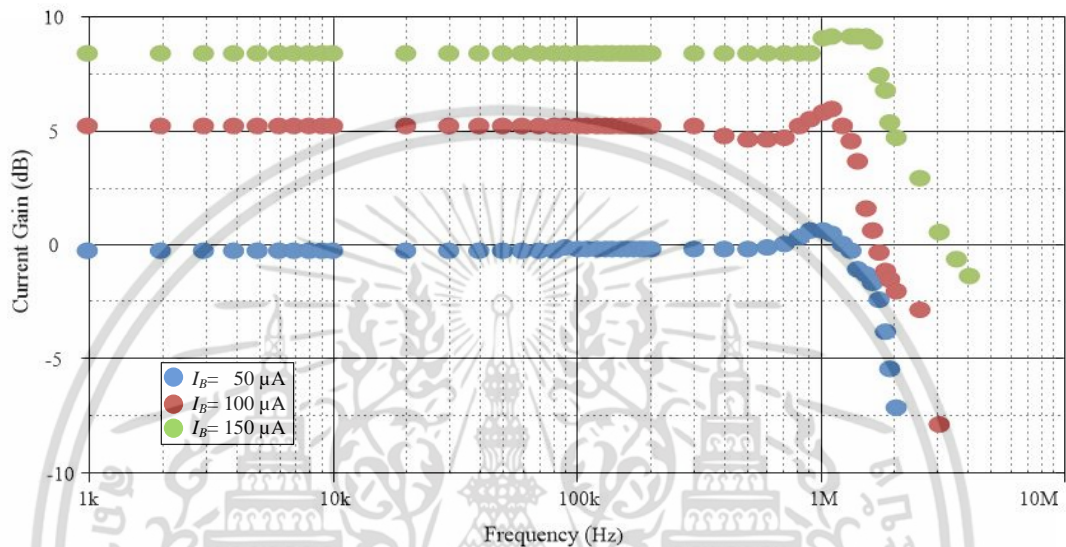
รูปที่ 2.15 ผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว z



รูปที่ 2.16 ผลการวัดคุณสมบัติของแรงดันเอาต์พุตที่ขั้ว  $x+$  และขั้ว  $x-$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.17 แสดงผลการจำลองผลตอบแทนทางความถี่ของอัตราขยายค่าความนำของ วงจร VDTA เมื่อทำการแปรค่า  $I_B = I_{BF} = I_{BS}$  มีค่าเท่ากับ  $50 \mu\text{A}$ ,  $100 \mu\text{A}$  และ  $150 \mu\text{A}$  ตามลำดับ ผลการวัดพบว่าค่าความถี่แบนด์วิดธ์ของวงจรมีค่าประมาณ  $750 \text{ kHz}$ ,  $900 \text{ kHz}$  และ  $1 \text{ MHz}$  ตามลำดับ ซึ่งแสดงให้เห็นว่าอัตราขยายค่าความนำสามารถแปรค่าได้โดยวิธีการทาง อิเล็กทรอนิกส์ผ่านการควบคุมกระแสไบอัส  $I_{BF}$  และ  $I_{BS}$  จากภายนอกของวงจร VDTA ซึ่งเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอไว้ในข้างต้น



รูปที่ 2.17 ผลการวัดผลตอบแทนทางความถี่ของอัตราขยายค่าความนำ เมื่อแปรค่า  $I_B$

## 2.7 สรุป

วิทยานิพนธ์นี้ได้กล่าวถึงหลักการงานพื้นฐานและสังเคราะห์วงจร VDTA ที่ออกแบบ โครงสร้างภายในด้วยเทคโนโลยีทรานซิสเตอร์แบบมอส โดยตรวจสอบคุณสมบัติการทำงานของวงจร ด้วยโปรแกรมจำลองผลการทำงาน PSPICE และทำการต่อวงจรทดลองจริงเพื่อยืนยันคุณสมบัติของ วงจร โดยใช้ไอซีเบอร์ CA3080 และ CA3280 ผลการทดสอบพบว่าคุณสมบัติของวงจรที่นำเสนอมี ความสอดคล้องกับหลักการทางทฤษฎี กล่าวคือวงจรที่นำเสนอมีค่าอิมพีแดนซ์อินพุตสูงเหมาะสมใน การส่งผ่านกระแส และค่าอิมพีแดนซ์เอาต์พุตสูงซึ่งเป็นคุณสมบัติที่ดีของขั้วกระแสเอาต์พุต อีกทั้ง วงจรที่นำเสนอสามารถปรับอัตราขยายค่าความนำของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการ แปรค่ากระแสไบอัสจากภายนอก ทำให้วงจรที่นำเสนอมีความคล่องตัวและสะดวกในการนำไป ประยุกต์ใช้ในการออกแบบ และสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่จะได้กล่าวในบทถัดไป

## 2.8 เอกสารอ้างอิงบทที่ 2

- [1] S. Koziel and S. Szczepanski, "General active-RC filter model for computer aided design", **Bulletin of the Polish Academy of Sciences**, vol. 54, no. 1, pp. 89-99, 2006.
- [2] R. Raut, M. N. S. Swamy and N. Tian, "Current-mode filters using voltage amplifiers", **Circuits, Systems, and Signal Processing**, vol. 26, no. 5, pp. 773-792, 2007.
- [3] N. A. Shah and S. Z. Iqbal, "Versatile voltage mode universal biquad filter using the operational amplifier pole", **International Journal of Electronics**, vol. 94, no. 1, pp. 75-79, 2007.
- [4] R. Raut, M. N. S. Swamy and N. Tian, "On the realization of current transfer function using voltage amplifiers", **International Journal of Circuit Theory and Applications**, vol. 34, no. 5, pp. 583-589, 2006.
- [5] K. Matsukawa, Y. Mitani, M. Takayama, K. Obata, S. Dosho and A. Matsuzawa, "A fifth-order continuous-time delta-sigma modulator with single-opamp resonator", **IEEE Journal of Solid-State Circuits**, vol. 45, pp. 697-706, 2010.
- [6] N. A. Shah, S. Z. Iqbal and B. Parveen, "Lowpass and bandpass transadmittance filter using operational amplifier pole", **International Journal of Electronics and Communications (AEU)**, vol. 59, no. 7, pp. 410-412, 2005.
- [7] Y. Ozcelep, A. Kuntman and H. Kuntman, "On the degradation of OTA-C based CMOS low-power filter circuits for biomedical instrumentation", **Turkish Journal of Electrical Engineering & Computer Sciences**, vol. 20, no. 2, pp. 1359-1368, 2012.
- [8] C. N. Lee, "High-order multiple-mode and transadmittance-mode OTA-C universal filters", **Journal of Circuits, Systems, and Computers**, vol. 21, no. 5, pp. 1250048 (21 page), 2012.
- [9] A. Pirmohammadi and M. H. Zarifi, "A low power tunable Gm-C filter based on double CMOS inverters in 0.35  $\mu\text{m}$ ", **Analog Integrated Circuits and Signal Processing**, vol. 71, no. 3, pp. 473-479, 2012.
- [10] W. Tangsriat, "Cascadable current-mode first-order allpass filter using current controlled conveyors", **Przeglad Elektrotechniczny**, vol. 89, no 1a, pp. 187-190, 2013.
- [11] J. W. Horng, "Analytical synthesis of general high-order voltage/current transfer functions using CCIs", **Microelectronics Journal**, vol. 43, no. 8, pp. 546-554, 2012.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [12] B. Metin, K. Pal and O. Cicekoglu, “A new approach for high-input impedance in voltage mode filters using first-generation current conveyor in place of second-generation current conveyor”, **International Journal of Electronics**, vol. 99, no. 1, pp. 131-139, 2012.
- [13] D. Bielek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing: classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [14] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba, “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Elektronika ir Elektrotechnika**, vol. 19, no. 10, pp. 87-90, 2013.
- [15] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Single VDTA-base floating inductance simulation with a grounded capacitor”, **Proceedings of the International 29<sup>th</sup> International Technical Conference on circuits/Systems, Computers and Communication (ITC-CSCC 2014)**, Phuket, Thailand, 1-4 July, pp. 67-70, 2014.
- [16] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Electronically tunable impedance multiplier using VDTAs”, **Proceedings of the International 12<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2015)**, Hua - Hin, Thailand, pp. 1-4, 2015.
- [17] ภาณุรุจ ยะเรื่อน, วรพงษ์ ตั้งศรีรัตน์, วัลลพ สุระกำพลธร “วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจร VDTA หนึ่งตัว”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยราชวมงคล ครั้งที่ 8**, จ. ภูเก็ต, หน้า. 342-347, 2016.
- [18] D. Bielek, M. Shaktour, V. Biolkova and Z. Kolka, “Current-input current-output universal biquad employing two bulk-driven VDTAs”, **Proceedings of the 4<sup>th</sup> International Congress on Ultra Modern Telecommunications and Control Systems (ICUMT 2012)**, St. Petersburg, Russia, pp. 484-489, 2012.
- [19] D. Prasad and D. R. Bhaskar, “Electronically Controllable Explicit Current Output Sinusoidal Oscillator Employing Single VDTA”, **ISRN Electronics**, vol. 2012, Article ID 382560, 5 pages, 2012.
- [20] J. Satansup, T. Pukkalanun and W. Tangsrirat, “Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements”, **Circuits, Systems, and Signal Processing**, vol.32, no. 3, pp. 945-957, 2013.
- [21] J. Satansup, and W. Tangsrirat, “Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors”, **Microelectronics Journal**, vol.45, no.6, pp. 613-618, 2014.

- [22] S. Lee, H. Lee, J. K. Woo, S. Kim, “Low-voltage bandgap reference with output-regulated current mirror in 90 nm CMOS”, **Electronics Letters**, vol. 46, no. 14, pp. 976-977, 2010.
- [23] K. Tanno, O. Ishizuka, Z. Tang, “Low voltage and low frequency current mirror using a two-MOS subthreshold op amp”, **Electronics Letters**, vol. 32, no. 7, pp. 605-606, 1996.
- [24] A. Garimella, L. Garimella, J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal, “Low-voltage high performance compact all cascode CMOS current mirror”, **Electronics Letters**, vol. 41, no. 25, pp. 1359-1360, 2005.
- [25] S. S. Rajput, S. S. Jamuar, “Low voltage, low power, high performance current mirror for portable analogue and mixed mode applications”, **IEEE Proceedings on Circuits, Devices and Systems**, vol. 148, no. 5, pp. 273-278, 2001.
- [26] P. R. Gray, and R. G. Meyer, “**Analysis and design of analog integrated circuits**”, *Third Edition*. John Wiley & Sons, Inc, 1993.
- [27] D. A. John, K. Martin, “**Analog integrated circuit design**”, John Wiley & Sons, Inc, 1997.
- [28] B. Razavi, “**Design of analog CMOS integrated circuits**”, The McGraw-Hill Companies, Inc, 2001.
- [29] A. F. Arbel and L. Goldminz, “Output stage for current-mode feedback amplifiers, theory and applications”, **Analog Integrated Circuits and Signal Processing**, vol. 2, pp. 243-255, 1992.

# บทที่ 3

## วงจรถ่ายแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสีย โดยใช้วงจรถ่าย VDTA

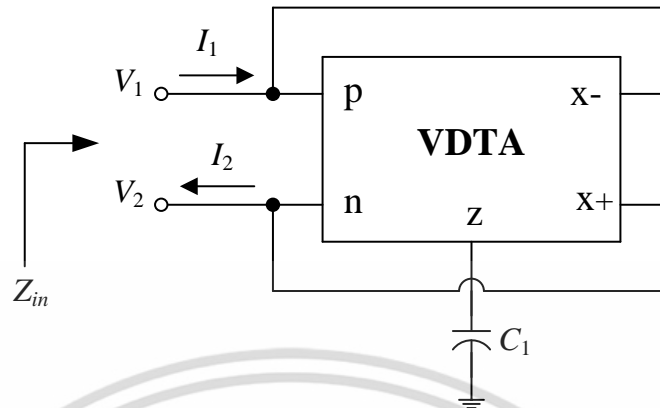
### 3.1 กล่าวนำ

ในช่วงทศวรรษที่ผ่านมาการออกแบบและสังเคราะห์วงจรถ่ายผลผลิตสัญญาณแอนะล็อกจะนิยมออกแบบโดยใช้อุปกรณ์แอคทีฟเป็นหลัก ซึ่งวงจรถ่าย CDTA (current differencing transconductance amplifier) [1] เป็นอุปกรณ์แอคทีฟชนิดหนึ่งที่มีความนิยม เนื่องจากมีคุณสมบัติเด่นคือ สามารถปรับอัตราขยายค่าความนำของวงจรถ่ายได้ด้วยวิธีการทางอิเล็กทรอนิกส์ จึงถูกนำมาออกแบบและพัฒนาขึ้นในรูปแบบต่างๆ มากมาย [2]-[9] แต่จากการติดตามผลงานวิจัยพบว่าเมื่อไม่นานมานี้ได้มีผู้นำเสนอเกี่ยวกับอุปกรณ์แอคทีฟชนิดใหม่ที่มีชื่อว่า VDTA [10] ซึ่งพัฒนามาจากแนวคิดของวงจรถ่าย CDTA โดยคุณสมบัติการทำงานของวงจรถ่าย VDTA สามารถเปรียบเทียบกับวงจรถ่าย CDTA ที่ทำงานในโหมดกระแส กล่าวคือภาคอินพุตของวงจรถ่าย CDTA มีคุณสมบัติเป็นวงจรถ่ายผลต่างกระแส ส่วนภาคอินพุตของวงจรถ่าย VDTA มีคุณสมบัติเป็นวงจรถ่ายผลต่างแรงดัน ซึ่งประกอบด้วยแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดัน ต่อร่วมกับวงจรถ่ายขยายค่าความนำแบบหลายเอาต์พุต (multi - output transconductance amplifier) ดังนั้นด้วยศักยภาพในการปรับค่าได้ทางอิเล็กทรอนิกส์ อีกทั้งโครงสร้างภายในของวงจรถ่ายที่มีความกะทัดรัด (compact structure) จึงทำให้ได้รับความนิยมในการพัฒนาและประยุกต์ใช้งานด้านการประมวลผลสัญญาณ และกำเนิดสัญญาณแอนะล็อกต่างๆ มากมาย [11]-[16]

แม้ว่าในปัจจุบันอุปกรณ์แอคทีฟจะได้รับความนิยมใช้ในระบบโครงข่ายไฟฟ้า แต่อย่างไรก็ตามยังคงต้องอาศัยตัวเหนี่ยวนำ (inductor) เป็นส่วนประกอบ แต่ด้วยตัวเหนี่ยวนำที่เป็นอุปกรณ์พาสซีฟนั้นมีขนาดใหญ่ ซึ่งไม่เหมาะสมต่อการพัฒนาเป็นวงจรรวม จึงได้มีการพยายามแก้ปัญหาดังกล่าว โดยนำอุปกรณ์แอคทีฟมาสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำ [17]-[27] จากการติดตามผลงานวิจัยในอดีตที่ผ่านมาพบว่า วงจรถ่ายแบบตัวเหนี่ยวนำ ที่ถูกพัฒนาขึ้นใน [17]-[25] นั้น จำเป็นต้องอาศัยการต่อตัวต้านทานจากภายนอก ซึ่งทำให้เกิดกำลังงานไฟฟ้าสูญเสียสะสมและบางงานวิจัยนั้นไม่สามารถปรับแต่งค่าทางอิเล็กทรอนิกส์ [17]-[24] ถึงแม้ว่าวงจรถ่ายที่นำเสนอใน [27] จะสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ก็ตาม แต่ก็จำเป็นต้องใช้อุปกรณ์แอคทีฟในการสังเคราะห์วงจรถ่ายถึงสองตัว เป็นต้น

ดังนั้นในบทนี้จึงนำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียโดยใช้ วงจรถ่าย VDTA เพียงหนึ่งตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว โดยปราศจากตัวต้านทานแบบพาสซีฟจากภายนอก วงจรถ่ายที่นำเสนอสามารถปรับค่าความเหนี่ยวนำสมมูลได้ด้วยการปรับอัตราขยายค่าความนำของวงจรถ่าย VDTA ด้วยวิธีการทางอิเล็กทรอนิกส์ พร้อมทั้งแสดงตัวอย่างการประยุกต์ใช้งานการสังเคราะห์วงจรถ่ายกรองผ่านแถบความถี่อันดับสอง โดยใช้โปรแกรมจำลองการทำงาน PSpice และตรวจสอบคุณสมบัติการทำงานของวงจรถ่ายที่นำเสนอโดยการต่อทดลองวงจรถ่ายจริง

### 3.2 วงจรเลียนแบบตัวเหนี่ยวนำไม่มีการสูญเสียที่นำเสนอ



รูปที่ 3.1 วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ

รูปที่ 3.1 แสดงวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ [28] ซึ่งประกอบด้วย วงจร VDTA เป็นอุปกรณ์แอคทีฟหลักเพียงตัวเดียว ต่อกับตัวเก็บประจุเทียบกราวด์จำนวนหนึ่ง ตัว เมื่อทำการวิเคราะห์ห้วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอโดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (3.1) จะได้ความสัมพันธ์ดังนี้ [ภาคผนวก ค1]

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{pmatrix} g_{mF} g_{mS} \\ sC_1 \end{pmatrix} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.1)$$

หรือสามารถเขียนให้อยู่ในรูปของอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรได้ดังนี้

$$Z_{in}(s) = \frac{V_1(s) - V_2(s)}{I_1(s)} = \frac{V_1(s) - V_2(s)}{-I_2(s)} = s \left( \frac{C_1}{g_{mF} g_{mS}} \right) = sL_{eq} \quad (3.2)$$

ดังนั้นจะได้ค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ของวงจร เท่ากับ

$$L_{eq} = \frac{C_1}{g_{mF} g_{mS}} \quad (3.3)$$

สมการ (3.3) แสดงให้เห็นว่าวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอในรูปที่ 3.1 นั้น สามารถปรับค่าความเหนี่ยวนำสมมูลได้โดยการปรับค่าความนำ  $g_{mF}$  และ  $g_{mS}$  ของวงจร VDTA ผ่านการควบคุมกระแสไบอัส  $I_{BF}$  และ  $I_{BS}$  ตามลำดับ

### 3.3. สมรรถนะของวงจรกรณีไม่เป็นไปตามอุดมคติ

เมื่อคำนึงถึงผลกระทบของกรณีไม่เป็นไปตามอุดมคติของวงจร VDTA ดังที่อธิบายไปก่อนหน้านี้ในสมการ (2.2) จะทำให้สมการ (3.1) กลายเป็น [ภาคผนวก ค2]

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{\alpha g_{mF} \beta g_{mS}}{sC_1} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.4)$$

ดังนั้นจึงทำให้ค่าความเหนี่ยวนำสมมูลของวงจร ในกรณีนี้กลายเป็น

$$L_{eq} = \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \quad (3.5)$$

โดยที่  $\alpha$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำระหว่างขั้ว p และ ขั้ว n ไปยังขั้ว z ในขณะที่  $\beta$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำจากแรงดันที่ตกร่อมขั้ว z ไปยังขั้ว x

เมื่อวิเคราะห์หาค่าความไว (sensitivity) ของค่าความเหนี่ยวนำสมมูลต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟในวงจร จะพบว่า [ภาคผนวก ค3]

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (3.6)$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (3.7)$$

ในขณะที่ความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์พาสซีฟ มีค่าเท่ากับ

$$S_{C_1}^{L_{eq}} = 1 \quad (3.8)$$

ความสัมพันธ์ข้างต้นแสดงให้เห็นว่าค่าความไวทั้งหมดนั้นมีค่าที่ต่ำหรือไม่เกินหนึ่ง หมายความว่า เมื่อค่าอุปกรณ์แอคทีฟ เช่น  $g_{mF}$  หรือ  $g_{mS}$  ภายในวงจรมีค่าเปลี่ยนแปลงไป 1% จะทำให้  $L_{eq}$  มีค่าเป็นเปลี่ยนแปลงไป 1% จากค่าเดิม เป็นต้น

### 3.4. ผลการจำลองการทำงานของวงจร

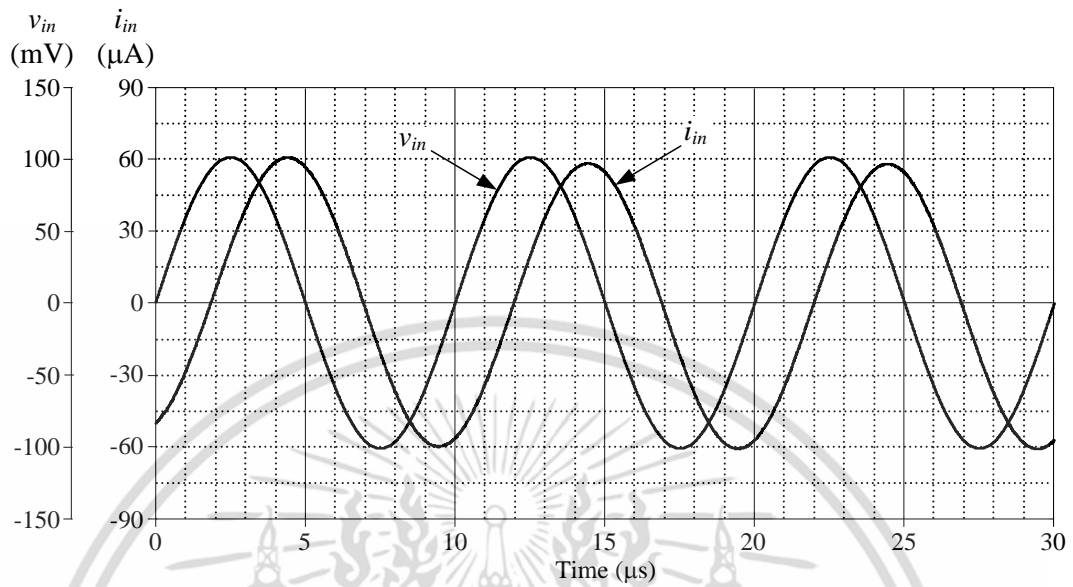
เนื่องจากวิทยานิพนธ์ฉบับนี้มุ่งเน้นที่จะนำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำโดยใช้วงจร VDTA เป็นอุปกรณ์แอกทีฟหลัก ดังนั้นในหัวข้อนี้จึงทำการตรวจสอบคุณสมบัติของวงจรที่นำเสนอในรูปแบบที่ 3.1 โดยมีรายละเอียดของอัตราขยายค่าความนำของวงจร VDTA สรุปได้ดังตารางที่ 3.1

ในหัวข้อนี้ได้จำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ โดยกำหนดให้แรงดัน  $v_{in} = 100$  mV,  $C_1 = 1$  nF และ  $g_{mF} = g_{mS} = g_m = 0.306$  mA/V จากเงื่อนไขดังกล่าวจะทำให้ค่า  $L_{eq} = 10.89$  mH ซึ่งผลการจำลองผลการตอบสนองทางเวลาของวงจรที่นำเสนอแสดงได้ดังรูปที่ 3.2 จะเห็นได้ว่าแรงดัน  $v_{in}$  จะนำหน้ากระแส  $i_{in}$  ที่มุมเฟสต่างกันประมาณ  $90^\circ$  และรูปที่ 3.3 แสดงผลตอบสนองทางความถี่ของวงจรที่นำเสนอ จากการจำลองการทำงานพบว่าวงจรที่นำเสนอจะมีค่าความเหนี่ยวนำผิดพลาดประมาณ 1.4%

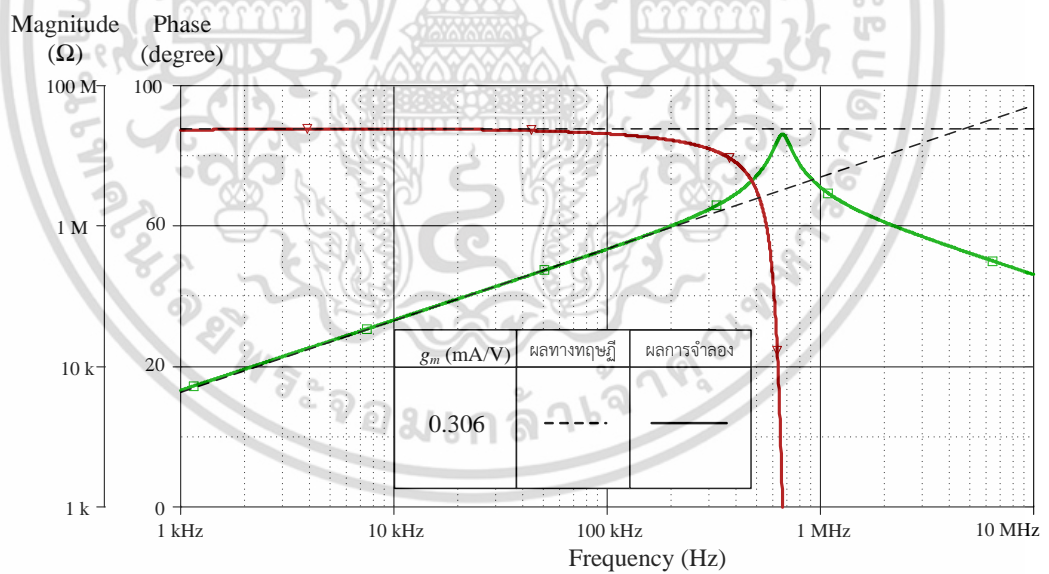
ในกรณีนี้ได้จำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ โดยกำหนดให้  $C_1 = 1$  nF และแปรค่า  $g_m = g_{mF} = g_{mS}$  มีค่าเท่ากับ 0.306 mA/V, 0.542 mA/V และ 0.809 mA/V ทำให้ค่า  $L_{eq} = 10.89$  mH, 3.44 mH และ 1.53 mH ตามลำดับ ซึ่งผลการจำลองผลตอบสนองทางความถี่เปรียบเทียบกับผลทางทฤษฎีแสดงดังรูปที่ 3.4 (ก) ผลตอบสนองทางขนาด และรูปที่ 3.4 (ข) ผลตอบสนองทางเฟส ผลการจำลองการทำงานพบว่าวงจรที่นำเสนอมีค่าผิดพลาดสูงสุดประมาณ 2.8% และผลตอบสนองทางเฟสมีค่าประมาณ  $88^\circ$  ใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $90^\circ$  ในประมาณช่วงความถี่ 10 kHz ถึง 1 MHz เนื่องจากขีดจำกัดทางด้านความถี่ในการปฏิบัติงานสูงสุดของวงจรที่นำเสนอมีค่าประมาณไม่เกิน 1 MHz

ตารางที่ 3.1 รายละเอียดของค่า  $L_{eq}$  ของวงจรที่นำเสนอในรูปแบบที่ 3.1

$I_B$ ( $\mu$ A)	$C_1$ (nF)	$L_{eq}$ (mH)		$g_m$ (mA/V)	ค่าความผิดพลาด (%)
		ผลการคำนวณทางทฤษฎี	ผลการจำลอง		
25	1	10.67	10.89	0.306	1.4
50	1	3.40	3.44	0.542	0.5
100	1	1.66	1.53	0.809	2.8

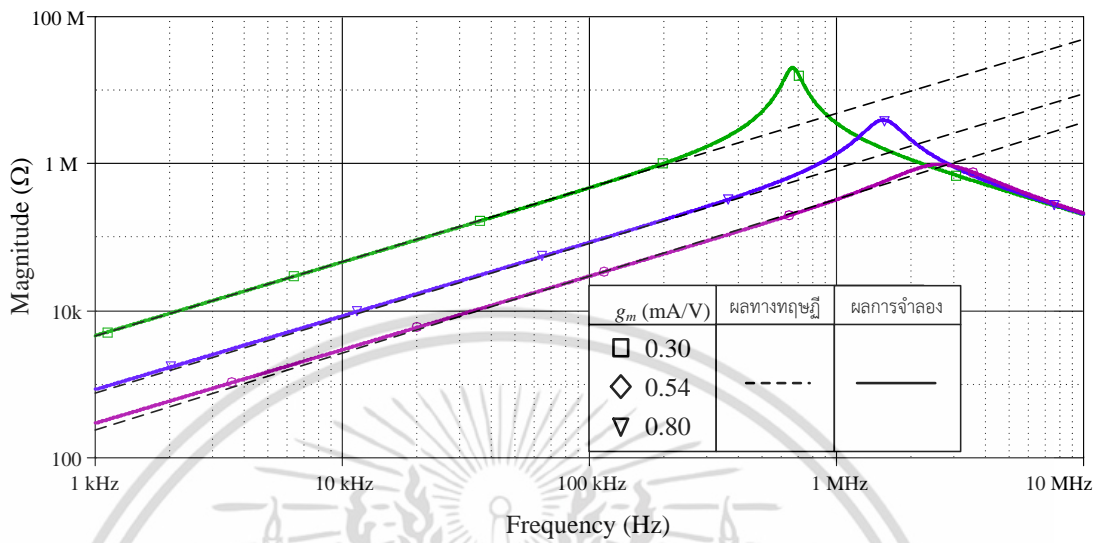


รูปที่ 3.2 ผลการจำลองผลการตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1

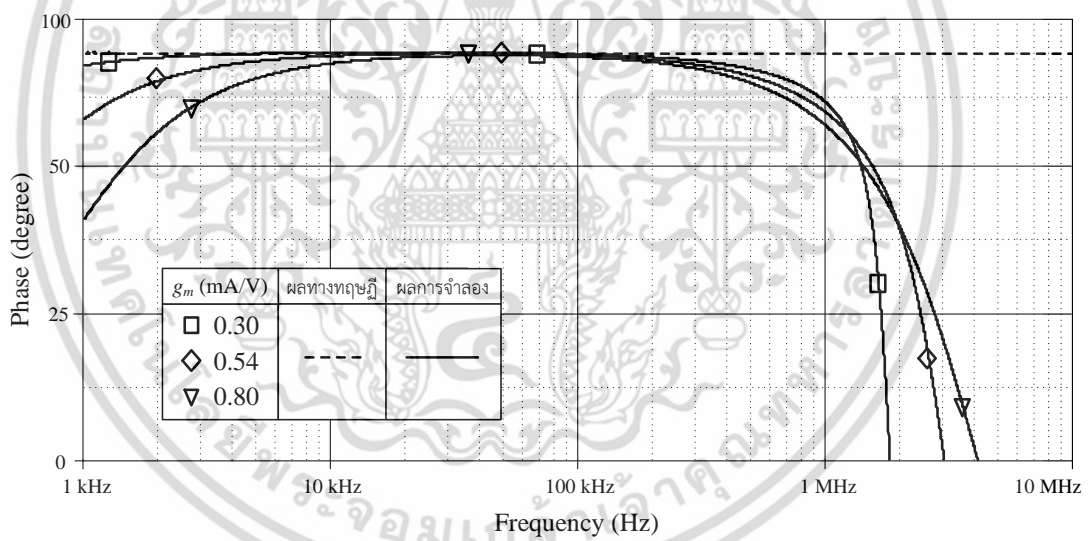


รูปที่ 3.3 ผลการจำลองผลการตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



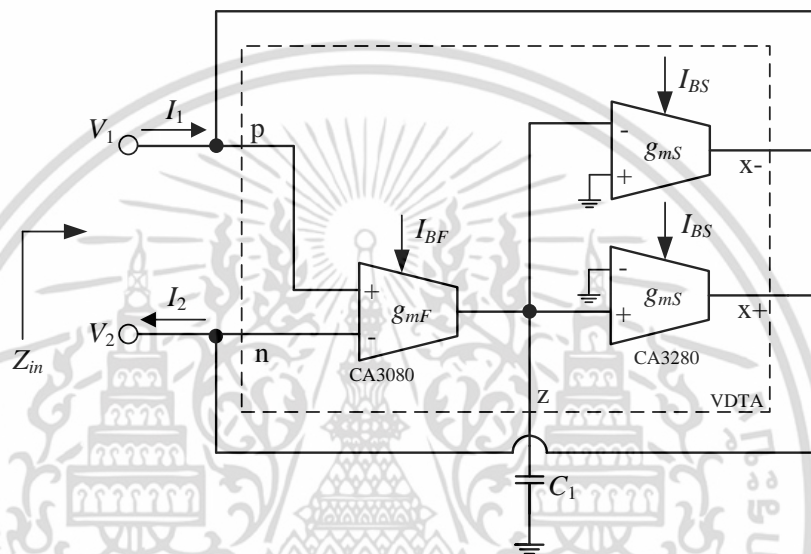
(ข)

รูปที่ 3.4 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 เมื่อแปรค่า  $g_m$   
 (ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางเฟส

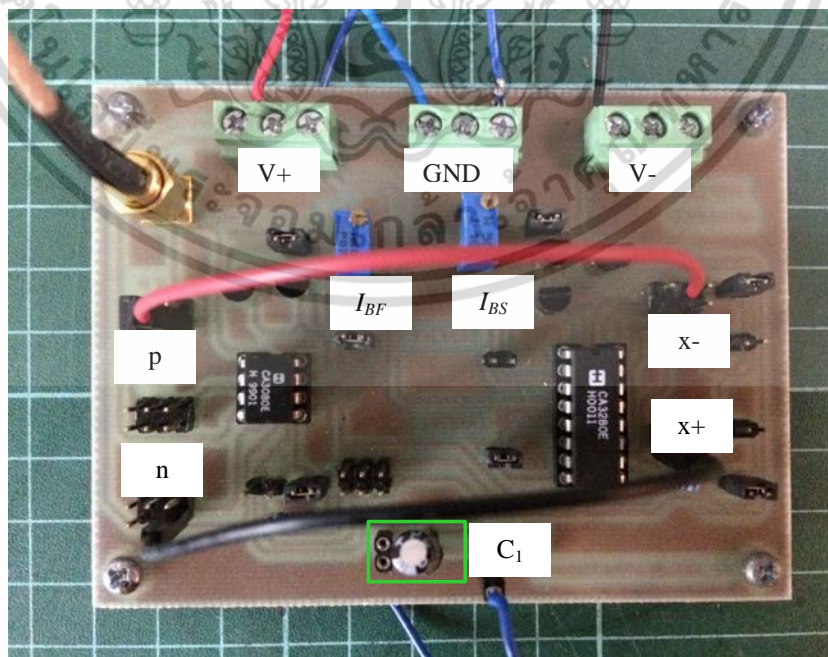
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.5 ผลการทดลองต่อวงจรจริง

เพื่อแสดงให้เห็นว่าคุณสมบัติของวงจร VDTA ที่นำเสนอในรูปที่ 3.1 มีความสอดคล้องกับหลักการทางทฤษฎีและผลการจำลองการทำงานโดยโปรแกรม PSPICE จึงได้ตรวจสอบโดยการต่อวงจรจริง ดังรูปที่ 3.5 ซึ่งแสดงรายละเอียดการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอ โดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ จำนวนหนึ่ง และรูปที่ 3.6 แสดงภาพถ่ายของวงจรที่ใช้ทำการต่อทดลองจริง โดยกำหนดไฟเลี้ยงที่ใช้ในการทดสอบให้มีค่าเท่ากับ  $\pm 5V$  และแปรค่า  $I_B$  จากภายนอกให้มีค่าเท่ากับ  $25 \mu A$ ,  $50 \mu A$  และ  $100 \mu A$  ตามลำดับ



รูปที่ 3.5 การต่อวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่นำเสนอที่ใช้ในการทดลอง



รูปที่ 3.6 ภาพถ่ายวงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียที่ใช้ในทดลอง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่ไปยังประชาชนด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

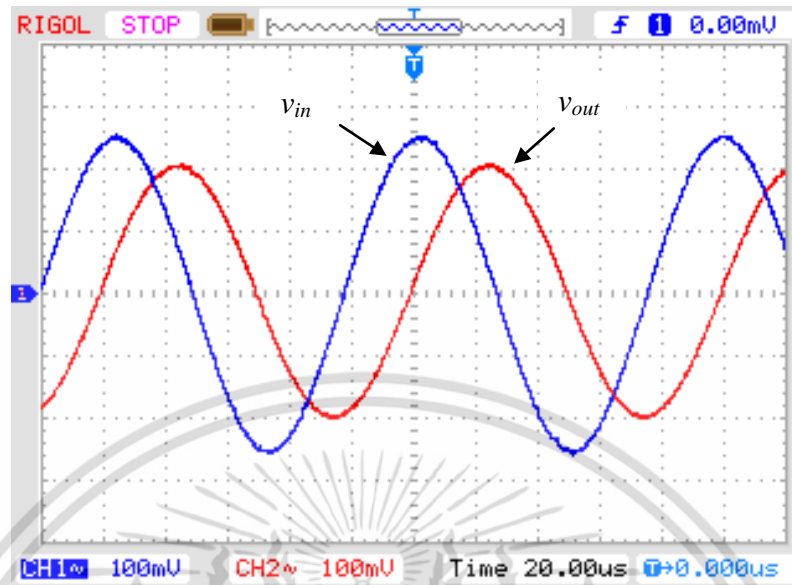
การสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียโดยใช้วงจร VDTA ในทางปฏิบัติ นั้นสามารถทำได้โดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ จำนวนหนึ่งตัว ดังแสดงในรูปที่ 3.6 และเพื่อยืนยันคุณสมบัติของวงจรที่นำเสนอจึงทำการตรวจสอบ คุณสมบัติของวงจรจริง โดยรายละเอียดแสดงดังตารางที่ 3.2

ในกรณีนี้จะยืนยันคุณสมบัติของวงจรที่นำเสนอด้วยการวัดผลจากวงจรจริง โดยกำหนดให้  $C_1 = 1$  nF และ  $g_m = g_{mF} = g_{mS} = 1$  mA/V ( $I_B = I_{BF} = I_{BS} = 50$   $\mu$ A) ทำให้ได้ค่าความเหนี่ยวนำสมมูลเท่ากับ  $L_{eq} = 1$  mH ซึ่งผลตอบสนองทางเวลาแสดงได้ดังรูปที่ 3.7 และรูปที่ 3.8 แสดงผลการทดสอบผลตอบสนองทางเฟสของวงจรจริง จากการทดสอบพบว่าผลตอบสนองทางเฟสของวงจรจริงมีค่าประมาณ  $82^\circ$  ใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $90^\circ$  ในช่วงความถี่ตั้งแต่ 10 kHz ถึง 70 kHz ดังแสดงในรูปที่ 3.8

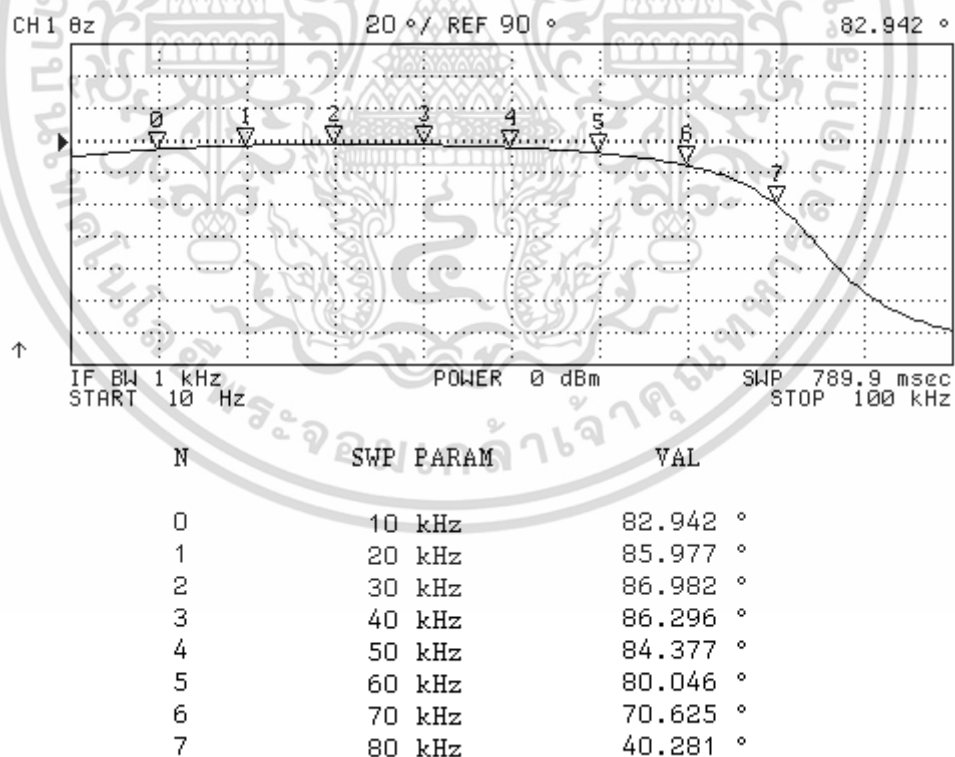
รูปที่ 3.9 แสดงผลการทดสอบผลตอบสนองทางขนาดของวงจรจริง เมื่อแปรค่า  $g_m$  โดยกำหนดให้  $C_1 = 1$  nF และ  $g_m$  มีค่าเท่ากับ 0.5 mA/V, 1 mA/V และ 2 mA/V ซึ่งทำให้  $L_{eq}$  มีค่าเปลี่ยนแปลงเป็น 4 mH, 1 mH และ 0.25 mH ตามลำดับ ผลการวัดพบว่าค่าความเหนี่ยวนำสมมูลของวงจรที่นำเสนอมีค่า 3.46 mH, 1.24 mH และ 0.37 mH ซึ่งผลการทดสอบผลตอบสนองทางความถี่แสดงได้ดังรูปที่ 3.9 โดยมีค่าความผิดพลาดประมาณ 13%, 6.5% และ 9 % ตามลำดับ

ตารางที่ 3.2 รายละเอียดของค่า  $L_{eq}$  ที่ใช้ในการทดสอบวงจรในรูปที่ 3.6

$I_B$ ( $\mu$ A)	$C_1$ (nF)	$L_{eq}$ (mH)		$g_m$ (mA/V)	ค่าความผิดพลาด (%)
		ผลการคำนวณทางทฤษฎี	ผลการทดลอง		
25	1	4	3.46	0.5	13
50	1	1	1.24	1	6.5
100	1	0.25	0.28	2	9

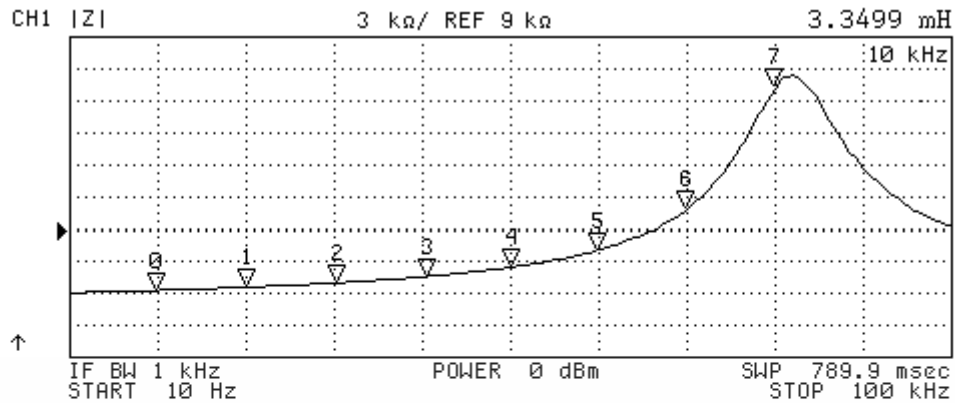


รูปที่ 3.7 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 3.6



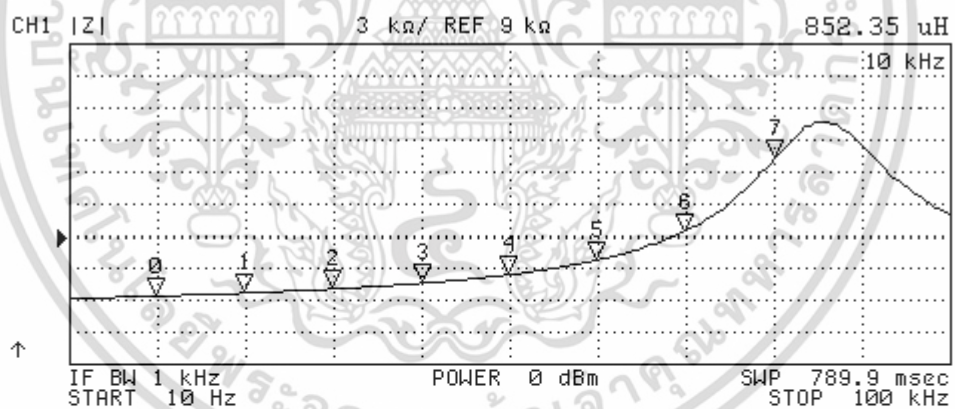
รูปที่ 3.8 ผลการวัดผลตอบสนองทางเฟสของวงจรในรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL	EXTRA
0	10 kHz	762.15 Ω	3.3499 mH
1	20 kHz	1.1417 kΩ	3.5173 mH
2	30 kHz	1.6603 kΩ	3.64 mH
3	40 kHz	2.3926 kΩ	3.6844 mH
4	50 kHz	3.471 kΩ	3.751 mH
5	60 kHz	5.4531 kΩ	3.8403 mH
6	70 kHz	10.209 kΩ	4.3689 mH
7	80 kHz	24.654 kΩ	4.7635 mH

(ก)



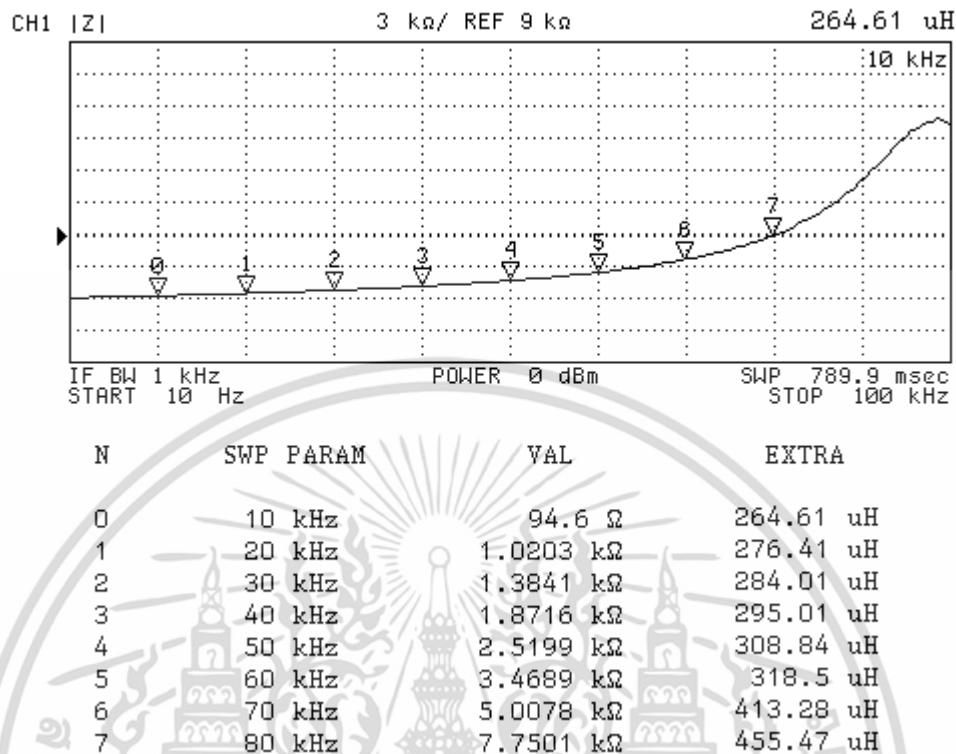
N	SWP PARAM	VAL	EXTRA
0	10 kHz	909.36 Ω	852.35 uH
1	20 kHz	1.2736 kΩ	976.62 uH
2	30 kHz	1.7584 kΩ	1.1326 mH
3	40 kHz	2.454 kΩ	1.3434 mH
4	50 kHz	3.432 kΩ	1.573 mH
5	60 kHz	5.1342 kΩ	1.8993 mH
6	70 kHz	8.5005 kΩ	3.2356 mH
7	80 kHz	17.111 kΩ	3.874 mH

(ข)

รูปที่ 3.9 ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 3.6 เมื่อแปรค่า  $g_m$

(ก)  $g_m = 0.5 \text{ mA/V}$       (ข)  $g_m = 1 \text{ mA/V}$       (ค)  $g_m = 2 \text{ mA/V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

รูปที่ 3.9 ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 3.6 เมื่อแปรค่า  $g_m$  (ต่อ)

(ก)  $g_m = 0.5 \text{ mA/V}$ (ข)  $g_m = 1 \text{ mA/V}$ (ค)  $g_m = 2 \text{ mA/V}$ 

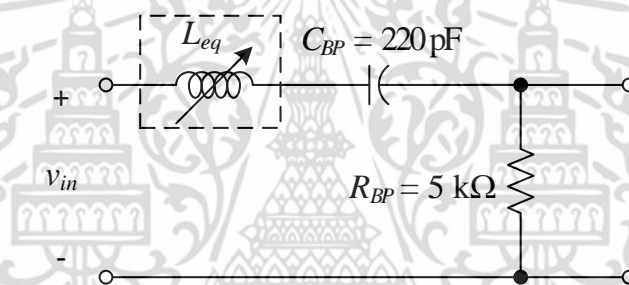
### 3.6 การประยุกต์ใช้งานของวงจรที่นำเสนอ

ในหัวข้อนี้จะแสดงแนวทางการประยุกต์ใช้งานของวงจรที่นำเสนอ โดยการสังเคราะห์วงจรกรองผ่านแถบความถี่ (band pass filters, BP) ดังแสดงในรูปที่ 3.10 เมื่อกำหนดให้  $C_{BP} = 220 \text{ pF}$ ,  $R_{BP} = 5 \text{ k}\Omega$  และ  $L_{eq} = 10.89 \text{ mH}$  จะทำให้ค่าความถี่กลาง (center frequency,  $f_c$ ) ของวงจรมีค่าเท่ากับ  $f_c = 104 \text{ kHz}$  โดยวงจรดังกล่าวมีค่าความผิดพลาดประมาณ 7.3% ดังแสดงในรูปที่ 3.11 และรูปที่ 3.12 แสดงผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่ในรูปที่ 3.5 เมื่อแปรค่า  $g_m = g_{mF} = g_{mS}$  ให้มีค่าเท่ากับ 0.306 mA/V, 0.542 mA/V และ 0.776 mA/V ทำให้  $L_{eq} = 10.89 \text{ mH}$ , 3.44 mH และ 1.53 mH ตามลำดับ จากเงื่อนไขดังกล่าวทำให้ค่าความถี่กลางของวงจรมีค่าเท่ากับ 104 kHz, 183.kHz และ 275.2 kHz ตามลำดับ โดยรายละเอียดการทดสอบสรุปได้ดังตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

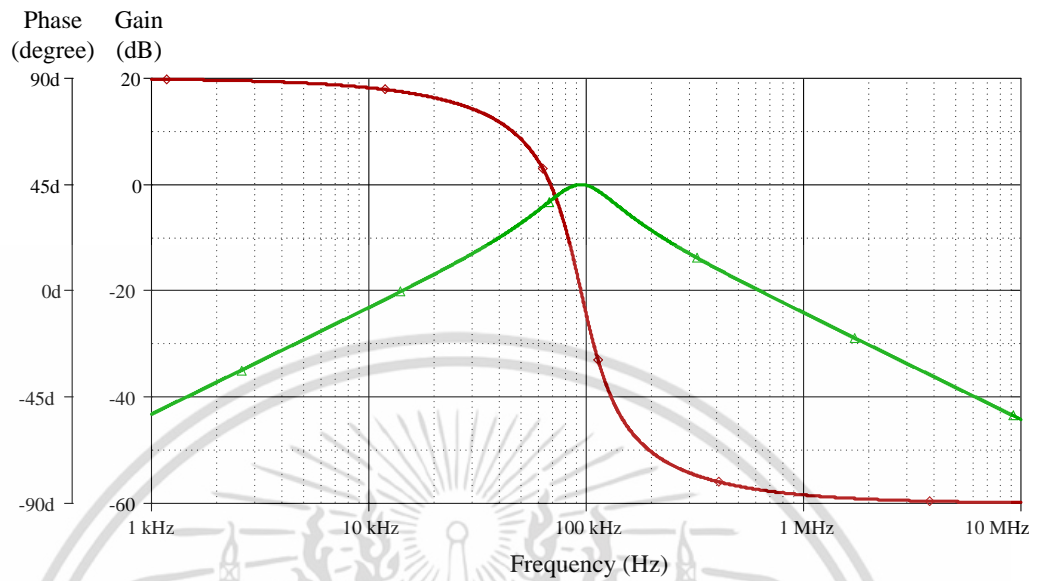
ตารางที่ 3.3 รายละเอียดของค่า  $L_{eq}$  ที่ใช้ในการทดสอบวงจรในรูปที่ 3.10

$I_B$ ( $\mu\text{A}$ )	$g_m$ ( $\text{mA/V}$ )	$R_{BP}$ ( $\Omega$ )	$C_{BP}$ ( $\text{pF}$ )	$L_{eq}$ ( $\text{mH}$ )	$f_c$ ( $\text{Hz}$ )	ค่าความผิดพลาด (%)
25	0.306	5 k	220	10.89	104 k	7.3
50	0.542	5 k	220	3.44	183 k	3.2
100	0.776	5 k	220	1.53	275.2 k	5

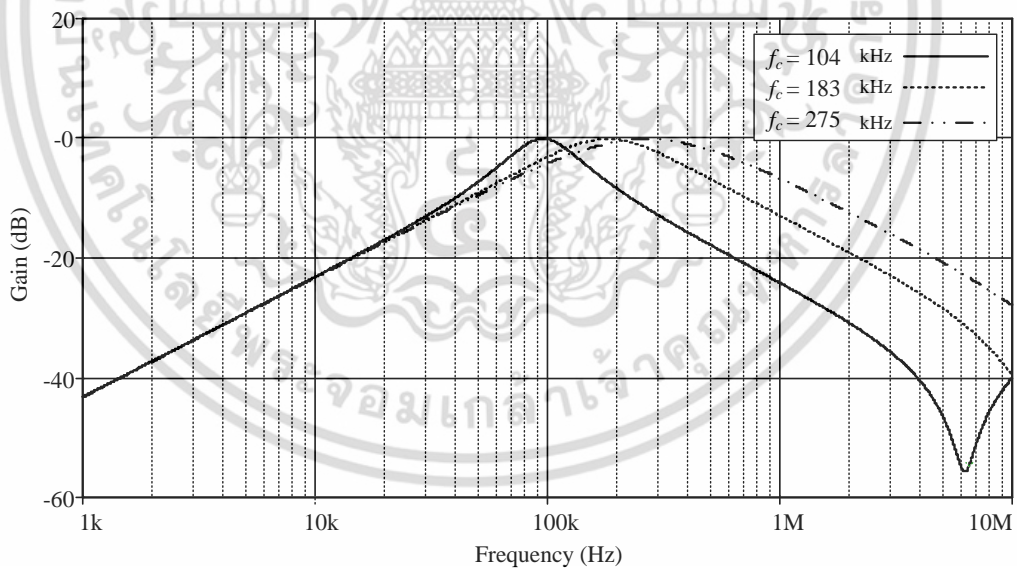


รูปที่ 3.10 วงจรกรองผ่านแถบความถี่ โดยใช้วงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่ในรูปที่ 3.10



รูปที่ 3.12 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่ในรูปที่ 3.10 เมื่อแปรค่า  $g_m$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7 สรุป

วิทยานิพนธ์ฉบับนี้ได้กล่าวถึงการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสียโดยใช้วงจรวจร VDTA และตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว โดยตรวจสอบคุณสมบัติการทำงานของวงจรวจรด้วยโปรแกรมจำลองผลการทำงาน PSPICE และทำการต่อวงจรถดลองจริงเพื่อยืนยันคุณสมบัติของวงจรวจร โดยใช้ไอซีเบอร์ CA3080 และไอซีเบอร์ CA3280 ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ ซึ่งผลการทดสอบพบว่าคุณสมบัติของวงจรวจรที่นำเสนอมีความสอดคล้องกับหลักการทางทฤษฎี กล่าวคือวงจรวจรที่นำเสนอมีค่าผิดพลาดในการสังเคราะห์ค่าเหนี่ยวนำสมมูลประมาณ 13% และมีค่ามุมเฟสประมาณ  $82^\circ$  ใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $90^\circ$  ในช่วงความถี่ตั้งแต่ 10 kHz ถึง 70 kHz อีกทั้งยังแสดงแนวทางการประยุกต์ใช้งานวงจรวจรที่นำเสนอ ด้วยวงจรรองผ่านแถบความถี่ ซึ่งแสดงให้เห็นว่าวงจรวจรที่นำเสนอสามารถปรับค่าความเหนี่ยวนำสมมูลได้ โดยแปรค่าอัตรขยายค่าความนำของวงจรวจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้วงจรวจรที่นำเสนอมีความคล่องตัวและสะดวกในการนำไปประยุกต์ใช้งาน

### 3.8 เอกสารอ้างอิงบทที่ 3

- [1] D. Biolek, "CDTA – building block for current-mode analog signal processing", **Proceedings of the 16<sup>th</sup> IEEE European Conference on Circuits Theory and Design (ECCTD 2003)**, Krakow, Poland, vol.3, pp.397-400, 2003.
- [2] Y. Li, "A modified CDTA (MCDTA) and its applications: designing current-mode sixth-order elliptic band-pass filter", **Circuits, Systems, and Signal Processing**, vol. 30, no. 6, pp. 1383-1390, 2011.
- [3] N. Pandey and S. K. Paul, "Single CDTA-based current mode all-pass filter and its applications", **Journal of Electrical and Computer Engineering**, vol. 2011, Article ID 897631, 5 pages, 2011.
- [4] F. Kacar and H. Kuntman, "A new, improved CMOS realization of CDTA and its filter applications", **Turkish Journal of Electrical Engineering & Computer Sciences**, vol. 19, no. 4, pp. 631-642, 2011.
- [5] W. Tangsrirat and T. Pukkalanun, "Structural generation of two integrator loop filters using CDTAs and grounded capacitors", **International Journal of Circuit Theory and Applications**, vol. 39, no. 1, pp. 31-45, 2011.
- [6] W. Tangsrirat, T. Pukkalanun and W. Surakamponorn, "Resistorless realization of current-mode first-order allpass filter using current differencing transconductance amplifiers", **Microelectronics Journal**, vol. 41, no. 2-3, pp. 178-183, 2010.
- [7] D. Prasad, D. R. Bhaskar and A. K. Singh, "Multi-function biquad using single current differencing transconductance amplifier", **Analog Integrated Circuits and Signal Processing**, vol. 61, no. 3, pp. 309-313, 2009.
- [8] M. Siripruchyanun and W. Jaikla, "Current-controlled current differencing trans-conductance amplifier and applications in continuous-time signal processing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- circuits”, **Analog Integrated Circuits and Signal Processing**, vol. 61, no. 3, pp. 247-257, 2009.
- [9] W. Tangsrirat, “Cascadable current-controlled current-mode universal filters using CDTAs and grounded capacitors”, **Journal of Active and Passive Electronic Devices**, vol. 4, no. 1-2, pp. 135-145, 2009.
- [10] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing: classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [11] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba, “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Elektronika ir Elektrotechnika**, vol. 19, no. 10, pp. 87-90, 2013.
- [12] D. Prasad, M. Srivastava and D. Bhaskar, “Electronically controllable fully-uncoupled explicit current-mode quadrature oscillator using VDTAs and grounded capacitors”, **Circuits and Systems**, vol. 4, no. 2, pp. 169-172, 2013.
- [13] D. Prasad, D. Bhaskar and M. Srivastava, “Universal current-mode biquad filter using a VDTA”, **Circuits and Systems**, vol. 4, no. 1, pp. 29-33, 2013.
- [14] D. Prasad and D. Bhaskar, “Grounded and floating inductance simulation circuits using VDTAs”, **Circuits and Systems**, vol. 3, no. 4, pp. 342-347, 2012.
- [15] D. Biolek, M. Shaktour, V. Biolkova and Z. Kolka, “Current-input current-output universal biquad employing two bulk-driven VDTAs”, **Proceedings of the 4<sup>th</sup> International Congress on Ultra Modern Telecommunications and Control Systems (ICUMT 2012)**, St. Petersburg, Russia, pp. 484-489, 2012.
- [16] D. Prasad and D.R. Bhaskar, “Electronically Controllable Explicit Current Output Sinusoidal Oscillator Employing Single VDTA”, **ISRN Electronics**, vol. 2012, Article ID 382560, 5 pages, 2012.
- [17] R. Senani, “Novel lossless synthetic floating inductor employing a grounded capacitor”, **Electronics Letters**, Vol.18, no.10, pp.413-414, 1982.
- [18] R. Senani and J. Malhotra, “Minimal realizations of a class of operational mirrored amplifier based floating impedance”, **Electronics Letters**, vol.30, no.14, pp.1113-1114, 1994.
- [19] S. A. Al-Walaie and M. A. Alturaigi, “Current mode simulation of lossless floating inductance”, **International Journal of Electronics**, vol.83, no.6, pp.825-830, 1997.
- [20] W. Kiranon and P. Pawarangkoon, “Floating inductance simulation based on current conveyors”, **Electronics Letters**, vol.33, pp.1748-1749, 1997.

- [21] P. V. Ananda Mohan, “Grounded capacitor based grounded and floating inductance simulation using current conveyors”, **Electronics Letters**, vol.34, no.11, pp.1037-1038, 1998.
- [22] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Electronics and Electrical Engineering**, vol.19, no.10, pp.1-4, 2013.
- [23] E. Yuce, S. Minaei and O. Cicekoglu, “A novel grounded inductor realization using a minimum number of active and passive components”, **ETRI Journal**, vol.27, no.4, pp.427-432, 2005.
- [24] E. Yuce, “On the realization of the floating simulators using only grounded passive components”, **Analog Integrated Circuits and Signal Processing**, vol.49, pp.161-166, 2006.
- [25] D. Prasad D. R. Bhaskar and A. K. Singh, “New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers”, **Radioengineering**, vol.19, no.1, pp.194-198, 2010.
- [26] A. U. Keskin and H. Erhan, “CDBA-Based synthetic floating inductance circuits with electronic tuning properties”, **ETRI Journal**, vol.27, no.2, pp.239-242, 2005.
- [27] D. Prasad and D. R. Bhaskar "Grounded and floating inductance simulation circuits using VDTAs", **Circuits and Systems**, vol.3, pp.342-347, 2012.
- [28] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Single VDTA-base floating inductance simulation with a grounded capacitor”, **Proceedings of the International 29<sup>th</sup> International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC 2014)**, Phuket, Thailand, 1-4 July, pp. 67-70, 2014.

## บทที่ 4

# วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม โดยใช้วงจร VDTA

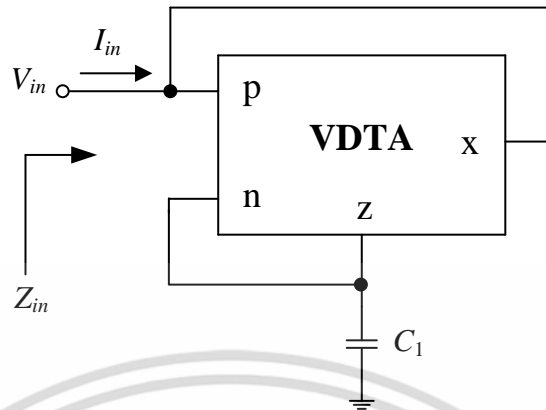
### 4.1 กล่าวนำ

ถึงแม้ว่าปัจจุบันได้มีการนำอุปกรณ์แอกทีฟ มาประยุกต์ใช้ในการออกแบบวงจรและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกต่างๆ เพื่อลดจำนวนของอุปกรณ์พาสซีฟในการออกแบบ แต่อย่างไรก็ตามตัวเหนี่ยวนำ ยังคงเป็นอุปกรณ์พาสซีฟที่สำคัญในการออกแบบและการสังเคราะห์วงจรในระบบโครงข่ายไฟฟ้า เช่น วงจรกรองสัญญาณ และวงจรกำเนิดสัญญาณความถี่ เป็นต้น แต่ด้วยตัวเหนี่ยวนำที่เป็นอุปกรณ์พาสซีฟนั้นมีขนาดใหญ่ทำให้สิ้นเปลืองพื้นที่ใช้งาน และอาจจะทำให้เกิดความร้อนสะสมได้ ซึ่งไม่เหมาะสมต่อการพัฒนาเป็นวงจรรวม จึงได้มีการพยายามแก้ปัญหาดังกล่าวโดยนำอุปกรณ์แอกทีฟมาออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำขึ้นมากมาย [1]-[6]

จากการทบทวนงานวิจัยในอดีตพบว่าค่าความเหนี่ยวนำสมมูลที่ได้จากวงจรเลียนแบบตัวเหนี่ยวนำนั้นเป็นเพียงแค่ค่าทางทฤษฎี ซึ่งในทางปฏิบัติย่อมมีการสูญเสียเกิดขึ้น ดังนั้นจึงได้มีการนำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย (lossy inductance simulator) ขึ้นเพื่อให้ค่าความเหนี่ยวนำสมมูลมีความสอดคล้องกับการใช้งานในทางปฏิบัติ แต่อย่างไรก็ตามพบว่าวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่ถูกลำเสนอในอดีตนั้น จำเป็นต้องอาศัยอุปกรณ์พาสซีฟมากกว่าหนึ่งตัว [7]-[18] อีกทั้งยังไม่สามารถปรับแต่งค่าทางอิเล็กทรอนิกส์ [7]-[15] ส่วน วงจรที่สามารถปรับแต่งค่าได้ทางอิเล็กทรอนิกส์ [16]-[17] นั้น ยังจำเป็นต้องอาศัยอุปกรณ์แอกทีฟมากกว่าหนึ่งตัวในการสังเคราะห์วงจร [16]-[18] เป็นต้น

ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงมุ่งเน้นนำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมต่อเทียบกราวด์ โดยใช้วงจร VDTA จำนวนหนึ่งตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว ปรากฏจากตัวต้านทานแบบพาสซีฟจากภายนอก วงจรที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและความเหนี่ยวนำสมมูลได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ผ่านการแปรค่าอัตราขยายค่าความนำของวงจร VDTA คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอนี้ได้ถูกตรวจสอบความถูกต้อง โดยการจำลองการทำงานด้วยโปรแกรม PSPICE พร้อมด้วยผลการทดสอบจากการต่อทดลองวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ CA3280 พร้อมทั้งนำเสนอแนวทางประยุกต์ใช้ด้วยการสังเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสอง ซึ่งปรากฏผลสอดคล้องเป็นไปตามหลักการทางทฤษฎี

## 4.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ



รูปที่ 4.1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ

รูปที่ 4.1 แสดงวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม โดยใช้วงจร VDTA ที่นำเสนอ ซึ่งประกอบด้วยวงจร VDTA เป็นอุปกรณ์แอกทีฟหลักเพียงตัวเดียว ต่อกับตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว เมื่อทำการวิเคราะห์ห้วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ จะได้ความสัมพันธ์ดังนี้ [ภาคผนวก ง1]

$$Z_{in}(s) = \frac{V_{in}(s)}{I_{in}(s)} = \frac{1}{g_{mS}} + s \left( \frac{C_1}{g_{mF} g_{mS}} \right) = R_{eq} + sL_{eq} \quad (4.1)$$

ซึ่งค่าความต้านทานสมมูล (equivalent resistance,  $R_{eq}$ ) ของวงจร เท่ากับ

$$R_{eq} = \frac{1}{g_{mS}} \quad (4.2)$$

และค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ของวงจร เท่ากับ

$$L_{eq} = \frac{C_1}{g_{mF} g_{mS}} \quad (4.3)$$

สมการ (4.2) และ (4.3) แสดงให้เห็นว่าวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอในรูปที่ 4.1 นั้นสามารถปรับความต้านทานสมมูลได้โดยการควบคุม  $g_{mF}$  และปรับค่าความเหนี่ยวนำสมมูลได้โดยการควบคุม  $g_{mF}$  และ  $g_{mS}$  ของวงจร VDTA ผ่านการแปรค่ากระแสไบอัส  $I_{BF}$  และ  $I_{BS}$  จากภายนอกวงจร

### 4.3. สมรรถนะของวงจกรณีนี้อาจไม่เป็นไปตามอุดมคติ

เมื่อคำนึงถึงผลกระทบของกรณีนี้อาจไม่เป็นไปตามอุดมคติของวงจร VDTA ดังที่อธิบายไปแล้วในข้างต้น จะสามารถเขียนสมการ (4.1) ใหม่ได้ดังนี้ [ภาคผนวก ง2]

$$Z_{in}(s) = \frac{V_{in}(s)}{I_{in}(s)} = \frac{1}{\beta g_{mS}} + s \left( \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \right) = R_{eq} + sL_{eq} \quad (4.4)$$

ดังนั้นความต้านทานสมมูลของวงจร ในกรณีนี้จะเท่ากับ

$$R_{eq} = \frac{1}{\beta g_{mS}} \quad (4.5)$$

และค่าความเหนี่ยวนำสมมูลของวงจร ในกรณีนี้กลายเป็น

$$L_{eq} = \frac{C_1}{\alpha \beta g_{mF} g_{mS}} \quad (4.6)$$

โดย  $\alpha$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mF}$  ซึ่งทำให้  $L_{eq}$  มีค่าผิดพลาดไปจากค่าทางทฤษฎี ในขณะที่  $\beta$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mS}$  ซึ่งทำให้  $R_{eq}$  มีค่าผิดพลาดไปจากค่าทางทฤษฎีเช่นเดียวกัน

ในกรณีวิเคราะห์หาค่าความไว (sensitivity) ของค่าความต้านทานสมมูลต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟในวงจร จะพบว่า [ภาคผนวก ง3]

$$S_{g_{mS}}^{R_{eq}} = -1 \quad (4.7)$$

และค่าความไวของค่าความเหนี่ยวนำสมมูลต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟในวงจร จะเท่ากับ

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (4.8)$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (4.9)$$

ในขณะที่ความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์พาสซีฟ มีค่าเท่ากับ

$$S_{C_1}^{L_{eq}} = 1 \quad (4.10)$$

จากสมการ (4.7) ถึง (4.10) แสดงให้เห็นว่าค่าความไวทั้งหมดนั้นมีค่าที่ต่ำหรือไม่เกินหนึ่งหมายความว่า เมื่อค่าอุปกรณ์แอคทีฟ เช่น  $\alpha$  และ  $\beta$  ภายในวงจรมีค่าเปลี่ยนแปลงไป 1% จะทำให้ค่า  $R_{eq}$  หรือ  $L_{eq}$  มีค่าเปลี่ยนแปลงไป 1% จากค่าเดิม เป็นต้น

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยศูนย์วิจัยและพัฒนาเทคโนโลยีสารสนเทศเพื่ออุตสาหกรรมภาคใต้ให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

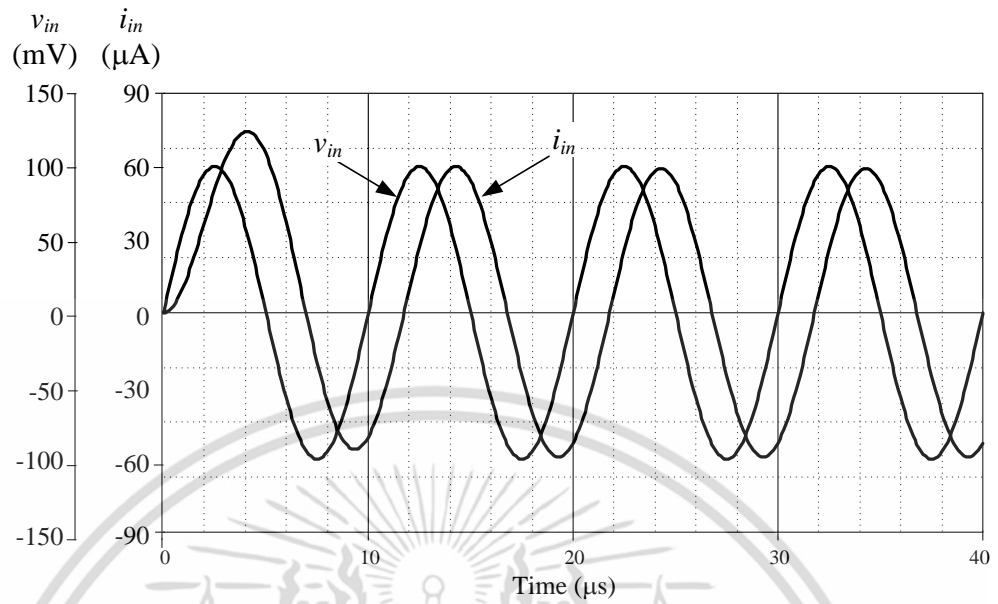
#### 4.4. ผลการจำลองการทำงานของวงจร

ในหัวข้อนี้ได้จำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรมจำลองการทำงานของงาน PESICE เพื่อตรวจสอบคุณสมบัติการทำงานของวงจรที่นำเสนอในรูปที่ 4.1 โดยกำหนดให้  $v_{in} = 100$  mV,  $C_1 = 1$  nF และ  $g_{mF} = g_{mS} = 0.809$  mA/V จากเงื่อนไขดังกล่าวทำให้  $R_{eq} = 1.24$  k $\Omega$  และ  $L_{eq} = 1.53$  mH ผลการจำลองผลการตอบสนองทางเวลาของวงจรที่นำเสนอแสดงได้ดังรูปที่ 4.2 พบว่าแรงดัน  $v_{in}$  นำหน้ากระแส  $i_{in}$  เป็นมุมเฟสประมาณ  $78^\circ$  ซึ่งมีใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $87.2^\circ$  และมีค่าผิดพลาดประมาณ 11.2%

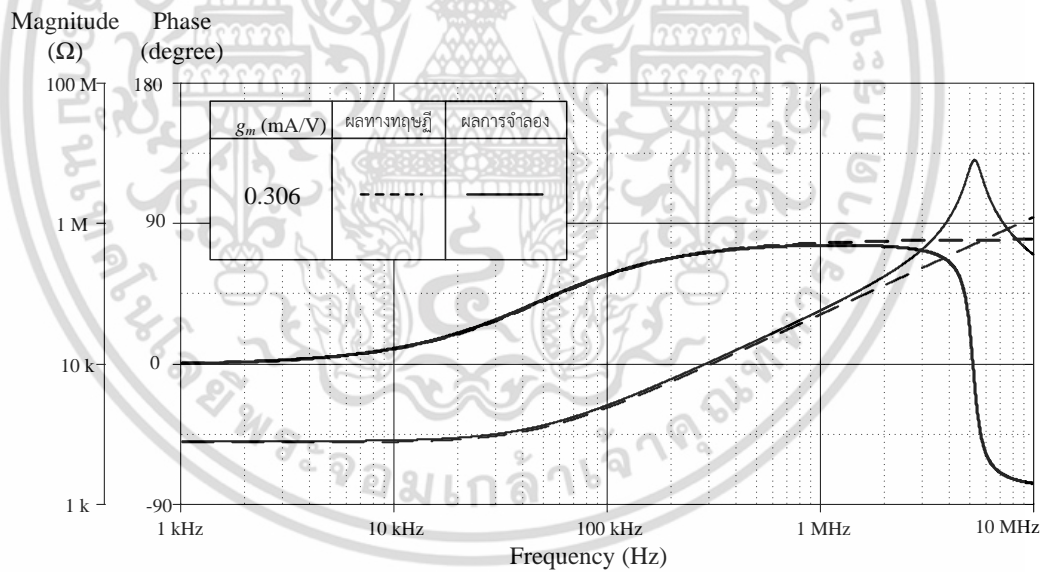
รูปที่ 4.3 แสดงผลตอบสนองทางความถี่ของวงจรที่นำเสนอ โดยกำหนดให้  $g_{mF} = g_{mS} = 0.306$  mA/V ทำให้  $R_{eq} = 3.30$  k $\Omega$  และ  $L_{eq} = 10.89$  mH ผลการจำลองการทำงานของวงจรที่นำเสนอจะมีค่าผิดพลาดประมาณ 8.2% และรูปที่ 4.4 แสดงผลการจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 4.1 ในกรณีนี้ได้กำหนดให้  $C_1 = 1$  nF และกำหนดให้  $g_{mF}$  ให้มีค่าคงที่เท่ากับ 0.306 mA/V จากนั้นทำการแปรค่า  $g_{mS} = 0.306$  mA/V, 0.542 mA/V และ 0.809 mA/V ตามลำดับ ทำให้ค่า  $L_{eq} = 10.89$  mH, 6.12 mH และ 4.07 mH ตามลำดับ จากการจำลองการทำงานของวงจรที่นำเสนอมีความผิดพลาดน้อยที่สุดประมาณ 5.8% เนื่องจากวงจรที่นำเสนอสามารถแปรค่า  $R_{eq}$  และ  $L_{eq}$  ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้ผลการจำลองการทำงานมีความผิดพลาดลดลง ดังแสดงในตารางที่ 4.1

ตารางที่ 4.1 รายละเอียดของค่า  $R_{eq}$  และ  $L_{eq}$  ของวงจรที่นำเสนอในรูปที่ 4.1

$I_{BF}$ ( $\mu$ A)	$I_{BS}$ ( $\mu$ A)	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_1$ (nF)	ค่าความผิดพลาด (%)
25	25	0.306	0.306	3.30	10.89	1	8.2
25	50	0.306	0.542	1.86	6.12	1	6.5
25	100	0.306	0.809	1.24	4.07	1	5.8

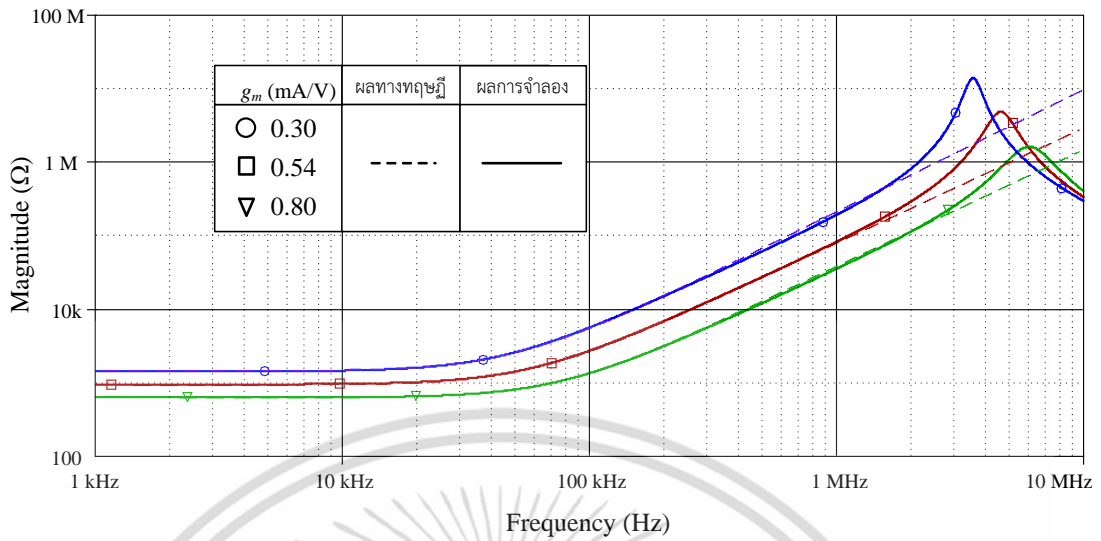


รูปที่ 4.2 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 4.1



รูปที่ 4.3 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1

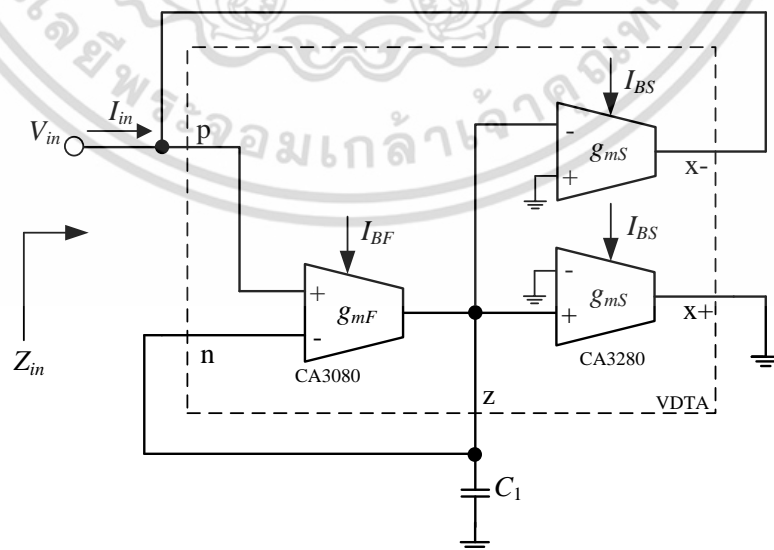
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ผลการจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 4.1 เมื่อแปรค่า  $g_{ms}$

#### 4.5 ผลการทดลองต่อวงจรจริง

เพื่อยืนยันคุณสมบัติของวงจรถ่ายโอนในรูปที่ 4.1 ว่ามีความสอดคล้องกับหลักการทางทฤษฎี และผลการจำลองการทำงานโดยโปรแกรม PSPICE จึงได้ตรวจสอบโดยการต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ ดังรูปที่ 4.5 ซึ่งแสดงรายละเอียดการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม และรูปที่ 4.6 แสดงภาพถ่ายของวงจรที่ใช้ทำการต่อทดลองจริง โดยกำหนดให้แหล่งจ่ายไฟเลี้ยงมีค่าเท่ากับ  $\pm 5V$  และ  $I_{BF}$  มีค่าคงที่เท่ากับ  $25 \mu A$  จากนั้นทำการแปรค่า  $I_{BS}$  ให้เท่ากับ  $25 \mu A$ ,  $50 \mu A$  และ  $100 \mu A$  ตามลำดับ โดยรายละเอียดผลการทดลองสรุปดังตารางที่ 4.2



รูปที่ 4.5 การต่อวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่ใช้ในการทดลอง

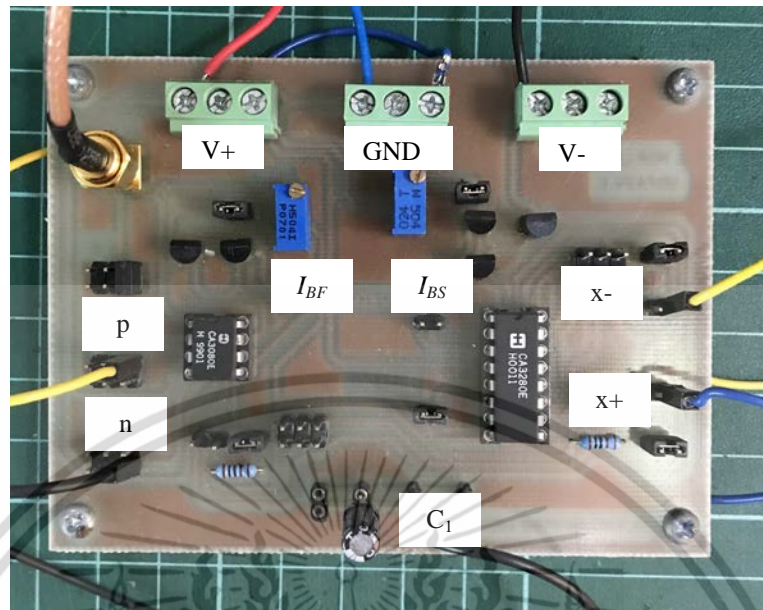
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม ในทางปฏิบัตินี้สามารถทำได้โดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ต่อกับตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว ดังแสดงในรูปที่ 4.6 และเพื่อยืนยันคุณสมบัติของวงจรที่นำเสนอจึงทำการทดสอบคุณสมบัติของวงจร โดยกำหนดให้  $C_1 = 1 \text{ nF}$  และให้  $g_m = g_{mF} = g_{mS} = 1 \text{ mA/V}$  ( $I_{BF} = I_{BS} = 50 \text{ } \mu\text{A}$ ) ทำให้ได้ค่า  $R_{eq} = 1 \text{ k}\Omega$  และ  $L_{eq} = 1 \text{ mH}$  ซึ่งผลตอบสนองทางเวลาแสดงได้ดังรูปที่ 4.7 และรูปที่ 4.8 แสดงผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 4.6 จากการทดสอบพบว่าผลตอบสนองทางเฟสของวงจรมีค่าประมาณ  $81^\circ$  ซึ่งใกล้เคียงกับมุมเฟสในทางทฤษฎีที่มีค่าเท่ากับ  $86^\circ$  ในช่วงความถี่ไม่เกิน 70 kHz ดังแสดงในรูปที่ 4.8

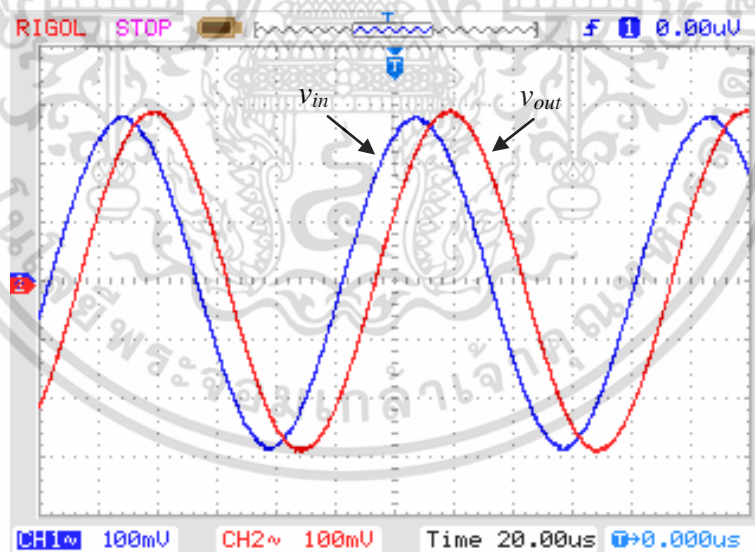
รูปที่ 4.9 แสดงผลการทดสอบผลตอบสนองทางขนาดของวงจรในรูปที่ 4.6 เมื่อแปรค่า  $g_{mS}$  โดยกำหนดให้  $C_1 = 1 \text{ nF}$  และ  $g_{mF} = 0.5 \text{ mA/V}$  จากนั้นแปรค่า  $g_{mS}$  เป็น 0.5 mA/V, 1 mA/V และ 2 mA/V ตามลำดับ ซึ่งทำให้  $R_{eq}$  แปรค่าเป็น 2 k $\Omega$ , 1 k $\Omega$  และ 500  $\Omega$  ในขณะที่  $L_{eq}$  มีค่าเปลี่ยนแปลงเป็น 4 mH, 2 mH และ 1 mH ตามลำดับ ผลการวัดพบว่าวงจรที่นำเสนอมีค่าความผิดพลาดประมาณ 3.2%, 2.6% และ 2.2 % ตามลำดับ ดังแสดงในตารางที่ 4.2

ตารางที่ 4.2 รายละเอียดของค่า  $R_{eq}$  และ  $L_{eq}$  ที่ใช้ในการทดสอบวงจรในรูปที่ 4.6

$I_{BF}$ ( $\mu\text{A}$ )	$I_{BS}$ ( $\mu\text{A}$ )	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_1$ (nF)	ค่าความผิดพลาด (%)
25	25	0.5	0.5	2	4	1	3.2
25	50	0.5	1	1	2	1	2.6
25	100	0.5	2	0.5	1	1	2.2

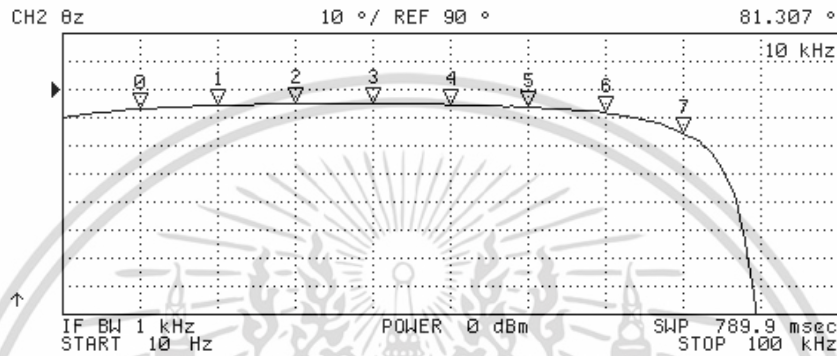
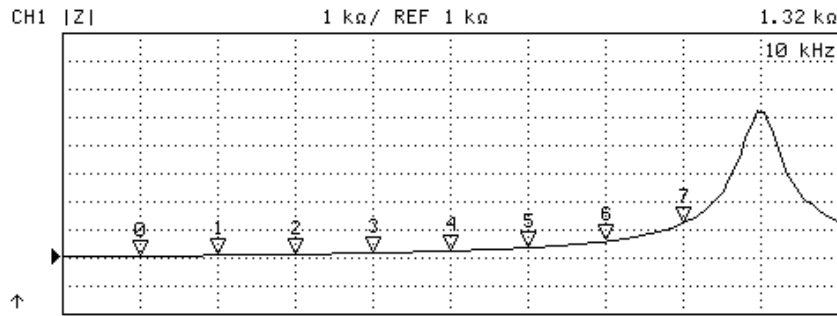


รูปที่ 4.6 ภาพถ่ายวงจรเรียงแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่ใช้ในทดลอง

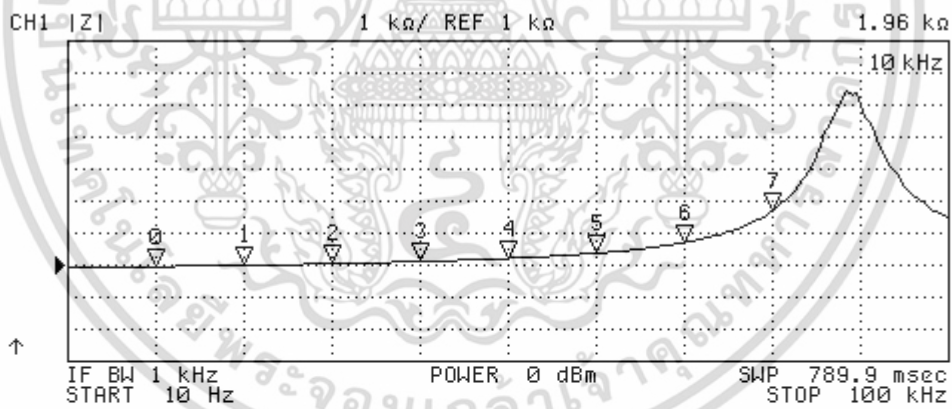


รูปที่ 4.7 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 ผลการวัดผลตอบแทนทางความถี่ของวงจรในรูปที่ 4.6

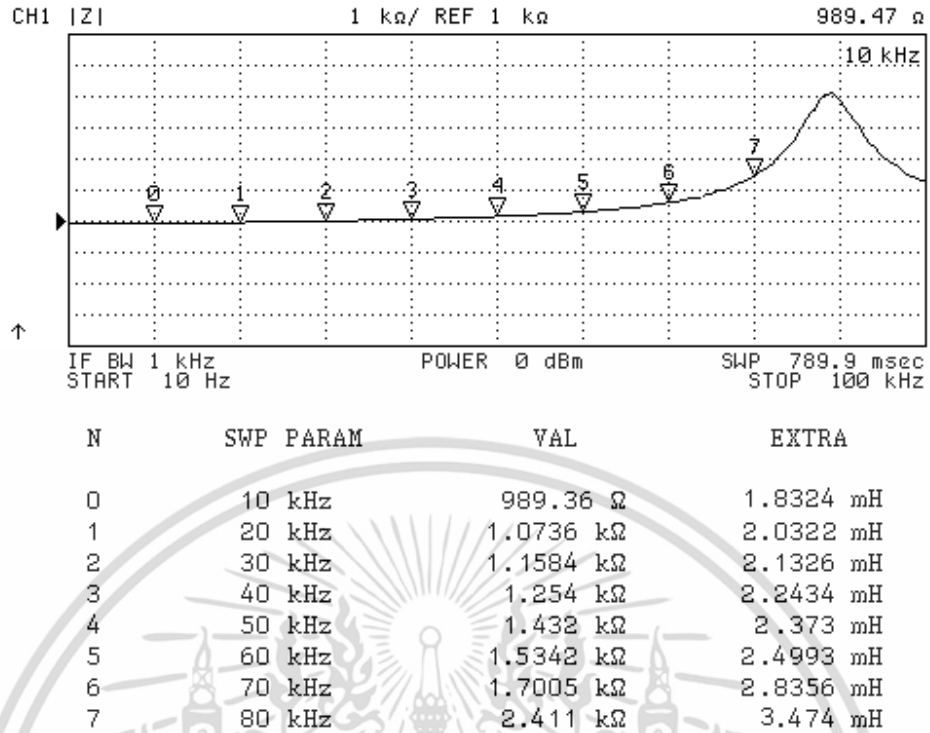


N	SWP PARAM	VAL	EXTRA
0	10 kHz	1.9647 kΩ	3.3499 mH
1	20 kHz	2.0617 kΩ	3.5173 mH
2	30 kHz	2.1003 kΩ	3.64 mH
3	40 kHz	2.236 kΩ	3.6844 mH
4	50 kHz	2.371 kΩ	3.751 mH
5	60 kHz	2.4561 kΩ	3.8403 mH
6	70 kHz	2.809 kΩ	4.3689 mH
7	80 kHz	3.754 kΩ	4.9635 mH

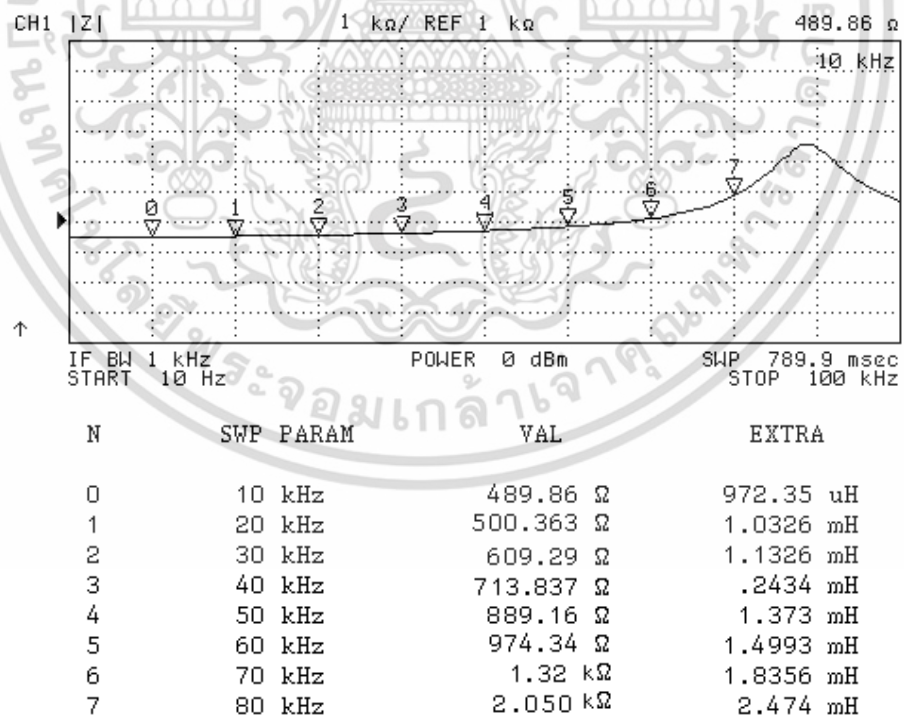
(ก)

รูปที่ 4.9 ผลการวัดผลตอบแทนทางขนาดของวงจรในรูปที่ 4.6 เมื่อแปรค่า  $g_{ms}$

เอกสารนี้เป็นเอกสารที่สละลิขสิทธิ์ให้แก่วิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ โดยไม่อนุญานแก่บุคคลอื่นใด การนำเอกสารนี้ไปเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารเป็นการผิดกฎหมาย การนำเอกสารนี้ไปใช้ในการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ค)

รูปที่ 4.9 ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 4.6 เมื่อแปรค่า  $g_{ms}$  (ต่อ)

(ก)  $g_{ms} = 0.5 \text{ mA/V}$  (ข)  $g_{ms} = 1 \text{ mA/V}$  (ค)  $g_{ms} = 2 \text{ mA/V}$

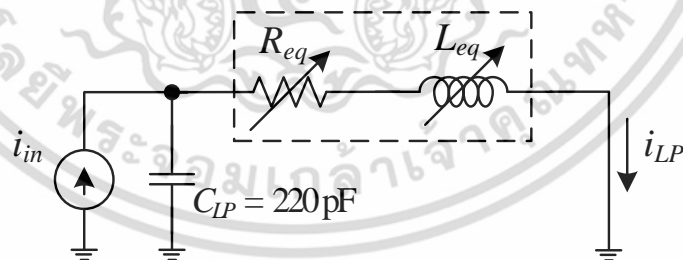
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.6 การประยุกต์ใช้งานของวงจรที่นำเสนอ

ในหัวข้อนี้ได้แสดงแนวทางการประยุกต์ใช้งาน โดยการสังเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสอง (second – order low pass filters, LP) ดังในรูปที่ 4.10 เมื่อ  $C_{LP} = 220$  pF,  $R_{eq} = 3.30$  k $\Omega$  และ  $L_{eq} = 10.89$  mH ทำให้ค่าความถี่คัทออฟ (cutoff frequency,  $f_c$ ) ของวงจรมีค่าเท่ากับ  $f_c = 137.7$  kHz ดังแสดงในรูปที่ 4.11 และรูปที่ 4.12 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำอันดับสองในรูปที่ 4.10 เมื่อแปรค่า  $g_{mS}$  เป็น 0.306 mA/V, 0.542 mA/V และ 0.776 mA/V ในกรณีนี้กำหนดให้  $g_{mF}$  คงที่เท่ากับ 0.306 mA/V ทำให้  $R_{eq} = 3.30$  k $\Omega$ , 1.86 k $\Omega$  และ 1.24 k $\Omega$  และ  $L_{eq} = 10.89$  mH, 6.12 mH และ 4.07 mH ตามลำดับ จากเงื่อนไขดังกล่าว ทำให้  $f_c = 137.7$  kHz, 191.4 kHz และ 263 kHz ตามลำดับ จากการทดสอบพบว่าวงจรที่นำเสนอมีค่าผิดพลาดประมาณ 3.2%, 2% และ 1.7% ตามลำดับ โดยรายละเอียดการทดสอบสรุปได้ดังตารางที่ 4.3

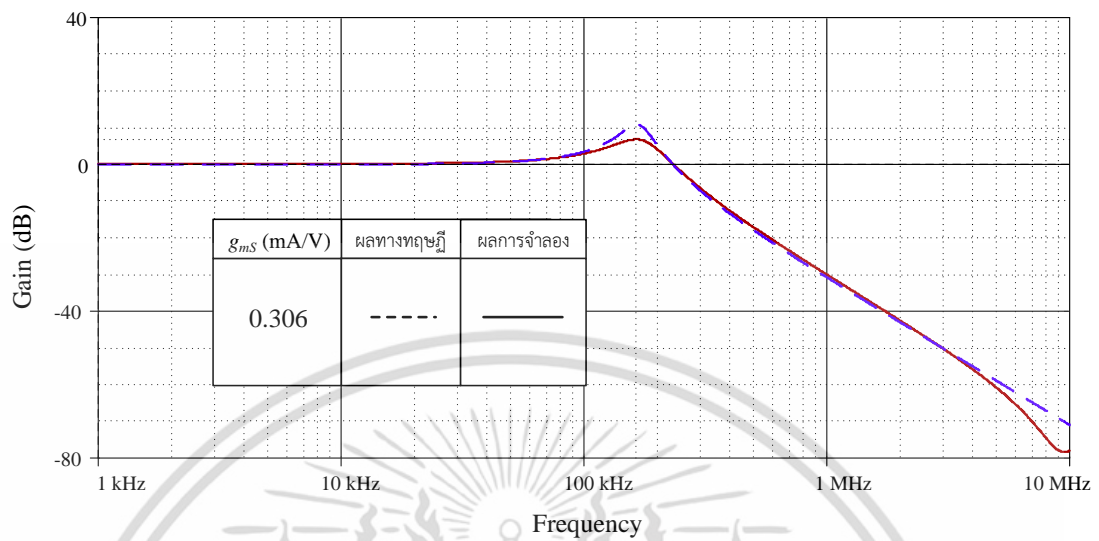
ตารางที่ 4.3 รายละเอียดของค่า  $R_{eq}$  และ  $L_{eq}$  ที่ใช้ในการวัดวงจรในรูปที่ 4.10

$I_{BF}$ ( $\mu$ A)	$I_{BS}$ ( $\mu$ A)	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_{LP}$ (pF)	$f_c$ (kHz)	ค่าความผิดพลาด (%)
25	25	0.306	0.306	3.30	10.89	220	137.7	3.2
25	50	0.306	0.542	1.86	6.12	220	191.4	2
25	100	0.306	0.809	1.24	4.07	220	263	1.7

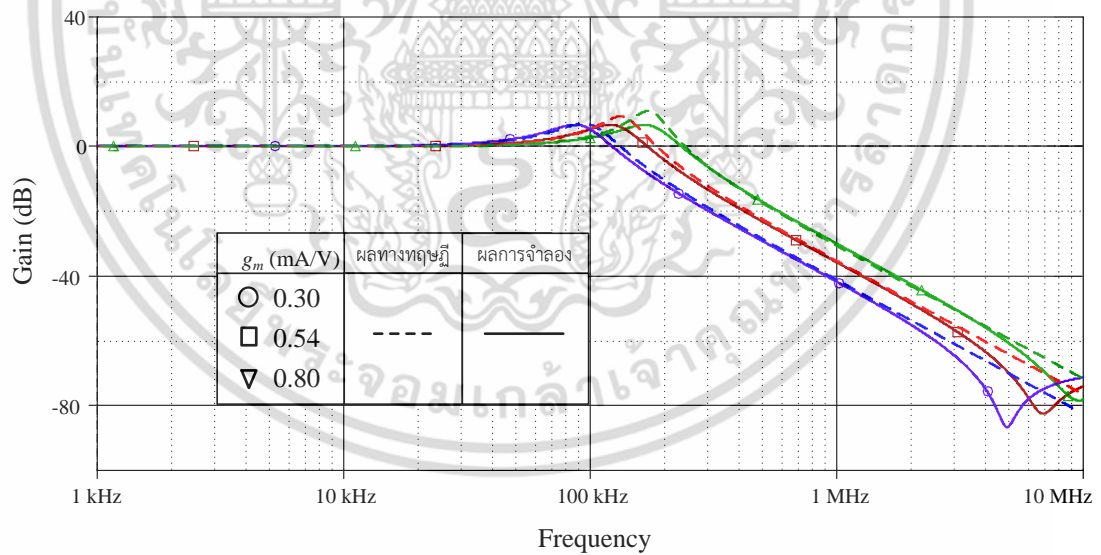


รูปที่ 4.10 วงจรกรองผ่านความถี่ต่ำอันดับสองโดยใช้วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียในรูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 ผลการจำลองผลตอบสนองทางความถี่ของวงจรรองผ่านความถี่ต่ำอันดับสองในรูปที่ 4.10



รูปที่ 4.12 ผลการจำลองผลตอบสนองทางความถี่ของวงจรรองผ่านความถี่ต่ำอันดับสองในรูปที่ 4.10 เมื่อแปรค่า  $g_{mS}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.7 สรุป

วิทยานิพนธ์ฉบับนี้ได้กล่าวถึงการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมต่อเทียบกราวด์โดยใช้วงจร VDTA และตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว โดยตรวจสอบคุณสมบัติการทำงานของวงจรด้วยโปรแกรมจำลองผลการทำงาน PSPICE และทำการต่อวงจรทดลองจริงเพื่อยืนยันคุณสมบัติของวงจรโดยใช้ไอซีเบอร์ CA3080 และไอซีเบอร์ CA3280 ผลการทดสอบพบว่าคุณสมบัติของวงจรที่นำเสนอมีความสอดคล้องกับหลักการทางทฤษฎี กล่าวคือวงจรที่นำเสนอมีค่ามุมเฟสประมาณ  $81^\circ$  ซึ่งใกล้เคียงกับค่าทางทฤษฎีที่มีค่ามุมเฟสเท่ากับ  $86^\circ$  และมีค่าผิดพลาดประมาณ 11.2% ในช่วงความถี่ตั้งแต่ 10 kHz ถึง 70 kHz พร้อมทั้งแสดงแนวทางการประยุกต์ใช้งานวงจรที่นำเสนอ ด้วยวงจรกรองผ่านความถี่ต่ำอันดับสอง ซึ่งปรากฏผลสอดคล้องกับทฤษฎี อีกทั้งวงจรที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลได้ด้วยวิธีการทางอิเล็กทรอนิกส์ กล่าวคือ สามารถควบคุมอัตราขยายค่าความนำได้ผ่านการแปรค่ากระแสไบอัสจากภายนอกวงจร ทำให้วงจรที่นำเสนอมีความคล่องตัวและสะดวกในการนำไปประยุกต์ใช้งาน

#### 4.8 เอกสารอ้างอิงบทที่ 4

- [1] H. Kuntman, M.Gulsoy, O.Cicekoglu, “Actively simulated grounded lossy inductors using third generation current conveyor”, **Microelectronics Journal**, vol.31, no.4, pp.245-250, 2000
- [2] C. Psychalinos and A. Spanidou, “Current amplifier-based grounded and floating inductance simulators”, **International Journal of Electronics and Communications (AEU)**, vol.60, pp.168-171, 2006.
- [3] E. Yuce, “Inductor implementation using a canonical number of active and passive elements”, **International Journal of Electronics**, vol.94, no.4, pp.317-326, 2007.
- [4] D. Prasad, D. R. Bhaskar, and A. K. Singh, “New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers”, **Radioengineering**, vol.19, no.1, pp.194-198, 2010.
- [5] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, “Lossy/lossless floating/grounded inductance simulation using one DDCC”, **Radioengineering**, vol.21, no.1, pp.3-10, 2012.
- [6] F. Kacar, A. Yesil, S. Minaei, H. Kuntman “Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements” **International Journal of Electronics and Communications (AEU)**, vol.68, no.1, pp.73-78, 2014.
- [7] H. Alpaslan, E. Yuce “Inverting CFOA based lossless and lossy grounded inductor simulators”, **Circuits Systems and Signal Processing**, vol. 34, no.10, pp.3081-3100, 2015.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [8] J. K. Pathak, A. K. Singh, R. Senani, “New canonic lossy inductor using a single CDBA and its application”, **International Journal of Electronics**, Vol. 103, no. 1, pp.1-13, 2016.
- [9] E. Yuce, “Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components”, **Analog Integrated Circuits and Signal Processing**, vol. 59, no.1, pp.77–82, 2009.
- [10] F. Kaçar, H. Kuntman, “CFOA-based lossless and lossy inductance simulators”, **Radioengineering**, vol. 20, no.3, pp.627–631, 2011.
- [11] B. Metin, “Supplementary inductance simulator topologies employing single DXCCII”, **Radioengineering**, Vol. 20, no. 3, pp. 614-618, 2011.
- [12] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, “Lossy/lossless floating/grounded inductance simulation using one DDCC”, **Radioengineering**, vol.21, no.1, pp.3-10, 2012.
- [13] K. S. Rao and V. G. K. Murti, “Active RC realization of a bilinear RL impedance,” **Proceedings of the IEEE**, Vol. 58, no. 11, pp.1860–1, Nov. 1970.
- [14] R. Nandi, “Active-R realization of bilinear RL impedances and their applications in a high-Q parallel resonator and external capacitorless oscillator,” **Proceedings of the IEEE**, Vol. 66, no.2, pp. 1666–8, Dec. 1978
- [15] H. Y. Wang and C. T. Lee, “Systematic synthesis of R-L and C-D immittances using single CCIII,” **International Journal of Electronics**, Vol. 87, no. 3, pp. 292–301, Mar. 2000.
- [16] C. L. Hou, R. D. Chen, Y. P. Wu, and P. C. Hu, “Realization of grounded and floating immittance function simulators using current conveyors,” **International Journal of Electronics**, Vol. 74, no.6, pp. 917–23, Jun. 1993.
- [17] M. O. Cicekoglu, “Active simulation of grounded inductors with CCIC and grounded passive elements,” **International Journal of Electronics**, Vol. 85, no. 4, pp. 455–62, Oct. 1998.
- [18] O. Cicekoglu, A. Toker, H. Kuntman, “Universal immittance function simulators using current conveyors”, **Computers and Electrical Engineering**, Vol. 27, pp. 227-238, 2001.

## บทที่ 5

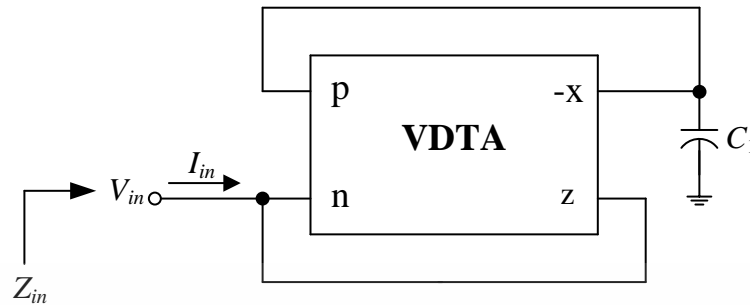
# วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน โดยใช้วงจร VDTA

### 5.1 กล่าวนำ

จากการนำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำ โดยใช้วงจร VDTA ในบทที่ 3 และบทที่ 4 พบว่าวงจรที่นำเสนอมีความยืดหยุ่นและคล่องตัว สามารถนำไปออกแบบและประยุกต์ใช้งานแทนตัวเหนี่ยวนำแบบพาสซีฟได้ แต่จากการทบทวนงานวิจัยในอดีตเพิ่มเติมพบว่า เนื้อหาดังกล่าวที่นำเสนอยังไม่ครอบคลุมทุกความเป็นไปของวงจรเลียนแบบตัวเหนี่ยวนำ ดังนั้นในบทนี้จึงนำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน จากการศึกษาวิจัยในอดีต [1]-[10] พบว่าในการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่ถูกนำเสนอในอดีต นั้นจำเป็นต้องอาศัยอุปกรณ์พาสซีฟมากกว่าหนึ่งตัว [1]-[7] ตัวอย่างเช่น งานวิจัย [1] จำเป็นต้องอาศัยตัวต้านทานจำนวนสองตัวในการสังเคราะห์วงจร หรือ งานวิจัย [2] ต้องอาศัยตัวต้านทานในการสังเคราะห์วงจรสามตัว เป็นต้น บางงานวิจัยยังไม่สามารถปรับแต่งค่าทางอิเล็กทรอนิกส์ได้ [1]-[3] หรือวงจรที่สามารถปรับแต่งค่าได้ทางอิเล็กทรอนิกส์ [4]-[6] นั้นจำเป็นต้องอาศัยการต่อร่วมกับตัวต้านทาน [7]-[10] เป็นต้น

ดังนั้นบทความนี้จึงนำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA จำนวนหนึ่งตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว ปรากฏจากตัวต้านทานแบบพาสซีฟ จากภายนอก [11] วงจรที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลได้ด้วยการปรับอัตราขยายค่าความนำของวงจร VDTA คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอในบทนี้ได้ถูกตรวจสอบความถูกต้อง โดยใช้โปรแกรมจำลองการทำงาน PSPICE และแสดงแนวทางการประยุกต์ใช้งานวงจรที่นำเสนอด้วยการสังเคราะห์วงจรรีโซแนนซ์แบบขนาน ซึ่งปรากฏผลสอดคล้องเป็นไปตามหลักการทางทฤษฎี อีกทั้งยังยืนยันได้ด้วยผลการวัดจากการต่อทดลองจริงโดยใช้ไอซีเบอร์ CA3280 และ CA3080

## 5.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ



รูปที่ 5.1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ

รูปที่ 5.1 แสดงวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน โดยใช้วงจร VDTA ที่นำเสนอ ซึ่งประกอบด้วยวงจร VDTA ต่อร่วมกับตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว เมื่อทำการวิเคราะห์ห้วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ จะได้ความสัมพันธ์ดังนี้ [ภาคผนวก จ1]

$$Z_{in}(s) = \frac{V_{in}(s)}{I_{in}(s)} = \frac{sC_1}{g_{mS}g_{mF} + sC_1g_{mF}} \quad (5.1)$$

ซึ่งค่าความต้านทานสมมูล (equivalent resistance,  $R_{eq}$ ) ของวงจร เท่ากับ

$$R_{eq} = \frac{1}{g_{mF}} \quad (5.2)$$

และค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ของวงจร เท่ากับ

$$L_{eq} = \frac{C_1}{g_{mF}g_{mS}} \quad (5.3)$$

สมการ (5.2) และ (5.3) แสดงให้เห็นว่าวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอในรูปที่ 5.1 นั้นสามารถปรับค่าความต้านทานสมมูลได้โดยการปรับค่า  $g_{mF}$  และสามารถควบคุมค่าความเหนี่ยวนำสมมูลได้โดยการปรับค่าความนำ  $g_{mF}$  และ  $g_{mS}$  ของวงจร VDTA ผ่านการแปรค่ากระแสไบอัส  $I_{BF}$  และ  $I_{BS}$  ตามลำดับ

### 5.3. สมรรถนะของวงจรกรณีไม่เป็นไปตามอุดมคติ

เมื่อวิเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 5.1 โดยคำนึงถึงผลกระทบของกรณีไม่เป็นไปตามอุดมคติของวงจร VDTA จะสามารถเขียนสมการ (5.1) ใหม่ได้ดังนี้ [ภาคผนวก จ2]

$$Z_{in}(s) = \frac{V_{in}(s)}{I_{in}(s)} = \frac{sC_1}{\alpha s C_1 g_{mF} + \alpha \beta g_{mS} g_{mF}} \quad (5.4)$$

ดังนั้นความต้านทานสมมูลของวงจร ในกรณีนี้เท่ากับ

$$R_{eq} = \frac{1}{\alpha g_{mF}} \quad (5.5)$$

และค่าความเหนี่ยวนำสมมูลของวงจร ในกรณีนี้กลายเป็น

$$L_{eq} = \frac{C_1}{\alpha \beta g_{mF} g_{mS}} \quad (5.6)$$

เมื่อ  $\alpha$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mF}$  ซึ่งทำให้  $R_{eq}$  มีค่าผิดพลาดไปจากค่าทางทฤษฎี ในขณะที่  $\beta$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mS}$  ซึ่งทำให้  $L_{eq}$  มีค่าผิดพลาดไปจากค่าทางทฤษฎีเช่นเดียวกัน

ในกรณีวิเคราะห์หาค่าความไว (sensitivity) ของค่าความต้านทานสมมูลต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟในวงจร จะพบว่า [ภาคผนวก จ3]

$$S_{g_{mF}}^{R_{eq}} = -1 \quad (5.7)$$

และค่าความไวของค่าความเหนี่ยวนำสมมูลต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟในวงจร จะเท่ากับ

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (5.8)$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (5.9)$$

ในขณะที่ความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์พาสซีฟ มีค่าเท่ากับ

$$S_{C_1}^{L_{eq}} = 1 \quad (5.10)$$

จากสมการ (5.7) ถึง (5.10) แสดงให้เห็นว่าค่าความไวทั้งหมดนั้นมีค่าที่ต่ำหรือไม่เกินหนึ่ง หมายความว่า เมื่อค่าพารามิเตอร์สำคัญของวงจร เช่น  $g_{mF}$  หรือ  $g_{mS}$  มีค่าเปลี่ยนแปลงไป 1% จะทำให้ค่า  $R_{eq}$  หรือ  $L_{eq}$  มีค่าเป็นเปลี่ยนแปลงไป 1% จากค่าเดิม เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 5.4 ผลการจำลองการทำงานของวงจรถ

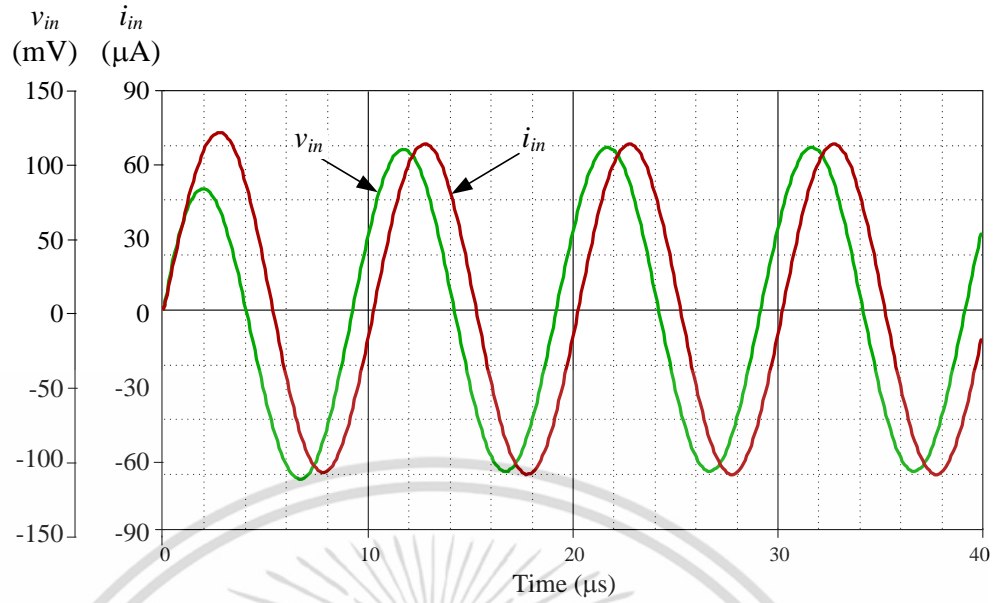
ในหัวข้อนี้จะทำการยืนยันคุณสมบัติของวงจรถที่นำเสนอในรูปที่ 5.1 โดยการจำลองการทำงานด้วยโปรแกรมจำลองการทำงาน PESICE โดยกำหนดให้  $v_{in} = 100$  mV,  $C_1 = 1$  nF และ  $g_{mF} = g_{mS} = 0.306$  mA/V จากเงื่อนไขดังกล่าวจะทำให้ค่า  $R_{eq} = 3.3$  k $\Omega$  และ  $L_{eq} = 10.89$  mH ผลการจำลองผลการตอบสนองทางเวลาของวงจรถที่นำเสนอแสดงได้ดังรูปที่ 5.2 จากการจำลองการทำงานพบว่าแรงดัน  $v_{in}$  จะนำหน้ากระแส  $i_{in}$  ที่มุมเฟสต่างกันประมาณ  $82^\circ$  ใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $88^\circ$

รูปที่ 5.3 แสดงผลตอบสนองทางความถี่ของวงจรถที่นำเสนอ โดยกำหนดให้  $C_1 = 1$  nF และ  $g_{mF} = g_{mS} = 0.306$  mA/V ซึ่งค่า  $R_{eq} = 3.3$  k $\Omega$  และ  $L_{eq} = 10.89$  mH จากการจำลองการทำงานพบว่าวงจรถที่นำเสนอจะมีค่าผิดพลาดประมาณ 5.9% และมีค่าใกล้เคียงกับค่าทางทฤษฎีในช่วงความถี่ประมาณ 10 kHz ถึง 1 MHz โดยรายละเอียดแสดงดังตารางที่ 5.1

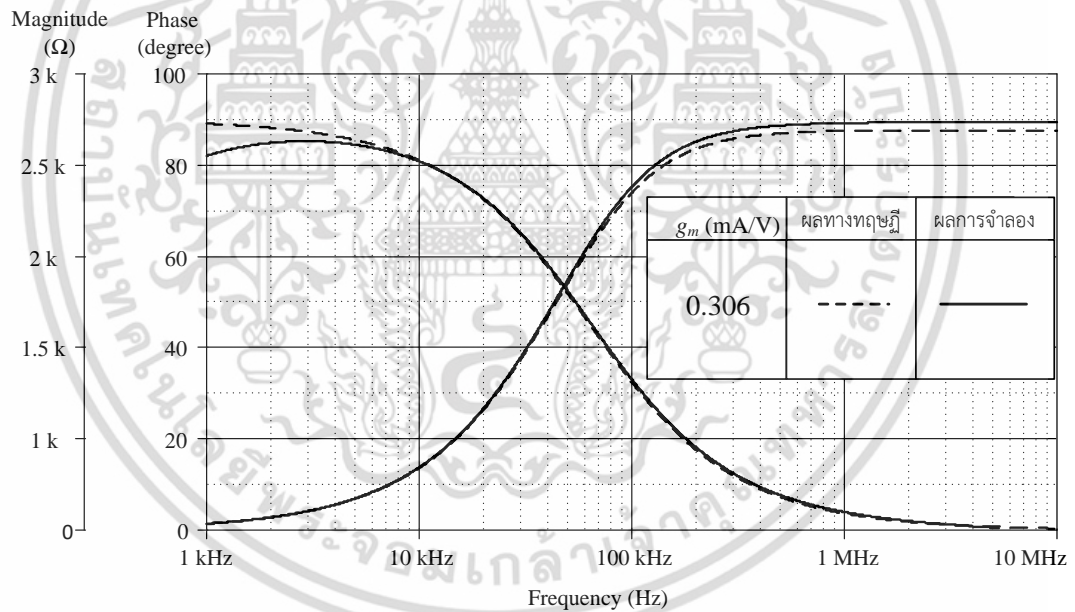
เมื่อทำการจำลองการทำงานของวงจรถที่นำเสนอ โดยกำหนดให้  $C_1 = 1$  nF และกำหนดให้  $g_{mF}$  ให้มีค่าคงที่เท่ากับ 0.306 mA/V จากนั้นทำการแปรค่า  $g_{mS} = 0.306$  mA/V, 0.542 mA/V และ 0.809 mA/V ตามลำดับ ทำให้ค่า  $L_{eq} = 10.89$  mH, 6.12 mH และ 4.07 mH ตามลำดับ ซึ่งผลการจำลองผลตอบสนองทางความถี่เปรียบเทียบกับผลทางทฤษฎีแสดงดังรูปที่ 5.4 จากการจำลองการทำงานพบว่าวงจรถที่นำเสนอมีค่าผิดพลาดน้อยที่สุดประมาณ 5.9% เนื่องจากวงจรถที่นำเสนอสามารถแปรค่า  $R_{eq}$  และ  $L_{eq}$  ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ซึ่งผลการจำลองการทำงานมีค่าใกล้เคียงและปรากฏผลสอดคล้องเป็นไปตามหลักการทางทฤษฎีในข้างต้น

ตารางที่ 5.1 รายละเอียดของค่า  $R_{eq}$  และค่า  $L_{eq}$  ของวงจรถที่นำเสนอในรูปที่ 5.1

$I_{BF}$ ( $\mu$ A)	$I_{BS}$ ( $\mu$ A)	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_1$ (nF)	ค่าความผิดพลาด (%)
25	25	0.306	0.306	3.30	10.89	1	5.9
25	50	0.306	0.542	3.30	6.12	1	6.5
25	100	0.306	0.809	3.30	4.07	1	7.2

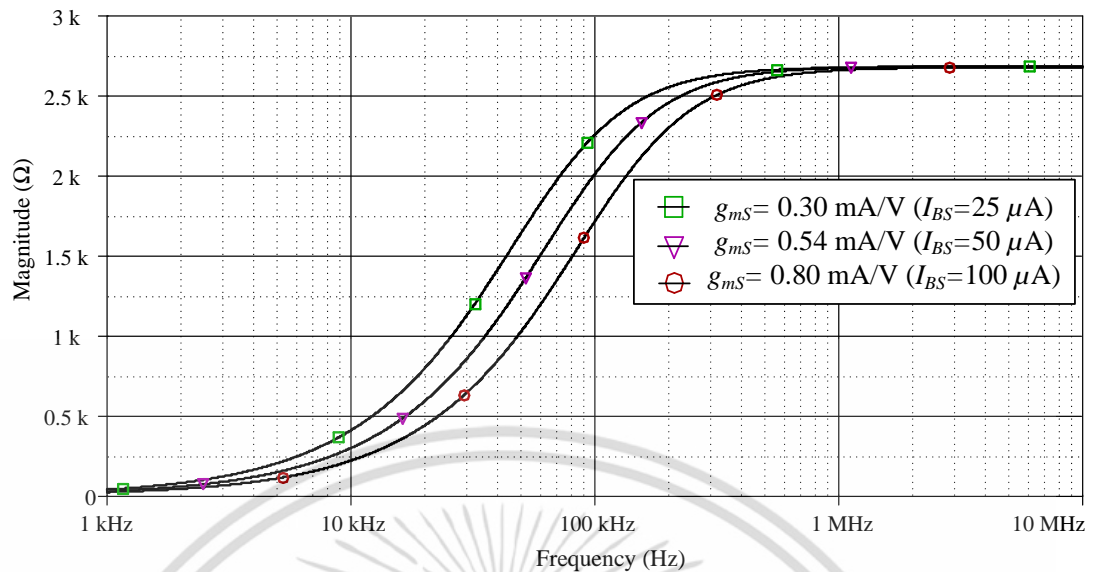


รูปที่ 5.2 ผลการจำลองผลการตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 5.1



รูปที่ 5.3 ผลการจำลองผลการตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1

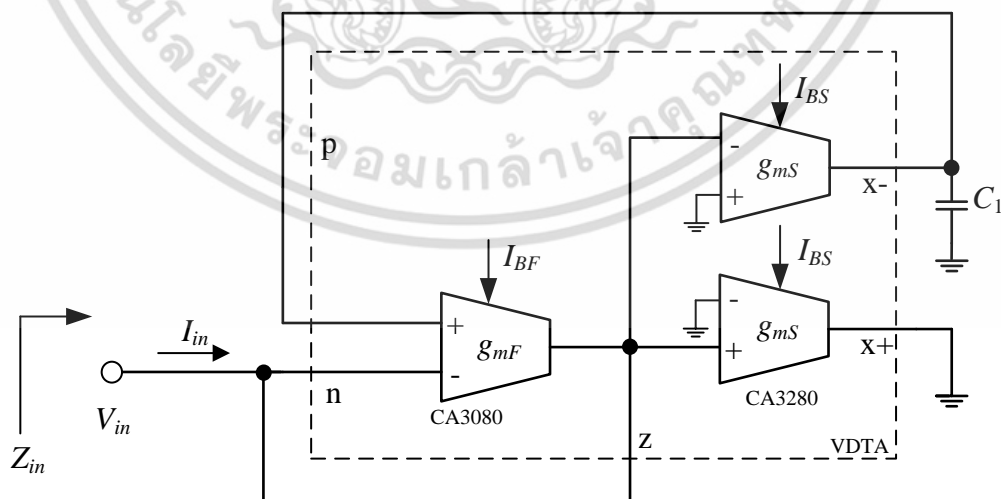
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ผลการจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 5.1 เมื่อแปรค่า  $g_{mS}$

### 5.5 ผลการทดลองต่อวงจรจริง

ในหัวข้อนี้ได้ยืนยันคุณสมบัติของวงจรถ่ายโอนในรูปที่ 5.1 ว่ามีความสอดคล้องกับหลักการทางทฤษฎีและผลการจำลองการทำงานโดยโปรแกรม PSPICE จึงต่อวงจรจริงโดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ดังรูปที่ 5.5 ซึ่งแสดงรายละเอียดการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน และรูปที่ 5.6 แสดงภาพถ่ายของวงจรที่ใช้ทำการต่อทดลองจริง ในการทดลองจะกำหนดไฟเลี้ยงให้มีค่าเท่ากับ  $\pm 5V$  และให้  $I_{BF}$  คงที่เท่ากับ  $50 \mu A$  จากนั้นแปรค่า  $I_{BS}$  ให้มีค่าเท่ากับ  $25 \mu A$ ,  $50 \mu A$  และ  $100 \mu A$  ตามลำดับ โดยรายละเอียดการทดลองแสดงดังตารางที่ 5.2

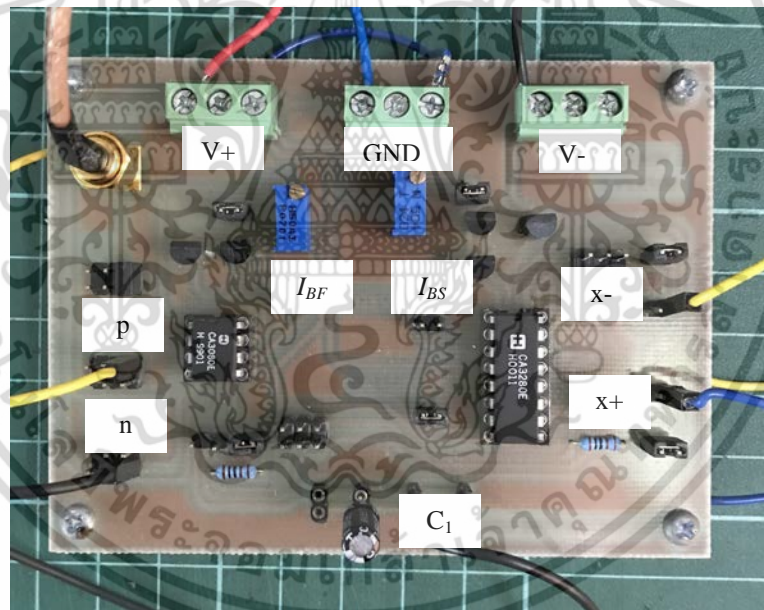


รูปที่ 5.5 การต่อวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติสามารถทำการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานได้โดยใช้ไอซีเบอร์ CA3080 และ เบอร์ CA3280 ต่อกับตัวเก็บประจุเทียบกราวด์ จำนวนหนึ่งตัว ดังรูปที่ 5.6 โดยกำหนดให้  $C_1 = 1 \text{ nF}$  และให้  $g_m = g_{mF} = g_{mS} = 1 \text{ mA/V}$  ( $I_{BF} = I_{BS} = 50 \mu\text{A}$ ) ทำให้  $R_{eq} = 1 \text{ k}\Omega$  และ  $L_{eq} = 1 \text{ mH}$  ซึ่งผลตอบสนองทางเวลาแสดงได้ดังรูปที่ 5.7 และรูปที่ 5.8 แสดงผลการวัดผลตอบสนองทางของวงจรในรูปที่ 5.6 ผลการทดลองพบว่าผลตอบสนองทางเฟสของวงจรที่นำเสนอมีค่าใกล้เคียงกับค่าทางทฤษฎีที่มุมเฟส  $88^\circ$  ในช่วงความถี่ไม่เกิน  $70 \text{ kHz}$  ดังแสดงในรูปที่ 5.8

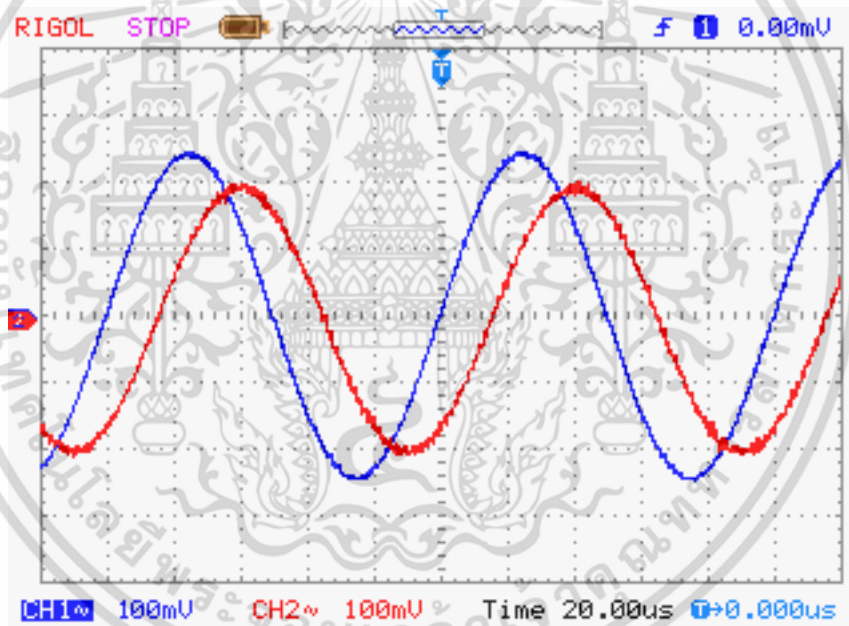
รูปที่ 5.9 แสดงผลการทดสอบผลตอบสนองทางขนาดของวงจรในรูปที่ 5.6 เมื่อแปรค่า  $g_{mS}$  โดยกำหนดให้  $C_1 = 1 \text{ nF}$  และกำหนดให้  $g_{mF}$  ให้มีค่าคงที่เท่ากับ  $0.5 \text{ mA/V}$  ทำให้  $R_{eq} = 1 \text{ k}\Omega$  จากนั้นแปรค่า  $g_{mS}$  มีค่าเท่ากับ  $0.5 \text{ mA/V}$ ,  $1 \text{ mA/V}$  และ  $2 \text{ mA/V}$  ทำให้  $L_{eq} = 2 \text{ mH}$ ,  $1 \text{ mH}$  และ  $0.5 \text{ mH}$  ตามลำดับ ผลการวัดวงจรจริงพบว่าวงจรที่นำเสนอมีความผิดพลาดประมาณ 2.5%, 1.4% และ 2.2% ตามลำดับ ทั้งนี้เนื่องจากวงจรที่นำเสนอสามารถปรับค่า  $R_{eq}$  และ  $L_{eq}$  ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ในทางปฏิบัติสามารถลดค่าผิดพลาดที่เกิดขึ้นได้โดยการปรับค่า  $R_{eq}$  และ  $L_{eq}$  ให้มีความใกล้เคียงกับค่าทางทฤษฎีมากยิ่งขึ้นได้



รูปที่ 5.6 ภาพถ่ายวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่ใช้ในทดลอง

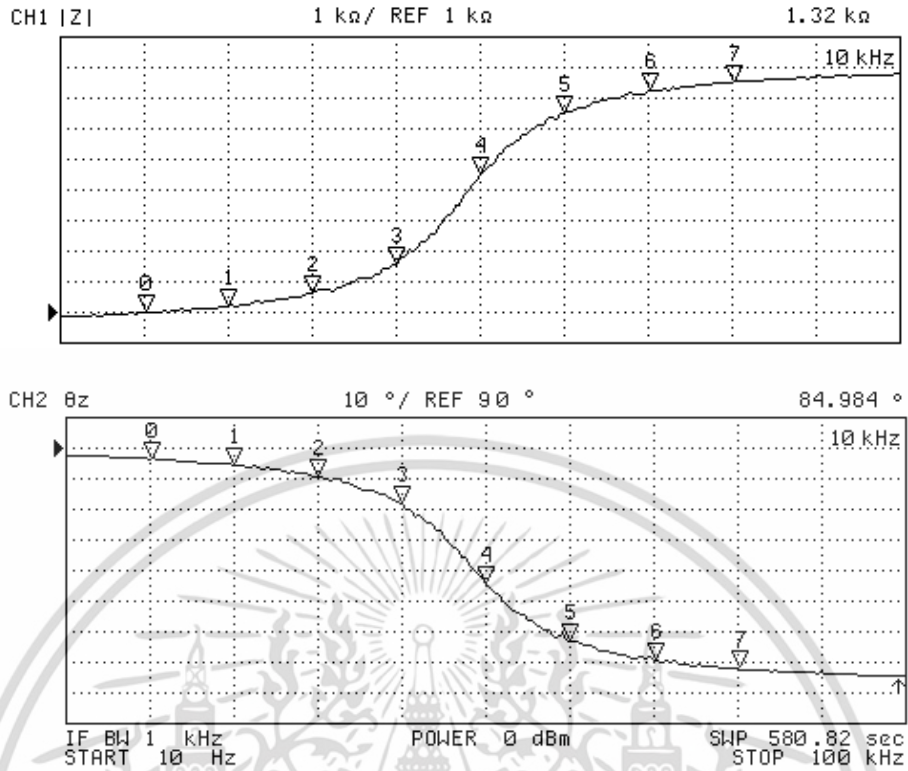
ตารางที่ 5.2 รายละเอียดของค่า  $R_{eq}$  และ  $L_{eq}$  ที่ใช้ในการทดสอบวงจรในรูปที่ 5.6

$I_{BF}$ ( $\mu A$ )	$I_{BS}$ ( $\mu A$ )	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_1$ (nF)	ค่าความผิดพลาด (%)
50	25	1	0.5	1	2	1	2.5
50	50	1	1	1	1	1	1.4
50	100	1	2	1	0.5	1	2.2

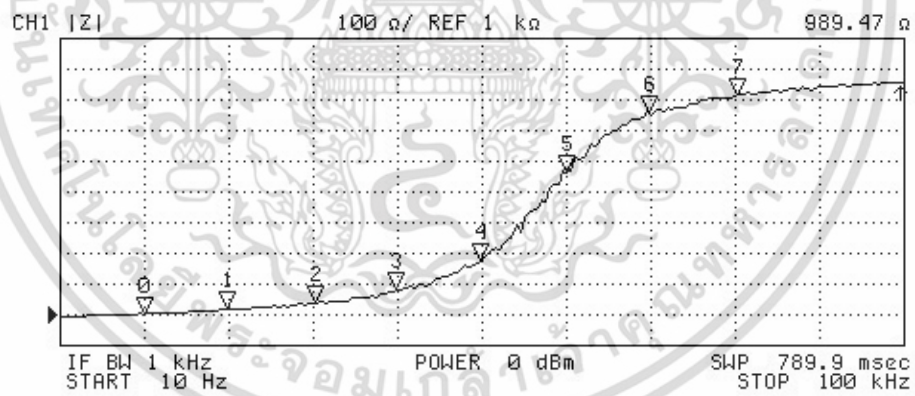


รูปที่ 5.7 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 5.6

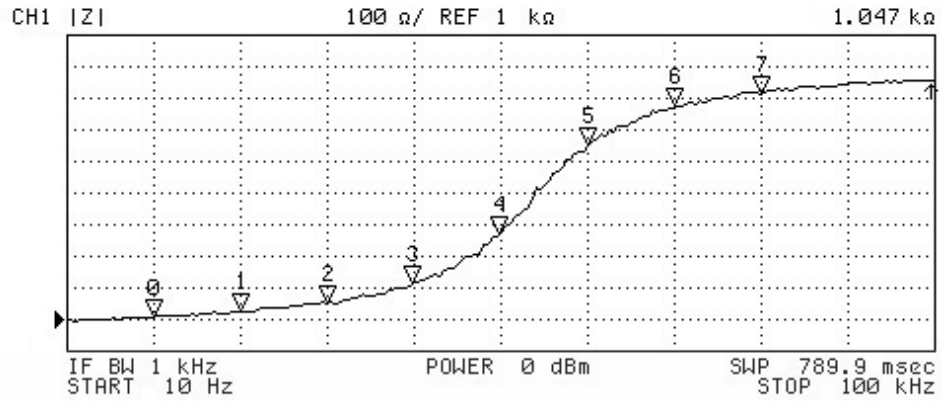


N	SWP PARAM	VAL	EXTRA
0	10 kHz	989.36 Ω	1.8374 mH
1	20 kHz	1.0736 kΩ	2.1022 mH
2	30 kHz	1.1554 kΩ	2.1326 mH
3	40 kHz	1.254 kΩ	2.2434 mH
4	50 kHz	1.435 kΩ	2.373 mH
5	60 kHz	1.5342 kΩ	2.4993 mH
6	70 kHz	1.6301 kΩ	2.6356 mH
7	80 kHz	1.7505 kΩ	2.774 mH

(ก)

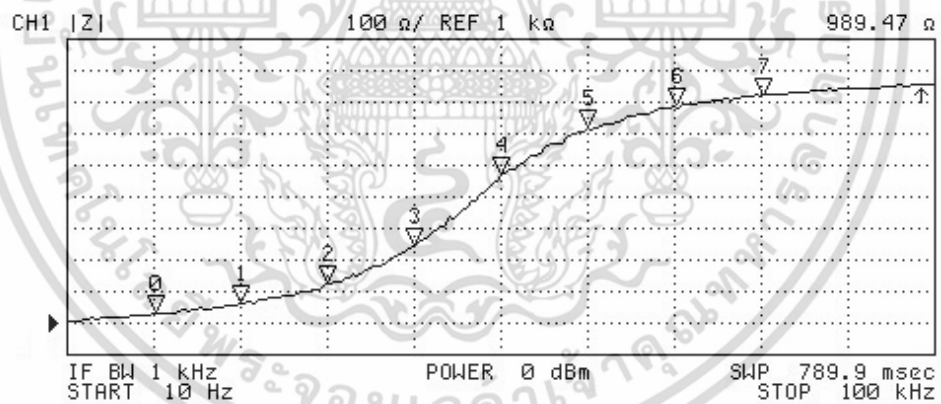
รูปที่ 5.9 ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 5.6 เมื่อแปรค่า  $g_{ms}$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอน ไม่อนุญาติให้เผยแพร่โดยไม่ขออนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL	EXTRA
0	10 kHz	1.047 kΩ	1.0374 mH
1	20 kHz	1.0736 kΩ	1.1022 mH
2	30 kHz	1.1554 kΩ	1.1326 mH
3	40 kHz	1.254 kΩ	1.2434 mH
4	50 kHz	1.435 kΩ	1.373 mH
5	60 kHz	1.5342 kΩ	1.4993 mH
6	70 kHz	1.6301 kΩ	1.6356 mH
7	80 kHz	1.7505 kΩ	1.774 mH

(ข)



N	SWP PARAM	VAL	EXTRA
0	10 kHz	989.36 Ω	475.35 H
1	20 kHz	1.0736 kΩ	489.86 H
2	30 kHz	1.1554 kΩ	500.363 H
3	40 kHz	1.254 kΩ	519.29 H
4	50 kHz	1.435 kΩ	543.837 H
5	60 kHz	1.5342 kΩ	589.16 H
6	70 kHz	1.6301 kΩ	614.34 H
7	80 kHz	1.7505 kΩ	643.837 H

(ค)

รูปที่ 5.9 ผลการวัดผลตอบสนองทางขนาดของวงจรในรูปที่ 5.6 เมื่อแปรค่า  $g_{ms}$  (ต่อ)

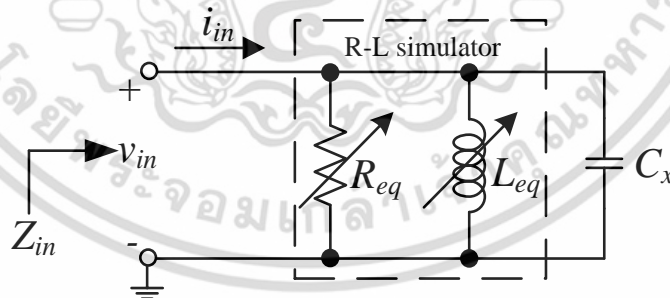
(ก)  $g_{ms} = 0.5 \text{ mA/V}$  (ข)  $g_{ms} = 1 \text{ mA/V}$  (ค)  $g_{ms} = 2 \text{ mA/V}$   
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการเรียนเพื่อใช้ศึกษาเท่านั้น ไม่อนุญาติให้นำไปเผยแพร่โดยไม่ขออนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.6 การประยุกต์ใช้งานของวงจรถูกที่นำเสนอ

ในหัวข้อนี้ได้ยกตัวอย่างแนวทางการประยุกต์ใช้งาน โดยออกแบบวงจรรีโซแนนซ์แบบขนาน ดังรูปที่ 5.10 เมื่อ  $C_x = 220$  pF,  $R_{eq} = 3.30$  k $\Omega$  และ  $L_{eq} = 10.89$  mH ทำให้ค่าความถี่คัทออฟ (cutoff frequency,  $f_c$ ) ของวงจรมีค่าเท่ากับ 112.8 kHz ดังรูปที่ 5.11 และรูปที่ 5.12 แสดงผลตอบสนองทางความถี่ของวงจรรองผ่านความถี่ต่ำอันดับสองในรูปที่ 5.10 เมื่อแปรค่า  $g_{mS}$  ในกรณีนี้ได้กำหนดให้  $g_{mF}$  คงที่เท่ากับ 0.306 mA/V และแปรค่า  $g_{mS}$  เท่ากับ 0.306 mA/V, 0.542 mA/V และ 0.776 mA/V ทำให้  $R_{eq} = 3.30$  k $\Omega$  ในขณะที่  $L_{eq}$  จะมีค่าเป็น 10.89 mH, 6.12 mH และ 4.07 mH จากเงื่อนไขดังกล่าว ทำให้  $f_c = 112.8$  kHz, 137.2 kHz และ 168 kHz ตามลำดับ จากการทดสอบพบว่าวงจรถูกที่นำเสนอมีค่าความผิดพลาดประมาณ 9.2%, 6.4% และ 4.7% ตามลำดับ โดยรายละเอียดการทดสอบสรุปได้ดังตารางที่ 5.3

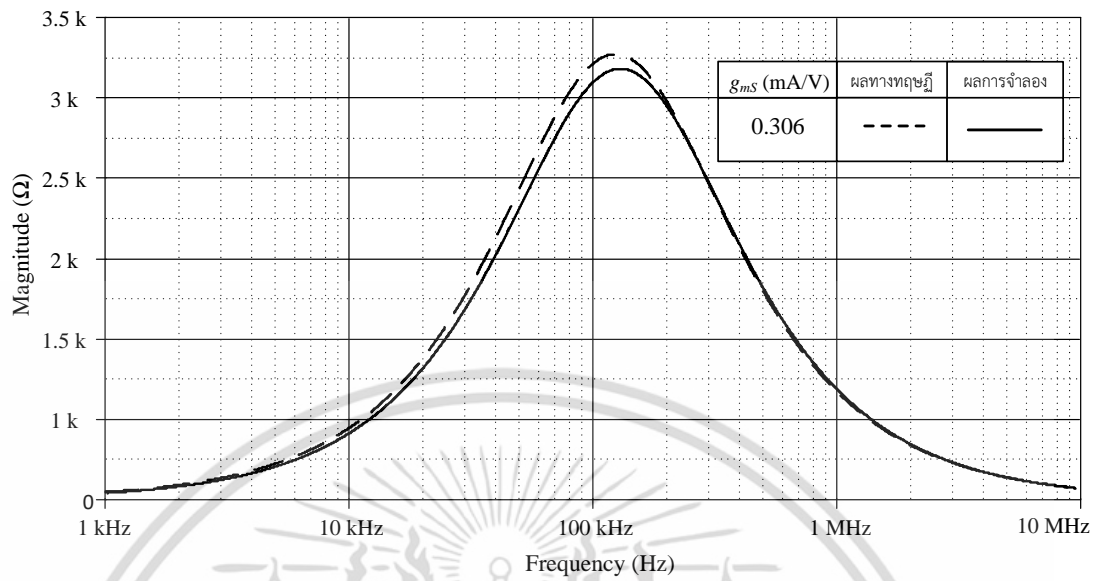
ตารางที่ 5.3 รายละเอียดของค่า  $R_{eq}$  และ  $L_{eq}$  ที่ใช้ในการทดสอบวงจรถูกที่นำเสนอในรูปที่ 5.10

$I_{BF}$ ( $\mu$ A)	$I_{BS}$ ( $\mu$ A)	$g_{mF}$ (mA/V)	$g_{mS}$ (mA/V)	$R_{eq}$ (k $\Omega$ )	$L_{eq}$ (mH)	$C_{LP}$ (pF)	$f_c$ (kHz)	ค่าความผิดพลาด (%)
25	25	0.306	0.306	3.30	10.89	220	112.8	9.2
25	50	0.306	0.542	3.30	6.12	220	137.2	6.4
25	100	0.306	0.809	3.30	4.07	220	168	4.7

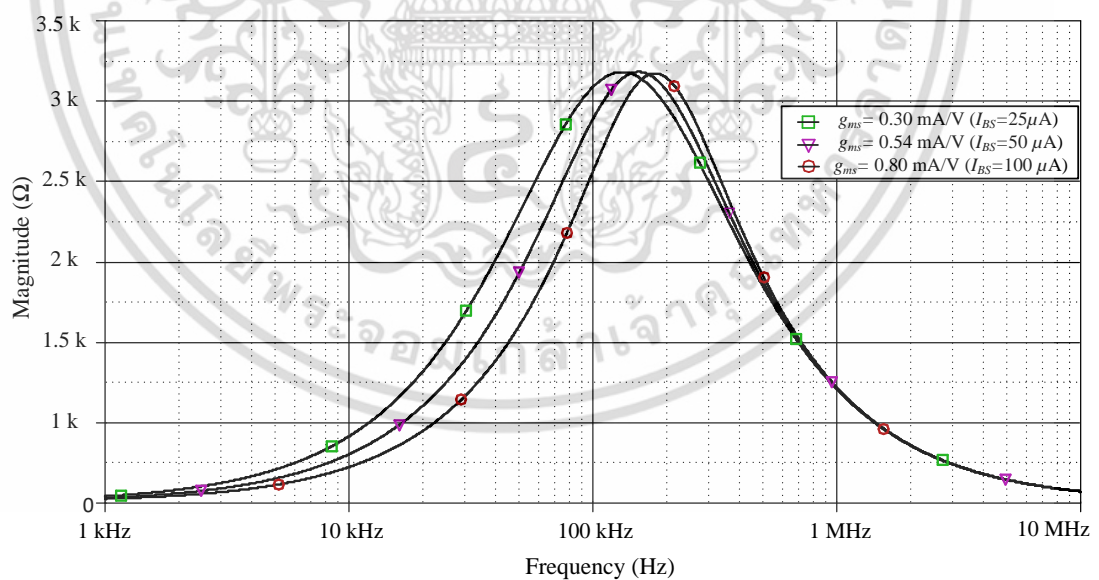


รูปที่ 5.10 วงจรรีโซแนนซ์แบบขนานโดยใช้วงจรถูกที่นำเสนอในรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 ผลการจำลองผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์แบบขนานในรูปที่ 5.10



รูปที่ 5.12 ผลการจำลองผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์แบบขนานในรูปที่ 5.10 เมื่อแปรค่า  $g_{ms}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.7 สรุป

วิทยานิพนธ์ฉบับนี้ได้อธิบายถึงการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน โดยใช้วงจร VDTA และตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว คุณสมบัติการทำงานของวงจรที่นำเสนอถูกตรวจสอบความถูกต้องด้วยโปรแกรมจำลองการทำงาน PSPICE และทำการต่อวงจรทดลองจริงเพื่อยืนยันคุณสมบัติของวงจรที่นำเสนอ โดยใช้ไอซีเบอร์ CA3080 และ ไอซีเบอร์ CA3280 ต่อร่วมกับตัวเก็บประจุเทียบกราวด์ ผลการทดสอบพบว่าคุณสมบัติของวงจรที่นำเสนอมีความสอดคล้องกับหลักการทางทฤษฎี กล่าวคือวงจรที่นำเสนอมีค่าความต้านทานสมมูลและค่าเหนี่ยวนำสมมูลใกล้เคียงกับค่าทางทฤษฎีท ในช่วงความถี่ตั้งแต่ 10 kHz ถึง 70 kHz อีกทั้งยังแสดงแนวทางการประยุกต์ใช้งานวงจรที่นำเสนอ โดยการออกแบบวงจรรีโซแนนซ์แบบขนาน ซึ่งแสดงให้เห็นว่าวงจรที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้วงจรที่นำเสนอมีความคล่องตัวและสะดวกในการนำไปประยุกต์ใช้งาน

## 5.8 เอกสารอ้างอิงบทที่ 5

- [1] H. Kuntman, M.Gulsoy, O.Cicekoglu, “Actively simulated grounded lossy inductors using third generation current conveyor”, **Microelectronics Journal**, vol.31, no.4, pp.245-250, 2000.
- [2] U. Cam, F. Kacar, O. Cicekoglu, H. Kuntman, A. Kuntman, “Novel grounded parallel immittance simulator topologies employing single OTRA”, **International Journal of Electronics and Communications (AEU)**, vol.57, no.4, pp.287-290, 2003.
- [3] F. Kacar, A. Yesil “Novel grounded parallel inductance simulator realization using a minimum number of active and passive components” **Microelectronics Journal**, vol.41, no.1, pp.632-638, 2010.
- [4] H. Yu Wang, C. Ting Lee “Systematic synthesis of R-L and C-D immittances using single CCIII”, **International Journal of Electronics**, vol.87, no.3, pp.293-301, 2000.
- [5] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, “Lossy/lossless floating/grounded inductance simulation using one DDCC”, **Radioengineering**, vol.21, no.1, pp.3-10, 2012.
- [6] H. Alpaslan, E. Yuce “Inverting CFOA based lossless and lossy grounded inductor simulators”, **Circuits Systems and Signal Processing**, vol. 34, no.10, pp.3081-3100, 2015.
- [7] F. Kacar, A. Yesil, S. Minaei, H. Kuntman “Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements”, **International Journal of Electronics and Communications (AEU)**, vol.68, no.1, pp.73-78, 2014.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [8] O. C icekoglu, “Active simulation of grounded inductors with ccii+s and grounded passive elements”, **International Journal of Electronics**, vol.85, pp.455–462, 1998.
- [9] M.T. Abuelma’atti, M.H. Khan, “Current-controlled OTA-based single-capacitor simulations of grounded inductors”, **International Journal of Electronics**, vol.78, no.5 pp.881–885, 1995.
- [10] A.P.V. Mohan, “Grounded capacitor based grounded and floating inductance simulation using current conveyors”, **Electronics Letters**, vol. 34, no. 11 pp.1037–1038, 1998
- [11] ภาณุรุจ ยะเรื่อน, วรพงศ์ ตั้งศรีรัตน์, วัลลภ สุระกำพลธร “วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจร VDTA หนึ่งตัว”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยราชชมงคล ครั้งที่ 8**, จ. ภูเก็ต, หน้า. 342-347, 2016.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

# บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

### 6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบและสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำแบบปรับค่าได้ โดยใช้วงจรถ่าย VDTA เป็นอุปกรณ์แอคทีฟหลักที่พหุคูณกับตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัวเท่านั้น โดยได้แบ่งเนื้อหาที่นำเสนอออกเป็นสองส่วนหลัก ดังนี้

ส่วนแรก นำเสนอหลักการพื้นฐานการทำงานและคุณสมบัติของวงจรถ่าย VDTA ซึ่งเป็นอุปกรณ์แอคทีฟชนิดหนึ่งที่ถูกพัฒนาขึ้นโดย Dalibor Biotek และคณะในปี ค.ศ.2008 โดยมีวัตถุประสงค์หลักเพื่อใช้ในการออกแบบและสังเคราะห์วงจรถ่ายประมวลผลสัญญาณต่างๆ เนื่องจากมีคุณสมบัติเด่นคือสามารถปรับอัตราขยายค่าความนำ ของวงจรถ่ายได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการแปรค่ากระแสไบอัสจากภายนอก อีกทั้งโครงสร้างของวงจรถ่ายไม่ซับซ้อน พื้นที่วงจรมีขนาดเล็ก และสิ้นเปลืองกำลังไฟฟ้าต่ำ จึงสะดวกและคล่องตัวในการนำไปประยุกต์ใช้งาน

ส่วนที่สอง นำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำที่ไม่มีการสูญเสีย วงจรถ่ายแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม และวงจรถ่ายแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน กล่าวคือ เนื้อหาที่นำเสนอทั้งหมดในวิทยานิพนธ์ฉบับนี้ครอบคลุมทุกความเป็นไปได้ของการออกแบบและสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำ อีกทั้งวงจรถ่าย VDTA ที่ใช้ในการสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำในวิทยานิพนธ์ฉบับนี้ถูกออกแบบโครงสร้างภายในโดยใช้เทคโนโลยีซีมอส ทำให้สามารถปรับค่าอัตราขยายค่าความนำได้ด้วยวิธีการทางอิเล็กทรอนิกส์ และเกิดการสูญเสียน้อยเมื่อเทียบกับเทคโนโลยีแบบไบโพลาร์ ซึ่งใช้พลังงานมากกว่า และเนื่องจากวิทยานิพนธ์นี้มุ่งเน้นนำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำ ดังนั้นอุปกรณ์แอคทีฟที่เลือกใช้จึงมีค่าอิมพีแดนซ์อินพุตสูงเหมาะสมในการส่งผ่านกระแส และค่าอิมพีแดนซ์เอาต์พุตสูงซึ่งเป็นคุณสมบัติที่ดีของขั้วกระแสเอาต์พุต เหมาะสมในการนำไปออกแบบและสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำ พร้อมทั้งยกตัวอย่างการประยุกต์ใช้งานวงจรถ่ายที่นำเสนอ โดยการออกแบบวงจรถ่ายกรองผ่านแถบความถี่ วงจรถ่ายกรองผ่านความถี่ต่ำอันดับสองและวงจรถ่ายรีโซแนนซ์ เป็นต้น พร้อมยืนยันผลการจำลองการทำงานด้วยโปรแกรม PSPICE และผลการวัดจากการต่อทดลองจริงบนแผ่นพิมพ์ซึ่งประกอบด้วยไอซีเบอร์ CA3080 และ CA3280 อีกด้วย

นอกจากนี้ผลการวิจัยทั้งหมดที่ได้รับการพิจารณาตีพิมพ์ในงานประชุมวิชาการระดับชาติและระดับนานาชาติแสดงดังนี้ [1]-[5]

1. P. Yaruan, P. Mongkolwai, W. Tangsrirat “Single VDTA-base floating inductance simulation with a grounded capacitor”, **Proceedings of the International 29<sup>th</sup> International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC 2014)**, Phuket, Thailand, pp.67-70, 2014. [1]
2. P. Yaruan, P. Mongkolwai, S. Unhavanich, W. Tangsrirat “VDTA-based floating capacitance multiplier with a grounded capacitor”, **Proceedings of the Annual Conference on Engineering and Information Technology (ACEAIT2015)**, Osaka, Japan, 22-24 March, pp. 233-240, 2015. [2]
3. P. Yaruan, P. Mongkolwai, W. Tangsrirat “Electronically tunable impedance multiplier using VDTAs”, **Proceedings of the International 12<sup>th</sup> IEEE International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2015)**, Hua Hin, Thailand, pp. 67-70, 2015. [3]
4. ภาณุรุจ ยะเรื่อน, ปรีชญา มงคลไวย, วรพงศ์ ตั้งศรีรัตน์ “วงจรรคูณค่าความจุไฟฟ้าโดยใช้วงจรวจร VDTA”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชภัฏวชิร ครั้งที่ 7**, จ. ชลบุรี, หน้า.229-232, 2015. [4]
5. ภาณุรุจ ยะเรื่อน, วรพงศ์ ตั้งศรีรัตน์, วัลลภ สุระกำพลธร “วงจรรีเลย์แบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจรวจร VDTA หนึ่งตัว”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชภัฏวชิร ครั้งที่ 8**, จ. ภูเก็ต, หน้า.342-347, 2016. [5]

โดยรายละเอียดทั้งหมดของแต่ละบทความได้รวบรวมไว้ในภาคผนวก ฉ

## 6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

การออกแบบและการสังเคราะห์วงจรรีเลย์แบบตัวเหนี่ยวนำแบบปรับค่าได้ โดยใช้วงจรวจร VDTA ที่ได้นำเสนอขึ้นในวิทยานิพนธ์ฉบับนี้ พบว่ายังมีประเด็นที่น่าสนใจนำไปพัฒนาปรับปรุงให้ดีขึ้น ดังนี้

ประการแรก ถึงแม้ว่าวงจรวจร VDTA ที่นำเสนอมีโครงสร้างแบบเทคโนโลยีซีมอสจะประหยัดพลังงานมากกว่าแบบเทคโนโลยีไบโพลาร์ทรานซิสเตอร์ แต่ก็พบว่ามีข้อจำกัดของเทคโนโลยีมอสทรานซิสเตอร์ คือ การปรับค่าอัตราขยายค่าความนำนั้นยังคงไม่เป็นเชิงเส้น ดังนั้นจึงควรพัฒนาวงจรวจรส่วนนี้ให้ปรับค่าอัตราขยายค่าความนำได้อย่างเป็นเชิงเส้น ซึ่งจะช่วยให้อัตราขยายค่าความนำของวงจรวจร VDTA มีค่าใกล้เคียงกับทฤษฎีมากขึ้น

ประการที่สอง แม้ว่าวงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้จะมีความคล่องตัวและสะดวกในการนำไปประยุกต์ใช้งาน เนื่องจากสามารถปรับอัตราขยายค่าความนำได้ด้วยวิธีการทางอิเล็กทรอนิกส์ แต่อย่างไรก็ตามสัญญาณที่ใช้ในการปรับค่านั้นยังคงเป็นสัญญาณแอนะล็อกจากภายนอกของวงจร ดังนั้นแนวทางการวิจัยต่อที่น่าสนใจอีกประการ คือ การควบคุมกระแสไบอัสของวงจร VDTA ด้วยวิธีการทางดิจิทัล กล่าวคือการใช้สัญญาณดิจิทัลจากภายนอกในการปรับอัตราขยายค่าความนำของวงจร ซึ่งจะส่งผลให้ค่าพารามิเตอร์ที่สำคัญต่างๆ ของวงจรที่นำเสนอมีความแม่นยำและเที่ยงตรงมากขึ้นตามไปด้วย

### 6.3 เอกสารอ้างอิงบทที่ 6

- [1] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Single VDTA-base floating inductance simulation with a grounded capacitor”, **Proceedings of the International 29<sup>th</sup> International Technical Conference on circuits/Systems, Computers and Communication (ITC-CSCC 2014)**, Phuket, Thailand, 1-4 July, pp. 67-70, 2014.
- [2] P. Yaruan, P. Mongkolwai, S. Unhavanich, W. Tangsrirat “VDTA-based floating capacitance multiplier with a grounded capacitor”, **Proceedings of the Annual Conference on Engineering and Information Technology (CEAIT2015A)**, Osaka, Japan, 22-24 March, pp. 233-240, 2015.
- [3] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Electronically tunable impedance multiplier using VDTAs”, **Proceedings of the International 12<sup>th</sup> IEEE International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2015)**, Hua Hin, Thailand, pp. 67-70, 2015.
- [4] ภาณุรุจ ยะเรื่อน, ปรัชญา มงคลไวย, วรพงษ์ ตั้งศรีรัตน์ “วงจรคูณค่าความจุไฟฟ้าโดยใช้วงจร VDTA ”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชชมงคล ครั้งที่ 7**, จ.ชลบุรี, หน้า.229-232, 2015.
- [5] ภาณุรุจ ยะเรื่อน, วรพงษ์ ตั้งศรีรัตน์, วัลลพ สุระกำพลธร “วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจร VDTA หนึ่งตัว”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชชมงคล ครั้งที่ 8**, จ. ภูเก็ต, หน้า. 342-347, 2016.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



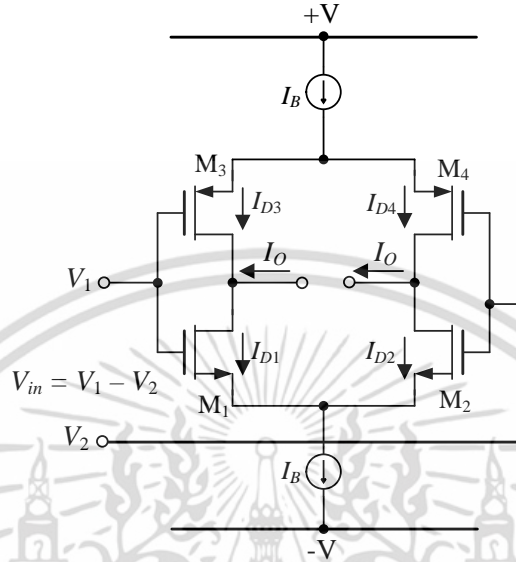
ภาคผนวก ก

การวิเคราะห์คุณสมบัติของวงจรแหล่งจ่ายกระแสลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ก1 การวิเคราะห์คุณสมบัติของวงจรแหล่งจ่ายกระแสลอยตัวแบบมอสทรานซิสเตอร์

จากวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ 2.3 เมื่อนำมาเขียนใหม่โดยกำหนดทิศทางกระแสที่ไหลในส่วนต่างๆ ของวงจร เพื่อใช้ประกอบการวิเคราะห์คุณสมบัติของวงจร จะได้ดังรูปที่ ก1



รูปที่ ก1 วงจรแหล่งจ่ายกระแสลอยตัวแบบมอสทรานซิสเตอร์ในรูปที่ 2.3

จากรูปที่ ก1 เมื่อพิจารณาผลรวมของกระแส จะได้ความสัมพันธ์ดังนี้

$$I_{D1} + I_{D2} = I_B$$

หรือ

$$I_{D3} + I_{D4} = I_B \quad (ก1.1)$$

เมื่อ  $I_{Di}$  คือกระแสเดรนของทรานซิสเตอร์ตัวที่  $i$  ( $i = 1, 2, 3, 4$ ) และเมื่อกำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ (matching) ทำให้ได้

$$I_{D1} = I_{D4}$$

และ

$$I_{D2} = I_{D3} \quad (ก1.2)$$

ดังนั้นหากพิจารณาความสัมพันธ์ของกระแสเอาต์พุต  $I_O$  จะได้

$$I_O = I_{D1} - I_{D3} = I_{D2} - I_{D4} \quad (ก1.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทรานซิสเตอร์ทุกทำงานในช่วงอิ่มตัว จะได้

$$I_{D1} = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) (V_{GS1} - V_{TH})^2 \quad (ก1.4)$$

และ

$$I_{D2} = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) (V_{GS2} - V_{TH})^2 \quad (ก1.5)$$

ดังนั้นแรงดันอินพุตมีค่าเท่ากับ

$$V_{in} = V_{GS1} - V_{GS2} = V_1 - V_2 \quad (ก1.6)$$

เมื่อนำสมการ (ก1.4) และ (ก1.5) แทนในสมการ (ก1.6) จะสามารถเขียนสมการใหม่ ได้ดังนี้

$$V_{in} = \sqrt{\frac{2I_{D1}}{\mu C_{ox} (W/L)}} - \sqrt{\frac{2I_{D2}}{\mu C_{ox} (W/L)}} \quad (ก1.7)$$

จากสมการ (ก1.1) และ (ก1.7) จะได้ความสัมพันธ์ดังนี้

$$I_{D1} = \frac{I_B}{2} + \frac{\mu C_{ox}}{4} \left( \frac{W}{L} \right) V_{in} \sqrt{\frac{4I_B}{\mu C_{ox} (W/L)} - V_{in}^2} \quad (ก1.8)$$

และ

$$I_{D2} = \frac{I_B}{2} - \frac{\mu C_{ox}}{4} \left( \frac{W}{L} \right) V_{in} \sqrt{\frac{4I_B}{\mu C_{ox} (W/L)} - V_{in}^2} \quad (ก1.9)$$

แทนค่าสมการ (ก1.8) และ (ก1.9) ลงใน (ก1.3) จะได้

$$I_o = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) V_{in} \sqrt{\frac{4I_B}{\mu C_{ox} (W/L)} - V_{in}^2} \quad (ก1.10)$$

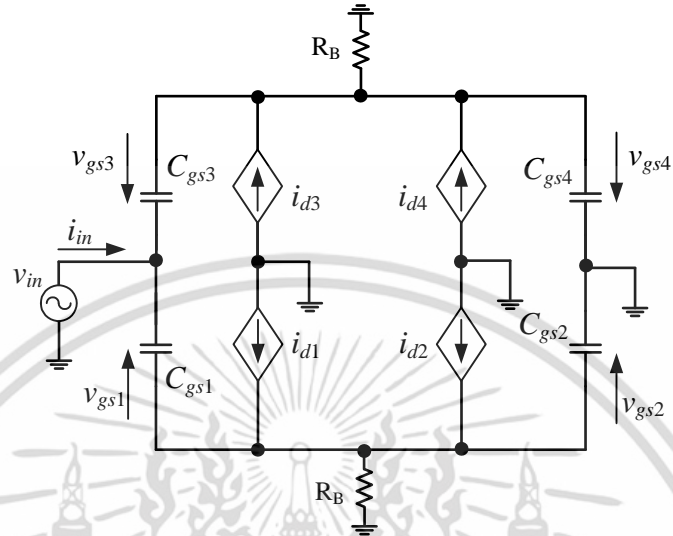
ซึ่งทำให้ได้อัตราขยายค่าความนำเท่ากับ

$$G = \left. \frac{dI_o}{dV_{in}} \right|_{V_{in}=0} = \sqrt{I_B \mu C_{ox} \left( \frac{W}{L} \right)} \quad (ก1.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ก2 การวิเคราะห์สมรรถนะทางความถี่ของวงจรจ่ายกระแสแบบลอยตัว

สมรรถนะทางความถี่ของวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ ก1 สามารถวิเคราะห์ได้จากวงจรสมมูล โดยสามารถอธิบายได้ดังนี้

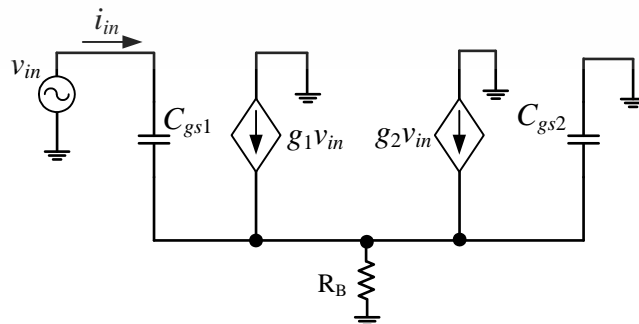


รูปที่ ก2 วงจรสมมูลของวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ ก1

เมื่อกำหนดให้ทรานซิสเตอร์  $M_1 - M_2$  และ  $M_3 - M_4$  มีความสมมาตรกัน (symmetrical) จะได้ความสัมพันธ์ระหว่างกระแสและแรงดันดังนี้

$$i_{di} = g_i v_{gsi} \quad (ก2.1)$$

เมื่อ  $i_{di}$  คือกระแสเดรน  $g_i$  คืออัตราขยายค่าความนำของทรานซิสเตอร์  $v_{gsi}$  คือ แรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ตัวที่  $i$  ( $i = 1, 2, 3, 4$ ) และ  $R_B$  คือค่าความต้านทานภายในแหล่งจ่ายกระแส  $I_B$  ซึ่งมีค่าสูงมาก ดังนั้นเราจึงสามารถวิเคราะห์วงจร โดยพิจารณาเฉพาะทรานซิสเตอร์  $M_1$  และ  $M_2$  ทำให้วงจรสมมูลในรูปที่ ก2 สามารถเขียนวงจรสมมูลใหม่ได้ดังรูปที่ ก3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก3 วงจรสมมูลของวงจรแหล่งจ่ายกระแสลอยตัว เมื่อพิจารณาเฉพาะทรานซิสเตอร์  $M_1$  และ  $M_2$

จากรูปที่ ก3 หากวิเคราะห์ในกรณีความถี่ต่ำจะเห็นได้ว่าทรานซิสเตอร์  $M_1$  และ  $M_2$  ต่อร่วมกันในลักษณะขนานกันจึงสามารถเขียนแสดงสัมพันธ์ได้ดังนี้

$$\frac{i_{in}}{2} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) v_{in} \quad (ก2.2)$$

และในทำนองเดียวกันกรณีของทรานซิสเตอร์  $M_3$  และ  $M_4$  จะได้ว่า

$$\frac{i_{in}}{2} \cong \left( \frac{g_3 g_4}{g_3 + g_4} \right) v_{in} \quad (ก2.3)$$

ดังนั้นจากสมการ (ก2.2) และ (ก2.3) จะได้อัตราขยายค่าความนำของวงจรแหล่งจ่ายกระแสลอยตัวในรูปที่ ก1 ดังนี้

$$g_m \cong \frac{i_{in}}{v_{in}} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_3 + g_4} \right) \quad (ก2.4)$$



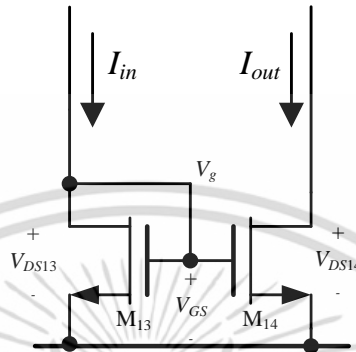
ภาคผนวก ข

การวิเคราะห์คุณสมบัติของสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ข1 การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ในหัวข้อนี้จะแสดงตัวอย่างการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส โดยพิจารณาทรานซิสเตอร์  $M_{13}$ - $M_{14}$  ของวงจร VDTA ในรูปที่ 2.5 ซึ่งมีรายละเอียดการวิเคราะห์คุณสมบัติของวงจรดังนี้



รูปที่ ข1 วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์

จากรูปที่ ข1 เมื่อกำหนดให้  $I_{in}$  และ  $I_{out}$  คือกระแสอินพุตและเอาต์พุตของวงจรสะท้อนกระแสตามลำดับ ซึ่งเกิดจากทรานซิสเตอร์  $M_{13}$  ทำหน้าที่เป็นตัวต้านทานค่าต่ำทำให้  $V_{DS13} = V_{GS}$  ในขณะที่ทรานซิสเตอร์  $M_{14}$  ทำงานในช่วงอิ่มตัวหรือ  $V_{DS14} \geq V_{GS} - V_T$  ทำให้กระแสเดรนเท่ากับ

$$I_{D14} = \frac{\beta}{2} (V_{GS14} - V_{TH14})^2 (1 + \lambda V_{DS14}) \quad (\text{ข1.1})$$

เมื่อ  $0 < (V_{GS} - V_{TH}) \leq V_{DS}$  และ  $\lambda$  คือค่ามอดูเลตความยาวของช่องนำกระแสของทรานซิสเตอร์ ซึ่งสามารถหาอัตราส่วนระหว่างกระแสเอาต์พุต  $I_{out}$  และกระแสอินพุต  $I_{in}$  ได้ดังนี้

$$\frac{I_{out}}{I_{in}} = \left( \frac{L_{13} W_{14}}{W_{13} L_{14}} \right) \left( \frac{V_{GS14} - V_{TH14}}{V_{GS13} - V_{TH13}} \right)^2 \left( \frac{1 + \lambda_2 V_{DS14}}{1 + \lambda_1 V_{DS13}} \right) \left( \frac{\mu C_{OX14}}{\mu C_{OX13}} \right) \quad (\text{ข1.2})$$

เมื่อกำหนดให้ทรานซิสเตอร์  $M_1$  และ  $M_2$  มีความสมพงษ์กันทุกประการ ซึ่งทำให้ค่า  $V_{TH}$  และ  $\mu C_{OX}$  ต่างมีค่าเท่ากันด้วย ดังนั้นสมการ (ข1.2) จึงกลายเป็น

$$\frac{I_{out}}{I_{in}} = \left( \frac{L_{13} W_{14}}{W_{13} L_{14}} \right) \quad (\text{ข1.3})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ข1.3) จะเห็นได้ว่าอัตราส่วนระหว่าง  $I_{out}$  กับ  $I_{in}$  จะขึ้นอยู่กับค่าความกว้างและความยาวของช่องนำกระแส ซึ่งในกรณีนี้ทรานซิสเตอร์  $M_{14}$  ทำหน้าที่เสมือนแหล่งจ่ายกระแสคงที่ในช่วงอิมิตัว ซึ่งค่าแรงดันต่ำสุดของวงจรที่สามารถทำงานได้อย่างเหมาะสมคือ

$$V_{DS14} = V_{GS} - V_{TH} \quad (\text{ข1.4})$$

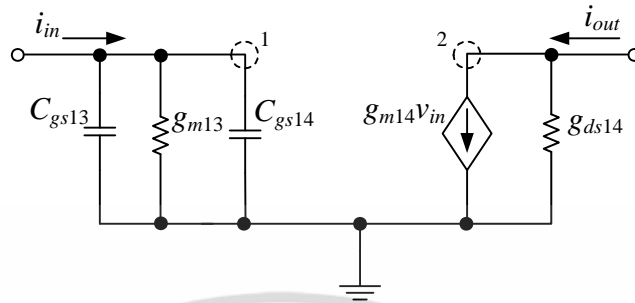
ในกรณีที่กระแสเดรนของ  $M_{13}$  และ  $M_{14}$  มีค่าเท่ากันจึงทำให้  $V_{DS14} = V_{GS}$  กล่าวคือ  $V_{DS14}$  มีค่าเพิ่มมากขึ้น กระแส  $I_{out}$  จะมีค่าเพิ่มขึ้นด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข2 การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรถ่ายโอนกระแส

ผลตอบสนองทางความถี่ของวงจรถ่ายโอนกระแส  $M_{13}$ - $M_{14}$  สามารถวิเคราะห์หาได้จากฟังก์ชันถ่ายโอน (transfer function) ของวงจรมมูลดังรูปที่ ข2 ดังนี้



รูปที่ ก2 วงจรมมูลของวงจรถ่ายโอนกระแส  $M_{13}$ - $M_{14}$

จากรูปที่ ก3 เมื่อพิจารณาที่โหนด 1 โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้ความสัมพันธ์ดังนี้

$$i_{in} = (sC_{gs13} + g_{m13} + sC_{gs14})v_{in}$$

หรือ

$$v_{in} = \frac{i_{in}}{sC_{gs13} + g_{m13} + sC_{gs14}} \quad (\text{ข2.1})$$

เมื่อพิจารณาที่โหนด 2 จะได้ว่า

$$i_{out} = g_{m14}v_{in} \quad (\text{ข2.2})$$

แทนค่าสมการ (ก2.1) ลงใน (ก2.2) จะได้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m14}}{g_{m13} + s(C_{gs13} + C_{gs14})} \quad (\text{ข2.3})$$


หรือ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m14}}{g_{m13}} \left[ \frac{1}{1 + \frac{s(C_{gs13} + C_{gs14})}{g_{m13}}} \right] \quad (\text{ข2.4})$$

จากสมการ (ข2.3) หากพิจารณาในกรณีความถี่ต่ำ ( $s \rightarrow 0$ ) อัตราขยายกระแสของวงจรถ่ายโอนกระแสจะเท่ากับ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m14}}{g_{m13}} \quad (\text{ข2.5})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา  $i_{in}$  คือ  $g_{m13}$  นั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

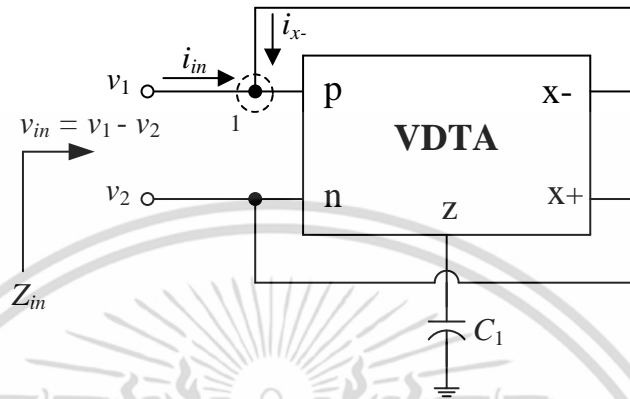


ภาคผนวก ค  
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ  
แบบไม่สูญเสียโดยใช้วงจร VDTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำแบบไม่สูญเสีย

ในหัวข้อนี้จะแสดงตัวอย่างการวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำแบบไม่สูญเสียโดยใช้วงจร VDTA ในรูปที่ 3.1 ซึ่งมีรายละเอียดการวิเคราะห์คุณสมบัติของวงจรดังนี้



รูปที่ ค1 วงจรเลียนแบบตัวเหนี่ยวนำแบบไม่สูญเสียที่นำเสนอ

การวิเคราะห์ห้วงจรในรูปที่ ค1 สามารถทำได้โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA ดังนี้

$$i_p = i_n = 0 \quad (ค1.1)$$

$$i_z = g_{mF}(v_p - v_n) \quad (ค1.2)$$

และ 
$$i_x = g_{mS}v_z \quad (ค1.3)$$

เมื่อพิจารณาที่โหนด 1 ในรูปที่ ค1 โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchhoff's current law, KCL) จะได้ความสัมพันธ์ดังนี้

$$i_{in} + i_{x-} = 0$$

$$i_{in} = -i_{x-} \quad (ค1.4)$$

และ

$$v_{in} = v_1 - v_2 \quad (ค1.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำสมการ (ค1.5) แทนลงในสมการ (ค1.2) จะได้ว่า

$$i_z = g_{mF} v_{in} \quad (\text{ค1.6})$$

แทนสมการ (ค1.3) ลงในสมการ (ค1.4) จะได้

$$i_{in} = -i_{x-} = g_{mS} v_z \quad (\text{ค1.7})$$

จากสมการ (ค1.7) เมื่อพิจารณา  $v_z$  ตามกฎของโอห์ม (Ohm's law) จะได้ว่า

$$i_{in} = g_{mS} \left( \frac{i_z}{sC_1} \right) \quad (\text{ค1.8})$$

แทนสมการ (ค1.6) ลงใน (ค1.8) สามารถเขียนสมการใหม่ได้ว่า

$$i_{in} = \frac{g_{mS} g_{mF} v_{in}}{sC_1} \quad (\text{ค1.9})$$

จากสมการ (ค1.9) จะได้อิมพีแดนซ์อินพุตของวงจร ดังนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{sC_1}{g_{mF} g_{mS}} \quad (\text{ค1.10})$$

หรือ

$$Z_{in} = \frac{v_1 - v_2}{i_{in}} = \frac{v_1 - v_2}{-i_{in}} = s \left( \frac{C_1}{g_{mF} g_{mS}} \right) = sL_{eq} \quad (\text{ค1.11})$$

ดังนั้นค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ของวงจร จึงมีค่าเท่ากับ

$$L_{eq} = \frac{C_1}{g_{mF} g_{mS}} \quad (\text{ค1.12})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ค2 การวิเคราะห์คุณสมบัติของวงจรกรณีไม่เป็นไปตามอุดมคติ

ในหัวข้อนี้จะแสดงรายละเอียดการวิเคราะห์คุณสมบัติของวงจรกรณีไม่เป็นไปตามอุดมคติ โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA กรณีไม่เป็นอุดมคติ ดังนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \alpha g_{mF} & -\alpha g_{mF} & 0 \\ 0 & 0 & \beta g_{mS} \\ 0 & 0 & -\beta g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (ค2.1)$$

โดยที่  $\alpha$  คือ ค่าความเป็ยเบนในการส่งผ่านอัตราขยายค่าความนำ ระหว่างขั้ว p และ ขั้ว n ไปยังขั้ว z ในขณะที่  $\beta$  คือ ค่าความเป็ยเบนในการส่งผ่านอัตราขยายค่าความนำจากขั้ว z ไปยังขั้ว x ดังนั้นจึงสามารถวิเคราะห์การทำงานของวงจรกรณีไม่เป็นอุดมคติ ได้ดังนี้

เมื่อพิจารณาที่โหนด 1 ในรูปที่ ค1 จะได้ความสัมพันธ์ดังนี้

$$i_{in} = -i_{x-} = \beta g_{mS} v_z \quad (ค2.2)$$

และ

$$i_z = \alpha g_{mF} v_{in} \quad (ค2.3)$$

จากสมการ (ค2.2) เมื่อพิจารณา  $v_z$  ตามกฎของโอห์ม (Ohm's law) จะได้ว่า

$$i_{in} = \beta g_{mS} \left( \frac{i_z}{sC_1} \right) \quad (ค2.4)$$

แทนสมการ (ค2.3) ลงใน (ค2.4) สามารถเขียนสมการใหม่ได้ว่า

$$i_{in} = \frac{\beta g_{mS} \alpha g_{mF} v_{in}}{sC_1} \quad (ค2.5)$$

จากสมการ (ค2.5) จะได้อิมพีแดนซ์อินพุตของวงจร ดังนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{sC_1}{\alpha g_{mF} \beta g_{mS}} \quad (ค2.6)$$

ดังนั้นค่าความเหนี่ยวนำสมมูลของวงจร จึงมีค่าเท่ากับ

$$L_{eq} = \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \quad (ค2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟ

ในการพิจารณาค่าความไว (sensitivity,  $S$ ) ของพารามิเตอร์  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  สามารถกำหนดได้จากความสัมพันธ์ ดังนี้

$$\frac{\%change\ in\ y}{\%change\ in\ x} = \frac{(\Delta y / y) \times 100\%}{(\Delta x / x) \times 100\%} \quad (ค3.1)$$

โดยทั่วไปในการออกแบบวงจรให้มีคุณสมบัติที่ตื้นั้น อัตราส่วนที่ได้จากสมการ (ค3.1) ต้องมีค่าต่ำๆ หรือมีค่าน้อยกว่าหนึ่ง เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของพารามิเตอร์  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  ดังนั้นสมการ (ค3.1) จึงเขียนใหม่กลายเป็น

$$S_x^y = \frac{\Delta y / y}{\Delta x / x} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (ค3.2)$$

จากสมการ (ค3.2) เมื่อพิจารณาค่าความไวของ  $g_{mF}$  ต่อค่า  $L_{eq}$  จะได้ว่า

$$S_{g_{mF}}^{L_{eq}} = \frac{g_{mF}}{L_{eq}} \frac{\partial L_{eq}}{\partial g_{mF}}$$

แทนค่า  $L_{eq}$  จากสมการ (ค2.7) จะได้

$$\begin{aligned} S_{g_{mF}}^{L_{eq}} &= g_{mF} \left( \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \right)^{-1} \frac{\partial \left( \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \right)}{\partial g_{mF}} \\ &= g_{mF} \left( \frac{C_1}{\alpha g_{mF} \beta g_{mS}} \right)^{-1} \left( \frac{C_1}{\beta g_{mS}} \right) \frac{\partial (\alpha g_{mF})^{-1}}{\partial g_{mF}} \\ &= g_{mF} \left( \frac{1}{\alpha g_{mF}} \right)^{-1} (-1) (\alpha g_{mF})^{-2} \end{aligned}$$

ดังนั้น

$$S_{g_{mF}}^{L_{eq}} = -1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการพิจารณาค่าความไวของพารามิเตอร์ค่าอื่นๆ โดยอาศัยวิธีการเดียวกันสามารถสรุปความไวของวงจรในกรณีนี้ได้เท่ากับ

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (\text{ค3.3})$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (\text{ค3.4})$$

และ

$$S_{C_1}^{L_{eq}} = 1 \quad (\text{ค3.5})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

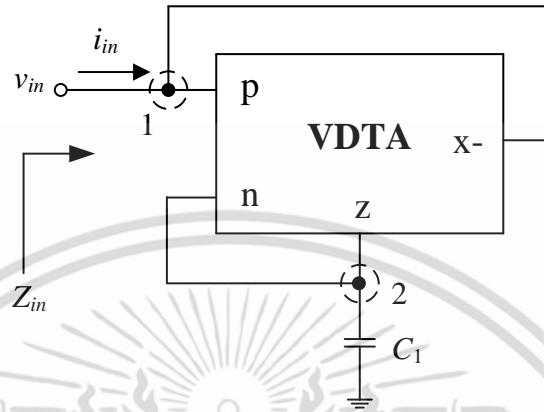


ภาคผนวก ง  
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ  
ที่มีการสูญเสียแบบอนุกรมโดยใช้วงจร VDTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ง1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ

ในการวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมโดยใช้วงจร VDTA สามารถวิเคราะห์ได้โดยมีรายละเอียดดังนี้



รูปที่ ง1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมที่นำเสนอ

การวิเคราะห์ห้วงจรในรูปที่ ง1 สามารถทำได้โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA ดังนี้

$$i_p = i_n = 0 \quad (ง1.1)$$

$$i_z = g_{mF}(v_p - v_n) \quad (ง1.2)$$

และ

$$i_x = g_{mS}v_z \quad (ง1.3)$$

เมื่อพิจารณาที่โหนด 1 ในรูปที่ ง1 โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้ความสัมพันธ์ดังนี้

$$i_{in} + i_{x-} = 0$$

$$i_{in} = i_x \quad (ง1.4)$$

และ

$$v_{in} = v_p \quad (ง1.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสมการ (ง1.4) และ (ง1.5) แทนลงในสมการ (ง1.2) จะได้ว่า

$$i_{in} = i_x = g_{mS} v_z \quad (ง1.6)$$

เมื่อพิจารณาโหนด 2 ในรูปที่ ง1 ตามกฎของโอมท์ จะได้ความสัมพันธ์ดังนี้

$$i_z = sC v_n \quad (ง1.7)$$

แทนสมการ (ง1.3) ลงใน (ง1.7) จะได้

$$sC v_n = g_{mF} (v_p - v_n)$$

หรือ

$$v_n = \frac{g_{mF}}{sC + g_{mF}} v_{in} \quad (ง1.8)$$

เมื่อ  $v_n = v_z$  ดังนั้นแทนสมการ (ง1.8) ลงใน (ง1.6) ทำให้

$$i_{in} = g_{mS} \left( \frac{g_{mF}}{sC + g_{mF}} v_{in} \right)$$

หรือ

$$i_{in} = \left( \frac{g_{mF} g_{mS}}{sC + g_{mF}} \right) v_{in} \quad (ง1.9)$$

จากสมการ (ง1.9) จะได้อิมพีแดนซ์อินพุตของวงจรถัดนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \left( \frac{1}{g_{mS}} + \frac{sC}{g_{mF} g_{mS}} \right) \quad (ง1.10)$$

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความเหนี่ยวนำสมมูล ( $L_{eq}$ ) ของวงจรถัดนี้ จะมีค่าเท่ากับ

$$R_{eq} = \frac{1}{g_{mS}} \quad (ง1.11)$$

และ

$$L_{eq} = \frac{C}{g_{mF} g_{mS}} \quad (ง1.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ง2 การวิเคราะห์คุณสมบัติของวงจกรรณไม่เป็นไปตามอุดมคติ

ในหัวข้อนี้จะแสดงรายละเอียดการวิเคราะห์คุณสมบัติของวงจกรรณไม่เป็นไปตามอุดมคติ โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA กรณไม่เป็นอุดมคติ ดังนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \alpha g_{mF} & -\alpha g_{mF} & 0 \\ 0 & 0 & \beta g_{mS} \\ 0 & 0 & -\beta g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (ง2.1)$$

โดยที่  $\alpha$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mF}$  และ  $\beta$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mS}$  ดังนั้นจึงสามารถวิเคราะห์การทำงานของวงจกรรณไม่เป็นอุดมคติ ได้ดังนี้

เมื่อพิจารณาโหนด 1 ในรูปที่ ง1 จะได้ความสัมพันธ์ดังนี้

$$i_{in} = i_x = \beta g_{mS} v_z \quad (ง2.2)$$

และหากพิจารณาโหนด 2 ในรูปที่ ง1 จะได้ว่า

$$i_z = sC v_n \quad (ง2.3)$$

หรือ

$$v_n = \frac{\alpha g_{mF}}{sC + \alpha g_{mF}} \cdot v_{in} \quad (ง2.4)$$

แทนสมการ (ง2.4) ลงใน (ง2.2) จะได้

$$i_{in} = \beta g_{mS} \left( \frac{\alpha g_{mF}}{sC + \alpha g_{mF}} \cdot v_{in} \right) \quad (ง2.5)$$

จากสมการ (ง2.5) สามารถจัดรูปใหม่ได้เป็น

$$i_{in} = \left( \frac{\alpha g_{mF} \beta g_{mS}}{sC + \beta g_{mS}} \right) v_{in} \quad (ง2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ง2.6) จะได้ค่าอิมพีแดนซ์อินพุตของวงจร ดังนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \left( \frac{1}{\beta g_{mS}} + \frac{sC}{\alpha \beta g_{mF} g_{mS}} \right) \quad (\text{ง2.7})$$

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความเหนี่ยวนำสมมูล ( $L_{eq}$ ) ของวงจร ในกรณีนี้เท่ากับ

$$R_{eq} = \frac{1}{\beta g_{mS}} \quad (\text{ง2.8})$$

และ

$$L_{eq} = \frac{C}{\alpha \beta g_{mF} g_{mS}} \quad (\text{ง2.9})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ง3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟ

สำหรับการวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟของวงจรเลียนแบบตัวเหนี่ยวนำแบบอนุกรมที่มีการสูญเสียดังรูปที่ ง1 สามารถวิเคราะห์ได้ดังนี้

เมื่อพิจารณาค่าความไวของ  $g_{mS}$  ต่อการแปรค่า  $R_{eq}$  จะมีความสัมพันธ์ดังนี้

$$S_{g_{mS}}^{R_{eq}} = \frac{g_{mS}}{R_{eq}} \frac{\partial R_{eq}}{\partial g_{mS}} \quad (ง3.1)$$

แทนค่า  $R_{eq}$  จากสมการ (ง2.9) จะได้

$$\begin{aligned} S_{g_{mS}}^{R_{eq}} &= g_{mS} \left( \frac{1}{\beta g_{mS}} \right)^{-1} \frac{\partial \left( \frac{1}{\beta g_{mS}} \right)}{\partial g_{mS}} \\ &= g_{mS} \left( \frac{1}{\beta g_{mS}} \right)^{-1} \frac{\partial (\beta g_{mS})^{-1}}{\partial g_{mS}} \\ &= g_{mS} \left( \frac{1}{\beta g_{mS}} \right)^{-1} (-1) (\beta g_{mS})^{-2} \end{aligned}$$

ดังนั้น

$$S_{g_{mS}}^{R_{eq}} = -1 \quad (ง3.2)$$


เมื่อทำการพิจารณาคูสมบัติค่าความไวของพารามิเตอร์อื่น โดยอาศัยวิธีการเดียวกัน สามารถสรุปความไวของวงจรในกรณีนี้ดังนี้

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (ง3.3)$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (ง3.4)$$

และ  $S_{C_1}^{L_{eq}} = 1 \quad (ง3.5)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

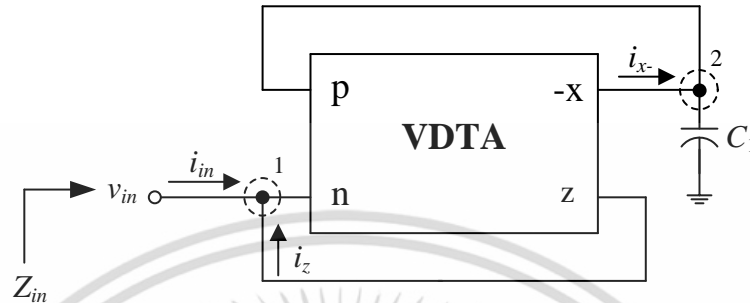


ภาคผนวก จ  
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ  
ที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## จ1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA

ในการวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานโดยใช้วงจร VDTA สามารถวิเคราะห์ได้โดยมีรายละเอียดดังนี้



รูปที่ จ1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานที่นำเสนอ

การวิเคราะห์วงจรในรูปที่ จ1 สามารถทำได้โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA ดังนี้

$$i_p = i_n = 0 \quad (จ1.1)$$

$$i_z = g_{mF}(v_p - v_n) \quad (จ1.2)$$

และ

$$i_x = g_{mS}v_z \quad (จ1.3)$$

เมื่อพิจารณาที่โหนด 1 ในรูปที่ จ1 โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้ความสัมพันธ์ดังนี้

$$i_{in} + i_z = 0$$

$$i_{in} = -i_z \quad (จ1.4)$$

และ

$$v_{in} = v_n = v_z \quad (จ1.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสมการ (จ1.4) และ (จ1.5) แทนลงในสมการที่ (จ1.2) จะได้ว่า

$$i_{in} = -i_z = -g_{mF}(v_p - v_{in}) \quad (จ1.6)$$

เมื่อพิจารณาที่โหนด 2 ในรูปที่ จ1 จะได้ความสัมพันธ์ดังนี้

$$v_p = \frac{-i_x}{sC} \quad (จ1.7)$$

แทนสมการ (จ1.3) ลงในสมการ (จ1.7) จะได้ว่า

$$v_p = \frac{-g_{mS}v_{in}}{sC} \quad (จ1.8)$$

แทนสมการ (จ1.8) ลงในสมการ (จ1.6) สามารถเขียนสมการใหม่ได้ว่า

$$i_{in} = -g_{mF} \left( \frac{-g_{mS}v_{in}}{sC} - v_{in} \right)$$

หรือ

$$i_{in} = \left( \frac{g_{mF}g_{mS}}{sC} + g_{mF} \right) v_{in} \quad (จ1.9)$$

จากสมการ (จ1.9) จะได้อิมพีแดนซ์อินพุตของวงจร ดังนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \left( \frac{sC}{g_{mF}g_{mS} + sCg_{mF}} \right) \quad (จ1.10)$$

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความเหนี่ยวนำสมมูล ( $L_{eq}$ ) ของวงจร จึงมีค่าเท่ากับ

$$R_{eq} = \frac{1}{g_{mF}} \quad (จ1.11)$$

และ

$$L_{eq} = \frac{C}{g_{mF}g_{mS}} \quad (จ1.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## จ2 การวิเคราะห์คุณสมบัติของวงจรกรณีไม่เป็นไปตามอุดมคติ

ในหัวข้อนี้จะแสดงรายละเอียดการวิเคราะห์คุณสมบัติของวงจรกรณีไม่เป็นไปตามอุดมคติ โดยอาศัยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA กรณีไม่เป็นอุดมคติ ดังนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \alpha g_{mF} & -\alpha g_{mF} & 0 \\ 0 & 0 & \beta g_{mS} \\ 0 & 0 & -\beta g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (จ2.1)$$

โดยที่  $\alpha$  คือ ค่าความเป็ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mF}$  ในขณะที่  $\beta$  คือ ค่าความเป็ยงเบนในการส่งผ่านอัตราขยายค่าความนำ  $g_{mS}$  ดังนั้นจึงสามารถวิเคราะห์การทำงานของวงจรกรณีไม่เป็นอุดมคติ ได้ดังนี้

เมื่อพิจารณาโหนด 1 ในรูปที่ จ1 จะได้ความสัมพันธ์ดังนี้

$$i_{in} = -i_z = -\alpha g_{mF} (v_p - v_{in}) \quad (จ2.2)$$

และหากพิจารณาโหนด 2 ในรูปที่ จ1 จะได้ว่า

$$v_p = \frac{-i_x}{sC} \quad (จ2.3)$$

หรือ

$$v_p = \frac{-\beta g_{mS} v_{in}}{sC} \quad (จ2.4)$$

แทนสมการ (จ2.4) ลงใน (จ2.2) จะได้

$$i_{in} = -\alpha g_{mF} \left( -\frac{\beta g_{mS} v_{in}}{sC} - v_{in} \right)$$

หรือ

$$i_{in} = \left( \frac{\alpha \beta g_{mF} g_{mS}}{sC} + \alpha g_{mF} \right) v_{in} \quad (จ2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (จ2.5) จะได้อิมพีแดนซ์อินพุตของวงจร ดังนี้

$$Z_{in} = \frac{v_{in}}{i_{in}} = \left( \frac{sC}{\alpha\beta g_{mF} g_{mS} + \alpha s C g_{mF}} \right) \quad (\text{จ2.6})$$

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความเหนี่ยวนำสมมูล ( $L_{eq}$ ) ของวงจร จึงมีค่าเท่ากับ

$$R_{eq} = \frac{1}{\alpha g_{mF}} \quad (\text{จ2.7})$$

และ

$$L_{eq} = \frac{C}{\alpha\beta g_{mF} g_{mS}} \quad (\text{จ2.8})$$


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### จ3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟ

สำหรับการวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟของวงจรเลียนแบบตัวเหนี่ยวนำแบบอนุกรมที่มีการสูญเสียดังรูปที่ จ1 สามารถวิเคราะห์ได้ดังนี้

เมื่อพิจารณาค่าความไวของ  $g_{mF}$  ต่อการแปรค่า  $R_{eq}$  จะได้ความสัมพันธ์ดังนี้

$$S_{g_{mF}}^{R_{eq}} = \frac{g_{mF}}{R_{eq}} \frac{\partial R_{eq}}{\partial g_{mF}} \quad (จ3.1)$$

แทนค่า  $R_{eq}$  จากสมการ (จ2.7) จะได้

$$\begin{aligned} S_{g_{mF}}^{R_{eq}} &= g_{mF} \left( \frac{1}{\alpha g_{mF}} \right)^{-1} \frac{\partial \left( \frac{1}{\alpha g_{mF}} \right)}{\partial g_{mF}} \\ &= g_{mF} \left( \frac{1}{\alpha g_{mF}} \right)^{-1} \frac{\partial (\alpha g_{mF})^{-1}}{\partial g_{mF}} \\ &= g_{mF} \left( \frac{1}{\alpha g_{mF}} \right)^{-1} (-1) (\alpha g_{mF})^{-2} \end{aligned}$$

ดังนั้น

$$S_{g_{mF}}^{R_{eq}} = -1 \quad (จ3.2)$$

เมื่อทำการพิจารณาคูณสมบัติค่าความไวของพารามิเตอร์อื่น โดยอาศัยวิธีการเดียวกัน สามารถสรุปความไวของวงจรได้ดังนี้

$$S_{g_{mF}}^{L_{eq}} = S_{g_{mS}}^{L_{eq}} = -1 \quad (จ3.3)$$

$$S_{\alpha}^{L_{eq}} = S_{\beta}^{L_{eq}} = -1 \quad (จ3.4)$$

และ

$$S_{C_1}^{L_{eq}} = 1 \quad (จ3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการทางด้านวิศวกรรมอิเล็กทรอนิกส์และการสื่อสารในระดับชาติ และระดับนานาชาติในวิทยานิพนธ์นี้มีจำนวน 5 บทความดังต่อไปนี้

- [1] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Single VDTA-base floating inductance simulation with a grounded capacitor”, **Proceedings of the International 29<sup>th</sup> International Technical Conference on circuits/Systems, Computers and Communication (ITC-CSCC 2014)**, Phuket, Thailand, 1-4 July, pp. 67-70, 2014.
- [2] P. Yaruan, P. Mongkolwai, S. Unhavanich, W. Tangsrirat “VDTA-based floating capacitance multiplier with a grounded capacitor”, **Proceedings of the Annual Conference on Engineering and Information Technology (2015ACEAIT)**, Osaka, Japan, 22-24 March, pp. 233-240, 2015.
- [3] ภาณุรุจ ยะเรื่อน, ปรีชญา มงคลไวย, วรพงษ์ ตั้งศรีรัตน์ “วงจรคูณค่าความจุไฟฟ้าโดยใช้วงจร VDTA ”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชชมงคล ครั้งที่ 7**, จ. ชลบุรี, หน้า.229-232, 2015.
- [4] P. Yaruan, P. Mongkolwai, W. Tangsrirat “Electronically tunable impedance multiplier using VDTAs”, **Proceedings of the International 12<sup>th</sup> IEEE International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2015)**, Hua Hin, Thailand, pp. 67-70, 2015.
- [5] ภาณุรุจ ยะเรื่อน, วรพงษ์ ตั้งศรีรัตน์, วัลลพ สุระกำพลธร “วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจร VDTA หนึ่งตัว”, **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชชมงคล ครั้งที่ 8**, จ. ภูเก็ต, หน้า. 342-347, 2016.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2<sup>nd</sup> Call for Papers

# ITC-CSCC 2014

The 29<sup>th</sup> International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2014)

With the great success of the International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC) as the world leading conference devoted to the advancement of high technologies in Circuits/Systems, Computers and Communications, we would like to invite all the scholars and experts around the world to attend the 29<sup>th</sup> ITC-CSCC 2014 to be hosted in Phuket, Thailand.

**Topics**  
The conference is open to researchers from all regions of the world. Participation from Asia Pacific region is particularly encouraged. Proposals for special sessions are welcome. Papers with original work in all aspects of Circuits/Systems, Computers and Communications are invited. Topics include, but not limited to, the followings:

**Circuits & Systems**

- Analog Circuits
- Computer Aided Design
- Semiconductor Devices & Technology
- VLSI Design
- Medical Electronics & Circuits
- RF Circuits
- Sensors & Related Circuits
- Power Electronics & Circuits
- Wireless Power Transmission
- Intelligent Transportation Systems & Technology
- Linear & Nonlinear Systems
- Robotics and Modern Control
- Neural Networks
- Verification & Testing

**Computers**

- Artificial Intelligence
- Bi-computing
- Computer Vision
- Computer Graphics and Virtual Reality (VR) Technology
- Face Detection & Recognition
- Image Coding & Analysis
- Image Processing
- Internet Technology & Applications
- Computer Systems & Applications
- Algorithm Analysis
- Multimedia Services & Technology
- Object-Based & Facial Technology
- Security
- Watermarking

**Communications**

- Antenna & Wave Propagation
- Audio / Speech Signal Processing
- Circuits & Components for Communications
- MIMO & Space-Time Codes
- IP Networks & QoS
- Mobile & Wireless Communications
- Network Management & Design
- Multimedia Communications
- Optical Communications & Components
- Radar / Remote Sensing
- Communication Signal Processing
- Underwater Communications
- Ultra-Wideband (UWB)
- Video Communications
- Wireless Sensor Networks
- Ultrasonic Networks
- Radio Over Fiber Technology (ROF)
- Internet Protocol Television (IPTV)

**Submission of Papers**  
Prospective authors are invited to submit original papers in PDF format written in English. Abstract is limited to two pages of text and figures. Abstract can be submitted on the official website. If you have any trouble in paper preparation and online submission, please contact the conference secretariat.

**Proceedings and Publications**  
All registered manuscripts will be published on conference proceedings. Full-length manuscripts are encouraged for submission to associated journals: IEIE Journal (Korea), IEICE Transactions (Japan), ECTI Transactions (Thailand), Engineering Journal (Thailand), and Songklanakarin Journal of Science and Technology (SIST). The authors (or their institute) are requested to pay the publication charge for the IEICE Transactions after manuscript acceptance.

**Important Deadlines**  
 Submission of Special Session Proposal: March 1, 2014  
 Submission of Two-Page Extended Abstract: April 1, 2014  
 Notification of Acceptance: May 9, 2014  
 Submission of Camera Ready Paper: June 1, 2014

**Contact:** [secretary@itc-cscc2014.org](mailto:secretary@itc-cscc2014.org)  
**Official Website:** <http://www.itc-cscc2014.org>

**International Advisory Committee**

- Abdolkarim Rezaeezadeh
- Bong-Hyun Kim
- Hang Gu Bihk
- Hisashi Yamada
- Isao Shirakawa
- Jae Hoog Lee
- Prabhas Chongsatitwattana
- Jan-Kwei Ohng
- Jim Ok Park
- Kenji Onaga
- Kosin Chamnongthai
- Kukjin Chan
- Masao Nakagawa
- Masayuki Kawamura
- Monta Krairiksh
- Rokuya Ishii
- Satoshi Goto
- Sawad Tantarata
- Seong Dae Kim
- Seung Hong Hong

- Shinichi Oishi
- Shoji Shimoda
- Shoji Takayama
- Sung-Jea Ko
- Tae Won Rhee
- Toshimasa Watanabe
- Wanlop Surakamponrat

**International Coordination Committee**

- Byung Gook Park
- Chaodit Awakul
- Cheon Won Choi
- Chirana Sangsriam
- Daeuk Hong
- Datchakorn Tancharoen
- Euisung Kang
- Hiroshi Tamura
- Hyun Wook Park
- Joonki Paik
- Jun Heo
- Kisuke Nakano
- Lanchakorn Wuttisitikuljij
- Morikazu Nakamura

- Phongsak Keeratwintakorn
- Piya Kovintavevut
- Qi-Wei Ge
- Shingo Yamaguchi
- Yong Seo Koo
- Yoshihisa Miyama
- Young Shik Moon

**Special Session Chair**

- Keatsak Sripiromwatt
- Lapan Arrangement Chair
- Chaiyachet Saivichit
- Chaodit Awakul
- Jakapan Suaboot
- Phaophak Sirisak
- Wannarat Santiamornrat
- Warodom Werapun
- Publicity Chair
- Phongsak Keeratwintakorn
- Publication Chair
- Nittita Chirichoo
- Industry Relation Chair
- Jitkasem Ngarmnil
- Pisit Charkeikong
- Finance Chairs
- Rujipat Sampanna
- Siriluck Sathachai
- Registration Chairs
- Pichaya Tandayya
- Sisiphon Wongsothavay
- Wannaree Wongnirat

**July 1-4, 2014**  
**Phuket Graceland**  
**Resort and Spa, Phuket**








เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Single VDTA-based Floating Inductance Simulation with a Grounded Capacitor

Panurut Yaruan , Praty Mongkolwai , Worapong Tangsrirat  
 Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),  
 Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand  
 panurut.y@gmail.com , m.praty@gmail.com , ktworapo@kmitl.ac.th

**Abstract**—The resistorless realization of a floating simulated inductance circuit is proposed in this paper. The realized floating inductance circuit contains a single voltage differencing transconductance amplifier (VDTA) and only one grounded capacitor, resulting in simple and canonical structure as well as attractive for integration. The resulting equivalent inductance value of the proposed simulator is electronically adjustable through an external bias current of the VDTA. To demonstrate the workability of the proposed circuit, the second-order voltage-mode bandpass active-RLC filter is also suggested. PSPICE simulation results are employed to confirm the theoretical analysis.

**Keywords**— Voltage Differencing Transconductance Amplifier (VDTA), floating inductance simulator, resistorless realization.

## I. INTRODUCTION

It is well-known fact that the floating inductor is one of the important elements in circuit design, such filters and oscillators. However, it is impractical to fabricate a large-valued inductor in the integrated circuit technology because its characteristic is far from the ideal behavior, and it requires a large chip area. Although on chip inductors in spiral is a new research area, they still occupy a large chip area and have low quality factor (Q), and their values are very small, usually in order of 1 nH. Therefore, to overcome this problem, several floating inductance simulator circuits using various high-performance active devices have been reported in the technical literature [1]-[9]. However, all of these reported circuits have either one or more active elements, or more than two passive elements for floating inductance simulation template.

In this study, a circuit configuration for simulating floating inductance using single voltage differencing transconductance amplifier (VDTA) [10]-[12] and a grounded capacitor is presented. The circuit containing only grounded capacitor has considerable advantages in compact structure, reducing cost and in fully integrated circuit design. The equivalent inductance value of the realized floating inductor can be adjusted electronically by changing the transconductance value

of the VDTA. The performance verifications of the proposed circuit are performed by PSPICE simulation.

## II. BASIC CONCEPT OF THE VDTA

As symbolically shown in Fig.1, the VDTA device is an active five-terminal building block, when p and n are input terminals, and z, +x and -x are output terminals. The terminal relations of this device can be expressed by the following matrix equation [10]-[12] :

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (1)$$

where  $g_{mF}$  and  $g_{mS}$  are the first and second transconductance gains of the VDTA, respectively. From eq.(1), the differential input voltage from p and n terminals ( $v_p - v_n$ ) is transformed into the current through the terminal z ( $i_z$ ) by the transconductance  $g_{mF}$ . The voltage drop at the terminal z ( $v_z$ ) is then converted to output currents at the terminals +x ( $i_{x+}$ ) and -x ( $i_{x-}$ ) by the transconductance  $g_{mS}$ . Generally, the transconductance gains of the VDTA can be controlled electronically by the external bias voltage/current

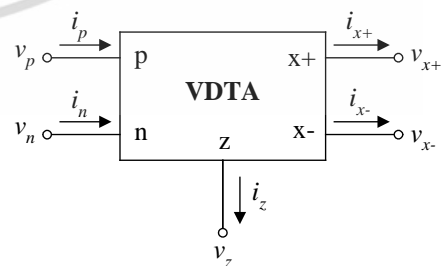


Fig.1. Circuit symbol of the VDTA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### III. PROPOSED VDTA-BASED FLOATING INDUCTANCE SIMULATION CIRCUIT

Fig.2 shows the circuit configuration of the proposed floating inductance simulator circuit, which consists of only one VDTA and one grounded capacitor. This configuration results in a resistorless and canonical structure. Routine circuit analysis of Fig.2 using eq.(1) yields the short-circuit admittance matrix as follows :

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{g_{mF} g_{mS}}{sC_1} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (2)$$

From above expression, we see that the proposed circuit of Fig.2 simulate a floating inductor with an equivalent inductance value of  $L_{eq} = C_1/g_{mF}g_{mS}$ . This reveals that the value of  $L_{eq}$  can be adjusted electronically through either  $g_{mF}$  or  $g_{mS}$  of the VDTA. In addition, if we let  $V_1 = 0$  or  $V_2 = 0$ , then the proposed circuit can be used as a grounded inductor.

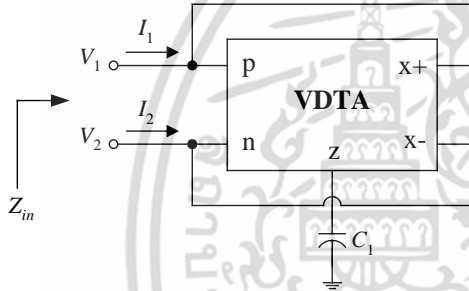


Fig.2. Proposed floating inductance simulation circuit

### IV. SIMULATION RESULTS

The performance of the proposed circuit was verified using PSPICE simulation. In simulations, the VDTA was performed by the schematic CMOS implementation given in Fig.3 [11]-[12] with supply voltages  $+V = -V = 1.8$  V. The CMOS transistors in VDTA implementation were simulated the 0.35  $\mu\text{m}$  TSMC process parameters. The dimensions of MOS transistors are given in Table I.

TABLE I. Aspect ratio of MOS transistors in Fig.3

Transistors	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_1 - M_2, M_5 - M_6$	16.1	0.7
$M_3 - M_4, M_7 - M_8$	28	0.7
$M_9 - M_{12}, M_{14} - M_{17}$	56	0.7
$M_{13}, M_{18}$	7	0.7

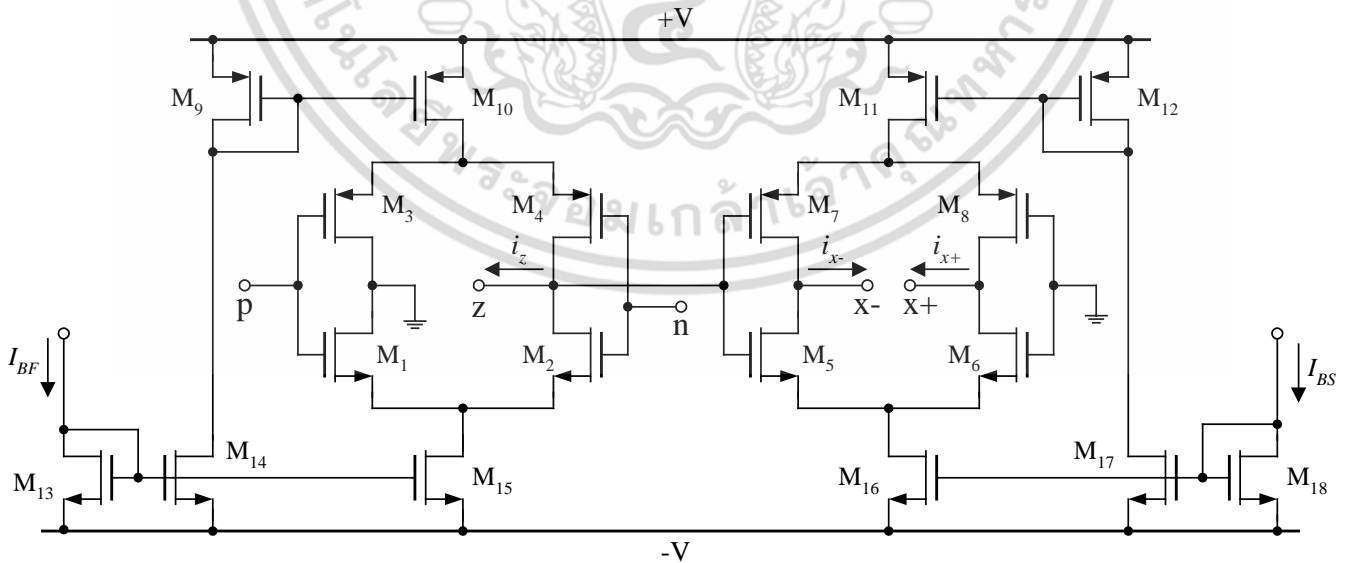


Fig.3. Internal CMOS structure of the VDTA circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Fig.3, the structure is realized by two Arbel-Goldminz transconductances [13]. In this case, the  $g_{mF}$ - and  $g_{mS}$ -values of this element are determined by the output transistor transconductance, which can respectively be approximated as :

$$g_{mF} \cong \left( \frac{g_{182}}{g_1 + g_2} \right) + \left( \frac{g_{384}}{g_3 + g_4} \right) \quad (3)$$

and

$$g_{mS} \cong \left( \frac{g_{586}}{g_5 + g_6} \right) + \left( \frac{g_{788}}{g_7 + g_8} \right) \quad (4)$$

where  $g_i = \sqrt{I_{Bi} \mu C_{ox} \frac{W_i}{L_i}}$  is the transconductance value of

the  $i$ -th MOS transistor ( $i = 1, 2, \dots, 8$ ),  $I_{Bi}$  is the bias current of the  $i$ -th transistor,  $\mu$  is the effective carrier mobility,  $C_{ox}$  is the gate-oxide capacitance per unit area, and  $W$  and  $L$  are the effective channel width and length, respectively.

The impedance of the proposed floating inductance simulator circuit in Fig.2 relative to frequency is shown in Fig.4. The passive component value is selected as :  $C_1 = 1$  nF, while the VDTA's transconductances were varied as :  $g_m = g_{mF} = g_{mS} \cong 0.27$  mA/V ( $I_B = I_{BF} = I_{BS} = 20$   $\mu$ A),  $g_m \cong 0.54$  mA/V ( $I_B = 80$   $\mu$ A) and  $g_m \cong 0.81$  mA/V ( $I_B = 180$   $\mu$ A), to obtain  $L_{eq} = 13.74$  mH, 3.43 mH, 1.52 mH, respectively. Fig.4 demonstrates that the simulation results are in close agreement with the ideal results as expected.

## V. APPLICATION

To demonstrate an application of the proposed floating inductor of Fig.2, it is employed in the RLC bandpass filter shown in Fig.5. The floating inductor circuit is simulated with the following component values :  $C_1 = 1$  nF and :  $g_m = g_{mF} = g_{mS} \cong 0.27$  mA/V ( $I_B = I_{BF} = I_{BS} = 20$   $\mu$ A), which results in  $L_{eq} = 13.74$  mH. Fig.6 shows the frequency responses of the bandpass filter of Fig.5, which appears that the ideal and simulated magnitude and phase responses are in good agreement for a set of selected values over several decades.

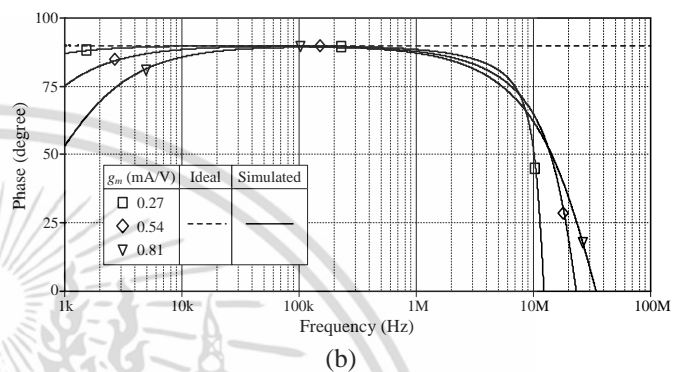
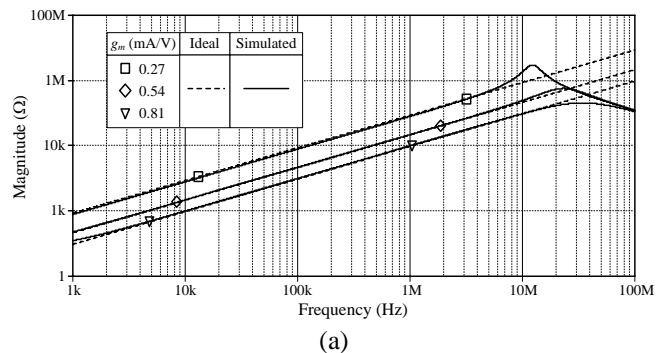


Fig.4. Ideal and simulated frequency responses of the proposed floating inductor circuit in Fig.2. (a) magnitude responses (b) phase responses

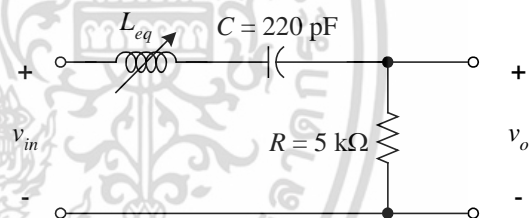


Fig.5. RLC bandpass filter.

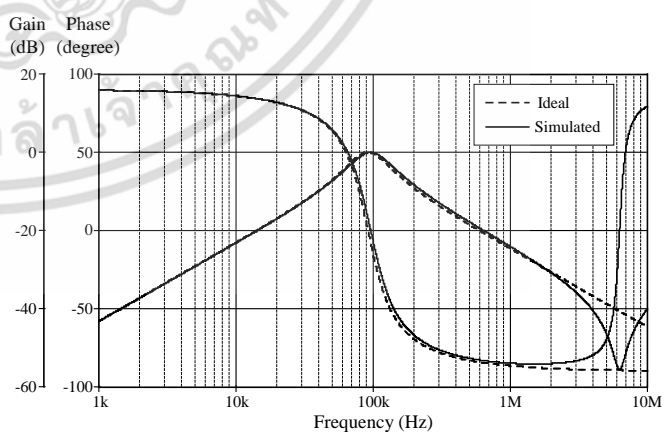


Fig.6. Ideal and simulated frequency responses of Fig.5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Furthermore, in order to demonstrate the electronic controllability of the proposed floating inductor, the value of  $L_{eq}$  in Fig.5 was changed to 13.74 mH, 3.43 mH and 1.52 mH, by adjusting the transconductance gain  $g_m$  to be 0.27 mA/V, 0.54 mA/V and 0.81 mA/V, respectively. This tuning leads to obtain the center frequency  $f_c = \omega_c/2\pi \approx 91.5$  kHz, 183.2 kHz and 275.2 kHz, respectively. The simulated magnitude responses of the bandpass filter in Fig.5 with electronically variable  $L_{eq}$  are depicted in Fig.7. From the results, the corresponding  $f_c$  are obtained as : 95.6 kHz, 181.3 kHz and 267.4 kHz, respectively.

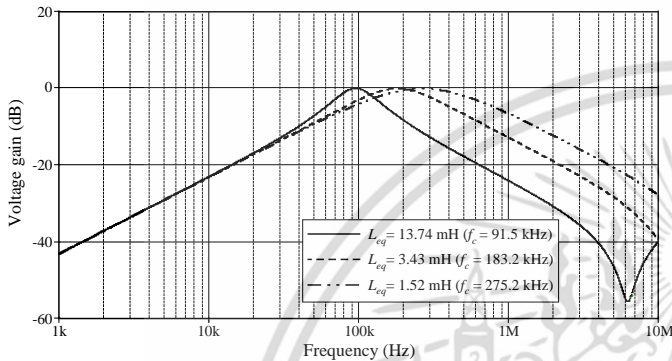


Fig.7. Simulated magnitude responses of Fig.5 with variable  $L_{eq}$ .

## VI. CONCLUSION

This paper describes a floating inductance simulator circuit with electronically tunable feature based on the use of the voltage differencing transconductance amplifier (VDTA) and only one grounded capacitor. The important gain of floating inductance simulator can be adjusted electronically by changing bias currents of the VDTA. PSPICE simulation results verify that the performances of the proposed circuit are in good agreement with the prediction of the analysis performed.

## REFERENCES

- [1] C. Psychalinos and A. Spanidou, "Current amplifier-based grounded and floating inductance simulators". *Int. J. Electron. Commun. (AEU)*, vol. 60, pp. 168-171, 2006.
- [2] E. Yuce, "Inductor implementation using a canonical number of active and passive elements", *Int. J. Electron.*, vol.94, no.4, pp.317-326, 2007.
- [3] E. Yuce, "On the implementation of the floating simulators employing a single active element", *Int. J. Electron. Commun. (AEU)*, vol.61, no.7, pp.453-458, 2007.

- [4] M. Sagbas, U. E. Ayten, H. Sedef and M. Koksal, "Electronically tunable floating inductance simulator", *Int. J. Electron. Commun. (AEU)*, vol.63, pp.423-4278, 2009.
- [5] E. Yuce, S. Minaei, "Novel floating simulated inductors with wider operating-frequency ranges", *Microelectron. J.*, vol.40, pp.928-938, 2009.
- [6] D. Prasad, D. R. Bhaskar, and A. K. Singh, "New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers", *Radioengineering*, vol.19, no.1, pp.194-198, 2010.
- [7] E. Yuce, "A novel floating simulation topology composed of only grounded passive elements", *Int. J. Electron.*, vol.97, no.3, pp.249-262, 2010.
- [8] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, "Lossy/lossless floating/grounded inductance simulation using one DDCC", *Radioengineering*, vol.21, no.1, pp.3-10, 2012.
- [9] U. E. Ayten, M. Sagbas, N. Herencsar and J. Koton, "Novel general element simulators using CBTA", *Radioengineering*, vol.21, no.1, pp.11-19, 2012.
- [10] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol. 20, no. 3, pp. 632-637, 2011.
- [11] J. Satansup, T. Pukkalanun and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements", *Circuits, Systems, and Signal Processing*, vol.32, issue 3, pp.945-957, 2013.
- [12] J. Satansup, and W. Tangsrirat, "Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors", *Microelectron. J.*, vol.45, issue 6, pp.613-618, 2014.
- [13] A. F. Arbel and L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integr. Circ. Sig. Process.*, vol.2, pp.243-255, 1992.



# Conference Program

22-24 March, 2015

Osaka, Japan

ICBASS

International Conference on Business and  
Social Sciences

ISEPST

International Symposium on Education,  
Psychology, Society and Tourism

ACEAIT

Annual Conference on Engineering and  
Information Technology

ISFAS

International Symposium on Fundamental and  
Applied Sciences

APTPC

Asia-Pacific Teaching Professor Conference

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## VDTA-based Floating Capacitance Multiplier with a Grounded Capacitor

Panurut Yaruan<sup>a</sup>, Pratyia Mongkolwai<sup>a</sup>, Sumalee Unhavanich<sup>b</sup>, Worapong Tangsrirat<sup>a\*</sup>

<sup>a</sup>Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,  
Bangkok 10520, Thailand

<sup>b</sup>Faculty of Engineering, King Mongkut's University of Technology North-Bangkok,  
Pracharat 1 road, Bangsue, Bangkok 10800, Thailand

\*Corresponding Author: drworapong@yahoo.com

### ABSTRACT

An electronically tunable floating capacitance multiplier circuit based on voltage differencing transconductance amplifiers (VDTAs) has been described. The proposed multiplier circuit is realized by the employment of only two VDTAs as active elements together with one grounded capacitor as a passive element, without an external passive resistor. The circuit is simple and canonical structure as well as attractive for integration. The value of the resulting equivalent capacitance is electronically controllable by means of the transconductances of the VDTAs. To emphasize the advantage of this floating capacitance simulator circuit, a second-order active bandpass filter realization has been suggested as an application example. Performance simulations using PSPICE are employed to verify the theoretical analysis.

**Keyword:** Voltage Differencing Transconductance Amplifier (VDTA), capacitance multiplier, floating immittance function simulator.

### 1. Introduction

Capacitance multiplier circuits are very useful active building blocks in many applications such as filter design, oscillator design and cancellation of parasitic elements. This is due to the well-known fact that the use of the physical capacitor, particularly of large values, is either not permitted or is unwanted in the integrated circuit technology. Accordingly, several floating capacitance simulator circuits using various active elements were realized in literature [1]-[9]. However, they still suffer from the following weakness: (i) they have either two or more active devices or more than one passive element for floating capacitance multiplier simulation [1]-[9]; (ii) they use some floating passive components [1], [3], [5]; (iii) they employ any external passive resistors [1], [3], [5]-[8]; (iv) they cannot be tuned electronically [1], [3], [7].

In this work, we present a floating capacitance multiplier circuit employing voltage differencing transconductance amplifiers (VDTAs) as novel active elements [10]-[11]. The proposed capacitance simulator topology is constructed with two VDTAs and one grounded capacitor. The proposed floating simulator can be tuned electronically through the transconductance parameter of the VDTA. Since the circuit is composed of only grounded capacitor without requiring any external passive resistor, accordingly, it is a canonical structure and quite suitable for fully integrated circuit design [12]. An application example together with the simulation results are also given to illustrate the performance of the proposed capacitance multiplier circuit.

## 2. Description of the VDTA

As symbolically shown in Fig.1, the VDTA device is a versatile active circuit building block, when  $p$  and  $n$  are input terminals,  $z$ ,  $+x$  and  $-x$  are output terminals. The terminal relation of this device can be expressed by the following matrix equation :

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (1)$$

where  $g_{mF}$  and  $g_{mS}$  are the first and second transconductance gain of the VDTA respectively. From equation (1), the differential input voltage from the terminals  $p$  and  $n$  is transformed into output currents at the terminal  $z$  with first transconductance gain ( $g_{mF}$ ). The voltage drop at the terminal  $z$  ( $v_z$ ) is transformed into output currents at the terminal  $x+$  and  $x-$  with second transconductance gain ( $g_{mS}$ ).

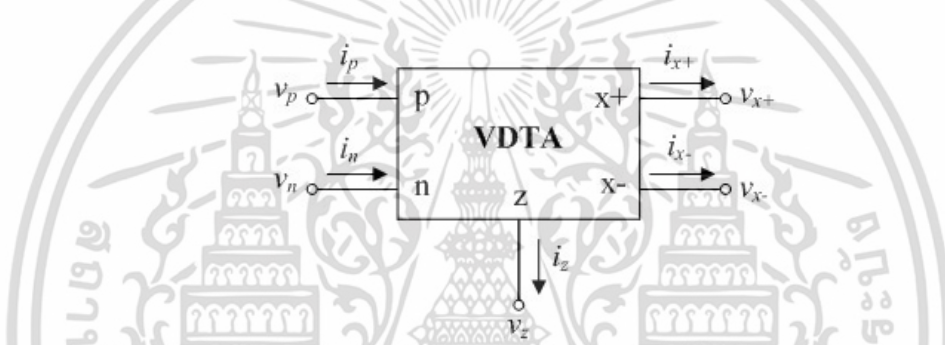


Figure 1. Circuit representation of the VDTA.

Recently, the simple CMOS realization of the VDTA is introduced in [11]. Fig.2 shows the internal structure of the circuit, which is composed of two Arbel-Goldminz transconductances [13]. In this case, the  $g_{mF}$ - and  $g_{mS}$ -values of this element are determined by the output transistor transconductance, which can respectively be approximated as :

$$g_{mF} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_3 + g_4} \right) \quad (2)$$

and

$$g_{mS} \cong \left( \frac{g_5 g_6}{g_5 + g_6} \right) + \left( \frac{g_7 g_8}{g_7 + g_8} \right), \quad (3)$$

where  $g_i = \sqrt{I_{Bi} \mu C_{ox} \frac{W_i}{L_i}}$  is the transconductance value of the  $i$ -th MOS transistor ( $i =$

1, 2, ..., 8),  $I_{Bi}$  is the bias current,  $\mu$  is the effective carrier mobility,  $C_{ox}$  is the gate-oxide capacitance per unit area, and  $W$  and  $L$  are the effective channel width and length of the  $i$ -th transistor, respectively.

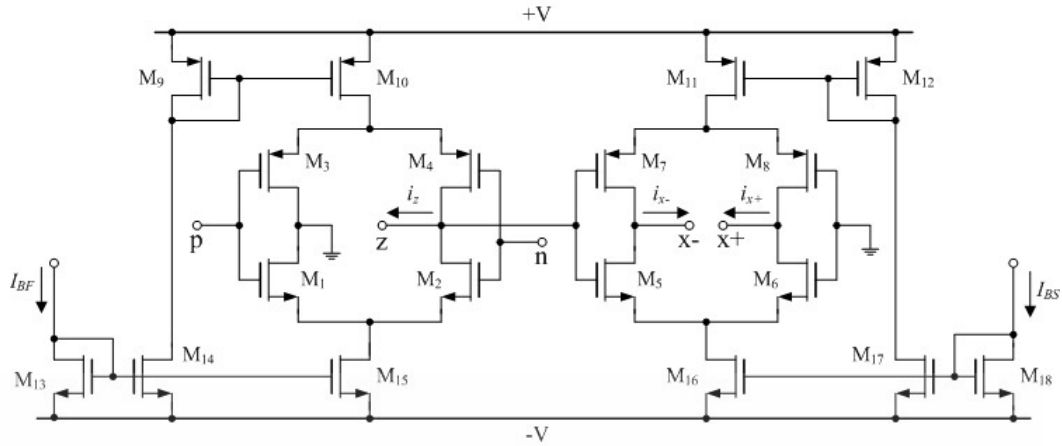


Figure 2. CMOS realization of the VDTA used in simulations.

### 3. Proposed Floating Capacitance Multiplier Circuit

Fig.3 shows the proposed floating capacitance multiplier circuit. It consists of only two VDTA and one grounded capacitor with no external passive resistor requirement; hence, the circuit is simple and canonical structure and very suitable for integrated circuit implementation. Straightforward analysis of the proposed floating inductor in Fig.3 yields the following short-circuit admittance matrix :

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{sC_1 g_{mF2} g_{mS2}}{g_{mF1} g_{mS1}} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (4)$$

or we can obtain the following input impedance :

$$Z_{in} = \frac{g_{mF1} g_{mS1}}{sC_1 g_{mF2} g_{mS2}} = \frac{1}{sC_{eq}} \quad (5)$$

Here, the parameters  $g_{mFi}$  and  $g_{mSi}$  represent the transconductances  $g_{mF}$  and  $g_{mS}$  of  $i$ -th VDTA ( $i = 1, 2$ ), respectively. It is clearly seen from above expression that the circuit of Fig.3 can simulate a floating capacitor with an equivalent capacitance value as :  $C_{eq} = C_1 g_{mF2} g_{mS2} / g_{mF1} g_{mS1}$ . Also note that the value of  $C_{eq}$  can be adjusted electronically through either  $g_{mFi}$  or  $g_{mSi}$  of the  $i$ -th VDTA. In addition, if we let  $V_1 = 0$  or  $V_2 = 0$ , then the proposed circuit can be used as a grounded capacitor.

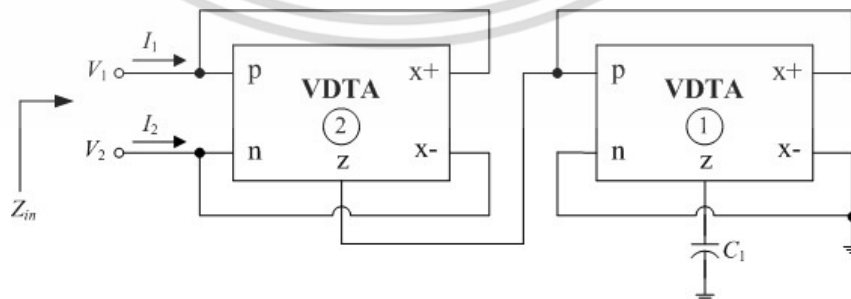


Figure 3. Proposed floating capacitance multiplier circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4. Performance Verification and Simulation Results

The performances of the proposed floating capacitor in Fig.3 have been demonstrated through PSPICE simulation. The simulations were performed by using a CMOS realization as shown in Fig.2 with DC supply voltages equal to  $\pm 1.8V$ . The CMOS transistors in VDTA implementation were simulated using 0.35- $\mu m$  TSMC CMOS technology process parameters. The dimensions of MOS transistors are given in Table 1.

Table 1. Dimensions of MOS transistors of the VDTA circuit shown in Fig.2.

Transistors	W ( $\mu m$ )	L ( $\mu m$ )
M <sub>1</sub> – M <sub>2</sub> , M <sub>5</sub> – M <sub>6</sub>	16.1	0.7
M <sub>3</sub> – M <sub>4</sub> , M <sub>7</sub> – M <sub>8</sub>	28	0.7
M <sub>9</sub> – M <sub>12</sub> , M <sub>14</sub> – M <sub>17</sub>	56	0.7
M <sub>13</sub> , M <sub>18</sub>	7	0.7

The proposed floating capacitance multiplier circuit given in Fig.3 was simulated with  $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong 0.38 \text{ mA/V}$  ( $I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 40 \mu A$ ) and  $C_1 = 1 \text{ nF}$ . Fig.4 shows the simulated voltage and current waveforms of the circuit when a sinusoidal input voltage at a frequency of 100 kHz and amplitude of 50 mV peak was applied to the circuit. The signal current is  $89^\circ$  phase-shifted with respect to the voltage that is very close to expected value ( $90^\circ$ ). The impedance of the simulator circuit of Fig.3 relative to frequency is shown in Fig.5. As can be seen, the ideal case and simulated results are almost the same over the wide range of frequencies from 1 kHz to 2 MHz.

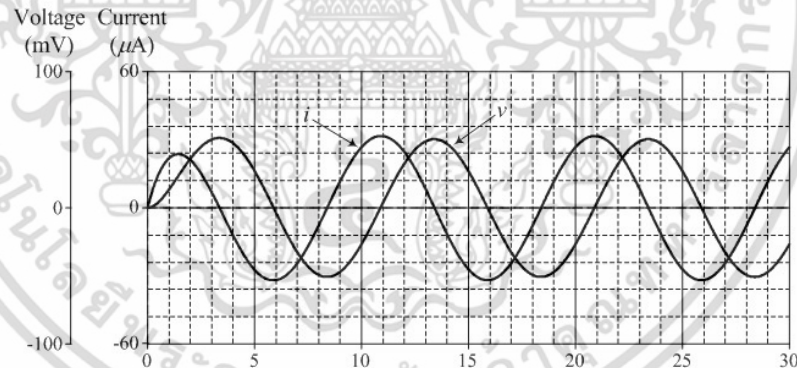


Figure 4. Simulated voltage and current waveforms of the proposed floating capacitance multiplier circuit of Fig.3 for  $f = 100 \text{ kHz}$ .

In order to demonstrate the electronic tunability of the proposed capacitance multiplier of Fig.3, the simulated magnitude responses for various DC bias currents are given in Fig.6. In Fig.6, the transconductance values were selected as :  $g_{m1} = g_{mF1} = g_{mS1} \cong 0.27 \text{ mA/V}$ ,  $0.38 \text{ mA/V}$  and  $0.54 \text{ mA/V}$  ( $I_{B1} = I_{BF1} = I_{BS1} = 20 \mu A$ ,  $40 \mu A$  and  $80 \mu A$ ), and  $g_{m2} = g_{mF2} = g_{mS2} \cong 0.38 \text{ mA/V}$  ( $I_{B2} = I_{BF2} = I_{BS2} = 40 \mu A$ ), respectively. This results in :  $C_{eq} = 0.5 \text{ nF}$ ,  $1 \text{ nF}$  and  $2 \text{ nF}$ , respectively.

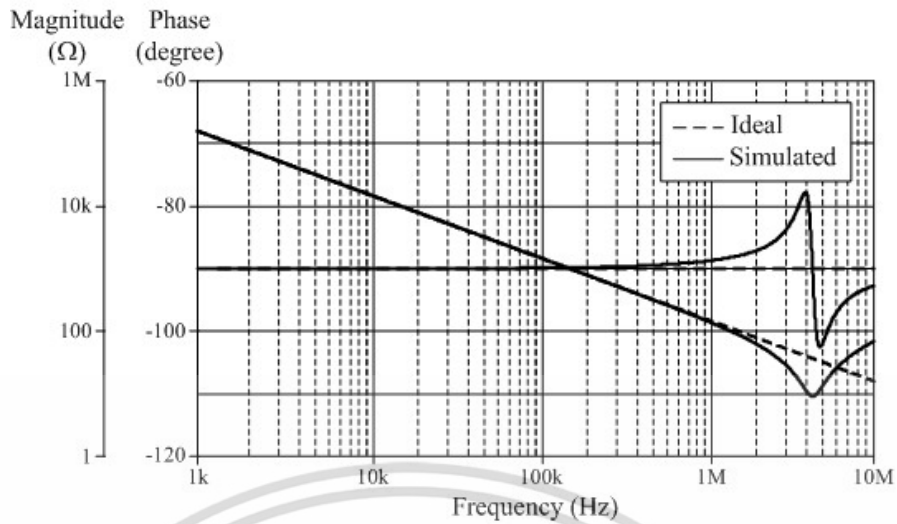


Figure 5. Frequency responses for the impedance of the proposed floating capacitance multiplier circuit of Fig.3.

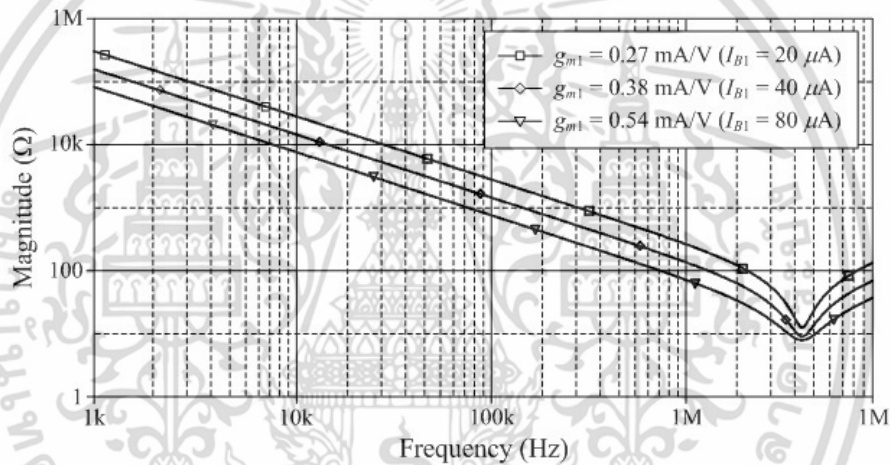


Figure 6. Electronic control of  $C_{eq}$  with respect to bias currents.

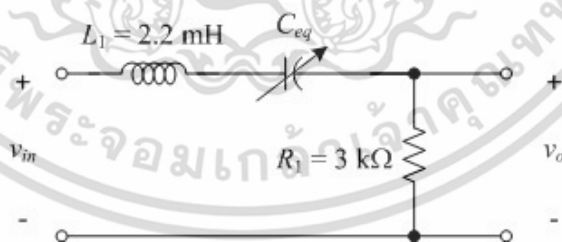


Figure 7. Second-order bandpass filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5. Application Example

To illustrate the utility of the proposed capacitance multiplier in Fig.3, the second-order bandpass filter is realized in this section. The floating capacitance multiplier was simulated with the following component values :  $C_1 = 1$  nF and  $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong 0.38$  mA/V ( $I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 40$   $\mu$ A), which results in  $C_{eq} = 1$  nF. Fig.8 shows the frequency responses of the bandpass filter of Fig.7, which appears that the simulated gain and phase responses are in good agreement with the ideal responses for a set of selected values over several decades. In addition, the electronic tunability of the proposed capacitance multiplier circuit of Fig.3 is demonstrated. For this purpose, the value of  $C_{eq}$  was changed from 0.5 nF, 1.0 nF to 2.0 nF, by tuning  $g_{mF1} = g_{mS1} \cong 0.27$  mA/V, 0.38 mA/V and 0.54 mA/V, respectively, while keeping  $g_{mF2} = g_{mS2}$  constant at 0.27 mA/V. This tuning leads to obtain the center frequency  $f_c \cong 76$  kHz, 103 kHz and 153 kHz, respectively. The simulated voltage-gain frequency responses of the bandpass filter in Fig.7 with electronically variable  $C_{eq}$  are depicted in Fig.9. From the results, the corresponding  $f_c$  are obtained as approximately : 70 kHz, 99 kHz and 147 kHz, respectively. For a set of selected values, the results show that that the ideal and simulated responses are in good agreement with the expectation values.

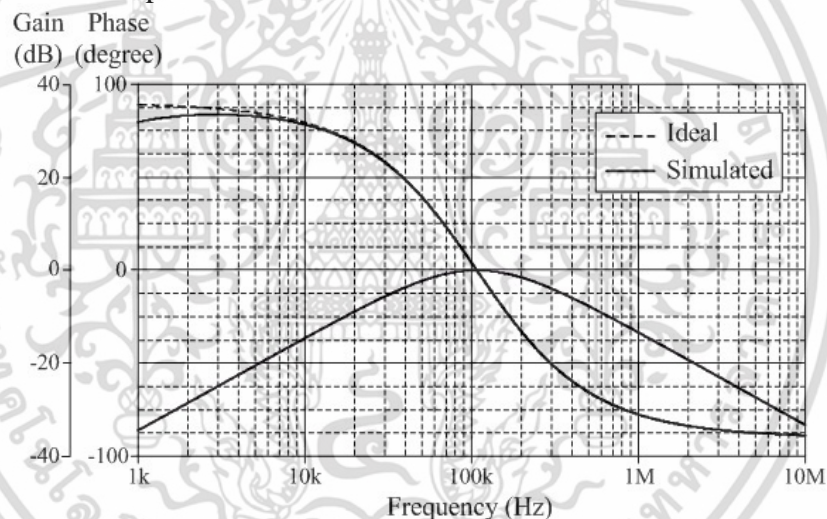


Figure 8. Ideal and simulated gain and phase responses of Fig.7.

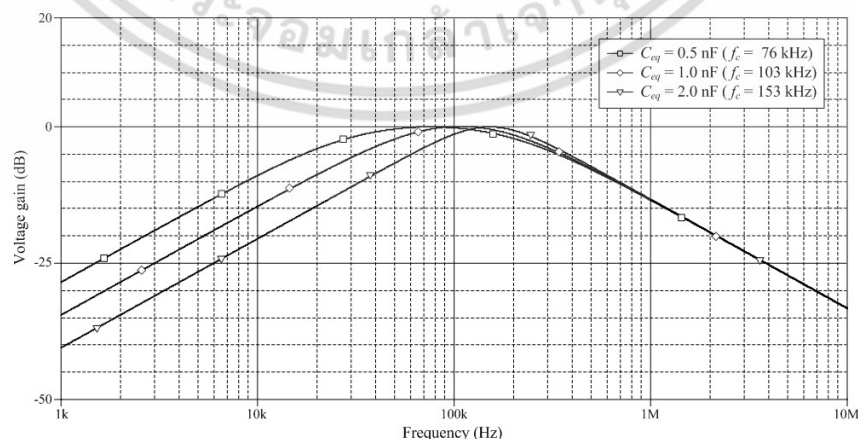


Figure 9. Simulated gain responses of Fig.7 with electronically variable  $C_{eq}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6. Conclusions

In this study, an electronically tunable floating capacitance multiplier scheme is described. The simulator circuit is realized needing two VDTAs and one grounded capacitor, which is suitable for integrated circuit implementation. The value of the simulated capacitance is electronically tunable by adjusting the bias currents of the VDTAs. The usefulness of the proposed circuit is demonstrated on the RLC bandpass filter design example.

## Acknowledgement

This work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL).

## REFERENCES

- [1] P. V. Ananda Mohan, "Grounded capacitor based grounded and floating inductance simulation using current conveyors", *Electron. Lett.*, vol.34, pp.1037-1038, 1998.
- [2] M. T. Abuelma'atti and N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.
- [3] P. V. Ananda Mohan, "Floating capacitance simulation using current conveyors", *J. Circuits Syst. Comput.*, vol.14, pp.123-128, 2005.
- [4] E. Yuce, S. Minaei, O. Cicekoglu, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Eng.*, vol.88, pp.519-525, 2006.
- [5] E. Yuce, "On the implementation of the floating simulators employing a single active device", *Int. J. Electron. Commun. (AEU)*, vol.61, pp.453-458, 2007.
- [6] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksak, "Floating immittance function simulator and its applications", *Circuits Syst. Signal Process.*, vol.28, pp.55-63, 2009.
- [7] E. Yuce, "A novel floating simulation topology composed of only grounded passive components", *Int. J. Electron.*, vol.97, pp.249-262, 2010.
- [8] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, "Novel floating general element simulators using CBTA", *Radioengineering*, vol. 21, pp.11-19, 2012.
- [9] Y. A. Li, "A series of new circuits based on CFTAs", *Int. J. Electron. Commun. (AEU)*, vol.66, pp.587-592, 2012.
- [10] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing: Classification, review and new proposals", *Radioengineering*, vol.17, no.4, pp. 15-32, 2008.
- [11] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol.20, no.3, pp. 632-637, 2011.
- [12] M. Bhusan, R. W. Newcomb, "Grounding of capacitors in integrated circuits", *Electron. Lett.*, vol.3, pp.148-149, 1967.
- [13] A. F. Arbel, and L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integr. Circ. Sig. Process.*, vol.2, pp.243-255, 1992.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรมคูณค่าความจุไฟฟ้าโดยใช้วงจรวจร VDTA

### Capacitance Multiplier Employing VDTAs

ภาณุรุจ ยะเรื่อน                      ปรัชญา มงคลไวย                      วรพงศ์ ตั้งศรีรัตน์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขที่ 1 ถนนฉลองกรุง แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพมหานคร 10520 โทรศัพท์ 02-326-4205

E-mail: panurut.y@gmail.com , m.pratya@gmail.com , ktworapo@kmitl.ac.th

#### บทคัดย่อ

บทความนี้นำเสนอวงจรมคูณค่าความจุไฟฟ้าที่ปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้วงจรวจร VDTA (voltage differencing transconductance amplifier) เป็นอุปกรณ์แอกทีฟหลัก วงจรที่นำเสนอประกอบด้วยวงจรวจร VDTA จำนวนสองตัว และตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว โดยที่ค่าความจุไฟฟ้าสมมูลของวงจรมคูณสามารถแปรค่าได้จากการทำงานของกระแสไบอัสของวงจรวจร VDTA การจำลองการทำงานของวงจรวจรโดยใช้เทคโนโลยี 0.35- $\mu\text{m}$  CMOS ของบริษัท TSMC ได้แสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรมคูณที่นำเสนอ

คำสำคัญ: วงจรวจร VDTA, วงจรมคูณค่าความจุไฟฟ้า, การปรับค่าทางอิเล็กทรอนิกส์

#### Abstract

A simple circuit configuration for the realization of a capacitance multiplier using VDTAs (voltage differencing transconductance amplifiers) is presented. The proposed multiplier circuit contains only two VDTAs along with an external grounded capacitor under control. The equivalent capacitance value of the realized multiplier can be tuned electronically through the transconductance parameters of the VDTAs. The characteristic of the proposed circuit and its filter application are demonstrated using PSPICE simulation with TSMC 0.35- $\mu\text{m}$  CMOS technology.

Keywords: Voltage Differencing Transconductance Amplifier (VDTA), capacitance multiplier, electronically tunable

#### 1. บทนำ

วงจรมคูณค่าความจุไฟฟ้า (capacitance multiplier) จัดเป็นวงจรมคูณค่าอิมพีแดนซ์ชนิดหนึ่ง ซึ่งให้ความสัมพันธ์ของอิมพีแดนซ์อินพุตมีค่าแปรเป็นสัดส่วนโดยตรงกับอัตราขยายของวงจรมคูณ ( $K$ ) คูณกับค่าของตัว

เก็บประจุไฟฟ้าจากภายนอก วงจรมคูณค่าความจุไฟฟ้าถูกนำไปประยุกต์ใช้งานในการออกแบบวงจรประมวลผลสัญญาณแอนะล็อกในรูปแบบของวงจรรวม (integrated circuit) ต่างๆ มากมาย ทั้งนี้เนื่องจากปัญหาสำคัญประการหนึ่งของ เทคโนโลยีการออกแบบวงจรรวม คือ หากค่าของตัวเก็บประจุไฟฟ้าที่ใช้ในวงจรมคูณมีขนาดใหญ่แล้ว จะกินพื้นที่วงจรมคูณมาก การออกแบบวงจรกระทำได้ยาก ดังนั้นเพื่อหลีกเลี่ยงปัญหาดังกล่าว จึงจำเป็นต้องอาศัยคุณสมบัติของวงจรมคูณค่าความจุไฟฟ้ามาช่วยในการออกแบบวงจร ดังจะเห็นได้จากแนวทางการพัฒนางจรมคูณค่าความจุไฟฟ้าที่ได้มีการนำเสนอขึ้นอย่างต่อเนื่อง [1]-[10] แต่อย่างไรก็ตาม โครงสร้างของวงจรมคูณค่าความจุไฟฟ้าประกอบไปด้วยอุปกรณ์แอกทีฟและพาสซีฟเป็นจำนวนมาก [1]-[10] ส่วนวงจรมคูณค่าความจุไฟฟ้าที่นำเสนอในเอกสารอ้างอิง [1]-[2], [4], [6]-[10] นั้นจำเป็นต้องใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร นอกจากนี้บางวงจรมคูณยังไม่สามารถปรับแต่งค่าได้ทางอิเล็กทรอนิกส์อีกด้วย [1]-[2], [4], [6]-[7], [9]

ดังนั้นบทความนี้จึงได้นำเสนอการสังเคราะห์วงจรมคูณค่าความจุไฟฟ้าที่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้วงจรวจร VDTA เป็นอุปกรณ์แอกทีฟหลักจำนวนสองตัว ต่อร่วมกับตัวเก็บประจุเทียบกราวด์จากภายนอกจำนวนหนึ่งตัว ปราศจากตัวต้านทานพาสซีฟ ค่าความจุไฟฟ้าสมมูลที่สังเคราะห์ได้จากวงจรมคูณ มีค่าแปรผันตรงกับค่าของตัวเก็บประจุเทียบกราวด์และอัตราขยาย  $K$  ของวงจรมคูณ ซึ่งสามารถกำหนดได้จากอัตราขยายค่าความนำ (transconductance gain) ของวงจรวจร VDTA ผ่านทางกระแสไบอัสจากภายนอก ผลการจำลองการทำงานของวงจรมคูณโดยใช้เทคโนโลยี 0.35- $\mu\text{m}$  CMOS ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) แสดงให้เห็นถึงคุณสมบัติในการทำงานของวงจรมคูณที่นำเสนอว่าสอดคล้องเป็นไปตามหลักการทางทฤษฎี และในส่วนสุดท้ายของบทความยังได้แสดงการประยุกต์ใช้วงจรมคูณค่าความจุไฟฟ้าที่นำเสนอในการสังเคราะห์วงจรมคูณกรองผ่านความถี่ต่ำ RC เพื่อแสดงให้เห็นถึงแนวทางและคุณสมบัติการใช้งานของวงจรมคูณอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
27-29 พฤษภาคม พ.ศ. 2558 โรงแรม A-one The Royal Cruise เมืองพัทยา จังหวัดชลบุรี

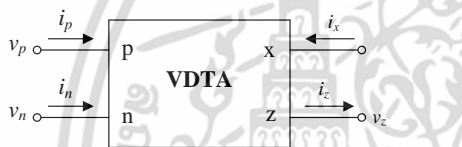
ไม่วารณใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่โดยไม่ได้รับอนุญาต และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2. หลักการทำงานของวงจร VDTA**

วงจร VDTA เป็นอุปกรณ์แอกทีฟแนวใหม่ที่อาศัยหลักการทำงานของวงจรขยายค่าความนำ (transconductance amplifier) เป็นสำคัญ โดยมีสัญลักษณ์ทางไฟฟ้าแสดงได้ดังรูปที่ 1 ซึ่งประกอบไปด้วยขั้วอินพุต p และ n และขั้วเอาต์พุต z และ x คุณสมบัติการทำงานของวงจร VDTA สามารถเขียนอธิบายได้ดังนี้ [11]:

$$i_p = i_n = 0, \quad i_z = g_{mF}(v_p - v_n) \quad \text{และ} \quad i_x = g_{mS}v_z \quad (1)$$

โดยที่  $g_{mF}$  และ  $g_{mS}$  คือ อัตราขยายค่าความนำ (transconductance gain) ภาคแรกและภาคที่สองของวงจร VDTA ตามลำดับ จากสมการ (1) จะเห็นว่าแรงดันอินพุตผลต่างระหว่างขั้ว p กับ n ( $v_p - v_n$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว z ( $i_z$ ) ด้วยอัตราขยายค่าความนำ  $g_{mF}$  ในขณะที่แรงดันตกคร่อมที่ขั้ว z ( $v_z$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว x ( $i_x$ ) ด้วยอัตราขยายค่าความนำ  $g_{mS}$



รูปที่ 1 วงจร VDTA

**3. วงจรคูณค่าความจุไฟฟ้าที่นำเสนอ**

โครงสร้างวงจรคูณค่าความจุไฟฟ้าที่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในบทความนี้แสดงดังรูปที่ 2 ซึ่งจะเห็นว่าเป็นการประกอบด้วยวงจร VDTA จำนวนสองวงจรต่อกันกับตัวเก็บประจุที่ขั้วกราวด์ (C) อีกหนึ่งตัว เมื่อทำการวิเคราะห์วงจรในรูปที่ 2 โดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (1) จะได้อิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจร เท่ากับ

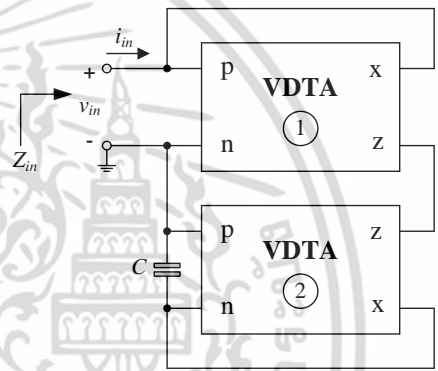
$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{K}{sC} = \frac{1}{sC_{eq}} \quad (2)$$

ดังนั้นจะได้ค่าความจุไฟฟ้าสมมูล (equivalent capacitance,  $C_{eq}$ ) ที่สังเคราะห์ขึ้นจากวงจร เท่ากับ

$$C_{eq} = \frac{C}{K} \quad (3)$$

โดยที่ 
$$K = \frac{g_{mF}2g_{mS}2}{g_{mF}1g_{mS}1} \quad (4)$$

และ  $g_{mFi}$  และ  $g_{mSi}$  คือ อัตราขยายค่าความนำ  $g_{mF}$  และ  $g_{mS}$  ของวงจร VDTA ตัวที่  $i$  ( $i = 1, 2$ ) ความสัมพันธ์จากสมการ (2) ถึง (4) ข้างต้นแสดงให้เห็นว่าค่าอิมพีแดนซ์อินพุต  $Z_{in}$  ของวงจรมีค่าแปรผันตรงกับผลคูณของค่าตัวเก็บประจุ C กับอัตราขยาย K ซึ่งสามารถที่จะปรับค่าได้จากการควบคุม  $g_{mFi}$  หรือ  $g_{mSi}$  ดังนั้นจึงกล่าวได้ว่าค่าความจุไฟฟ้าสมมูล  $C_{eq}$  ของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 2 สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ดังนั้นเมื่อนำวงจรที่นำเสนอไปประยุกต์ใช้ออกแบบหรือสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกก็จะทำให้วงจรที่สังเคราะห์ได้มีสมรรถนะเด่นในแง่ความเสถียรและคล่องตัวในการปรับแต่งคุณสมบัติของวงจร เนื่องจากสามารถปรับเปลี่ยนหรือแก้ไขค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์



รูปที่ 2 วงจรคูณค่าความจุไฟฟ้าโดยใช้วงจร VDTA ที่นำเสนอ

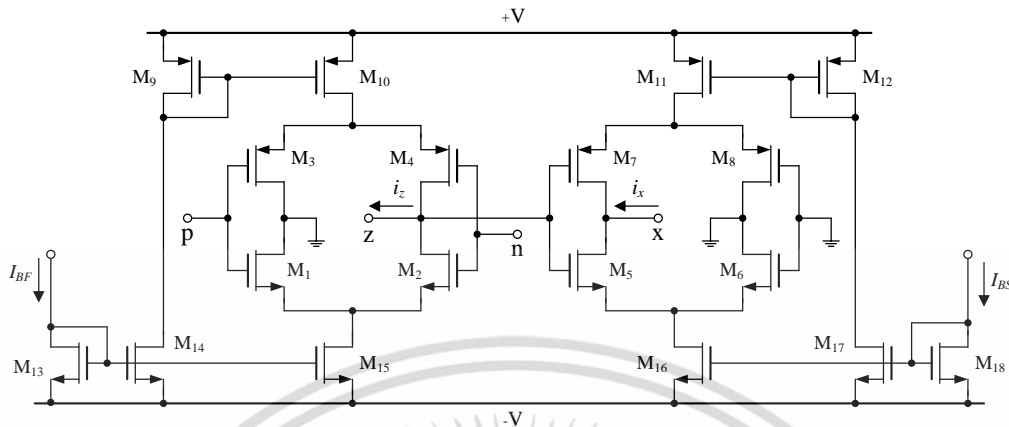
**4. คุณสมบัติการทำงานของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอ**

ในหัวข้อนี้จะศึกษาคุณสมบัติการทำงานของวงจรคูณค่าอิมพีแดนซ์ที่นำเสนอในรูปที่ 2 โดยการจำลองด้วยโปรแกรม PSPICE สำหรับวงจร VDTA นั้นได้เลือกใช้โครงสร้างวงจรดังแสดงในรูปที่ 3 ซึ่งประกอบด้วยวงจรขยายค่าความนำสองวงจร คือ  $M_1$ - $M_4$  และ  $M_5$ - $M_8$  [11] และมีอัตราขยายค่าความนำ  $g_{mF}$  และ  $g_{mS}$  เท่ากับ [12]

$$g_{mF} \cong \left( \frac{g_1g_2}{g_1 + g_2} \right) + \left( \frac{g_3g_4}{g_3 + g_4} \right) \quad (5)$$

และ 
$$g_{mS} \cong \left( \frac{g_5g_6}{g_5 + g_6} \right) + \left( \frac{g_7g_8}{g_7 + g_8} \right) \quad (6)$$

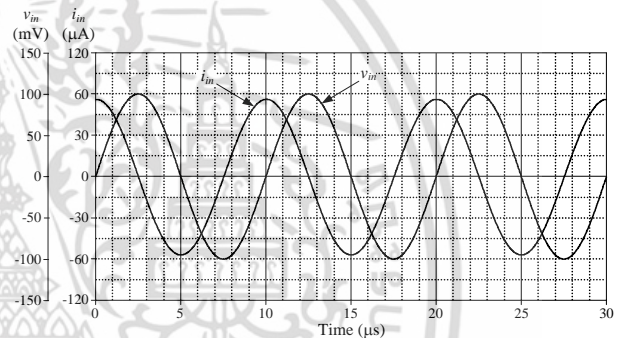
โดยที่  $g_i = (I_{Bi} \mu C_{ox} W_i / L_i)^{1/2}$  คือ ค่าความนำของทรานซิสเตอร์  $M_i$  ( $i = 1, 2, \dots, 8$ )  $I_{Bi}$  คือ กระแสไบอัสของ  $M_i$   $\mu$  คือ ค่าความคล่องตัวของประจุพาหะ (carrier mobility)  $C_{ox}$  คือ ค่าความจุไฟฟ้าเกตออกไซด์ต่อพื้นที่ (gate-oxide capacitance per unit area)  $W_i$  และ  $L_i$  คือ ความกว้างและความยาวของช่องนำกระแสของ  $M_i$  ตามลำดับ



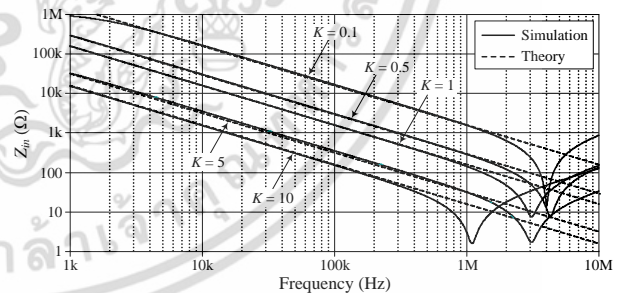
รูปที่ 3 โครงสร้างวงจร VDTA ที่ใช้ในการจำลองการทำงาน [12]

การจำลองการทำงานจะกระทำภายใต้เทคโนโลยี TSMC 0.35- $\mu\text{m}$  CMOS เมื่อกำหนดให้อัตราส่วน W/L ( $\mu\text{m}/\mu\text{m}$ ) ของทรานซิสเตอร์ในวงจร VDTA เป็นดังต่อไปนี้  $M_1$ - $M_2 = 16.1/0.7$ ,  $M_3$ - $M_4 = 28/0.7$ ,  $M_5$ - $M_6 = 16.1/0.7$ ,  $M_7$ - $M_8 = 28/0.7$ ,  $M_9$ - $M_{12} = 56/0.7$ ,  $M_{13} = 7/0.7$ ,  $M_{14}$ - $M_{17} = 56/0.7$  และ  $M_{18} = 7/0.7$  แหล่งจ่ายไฟเลี้ยงที่ใช้เท่ากับ  $+V = -V = 2\text{ V}$

รูปที่ 4 แสดงผลการจำลองผลตอบสนองทางเวลาระหว่างแรงดันอินพุต  $v_{in}$  กับกระแสอินพุต  $i_{in}$  ของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 2 เปรียบเทียบกับผลตอบสนองทางทฤษฎี เมื่อกำหนดให้  $I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 20\ \mu\text{A}$  ( $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong 0.38\ \text{mA/V}$ ) และ  $C = 1\ \text{nF}$  จากผลการจำลองการทำงานของวงจรพบว่า  $i_{in}$  มีมุมเฟสหน้าหน้า  $v_{in}$  ประมาณ  $91^\circ$  ซึ่งยืนยันคุณสมบัติการทำงานของวงจรขณะทำหน้าที่เป็นตัวเก็บประจุได้เป็นอย่างดี นอกจากนี้ยังได้แสดงการแปรค่า  $C_{eq}$  ของวงจรที่นำเสนอในทางอิเล็กทรอนิกส์โดยการปรับค่าอัตราขยาย  $K$  เป็น 5 ค่าดังต่อไปนี้  $K = 0.1$  ( $g_{mF1} = 0.38\ \text{mA/V}$ ,  $g_{mS1} = 0.95\ \text{mA/V}$ ,  $g_{mF2} = g_{mS2} = 0.19\ \text{mA/V}$ ),  $K = 0.5$  ( $g_{mF1} = 0.38\ \text{mA/V}$ ,  $g_{mS1} = 0.53\ \text{mA/V}$ ,  $g_{mF2} = g_{mS2} = 0.38\ \text{mA/V}$ ),  $K = 1$  ( $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} = 0.38\ \text{mA/V}$ ),  $K = 5$  ( $g_{mF1} = g_{mS1} = g_{mF2} = 0.38\ \text{mA/V}$ ,  $g_{mS2} = 1.37\ \text{mA/V}$ ) และ  $K = 10$  ( $g_{mF1} = g_{mS1} = 0.19\ \text{mA/V}$ ,  $g_{mF2} = 0.38\ \text{mA/V}$ ,  $g_{mS2} = 9.53\ \text{mA/V}$ ) ซึ่งเป็นผลทำให้  $C_{eq}$  มีค่าเปลี่ยนแปลงเป็น 10 nF, 2 nF, 1 nF, 0.2 nF และ 0.1 nF ตามลำดับ โดยผลการจำลองผลตอบสนองทางขนาดแสดงได้ดังรูปที่ 5 จะเห็นได้ว่าขนาดของ  $C_{eq}$  นั้นแปรเปลี่ยนไปตามการแปรค่าของ  $K$  สอดคล้องตามหลักการทางทฤษฎีที่ได้นำเสนอไว้ข้างต้น



รูปที่ 4 ผลตอบสนองทางเวลาของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 2

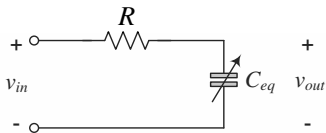


รูปที่ 5 ผลตอบสนองทางขนาดของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 2

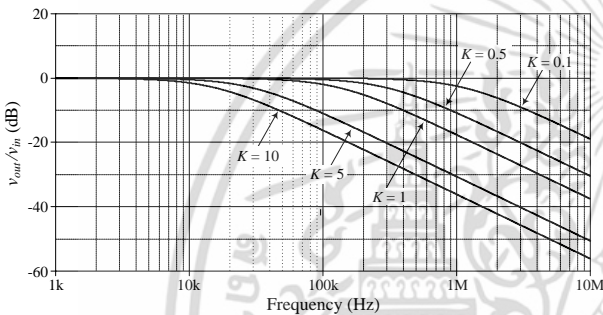
### 5. การประยุกต์ใช้งาน

หัวข้อนี้เป็นการนำเสนอแนวทางการประยุกต์ใช้วงจรที่นำเสนอในการออกแบบวงจรกรองผ่านความถี่ดังรูปที่ 6 ซึ่งในที่นี้เลือกใช้  $R = 1\ \text{k}\Omega$  โดยที่  $C_{eq}$  สังเคราะห์จากวงจรคุณค่าความจุไฟฟ้าในรูปที่ 2 จากนั้นทำการปรับ  $C_{eq}$  ให้มีค่าเปลี่ยนแปลงเป็น 10 nF, 2 nF, 1 nF, 0.2 nF และ 0.1 nF โดยการแปรค่า  $K$  เป็น 0.1, 0.5, 1, 5 และ 10 ตามลำดับ ทั้งนี้ก็เพื่อทำให้ตำแหน่งความถี่คutoff ของวงจร ( $f_c = 1/2\pi RC_{eq}$ ) แปรค่าเป็น 15.91 kHz, 79.57 kHz, 158 kHz, 795 kHz และ

1.59 MHz ตามลำดับ ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำดังรูปที่ 6 เมื่อแปรค่า  $C_{eq}$  แสดงได้ดังรูปที่ 7 และพบว่า  $f_c$  ที่ได้จากการจำลองมีค่าเท่ากับ 15.66 kHz, 79.34 kHz, 134 kHz, 796 kHz และ 1.31 MHz ตามลำดับ ซึ่งแสดงให้เห็นถึงคุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจร



รูปที่ 6 วงจรกรองผ่านความถี่ต่ำ RC



รูปที่ 7 ผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำในรูปที่ 6 เมื่อแปรค่า  $C_{eq}$

## 6. สรุป

บทความนี้นำเสนอการออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้าโดยใช้วงจร VDTA สองตัว และตัวเก็บประจุเทียบกราวด์จากภายนอกหนึ่งตัว วงจรที่นำเสนอสามารถควบคุมค่าความจุไฟฟ้าสมมูลของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการปรับค่ากระแสไบอัสของวงจร VDTA เนื่องจากปราศจากการใช้ตัวต้านทานในการสังเคราะห์วงจร จึงทำให้วงจรที่นำเสนอมีโครงสร้างกะทัดรัด ใช้อุปกรณ์จำนวนน้อย สิ้นเปลืองกำลังงานไฟฟ้าต่ำ และเหมาะสมกับรูปแบบวงจรรวม คุณสมบัติในการทำงานของวงจรที่นำเสนอและการประยุกต์ใช้ในวงจรกรองสัญญาณแอคทีฟ RC ได้ศึกษาและทดสอบโดยใช้การจำลองด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยี TSMC 0.35- $\mu$ m CMOS

## เอกสารอ้างอิง

[1] P. V. Anada Mohan, "Grounded capacitor based grounded and floating inductance simulation using current conveyors", *Electron. Lett.*, vol.34, pp.1037-1038, 1998.

[2] G. Ferri, S. Pennisi, A 1.5-V current-mode capacitance multiplier", *Proc. ICN'98*, December 14-16, pp.9-12, 1998.

[3] M. T. Abuelma'atti, N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.

[4] P. V. Anada Mohan, "Floating capacitance simulation using current conveyors. *J. Circuits Syst. Comput.*", vol.14, pp.123-128, 2005.

[5] E. Yuces, S. Minaei, O. Cicekoglu, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Eng.*, vol.88, pp.519-525, 2006.

[6] E. Yuces, "On the implementation of the floating simulators employing a single active device", *Int. J. Electron. Commun.*, vol.61, pp.453-458, 2007.

[7] E. Yuces, S. Minaei, "A modified CFOA and its applications to simulated inductors, capacitance multiplier, and analog filters", *IEEE Trans. Circuits. Syst.-I : Regular Papers*, vol.55, no.1, pp.266-275, 2008.

[8] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksak, "Floating immittance function simulator and its applications", *Circuits Syst. Signal Process.*, vol.28, pp.55-63, 2009.

[9] A. Lahiri, M. Gupta, "Realization of grounded negative capacitance using CFOAs", *Circuits Syst. Signal Process.*, vol.30, pp.143-155, 2011.

[10] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, "Novel floating general element simulators using CBTA", *Radioengineering*, vol.21, no.1, pp.11-19, 2012.

[11] J. Satansup, T. Pukkalanun and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements", *Circuits, Systems, and Signal Processing*, vol.32, no. 3, pp.945-957, 2013.

[12] A. Yesil, F. Kacar, H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol.20, no.3, pp. 632-637, 2011.

[13] A. F. Arbel, L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integr. Circ. Sig. Process.*, vol.2, no.3, pp.243-255, 1992.



**1<sup>st</sup> call for paper** **ECTI-CON 2015**  
**Hua Hin, Thailand, June 24 – 27, 2015**

ECTI-CON 2015 is the twelfth annual international conference organized by Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI) Association, Thailand. The conference aims to provide an international platform to present technological advances, launch new ideas and showcase research work in the field of electrical engineering, electronics, computer, telecommunications and information technology. Accepted papers will be published in the Proceedings of ECTI-CON 2015 and will be submitted for inclusion into IEEE Xplore. Acceptance will be based on quality, relevance and originality.



**RANGSIT UNIVERSITY** **ECTI Association** **IEEE THAILAND SECTION**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Electronically Tunable Impedance Multiplier Using VDTAs

Panurut Yaruan , Pratyta Mongkolwai , Worapong Tangsirat

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand  
panurut.y@gmail.com , m.pratyta@gmail.com , drworapong@gmail.com

**Abstract**— This paper describes a simple circuit configuration for realizing an impedance multiplier using VDTAs (voltage differencing transconductance amplifier) as active components. The proposed impedance multiplier circuit contains only two VDTAs along with external impedance under control. The equivalent value of the realized multiplier can be tuned electronically through the transconductance parameters of the VDTAs. The characteristic of the proposed circuit is demonstrated using PSPICE simulation with TSMC 0.35- $\mu\text{m}$  CMOS technology.

**Keywords**—Voltage Differencing Transconductance Amplifier (VDTA); impedance multiplier; immittance function

## I. INTRODUCTION

An impedance multiplier is a kind of active circuit that effectively inflates the impedance presented by the load. Therefore, the impedance multiplier is a useful element for various functional analog applications, such as active filters, oscillators, biasing and impedance matching. A most appropriate application of the impedance multiplier is in the simulation of the tunable passive element such as resistor (R), inductor (L) and capacitor (C). It may also be used in IC fabrication for simulating large valued R, L and C. Consequently, it is of interest to simulate the passive impedances using various analog active building blocks [1]-[2]. Although a large number of modern electronic active building blocks have been reviewed and considered as alternatives to the classical voltage-mode operational amplifier [3], the voltage differencing transconductance amplifier (VDTA) has been found to be particularly attractive in various analog signal processing and signal generating applications [4]-[7]. This device combines the advantages of voltage differencing unit and the transconductance amplifier.

Considering these facts, in this study, an electronically tunable impedance multiplier using VDTAs as active elements is presented. This multiplying circuit comprises only two VDTAs and the scaling impedance. The proposed impedance multiplier circuit can provide electronic control to grounded impedance functions, i.e. resistor, capacitor and inductor. To demonstrate the practical workability of the proposed

impedance multiplier circuit, simulation results based on TSMC 0.35- $\mu\text{m}$  CMOS process parameters have been provided.

## II. DESCRIPTION OF VOLTAGE DIFFERENCING TRANSCONDUCTANCE AMPLIFIER (VDTA)

As shown symbolically in Fig.1, the VDTA element consists of an input voltage subtractor that transfers a differential input voltage ( $v_p-v_n$ ) to the current through the z-terminal ( $i_z$ ) by the first transconductance gain ( $g_{mF}$ ), and a dual output transconductance amplifier that converts the corresponding voltage drop at the z-terminal to currents at the x-terminals by the second transconductance gain ( $g_{mS}$ ). From the ideal operation, the terminal relationships of the VDTA can be characterized by the following matrix :

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ i_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_{mF} & -g_{mF} & 0 & 0 \\ 0 & 0 & g_{mS} & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_x \\ v_z \end{bmatrix} \quad (1)$$

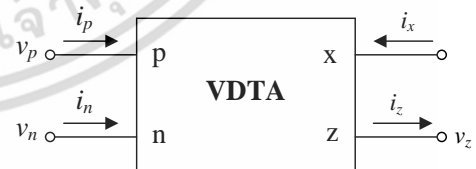


Fig.1 Electrical symbol of the VDTA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

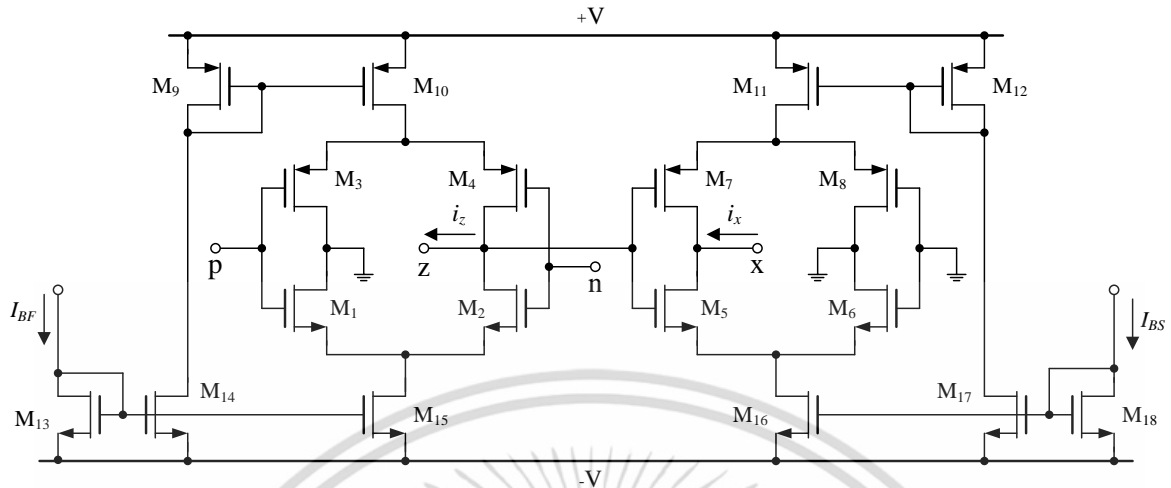


Fig.2 CMOS realization of the VDTA [4].

Fig.2 shows the CMOS realization of the VDTA [4]. In this realization, the internal structure of the circuit is mainly composed of two Arbel-Goldminz transconductances [7]. In this case, the values of  $g_{mF}$  and  $g_{mS}$  for this element of can be determined by the output transistor transconductance, which can respectively be approximated as:

$$g_{mF} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_3 + g_4} \right) \quad (2)$$

and

$$g_{mS} \cong \left( \frac{g_5 g_6}{g_5 + g_6} \right) + \left( \frac{g_7 g_8}{g_7 + g_8} \right) \quad (3)$$

where  $g_i = \frac{\mu C_{ox} W_i I_{Bi}}{L_i}$  is the transconductance value,  $I_{Bi}$

is the bias current,  $\mu$  is the effective carrier mobility,  $C_{ox}$  is the gate-oxide capacitance per unit area, and  $W_i$  and  $L_i$  are the effective channel width and length of the  $i$ -th MOS transistor ( $i = 1, 2, \dots, 8$ ), respectively.

### III. PROPOSED IMPEDANCE MULTIPLIER

The proposed circuit for realizing electronically tunable impedance multiplier is depicted in Fig.3. It uses only two VDTAs and one grounded scaling impedance. The use of grounded passive impedance makes the proposed circuit

suitable for monolithic integrated circuit (IC). Using the VDTA relationship given in eq.(1) and by doing routine circuit calculation, the input impedance of the proposed circuit in Fig.3 is found as :

$$Z_{in} = K Z_x \quad (4)$$

where

$$K = \frac{g_{mF2} g_{mS2}}{g_{mF1} g_{mS1}} \quad (5)$$

and  $g_{mFi}$  and  $g_{mSi}$  are the transconductance gains of the  $i$ -th VDTA ( $i = 1, 2$ ). It is evident from eq.(5) that the proposed circuit of Fig.3 simulates the  $Z_x$ -impedance multiplier with a multiplication factor  $K$ . Also note that the multiplication factor  $K$  is controlled electronically by the ratio of VDTA transconductance gains.

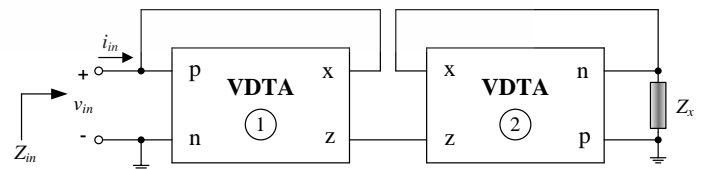


Fig.3 Proposed impedance multiplier circuit with VDTAs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In above expressions, if  $Z_x = Z_{L_x} = sL_x$  is taken, then an inductance multiplier simulator can be obtained as :

$$Z_m = sKL_x = sL_{eq} \quad (6)$$

where the realized equivalent inductance value ( $L_{eq}$ ) is found as:

$$L_{eq} = KL_x \quad (7)$$

On the other hand, if  $Z_x = Z_{C_x} = 1/sC_x$  is chosen, eq.(4) becomes :

$$Z_m = \frac{K}{sC_x} = \frac{1}{sC_{eq}} \quad (8)$$

Thus, the circuit of Fig.3 realizes the capacitance multiplier whose an equivalent value is given by :

$$C_{eq} = \frac{C_x}{K} \quad (9)$$

If  $Z_x = Z_{R_x} = R_x$ , the circuit simulates the resistnace multiplier with the value of

$$R_{eq} = KR_x \quad (10)$$

From above expressions, it can be concluded that the realized  $L_{eq}$ ,  $C_{eq}$  and  $R_{eq}$  can be tuned by means of the transconductances  $g_{mF1}$  and  $g_{mS1}$ .

#### IV. SIMULATION RESULTS

In this section, PSPICE simulations were carried out to demonstrate the performance of the proposed circuit in Fig.3. The CMOS VDTA structure given in Fig.2 was realized in simulations. The aspect ratios of the MOC transistors are given in Table I using 0.35- $\mu\text{m}$  CMOS process parameters from TSMC (Taiwan Semiconductor Manufacturing Company, Ltd.). The supply voltages were chosen as :  $+V = -V = 1.5 \text{ V}$ . The bias current  $I_B (= I_{BF} = I_{BS})$  is given externally to control the transconductance parameter of the VDTA.

TABLE I. TRANSISTOR DIMENSIONS OF THE CMOS VDTA STRUCTURE SHOWN IN FIG.2.

Transistors	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M <sub>1</sub> , M <sub>2</sub> , M <sub>5</sub> , M <sub>6</sub>	16.1	0.7
M <sub>3</sub> , M <sub>4</sub> , M <sub>7</sub> , M <sub>8</sub>	28	0.7
M <sub>9</sub> -M <sub>12</sub>	21	0.7
M <sub>13</sub> , M <sub>18</sub>	7	0.7
M <sub>14</sub> -M <sub>17</sub>	8.5	0.7

Fig.4 shows the simulated waveforms of the input voltage and current through the proposed inductance multiplier circuit of Fig.3, when a sinusoidal input voltage signal with 100 mV peak value at frequency  $f = 100 \text{ kHz}$  was applied to the circuit. In this case, the active and passive circuit components of Fig.3 were chosen as :  $g_{mF1} = g_{mS1} = 0.38 \text{ mA/V}$  ( $I_{BF1} = I_{BS1} = 20 \mu\text{A}$ ), and  $L_x = 0.1 \text{ mH}$ . From Fig.4, it can be measured that the phase shift between the voltage ( $v_{in}$ ) and current ( $i_{in}$ ) approximately  $88^\circ$ , which corresponds to the theoretically predicted equal to  $90^\circ$ .

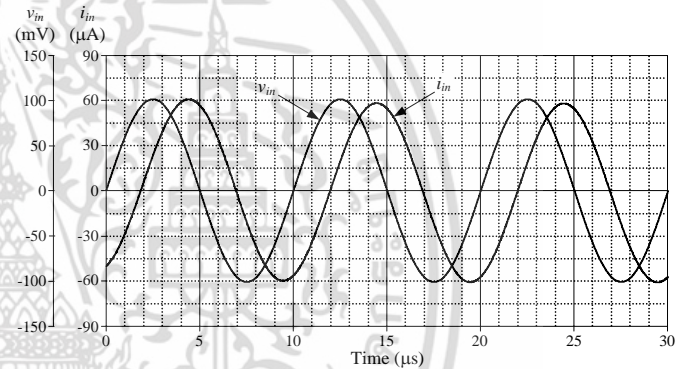


Fig.4 Waveforms of input voltage and current for the proposed inductance multiplier circuit of Fig.3.

In order to demonstrate the electronic tuning property of the proposed inductance multiplier circuit in Fig.3, the multiplication factor  $K$  was adjusted to the following values :

- $K = 0.1$  ( $g_{mF1} = 0.38 \text{ mA/V}$ ,  $g_{mS1} = 0.95 \text{ mA/V}$ ,  $g_{mF2} = g_{mS2} = 0.19 \text{ mA/V}$ ),
- $K = 0.5$  ( $g_{mF1} = 0.38 \text{ mA/V}$ ,  $g_{mS1} = 0.53 \text{ mA/V}$ ,  $g_{mF2} = g_{mS2} = 0.38 \text{ mA/V}$ ),
- $K = 1$  ( $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} = 0.38 \text{ mA/V}$ ),
- $K = 5$  ( $g_{mF1} = g_{mS1} = g_{mF2} = 0.38 \text{ mA/V}$ ,  $g_{mS2} = 1.37 \text{ mA/V}$ ) and
- $K = 10$  ( $g_{mF1} = g_{mS1} = 0.19 \text{ mA/V}$ ,  $g_{mF2} = 0.38 \text{ mA/V}$ ,  $g_{mS2} = 9.53 \text{ mA/V}$ )

The above settings lead to obtain the realized equivalent inductance value  $L_{eq}$  as : 0.01 mH, 0.05 mH, 0.1 mH, 0.5 mH and 1 mH, respectively. Fig.5 shows the corresponding impedance characteristics of the proposed multiplier circuit in

Fig.3 with respect to frequencies for five different values of  $K$ . As it is seen from Fig.5, the impedances increase with the frequency and the proposed inductance multiplier circuit operates pretty well between 30 kHz and 10 MHz.

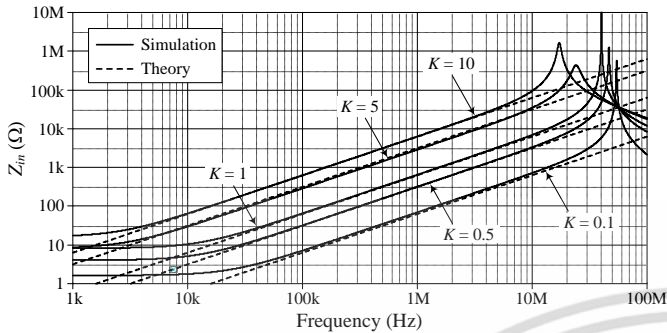


Fig.5 Ideal and simulated impedance responses of the proposed inductance multiplier circuit in Fig.3 for different values of the multiplication factor  $K$ .

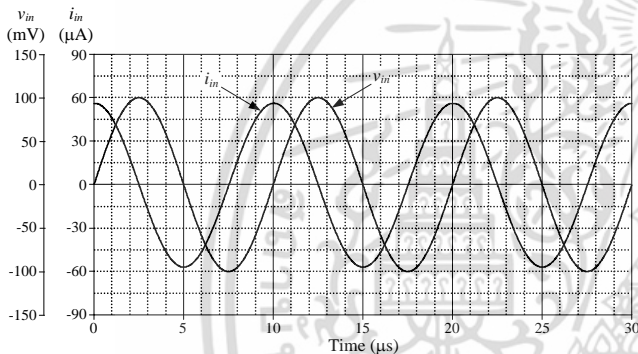


Fig.6 Waveforms of input voltage and current for the proposed capacitance multiplier circuit of Fig.3.

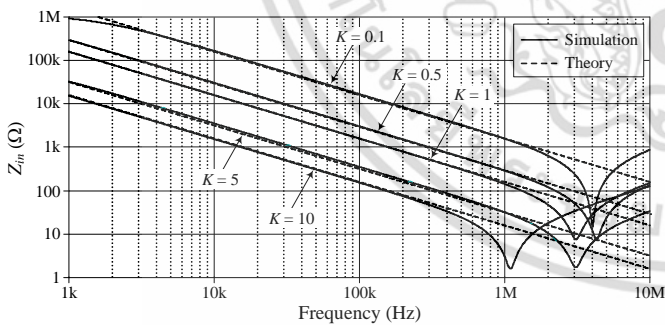


Fig.7 Ideal and simulated impedance responses of the proposed capacitance multiplier circuit in Fig.3 for different values of the multiplication factor  $K$ .

To further evaluate the performance of the proposed circuit shown in Fig.3, the grounded capacitance multiplier circuit is simulated with the following components :  $g_{mFi} = g_{mSi} = 0.38$  mA/V and  $C_x = 1$  nF. The simulated results of the time response analysis for  $i_{in}$  and  $v_{in}$  are given in Fig.6 with 100 mV

(peak) sine wave at 100 kHz input. It can be observed that the realized impedance exhibits a positive  $91^\circ$  phase shifting as expected. In the same manner, the frequency responses of the proposed capacitance multiplier for five different values of  $K$ , are also shown in Fig.7. The simulations were done by varying  $K = 0.1, 0.5, 1, 5, 10$  with the same component values setting as mentioned above. This results in the values of the realized equivalent capacitance  $C_{eq}$  as : 10 nF, 2 nF, 1 nF, 0.2 nF and 0.1 nF, respectively. From Fig.7, we can see that the circuit operates correctly along the frequency range from 1 kHz to 400 kHz.

## V. CONCLUSIONS

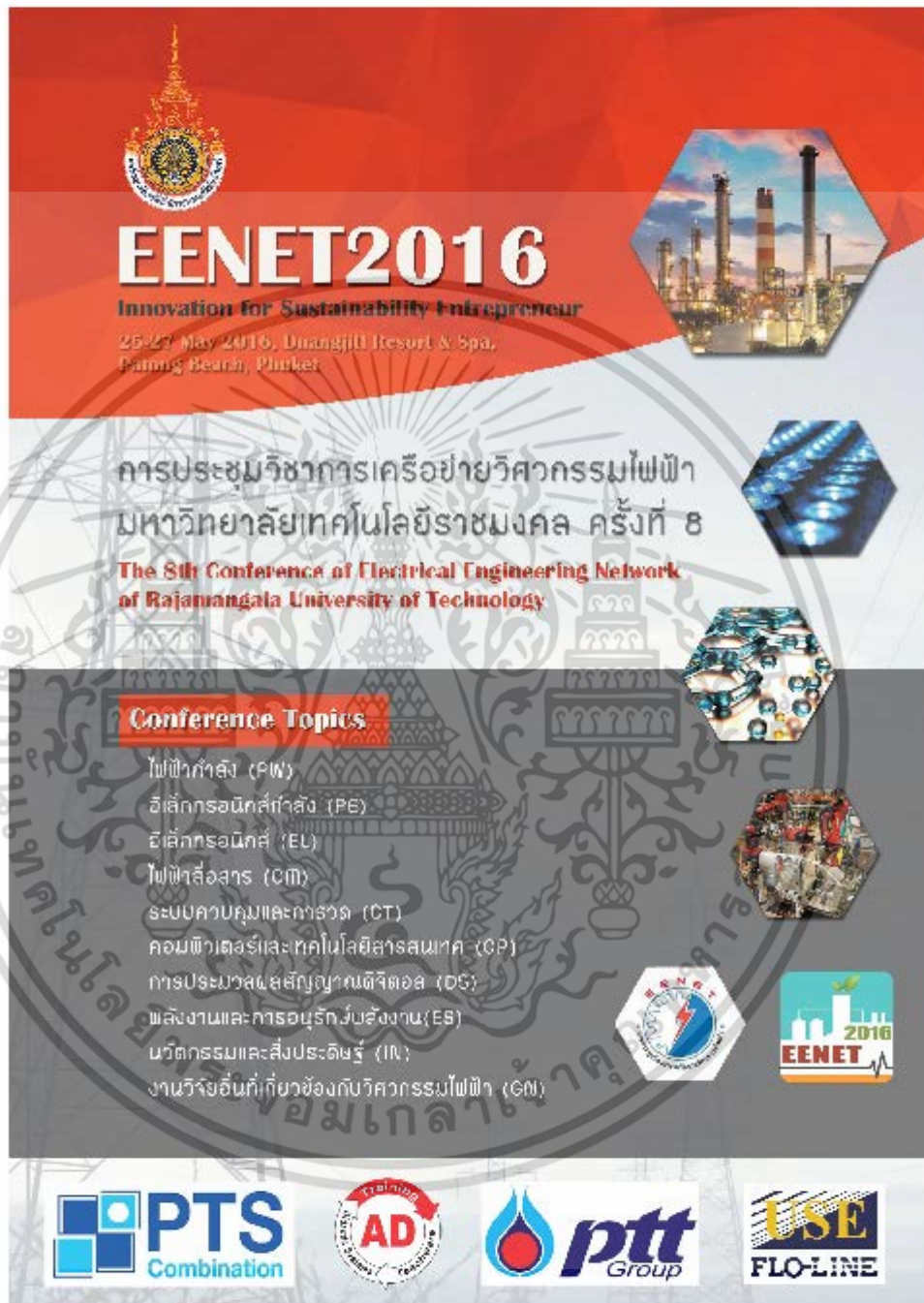
This paper has presented the simple realization scheme of an electronically tunable impedance multiplier circuit based on VDTAs. The proposed impedance multiplier circuit is realizable by only two VDTAs and a single scaling impedance, thus results in a canonical structure and suitable for IC implementation. The simulated equivalent values of the presented impedances, namely  $L_{eq}$ ,  $C_{eq}$  and  $R_{eq}$ , can be adjusted electronically via the biasing currents of the VDTAs. Simulation results based on TSMC 0.35- $\mu$ m CMOS process parameters have been performed and the results well confirm the theoretical expectation.

## ACKNOWLEDGEMENT

This research work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMUTL), Thailand.

## REFERENCES

- [1] M. T. Ahmed, I. A. Khan and T. Parveen, "Wide range electronically tunable component multipliers," *Int. J. Electron.*, vol.65, pp.1007-1011, 1988.
- [2] C. Toumazou, F. J. Lidgley and D. G. Haigh, "Analog IC Design: The Current Mode Approach" (London, U.K.: Peter Peregrinus), 1990.
- [3] D. Biolk, R. Senani, V. Biolkova, Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposals", *Radioengineering*, vol. 17 no. 4, pp.15-32, 2008.
- [4] A. Yesil, F. Kacar, H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol. 20 no.3, pp. 632-637, 2011.
- [5] J. Satansup, T. Pukkalanun, W. Tangsrirat, "Electronically tunable single-input five-Output voltage-mode universal filter using VDTAs and grounded passive elements", *Circuits Syst. Signal Process.*, vol.32, pp.945-957, 2013.
- [6] J. Satansup and W. Tangsrirat, "Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors", *Microelectron. J.*, vol.45, no.6, pp.613-618, 2014.
- [7] A. F. Arbel and L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integr. Circ. Sig. Process.*, vol.2, pp.243-255, 1992.
- [8] D. Prasad, D. R. Bhaskar, "Electronically controllable explicit current output sinusoidal oscillator employing single VDTA", *ISRN Electronics*, vol. 2012, Article ID 38256, 5 pages, doi: 10.5402/2012/382560, 2012.



The poster for EENET 2016 features a red top section with the Rajamangala University of Technology logo and the event title. Below this, the Thai and English titles of the conference are displayed. A central section lists various technical topics under the heading 'Conference Topics'. The bottom of the poster is a white banner containing logos for sponsors: PTS Combination, AD Training, PTT Group, and USE FLO-LINE. Several hexagonal images illustrate industrial and technological themes.

**EENET2016**  
**Innovation for Sustainability Entrepreneur**  
 25-27 May 2016, Unangjiri Resort & Spa,  
 Paming Beach, Phuket.

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า  
 มหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 8  
**The 8th Conference of Electrical Engineering Network  
 of Rajamangala University of Technology**

**Conference Topics**

- ไฟฟ้ากำลัง (EP)
- อิเล็กทรอนิกส์กำลัง (PE)
- อิเล็กทรอนิกส์ (EL)
- ไฟฟ้าสื่อสาร (EM)
- ระบบควบคุมและการวัด (CT)
- คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (CP)
- การประมวลผลสัญญาณดิจิทัล (DS)
- พลังงานและการอนุรักษ์พลังงาน (ES)
- นวัตกรรมและสิ่งประดิษฐ์ (IN)
- งานวิจัยอื่นที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (CN)

**PTS** Combination

**AD** Training

**ptt** Group

**USE** FLO-LINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรถ่ายแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจรวจร VDTA หนึ่งตัว

## Ground Parallel Inductance Simulator Using Single VDTA

ภาณุรุจ ยะเรื่อน วรพงศ์ ตั้งศรีรัตน์ วัลลภ สุระกำพลธร

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขที่ 1 ถนนฉลองกรุง แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพมหานคร 10520 โทรศัพท์ 02-326-4205

E-mail: panurut.y@gmail.com, worapong.ta@kmitl.ac.th

## บทคัดย่อ

บทความนี้นำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำแบบขนานต่อเทียบกราวด์โดยใช้วงจรวจร VDTA (voltage differencing transconductance amplifier) จำนวนหนึ่งตัว และตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว โดยที่ค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลของวงจรมีค่าสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์จากการควบคุมกระแสไบอัสของวงจรวจร VDTA ผลการจำลองการทำงานของวงจรถ่ายแบบเทคโนโลยี 0.35- $\mu\text{m}$  CMOS ของบริษัท TSMC ได้แสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรถ่ายที่นำเสนอ

คำสำคัญ: วงจรวจร VDTA, วงจรถ่ายแบบตัวเหนี่ยวนำแบบขนาน, การปรับค่าทางอิเล็กทรอนิกส์

## Abstract

A simple circuit synthetic for realizing a lossy parallel inductance simulator using only one VDTA (voltage differencing transconductance amplifier) and one external grounded capacitor is presented. The equivalent values of the realized equivalent resistance and inductance can be tuned electronically through the external bias current of the VDTA. The characteristic of the proposed simulator and its filter application are demonstrated by PSPICE simulation with TSMC 0.35- $\mu\text{m}$  CMOS technology.

Keywords: Voltage Differencing Transconductance Amplifier (VDTA), parallel inductor simulation, electronically tunable

## 1. บทนำ

ตัวเหนี่ยวนำ (inductor) ถือเป็นองค์ประกอบที่สำคัญในการออกแบบและการสังเคราะห์วงจรในระบบโครงข่ายไฟฟ้า เช่น วงจรกรองสัญญาณ และวงจรถ่ายกำเนิดสัญญาณความถี่ เป็นต้น ปัจจุบันได้มีการพัฒนาการนำอุปกรณ์แอคทีฟเข้ามาใช้ในการสังเคราะห์และออกแบบวงจรถ่ายแบบต่างๆ แต่ด้วยตัวเหนี่ยวนำที่เป็นอุปกรณ์พาสซีฟนั้นมีขนาดที่ใหญ่ซึ่งไม่เหมาะสมต่อการพัฒนาเป็น

วงจรรวม (integrated circuit, IC) จึงได้มีการพยายามแก้ปัญหาดังกล่าวโดยนำอุปกรณ์แอคทีฟมาออกแบบและสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำขึ้นมากมาย [1]-[5]

อย่างไรก็ตามพบว่าค่าความเหนี่ยวนำสมมูลที่ได้จากวงจรถ่ายแบบตัวเหนี่ยวนำในอดีตนั้นเป็นเพียงแค่ค่าทางทฤษฎี แต่ในทางปฏิบัตินั้นย่อมมีการสูญเสียเกิดขึ้น จึงได้มีการนำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำแบบมีการสูญเสีย (lossy inductance simulator) ขึ้น [6]-[12] เพื่อให้ค่าความเหนี่ยวนำสมมูลมีความสอดคล้องกับการใช้งานในทางปฏิบัติ นอกจากนี้ยังพบว่าในการสังเคราะห์วงจรถ่ายแบบตัวเหนี่ยวนำแบบมีการสูญเสียที่ถูกนำเสนอในอดีตนั้นจำเป็นต้องอาศัยอุปกรณ์พาสซีฟมากกว่าหนึ่งตัว [6]-[11] อีกทั้งยังไม่สามารถปรับแต่งค่าทางอิเล็กทรอนิกส์ [6]-[8] หรือวงจรถ่ายที่สามารถปรับแต่งค่าได้ทางอิเล็กทรอนิกส์ [9]-[11] นั้นจำเป็นต้องอาศัยการต่อร่วมกับตัวต้านทาน [12]

ดังนั้นบทความนี้จึงนำเสนอวงจรถ่ายแบบตัวเหนี่ยวนำแบบขนานโดยใช้วงจรวจร VDTA จำนวนหนึ่งตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว ปราศจากตัวต้านทานแบบพาสซีฟจากภายนอก วงจรถ่ายที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและความเหนี่ยวนำสมมูลได้ด้วยการปรับอัตราขยายค่าความนำของวงจรวจร VDTA คุณสมบัติของวงจรถ่ายแบบตัวเหนี่ยวนำที่นำเสนอในบทความนี้ได้ถูกตรวจสอบความถูกต้องโดยการจำลองการทำงานด้วยโปรแกรม PSPICE ซึ่งปรากฏผลสอดคล้องเป็นไปตามหลักการทางทฤษฎี

## 2. หลักการทำงานของวงจรวจร VDTA

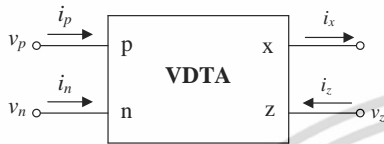
วงจรวจร VDTA เป็นอุปกรณ์แอคทีฟแบบใหม่ที่อาศัยหลักการการทำงานของวงจรถ่ายขยายค่าความนำ (transconductance amplifier) เป็นสำคัญ โดยมีสัญลักษณ์ทางไฟฟ้าแสดงได้ดังรูปที่ 1 ซึ่งประกอบไปด้วยขั้วอินพุต p และ n และขั้วเอาต์พุต z และ x คุณสมบัติการทำงานของวงจรวจร VDTA สามารถเขียนอธิบายได้ดังนี้ [13]:

$$i_p = i_n = 0, i_z = g_m F(v_p - v_n) \text{ และ } i_x = g_m S v_z \quad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
25-27 พฤษภาคม พ.ศ. 2559 โรงแรมดวงจิตต์ รีสอร์ท แอนด์ สปา จังหวัดภูเก็ต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่  $g_{mF}$  และ  $g_{mS}$  คือ อัตราขยายค่าความนำ (transconductance gain) ภาคแรกและภาคที่สองของวงจร VDTA ตามลำดับ สมการ (1) แสดงให้เห็นว่าผลต่างแรงดันอินพุตระหว่างขั้ว p กับ n ( $v_p - v_n$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว z ( $i_z$ ) ด้วยอัตราขยายค่าความนำ  $g_{mF}$  ในขณะที่แรงดันตกคร่อมที่ขั้ว z ( $v_z$ ) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว x ( $i_x$ ) ด้วยอัตราขยายค่าความนำ  $g_{mS}$



รูปที่ 1 วงจร VDTA

### 3. วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานที่นำเสนอ

โครงสร้างวงจรเลียนแบบตัวเหนี่ยวนำแบบขนานที่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในบทความนี้แสดงดังรูปที่ 2 ซึ่งจะเห็นว่าประกอบด้วยวงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับตัวเก็บประจุเทียบกราวด์ ( $C_1$ ) อีกหนึ่งตัว เมื่อทำการวิเคราะห์วงจรในรูปที่ 2 โดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (1) จะได้ค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจร เท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{sC_1}{g_{mF}g_{mS} + sC_1g_{mF}} \quad (2)$$

ดังนั้นจะได้ค่าความเหนี่ยวนำสมมูล (equivalent inductance,  $L_{eq}$ ) ที่สังเคราะห์ขึ้นจากวงจร เท่ากับ

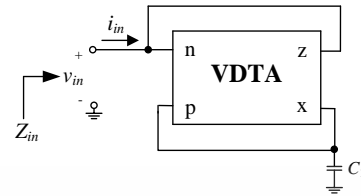
$$L_{eq} = \frac{sC_1}{g_{mF}g_{mS}} \quad (3)$$

และมีค่าความต้านทานสมมูล (equivalent resistance,  $R_{eq}$ ) เท่ากับ

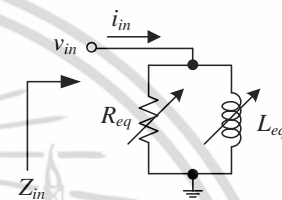
$$R_{eq} = \frac{1}{g_{mF}} \quad (4)$$

ความสัมพันธ์จากสมการ (2) ถึง (4) แสดงให้เห็นว่าค่าอิมพีแดนซ์อินพุต  $Z_{in}$  ของวงจรมีค่าสามารถแปรค่าได้จากค่าการควบคุม  $g_{mF}$  หรือ  $g_{mS}$  ดังนั้นจึงกล่าวได้ว่าค่าความเหนี่ยวนำสมมูล  $L_{eq}$  และค่าความต้านทานสมมูล  $R_{eq}$  ของวงจรที่นำเสนอในรูปที่ 2 สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้เมื่อนำวงจรที่นำเสนอไปประยุกต์ใช้กับวงจรประมวลผลสัญญาณแอนะล็อก ก็จะทำให้วงจรที่สังเคราะห์ได้มี

สมรรถนะเด่นในแง่ความเสถียรและคล่องตัวในการปรับแต่งคุณสมบัติการทำงานของวงจร



(ก)



(ข)

รูปที่ 2 วงจรเลียนแบบตัวเหนี่ยวนำแบบขนานที่นำเสนอ

(ก) โครงสร้างวงจร (ข) วงจรสมมูลทางไฟฟ้า

### 4. คุณสมบัติการทำงานของวงจรที่นำเสนอ

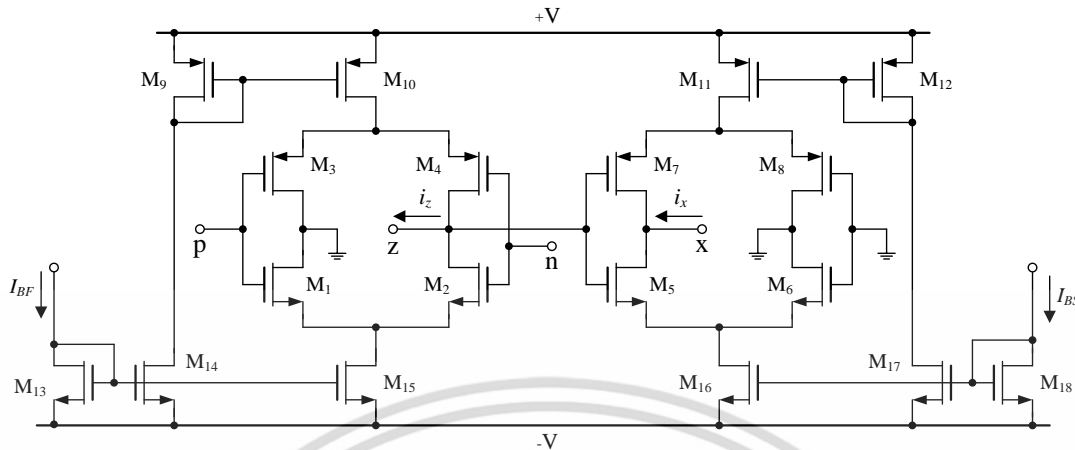
ในหัวข้อนี้จะศึกษาคุณสมบัติการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 2 โดยการจำลองด้วยโปรแกรม PSPICE สำหรับวงจร VDTA นั้นได้เลือกใช้โครงสร้างวงจรถูกแสดงในรูปที่ 3 [14] ซึ่งประกอบด้วยวงจรขยายค่าความนำสองวงจร คือ  $M_1$ - $M_4$  และ  $M_5$ - $M_8$  และมีอัตราขยายค่าความนำ  $g_{mF}$  และ  $g_{mS}$  เท่ากับ [15]

$$g_{mF} \cong \left( \frac{g_1g_2}{g_1 + g_2} \right) + \left( \frac{g_3g_4}{g_3 + g_4} \right) \quad (5)$$

และ

$$g_{mS} \cong \left( \frac{g_5g_6}{g_5 + g_6} \right) + \left( \frac{g_7g_8}{g_7 + g_8} \right) \quad (6)$$

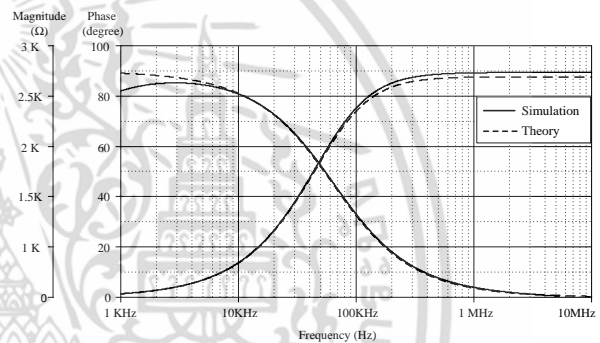
โดยที่  $g_i = (I_{Bi} \mu C_{ox} W_i / L_i)^{1/2}$  คือ ค่าความนำของทรานซิสเตอร์  $M_i$  ( $i = 1, 2, \dots, 8$ )  $I_{Bi}$  คือ กระแสไบอัสของ  $M_i$   $\mu$  คือ ค่าความคล่องตัวของประจุพาหะ (carrier mobility)  $C_{ox}$  คือ ค่าความจุไฟฟ้าแกทออกไซด์ต่อพื้นที่ (gate-oxide capacitance per unit area)  $W_i$  และ  $L_i$  คือ ความกว้างและความยาวของช่องนำกระแสของ  $M_i$  ตามลำดับ



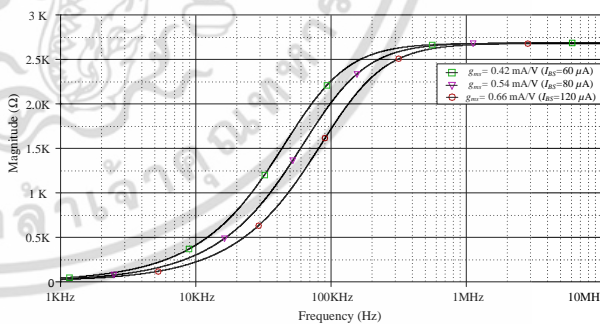
รูปที่ 3 โครงสร้างภายในวงจร VDTA ที่ใช้ในการจำลองการทำงาน [14]

การจำลองการทำงานจะกระทำภายใต้เทคโนโลยี TSMC 0.35- $\mu\text{m}$  CMOS เมื่อกำหนดให้อัตราส่วน  $W/L$  ( $\mu\text{m}/\mu\text{m}$ ) ของทรานซิสเตอร์ในวงจร VDTA เป็นดังต่อไปนี้  $M_1-M_2 = 16.1/0.7$ ,  $M_3-M_4 = 28/0.7$ ,  $M_5-M_6 = 16.1/0.7$ ,  $M_7-M_8 = 28/0.7$ ,  $M_9-M_{12} = 56/0.7$ ,  $M_{13} = 7/0.7$ ,  $M_{14}-M_{17} = 56/0.7$  และ  $M_{18} = 7/0.7$  แหล่งจ่ายไฟเลี้ยงที่ใช้เท่ากับ  $+V = -V = 2\text{ V}$

รูปที่ 4 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบตัวเหนี่ยวนำแบบขนานในรูปที่ 2 เปรียบเทียบกับผลตอบสนองทางทฤษฎี เมื่อกำหนดให้  $C_1 = 1\text{ nF}$ ,  $I_{BF} = 40\text{ }\mu\text{A}$  ( $g_{m1} \cong 0.38\text{ mA/V}$ ) และ  $I_{BS} = 60\text{ }\mu\text{A}$  ( $g_{m5} \cong 0.42\text{ mA/V}$ ) ซึ่งพบว่าผลการจำลองมีความใกล้เคียงกับผลทางทฤษฎีในช่วงความถี่ตั้งแต่ 10 kHz ถึง 1 MHz ซึ่งยืนยันคุณสมบัติการทำงานของวงจรขณะทำหน้าที่เป็นตัวเหนี่ยวนำได้เป็นอย่างดี นอกจากนี้ยังได้แสดงการแปรค่า  $L_{eq}$  ของวงจรที่นำเสนอในทางอิเล็กทรอนิกส์โดยการปรับกระแสไบอัส  $I_{BS}$  มีค่าเท่ากับ 60  $\mu\text{A}$ , 80  $\mu\text{A}$  และ 120  $\mu\text{A}$  เป็นผลให้อัตราขยายค่าความนำมีค่าเท่ากับ  $g_{m5} = 0.42\text{ mA/V}$ , 0.54 mA/V และ 0.66 mA/V ซึ่งทำให้  $R_{eq}$  มีค่าคงที่เท่ากับ 2.68 k $\Omega$  และค่า  $L_{eq}$  มีการเปลี่ยนแปลงเป็น 6.81 mH, 4.83 mH และ 3.98 mH ตามลำดับ ผลการจำลองผลตอบสนองทางขนาดแสดงดังรูปที่ 5 จะเห็นได้ว่าขนาดของวงจรที่นำเสนอนั้น แปรเปลี่ยนไปตามการแปรค่าของอัตราขยายค่าความนำ ซึ่งสอดคล้องเป็นไปตามหลักการทางทฤษฎีที่ได้กล่าวไว้ข้างต้น



รูปที่ 4 ผลตอบสนองทางความถี่ของวงจรเลียนแบบตัวเหนี่ยวนำในรูปที่ 2



รูปที่ 5 ผลตอบสนองทางขนาดของวงจรเลียนแบบตัวเหนี่ยวนำในรูปที่ 2

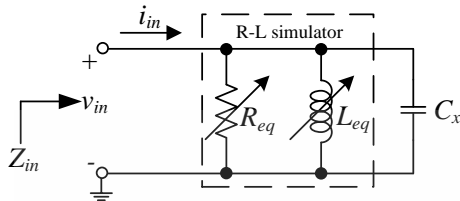
### 5. การประยุกต์ใช้งาน

หัวข้อนี้เป็นการนำเสนอแนวทางการประยุกต์ใช้วงจรที่นำเสนอในการออกแบบวงจรรีโซแนนซ์แบบขนานดังรูปที่ 6 กรณีนี้เลือกใช้  $C_x = 220\text{ pF}$  และกำหนดให้  $R_{eq} = 2.68\text{ k}\Omega$  และ  $L_{eq} = 6.81\text{ mH}$  ซึ่งสังเคราะห์จากวงจรที่นำเสนอในรูปที่ 2 จากนั้นทำการปรับ  $L_{eq}$  ให้มีค่าเปลี่ยนแปลงเป็น 6.81 mH, 4.83 mH และ 3.98 mH ตามลำดับ

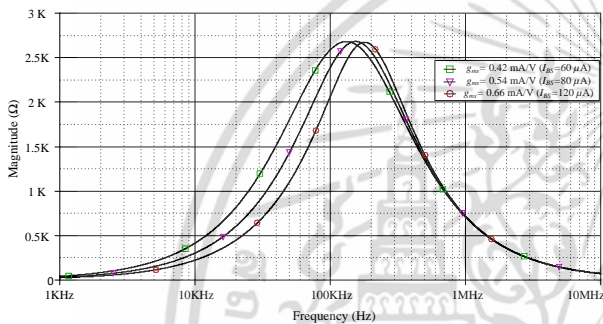
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า 25-27 พฤษภาคม พ.ศ. 2559 โรงแรมดวงจิตต์ รีสอร์ท แอนด์ สปา จังหวัดภูเก็ต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า  $R_{eq}$  ยังคงมีค่าคงที่เท่ากับ 2.68 k $\Omega$  การจำลองผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์ในรูปที่ 6 แสดงได้ดังรูปที่ 7 ซึ่งแสดงให้เห็นถึงคุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรที่นำเสนอ



รูปที่ 6 วงจรรีโซแนนซ์แบบขนาน



รูปที่ 7 ผลตอบสนองทางความถี่ของวงจรรีโซแนนซ์ในรูปที่ 6 เมื่อแปรค่า  $L_{eq}$

## 6. สรุป

บทความนี้ได้นำเสนอวงจรเลียนแบบตัวเหนี่ยวนำแบบขนานโดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟหลักจำนวนหนึ่งตัว และตัวเก็บประจุต่อที่ขั้วกราวด์จำนวนหนึ่งตัว โดยปราศจากตัวต้านทานพาสซีฟจากภายนอก จึงทำให้โครงสร้างวงจรที่นำเสนอเหมาะสมกับแนวทางการนำไปออกแบบสร้างเป็นวงจรรวม อีกทั้งค่าความเหนี่ยวนำสมมูลของวงจรที่นำเสนอสามารถแปรค่าและควบคุมได้ด้วยกระแสไบอัสจากภายนอกของวงจร ผลการทดสอบคุณสมบัติการทำงานของวงจรด้วยโปรแกรมจำลองการทำงาน PSPICE ได้แสดงให้เห็นว่าวงจรที่ได้นำเสนอขึ้นในบทความนี้มีผลการทดสอบสอดคล้องเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

## เอกสารอ้างอิง

[1] C. Psychalinos and A. Spanidou, "Current amplifier-based grounded and floating inductance simulators", *International Journal of Electronics and Communications (AEU)*, vol.60, pp.168-171, 2006.  
 [2] E. Yuce, "Inductor implementation using a canonical number of active and passive elements", *International Journal of Electronics*, vol.94, no.4, pp.317-326, 2007.

[3] E. Yuce, "Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components", *Analog Integrated Circuits and Signal Processing*, vol. 59, no.1, pp.77-82, 2009.  
 [4] D. Prasad, D. R. Bhaskar, and A. K. Singh, "New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers", *Radioengineering*, vol.19, no.1, pp.194-198, 2010.  
 [5] F. Kaçar, H. Kuntman, "CFOA-based lossless and lossy inductance simulators", *Radioengineering*, vol. 20, no.3, pp.627-631, 2011.  
 [6] H. Kuntman, M.Gulsoy, O.Cicekoglul, "Actively simulated grounded lossy inductors using third generation current conveyor", *Microelectronics Journal*, vol.31, no.4, pp.245-250, 2000.  
 [7] U. Cam, F. Kacar, O. Cicekoglul, H. Kuntman, A. Kuntman, "Novel grounded parallel immittance simulator topologies employing single OTRA" *International Journal of Electronics and Communications (AEU)*, vol.57, no.4, pp.287-290, 2003.  
 [8] F. Kacar, A. Yesil "Novel grounded parallel inductance simulator realization using a minimum number of active and passive components" *Microelectronics Journal* vol.41, no.1, pp.632-638, 2010.  
 [9] H. Yu Wang, C. Ting Lee "Systematic synthesis of R-L and C-D immittances using single CCIII" *International Journal of Electronics* vol.87, no.3, pp.293-301, 2000.  
 [10] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, "Lossy/lossless floating/grounded inductance simulation using one DDCC", *Radioengineering*, vol.21, no.1, pp.3-10, 2012.  
 [11] H. Alpaslan, E. Yuce "Inverting CFOA based lossless and lossy grounded inductor simulators", *Circuits Systems and Signal Processing*, vol. 34, no.10, pp.3081-3100, 2015.  
 [12] F. Kaçar, A. Yesil, S. Minaei, H. Kuntman "Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements" *International Journal of Electronics and Communications (AEU)*, vol.68, no.1, pp.73-78, 2014.  
 [13] A. Yesil, F. Kaçar, H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol.20, no.3, pp. 632-637, 2011  
 [14] J. Satansup, T. Pukkalanun and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements", *Circuits Systems and Signal Processing*, vol.32, no.3, pp.945-957, 2013.  
 [15] A. F. Arbel, L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integrated Circuits and Signal Processing*, vol.2, no.3, pp.243-255, 1992.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายภานุรุจ ยะเรื่อน
วัน-เดือน-ปีเกิด	วันที่ 1 กรกฎาคม พ.ศ. 2533
ที่อยู่	55 ซอย นนทบุรี 8 แยก 4/3 ตำบลบางกระสอ อำเภอเมืองนนทบุรี จังหวัดนนทบุรี 11000
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรี หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมเมคคาทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีปทุมวัน ปีการศึกษา 2554 และได้เข้าศึกษาต่อระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้