

การออปติไมซ์การเขียนและอ่านเซลล์หน่วยความจำแบบแนนแฟลช

READ AND WRITE OPTIMIZATION IN NAND FLASH MEMORY



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2560

KMITL-2017-EN-M-010-138

การออปติไมซ์การเขียนและอ่านเซลล์หน่วยความจำแบบแฟลช

READ AND WRITE OPTIMIZATION IN NAND FLASH MEMORY



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2560

KMITL-2017-EN-M-010-138

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ AND WRITE OPTIMIZATION IN NAND FLASH MEMORY

The seal of King Mongkut's Institute of Technology Ladkrabang is a circular emblem. It features a central five-tiered stupa with a sunburst above it. The stupa is flanked by two smaller three-tiered stupa-like structures. The entire emblem is surrounded by a decorative border with Thai script. The name 'CHATUPORN DUANGTHONG' is printed across the center of the seal.

CHATUPORN DUANGTHONG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2017

KMITL-2017-EN-M-010-138

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2017

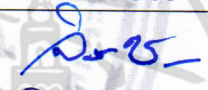


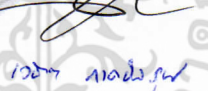

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การถอดไม่ซ์การเขียนและอ่านเซลล์หน่วยความจำแบบแฟลช
Thesis Title Read and Write Optimiaztion in NAND Flash Memory
นักศึกษา นายจตุพร ด้วงทอง
รหัสประจำตัว 58601143
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.เวธิต ภาคย์พิสุทธิ์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ (ร่วม) ศ.ดร.พรชัย ทรัพย์นิธิ
หมายเลขวิทยานิพนธ์ KMITL-2017-EN-M-010-138

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.จิระศักดิ์	ชาญวุฒิธรรม	
ศ.ดร.พรชัย	ทรัพย์นิธิ	
ผศ.ดร.สิรภาพ	ตู้ประกาย	
ผศ.ดร.สุทธิชัย	นพนาศิพงษ์	
ดร.เวธิต	ภาคย์พิสุทธิ์	

วัน / เดือน/ ปี ที่สอบ วันจันทร์ที่ 17 กรกฎาคม พ.ศ. 2560 เวลา 09.00-11.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

ฉบับที่ คณะวิศวกรรมศาสตร์
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
วันที่ 17 กรกฎาคม พ.ศ. 2560
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การถอดรหัสการเขียนและอ่านเซลล์หน่วยความจำแบบแนวนอนแฟลช
นักศึกษา	นายจตุพร ต้วงทอง
รหัสประจำตัว	58601143
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร. เวชิต ภาคย์พิสุทธิ
อาจารย์ที่ปรึกษาวิทยานิพนธ์ (ร่วม)	ศ.ดร. พรชัย ทรัพย์นิธิ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อศึกษาอุปกรณ์บันทึกข้อมูลแบบแฟลช โดยแบ่งการศึกษาออกเป็น 2 ส่วน คือ 1) การถอดรหัสการเขียนและอ่านเซลล์หน่วยความจำสำหรับโครงสร้าง Bit-Interleaved Code Modulation (BICM) และ Multilevel Coding (MLC) โดยในโครงสร้าง BICM มีจุดประสงค์เพื่อลดอัตราบิดผิดพลาด และในโครงสร้าง MLC มีเป้าหมายเพื่อให้อัตราบิดผิดพลาดของบิต Most Significant Bit (MSB) และ Least Significant Bit (LSB) มีค่าใกล้เคียงกัน สำหรับการเข้ารหัสแอสติฟิซีที่มีอัตรารหัสเท่ากัน และ 2) การถอดรหัสการอ่านเซลล์หน่วยความจำเพื่อให้อัตราบิดผิดพลาดหลังการถอดรหัสแอสติฟิซีมีค่าต่ำสุด โดยในงานวิจัยฉบับนี้ได้นำเสนอวิธีการถอดรหัสการเขียนเซลล์ โดยใช้อัลกอริทึมการค้นหาที่สามารถความซับซ้อนในการถอดรหัส ส่วนการถอดรหัสการอ่านเซลล์งานวิจัยนี้ได้เสนอวิธีการเดนซิทีอีโวลูชัน (Density Evolution) ซึ่งเป็นการวิเคราะห์สมรรถนะอัตราบิดผิดพลาดหลังการถอดรหัสแอสติฟิซี ผลการวิจัย การถอดรหัสการเขียนสำหรับโครงสร้าง MLC และ BICM สำหรับโครงสร้าง MLC อัตราบิดผิดพลาดของ MSB และ LSB มีค่าเท่ากัน และโครงสร้าง BICM ให้อัตราบิดผิดพลาดต่ำกว่าการเขียนเซลล์ที่ไม่มีการถอดรหัส ในส่วนของการถอดรหัสการอ่านเซลล์ทำให้ลดอัตราบิดผิดพลาดลงและจะเห็นได้ชัดเมื่อ SNR สูงขึ้น การจำลองทั้งหมดในงานวิจัยนี้ดำเนินการโดยใช้โปรแกรมแมทแล็บ

Thesis	Read and Write Optimization in NAND Flash Memory
Student	Mr. Chatuporn Duangthong
Student ID.	58601143
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2017
Thesis Advisor	Dr. Watid Phakphisut
Thesis Co-advisor	Prof. Dr. Pornchai Supnithi

ABSTRACT

This thesis is aimed to study the NAND flash memory. We have divided the problem into 2 parts. 1) The write optimization for the Bit-Interleaved Code Modulation (BICM) and Multilevel Coding (MLC) structure. In BICM structure, the purpose is to decrease the bit error rate (BER) performance and in MLC structure, the BER performance of Most Significant Bit (MSB) and Least Significant Bit (LSB) are equalized for the same code rate LDPC. 2) The read optimization is aimed to complete the best bit error rate (BER) performance. In this research, we propose the search algorithm to reduce the combination of threshold voltage for the write optimization. For read optimization, the density evolution is proposed to analyze the BER performance of an LDPC code for finding the optimal read voltage. This study thus contributes to the search algorithm can achieve the best BER performance in BICM and MLC structure for the write optimization. And in the read optimization, the BER performance is decreased for the high SNR. We use the MATLAB program for all simulation in this research.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี เนื่องจากความสนับสนุนจากบุคลากรจากทุกภาคส่วน ลำดับแรกขอกราบขอบพระคุณคุณแม่และญาติพี่น้องสำหรับกำลังใจและการสนับสนุนในทุกๆ ด้าน ขอพระคุณขอคุณ ดร. เจริต ภาคย์พิสุทธิ อาจารย์ที่ปรึกษาวิทยานิพนธ์และ ศ.ดร. พรชัย ทรัพย์นิธิ อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม ที่ช่วยให้คำปรึกษาตลอดงานวิจัยในวิทยานิพนธ์ฉบับนี้ รวมถึงคณาจารย์ทั้งหลายที่คอยชี้แนะและประสิทธิ์ประสาทวิชาแก่ข้าพเจ้า ขอขอบคุณทุนการศึกษาจากสำนักงานคณะกรรมการการอุดมศึกษา (สกอ.) ที่ช่วยสนับสนุนค่าใช้จ่ายในระยะเวลาการทำงานวิจัยนี้

จิตุพร ด้วงทอง



III
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	IX
บทที่ 1 บทนำ	
1.1 ที่มาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์.....	3
1.3 ขอบเขตของการศึกษา.....	3
บทที่ 2 หน่วยความจำแบบแฟลช	
2.1 หน่วยความจำแบบแฟลช.....	4
2.2 ทรานซิสเตอร์แบบโพลติงเกต (floating Gate Transistor).....	6
2.3 การอ่านเซลล์หน่วยความจำ.....	7
2.3.1 การตัดสินใจแบบฮาร์ด.....	7
2.3.2 การตัดสินใจแบบซอฟต์.....	9

สารบัญ (ต่อ)

	หน้า
2.4 แบบจำลองช่องสัญญาณหน่วยความจำแบบแนวนแนฟลซ.....	12
2.4.1 สัญญาณรบกวนที่เกิดจากการลบค่าในเซลล์.....	13
2.4.2 สัญญาณรบกวนที่เกิดจากการโปรแกรมค่า.....	13
2.4.3 สัญญาณรบกวนโทรเลขแบบสุ่ม (Random telegraph noise : RTN).....	14
2.4.4 การแทรกสอดระหว่างเซลล์ (Cell-to-cell interference).....	15
2.4.5 สัญญาณรบกวนจากระยะเวลาการเก็บข้อมูล (Data retention noise).....	17
2.5 แบบจำลองช่องสัญญาณแฟลชเชิงคณิตศาสตร์.....	18
บทที่ 3 การถอดรหัสการเขียน	
3.1 อัลกอริทึมการค้นหา (Search Algorithm).....	23
3.2 การถอดรหัสการเขียนของโครงสร้าง BICM.....	24
3.3 การถอดรหัสการเขียนของโครงสร้าง MLC.....	27
บทที่ 4 การถอดรหัสการอ่านหน่วยความจำแบบแฟลช	
4.1 การหาแรงดันอ่านเซลล์ 2 ครั้ง โดยวิธีการควบคุมความกว้างอีเรเซอร์ด้วยเอนโทรปี (Erasure Width Controlled by Entropy).....	33
4.2 การหาแรงดันอ่านเซลล์ 2 ครั้งโดยวิธีการข่าวสารร่วมสูงสุด (Maximum Mutual Information: MMI).....	35
4.3 การหาแรงดันอ่านเซลล์ 2 ครั้งโดยวิธีการเดนซิติอีโวลูชัน (Density Evolution).....	40

สารบัญ (ต่อ)

หน้า

บทที่ 5 ผลการทดลองและการอภิปรายผล

5.1 การอพติไมซ์การเขียนเซลล์หน่วยความจำ.....	46
5.1.1 อัลกอริทึมการค้นหา (Search Algorithm).....	47
5.1.2 การอพติไมซ์การเขียนสำหรับโครงสร้าง BICM และ MLC.....	48
5.1.3 การอพติไมซ์การเขียนสำหรับโครงสร้าง BICM และ MLC ร่วมกับรหัสแอลดีพีซี.....	51
5.2 การอพติไมซ์การอ่านเซลล์หน่วยความจำ.....	53
5.2.1 การอพติไมซ์การอ่าน 2 ครั้งโดยวิธีค้นหาแบบฮิวริสติก (Heuristic search).....	53
5.2.2 การอพติไมซ์การอ่านด้วยวิธี MMI.....	55
5.2.3 การอพติไมซ์การอ่านด้วยวิธีเอนโทรปี (Entropy).....	56
5.2.4 การอพติไมซ์การอ่านโดยวิธีเดนซิตีอีโวลูชัน (Density evolution).....	59
5.2.5 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดการอพติไมซ์ x_1 และ x_2	60

บทที่ 6 สรุปผลและข้อเสนอแนะ

6.1 สรุปผล.....	61
6.1.1 การอพติไมซ์การเขียนเซลล์.....	61
6.1.2 การอพติไมซ์การอ่านเซลล์.....	62
6.2 ข้อเสนอแนะ.....	62

เอกสารอ้างอิง.....	63
--------------------	----

สารบัญ (ต่อ)

	หน้า
ภาคผนวก	
ผลงานที่ได้รับการตีพิมพ์.....	65
ประวัติผู้เขียน.....	66



สารบัญตาราง

ตารางที่	หน้า
2.1 การเปรียบเทียบข้อดีและข้อเสียในหน่วยความจำแบบแฟลช.....	5
3.1 ขั้นตอนการอพยพข้อมูลการเขียนของโครงสร้าง BICM.....	27
3.2 อัลกอริทึมการค้นหาสำหรับโครงสร้าง MLC.....	31



สารบัญรูป

รูปที่	หน้า
2.1 การจัดโครงสร้างเซลล์หน่วยความจำแบบแชนแนลแฟลช.....	4
2.2 การจัดโครงสร้างเซลล์หน่วยความจำแบบนอร์แฟลช.....	5
2.3 ทรานซิสเตอร์แบบโพลติงเกต (floating gate transistor).....	6
2.4 การอ่านข้อมูลจากเซลล์หน่วยความจำ.....	7
2.5 ความผันผวนของแรงดันเทรสโวลต์จากสัญญาณรบกวน.....	8
2.6 ฮิสโตแกรมของแรงดันเทรสโวลต์.....	8
2.7 การตัดสินใจแบบฮาร์ดสำหรับการบันทึก 2 บิตต่อเซลล์.....	9
2.8 การอ่านซอฟต์แวร์จากเซลล์หน่วยความจำ 1 บิต/เซลล์.....	10
2.9 การตัดสินใจแบบซอฟต์แวร์สำหรับการบันทึก 2 บิตต่อเซลล์.....	10
2.10 ช่องสัญญาณหน่วยความจำแบบแฟลช.....	12
2.11 การโปรแกรมด้วยวิธี program-and-verify.....	13
2.12 การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอน (Electron emission).....	15
2.13 การแทรกสอดของเซลล์ในโครงสร้างคู่/คี่.....	16
3.1 กราฟของสมการ $z = x^2 + y^2$ ในมุมมอง x และ y	23
3.2 การอพติไมซ์หาจุดต่ำสุดของสมการ $z = x^2 + y^2$	24
3.3 วงจรการสื่อสารที่มีโครงสร้าง BICM.....	25
3.4 การอพติไมซ์การเขียนของโครงสร้าง BICM.....	26

สารบัญญรูป (ต่อ)

รูปที่	หน้า
3.5 วงจรสื่อสารที่ใช้โครงสร้างแบบ MLC/PID.....	27
3.6 การหาอัตราบิดผิดพลาดของ MSB จากพื้นที่ใต้กราฟ.....	29
3.7 การหาอัตราบิดผิดพลาดของ LSB จากพื้นที่ใต้กราฟ.....	30
3.8 กราฟอัตราบิดผิดพลาดของ MSB และ LSB.....	31
3.9 กราฟอัตราบิดผิดพลาดของ $ P_{e_{MSB}} - P_{e_{LSB}} $	31
4.1 การแจกแจงความหนาแน่นความน่าจะเป็นของ SLC.....	35
4.2 ความน่าจะเป็นที่ตัดสินใจผิดพลาด.....	36
4.3 ความน่าจะเป็นอีเรเซอร์.....	37
4.4 ความน่าจะเป็นที่ตัดสินใจผิดพลาด.....	38
4.5 ช่องสัญญาณ DMC สำหรับการอ่านเซลล์หน่วยความจำ 2 ครั้ง.....	39
4.6 ตัวอย่างเมทริกซ์พาริตีเชค H	41
4.7 กราฟแทนเนอร์ของเมทริกซ์พาริตีเชค H	41
4.8 พีดีเอฟช่องสัญญาณที่อ่านได้ในหน่วยความจำแบบแชนแนล.....	42
4.9 การเปลี่ยนแปลงพีดีเอฟเมื่อคำนวณค่า LLR ที่ไหนดบิต.....	43
4.10 การเปลี่ยนแปลงพีดีเอฟเมื่อคำนวณค่า LLR ที่ไหนดเชค.....	44
4.11 การคำนวณค่าอัตราบิดผิดพลาดจากพีดีเอฟสุดท้ายหลังการถอดรหัสแอลดีพีซี.....	45
5.1 ช่องสัญญาณของหน่วยความจำแบบแฟลชที่บันทึก 2 บิตต่อเซลล์.....	47

สารบัญญรูป (ต่อ)

รูปที่	หน้า
5.2 การลู่เข้าสู่ค่าต่ำสุดของอัลกอริทึม.....	48
5.3 อัตราบิดผิดพลาดหลังการถอดรหัสการเขียนของโครงสร้าง BICM.....	49
5.4 อัตราบิดผิดพลาดหลังการถอดรหัสการเขียนของโครงสร้าง MLC/PID.....	50
5.5 อัตราบิดผิดพลาดของโครงสร้าง BICM ที่ใช้รหัสแอลดีพีซีรวม.....	52
5.6 อัตราบิดผิดพลาดของโครงสร้าง MLC/PID ที่ใช้รหัสแอลดีพีซีรวม.....	52
5.7 อัตราบิดผิดพลาดของช่องสัญญาณแบบสมมาตรสำหรับการอ่านสองครั้ง.....	54
5.8 สมรรถนะของการอ่าน 2 ครั้ง จากการจำลองทั้งระบบ.....	55
5.9 แนวโน้มค่า W_E ตามวิธี MMI.....	56
5.10 ช่องสัญญาณแบบเกาส์เขียนและเอนโทรปี.....	57
5.11 การควบคุมความกว้างของอีเรเซอร์ (W_E) ด้วยเอนโทรปี.....	57
5.12 แนวโน้มค่า W_E จากวิธีเอนโทรปี.....	58
5.13 แนวโน้มของค่า W_{HE} โดยวิธีเดนซิตีอีโวลูชัน.....	59
5.14 การเปรียบเทียบสมรรถนะของอัตราบิดผิดพลาด.....	60

บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญของปัญหา

การบันทึกข้อมูลในหน่วยความจำแบบแฟลชเป็นเทคโนโลยีที่จะเข้ามามีบทบาทแทนที่การบันทึกข้อมูลเชิงแม่เหล็ก เช่น คอมพิวเตอร์ส่วนบุคคล อุปกรณ์บันทึกข้อมูลภายนอก (External hard disk drive) รวมไปถึงอุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ ที่นิยมใช้กันมากในปัจจุบันนี้ได้แก่ กล้องถ่ายรูป ดิจิทัล โทรศัพท์มือถือสมาร์ทโฟน อุปกรณ์แท็บเล็ต (Tablet) เป็นต้น เนื่องจากอุปกรณ์บันทึกข้อมูลแบบแฟลชมีฟีเจอร์ที่น่าสนใจ ไม่ว่าจะเป็นเวลาที่ใช้อ่านและเขียนข้อมูลที่รวดเร็วและการใช้พลังงานไฟฟ้าที่น้อยกว่า การเพิ่มความหนาแน่นในการบันทึกข้อมูลแบบแฟลชเป็นวิธีการหนึ่งที่จะเพิ่มความน่าสนใจของอุปกรณ์บันทึกข้อมูลแบบแฟลช ซึ่งสามารถทำได้โดยการจัดเก็บมากกว่า 1 บิตในเซลล์หน่วยความจำหรือที่เรียกว่า Multi-level cell (MLC) อย่างไรก็ตามการเพิ่มจำนวนบิตต่อเซลล์นั้นจะเผชิญกับปัญหาที่สำคัญคือการอ่านและการเขียนเซลล์หน่วยความจำ ปัญหาหลักดังกล่าวคือการที่ระดับแรงดันเทรสโฮลด์ที่ใช้แทนบิตข้อมูลมีการเลื่อนไปหรือมีการเปลี่ยนแปลงไปจากค่าเดิมที่บันทึกไว้ซึ่งมีสาเหตุมาจากการโปรแกรม/ลบเซลล์หลายครั้งและการที่เซลล์ถูกเก็บไว้ในเซลล์เป็นระยะเวลาอันส่งผลให้ค่าแรงดันเทรสโฮลด์มีการเลื่อนไปเช่นกัน [1]

ข้อสังเกตของการบันทึกข้อมูลแบบแฟลชสามารถพิจารณาได้เป็นข้อสังเกตสื่อสารที่ใช้การมอดูเลชันแบบ pulse-amplitude modulation (PAM) ทำให้การเข้ารหัสแก้ไขบิตผิดพลาดสามารถแบ่งเป็นโครงสร้าง Multi-Level Coding (MLC) และโครงสร้าง Bit-Interleaved Coded Modulation (BICM) [2]-[5] สำหรับโครงสร้างแบบ MLC นั้นข้อมูลจะถูกแยกออกเป็นบล็อกย่อยขนาดกันหลาย ๆ บล็อก แต่ละบล็อกจะถูกเข้ารหัสแก้ไขบิตผิดพลาดโดยใช้อัตราหัสเดียวกันหรือแตกต่างกันหลังจากนั้นคำรหัสที่ได้จะถูกแมปให้เป็นระดับสัญญาณเพื่อใช้ในการบันทึกข้อมูล ในทางตรงข้ามโครงสร้าง BICM ข้อมูลบิตจะไม่ถูกแยกเป็นบล็อกย่อยหลาย ๆ บล็อกและการเข้ารหัสแก้ไขบิตผิดพลาดจะใช้อัตราหัสเพียงอัตราหัสเดียวโดยคำรหัสจะถูกสลับบิต (Interleaved bit) แล้วจึงแมปบิตไปเป็นระดับสัญญาณเพื่อใช้ในการบันทึกข้อมูล ในงานวิจัย [6] ได้นำเสนอวิธีการออปติไมซ์การเขียนเซลล์โดยการมินิไมซ์ (Minimization) ความน่าจะเป็นความผิดพลาด (Error Probability) สำหรับโครงสร้าง BICM อย่างไรก็ตามโครงสร้าง MLC ยังไม่ถูกนำมาพิจารณาด้วย ดังนั้นในงานวิจัยนี้ได้นำเสนออัลกอริทึมการค้นหา (Search Algorithm) สำหรับการออปติไมซ์การเขียนเซลล์ทั้งในโครงสร้าง MLC และ BICM สำหรับโครงสร้าง BICM นั้น อัลกอริทึมการค้นหาสามารถลดจำนวนคอมบิเนชัน (Combination) ของแรงดันเขียนเซลล์ที่เป็นไปได้ทั้งหมดลงและยังให้ค่าแรงดันในการเขียนที่เหมาะสมสำหรับในแต่ละการโปรแกรม/ลบเซลล์ในแต่ละรอบ และสำหรับโครงสร้าง MLC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัลกอริทึมการค้นหาค่าจะปรับให้สมรรถนะอัตราบิดผิดพลาด (BER) ของบิตที่ 1 (Most Significant Bit: MSB) และบิตที่ 2 (Least Significant Bit: LSB) ให้เท่ากัน

การอ่านระดับแรงดันจากเซลล์โดยอาศัยการตัดสินใจแบบฮาร์ด (Hard decision) จะอาศัยระดับแรงดันไฟฟ้าเพียงค่าเดียวในการตัดสินใจว่าแรงดันเทอร์สโวลต์ที่อยู่ในเซลล์หน่วยความจำเป็นบิต '0' หรือบิต '1' การตัดสินใจแบบฮาร์ดนั้น ในอดีตใช้ร่วมกับรหัส BCH [7] ซึ่งเป็นรหัสแก้ไขความผิดพลาดที่ใช้ร่วมกับการบันทึกข้อมูลแบบแฟลช ในงานวิจัย [8] มีการนำรหัสแอลดีพีซีที่มีสมรรถนะในการแก้ไขความผิดพลาดบิตที่ดีกว่ารหัส BCH เข้ามาใช้ในหน่วยความจำแบบแฟลช สำหรับรหัสแอลดีพีซีนั้นต้องการใช้การตัดสินใจแบบซอฟต์ (Soft decision) มาใช้ในการถอดรหัส ดังนั้นการอ่านเซลล์หน่วยความจำของระบบบันทึกข้อมูลแบบแฟลชเพื่อให้ได้ค่าซอฟต์นั้นเป็นปัญหาที่มีความสำคัญอย่างยิ่ง ในปี ค.ศ. 2011 G. Dong [8] ได้มีการนำเสนอการอ่านเซลล์แบบไม่สม่ำเสมอ ซึ่งเป็นการแบ่งระดับแรงดันการอ่านที่ไม่เท่ากัน ต่อมาในปีเดียวกัน Jiadong Wang and Thomas Courtade [9] ได้นำเสนอวิธีการแบ่งระดับการอ่านโดยใช้วิธีการ Maximized Mutual Information (MMI) ซึ่งวิธีนี้มีข้อดีคือสามารถแบ่งระดับการอ่านได้หลายระดับ โดยระดับแรงดันไฟฟ้าที่ใช้จะถูกรูปให้เป็นค่าที่ทำให้ค่าข่าวสารรวมมีค่าสูงสุด แต่วิธีการดังกล่าวมีข้อเสียคือค่าแรงดันไฟฟ้าที่ใช้จะอ่านเซลล์ไม่ได้ให้ค่าอัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีที่ต่ำที่สุดเนื่องจากไม่ได้มีการพิจารณาค่าแรงดันไฟฟ้าที่ใช้จะอ่านเซลล์ร่วมกับการถอดรหัสแอลดีพีซี ต่อมาในปี ค.ศ. 2016 Chaudhry Adnan Aslam [6] ได้นำเสนอวิธีการที่จะควบคุมให้ระดับแรงดันไฟฟ้าที่ใช้จะอ่านเซลล์ให้เป็นค่าที่ทำให้ค่าอัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีที่ต่ำที่สุด โดยอาศัยค่าเอนโทรปี (Entropy) และการออปติไมซ์ (Optimization) หากระดับแรงดันไฟฟ้าที่ใช้จะอ่านเซลล์ที่ให้ค่าอัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีที่ต่ำที่สุด ซึ่งวิธีนี้ให้อัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีที่ต่ำกว่าวิธีการ MMI แต่มีข้อเสียคือไม่มีความยืดหยุ่นในการกำหนดระดับแรงดันอ่านเซลล์ และการออปติไมซ์ค่าอัตราบิดผิดพลาดมีความซับซ้อน ดังนั้นในงานวิจัยนี้จึงนำเสนอการประยุกต์ใช้วิธีการเดนซิติอีโวลูชัน (Density evolution) [20] ข้อดีของวิธีนี้คือ วิเคราะห์หากระดับแรงดันไฟฟ้าที่ใช้จะอ่านเซลล์ ที่เหมาะสมกับการถอดรหัสแอลดีพีซี ซึ่งวิธีการจากงานวิจัยก่อนหน้านี้นี้ไม่ได้พิจารณาในส่วนนี้

1.2 ความมุ่งหมายและวัตถุประสงค์

ในวิทยานิพนธ์ฉบับนี้ประกอบด้วยงานวิจัย 2 เรื่อง ได้แก่

1. การถอดรหัสแรงดันไฟฟ้าที่ใช้เขียนเซลล์หน่วยความจำสำหรับโครงสร้าง BICM และ MLC โดย การถอดรหัสการเขียนเซลล์สำหรับโครงสร้าง BICM มีเป้าหมายเพื่อลดอัตราบิดเบือนผลจากการถอดรหัสการเขียนเซลล์สำหรับโครงสร้าง MLC มีเป้าหมายเพื่อให้อัตราบิดเบือนผลของบิต Most Significant Bit (MSB) และ Least Significant Bit (LSB) มีค่าใกล้เคียงกันมากที่สุดทำให้สามารถเข้ารหัสแอสติฟิซีด้วยอัตรารหัสเดียวกัน

2. การถอดรหัสแรงดันไฟฟ้าที่ใช้อ่านเซลล์หน่วยความจำเพื่อให้อัตราบิดเบือนผลหลังการถอดรหัสแอสติฟิซีมีค่าต่ำสุด โดยประยุกต์ใช้เทคนิคอีโวลูชัน เพื่อให้ได้ระดับแรงดันการอ่านเซลล์ที่ดีที่สุด

1.3 ขอบเขตของการศึกษา

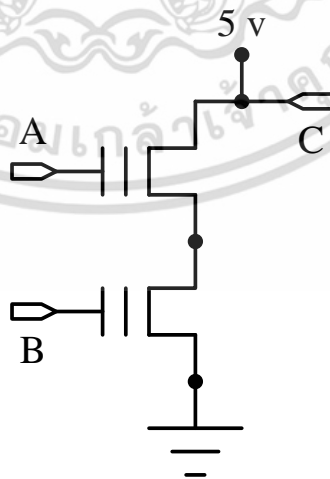
ในงานวิจัยนี้จะศึกษาปัญหาในเซลล์หน่วยความจำหลักสองเรื่องด้วยกันคือการเขียนเซลล์และการอ่านเซลล์ สำหรับการเขียนเซลล์จะใช้แบบจำลองช่องสัญญาณจากงานวิจัย [6], [8] สำหรับการอ่านเซลล์จะใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียนและใช้ค่าแรงดันเทรชโฮลด์ (Threshold voltage) 2 ระดับ เพื่อให้ง่ายต่อการศึกษาวิจัย ในส่วนของเครื่องมือที่ใช้ในการศึกษาและจำลองนั้น ผลการศึกษาและวิธีที่นำเสนอในงานวิจัยนี้จะจำลองโดยใช้โปรแกรมแมทแลบ

บทที่ 2

หน่วยความจำแบบแฟลช

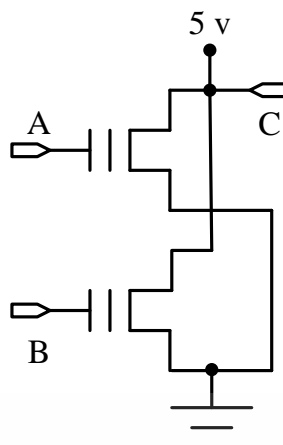
2.1 หน่วยความจำแบบแฟลช

หน่วยความจำแบบแฟลชเป็นหน่วยความจำแบบไม่สามารถลบเลือนได้ (nonvolatile memories) กล่าวคือ สามารถที่จะรักษาข้อมูลไว้ได้ แม้ว่าไม่มีไฟฟ้าจ่ายให้หน่วยความจำ คำว่าแฟลชนั้นมีที่มาจาก การลบค่าทุกเซลล์ในหนึ่งบล็อกพร้อมกันอย่างรวดเร็ว หน่วยความจำแบบแฟลชมี 2 ประเภทด้วยกัน คือ หน่วยความจำแบบนอร์แฟลช (NOR Flash Memory) และหน่วยความจำแบบแนนแฟลช (NAND Flash memory) หน่วยความจำทั้ง 2 ประเภทนี้ใช้ทรานซิสเตอร์แบบโพลติงเกต (Floating Gate Transistor : FGT) เป็นเซลล์สำหรับบันทึกข้อมูลเหมือนกัน แต่ว่าการแบ่งประเภทจะแบ่งจากการจัดเรียงโครงสร้างของเซลล์หน่วยความจำในบล็อก โดยหน่วยความจำแบบแนนแฟลชมีการจัดเรียงเซลล์หน่วยความจำดังรูปที่ 2.1 และหน่วยความจำแบบแนนแฟลชมีการจัดเรียงเซลล์หน่วยความจำดังรูปที่ 2.2 หน่วยความจำแบบนอร์แฟลชถูกสร้างขึ้นมาครั้งแรกโดยบริษัทอินเทล (Intel) ในปี ค.ศ. 1988 และหน่วยความจำแบบแนนแฟลชถูกสร้างขึ้นโดยบริษัทโตชิบา (Toshiba) ในปี ค.ศ. 1989



รูปที่ 2.1 การจัดโครงสร้างเซลล์หน่วยความจำแบบแนนแฟลช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การจัดโครงสร้างเซลล์หน่วยความจำแบบนอร์แฟลช

เนื่องจากหน่วยความจำแบบนอร์แฟลชและหน่วยความจำแบบแฟลชถูกแบ่งประเภทด้วยโครงสร้างของการจัดเรียงเซลล์ในบล็อก ดังนั้นข้อดีและข้อเสียดังตารางที่ 2.1 จะขึ้นกับโครงสร้างของการจัดเรียงเซลล์หน่วยความจำ โครงสร้างของหน่วยความจำแบบแฟลชจะมีขนาดเล็กกว่า การโครงสร้างของเซลล์หน่วยความจำแบบนอร์แฟลชถึง 60 เพอร์เซ็นต์ และหน่วยความจำแบบแฟลชยังมีการแบ่งข้อมูลเป็นเซกเตอร์ (Sector) คล้ายกับในอุปกรณ์บันทึกข้อมูลฮาร์ดดิสก์ไดรฟ์ (Hard Disk Drive: HDD) เหมาะสำหรับบันทึกข้อมูลภาพ เสียง เพลง หรือวิดีโอ

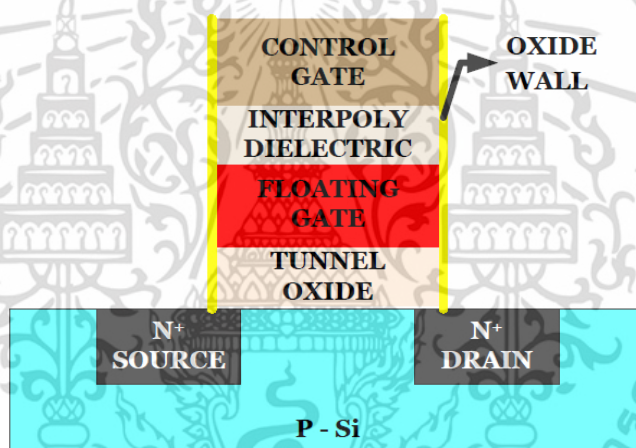
ตารางที่ 2.1 การเปรียบเทียบข้อดีและข้อเสียในหน่วยความจำแบบแฟลช

	NAND Flash	NOR Flash
ข้อดี	<ul style="list-style-type: none"> ● การโปรแกรมเซลล์รวดเร็ว ● การลบเซลล์ที่รวดเร็ว 	<ul style="list-style-type: none"> ● มีการเข้าถึงแบบสุ่มที่รวดเร็ว ● สามารถโปรแกรมเป็นไบต์ได้
ข้อเสีย	<ul style="list-style-type: none"> ● เข้าถึงแบบสุ่มช้า ● โปรแกรมเซลล์เป็นไบต์ยากกว่า 	<ul style="list-style-type: none"> ● การโปรแกรมเซลล์ที่ช้ากว่า ● การลบเซลล์ที่ช้ากว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทรานซิสเตอร์แบบโพลติงเกต (floating Gate Transistor)

ทรานซิสเตอร์แบบโพลติงเกต (Floating Gate Transistor : FGT) เป็นทรานซิสเตอร์แบบพื้นฐานที่ส่วนใหญ่นิยมใช้กันแพร่หลาย ซึ่งมีลักษณะคล้ายกับทรานซิสเตอร์แบบ MOS ต่างกันที่มีการเพิ่มชั้นโพลติงเกต (Floating gate) เข้าไประหว่างแชนแนล (Channel) และ เกตควบคุม (Control gate) ดังรูปที่ 2.3 ซึ่งโพลติงเกตถูกล้อมรอบด้วยฉนวนเพื่อช่วยในการเก็บรักษาประจุ (Charge) ให้อยู่ในชั้นโพลติงเกต การเก็บรักษาอิเล็กตรอนนี้ยาวนานพอ (ประมาณ 10 ปี) จึงจัดอยู่ในกลุ่มหน่วยความจำแบบไม่สามารถลบเลือนได้ (Non-volatile memory) การมีหรือการไม่มีประจุภายในชั้นโพลติงเกตส่งผลต่อระดับแรงดันเทรชโฮลด์ (Threshold Voltage) ของทรานซิสเตอร์แบบโพลติงเกต ซึ่งใช้ในการจำแนกความแตกต่างระหว่างบิต “1” กับบิต “0”



รูปที่ 2.3 ทรานซิสเตอร์แบบโพลติงเกต (floating gate transistor) [10]

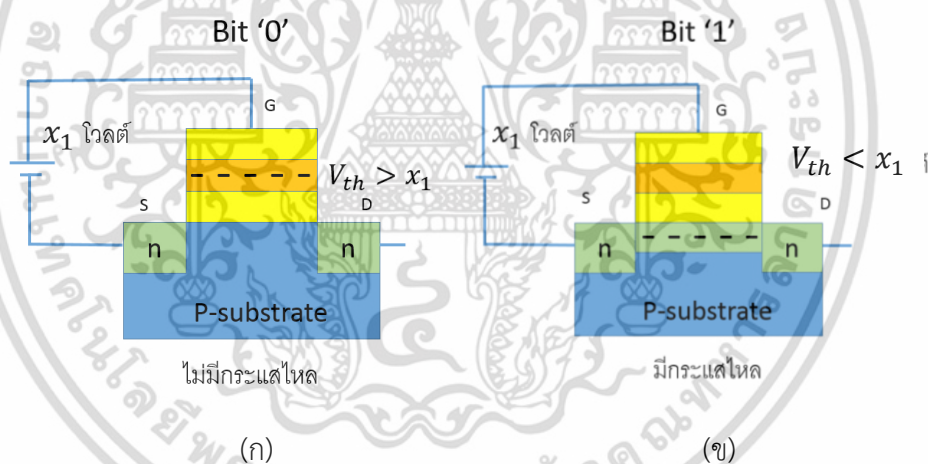
การส่งประจุไปยังชั้นโพลติงเกตใช้หลักการ Fowler-Nordheim (FN) tunneling [11] โดยการต่อกับแหล่งจ่ายไฟที่มีแรงดันมาก ๆ ที่ขาเกตควบคุม กระบวนการดังกล่าวเรียกว่า การโปรแกรม ข้อมูล ขณะที่การทำกระบวนการตรงข้ามคือต่อกับแหล่งจ่ายไฟที่มีค่าเป็นลบมาก ๆ ที่กราวด์ส่งผลให้ประจุย้ายจากชั้นโพลติงเกตไปยังซับสเตรท หรือเป็นการลบข้อมูลในเซลล์ ในบางงานวิจัยจะใช้บิต “0” แทนการมีประจุอยู่ที่โพลติงเกต [12] ในขณะทำงานวิจัยอื่นๆ [13] ใช้บิต “1” แทนการมีประจุที่โพลติงเกต ในงานวิจัยนี้กำหนดให้บิต “0” แทนการมีประจุที่โพลติงเกต สำหรับการบันทึก 2 บิต/เซลล์ มีการกำหนดปริมาณประจุที่เก็บในโพลติงเกตสำหรับแทนสัญลักษณ์ (Symbol) ‘11’ ‘10’ ‘00’ และ ‘01’ โดยแต่ละสัญลักษณ์มีปริมาณประจุที่แตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การอ่านเซลล์หน่วยความจำ

2.3.1 การตัดสินใจแบบฮาร์ด

การอ่านเซลล์หน่วยความจำนั้นเป็นการป้อนแรงดันไฟฟ้าที่ใช้อ่านไปยังขาคาท (Gate) ของเซลล์หน่วยความจำ และจะวัดขาคาเดรน (Drain) ว่ามีกระแสไฟฟ้าไหลหรือไม่ รูปที่ 2.4 แสดงการอ่านค่าออกมาจากเซลล์ โดย V_{th} เป็นแรงดันเทรชโฮลด์เพื่อแทนบิต '0' หรือบิต '1' เมื่อต้องการอ่านข้อมูลออกมาจากเซลล์จะป้อนแรงดัน x_1 ไปยังขาคาทของเซลล์หน่วยความจำ กรณีที่ V_{th} มากกว่า x_1 แรงดันไฟฟ้าทั้งสองจะหักล้างกันทำให้ที่ขาคาเดรนของหน่วยความจำไม่มีกระแสไหล จึงตัดสินใจว่าเป็นบิต '0' ดังแสดงในรูปที่ 2.4 (ก) กรณีที่ V_{th} น้อยกว่า x_1 หลังจากหักล้างกันแล้วก็จะเหลือแรงดันไฟฟ้ามากพอที่จะสร้างชั้นอิเล็กตรอนอิสระบริเวณผิวสัมผัสทำให้สามารถตรวจจับกระแสที่ขาคาเดรนได้ บางครั้งจะเรียกชั้นนี้ว่าช่องทางเดินกระแส (Channel) กรณีนี้จะตัดสินใจว่าเป็นบิต '1' ดังแสดงในรูปที่ 2.4 (ข)

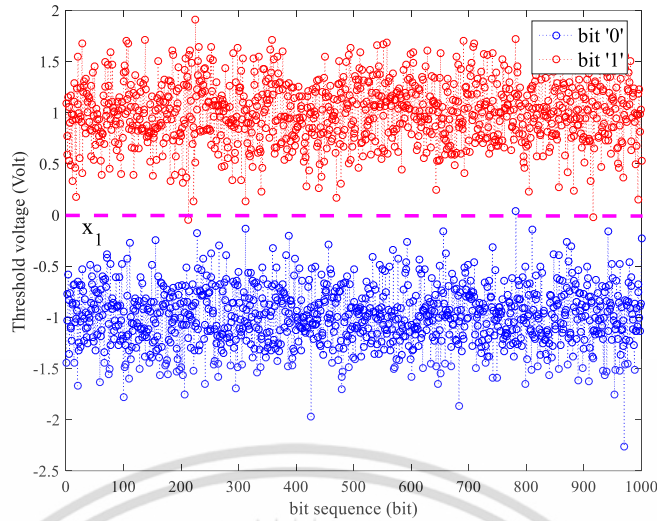


รูปที่ 2.4 การอ่านข้อมูลจากเซลล์หน่วยความจำ

ในการบันทึกข้อมูลในหน่วยความจำแบบแฟลชคล้ายการส่งข้อมูลผ่านช่องสัญญาณรบกวน โดยใช้การมอดูเลตแบบ Pulse Amplitude Modulation (PAM) สมมติให้ช่องสัญญาณรบกวนเป็นแบบเกาส์เซียน ที่มีค่าเฉลี่ยของบิต '0' และ '1' เป็น -1 โวลต์และ 1 โวลต์ ตามลำดับและค่าความแปรปรวน 0.5 ดังนั้น สัญญาณที่ได้รับจากช่องสัญญาณหรือแรงดันเทรชโฮลด์ที่เก็บอยู่ในเซลล์จะมีความผันผวนดังรูปที่ 2.5 ความผันผวนนี้ทำให้การตัดสินใจบิตให้ถูกต้องทุกบิตเป็นไปได้ยากขึ้น เมื่อทำการป้อนแรงดันไฟฟ้าที่ใช้การอ่านที่ x_1 จะเห็นว่ามีค่าแรงดันเทรชโฮลด์ที่ต่ำกว่าและสูงกว่าค่า

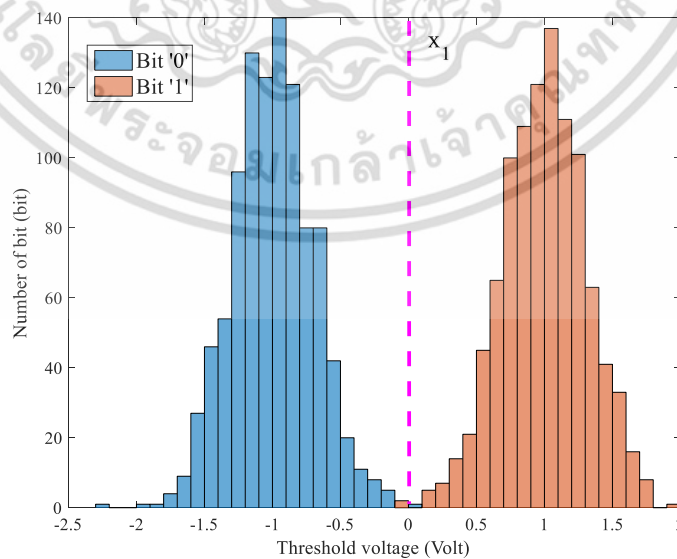
แรงดันที่ใช้อ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ความผันผวนของแรงดันเทอร์สโวลต์จากสัญญาณรบกวน

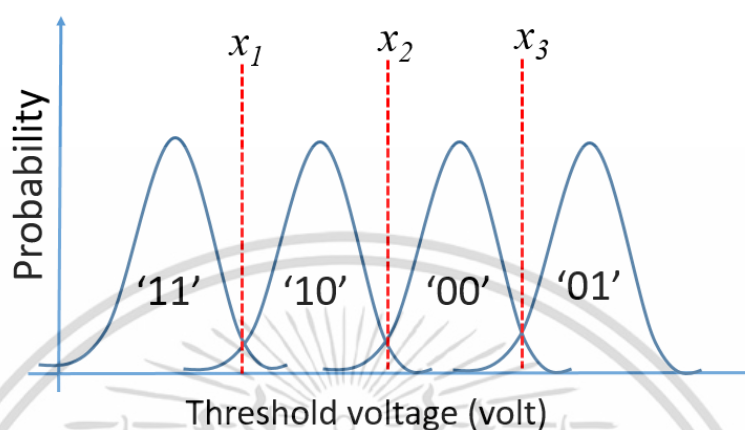
เมื่อทำการพล็อตฮิสโตแกรมของระดับแรงดันเทอร์สโวลต์ของเซลล์หน่วยความจำดังรูปที่ 2.6 จะทำให้เห็นได้ง่ายกว่าเราควรตั้งค่าแรงดันไฟฟ้าที่ใช้การอ่านเซลล์เป็นค่าเท่าใด ที่จะทำให้การตัดสินใจผิดพลาดเกิดขึ้นน้อยที่สุด การตัดสินใจในแบบฮาร์ดนั้นค่อนข้างจะง่ายเพราะค่าแรงดันที่ใช้ในการตัดสินใจมีเพียงค่าเดียวและโดยค่าที่ทำให้อัตราผิดพลาดต่ำสุดจะเป็นค่ากึ่งกลางระหว่างแรงดันเทอร์สโวลต์ของบิต '0' และบิต '1'



รูปที่ 2.6 ฮิสโตแกรมของแรงดันเทอร์สโวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

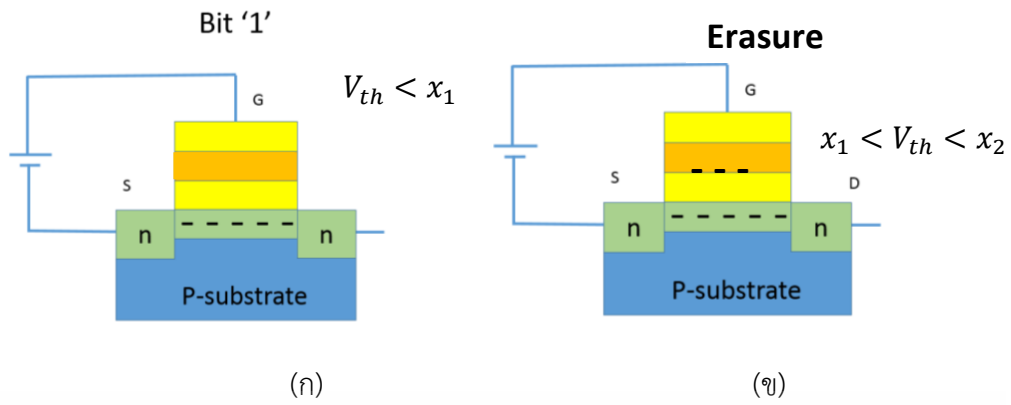
สำหรับการบันทึกข้อมูล 2 บิตต่อเซลล์นั้นพีดีเอฟของระดับแรงดันที่อยู่ติดกันมีจุดที่ใช้ตัดสินใจเพียง 1 จุดจะถือว่าเป็นการตัดสินใจแบบฮาร์ด จากรูปที่ 2.7 สังเกตว่าระหว่างพีดีเอฟของระดับแรงดันเทรโซลต์ 4 ระดับมีจุดที่ใช้ตัดสินใจ 1 จุดสำหรับพีดีเอฟที่อยู่ติดกัน



รูปที่ 2.7 การตัดสินใจแบบฮาร์ดสำหรับการบันทึก 2 บิต/เซลล์

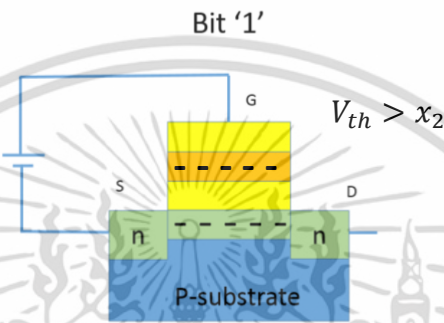
2.3.2 การตัดสินใจแบบซอฟต์

การอ่านเซลล์หน่วยความจำเพื่อให้ได้ค่าซอฟต์แวร์นั้น คล้ายกับการตัดสินใจแบบฮาร์ด คือเป็นการป้อนแรงดันไฟฟ้าที่ใช้อ่านไปยังขาคาท (Gate) ของเซลล์หน่วยความจำ และจะวัดขาคาเดรน (Drain) ว่ามีกระแสไฟฟ้าไหลหรือไม่ การอ่านค่าซอฟต์แวร์จะทำได้โดยการอ่านอย่างน้อยสองครั้งด้วยค่าแรงดันที่แตกต่างกัน สมมุติให้การหาค่าซอฟต์แวร์โดยการอ่านสองครั้ง ครั้งแรกอ่านด้วยแรงดัน x_1 และครั้งที่สองอ่านด้วยแรงดัน x_2 ซึ่งผลลัพธ์ที่ได้จะเป็นไปได้สามกรณีคือ กรณีที่ 1 รูปที่ 2.8 (ก) V_{th} น้อยกว่า x_1 กรณีนี้ เมื่ออ่านค่าครั้งแรกด้วย x_1 ก็สามารถตรวจจับกระแสไฟฟ้าที่ขาคาเดรนและเมื่อเพิ่มเป็น x_2 ก็ยังตรวจจับแรงดันไฟฟ้าที่ขาคาเดรนได้ ดังนั้นจึงตัดสินใจได้ว่าเป็นบิต '0' กรณีที่ 2 รูปที่ 2.8 (ข) V_{th} อยู่ระหว่างค่า x_1 และ x_2 เมื่ออ่านค่าจากเซลล์ด้วยแรงดันไฟฟ้า x_1 จะตรวจจับกระแสที่ขาคาเดรนไม่ได้ เมื่อเพิ่มแรงดันไฟฟ้าเป็น x_2 จะตรวจเจอกระแสที่ขาคาเดรน ในกรณีนี้จะยังไม่สามารถตัดสินใจได้ว่าเป็นบิต '0' หรือ '1' จึงพิจารณาเป็นการลบล้าง (Erasure) กรณีที่ 3 รูปที่ 2.8 (ค) V_{th} มากกว่า x_2 อ่านเซลล์ครั้งแรกด้วยแรงดันไฟฟ้า x_1 และ x_2 จะไม่พบกระแสที่ขาคาเดรน ดังนั้นจึงตัดสินใจว่าเป็นบิต '1'



(ก)

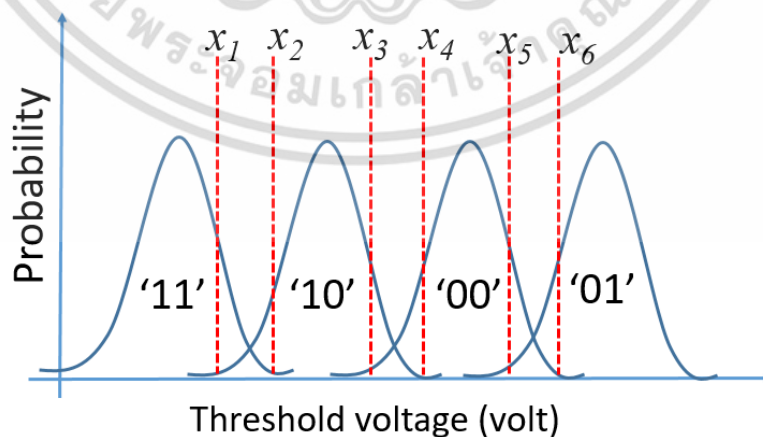
(ข)



(ค)

รูปที่ 2.8 การอ่านซอฟต์แวร์จากเซลล์หน่วยความจำ 1 บิต/เซลล์

ในการบันทึกข้อมูลในหน่วยความจำแบบแฟลชสามารถอ่านเซลล์ 3 ครั้งและ 4 ครั้งได้ทำให้มีจุดที่ตัดสินใจมากขึ้นความละเอียดในการอ่านเซลล์เพิ่มขึ้น แต่ด้วยข้อเสียที่ต้องใช้เวลาในการอ่านเซลล์นานขึ้น จึงเลือกใช้วิธีการอ่านเซลล์จำนวนน้อยครั้งที่สุดเพื่อให้ได้ค่าซอฟต์แวร์ออกมา



รูปที่ 2.9 การตัดสินใจแบบซอฟต์แวร์สำหรับการบันทึก 2 บิต/เซลล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับระบบบันทึกข้อมูลทีบันทึก 2 บิตต่อเซลล์ การอ่านค่าซอฟต์แวร์จากเซลล์ก็ดูจากจำนวนจุดตัดสินใจที่อยู่ระหว่างพีดีเอฟที่อยู่ติดกันดังรูปที่ 2.9 ซึ่งมีจำนวนจุดตัดสินใจที่อยู่ระหว่างพีดีเอฟที่อยู่ติดกันจำนวน 2 จุด และมีการอ่านค่าจากเซลล์หน่วยความจำทั้งหมด 6 ครั้ง

เมื่อกำหนดให้ V_{th} แทนแรงดันเทรสโวลต์ที่ตรวจจับได้ของเซลล์หน่วยความจำ สมมติให้แต่ละบิตในเซลล์มีค่าความน่าจะเป็นอะพริออริ (A priori probability) ของ 0 หรือ 1 เท่ากับ 0.5 กล่าวคือ ทุกสถานะของการบันทึกในหนึ่งเซลล์มีความน่าจะเป็นอะพริออริเท่ากัน ดังนั้นค่า LLR ของบิตที่ i ที่ถูกบันทึกในหนึ่งเซลล์สามารถคำนวณได้จาก

$$L(b_i) = \log \frac{P(b_i = 1 | V_{th})}{P(b_i = 0 | V_{th})} = \log \frac{p(V_{th} | b_i = 1)}{p(V_{th} | b_i = 0)} \quad (2.1)$$

เมื่อกำหนดให้แรงดันเทรสโวลต์ของเซลล์เท่ากับ V_{th} เราสามารถคำนวณค่า LLR ของแต่ละบิตได้ดังนี้

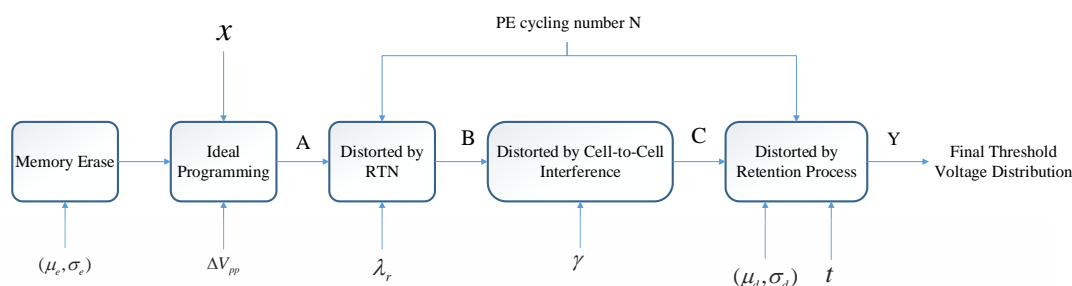
$$L_{MSB} = \log \left(\frac{\int_{l_1}^{l_2} p_{s_{11}}(V_{th}) + p_{s_{10}}(V_{th}) dv}{\int_{l_1}^{l_2} p_{s_{00}}(V_{th}) + p_{s_{01}}(V_{th}) dv} \right) \quad (2.2)$$

และ

$$L_{LSB} = \log \left(\frac{\int_{l_1}^{l_2} p_{s_{11}}(V_{th}) + p_{s_{01}}(V_{th}) dv}{\int_{l_1}^{l_2} p_{s_{00}}(V_{th}) + p_{s_{10}}(V_{th}) dv} \right) \quad (2.3)$$

เมื่อ $S_i \in \{s_{11}, s_{10}, s_{00}, s_{01}\}$ l_1 และ l_2 คือช่วงการทำปริพันธ์

2.4 แบบจำลองช่องสัญญาณหน่วยความจำแบบ NAND flash



รูปที่ 2.10 ช่องสัญญาณหน่วยความจำแบบแฟลช [14]

รูปที่ 2.10 เป็นภาพรวมของช่องสัญญาณในการบันทึกข้อมูลในหน่วยความจำแฟลช ประกอบด้วย การรบกวนที่มาจากค่าลบในเซลล์ (Memory Erased) ในส่วนนี้ทำให้แรงดันเทรสโพลด์มีการแจกแจงแบบเกาส์เซียนซึ่งมีค่าพารามิเตอร์ที่สำคัญคือ μ_e และ σ_e ถัดมาเป็นการรบกวนที่เกิดจากกระบวนการในการโปรแกรมค่าในเซลล์ สัญญาณรบกวนในส่วนนี้เกิดจากกระบวนการในการโปรแกรมเซลล์ซึ่งมีการแจกแจงเป็นแบบสม่ำเสมอ (Uniform) พารามิเตอร์ที่สำคัญในส่วนนี้คือ ΔV_{pp} ถัดมาการรบกวนที่เกิดจากสัญญาณรบกวนโทรเลขแบบสุ่ม (Random telegraph noise : RTN) ที่พบในอุปกรณ์สารกึ่งตัวนำมีการจำลองให้แรงดันเทรสโพลด์เป็นแบบลาปลาซ (Lapace) ดังนั้นพารามิเตอร์ที่สำคัญในส่วนนี้คือ λ_r สัญญาณรบกวนถัดมาคือสัญญาณรบกวนที่เกิดจากการแทรกสอดระหว่างเซลล์ (Cell-to-cell interference) เนื่องจากการจัดเรียงโครงสร้างของเซลล์ที่ชิดกันเพื่อให้มีความหนาแน่นในการบันทึกข้อมูลที่มากขึ้น ดังนั้นจึงหลีกเลี่ยงไม่ได้ที่จะเกิดการแทรกสอดระหว่างเซลล์หน่วยความจำ พารามิเตอร์ที่สำคัญได้แก่ อัตราส่วนคู่ควบ γ และสุดท้ายสัญญาณรบกวนที่เกิดจากระยะเวลาในการเก็บข้อมูล (Retention Process) สาเหตุหลักเนื่องมาจากการที่เซลล์หน่วยความจำถูกโปรแกรมและลบหลายครั้งส่งผลให้ชั้นออกไซด์ของเซลล์หน่วยความจำถูกทำลาย ดังนั้นประจุที่ถูกเก็บไว้จะลดลงทำให้แรงดันเทรสโพลด์ที่แทนบิตที่บันทึกในเซลล์หน่วยความจำมีค่าลดลงหรือเปลี่ยนไปจากเดิม การแจกแจงแรงดันเทรสโพลด์กำหนดให้เป็นแบบเกาส์เซียนมีค่าพารามิเตอร์ที่สำคัญคือ μ_d σ_d และ t

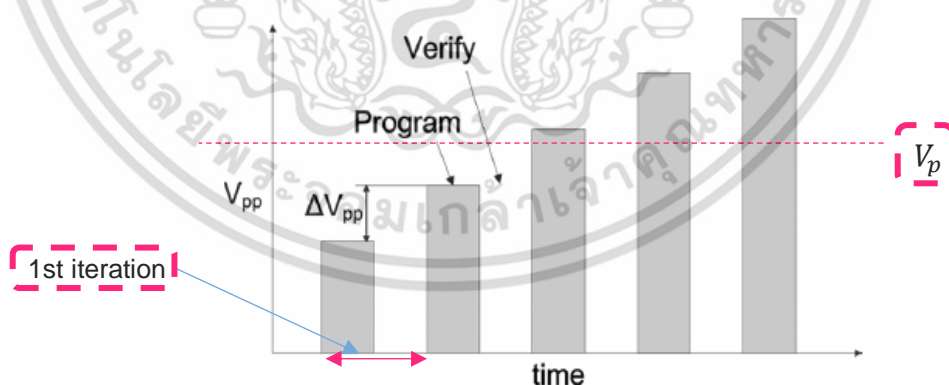
2.4.1 สัญญาณรบกวนที่เกิดจากการลบค่าในเซลล์

จากรูปที่ 2.10 ก่อนที่จะมีการโปรแกรมข้อมูลลงไปหน่วยความจำแบบแฟลช จำเป็นที่จะต้องมีการลบค่าที่ถูกเก็บอยู่ในเซลล์ทุกเซลล์ที่อยู่ในบล็อกเดียวกันออกก่อน จากนั้นจึงจะทำการโปรแกรมค่าใหม่ลงไป ในเซลล์ ในการลบค่าในเซลล์ทำได้โดยการป้อนแรงดันสูงไปที่ขั้วสเตรทและที่เกตควบคุมป้อนแรงดัน 0 โวลต์ จะทำให้เกิดสนามไฟฟ้าที่มีค่ามากพอที่จะเคลื่อนย้ายประจุที่อยู่ในชั้นโพลดิ้งเกต กลับเข้ามาอยู่ที่ขั้วสเตรท ส่งผลให้ให้แรงดันเทรสโฮลด์ มีระดับต่ำที่สุดเท่าที่จะเป็นไปได้ การแจกแจงของแรงดันเทรสโฮลด์ในสถานะของการลบค่าสามารถจำลองได้ด้วยการแจกแจงแบบเกาส์เซียน $N(\mu_e, \sigma_e^2)$ [6],[14]

$$p_e(x) = \frac{1}{\sqrt{2\pi\sigma_e^2}} e^{-\frac{(x-\mu_e)^2}{2\sigma_e^2}} \quad (2.4)$$

โดยที่ x คือค่าแรงดันเทรสโฮลด์, μ_e คือค่าเฉลี่ยของสถานะลบ, σ_e คือค่าเบี่ยงเบนมาตรฐานของสถานะลบค่า

2.4.2 สัญญาณรบกวนที่เกิดจากการโปรแกรมค่า



รูปที่ 2.11 การโปรแกรมด้วยวิธี program-and-verify [5]

ในขั้นตอนของการโปรแกรมจะใช้วิธีโปรแกรมและตรวจสอบ (program-and-verify) ดังรูปที่ 2.11 ซึ่งจะมีการกำหนดแรงดันเป้าหมาย (Target voltage) V_p ซึ่งค่านี้จะขึ้นกับการแบ่งระดับเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

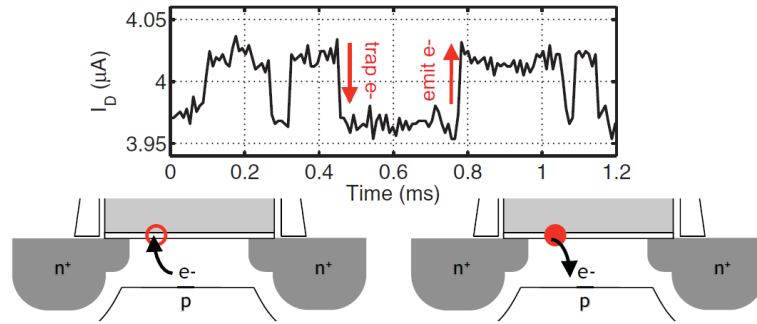
เช่น ถ้าเก็บ 1 บิตต่อเซลล์ จะมีการโปรแกรม 1 ระดับ (การลบค่าแทนด้วยบิต '0' การโปรแกรมแทนด้วยบิต '1') แต่ถ้ามีการเก็บข้อมูล 2 บิตต่อเซลล์ ระดับการโปรแกรมจะมี 3 ระดับ (การลบค่าแทนด้วยบิต '11' การโปรแกรมลำดับที่ 1 แทนด้วยบิต '10' การโปรแกรมลำดับที่ 2 แทนด้วยบิต '00' และการโปรแกรมลำดับที่ 3 แทนด้วยบิต '01') เมื่อกำหนดแรงดันเป้าหมายแล้วจากนั้นจึงจ่ายแรงดันให้ค่อยๆ เพิ่มขึ้นขั้น (step) โดยแต่ละขั้นมีแรงดันเท่ากันคือ ΔV_{pp} หลังการเพิ่มแรงดันแต่ละขั้น จะมีการตรวจสอบทุกครั้งว่าค่า V_{pp} ถึงค่าแรงดันเป้าหมายหรือยัง ถ้ายังไม่ถึงเพิ่มแรงดันขั้นอีก ΔV_{pp} และตรวจสอบ ทำซ้ำไปเรื่อยๆ จนกว่า V_{pp} จะมีค่ามากกว่าหรือเท่ากับแรงดันเป้าหมาย V_p ทำการโปรแกรมด้วยวิธีนี้ถูกเรียกว่าวิธีโปรแกรมและตรวจสอบ program-and-verify การแจกแจงของค่าแรงดันเทรสโฮลด์ในสถานะการโปรแกรม เป็นการแจกแจงแบบเอกรูป (Uniform Distribution) ของค่าแรงดันเทรสโฮลด์ในช่วง V_p ถึง $V_p + \Delta V_{pp}$ ถ้ากำหนดให้เก็บข้อมูล N_b บิตต่อเซลล์ จะมีสถานะทั้งหมด $2^{N_b} - 1$ สถานะ เพื่อให้ง่ายต่อการกำหนดแรงดันเป้าหมายในสถานะต่างๆ V_p ที่สถานะใดๆ จะกำหนดให้เป็น $V_l^{(k)}$ เมื่อ $k \in \{1, \dots, 2^{N_b} - 1\}$ และ $V_p + \Delta V_{pp}$ ที่สถานะใดๆ กำหนดให้เป็น $V_r^{(k)}$ ดังนั้นการแจกแจงของสถานะของการโปรแกรมสามารถเขียนเป็นสมการได้ดังนี้ [6],[14]

$$p_p^{(k)}(x) = \begin{cases} \frac{1}{\Delta V_{pp}}, & V_l^{(k)} \leq x \leq V_r^{(k)} \\ 0, & otherwise \end{cases} \quad (2.5)$$

2.4.3 สัญญาณรบกวนโทรเลขแบบสุ่ม (Random telegraph noise : RTN)

ในทางปฏิบัติ แรงดันเทรสโฮลด์ได้รับผลกระทบจากจำนวนครั้งในการเขียนและลบหน่วยความจำ เพราะว่า ในการโปรแกรมและการลบในแต่ละครั้งชั้น tunnel oxide จะถูกทำให้เสียหายเนื่องจากการเคลื่อนย้ายของประจุผ่านชั้น tunnel oxide ซึ่งทำให้เกิดการเลื่อนและการแกว่งตัวของแรงดันที่เรียกว่าสัญญาณรบกวนโทรเลขแบบสุ่ม (Random telegraph noise : RTN) หรือสัญญาณรบกวน RTN ซึ่งสัญญาณรบกวนโทรเลขแบบสุ่มในทรานซิสเตอร์แบบโพลดิ้งเกตก็คือ กระแสเดรน หรือ ความผันผวนของแรงดันเทรสโฮลด์ ที่เกิดจากเหตุการณ์การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอนออกมา (Electron emission) ที่บริเวณดักประจุ (charge trap site) ใกล้กับพื้นที่ที่เชื่อมต่อระหว่างชั้นสเตอร์ทกับฉนวน ดังแสดงในรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอน (Electron emission) [15]

เมื่อความผันผวนของแรงดันเทรสโพลด์ทำให้เกิดการเสื่อมลงเป็นแบบเอ็กซ์โปเนนเชียล ดังนั้นเราสามารถจำลองการแจกแจงแรงดันเทรสโพลด์ของสัญญาณรบกวนโทรเลขแบบสุ่มเป็นฟังก์ชันลาปาสเซียน [14] ดังสมการ

$$p_r(x) = \frac{1}{2\lambda_r} e^{\frac{-|x|}{\lambda_r}} \quad (2.6)$$

กำหนดให้ N คือจำนวนรอบของการโปรแกรมและลบ, λ_r จะถูกสเกลด้วยค่า N เพื่อใช้ในการประมาณค่าแนวโน้มการลดลงของกำลังงาน (power-law fashion) จะได้ว่า λ_r แปรผันตรงกับค่า N^α

2.4.4 การแทรกสอดระหว่างเซลล์ (Cell-to-cell interference)

ในหน่วยความจำแบบแฟลช การโปรแกรมค่าลงไปเซลล์ สามารถส่งผลกระทบต่อเซลล์ที่อยู่ใกล้เคียงเนื่องจากผลกระทบการคู่ควบตัวเก็บประจุ (Parasitic capacitance-coupling effect) [17] ในที่นี้เรียกว่าการแทรกสอดระหว่างเซลล์ (Cell-to-cell interference) ซึ่งได้ถูกพิจารณาให้เป็นหนึ่งในแหล่งสัญญาณรบกวนหลักในหน่วยความจำแบบแฟลช โดยแรงดันเทรสโพลด์ของเซลล์ที่ได้รับผลกระทบจะเกิดการเลื่อนซึ่งประมาณได้จากสมการ [6], [14]

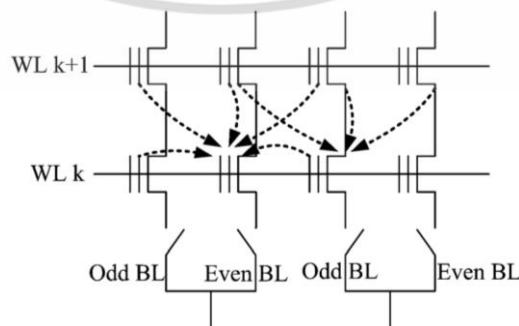
$$F = \sum_k (\Delta V_t^{(k)} \cdot \gamma^{(k)}) \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\Delta V_i^{(k)}$ คือผลต่างแรงดันเทรสโฮลต์ระหว่างก่อนและหลังการโปรแกรมเซลล์ใกล้เคียงและอัตราส่วนคู่ควบ $\gamma^{(k)}$ ถูกกำหนดเป็น [6], [14]

$$\gamma^{(k)} = \frac{C^{(k)}}{C_{total}} \quad (2.8)$$

เมื่อ $C^{(k)}$ คือ ค่าความจุพาราซิติก (parasitic capacitance) ระหว่างเซลล์ที่แทรกสอด (interfering cell) กับเซลล์ที่ได้รับผลกระทบ (Victim cell) และ C_{total} คือความจุรวมของเซลล์ที่กำลังถูกได้รับผลกระทบ (Victim cell) ความจุระหว่างเกิดควบคู่กับโพลติงเกต และ ความจุระหว่างโพลติงเกตกับเซนเนล โครงสร้างของบิตไลน์ในหน่วยความจำแบบแฟลชมีผลต่อลักษณะที่สำคัญของการแทรกสอดระหว่างเซลล์ (Cell-to-cell interference) ในทางปฏิบัติการออกแบบในปัจจุบัน จะออกแบบให้โครงสร้างของบิตไลน์แตกต่างกันสองแบบ คือเป็นโครงสร้างบิตไลน์แบบคี่และโครงสร้างบิตไลน์แบบคู่ [18], [19] และการรวมโครงสร้างบิตไลน์ทั้งสองเข้าด้วยกันในโครงสร้างของบิตไลน์แบบคู่/คี่นั้น เซลล์หน่วยความจำในหนึ่งเวอร์ดไลน์จะเชื่อมต่อบิตไลน์คู่และบิตไลน์คี่สลับกัน เซลล์คู่จะถูกโปรแกรมก่อนเซลล์คี่ ในเวอร์ดไลน์เดียวกัน เพราะฉะนั้นเซลล์คู่จะถูกแทรกสอดจากเซลล์ข้างเคียงจำนวน 5 เซลล์ และเซลล์คี่จะถูกแทรกสอดจากเซลล์ข้างเคียงเพียง 3 เซลล์เท่านั้น [16] ดังแสดงในรูปที่ 2.13 เพราะฉะนั้นเซลล์คู่และเซลล์คี่จะได้รับผลของการแทรกสอดระหว่างเซลล์ในปริมาณที่แตกต่างกัน เซลล์ในโครงสร้างที่ใช้บิตไลน์เดียวกันทั้งหมด (All bit-line structure) ทนทานต่อการแทรกสอดระหว่างเซลล์น้อยกว่าใช้โครงสร้างบิตไลน์คู่/คี่ แต่โครงสร้างที่ใช้บิตไลน์เดียวกันทั้งหมดสามารถรองรับการตรวจจับกระแสที่มีความเร็วสูงได้อย่างมีประสิทธิภาพ เพื่อให้ง่ายต่อการพิจารณา ดังนั้นตลอดงานวิจัยนี้จะพิจารณาหน่วยความจำแบบแฟลช ด้วยโครงสร้างที่ใช้บิตไลน์แบบเดียวกันทั้งหมด



รูปที่ 2.13 การแทรกสอดของเซลล์ในโครงสร้างคู่/คี่ [14]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.5) เรากำหนดค่าให้ทั้งอัตราส่วนคู่ควบในแนวตั้ง γ_y และอัตราส่วนคู่ควบในแนวทแยง γ_{xy} เป็นตัวแปรสุ่มที่มีการแจกแจงเกาส์เซียนแบบมีขอบเขต (bounded Gaussian distribution) [6], [14]

$$p_c(x) = \begin{cases} \frac{c_c}{\sigma_c \sqrt{2\pi}} \cdot e^{-(x-\mu_c)^2/2\sigma_c^2}, & \text{if } |x-\mu_c| \leq w_c \\ 0, & \text{else} \end{cases} \quad (2.9)$$

เมื่อ μ_c และ σ_c คือค่าเฉลี่ยและส่วนเบี่ยงเบนมาตรฐาน และ c_c คือค่าคงที่ที่คุณเข้าเพื่อทำให้ผลลัพธ์ของการอินทิเกรตฟังก์ชันเป็น 1 และกำหนดให้ค่า $w_c = 0.1\mu_c$ และ $\sigma_c = 0.4\mu_c$ [6],[14]

2.4.5 สัญญาณรบกวนจากระยะเวลาการเก็บข้อมูล (Data retention noise)

สำหรับการแจกแจงของสัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูล (Data retention noise) ระดับแรงดันเทรสโวลต์ที่เกิดขึ้นในชั้นโพลติงเกตเมื่อเวลาผ่านไประยะหนึ่ง ประจุที่เกิดขึ้นในชั้นโพลติงเกต จะกลับมามีค่าที่ซับซ้อนตามเดิมทำให้แรงดันเทรสโวลต์มีค่าลดลงจากเดิม ทั้งนี้ขึ้นกับจำนวนครั้งในการโปรแกรมและการลบ N ถ้ามีจำนวนครั้งที่มากทำให้ชั้น tunnel oxide ได้รับความเสียหาย ทำให้ประจุสามารถกลับไปยังซับซ้อนทงายขึ้นแรงดันเทรสโวลต์จึงลดลงอย่างรวดเร็ว สัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูลมีการแจกแจงแรงดันเทรสโวลต์แบบเกาส์เซียนที่มี μ_d และ σ_d คือค่าเฉลี่ยและค่าเบี่ยงเบนมาตรฐาน

$$p_r(x) = \frac{1}{\sigma_d \sqrt{2\pi}} e^{-\frac{(x-\mu_d)^2}{2\sigma_d^2}} \quad (2.10)$$

สำหรับสัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูล (Retention noise) ที่มีการแจกแจงข้อมูลแบบเกาส์เซียน ค่า μ_d และ σ_d จะขึ้นกับจำนวนรอบในการโปรแกรมและลบ N ซึ่ง

สามารถประมาณได้จาก [14]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_d = K_s(x - x_0)K_d N^{0.5} \ln\left(1 + \frac{t}{t_0}\right) \quad (2.11)$$

$$\sigma_d^2 = K_s(x - x_0)K_m N^{0.6} \ln\left(1 + \frac{t}{t_0}\right) \quad (2.12)$$

เมื่อ t คือเวลาในการเก็บรักษาข้อมูล t_0 คือเวลาเริ่มต้น กำหนดให้เป็น 1 ชั่วโมง x คือแรงดันเทอร์สโสลด์เริ่มต้น, $x_0 = 1.4$ $K_s = 0.38$ $K_d = 4 \times 10^{-4}$ และ $K_m = 4 \times 10^{-6}$ ได้จากการวัดค่าที่เหมาะสม [14]

2.5 แบบจำลองช่องสัญญาณแฟลชเชิงคณิตศาสตร์

ในหัวข้อนี้จะกล่าวถึงการจำลองพีดีเอฟของช่องสัญญาณของระบบการบันทึกข้อมูลแบบแฟลชซึ่งเราทราบมาจากหัวข้อที่ 2.4 แล้วว่าในระบบการบันทึกข้อมูลแบบแฟลชมีสัญญาณรบกวนอะไรบ้าง และมีการกระจายตัวเป็นรูปแบบใดบ้างในหัวข้อนี้จะเป็นการนำสัญญาณรบกวนดังกล่าวมารวมกัน การรวมกันของตัวแปรสุ่มสัมพันธ์กับพีดีเอฟของช่องสัญญาณ ตามนิยามดังนี้ ให้ X และ Y เป็นตัวแปรสุ่มที่มีพีดีเอฟเป็น $f(x)$ และ $g(y)$ ตามลำดับ กำหนดให้ $f(x)$ และ $g(y)$ เป็นจำนวนจริง ถ้า $Z = X + Y$ และพีดีเอฟของ Z คือ $h(z)$ จะสามารถคำนวณได้จาก

$$h(z) = f(x) * g(y) = (f * g)(z) \quad (2.13)$$

$$\begin{aligned} (f * g)(z) &= \int_{-\infty}^{+\infty} f(z - y)g(y)dy \\ &= \int_{-\infty}^{+\infty} g(z - x)f(x)dx \end{aligned} \quad (2.14)$$

สรุปได้ว่าการรวมกันของตัวแปรสุ่มพีดีเอฟใหม่ที่ได้เกิดจากการคอนโวลูชันกันของพีดีเอฟสำหรับหน่วยความจำแบบแฟลชที่สถานะลบค่า ('11') สัญญาณรบกวนที่มีผลกับสถานะนี้คือสัญญาณรบกวนจากการลบเซลล์ $p_e(x)$ สัญญาณรบกวน RTN $p_r(x)$ การแทรกสอดระหว่างเซลล์ $p_c(x)$ และความผิดพลาดจากระยะเวลาการบันทึกข้อมูล $p_t(x)$ สถานะการโปรแกรมที่ 1 ถึง 3 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยสัญญาณรบกวนจากการโปรแกรมเซลล์ $p_p^{(k)}(x)$ สัญญาณรบกวน RTN $p_r(x)$ การแทรกสอดระหว่างเซลล์ $p_c(x)$ และความผิดเพี้ยนจากระยะเวลาการบันทึกข้อมูล $p_t(x)$ ซึ่งแสดงการคำนวณพีดีเอฟของช่องสัญญาณแฟลชได้ดังนี้

$$p_{s11}(x) = p_e(x) * p_r(x) * p_c(x) * p_t(x) \quad (2.15)$$

$$p_{s10}(x) = p_p^{(1)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (2.16)$$

$$p_{s00}(x) = p_p^{(2)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (2.17)$$

$$p_{s01}(x) = p_p^{(3)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (2.18)$$

การคอนโวลูชันทำให้พีดีเอฟของช่องสัญญาณที่มากกว่าสองมีความซับซ้อนมากเพื่อลดความซับซ้อนตรงนี้จึงจำเป็นต้องอาศัยฟังก์ชันคุณลักษณะของพีดีเอฟ (Characteristic function) มาช่วยซึ่งฟังก์ชันคุณลักษณะของการแจกแจงแบบเกาส์เซียนคือ

$$\varphi_n(t) = e^{it\mu - \frac{\sigma^2 t^2}{2}} \quad (2.19)$$

ฟังก์ชันคุณลักษณะของการแจกแจงแบบลาปาสเซียนคือ

$$\varphi_l(t) = \frac{e^{it\mu}}{1 + \lambda^2 t^2} \quad (2.20)$$

และฟังก์ชันคุณลักษณะของการแจกแจงแบบสม่ำเสมอคือ

$$\varphi_u(t) = \frac{e^{itb} - e^{ita}}{it(b-a)} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นฟังก์ชันคุณลักษณะของ $p_{s11}(x)$ สามารถคำนวณได้จาก

$$\begin{aligned}\varphi_{s11}(t) &= e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(\mu_c + \mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_c^2 + \sigma_d^2)t^2}{2}}}{1 + \lambda_r^2 t^2}\end{aligned}\quad (2.22)$$

ฟังก์ชันคุณลักษณะของ $p_{s10}(x)$ สามารถคำนวณได้จาก

$$\begin{aligned}\varphi_{s10}(t) &= \frac{e^{it(V_p^1 + \Delta Vpp)} - e^{itV_p^1}}{it(\Delta Vpp)} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(V_p^1 + \Delta Vpp + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^1 + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}\end{aligned}\quad (2.23)$$

ฟังก์ชันคุณลักษณะของ $p_{s00}(x)$ สามารถคำนวณได้จาก

$$\begin{aligned}\varphi_{s00}(t) &= \frac{e^{it(V_p^2 + \Delta Vpp)} - e^{itV_p^2}}{it(\Delta Vpp)} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(V_p^2 + \Delta Vpp + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^2 + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}\end{aligned}\quad (2.24)$$

และฟังก์ชันคุณลักษณะของ $p_{s01}(x)$ สามารถคำนวณได้จาก

$$\varphi_{s01}(t) = \frac{e^{it(V_p^3 + \Delta Vpp)} - e^{itV_p^3}}{it(\Delta Vpp)} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการเชิงพาณิชย์เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{e^{it(V_p^3 + \Delta Vpp + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^3 + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)} \quad (2.25)$$

ฟังก์ชันความหนาแน่นความน่าจะเป็นของแต่ละสถานะสามารถคำนวณได้ดังนี้

$$p_{s11}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} e^{\frac{it(\mu_e + \mu_c + \mu_d - x) - \frac{(\sigma_e^2 + \sigma_c^2 + \sigma_d^2)t^2}{2}}{1 + \lambda_r^2 t^2}} dt \quad (2.26)$$

$$p_{s10}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{\frac{it(V_p^1 + \Delta Vpp + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}} - e^{\frac{it(V_p^1 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)} dt \quad (2.27)$$

$$p_{s00}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{\frac{it(V_p^2 + \Delta Vpp + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}} - e^{\frac{it(V_p^2 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)} dt \quad (2.28)$$

$$p_{s01}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{\frac{it(V_p^3 + \Delta Vpp + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}} - e^{\frac{it(V_p^3 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)} dt \quad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การถอดรหัสการเขียน

การเพิ่มความหนาแน่นในการบันทึกข้อมูลแบบแฟลชสามารถทำได้โดยการจัดเก็บมากกว่า 1 บิตในเซลล์หน่วยความจำ อย่างไรก็ตามการเพิ่มจำนวนบิตต่อเซลล์นั้นจะเผชิญกับปัญหาที่สำคัญคือการอ่านและการเขียนเซลล์หน่วยความจำ กล่าวคือการที่ระดับแรงดันเทอร์สโวลต์ที่ใช้แทนบิตข้อมูลมีการเลื่อนหรือมีการเปลี่ยนแปลงไปจากค่าเดิมที่บันทึกไว้ซึ่งมีสาเหตุมาจากการโปรแกรม/ลบเซลล์หลายครั้งและการที่เซลล์ถูกเก็บไว้ในเซลล์เป็นระยะเวลาอันยาวนานก็ส่งผลให้ค่าแรงดันเทอร์สโวลต์มีการเลื่อนไปเช่นกัน [1]

ช่องสัญญาณการบันทึกข้อมูลแบบแฟลชถูกพิจารณาให้เป็นช่องสัญญาณที่มีการมอดูเลชันแบบ Pulse Amplitude Modulation (PAM) ในระบบการสื่อสารดิจิทัล ใน [2]-[5] สำหรับระบบสื่อสาร PAM ที่มีการเข้ารหัสแก้ไขข้อผิดพลาดสามารถแบ่งโครงสร้างได้ 2 แบบคือ โครงสร้าง Multilevel Coding (MLC) และโครงสร้าง Bit-Interleaved Coded Modulation (BICM)

ในโครงสร้างแบบ MLC จะประกอบด้วยชุดข้อมูลและรหัสแก้ไขข้อผิดพลาดหลายชุดซึ่งจะถูกแมปเป็นแรงดันเทอร์สโวลต์ ซึ่งแตกต่างกับโครงสร้าง BICM ที่มีข้อมูลและรหัสแก้ไขข้อผิดพลาดเพียงชุดเดียว แต่จะมีการแปลงข้อมูลชุดดังกล่าวให้เป็นแบบขนานก่อนที่จะแมปเป็นแรงดันเทอร์สโวลต์ การแจกแจงแรงดันเทอร์สโวลต์ของทั้งสองโครงสร้างเมื่อผ่านช่องสัญญาณแฟลชจะเหมือนกันและสุดท้ายการถอดรหัสของโครงสร้าง MLC จะแยกถอดรหัสเนื่องจากมีการเข้ารหัสหลายชุด ส่วนโครงสร้าง BICM จะมีการแปลงข้อมูลขนาดให้เป็นให้เป็นข้อมูลแบบลำดับก่อนแล้วจึงถอดรหัส เพราะว่ามีรหัสแก้ไขข้อผิดพลาดเพียงชุดเดียว

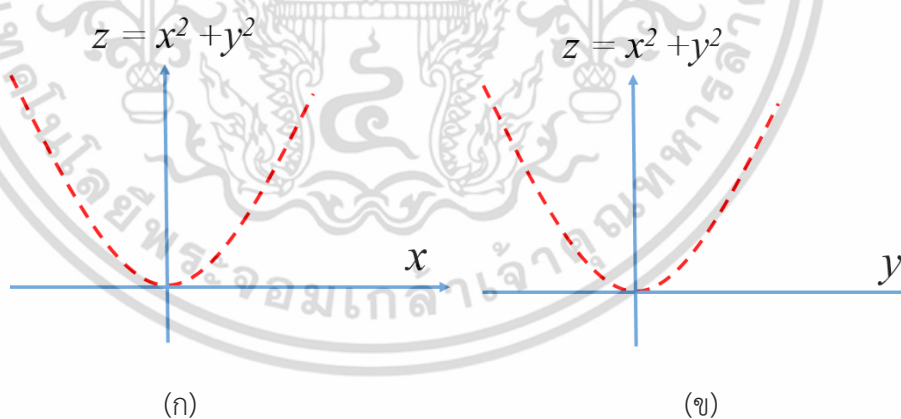
ใน [6] ได้นำเสนอวิธีการถอดรหัสการเขียนสำหรับโครงสร้าง BICM ที่ใช้ในระบบบันทึกข้อมูลแบบแฟลชได้โดยการมินิไมซ์ (Minimization) ค่าความน่าจะเป็นความผิดพลาด (Error probability) โดยการค้นหาแบบฮิวริสติก (Heuristic) ซึ่งใช้เวลาในการค้นหาและโครงสร้าง MLC ยังไม่ได้ถูกนำมาใช้กับระบบบันทึกข้อมูลแบบแฟลช ดังนั้นในงานวิจัยนี้ได้นำเสนออัลกอริทึมการค้นหา (Search algorithm) สำหรับการถอดรหัสการเขียนเซลล์ เพื่อลดเวลาในการถอดรหัสการเขียนเซลล์โดยอัลกอริทึมการค้นหาสามารถลดจำนวนคอมบิเนชัน (combination) ของแรงดันเทอร์สโวลต์ v_1 และ v_2 ที่เป็นไปได้ทั้งหมด ทำให้ลดความซับซ้อนในการค้นหาทั้งในโครงสร้าง MLC และ BICM กรณีโครงสร้าง BICM นั้นให้ค่าแรงดันเทอร์สโวลต์ v_1 และ v_2 ที่เหมาะสมสำหรับการโปรแกรม/ลบเซลล์ในแต่ละรอบ และในกรณีโครงสร้าง MLC อัลกอริทึมการค้นหาที่นำเสนอจะปรับปรุงให้

สมรรถนะอัตราบิดผิดพลาด (BER) ของบิตที่ 1 (Most Significant Bit: MSB) และบิตที่ 2 (Least Significant Bit: LSB) ให้มีอัตราบิดผิดพลาดใกล้เคียงกัน

3.1 อัลกอริทึมการค้นหา (Search Algorithm)

วิธีการออปติไมซ์การเขียนในหัวข้อที่ผ่านมาจะซับซ้อนมากเมื่อจำนวนตัวแปรเพิ่มขึ้น ดังนั้นในงานวิจัยนี้จึงนำเสนอวิธีการออปติไมซ์ด้วยอัลกอริทึมในการค้นหาตัวแปรที่ให้ค่าสูงสุด/ต่ำสุด ซึ่งอัลกอริทึมการค้นหาสามารถออปติไมซ์ตัวแปรที่มีจำนวนมากได้โดยง่าย

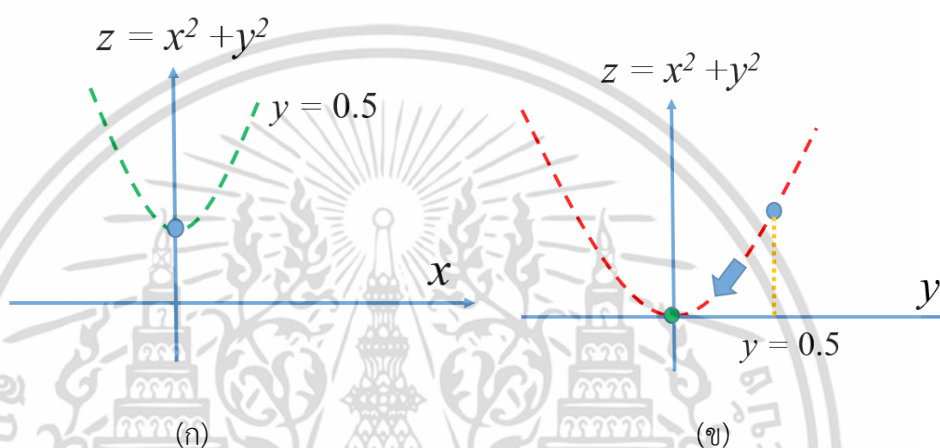
อัลกอริทึมการค้นหาที่มีแนวคิดคือการให้ตัวแปรตัวแรกเข้าไปใกล้จุดที่เหมาะสมที่สุด ตัวแปรอื่นก็จะปรับอีกเพียงไม่กี่ค่า ทำให้ลดการการค้นหาจากค่าที่ไม่เกี่ยวข้อง จะขอยกตัวอย่างพร้อมทั้งหลักการทำงานของอัลกอริทึมการค้นหาที่ใช้กำหนดให้ z เป็นฟังก์ชันที่มีสองตัวแปร มีสมการดังนี้ $z = x^2 + y^2$ ต้องการออปติไมซ์หาจุดต่ำสุดโดยใช้อัลกอริทึมการค้นหา จากฟังก์ชัน z เมื่อนำมาพล็อตเป็นกราฟจะได้ดังรูปที่ 3.1 (ก) และเมื่อมองในทิศทางตามแกน x จะเห็นเป็นพาราโบลาหงายรูปที่ 3.1 (ข) การมองภาพรวมในสามมิติจะเห็นเป็นรูปถ้วย



รูปที่ 3.1 กราฟของสมการ $z = x^2 + y^2$ ในมุมมอง x และ y

การประยุกต์นำอัลกอริทึมการค้นหาไปใช้ออปติไมซ์การเขียนสามารถทำได้ดังนี้ ขั้นตอนแรกจะกำหนดค่าเริ่มต้นให้แก่ตัวแปร y ในตัวอย่างสมมุติให้เป็น 0.5 เมื่อมองตามทิศแกน y จะเห็นว่าเป็นตำแหน่งหนึ่งในกราฟ หลังจากนั้นในขั้นตอนที่ 2 ทำการเปลี่ยนค่า x ในช่วงที่กำหนดไว้ แล้วเลือกเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า x ที่ทำให้ฟังก์ชัน z มีค่าต่ำที่สุดและกำหนดให้ค่านี้เป็นค่าคงที่ ดังรูปที่ 3.2 (ก) ขั้นตอนที่สามารถทำการเปลี่ยนค่า y ในช่วงที่กำหนดและเลือกใช้ค่า y ที่ทำให้ฟังก์ชัน z มีค่าต่ำที่สุด ดังแสดงในรูปที่ 3.2 (ข) จะได้ค่า y ค่าใหม่ สามารถทำซ้ำขั้นตอนที่ 2 และ 3 ได้จนกว่าจะได้ค่าต่ำที่สุด แต่จากตัวอย่างจะเห็นว่าการทำงานขั้นตอนที่ 2 และ 3 เพียงรอบเดียวก็เข้าสู่จุดต่ำสุดแล้วเนื่องจากกราฟมีตัวแปรยังไม่มาก และรูปแบบกราฟไม่ซับซ้อน



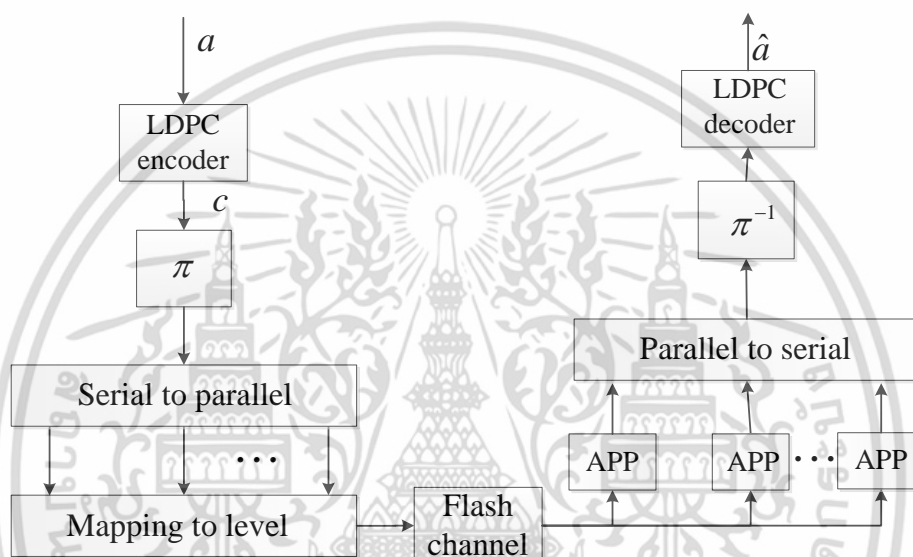
รูปที่ 3.2 การออปติไมซ์หาจุดต่ำสุดของสมการ $z = x^2 + y^2$

จากตัวอย่างที่ยกมาจะเห็นได้ว่าการที่ใช้อัลกอริทึมได้นั้นต้องฟังก์ชันต้องมีจุดต่ำสุดหรือสูงสุด เราสามารถเพิ่มจำนวนรอบในการปรับค่าตัวแปรได้ เมื่อจำนวนรอบการปรับค่าตัวแปรมากขึ้นตัวแปรแต่ละตัวจะยิ่งเข้าใกล้ค่าที่ถูกต้องมากเท่านั้น และเมื่อตัวแปรเข้าสู่จุดที่เหมาะสมแล้วการเพิ่มจำนวนรอบขึ้นอีกจะไม่มีผลอะไร

3.2 การออปติไมซ์การเขียนของโครงสร้าง BICM

โครงสร้าง BICM ในรูปที่ 3.3 เป็นวงจรมอดูเลชันประเภทหนึ่งประกอบไปด้วยภาคส่งและภาครับ ในภาคส่งนั้นบิตข้อมูลที่ต้องการส่ง a จะถูกแบ่งให้เป็นบล็อกแต่ละบล็อกมีความยาวเท่าๆ กันเพื่อนำมาเข้ารหัสแอสติฟิซีหลังจากเข้ารหัสแล้วจะได้คำรหัส c ออกมา คำรหัสจะถูกนำไปสลับบิตโดยวงจรสลับบิต (Interleaver) หลังจากสลับบิตแล้วจะเข้าสู่กระบวนการจัดข้อมูลเป็นกลุ่ม กลุ่มละ m บิต จากนั้นกลุ่มบิตจะถูกแปลงจากข้อมูลแบบลำดับ (Serial) ไปเป็นข้อมูลแบบขนาน (Parallel) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแปลงเป็นแบบขนานแล้วจะทำการแปลงข้อมูลที่ขนานกันทีละชุดให้กลายเป็นเลขจำนวนเต็มแทนระดับของสัญญาณ ตัวอย่างเช่น m เท่ากับ 2 บิต ดังนั้นค่าที่เป็นไปได้คือ '11' '10' '00' และ '01' ซึ่งการแมปเป็นจำนวนเต็มจะได้ค่า 0 แทนบิต '11' ค่า 1 แทนบิต '10' ค่า 2 แทนบิต '00' และค่า 3 แทนบิต '01' หลังจากนั้นระดับสัญญาณจะถูกส่งผ่านช่องสัญญาณและที่ฝั่งรับ จะตรวจจับค่าแบบขนานและแปลงกลับไปเป็นแบบลำดับเหมือนเดิม หลังจากนั้นสัญญาณที่เป็นแบบลำดับจะถูกสลับตำแหน่งข้อมูลกลับเป็นแบบเดิมด้วยวงจรสลับบิต (Deinterleaver) เมื่อสลับตำแหน่งของข้อมูลกลับเป็นอย่างเดิมแล้วจึงทำการถอดรหัสและตัดสินในบิตออกมา



รูปที่ 3.3 วงจรการสื่อสารที่มีโครงสร้าง BICM

โครงสร้างของ BICM นั้นการถอดรหัสการเขียนมีเป้าหมายเพื่อปรับให้ค่าอัตราบิดผิดพลาด (BER) ลดลงการนำอัลกอริทึมการค้นหาใช้เพื่อหาแรงดันเขียนเซลล์ที่เหมาะสมสามารถทำได้ โดยทำการถอดรหัสแรงดันเขียนเซลล์ (ในงานวิจัยนี้ใช้การบันทึก 2 บิตต่อเซลล์ ดังนั้นจะมีระดับแรงดันเขียนเซลล์สำหรับแทนแต่ละบิต 4 ระดับ) ในเซลล์หน่วยความจำนั้นจะมีข้อจำกัดว่าสามารถเก็บแรงดันได้สูงสุดกี่โวลต์ ในกรณีที่เซลล์สามารถบันทึกแรงดันไฟฟ้าได้ในช่วง 0 – 5 โวลต์ ดังนั้นจะต้องจัดสรรให้แต่ละระดับอยู่ห่างกันในตำแหน่งที่เหมาะสมจึงจะสามารถลดอัตราบิดผิดพลาดได้ ในงานวิจัยนี้กำหนดให้แรงดันเขียนของระดับต่ำสุดคือ 1.2 โวลต์ และระดับสูงสุดเป็น 3.45 โวลต์ ส่วนระดับแรงดันไฟฟ้าเขียนที่เหลืออีกสองระดับจะการถอดรหัสให้ค่าที่เหมาะสม

สำหรับโครงสร้าง BICM นั้น ฟังก์ชันที่จะนำมาใช้คือฟังก์ชันการคำนวณค่าความน่าจะเป็นความผิดพลาด (Error probability: P_e) โดยตัวแปรที่ไม่ทราบค่าคือ v_1 และ v_2 ซึ่งแทนค่าเฉลี่ยของเอกสารนี้เป็นเอกสารที่สว่นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับแรงดันที่ 2 และ 3 ตามลำดับ ส่วนระดับแรงดันไฟฟ้าระดับที่ 1 คือ v_{\min} และระดับแรงดันไฟฟ้าระดับที่ 4 คือ v_{\max} ความน่าจะเป็นความผิดพลาดสามารถหาได้จาก

$$P_e = \frac{1}{4}[P(e|s_{11}) + P(e|s_{10}) + P(e|s_{00}) + P(e|s_{01})] \quad (3.1)$$

เมื่อ $p(e/s_{11})$, $p(e/s_{10})$, $p(e/s_{00})$ และ $p(e/s_{01})$ สามารถคำนวณได้จาก

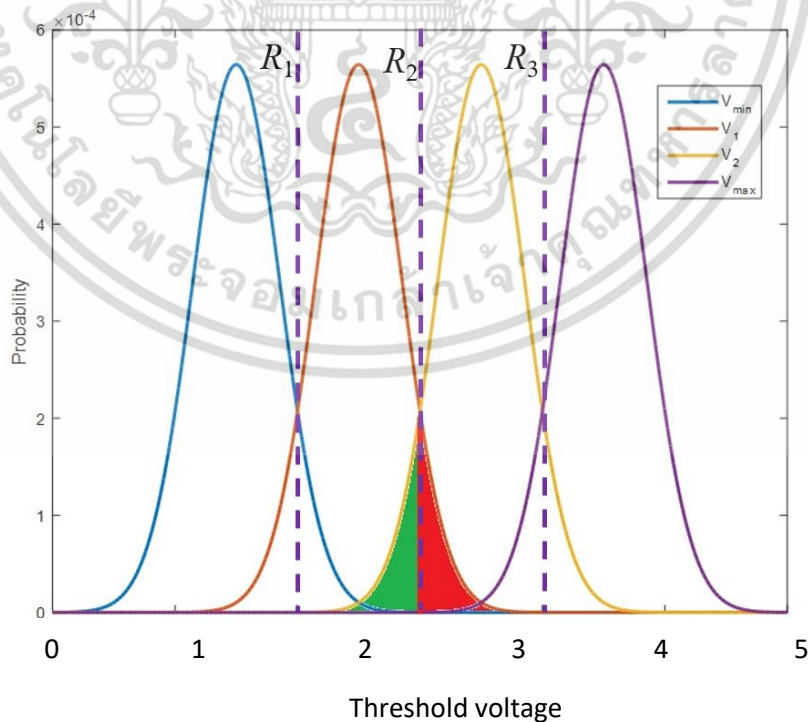
$$P(e|s_{11}) = P_{s_{11}}(v_{th} > R_1) \quad (3.2)$$

$$P(e|s_{10}) = P_{s_{10}}(v_{th} < R_1) + P_{s_{10}}(v_{th} > R_2) \quad (3.3)$$

$$P(e|s_{00}) = P_{s_{00}}(v_{th} < R_2) + P_{s_{00}}(v_{th} > R_3) \quad (3.4)$$

$$P(e|s_{01}) = P_{s_{01}}(v_{th} < R_3) \quad (3.5)$$

ซึ่ง R_1 , R_2 และ R_3 คือจุดที่ตัดสินใจแบบฮาร์ดตึงแสดงในรูปที่ 3.4 เราปรับค่าเฉลี่ย v_1 และ v_2 แล้วคำนวณค่าอัตราบิดผิดพลาด ตามสมการ (3.1)

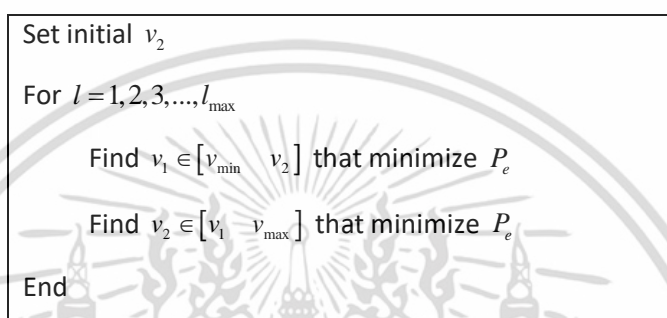


รูปที่ 3.4 การอพติไมซ์การเขียนของโครงสร้าง BICM

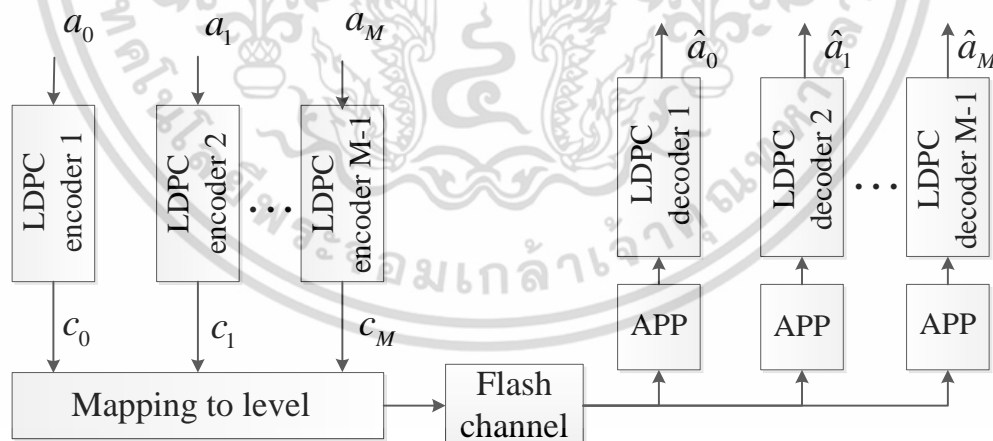
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออปติไมซ์แรงดันการเขียนสามารถสรุปได้ดังตารางที่ 3.1 ซึ่งวิธีการคือ กำหนดค่าเริ่มต้นให้กับตัวแปร v_2 ในรอบที่ 1 ปรับค่า v_1 ในช่วง v_{min} ถึง v_2 และหาจุดที่ v_1 ที่ทำให้ค่า P_e เป็นค่าต่ำสุดและกำหนดค่า v_1 ที่ได้ให้เป็นค่าคงที่ ต่อมาทำการเปลี่ยนค่า v_2 ในช่วง v_1 ถึง v_{max} และหาจุดที่ค่า v_2 ที่ทำให้ P_e มีค่าต่ำที่สุดและกำหนดให้เป็นค่าคงที่ เราสามารถเพิ่มจำนวนรอบได้เพื่อความแม่นยำขึ้น

ตารางที่ 3.1 ขั้นตอนการออปติไมซ์การเขียนของโครงสร้าง BICM



3.3 การออปติไมซ์การเขียนของโครงสร้าง MLC



รูปที่ 3.5 วงจรสื่อสารที่ใช้โครงสร้างแบบ MLC/PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้าง MLC ดังรูป 3.5 ประกอบไปด้วยภาคส่งและภาครับ ส่วนของภาครับประกอบไปด้วยบิตข้อมูล a จำนวน m ชุด ชุดข้อมูลของแต่ละชุดจะถูกแบ่งออกเป็นบล็อกย่อยสำหรับเข้ารหัส แอลดีพีซีที่แตกต่างกันจำนวน m แบบ หลังจากเข้ารหัสแล้วจะได้คำรหัสจำนวน m คำรหัส ซึ่งคำรหัสเหล่านี้ที่ขนานกันทุกอันจะถูกจัดกลุ่มและแมปเป็นจำนวนเต็ม ยกตัวอย่างวิธีการแมปค่าเช่น m เท่ากับ 2 บิต ดังนั้นค่าที่เป็นไปได้คือ '11' '10' '00' และ '01' ซึ่งการแมปเป็นจำนวนเต็มจะได้ค่า 0 แทนบิต '11' ค่า 1 แทนบิต '10' ค่า 2 แทนบิต '00' และค่า 3 แทนบิต '01' หลังจากนั้นระดับสัญญาณจะถูกส่งผ่านช่องสัญญาณและที่ฝั่งรับจะตรวจจับสัญญาณและทำการถอดรหัสแยกกัน โดยวงจรถอดรหัสแอลดีพีซีและสุดท้ายตัดสินใจบิตจะได้ชุดข้อมูลออกมา

ความแตกต่างระหว่างโครงสร้าง BICM และ MLC คือโครงสร้าง BICM เป็นข้อมูลชุดเดียวและใช้รหัสแอลดีพีซีเพียงชุดเดียวส่วนโครงสร้าง MLC ประกอบด้วยข้อมูลหลายๆ ชุดและใช้รหัสแอลดีพีซีหลายๆ ชุดได้

สำหรับโครงสร้าง MLC ปัญหาที่พบเจอคือ อัตราบิดผิดพลาดของ MSB และ LSB มีค่าไม่เท่ากัน โดยทั่วไปมีการแก้ปัญหาดังกล่าวจะใช้รหัสแก้ไขความผิดพลาดหลายชุดที่มีอัตราการรหัสต่างกัน อย่างไรก็ตามในกรณีที่ต้องการใช้รหัสเพียงรหัสชุดเดียวจึงจำเป็นต้องทำการออฟติไมซ์แรงดันไฟฟ้าที่ใช้เขียนเซลล์ ดังนั้นเป้าหมายของการออฟติไมซ์แรงดันไฟฟ้าในการเขียนเซลล์คือปรับให้อัตราบิดผิดพลาดของ MSB และ LSB มีค่าเท่ากัน ซึ่งในการออฟติไมซ์แบบนี้การใช้วิธีหาอนุพันธ์จะทำได้ค่อนข้างลำบาก ส่วนการใช้อัลกอริทึมการค้นหาที่ปรับเปลี่ยนแปลงจุดก็สามารถหาแรงดันการเขียนเซลล์ที่เหมาะสมได้

การประยุกต์ใช้งานอัลกอริทึมการค้นหาสำหรับกรณีโครงสร้าง BICM สามารถทำได้โดยการปรับค่าพารามิเตอร์เพียงเล็กน้อย สำหรับโครงสร้าง BICM เราจะมีค่าอัตราบิดผิดพลาดอยู่สองอย่างคือ อัตราบิดผิดพลาดของ MSB และอัตราบิดผิดพลาดของ LSB ซึ่งสามารถคำนวณได้จากสมการ

$$P_{e_{MSB}} = \frac{1}{2} \{P(e|s_{1x}) + P(e|s_{0x})\} \quad (3.6)$$

$$P_{e_{LSB}} = \frac{1}{2} \{P(e|s_{x0}) + P(e|s_{x1})\} \quad (3.7)$$

เมื่อ $P(e|s_{1x})$ คือความน่าจะเป็นความผิดพลาดของระดับแรงดันของ '11' และ '10' $P(e|s_{0x})$ คือความน่าจะเป็นความผิดพลาดของระดับแรงดันของ '01' และ '00' $P(e|s_{x1})$ คือความน่าจะเป็นความผิดพลาดของระดับแรงดันของ '01' และ '11' และสุดท้าย $P(e|s_{x0})$ คือความน่าจะเป็นความผิดพลาดของระดับแรงดันของ '00' และ '10' ซึ่งสามารถคำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

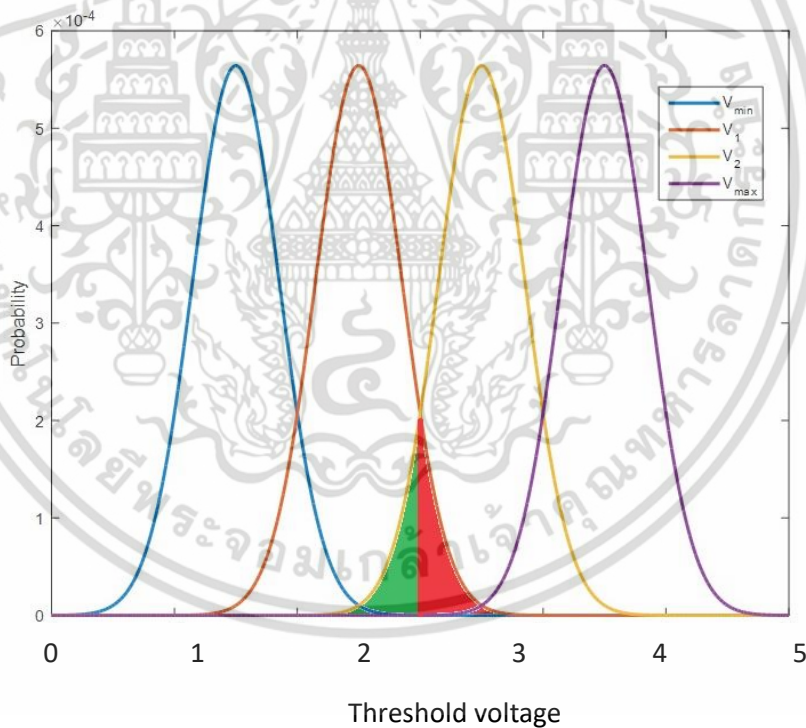
$$P(e | s_{1x}) = P_{s_{11}}(v_{th} > R_2) + P_{s_{10}}(v_{th} > R_2) \quad (3.8)$$

$$P(e | s_{0x}) = P_{s_{01}}(v_{th} < R_2) + P_{s_{00}}(v_{th} < R_2) \quad (3.9)$$

$$P(e | s_{x1}) = P_{s_{11}}((v_{th} > R_1) \cap (v_{th} < R_3)) + P_{s_{01}}((v_{th} > R_1) \cap (v_{th} < R_3)) \quad (3.10)$$

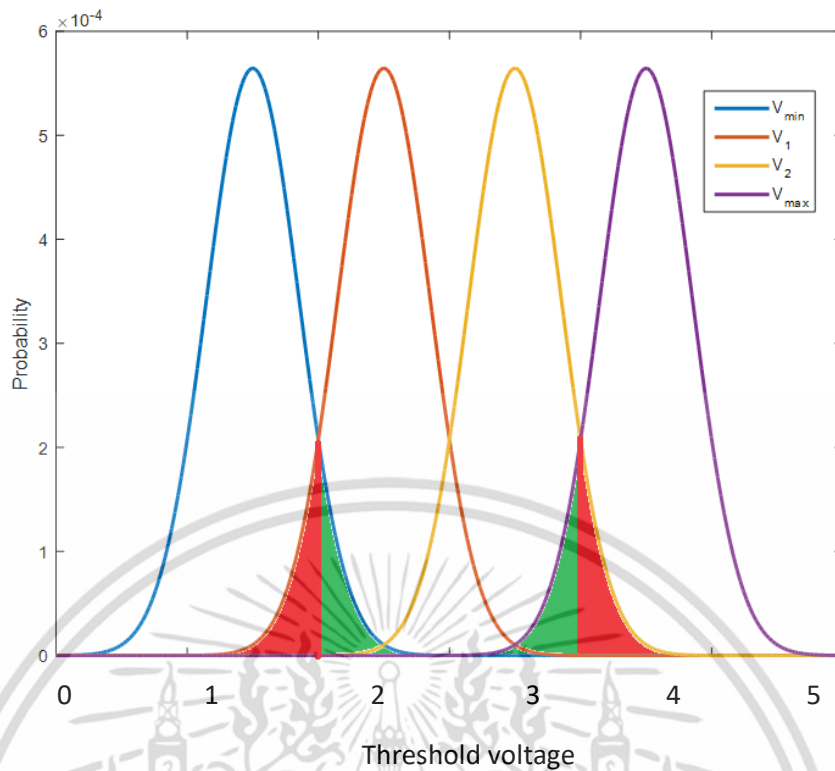
$$P(e | s_{x0}) = P_{s_{10}}(v_{th} < R_1) + P_{s_{00}}(v_{th} < R_1) + P_{s_{10}}(v_{th} > R_3) + P_{s_{00}}(v_{th} > R_3) \quad (3.11)$$

จากสมการที่ (3.8) ถึง (3.11) ค่าที่ได้จากฟังก์ชัน $P(e|s_{1x})$ $P(e|s_{0x})$ $P(e|s_{x1})$ และ $P(e|s_{x0})$ ซึ่ง $P(e|s_{1x})$ และ $P(e|s_{0x})$ คือพื้นที่ใต้กราฟสีเขียวและสีแดงในรูปที่ 3.6 ส่วน $P(e|s_{x1})$ และ $P(e|s_{x0})$ คือพื้นที่ใต้กราฟสีเขียวและสีแดงในรูปที่ 3.7



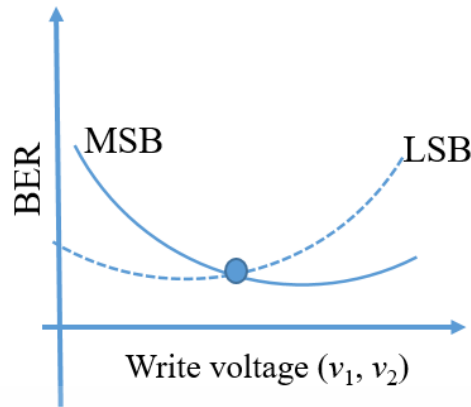
รูปที่ 3.6 การหาอัตราบิดผิดพลาตของ MSB จากพื้นที่ใต้กราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

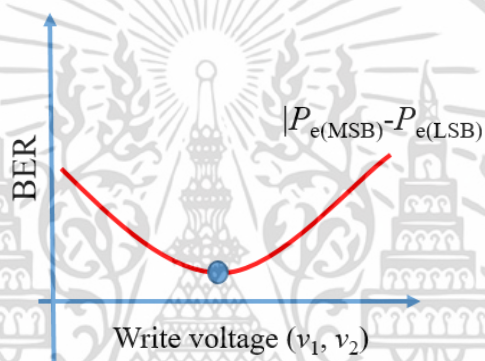


รูปที่ 3.7 การหาอัตราบิดผิดพลาดของ LSB จากพื้นที่ใต้กราฟ

การออกแบบซีให้อัตราบิดผิดพลาดของ MSB และ LSB ในโครงสร้าง MLC มีค่าเท่ากันคือ การทำให้พื้นที่ใต้กราฟในรูปที่ 3.6 และรูปที่ 3.7 มีค่าเท่ากัน เมื่อพล็อตกราฟของค่าอัตราบิดผิดพลาดของ MSB และ LSB จะได้รูปดังรูปที่ 3.8 จุดที่กราฟอัตราบิดผิดพลาดของ MSB และ LSB ตัดกันคือจุดที่อัตราบิดผิดพลาดของ MSB และ LSB มีค่าเท่ากัน ดังนั้นสมการที่จะนำมาใช้ในอัลกอริทึมการค้นหาใหม่ได้เป็น $|P_{e_{MSB}} - P_{e_{LSB}}|$ ซึ่งจะทำให้ได้สมการมาใช้ในอัลริทึมเพียงสมการเดียวสำหรับหาจุดต่ำสุด เมื่อพล็อตกราฟของสมการดังกล่าวจะได้ดังรูปที่ 3.9



รูปที่ 3.8 กราฟอัตราผิดพลาดของ MSB และ LSB



รูปที่ 3.9 กราฟอัตราผิดพลาดของ $|P_{e(MSB)} - P_{e(LSB)}|$

การอพติไมซ์แรงดันเขียนสามารถสรุปได้ดังตารางที่ 3.2 ซึ่งวิธีการคือ กำหนดค่าเริ่มต้นให้กับตัวแปร v_2 ในรอบที่ 1 ปรับค่า v_1 ในช่วง v_{min} ถึง v_2 และหาจุดที่ v_1 ที่ทำให้ค่า $|P_{e(MSB)} - P_{e(LSB)}|$ เป็นค่าสูงสุดและกำหนดค่า v_1 ที่ได้ให้เป็นค่าคงที่ ต่อมาทำการเปลี่ยนค่า v_2 ในช่วง v_1 ถึง v_{max} และหาจุดที่ค่า v_2 ที่ทำให้ $|P_{e(MSB)} - P_{e(LSB)}|$ มีค่าต่ำที่สุดและกำหนดให้เป็นค่าคงที่ เราสามารถเพิ่มจำนวนรอบได้เพื่อความแม่นยำขึ้น

ตารางที่ 3.2 อัลกอริทึมการค้นหาสำหรับโครงสร้าง MLC

```

Set initial  $v_2$ 
For  $l = 1, 2, 3, \dots, l_{max}$ 
    Find  $v_1 \in [v_{min}, v_2]$  that minimize  $|P_{e(MSB)} - P_{e(LSB)}|$ 
    Find  $v_2 \in [v_1, v_{max}]$  that minimize  $|P_{e(MSB)} - P_{e(LSB)}|$ 
End

```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออปติไมซ์การอ่านหน่วยความจำแบบแฟลช

การอ่านข้อมูลจากเซลล์โดยใช้การตัดสินใจแบบฮาร์ด (Hard decision) จะอาศัยแรงดันไฟฟ้าเพียงค่าเดียวในการตัดสินใจว่าแรงดันเทรชโฮลด์ (Threshold voltage) ที่เก็บอยู่ในเซลล์หน่วยความจำเป็นบิต '0' หรือบิต '1' ในอดีตการบันทึกข้อมูลแบบแฟลชใช้รหัสแก้ไขความผิดพลาด คือรหัส BCH [7] ซึ่งใช้การตัดสินใจแบบฮาร์ด ในงานวิจัย [8] มีการนำรหัสแอลดีพีซีซีที่มีสมรรถนะในการแก้ไขความผิดพลาดบิตที่ดีกว่ารหัส BCH เข้ามาใช้ในหน่วยความจำแบบแฟลชสำหรับรหัสแอลดีพีซีซีนั้นต้องการใช้การตัดสินใจแบบซอฟต์ (Soft decision) มาใช้ในการถอดรหัส

การอ่านค่าซอฟต์ของเซลล์หน่วยความจำเป็นปัญหาที่มีความสำคัญอย่างยิ่ง [6] เนื่องจากระบวนการอ่านเซลล์จะใช้แรงดันไฟฟ้าป้อนเข้าไปในเซลล์หน่วยความจำ แล้วตรวจสอบว่ามีกระแสไหลหรือไม่เพื่อที่จะจำแนกว่าเป็นบิต '0' หรือบิต '1' ในการอ่านค่าซอฟต์จากเซลล์หน่วยความจำสามารถทำได้โดยการป้อนแรงดันไฟฟ้าหลายๆ ค่าเข้าไปที่เซลล์หน่วยความจำ เพื่อบอกว่าแรงดันเทรชโฮลด์ที่เก็บอยู่ในเซลล์เป็นค่าแรงดันไฟฟ้าที่อยู่ในช่วงใด ดังนั้นจะเห็นว่าความละเอียดของการป้อนแรงดันมีผลต่อการตัดสินใจของบิตข้อมูล โดยการใช้แรงดันหลายๆ ค่าจะสามารถหาแรงดันเทรชโฮลด์ได้อย่างแม่นยำ อย่างไรก็ตามการกระทำดังกล่าวจะเสียเวลาอ่านเซลล์หน่วยความจำมาก ดังนั้นปัญหาการเลือกระดับแรงดันการอ่านที่เหมาะสมเพื่อให้ได้ค่าซอฟต์จึงเป็นประเด็นที่สำคัญ จึงได้มีงานวิจัยที่เกี่ยวกับการอ่านเซลล์หน่วยความจำออกมาหลายงานด้วยกัน ในปี ค.ศ. 2011 G. Dong [8] ได้มีการนำเสนอการอ่านเซลล์แบบไม่สม่ำเสมอ ซึ่งเป็นการแบ่งระดับแรงดันการอ่านที่ไม่เท่ากัน โดยจะมีการแบ่งช่วงระดับการอ่านถี่ในบริเวณที่มีการซ้อนเหลื่อมกันของพีดีเอฟ (Probability density function: pdf) ที่อยู่ติดกัน ต่อมาในปีเดียวกัน Jiadong Wang and Thomas Courtade [9] ได้นำเสนอวิธีการแบ่งระดับการอ่านโดยใช้วิธีการข่าวสารร่วมสูงสุด (Maximized Mutual Information: MMI) ซึ่งวิธีนี้มีข้อดีคือระดับแรงดันไฟฟ้าที่ใช้อ่านจะถูกปรับให้เป็นค่าที่ทำให้ค่าข่าวสารร่วมมีค่าสูงสุด แต่วิธีการดังกล่าวมีข้อเสียคือค่าแรงดันไฟฟ้าที่ใช้อ่านเซลล์ที่ได้มาไม่ได้ให้ค่าอัตราบิตผิดพลาดหลังการถอดรหัสแอลดีพีซีซีที่ต่ำที่สุด เนื่องจากไม่ได้มีการพิจารณาค่าแรงดันไฟฟ้าที่ใช้อ่านเซลล์ร่วมกับการถอดรหัสแอลดีพีซีซี ต่อมาในปี ค.ศ. 2016 Chaudhry Adnan Aslam [6] ได้นำเสนอวิธีการที่จะควบคุมให้ระดับแรงดันไฟฟ้าที่ใช้อ่านเซลล์ที่ทำให้ค่าอัตราบิตผิดพลาดหลังการถอดรหัสแอลดีพีซีซีที่ต่ำที่สุด โดยอาศัยค่าเอนโทรปี (Entropy) ของพีดีเอฟของแรงดันเทรชโฮลด์ที่อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ติดกัน โดยคำนวณค่าเอนโทรปี (Entropy) เพื่อหาระดับแรงดันไฟฟ้าที่ใช้อ่านเซลล์จากนั้นทำการเลือกระดับแรงดันไฟฟ้าที่ทำให้ค่าอัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีต่ำที่สุด ซึ่งวิธีนี้ให้อัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซีที่ต่ำกว่าวิธีการ MMI แต่มีข้อเสีย คือไม่มีความยืดหยุ่นในการกำหนดระดับแรงดันอ่านเซลล์

งานวิจัยนี้จึงนำเสนอการประยุกต์ใช้วิธีการเดินขีตือโวลูชัน (Density evolution) เพื่อวิเคราะห์หาระดับแรงดันไฟฟ้าที่ใช้อ่านเซลล์ที่เหมาะสม วิธีการนี้ทำให้แรงดันอ่านเซลล์มีความเหมาะสมกับรหัสแอลดีพีซีมากขึ้น เนื่องจากงานวิจัยก่อนหน้าไม่ได้พิจารณาการทำให้แรงดันการอ่านเซลล์มีความสัมพันธ์กับค่าอัตราบิดผิดพลาดหลังการถอดรหัสแอลดีพีซี ทำให้อัตราบิดผิดพลาดจากวิธีการถอดรหัสการอ่านจากงานวิจัยก่อนหน้าจึงไม่ได้ให้ค่าอัตราบิดผิดพลาดที่ต่ำที่สุด

4.1 การหาแรงดันอ่านเซลล์ 2 ครั้ง โดยวิธีการควบคุมความกว้างอีเรเซอร์ด้วย

เอนโทรปี (Erasure Width Controlled by Entropy)

การหาแรงดันการอ่านเซลล์ x_1 และ x_2 สำหรับการอ่านเซลล์ 2 ครั้ง โดยวิธีการควบคุมความกว้างของอีเรเซอร์ โดยใช้เอนโทรปีเป็นวิธีการที่ถูกรับรองในงานวิจัย [6] ซึ่งมีขั้นตอนดังนี้

1. กำหนดค่าพารามิเตอร์ที่ใช้ในการจำลองโดยกำหนดให้เป็นเซลล์ที่บันทึกได้ 1 บิต/เซลล์ที่มีแรงดันเทอร์สโวลต์ 2 ระดับ คือ μ_0 เท่ากับ -1 โวลต์และ μ_1 เท่ากับ +1 โวลต์ตามลำดับ ส่วนช่องสัญญาณของหน่วยความจำแบบแนฟลซกำหนดให้เป็นเป็นแบบเกาส์เซียนซึ่ง

$$p_{s_0}(v) = \frac{1}{\sqrt{2\pi\sigma_0^2}} e^{-\frac{(v-\mu_0)^2}{2\sigma_0^2}} \quad (4.1)$$

และ

$$p_{s_1}(v) = \frac{1}{\sqrt{2\pi\sigma_1^2}} e^{-\frac{(v-\mu_1)^2}{2\sigma_1^2}} \quad (4.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ σ_0^2 และ σ_1^2 เป็นค่าความแปรปรวนของบิต '0' และ '1' ตามลำดับ ซึ่งจะกำหนดค่าความแปรปรวนของทั้งสองบิตให้เท่ากันและค่าความแปรปรวนจะกำหนดโดยใช้ค่า SNR ซึ่งค่าความแปรปรวนมีความสัมพันธ์กับ SNR ดังสมการ

$$SNR = \log_{10}\left(\frac{E_b}{N_0}\right) \quad (4.3)$$

เมื่อ

$$N_0 = \frac{\sigma^2}{2} \quad (4.4)$$

และกำหนดให้ใช้ค่า E_b เท่ากับ 1 จูล

2. หลังจากกำหนดค่าพารามิเตอร์ต่างๆ แล้วเป็นขั้นตอนในการคำนวณค่าเอนโทรปี $H(v)$ ของบิต '0' และ '1' สำหรับแต่ละค่า SNR โดยกำหนดค่า SNR เริ่มจาก 0 เดซิเบลถึง 7 เดซิเบล สำหรับค่าเอนโทรปีของแต่ละ SNR สามารถคำนวณได้จากสมการ

$$H(v) = \sum_{j=0}^1 \left[\left(\frac{p_j(v)}{\sum_{i=0}^1 p_i(v)} \right) \log_2 \left(\frac{\sum_{i=0}^1 p_i(v)}{p_j(v)} \right) \right] \quad (4.5)$$

$$H(v) = \frac{p_{s_0}(v)}{p_{s_0}(v) + p_{s_1}(v)} \log_2 \frac{p_{s_0}(v) + p_{s_1}(v)}{p_{s_0}(v)} + \frac{p_{s_1}(v)}{p_{s_0}(v) + p_{s_1}(v)} \log_2 \frac{p_{s_0}(v) + p_{s_1}(v)}{p_{s_1}(v)} \quad (4.6)$$

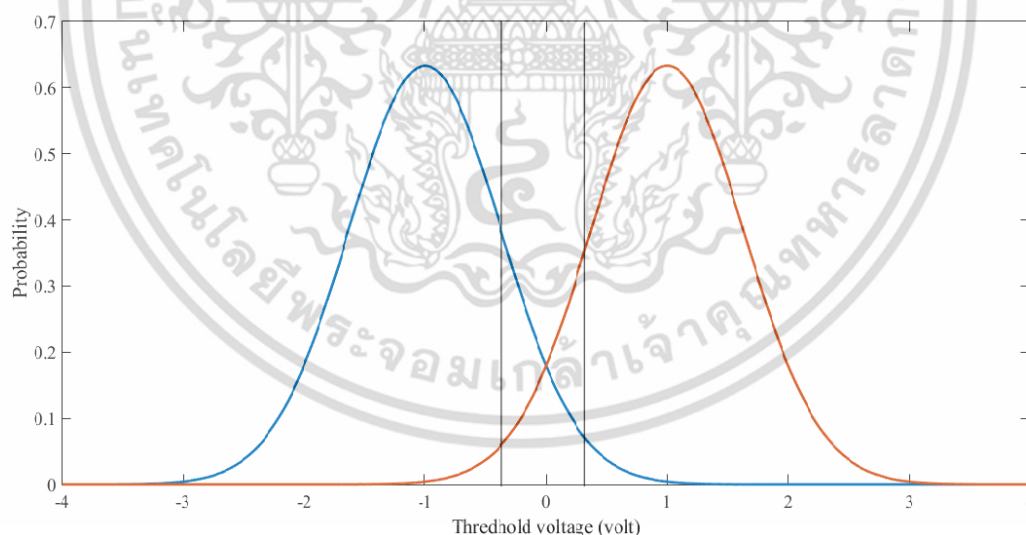
3. เลือกจุดที่ค่าเอนโทรปี $H(v)$ มีค่าเท่ากับ 0.35 ซึ่งค่านี้เป็นค่าที่ดีที่สุดจากงานวิจัย [6] ซึ่งจุดที่ค่าเอนโทรปี $H(v)$ มีค่าเท่ากับ 0.35 จะมีสองจุดด้วยกันจุดแรกที่มีค่าเอนโทรปีเท่ากับ 0.35 จะกำหนดให้เป็นแรงดันไฟฟ้าสำหรับอ่านเซลล์ครั้งที่ 1 (x_1) ส่วนจุดที่ 2 ที่มีค่าเอนโทรปีเท่ากับ 0.35 ถูกเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้เป็นแรงดันไฟฟ้าสำหรับอ่านเซลล์ครั้งที่ 2 (x_2) จากวิธีนี้จะได้ค่าแรงดันไฟฟ้าสำหรับอ่านเซลล์สำหรับ SNR แต่ละค่า

4.2 การหาแรงดันอ่านเซลล์ 2 ครั้งโดยวิธีการข่าวสารร่วมสูงสุด (Maximum Mutual Information: MMI)

การหาแรงดันสำหรับการอ่านเซลล์ x_1 และ x_2 ในงานวิจัย [9] ได้นำค่าข่าวสารร่วมสูงสุด (maximum mutual information, MMI) มาใช้ ซึ่งวิธีการ MMI มีขั้นตอนในการคำนวณดังนี้

1. กำหนดค่าพารามิเตอร์ที่ใช้ในการจำลองโดยกำหนดใช้พารามิเตอร์เดียวกับวิธีการเอนโทรปี
2. แปลงช่องสัญญาณในรูปที่ 4.1 ให้เป็นช่องสัญญาณไม่มีความจำแบบไม่ต่อเนื่อง (Discrete Memoryless Channel: DMC) เนื่องจากในหน่วยความจำแบบแฟลชมีการอ่านเซลล์ 2 ครั้งด้วยแรงดันไฟฟ้าที่ต่างกัน ดังนั้นจะมี 3 บริเวณด้วยกัน



รูปที่ 4.1 การแจกแจงความหนาแน่นความน่าจะเป็นของ SLC

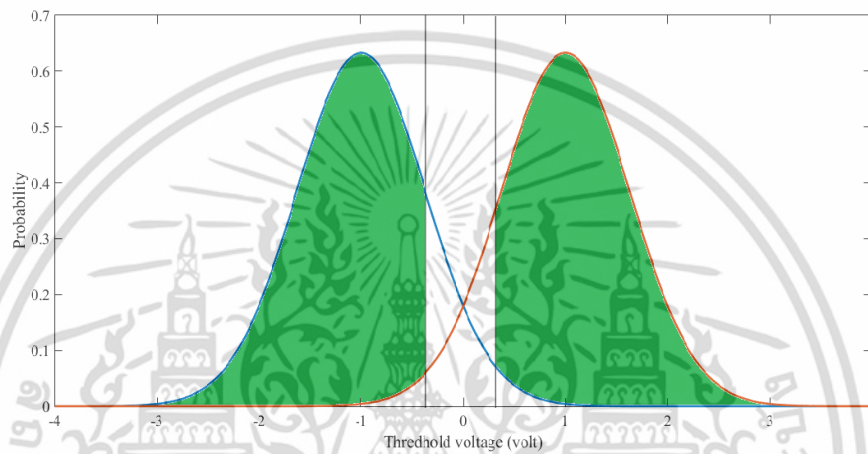
บริเวณที่ 1 คือพื้นที่ใต้กราฟสีเขียวดังรูปที่ 4.2 ซึ่งสามารถคำนวณค่าความน่าจะเป็นได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

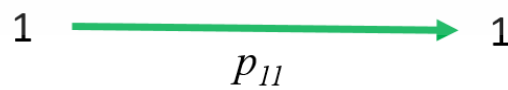
$$p_{00} = \int_{-\infty}^{x_1} p_{s_0}(v)dv \quad (4.7)$$

และ

$$p_{11} = \int_{x_2}^{\infty} p_{s_1}(v)dv \quad (4.8)$$



(ก) ช่องสัญญาณแฟลช



(ข) ช่องสัญญาณ DMC

รูปที่ 4.2 ความน่าจะเป็นที่ตัดสินใจผิดพลาด

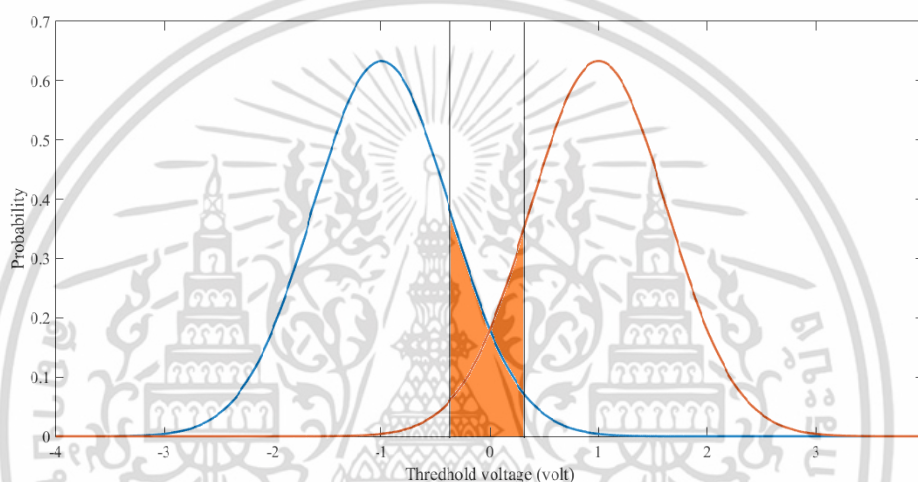
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริเวณที่ 2 คือพื้นที่ใต้กราฟสี่เหลี่ยมรูปที่ 4.3 ซึ่งบริเวณนี้สามารถคำนวณค่าความน่าจะเป็นได้จากสมการ

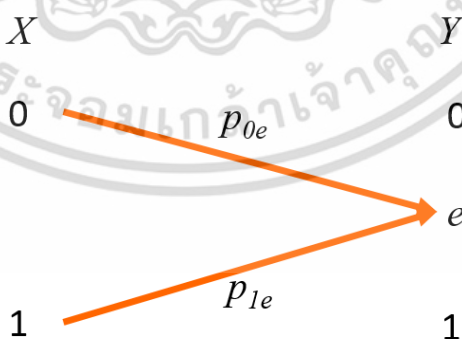
$$p_{0e} = \int_{x_1}^{x_2} p_{s_0}(v)dv \quad (4.9)$$

และ

$$p_{1e} = \int_{x_1}^{x_2} p_{s_1}(v)dv \quad (4.10)$$



(ก) ช่องสัญญาณแฟลช



(ข) ช่องสัญญาณ DMC

รูปที่ 4.3 ความน่าจะเป็นอีเรเซอร์

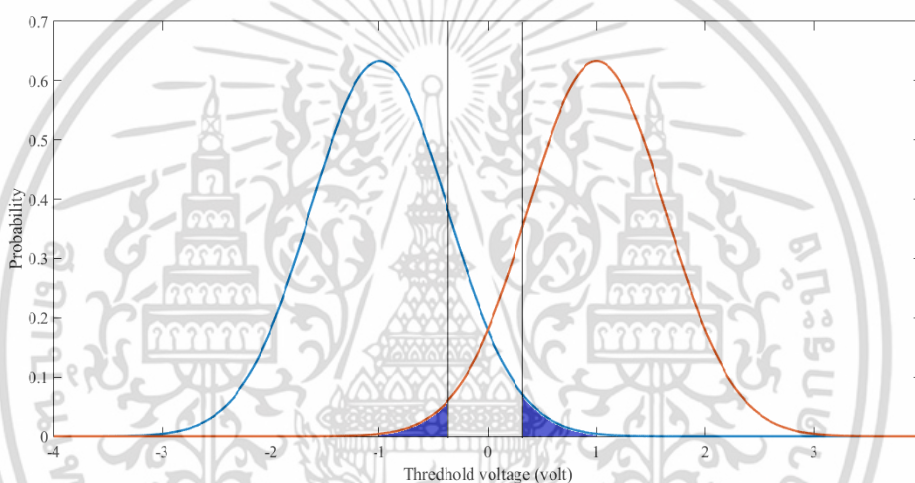
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่ใต้กราฟในบริเวณสุดท้ายคือพื้นที่สีน้ำเงินดังรูปที่ 4.4 ซึ่งค่าความน่าจะเป็นสามารถคำนวณได้จากสมการ

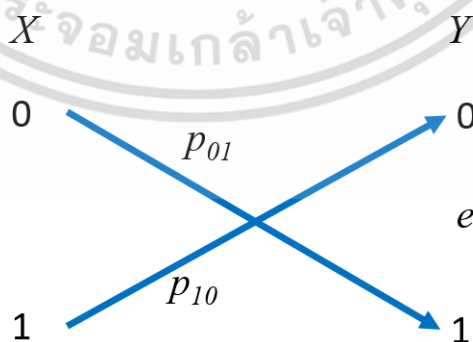
$$p_{01} = \int_{x_2}^{\infty} p_{s_0}(v)dv \quad (4.11)$$

และ

$$p_{10} = \int_{-\infty}^{x_1} p_{s_1}(v)dv \quad (4.12)$$



(ก) ช่องสัญญาณแฟลช

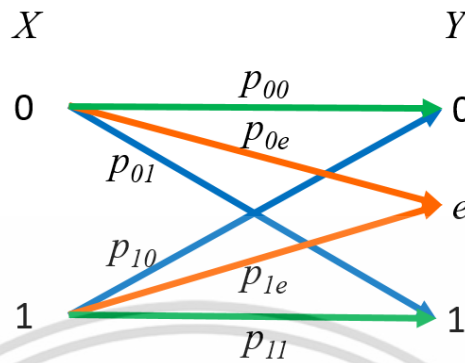


(ข) ช่องสัญญาณ DMC

รูปที่ 4.4 ความน่าจะเป็นที่ตัดสินใจผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้ช่องสัญญาณ DMC ดังรูปที่ 4.5



รูปที่ 4.5 ช่องสัญญาณ DMC สำหรับการอ่านเซลล์หน่วยความจำ 2 ครั้ง

3. หลังจากนั้นคำนวณหาค่าข่าวสารร่วม $I(X;Y)$ จากสมการ

$$I(X;Y) = H(Y) - H(Y|X) \quad (4.13)$$

เมื่อ $H(Y)$ และ $H(Y|X)$ สามารถหาได้จาก

$$H(Y) = -\sum_i p(y_i) \log_2(p(y_i)) \quad (4.14)$$

หรือ

$$H(Y) = H\left(\frac{p_{00} + p_{10}}{2}, \frac{p_{0e} + p_{1e}}{2}, \frac{p_{01} + p_{11}}{2}\right) \quad (4.15)$$

และ

$$H(Y|X) = -\sum_i \sum_j p(x_i, y_j) \log_2(p(y_j | x_i)) \quad (4.16)$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(Y | X) = \frac{1}{2}H(p_{00}, p_{0e}, p_{01}) + \frac{1}{2}H(p_{10}, p_{1e}, p_{11}) \quad (4.17)$$

การปรับค่าแรงดันไฟฟ้าที่ใช้ในการอ่านเซลล์ x_1 และ x_2 เพื่อให้ได้ค่าข่าวสารร่วมสูงสุด เนื่องจากมีตัวแปรที่ต้องการปรับค่าอยู่ 2 ตัวแปร ซึ่งตัวแปร x_1 และ x_2 สัมพันธ์กับความกว้างของอีเรเซอร์ (Erasure Width) W_E ดังนั้นการอพติไมซ์ตัวแปรที่จะทำการอพติไมซ์คือค่าครึ่งความกว้างอีเรเซอร์ (Half Erasure Width) W_{HE} ซึ่งค่าครึ่งความกว้างอีเรเซอร์สามารถคำนวณได้จาก

$$W_{HE} = \frac{|x_1 - x_2|}{2} \quad (4.18)$$

หลังจากนั้นคำนวณหาค่าตัวแปร x_1 และ x_2 สำหรับแต่ละค่า SNR โดยใช้ค่า SNR ตั้งแต่ 0 เดซิเบลถึง 7 เดซิเบล

4.3 การหาแรงดันอ่านเซลล์ 2 ครั้งโดยวิธีการเดนซิติอีโวลูชัน (Density Evolution)

จากงานวิจัยก่อนหน้าพบว่าวิธีการหาค่าแรงดันไฟฟ้าสำหรับอ่านเซลล์ x_1 และ x_2 พบว่าไม่ได้มีการนำรหัสแอลดีพีซี (LDPC) มาพิจารณาด้วย การอ่านเซลล์หลายครั้งนั้นมีที่มาจากความต้องการนำรหัสแอลดีพีซีที่มีประสิทธิภาพสูงมาใช้ในหน่วยความจำแบบแนวนแฟลชซึ่งรหัสแอลดีพีซีต้องการใช้ค่าข่าวสารแบบซอฟต์ในการถอดรหัส ดังนั้นการหาค่า x_1 และ x_2 จะไม่ประสบความสำเร็จเลยถ้าการคำนวณหา x_1 และ x_2 ไม่ได้วิเคราะห์ร่วมกับรหัสแอลดีพีซี

รหัสแอลดีพีซีเป็นรหัสบล็อกเชิงเส้นชนิดหนึ่งที่เมทริกซ์พาริตีเช็ก (\mathbf{H}) ที่มีคุณสมบัติคือ มีเลข 0 จำนวนมากเมื่อเทียบกับจำนวนเลข 1 ในเมทริกซ์พาริตีเช็ก คุณสมบัตินี้เรียกว่า sparse และจำนวนเลข 1 จะเพิ่มขึ้นเป็นเชิงเส้นเมื่อคาร์รหัสมีขนาดใหญ่ขึ้น รหัสแอลดีพีซีถูกคิดค้นขึ้นมาในปี ค.ศ. 1963 โดยผู้คิดค้นคือ Robert A. Gallager แต่เนื่องจากมีความซับซ้อนในการคำนวณมาก รหัสแอลดีพีซีจึงไม่ได้รับความนิยมในขณะนั้น

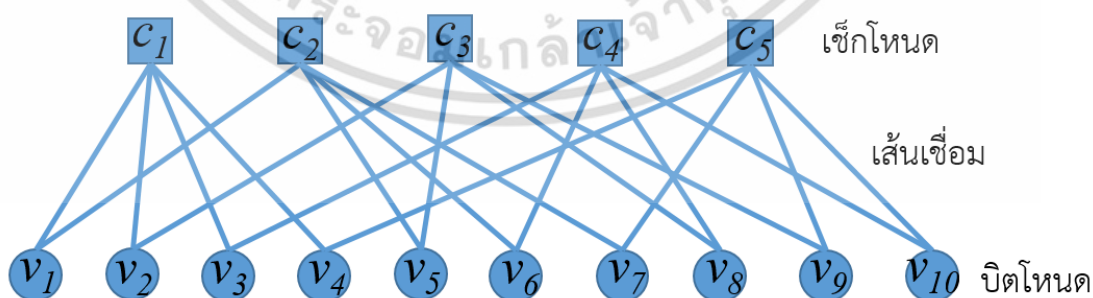
เมทริกซ์พาริตีเช็ก \mathbf{H} ของรหัสบล็อกเชิงเส้นสามารถแสดงได้ในรูปของกราฟเทนเนอร์ (Tanner graph) ซึ่งกราฟเทนเนอร์จัดเป็นกราฟแบบสองส่วน (Bipartite) ซึ่งกราฟเทนเนอร์เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วย เซตของโหนดบิต (Bit node) เซตของโหนดเช็ค (Check node) และ เซตของเส้นเชื่อม (Edge) ที่เชื่อมระหว่างโหนดบิตและโหนดเช็ค

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix}$$

รูปที่ 4.6 ตัวอย่างเมทริกซ์พาริตีเช็ค \mathbf{H}

รูปที่ 4.6 แสดงตัวอย่างของเมทริกซ์พาริตีเช็คที่มีขนาด 5×10 จำนวนแถวของเมทริกซ์ \mathbf{H} แทนจำนวนโหนดเช็คและจำนวนหลักของเมทริกซ์ \mathbf{H} แทนจำนวนของโหนดบิต ส่วนจำนวนของเลข 1 ของเมทริกซ์ \mathbf{H} แทนจำนวนเส้นเชื่อมทั้งหมดในกราฟแทนเนอร์ จำนวนเลขหนึ่งในแต่ละแถว (d_c) บ่งบอกจำนวนโหนดบิตที่เชื่อมกับ 1 โหนดเช็ค เช่น รูปที่ 4.6 แต่ละแถวมีเลข 1 จำนวน 4 ค่า ดังนั้น $d_c = 4$ หมายความว่า 1 โหนดเช็คเชื่อมกับ 4 โหนดบิต ส่วนจำนวนเลข 1 ในแต่ละหลัก (d_v) บ่งบอกว่า 1 โหนดบิตเชื่อมต่อกับโหนดเช็คจำนวนเท่าใด เช่น รูปที่ 4.6 แต่ละหลักมีเลข 1 จำนวน 2 ค่า ดังนั้น $d_v = 2$ หมายความว่า 1 โหนดบิตเชื่อมกับ 2 โหนดเช็ค รูปที่ 4.6 เมทริกซ์ \mathbf{H} สามารถเขียนเป็นกราฟแทนเนอร์ได้ดังรูปที่ 4.7



รูปที่ 4.7 กราฟแทนเนอร์ของเมทริกซ์พาริตีเช็ค \mathbf{H}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

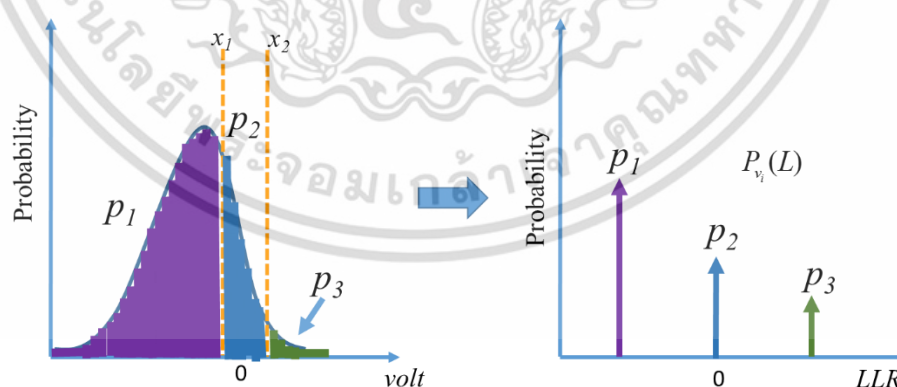
การวิเคราะห์รหัสแอสกีพีซีขึ้นอาศัยวิธีการที่เรียกว่าเดนซิตีอีโวลูชัน (Density Evolution) ซึ่งแนวคิดของเดนซิตีอีโวลูชัน คือการพิจารณาการเปลี่ยนแปลงค่าพีดีเอฟ (Probability Density Function: pdf) ของสัญญาณระหว่างการถอดรหัสแอสกีพีซีและประมาณค่าความน่าจะเป็นความผิดพลาด (Error Probability) ซึ่งคือค่าอัตราบิตผิดพลาด (Bit Error Rate: BER) ขั้นตอนในการถอดรหัสแอสกีพีซีที่แข็งแกร่งไฟสำหรับการอ่านเซลล์โดยอาศัยเดนซิตีอีโวลูชันมีดังนี้

1. กำหนดค่าพารามิเตอร์สำหรับช่องสัญญาณเหมือนกับวิธีการเอชไอ
2. เดนซิตีอีโวลูชันจะพิจารณาพีดีเอฟของบิต '0' หรือบิต '1' เพียงอย่างเดียวอย่างหนึ่ง ในงานวิจัยนี้ นำพีดีเอฟของบิต '0' มาพิจารณา สำหรับการอ่านเซลล์หน่วยความจำสองครั้งด้วยแรงดันไฟฟ้า x_1 และ x_2 ทำให้พีดีเอฟของบิต '0' ถูกแบ่งออกเป็น 3 ส่วนซึ่งค่าความน่าจะเป็นแต่ละบริเวณคือพื้นที่ใต้กราฟซึ่งสามารถคำนวณได้จากสมการ

$$p_1 = \int_{-\infty}^{x_1} p_{s_0}(v) dv \quad (4.19)$$

$$p_2 = \int_{x_1}^{x_2} p_{s_0}(v) dv \quad (4.20)$$

$$p_3 = \int_{x_2}^{\infty} p_{s_0}(v) dv \quad (4.21)$$



รูปที่ 4.8 พีดีเอฟช่องสัญญาณที่อ่านได้ในหน่วยความจำแบบแนวนอนแฟลช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

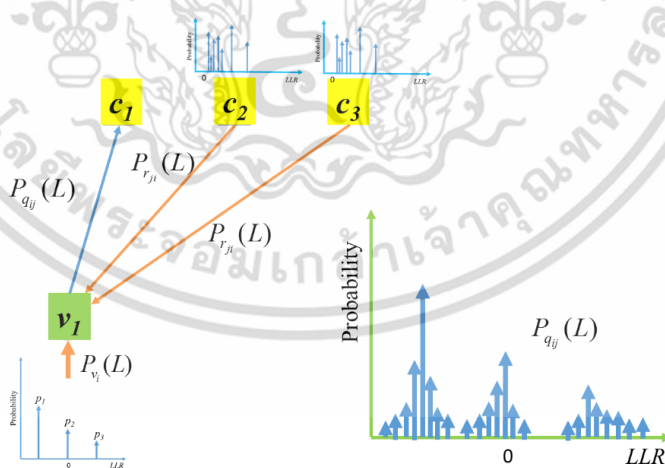
2. คำนวณค่า Log-Likelihood ratio (LLR) $L(v_i)$ ของสัญญาณที่อ่านได้จากหน่วยความจำแบบแฟลช y_i จะได้พีดีเอฟของค่า LLR ของสัญญาณที่รับได้ดังรูปที่ 4.8 ซึ่งค่า LLR สามารถคำนวณได้จากสมการ

$$L(v_i) = \log \frac{P(v_i = 0 | y_i)}{P(v_i = 1 | y_i)} \quad (4.22)$$

3. พิจารณาที่โหนดบิตคำนวณค่า LLR ส่งขึ้นไปยังเซ็คโหนดดังรูปที่ 4.9 โดยใช้สมการ

$$L^{(l)}(q_{ij}) = L(v_i) + \sum_{j' \in C_i, j'} L^{(l-1)}(r_{j'i}) \quad (4.23)$$

การเปลี่ยนแปลงค่าพีดีเอฟเมื่อมีการคำนวณค่าส่งขึ้นไปยังโหนดเซ็คสามารถคำนวณได้จากการทำคอนโวลูชันของพีดีเอฟแต่ละเส้นทางจะได้พีดีเอฟที่ส่งขึ้นไปยังเซ็คโหนด



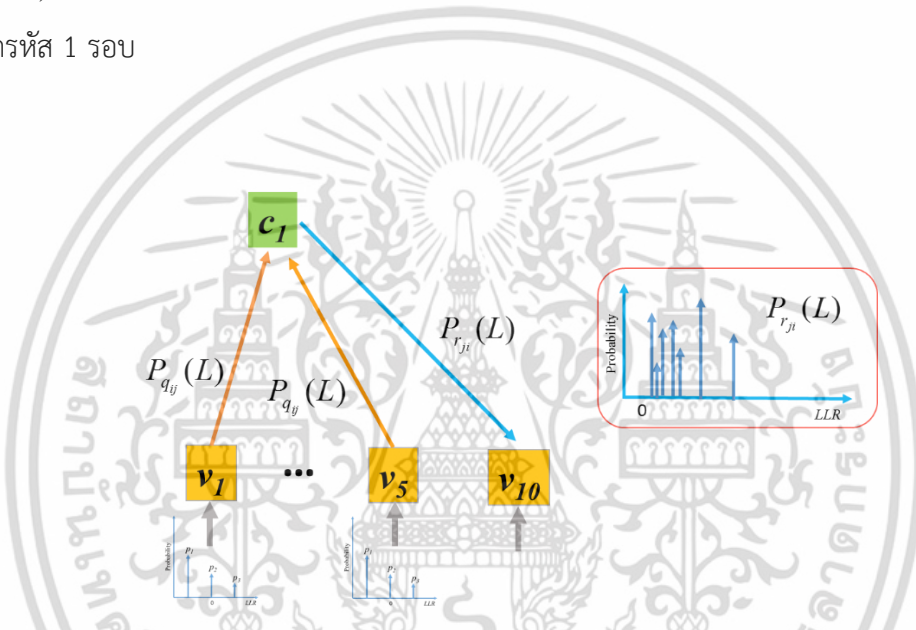
รูปที่ 4.9 การเปลี่ยนแปลงพีดีเอฟเมื่อคำนวณค่า LLR ที่โหนดบิต

4. พิจารณาที่โหนดเซ็คดังรูปที่ 4.10 มีการคำนวณค่า LLR ส่งกลับลงมาที่โหนดบิตโดยใช้สมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L^{(l)}(r_{ij}) = 2 \tanh^{-1} \left(\prod_{i' \in V_j, i'} \tanh \left(\frac{L^{(l)}(q_{i'j})}{2} \right) \right) \tag{4.24}$$

การเปลี่ยนแปลงค่าพิตีเอฟของค่า LLR ที่ส่งกลับลงมายังโหนดบิต โดยค่าพิตีเอฟ $P_{r_{ji}}(L)$ ของค่า LLR ที่ส่งกลับลงมาเกิดจากการทำการแจกแจงการคูณ (Product distribution) ของพิตีเอฟจำนวน $(d_c - 1)$ เส้นทางที่ส่งเข้ามายังโหนดเช็ด การคำนวณค่าส่งกลับมายังบิตโหนดในขั้นตอนนี้ับเป็นการ ถอดรหัส 1 รอบ



รูปที่ 4.10 การเปลี่ยนแปลงพิตีเอฟเมื่อคำนวณค่า LLR ที่โหนดเช็ด

5. คำนวณการเปลี่ยนแปลงของค่าพิตีเอฟในขั้นตอนที่ 3. – 4. เพื่อเพิ่มจำนวนรอบการถอดรหัส ตามที่กำหนดในการคำนวณค่า LLR ที่ส่งกลับมายังโหนดบิตรอบสุดท้ายสามารถคำนวณได้จาก สมการ

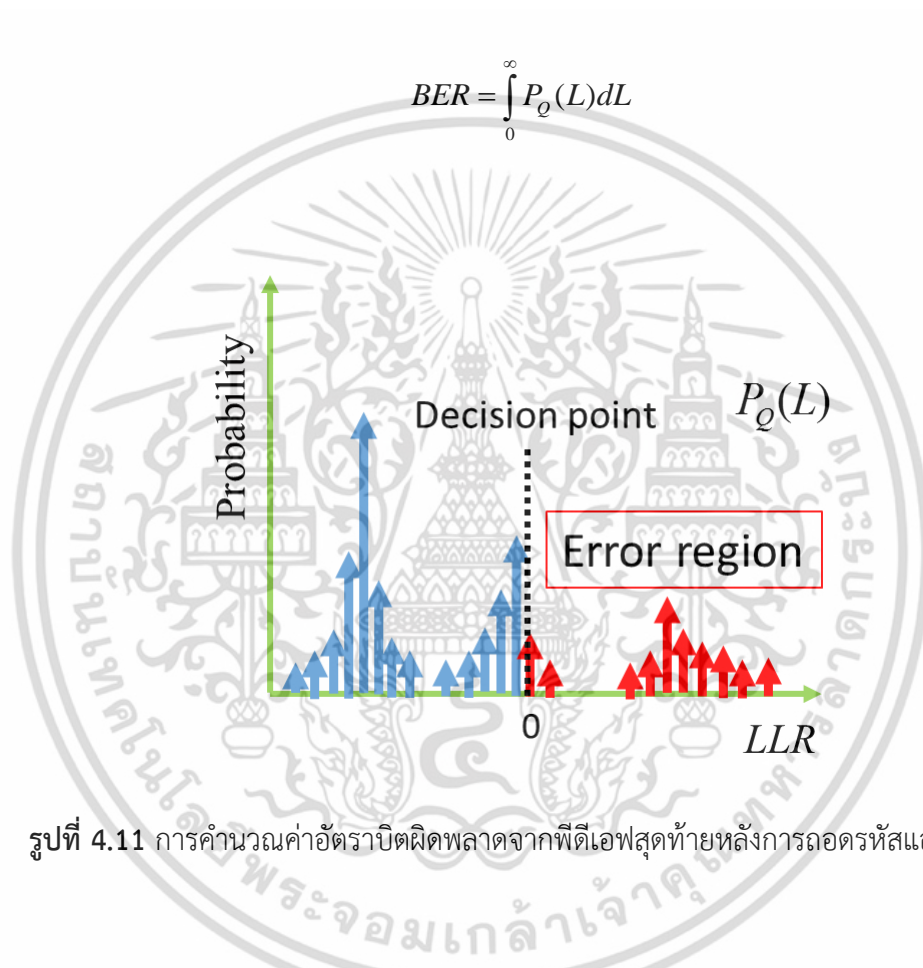
$$L(Q_i) = L(v_i) + \sum_{j \in C_i} L^{(l-1)}(r_{ji}) \tag{4.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งการคำนวณรอบสุดท้ายนี้จะไม่มีการคำนวณค่าส่งกลับขึ้นไปยังโหนดเซ็คอีก การเปลี่ยนแปลงของพีดีเอฟในการคำนวณค่า LLR รอบสุดท้ายสามารถคำนวณได้จากการทำคอนโวลูชันทุกเส้นทางที่เข้ามายังโหนดบิต

หลังจากได้ค่าพีดีเอฟใหม่หลังจากมีการถอดรหัสแอลดีพีซี นำมาคำนวณค่าความน่าจะเป็นบิตผิดพลาดที่เป็นพื้นที่ใต้กราฟสีแดงดังรูปที่ 4.11 โดยใช้สมการ

$$BER = \int_0^{\infty} P_Q(L) dL \quad (4.26)$$



รูปที่ 4.11 การคำนวณค่าอัตราบิตผิดพลาดจากพีดีเอฟสุดท้ายหลังการถอดรหัสแอลดีพีซี

การปรับค่าแรงดันไฟฟ้าที่ใช้ในการอ่านเซลล์ x_1 และ x_2 เพื่อให้ได้ค่าอัตราบิตผิดพลาดต่ำที่สุดสูงสุด เนื่องจากมีตัวแปรที่ต้องการปรับค่าอยู่ 2 ตัวแปร ซึ่งตัวแปร x_1 และ x_2 สัมพันธ์กับความกว้างของอีเรเซอร์ (Erasure Width) W_E ดังนั้นการออกพติไมซ์ตัวแปรที่จะทำการออกพติไมซ์คือค่าครึ่งความกว้างอีเรเซอร์ (Half Erasure Width) W_{HE} ซึ่งค่าครึ่งความกว้างอีเรเซอร์สามารถคำนวณได้จากสมการ (4.18) หลังจากนั้นคำนวณหาค่าตัวแปร x_1 และ x_2 สำหรับแต่ละค่า SNR โดยใช้ค่า SNR ตั้งแต่ 0 เดซิเบลถึง 7 เดซิเบล

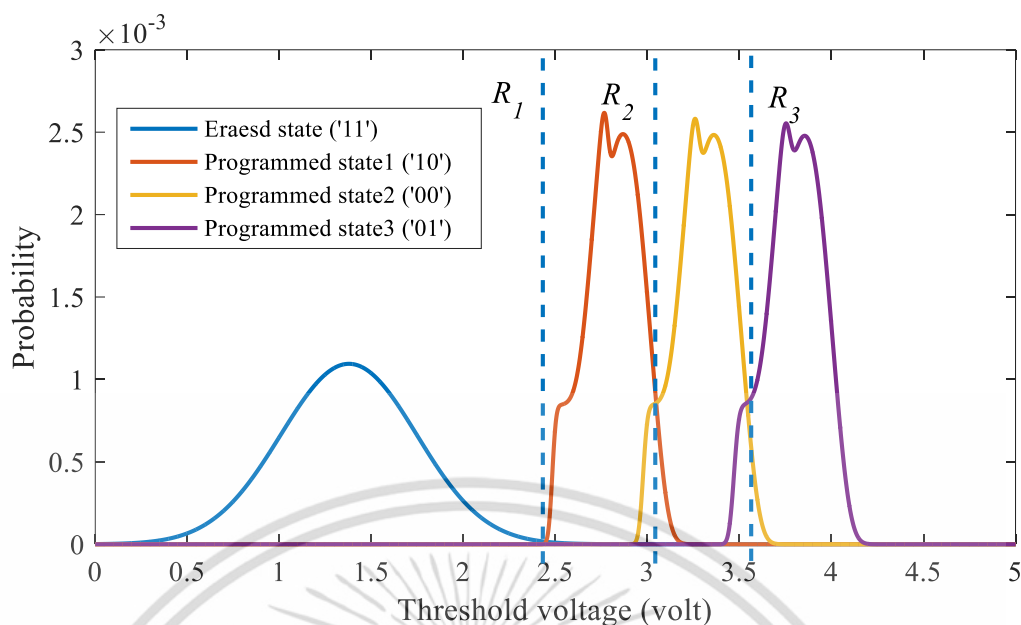
บทที่ 5

ผลการทดลองและการอภิปรายผล

5.1 การออปติไมซ์การเขียนเซลล์หน่วยความจำ

สำหรับการออปติไมซ์แรงดันไฟฟ้าสำหรับเขียนเซลล์หรือแรงดันเทรสโฮลด์ (Threshold voltage) ในงานวิจัยนี้จะใช้ช่องสัญญาณจริงของหน่วยความจำแบบแฟลชที่บันทึก 2 บิต/เซลล์ ดังนั้นจะมีแรงดันเทรสโฮลด์ 4 ระดับสำหรับแทนข้อมูลบิตที่บันทึกอยู่ในเซลล์ เมื่อบิตที่บันทึกในเซลล์ถูกรบกวนจากแหล่งของสัญญาณรบกวนต่างๆ ไม่ว่าจะเป็นสัญญาณรบกวนที่เกิดจากการลบเซลล์ สัญญาณรบกวนที่เกิดจากการบันทึกข้อมูลลงในเซลล์ สัญญาณรบกวนที่เกิดจากจำนวนรอบการโปรแกรมเซลล์ ระยะเวลาการบันทึกข้อมูลในเซลล์ และการแทรกสอดระหว่างเซลล์ ซึ่งสัญญาณรบกวนต่างๆ เหล่านี้ล้วนทำให้ความน่าเชื่อถือในการบันทึกข้อมูลลดลง รูปที่ 5.1 เป็นสัญญาณที่เกิดขึ้นในหน่วยความจำแบบแฟลช ในการจำลองกำหนดให้ใช้ค่าพารามิเตอร์ต่างๆ ดังนี้ แรงดันเทรสโฮลด์ระดับที่ 1 ($v_{s_{11}}$) หรือที่เรียกว่าสถานะลบค่า (Erased state) แรงดันเทรสโฮลด์นี้จะแทนข้อมูลบิต '11' เนื่องจากแรงดันเทรสโฮลด์นี้เป็นของสถานะลบค่า ดังนั้น สัญญาณรบกวนที่มีผลต่อแรงดันเทรสโฮลด์นี้ได้แก่ สัญญาณรบกวนที่เกิดจากการลบข้อมูลจากเซลล์ ซึ่งทำให้แรงดันเทรสโฮลด์มีการแจกแจงแบบเกาส์เซียน พารามิเตอร์ที่ใช้ คือ μ_c หรือ $v_{s_{11}} = 1.2$ โวลต์ และ $\sigma_c = 0.35$ สำหรับแรงดันเทรสโฮลด์ระดับที่ 2 3 และ 4 เรียกว่าสถานะโปรแกรมค่า (Programmed State) ซึ่งแทนบิตข้อมูล '10' '00' และ '01' ตามลำดับ ซึ่งกระบวนการโปรแกรมค่าส่งผลให้แรงดันเทรสโฮลด์มีการแจกแจงแบบสมมาตรซึ่งกำหนดค่าพารามิเตอร์ดังนี้ $\Delta V_{pp} = 0.3$ โวลต์ และระดับแรงดันที่ใช้ในการโปรแกรม (V_p) เมื่อ $V_p \in \{v_{s_{10}}, v_{s_{00}}, v_{s_{01}}\}$ ของบิตข้อมูล '10' '00' และ '01' คือ $v_{s_{10}} = 2.55$ โวลต์ $v_{s_{00}} = 3.0$ โวลต์ และ $v_{s_{01}} = 3.45$ โวลต์ ถัดมาคือการแทรกสอดระหว่างเซลล์ ซึ่งกำหนดค่าพารามิเตอร์ต่างๆ ที่สำคัญดังนี้ $w_r = 0.1\mu_r$ $\sigma_r = 0.4\mu_r$ ค่าเฉลี่ย γ_y เท่ากับ $0.08s$ และค่าเฉลี่ยของ γ_{xy} เท่ากับ $0.006s$ โดย $s = 1.5$ นอกจากนี้ยังมีสัญญาณรบกวน RTN ซึ่งทำให้แรงดันเทรสโฮลด์มีการแจกแจงแบบลาปาส โดยกำหนดค่าพารามิเตอร์ดังนี้ $N = 1000$ รอบ $\alpha = 0.5$ $K_\lambda = 0.00025$ และ $\lambda = K_\lambda N^\alpha$ สุดท้ายคือการลดลงของแรงดันเทรสโฮลด์ที่เกิดจากระยะเวลาการบันทึกข้อมูลที่ยาวนาน ซึ่งกำหนดพารามิเตอร์ต่างๆ ดังนี้ $t_0 = 1$ ชั่วโมง $N = 1000$ รอบ $K_s = 0.38$ $K_d = 4 \times 10^{-4}$ และ $K_m = 4 \times 10^{-6}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



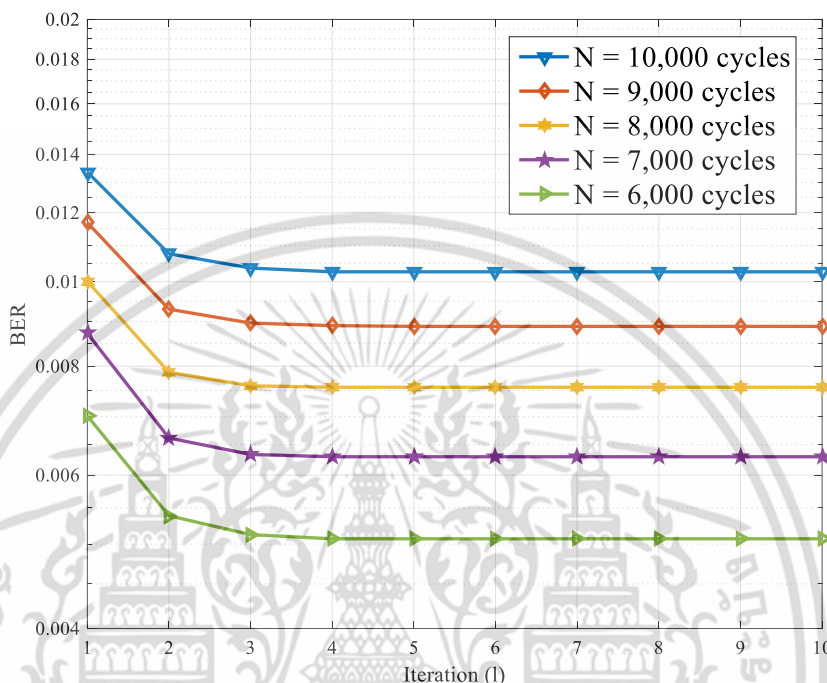
รูปที่ 5.1 ช่องสัญญาณของหน่วยความจำแบบแฟลชที่บันทึก 2 บิตต่อเซลล์

5.1.1 อัลกอริทึมการค้นหา (Search Algorithm)

ในการออกแบบแรงดันเทรสโฮลด์นั้นอาศัยอัลกอริทึมการค้นหา การใช้อัลกอริทึมการค้นหาเพื่อออกแบบแรงดันเทรสโฮลด์ กำหนดให้ใช้ช่องสัญญาณที่มีค่าพารามิเตอร์ต่างๆ เช่นเดียวกับที่ใช้ในรูปที่ 5.1 โดยกำหนดให้ $v_{s_{11}}$ เป็นแรงดันเทรสโฮลด์ต่ำสุด (v_{\min}) ที่เป็นค่าคงที่เท่ากับ 1.2 โวลต์ และ $v_{s_{01}}$ เป็นแรงดันเทรสโฮลด์สูงสุด (v_{\max}) ที่เป็นค่าคงที่เท่ากับ 3.45 โวลต์ พารามิเตอร์ที่ต้องการออกแบบคือ $v_{s_{10}}$ และ $v_{s_{00}}$ ซึ่งกำหนดให้แทนด้วยตัวแปร v_1 และ v_2 ตามลำดับ

พิจารณากราฟในรูปที่ 5.2 เป็นกราฟแสดงความสัมพันธ์ระหว่างอัตราบิดผิดพลาดและจำนวนรอบของอัลกอริทึมการค้นหา กราฟเส้นสีน้ำเงินกำหนดให้มีค่า $N = 10,000$ รอบ ในรอบแรกของอัลกอริทึมคำนวณค่าอัตราบิดผิดพลาดได้ 0.0135 เมื่อเพิ่มจำนวนรอบของอัลกอริทึมเป็น 2 รอบ อัตราบิดผิดพลาดลดลงเหลือ 0.011 ในรอบที่สามของอัลกอริทึมการค้นหาอัตราบิดผิดพลาดลดลงเป็น 0.0105 รอบที่ 4 อัตราบิดผิดพลาดเริ่มลดลงน้อยเพราะว่าค่าเริ่มเข้าใกล้ค่าต่ำสุดแล้ว ค่าอัตราบิดผิดพลาดมีค่าเท่ากับ 0.01025 และในรอบที่ 5 ถึงรอบที่ 10 ค่าอัตราบิดผิดพลาดคงที่อยู่ที่ 0.01025 นั้นแสดงว่าค่าอัตราบิดผิดพลาดเข้าสู่ค่าต่ำสุดแล้ว จากผลการทดลองทำให้เรากำหนดได้ว่าต้องใช้จำนวนรอบของอัลกอริทึมการค้นหาเท่าใดจึงเข้าสู่ค่าต่ำสุด เมื่อทดลองทำการปรับค่า N ให้เป็น 9,000 8,000 7,000 และ 6,000 รอบตามลำดับผลที่ได้จะเหมือนกันคือค่าอัตราบิดผิดพลาด เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลงจนถึงจุดหนึ่งและคงที่เมื่อจำนวนรอบเพิ่มขึ้น จากกราฟในรูปที่ 5.2 จะเห็นว่าเพียงแค่รอบที่ 5 ของอัลกอริทึมการค้นหาที่เพียงพอสำหรับการอพติไมซ์แรงดันเทอร์สโสลต์ v_1 และ v_2



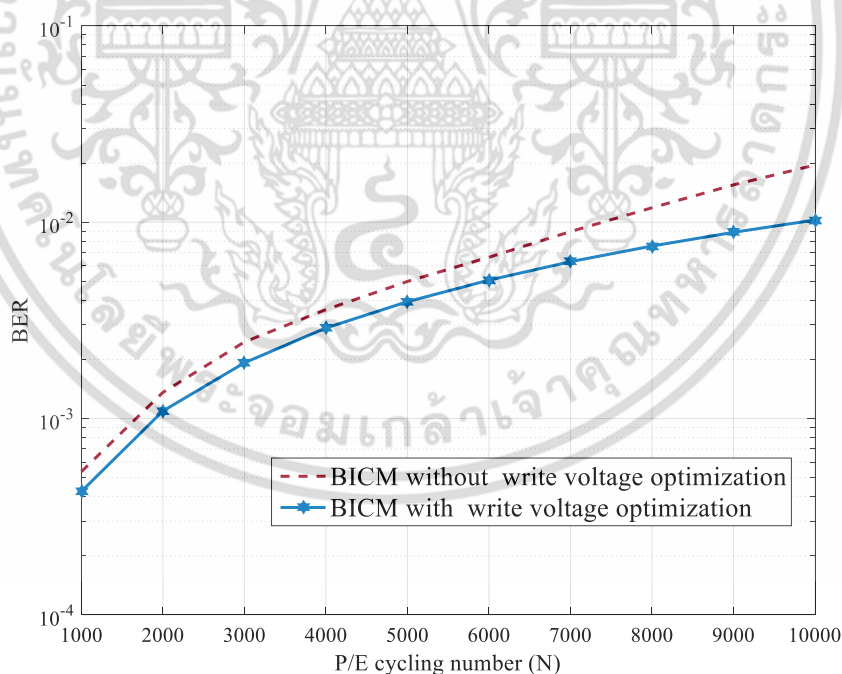
รูปที่ 5.2 การลู่เข้าสู่ค่าต่ำสุดของอัลกอริทึม

5.1.2 การอพติไมซ์การเขียนสำหรับโครงสร้าง BICM และ MLC

การอพติไมซ์แรงดันเทอร์สโสลต์แบ่งเป็นการอพติไมซ์สำหรับ 2 โครงสร้าง มีเป้าหมายที่แตกต่างกันแต่สามารถใช้อัลกอริทึมการค้นหาเพื่อให้ได้ ค่าแรงดันเทอร์สโสลต์ v_1 และ v_2 ที่เหมาะสมสำหรับทั้ง 2 โครงสร้าง ในการจำลองเราได้แบ่งการจำลองออกเป็น 2 โครงสร้าง ได้แก่ โครงสร้างที่ 1 คือ โครงสร้าง BICM โดยมีการจำลองฝั่งส่งโดยสร้างชุดบิตข้อมูลไบนารี '0' และ '1' แบบสุ่มโดยจำนวนบิต '0' และบิต '1' มีปริมาณเท่าๆ กัน หลังจากนั้นแบ่งชุดข้อมูลออกเป็นบล็อกย่อยๆ บล็อกละ 2 บิต หลังจากนั้นแปลงคูบิตให้เป็นระดับสัญญาณที่เป็นจำนวนเต็มโดยคูบิต '11' แปลงเป็นแรงดันเทอร์สโสลต์ v_{\min} คูบิต '10' แปลงเป็นแรงดันเทอร์สโสลต์ v_1 คูบิต '00' แปลงเป็นแรงดันเทอร์สโสลต์ v_2 และคูบิต '01' แปลงเป็นแรงดันเทอร์สโสลต์ v_{\max} หลังจากผ่านช่องสัญญาณของ

หน่วยความจำแบบแฟลชแล้วทำการตัดสินใจบิตโดยใช้การตัดสินใจแบบฮาร์ดและทำการวัดอัตราบิตผิดพลาด

พิจารณารูปที่ 5.3 เป็นกราฟที่แสดงความสัมพันธ์ระหว่างอัตราบิตผิดพลาดและจำนวนรอบการโปรแกรมและลบเซลล์ (N) สำหรับโครงสร้าง BICM พิจารณากราฟเส้นประสีแดงเป็นกราฟอัตราบิตผิดพลาดที่ยังไม่มีการออปติไมซ์การอ่าน โดยใช้ค่าพารามิเตอร์ v_1 และ v_2 ตามงานวิจัย [8] ซึ่งได้กำหนดให้แรงดันเทอร์สโวลต์ v_{\min} v_1 v_2 และ v_{\max} เป็นค่าคงที่สำหรับทุกค่า N จุดที่ N มีค่าน้อยๆ อัตราบิตผิดพลาดจะต่ำเนื่องมาจากการแจกแจงแรงดันเทอร์สโวลต์ของเซลล์ยังมีความแปรปรวนไม่มากและเมื่อ N มีค่ามากจะมีค่าอัตราบิตผิดพลาดสูงเนื่องจากความแปรปรวนที่มากขึ้น สำหรับกราฟสีน้ำเงิน คือกราฟแสดงอัตราบิตผิดพลาดของโครงสร้าง BICM ที่มีการออปติไมซ์แรงดันเทอร์สโวลต์ v_1 และ v_2 สำหรับแต่ละค่า N ค่าอัตราบิตผิดพลาดของการเขียนเซลล์ที่มีการออปติไมซ์แรงดันเทอร์สโวลต์ v_1 และ v_2 จะต่ำกว่าอัตราบิตผิดพลาดที่ไม่มีการออปติไมซ์การเขียน (กราฟเส้นประสีแดง) และจะเห็นว่ากราฟทั้งสองมีค่าอัตราบิตผิดพลาดที่ต่างกันมากขึ้น เมื่อ N มีค่าสูงขึ้น

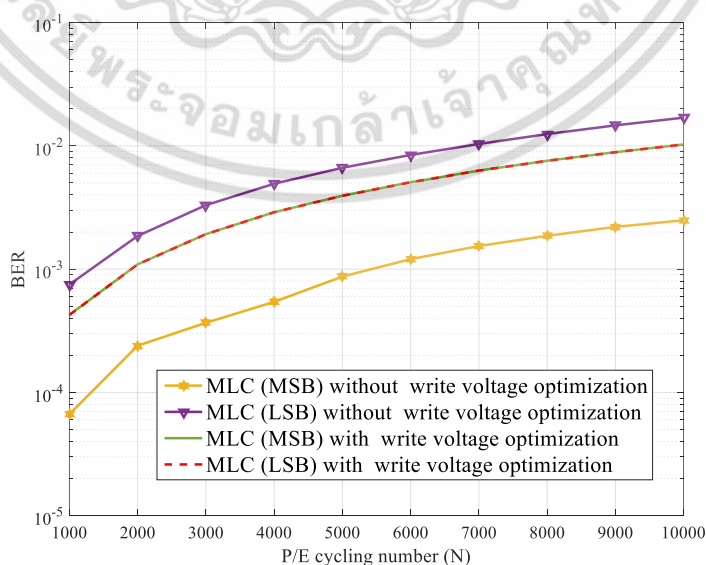


รูปที่ 5.3 อัตราบิตผิดพลาดหลังการออปติไมซ์การเขียนของโครงสร้าง BICM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการออปติไมซ์แรงดันเทรโซลต์ของโครงสร้าง MLC ที่มีเป้าหมายเพื่อให้อัตราบิดผิดพลาดของบิตแรก (MSB) และบิตที่สอง (LSB) มีค่าเท่ากันหรือใกล้เคียงกัน สำหรับใช้กับรหัสแอลดีพีซีที่มีอัตรารหัสเท่ากัน ในการจำลองโครงสร้างนี้ คือสร้างชุดบิตไบนารี '0' และ '1' แบบสุ่มที่มีจำนวนบิต '0' และบิต '1' เท่ากันๆ กันขึ้นมา 2 ชุด จากนั้นจะทำการจับคู่บิตชุดที่ 1 และชุดที่ 2 แล้วทำการแปลงไปเป็นแรงดันเทรโซลต์ v_{\min} v_1 v_2 และ v_{\max} หลังจากผ่านช่องสัญญาณของหน่วยความจำแบบแฟลชแล้วทำการตัดสินใจบิตโดยใช้การตัดสินใจแบบฮาร์ดและทำการวัดอัตราบิดผิดพลาดซึ่งจะได้ค่าอัตราบิดผิดพลาดมา 2 ค่าคืออัตราบิดผิดพลาดของ MSB และอัตราบิดผิดพลาดของ LSB

พิจารณารูปที่ 5.4 ที่แสดงความสัมพันธ์ระหว่างสมรรถนะของอัตราบิดผิดพลาดกับค่า N ของโครงสร้าง MLC กราฟเส้นสีม่วงคืออัตราบิดผิดพลาดของ LSB ที่ไม่มีการออปติไมซ์แรงดันเทรโซลต์ v_1 และ v_2 และกราฟเส้นสีเหลืองเป็นกราฟที่แสดงอัตราบิดผิดพลาดของ MSB ไม่มีการออปติไมซ์แรงดันเทรโซลต์ v_1 และ v_2 จะเห็นได้ว่าอัตราบิดผิดพลาดของข้อมูลไบนารีทั้ง 2 ชุดมีค่าต่างกัน โดยที่อัตราบิดผิดพลาดของ MSB จะต่ำกว่าอัตราบิดผิดพลาดของ LSB มาก ส่วนกราฟสีเขียวและกราฟเส้นประสีแดง คืออัตราบิดผิดพลาดของ MSB และ LSB ตามลำดับ หลังจากที่ได้ทำการออปติไมซ์แรงดันเทรโซลต์ v_1 และ v_2 ซึ่งการออปติไมซ์แรงดันเทรโซลต์นั้น นอกจากทำให้อัตราบิดผิดพลาดของ MSB เท่ากับ LSB แล้วอัตราบิดผิดพลาดของ LSB ยังลดลงมาด้วย แต่ก็ต้องแลกกับการเพิ่มขึ้นของอัตราบิดผิดพลาดของ MSB



รูปที่ 5.4 อัตราบิดผิดพลาดหลังการออปติไมซ์การเขียนของโครงสร้าง MLC/PID

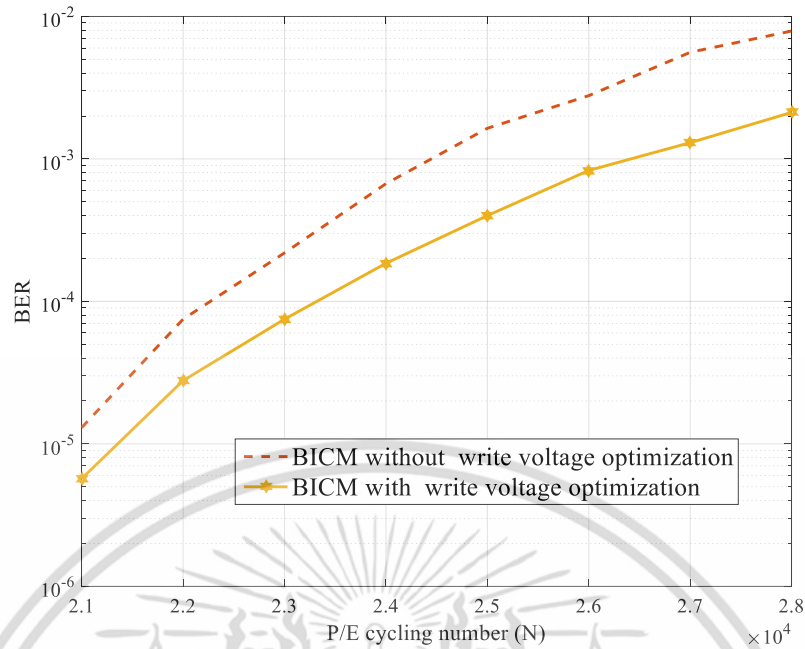
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาก็เท่านั้น เมื่อผู้ดูแลเนื้อหาไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 การออดิโอมซ์การเขียนสำหรับโครงสร้าง BICM และ MLC ร่วมกับรหัสแอลดีพีซี

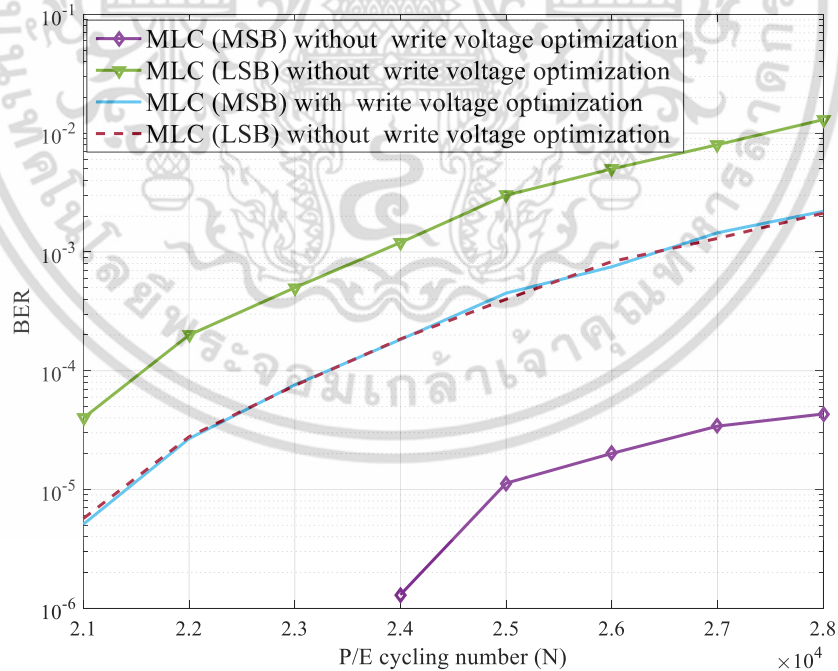
การออดิโอมซ์แรงดันเทอร์สโพลด์นั้นถ้าจะให้ครบสมบูรณ์ทั้งสองโครงสร้างทั้ง BICM และ MLC ต้องใช้ร่วมกับรหัสแก้ไขความผิดพลาด ซึ่งในงานวิจัยนี้ได้ใช้รหัสแอลดีพีซีเป็นรหัสแก้ไขความผิดพลาด ในการจำลองนี้กำหนดค่าพารามิเตอร์ต่างๆ ดังนี้ รหัสแอลดีพีซี มีเมตริกซ์พาริตีที่เช็คขนาด 4608×512 เป็นรหัสแบบปกติมีค่า $d_v = 3$ และ $d_c = 27$ มีอัตรารหัส $8/9$ การจำลองสำหรับโครงสร้าง BICM สร้างบิตข้อมูลไบนารีแบบสุ่มที่มีบิต '0' และบิต '1' จำนวนเท่ากันแบ่งข้อมูลออกเป็นบล็อกจำนวนบล็อกละ 4096 บิตสำหรับเข้ารหัสแอลดีพีซีที่ละบล็อกหลังจากนั้นจับคู่ข้อมูลเป็นคู่แล้วแปลงเป็นระดับสัญญาณโดยที่คูบิต '11' แปลงเป็นแรงดันเทอร์สโพลด์ v_{\min} คูบิต '10' แปลงเป็นแรงดันเทอร์สโพลด์ v_1 คูบิต '00' แปลงเป็นแรงดันเทอร์สโพลด์ v_2 และคูบิต '01' แปลงเป็นแรงดันเทอร์สโพลด์ v_{\max} หลังจากนั้นส่งผ่านช่องสัญญาณของแฟลชและทำการตรวจจับสัญญาณที่ฝั่งรับ โดยในที่นี้กำหนดให้สามารถอ่านค่าที่บันทึกในเซลล์หน่วยความจำได้ละเอียดทุกค่า ถัดมาคำนวณค่า LLR สำหรับการถอดรหัสตัดสินใจบิตออกมา สุดท้ายวัดค่าอัตราบิตผิดพลาดที่หลังการถอดรหัสและตัดสินใจบิต

สำหรับโครงสร้าง MLC จำลองโดยสร้างบิตข้อมูลแบบไบนารีที่มีจำนวนบิต '0' และบิต '1' จำนวนเท่าๆ กันจำนวน 2 ชุด ข้อมูลทั้งสองชุดจะถูกแบ่งออกเป็นบล็อกย่อยๆ มีความยาวบล็อกละ 4096 บิต และเข้ารหัสข้อมูลทั้งสองชุด ตามที่ได้กล่าวไปก่อนหน้านี้ว่าโครงสร้างนี้ข้อมูลทั้งสองชุดจะใช้รหัสเมตริกซ์พาริตีที่เช็คเดียวกันในการเข้ารหัสหลังจากเข้ารหัสแล้วจะจับคู่ค้ำรหัสทั้งสองชุดโดยกำหนดให้คูบิต '11' แปลงแรงดันเทอร์สโพลด์ v_{\min} คูบิต '10' แปลงเป็นแรงดันเทอร์สโพลด์ v_1 คูบิต '00' แปลงเป็นแรงดันเทอร์สโพลด์ v_2 และคูบิต '01' แปลงเป็นแรงดันเทอร์สโพลด์ v_{\max} และส่งผ่านช่องสัญญาณแฟลชในการทำงานเดียวกันกับโครงสร้าง BICM ทำการคำนวณค่า LLR แล้วถอดรหัสและตัดสินใจข้อมูลทั้งสองชุดแยกกันและวัดอัตราบิตผิดพลาดของข้อมูลทั้งสองชุด คือ MSB และ LSB

พิจารณารูปที่ 5.5 เป็นกราฟที่แสดงความสัมพันธ์ระหว่างสมรรถนะของอัตราบิตผิดพลาดกับค่า N ของโครงสร้าง BICM และรูปที่ 5.6 เป็นกราฟที่แสดงความสัมพันธ์ระหว่างสมรรถนะของอัตราบิตผิดพลาดกับค่า N ของโครงสร้าง MLC ที่มีการใช้งานรหัสแอลดีพีซีร่วมด้วย โดยภาพรวมทั้งสองโครงสร้างมีแนวโน้มที่คล้ายกันกับรูปที่ 5.3 และ 5.4 แต่ว่าการใช้รหัสแอลดีพีซีร่วมด้วยจะได้เปรียบในเรื่องให้ค่า N ที่เพิ่มขึ้นโดยที่สมรรถนะยังดีอยู่กล่าวคือการนำรหัสแอลดีพีซีมาใช้ในระบบการบันทึกข้อมูลแบบแฟลชนั้นสามารถยืดอายุการใช้งานอุปกรณ์ให้ยาวนานขึ้นได้



รูปที่ 5.5 อัตราบิดผิดพลาดของโครงสร้าง BICM ที่ใช้รหัสแอลดีพีซีร่วม



รูปที่ 5.6 อัตราบิดผิดพลาดของโครงสร้าง MLC/PID ที่ใช้รหัสแอลดีพีซีร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

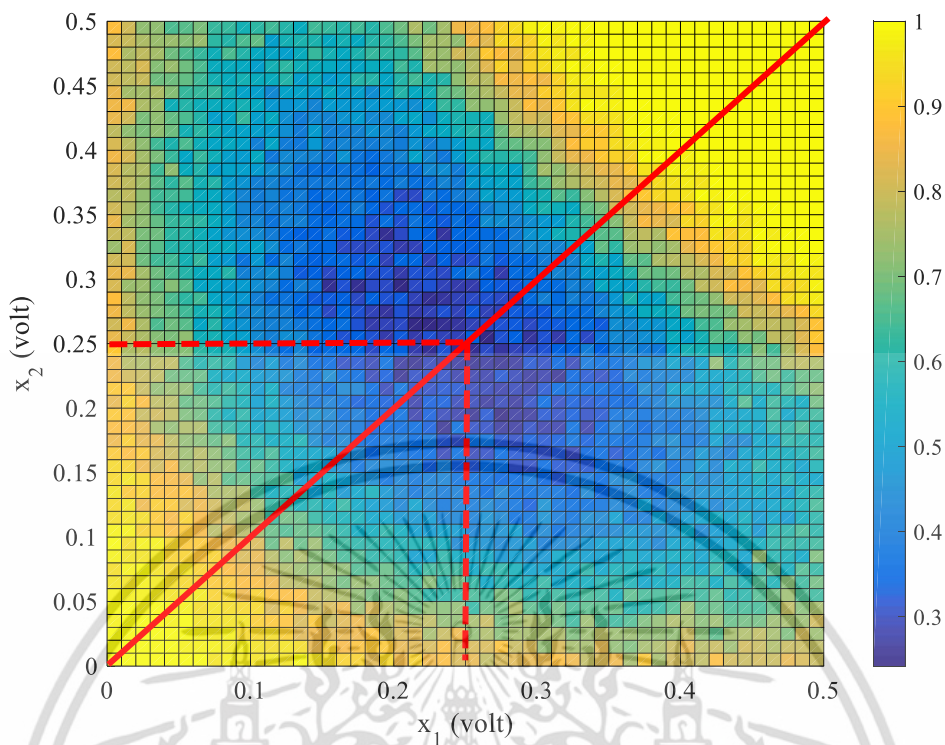
5.2 การอพติไมซ์การอ่านเซลล์หน่วยความจำ

การอพติไมซ์แรงดันไฟฟ้าสำหรับอ่านเซลล์ x_1 และ x_2 เพื่อให้ง่ายต่อการทำความเข้าใจและนำไปประยุกต์ใช้ได้ ดังนั้นในงานวิจัยนี้จึงกำหนดให้แฟลชบันทึกข้อมูล 1 บิต/เซลล์ หรือแบบ SLC และจำลองให้ช่องสัญญาณของหน่วยความจำแบบแฟลชเป็นแบบเกาส์เซียนที่มีค่าเฉลี่ยอยู่ที่ -1 และ 1 โวลต์สำหรับแทนบิต '0' และบิต '1' ตามลำดับและศึกษาการอ่านค่าซอฟต์แวร์เพื่อทำการถอดรหัสแอลดีพีซีโดยการอ่านเซลล์ 2 ครั้งด้วยค่า x_1 และ x_2

5.2.1 การอพติไมซ์การอ่าน 2 ครั้งโดยวิธีค้นหาแบบฮิวริสติก (Heuristic search)

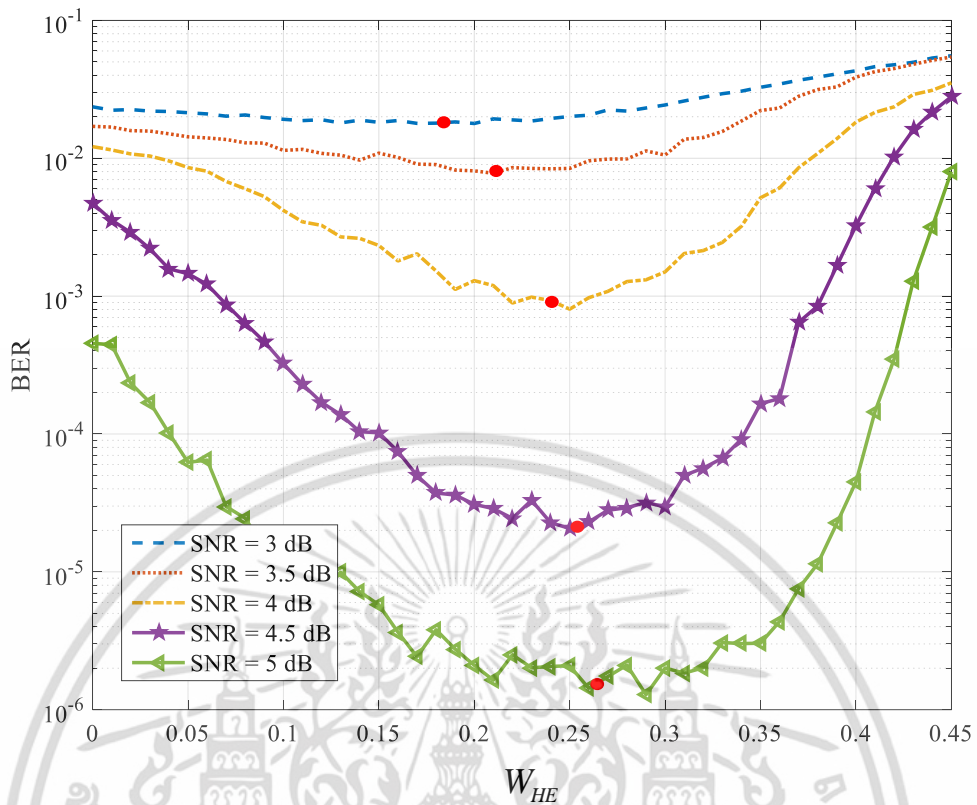
ในการจำลองเพื่อศึกษาและวิเคราะห์หาค่า x_1 และ x_2 นั้น เพื่อให้ทำให้ครอบคลุมและจำลองให้คล้ายกับช่องสัญญาณแฟลชแบบจริงๆ ในงานวิจัยนี้จึงได้จำลองช่องสัญญาณทั้งแบบสมมาตร เพื่อที่จะดูแนวโน้มของอัตราบิตผิดพลาดว่ามีการเปลี่ยนแปลงอย่างไรเมื่อใช้ x_1 และ x_2 ค่าต่างๆ สำหรับช่องสัญญาณที่สมมาตร จำลองโดยการสร้างบิตข้อมูลไบนารีแบบสุ่มที่มีบิต '0' และบิต '1' จำนวนเท่าๆ กันจากนั้นแบ่งข้อมูลออกเป็นบล็อก แต่ละบล็อกมีความยาว 4096 บิต หลังจากนั้นทำการเข้ารหัสบิตจะได้รหัสที่มีความยาว 4608 บิต ถัดมาแปลงชุดข้อมูลแบบลำดับให้เป็นแบนนาน แล้วแปลงเป็นแรงดันเทอร์สโวลต์ -1 โวลต์และ 1 โวลต์ และผ่านช่องสัญญาณแฟลชที่กำหนดให้เป็นเกาส์เซียนแบบสมมาตรมีค่า $SNR = 4$ เดซิเบล โดย $SNR(dB) = 10 \log_{10}(E_b / N_0)$ เมื่อ $E_b = 1$ จูล คือพลังงานของอินพุตหนึ่งบิต และ $\sigma^2 = N_0 / 2$ หลังจากนั้นในขั้นตอนการอ่านข้อมูลจากเซลล์จะใช้การอ่านข้อมูลด้วยค่า x_1 และ x_2 คำนวณค่า LLR เพื่อนำไปถอดรหัสและวัดค่าอัตราบิตผิดพลาดหลังการถอดรหัส

พิจารณารูปที่ 5.7 เป็นการจับคู่ x_1 และ x_2 ค่าต่างๆ ที่เป็นไปได้ว่าแต่ละคู่ให้อัตราบิตผิดพลาดหลังถอดรหัสแอลดีพีซีเป็นเท่าใดหรือที่เรียกว่าการค้นหาแบบฮิวริสติก จากกราฟในรูปที่ 5.7 พื้นที่สีเหลืองคือมีอัตราบิตผิดพลาดสูง ส่วนพื้นที่สีน้ำเงินคือบริเวณที่มีอัตราบิตผิดพลาดต่ำ จะสังเกตได้ว่าจะมีจุดที่ให้อัตราบิตผิดพลาดต่ำที่สุดอยู่ตรงกลางตำแหน่งที่ x_1 และ x_2 มีค่าประมาณ -2.5 โวลต์ และ 2.5 โวลต์ และจากการสังเกตจะพบว่าถ้าเราปรับ x_1 และ x_2 โดยที่ $|x_1| = |x_2|$ ก็เพียงพอต่อการหาจุดที่ให้อัตราบิตผิดพลาดต่ำสุดได้และสามารถตัดคู่ x_1 และ x_2 ที่ไม่จำเป็นออกได้ ทำให้เหลือเพียงคู่ของ x_1 และ x_2 ที่มี $|x_1| = |x_2|$ หรือเป็นเส้นทแยงมุมเฉียงขึ้นทางขวามือ



รูปที่ 5.7 อัตราบิดผิดพลาดของช่องสัญญาณแบบสมมาตรสำหรับการอ่านสองครั้ง

ต่อไปเป็นการจำลองเพื่อดูผลอัตราบิดผิดพลาดหลังถอดรหัสแวลติฟิซีจากการจำลองทั้งระบบโดยทำการอพติไมซ์ x_1 และ x_2 พร้อมกัน โดยอพติไมซ์เป็นค่าครึ่งความกว้างอีเรเซอร์ (Half Erasure Width) W_{HE} กำหนดการจำลองและค่าพารามิเตอร์ตามการจำลองก่อนหน้านี้ พิจารณารูปที่ 5.8 เป็นกราฟแสดงความสัมพันธ์ระหว่างอัตราบิดผิดพลาดหลังถอดรหัสแวลติฟิซีและ W_{HE} กราฟเส้นสีน้ำเงินคือ อัตราบิดผิดพลาดหลังถอดรหัสแวลติฟิซีของช่องสัญญาณที่มี $SNR = 3$ เดซิเบล จะพบว่าจุดที่อัตราบิดผิดพลาดต่ำสุดอยู่ที่ค่า W_{HE} ประมาณ 0.18 โวลต์ กราฟสีแดงมี $SNR = 3.5$ เดซิเบล จุดที่อัตราบิดผิดพลาดต่ำสุดจะอยู่ที่ค่า W_{HE} ประมาณ 0.21 โวลต์ และเมื่อค่า SNR เพิ่มขึ้นเป็น 4 4.5 และ 5 เดซิเบล ตามลำดับจะพบว่าแนวโน้มของจุด W_{HE} ที่ให้ค่าอัตราบิดผิดพลาดต่ำสุดมีค่าเพิ่มขึ้นเรื่อยๆ (ตามจุดสีแดงในรูปที่ 5.8)



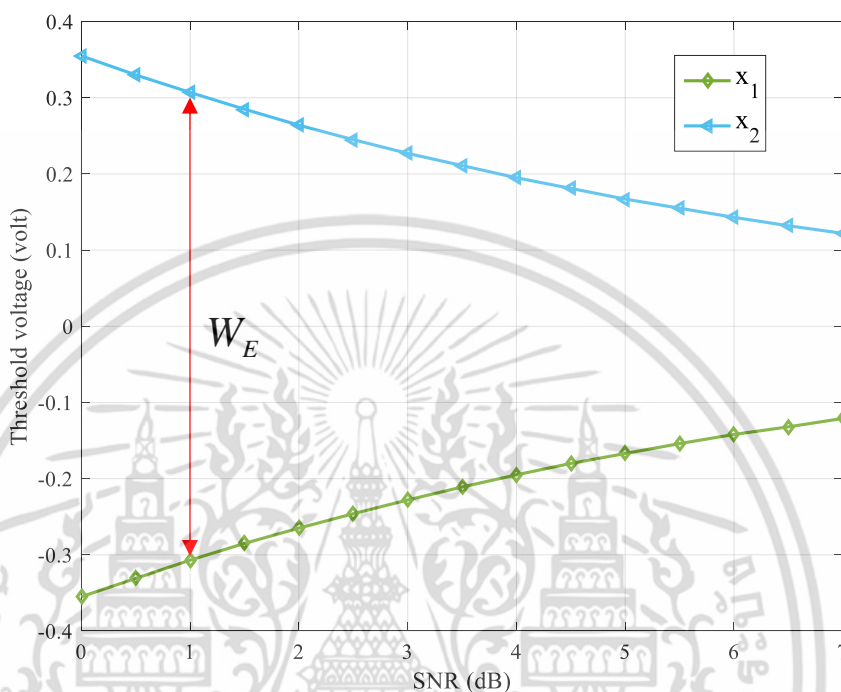
รูปที่ 5.8 สมรรถนะของการอ่าน 2 ครั้ง จากการจำลองทั้งระบบ

5.2.2 การอพติไมซ์การอ่านด้วยวิธี MMI

หลังจากที่เราทราบแนวโน้มของค่า W_{HE} ที่สัมพันธ์กับค่าอัตราบิดผิดพลาดหลังถอดรหัส แอลดีพีซีแล้วถัดมาเราจะทำการตรวจสอบไปถึงวิธีการที่นำเสนอก่อนหน้านี้ใน [9] ซึ่งได้นำเสนอวิธีการหาระดับแรงดันการอ่านเซลล์ 2 ครั้งโดยวิธีการ MMI เราจะจำลองขึ้นเพื่อดูแนวโน้มของค่าความกว้างของอีเรเซอร์ (Erasure Width) W_E ที่ได้จากวิธีการ MMI เมื่อค่า SNR สูงขึ้นแล้ว W_E จะเปลี่ยนแปลงไปอย่างไร กำหนดให้ช่องสัญญาณแบบแฟลชเป็นช่องสัญญาณเกาส์เซียนแบบสมมาตรมีแรงดันเทอร์สโวลต์ของบิต '0' และบิต '1' อยู่ที่ค่า -1 และ +1 โวลต์ตามลำดับ เปลี่ยนค่า SNR เป็น 0 เดซิเบลถึง 7 เดซิเบล คำนวณหาค่า x_1 x_2 และ W_E ตามวิธีใน [9] แล้วนำมาพล็อตกราฟ

พิจารณารูปที่ 5.9 จะพบว่าแนวโน้มค่า W_E มีค่าน้อยลงเมื่อค่า SNR เพิ่มขึ้นซึ่งแนวโน้มของวิธีนี้เป็นไปในทางตรงข้ามกับวิธีการจำลองทั้งระบบในหัวข้อที่ 5.2.1 ซึ่งมีแนวโน้ม W_{HE} เพิ่มขึ้นเมื่อค่า SNR มีค่าเพิ่มขึ้น สาเหตุที่ค่า x_1 และ x_2 ของวิธี MMI ไม่สัมพันธ์กับผลการทดลองในหัวข้อ 5.2.1

เพราะว่าวิธีการ MMI ไม่ได้พิจารณาหีสแอลติพีซีรวมด้วยจึงทำให้แนวโน้มไม่ตรงกับการจำลองทั้งระบบและส่งผลให้ค่าอัตราบิดผิดพลาดของวิธีนี้ที่ไม่ใช่ค่าที่ต่ำที่สุด



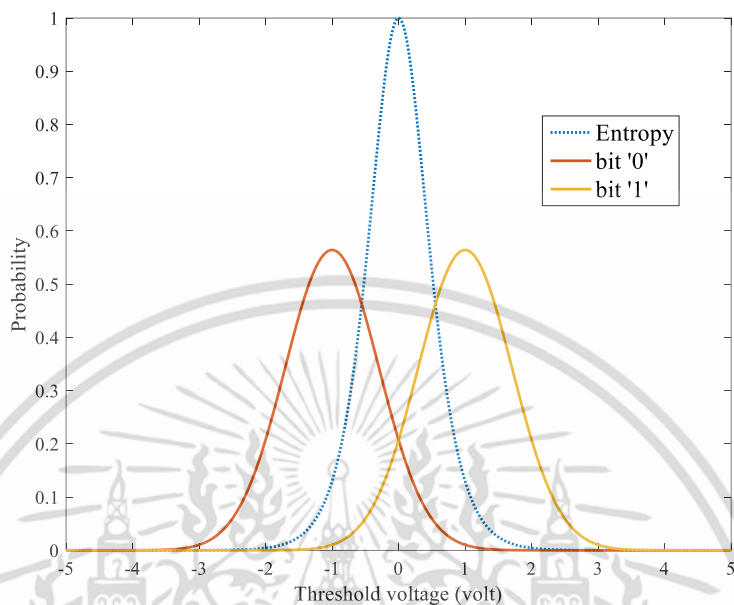
รูปที่ 5.9 แนวโน้มค่า W_E ตามวิธี MMI

5.2.3 การถอดรหัสการอ่านด้วยวิธีเอนโทรปี (Entropy)

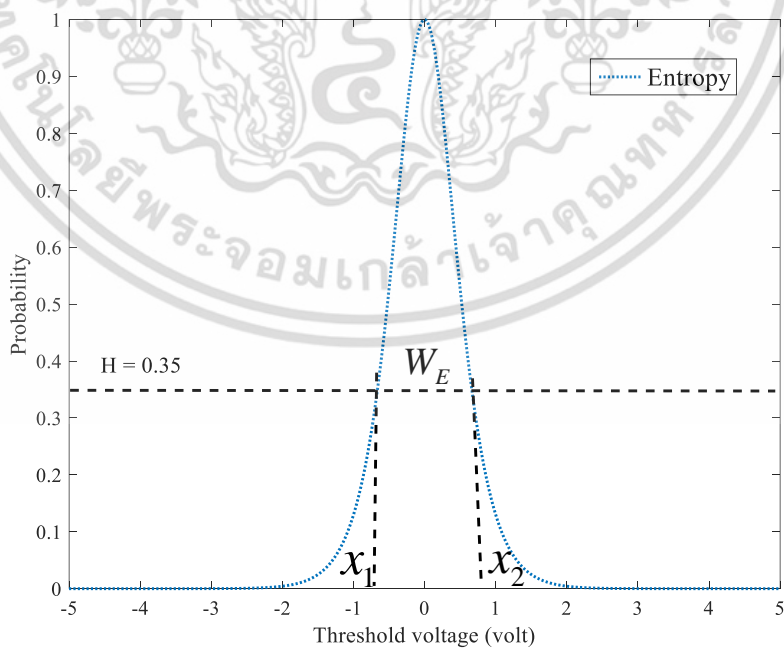
การถอดรหัสค่า x_1 และ x_2 อีกวิธีหนึ่งที่ถูกนำเสนอใน [6] เป็นการถอดรหัสการอ่านโดยวิธีการใช้เอนโทรปีในการควบคุมความกว้างของอีเรเซอร์ (Erasure Width) W_E ซึ่งสัมพันธ์กับค่า x_1 และ x_2 โดยวิธีใช้เอนโทรปีนั้น จะพิจารณาร่วมกับการถอดรหัสแอลติพีซีด้วยแต่จะหยาบมาพิจารณาเพียง SNR เดียวโดยในการวิจัยดังกล่าวได้ข้อสรุปว่าค่าเอนโทรปี 0.35 จะให้ค่าอัตราบิดผิดพลาดที่ต่ำที่สุด ทำให้ได้ค่า W_E และนำไปแปลงเป็นค่า x_1 และ x_2

ในการจำลองเพื่อตรวจสอบสมมุติฐานนี้จะใช้ช่องสัญญาณแฟลชที่เป็นแบบเกาส์เซียนสมมาตรที่แรงดันเทรสโฮลด์ของบิต '0' และบิต '1' เป็น -1 และ +1 โวลต์ตามลำดับ จากนั้นคำนวณค่าเอนโทรปีจะได้ดังรูปที่ 5.10 จากนั้นวัดค่าเอนโทรปี 0.35 แล้วลากตัดแกนนอนดังรูปที่ 5.11 ซึ่งจะ

มี 2 ค่าที่เอนโทรปีเท่ากับ 0.35 ค่าเกณฑ์ที่ลากผ่านนั้นคือค่า x_1 และ x_2 ตามลำดับซึ่งจะทำการเปลี่ยนค่า SNR ตั้งแต่ 0 เดซิเบล ถึง 7 เดซิเบล เพื่อหาแวนโวม W_E เมื่อค่า SNR เพิ่มขึ้น

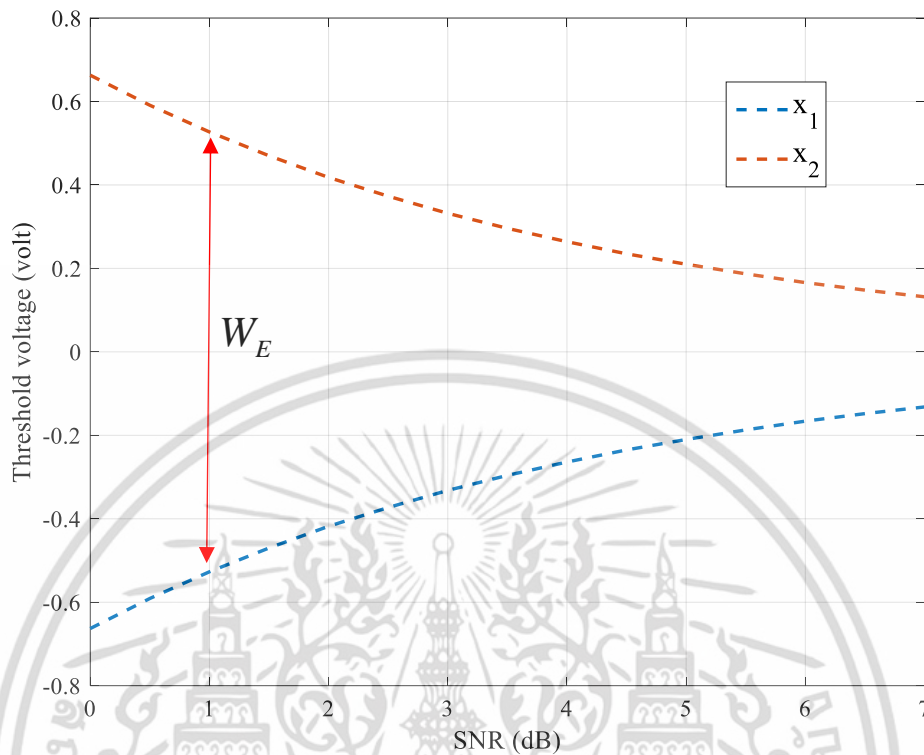


รูปที่ 5.10 ช่องสัญญาณแบบเกาส์เซียนและเอนโทรปี



รูปที่ 5.11 การควบคุมความกว้างของอีเรเซอร์ (W_E) ด้วยเอนโทรปี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



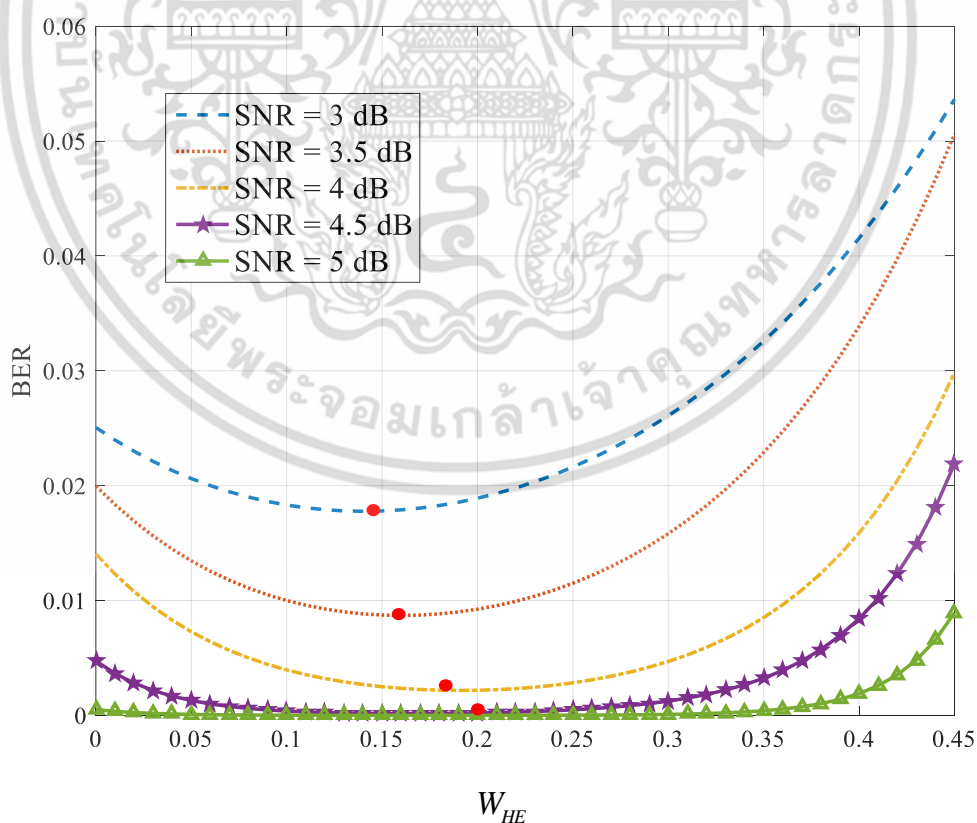
รูปที่ 5.12 แนวโน้มค่า W_E จากวิธีเอนโทรปี

จากการพิจารณารูปที่ 5.12 จะพบว่าแนวโน้ม W_E มีค่าน้อยลงเมื่อค่า SNR เพิ่มขึ้นซึ่งแนวโน้มของวิธีนี้ไม่ได้สอดคล้องกับการจำลองทั้งระบบในหัวข้อที่ 5.2.1 ซึ่งมีแนวโน้ม W_E เพิ่มขึ้นเมื่อค่า SNR มีค่าเพิ่มขึ้น สาเหตุที่ค่า x_1 และ x_2 ของวิธีเอนโทรปีไม่สัมพันธ์กับผลการทดลองในหัวข้อ 5.2.1 เพราะว่าการเอนโทรปีเลือกพิจารณาหัสแอลดีพีซึ่งรวมด้วยเพียงค่า SNR เดียวจึงทำให้แนวโน้มไม่สัมพันธ์กันและส่งผลถึงค่าอัตราบิดผิดพลาดของวิธีนี้ไม่ใช่ค่าที่ต่ำที่สุด กล่าวคือวิธีการนี้ยังพิจารณาได้ไม่ครอบคลุมกรณีที่มาากพอทำให้แนวโน้ม W_E ไม่สอดคล้องกับวิธีการแบบฮิวริสติกในรูปที่ 5.8

5.2.4 การอพติไมซ์การอ่านโดยวิธีเดนซิติอีโวลูชัน (Density evolution)

การอพติไมซ์ค่า x_1 และ x_2 ที่งานวิจัยนี้ได้นำเสนอคือการวิธีเดนซิติอีโวลูชัน (Density evolution) สำหรับวิเคราะห์สมรรถนะของรหัสแอลดีพีซีเพื่อประมาณค่า x_1 และ x_2 สำหรับการอ่านเซลล์ โดยการจำลองเพื่อตรวจสอบสมมุติฐานนี้จะใช้ช่องสัญญาณแฟลชที่เป็นแบบเกาส์เซียนสมมาตรที่มีแรงดันเทรสโวลต์ของบิต '0' และบิต '1' เป็น -1 และ +1 โวลต์ตามลำดับจากนั้นคำนวณค่าอัตราบิตผิดพลาดของวิธีการนี้

พิจารณาที่กราฟในรูปที่ 5.13 เป็นกราฟแสดงความสัมพันธ์ระหว่างอัตราบิตผิดพลาดและค่า W_{HE} กราฟเส้นประสีน้ำเงินเป็นการประมาณค่า x_1 และ x_2 โดยมีการอพติไมซ์พร้อมกันโดยใช้ค่า W_{HE} ของช่องสัญญาณที่มี $SNR = 3$ เดซิเบล จะพบว่าอัตราบิตผิดพลาดที่ได้ไม่เท่ากับค่าที่ได้จากการจำลองในหัวข้อ 5.2.1 แต่อย่างไรก็ตามสิ่งที่เราสนใจคือค่า W_{HE} ซึ่งวิธีนี้ให้แนวโน้มค่า W_{HE} ที่สอดคล้องกับการค้นหาแบบฮิวริสติก กล่าวคือ W_{HE} มีค่าเพิ่มขึ้นเมื่อค่า SNR เพิ่มขึ้นสังเกตจากจุดต่ำสุดของกราฟสีแดง กราฟสีเหลือง กราฟสีม่วง และกราฟสีเขียว ที่มีค่า SNR เท่ากับ 3.5 เดซิเบล 4 เดซิเบล 4.5 เดซิเบล และ 5 เดซิเบลตามลำดับ

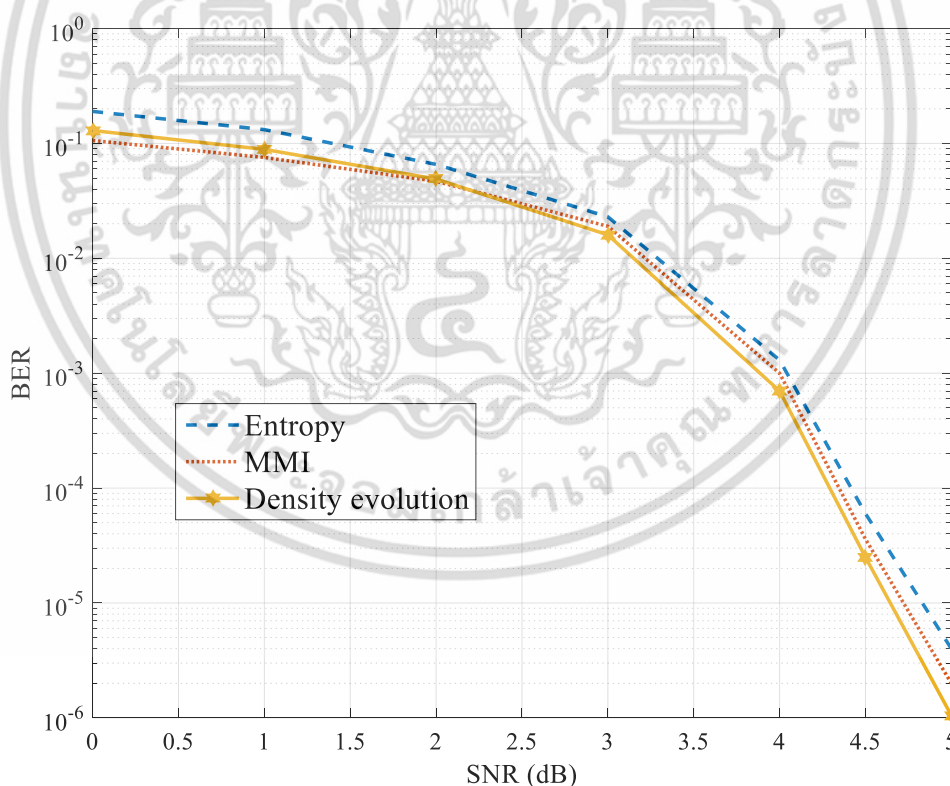


รูปที่ 5.13 แนวโน้มของค่า W_{HE} โดยวิธีเดนซิติอีโวลูชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดการอพติไมซ์ x_1 และ x_2

จากการจำลองในหัวข้อก่อนหน้านี้เราได้เห็นการอพติไมซ์ค่า x_1 และ x_2 ด้วยวิธีต่างกัน ถัดมาเป็นการเปรียบเทียบสมรรถนะของการอพติไมซ์ x_1 และ x_2 จากกราฟในรูปที่ 5.14 เป็นกราฟแสดงความสัมพันธ์ระหว่างอัตราบิดผิดพลาดและ SNR กราฟเส้นประสีน้ำเงินคืออัตราบิดผิดพลาดของวิธีการเอนโทรปี เส้นประสีแดงคืออัตราบิดผิดพลาดของวิธีการ MMI และสุดท้ายกราฟสีเหลืองเป็นกราฟอัตราบิดผิดพลาดของวิธีเดนซิติอีโวลูชันที่น่าเสนอ จะพบว่าวิธีการเอนโทรปีจะให้อัตราบิดผิดพลาดที่มีค่ามากกว่าทุกค่า SNR และวิธีการ MMI ที่ให้สมรรถนะที่ใกล้เคียงกับวิธีการเดนซิติอีโวลูชันที่ค่า SNR ต่ำ ในช่วงค่า SNR เท่ากับ 0 ถึง 2 เดซิเบล วิธี MMI ให้อัตราบิดผิดพลาดที่ต่ำกว่าวิธีการเดนซิติอีโวลูชัน หลังจากค่า SNR มากกว่า 2 เดซิเบลขึ้นไป วิธีการเดนซิติอีโวลูชันให้อัตราบิดผิดพลาดที่ต่ำกว่า วิธีการ MMI และสามารถคาดการณ์ได้ว่าเมื่อค่า SNR สูงขึ้นค่าอัตราบิดผิดพลาดของวิธีการ MMI และวิธีการเอนโทรปีจะมีแนวโน้มที่สูงขึ้น เพราะว่าแนวโน้มของ W_E ลดลง ซึ่งตรงข้ามกับแนวโน้มของการจำลองแบบฮิวริสติกที่อัตราบิดผิดพลาดจะต่ำลงเมื่อ W_E เพิ่มขึ้น



รูปที่ 5.14 การเปรียบเทียบสมรรถนะของอัตราบิดผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลและข้อเสนอแนะ

6.1 สรุปผล

ในปฏิญญาพันธบัตรฉบับนี้ได้ทำการศึกษาระบบบันทึกข้อมูลแบบแฟลชซึ่งเป็นระบบบันทึกข้อมูลที่มีความรวดเร็วในการเข้าถึงข้อมูลและใช้พลังงานไฟฟ้า หน่วยความจำแบบแฟลชมีสัญญาณรบกวนจากแหล่งต่างๆ หลายแหล่งมากไม่ว่าจะเป็นการโปรแกรมและการลบเซลล์ การแทรกสอดระหว่างเซลล์ ระยะเวลาการบันทึกข้อมูลในเซลล์เป็นต้น สัญญาณรบกวนเหล่านี้ล้วนมีผลต่อระดับแรงดันเทรสโฮลด์ที่ใช้แทนบิตข้อมูลให้มีความผิดเพี้ยนไป ปัญหาหลักที่ได้ศึกษา คือปัญหาการเขียนและการอ่านเซลล์ หน่วยความจำเพื่อที่จะปรับปรุงให้หน่วยความจำแบบแฟลชมีประสิทธิภาพที่ดียิ่งขึ้น

6.1.1 การออปติไมซ์การเขียนเซลล์

การโปรแกรมเซลล์ ถ้ากำหนดระดับแรงดันเทรสโฮลด์ที่ไม่เหมาะสมส่งผลให้อัตราบิตผิดพลาดมีค่าสูงได้ ดังนั้นในงานวิจัยฉบับนี้จึงได้ทำการออปติไมซ์แรงดันเทรสโฮลด์สำหรับโครงสร้าง BICM และโครงสร้าง MLC โดยใช้อัลกอริทึมการค้นหาที่สามารถหาค่าต่ำสุดได้ โดยลดจำนวนคอมบิเนชัน (Combination) ของแรงดันเทรสโฮลด์ v_1 และ v_2 อัลกอริทึมการค้นหาละเลือกใช้ v_1 และ v_2 บางค่าที่ดีที่สุด เพื่อไปสู่ค่าอัตราบิตผิดพลาดต่ำสุด จากผลการจำลองประสิทธิภาพของอัลกอริทึมจะเข้าใกล้ค่าอัตราบิตผิดพลาดต่ำสุดเมื่อเพิ่มจำนวนรอบของอัลกอริทึมขึ้น และเมื่อเข้าสู่ค่าอัตราบิตผิดพลาดต่ำสุดแล้ว ค่าอัตราบิตผิดพลาดจะลู่เข้าสู่ค่าคงที่ค่าหนึ่ง ถึงแม้ว่าจะเพิ่มจำนวนรอบของอัลกอริทึมขึ้นอีก แต่ค่าอัตราบิตผิดพลาดก็จะไม่สามารถลดลงอีก การออปติไมซ์แรงดันเทรสโฮลด์ v_1 และ v_2 ทั้ง 2 โครงสร้างได้แก่โครงสร้าง BICM และโครงสร้าง MLC มีเป้าหมายที่แตกต่างกัน

โครงสร้าง BICM ต้องการออปติไมซ์ให้อัตราบิตผิดพลาดต่ำลง โดยอาศัยอัลกอริทึมการค้นหาจากการจำลองเปรียบเทียบค่าอัตราบิตผิดพลาดระหว่างการออปติไมซ์แรงดันเทรสโฮลด์ v_1 และ v_2 และ การใช้แรงดันเทรสโฮลด์กำหนดเป็นค่าคงที่ไว้ พบว่าอัตราบิตผิดพลาดของระบบบันทึกข้อมูลที่มีการออป

ติไมซ์แรงดันเทอร์สโสลต์ v_1 และ v_2 ให้อัตราบิดผิดพลาดที่ต่ำกว่าระบบบันทึกข้อมูลที่ไม่ได้มีการออปติไมซ์แรงดันเทอร์สโสลต์ v_1 และ v_2 และความแตกต่างของค่าอัตราบิดผิดพลาดชัดเจน เมื่อจำนวนรอบการโปรแกรมและลบเซลล์ (N) ที่สูงขึ้น

โครงสร้าง MLC มีจุดประสงค์ของการออปติไมซ์แรงดันเทอร์สโสลต์ v_1 และ v_2 เพื่อให้อัตราบิดผิดพลาดของ MSB และ LSB มีค่าใกล้เคียงกัน ในกรณีที่ใช้เมทริกซ์พาริตีเช็คที่มีอัตรารหัสเท่ากัน จากผลการจำลองสามารถใช้อัลกอริทึมการค้นหาในการออปติไมซ์ค่าแรงดันเทอร์สโสลต์ v_1 และ v_2 ได้ และอัลกอริทึมสามารถปรับให้อัตราบิดผิดพลาดของ MSB และ LSB เท่ากันได้

6.1.2 การออปติไมซ์การอ่านเซลล์

งานวิจัยนี้ได้ศึกษาและวิเคราะห์การออปติไมซ์แรงดันไฟฟ้าที่ใช้อ่านเซลล์ x_1 และ x_2 หรือการอ่านเซลล์ 2 ครั้งเพื่อให้ได้ค่าซอฟต์แวร์ออกมา จากงานวิจัยก่อนหน้าได้นำเสนอวิธีการเลือกค่า x_1 และ x_2 สำหรับอ่านเซลล์ด้วยวิธีการ MMI และอีกงานวิจัยที่ได้นำเสนอการหาค่า x_1 และ x_2 ด้วยวิธีการเอนโทรปี ซึ่งทั้ง 2 วิธีนี้มีแนวโน้มความกว้างของอีเรเซอร์ (Erasure Width) W_E ที่น้อยลงเมื่อค่า SNR เพิ่มขึ้น โดยค่า W_E ของวิธีการเอนโทรปีจะกว้างกว่าวิธีการ MMI แต่แนวโน้มค่า W_E เป็นไปในทางเดียวกัน ซึ่งตรงกันข้ามกับผลการจำลองทั้งระบบที่ค่า W_E เพิ่มขึ้นเมื่อค่า SNR เพิ่มขึ้น ในงานวิจัยนี้ได้นำเสนอการหาค่า x_1 และ x_2 โดยใช้เดนซิติอีโวลูชัน (Density evolution) ซึ่งวิธีนี้แนวโน้มค่า W_E เพิ่มขึ้นเมื่อค่า SNR เพิ่มขึ้นซึ่งสอดคล้องกับผลการจำลองทั้งระบบ เนื่องจากวิธีการเดนซิติอีโวลูชันมีการวิเคราะห์รหัสแอลดีพีซีร่วมด้วย

6.2 ข้อเสนอแนะ

ในงานวิจัยนี้ยังไม่ได้พิจารณาการออปติไมซ์การอ่านเซลล์ที่บันทึก 2 บิต/เซลล์ ซึ่งมีความยุ่งยากซับซ้อนกว่าการบันทึก 1 บิต/เซลล์ และยังไม่ได้นำไปใช้กับช่องสัญญาณแฟลช ดังนั้นการวิจัยในส่วนนี้เพื่อต่อยอดออกไปสามารถทำได้ และสำหรับรหัสแอลดีพีซีที่ใช้สำหรับหน่วยความจำแบบแฟลชที่บันทึก 2 บิต/เซลล์ ถ้าใช้กับรหัสแอลดีพีซีแบบนอนไบนารีประสิทธิภาพการทำงานดียิ่งขึ้น

เอกสารอ้างอิง

- [1] Y. Cai et al., “**Threshold Voltage Distribution in MLC NAND Flash Memory: Characterization, Analysis, and Modeling,**” May 2013.
- [2] H. Imai and S. Hirakawa, “**A new multilevel coding method using error correcting codes,**” IEEE Trans. Inform. Theory, vol. IT-23, pp. 371–377, May 1977.
- [3] U. Wachsmann, R. F. H. Fischer, and J. B. Huber, “**Multilevel codes: Theoretical concepts and practical design rules,**” IEEE Trans. Inform. Theory, vol. 45, pp. 1361–1391, July 1999.
- [4] E. Zehavi, “**8-PSK trellis codes for a Rayleigh channel,**” IEEE Trans. Commun., vol. 40, pp. 873–884, May 1992.
- [5] G. Caire, G. Taricco, and E. Biglieri, “**Bit-interleaved coded modulation,**” IEEE Trans. Inform. Theory, vol. 44, pp. 927–946, May 1998.
- [6] C. A. Aslam, Y. Liang Guan, and K. Cai “**Read and write voltage signal optimization for multi-level-cell (MLC) NAND flash Memory,**” IEEE Trans. Commun. Vol. 64, No. 4, Apr 2016.
- [7] S. Li and T. Zhang, “**Improving multi-level NAND flash memory storage reliability using concatenated BCH-TCM coding,**” IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 18, no. 10, pp. 1412–1420, Oct. 2010.
- [8] G. Dong, N. Xie, and T. Zhang, “**On the Use of Soft-Decision Error-Correction Codes in NAND Flash Memory,**” IEEE Trans. Circuits Syst. I, Reg. Paper, Vol. 5, No. 2, pp. 429-439, Feb. 2011.
- [9] J. Wang, T.A. Courtade, H. Shankar, and R.D. Wesel, “**Soft information for LDPC decoding in flash: mutual-information optimized quantization,**” in Proc. IEEE Global Comm. Conf. (GLOBECOM), Houston, 2011, pp. 1–6.
- [10] V. Mohan, “**Modelling the physical characteristics of NAND flash memory,**” May 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [11] M. Lenzlinger and E.H. Snow. “**Fowler-Nordheim tunneling into thermally grown SiO₂. Electron Devices,**” IEEE Transactions on, 15(9):686–686, Sep 1968.
- [12] J.E. Brewer and M. Gill, editors. “**Nonvolatile Memory Technologies with Emphasis on Flash,**” IEEE Press, 2008.
- [13] T. Tanaka and et al. “**A quick intelligent page-programming architecture and a shielded bitline sensing method for 3V-only nand flash memory,**” Solid-State Circuits, IEEE Journal, Nov 1994.
- [14] G. Dong, Y. Pan, N. Xie, C. Varanasi, and T. Zhang, “**Estimating Information-Theoretical NAND Flash Memory Storage Capacity and its Implication to Memory System Design Space Exploration,**” IEEE transactions on very large scale integration (VLSI) systems, VOL. 20, NO. 9, SEPTEMBER 2012.
- [15] S. Realov, and K. L. Shepard, “**Analysis of Random Telegraph Noise in 45-nm CMOS Using On-Chip Characterization System,**” IEEE transactions on electron devices, VOL. 60, NO. 5, May 2013.
- [16] G. Dong, S. Li, and T. Zhang, “**Using data post-compensation and pre-distortion to tolerate cell-to-cell interference in MLC NAND flash memory,**” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 57, no. 10, pp. 2718–2728, Oct. 2010.
- [17] J.-D. Lee, S.-H. Hur, and J.-D. Choi, “**Effects of floating-gate interference on NAND flash memory cell operation,**” IEEE Electron. Device Lett., vol. 23, no. 5, pp. 264–266, May 2002.
- [18] K. Takeuchi, Y. Kameda, S. Fujimura, H. Otake, K. Hosono, H. Shiga, Y. Watanabe, T. Futatsuyama, Y. Shindo, M. Kojima, M. Iwai, M. Shirakawa, M. Ichige, K. Hatakeyama, S. Tanaka, T. Kamei, J.-Y. Fu, A. Cernea, Y. Li, M. Higashitani, G. Hemink, S. Sato, K. Oowada, S.-C. Lee, N. Hayashida, J. Wan, J. Lutze, S. Tsao, M. Mofidi, K. Sakurai, N. Tokiwa, H. Waki, Y. Nozawa, K. Kanazawa, and S. Ohshima, “**A 56-nm CMOS 99-mm 8-Gb multi-level NAND flash memory**

with 10-MB/s program throughput,” IEEE J. Solid-State Circuits, vol. 42, no. 1, pp. 219–232, Jan. 2007.

[19] K.-T. Park, M. Kang, D. Kim, S.-W. Hwang, B. Y. Choi, Y.-T. Lee, C. Kim, and K. Kim, “A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories,” IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 919–928, Apr. 2008.

[20] M. Fu, “On Gaussian approximation for density evolution of lowdensity parity-check codes,” Proc. IEEE Int. Conf. Commun., vol. 3, Jun. 2006, pp. 1107–1112.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานที่ได้รับตีพิมพ์

1. C. Duangthong, W. Phakphisut and P. Supnithi, “**Search Algorithm of Write Voltage Optimization in NAND Flash Memory,**” International Electrical Engineering Congress (ieecon), Pattaya, Thailand, March 2016.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายจตุพร ต้วทอง
วัน เดือน ปีเกิด	28 เมษายน 2535
ที่อยู่	1 ม.1ต.คำขวาง อ.วารินชำราบ จ.อุบลราชธานี 34190
อีเมลล์	58601143@kmitl.ac.th
ประวัติการศึกษา	พ.ศ.2557 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยที่สนใจ	รหัสช่องสัญญาณ ระบบบันทึกข้อมูลแบบแฟลช ระบบบันทึกข้อมูลเชิง แม่เหล็ก การประมวลผลสัญญาณดิจิทัลและทฤษฎีการสื่อสารดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้