

วงจรมอสแบบคิวดตัวทศรูปแบบผสมความเร็วสูง

HIGH-SPEED HYBRID CMOS FULL ADDER CIRCUIT



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2559

KMITL 2016-EN-M-010-060

วงจรวกซีมอสแบบคิตัวทรูปแบบผสมความเร็วสูง

HIGH-SPEED HYBRID CMOS FULL ADDER CIRCUIT



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2559

KMITL 2016-EN-M-010-060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH-SPEED HYBRID CMOS FULL ADDER CIRCUIT



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
2016
KMITL 2016-EN-M-010-060



COPYRIGHT 2016

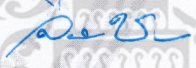
FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานเพื่อการศึกษาเท่านั้น ไม่ควรเอาไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

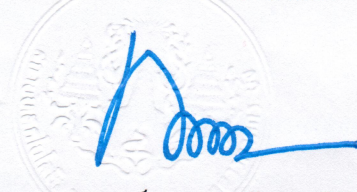
หัวข้อวิทยานิพนธ์ วงจรซีมอสแบบคิดตัวทรูปแบบผสมความเร็วสูง
Thesis Title High-Speed Hybrid CMOS Full-Adder Circuit
นักศึกษา นายสบาย ภู่อธรรม
รหัสประจำตัว 57601154
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.สิรภาพ ตู่ประกาย
หมายเลขวิทยานิพนธ์ KMITL-2016-EN-M-010-060

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.พิพัฒน์	พรหมมี	
รศ.ดร.จิระศักดิ์	ชาญวุฒิศรธรรม	
ผศ.ดร.พิชญ	สุพรรณกุล	
ผศ.ดร.สิรภาพ	ตู่ประกาย	

วัน / เดือน / ปี ที่สอบ วันศุกร์ที่ 8 กรกฎาคม พ.ศ. 2559 เวลา 13.00-15.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 5

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

ฉบับนี้ เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
วันที่ 8 กรกฎาคม พ.ศ. 2559
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรวกซิมอสแบบคิดตัวทรูปแบบผสมความเร็วสูง
นักศึกษา	นายสบาย ภู่อธรรม
รหัสนักศึกษา	57601154
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2559
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร.สิรภพ ตู้ประกาย

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรวกซิมอสแบบคิดตัวทรูปแบบผสมความเร็วสูง ใช้เทคนิคการออกแบบโดยใช้วงจรถูกแบบ XOR, XNOR, พาสทรานซิสเตอร์, การข้ามคู่พีมอส และทรานสมิสชันเกท ซึ่งมีเป้าหมาย คือ ลดค่าเวลาความล่าช้าของวงจรถูกและสามารถทำงานได้ในช่วงระดับความถี่ที่สูงขึ้น โดยมีการเปรียบเทียบกับวงจรถูกแบบ CCMOS [1], TGA [2], CPL [3], และ Hybrid [4] วงจรถูกทั้งหมดถูกจำลองการทำงานด้วยโปรแกรม HSPICE ด้วยเทคโนโลยีซิมอสขนาด 16 นาโนเมตร ที่แหล่งจ่ายไฟ 0.9 โวลต์ และสามารถทำงานได้ถึงความถี่ 7 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	High-Speed Hybrid CMOS Full Adder Circuit
Student	Mr. Sabai Phuchortham
Student ID.	57601154
Degree	Master of Engineering
Program	Telecommunication Engineering
Year	2016
Thesis Advisor	Asst.Prof.Dr.Siraphop Tooprakai

ABSTRACT

This thesis proposes a 1-bit hybrid full adder circuit of XOR and XNOR circuit design that use pass transistor, PMOS cross couple, transmission gate techniques. The circuit is designed to have a lower propagation delay time than that of a conventional full adder and can operate at a higher frequency range. The circuit's performance was simulated and compared to those of CCMOS [1], TGA [2], CPL [3], and Hybrid [4] full adder circuit. All simulation runs were carried out with HSPICE simulator program based on 16 nm CMOS technology at 0.9 V supply voltage. The proposed circuit can operate up to a frequency of 7 GHz.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ด้วยคำแนะนำและคำปรึกษาจาก ผศ.ดร.สิรภพ ตู้ประกาย ที่ให้ความอนุเคราะห์ ช่วยเหลืออบรมสั่งสอน และคอยชี้แนะแนวทางเกี่ยวกับโครงงานวิจัยอย่างดีมาโดยตลอด ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากอาจารย์ จึงขอกราบขอบพระคุณท่านอาจารย์เป็นอย่างสูง ขอขอบพระคุณเหล่าพี่ น้อง ผองเพื่อนที่ให้การช่วยเหลือ พร้อมทั้งยังให้คำแนะนำต่างๆ ที่เกี่ยวข้องกัวิทยานิพนธ์ฉบับนี้

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา ที่คอยเป็นกำลังใจ และให้การสนับสนุนในทุกๆ ด้านมาโดยตลอด ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์นี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอบแต่ผู้มีพระคุณทุกท่าน

สบาย ภู่อธรรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ที่มาของ.....	1
1.3 วัตถุประสงค์ของการทำวิจัย.....	1
1.4 ขอบเขตงานวิจัย.....	1
1.5 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีมอสลอจิกเกต.....	3
2.1 เกทลอจิกซีมอสแบบสแตติก (CMOS Static Logic Gates).....	3
2.2 วงจรซีมอสแบบจำนวนหนึ่งบิต (One-bit CMOS full adder circuit).....	5
บทที่ 3 หลักการออกแบบวงจรบวกที่นำเสนอ.....	10
3.1 วงจรส่วน XOR, XNOR gate.....	11
3.2 วงจรผลรวม (Sum circuit).....	13
3.3 วงจรตัวทด (Carry out circuit).....	15
3.4 วงจรบวกที่นำเสนอ (Proposed circuit).....	16
บทที่ 4 ผลการทดลอง.....	18
4.1 การทดลองวงจรบวกชนิดต่างๆ.....	18
4.2 ผลการจำลองการทำงานวงจร XOR, XNOR gate ที่นำเสนอ.....	20
4.3 ผลการจำลองการทำงานวงจรบวกชนิดต่างๆ.....	22
4.4 ผลการจำลองการทำงานวงจรบวกชนิดต่างๆ เมื่อเปลี่ยนค่า load capacitance.....	34
4.5 เปรียบเทียบผลการทดลองที่ความถี่ต่างๆ.....	37
4.6 กราฟแสดงผลการจำลองการทำงานที่ความถี่ต่างๆ.....	38
บทที่ 5 สรุปผล.....	41
เอกสารอ้างอิง.....	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ภาคผนวก	43
ประวัติผู้เขียน	68



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 ตารางความจริงวงจรรวม	4
3.1 ประสิทธิภาพการทำงานของวงจรรวม XOR และ XNOR ที่ความถี่ 10 MHz	12
3.2 ประสิทธิภาพการทำงานของวงจรรวม XOR และ XNOR ที่ความถี่ 100 MHz	12
3.3 ประสิทธิภาพการทำงานของวงจรรวมผลรวม ที่ความถี่ 10 MHz	14
3.4 ประสิทธิภาพการทำงานของวงจรรวมผลรวม ที่ความถี่ 100 MHz	14
3.5 ประสิทธิภาพการทำงานของวงจรรวมผลรวม ที่ความถี่ 10 MHz	16
3.6 ประสิทธิภาพการทำงานของวงจรรวมผลรวม ที่ความถี่ 100 MHz	16
4.1 ตารางความจริงวงจรรวม XOR, XNOR gate	20
4.2 ตารางความจริงวงจรรวม	22
4.3 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรรวมชนิดต่างๆ ที่ความถี่ 100 MHz ...	24
4.4 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรรวมชนิดต่างๆ ที่ความถี่ 500 MHz ...	26
4.5 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรรวมชนิดต่างๆ ที่ความถี่ 1 GHz	28
4.6 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรรวมชนิดต่างๆ ที่ความถี่ 2 GHz	30
4.7 ค่าดีเลย์ของวงจรรวม จากการดำเนินงานที่ความถี่ 1 – 7 GHz	37
4.8 ค่าการสูญเสียพลังงานของวงจรรวม จากการดำเนินงานที่ความถี่ 1 – 7 GHz	38
4.9 ค่า PDP ของวงจรรวม จากการดำเนินงานที่ความถี่ตั้งแต่ 1 – 7 GHz	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 เกทลอจิกซีมอสแบบทั่วไป	3
2.2 บล็อกการทำงานของวงจรวก	4
2.3 รูปแบบเกทของวงจรวก	5
2.4 ทรานซิสเตอร์วงจรวกซีมอส	6
2.5 วงจรวกซีมอสคอมพลิเมนต์ทาร์ลอจิก	6
2.6 วงจรวกซีมอสแบบเกทพาสทรานซิสเตอร์	7
2.7 วงจรวกซีมอสแบบเกททรานสมิสชัน	8
2.8 วงจรวกซีมอสแบบไฮบริด	9
3.1 วงจรวกเมื่อถูกแบ่งออกเป็นสามส่วน	10
3.2 วงจร XOR, XNOR gate แบบต่างๆ	11
3.3 วงจรผลรวม แบบต่างๆ	13
3.4 วงจรตัวทด แบบต่างๆ	15
3.5 วงจรวกที่นำเสนอ	16
4.1 การทดลองประสิทธิภาพการทำงานของวงจรวก	18
4.2 วงจรวกที่นำเสนอ	19
4.3 วงจรวกในรูปแบบต่างๆ	19
4.4 รูปแบบคลื่นของวงจรวก XOR, XNOR gate ที่ความถี่ 1 GHz 0.9V	20
4.5 รูปแบบคลื่นของวงจรวก XOR, XNOR gate ที่ความถี่ 3 GHz 0.9V	21
4.6 รูปแบบคลื่นของวงจรวก XOR, XNOR gate ที่ความถี่ 5 GHz 0.9V	21
4.7 รูปแบบคลื่นของวงจรวก XOR, XNOR gate ที่ความถี่ 7 GHz 0.9V	22
4.8 รูปแบบคลื่นของวงจรวก CCMOS ที่ความถี่ 100 MHz 0.9V	23
4.9 รูปแบบคลื่นของวงจรวก CPL ที่ความถี่ 100 MHz 0.9V	23
4.10 รูปแบบคลื่นของวงจรวก Hybrid ที่ความถี่ 100 MHz 0.9V	23
4.11 รูปแบบคลื่นของวงจรวก TGA ที่ความถี่ 100 MHz 0.9V	24
4.12 รูปแบบคลื่นของวงจรวก Proposed ที่ความถี่ 100 MHz 0.9V	24
4.13 รูปแบบคลื่นของวงจรวก CCMOS ที่ความถี่ 500 MHz 0.9V	25
4.14 รูปแบบคลื่นของวงจรวก CPL ที่ความถี่ 500 MHz 0.9V	25
4.15 รูปแบบคลื่นของวงจรวก Hybrid ที่ความถี่ 500 MHz 0.9V	25
4.16 รูปแบบคลื่นของวงจรวก TGA ที่ความถี่ 500 MHz 0.9V	26
4.17 รูปแบบคลื่นของวงจรวก Proposed ที่ความถี่ 500 MHz 0.9V	26
4.18 รูปแบบคลื่นของวงจรวก CCMOS ที่ความถี่ 1 GHz 0.9V	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.19 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 1 GHz 0.9V	27
4.20 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 1 GHz 0.9V	27
4.21 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 1 GHz 0.9V	28
4.22 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 1 GHz 0.9V	28
4.23 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 2 GHz 0.9V	29
4.24 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 2 GHz 0.9V	29
4.25 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 2 GHz 0.9V	29
4.26 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 2 GHz 0.9V	30
4.27 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 2 GHz 0.9V	30
4.28 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 5 GHz 0.9V	31
4.29 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 5 GHz 0.9V	31
4.30 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 5 GHz 0.9V	31
4.31 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 5 GHz 0.9V	32
4.32 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 5 GHz 0.9V	32
4.33 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 7 GHz 0.9V	33
4.34 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 7 GHz 0.9V	33
4.35 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 7 GHz 0.9V	33
4.36 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 7 GHz 0.9V	34
4.37 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 7 GHz 0.9V	34
4.38 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance ..	35
4.39 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance	35
4.40 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance ...	36
4.41 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance	36
4.42 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance	37
4.43 กราฟแสดงค่าดีเลย์ของวงจรวก ที่ความถี่ตั้งแต่ 1 – 7 GHz	39
4.44 กราฟแสดงค่าการสูญเสียพลังงานของวงจรวกที่ความถี่ 1 – 7 GHz	39
4.45 กราฟแสดงค่า PDP ของวงจรวกที่ความถี่ 1 – 7 GHz	40
ก.1 รูปคลื่นสัญญาณทางด้านอินพุตและเอาต์พุตของวงจรมัลติเพล็กซ์เตอร์	44
ก.2 ช่วงเวลาสัญญาณเอาต์พุตขาขึ้นและขาลง	44
ก.3 รูปแบบสัญญาณเอาต์พุต	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
ข.1 วงจรอินเวอร์เตอร์ เพื่อวิเคราะห์หาค่าการสูญเสียพลังงาน	46
ข.2 รูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรซิมอสอินเวอร์เตอร์	48
ข.3 วงจรซิมอส	49
ข.4 วงจรวัดค่าพลังงานสูญเสียเฉลี่ยของวงจรที่นำมาใช้ในการจำลองการทำงาน	51



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านวงจรดิจิทัล มีวิวัฒนาการไปอย่างรวดเร็ว และมีความต้องการทางด้านประสิทธิภาพการทำงานที่สูงขึ้น จึงทำให้เทคโนโลยีทางด้านการออกแบบวงจรถูกกล่าวถึงการพัฒนาไปด้วย ในการออกแบบวงจรทางดิจิทัลมักนิยมทำเป็น วงจรรวม (IC : Integrated Circuit) และใช้เทคโนโลยี VLSI (Very Large Scale Integration) ซึ่งส่งผลให้ชิปที่ใช้ในปัจจุบันมีขนาดเล็กลงอีกทั้งในอุตสาหกรรมอิเล็กทรอนิกส์ [1] ทั้งยังมีความนิยมใช้งานเทคโนโลยีซีมอสในการออกแบบวงจรรวม เนื่องจากเทคโนโลยีซีมอสนั้นมีการสูญเสียของพลังงานที่ต่ำ (Low power consumption) มีอินพุตอิมพีแดนซ์สูง (High impedance) และสามารถทำงานได้ที่ระดับศักดาไฟเลี้ยงวงจรถ้า ทำให้อุปกรณ์มีขนาดเล็กและง่ายต่อการออกแบบ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วงจรรวมเป็นส่วนประกอบหลักของวงจรพื้นฐาน เช่น หน่วยประมวลผลกลาง (CPU : Central Processing Unit), หน่วยคำนวณและตรรกะ (ALU : Arithmetic Logic Unit), หน่วยความจำ (Memory unit) ซึ่งอุปกรณ์เหล่านี้ล้วนมีความต้องการให้สามารถทำงานได้เร็วขึ้นและใช้พลังงานให้น้อยลง นี่จึงเป็นสิ่งที่น่าท้าทายในการออกแบบวงจรรวมให้ทำงานได้เร็วขึ้นและใช้พลังงานให้ต่ำลง วงจรรวมสามารถออกแบบได้หลายรูปแบบด้วยกัน เช่น วงจรรวมพื้นฐาน (CMOS : Standard CMOS full adder) [1], วงจรรวม transmission gate (TGA) [2], วงจรรวม pass transistor logic (CPL) [3] ซึ่งวงจรรวมแบบ CMOS มีจุดเด่นที่สามารถทนทานต่อการปรับแรงดันไฟฟ้าแต่มีค่าความจุไฟฟ้าด้านอินพุตที่สูงแต่จำเป็นต้องใช้บัฟเฟอร์ ส่วนวงจรแบบ CPL มีค่าการฟื้นฟูค่าการเปลี่ยนแปลงแรงดันที่ดีแต่มีการสูญเสียกำลังงานที่มากเนื่องจากจำนวนทรานซิสเตอร์ที่มีจำนวนมาก จึงมีการพัฒนาวงจรรวมแบบ TGA ซึ่งมีจำนวนทรานซิสเตอร์น้อยกว่าแต่ก็ยังมีจุดด้อยเมื่อเทียบกับวงจรรวมแบบ CPL คือมีค่าความเร็วที่ต่ำกว่านั่นเอง ดังนั้นหากสามารถนำจุดเด่นของแต่ละวงจรรวมมารวมเข้ากันได้ ทำให้เกิดวงจรรวมในรูปแบบใหม่ที่เป็น วงจรรูปแบบผสม (Hybrid full adder circuit) นั้นเอง

1.3 วัตถุประสงค์ของกรวิจัย

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรรวมโดยใช้การออกรูปแบบผสม ซึ่งมีข้อดีที่สามารถนำจุดเด่นของแต่ละวงจรรวมมารวมกัน วงจรที่น่าเสนอนั้นจึงมีความเร็วในการทำงานที่สูงขึ้น และสามารถทำงานที่ความถี่ที่สูงขึ้นได้

1.4 ขอบเขตงานวิจัย

วิทยานิพนธ์นี้ได้เสนอการออกแบบวงจรรวมแบบผสม ด้วยการแบ่งวงจรรวมออกเป็นสามส่วน โดยแบ่งเป็นวงจร XOR XNOR gate, วงจรผลรวม และวงจรถั่วทอด โดยแต่ละส่วนนั้นจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบค่าดีเลย์, ค่าการสูญเสียพลังงาน และค่าผลคูณดีเลย์และการสูญเสียพลังงาน จากนั้นทำการเปรียบเทียบแต่ละส่วนและเลือกวงจรที่มีค่าตามต้องการมาหนึ่งวงจร จากนั้นนำวงจรทั้งสามส่วนมารวมกันได้เป็นวงจรบวกที่นำเสนอ จำลองการทำงาน โดยการจำลองการทำงานด้วยโปรแกรม HSPICE เทคโนโลยีซีมอสขนาด 16 นาโนเมตร ที่แหล่งจ่ายไฟ 0.9 โวลต์

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 5 บท โดยในบทที่ 1 จะเป็นการกล่าวนำ ที่มาของงานวิจัย จุดประสงค์และรายละเอียดในวิทยานิพนธ์

บทที่ 2 จะกล่าวถึงทฤษฎีซีมอสลจิกเกตและวงจรบวกซีมอส

บทที่ 3 จะกล่าวถึงหลักการออกแบบวงจรบวกที่นำเสนอ

บทที่ 4 จะกล่าวถึงผลการทดลอง และเปรียบเทียบคุณสมบัติต่างๆของวงจรบวกที่นำเสนอ

บทที่ 5 เป็นการสรุปผลการวิจัย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีซีมอสลอจิกเกต

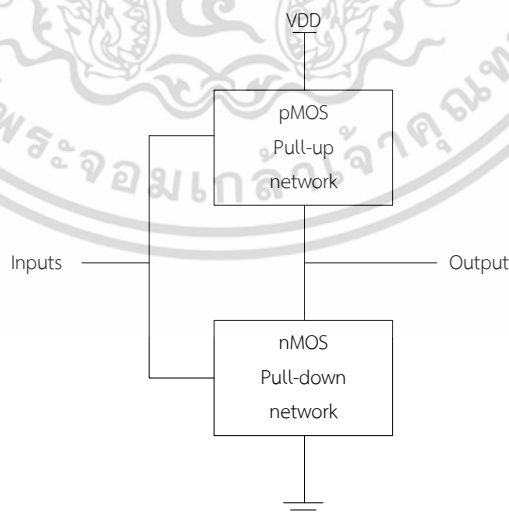
วงจรมอส (Complementary Metal Oxide Semiconductor : CMOS) มีพื้นฐานมาจากการทำงานร่วมกันระหว่างทรานซิสเตอร์พีมอสและทรานซิสเตอร์เอ็นมอส มีคุณสมบัติเด่นในเรื่องการใช้พลังงานที่ต่ำ มีขนาดเล็ก ทนต่อสัญญาณรบกวน และมีราคาถูก จากเหตุผลที่กล่าวมา จึงทำให้วงจรมอสได้รับความนิยมเป็นอย่างสูง ในการนำมาออกแบบวงจรรวมหรือไอซีนั่นเอง

2.1 เกทลอจิกซีมอสแบบสแตติก (CMOS Static Logic Gates)

วงจรมอสพื้นฐานที่เรียกว่า เกทลอจิกซีมอสแบบสแตติก เป็นอุปกรณ์ที่มีสัญญาณขาเข้า (input signal) เพื่อสร้างสัญญาณขาออก (output signal) ที่ทั้งสองสัญญาณมีความเกี่ยวข้องกันทางตรรกศาสตร์ สำหรับเกทพื้นฐานทางซีมอส ได้แก่ เกทแบบ INV, AND, OR, NAND, NOR, XOR และ XNOR โดยผลลัพธ์การกระทำทางด้านลอจิกเรียกว่า ตารางความจริง (truth table) ซึ่งวงจรมอสเกตนั้นเป็นพื้นฐานของวงจรรวมหรือไอซีนั่นเอง

2.1.1 เกทซีมอสลอจิก (CMOS Logic Gates)

เกทซีมอสแบบสมบูรณ์ (complementary CMOS gates) โดยปกติแล้วเกทซีมอสจะมีสองส่วน ในส่วนแรกคือ ส่วน nMOS pull-down network ที่ต่ออยู่ระหว่างสัญญาณเอาต์พุตและกราวด์ (GND) และส่วนที่สองคือ ส่วน pMOS pull-up network ที่ต่ออยู่ระหว่างสัญญาณเอาต์พุตและไฟเลี้ยง (V_{DD}) ดังแสดงในรูปที่ 1.1 ซึ่งการออกแบบวงจรมอสที่ตึ้นนั้นควรเป็นไปตามในลักษณะนี้



รูปที่ 2.1 เกทลอจิกซีมอสแบบทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ pull-up และ pull-down network ของวงจรรีจิสเตอร์จะประกอบด้วยทรานซิสเตอร์อย่างละหนึ่งตัว สำหรับเกทแบบอื่นๆ จะประกอบด้วยทรานซิสเตอร์ที่ต่อกับทั้งแบบแบบขนานและอนุกรม วงจรจะยิ่งมีความละเอียดซับซ้อนยิ่งขึ้น โดยการผสมรูปแบบต่างๆเข้าด้วยกัน [3]

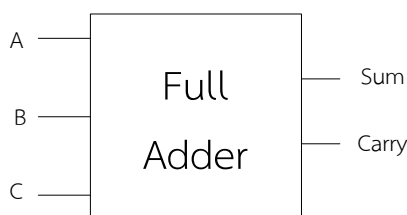
2.2 วงจรบวกซีมอสแบบจำนวนหนึ่งบิต (One-bit CMOS full adder circuit)

วงจรวกเป็นพื้นฐานของการทำงานของวงจรรวม (Integrated circuit) เช่น หน่วยประมวลผลทางคณิตศาสตร์และตรรกะ (ALU), วงจรเฟสล็อก (phase lock loop), หน่วยความจำ (memory), วงจร Quadrature Phase Shift Keying (QPSK) เป็นต้น วงจรวกนั้นจะประกอบด้วยจำนวนอินพุตสามตัว คือ A, B, และ C_{in} อีกทั้งมีเอาต์พุต จำนวนสองตัวคือ ผลรวม (Sum) และตัวทด (C_{out}) วงจรวกนั้นมักถูกพัฒนาด้านประสิทธิภาพการทำงาน ทางด้านการลดค่าการสูญเสียพลังงาน, การเพิ่มความเร็ว, และการลดขนาดของชิป [1] รูปที่ 2.2 แสดงบล็อกการทำงานของวงจรวก และตารางที่ 2.1 แสดงตารางความจริงของวงจรวก วงจรวกสามารถเขียนสมการบูลีนได้เป็น

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ C_{out} &= AB + AC + BC \end{aligned} \quad (2.1)$$

ตารางที่ 2.1 ตารางความจริงวงจรวก

Input			Output	
A	B	C_{in}	C_{out}	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



รูปที่ 2.2 บล็อกการทำงานของวงจรวก

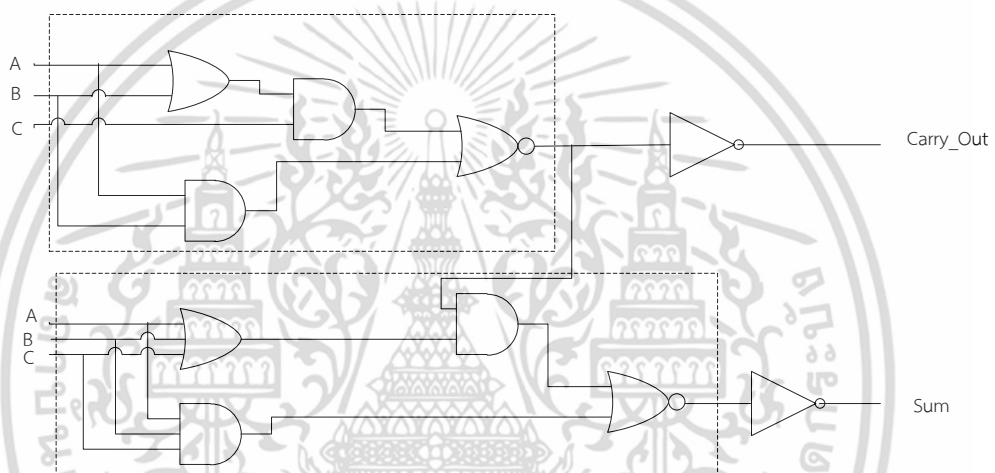
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 วงจรบวกซีมอสคอมพลีเมนทารีลอจิก (CMOS complementary full adder)

จากสมการบูลีนของวงจรบวกนั้น สามารถเปลี่ยนสมการเพื่อให้อยู่ในรูปของวงจรถ่ายทอดพื้นฐาน เพื่อให้ง่ายต่อการสร้างวงจรบวก ดังสมการบูลีน

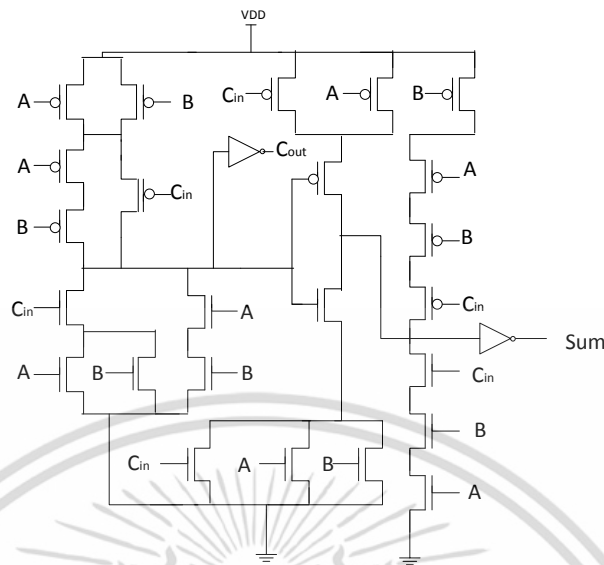
$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ &= ABC_{in} + AB\overline{C_{in}} + \overline{A}BC_{in} + \overline{A}\overline{C_{in}}B \\ &= ABC_{in} + (A + B + C_{in})\overline{C_{out}} \\ C_{out} &= AB + AC_{in} + BC_{in} \end{aligned} \quad (2.2)$$

แยกวงจรออกเป็นสองส่วนเพื่อให้ง่ายต่อการเข้าใจ และจัดให้อยู่ในรูปวงจรถ่ายทอดพื้นฐานเพื่อนำไปใช้ แสดงในรูปที่ 2.3



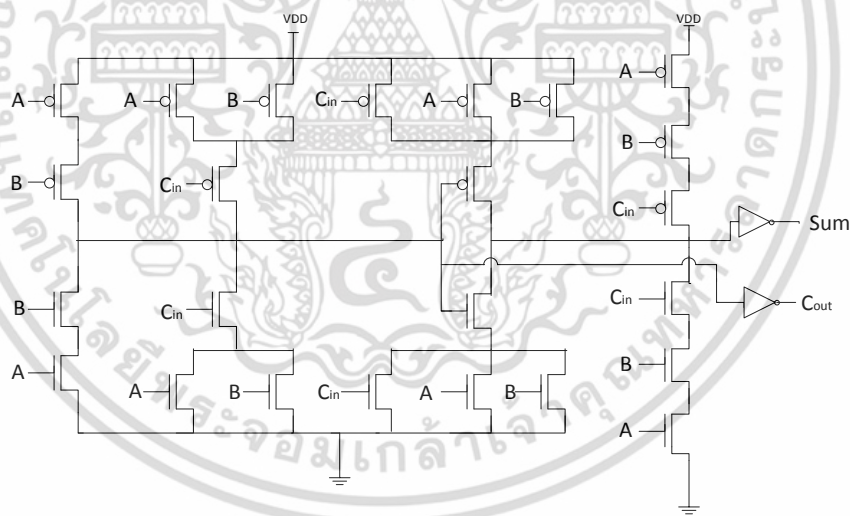
รูปที่ 2.3 รูปแบบเกทของวงจรบวก

ทรานซิสเตอร์ของวงจรบวกนั้น สำหรับ pull-down network ทรานซิสเตอร์เอ็นมอสจะต่อเข้ากับอินพุตและกราวด์ ในวงจรถ่ายทอดแบบ AND จะเปลี่ยนให้อยู่ในรูปของทรานซิสเตอร์เอ็นมอสแบบอนุกรม และวงจรถ่ายทอดแบบ OR จะเปลี่ยนให้อยู่ในรูปของทรานซิสเตอร์เอ็นมอสแบบขนาน สำหรับ pull-up network ที่ทรานซิสเตอร์พีมอสจะต่อเข้ากับอินพุตและไฟเลี้ยง ในวงจรถ่ายทอดแบบ AND จะเปลี่ยนให้อยู่ในรูปของทรานซิสเตอร์พีมอสแบบขนาน และวงจรถ่ายทอดแบบ OR จะเปลี่ยนให้อยู่ในรูปของทรานซิสเตอร์พีมอสแบบอนุกรม จากนั้นนำทั้งสองมาเชื่อมต่อกันเป็นเครือข่ายคู่ (dual network) ดังแสดงในรูปที่ 2.4 ซึ่งจะประกอบด้วยทรานซิสเตอร์พีมอสและเอ็นมอสอย่างละ 14 ตัว [1]



รูปที่ 2.4 ทรานซิสเตอร์วงจรวกซิมอส

เมื่อจัดรูปทรานซิสเตอร์พีมอสและเอ็นมอสให้อยู่ในรูปสมมาตร (symmetric) เพื่อให้ง่ายต่อการสร้างเลย์เอาต์ (lay out) [1] ดังแสดงในรูปที่ 2.5



รูปที่ 2.5 วงจรวกซิมอสคอมพลิเมนต์ารีลอจิก

วงจรวกซิมอสคอมพลิเมนต์ารีลอจิกนี้ใช้เทคนิค pull-up และ pull-down network ซึ่งประกอบด้วยทรานซิสเตอร์ทั้งหมดจำนวน 28 ตัว ซึ่งมีความทนทานต่อสัญญาณรบกวนสูง (noise) มีค่าดีเลย์ที่น้อย และมีการสูญเสียพลังงานที่น้อยอีกด้วย

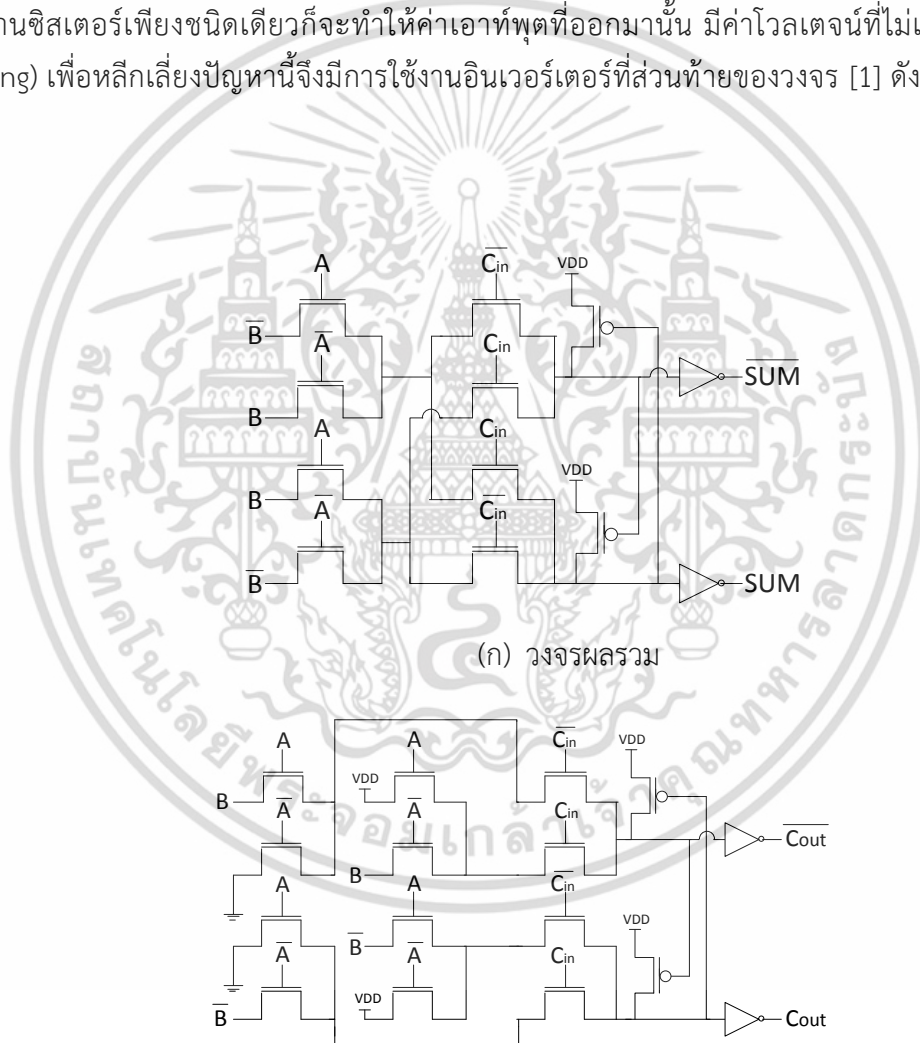
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 วงจรบวกซีมอสแบบเกตพาสทรานซิสเตอร์ (CMOS pass transistor full adder)

วงจรบวกซีมอสแบบเกตพาสทรานซิสเตอร์นี้จะแยกผลรวม (SUM) และตัวทด (C_{out}) แยกออกจากกันอย่างสมบูรณ์ ซึ่งจะมีสมการบูลีนของวงจรบวกเป็น

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ &= ABC_{in} + A\bar{B}\bar{C}_{in} + \bar{A}BC_{in} + \bar{A}\bar{B}C_{in} \\ C_{out} &= AB + AC_{in} + BC_{in} \end{aligned} \quad (2.3)$$

วงจรบวกนี้ถูกออกแบบขึ้นเพื่อใช้ทรานซิสเตอร์เพียงชนิดเดียว แต่ถึงอย่างนั้นการใช้ทรานซิสเตอร์เพียงชนิดเดียวจะทำให้ค่าเอาต์พุตที่ออกมา นั้น มีค่าโวลเตจที่ไม่เต็มช่วง (full swing) เพื่อหลีกเลี่ยงปัญหานี้จึงมีการใช้งานอินเวอร์เตอร์ที่ส่วนท้ายของวงจร [1] ดังแสดงในรูปที่ 2.6



รูปที่ 2.6 วงจรบวกซีมอสแบบเกตพาสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

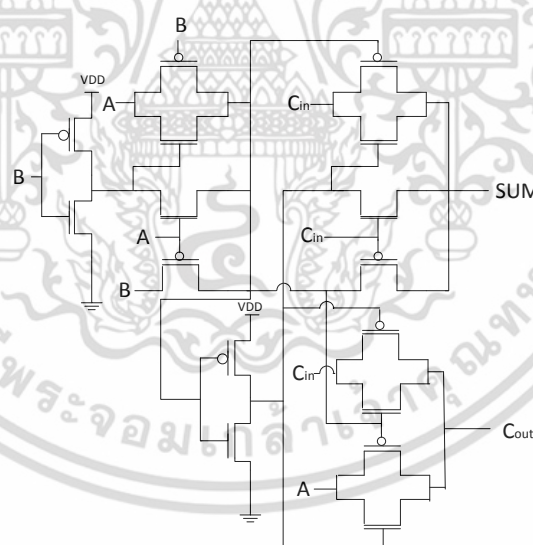
วงจรวกซีมอสคอมพลิเมนต์ารีลอจิกนี้ใช้เทคนิคพาสทรานซิสเตอร์ ซึ่งวงจรมีจะประกอบด้วยทรานซิสเตอร์ทั้งหมดจำนวน 32 ตัว วงจรมีการแยกส่วนกันระหว่างวงจรผลรวมและวงจรตัวทอดออกจากกัน มุ่งเน้นการใช้งานทรานซิสเตอร์เพียงชนิดเดียว ซึ่งในรูปที่ 2.6 นั้นจะมุ่งเน้นการใช้งานทรานซิสเตอร์เอ็นมอสนั่นเอง ข้อดีและข้อด้อยของวงจรวกซีมอสแบบเกตพาสทรานซิสเตอร์นั้นคือ มีค่าดีเลย์ที่น้อย แต่จะมีค่าการสูญเสียพลังงานที่สูงมาก

2.2.3 วงจรวกซีมอสแบบเกตพาสทรานซิสชัน (CMOS transmission gate full adder)

วงจรวกซีมอสแบบเกตพาสทรานซิสชันนี้ จะมีการจัดรูปสมการบูลีนใหม่ เพื่อสร้างวงจรให้อยู่ในรูปแบบที่ใช้งานง่ายขึ้น ซึ่งจะมีสมการบูลีนของวงจรวกเป็น

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ &= (A \oplus B)C_{in} + \overline{(A \oplus B)}C_{in} \\ C_{out} &= AB + AC_{in} + BC_{in} \\ &= (A \oplus B)C_{in} + \overline{(A \oplus B)}A \end{aligned} \quad (2.4)$$

วงจรมีใช้เทคนิคทรานซิสชันเกต ซึ่งประกอบด้วยทรานซิสเตอร์จำนวน 16 ตัวเท่านั้น ซึ่งมีการใช้งานทรานซิสเตอร์จำนวนน้อยกว่าวงจรวกที่ผ่านมาก่อนข้างมาก ดังแสดงรูปที่ 2.7



รูปที่ 2.7 วงจรวกซีมอสแบบเกตพาสทรานซิสชัน

วงจรมีซีมอสแบบเกตพาสทรานซิสชันมีข้อดีคือลดจำนวนทรานซิสเตอร์ที่ใช้ในวงจรมีให้ลดน้อยลง อีกทั้งยังลดค่าการสูญเสียพลังงานของวงจรมี และยังทำให้วงจรมีขนาดที่เล็กลงอีกด้วย

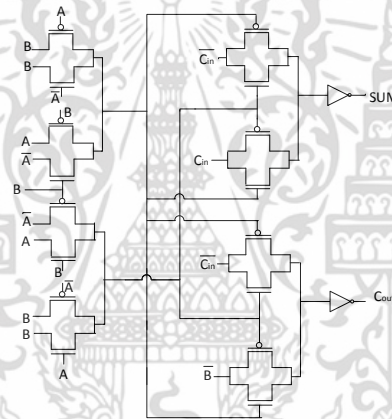
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 วงจรบวกซีมอสแบบไฮบริด (CMOS hybrid full adder)

วงจรบวกซีมอสแบบไฮบริดเป็นวงจรที่นำข้อดีของแต่ละวงจรมานำมาใช้งานร่วมกัน เช่น การนำเอาวงจรพาสทานซิสเตอร์ในส่วนของ XOR และ XNOR มาใช้งาน การนำเอาส่วนของผลรวมและตัวทดของทรานสมิซชันเกตมาใช้งาน ซึ่งจะมีสมการบูลีนของวงจรบวกเป็น

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ &= (A \oplus B)\overline{C_{in}} + (\overline{A \oplus B})C_{in} \\ C_{out} &= AB + AC_{in} + BC_{in} \\ &= (A \oplus B)C_{in} + (\overline{A \oplus B})A \end{aligned} \quad (2.5)$$

วงจรวกนี้จะมีข้อดี ของแต่ละวงจรมารวมกันทำให้ทั้งค่าดีเลย์ที่ต่ำ และการสูญเสียพลังงานที่ต่ำด้วย แต่ทั้งนี้ก็ยังนำผลเสียของแต่ละวงจรมาก็ด้วยทำให้จำเป็นต้องใส่อินเวอร์เตอร์ในส่วนท้ายเพื่อหลีกเลี่ยงปัญหาที่เกิดจากเทคนิคพาสทานซิสเตอร์นั่นเอง ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 วงจรบวกซีมอสแบบไฮบริด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

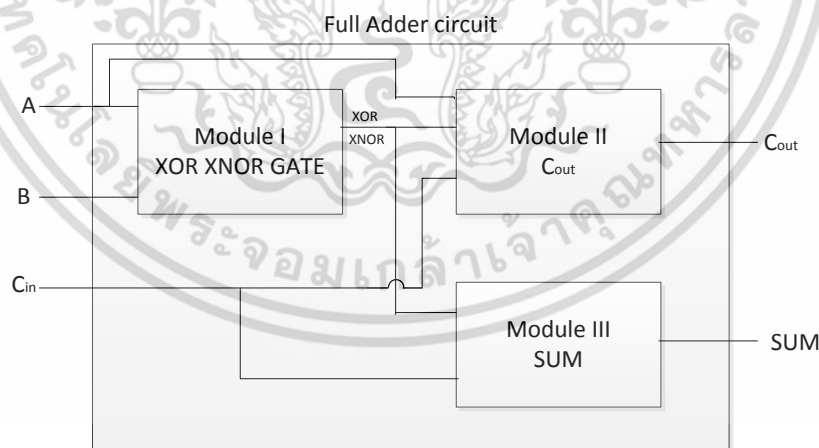
หลักการออกแบบวงจรบวกที่นำเสนอ

การออกแบบวงจรซีมอสที่ดีนั้น จำเป็นต้องคำนึงถึงคุณลักษณะของวงจรรวม โดยหลักๆ จะ ได้แก่ ค่าการสูญเสียพลังงาน (power consumption) จำนวนทรานซิสเตอร์ (number of transistor) พื้นที่วงจร (chip area) ความเร็วในการทำงาน (speed of circuit) [11] ดังที่กล่าวในบทที่ 2 และทั้งนี้ยังอาจต้องคำนึงถึง ความยากง่ายในการออกแบบวงจรเพื่อจะสามารถนำไปพัฒนาวงจร ต่อเนื่องไปได้อีก ดังนั้นแล้วภายในบทนี้จะกล่าวถึงหลักการออกแบบวงจรบวกที่นำเสนอนั้นเอง

จากสมการวงจรวก และใช้ทฤษฎี DE Morgan และการใช้สมการ Boolean ในการเปลี่ยนรูปแบบสมการจะได้ว่า

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ &= (A \oplus B)\overline{C_{in}} + (A \oplus B)C_{in} \\ C_{out} &= AB + AC_{in} + BC_{in} \\ &= (A \oplus B)C_{in} + \overline{(A \oplus B)}A \end{aligned} \quad (3.1)$$

จากการสังเกตจะพบว่าสามารถแบ่งส่วนของสมการได้เป็นสามส่วน คือ ส่วนของ XOR XNOR gate, ส่วนของผลรวม และส่วนของตัวทอด โดยแยกได้ ดังแสดงในรูปที่ 3.1



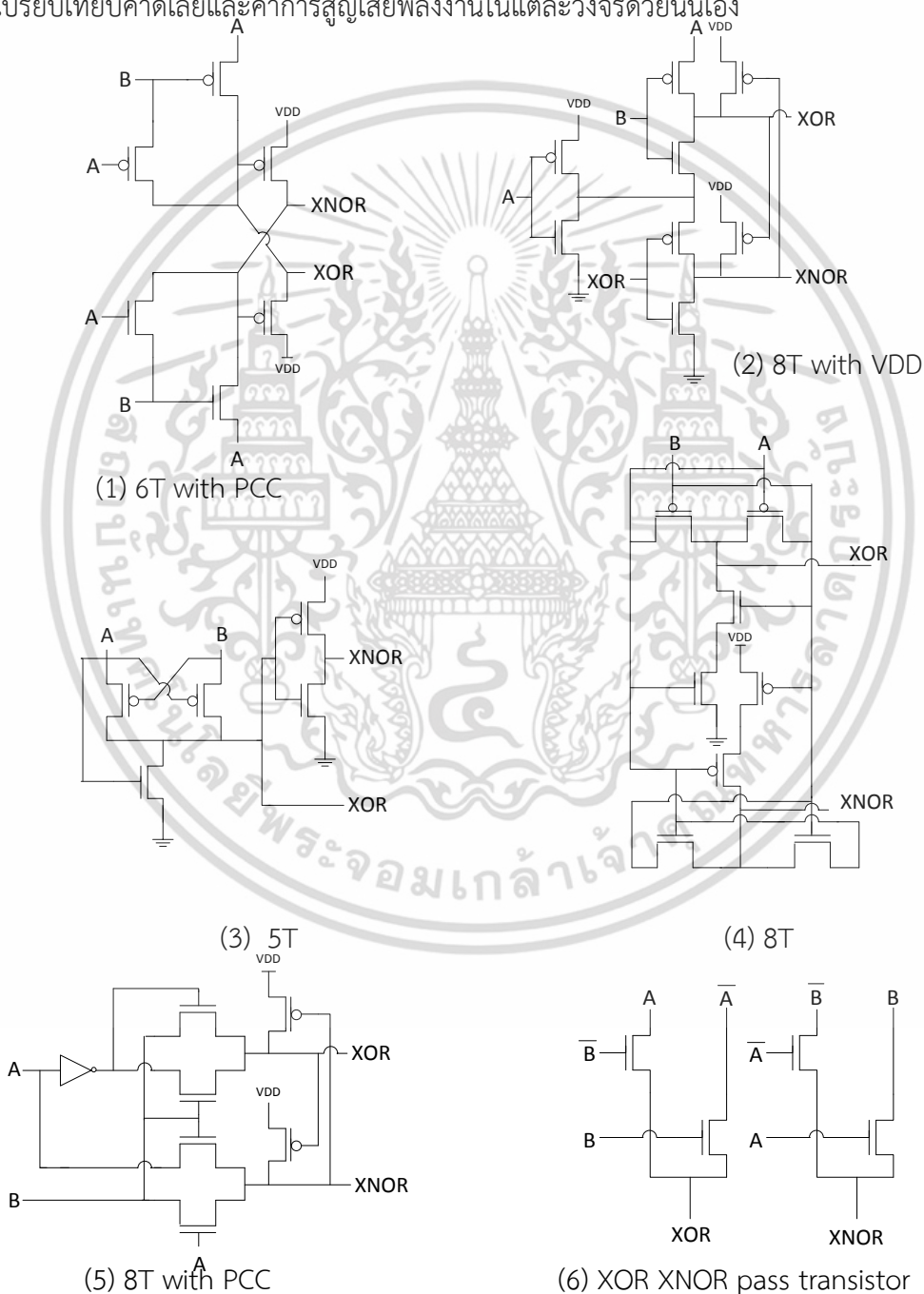
รูปที่ 3.1 วงจรวกเมื่อถูกแบ่งออกเป็นสามส่วน

วงจรวกที่นำเสนอสมาสามารถแบ่งการทำงานได้ออกเป็นสามส่วน คือ ส่วน 1 เป็นวงจรมีเอทพุต เป็น XOR และ XNOR รับค่าอินพุต A และ B ในส่วน 2 คือ วงจรมีเอทพุตเป็นค่าตัวรวม และในส่วน 3 คือวงจรมีเอทพุตเป็นค่าตัวทอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 วงจรส่วน XOR, XNOR gate

วงจรส่วน XOR, XNOR gate เป็นวงจรส่วนแรกของวงจรวงจรแบบที่ถูกรวบรวมออกมาเป็นสามส่วน [9], [11], [15] ซึ่งวงจรมีค่าอินพุต 2 ค่าและ เอาท์พุต 2 ค่า คือ A, B, XOR, XNOR ตามลำดับ โดยผู้วิจัยทำการออกแบบวงจร XOR, XNOR gate จำนวน 6 รูปแบบ โดยใช้เทคนิคต่างๆ เช่น ทรานซิสชัน พาสทรานซิสเตอร์ การข้ามคู่พีมอส เป็นต้น วงจรในส่วนนี้จะคำนึงถึงค่าความเร็วและช่วงการทำงานในระดับความถี่ GHz เป็นสำคัญ และปัจจัยรองคือ ไม่ให้วงจรมีความสูญเสียพลังงานมากเกินไป โดยผู้วิจัยจะการใช้ค่า W/L ให้มีค่าเท่ากันในทุกๆ วงจร เพื่อง่ายต่อการเปรียบเทียบค่าดีเลย์และค่าการสูญเสียพลังงานในแต่ละวงจรด้วยนั่นเอง



รูปที่ 3.2 วงจร XOR, XNOR gate แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองการทำงานวงจรส่วน XOR, XNOR gate ที่ความถี่ 10 MHz แสดงในตารางที่ 3.1 และที่ความถี่ระดับ 100 MHz แสดงในตารางที่ 3.2

ตารางที่ 3.1 ประสิทธิภาพการทำงานของวงจรส่วน XOR และ XNOR ที่ความถี่ 10 MHz

Circuit XOR XNOR	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	6	1.45E-08	3.55E-10	5.16235E-18
2	8	3.61E-07	3.26E-09	1.17928E-15
3	5	1.05E-06	2.47E-10	2.58323E-16
4	8	7.72E-08	2.37E-10	1.8319E-17
5	8	1.12E-07	4.21E-09	4.73403E-16
6	8	1.69E-07	2.40E-10	4.03874E-17

ตารางที่ 3.2 ประสิทธิภาพการทำงานของวงจรส่วน XOR และ XNOR ที่ความถี่ 100 MHz

Circuit XOR XNOR	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	6	4.04E-06	4.47E-11	1.80538E-16
2	8	1.06E-04	3.75E-09	3.96758E-13
3	5	7.88E-06	2.88E-11	2.27068E-16
4	8	7.00E-07	3.13E-11	2.19448E-17
5	8	4.68E-06	9.85E-10	4.60534E-15
6	8	1.35E-06	5.75E-11	7.75579E-17

จากผลการจำลองการทำงาน สังเกตได้ว่าวงจรที่ 1, 3, 4 และ 6 มีค่าดีเลย์ที่น้อย เมื่อเปรียบเทียบกับวงจรชนิดอื่นๆ ทั้งนี้วงจรทั้ง 4 ก็มีข้อเสียที่แตกต่างกันนั่นคือ วงจรที่ 3 จะมีค่าดีเลย์ที่แย่มากเป็นอย่างมากเมื่อวงจรมีช่วงการทำงานระดับความถี่ที่สูงขึ้น วงจรที่ 4 มีค่าการสูญเสียพลังงานที่สูงมากเมื่อเทียบกับวงจรที่ 3, 6 และวงจรที่ 6 เมื่อจำลองการทำงานแล้ว สัญญาณที่เอาต์พุตที่ได้จะแกว่งไม่เต็มช่วง (Full swing) เนื่องจากการใช้เทคนิคพาสทรานซิสเตอร์

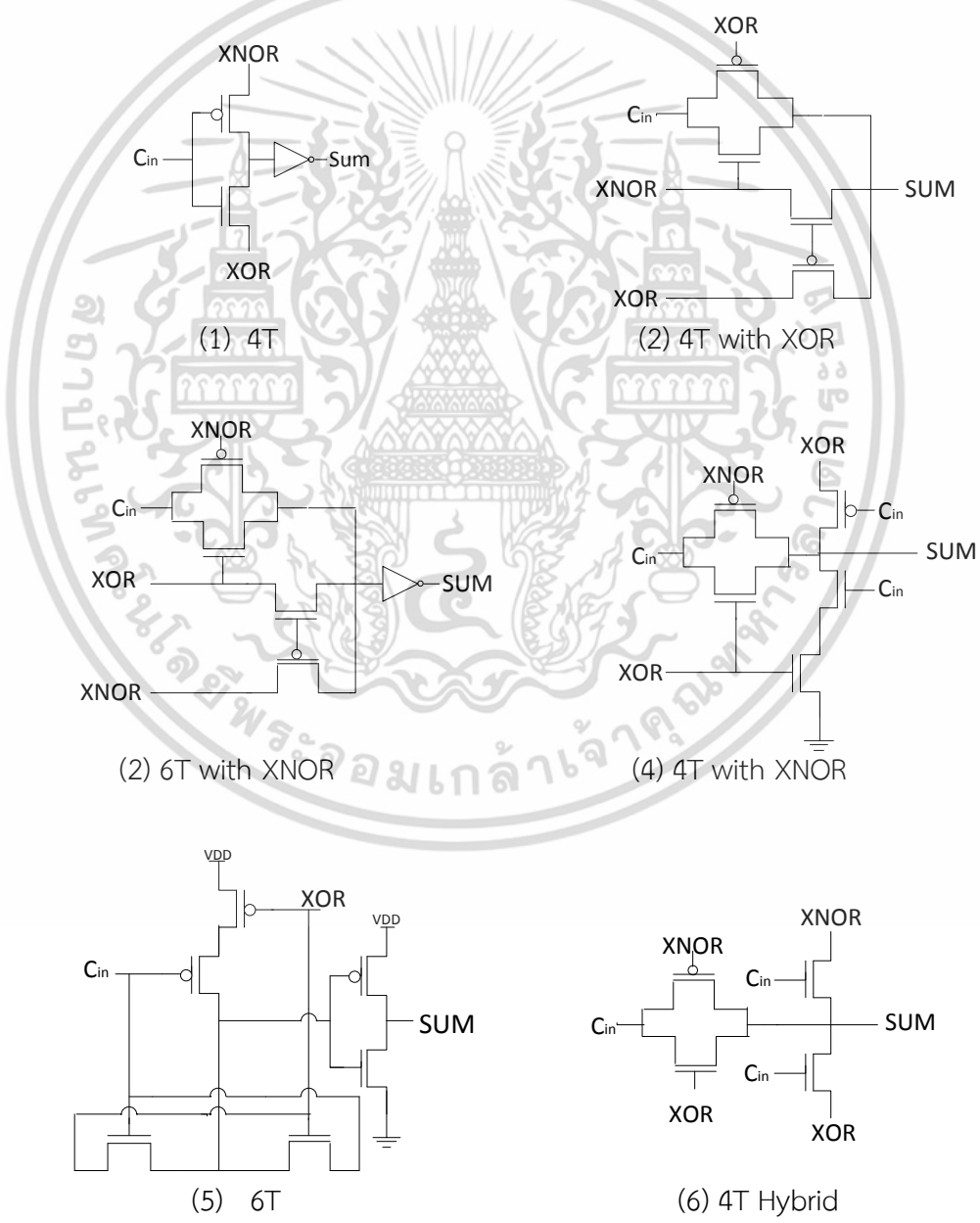
ดังนั้นแล้วผู้วิจัยจึงได้นำเสนอวงจรที่ 1 ซึ่งมีค่าดีเลย์ที่น้อย และมีค่าการสูญเสียพลังงานที่ไม่สูงจนเกินไปเมื่อเทียบกับวงจรอื่นๆ เป็นวงจรส่วน XOR, XNOR gate ในวงจรบวก เนื่องจากวงจรส่วน XOR และ XNOR เป็นสมการตั้งต้นของส่วนผลรวม และส่วนผลคูณ ผู้วิจัยจึงเลือกวงจรที่สามารถทำงานที่ความถี่ที่สูงได้ มีค่าดีเลย์ที่ต่ำ และมีค่าการสูญเสียพลังงานที่ไม่มากจนเกินไป

3.2 วงจรผลรวม (Sum circuit)

วงจรถูกแบ่งออกเป็นสามส่วน [9], [11], [15] เมื่อเทียบกับผลจำลองการทำงานในบทที่ 4 วงจรส่วนนี้จะมีค่าดีเลย์ที่สูงกว่าส่วนของตัวทอดและส่วนอื่นๆ ดังนั้นแล้วค่าดีเลย์ของวงจรถูก จึงขึ้นอยู่กับวงจรถูกเป็นสำคัญ ทำให้ต้องคำนึงถึงค่าดีเลย์ของวงจรถูกเป็นหลักนั่นเอง วงจรนี้จะมีค่า อินพุต 3 ค่าและ เอาท์พุต 1 ค่า คือ XOR, XNOR, C_{in}, SUM ดังสมการ

$$SUM = A \oplus B \oplus C_{in} \tag{3.2}$$

โดยผู้วิจัยได้ออกแบบวงจรถูก จำนวน 6 รูปแบบ จากการใช้เทคนิคต่างๆ เช่น ทรานสมิชั่น [11], [15], พาสทรานซิสเตอร์ [9], อินเวอร์เตอร์ [9], [11], [15], การข้ามคู่พีมอส [6]



รูปที่ 3.3 วงจรถูก แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองการทำงานวงจรผลรวม ที่ความถี่ 10 MHz แสดงในตารางที่ 3.3 และที่ความถี่ระดับ 100 MHz แสดงในตารางที่ 3.4

ตารางที่ 3.3 ประสิทธิภาพการทำงานของวงจรผลรวม ที่ความถี่ 10 MHz

Circuit SUM	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	4	1.44E-06	3.05E-10	4.40E-16
2	4	3.10E-08	1.40E-10	4.35E-08
3	6	7.92E-07	3.01E-10	2.39E-16
4	5	3.68E-08	1.41E-10	5.20E-18
5	6	1.37E-06	3.01E-10	4.14E-16
6	4	2.53E-08	1.26E-10	3.19E-18

ตารางที่ 3.4 ประสิทธิภาพการทำงานของวงจรผลรวม ที่ความถี่ 100 MHz

Circuit SUM	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	4	1.13E-06	1.47E-10	1.66E-16
2	4	3.57E-07	2.93E-11	1.05E-17
3	6	6.34E-07	7.09E-11	4.49E-17
4	5	4.82E-07	3.23E-11	1.56E-17
5	6	1.89E-06	8.27E-11	1.56E-16
6	4	3.57E-07	2.21E-11	7.90E-18

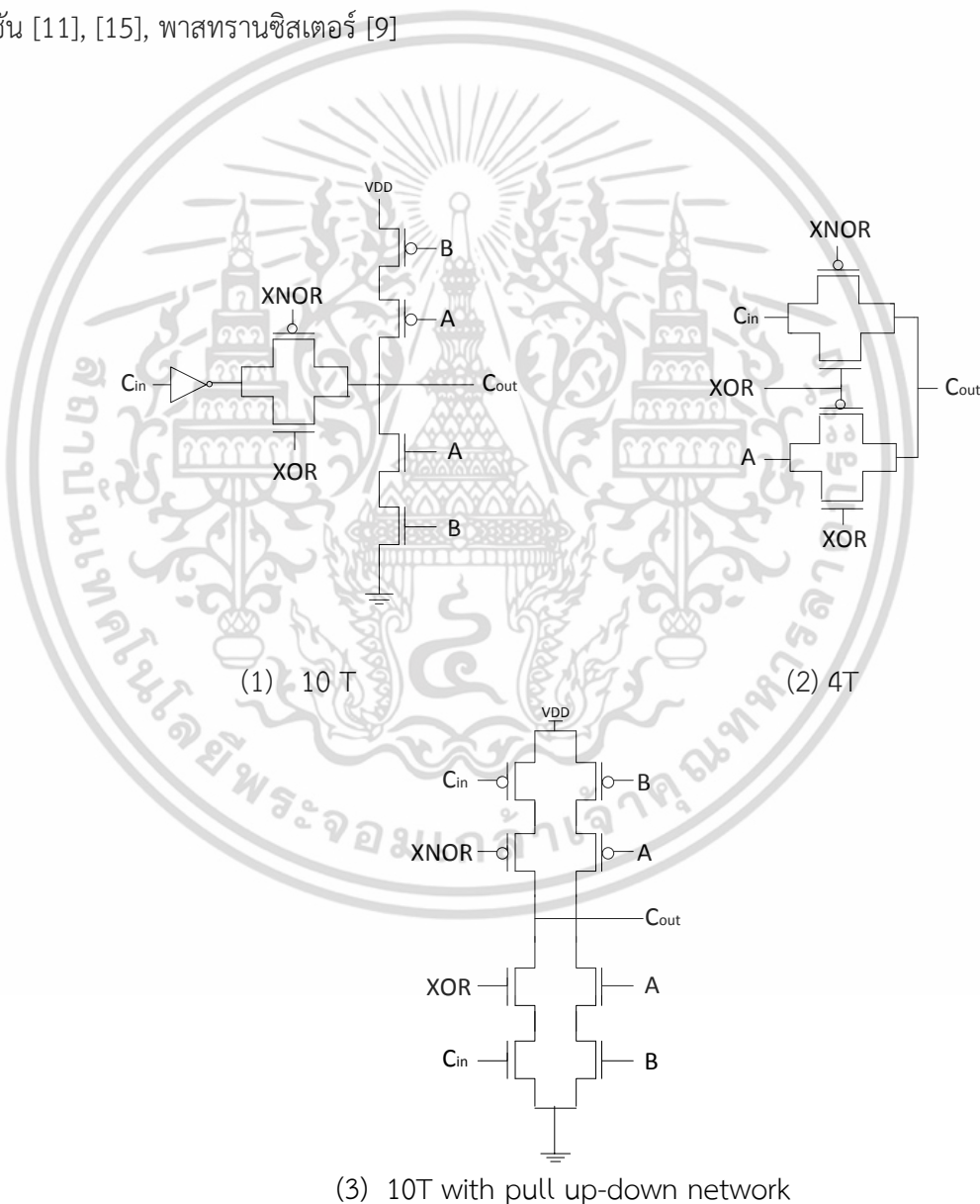
จากผลการจำลองการทำงานสังเกตได้ว่า วงจรผลรวมแบบที่ 6 มีค่าดีเลย์ที่น้อยที่สุด ซึ่งมีการออกแบบจากเทคนิคแบบ พาสทรานสมิชั่นและทรานสมิชั่นผสมกัน ดังนั้นแล้วผู้วิจัยจึงได้นำเสนอวงจรแบบที่ 6 ซึ่งมีค่าดีเลย์ที่น้อยที่สุดเมื่อเทียบกับวงจรอื่นๆ เนื่องจากวงจรมีค่าดีเลย์ที่สูงกว่าวงจรส่วน XOR, XNOR gate และวงจรตัวทดตั้งที่อธิบายข้างต้นมาแล้ว ทำให้ต้องคำนึงถึงค่าดีเลย์เป็นหลักนั่นเอง

3.3 วงจรตัวทอด (Carry out circuit)

วงจรตัวทอดเป็นวงจรอีกส่วนของวงจรบวกเมื่อที่ถูกแบ่งออกมาเป็นสามส่วน [9], [11], [15] วงจรส่วนนี้มีค่า ดีเลย์ที่น้อยสุดเมื่อเทียบกับอีกสองส่วนของวงจรบวก จึงทำให้ไม่ต้องคำนึงถึงค่า ดีเลย์ ในส่วนของวงจรมานักนัก แต่ทั้งนี้แล้วก็จำเป็นที่จะต้องเลือกให้วงจรในส่วนนี้มีค่าดีเลย์ไม่มากไปกว่าส่วนอื่นๆ เพื่อให้วงจรบวกนั้นมีค่าดีเลย์ที่น้อยที่สุดเท่าที่จะเป็นไปได้นั่นเอง วงจรนี้จะมีค่า อินพุต 3 ค่าและ เอาท์พุต 1 ค่า คือ A, B, C_{in}, C_{out}, ดังสมการ

$$C_{out} = AB + AC_{in} + BC_{in} \tag{3.3}$$

โดยผู้วิจัยทำการออกแบบวงจรตัวทอด จำนวน 3 รูปแบบ จากการใช้เทคนิคต่างๆ เช่น ทรานซิส มิสชัน [11], [15], พาสทรานซิสเตอร์ [9]



รูปที่ 3.4 วงจรตัวทอด แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองการทำงานวงจรตัวทวด ที่ความถี่ 10 MHz แสดงในตารางที่ 3.5 และที่ความถี่ระดับ 100 MHz แสดงในตารางที่ 3.6

ตารางที่ 3.5 ประสิทธิภาพการทำงานของวงจรตัวทวด ที่ความถี่ 10 MHz

Circuit SUM	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	10	1.47E-06	3.90E-10	5.72E-16
2	4	5.78E-08	1.09E-10	6.29E-18
3	10	1.08E-06	3.84E-10	4.14E-16

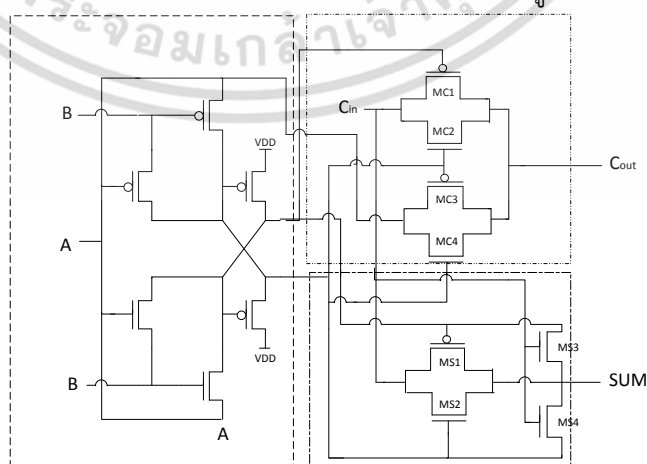
ตารางที่ 3.6 ประสิทธิภาพการทำงานของวงจรตัวทวด ที่ความถี่ 100 MHz

Circuit SUM	Tr.	Power (W)	Delay (sec)	PDP (Joule)
1	10	1.01E-06	9.39E-11	9.50936E-17
2	4	6.89E-09	3.78E-11	2.60438E-19
3	10	7.93E-07	1.07E-10	8.47786E-17

จากผลการจำลองการทำงานสังเกตได้ว่า วงจรตัวทวดแบบที่ 2 มีค่าดีเลย์ และ ค่าการสูญเสียพลังงานน้อยที่สุดเมื่อเทียบกับวงจรตัวทวดอีกทั้งสองแบบ ซึ่งวงจรตัวทวดแบบที่ 2 นั้นออกแบบจากเทคนิคแบบ พาสทรานสมิชั่น ดังนั้นแล้วผู้วิจัยจึงได้นำเสนอวงจรที่ 2 นำมาใช้เป็นวงจรตัวทวด ในวงจรบวกรุ่นนั่นเอง

3.4 วงจรบวกรที่นำเสนอ (Proposed circuit)

วงจรบวกรที่นำเสนอ นั้นสามารถแยกออกได้เป็นสามส่วน นั่นก็คือ วงจรส่วน XOR, XNOR gate วงจรส่วนผลรวม และวงจรตัวทวด ซึ่งนำเสนอไปแล้วในหัวข้อที่ 3.1, 3.2 และ 3.3 เมื่อนำวงจรที่นำเสนอทั้งสามส่วนมารวมกันจะได้วงจรบวกรที่นำเสนอ นั่นเอง ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 วงจรบวกรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของวงจรถอด XOR XNOR ประกอบด้วยทรานซิสเตอร์ MX1- MX6 สามารถอธิบายการทำงานของวงจรถอดได้ดังนี้ เมื่อสัญญาณอินพุต $A=0$ และ $B=0$ ทรานซิสเตอร์ MX1 ทำงาน ส่งผลให้เอาต์พุต MX5 มีสถานะเป็น 1 และ เมื่อสัญญาณอินพุต $A=0$ และ $B=1$ ทรานซิสเตอร์ MX1, MX2, MX3 ทำงาน ส่งผลให้เอาต์พุต MX6 มีสถานะเป็น 1 เมื่อสัญญาณอินพุต $A=1$ และ $B=0$ ทรานซิสเตอร์ MX1, MX2, MX3 หยุดทำงานและ MX4 ทำงาน ส่งผลให้เอาต์พุต MX6 มีสถานะเป็น 1 เมื่อสัญญาณอินพุต $A=1$ และ $B=1$ ทรานซิสเตอร์ MX2, MX3, MX4 ทำงาน ส่งผลให้เอาต์พุต MX5 มีสถานะเป็น 1 และ MX6 มีสถานะเป็น 0

ส่วนของวงจรถอด C_{out} ประกอบด้วยทรานซิสเตอร์ MC1- MC4 สามารถอธิบายการทำงานของวงจรถอดได้ดังนี้ เมื่อสัญญาณอินพุต A และ B มีค่าสถานะเดียวกัน ($A=B$) ทรานซิสเตอร์ MC3, MC4 จะให้สัญญาณเอาต์พุตเป็นค่าสถานะเดียวกันกับค่าอินพุต A และเมื่อสัญญาณอินพุต A และ B มีค่าสถานะต่างกัน ($A \neq B$) ทรานซิสเตอร์ MC1, MC2 จะให้สัญญาณเอาต์พุตเป็นค่าสถานะเดียวกันกับค่าอินพุต C_{in}

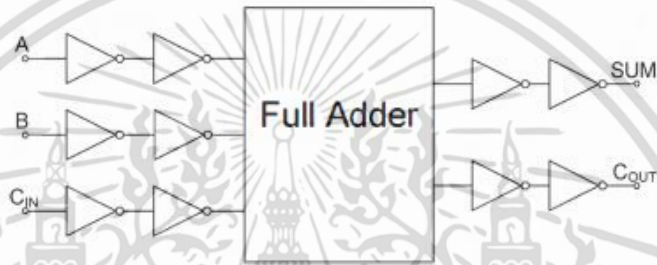
ส่วนของวงจรถอด Sum ประกอบด้วยทรานซิสเตอร์ MS1- MS4 สามารถอธิบายการทำงานของวงจรถอดได้ดังนี้ เมื่อสัญญาณอินพุต A และ B มีค่าสถานะเดียวกัน ($A=B$) ทรานซิสเตอร์ MS1, MS2 จะให้สัญญาณเอาต์พุตเป็นค่าสถานะเดียวกันกับค่าอินพุต C_{in} และเมื่อสัญญาณอินพุต A และ B มีค่าสถานะต่างกัน ($A \neq B$) ทรานซิสเตอร์ MS3, MS4 จะให้สัญญาณเอาต์พุตเป็นค่าสถานะที่ต่างกับค่าอินพุต C_{in}

บทที่ 4

ผลการจำลองการทำงาน

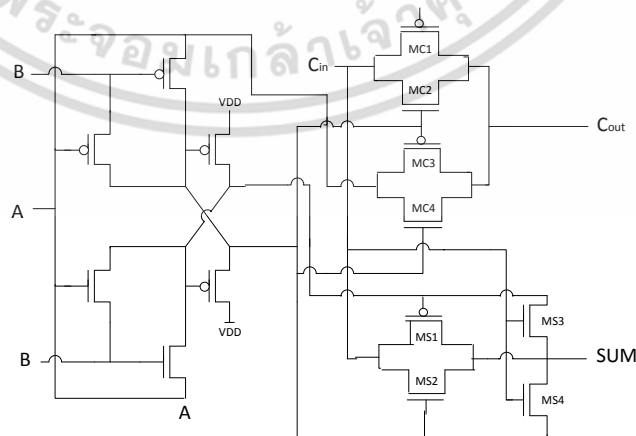
4.1 การจำลองการทำงานวงจรบวกชนิดต่างๆ

การจำลองการทำงานประสิทธิภาพของวงจรวกนั้น จะใช้วิธีการตามดังรูปที่ 4.1 โดยมีการใช้บัฟเฟอร์ ที่อินพุตและเอาต์พุตของวงจร ตามสถานการณ์การใช้งานจริงของวงจร โดยโปรแกรม HSPICE ที่เทคโนโลยีซีมอสขนาด 16 nm แหล่งจ่ายไฟ 0.9 V



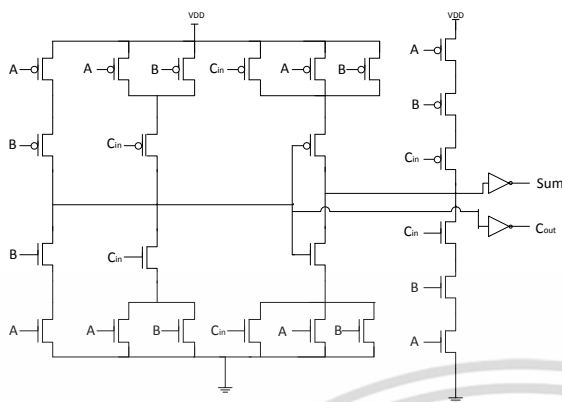
รูปที่ 4.1 การจำลองการทำงานประสิทธิภาพการทำงานของวงจรวก

วงจรวกในรูปแบบเดิมแสดงในรูปที่ 4.3 (ก) วงจรวกจะประกอบด้วยทรานซิสเตอร์จำนวน 28 ตัวใช้การออกแบบวงจรโดย PMOS pull-up และ NMOS pull-down ในรูปที่ 4.3 (ข) วงจรวกจะประกอบด้วยทรานซิสเตอร์จำนวน 32 ตัวใช้การออกแบบวงจรโดยเทคนิคพาสสมรานซิสเตอร์ ในรูปที่ 4.3 (ค) วงจรวกจะประกอบด้วยทรานซิสเตอร์จำนวน 16 ตัวใช้การออกแบบวงจรโดยทรานสมิสชันเกต ในรูปที่ 4.3 (ง) วงจรวกจะประกอบด้วยทรานซิสเตอร์จำนวน 20 ตัวใช้การออกแบบวงจรโดยเทคนิครูปแบบผสม วงจรวกเหล่านี้จะถูกจำลองการทำงานและนำไปเปรียบเทียบกับวงจรวกที่นำเสนอในบทนี้

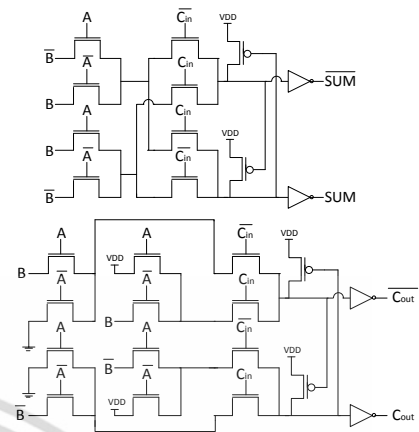


รูปที่ 4.2 วงจรวกที่นำเสนอ

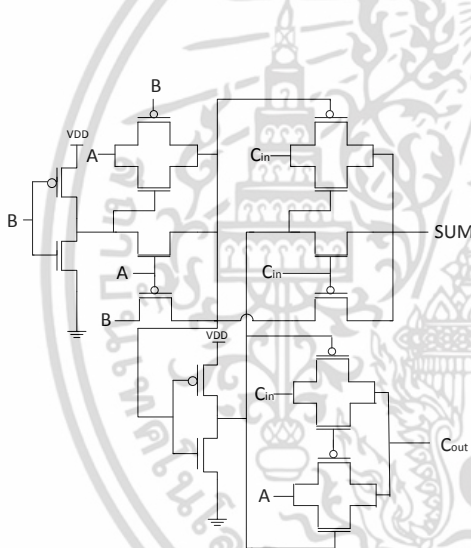
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



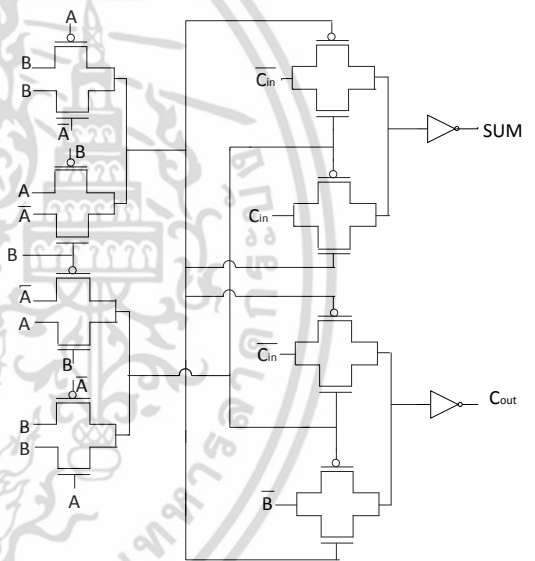
ก. วงจรบวกแบบ CCMOS [1]



ข. วงจรบวกแบบ CPL [3]



ค. วงจรบวกแบบ TGA [2]



ง. วงจรบวกแบบ Hybrid [4]

รูปที่ 4.3 วงจรบวกในรูปแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

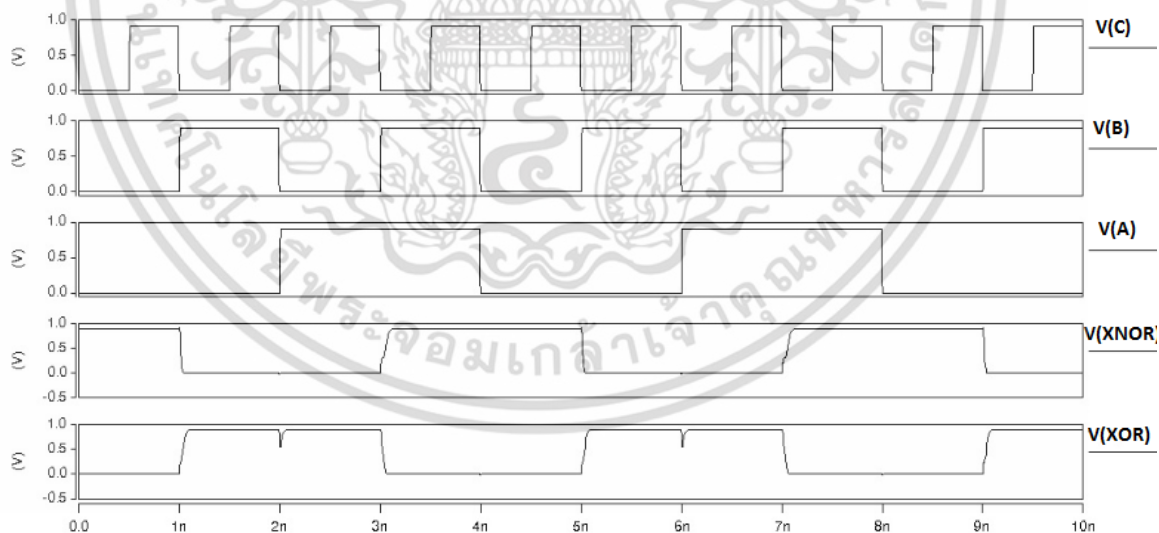
4.2 ผลการจำลองการทำงานวงจร XOR, XNOR gate ที่นำเสนอ

จากการจำลองการทำงานของวงจร XOR XNOR gate ที่นำเสนอ โดยโปรแกรม HSPICE ที่เทคโนโลยีซีมอสขนาด 16 nm แหล่งจ่ายไฟ 0.9 V โหลด capacitance 0.01 fF ที่ความถี่ 1, 3, 5 และ 7 GHz จะได้ผลการจำลองการทำงานดังรูปที่ 4.4 ถึงรูปที่ 4.7 โดยมีสัญญาณอินพุตเป็น A, B และมีสัญญาณเอาต์พุตเป็น XOR, XNOR ดังตารางที่ 4.1

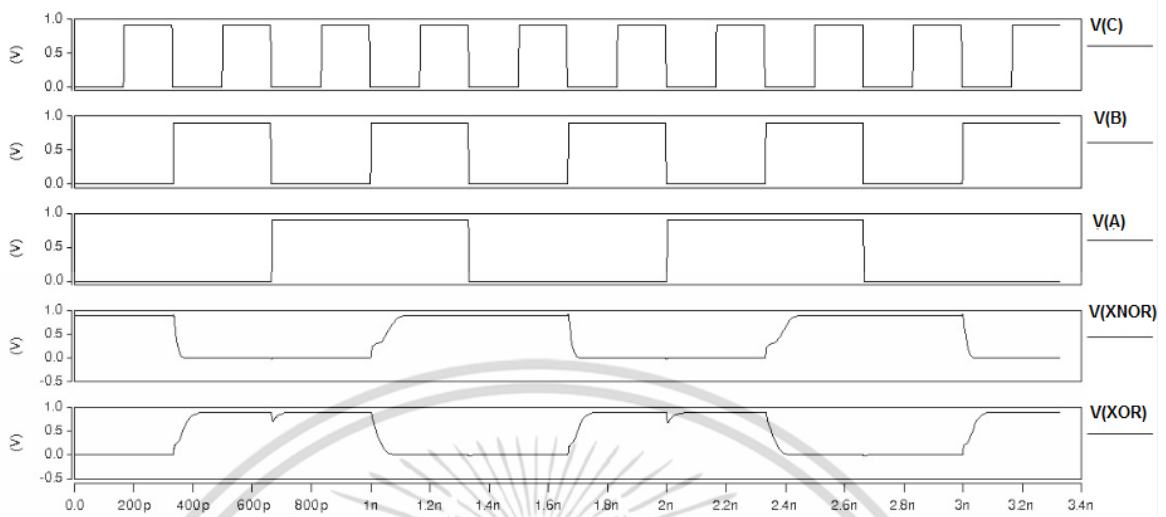
ผลการจำลองการทำงาน วงจร XOR XNOR gate ที่นำเสนอสามารถให้ค่าเอาต์พุตที่ถูกต้องได้ถึงความถี่ 7 GHz ดังรูปที่ 4.4 ถึง 4.7

ตารางที่ 4.1 ตารางความจริงวงจร XOR, XNOR gate

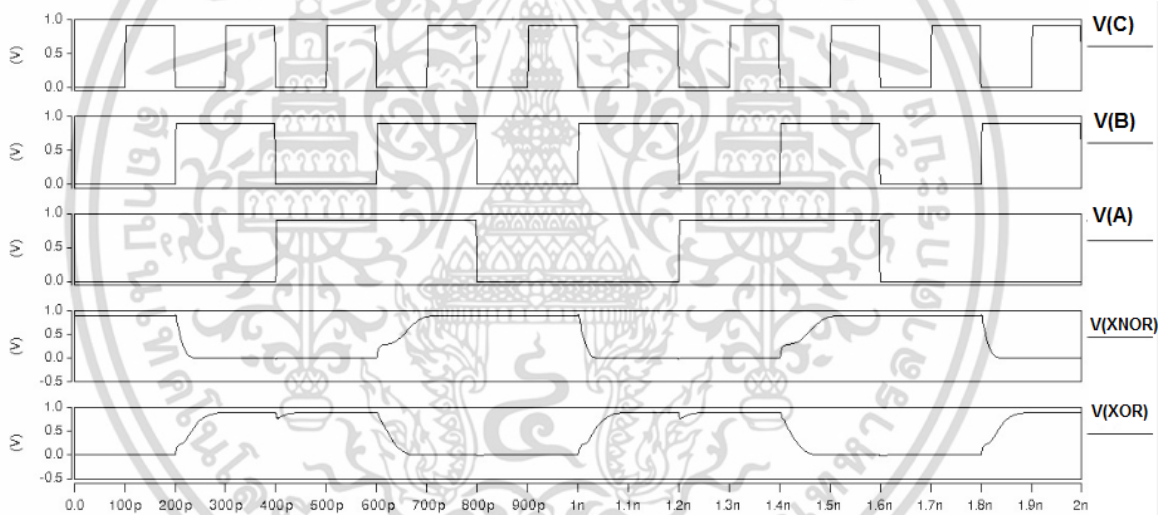
input		output	
A	B	XNOR	XOR
0	0	1	0
0	1	0	1
1	0	0	1
1	1	1	0



รูปที่ 4.4 รูปแบบคลื่นของวงจร XOR, XNOR gate ที่ความถี่ 1 GHz 0.9V

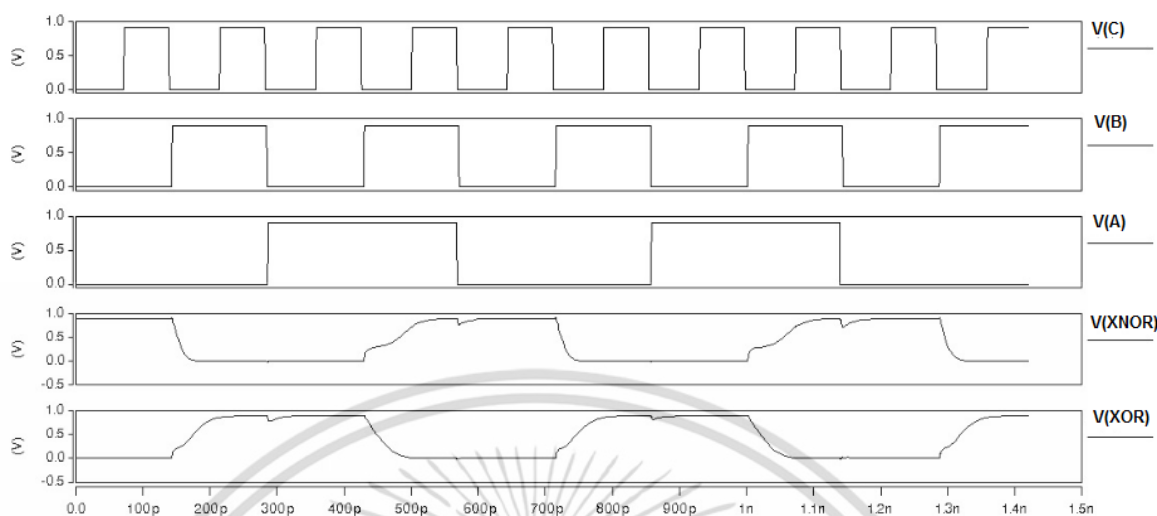


รูปที่ 4.5 รูปแบบคลื่นของวงจร XOR, XNOR gate ที่ความถี่ 3 GHz 0.9V



รูปที่ 4.6 รูปแบบคลื่นของวงจร XOR, XNOR gate ที่ความถี่ 5 GHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 รูปแบบคลื่นของวงจร XOR, XNOR gate ที่ความถี่ 7 GHz 0.9V

4.3 ผลการจำลองการทำงานของวงจรวกชนิดต่างๆ

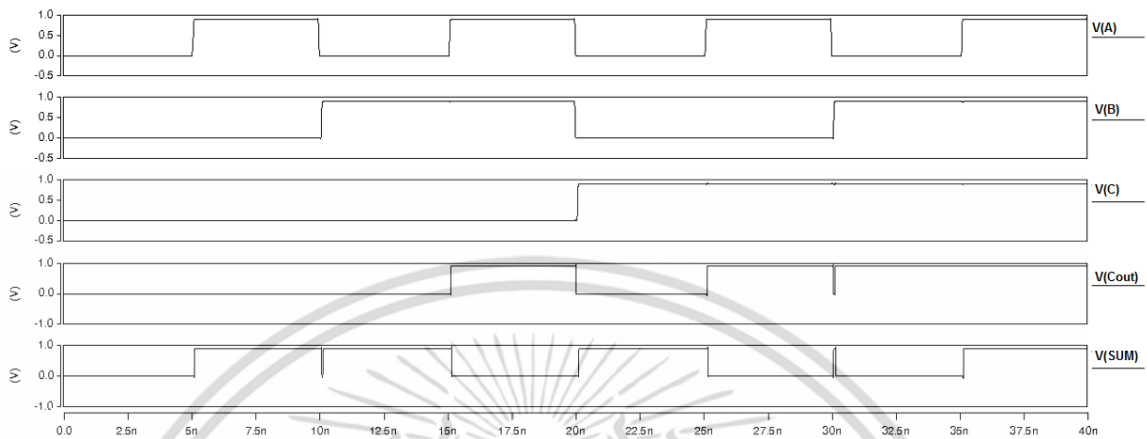
จากการจำลองการทำงานของวงจรวกในรูปที่ 4.3 (ก) ถึง 4.3 (ง) และวงจรวกที่นำเสนอ แสดงผลการจำลองการทำงาน โดยโปรแกรม HSPICE ที่เทคโนโลยีซีมอสขนาด 16 nm แหล่งจ่ายไฟ 0.9 V โหลด capacitance 0.01 fF ที่ความถี่ 0.1, 0.5, 1, 2, 5 และ 7 GHz มีค่าสัญญาณอินพุตเป็น A,B และ C_{in} และมีค่าสัญญาณเอาต์พุตเป็น SUM และ C_{out} ดังตารางที่ 4.2

ตารางที่ 4.2 ตารางความจริงวงจรวก

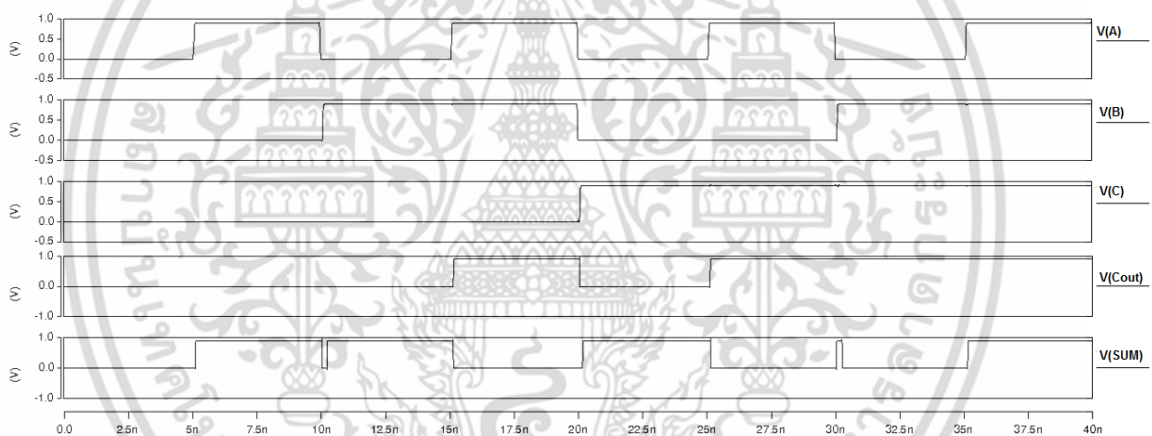
Input			Output	
A	B	C_{in}	C_{out}	Sum
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

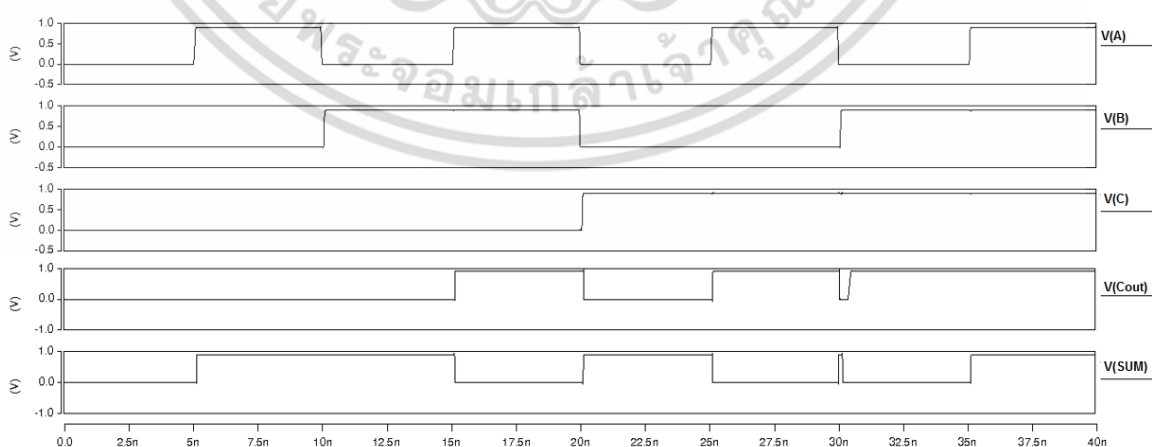
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 100 MHz ได้ผลการจำลองการทำงานดังรูปที่ 4.8 ถึงรูปที่ 4.12



รูปที่ 4.8 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 100 MHz 0.9V

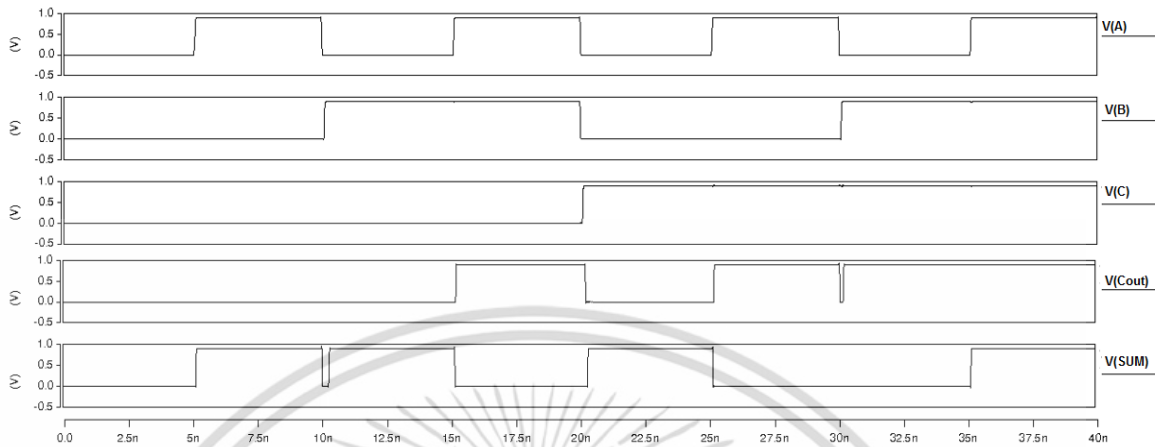


รูปที่ 4.9 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 100 MHz 0.9V

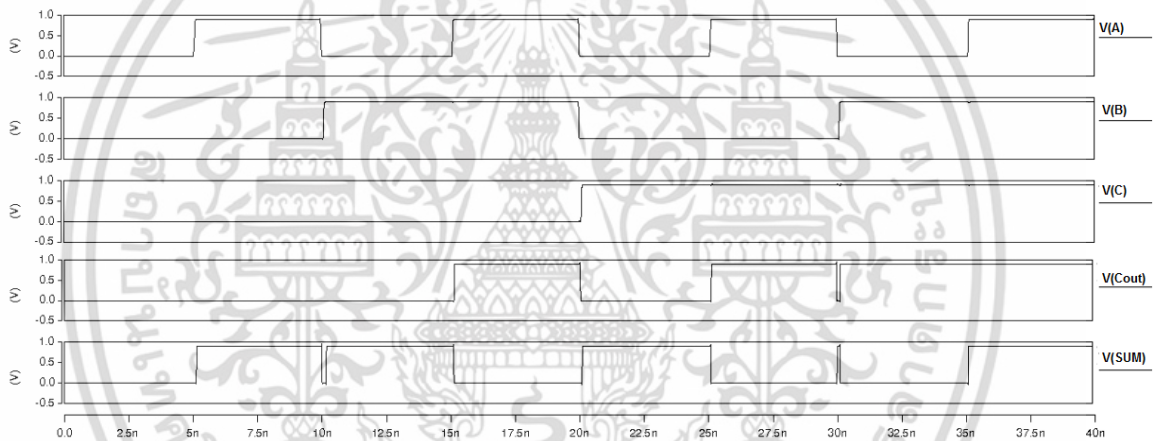


รูปที่ 4.10 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 100 MHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 100 MHz 0.9V



รูปที่ 4.12 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 100 MHz 0.9V

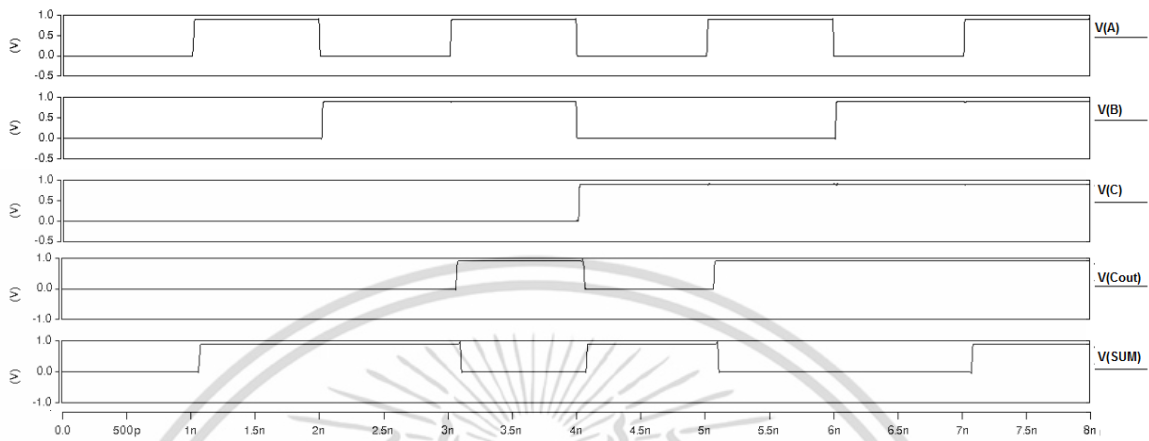
จากผลการจำลองการทำงานของวงจรในรูปที่ 4.8 ถึง 4.12 อธิบายได้ว่าวงจรบวกทั้ง 5 รูปแบบ นั้น สามารถทำงานได้ถูกต้องที่ความถี่ 100 MHz ได้ผลการจำลองการทำงานดังตารางที่ 4.3

ตารางที่ 4.3 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรบวกชนิดต่างๆ ที่ความถี่ 100 MHz

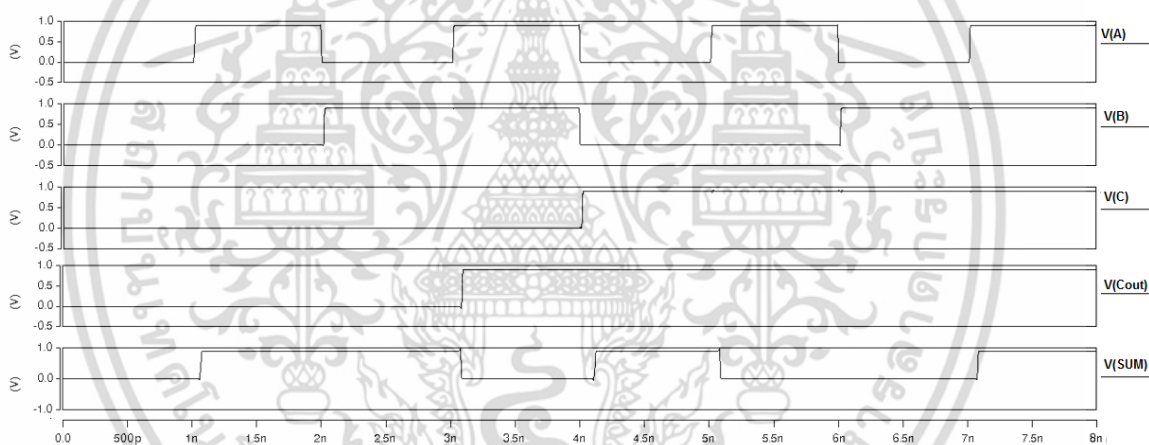
Circuit FA	Tr.	Power (W)	Delay (sec)	PDP (Joule)
CCMOS	28	3.98E-07	3.74E-11	1.49E-17
CPL	32	3.63E-07	5.16E-11	1.87E-17
TGA	20	7.48E-06	5.25E-11	3.93E-16
Hybrid	16	5.84E-07	5.41E-11	3.16E-17
Proposed	16	4.00E-07	3.16E-11	1.26E-17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

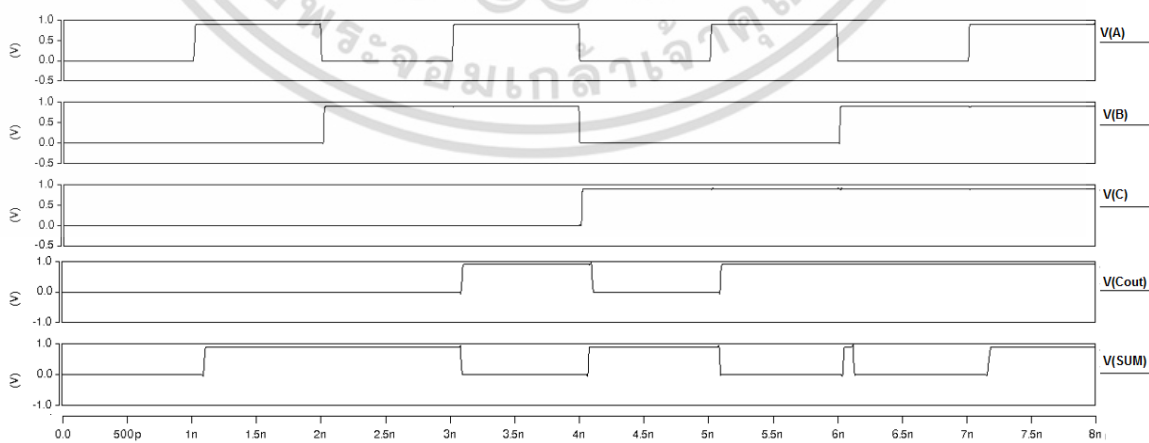
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 500 MHz ได้ผลการจำลองการทำงานดังรูปที่ 4.13 ถึงรูปที่ 4.17



รูปที่ 4.13 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 500 MHz 0.9V

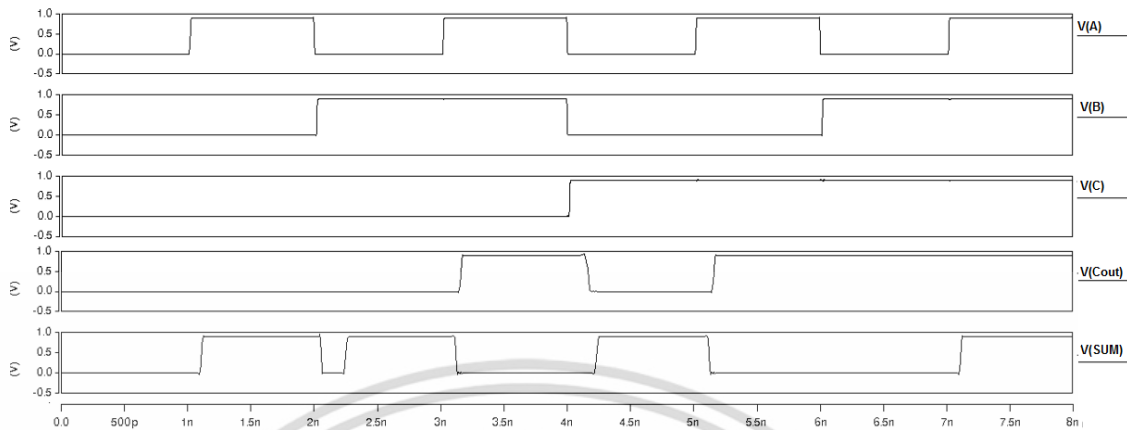


รูปที่ 4.14 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 500 MHz 0.9V

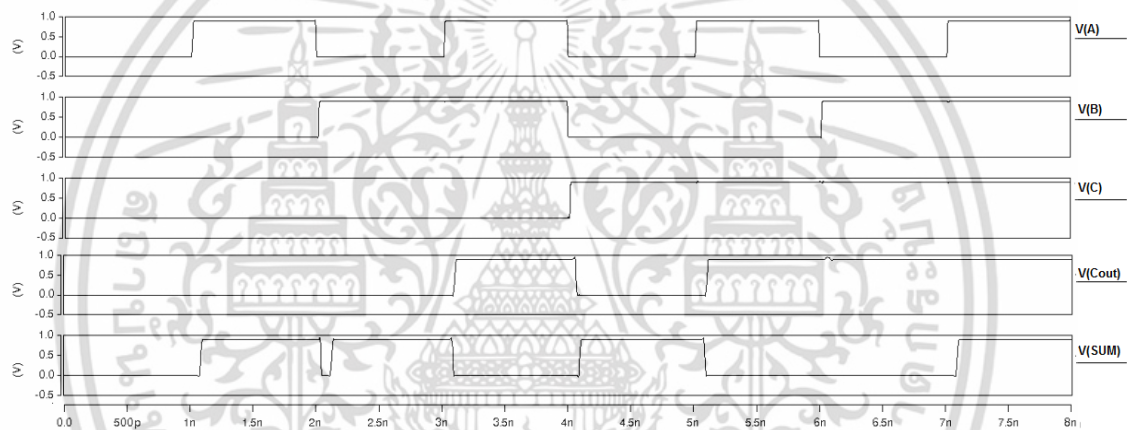


รูปที่ 4.15 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 500 MHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 500 MHz 0.9V



รูปที่ 4.17 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 500 MHz 0.9V

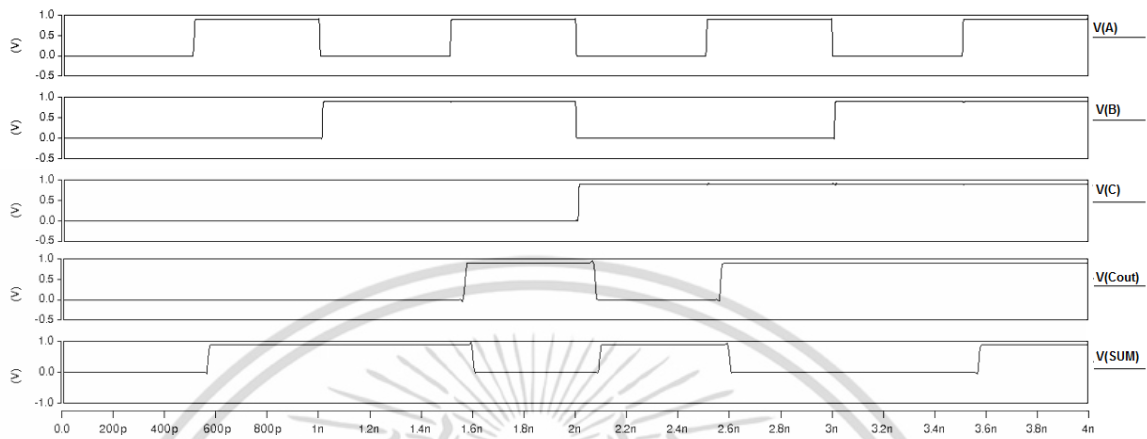
จากผลการจำลองการทำงานของวงจรในรูปที่ 4.13 ถึง 4.17 อธิบายได้ว่าวงจรบวก CPL ไม่สามารถทำงานได้ถูกต้องที่ความถี่ 1 GHz เนื่องจากให้ค่าตัวทดผิดพลาดไป แต่วงจรบวก CCMOS, Hybrid, TGA และ Proposed ยังสามารถทำงานได้อย่างถูกต้อง ได้ผลการจำลองการทำงานดังตารางที่ 4.4

ตารางที่ 4.4 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรบวกชนิดต่างๆ ที่ความถี่ 500 MHz

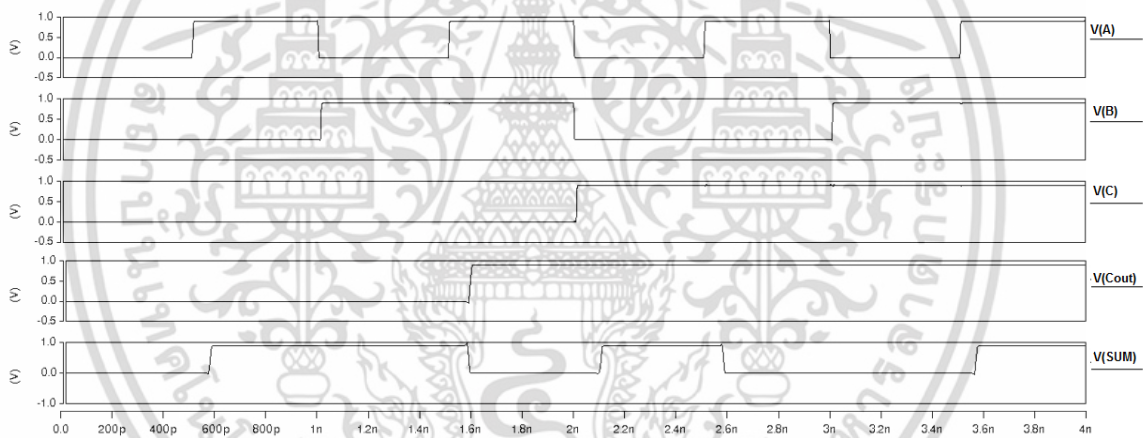
Circuit FA	Tr.	Power (W)	Delay (sec)	PDP (Joule)
CCMOS	28	3.92E-07	3.26E-11	1.28E-17
CPL	32	5.27E-07	4.91E-11	2.59E-17
TGA	20	7.30E-06	5.12E-11	3.74E-16
Hybrid	16	6.09E-07	5.30E-11	3.23E-17
Proposed	16	4.14E-07	3.06E-11	1.26E-17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

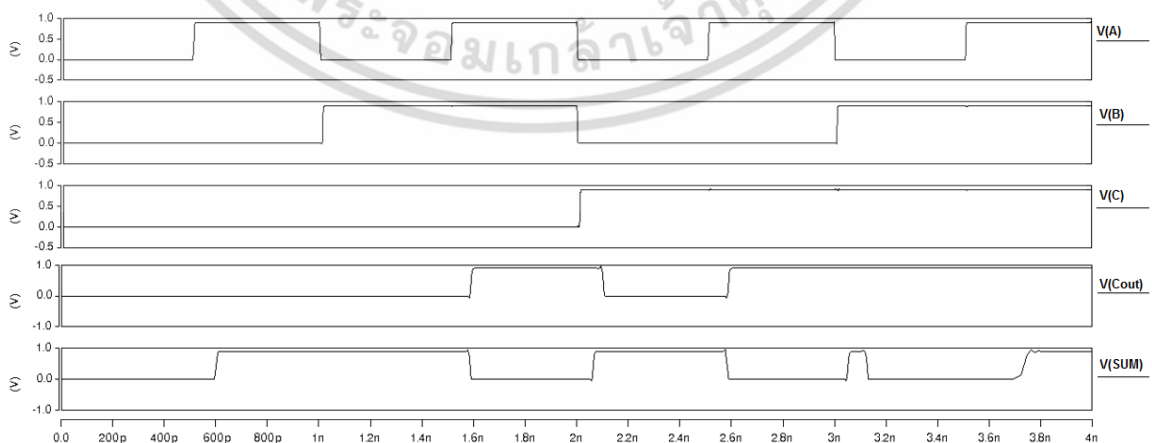
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 1 GHz จะได้ผลการจำลองการทำงานดังรูปที่ 4.18 ถึงรูปที่ 4.22



รูปที่ 4.18 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 1 GHz 0.9V

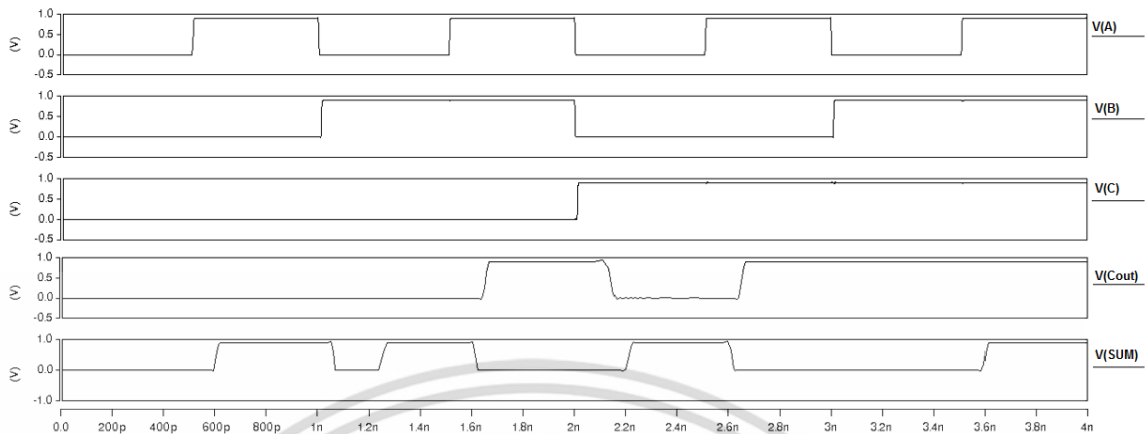


รูปที่ 4.19 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 1 GHz 0.9V

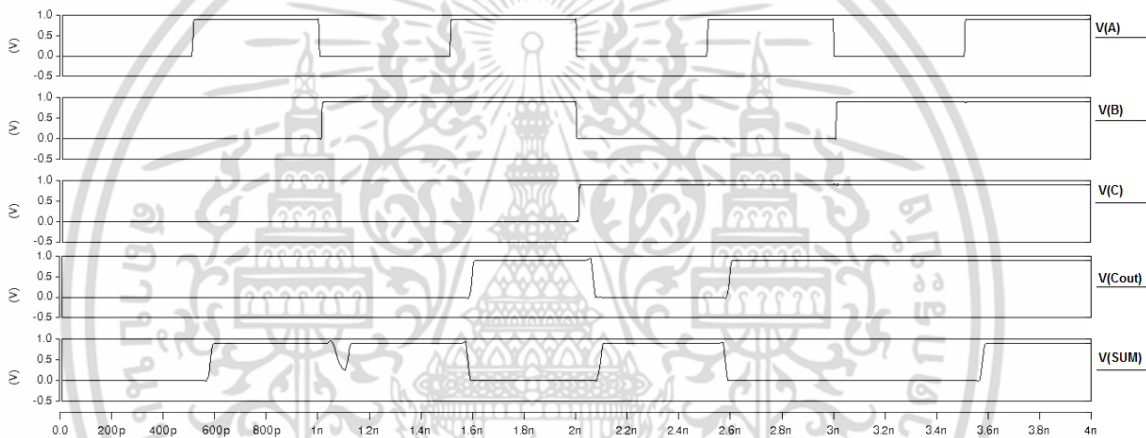


รูปที่ 4.20 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 1 GHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 1 GHz 0.9V



รูปที่ 4.22 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 1 GHz 0.9V

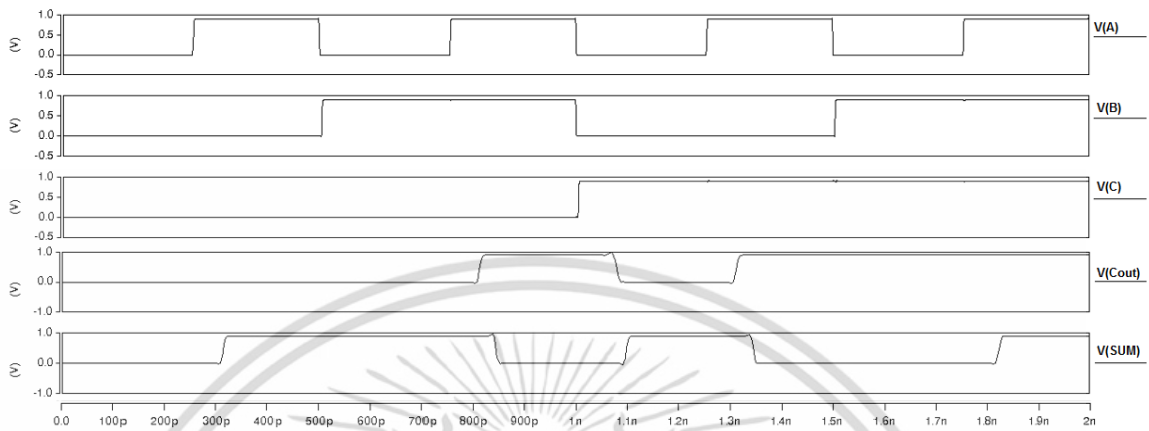
จากผลการจำลองการทำงานของวงจรบวกในรูปที่ 4.18 ถึง 4.22 อธิบายได้ว่าวงจรบวก CPL, TGA ไม่สามารถทำงานได้ถูกต้องที่ความถี่ 1 GHz เนื่องจาก วงจรบวก CPL ให้ค่าตัวหัดผิดพลาดไปและ วงจรบวก TGA ให้ค่าผลรวมผิดพลาด แต่วงจรบวก CCMOS, Hybrid และ Proposed ยังสามารถทำงานได้อย่างถูกต้อง ได้ผลการจำลองการทำงานดังตารางที่ 4.5

ตารางที่ 4.5 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรบวกชนิดต่างๆ ที่ความถี่ 1 GHz

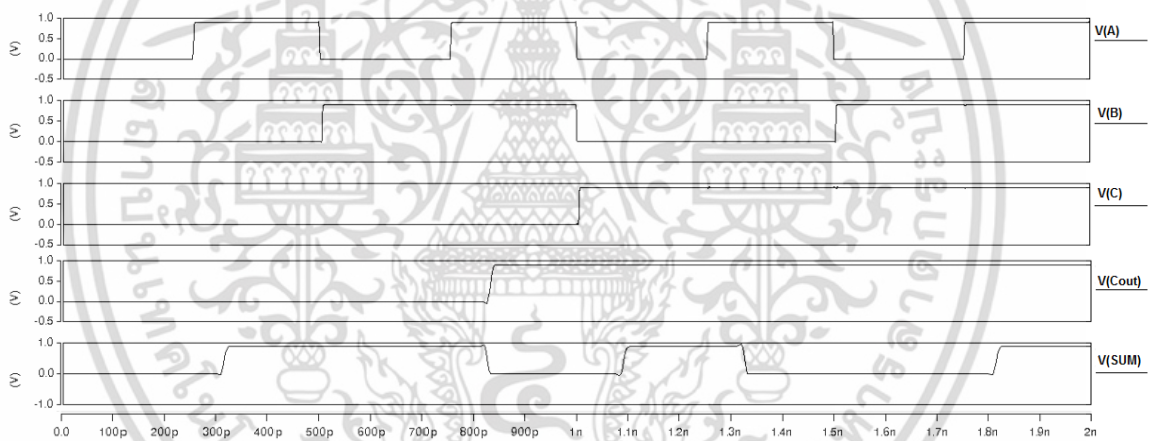
Circuit FA	Tr.	Power (W)	Delay (sec)	PDP (Joule)
CCMOS	28	3.87E-07	3.25E-11	1.26E-17
CPL	32	5.25E-07	4.93E-11	2.59E-17
TGA	20	7.22E-06	5.12E-11	3.70E-16
Hybrid	16	6.07E-07	5.28E-11	3.20E-17
Proposed	16	4.17E-07	3.04E-11	1.27E-17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

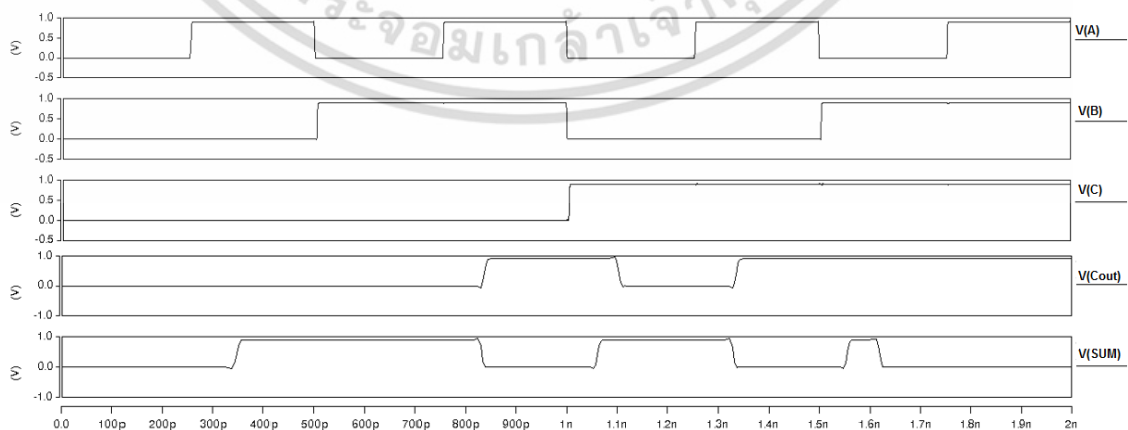
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 2 GHz จะได้ผลการจำลองการทำงานดังรูปที่ 4.23 ถึงรูปที่ 4.27



รูปที่ 4.23 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 2 GHz 0.9V

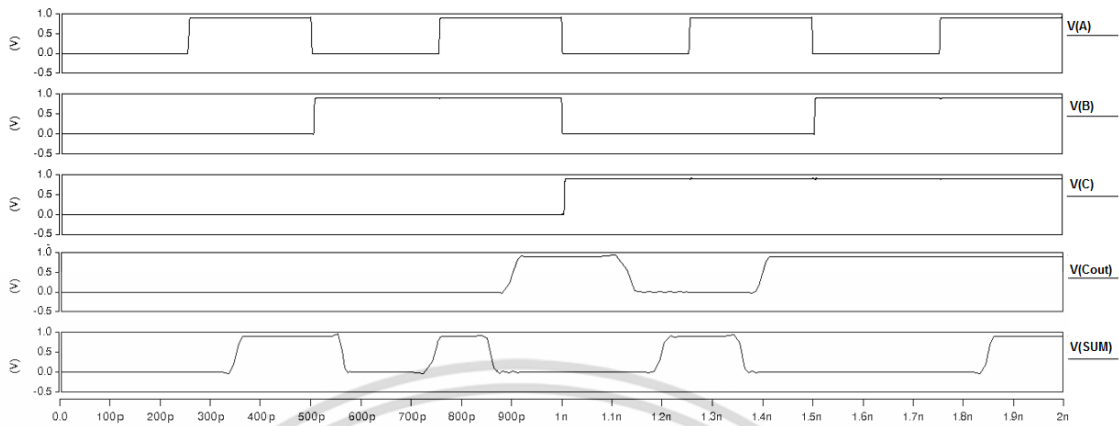


รูปที่ 4.24 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 2 GHz 0.9V

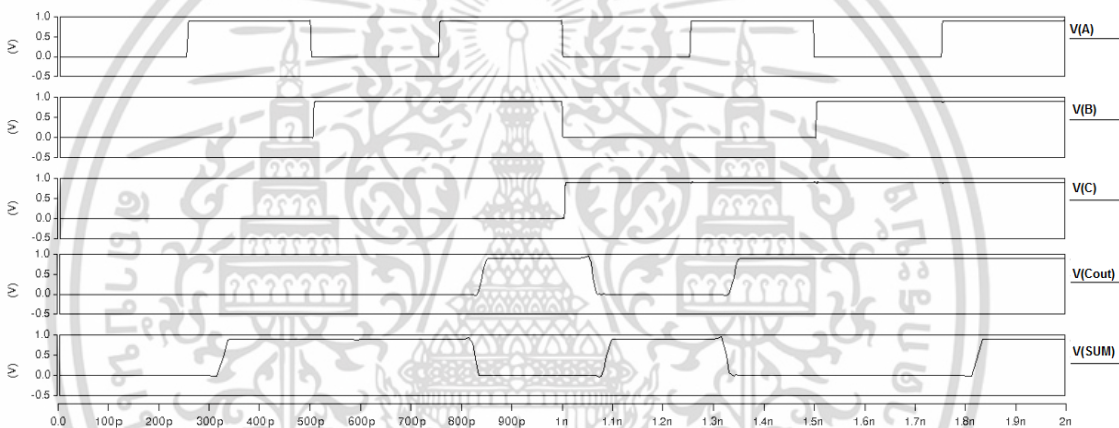


รูปที่ 4.25 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 2 GHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 2 GHz 0.9V



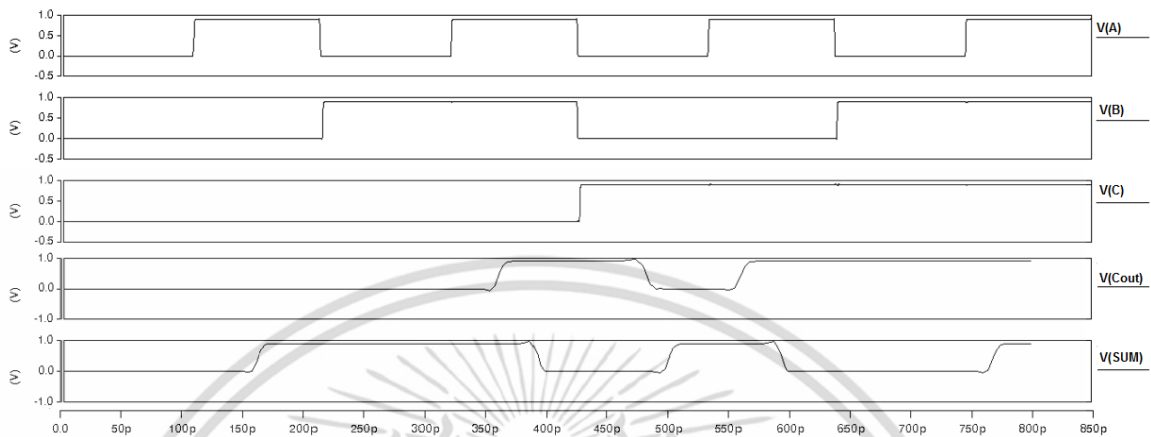
รูปที่ 4.27 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 2 GHz 0.9V

จากผลการจำลองการทำงานของวงจรบวกในรูปที่ 4.23 ถึง 4.27 อธิบายได้ว่าวงจรบวก CPL, TGA และ Hybrid ไม่สามารถทำงานได้ถูกต้องที่ความถี่ 2 GHz เนื่องจากวงจรบวก CPL ให้ค่าตัววัดผิดพลาดไป, วงจรบวก TGA ให้ค่าผลรวมผิดพลาด และวงจรบวก Hybrid เกิดสัญญาณรบกวน แต่วงจรบวก CCMOS, Proposed ยังสามารถทำงานได้อย่างถูกต้อง ได้ผลการจำลองการทำงานดังตารางที่ 4.6

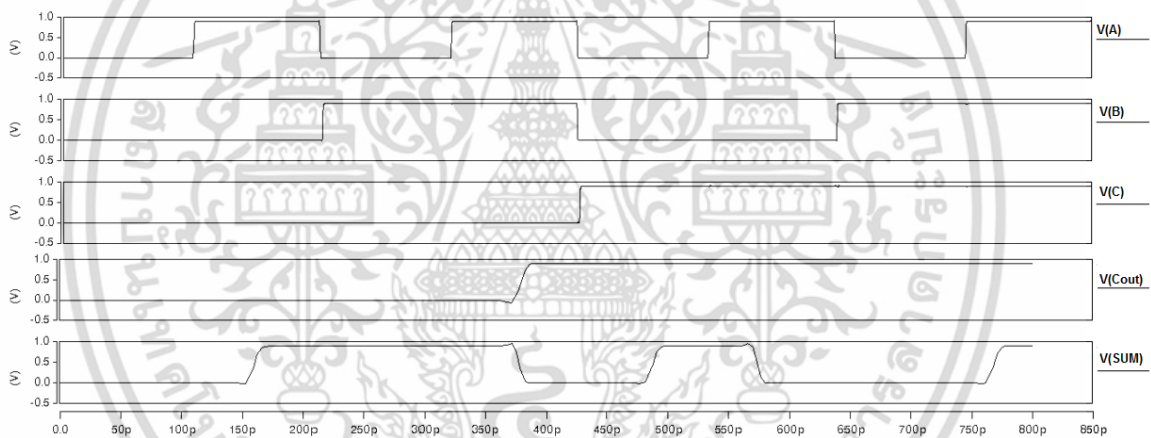
ตารางที่ 4.6 ตารางแสดงค่าประสิทธิภาพการทำงานของวงจรบวกชนิดต่างๆ ที่ความถี่ 2 GHz

Circuit FA	Tr.	Power (W)	Delay (sec)	PDP (Joule)
CCMOS	28	3.92E-07	3.90E-07	3.27E-11
CPL	32	5.27E-07	5.28E-07	4.95E-11
TGA	20	7.30E-06	7.18E-06	5.11E-11
Hybrid	16	6.09E-07	6.15E-07	5.57E-11
Proposed	16	4.14E-07	4.18E-07	3.07E-11

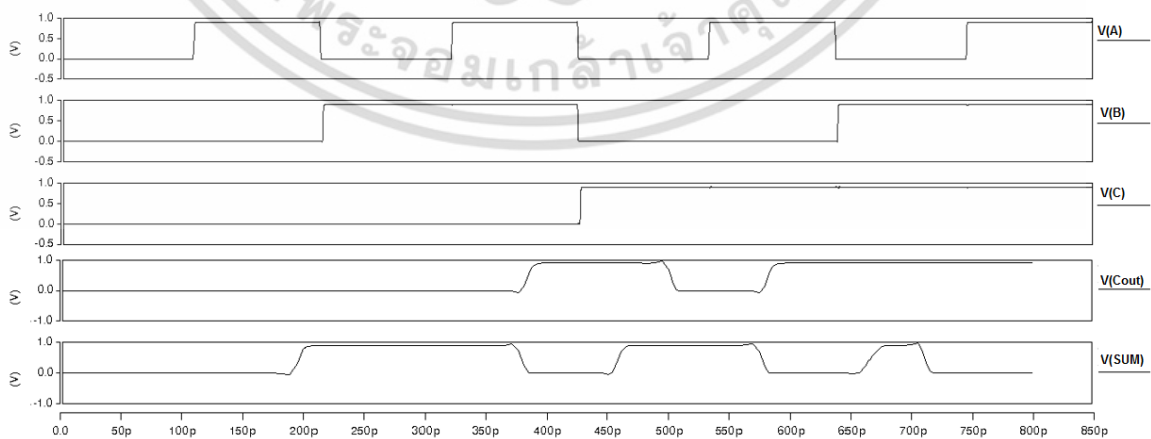
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 5 GHz จะได้ผลการจำลองการทำงานดังรูปที่ 4.28 ถึงรูปที่ 4.32



รูปที่ 4.28 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 5 GHz 0.9V

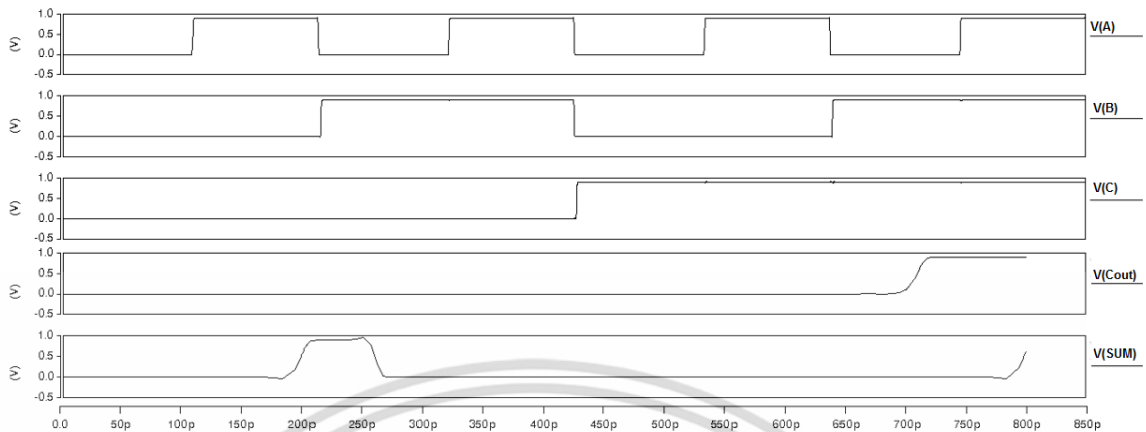


รูปที่ 4.29 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 5 GHz 0.9V

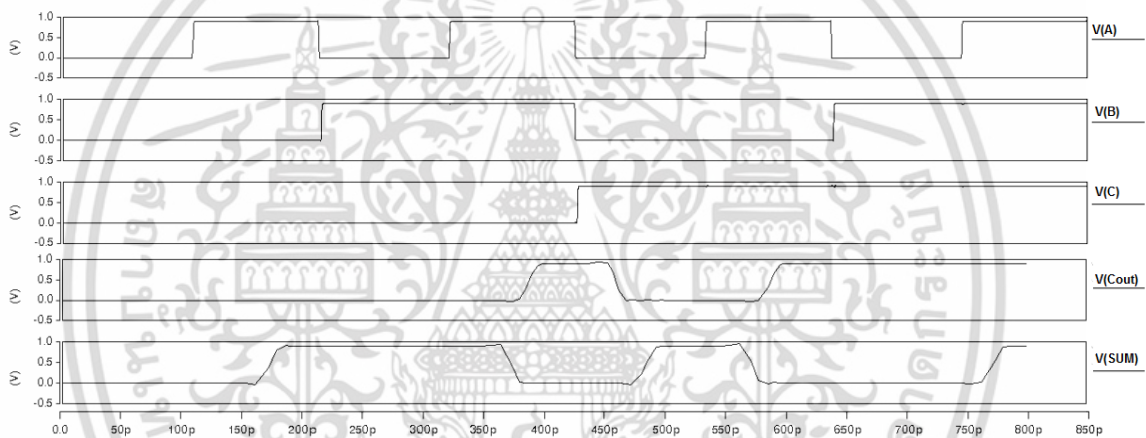


รูปที่ 4.30 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 5 GHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



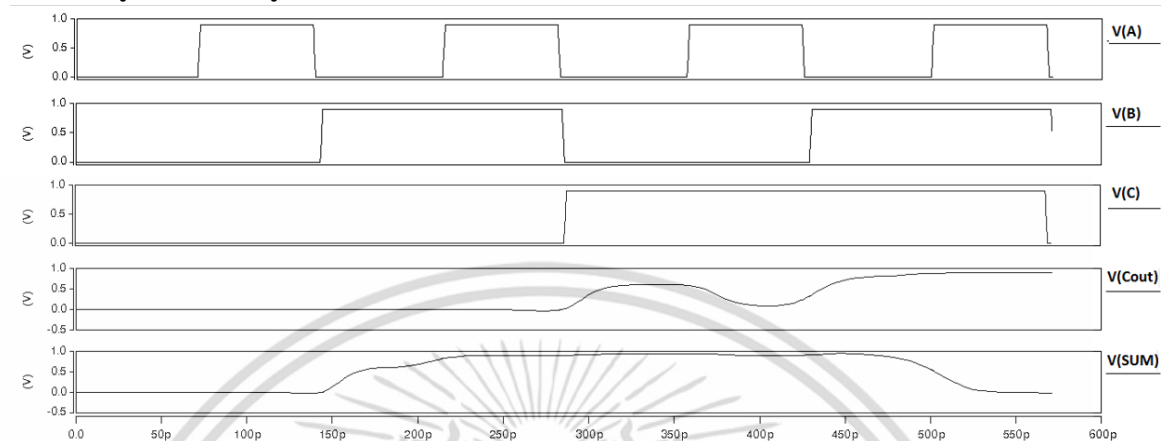
รูปที่ 4.31 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 5 GHz 0.9V



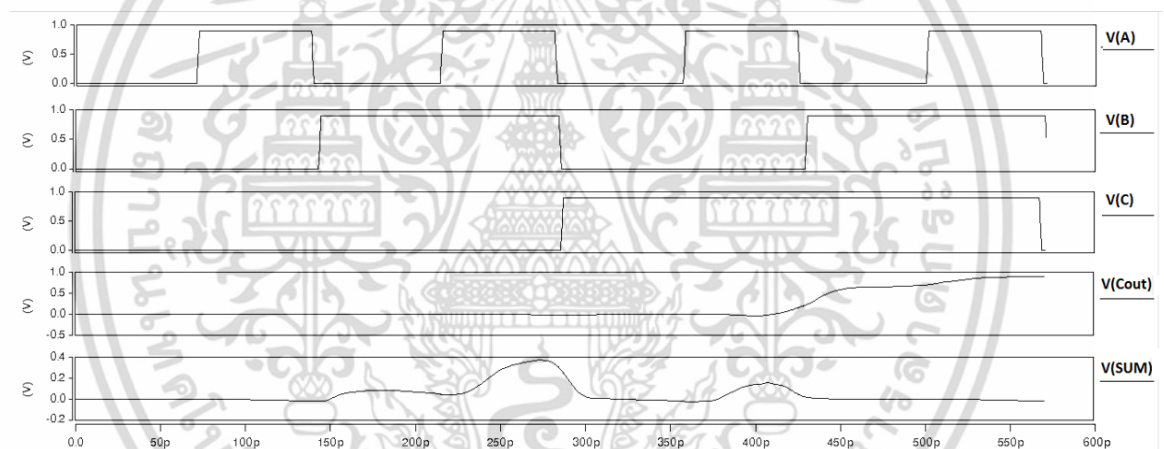
รูปที่ 4.32 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 5 GHz 0.9V

จากผลการจำลองการทำงานของวงจรบวกในรูปที่ 4.28 ถึง 4.32 อธิบายได้ว่าวงจรบวก CCMOS, CPL, TGA และ Hybrid ไม่สามารถทำงานได้ถูกต้องที่ความถี่ 5 GHz เนื่องจาก วงจรเหล่านี้ให้สัญญาณเอาต์พุตที่ไม่ถูกต้องออกมา แต่วงจรบวก CCMOS, Proposed ยังสามารถทำงานได้อย่างถูกต้อง

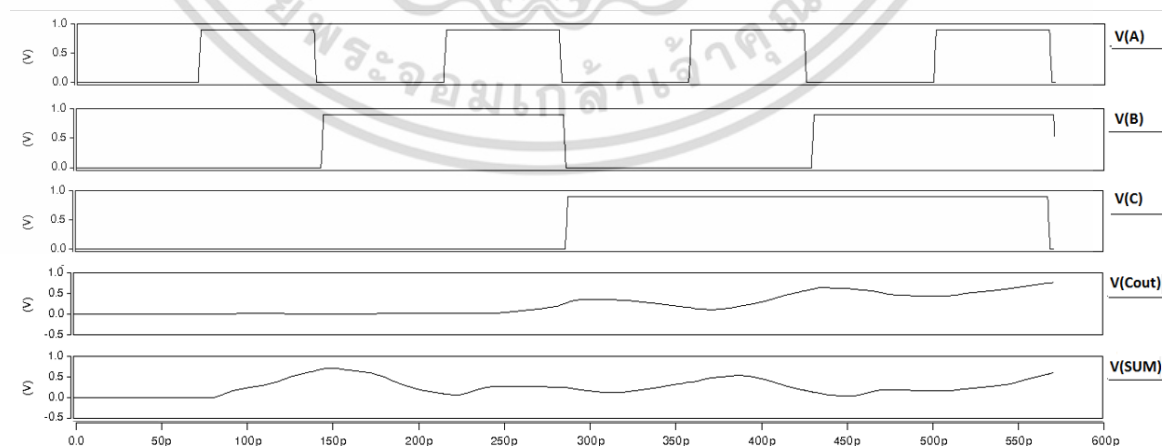
จากการจำลองการทำงานของวงจรบวกทั้ง 5 รูปแบบที่ความถี่ 7 GHz จะได้ผลการจำลองการทำงานดังรูปที่ 4.33 ถึงรูปที่ 4.37



รูปที่ 4.33 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 7 GHz 0.9V

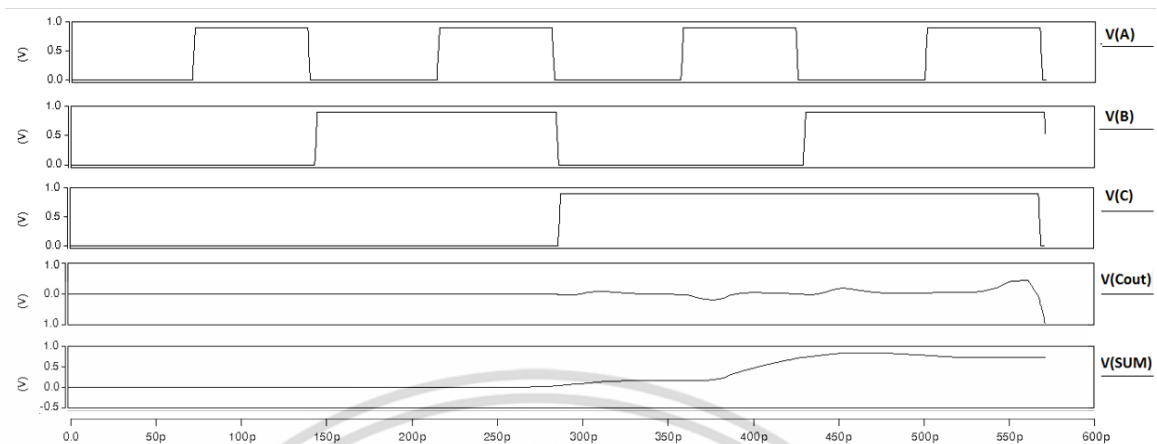


รูปที่ 4.34 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 7 GHz 0.9V

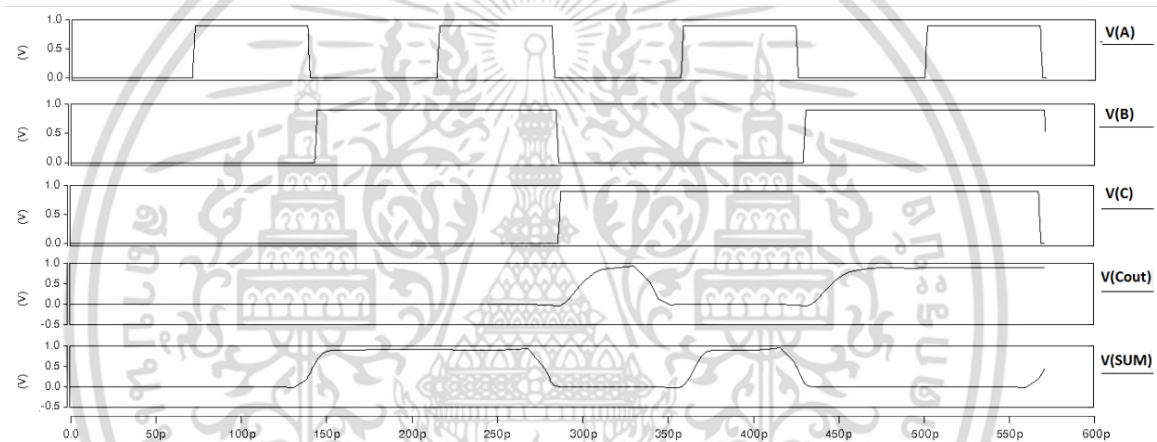


รูปที่ 4.35 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 7 GHz 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 7 GHz 0.9V



รูปที่ 4.37 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 7 GHz 0.9V

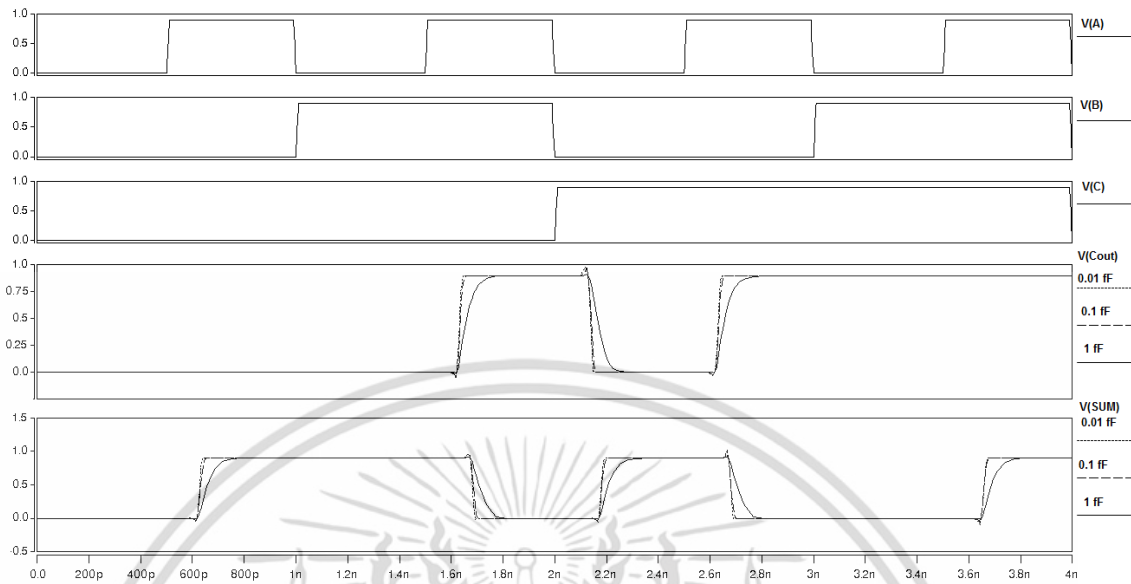
จากผลการจำลองการทำงานของวงจรบวกในรูปที่ 4.33 ถึง 4.37 อธิบายได้ว่าวงจรบวก CCMOS, CPL, TGA และ Hybrid ไม่สามารถทำงานได้ถูกต้องที่ความถี่ 7 GHz แต่วงจร Proposed ยังคงสามารถทำงานได้อย่างถูกต้อง

4.4 ผลการจำลองการทำงานของวงจรบวกที่ชนิดต่างๆ เมื่อเปลี่ยนค่า load capacitance

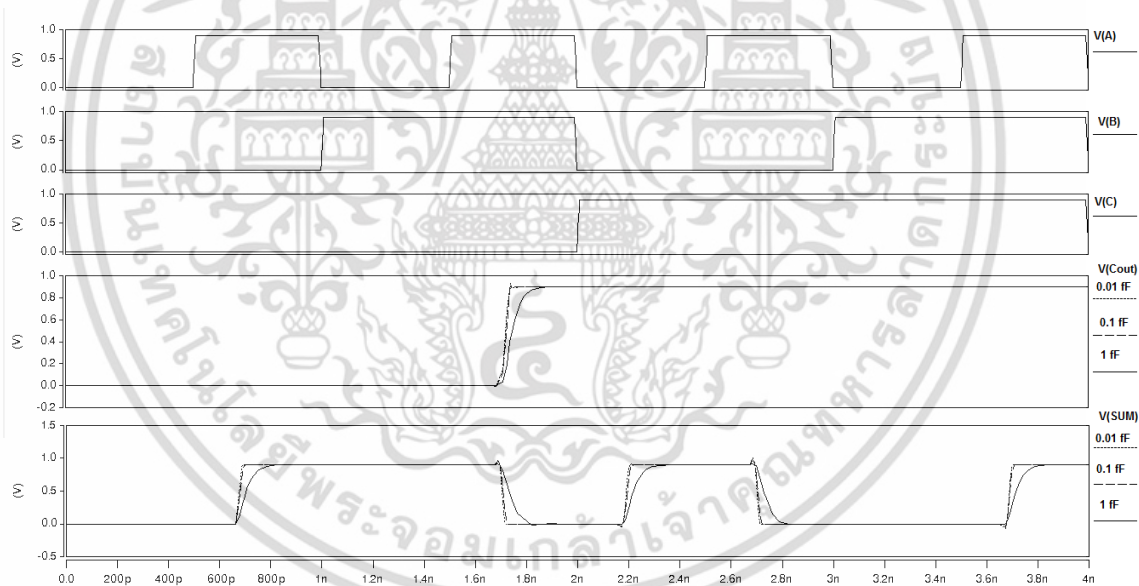
จากการจำลองการทำงานของวงจรบวกชนิดต่างๆ ที่ความถี่ 1 GHz 0.9 V เมื่อเปลี่ยนค่า load capacitance เป็น 0.01fF, 0.1fF และ 1fF โดยมีค่าสัญญาณอินพุตเป็น A,B และ C และมีค่าสัญญาณเอาต์พุตเป็น SUM และ C_{out} ดังตารางที่ 4.2

ผลการจำลองการทำงานดังรูปที่ 4.38 ถึง 4.42 สามารถสังเกตเห็นได้ว่าวงจรบวก CCMOS, CPL, Hybrid และ TGA มีความทนทานต่อการเปลี่ยนแปลง load capacitance ส่วนวงจรบวกที่นำเสนอสามารถให้ค่าเอาต์พุตที่ถูกต้องได้ถึง load capacitance เป็น 1 fF ข้อเสียวงจรบวกที่นำเสนอคือมีการเปลี่ยนแปลงค่าเอาต์พุตที่สูงเมื่อเปรียบเทียบกับวงจรบวกชนิดอื่น ดังรูปที่ 4.42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

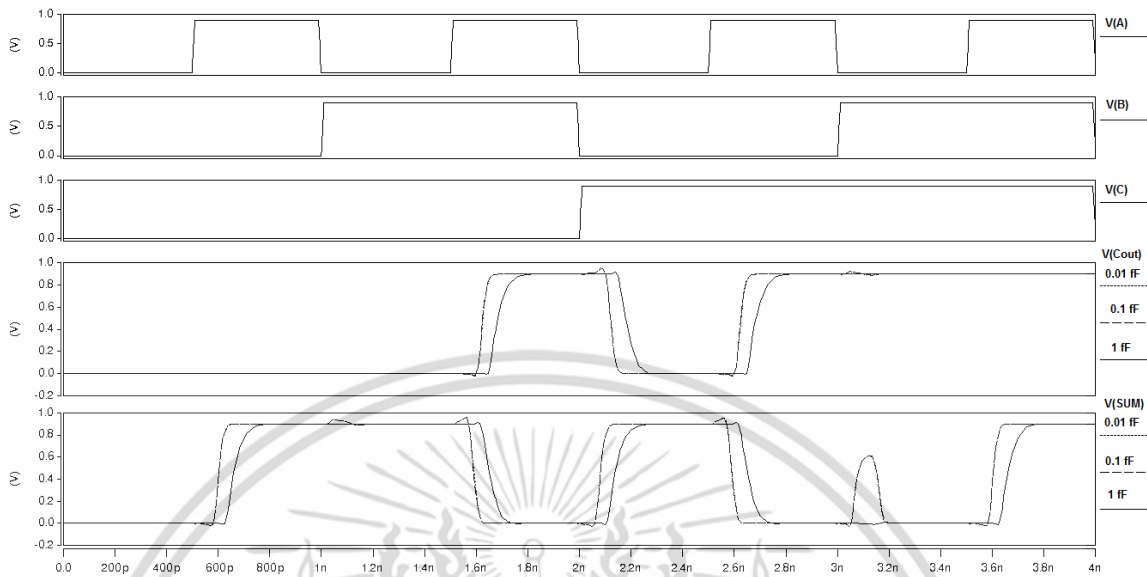


รูปที่ 4.38 รูปแบบคลื่นของวงจร CCMOS ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance

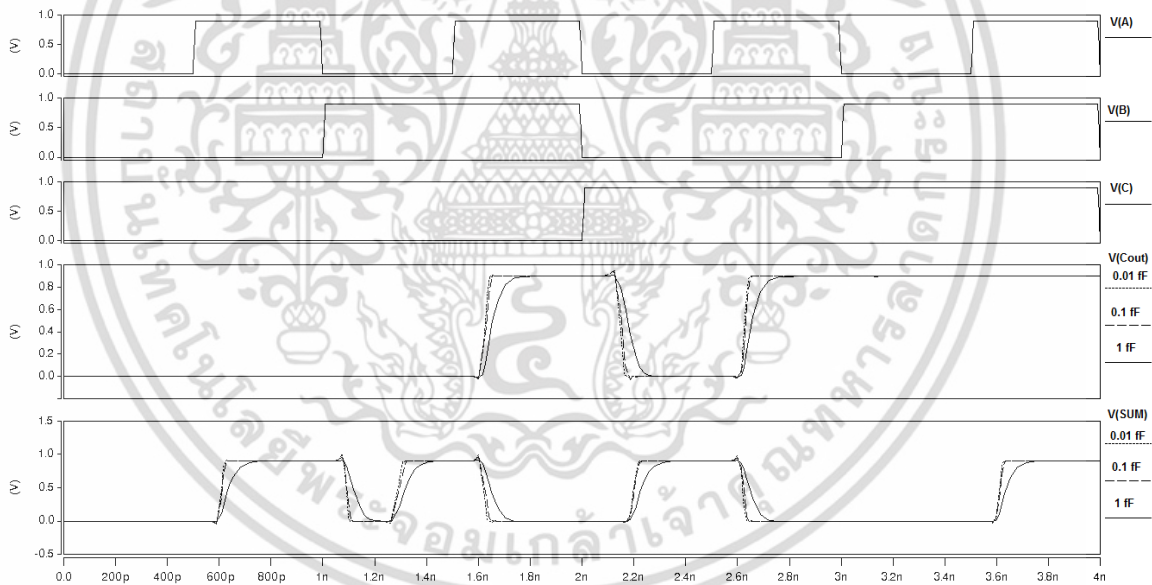


รูปที่ 4.39 รูปแบบคลื่นของวงจร CPL ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

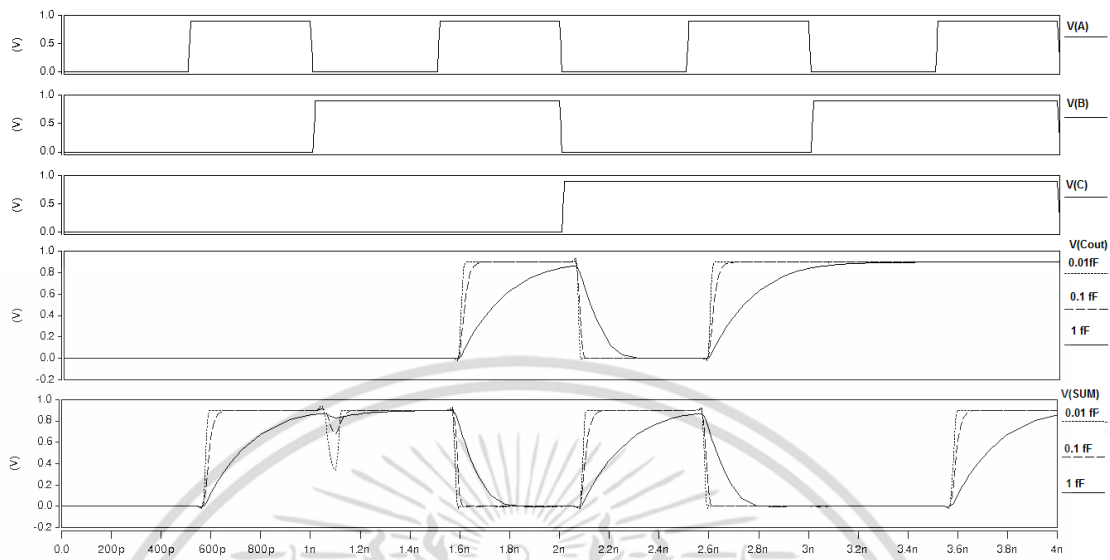


รูปที่ 4.40 รูปแบบคลื่นของวงจร Hybrid ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance



รูปที่ 4.41 รูปแบบคลื่นของวงจร TGA ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.42 รูปแบบคลื่นของวงจร Proposed ที่ความถี่ 1 GHz 0.9V เมื่อเปลี่ยน load capacitance

4.5 เปรียบเทียบผลการจำลองการทำงานที่ความถี่ต่างๆ

ผลการจำลองการทำงานวงจรบวกชนิดต่างๆ ที่ทำงานตั้งแต่ช่วงความถี่ 1 – 7 GHz รวมทั้งเก็บผลการจำลองการทำงาน โดยจะแบ่งผลการเปรียบเทียบการจำลองการทำงานเป็น 3 แบบ คือ ค่าดีเลย์, ค่าการสูญเสียพลังงาน และค่าผล Power-Delay product (PDP) นั้นเอง

ตารางที่ 4.7 ค่าดีเลย์ของวงจรบวก จากการที่ความถี่ 1 – 7 GHz

Delay (pS)	1 GHz	2 GHz	3 GHz	4 GHz	5 GHz	6 GHz	7 GHz
CCMOS[1]	32.722	32.833	32.669	32.673	32.831	32.868	32.701
TGA[2]	51.222	51.137	51.279	51.594	52.173	53.268	52.722
CPL[3]	49.272	49.475	49.517	49.571	49.789	49.64	49.882
Hybrid[4]	52.812	55.707	58.16	62.989	253.73	299.34	273.63
Proposed	30.644	30.705	30.912	30.898	30.877	30.3	29.513

ตารางที่ 4.8 ค่าการสูญเสียพลังงานของวงจรวก จากการทำงานที่ความถี่ 1 – 7 GHz

Power (nW)	1 GHz	2 GHz	3 GHz	4 GHz	5 GHz	6 GHz	7 GHz
CCMOS[1]	387.06	385.57	384.81	384.23	384.04	383.46	380.56
TGA[2]	400.26	401.35	400.61	401.1	400.79	408.23	400.5
CPL[3]	368.99	368.41	368.48	368.38	368.6	368.56	368.56
Hybrid[4]	606.87	607.64	603.42	591.07	548.09	499.8	486.97
Proposed	417.07	417.49	417.72	415.85	411.04	403.91	371.56

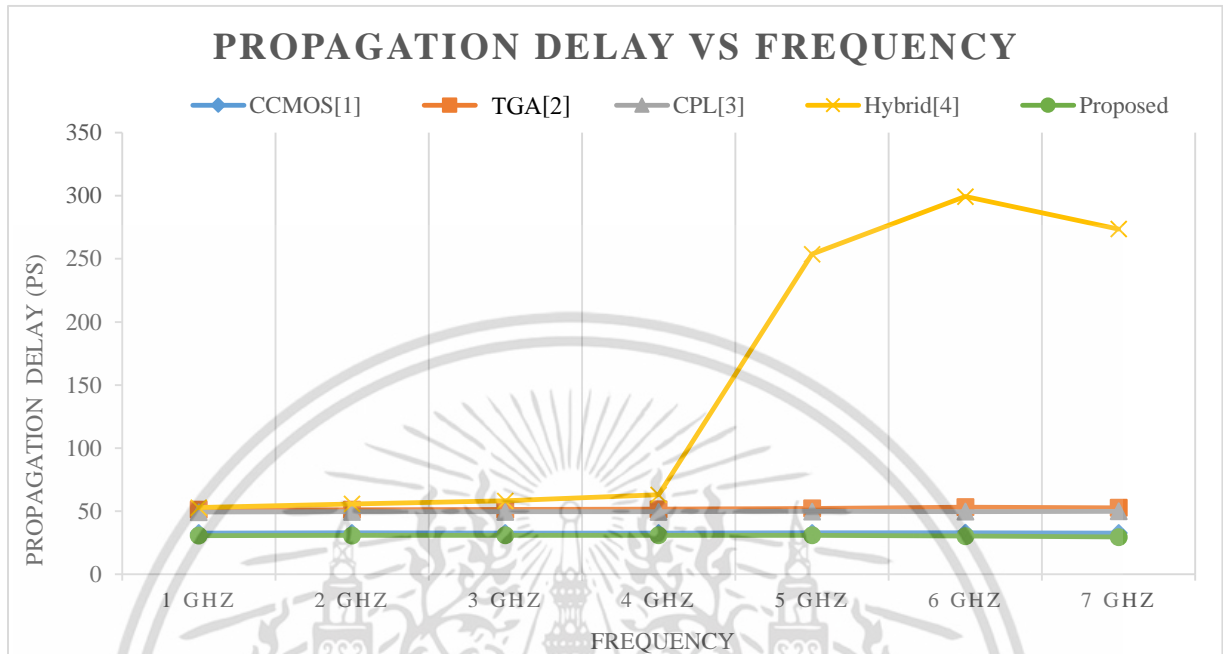
ตารางที่ 4.9 ค่า PDP ของวงจรวก จากการทำงานที่ความถี่ตั้งแต่ 1 – 7 GHz

PDP (aJ)	1 GHz	2 GHz	3 GHz	4 GHz	5 GHz	6 GHz	7 GHz
CCMOS[1]	12.66	12.66	12.57	12.55	12.61	12.6	12.44
TGA[2]	20.5	20.52	20.54	20.69	20.91	21.74	21.12
CPL[3]	18.18	18.22	18.24	18.26	18.35	18.29	18.38
Hybrid[4]	32.05	33.85	35.09	37.23	139.06	149.61	133.2
Proposed	12.78	12.81	12.91	12.84	12.69	12.23	10.96

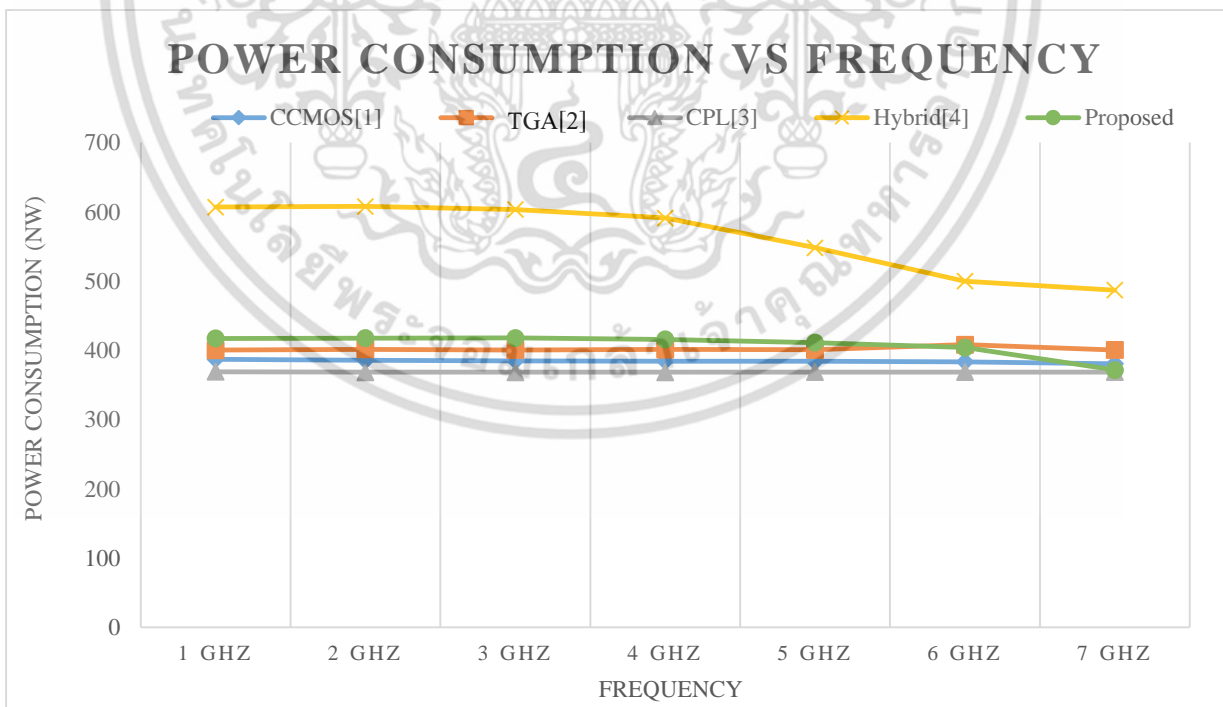
จากตารางที่ 4.7 กล่าวได้ว่าวงจรวกที่นำเสนอมีค่าดีเลย์ที่ต่ำสุดจากการจำลองการทำงานที่ความถี่ 1-7 GHz อีกทั้งจากตารางที่ 4.8 กล่าวได้ว่าวงจรวกที่นำเสนอมีค่าการสูญเสียพลังงานน้อยกว่าวงจรวก Hybrid ที่ช่วงความถี่ 1-7 GHz, มีค่าการสูญเสียพลังงานน้อยกว่า TGA ที่ความถี่ 6-7 GHz และมีค่าการสูญเสียพลังงานน้อยกว่า CCMOS ที่ความถี่ 7 GHz จากตารางที่ 4.9 กล่าวได้ว่าวงจรวกที่นำเสนอมีค่า PDP ต่ำกว่าวงจรวก TGA, CPL, Hybrid ที่ช่วงความถี่ 1-7 GHz และมีค่า PDP ต่ำกว่าวงจรวก CCMOS ในช่วงความถี่ 6-7 GHz

4.6 กราฟแสดงผลการจำลองการทำงานที่ความถี่ต่างๆ

กราฟแสดงผลการจำลองการทำงานวงจรวกชนิดต่างๆ ตั้งแต่ช่วงความถี่ 1 – 7 GHz โดยจะแบ่งผลการเปรียบเทียบผลการจำลองการทำงานเป็น 3 แบบ คือ ค่าดีเลย์, ค่าการสูญเสียพลังงาน และค่าผล PDP

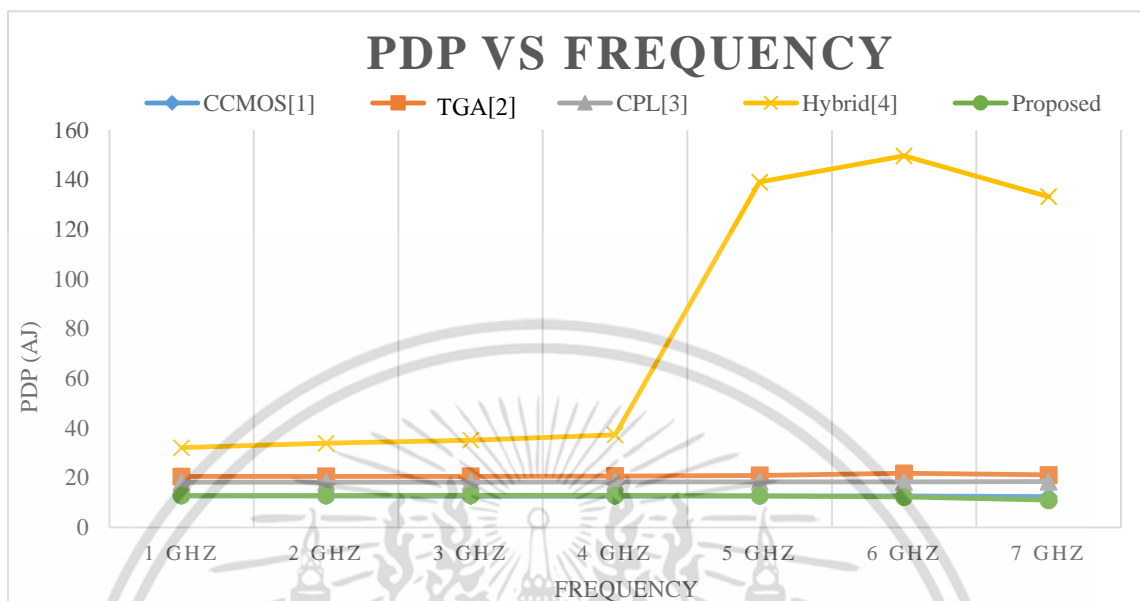


รูปที่ 4.43 กราฟแสดงค่าดีเลย์ของวงจรวก ที่ความถี่ตั้งแต่ 1 – 7 GHz



รูปที่ 4.44 กราฟแสดงค่าการสูญเสียพลังงานของวงจรวกที่ความถี่ 1 – 7 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 กราฟแสดงค่า PDP ของวงจรบวกที่ความถี่ 1 – 7 GHz

จากรูปที่ 4.43 การเปรียบเทียบค่าดีเลย์ของวงจรต่าง ๆ นั้น วงจรที่นำเสนอมีค่าดีเลย์เฉลี่ยน้อยกว่า 7, 38, 41, และ 80 % เมื่อเทียบกับวงจรแบบ CCMOS, CPL, Hybrid, และ TGA ตามลำดับ จากรูปที่ 4.44 การเปรียบเทียบค่าการสูญเสียพลังงานของวงจรต่าง ๆ นั้น วงจรที่นำเสนอมีค่าการสูญเสียพลังงานเฉลี่ยน้อยกว่า 27 % เมื่อเทียบกับวงจรแบบ TGA จากรูปที่ 4.45 การเปรียบเทียบค่า PDP ของวงจรต่าง ๆ นั้น วงจรที่นำเสนอมีค่า PDP เฉลี่ยน้อยกว่า 32, 40, และ 84 % เมื่อเทียบกับวงจรแบบ CPL, TGA, และ Hybrid ตามลำดับ

บทที่ 5

สรุปผล

วงจรวกหนึ่งบิตแบบผสมความเร็วสูงที่นำเสนอใช้นั้น ใช้เทคนิคการออกแบบวงจรกทโดยแบ่งวงจรวกออกเป็นสามส่วน ส่วนแรกคือวงจรแบบ XOR และ XNOR วงจรส่วนที่สองคือ วงจรผลรวม วงจรที่สามคือ วงจรตัวทต จากนั้นนำวงจรทั้งสามที่มีค่าประสิทธิภาพที่ต้องการมารวมกันเป็นวงจรวกรูปแบบผสมที่นำเสนอตัวเอง

วงจรวกที่นำใช้ทรานซิสเตอร์ทั้งหมด 16 ตัว สามารถจำลองการทำงาน จากโปรแกรม HSPICE ด้วยเทคโนโลยีซีมอส 16 nm ที่แหล่งจ่ายไฟ 0.9 โวลต์ ทำงานได้ถึงช่วงความถี่ 7 GHz วงจรที่นำเสนอมีค่าดีเลย์เฉลี่ยน้อยกว่า 7, 38, 41, และ 80 % เมื่อเทียบกับวงจรแบบ CCMOS, CPL, Hybrid, และ TFN ตามลำดับ และวงจรที่นำเสนอมีการสูญเสียพลังงานเฉลี่ยน้อยกว่า 27 % เมื่อเทียบกับวงจรแบบ TFN เมื่อเปรียบเทียบค่า PDP วงจรที่นำเสนอมีค่า PDP เฉลี่ยน้อยกว่า 32, 40, และ 84 % เมื่อเทียบกับวงจรแบบ CPL, TFN, และ Hybrid ตามลำดับ แต่ทั้งนี้วงจรวกที่นำเสนอ นั้นมีค่าการผิดเพี้ยนของเอาท์พุตเมื่อเปลี่ยน load capacitance ค่อนข้างสูงด้วย เนื่องจากไม่มีการต่อ Buffer ที่เอาท์พุตของวงจร

วงจรวกที่นำเสนอสามารถพัฒนาต่อยอดได้ด้วยการเปลี่ยนวงจรส่วน XOR XNOR gate ซึ่งสามารถออกแบบให้มีความเร็วที่สูงขึ้นและใช้พลังงานน้อยลงได้ โดยอาจใช้เทคนิคพิเศษอย่างอื่น เช่น FINFET, NMOS cross couple เป็นต้น

เอกสารอ้างอิง

1. S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," 4th ed, McGraw-Hill, 2015
2. N. Zhuang and H. Hu, "A new design of the CMOS full adder," IEEE J. of Solid-State Circuits. vol. 27, no. 5, pp. 840-844, May 1992.
3. M. J. Avedillo , Jiménez, R., Rodriguez-Villegas E., "Low-power logic styles for full-adder circuits," Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference, vol.3, pp.1417 – 1420, 2 Sep. 2001.
4. รศ.ธีรวัฒน์ ประกอบผล, "ดิจิทัลลอจิก" สำนักพิมพ์ท็อป จำกัด, 2552
5. J. P. Uyemura, "CMOS LOGIC CIRCUIT DESIGN," KLUWER ACADEMIC PUBLISHERS, 1999.
6. A. Sudsakorn, S. Tooprakai, K. Dejhan, "Low power CMOS full adder cells," Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2012 9th International Conference, May 2012.FCC, "Revision of Part 15 the Commission's Rules Regarding Ultra-wideband Transmission Systems," ET Docket, 2002.
7. A. Mason, "ECE 410: VLSI Design Course Lecture Notes," <http://www.egr.msu.edu/classes/ece410/mason/files/Ch2.pdf>, n.d.
8. K. Vichienchom, "Digital Integrated Circuit," http://www.kmitl.ac.th/~kvkasin/courses/digital_elect/50/lec5.pdf, n.d.
9. D. Markovic, B. Nikolic, V.G. Oklobdzija, "A general method in synthesis of pass-transistor circuits," Microelectronics Journal 31,pp. 991-998, 2000
10. N.R. Konijeti, J.V.R. Ravindra, P. Yagateela, "Power aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology," Modelling Symposium (EMS), 2013 European, pp. 697 – 700, 20-22 Nov. 2013.
11. P. Bhattacharyya, B. Kundu, S. Ghosh, V. Kumar, A. Dandapat, "Performance Analysis of a Low-Power High-Speed Hybrid 1-bit Full Adder Circuit," IEEE Trans. VLSI Syst, Vol. PP, Issue 99, Sep 2014.
12. J. P. Uyemura, "CMOS LOGIC CIRCUIT DESIGN," KLUWER ACADEMIC PUBLISHERS, 1999.
13. N. H.E. Weste and D. Harris, "CMOS VLSI design: a circuits and systems perspective," 3rded, Boston : Pearson, 2005.
14. Y. Cao. (2015, April 16). Predictive Technology Model [Online]. Available: <http://ptm.asu.edu>
15. S. Goel, A. Kumar, A. Bayoumi, "Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design using Hybrid-CMOS Logic style," IEEE Trans. VLSI Syst, Vol. 14, No. 12, Dec 2006.

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

การวิเคราะห์คุณลักษณะวงจรรวม

การออกแบบวงจรรวมที่ดีนั้น จำเป็นต้องคำนึงถึงคุณลักษณะของวงจรรวม โดยหลักๆจะ ได้แก่ ความประหยัดพลังงาน (power consumption) จำนวนทรานซิสเตอร์ (number of transistor) พื้นที่วงจรรวม (chip area) ความเร็วในการทำงาน (speed of circuit) ภายในบทนี้จะอธิบายการคำนวณค่าคุณลักษณะต่างๆของวงจรรวมที่จำเป็นต่อการออกแบบวงจรรวมนั่นเอง

ก. ค่าดีเลย์ (Delay time)

การคำนวณหาค่าความหน่วงเวลาที่นิยมใช้กันอย่างแพร่หลายนั้น เป็นการสังเกตรูปคลื่นสัญญาณอินพุตและเอาต์พุตของวงจรรวมอินเวอร์เตอร์ ดังแสดงในรูปที่ ก.1 การหาค่าหน่วงเวลา τ_{PHL} ซึ่งเป็นค่าเปรียบเทียบระหว่างช่วงเปลี่ยนแรงดันเอาต์พุตที่ V_{OH} สู่ค่าแรงดันเอาต์พุตที่ $V_{50\%}$ และการหาค่าหน่วงเวลา τ_{PLH} ซึ่งเป็นค่า เปรียบเทียบระหว่างช่วงเปลี่ยนแรงดันเอาต์พุตที่ V_{OL} สู่ค่าแรงดันเอาต์พุตที่ $V_{50\%}$

เพื่อความสะดวกในการวิเคราะห์และการเขียนสมการค่าการหน่วงเวลา กำหนดให้สัญญาณอินพุตถูกสมมติให้เป็นรูปคลื่นสี่เหลี่ยม และสัญญาณจะถูกผ่านเข้าวงจรรวมอินเวอร์เตอร์ และให้กำเนิดสัญญาณเอาต์พุตออกมา ภายใต้ทฤษฎีที่ว่า τ_{PHL} เป็นค่าหน่วงเวลาสัญญาณเอาต์พุตที่ V_{OH} ลดลงสู่ค่าแรงดันเอาต์พุตที่ $V_{50\%}$ และ τ_{PLH} เป็นค่าหน่วงเวลาสัญญาณเอาต์พุตที่ V_{OL} เพิ่มขึ้นสู่ค่าแรงดันเอาต์พุตที่ $V_{50\%}$ ซึ่งสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

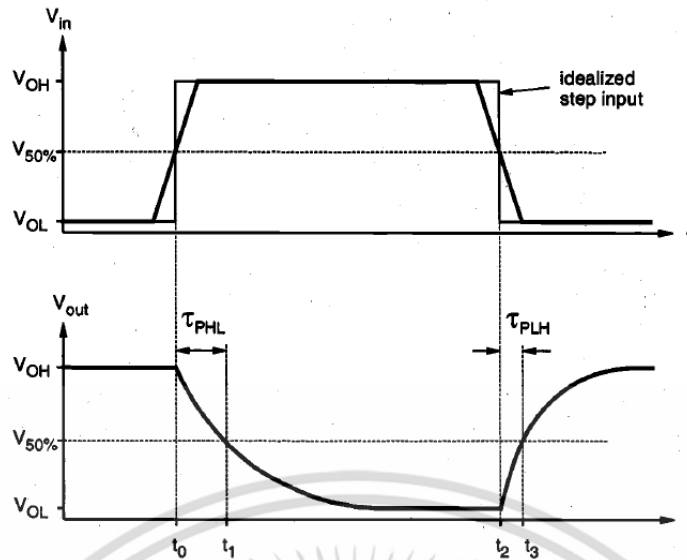
$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (ก.1)$$

ดังนั้น ค่าหน่วงเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 3.1 แสดงได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (ก.2)$$

ค่าเฉลี่ยของค่าหน่วงเวลา (Propagation delay time : τ_P) สำหรับสัญญาณอินพุตที่ผ่านวงจรรวมอินเวอร์เตอร์ได้ดังสมการ

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (ก.3)$$



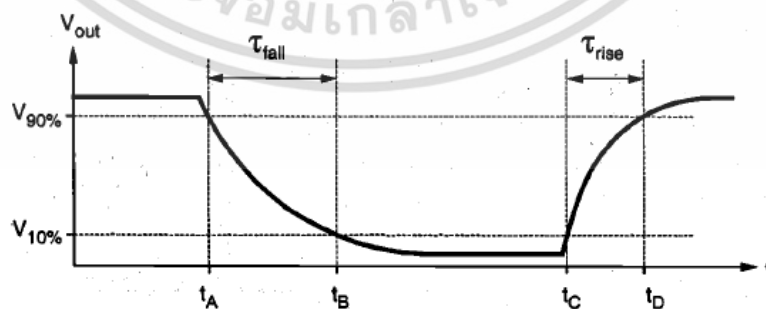
รูปที่ ก.1 รูปคลื่นสัญญาณทางด้านอินพุตและเอาต์พุตของวงจรรีจิสเตอร์

จากรูปที่ ก.2 เป็นการให้คำนิยาม ค่าหน่วงเวลาสัญญาณเอาต์พุตทั้งทางขาลงและขาขึ้น (rise and fall time) ซึ่งค่าหน่วงเวลาขาขึ้น τ_{rise} คือค่าช่วงเวลาดังกล่าวที่เพิ่มระดับแรงดัน จาก $V_{10\%}$ สู่ระดับแรงดัน $V_{90\%}$ เช่นเดียวกัน τ_{fall} คือค่าช่วงเวลาดังกล่าวที่เพิ่มระดับแรงดันจาก $V_{90\%}$ สู่ระดับแรงดัน $V_{10\%}$ โดยสามารถเขียนสมการแรงดันที่ $V_{10\%}$ และ $V_{90\%}$ ได้ดังนี้

$$\begin{aligned} V_{10\%} &= V_{OL} + 0.1(V_{OH} - V_{OL}) \\ V_{90\%} &= V_{OL} + 0.9(V_{OH} - V_{OL}) \end{aligned} \tag{ก.4}$$

ดังนั้นสมการค่าช่วงเวลาดังกล่าวที่เพิ่มระดับแรงดันขาขึ้นและขาลงสามารถเขียนได้ดังนี้

$$\begin{aligned} \tau_{fall} &= t_B - t_A \\ \tau_{rise} &= t_D - t_C \end{aligned} \tag{ก.5}$$

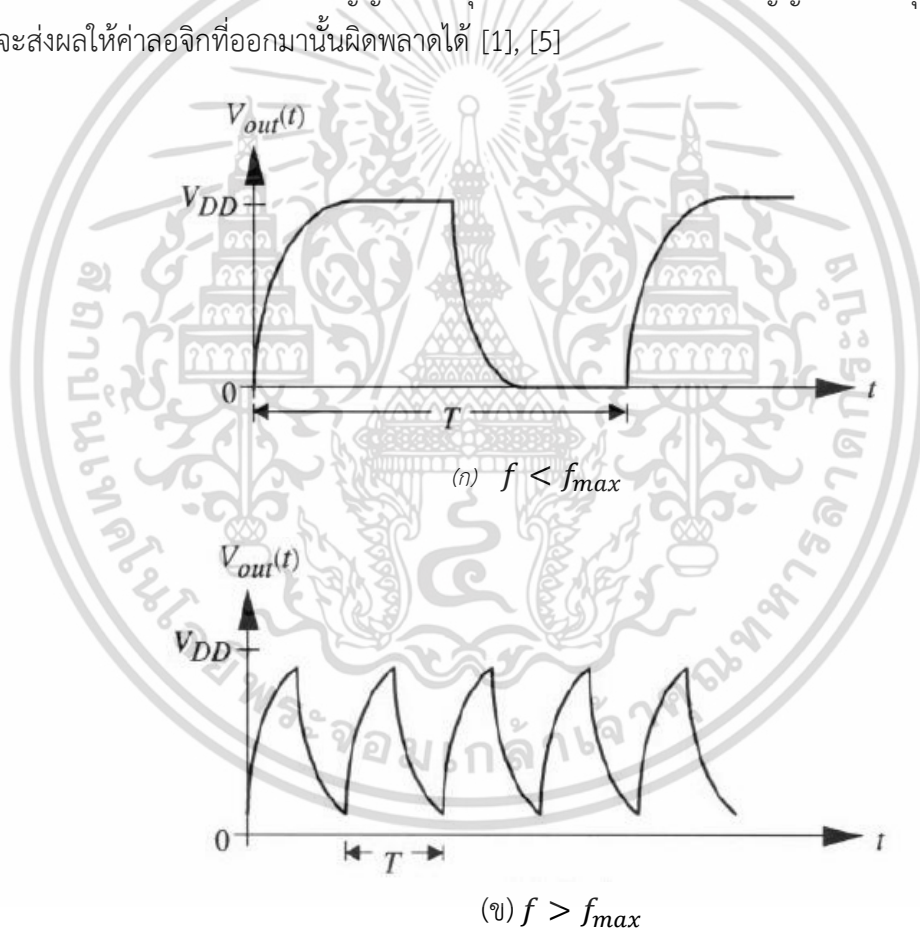


รูปที่ ก.2 ช่วงเวลาดังกล่าวที่เพิ่มระดับแรงดันขาขึ้นและขาลง

ผลรวมของค่า τ_{fall} และ τ_{rise} แสดงให้เห็นค่าเวลาดำสุดในการทำงานของวงจรให้ครบหนึ่งรอบการทำงาน ในการที่สัญญาณเอาต์พุตจะเปลี่ยนค่าลอจิกจาก 1 เป็น 0 และคืนค่าสัญญาณเอาต์พุตจากลอจิก 0 เป็น 1 นั้นเอง กล่าวได้ว่าสามารถหาค่าความถี่สูงสุด (maximum switching frequency) ของการทำงานวงจรนั้นๆ ได้โดย

$$f_{max} = \frac{1}{\tau_{rise} + \tau_{fall}} \quad (ก.6)$$

จากสมการแสดงถึงของอัตราสูงสุดในการรับข้อมูลของเกต ในรูปที่ ก.3 แสดงความสำคัญของค่าความถี่สูงสุดของวงจรอินเวอร์เตอร์ สำหรับวงจรที่มีค่าการทำงานที่ความถี่ต่ำกว่าค่าความถี่สูงสุด ($f < f_{max}$) สัญญาณจะมีเวลาเพียงพอที่จะเปลี่ยนสัญญาณอินพุตเป็นสัญญาณเอาต์พุตได้อย่างถูกต้อง แต่หากเพิ่มค่าความถี่ของวงจรให้มีค่าความถี่มากกว่าค่าความถี่สูงสุด ($f > f_{max}$) วงจรจะมีเวลาไม่เพียงพอที่จะเปลี่ยนสัญญาณอินพุตที่รับเข้ามาเพื่อให้เป็นสัญญาณเอาต์พุตที่ถูกต้องได้นั้นจะส่งผลให้ค่าลอจิกที่ออกมา นั้นผิดพลาดได้ [1], [5]



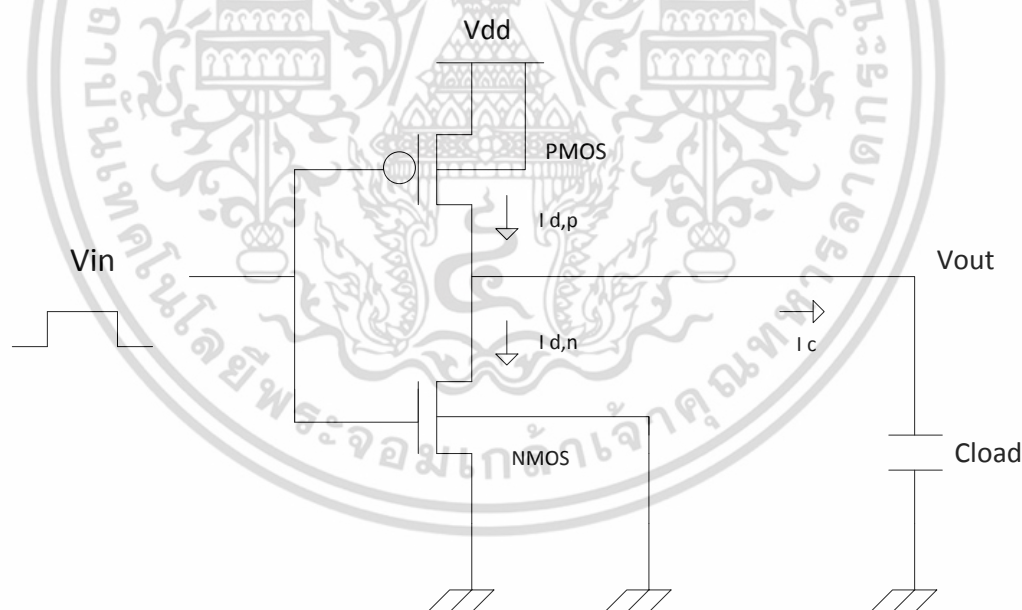
รูปที่ ก.3 รูปแบบสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. ค่าการสูญเสียพลังงาน (Power consumption)

วงจรซีมอสสามารถแบ่งพลังงานที่สูญเสียออกเป็น 2 ประเภทคือ Static power dissipation และ Dynamic power dissipation

แสดงตัวอย่างการทำงานของวงจรมอสทรานซิสเตอร์ แสดงในรูปที่ ก.4 จากการทำงานของวงจรเมื่อสัญญาณอินพุตเปลี่ยนแปลงจาก 0 เป็น 1 นั้น พีมอสทรานซิสเตอร์ในวงจรจะตัดการทำงานและเอ็นมอสทรานซิสเตอร์จะเริ่มทำงาน ในระหว่างนั้นโหลดคาปาซิเตอร์ (load capacitance : C_{load}) จะคลายกระแสไฟฟ้าออกมา ทำให้กระแสไหลผ่านเอ็นมอสทรานซิสเตอร์ ดังนั้นค่าการคายกระแสไฟฟ้าภายในตัวเก็บประจุจะมีค่าเท่ากับค่ากระแสไฟฟ้าทั้งหมดที่ไหลผ่านเอ็นมอสทรานซิสเตอร์ และเมื่อสัญญาณอินพุตเปลี่ยนแปลงจาก 1 เป็น 0 เอ็นมอสทรานซิสเตอร์จะตัดการทำงานและพีมอสทรานซิสเตอร์จะเริ่มทำงาน ในขณะนั้นโหลดคาปาซิเตอร์จะเริ่มเก็บกระแสไฟฟ้าโดยมีกระแสไฟฟ้าผ่านทางพีมอสทรานซิสเตอร์ ดังนั้นค่าการเก็บกระแสไฟฟ้าภายในตัวเก็บประจุจะมีค่าเท่ากับค่ากระแสไฟฟ้าทั้งหมดที่ไหลผ่านพีมอสทรานซิสเตอร์ การสูญเสียพลังงานในช่วงนี้จะเรียกว่า Dynamic power dissipation การทำงานอีกช่วงคือ ช่วงที่โหลดคาปาซิเตอร์ไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ทำให้วงจรเข้าสู่ช่วง steady state ($V_{out} = V_{OH}$ หรือ $V_{out} = V_{OL}$) การสูญเสียพลังงานในช่วงนี้จะเรียกว่า Static power dissipation ซึ่งมีค่าน้อยมากเมื่อเทียบกับช่วง Dynamic power dissipation จึงไม่จำเป็นต้องนำมาคำนวณได้



รูปที่ ข.1 วงจรมอสทรานซิสเตอร์ เพื่อวิเคราะห์หาค่าการสูญเสียพลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ t เป็นคาบเวลาหนึ่งคาบของรูปสัญญาณอินพุตและเอาต์พุต ดังนั้นค่าเฉลี่ย Power dissipation ของวงจรในหนึ่งคาบเวลาสามารถเขียนสมการได้

$$P_{avg} = \frac{1}{T} \int_0^T v(t) \cdot i(t) dt \quad (ข.1)$$

โดยที่ T คือ ช่วงเวลาหนึ่งคาบของสัญญาณนาฬิกา

t คือ ช่วงเวลาหนึ่งคาบของสัญญาณอินพุตและเอาต์พุต

V คือ แรงดัน

I คือ กระแส

ในระหว่างที่วงจรทำการสวิตช์นั้น ทรานซิสเตอร์เอ็นมอสและพีมอสในวงจรซีมอสอินเวอร์เตอร์จะสร้างกระแสทุกๆครั้งคาบ ดังรูปที่ ก.5 โดยค่าเฉลี่ย Power dissipation ของวงจรซีมอสอินเวอร์เตอร์นั้น สามารถคำนวณค่าเฉลี่ย Power dissipation ได้จากค่าการเก็บประจุและคายประจุของโหนดคาซิเตอร์ ดังสมการ

$$P_{avg} = \frac{1}{T} \left[\int_0^{T/2} V_{out} \left(-C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{T/2}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right]$$

นำสมการ มาคำนวณจะได้

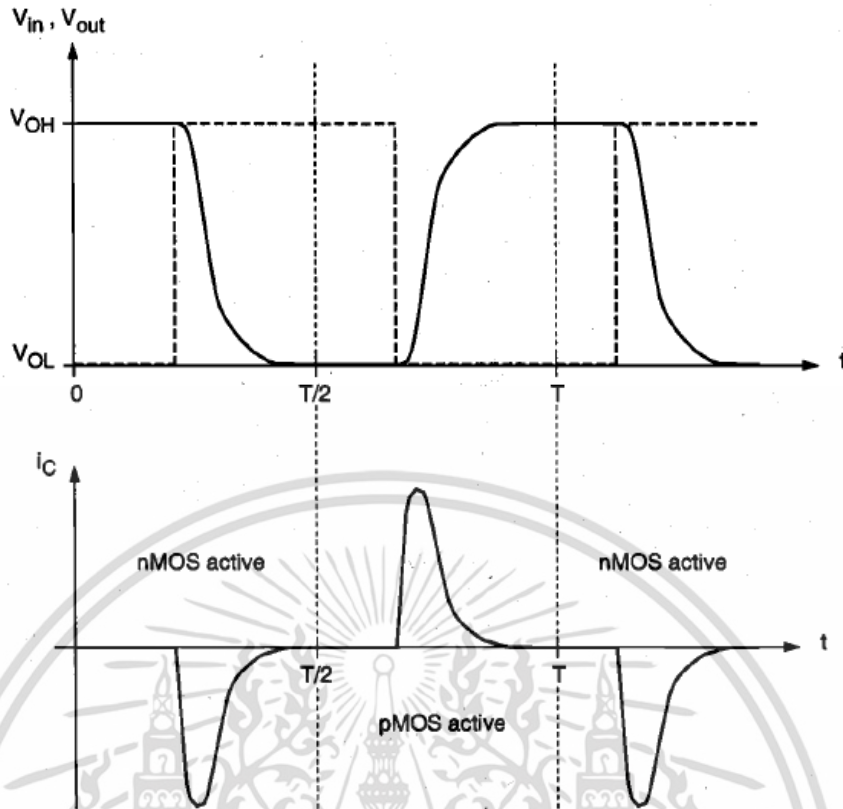
$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{T/2} + V_{DD} \cdot V_{out} \cdot C_{load} - \frac{1}{2} C_{load} V_{out}^2 \Big|_0^{T/2} \right]$$

$$P_{avg} = \frac{1}{T} C_{load} \cdot V_{DD}^2 \quad (ข.2)$$

จาก $f = 1/T$ ดังนั้นเขียนสมการได้เป็น

$$P_{avg} = C_{load} \cdot V_{DD}^2 \cdot f \quad (ข.3)$$

จากสมการ ค่าค่าเฉลี่ย Power dissipation มีผันตรงกับค่าความถี่ f ดังนั้นการที่วงจรสามารถทำงานที่ความถี่สูงมากๆได้ ย่อมส่งผลให้การสูญเสียค่า Power dissipation สูงไปด้วย และที่สำคัญค่า Power dissipation ยังขึ้นอยู่กับขนาดของโหนดคาปาซิเตอร์และไฟเลี้ยงวงจร แต่ทั้งนี้การออกแบบที่ดีก็ยังส่งผลช่วยในการลดค่าการสูญเสียพลังงานอีกด้วย



รูปที่ ข.2 รูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์

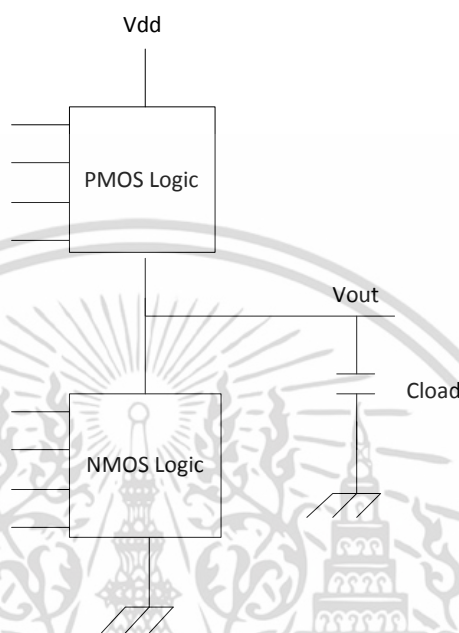
จากสมการพลังงานที่เกิดจากการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์ สามารถแสดงให้เห็นในรูปแบบของวงจรซีมอสลอจิก ดังแสดงในรูปที่ ก.6 ซึ่งภายในวงจรซีมอสจะประกอบด้วย ส่วนของเอ็นมอส (NMOS Logic Block) ที่ต่ออยู่ระหว่างโหนดเอาต์พุตกับกราวด์ และส่วนของพีมอส (PMOS Logic Block) ที่ต่ออยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรซีมอสอินเวอร์เตอร์นั้น ทั้งส่วน PMOS Block และ NMOS Block สามารถนำกระแสได้ โดยขึ้นอยู่กับสัญญาณทางด้านอินพุตที่จะเข้ามา ดังนั้นพลังงานที่สูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียพลังงานที่เกิดจากการเก็บและคายประจุของคาปาซิเตอร์ทางด้านเอาต์พุต ดังนั้น หากค่าคาปาซิเตอร์ที่อยู่ภายในวงจรทั้งหมดมีค่ามากกว่าค่าคาปาซิเตอร์ที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรด้วย

ในทางทฤษฎีค่าเฉลี่ยของ Switching Power Dissipation ในสมการที่ ซึ่งแรงดันเอาต์พุตมีค่าอยู่ในช่วง 0 ถึง V_{DD} และสัญญาณอินพุตมีรูปคลื่นเป็นสี่เหลี่ยมสามารถใช้ได้กับทุกวงจรซีมอสลอจิก แต่หากไม่เป็นไปตามทฤษฎี คือ รูปคลื่นสัญญาณอินพุตไม่เป็นสี่เหลี่ยมและค่าหนึ่งเวลาขาขึ้นและขาลงไม่เป็น 0 ยกตัวอย่างเช่น ในช่วงที่เอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์นำกระแสพร้อมกัน หรือเรียกอีกอย่างว่า กระแสลัดวงจร ซึ่งในกรณีนี้ทรานซิสเตอร์จะนำกระแสจากไฟเลี้ยง V_{DD} ลงสู่กราวด์ ทำให้พลังงานที่สูญเสียไม่สามารถคำนวณได้ดังสมการ เรียกพฤติกรรมนี้ว่า Short Circuit ซึ่งกระแสที่เกิดจากการ Short Circuit จะไม่ทำให้เกิดการเก็บหรือคายประจุของคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางเอาท์พุททำให้ไม่สามารถคำนวณได้ตามสมการ จึงจำเป็นต้องทราบค่าการสูญเสียพลังงานที่เกิดจากพฤติกรรมนี้ด้วยเพราะไม่สามารถอธิบายได้ตามเงื่อนไขทางทฤษฎี แต่หากค่าคาปาซิเตอร์มีค่ามากขึ้น ย่อมส่งผลให้ค่าการสูญเสียพลังงานที่เกิดจากการ Short Circuit มีนัยสำคัญน้อยลง เมื่อเปรียบเทียบกับค่า Power Dissipation ที่มีค่าเพิ่มมากขึ้นนั่นเอง



รูปที่ ข.3 วงจรซีมอส

ข.1 การจำลองวิธีการวัดพลังงานที่สูญเสียของวงจรรวม

การจำลองการทำงานของวงจรรวมหาค่าเฉลี่ยพลังงานที่สูญเสียของวงจรรวม ภายใต้เงื่อนไขการทำงานจริง ดังสมการที่ โดยค่ากำลังงานที่สูญเสียในวงจรรวมสามารถหาได้จากค่าแรงดันที่เกิดขึ้นในช่วงเวลา t และจากกระแสที่เกิดขึ้นในช่วงเวลา t ที่มาจากแหล่งจ่ายไฟเลี้ยงที่มีค่าคงที่

การใช้งานรูปแบบการจำลองวงจรรวมหาค่าเฉลี่ยการสูญเสียพลังงาน [1] เรียกว่า Power meter สามารถแสดงกราฟค่าพลังงานที่สูญเสียของวงจรรวม กำหนดขึ้นที่สัญญาณอินพุต 1 คาบเวลา ด้วยวิธี transient Circuit เพื่อจำลองการทำงานของวงจรรวม โดยมีวงจรรวมแสดงในรูปที่ ก.7 จากรูป Power meter จะต่ออยู่ส่วนบนของวงจรรวมซีมอสที่จะทำการวัดค่าการสูญเสียพลังงาน โดยต่ออยู่ระหว่างวงจรรวมกับแหล่งจ่ายไฟเลี้ยง V_{DD} เพราะฉะนั้นกระแสจากแรงดันไฟเลี้ยงที่เปลี่ยนแปลงตามเวลาจะเป็น $i_{DD}(t)$ และกระแสที่ผ่านวงจรรวม Power meter จะเป็น $i_{SS}(t)$ วงจรรวม Power meter จะดึงกระแสจากวงจรรวมผ่านแหล่งจ่าย Zero-Volt ทำให้ $i_{SS}(t) = i_{DD}(t)$ นั่นเอง

วิธีการวัดค่าการสูญเสียพลังงานของวงจรรวมประกอบด้วย 3 ส่วน คือ กระแสควบคุมแหล่งจ่าย กระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์ และตัวต้านทาน โดยทั้ง 3 ส่วนนี้จะต่อขนานกัน สามารถแสดงสมการกระแสสำหรับจุ่มรวมของวงจรรวมที่ใช้ในการวัดพลังงานได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (\text{ข.4})$$

เงื่อนไขเริ่มต้นของจุดวัดแรงดัน V_y จะมีค่าเป็น $V_y(0) = 0$ สามารถหาค่า $V_y(t)$ ในช่วงเวลา t ได้ดังสมการที่

$$V_y(T) = \frac{\beta}{C_y} \int_0^T e^{-\frac{1}{R_y C_y}(1-\tau)} d\tau \quad (\text{ข.5})$$

กำหนดให้ $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของคาบเวลาหนึ่งช่วง สามารถเขียนสมการใหม่ได้เป็น

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (\text{ข.6})$$

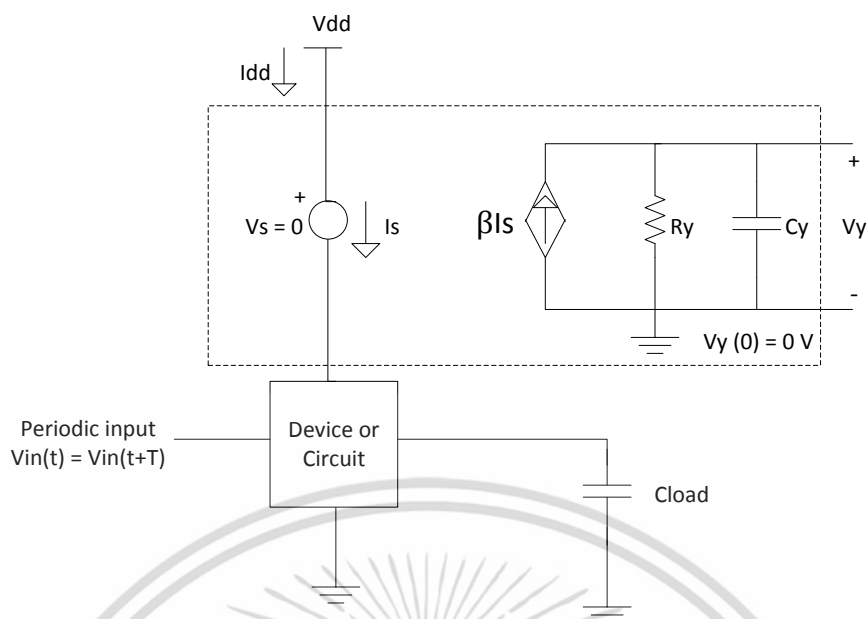
หากค่าสัมประสิทธิ์มีค่าคงที่ ทำให้แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังสมการที่

$$\beta = V_{DD} \frac{C_y}{T} \quad (\text{ข.7})$$

ดังนั้นจะได้ว่า ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งคาบเวลา สามารถหาค่า Transient การจำลองการทำงานได้ตามสมการ

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (\text{ข.8})$$

จากสมการที่ ทางด้านขวาของสมการเป็นผลของค่าพลังงานเฉลี่ยที่ดึงมาจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t = T$ เป็นค่าเฉลี่ยพลังงานงานที่สูญเสียของวงจร วิธีจำลองวงจรแสดงในรูปที่ 3.7 โดยสามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วยการจำลองการทำงาน เช่น HSPICE, PSPICE เป็นต้น และเพื่อการประเมินค่าพลังงานที่สูญเสียของวงจรที่มีความซับซ้อนให้มีค่าได้อย่างแม่นยำ และทั้งนี้วงจร Power meter ยังสามารถวัดค่าพลังงานงานที่เกิดจาก ผลรวมของค่าพลังงานงานที่สูญเสียจากภาวะ Short Circuit ที่เกิดขึ้นได้อีกด้วย [1], [5]



รูปที่ ข.4 วงจรวัดค่าพลังงานสูญเสียเฉลี่ยของวงจรที่นำมาใช้ในการจำลองการทำงาน

ค. การจำลองการทำงานวงจรที่นำเสนอ (HSPICE Code)

```

***** OPTIONS *****
.OPTIONS LIST NODE POST
.OP
***** ANALYSIS *****
.TRAN 0.01ns 4ns
.print tran v(IN) v(out)
.print tran v(pw)
.measure tran tdalyxor trig v(vB) val='0.5*supply' rise=1 targ v(XOR) val='0.5*supply'
rise=1
.measure tran tdalycout trig v(vC) val='0.5*supply' rise=2 targ v(COUT) val='0.5*supply'
rise=1
.measure tran tdalysum trig v(vC) val='0.5*supply' rise=1 targ v(SUM) val='0.5*supply'
rise=1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***** VARIABLES *****

.param supply=0.9

.temp=25

***** SOURCE DESCRIPTION *****

VCC VCC 0 supply

vtstp VCC stp 0

V1 A 0 0 pulse (0 supply 2ns 0.01ns 0.01ns 1.98ns 4ns)

V2 B 0 0 pulse (0 supply 1ns 0.01ns 0.01ns 0.98ns 2ns)

V3 C 0 0 pulse (0 supply 0.5ns 0.01ns 0.01ns 0.48ns 1ns)

***** Buffer Vin *****

MB1 A0 A stp VCC PCH L=16N W=80N

MB2 A0 A 0 0 NCH L=16N W=40N

MB3 vA A0 stp VCC PCH L=16N W=80N

MB4 vA A0 0 0 NCH L=16N W=40N

MB5 B0 B stp VCC PCH L=16N W=80N

MB6 B0 B 0 0 NCH L=16N W=40N

MB7 vB B0 stp VCC PCH L=16N W=80N

MB8 vB B0 0 0 NCH L=16N W=40N

MB9 C0 C stp VCC PCH L=16N W=80N

MB10 C0 C 0 0 NCH L=16N W=40N

MB11 vC C0 stp VCC PCH L=16N W=80N

MB12 vC C0 0 0 NCH L=16N W=40N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***** NETLIST *****

MX1 A1 vA stp VCC PCH L=16N W=80N

MX2 A1 vA 0 0 NCH L=16N W=40N

MX3 XOR A1 vB 0 NCH L=16N W=40N

MX4 XOR vB A1 0 NCH L=16N W=40N

MX5 XNOR vB vA 0 NCH L=16N W=40N

MX6 XNOR vA vB 0 NCH L=16N W=40N

MX7 XOR XNOR stp VCC PCH L=16N W=80N

MX8 XNOR XOR stp VCC PCH L=16N W=80N

MS1 SUM XNOR vC 0 NCH L=16N W=40N

MS2 SUM XOR vC VCC PCH L=16N W=80N

MS3 SUM vC XNOR 0 NCH L=16N W=40N

MS4 SUM vC XOR VCC PCH L=16N W=80N

MC1 COUT XNOR vC VCC PCH L=16N W=80N

MC2 COUT XOR vC 0 NCH L=16N W=40N

MC3 COUT XOR vA VCC PCH L=16N W=80N

MC4 COUT XNOR vA 0 NCH L=16N W=40N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***** Buffer Vout *****

MB13 SUM0 SUM stp VCC PCH L=16N W=80N

MB14 SUM0 SUM 0 0 NCH L=16N W=40N

MB15 vSUM SUM0 stp VCC PCH L=16N W=80N

MB16 vSUM SUM0 0 0 NCH L=16N W=40N

MB17 COUT0 COUT stp VCC PCH L=16N W=80N

MB18 COUT0 COUT 0 0 NCH L=16N W=40N

MB19 vCOUT COUT0 stp VCC PCH L=16N W=80N

MB20 vCOUT COUT0 0 0 NCH L=16N W=40N

CLB2 vCOUT 0 1f

CLB3 vSUM 0 1f

***** POWER METER *****

fp 0 pw vtstp 0.025

rp pw 0 10k

cp pw 0 10p

* PTM Low Power 16nm Metal Gate / High-K / Strained-Si

* nominal Vdd = 0.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.model nch nmos level = 54

+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0

+capmod = 2            igcmod = 1            igbmod = 1            geomod = 1

+diomod = 1           rdsmod = 0           rbodymod= 1          rgatemod= 1

+permod = 1           acnqsmod= 0          trnqsmod= 0

+tnom = 27            toxe = 1.2e-009      toxp = 9e-010        toxm = 1.2e-
009

+dtox = 3e-010        epsrox = 3.9        wint = 5e-009        lint = 0

+ll = 0               wl = 0              lln = 1              wln = 1

+lw = 0               ww = 0              lwn = 1              wwn = 1

+lwl = 0              wwl = 0             xpart = 0            toxref = 1.2e-009

+vth0 = 0.68191      k1 = 0.4            k2 = 0                k3 = 0

+k3b = 0              w0 = 2.5e-006      dvt0 = 1              dvt1 = 2

+dvt2 = 0            dvt0w = 0           dvt1w = 0            dvt2w = 0

+dsb = 0.1           minv = 0.05         voffl = 0            dvtp0 = 1e-011

+dvtp1 = 0.1         lpe0 = 0            lpeb = 0             xj = 5e-009

+ngate = 1e+023      ndep = 7e+018       nsd = 2e+020         phin = 0

+cdsc = 0            cdsb = 0            cdsd = 0             cit = 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+voff = -0.1014 nfactor = 1.6 eta0 = 0.0095 etab = 0
 +vfb = -0.55 u0 = 0.028 ua = 6e-010 ub = 1.2e-018
 +uc = 0 vsat = 200000 a0 = 1 ags = 0
 +a1 = 0 a2 = 1 b0 = 0 b1 = 0
 +keta = 0.04 dwg = 0 dwb = 0 pclm = 0.02
 +pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblc3 = -0.005 drout = 0.5
 +pvag = 1e-020 delta = 0.01 pscbe1 = 8.14e+008 pscbe2 =
 1e-007
 +fprout = 0.2 pdits = 0.01 pditsd = 0.23 pditsl = 2300000
 +rsh = 5 rdsw = 170 rsw = 75 rdw = 75
 +rdswmin = 0 rdwmin = 0 rswmin = 0 prwg = 0
 +prwb = 0 wr = 1 alpha0 = 0.074 alpha1 = 0.005
 +beta0 = 30 agidl = 0.0002 bgidl = 2.1e+009 cgidl = 0.0002
 +egidl = 0.8 aigbacc = 0.012 bigbacc = 0.0028 cigbacc = 0.002
 +nigbacc = 1 aigbinv = 0.014 bigbinv = 0.004 cigbinv = 0.004
 +eigbinv = 1.1 nigbinv = 3 aigc = 0.015211 bigc =
 0.0027432
 +cigc = 0.002 aigsd = 0.015211 bigsd = 0.0027432 cigsd = 0.002
 +nigc = 1 poxedge = 1 pigcd = 1 ntox = 1
 +xrcrg1 = 12 xrcrg2 = 5
 +cgso = 5e-011 cgdo = 5e-011 cgbo = 2.56e-011 cgdl =
 2.653e-010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+cgsl = 2.653e-010 ckappas = 0.03 ckappad = 0.03 acde = 1

+moin = 15 noff = 0.9 voffcv = 0.02

+kt1 = -0.11 kt1l = 0 kt2 = 0.022 ute = -1.5

+ua1 = 4.31e-009 ub1 = 7.61e-018 uc1 = -5.6e-011 prt = 0

+at = 33000

+fnoimod = 1

tnoimod = 0

+jss = 0.0001 jsws = 1e-011 jswgs = 1e-010 njs = 1

+ijthsfwd= 0.01 ijthsrev= 0.001 bvs = 10 xjbvs = 1

+jsd = 0.0001 jswd = 1e-011 jswgd = 1e-010 njd = 1

+ijthdfwd= 0.01 ijthdrev= 0.001 bvd = 10 xjbvd = 1

+pbs = 1 cjs = 0.0005 mjs = 0.5 pbsws = 1

+cjsws = 5e-010 mjsws = 0.33 pbswgs = 1 cjswgs = 3e-010

+mjswgs = 0.33 pbd = 1 cjd = 0.0005 mjd = 0.5

+pbswd = 1 cjswd = 5e-010 mjswd = 0.33 pbswgd = 1

+cjswgd = 5e-010 mjswgd = 0.33 tpb = 0.005 tcj = 0.001

+tpbsw = 0.005 tcjsw = 0.001 tpbswg = 0.005 tcjswg = 0.001

+xtis = 3 xtid = 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+dmcg = 0 dmci = 0 dmdg = 0 dmcgt = 0

+dwj = 0 xgw = 0 xgl = 0

+rshg = 0.4 gbmin = 1e-010 rbpb = 5 rbpd = 15

+rbps = 15 rbdb = 15 rbsb = 15 ngcon = 1

.model pch pmos level = 54

+version = 4.0 binunit = 1 paramchk= 1 mobmod = 0

+capmod = 2 igcmod = 1 igbmod = 1 geomod = 1

+diomod = 1 rdsmod = 0 rbodymod= 1 rgatemod= 1

+permod = 1 acnqsmode= 0 trnqsmode= 0

+tnom = 27 toxe = 1.22e-009 toxp = 9e-010 toxm =
1.22e-009

+dtox = 3.2e-010 epsrox = 3.9 wint = 5e-009 lint = 8e-010

+ll = 0 wl = 0 llh = 1 wln = 1

+lw = 0 ww = 0 lwn = 1 wwn = 1

+lwl = 0 wwl = 0 xpart = 0 toxref = 1.22e-009

+vth0 = -0.6862 k1 = 0.4 k2 = -0.01 k3 = 0

+k3b = 0 w0 = 2.5e-006 dvt0 = 1 dvt1 = 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+dvt2 = -0.032 dvt0w = 0 dvt1w = 0 dvt2w = 0
 +dsub = 0.1 minv = 0.05 voffl = 0 dvtp0 = 1e-011
 +dvtp1 = 0.05 lpe0 = 0 lpeb = 0 xj = 7.2e-009
 +ngate = 1e+023 ndep = 4.4e+018 nsd = 2e+020 phin = 0
 +cdsc = 0 cdscb = 0 cdscd = 0 cit = 0
 +voff = -0.08 nfactor = 1.8 eta0 = 0.0095 etab = 0
 +vfb = 0.55 u0 = 0.0075 ua = 2e-009 ub = 5e-019
 +uc = 0 vsat = 195000 a0 = 1 ags = 1e-020
 +a1 = 0 a2 = 1 b0 = 0 b1 = 0
 +keta = -0.047 dwg = 0 dwb = 0 pclm = 0.12
 +pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblcb = 3.4e-008 drout =
 0.56
 +pvag = 1e-020 delta = 0.01 pscbe1 = 8.14e+008 pscbe2 =
 9.58e-007
 +fprout = 0.2 pdits = 0.08 pditsd = 0.23 pditsl = 2300000
 +rsh = 5 rdsw = 220 rsw = 72.5 rdw = 72.5
 +rdswmin = 0 rdwmin = 0 rswmin = 0 prwg = 0
 +prwb = 0 wr = 1 alpha0 = 0.074 alpha1 = 0.005
 +beta0 = 30 agidl = 0.0002 bgidl = 2.1e+009 cgidl = 0.0002
 +egidl = 0.8 aigbacc = 0.012 bigbacc = 0.0028 cigbacc = 0.002
 +nigbacc = 1 aigbinv = 0.014 bigbinv = 0.004 cigbinv = 0.004
 +eigbinv = 1.1 nigbinv = 3 aigc = 0.0097 bigc = 0.00125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+cigc = 0.0008 aigsd = 0.0115 bigsd = 0.00125 cigsd =
 0.0008
 +nigc = 1 poxedg = 1 pigcd = 1 ntox = 1
 +xrcrg1 = 12 xrcrg2 = 5
 +cgso = 5e-011 cgdo = 5e-011 cgbo = 2.56e-011 cgdl =
 2.653e-010
 +cgsl = 2.653e-010 ckappas = 0.03 ckappad = 0.03 acde = 1
 +moin = 15 noff = 0.9 voffcv = 0.02
 +kt1 = -0.11 kt1l = 0 kt2 = 0.022 ute = -1.5
 +ua1 = 4.31e-009 ub1 = 7.61e-018 uc1 = -5.6e-011 prt = 0
 +at = 33000
 +fnoimod = 1 tnoimod = 0
 +jss = 0.0001 jsws = 1e-011 jswgs = 1e-010 njs = 1
 +ijthsfwd= 0.01 ijthsrev= 0.001 bvs = 10 xjbvs = 1
 +jsd = 0.0001 jswd = 1e-011 jswgd = 1e-010 njd = 1
 +ijthdfwd= 0.01 ijthdrev= 0.001 bvd = 10 xjbvd = 1
 +pbs = 1 cjs = 0.0005 mjs = 0.5 pbsws = 1
 +cjsws = 5e-010 mjsws = 0.33 pbswgs = 1 cjswgs = 3e-
 010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+mjswgs = 0.33 pbd = 1 cjd = 0.0005 mjd = 0.5
 +pbswd = 1 cjswd = 5e-010 mjswd = 0.33 pbswd = 1
 +cjswgd = 5e-010 mjswgd = 0.33 tpb = 0.005 tcj = 0.001
 +tpbsw = 0.005 tcjsw = 0.001 tpbswg = 0.005 tcjswg = 0.001
 +xtis = 3 xtid = 3

+dmcg = 0 dmci = 0 dmdg = 0 dmcgt = 0
 +dwj = 0 xgw = 0 xgl = 0
 +rshg = 0.4 gbmin = 1e-010 rbpb = 5 rbpd = 15
 +rbps = 15 rbdb = 15 rbsb = 15 ngcon = 1

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง. เอกสารที่ได้รับการตีพิมพ์



3.5	THA1-5: A Novel Comparison of UWB Indoor Localization.....	-84-
4.	THA2: Engineering Business	
4.1	THA2-1: The possibility study on waste management at Silpakorn University (Sanam Chandra Palace Campus).....	-88-
4.2	THA2-2: Process Improvement in Blow Film Plastic Production by Using Engineering Business Principle.....	-93-
4.3	THA2-3: Worthiness of Changing LED Lighting System at Silpakorn University.....	-97-
4.4	THA2-4: The Homomorphic Property of Paillier Cryptosystem.....	-102-
4.5	THA2-5: Analysis Effects from Overvoltage on Grounding Grids System of Two High Voltage Substation at Nearby Using ATP/EMTP Program.....	-106-
5.	THA3: Biomedical Engineering and Applications I	
5.1	THA3-1: Simple ASL Alphabet Using Leap Motion Controller.....	-110-
5.2	THA3-2: Effect of Blood Flow During Microwave Ablation in Narrowed Coronary Artery Disease.....	-114-
5.3	THA3-3: Joint Movement Analysis System of Human Using Non-contact 3D Sensor.....	-118-
5.4	THA3-4: Brainwave measurement when enjoying the music by EPOC+.....	-122-
5.5	THA3-5: Computational Fluid Dynamic Simulation of Blood Tube Centrifuge System.....	-126-
6.	THA4: Communication Circuits Design II	
6.1	THA4-1: High Speed Hybrid CMOS Full Adder Circuit.....	-130-
6.2	THA4-2: A Voltage-Mode Quadrature Sinusoidal Oscillator Using VDDAs.....	-134-
6.3	THA4-3: MOSFET-c Realization of Sinusoidal Quadrature Oscillator.....	-138-
6.4	THA4-4: Current-mode sixth-order ladder band-pass filters based on current-controlled current conveyor.....	-142-
6.5	THA4-5: A Voltage-Mode VDDDA-Based Universal Filter.....	-146-
7.	THA5: Wireless Communication Systems II	
7.1	THA5-1: Studying the prediction path loss in rural by standard macrocell model.....	-150-
7.2	THA5-2: Analysis of DVB-T2 received signal for outdoor reception in Bangkok Thailand.....	-154-
7.3	THA5-3: Circularly Polarized UHF-RFID Multi-loop Tag Antenna using Truncated Corner Techniques.....	-158-
7.4	THA5-4: Miniatured Antenna using Thin Strip Lines for WLAN/2G/3G Applications....	-162-
7.5	THA5-5: Analysis of UWB Antennas with FCC band and Common Band for WiMedia System.....	-166-
7.6	THA5-6: Experimental Study of DVB-T2 Propagation Loss in an Indoor Environment...	-170-
8.	THA6: Body Area Network-Ultra Wideband Technology	
8.1	THA6-1: Evaluation of Channel Transfer Function and Transmission Gain in BAN-UWB.....	-174-
8.2	THA6-2: Experimental Study of BAN-UWB System Using Double	

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Speed Hybrid CMOS Full Adder Circuit

Sabai Phuchoratham Siraphop Tooprakai

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

E-mail: sabai.phuchoratham@gmail.com, siraphop@telecom.kmitl.ac.th

Tel: 66-8-44060061, 66-2-3298324

Abstract—This paper proposes a 1-bit hybrid full adder circuit of XOR and XNOR circuit design. The circuit was designed to have a lower propagation delay time than that of a conventional full adder. The circuit's performance was simulated and compared to those of CCMOS, CPL, TFN, Hybrid, and LPFA full adder circuits. All simulation runs were carried out with HSPICE simulator program based on 16 nm CMOS technology at 0.9 V supply voltage. The proposed circuit can operate up to a frequency of 7 GHz.

Keywords—CMOS Full Adder, NOR XNOR Gate, High Speed

I. INTRODUCTION

Full adder is an essential component of telecommunication circuits such as phase locked loop, quadrature phase shift keying modulator circuit (QPSK), synthesizer, and memory. Therefore, if the full adder component is high performance, the performance of the whole telecommunication circuit will also be accordingly high.

Full adder are of many different designs. Two of these designs, complementary CMOS full adder (CCMOS) [1] and TFN design of CMOS full adder [2], can operate with low propagation delay time and power consumption, but the CCMOS full adder is made up of a lot of transistors, 28 in all, and the TFN full adder cannot operate at a frequency beyond 5 GHz. Three more designs—full adder circuit using pass transistor technique (CPL) [3], hybrid CMOS full adder [4], and low power CMOS full adder cells (LPFA) [5]—can operate at low power consumption. However, the CPL full adder is made up of a lot of transistors as well, 32 in all, and its sum and C_{out} circuits are separated. The hybrid CMOS full adder works well only when the supply voltage is over 2.2V and it is made up of 26 transistors. The LPFA full adder cannot drive full swing output and cannot work in GHz range. As described, a full adder circuit can be designed for different purposes by using different design techniques. The purpose of a design can be such as enhancing the performance of the circuit, reducing the number of transistors, increasing the speed of the circuit, reducing the chip area, and lowering the power consumption of the circuit. Today, portable devices like smartphones, laptop computer, and tablet need components that operate at low power and high speed. Therefore, designing a component for low power and high speed is a special challenge for researchers.

This paper proposes a hybrid high speed full adder circuit based on 16 nm CMOS technology at a supply voltage of 0.9V that was designed with XOR and XNOR circuit technique. The proposed circuit can operate at a frequency up to 7 GHz.

II. REVIEW OF FULL ADDER CIRCUITS

Full adder function can be described as follows: given three 1-bit inputs—A, B, and C_{in} —the results desired are the sum of two 1-bit outputs and C_{out} , where

$$\begin{aligned} SUM &= A \oplus B \oplus C_{in} \\ C_{out} &= AB + BC_{in} + AC_{in} \end{aligned} \quad (1)$$

Table I. TRUTH TABLE OF FULL ADDER

INPUT			OUTPUT	
A	B	C_{in}	C_{out}	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Fig. 1 shows the schematics of various full adder designs. In Fig. 1A, a 28-transistor CCMOS full adder that uses a pMOS pull-up and nMOS pull-down design technique is shown. In Fig. 1B, a 16-transistor TFN full adder that uses a transmission function technique is shown. In Fig. 1C, a 32-transistor CPL full adder that uses a pass transistor technique is shown. In Fig. 1D, a 26-transistor hybrid full adder that uses pass transistor, transmission function and pMOS cross couple [4] techniques is shown. The performances of all of these circuits were simulated and compared to the proposed circuit.

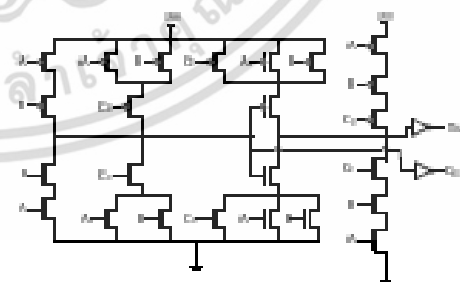


Figure 1A. CCMOS full adder [1]

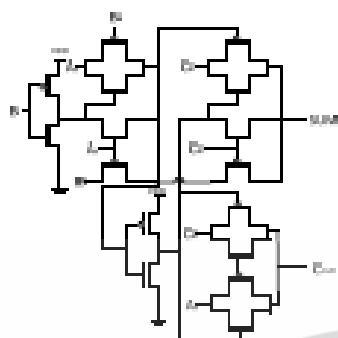


Figure 1B. TVN full adder [2]

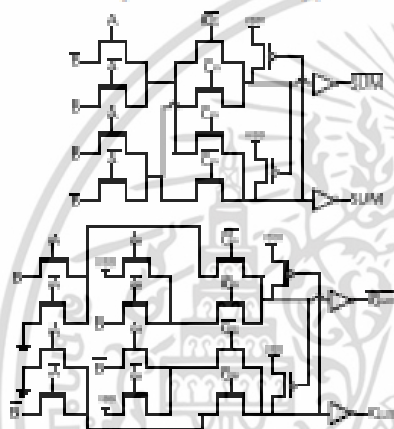


Figure 1C. CMOS full adder [3]

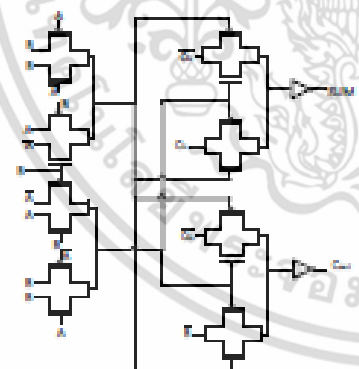


Figure 1D. Hybrid full adder [4]

III. PROPOSED CIRCUIT

The equations of the proposed circuit can be written as:

$$\begin{aligned} \text{SUM} &= (A \oplus B)C_{in} \oplus (A \oplus B)C_{in} \\ \text{Cout} &= (A \oplus B)C_{in} \oplus (A \oplus B)A \end{aligned} \quad (2)$$

The proposed circuit can be separated into three modules: module 1 is NOR and XNOR circuits whose inputs are A and B; module 2 is a C_{out} circuit; and module 3 is a sum circuit. All modules are shown in Fig. 2.

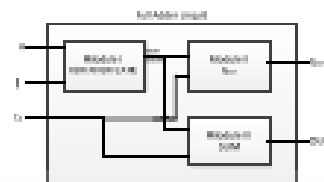


Figure 2. Three modules of the proposed full adder

The schematics of the proposed circuit is shown in Fig 3. It has 16 transistors. The NOR and XNOR circuits in module 1 were designed according to transmission function theory by using cross couple PMOS and inverter techniques. The C_{out} circuit in module 2 was designed by using transmission gate technique. The sum circuit in module 3 was designed by using transmission gate and pass transistor techniques.

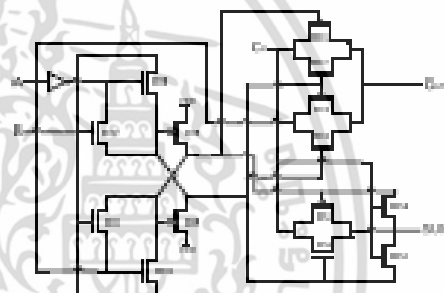


Figure 3. Proposed full adder circuit

The NOR and XNOR circuits consist of transistor MX1-MX6. These circuits have two inputs: A and B. When input A and B are both 0, transistor MX1 is turned on, and the output from transistor MX5 is 1. When input A is 0 and input B is 1, transistor MX1, MX2, MX3 are turned on, and the output from transistor MX6 is 1. When input A is 1 and input B is 0, transistor MX1, MX2, MX3 are turned off, transistor MX1 is turned on, and an output of 1 is driven from transistor MX6. When input A and B are both 1, transistor MX1, MX2, MX3 are turned on, and the output from transistor MX6 is 0.

The C_{out} circuit consists of transistor MC1-MC4. This circuit has three inputs: A, B, and C_{in} . When input A and input B are the same ($A=B$), transistor MC3 and MC4 are turned on, and the output is equal to input A. When input A and input B are different ($A \neq B$), transistor MC1 and MC2 are turned on, and the output is equal to input C_{in} .

The Sum circuit consists of transistor MS1-MS4. This circuit has three inputs: A, B, and C_{in} . When input A and input B are the same ($A=B$), transistor MS1 and MS2 are turned on, and the output is equal to input C_{in} . When input A and input B are different ($A \neq B$), transistor MS3 and MS4 are turned on, and the output is the opposite of the input C_{in} .

IV. SIMULATION RESULTS

To determine the performances of all of the mentioned circuits, a simulation environment that mimics loads in a real situation [5] with buffers added to the inputs and outputs as shown in Fig. 4 was devised.



Figure 4. Simulation environment

A HSPICE simulator program was used to run simulations based on 16 nm CMOS technology at 0.9 V supply voltage and 1 GHz operating frequency. The waveforms of CMOS full adder, TFN full adder, CPL full adder, Hybrid full adder, LPFA full adder, and the proposed circuit are shown in Fig. 5-10, respectively.



Figure 5. Waveform of CMOS full adder at 1 GHz

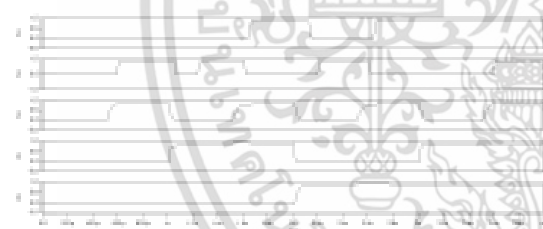


Figure 7. Waveform of TFN full adder at 1 GHz

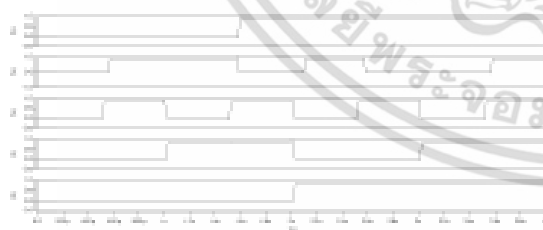


Figure 6. Waveform of CPL full adder at 1 GHz

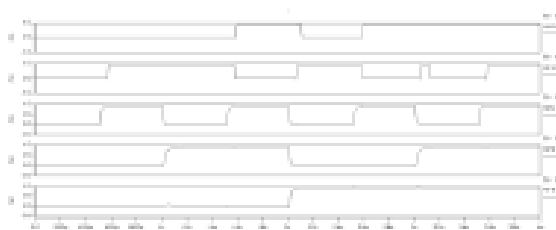


Figure 8. Waveform of Hybrid full adder at 1 GHz

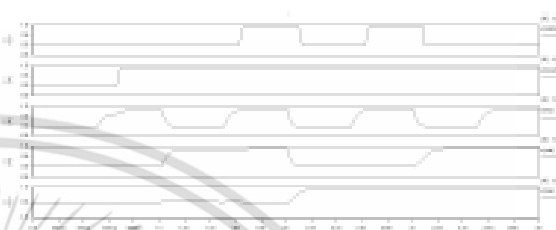


Figure 9. Waveform of LPFA full adder at 1 GHz



Figure 10. Waveform of proposed circuit at 1 GHz

Input and output buffers were included in the simulation. Delay time was determined as the average time needed for the output to respond to a change in the input logic state [6]. Power consumption of the circuit was determined by a simulated power meter [7] that can estimate the average power dissipation of a circuit driven by a periodic input. Power delay product (PDP) is the product of power consumption time the propagation delay. Simulation results at 1 GHz operating frequency are shown in Table II.

Table II. SIMULATION RESULTS FOR FULL ADDER

Full adder at 1 GHz	Str.	Propagation Delay (ps)	Power Consumption (μW)	PDP (aJ)
CMOS [1]	28	32.7	387	12.65
TFN [2]	16	312	400.2	20.49
CPL [3]	32	49.8	355.9	18.22
Hybrid [4]	28	52.8	606.8	32.04
LPFA [5]	14	60.3	1719	103.99
Proposed	16	30.6	417.0	12.76

Propagation delay time, power consumption, and power-delay product of all adders were simulated, and the simulation results of operations in the frequency range of 1-7 GHz are shown in Figure 11-13, respectively.

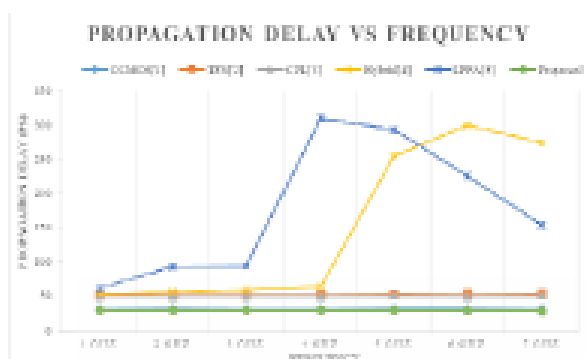


Figure 11. Propagation delay time comparison

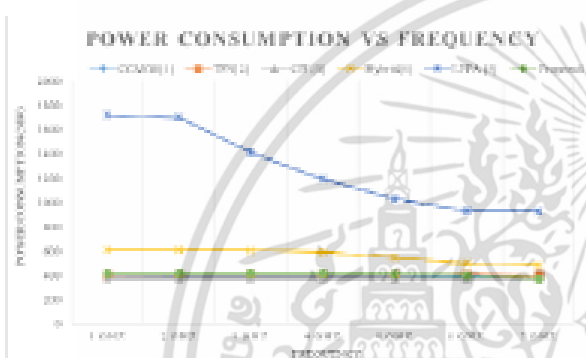


Figure 12. Power consumption comparison

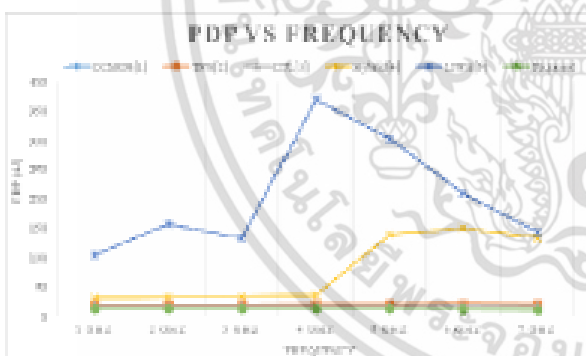


Figure 13. Power-delay product comparison

As can be seen in Fig. 11, the propagation delay time of the proposed circuit was 7, 38, 41, 80 and 82 % less than those of the OCMOS full adder, CPL full adder, Hybrid full adder, TFN full adder and LPFA full adder, respectively. Fig. 12 shows that the power consumption of the proposed circuit was 27 and 98 % lower than those of the TFN full adder and LPFA full adder, respectively. Fig. 13 shows that the power-delay product of the proposed circuit was 32, 40, 84 and 94 % less than those of the CPL full adder, TFN full adder, Hybrid full adder, and

LPFA full adder, respectively. The simulated waveform of the proposed circuit operating at 7 GHz is shown in Fig. 14.

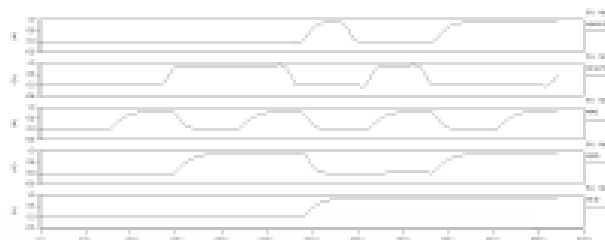


Figure 14. Waveform of proposed circuit at 7 GHz

At this frequency, the propagation delay time was 29.513 ps and the power consumption was 369.35 μ W, and hence the power-delay product was 10.9 aJ.

V. CONCLUSION

A high speed CMOS full adder circuit is proposed. It was designed with NOR and XNOR circuit technique and consists of 16 transistors. Simulations of the performances of this proposed circuit and several other adder circuits were carried out by using HSPICE simulator program based on 16 nm CMOS technology at 0.9 V supply voltage and 1-7 GHz operating frequency. Simulation results showed that the proposed circuit had the minimum propagation delay time when compared to those of the OCMOS full adder, TFN full adder, CPL full adder, Hybrid full adder, and LPFA full adder. Moreover, the proposed circuit had lower power consumption than those of the TFN full adder and LPFA full adder. Lastly, the proposed circuit had lower power-delay product than those of the TFN full adder, CPL full adder, Hybrid full adder, and LPFA full adder.

REFERENCES

- [1] S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," Fourth Edition, McGraw-Hill, 2015.
- [2] M. Zhang and H. Hu, "A new design of the CMOS full adder," IEEE J. of Solid-State Circuits, vol. 27, no. 5, pp. 840-844, May 1992.
- [3] Avedillo M.J., Ramirez, R., Rodriguez-Villegas E., "Low-power logic styles for full-adder circuits," Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference, vol.3, pp. 1417 – 1420, 28 Sep. 2001.
- [4] N.R. Karijot, J.N.R. Ravinder, P. Yagatola, "Power aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology," Modelling Symposium (IMS), 2013 European, pp. 697 – 700, 20-22 Nov. 2013.
- [5] A. Sudastern, S. Tropranski, K. Dehnan, "Low power CMOS full adder cells," Electrical Engineering/Electronics, Computer, Telecom and Information Technology (ECTI-CON), 2012 9th International Conference, May 2012.
- [6] J. P. Uyemura, "CMOS LOGIC CIRCUIT DESIGN," KLUWER ACADEMIC PUBLISHERS, 1999.
- [7] N. H.E. Weste and D. Harris, "CMOS VLSI design: a circuits and systems perspective," 3rded, Boston : Pearson, 2005.
- [8] Y. Cao. (2015, April 16). Predictive Technology Model [Online]. Available: <http://ptm.asu.edu>

ประวัติผู้เขียน

ชื่อ-นามสกุล นายสบาย ภู่อธรรม
วัน เดือน ปีเกิด 16 เมษายน 2535
ที่อยู่ 253 ถนนรัตนเขต ตำบลในเมือง อำเภอเมือง จังหวัดยโสธร 35000
ประวัติการศึกษา สำเร็จการศึกษาระดับปริญญาตรีปี 2557 วิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระ
จอมเกล้าเจ้าคุณทหารลาดกระบัง
ประสบการณ์การทำงาน วิศวกรระบบโครงข่ายเส้นใยแก้วนำแสงและอุปกรณ์ access network
บริษัท HUAWEI TECHNOLOGIES จำกัด

บทความที่ได้รับการตีพิมพ์

- [1] S. Tooprakai, and S. Phuchortham “High Speed Hybrid CMOS Full Adder Circuit,” International Symposium on Multimedia and Communication Technology (ISMAC 2015), pp 130 – 133, September 23-25, 2015, Thailand.