

วงจรรขยายทรานส์คอนดักแตนซ์ (โอทีเอ) และวงจรรูปเปอร์มอสทรานซิสเตอร์
โดยใช้ทรานซิสเตอร์เสมือนเกตลอย และทรานซิสเตอร์ไบอัสที่ขาบอดี้
ที่ทำงานภายใต้ไฟเลี้ยงต่ำ

LOW-VOLTAGE OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS (OTAs)
AND SUPER MOS TRANSISTOR USING QUASI-FLOATING GATE AND
BULK-DRIVEN MOS TRANSISTORS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2559

KMITL-2016-EN-D-018-163

วงจรรขยายทรานส์คอนดักแตนซ์ (โอทีเอ) และวงจรรูปเปอร์มอสทรานซิสเตอร์
โดยใช้ทรานซิสเตอร์เสมือนเกตลอย และทรานซิสเตอร์ไบอัสที่ขาบอดี้
ที่ทำงานภายใต้ไฟเลี้ยงต่ำ

LOW-VOLTAGE OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS (OTAs)
AND SUPER MOS TRANSISTOR USING QUASI-FLOATING GATE AND
BULK-DRIVEN MOS TRANSISTORS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2559

KMITL-2016-EN-D-018-163

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW-VOLTAGE OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS (OTAs)
AND SUPER MOS TRANSISTOR USING QUASI-FLOATING GATE AND
BULK-DRIVEN MOS TRANSISTORS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KMITL-2016-EN-D-018-163



COPYRIGHT 2016

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรขยายทรานส์คอนดักเตอร์ (โอทีเอ) และวงจรถูปเปอร์มอสทรานซิสเตอร์โดยใช้ทรานซิสเตอร์เสมือนเกตลอย และทรานซิสเตอร์ไบอัสที่ขาบอดี้ที่ทำงานภายใต้ไฟเลี้ยงต่ำ

Thesis Title Low-Voltage Operational Transconductance Amplifiers (OTAs) and Super MOS Transistor using Quasi-Floating Gate and Bulk-Driven MOS Transistors

นักศึกษา นายรัชชัย ทองเหลียม

รหัสประจำตัว 51060044

ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์ ศ.ดร.วรากร เกษมสุวรรณ

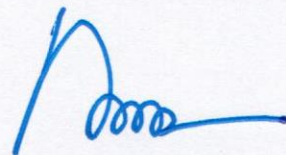
หมายเลขวิทยานิพนธ์ KMITL-2016-EN-D-018-163

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.อภิรักษ์	ธนชยานนท์	
ผศ.ดร.กลิน	วิเชียรชม	
ศ.ดร.อภิศักดิ์	วรพิเชฐ	
รศ.ดร.สุรพันธุ์	เอื้อไพบูลย์	
ศ.ดร.วรากร	เกษมสุวรรณ	

วัน / เดือน / ปี ที่สอบ วันพฤหัสบดีที่ 14 กรกฎาคม พ.ศ. 2559 เวลา 11.00-13.00 น.
สถานที่สอบ ณ อาคารเฉลิมพระเกียรติ ห้อง HM-303

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ณบัณฑิต คณะวิศวกรรมศาสตร์
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
วันที่ 14 กรกฎาคม พ.ศ. 2559

หัวข้อวิทยานิพนธ์	วงจรรขยายทรานส์คอนดักแตนซ์ (โอทีเอ) และวงจรถูบเปอร์มอสทรานซิสเตอร์โดยใช้ทรานซิสเตอร์เสมือนเกตลอย และทรานซิสเตอร์ไบอัสที่ใช้ขาบอดี้ที่ทำงานภายใต้ไฟเลี้ยงต่ำ
นักศึกษา	นายธวัชชัย ทองเหลี่ยม
รหัสนักศึกษา	51060044
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2559
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ. ดร.วรากร เกษมสุวรรณ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรรโอทีเอ และซูปเปอร์มอสทรานซิสเตอร์ วงจรรโอทีเอที่นำเสนอมี 3 วงจรซึ่งใช้การชดเชยตัวเก็บประจุ ทรานซิสเตอร์เสมือนเกตลอย และทรานซิสเตอร์ที่ถูกป้อนสัญญาณที่ขาบอดี้ วงจรรโอทีเอที่ได้มีช่วงสวิงอินพุตและเอาต์พุตกว้าง วงจรรโอทีเอวงจรรที่หนึ่งใช้แรงดันไฟเลี้ยงเท่ากับ 0.8 โวลต์ วงจรรที่สองใช้แรงดันไฟเลี้ยงเท่ากับ 0.5 โวลต์ และวงจรรที่สามใช้แรงดันไฟเลี้ยงเท่ากับหนึ่งโวลต์ วงจรรโอทีเอทั้งหมดถูกออกแบบโดยใช้เทคโนโลยีแบบซีมอสที่มีขนาดเท่ากับ 0.18 ไมโครเมตร วงจรรถูกจำลองการทำงานโดยโปรแกรม HSPICE ผลการจำลองการทำงานแสดงให้เห็นว่าวงจรรโอทีเอวงจรรแรกมีอัตราขยายเท่ากับ 65.8 เดซิเบล ส่วนเผื่อเฟสมีค่าเท่ากับ 57 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 10.2 เมกะเฮิรตซ์ และกำลังสูญเสียมีค่าเท่ากับ 59.4 ไมโครวัตต์ วงจรรโอทีเอวงจรรที่สองมีอัตราขยายเท่ากับ 67.2 เดซิเบล ส่วนเผื่อเฟสมีค่าเท่ากับ 68 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 24.2 เมกะเฮิรตซ์ และกำลังสูญเสียมีค่าเท่ากับ 30 ไมโครวัตต์ วงจรรโอทีเอวงจรรที่สามมีอัตราขยายค่าเท่ากับ 62.2 เดซิเบล ส่วนเผื่อเฟสมีค่าเท่ากับ 60 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 15 เมกะเฮิรตซ์ และกำลังสูญเสียมีค่าเท่ากับ 106 ไมโครวัตต์ นอกจากนี้วิทยานิพนธ์ได้นำเสนอซูปเปอร์มอสทรานซิสเตอร์ 3 แบบโดยป้อนสัญญาณที่ขาบอดี้ และใช้ทรานซิสเตอร์เสมือนเกตลอยโดยมีการต่อแคสโคดตัวเองร่วมกับการป้อนกลับแบบลบ ทรานซิสเตอร์ทำงานโดยใช้แรงดันไฟเลี้ยงเท่ากับ 0.4 โวลต์ และกระแสไบอัสเท่ากับ 10 ไมโครแอมป์ ผลการจำลองการทำงานแสดงให้เห็นว่าค่าทรานส์คอนดักแตนซ์ของซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอมีค่าเท่ากับ 11.77, 11.57 และ 1.72 มิลลิแอมป์ต่อโวลต์ ค่าความต้านเสมือนที่ขาเดรนมีค่าเท่ากับ 385.5 551.3 และ 946 กิโลโอห์ม และค่าความต้านทานเสมือนที่ขาซอร์สมีค่าเท่ากับ 16.8, 17.1 และ 109.73 โอห์ม เพื่อทดสอบการใช้งานจริง ซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอได้ถูกนำไปต่อใช้งานเป็นวงจรรขยายซอร์สร่วมและวงจรรขยายเกตร่วมและผลการจำลองพบว่าวงจรรสามารถทำงานได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต่อๆอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Low-Voltage Operational Transconductance Amplifiers (OTAs) and Super MOS Transistor using Quasi-Floating Gate and Bulk-Driven MOS Transistors
Student	Mr. Thawatchai Thongleam
Student ID.	51060044
Degree	Doctoral of Engineering
Program	Electrical Engineering
Year	2016
Thesis Advisor	Prof. Dr. Varakorn Kasemsuwan

ABSTRACT

This thesis presents OTAs and super MOS transistors. There are three different proposed OTAs. All of them use capacitive compensation technique, quasi-floating gate and bulk-driven transistors. The circuits can operate with rail-to-rail input and output swing. The first OTA operates from a 0.8 V supply while the second and third operate from 0.5 V and 1 V, respectively. All OTAs are designed using 0.18 μm CMOS technology. The performance of OTAs is verified using HSPICE. The simulation results of the first OTA shows the DC gain of 65.8 dB, phase margin of 57° ($C_L = 20$ pF) and the gain-bandwidth product of 10.2 MHz. The power consumption is 59.4 μW . The second OTA shows DC gain of 67.2 dB, phase margin of 68° ($C_L = 20$ pF), and the gain-bandwidth product of 24.2 MHz. The power consumption is 30 μW . The third OTA shows DC gain of 62.2 dB, phase margin of 60° , and gain-bandwidth product of 15 MHz. The power consumption is 160 μW . Furthermore, this thesis presents 3 different designs of super MOS transistors. Bulk-driven and quasi-floating gate transistor, self-cascode, and negative feedback are used in the design. The super MOS transistors can operate from 0.4 V supply voltage and the bias current is 10 μA . The simulation result shows effective transconductance of 11 mA/V, 11.57 mA/V and 1.72 mA/V. The effective drain to source resistance are 385.5 k Ω , 551.3 k Ω and 946 k Ω while the effective source resistance are 16.8 Ω , 17.1 Ω and 109.73 Ω , respectively. To verify the transistor operation, super MOS transistor is connected in a common source and common gate amplifiers and the simulation results show satisfactory performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต่อจากข้างต้นถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ ด้วยความกรุณาจากอาจารย์ที่ปรึกษา ศ.ดร.วรากร เกษมสุวรรณ์ ที่ได้ให้ความช่วยเหลือและคำชี้แนะต่าง ๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ผู้วิจัย ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านจึงขอขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอขอบคุณคณะกรรมการการอุดมศึกษา (สกอ.) ที่ให้ทุนสนับสนุนการศึกษาในระดับปริญญาเอกแก่ผู้วิจัย ภายใต้โครงการทุนการศึกษาและวิจัยปริญญาเอกร่วมในและต่างประเทศ (CHE-PhD-SW-NEWU)

ขอขอบคุณห้องปฏิบัติการวิจัย King Mongkut's Integrated Circuit Lab (KMICL) ที่ได้สนับสนุนเครื่องมือตลอดจนข้อมูล และหนังสือต่างๆ ที่ใช้ในการทำวิจัย

ขอขอบคุณ มหาวิทยาลัยราชภัฏนครปฐม ที่ให้การสนับสนุนและช่วยเหลือเป็นอย่างดีสำหรับการศึกษาในระดับปริญญาเอกแก่ผู้วิจัย ตลอดจนเพื่อนร่วมงานและคณาจารย์ ประจำสาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ มหาวิทยาลัยราชภัฏนครปฐมทุกท่าน ที่ให้กำลังใจที่ดีเสมอมา

สุดท้ายขอกราบขอบพระคุณเป็นอย่างสูงต่อ บิดา มารดา ผู้ซึ่งเป็นที่รักและเคารพยิ่งของผู้วิจัย และพี่น้องของผู้วิจัยที่ให้กำลังใจตลอดมา ตลอดจนครูบาอาจารย์ที่เคารพทุกท่าน ทุกสถาบันการศึกษาที่ผู้วิจัยเคยศึกษามา ที่ได้อบรมสั่งสอน มอบความรู้และวิชาการต่างๆ ให้แก่ผู้วิจัย

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

ธวัชชัย ทองเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และตัดใจอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	IX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการศึกษา.....	2
1.3 แนวความคิดในการวิจัย.....	2
1.3.1 แนวความคิดในการออกแบบวงจรขยายทรานส์คอนดักแตนซ์.....	2
1.3.2 แนวความคิดในการออกแบบวงจรซูปเปอร์มอสทรานซิสเตอร์.....	2
1.4 ขอบเขตการวิจัย.....	3
1.5 ขั้นตอนของการศึกษา.....	3
1.6 ประโยชน์ที่คาดว่าจะได้รับ.....	3
1.7 ส่วนประกอบของวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีและงานวิจัยของวงจขยายทรานส์คอนดักแตนซ์.....	5
2.1 ทฤษฎีที่เกี่ยวข้อง.....	5
2.1.1 ทรานซิสเตอร์เสมือนเกตลอย (Quasi-floating gate transistor).....	5
2.1.2 ทรานซิสเตอร์ที่ใช้ขั้วบอดี้ (Bulk-driven MOS transistor).....	6
2.1.3 ทรานซิสเตอร์แบบแคสโคดตัวเอง (Self-cascode transistor).....	8
2.2 งานวิจัยที่เกี่ยวข้องของวงจโรทีเอทีเอที่ผ่านมา.....	8
2.3 บทสรุป.....	18
บทที่ 3 วงจขยายทรานส์คอนดักแตนซ์ที่นำเสนอ.....	19
3.1 วงจขยายผลต่างพื้นฐาน.....	19
3.2 วงจโรทีเอแบบเอาต์พุตผลต่างที่ใช้ทรานซิสเตอร์เสมือนเกตลอย (Fully differential OTA using quasi-floating gate transistor).....	25
3.2.1 วงจโรทีเอแบบเอาต์พุตผลต่างที่ใช้ทรานซิสเตอร์เสมือนเกตลอย.....	25
3.2.2 การวิเคราะห์หาอัตราขยายโหมดผลต่างของวงจโรทีเอที่นำเสนอ.....	27
3.2.3 การวิเคราะห์หาอัตราขยายโหมดรวมของวงจโรทีเอที่นำเสนอ.....	31
3.2.4 วงจรป้อนกลับสัญญาณโหมดรวม (Common-mode feedback circuit).....	34
3.2.5 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจโรทีเอเอาต์พุตผลต่าง.....	35
3.2.6 การวิเคราะห์หาสัญญาณรบกวนของวงจโรทีเอ.....	37

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการสงวนลิขสิทธิ์ในบางกรณี ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

3.2.7	การจำลอง ผลการจำลอง และการวิจารณ์ผล	38
3.3	วงจรรโอทีเอทีใช้วงจรรขยายผลต่างเสมือนและทรานซิสเตอร์เกตลอยเสมือน (Pseudo fully differential OTA using quasi-floating gate transistor)	42
3.3.1	วงจรรโอทีเอทีใช้วงจรรขยายผลต่างเสมือนและทรานซิสเตอร์เกตลอยเสมือน ..	42
3.3.2	การวิเคราะห์หาอัตราขยายโหมดผลต่างของวงจรรโอทีเอทีนำเสนอ	43
3.3.3	การวิเคราะห์หาอัตราขยายโหมดร่วมของวงจรรโอทีเอทีนำเสนอ	47
3.3.4	วงจรรป้อนกลับสัญญาณโหมดร่วม (Common-mode feedback circuit) ..	49
3.3.5	การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรรโอทีเอทีนำเสนอ	50
3.3.6	การวิเคราะห์หาสัญญาณรบกวนของวงจรร	52
3.3.7	การจำลอง ผลการจำลอง และการวิจารณ์ผล	53
3.4	วงจรรโอทีเอแบบอินพุตและเอาต์พุตผลต่างที่ใช้ทรานซิสเตอร์ที่ใช้ขาบอดี (Fully differential difference OTA using bulk-driven transistor)	58
3.4.1	วงจรรโอทีเอด้วยวงจรรขยายป้อนไปข้างหน้าที่ใช้ทรานซิสเตอร์ที่ใช้ขาบอดี	58
3.4.2	การวิเคราะห์หาอัตราขยายโหมดผลต่างของวงจรรโอทีเอทีนำเสนอ	60
3.4.3	การวิเคราะห์หาอัตราขยายโหมดร่วมของวงจรรโอทีเอทีนำเสนอ	64
3.4.4	วงจรรป้อนกลับสัญญาณโหมดร่วม (Common-mode feedback circuit) ..	67
3.4.5	การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรร	68
3.4.6	การวิเคราะห์หาสัญญาณรบกวนของวงจรร	70
3.4.7	การจำลอง ผลการจำลอง และการวิจารณ์ผล	71
3.4.8	การต่อประยุกต์ใช้งานวงจรรโอทีเอแบบอินพุตและเอาต์พุตผลต่าง	74
3.5	บทสรุป	77
บทที่ 4	ซูเปอร์มอสทรานซิสเตอร์และการประยุกต์ใช้งาน	79
4.1	ซูเปอร์มอสทรานซิสเตอร์ในอดีต	79
4.2	ซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบ ลบที่นำเสนอ (Bulk-Driven Super MOS transistor with self-cascade and negative feedback)	86
4.2.1	ซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีที่นำเสนอ (Bulk-Driven Super MOS transistor)	86
4.2.1.1	การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซูเปอร์มอส ทรานซิสเตอร์ที่ใช้ขาบอดี และการป้อนกลับแบบลบ	87
4.2.1.2	การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซูเปอร์มอส ทรานซิสเตอร์ที่ใช้ขาบอดีด้วยการป้อนกลับแบบลบ	88
4.2.1.3	การวิเคราะห์หาความต้านทานเสมือนที่ขาซอร์สของซูเปอร์มอส ทรานซิสเตอร์ที่ใช้ขาบอดีด้วยการป้อนกลับแบบลบ	89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้จัดทำได้นำไปใช้โดยไม่ได้รับอนุญาตจาก
ผู้จัดทำถือว่าผิดกฎหมาย หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อผู้จัดทำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

4.2.2	ซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบที่นำเสนอแบบที่ 2 (2 nd Bulk-Driven Super MOS transistor with self-cascade and negative feedback)	90
4.2.2.1	การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบ	91
4.2.2.2	การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบ	92
4.2.2.3	การวิเคราะห์หาความต้านทานเสมือนที่ขาซอร์สของซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบ	94
4.2.3	ซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี ทรานซิสเตอร์เสมือนเกตลอย และวิธีการแคสโคดตัวเองที่นำเสนอแบบที่ 3 (3 rd Bulk-driven super MOS transistor with QFG transistor and self-cascade).....	95
4.2.3.1	การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซัพเปอร์มอสทรานซิสเตอร์.....	96
4.2.3.2	การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซัพเปอร์มอสทรานซิสเตอร์.....	96
4.2.3.3	การวิเคราะห์หาความต้านทานเสมือนที่ขาซอร์สของซัพเปอร์มอสทรานซิสเตอร์.....	97
4.2.4	การจำลอง ผลการจำลอง และการวิจารณ์ผล	98
4.3	การประยุกต์ใช้งานซัพเปอร์มอสทรานซิสเตอร์.....	104
4.3.1	วงจรขยายซอร์สร่วม (Common source amplifier).....	104
4.3.1.1	การวิเคราะห์หาอัตราขยายแรงดันของวงจรขยายซอร์สร่วม.....	104
4.3.1.2	การวิเคราะห์หาสัญญาณรบกวนของวงจรขยายซอร์สร่วม.....	104
4.3.2	วงจรขยายเกตร่วม (Common gate amplifier)	105
4.3.2.1	การวิเคราะห์หาอัตราขยายกระแสของวงจรขยายเกตร่วม	106
4.3.2.2	การวิเคราะห์หาสัญญาณรบกวนของวงจรขยายเกตร่วม.....	106
4.3.3	การจำลอง และผลการจำลอง	107
4.4	บทสรุป.....	112

บทที่ 5	บทสรุปผลการวิจัยและข้อเสนอแนะ	113
---------	-------------------------------------	-----

5.1	บทสรุปผลการวิจัย.....	113
-----	-----------------------	-----

5.1.1	ข้อเสนอแนะ.....	114
-------	-----------------	-----

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำหรือเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

เอกสารอ้างอิง	115
ภาคผนวก.....	120
ภาคผนวก ก. การวิเคราะห์หาค่าอัตราขยายโหมดผลต่างของไอทีเอ	121
ภาคผนวก ข. การวิเคราะห์ผลการตอบสนองทางความถี่ของวงจรไอทีเอ	131
ภาคผนวก ค. การวิเคราะห์หาสัญญาณรบกวนที่อินพุตของวงจรไอทีเอ	150
ภาคผนวก ง. การวิเคราะห์หาค่า $G_{m,eff}$ $R_{D,eff}$ และ $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์	157
ภาคผนวก จ. การวิเคราะห์หาสัญญาณรบกวนอ้างอิงที่อินพุตของวงจรขยายข้อสร่วม	164
ภาคผนวก ฉ. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่	169
ประวัติผู้เขียน.....	191



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
3.1 แรงดันไบอัส	38
3.2 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรโอทีเอ	38
3.3 แรงดันไบอัส	53
3.4 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรโอทีเอ	53
3.5 ตารางเปรียบเทียบคุณสมบัติของวงจรโอทีเอ	57
3.6 แรงดันไบอัส	72
3.7 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรโอทีเอ	72
3.8 การเปรียบเทียบคุณสมบัติของวงจรโอทีเอ	74
3.9 การเปรียบเทียบคุณสมบัติของวงจรโอทีเอ 3 วงจร ที่นำเสนอ	78
4.1 แรงดันไบอัสและกระแสไบอัสของวงจรซูปเปอร์ทรานซิสเตอร์ที่ใช้ขาบอดี	99
4.2 ขนาดของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี	99
4.3 การเปรียบเทียบคุณสมบัติของซูปเปอร์มอสทรานซิสเตอร์และทรานซิสเตอร์ทั่วไป	102
4.4 การเปรียบเทียบคุณสมบัติ	103
4.5 แรงดันและกระแสไบอัส	107
4.6 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์	107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่

หน้า

2.1	ทรานซิสเตอร์เสมือนเกตลอย.....	5
2.2	(ก) ทรานซิสเตอร์ที่ใช้ขาบอดี.....	6
	(ข) กราฟแรงดันไบอัสกับกระแสเดรนของทรานซิสเตอร์	6
2.3	ทรานซิสเตอร์แบบแคสโคดตัวเอง (Self-cascode transistor)	8
2.4	วงจรรขยายทรานส์คอนดักแตนซ์พื้นฐาน.....	9
2.5	วงจรรโอทีเอแบบเอาต์พุตผลต่าง (Fully differential OTA)	9
2.6	วงจรรโอทีเอแบบเทเลสโกปิก (Telescopic OTA)	10
2.7	วงจรรโอทีเอแบบพับ (Folded cascode OTA).....	11
2.8	วงจรรคู่อผลต่างชนิด PMOS.....	11
2.9	วงจรรคู่อผลต่างชนิด NMOS	12
2.10	วงจรรคู่อผลต่าง P-N	12
2.11	(ก) ภาคอินพุตคู่อผลต่าง P-N และ (ข) ย่านการทำงานของภาคอินพุตคู่อผลต่าง P-N	13
2.12	วงจรรโอทีเอแบบพับที่ใช้วงจรรคู่อผลต่าง NMOS และ PMOS	13
2.13	วงจรรขยายทรานส์คอนดักแตนซ์ที่ใช้วงจรรคู่อผลต่าง NMOS ขนานกับ PMOS.....	15
2.14	(ก) โอทีเอแบบอินพุตผลต่าง และ (ข) โอทีเอแบบอินพุตและเอาต์พุตผลต่าง.....	15
2.15	วงจรรโอทีเอแบบอินพุตและเอาต์พุตผลต่างถูกนำเสนอโดย Sh.-Ch. Huang และ M. ismail .	16
2.16	วงจรรโอทีเอแบบอินพุตและเอาต์พุตผลต่างถูกนำเสนอโดย J. F. Duque-Carrillo และคณะ..	17
2.17	โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย H. Alzaher และ M. ismail.....	17
2.18	โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย S. R. Naqvi	18
3.1	วงจรรขยายผลต่างพื้นฐานโดยใช้ทรานซิสเตอร์เสมือนเกตลอย.....	19
3.2	วงจรรเสมือนสัญญาณขนาดเล็ก และตัวเก็บประจุแฝง	20
3.3	วงจรรขยายผลต่างโดยใช้ทรานซิสเตอร์เสมือนเกตลอยและการชดเชยตัวเก็บประจุ	21
3.4	การป้อนแรงดันทดสอบที่อินพุตเพื่อหา G_m ของวงจรรขยายผลต่าง.....	22
3.5	การป้อนแรงดันทดสอบที่เอาต์พุตเพื่อหา $R_{o1,2}$ ของวงจรรขยายผลต่าง	23
3.6	วงจรรเสมือนสัญญาณขนาดเล็ก และตัวเก็บประจุแฝง	23
3.7	ผลการตอบสนองทางความถี่และอัตราขยายเมื่อ $C_{F1,2}$ มีค่าต่าง ๆ.....	24
3.8	ผลการตอบสนองทางความถี่เมื่อ $C_{F1,2}$ มีค่าต่าง ๆ	25
3.9	วงจรรโอทีเอแบบคลาส - เอบี โดยใช้ทรานซิสเตอร์เสมือนเกตลอย.....	26
3.10	การป้อนแรงดันทดสอบเพื่อหา G_{m1} วงจรภาคแรก	27
3.11	วงจรรเสมือนสัญญาณขนาดเล็กวงจรภาคแรก.....	28
3.12	การป้อนแรงดันทดสอบเพื่อหา $R_{o1,2}$ วงจรภาคแรก	28
3.13	วงจรรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$	29
3.14	(ก) การป้อนแรงดันทดสอบเพื่อหา G_{m2}	30
	(ข) วงจรรเสมือนสัญญาณขนาดเล็ก	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.15 (ก) การป้อนแรงดันทดสอบเพื่อหา R_{out}	31
(ข) วงจรเสมือนสัญญาณขนาดเล็ก	31
3.16 การป้อนแรงดันทดสอบโหมตร่วมเพื่อหาค่า G_{mc1}	32
3.17 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหาค่า G_{mc1}	32
3.18 การป้อนแรงดันทดสอบเพื่อหา $R_{oc1,2}$	33
3.19 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{oc1,2}$	33
3.20 วงจรป้อนกลับสัญญาณโหมตร่วม	34
3.21 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอ	35
(ก) ภาคแรก.....	35
(ข) ภาคเอาต์พุต	35
3.22 การวิเคราะห์หาสัญญาณรบกวน	37
3.23 ผลการตอบสนองความถี่.....	40
(ก) อัตราขยายโหมตผลต่าง	39
(ข) อัตราขยายโหมตร่วม.....	40
3.24 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์ความถี่เท่ากับ 40 กิโลเฮิร์ตซ์	40
3.25 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์ความถี่เท่ากับ 100 กิโลเฮิร์ตซ์.....	41
3.26 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอนุกรม.....	41
3.27 วงจรโอทีเอแบบคลาส - เอบี โดยใช้ทรานซิสเตอร์เสมือนเกตลอย.....	42
3.28 การป้อนแรงดันทดสอบเพื่อหา G_{m1}	43
3.29 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m1}	44
3.30 การป้อนแรงดันทดสอบเพื่อหา $R_{o1,2}$	44
3.31 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$	45
3.32 (ก) การหา G_{m2} ภาคที่สองโดยการป้อนแรงดัน v_{tN} และ	46
(ข) วงจรเสมือนสัญญาณขนาดเล็ก	46
3.33 การหา R_{out+}	46
(ก) การป้อนแรงดัน v_{tN} และ	46
(ข) วงจรเสมือนสัญญาณขนาดเล็ก	46
3.34 การป้อนแรงดันทดสอบเพื่อหา G_{mc1}	47
3.35 วงจรเสมือนสัญญาณขนาดเล็กเพื่อใช้หา G_{mc1}	45
3.36 การป้อนแรงดันทดสอบเพื่อหาค่า $R_{oc1,2}$	48
3.37 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหาค่า $R_{oc1,2}$	48
3.38 วงจรป้อนกลับสัญญาณโหมตร่วม	49
3.39 วงจรเทียบเคียงสัญญาณขนาดเล็กของ	50
(ก) วงจรภาคแรก.....	50
(ข) วงจรภาคที่สอง	50

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาตจากทางภา

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.40 การวิเคราะห์หาสัญญาณรบกวนของวงจร	52
3.41 ผลการตอบสนองความถี่.....	54
3.42 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์ความถี่เท่ากับ 40 กิโลเฮิร์ตซ์	54
3.43 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์ความถี่เท่ากับ 50 กิโลเฮิร์ตซ์.....	55
3.44 ผลตอบสนองความถี่ต่อสัญญาณรบกวน.....	55
3.45 (ก) วงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่างด้วยวงจรขยายป้อนไปข้างหน้า	58
(ข) สัญลักษณ์วงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่าง	58
3.46 วงจร $G_{mF1,2}$ ที่ใช้ขาบอดี้	58
3.47 การป้อนแรงดันทดสอบเพื่อหา G_{m1} วงจรขยายภาคแรก.....	59
3.48 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m1}	61
3.49 การป้อนแรงดันทดสอบเพื่อหาค่า $R_{o1,2}$	62
3.50 (ก) การป้อนแรงดันทดสอบเพื่อหา G_{m2} และ	63
(ข) วงจรเสมือนสัญญาณขนาดเล็ก	63
3.51 (ก) การหา R_{out} โดยป้อนแรงดันทดสอบ และ	63
(ข) วงจรเสมือนสัญญาณขนาดเล็ก	63
3.52 การป้อนแรงดันทดสอบเพื่อหาค่า G_{mc1} ของวงจรภาคแรก.....	64
3.53 การวิเคราะห์หาค่า G_{mc1} โหมดร่วมของวงจรเสมือนสัญญาณขนาดเล็ก.....	66
3.54 การป้อนแรงดันทดสอบเพื่อหา $R_{oc1,2}$ โหมดร่วมของวงจรภาคแรก.....	67
3.55 วงจรป้อนกลับสัญญาณโหมดร่วม.....	67
3.56 การวิเคราะห์หาฟังก์ชันถ่ายโอน	68
(ก) วงจรภาคแรก.....	68
(ข) วงจรภาคเอาต์พุต	68
3.57 (ก) การวิเคราะห์หาสัญญาณรบกวน.....	70
(ข) วงจรป้อนไปข้างหน้า.....	71
3.58 ผลการตอบสนองทางความถี่.....	73
(ก) อัตราขยายโหมดผลต่าง	73
(ข) อัตราขยายโหมดร่วม.....	73
3.59 ผลการตอบสนองความถี่ของสัญญาณรบกวน.....	74
3.60 วงจรตามแรงดัน	74
3.61 คุณสมบัติการถ่ายโอนแรงดันผลต่างทางดีซี.....	75
3.62 ผลการตอบสนองทางความถี่.....	76
3.63 ผลการตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์.....	76
3.64 ผลการตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์	77
4.1 วงจรขยายซอร์สรวมที่มีค่าความต้านทานเสมือนด้านเอาต์พุตสูง	80
4.2 ซุปเปอร์มอสทรานซิสเตอร์ที่นำเสนอโดย E. Sackinger et al.....	81

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ที่นำเสนอโดย E. Sackinger et al. กรุณาอย่าเผยแพร่ให้ผู้อื่นโดยไม่ได้รับอนุญาตจากเจ้าของลิขสิทธิ์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.3 การป้อนแรงดันทดสอบเพื่อหาค่าความต้านทานเสมือนที่ขาเดรน.....	81
4.4 ซุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย K. Bult และ G. J. G. M. Geelen.....	82
4.5 ซุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย M. Ismail และ T. Fiez.....	82
4.6 ซุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย P. Lo.....	83
4.7 ซุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย J. W. Fattaruso et al.....	84
4.8 ซุปเปอร์มอสทรานซิสเตอร์โดย M. Helfenstein et al.....	84
4.9 ซุปเปอร์มอสทรานซิสเตอร์วงจรที่ 2 โดย M. Helfenstein et al.....	85
4.10 ซุปเปอร์แคสโคทรานซิสเตอร์โดย J. M. Martinez-Heredia และ A. Torralba.....	86
4.11 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีที่นำเสนอ.....	87
4.12 การป้อนแรงดันทดสอบเพื่อหาค่า $G_{m,eff}$	88
4.13 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	88
4.14 การป้อนแรงดันทดสอบเพื่อหา $R_{D,eff}$	89
4.15 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	89
4.16 การป้อนแรงดันทดสอบเพื่อหา $R_{S,eff}$	90
4.17 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	90
4.18 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเองที่นำเสนอแบบที่ 2.....	91
4.19 การป้อนแรงดันทดสอบเพื่อหาค่า $G_{m,eff}$	92
4.20 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	92
4.21 การป้อนแรงดันทดสอบเพื่อหา $R_{D,eff}$	93
4.22 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	93
4.23 การป้อนแรงดันทดสอบเพื่อหา $R_{S,eff}$	94
4.24 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	94
4.25 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดีด้วยวิธีการแคสโคดตัวเองที่นำเสนอ.....	95
4.26 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	96
4.27 การป้อนแรงดันทดสอบเพื่อหา $R_{D,eff}$	97
4.28 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	97
4.29 การป้อนแรงดันทดสอบเพื่อหา $R_{S,eff}$	98
4.30 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	98
4.31 ทรานส์คอนดักแตนซ์ $G_{m,eff}$	100
4.32 ความต้านทานเสมือนที่ขาเดรน $R_{D,eff}$	101
4.33 ความต้านทานเสมือนที่ขาซอร์ส $R_{S,eff}$	101
4.34 วงจรขยายซอร์สร่วม.....	104
4.35 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุตของวงจรขยายซอร์สร่วม.....	105
4.36 วงจรขยายเกตร่วม.....	105
4.37 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุตของวงจรขยายเกตร่วม.....	106

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนสิทธิ์ในเนื้อหา ไม่สามารถนำออกเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.38 ผลการตอบสนองความถี่.....	108
4.39 ผลตอบการสนองทางเวลา.....	108
4.40 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอนุหภูมิ.....	109
4.41 วงจรขยายเกิดร่วม.....	110
4.42 ผลการตอบสนองความถี่.....	110
4.43 ผลตอบการสนองทางเวลา.....	111
4.44 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอนุหภูมิ.....	111
ก.1 การวิเคราะห์หาค่า G_{m1} ของวงจรเสมือนสัญญาณขนาดเล็กวงจรรภาคแรก.....	122
ก.2 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$	123
ก.3 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m2}	126
ก.4 การวิเคราะห์หาค่า G_{m1} ของวงจรเสมือนสัญญาณขนาดเล็กวงจรรภาคแรก.....	126
ก.5 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$	127
ก.6 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m2}	128
ก.7 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา R_{out}	129
ก.8 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m1}	130
ข.1 วงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง.....	132
ข.2 วงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง.....	135
ข.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอเอาต์พุตผลต่างวงจรรภาคแรก.....	138
ข.4 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอภาคที่สอง.....	139
ข.5 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่างวงจรรภาคแรก..	143
ค.1 การวิเคราะห์หาสัญญาณรบกวนของวงจร.....	151
ค.2 การวิเคราะห์หาสัญญาณรบกวนของวงจร.....	152
ค.3 (ก) การวิเคราะห์หาสัญญาณรบกวน และ.....	154
(ข) วงจรป้อนไปข้างหน้า.....	154
ง.1 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	158
ง.2 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	158
ง.3 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	159
ง.4 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	160
ง.5 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก.....	161
จ.1 การวิเคราะห์หาสัญญาณรบกวนเชิงอนุหภูมิอ้างอิงที่อินพุตของวงจรขยายซอร์สร่วม.....	165
จ.2 การวิเคราะห์หาสัญญาณรบกวนเชิงอนุหภูมิอ้างอิงที่อินพุตของวงจรขยายเกิดร่วม.....	167

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันอุปกรณ์อิเล็กทรอนิกส์ประเภทพกพาจำนวนมากได้แก่ โทรศัพท์แบบพกพา สมาร์ทโฟน แท็บเล็ต และคอมพิวเตอร์ เป็นต้น ได้รับพลังงานจากแบตเตอรี่ การออกแบบวงจรอิเล็กทรอนิกส์โดยเฉพาะกับอุปกรณ์อิเล็กทรอนิกส์พกพาจำเป็นต้องออกแบบให้วงจรทำงานได้ที่แรงดันไฟเลี้ยงต่ำ และมีกำลังสูญเสียต่ำ นอกจากนี้ทรานซิสเตอร์ที่มีขนาดเล็กมากในปัจจุบันจำเป็นต้องใช้แรงดันไฟเลี้ยงต่ำตามไปด้วยเพื่อไม่ให้เกิดปรากฏการณ์พังทลาย (Breakdown)

เป็นที่ทราบกันว่าวงจรดิจิทัลที่ถูกออกแบบโดยใช้ทรานซิสเตอร์ที่มีขนาดเล็กสามารถทำงานภายใต้ไฟเลี้ยงต่ำได้ดี [1], [2] โดยมีความเร็วในการทำงานสูงและใช้กำลังไฟฟ้าต่ำ อย่างไรก็ตามวงจรรวมที่เล็กที่ใช้ทรานซิสเตอร์ขนาดเล็กที่ทำงานภายใต้ไฟเลี้ยงต่ำค่อนข้างประสบปัญหาในการทำงาน เนื่องจากแรงดันขีดเริ่มมียังคงมีค่าค่อนข้างสูง การลดลงของแรงดันไฟเลี้ยงส่งผลให้การสวิงของสัญญาณที่อินพุตและเอาต์พุตถูกจำกัดมาก และส่งผลกระทบต่ออัตราส่วนระหว่างสัญญาณกับสัญญาณรบกวน (Signal-to-noise ratio; SNR) และสัญญาณแทรกสอดอื่น ๆ ดังนั้นการออกแบบวงจรขยายแบบแอนะล็อกที่ต้องใช้ไฟเลี้ยงต่ำจำเป็นต้องได้รับการออกแบบที่เหมาะสม

วงจรรวมทรานส์คอนดักแตนซ์หรือวงจรรโอทีเอ คือวงจรรวมอิเล็กทรอนิกส์ที่สำคัญ และได้รับความนิยมโดยถูกใช้งานกันอย่างแพร่หลายโดยเฉพาะกับวงจรรวมแอนะล็อก, วงจรรวมสัญญาณ และวงจรรวมขนาดใหญ่ (VLSI) วงจรรโอทีเอได้ถูกนำไปประยุกต์ใช้ในวงจรรวมเชิงปฏิบัติการหรือออปแอมป์ วงจรแปลงแอนะล็อกเป็นดิจิทัล และวงจรแปลงดิจิทัลเป็นแอนะล็อก วงจรสวิตซ์-ตัวเก็บประจุ และวงจรกรองความถี่ เป็นต้น [1], [2] คุณสมบัติที่สำคัญของวงจรรโอทีเอได้แก่ อัตราขยายที่ควรมีค่าสูง ช่วงปฏิบัติการกว้างทั้งทางด้านอินพุตและเอาต์พุต อัตราการกำจัดสัญญาณโหมตรงวมสูง ผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าสูง กำลังสูญเสียต่ำ และมีอัตราสูญเสียสูง

วิทยานิพนธ์ฉบับนี้ศึกษา ค้นคว้า และออกแบบวงจรรโอทีเอ 3 วงจร วงจรรโอทีเอวงจรรวมเป็นวงจรรโอทีเอแบบเอาต์พุตผลต่างแบบคลาส-เอบี ที่สามารถทำงานโดยใช้แรงดันไฟเลี้ยงเท่ากับ 0.5 โวลต์ โดยใช้ทรานซิสเตอร์แบบเกตลอยเสมือน และอินพุตและเอาต์พุตของวงจรมีการปฏิบัติการกว้างได้ วงจรรโอทีเอแบบที่สองเป็นวงจรรโอทีเอเอาต์พุตผลต่าง ที่สามารถทำงานที่ใช้ไฟเลี้ยงเท่ากับ 0.8 โวลต์ เทคนิคที่ใช้คือ การใช้ทรานซิสเตอร์แบบเกตลอยเสมือน และการป้อนกลับแบบบวก (Positive feedback technique) สัญญาณอินพุต และเอาต์พุตของวงจรมีการสวิงได้กว้าง และวงจรรโอทีเอแบบที่สามเป็นวงจรรโอทีเอแบบที่อินพุตและเอาต์พุตเป็นแบบผลต่างที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงเท่ากับ 1 โวลต์ เทคนิคที่ใช้คือทรานซิสเตอร์ที่ไบอัสที่ขาบอดี และวิธีการป้อนไปข้างหน้า (Feedforward technique) อินพุตและเอาต์พุตของวงจรมีการปฏิบัติการกว้างได้ วิทยานิพนธ์ฉบับนี้ยังนำเสนอการออกแบบวงจรรวมทรานซิสเตอร์ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ วงจรมีค่าทรานส์คอนดักแตนซ์สูง ค่าความต้านทานที่ขาเดรนสูง ค่าความต้านทานที่ขาซอร์สต่ำ และมีช่วงปฏิบัติการกว้าง

1.2 วัตถุประสงค์ของการวิจัย

- 1.2.1 เพื่อศึกษา และพัฒนาความรู้ ความเข้าใจในการออกแบบวงจรรวมแบบแอนะล็อก
- 1.2.2 เพื่อค้นคว้าวิจัยวงจรรขยายทรานส์คอนดักแตนซ์และซูปเปอร์มอสทรานซิสเตอร์ที่ได้รับการพัฒนาก่อนหน้านี้
- 1.2.3 เพื่อศึกษาเทคนิคในการออกแบบวงจรโอทีเอทีเอที่มีอัตราขยายสูง ช่วงปฏิบัติการกว้าง และสามารถกำจัดสัญญาณโหมตรง่วมได้
- 1.2.4 เพื่อศึกษาเทคนิคในการออกแบบซูปเปอร์มอสทรานซิสเตอร์สามารถทำงานภายใต้ไฟเลี้ยงต่ำ ค่าความต้านทานเสมือนที่ขาเดรนสูง ค่าความต้านทานเสมือนที่ขาซอสต่ำ และมีช่วงปฏิบัติการกว้างได้
- 1.2.5 เพื่อศึกษาในการนำวงจรโอทีเอและซูปเปอร์มอสทรานซิสเตอร์ไปต่อวงจรระดับประยุกต์ใช้งานได้

1.3 แนวความคิดที่ใช้ในการวิจัย

วิทยานิพนธ์ฉบับนี้ประกอบด้วย 2 ส่วน ส่วนที่หนึ่งเป็นการออกแบบและการวิเคราะห์วงจรรขยายทรานส์คอนดักแตนซ์หรือวงจรโอทีเอทีเอที่มีอัตราขยายสูง ช่วงการปฏิบัติงานกว้าง วงจรสามารถกำจัดสัญญาณโหมตรง่วมได้ดี ส่วนที่สองเป็นการออกแบบและการวิเคราะห์ซูปเปอร์มอสทรานซิสเตอร์ที่มีค่าทรานส์คอนดักแตนซ์มาก ค่าความต้านทานเสมือนที่ขาเดรนมาก และความต้านทานเสมือนที่ขาซอสต่ำ แนวความคิดในการทำวิจัยมีดังนี้

1.3.1 แนวความคิดในการออกแบบวงจรรขยายทรานส์คอนดักแตนซ์

วงจรรขยายทรานส์คอนดักแตนซ์ถูกนำไปประยุกต์ใช้งานได้หลากหลาย ตัวอย่างเช่น วงจรรขยายสัญญาณ วงจรดิฟเฟอเรนเชียลโอเพนโวลต์ วงจรอินทิเกรเตอร์ วงจรกรองความถี่ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก เป็นต้น การประยุกต์ใช้งานจำเป็นต้องอาศัยวงจรรขยายทรานส์คอนดักแตนซ์ที่มีคุณสมบัติที่สำคัญดังนี้

- วงจรมีอัตราขยายสูง
- ย่านการสวิงของสัญญาณโหมตรง่วมกว้าง (CMR)
- อัตราการกำจัดสัญญาณโหมตรง่วมสูง (CMRR)
- ผลคูณระหว่างอัตราขยายและแบนด์วิดธ์สูง (GBW)
- อัตราสลับสูง

1.3.2 แนวความคิดในการออกแบบซูปเปอร์มอสทรานซิสเตอร์

เนื่องจากปัจจุบันแรงดันไฟเลี้ยงของวงจรรอิเล็กทรอนิกส์มีค่าต่ำ มอสทรานซิสเตอร์ที่ใช้ควรมีคุณสมบัติที่ดี ซูปเปอร์มอสทรานซิสเตอร์เป็นอีกวงจรที่มีการออกแบบและพัฒนาตั้งแต่อดีตถึงปัจจุบัน เพื่อถูกนำไปใช้ประยุกต์ในวงจรรทรานส์คอนดักเตอร์ วงจรสะท้อนกระแส วงจรออปแอมป์แบบพัช และวงจรรขยายกระแส ซูปเปอร์มอสทรานซิสเตอร์ควรมีคุณสมบัติที่ดีกว่ามอสทรานซิสเตอร์แบบทั่วๆไปคือ ค่าทรานส์คอนดักแตนซ์ควรมีค่าสูง ค่าความต้านทานเสมือนที่ขาเดรนควรมีค่าสูง ค่าความต้านทานเสมือนที่ขาซอสควรมีค่าน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอ 1. การออกแบบวงจรขยายทรานส์คอนดักแทนซ์หรือวงจรวอร์เทอแบบเอาต์พุตผลต่างเหมือนคลาส-เอบี ซึ่งใช้ทรานซิสเตอร์แบบเกตลอยเหมือนซึ่งใช้วิธีการป้อนกลับแบบบวก 2. การออกแบบวงจรขยายทรานส์คอนดักแทนซ์แบบอินพุตและเอาต์พุตผลต่างเหมือนคลาส-เอบี ซึ่งใช้ทรานซิสเตอร์ที่ใช้ขาบอดี และ 3. ซุปเปอร์มอสทรานซิสเตอร์และการประยุกต์ใช้งาน วิทยานิพนธ์ฉบับนี้ได้ทำการจำลอง และวิเคราะห์การทำงานของวงจรวอร์เทอด้วยโปรแกรม H-Spice โดยใช้โมเดลพารามิเตอร์ของมอสทรานซิสเตอร์ระดับ 49 ซึ่งใช้เทคโนโลยีซีมอส 0.18 ไมโครเมตร

1.5 ขั้นตอนของการศึกษา

ในการศึกษา ค้นคว้าและวิจัยวงจรวอร์เทอเชิงปฏิบัติโหมดแรงดันและโหมดกระแสภายใต้ไฟเลี้ยงต่ำ ได้มีการศึกษาและวิจัยโดยแบ่งออกเป็น 9 ขั้นตอนดังนี้

1.5.1 ค้นคว้าข้อมูลงานวิจัยเกี่ยวกับวงจรวอร์เทอหรือวงจรวอร์เทอที่ถูกพัฒนาก่อนหน้านี้

1.5.2 ออกแบบวงจรวอร์เทอหรือวงจรวอร์เทอที่มีประสิทธิภาพดี

1.5.3 วิเคราะห์การทำงานของวงจรวอร์เทอหรือวงจรวอร์เทอ

1.5.4 จำลองการทำงานของวงจรวอร์เทอหรือวงจรวอร์เทอที่ได้ออกแบบเพื่อศึกษาประสิทธิภาพของวงจรวอร์เทอ

1.5.5 ค้นคว้าข้อมูลงานวิจัยเกี่ยวกับซุปเปอร์มอสทรานซิสเตอร์ในอดีต

1.5.6 ออกแบบซุปเปอร์มอสทรานซิสเตอร์

1.5.7 วิเคราะห์คุณสมบัติของซุปเปอร์มอสทรานซิสเตอร์ที่นำเสนอ

1.5.8 จำลองการทำงานของซุปเปอร์มอสทรานซิสเตอร์ และประยุกต์ใช้งานเพื่อศึกษาความสามารถของวงจรวอร์เทอ

1.5.9 สรุปผลการการทำงานของวงจรวอร์เทอที่ได้ศึกษาและออกแบบ

1.6 ประโยชน์ที่คาดว่าจะได้รับ

1.6.1 วงจรวอร์เทอที่สามารถที่ทำงานได้ภายใต้ไฟเลี้ยง 1 โวลต์ หรือต่ำกว่า

1.6.2 ซุปเปอร์มอสทรานซิสเตอร์ที่ทำงานได้ภายใต้ไฟเลี้ยง 0.4 โวลต์

1.6.3 นำซุปเปอร์มอสทรานซิสเตอร์ไปประยุกต์ใช้งานเป็นวงจรวอร์เทอ

1.7 ส่วนประกอบของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้อธิบายถึงทฤษฎี หลักการทำงาน การออกแบบและผลการจำลองการทำงานของวงจรวอร์เทอหรือวงจรวอร์เทอที่ทำงานภายใต้ไฟเลี้ยงต่ำ และซุปเปอร์มอสทรานซิสเตอร์โดยมีส่วนของเนื้อหาเป็นบทต่าง ๆ ดังต่อไปนี้

บทที่ 1 กล่าวถึงความจำเป็นและความสำคัญของปัญหา วัตถุประสงค์ของการศึกษา ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย ขอบเขตการวิจัย ขั้นตอนของการศึกษา ประโยชน์ที่คาดว่าจะได้รับ และส่วนประกอบของวิทยานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีและวงจรวอร์เทอหรือวงจรวอร์เทอที่สามารถทำงานภายใต้ไฟเลี้ยงต่ำ และมีช่วงปฏิบัติการกว้าง เอกสารนี้เป็นเอกสารที่เผยแพร่เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 กล่าวถึงเทคนิคที่ใช้ในการออกแบบ การวิเคราะห์คุณสมบัติของวงจรมอสทรานซิสเตอร์คอนดักแตนซ์ที่นำเสนอ รวมไปถึงการจำลองการทำงาน

บทที่ 4 กล่าวถึงเทคนิคที่ใช้ในการออกแบบ การวิเคราะห์คุณสมบัติของซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอ และการประยุกต์ใช้งาน รวมไปถึงการจำลองการทำงาน

บทที่ 5 กล่าวถึงสรุปผลการการศึกษา การออกแบบและข้อเสนอแนะของวงจรมอสทรานซิสเตอร์ปฏิบัติการ และวงจรมอสทรานซิสเตอร์ที่ทำงานภายใต้ไฟเลี้ยงต่ำ

ภาคผนวก ก กล่าวถึงการวิเคราะห์หาค่าอัตราขยายโหมตผลต่างของโอทีเอ

ภาคผนวก ข กล่าวถึงการวิเคราะห์ผลการตอบสนองทางความถี่ของวงจรมอสทรานซิสเตอร์

ภาคผนวก ค กล่าวถึงการวิเคราะห์หาสัญญาณรบกวนที่อินพุตของวงจรมอสทรานซิสเตอร์

ภาคผนวก ง กล่าวถึงการวิเคราะห์หาค่า $G_{m,eff}$, $R_{D,eff}$ และ $R_{s,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์

ภาคผนวก จ กล่าวถึงการวิเคราะห์หาสัญญาณรบกวนที่อินพุตของวงจรมอสทรานซิสเตอร์และวงจรมอสทรานซิสเตอร์ที่นำเสนอ

ภาคผนวก ฉ กล่าวถึงบทความวิชาการที่ได้รับการตีพิมพ์เผยแพร่



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

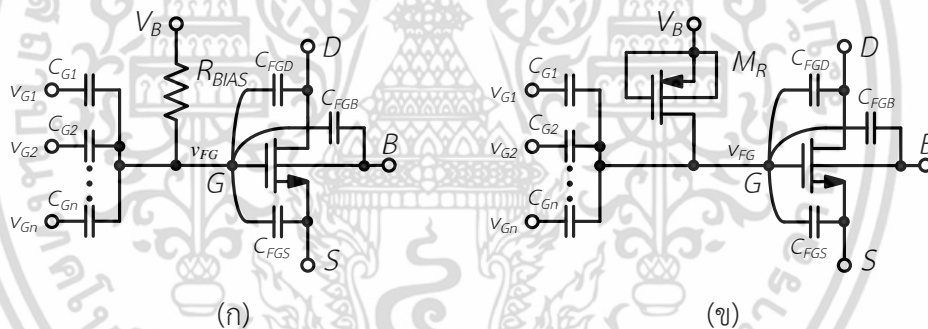
ทฤษฎีและวงจรรขยายทรานส์คอนดักแตนซ์

บทนี้กล่าวถึงทฤษฎีที่เกี่ยวข้อง และการออกแบบวงจรรขยายทรานส์คอนดักแตนซ์ (วงจรรโอทีเอ) ที่ได้ถูกนำเสนอในอดีต ทฤษฎีที่เกี่ยวข้องได้แก่ การทำงานของทรานซิสเตอร์เสมือนเกตลอย การใช้งานทรานซิสเตอร์ที่ใช้ขาบอดี ทรานซิสเตอร์แบบแคสโคดตัวเอง บทนี้ยังได้อธิบายถึงหลักการ ทำงานของวงจรรโอทีเอ วงจรรโอทีเอที่มีอัตราขยายสูง มีช่วงการสวิงของสัญญาณอินพุตและเอาต์พุต กว้าง ข้อดีและข้อบกพร่องต่างๆ ของวงจรรโอทีเอที่ผ่านมา

2.1 ทฤษฎีที่เกี่ยวข้อง

2.1.1 ทรานซิสเตอร์เสมือนเกตลอย (Quasi-floating gate transistor) [3 - 5]

รูปที่ 2.1 (ก) แสดงทรานซิสเตอร์เสมือนเกตลอย ซึ่งมีตัวเก็บประจุต่อระหว่างอินพุตกับขาเกตลอย แรงดันไบอัสที่ขาเกตของทรานซิสเตอร์แบบเสมือนเกตลอยมีค่าเท่ากับ V_B โดยไบอัสผ่านตัวต้านทาน R_{BIAS} รูปที่ 2.1 (ข) แสดงตัวต้านทาน R_{BIAS} ที่มีค่าความต้านทานมากซึ่งถูกสร้างจากทรานซิสเตอร์ pMOS (M_R) ที่ทำงานในย่านคัทออฟ



รูปที่ 2.1 ทรานซิสเตอร์เสมือนเกตลอย

จากวงจรในรูปที่ 2.1 วงจรที่ภาคอินพุตของทรานซิสเตอร์เสมือนเกตลอยถูกต่อให้มีคุณสมบัติเดียวกับวงจรแถบความถี่สูงผ่าน เนื่องจากตัวต้านทาน R_{BIAS} มีค่าสูง ส่งผลให้ความถี่คัทออฟของวงจรมีค่าน้อย ดังนั้นอินพุตที่มีความถี่ต่ำมาก (ต่ำกว่า 1 เฮิร์ตซ์) ก็สามารถเดินทางไปยังขาเกตของทรานซิสเตอร์เสมือนเกตลอยได้

เราสามารถหาแรงดันที่ขาเกตลอยได้ดังนี้

$$V_{FG} = \frac{sR_{BIAS}}{1 + sR_{BIAS}C_T} \left(\sum_i^n C_{Gi}V_{Gi} + C_{FGD}V_D + C_{FGS}V_S + C_{FGB}V_B \right), \quad (2.1)$$

เมื่อ s คือ ความถี่เชิงซ้อน (Complex frequency) (เฮิร์ตซ์, Hz)

C_T คือ ผลรวมของค่าตัวเก็บประจุที่ขาเกตของทรานซิสเตอร์ (ฟารัด, F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า C_T มีค่าเท่ากับ

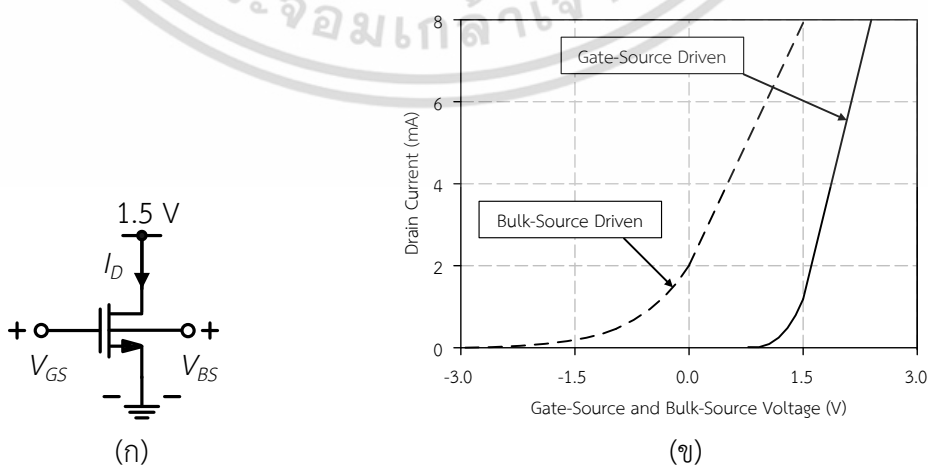
$$C_T = \sum_i^n C_{Gi} + C_{FGD} + C_{FGS} + C_{FGB} \quad (2.2)$$

- เมื่อ C_{Gi} คือ ตัวเก็บความจุของตัวเก็บประจุที่ต่อระหว่างอินพุต i กับขาเกต (พาร์ต, F)
 C_{FGD} คือ ตัวเก็บประจุแฝงระหว่างขาเกตและขาเดรนของทรานซิสเตอร์ (พาร์ต, F)
 C_{FGB} คือ ตัวเก็บประจุแฝงระหว่างขาเกตและขาบอดี้ของทรานซิสเตอร์ (พาร์ต, F)
 C_{FGS} คือ ตัวเก็บประจุแฝงระหว่างขาเกตและขาซอสของทรานซิสเตอร์ (พาร์ต, F)

จากสมการที่ (2.1) สัญญาณที่เกตลอยมีค่าขึ้นอยู่กับสัญญาณอินพุต v_{Gi} คูณกับอัตราส่วน C_{Gi}/C_T ดังนั้นสัญญาณที่อินพุตจึงถูกลดทอนลงส่งผลให้สัญญาณอินพุตของทรานซิสเตอร์เสมือนเกตลอยสามารถสวิงได้กว้าง

2.1.2 ทรานซิสเตอร์ที่ใช้ขาบอดี้ (Bulk-driven MOS transistor) [6, 7]

ปัญหาของทรานซิสเตอร์ทั่วไป คือ ผลรวมของแรงดันไบอัสกับสัญญาณอินพุตต้องมีค่ามากกว่าแรงดันขีดเริ่ม ปัญหาดังกล่าวส่งผลให้วงจรทั่วไปไม่สามารถลดแรงดันแหล่งจ่ายให้ต่ำมากได้ และแรงดันอินพุตก็ไม่สามารถสวิงมากได้ ทรานซิสเตอร์ที่ใช้ขาบอดี้ (Bulk-driven MOS transistor) เป็นทางเลือกอีกทางหนึ่งที่สามารถนำมาใช้ออกแบบวงจรที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ เพราะว่าทรานซิสเตอร์ที่ใช้ขาบอดี้สามารถหลีกเลี่ยงข้อจำกัดของแรงดันขีดเริ่มได้ รูปที่ 2.2 (ก) แสดงการต่อใช้งานทรานซิสเตอร์ที่ใช้ขาบอดี้ ซึ่งการไบอัสทรานซิสเตอร์ในลักษณะนี้สามารถกระทำได้โดยนำขาเกตต่อกับแรงดันไบอัสเพื่อให้มอสทรานซิสเตอร์นำกระแส และป้อนแรงดันไบอัสและสัญญาณอินพุตเข้าที่ขาบอดี้ รูปที่ 2.2 (ข) แสดงคุณลักษณะการนำกระแสของทรานซิสเตอร์ที่ใช้ขาบอดี้ จากรูปที่ 2.2 (ข) แสดงให้เห็นว่า แรงดันขีดเริ่มของทรานซิสเตอร์ที่ใช้ขาบอดี้มีค่าน้อยกว่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ทั่วไป ดังนั้นการไบอัสด้วยแรงดัน V_{BS} สามารถทำให้แรงดันขีดเริ่มลดลงมาก



รูปที่ 2.2 (ก) ทรานซิสเตอร์ที่ใช้ขาบอดี้ และ (ข) กราฟแรงดันไบอัสกับกระแสเดรนของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการกระแส I_D ของทรานซิสเตอร์มีค่าเท่ากับ

$$I_D = K \frac{W}{L} \left(V_{GS} - V_{th} - \frac{n}{2} V_{DS} \right) V_{DS}, \quad V_{DS} \leq V_{dsat} \quad (2.3)$$

และ

$$I_D = \frac{KW}{2nL} (V_{GS} - V_{th})^2 (1 + V_{DS}), \quad V_{DS} \geq V_{dsat} \quad (2.4)$$

เมื่อ

$$K = \frac{1}{2} \mu_n C_{ox} \quad (2.5)$$

และ

$$n = 1 + \frac{\gamma}{2\sqrt{\phi_f - V_{BS}}} = 1 + \eta = 1 + \frac{g_{mb}}{g_m} \quad (2.6)$$

และ

$$V_{dsat} = \frac{V_{GS} - V_{th}}{n} \quad (2.7)$$

เมื่อ μ_n คือ สภาพความคล่องตัวของอิเล็กตรอน (Electron Mobility) ($\text{cm}^2/\text{V}\cdot\text{sec}$)

C_{ox} คือ ค่าตัวเก็บประจุที่ขาคัดต่อหนึ่งหน่วยพื้นที่ (F/cm^2)

W คือ ความกว้างของทรานซิสเตอร์ (เมตร, m)

L คือ ความยาวของช่องทางเดินกระแสภายในทรานซิสเตอร์ (เมตร, m)

V_{th} คือ แรงดันขีดเริ่มที่ทำให้ช่องทางเดินกระแสของทรานซิสเตอร์เกิดขึ้นกลับ (โวลต์, V)

γ คือ ค่าตัวแปรขีดเริ่มที่ขาบอดี้ ($\text{V}^{1/2}$)

ϕ_f คือ แรงดันภายในฐานรอง (โวลต์, V)

เราสามารถหากระแส I_D ที่สัมพันธ์กับแรงดัน V_{BS} ของทรานซิสเตอร์ที่ใช้ขาบอดี้ได้จากสมการ

$$I_D = K \frac{W}{L} \left(V_{GS} - V_{to} - \gamma \sqrt{2\phi_f - V_{BS}} + \gamma \sqrt{2\phi_f} - \frac{n}{2} V_{DS} \right) V_{DS}, \quad V_{DS} \leq V_{dsat} \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

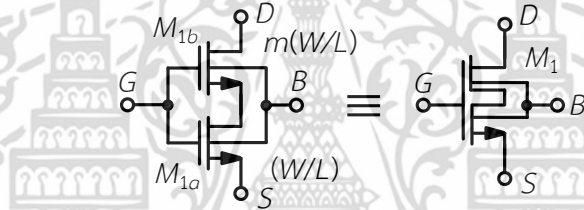
และ

$$I_D = \frac{KW}{2nL} \left(V_{GS} - V_{to} - \gamma \sqrt{2\phi_f - V_{BS}} + \gamma \sqrt{2\phi_f} \right)^2 (1 + V_{DS}), \quad V_{DS} \geq V_{dsat} \quad (2.9)$$

ในทางปฏิบัติ เราควรออกแบบให้แรงดัน $V_{BS} < V_{DIODE}$ โดยที่ V_{DIODE} คือแรงดันระหว่างขาบอดีและขาซอร์ส (V_{BS}) และขาบอดีและขาเดรน (V_{BD}) ถูกไบอัสตรง (Forward bias) ซึ่งมีค่าประมาณ 0.6 V

2.1.3 ทรานซิสเตอร์แบบแคสโคดตัวเอง (Self-cascode transistor) [8 – 10]

การต่อทรานซิสเตอร์แบบแคสโคดเป็นที่นิยม และถูกนำมาใช้ออกแบบวงจรขยายเป็นจำนวนมาก วิธีการดังกล่าวสามารถเพิ่มความต้านทานทางด้านเอาต์พุตของวงจรและเพิ่มอัตราขยายของวงจรขยายได้ อย่างไรก็ตามวิธีการดังกล่าวต้องการใช้ไฟเลี้ยงค่อนข้างสูง วิธีการต่อทรานซิสเตอร์แบบแคสโคดตัวเองดังแสดงในรูปที่ 2.3 เป็นอีกทางเลือกหนึ่งที่เหมาะสมกับการทำงานภายใต้ไฟเลี้ยงต่ำ



รูปที่ 2.3 ทรานซิสเตอร์แบบแคสโคดตัวเอง (Self-cascode transistor)

ในการออกแบบทรานซิสเตอร์แบบแคสโคดตัวเอง M_{1b} ถูกออกแบบให้ทำงานในย่านอิ่มตัว และทรานซิสเตอร์ M_{1a} ทำงานย่านเชิงเส้น โดยการกำหนดอัตราส่วนของขนาดของทรานซิสเตอร์ M_{1b} ให้มีขนาดใหญ่กว่าขนาดของทรานซิสเตอร์ M_{1a} เท่ากับ m เท่า ความต้านทานทางด้านเอาต์พุตของทรานซิสเตอร์แบบแคสโคดตัวเองมีค่าเท่ากับ

$$r_o = g_{m1b} r_{o1a} r_{o1b} - r_{o1a} - r_{o1b} \approx (m-1)r_{o1b} \quad (2.9)$$

เมื่อ g_m คือ ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ (แอดมิตแตนซ์, A/V)

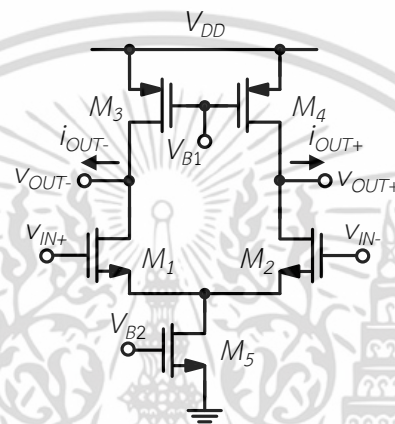
r_o คือ ความต้านทานเสมือนของทรานซิสเตอร์ (โอห์ม, Ω)

2.2 งานวิจัยที่เกี่ยวข้องของวงจรโอทีเอที่ผ่านมา

วงจรขยายทรานส์คอนดักแตนซ์ (Operational transconductance amplifier; OTA) หรือวงจรโอทีเอ คือวงจรที่ทำหน้าที่แปลงแรงดันให้เป็นกระแส [11] วงจรโอทีเอมีความสำคัญ และถูกใช้ในวงจรรวมแบบแอนะล็อก วงจรโอทีเอถูกนำไปต่อประยุกต์ใช้งานได้หลากหลาย วงจรโอทีเอสามารถนำไปต่อในลักษณะที่มีการป้อนกลับแบบลบเพื่อสร้างเป็นวงจรขยายได้แก่ วงจรขยายแบบกลับเฟส วงจรขยายแบบไม่กลับเฟส วงจรบัฟเฟอร์ และวงจรสวิทช์ตัวเก็บประจุ (Switched-capacitor) ไม่่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

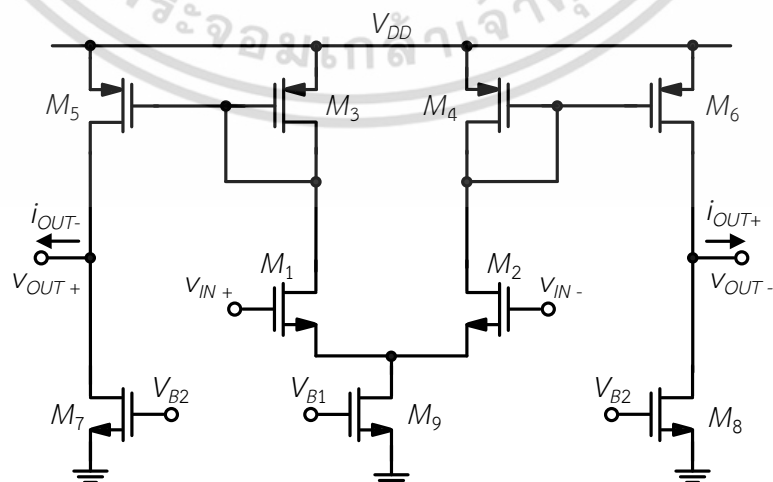
capacitor) [12, 13] เป็นต้น วงจรโอทีเอควรมีอัตราขยายลูปเปิด (Open loop gain) สูง อัตราการกำจัดสัญญาณโหมตร่วม (Common mode rejection ratio; CMRR) สูง อัตราสลัว (Slew rate) มีค่าสูง ย่านการสวิงของสัญญาณโหมตร่วม (Common mode range; CMR) กว้าง และผลคูณระหว่างอัตราขยายและแบนด์วิดท์ (Gain bandwidth product; GBW) กว้าง

รูปที่ 2.4 แสดงวงจรขยายทรานส์คอนดักต์แต้นซ์พื้นฐาน วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_5$ ทรานซิสเตอร์ $M_{1,2}$ ทำหน้าที่แปลงแรงดันอินพุตให้เป็นกระแสจ่ายให้กับโหลด อัตราขยายผลต่างของวงจรมีค่าเท่ากับ $g_{m1,2}(r_{o1,2}/r_{o3,4})$ แรงดันเอาต์พุตของวงจรสามารถสวิงขึ้นได้สูงสุดเท่ากับ $V_{DD} - V_{dsat3,4}$ ขณะที่ช่วงสวิงลงได้ต่ำสุดเท่ากับ $V_{dsat1,2} + V_{dsat5}$



รูปที่ 2.4 วงจรขยายทรานส์คอนดักต์แต้นซ์พื้นฐาน

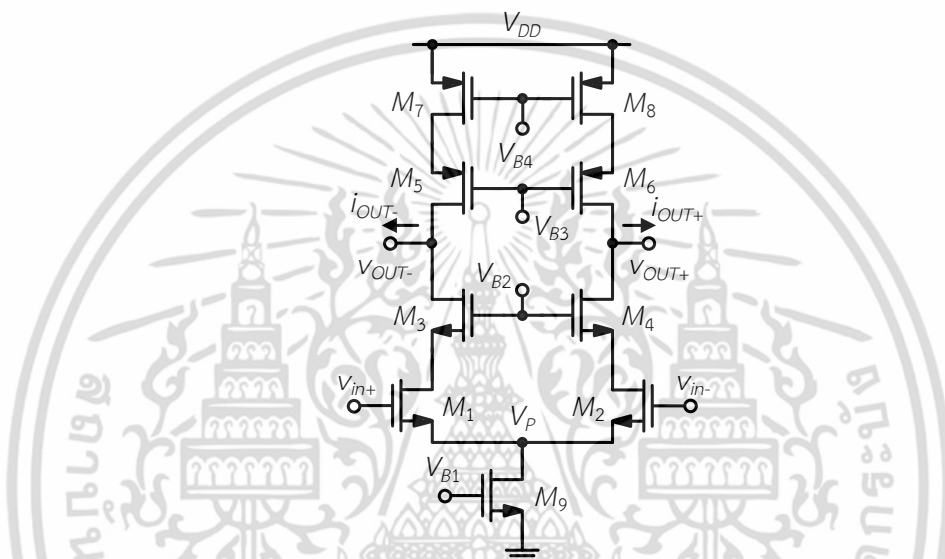
รูปที่ 2.5 แสดงวงจรโอทีเอแบบเอาต์พุตผลต่างที่ใช้วงจรสะท้อนกระแส (Fully differential OTA) [14] วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_9$ ทรานซิสเตอร์ $M_{1,2}$ ทำการเปลี่ยนแรงดันอินพุตเป็นกระแสแล้วสะท้อนกระแสไปยังเอาต์พุตด้วยทรานซิสเตอร์ $M_{3,4}$ และ $M_{5,6}$ อัตราขยายของวงจรมีค่าเท่ากับ $g_{m1,2}(r_{o5,6}/r_{o7,8})$ เอาต์พุตสวิงของวงจรสามารถสวิงขึ้นได้สูงสุดเท่ากับ $V_{DD} - V_{dsat5,6}$ ขณะที่เอาต์พุตสวิงลงได้ต่ำสุดเท่ากับ $V_{dsat7,8}$



รูปที่ 2.5 วงจรโอทีเอแบบเอาต์พุตผลต่าง (Fully differential OTA) [14]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

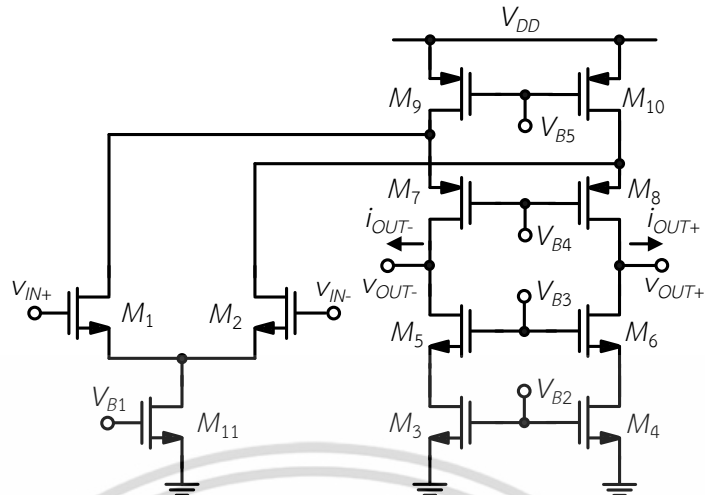
รูปที่ 2.6 แสดงวงจรรายขยายทรานส์คอนดักแตนซ์หรือโอทีเอแบบเทเลสโกปิก (Telescopic OTA) [15, 16] วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_8$ และทรานซิสเตอร์ M_9 ทำหน้าที่ไบอัสกระแสให้กับวงจรโอทีเอ การทำงานของวงจรรอขยายได้ดังนี้ เมื่อสัญญาณโหมดผลต่าง (differential mode signal) ถูกป้อนเข้ามา ทรานซิสเตอร์ $M_{1,2}$ จะแปลงแรงดันเป็นกระแส กระแสดังกล่าวไหลผ่านทรานซิสเตอร์ $M_{3,4}$ ไปยังเอาต์พุตซึ่งมีความต้านทานเอาต์พุตค่อนข้างสูงโดยมีค่าประมาณเท่ากับ $g_{m3,4}r_{O1,2}r_{O3,4}/2$ ดังนั้นอัตราขยายของวงจรรอขยายแบบเอาต์พุตผลต่างนี้จึงมีค่าประมาณเท่ากับ $g_{m1,2}g_{m3,4}r_{O1,2}r_{O3,4}/2$



รูปที่ 2.6 วงจรรอขยายแบบเทเลสโกปิก (Telescopic OTA) [15, 16]

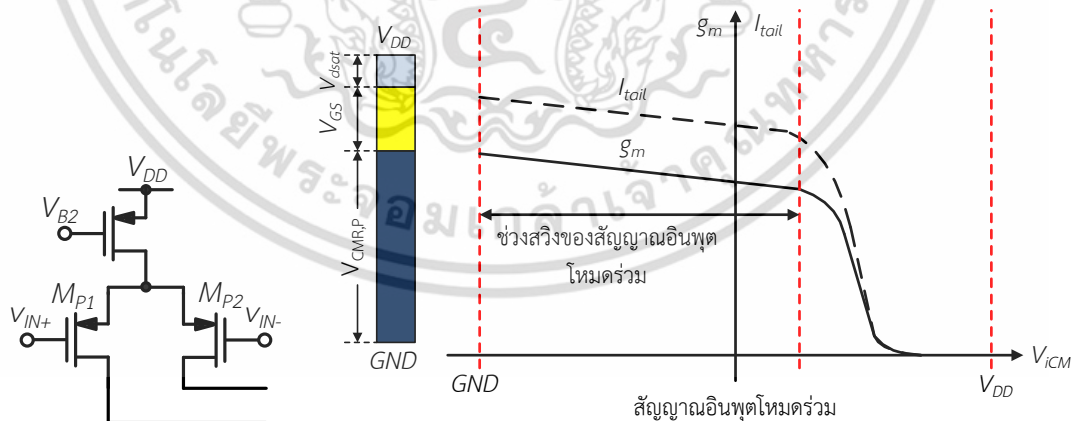
วงจรรอขยายดังกล่าวมีอัตราขยายค่อนข้างสูง และง่ายต่อการชดเชยความถี่ เนื่องจากวงจรมีโพลหลักเพียงโพลเดียว อย่างไรก็ตามวงจรรดังกล่าวใช้แรงดันไฟเลี้ยงสูง และมีย่านการสวิงของสัญญาณอินพุตโหมตร่วม (CMR) และการสวิงของสัญญาณเอาต์พุต (Output swing) ต่ำ

รูปที่ 2.7 แสดงวงจรรอขยายแบบพับ (Folded cascade OTA) [15, 16] ซึ่งเป็นวงจรรอขยายอีกแบบหนึ่งที่สามารถแก้ไขการสวิงของสัญญาณเอาต์พุตของวงจรรอขยายแบบเทเลสโกปิกได้ วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_{10}$ และทรานซิสเตอร์ M_{11} ทำหน้าที่ไบอัสกระแสให้กับวงจรรอขยาย การทำงานของวงจรรอขยายได้ดังนี้ เมื่อสัญญาณโหมดผลต่างเข้ามาที่อินพุตของวงจรรอขยาย ทรานซิสเตอร์ $M_{1,2}$ จะแปลงแรงดันเป็นกระแส กระแสดังกล่าวไหลผ่านทรานซิสเตอร์ $M_{7,8}$ ไปยังเอาต์พุต เนื่องจากความต้านทานเสมือนทางด้านเอาต์พุตของวงจรมีค่าสูงประมาณเท่ากับ $R_{out} = g_{m5,6}r_{O3,4}r_{O5,6}/[g_{m7,8}r_{O7,8}(r_{O1,2}/r_{O9,10})]$ ดังนั้นอัตราขยายของวงจรมีค่าประมาณเท่ากับ $g_{m1,2}R_{out}$ ข้อได้เปรียบของวงจรรอขยายแบบพับเมื่อเทียบกับวงจรรอขยายแบบเทเลสโกปิกคือ แรงดันไฟเลี้ยงที่ใช้มีค่าน้อยกว่าและย่านการสวิงของสัญญาณโหมตร่วมที่อินพุต และเอาต์พุตเท่าที่มีค่ามากกว่า



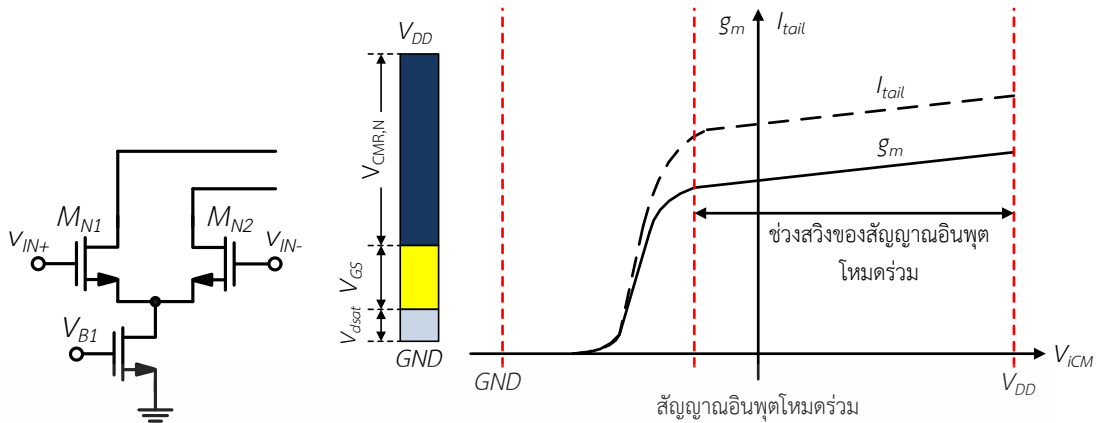
รูปที่ 2.7 วงจรโอทีเอแบบพับ (Folded cascode OTA) [15, 16]

วงจรโอทีเอทีกล่าวมาอาศัยวงจรคู่ผลต่างชนิด NMOS หรือ ชนิด PMOS เท่านั้น วงจรคู่ผลต่างทั้งสองชนิดมีความสามารถในการตอบสนองต่อขนาดของแรงดันอินพุตโหมตร่วมที่แตกต่างกันดังจะได้อธิบายต่อไปนี้ เมื่อพิจารณารูปที่ 2.8 ซึ่งเป็นวงจรคู่ผลต่างชนิด PMOS เราพบว่าแรงดันอินพุตโหมตร่วมสามารถสวิงลงได้ถึง GND และสามารถสวิงขึ้นได้เท่ากับ $V_{DD} - V_{dsat} - V_{GS1,2}$ [17] ดังนั้นแรงดันอินพุตโหมตร่วมของวงจรคู่ผลต่างชนิด PMOS ไม่สามารถสวิงขึ้นได้มากแต่สามารถสวิงลงได้ดีในทางกลับกัน วงจรคู่ผลต่างชนิด NMOS ดังแสดงในรูปที่ 2.9 มีช่วงการสวิงของแรงดันอินพุตโหมตร่วมที่สามารถสวิงขึ้นได้ถึง V_{DD} ในขณะที่แรงดันอินพุตโหมตร่วมสามารถสวิงลงได้ต่ำสุดเท่ากับ $V_{dsat} + V_{GS1,2}$ กล่าวคือ แรงดันอินพุตโหมตร่วมของวงจรคู่ผลต่างชนิด NMOS สามารถสวิงขึ้นได้ดีแต่สวิงสวิงลงได้ไม่ดี



รูปที่ 2.8 วงจรคู่ผลต่างชนิด PMOS [17]

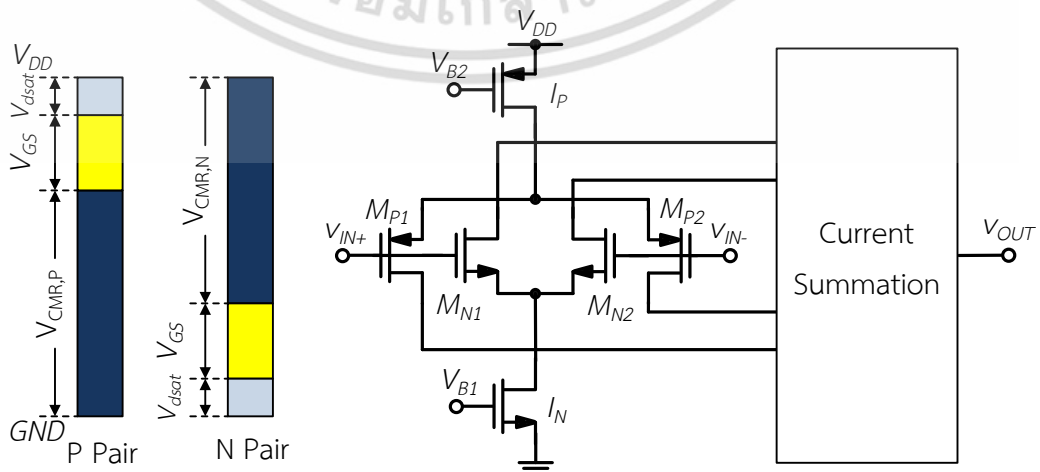
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรคู่ผลต่างชนิด NMOS [17]

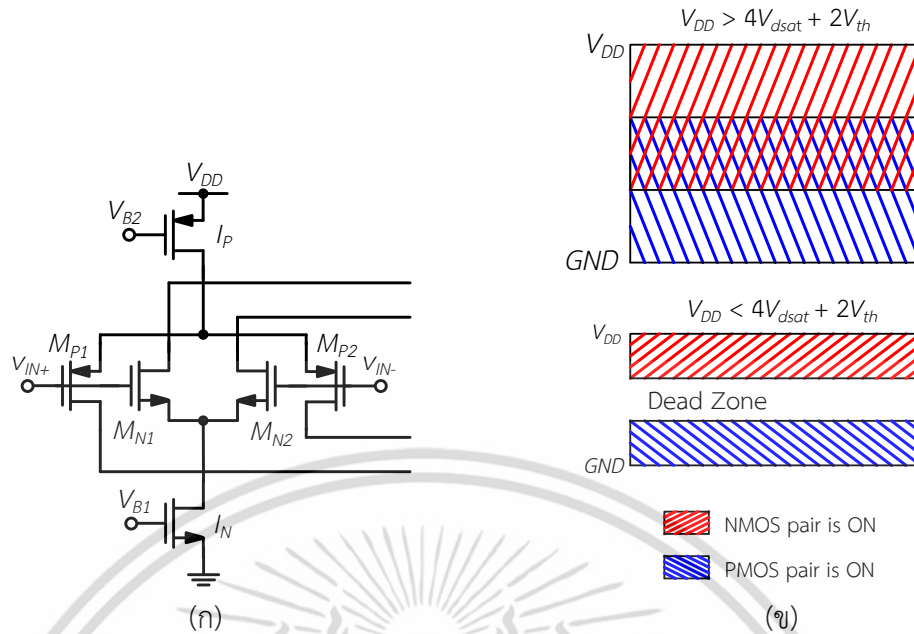
เมื่อนำวงจรคู่ผลต่าง NMOS และ PMOS มาออกแบบเป็นวงจรภาคอินพุตคู่ผลต่าง P-N ดังแสดงในรูปที่ 2.10 [17] วงจรที่ได้สามารถสวิงขึ้น และลงได้ดี การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อสัญญาณอินพุตถูกป้อนเข้ามา วงจรคู่ผลต่าง P-N ทำหน้าที่แปลงแรงดันให้เป็นกระแสซึ่งจะถูกนำไปรวมกันที่ภาคถัดไปก่อนที่จะถูกส่งต่อไปยังภาคเอาต์พุตของวงจรโอทีเอ ในกรณีที่แรงดันอินพุตโหมตร่วมมีการสวิงขึ้นมาก วงจรคู่ผลต่าง PMOS จะไม่ทำงาน แต่วงจรคู่ผลต่าง NMOS ยังคงสามารถทำงานได้ ตัวอย่างเช่น หากแรงดันอินพุตโหมตร่วมสวิงขึ้นไปถึง V_{DD} วงจรคู่ผลต่าง PMOS จะหยุดการทำงาน ในขณะที่วงจรคู่ผลต่าง NMOS ยังคงสามารถทำงานได้ต่อไป ในทางตรงข้าม เมื่อแรงดันอินพุตโหมตร่วมสวิงลงถึง GND วงจรคู่ผลต่าง NMOS จะหยุดการทำงาน ในขณะที่วงจรคู่ผลต่าง PMOS ยังคงสามารถทำงานได้ดี

เราสามารถสังเกตเห็นได้ว่า วงจรคู่ผลต่าง P-N สลับกันทำงานโดยขึ้นกับสัญญาณที่อินพุต จากข้อดีดังกล่าว วงจรคู่ผลต่าง P-N จึงถูกใช้กันอย่างแพร่หลาย อย่างไรก็ตาม ข้อบกพร่องของวงจรคู่ผลต่าง P-N คือ ค่าทรานส์คอนดักแตนซ์ของวงจรมีค่าไม่คงที่เมื่ออินพุตมีสัญญาณขนาดใหญ่ นอกจากนี้หากแรงดันไฟเลี้ยงที่ป้อนให้กับวงจรมีค่าต่ำกว่า $4V_{dsat} + 2V_{th}$ วงจรคู่ผลต่าง P-N จะไม่สามารถทำงานได้เนื่องจากจะเกิดย่านตาย (Dead zone) ขึ้น กล่าวคือ วงจรคู่ผลต่าง P-N ไม่สามารถทำงานได้ดังแสดงในรูปที่ 2.11 (ข) [18]



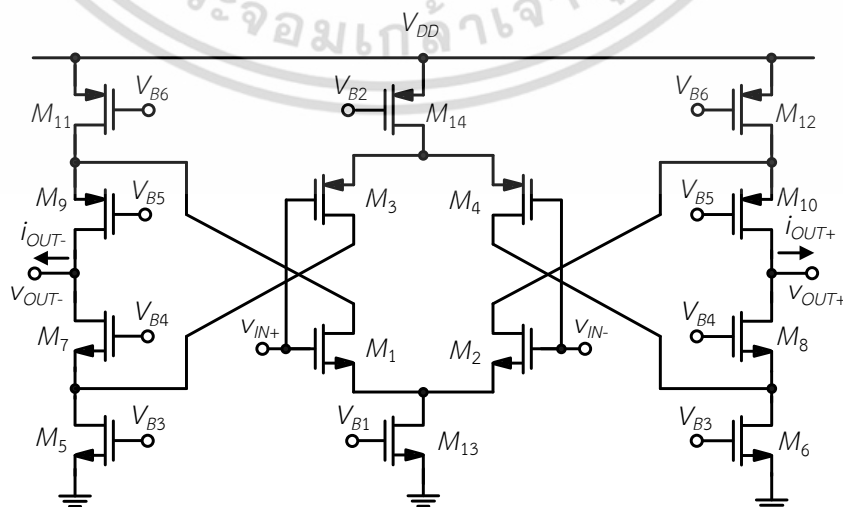
รูปที่ 2.10 วงจรคู่ผลต่าง P-N [17]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ส่วนตัวเพื่อการวิจัยเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 (ก) ภาคอินพุตคู่ผลต่าง P-N และ (ข) ย่านการทำงานของภาคอินพุตคู่ผลต่าง P-N [18]

รูปที่ 2.12 แสดงวงจรโอทีเอทีที่ใช้วงจรภาคอินพุตคู่ผลต่าง P-N และมีโครงสร้างแบบพัว วงจรถูกนำเสนอโดย G. Olivera-Romero และ J. Silva-Martinez [19] โดยถูกพัฒนามาจากวงจร ในรูปที่ 2.7 วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_{13}$ การทำงานของวงจรสามารถอธิบายได้ดังนี้ กรณีที่สัญญาณอินพุตถูกป้อนเข้ามา วงจรคู่ผลต่าง NMOS ($M_{1,2}$) และ PMOS ($M_{3,4}$) แปลงแรงดัน อินพุตให้เป็นกระแสไหลผ่าน $M_{9,10}$ และ $M_{7,8}$ และไหลผ่านไปที่เอาต์พุตซึ่งมีความต้านทานเสมือน เท่ากับ $R_{out} = g_{m7,8(9,10)}(r_{o5,6(11,12)}/r_{o3,4(1,2)})/2$ ดังนั้นอัตราขยายแรงดันของวงจรจึงมีค่าประมาณ เท่ากับ $(g_{m1,2} + g_{m3,4})R_{out}$ เราสังเกตเห็นได้ว่าวงจรมีอัตราขยายสูง นอกจากนี้วงจรมีโพลหลักเพียง โพลเดียวส่งผลให้การชดเชยความถี่ไม่ซับซ้อน อย่างไรก็ตามวงจรต้องใช้แรงดันไฟเลี้ยงค่อนข้างสูง และย่านการสวิงของแรงดันเอาต์พุตมีค่าค่อนข้างจำกัด ($2V_{dsat} \leq V_{out(swing)} \leq V_{DD} - 2V_{dsat}$) นอกจากนี้วงจรมีปัญหาจากย่านตาย (Dead zone) ดังที่ได้กล่าวไว้ก่อนหน้านี้



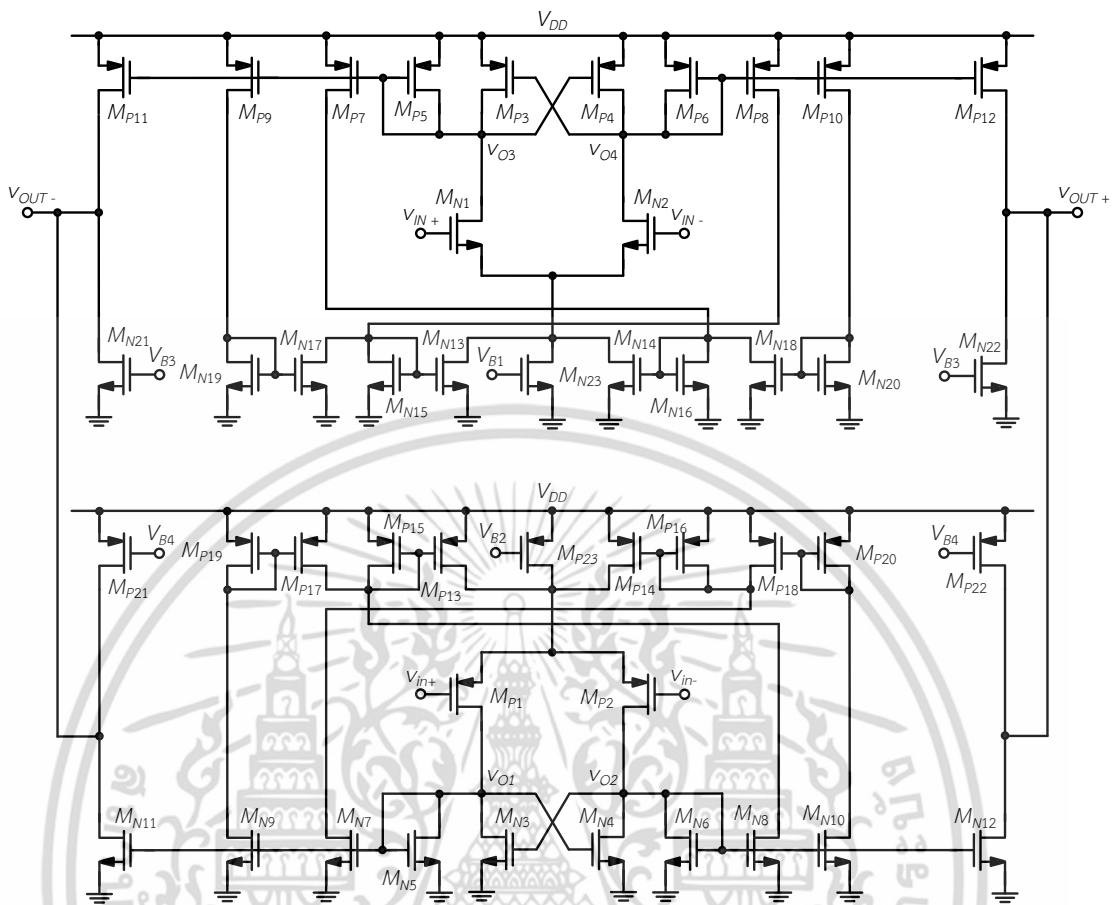
รูปที่ 2.12 วงจรโอทีเอทีแบบพัวที่ใช้วงจรคู่ผลต่าง NMOS และ PMOS [19]

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนสิทธิ์ในเนื้อหา เมื่อผู้ใดเห็นประโยชน์ในการนำข้อมูลไปใช้ ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G. Ferri, V. Stornelli, และ A. Celeste [20] นำเสนอวงจรรวมที่เอทีใช้วงจรรวมอินพุตคู่ ผลต่าง P-N ดังที่แสดงในรูปที่ 2.13 วงจรได้ถูกออกแบบให้มีอัตราขยายสูงและมีอัตราสุลล์สูง แรงดันเอาต์พุตของวงจรมีการสวิงได้กว้าง วงจรขยายผลต่างชุด NMOS ประกอบด้วยทรานซิสเตอร์ M_{n1} - M_{n23} และวงจรรขยายผลต่างชุด PMOS ประกอบด้วยทรานซิสเตอร์ M_{p1} - M_{p23} ทรานซิสเตอร์ $M_{n3(p3)}$ และ $M_{n4(p4)}$ ถูกต่อลักษณะป้อนกลับแบบบวกทำให้ความต้านทานเสมือนที่ขาเดรน ทรานซิสเตอร์ $M_{n3(p3)}$ และ $M_{n4(p4)}$ มีค่าสูง ทรานซิสเตอร์ $M_{n11(p11)}$ - $M_{n14(p14)}$ เป็นวงจรถาวรจบั กระแสเพื่อป้อนให้กับวงจรถาวรกระแสซึ่งประกอบด้วยทรานซิสเตอร์ $M_{n15(p15)}$ - $M_{n22(p22)}$

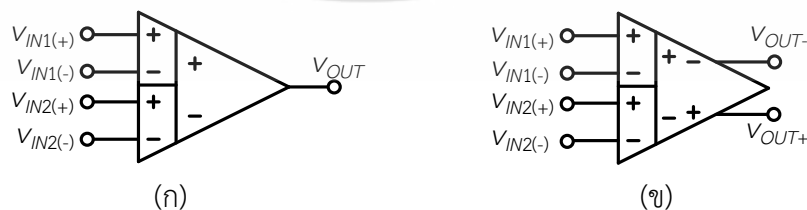
การทำงานของวงจรรวมอธิบายได้ดังนี้ กรณีสัญญาณอินพุตของวงจรมีลักษณะเป็นสัญญาณ โหมดผลต่างที่มีการสวิงไม่มาก วงจรคู่ผลต่าง NMOS และ PMOS จะทำงานพร้อมกันโดยแปลง แรงดันอินพุตให้เป็นกระแสซึ่งถูกส่งไปที่โหนด $V_{On3,4}$ และ $V_{On1,2}$ เนื่องจากทรานซิสเตอร์ $M_{n3(p3)}$ และ $M_{n4(p4)}$ ถูกต่อลักษณะแบบป้อนกลับแบบบวก ส่งผลให้ค่าความต้านทานที่โหนด $V_{On1(p1)}$ และ $V_{On2(p2)}$ มีค่าสูง ส่งผลให้อัตราขยายแรงดันไปยังโหนดดังกล่าวมีค่าสูงเช่นกัน แรงดันที่โหนด $V_{On1(p1)}$ และ $V_{On2(p2)}$ ถูกขยายต่อไปยังวงจรรขยายนภาคที่สองประกอบด้วยทรานซิสเตอร์ $M_{n5(p5)}$ - $M_{n8(p8)}$ กรณี กระแสที่ไหลผ่านทรานซิสเตอร์ $M_{n5(p5)}$ และ $M_{n6(p6)}$ แตกต่างกันเนื่องจากการเปลี่ยนแปลงของ สัญญาณอินพุต กระแสที่ไหลผ่านทรานซิสเตอร์ $M_{n5(p5)}$ ($M_{n6(p6)}$) จะถูกสะท้อนไปยัง $M_{n7(p7)}$ ($M_{n8(p8)}$) และ $M_{n9(p9)}$ ($M_{n10(p10)}$) กระแสที่ไหลผ่าน $M_{n9(p9)}$ ($M_{n10(p10)}$) จะลบกักระแสที่ไหลผ่าน $M_{n8(p8)}$ ($M_{n7(p7)}$) ด้วยวงจรถาวรกระแสซึ่งประกอบด้วย $M_{n15(p15)}$ - $M_{n19(p19)}$ กระแสที่ถูกลบกักันจะไหลผ่าน $M_{n13(p13)}$ ($M_{n14(p14)}$) ส่งผลให้วงจรมีกระแสไอ้อัสสูง ทำให้กระแสไหลผ่านตัวเก็บประจุแฝง $C_{gs5,8}$ ($C_{gs5,8}$) ได้มากและจะทำให้กระแสไหลไปยังโหนดได้อย่างรวดเร็ว

วงจรมีข้อเสนอโดย G. Ferri, V. Stornelli, และ A. Celeste ถูกออกแบบให้มีช่วง ปฏิบัติการกว้าง มีอัตราขยายแรงดันสูง และมีอัตราสุลล์สูง อย่างไรก็ตาม แรงดันไฟเลี้ยงของวงจรมี ค่าสูงและวงจรมีปัญหาจากย่านตาย (Dead zone) ดังที่ได้กล่าวไว้ก่อนหน้านี้



รูปที่ 2.13 วงจรขยายทรานส์คอนดักต์แบบซีทีที่ใช้วงจรคู่ผลต่าง NMOS ขนานกับ PMOS [20]

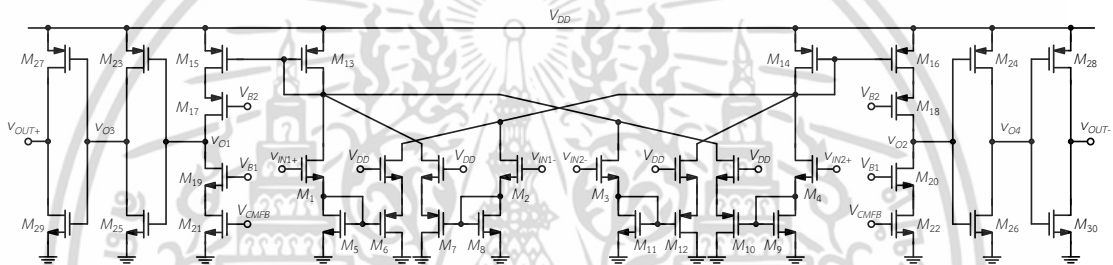
วงจรถ่ายทรานส์คอนดักต์แบบอินพุตผลต่างเป็นวงจรโอทีเอไอชนิดที่นิยมใช้เป็นวงจรถ่ายสัญญาณชีวการแพทย์ วงจรถ่ายสัญญาณจากอุปกรณ์ตรวจจับ วงจรถ่ายเครื่องมือวัด และวงจรรองความถี่ [21 – 35] รูปที่ 2.14 (ก) แสดงสัญลักษณ์วงจโรทีเอแบบอินพุตผลต่างที่มี 4 อินพุต และหนึ่งเอาต์พุต กล่าวคือวงจรมีอินพุต V_{IN1+} V_{IN1-} V_{IN2+} และ V_{IN2-} และมีเอาต์พุต V_{OUT} รูปที่ 2.14 (ข) แสดงสัญลักษณ์วงจโรทีเอแบบอินพุตและเอาต์พุตผลต่างที่มี 4 อินพุต และ 2 เอาต์พุต กล่าวคือวงจรมีอินพุต V_{IN1+} V_{IN1-} V_{IN2+} และ V_{IN2-} และมีเอาต์พุต V_{OUT-} และ V_{OUT+}



รูปที่ 2.14 (ก) โอทีเอแบบอินพุตผลต่าง และ (ข) โอทีเอแบบอินพุตและเอาต์พุตผลต่าง [21 – 37]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

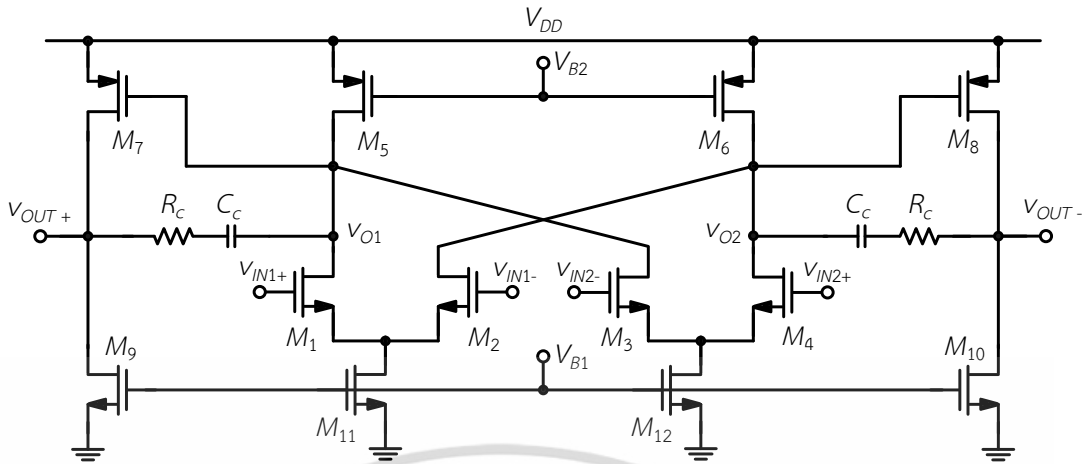
รูปที่ 2.15 แสดงวงจรรอทีเอแบบอินพุต และเอาต์พุตผลต่างที่ภู่านำเสนอโดย Sh.-Ch. Huang และ M. Ismail [23] วงจรถูกออกแบบให้มี 4 ภาค ได้แก่ วงจรแปลงแรงดันเป็นกระแส ประกอบด้วยทรานซิสเตอร์ $M_1 - M_{12}$ วงจรขยายกระแสประกอบด้วยทรานซิสเตอร์ $M_{13} - M_{22}$ วงจรขยายแบบกลับเฟสประกอบด้วยทรานซิสเตอร์ $M_{23} - M_{26}$ และวงจรขยายภาคเอาต์พุต ประกอบด้วยทรานซิสเตอร์ $M_{27} - M_{30}$ การทำงานของวงจรรอทีเอได้ดังนี้ เมื่อสัญญาณอินพุตผลต่างซึ่งบวกขนาดเล็กถูกป้อนเข้ามาที่อินพุต V_{IN+} และ V_{IN-} และสัญญาณอินพุตผลต่างซึ่งลบขนาดเล็กถูกป้อนเข้ามาที่อินพุต V_{IN-} และ V_{IN-} วงจรจะทำการเปลี่ยนแรงดันอินพุตดังกล่าวให้เป็นกระแสกระแสดังกล่าวถูกสะท้อนไปขยายด้วยทรานซิสเตอร์ $M_{13,14}$ และ $M_{15,16}$ และเปลี่ยนกระแสเป็นแรงดันที่โหนด $V_{O1,2}$ แรงดันที่โหนด $V_{O1,2}$ ถูกขยายโดย $M_{23,24} - M_{29,30}$ สัญญาณอินพุตผลต่าง V_{IN+} และ V_{IN-} (V_{IN-} และ V_{IN-}) ที่ถูกขยายไปยังเอาต์พุต V_{OUT+} (V_{OUT-}) วงจรโอทีเอมีอัตราขยายมากอย่างไรก็ตามวงจรใช้แรงดันไฟเลี้ยงสูง (ประมาณ $4V_{dsat} + 3V_T$) ข้อบกพร่องอีกประการ คือช่วงการสวิงที่อินพุตมีค่าค่อนข้างจำกัด



รูปที่ 2.15 โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย Sh.-Ch. Huang และ M. ismail [23]

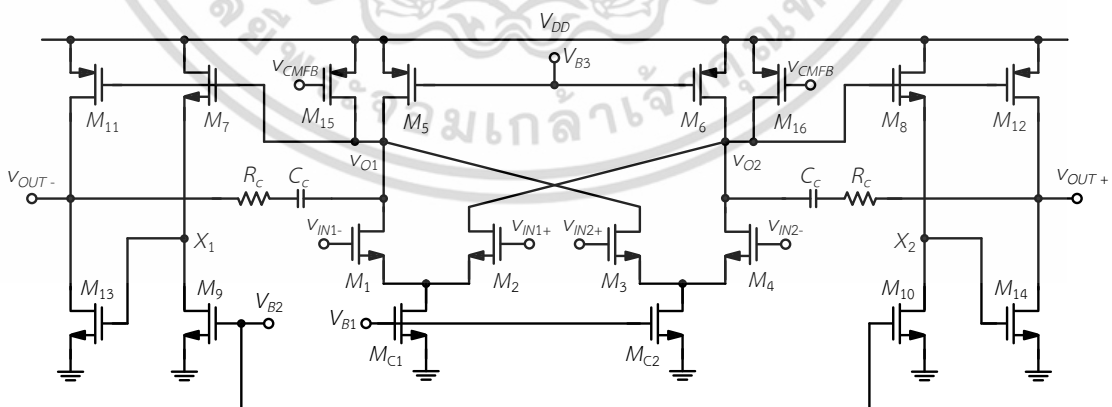
J. F. Duque-Carrillo และคณะ [24] นำเสนอวงจรรอทีเอแบบอินพุต และเอาต์พุตผลต่างดังแสดงในรูปที่ 2.16 วงจรภาคอินพุตผลต่างประกอบด้วยทรานซิสเตอร์ $M_1 - M_6$ วงจรถูกออกแบบโดยอาศัยหลักการของวงจรขยายผลต่าง วงจรภาคเอาต์พุตผลต่างประกอบด้วยทรานซิสเตอร์ $M_7 - M_{10}$ วงจรถูกออกแบบโดยอาศัยพื้นฐานวงจรขยายแบบซอร์รวม

การทำงานของวงจรรอทีเอได้ดังนี้ เมื่อสัญญาณอินพุตสวิงบวกถูกต่อเข้าที่ V_{IN+} ของทรานซิสเตอร์ M_1 และ V_{IN+} ของทรานซิสเตอร์ M_4 และสัญญาณอินพุตสวิงลบถูกต่อเข้าที่ V_{IN-} ของทรานซิสเตอร์ M_2 และ V_{IN-} ของทรานซิสเตอร์ M_3 ทรานซิสเตอร์ M_1 และ M_3 จะทำการเปลี่ยนสัญญาณอินพุตเป็นกระแสไหลออกจากโหนด V_{O1} ขณะเดียวกัน M_2 และ M_4 จะทำการเปลี่ยนสัญญาณอินพุตเป็นกระแสไหลเข้าโหนด V_{O2} ส่งผลให้สัญญาณที่โหนด V_{O1} สวิงลบ ขณะเดียวกันสัญญาณที่โหนด V_{O2} สวิงบวก สัญญาณที่โหนด V_{O1} และโหนด V_{O2} ถูกขยายด้วยภาคเอาต์พุตด้วยทรานซิสเตอร์ $M_{7,8}$ สัญญาณเอาต์พุตมีลักษณะกลับเฟสกับสัญญาณที่โหนด $V_{O1,2}$ อัตราขยายของวงจรมีค่าเท่ากับ $(g_{m1,2} + g_{m3,4})(r_{O1,2} // r_{O3,4} // r_{O5,6})(g_{m7,8})(r_{O7,8} // r_{O9,10})$



รูปที่ 2.16 โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย J. F. Duque-Carrillo และคณะ [24]

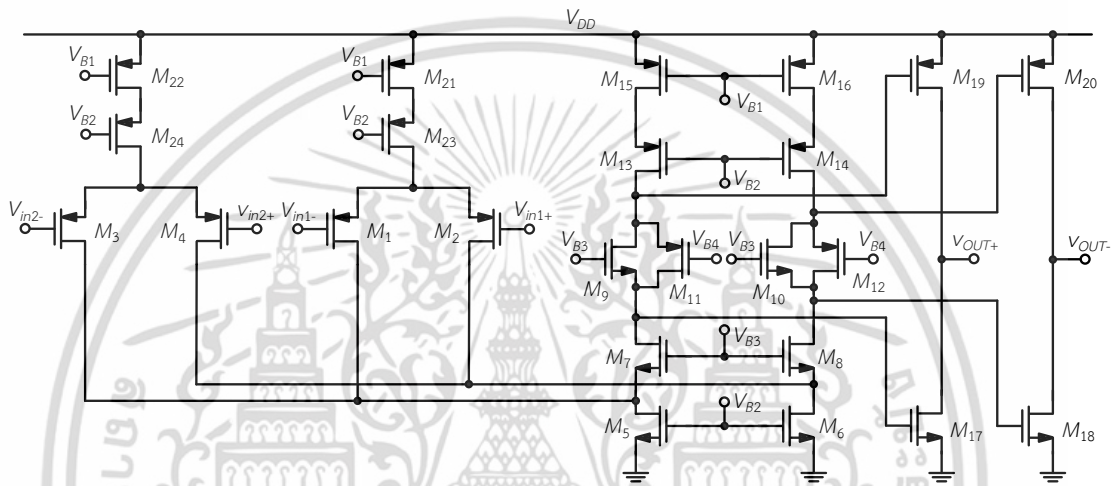
H. Alzahr และ M. ismail [26] ได้ทำการพัฒนาวงจรโอทีเอที่เอ็ที่ถูกนำเสนอโดย J. F. Duque-Carrillo และคณะ [24] ด้วยการออกแบบให้วงจรภาคเอาต์พุตทำงานลักษณะคลาส เอบี ดังแสดงในรูปที่ 2.17 วงจรที่ถูกพัฒนาประกอบด้วยทรานซิสเตอร์ $M_1 - M_{16}$ การทำงานของวงจรภาคอินพุตผลต่างมีลักษณะเดียวกับวงจรที่ถูกนำเสนอก่อนหน้านี้ การทำงานของวงจรอธิบายได้ดังนี้ ทรานซิสเตอร์ $M_1 - M_4$ จะทำการขยายสัญญาณอินพุตผลต่างไปยังโหนด V_{O1} และโหนด V_{O2} สัญญาณที่ถูกขยายจะมีลักษณะกลับเฟสกับสัญญาณอินพุต สัญญาณที่โหนด V_{O1} และโหนด V_{O2} ถูกส่งต่อไปที่โหนด X_1 และโหนด X_2 ซึ่งถูกขยายอีกครั้งโดยวงจรภาคเอาต์พุตด้วยทรานซิสเตอร์ $M_{11,12}$ และทรานซิสเตอร์ $M_{13,14}$ สัญญาณเอาต์พุตมีลักษณะกลับเฟสกับสัญญาณที่โหนด $V_{O1,2}$ และ โหนด $X_{1,2}$ อัตราขยายของวงจรมีค่าเท่ากับ $(g_{m1,2}+g_{m3,4})(r_{O1,2} // r_{O3,4} // r_{O5,6} // r_{O15,16})(g_{m11,12}+g_{m13,14})(r_{O11,12} // r_{O13,14})$ เราจะเห็นได้ว่าวงจรที่ถูกเสนอโดย J. F. Duque-Carrillo และคณะ [24] และ H. Alzahr และ M. ismail [26] เป็นวงจรที่ไม่ซับซ้อนและมีอัตราขยายสูง อย่างไรก็ตาม แรงดันไฟเลี้ยงของวงจรมีค่าค่อนข้างสูงและช่วงปฏิบัติการของทั้งสองวงจรมีค่าจำกัด



รูปที่ 2.17 โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย H. Alzahr และ M. ismail [26]

รูปที่ 2.18 แสดงวงจรโอทีเอแบบอินพุต และเอาต์พุตผลต่างถูกนำเสนอโดย S. R. Naqvi [28] วงจรภาคที่หนึ่งถูกออกแบบจากหลักการพื้นฐานของวงจรโอทีเอแบบพัช วงจรภาคเอาต์พุตทำงานในลักษณะคลาส เอบี วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_{20}$ วงจรขยายคู่ผลต่าง PMOS ไม่ว่าการณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ประกอบด้วยทรานซิสเตอร์ $M_1 - M_4$ จำนวน 2 วงจร ถูกต่อขนานกัน ทรานซิสเตอร์ $M_{21,22}$ และ $M_{23,24}$ ต่อลักษณะแคสโคสทำหน้าที่ไบอัสกระแสให้กับวงจรขยายคู่ผลต่าง PMOS $M_{13,14}$ และ $M_{15,16}$ ต่อลักษณะแคสโคสทำหน้าที่ไบอัสกระแสให้กับ $M_5 - M_{12}$ การทำงานของวงจรอธิบายได้ดังนี้ กรณีสัญญาณโหมดผลต่างเข้ามาที่อินพุตของวงจร (V_{IN1+} และ V_{IN2+}) $M_1 - M_4$ ทำการแปลงแรงดันอินพุตเป็นกระแสไหลผ่าน $M_{7,8}$ และไหลผ่านตัวต้านทานเสมือนที่โหนด $V_{O1,2}$ และ $V_{O3,4}$ สัญญาณที่โหนด $V_{O1,2}$ และ $V_{O3,4}$ มีลักษณะกลับเฟสกับสัญญาณอินพุต สัญญาณ $V_{O1,2}$ และ $V_{O3,4}$ ถูกขยายด้วย $M_{17,18}$ และ $M_{19,20}$ ลักษณะกลับเฟสกับสัญญาณ $V_{O1,2}$ และ $V_{O3,4}$ แต่มีลักษณะเฟสเดียวกับสัญญาณอินพุต



รูปที่ 2.18 โอทีเอแบบอินพุตและเอาต์พุตผลต่างโดย S. R. Naqvi [28]

วงจรโอทีเอที่นำเสนอโดย S. R. Naqvi มีอัตราขยายสูง ($g_{m1,2(3,4)} g_{m7,8}(g_{m17,18} + g_{m19,20}) r_{O5,6(11,12)} r_{O7,8(9,10)}(r_{O17,18} // r_{O19,20})$) อย่างไรก็ตาม วงจรใช้แรงดันไฟเลี้ยงสูง ($3V_{dsat} + 2V_{th}$) และสัญญาณอินพุตไม่สามารถสวิงได้กว้าง

2.3 บทสรุป

วงจรขยายทรานส์คอนดักแตนซ์หรือวงจรโอทีเอที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ ซึ่งถูกนำไปประยุกต์ใช้งานลักษณะป้อนกลับแบบลบ อินพุตและเอาต์พุตของวงจรจำเป็นต้องมีช่วงปฏิบัติการกว้าง วงจรโอทีเอพื้นฐานหนึ่งภาค และสองภาคถูกออกแบบให้สามารถทำงานที่แรงดันไฟเลี้ยงต่ำได้ แต่ไม่สามารถมีช่วงปฏิบัติการกว้างได้ งานวิจัยในอดีตออกแบบให้วงจรมีช่วงปฏิบัติการกว้าง แต่ต้องเพิ่มวงจรระดับแรงดันเพื่อให้วงจรทำงานได้ดี ส่งผลให้วงจรมีกำลังสูญเสียเพิ่มมากขึ้น การออกแบบวงจรโอทีเอที่มีคุณลักษณะดังกล่าวสามารถทำได้ด้วยการใช้ทรานซิสเตอร์เสมือนเกตลอยและทรานซิสเตอร์ที่ใช้ขาบอดี

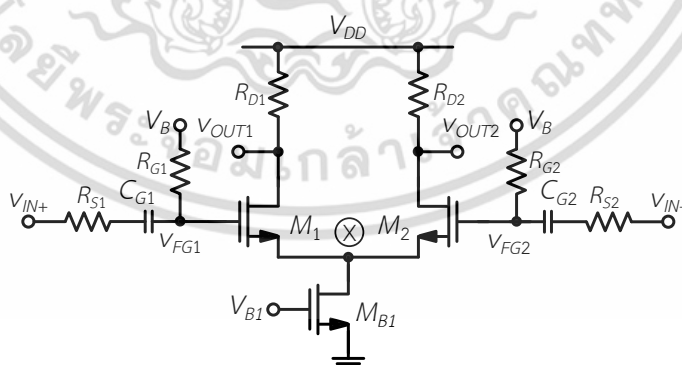
บทที่ 3

วงจรรขยายทรานส์คอนดักแทนซ์ที่นำเสนอ

บทนี้กล่าวถึงวงจรรขยายผลต่างพื้นฐาน การออกแบบ หลักการทำงาน การวิเคราะห์ คุณสมบัติต่าง ๆ และการจำลองการทำงานของวงจรรขยายทรานส์คอนดักแทนซ์ (โอทีเอ) ที่นำเสนอ วงจรที่โอทีเอที่นำเสนอมมี 3 วงจร ได้แก่ วงจรโอทีเอแบบเอาต์พุตผลต่างที่สร้างจากทรานซิสเตอร์เสมือนเกตลอย วงจรโอทีเอแบบเอาต์พุตผลต่างเสมือนที่สร้างจากทรานซิสเตอร์เสมือนเกตลอย และ วงจรโอทีเอแบบอินพุต และเอาต์พุตผลต่างที่สร้างจากทรานซิสเตอร์ที่ใช้ขาบอดี้ วงจรโอทีเอที่หนึ่ง และวงจรรที่สองถูกออกแบบโดยอาศัยหลักการชดเชยความถี่ด้วยตัวเก็บประจุซึ่งทำให้วงจรมีการตอบสนองความถี่ดีขึ้น และหลักการป้อนกลับแบบบวกเพื่อสร้างตัวต้านทานแบบลบเพื่อเพิ่มค่าความต้านทานเอาต์พุต การเพิ่มค่าความต้านทานเอาต์พุตช่วยเพิ่มอัตราขยายแรงดันของวงจรร วงจรโอทีเอที่สามถูกออกแบบโดยใช้หลักการป้อนไปข้างหน้า (Feedforward) วงจรป้อนไปข้างหน้าทำให้วงจรมีอัตราขยายแรงดันเพิ่มขึ้น และกำจัดสัญญาณอินพุตไม่คร่อม การทำงานของวงจรโอทีเอที่นำเสนอ 3 วงจรได้ถูกจำลองการทำงานโดยโปรแกรม HSPICE

3.1 วงจรรขยายผลต่างพื้นฐาน

รูปที่ 3.1 แสดงวงจรรขยายผลต่างพื้นฐานโดยใช้ทรานซิสเตอร์เสมือนเกตลอย วงจรรประกอบด้วยทรานซิสเตอร์ M_1 และ M_2 ตัวเก็บประจุ C_{G1} และ C_{G2} ซึ่งทำหน้าที่ส่งผ่านอินพุต v_{in} เข้าไปที่ $M_{1,2}$ ในขณะเดียวกันก็ทำหน้าที่เป็นตัวป้องกันแรงดันไฟตรง V_B ไม่ให้ถูกส่งผ่านไปยังแหล่งกำเนิดสัญญาณอินพุต ตัวต้านทาน R_{S1} และ R_{S2} เป็นตัวต้านทานเสมือนของแหล่งจ่ายอินพุต ตัวต้านทาน R_{G1} และ R_{G2} ซึ่งมีขนาดใหญ่ทำหน้าที่กำหนดแรงดันไบอัส และสัญญาณแรงดันอินพุต v_{in} ที่ขาเกตของ $M_{1,2}$



รูปที่ 3.1 วงจรรขยายผลต่างพื้นฐานโดยใช้ทรานซิสเตอร์เสมือนเกตลอย

อัตราขยายสัญญาณโหมดผลต่างของวงจรรขยายผลต่างสามารถได้จาก $A_{vd} = -G_m R_{out}$ เมื่อ G_m คือค่าทรานส์คอนดักเตอร์ของวงจรรขยายผลต่าง และ R_{out} คือค่าความต้านทานเสมือนที่เอาต์พุตของวงจรรขยายผลต่าง เนื่องจากที่โหนด X เมื่ออินพุตเป็นสัญญาณโหมดผลต่างมีค่าเป็นกราวด์เสมือน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์หาอัตราขยายโหมดผลต่างจึงสามารถวิเคราะห์ได้เหมือนกับวงจรขยายซอร์สร่วมสองอัตราขยายโหมดผลต่างของวงจรขยายผลต่างพื้นฐานมีค่าเท่ากับ

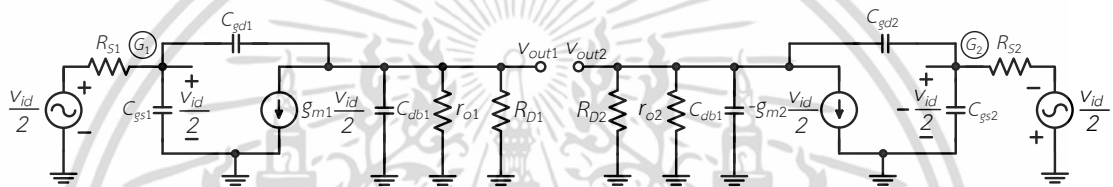
$$A_{vd} = g_{m1,2} (r_{O1,2} \parallel R_{D1,2}) \quad (3.1)$$

เมื่อ A_{vd} คือ อัตราขยายสัญญาณโหมดผลต่าง

$g_{m1,2}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของ $M_{1,2}$ (A/V)

$r_{O1,2}$ คือ ค่าความต้านทานสัญญาณขนาดเล็ก (Small-signal resistance) ด้านเอาต์พุตของ $M_{1,2}$ (โอห์ม, Ω)

$R_{D1,2}$ คือ ตัวต้านทานต่อระหว่างขาเดรนกับแหล่งจ่ายไฟเลี้ยง (V_{DD}) (โอห์ม, Ω)



รูปที่ 3.2 วงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง

รูปที่ 3.2 แสดงวงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝงของวงจรขยายผลต่าง การวิเคราะห์หาฟังก์ชันถ่ายโอนเพื่อวิเคราะห์การตอบสนองทางความถี่ เริ่มจากสมการกระแสที่โหนด $G_{1,2}$ และโหนด $v_{out1,2}$ แล้วทำการวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรขยายผลต่างโดยสมมติว่า $R_{G1,2}$ มีค่าสูงมาก และ $r_{o1,2} \gg R_{D1,2}$ ฟังก์ชันถ่ายโอนซึ่งมีค่าเท่ากับอัตราส่วนระหว่างแรงดันเอาต์พุต ($v_{out}(s)$) และแรงดันอินพุต ($v_{in}(s)$) มีค่าเท่ากับ

$$\frac{V_{out}}{V_{in}}(s) \cong \frac{-g_{m1,2} R_{D1,2} \left(1 - \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (3.2)$$

เมื่อ ω_z , ω_{p1} และ ω_{p2} มีค่าเท่ากับ

$$\omega_z \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (3.3)$$

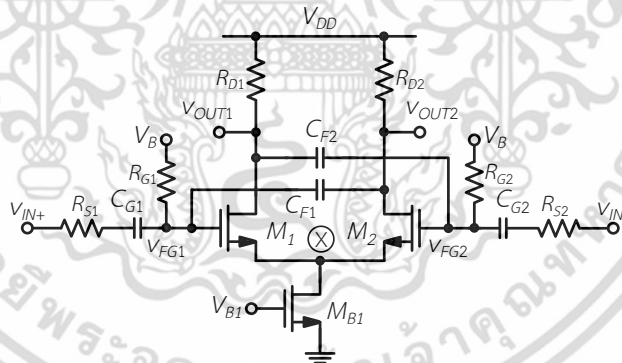
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{p1} \cong -\frac{1}{R_{s1,2} \left[C_{gd1,2} (1 + g_{m1,2} R_{D1,2}) + C_{gs1,2} \right] + R_{D1,2} (C_{gd1,2} + C_{db1,2})} \quad (3.4)$$

$$\omega_{p2} = -\frac{R_{s1,2} \left[C_{gd1,2} (1 + g_{m1,2} R_{D1,2}) + C_{gs1,2} \right] + R_{D1,2} (C_{gd1,2} + C_{db1,2})}{R_{s1,2} R_{D1,2} \left[C_{gs1,2} (C_{gd1,2} + C_{db1,2}) + C_{gd1,2} C_{db1,2} \right]} \quad (3.5)$$

- เมื่อ $C_{gs1,2}$ คือ ตัวเก็บประจุแฝงระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ $M_{1,2}$ (ฟารัด, F)
 $C_{gd1,2}$ คือ ตัวเก็บประจุแฝงระหว่างขาเกตกับขาเดรนของทรานซิสเตอร์ $M_{1,2}$ (ฟารัด, F)
 $C_{db1,2}$ คือ ตัวเก็บประจุแฝงระหว่างขาเดรนกับขาบอดี้ของทรานซิสเตอร์ $M_{1,2}$ (ฟารัด, F)

เนื่องจากวงจรมีอัตราขยายผลต่างมีอัตราขยายที่มีค่ามากกว่าหนึ่ง ส่งผลให้ตัวเก็บประจุ $C_{gd1,2}$ ที่ถูกสะท้อน (miller) มาที่ขาเกตมีขนาดใหญ่จากผลของมิลเลอร์ (Miller's effect) โดยแปรผันตรงกับอัตราขยายดังกล่าว ทำให้ความถี่โพลที่อินพุตในสมการที่ 3.5 มีค่าไม่สูงมากนักและในที่สุดทำให้แบนด์วิดท์ของวงจรมีค่าต่ำ มีงานวิจัยที่แก้ไขปัญหาดังกล่าวด้วยการออกแบบวงจรโอทีเอแบบแคสโคด และวงจรโอทีเอแคสโคดแบบพับ อย่างไรก็ตามวงจรมีอัตราขยายต้องใช้แรงดันไฟเลี้ยง $4V_{dsat} + 2V_T$ ซึ่งมีค่าสูงจึงไม่เหมาะสมในการนำมาออกแบบวงจรโอทีเอที่ต้องทำงานที่แรงดันไฟเลี้ยงต่ำได้



รูปที่ 3.3 วงจรมีอัตราขยายผลต่างโดยใช้ทรานซิสเตอร์เสมือนเกตลอยและการชดเชยตัวเก็บประจุ

เมื่อพิจารณาอัตราขยายแรงดันในสมการที่ (3.1) เราพบว่าค่าที่ได้มีค่าไม่สูงมากนักโดยเฉพาะกับทรานซิสเตอร์ที่มีขนาดเล็กในปัจจุบันเนื่องจากค่าความต้านทานเสมือนด้านเอาต์พุตของทรานซิสเตอร์ที่มีค่าไม่สูงมากนักเป็นผลจากปัญหาของช่องทางเดินกระแสระยะสั้น (short channel effect) นอกจากนี้วงจรมีอัตราขยายในรูปที่ 3.2 มีแบนด์วิดท์ที่ไม่สูงจากเหตุผลที่ได้กล่าวไปแล้วข้างต้น

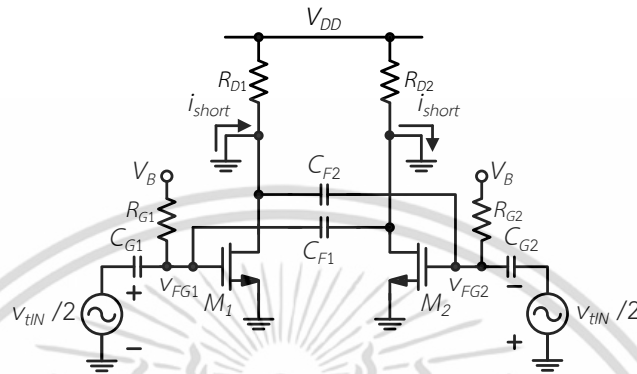
รูปที่ 3.3 แสดงวงจรมีอัตราขยายผลต่างพื้นฐานที่สามารถแก้ไขปัญหาทั้งสองได้ด้วยวิธีการชดเชยตัวเก็บประจุ [36] คือการต่อตัวเก็บประจุ $C_{F1,2}$ ระหว่างโหนด $V_{O1,2}$ และโหนด $V_{FG1,2}$ เพื่อชดเชยผลกระทบมิลเลอร์ (Miller effect) ที่เกิดจากตัวเก็บประจุ $C_{gd1,2}$

อัตราขยายแรงดันของวงจรมีอัตราขยายได้จาก $A_{vd} = -G_m R_{out}$ โดยที่ G_m หาได้จากการป้อนสัญญาณทดสอบเข้าที่อินพุต (v_{tIN}) และทำการลัดเอาต์พุตของวงจรมีอัตราขยายกับกราวด์ (i_{short}) ดังแสดงในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่ออนุญาตให้นำไปใช้โดยไม่ผ่านการแก้ไขใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 แรงแรงดัน $V_{FG1,2} = C_{G1,2}/(C_{G1,2} + C_{F1,2} + C_{gs1,2})$ ค่า $G_m = i_{short}/V_{tIN}/2$ หรือ $G_m = (g_{m1,2}/2)[C_{G1,2}/(C_{G1,2} + C_{F1,2} + C_{gs1,2})]$ เนื่องจาก $C_{G1,2} \gg C_{F1,2}, C_{gs1,2}$ ค่า G_m เขียนได้ว่า

$$G_m \cong g_{m1,2} / 2 \quad (3.6)$$



รูปที่ 3.4 การป้อนแรงแรงดันทดสอบที่อินพุตเพื่อหาค่า G_m ของวงจรรขยายผลต่าง

R_{out} หาได้จากการป้อนสัญญาณทดสอบเข้าที่เอาต์พุต (v_{tOUT}) และหา i_{tOUT} (ดูรูปที่ 3.5) สมมติให้ $r_{o1,2}$ มีค่าสูงมาก ค่า R_{out} เท่ากับอัตราส่วนระหว่าง $v_{tOUT}/2$ และ i_{tOUT} หรือ

$$R_{out} \cong \frac{R_{D1,2}}{1 - ag_{m1,2}R_{D1,2}} \quad (3.7)$$

เมื่อ a มีค่าเท่ากับ

$$a \cong \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \quad (3.8)$$

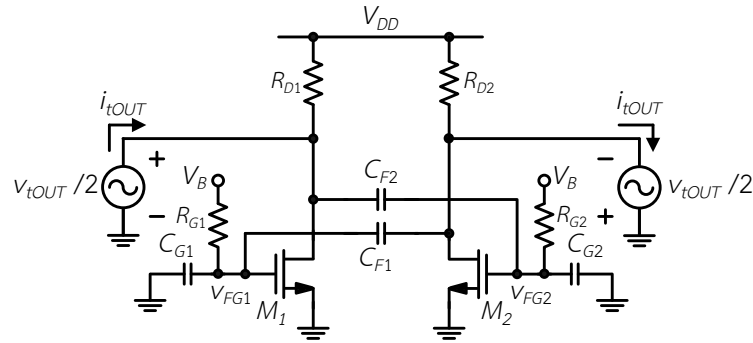
เมื่อ $C_{G1,2}$ คือ ตัวเก็บประจุต่อระหว่างอินพุตกับขาเกตของทรานซิสเตอร์ $M_{1,2}$ (ฟารัด, F)

$C_{F1,2}$ คือ ค่าความจุต่อระหว่างขาเกตของทรานซิสเตอร์ $M_{1,2}$ กับเอาต์พุต $v_{OUT2,1}$ (ฟารัด, F)

ดังนั้นอัตราขยายโหมตผลต่างที่แรงแรงดันดีซีของวงจรรขยายผลต่างพื้นฐานมีค่าเท่ากับ

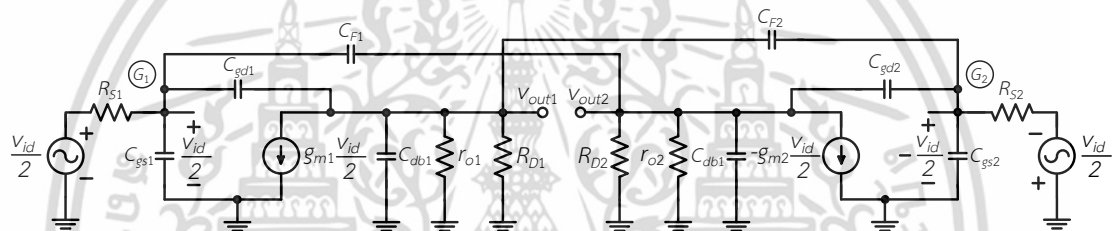
$$A_{vd} \cong \frac{-g_{m1,2}R_{D1,2}}{1 - ag_{m1,2}R_{D1,2}} \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 การป้อนแรงดันทดสอบที่เอาต์พุตเพื่อหาค่า $R_{o1,2}$ ของวงจรขยายผลต่าง

จากสมการที่ 3.9 หาก α มีค่าเท่ากับ $1/g_{m1,2}R_{D1,2}$ อัตราขยายของวงจรจะมีค่าสูงมาก ในการวิเคราะห์หาผลตอบสนองทางความถี่ของวงจรขยายในรูปที่ 3.3 เราใช้วงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.6



รูปที่ 3.6 วงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง

การวิเคราะห์หาฟังก์ชันถ่ายโอนเพื่อวิเคราะห์การตอบสนองทางความถี่เริ่มจากการกำหนดสมการกระแสที่โหนด $G_{1,2}$ และโหนด $V_{out1,2}$ โดยสมมติให้ $r_{o1,2} \gg R_{D1,2}$ และ $\alpha g_{m1,2}R_{D1,2} \ll 1$ เมื่อความถี่มีค่าสูง (อิมพีแดนซ์ของ $C_{G1,2}$ มีน้อย) ดังนั้นฟังก์ชันถ่ายโอนของวงจรมีค่าเท่ากับ

$$\frac{V_{out}}{V_{in}}(s) \cong \frac{-g_{m1,2}R_{D1,2} \left(1 - \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (3.10)$$

เมื่อ ω_z , ω_{p1} และ ω_{p2} มีค่าเท่ากับ

$$\omega_z \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[g_{m1,2} R_{D1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{D1,2} C_{o1,2}} \quad (3.12)$$

$$\omega_{p2} \cong \frac{R_{s1,2} \left[g_{m1,2} R_{D1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{D1,2} C_{o1,2}}{R_{s1,2} R_{D1,2} \left[C_{i1,2} (C_{gd1,2} + C_{db1,2}) - C_{gd1,2} (C_{gd1,2} - C_{F1,2}) \right]} \quad (3.13)$$

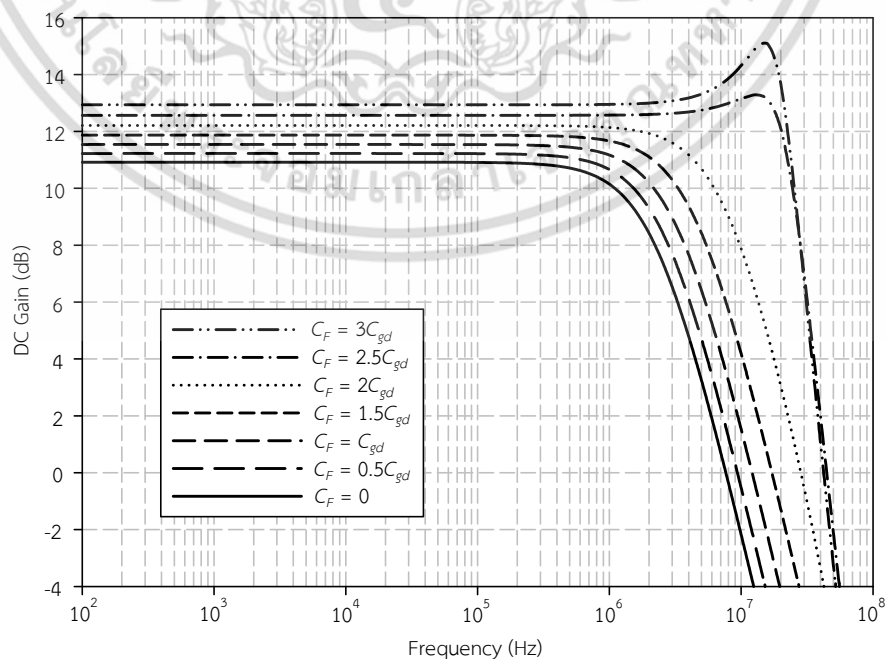
เมื่อ $C_{i1,2}$ และ $C_{o1,2}$ มีค่าเท่ากับ

$$C_{i1,2} = C_{gs1,2} + C_{gd1,2} + C_{F1,2} \quad (3.14)$$

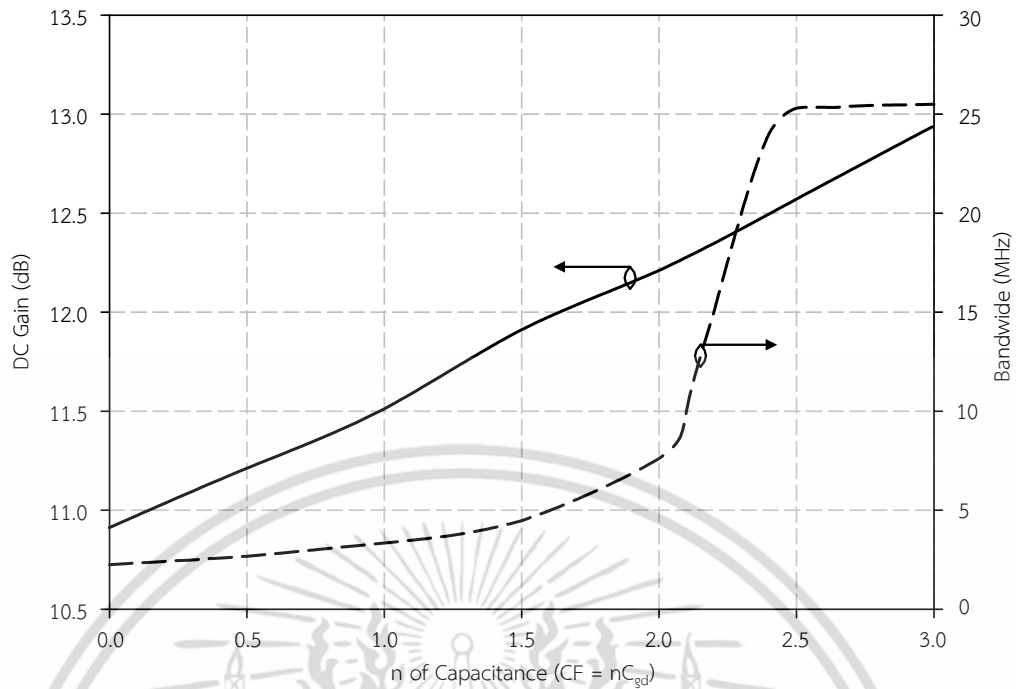
$$C_{o1,2} = C_{gd1,2} + C_{F1,2} + C_{db1,2} \quad (3.15)$$

เมื่อทำการเปรียบเทียบความถี่โพลของวงจรในรูปที่ 3.2 กับความถี่โพลของวงจรในรูปที่ 3.6 เราพบว่าความถี่โพลตัวที่สองมีค่าเท่าเดิม อย่างไรก็ตามความถี่โพลตัวแรกมีค่าแตกต่างกันกล่าวคือความถี่โพลตัวแรกมีเทอม $-g_{m1,2} R_{D1,2} C_{F1,2}$ เพิ่มเข้ามา หากเราออกแบบให้ $C_{F1,2}$ มีค่าเท่ากับ $C_{gd1,2}$ ค่าความถี่โพลที่อื่นพุดก็จะมีค่าเพิ่มมากขึ้น

เมื่อพิจารณาผลกระทบของ $C_{F1,2}$ ต่ออัตราขยาย และแบนด์วิดท์ดังที่ได้อธิบายข้างต้น เราพบว่า $C_{F1,2}$ สามารถถูกออกแบบเพื่อเพิ่มอัตราขยายและแบนด์วิดท์ วิทยานิพนธ์ฉบับนี้ได้เลือกใช้ค่าของ $C_{F1,2}$ เพื่อให้ได้อัตราขยาย และแบนด์วิดท์ที่เหมาะสมโดยค่าของ $C_{F1,2}$ สามารถหาได้จากกราฟความสัมพันธ์ระหว่าง $C_{F1,2}$ กับอัตราขยาย และกราฟความสัมพันธ์ระหว่าง $C_{F1,2}$ กับแบนด์วิดท์ ดังแสดงในรูปที่ 3.7 และ รูปที่ 3.8



เอกสารนี้เป็นเอกสารที่รูปที่ 3.7 ผลการตอบสนองทางความถี่และอัตราขยายเมื่อ $C_{F1,2}$ มีค่าต่าง ๆ กันด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แบนด์วิดท์และอัตราขยายเมื่อ $C_{F1,2}$ มีค่าต่าง ๆ

จากรูปที่ 3.7 เราพบว่าหาก $C_{F1,2}$ มีค่าเท่ากับ $2C_{gd1,2}$ วงจรขยายผลต่างที่ใช้การชดเชยความถี่จะมีอัตราขยายและแบนด์วิดท์ที่ดี นอกจากนี้หาก $C_{F1,2}$ มีค่ามากกว่า $2C_{gd1,2}$ โพลจะกลายเป็นจำนวนเชิงซ้อนและเข้าใกล้แกนจินตภาพ (Imaginary) ส่งผลให้เกิดการชู้ตโด่ง (Overshoot) ในผลการตอบสนองทางความถี่ ลักษณะเช่นนี้บ่งบอกว่าวงจรอาจทำงานโดยไม่มีเสถียรภาพ (Unstable)

3.2 วงจรโอทีเอแบบเอาต์พุตผลต่างที่ใช้ทรานซิสเตอร์เสมือนเกตลอย

(Fully differential OTA using Quasi-floating gate transistor)

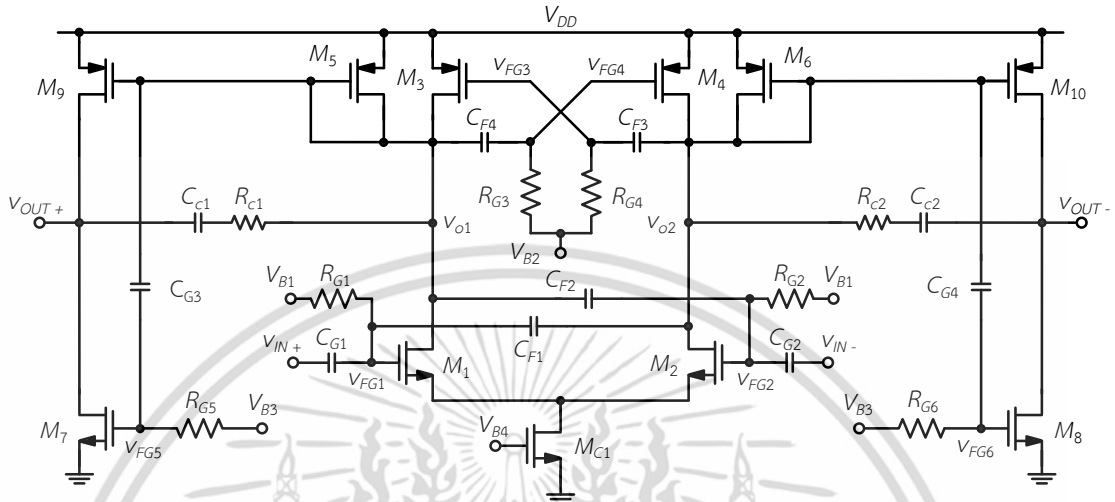
3.2.1 วงจรโอทีเอแบบเอาต์พุตผลต่างโดยใช้ทรานซิสเตอร์เสมือนเกตลอย

รูปที่ 3.9 แสดงวงจรโอทีเอแบบเอาต์พุตผลต่างที่นำเสนอ วงจรโอทีเอมีโครงสร้างเป็นวงจรขยายสองภาค ภาคแรกประกอบด้วยทรานซิสเตอร์ $M_1 - M_6$ และภาคที่สองประกอบด้วยทรานซิสเตอร์ $M_{7,8}$ และ $M_{9,10}$ สัญญาณอินพุตของวงจรภาคแรกต่อกับตัวเก็บประจุ $C_{G1,2}$ ซึ่งเชื่อมต่อระหว่างอินพุตกับขาเกตของทรานซิสเตอร์ M_1 และ M_2 ซึ่งเป็นเสมือนเกตลอย แรงดันไบอัสมีค่าเท่ากับ V_{B1} โดยไบอัสผ่านตัวต้านทาน $R_{G1,2}$ ซึ่งถูกสร้างจากทรานซิสเตอร์ทำงานในย่านคัทออฟ เราทำการออกแบบให้แรงดัน V_{B1} และ V_{B3} มีค่าเท่ากับ V_{DD}

วงจรโอทีเอที่นำเสนอได้ใช้ตัวเก็บประจุ $C_{F1,2}$ ต่อระหว่างโหนดเอาต์พุต $v_{O2,1}$ และโหนดเสมือนเกตลอย $V_{FG1,2}$ เพื่อลดผลกระทบมิลเลอร์ (Miller's effect) ที่เกิดจาก $C_{gd1,2}$ ของทรานซิสเตอร์ M_1 และ M_2 ขาเกตลอยเสมือนของทรานซิสเตอร์ M_3 และทรานซิสเตอร์ M_4 ต่อกับตัวเก็บประจุ C_{F3} และตัวเก็บประจุ C_{F4} ที่ต่อกับเอาต์พุต $v_{O2,1}$ ทรานซิสเตอร์ M_3 และ M_4 ถูกไบอัสด้วยแรงดัน V_{B2} ผ่านตัวต้านทาน $R_{G3,4}$ ซึ่งถูกสร้างจากทรานซิสเตอร์ทำงานในย่านคัทออฟเช่นกัน การต่อตัวเก็บประจุ C_{F3} และ C_{F4} ดังกล่าวเป็นการต่อที่มีลักษณะเป็นการป้อนกลับแบบบวกส่งผลให้

ความต้านทานเสมือนที่ขาเกตของทรานซิสเตอร์ M_3 และ M_4 มีค่าสูง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุตของวงจรมากแรก $V_{O1,2}$ ต่อกับขาเกตของทรานซิสเตอร์ $M_{9,10}$ ตัวเก็บประจุ $C_{G3,4}$ ต่อระหว่างเอาต์พุต $V_{O1,2}$ และขาเสมีอนเกตลอย $V_{FG5,6}$ ของทรานซิสเตอร์ $M_{7,8}$ ส่งผลให้ภาคเอาต์พุตของวงจรมีการทำงานในลักษณะวงจรถลาส-เอบี [37]

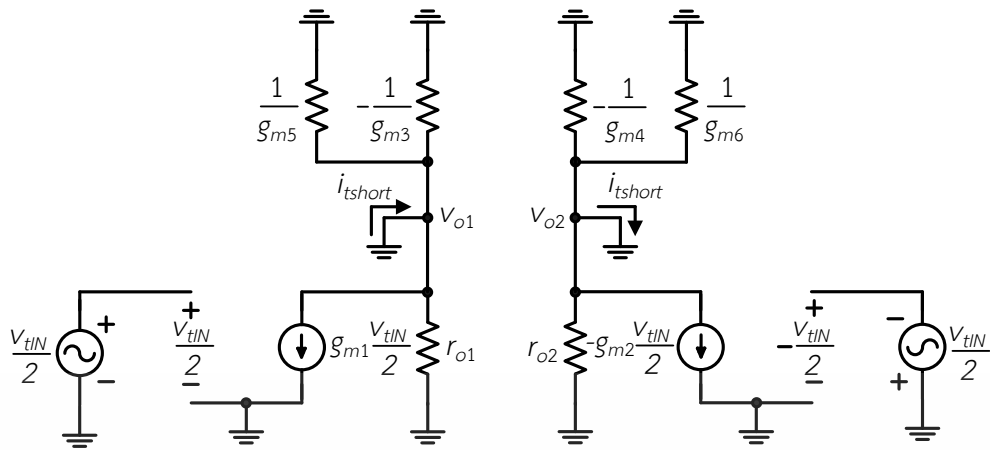


รูปที่ 3.9 วงจรโอทีเอแบบคลาส - เอบี โดยใช้ทรานซิสเตอร์เสมีอนเกตลอย

การทำงานของวงจรมีอธิบายได้ดังนี้ เมื่อสัญญาณอินพุตผลต่างถูกป้อนเข้ามาที่ V_{IN+} และ V_{IN-} ทรานซิสเตอร์ M_1 และ M_2 ทำการเปลี่ยนแรงดันอินพุตให้เป็นกระแส กระแสดังกล่าวไหลไปที่โหนด $V_{O1,2}$ ซึ่งมีความต้านทานเสมีอนเอาต์พุตเท่ากับ $R_{O1,2}$ ทำให้เกิดแรงดันที่ $V_{O1,2}$ เนื่องจากวงจรถูกออกแบบให้มีการต่อตัวเก็บประจุ $C_{F1,2}$ ระหว่างโหนด $V_{O1,2}$ และโหนดเสมีอนเกตลอย ($V_{FG1,2}$) กระแสที่อินพุตที่ไหลผ่านตัวเก็บประจุ $C_{gd1,2}$ จะถูกชดเชยด้วยกระแสไหลย้อนกลับจาก $V_{O1,2}$ ผ่านตัวเก็บประจุ $C_{F1,2}$ ส่งผลให้ผลกระทบบิลเลอที่ที่เกิดจากตัวเก็บประจุ $C_{gd1,2}$ ของทรานซิสเตอร์ M_1 และ M_2 ลดลง นอกจากนี้ตัวเก็บประจุ $C_{F1,2}$ ที่ถูกต่อมีลักษณะการป้อนกลับแบบบวก ทำให้ค่าความต้านทานเสมีอนด้านเอาต์พุตของทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_2 มีค่าเพิ่มขึ้น นอกจากนี้การป้อนกลับแบบบวกของทรานซิสเตอร์ M_3 และ M_4 ดังที่กล่าวไปแล้วทำให้ค่าความต้านทานเสมีอนที่ $V_{O1,2}$ มีค่าสูง ด้วยเหตุผลดังกล่าว อัตราขยายโหมตผลต่างของวงจรมากแรกและแบนด์วิดท์จึงมีค่าสูงมากขึ้น วงจรถูกออกแบบให้มีอัตราขยายสูงมากเพื่อช่วยให้สัญญาณรบกวนอ้างอิงที่อินพุตมีค่าลดลง

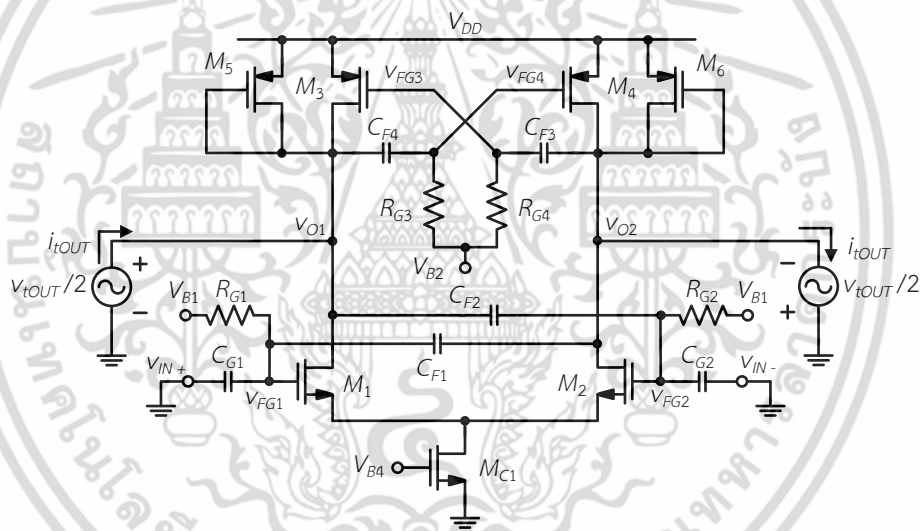
สัญญาณที่โหนด $V_{O1,2}$ ของวงจโรทีเอภาคแรกถูกขยายโดยวงจรมากแรกที่สองซึ่งประกอบด้วยทรานซิสเตอร์ $M_{7,8}$ และ $M_{9,10}$ เนื่องจากทรานซิสเตอร์ $M_{7,8}$ ใช้ทรานซิสเตอร์เสมีอนเกตลอย ส่งผลให้สัญญาณที่ขาเสมีอนเกตลอย $V_{FG5,6}$ มีค่าเท่ากับสัญญาณที่ขาเกตของทรานซิสเตอร์ $M_{9,10}$ ดังนั้นวงจรมากที่สองจึงทำงานในลักษณะคลาส-เอบี กล่าวคือ เมื่อสัญญาณ $V_{O1,2}$ เข้ามาที่ขาเกตของทรานซิสเตอร์ $M_{7,8}$ และ $M_{9,10}$ ทรานซิสเตอร์ $M_{7,8}$ และ $M_{9,10}$ สามารถจ่ายและดึงกระแสได้มากกว่ากระแสสงบนิ่งของ $M_{7,8}$ และ $M_{9,10}$ เนื่องจากวงจรมากที่สองต่อลักษณะวงจรมากแรกสองตัว ดังนั้น สัญญาณเอาต์พุต V_{OUT+} และ V_{OUT-} ที่ถูกขยายมีลักษณะกลับเฟสกับสัญญาณที่โหนด $V_{O1,2}$ ตัวต้านทาน $R_{C1,2}$ และตัวเก็บประจุ $C_{C1,2}$ ทำหน้าที่ชดเชยความถี่ของวงจโรทีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



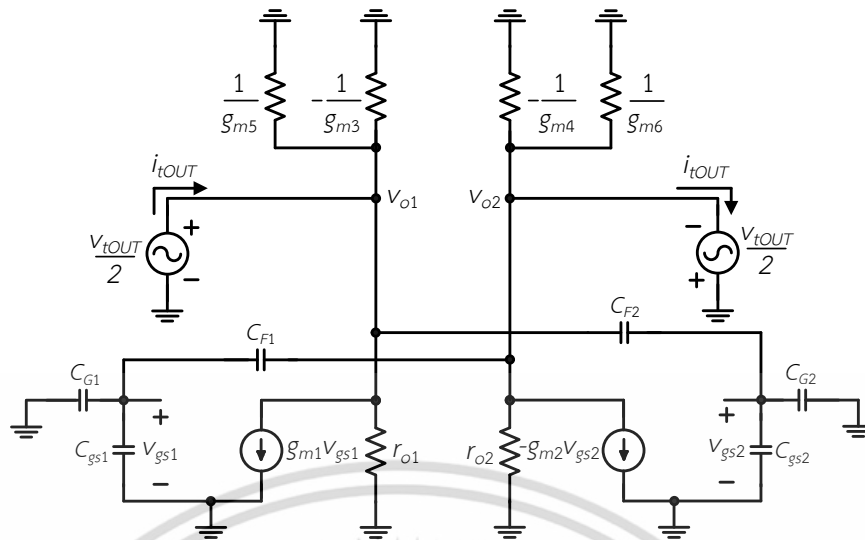
รูปที่ 3.11 วงจรเสมือนสัญญาณขนาดเล็กของวงจรภาคแรก

การวิเคราะห์หาค่าความต้านทานเสมือนทางด้านเอาต์พุต $R_{o1,2}$ สามารถทำได้จากการวิเคราะห์ห้วงจรในรูปที่ 3.12 ซึ่งมีวงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.13



รูปที่ 3.12 การป้อนแรงดันทดสอบเพื่อหาค่า $R_{o1,2}$ วงจรภาคแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหาค่า $R_{o1,2}$

$R_{o1,2}$ มีค่าเท่ากับอัตราส่วนระหว่าง $v_{tOUT}/2$ และ i_{tOUT} และมีค่าเท่ากับ

$$R_{o1,2} = \frac{r_{o1,2}}{1 - r_{o1,2}(ag_{m1,2} + b - 1)} \tag{3.17}$$

เมื่อ a และ b มีค่าเท่ากับ

$$a \cong \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{GS1,2}} \tag{3.18}$$

$$b \cong \frac{g_{m3,4}}{g_{m5,6}} \tag{3.19}$$

เมื่อ $g_{m3,4}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของทรานซิสเตอร์ $M_{3,4}$ (A/V)

$g_{m5,6}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของทรานซิสเตอร์ $M_{5,6}$ (A/V)

A_{vd1} มีค่าเท่ากับ $-G_{m1}R_{o1,2}$ ซึ่งมีค่าเท่ากับ

$$A_{vd1} = \frac{-g_{m1,2}r_{o1,2}}{1 - r_{o1,2}(ag_{m1,2} + b - 1)} \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

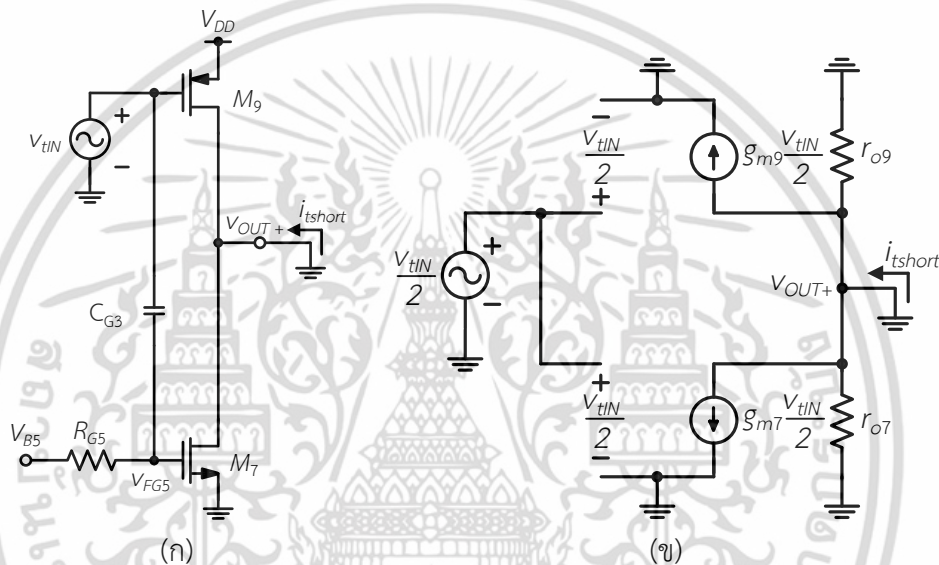
รูปที่ 3.14 (ก) แสดงการหาค่าทรานส์คอนดักแตนซ์ (G_{m2}) ของวงจรภาคที่สองหรือวงจรภาคเอาต์พุตโดยการป้อนแรงดันทดสอบ (v_{tIN}) และหากระแสลัดวงจร (i_{tshort}) รูปที่ 3.14 (ข) แสดงวงจรเสมือนสัญญาณขนาดเล็ก

G_{m2} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $v_{tIN}/2$ ซึ่งมีค่าเท่ากับ

$$G_{m2} = g_{m7,8} + g_{m9,10} \quad (3.21)$$

เมื่อ $g_{m7,8}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของทรานซิสเตอร์ $M_{7,8}$ (A/V)

$g_{m9,10}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของทรานซิสเตอร์ $M_{9,10}$ (A/V)



รูปที่ 3.14 (ก) การป้อนแรงดันทดสอบเพื่อหา G_{m2} และ (ข) วงจรเสมือนสัญญาณขนาดเล็ก

รูปที่ 3.15 (ก) แสดงการหาค่าความต้านทานเสมือนด้านเอาต์พุต (R_{OUT}) ของวงจรโอทีเอภาคที่สองโดยการป้อนแรงดันทดสอบที่เอาต์พุต (v_{tOUT}) และหากระแส i_{tOUT} รูปที่ 3.15 (ข) แสดงการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็ก

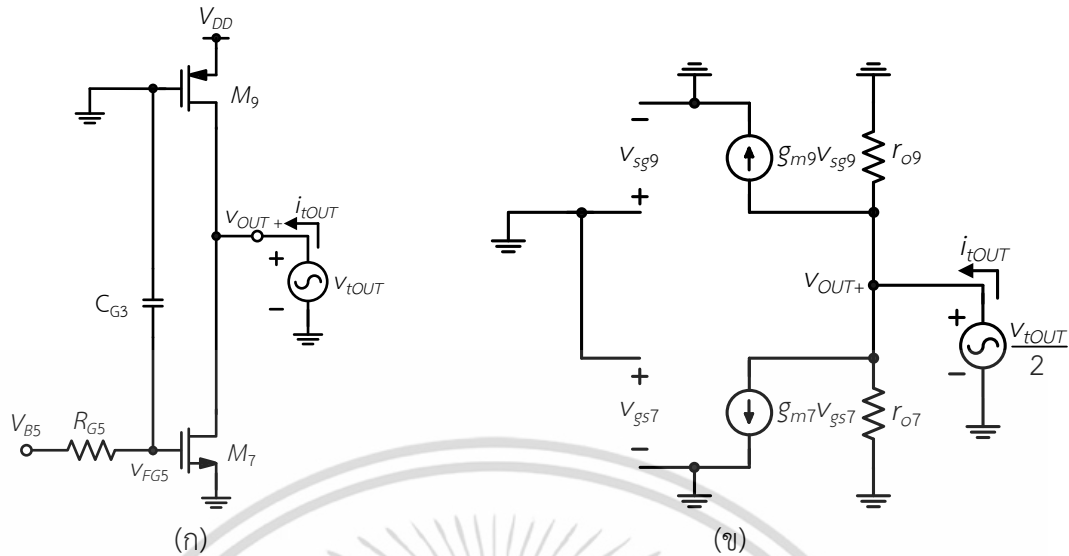
R_{OUT} มีค่าเท่ากับอัตราส่วนระหว่าง $v_{tOUT}/2$ และ i_{tOUT} และมีค่าเท่ากับ

$$R_{out} = r_{o7,8} \parallel r_{o9,10} \quad (3.22)$$

อัตราขยายสัญญาณโหมดผลต่างวงจรภาคที่สอง A_{vd2} มีค่าเท่ากับ

$$A_{vd2} = (g_{m7,8} + g_{m9,10})(r_{o7,8} \parallel r_{o9,10}) \quad (3.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 (ก) การป้อนแรงดันทดสอบเพื่อหา R_{out} และ (ข) วงจรเสมือนสัญญาณขนาดเล็

อัตราขยายสัญญาณโหมดผลต่างของวงจรโอทีเอทีนำเสนอมีค่าเท่ากับ $A_{vd} = A_{vd1}A_{vd2}$

$$A_{vd} \cong \frac{g_{m1,2} (g_{m7,8} + g_{m9,10}) r_{o1,2} (r_{o7,8} \parallel r_{o9,10})}{1 - r_{o1,2} (a g_{m1,2} + b - 1)} \quad (3.24)$$

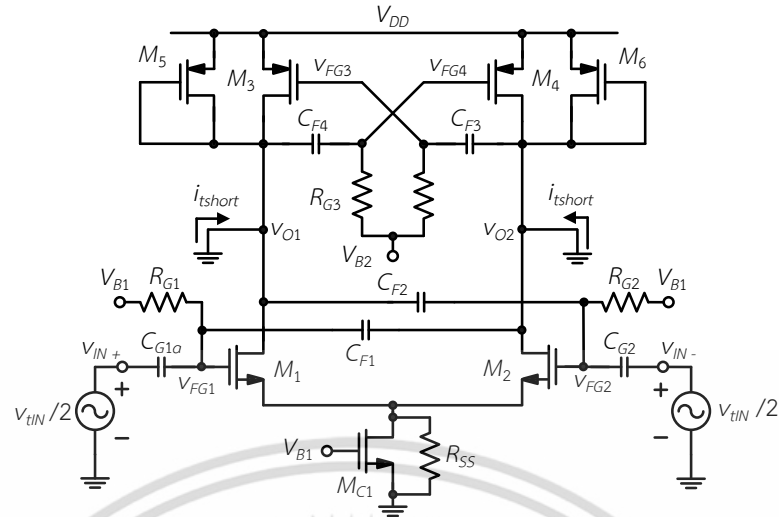
3.2.3 การวิเคราะห์หาอัตราขยายโหมดร่วมของวงจรโอทีเอทีนำเสนอ

อัตราขยายโหมดร่วมของวงจรโอทีเอทีมีค่าเท่ากับ $A_{vc1}A_{vc2}$ โดยที่ A_{vc1} และ A_{vc2} คืออัตราขยายโหมดร่วมของวงจรขยายภาคแรกและภาคที่สองตามลำดับ อัตราขยายโหมดร่วมของวงจรขยายภาคแรก A_{vc1} หาได้จากผลคูณของ G_{mc1} และค่า $R_{oc1,2}$ รูปที่ 3.16 แสดงการหา G_{mc1} ด้วยการป้อนแรงดันทดสอบโหมดร่วมที่อินพุตแล้ววิเคราะห์หากระแสลัดวงจร i_{short} รูปที่ 3.17 แสดงวงจรเสมือนสัญญาณขนาดเล็เพื่อหาค่า G_{mc1}

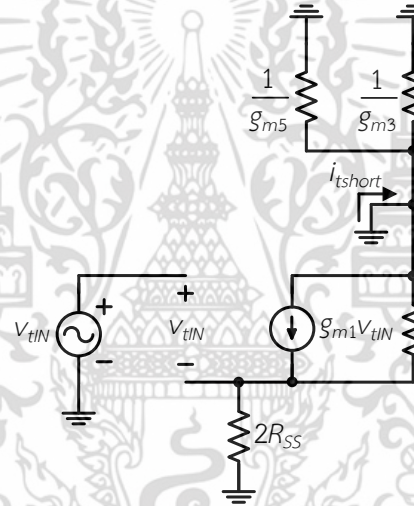
G_{mc1} มีค่าเท่ากับอัตราส่วนระหว่างกระแสลัดวงจร i_{short} และแรงดันทดสอบอินพุต v_{tIN} และจะมีค่าเป็น

$$G_{mc1} = \frac{g_{m1,2}}{1 + 2g_{m1,2}R_{SS}} \quad (3.25)$$

เมื่อ R_{SS} คือ ค่าความต้านทานสัญญาณขนาดเล็ด้านเอาต์พุตของทรานซิสเตอร์ M_{C1} (โอห์ม, Ω)



รูปที่ 3.16 การป้อนแรงดันทดสอบโหมตรงวมเพื่อหา G_{mc1}

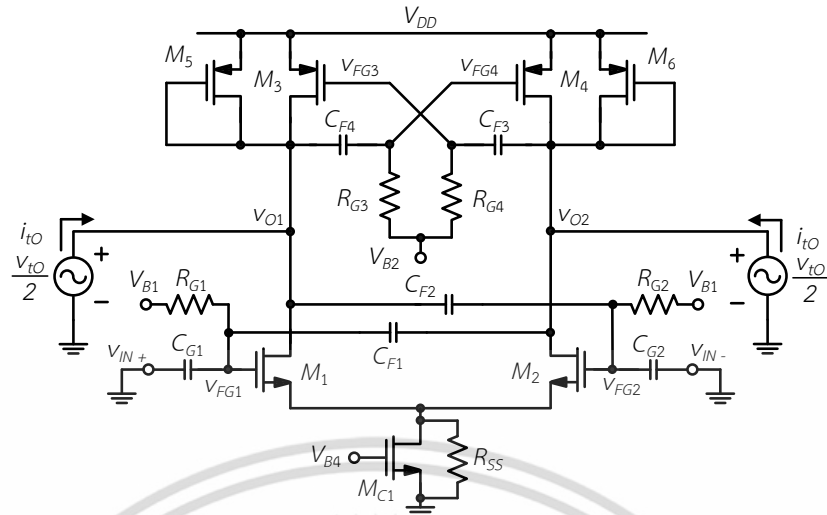


รูปที่ 3.17 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{mc1}

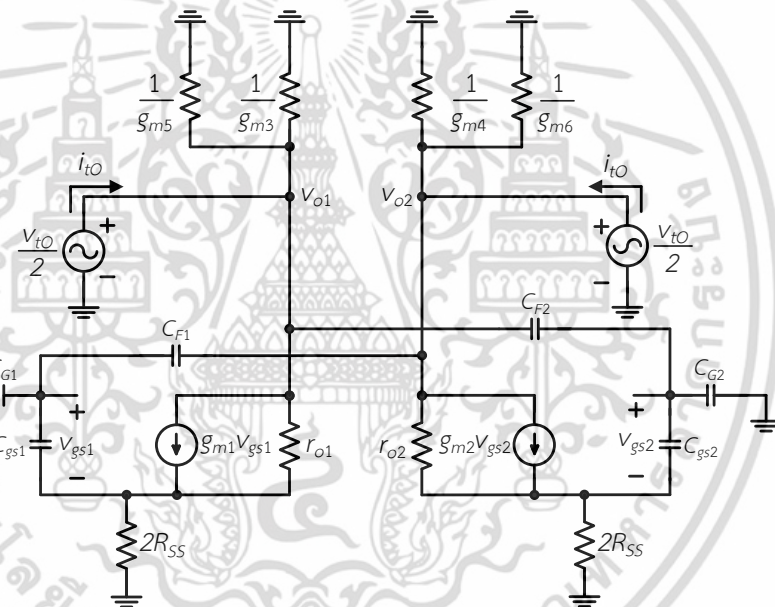
เราสามารถวิเคราะห์หาค่าความต้านทานเสมือนเอาต์พุต ($R_{oc1,2}$) ของวงจรภาคแรกโดยการป้อนสัญญาณทดสอบที่เอาต์พุตดังแสดงในรูปที่ 3.18 แล้วทำการหากระแสทดสอบที่ไหลเข้าเอาต์พุตของวงจรด้วยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.19

$$R_{oc1,2} \cong \frac{1}{g_{m3,4}} \parallel \frac{1}{g_{m5,6}} \tag{3.26}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 การป้อนแรงดันทดสอบเพื่อหา $R_{oc1,2}$



รูปที่ 3.19 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{oc1,2}$

อัตราขยายสัญญาณโหมตร่วมภาคที่สอง A_{vc2} มีค่าเท่ากับอัตราขยายในสมการที่ 3.23 ดังนั้น อัตราขยายสัญญาณโหมตร่วมของวงจรโอทีเอทีที่นำเสนอมีค่าเท่ากับ

$$A_{vc} \cong \frac{g_{m1,2} (g_{m7,8} + g_{m9,10})}{1 + 2g_{m1,2}R_{SS}} \left(\frac{1}{g_{m3,4}} \parallel \frac{1}{g_{m5,6}} \right) (r_{o7,8} \parallel r_{o9,10}) \quad (3.27)$$

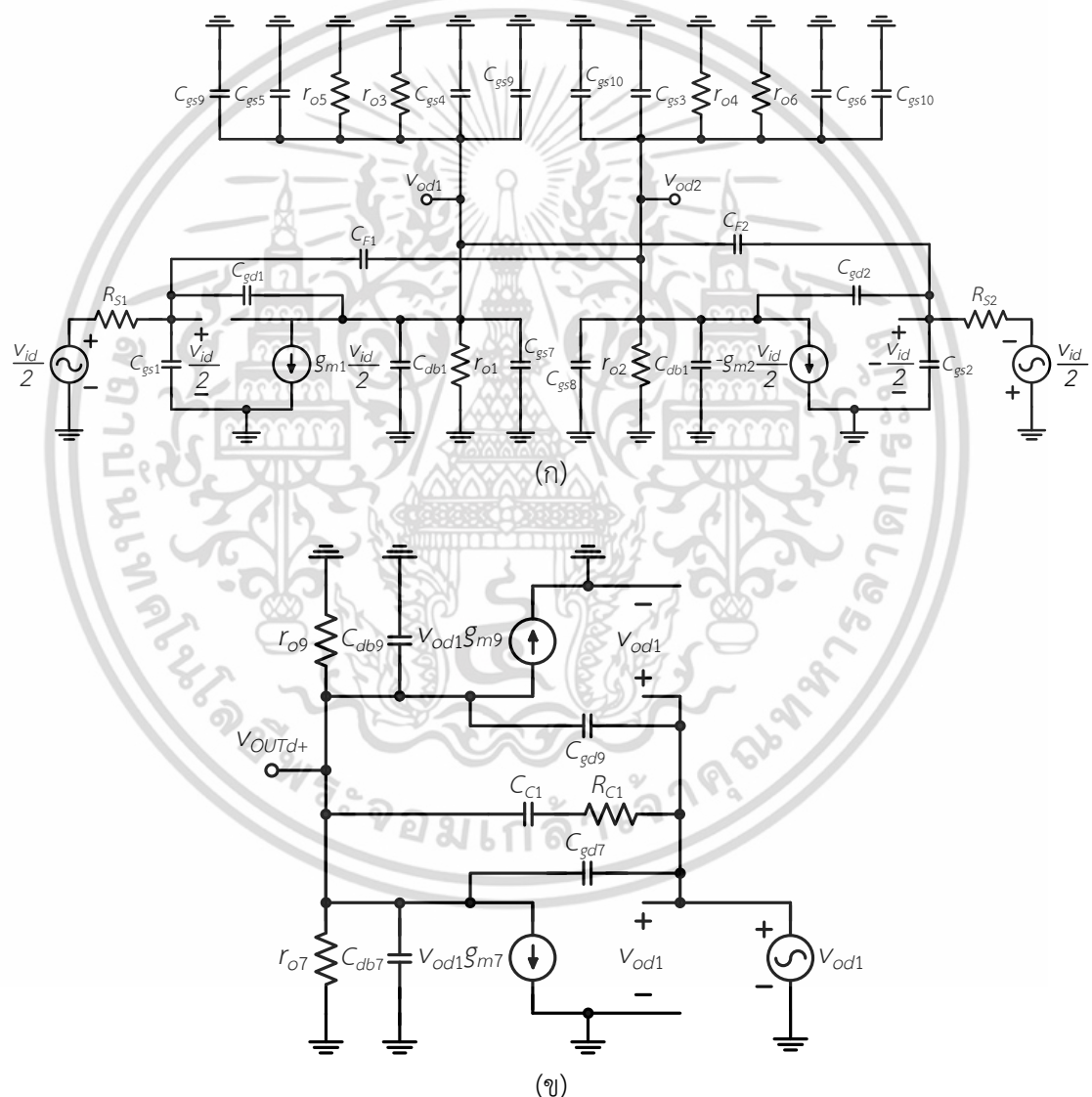
จากสมการที่ 3.27 เราสังเกตเห็นได้ว่าอัตราขยายสัญญาณโหมตร่วมมีค่าน้อยเนื่องจาก R_{SS} มีค่าค่อนข้างสูง นอกจากนั้น $1/g_{m3,4}$ และ $1/g_{m5,6}$ ก็มีค่าน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันดีซีเอาต์พุต V_{OUT+} และ V_{OUT-} ของวงจรสามารถกำหนดได้ด้วยแรงดันอ้างอิง $V_{REF,cm}$ ตัวอย่างเช่นหากต้องการให้แรงดัน V_{OUT+} และ V_{OUT-} มีค่าสูงขึ้น เราสามารถปรับแรงดัน $V_{REF,cm}$ เพิ่มขึ้น

3.2.5 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรโอทีเอเอาต์พุตผลต่าง

การวิเคราะห์หาฟังก์ชันถ่ายโอนเพื่อวิเคราะห์หาผลการตอบสนองทางความถี่สามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กดังที่แสดงในรูปที่ 3.21 (ก) และ (ข) การวิเคราะห์เริ่มจากการหาอัตราขยายแรงดันของวงจรโอทีเอภาคแรก และอัตราขยายแรงดันของวงจรโอทีเอภาคที่สองโดยพิจารณาว่าตัวเก็บประจุ $C_{gd7,8(9,10)}$ มีค่าน้อยกว่า $C_{c1,2}$ มาก ฟังก์ชันถ่ายโอนมีค่าเท่ากับ



รูปที่ 3.21 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอ (ก) ภาคแรก และ (ข) ภาคเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_{m1,2} (g_{m7,8} + g_{m9,10}) R_{o1,2} R_{out+,-} \left(1 - \frac{s}{\omega_{z1}}\right) \left(1 - \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) \left(1 + \frac{s}{\omega_{p4}}\right)} \quad (3.29)$$

เมื่อ ω_{z1} ω_{z2} ω_{p1} ω_{p2} ω_{p3} และ ω_{p4} มีค่าเท่ากับ

$$\omega_{z1} \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (3.30)$$

$$\omega_{z2} \cong \frac{1}{R_{c1,2} C_{c1,2}} \quad (3.31)$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[g_{m1,2} R_{o1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{o1,2} C_{o1,2}} \quad (3.32)$$

$$\omega_{p2} \cong \frac{R_{s1,2} \left[g_{m1,2} R_{o1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{o1,2} C_{o1,2}}{R_{s1,2} R_{o1,2} \left[C_{i1,2} (C_{gd1,2} + C_{db1,2}) - C_{gd1,2} (C_{gd1,2} - C_{F1,2}) \right]} \quad (3.33)$$

$$\omega_{p3} \cong \frac{1}{C_{c1,2} R_{c1,2} + C_{c1,2} R_{out+,-} + C_{out+,-} R_{out+,-}} \quad (3.34)$$

$$\omega_{p4} \cong \frac{R_{c1,2} + R_{out+,-}}{R_{c1,2} R_{out+,-} C_{out+,-}} \quad (3.35)$$

เมื่อ $R_{o1,2}$ $R_{out+,-}$ $C_{i1,2}$ $C_{o1,2}$ และ $C_{out+,-}$ มีค่าเท่ากับ

$$R_{o1,2} = r_{o1,2} // r_{o3,4} // r_{o5,6} \quad (3.36)$$

$$R_{out+,-} = r_{o7,8} // r_{o9,10} \quad (3.37)$$

$$C_{i1,2} = C_{gs1,2} + C_{gd1,2} + C_{F1,2} \quad (3.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

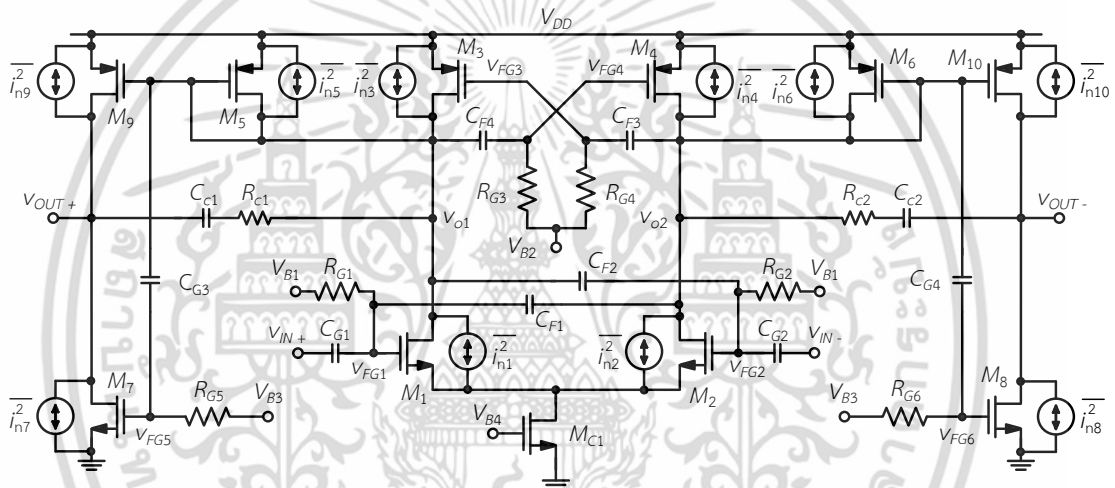
$$C_{o1,2} = C_{gd1,2} + C_{db1,2} + C_{gd3,4} + C_{gs3,4} + C_{gs5,6} + C_{gs7,8} + C_{gs9,10} \quad (3.39)$$

$$C_{out+,-} = C_{db7,8} + C_{db9,10} \quad (3.40)$$

3.2.6 การวิเคราะห์หาสัญญาณรบกวนของวงจรวอร์โทีเอ

การวิเคราะห์หาสัญญาณรบกวนของวงจรวอร์โทีเอแบบอินพุต และเอาต์พุตผลต่างที่นำเสนอ สามารถทำได้โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณรบกวนเชิงอุณหภูมิ (Thermal noise) ดังแสดง ในรูปที่ 3.22

โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณรบกวนขนาดเล็ก เราพบว่าฟังก์ชันถ่ายโอนสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุต $\overline{v_i^2}$ และ $\overline{i_i^2}$ มีค่าเท่ากับ



รูปที่ 3.22 การวิเคราะห์หาสัญญาณรบกวน

$$\overline{v_i^2} = 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2}} + \frac{g_{m3,4} + g_{m5,6}}{g_{m1,2}^2} \right) + \frac{8kT}{g_{m1,2}^2 R_{G3,4}} \quad (3.41)$$

$$\overline{i_i^2} = (sC_{gs1,2})^2 \left[8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2}} + \frac{g_{m3,4} + g_{m5,6}}{g_{m1,2}^2} \right) + \frac{8kT}{g_{m1,2}^2 R_{G3,4}} \right] \quad (3.42)$$

- เมื่อ $\overline{v_i^2}$ คือ สัญญาณรบกวนที่อินพุตของวงจรวอร์โทีเอ (V^2/Hz)
 k คือ ค่าคงที่บอล์ซ์แมน (Boltzmann constant) ($1.38 \times 10^{-23} \text{ JK}^{-1}$)
 T คือ ค่าอุณหภูมิ (เคลวิน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 การจำลอง ผลการจำลอง และการวิจารณ์ผล

โปรแกรม HSPICE ถูกใช้เพื่อจำลองผลการทำงานของวงจรที่นำเสนอ เทคโนโลยีที่ใช้เป็นแบบซิมอสที่มีขนาดเท่ากับ 0.18 ไมโครเมตร วงจรทำงานภายใต้ไฟเลี้ยงเท่ากับ 0.8 โวลต์ กระแสสงบนิ่ง (Quiescent current) ที่ภาคอินพุต และเอาต์พุตมีค่าเท่ากับ 20 ไมโครแอมป์ ตัวต้านทาน $R_{1a,b}$ $R_{3a,b}$ และ $R_{4a,b}$ ถูกสร้างด้วยทรานซิสเตอร์ nMOS ทำงานในย่านคัทออฟ และตัวต้านทาน $R_{2a,b}$ ถูกสร้างด้วยทรานซิสเตอร์ pMOS โดยทำงานในย่านคัทออฟ

ในการจำลองการทำงานได้ทำการต่อตัวเก็บประจุไว้เป็นโหลดและมีค่าความจุเท่ากับ 20 พิโคฟารัด ตารางที่ 3.1 แสดงแรงดันไบอัสให้วงจรโอทีเอเอาต์พุตผลต่างที่นำเสนอ

ตารางที่ 3.1 แรงดันไบอัส

แรงดันไบอัส	โวลต์
V_{DD}	0.8 V
V_{B1}	0.75 V
V_{B2}	0.314 V
V_{B3}	0.54 V

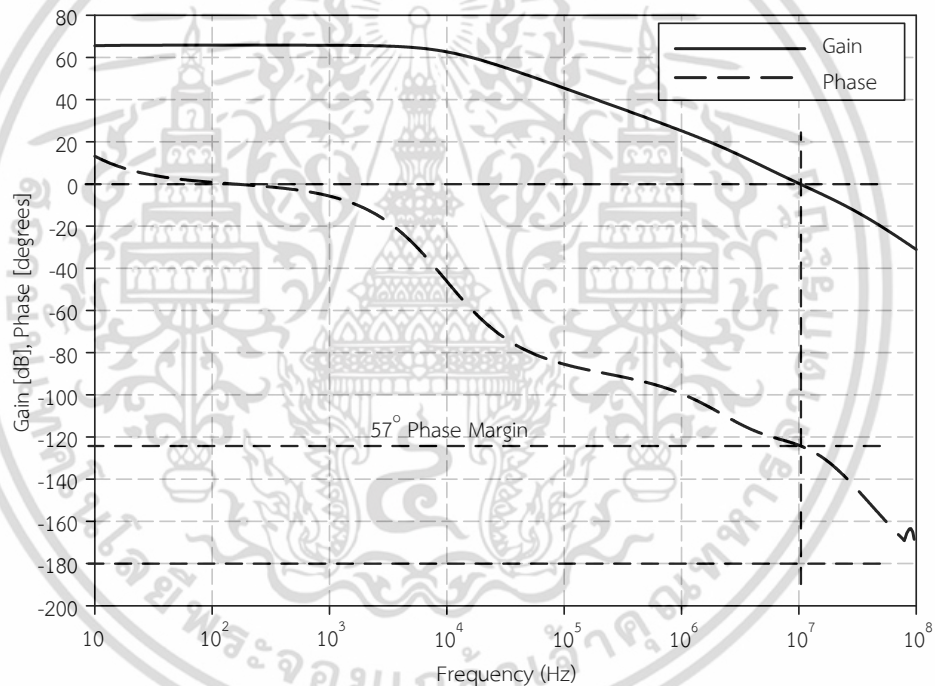
ตารางที่ 3.2 แสดงขนาดของทรานซิสเตอร์ที่ใช้ในวงจรโอทีเอ และค่าความจุของตัวเก็บประจุที่ใช้ในการออกแบบวงจร ค่าความจุ $C_{F1,2}$ ถูกออกแบบให้มีค่าเท่ากับ 32 fF ซึ่งมีค่าเท่ากับ $2C_{gd1,2}$ เพื่อลดผลกระทบมิลเลอร์ (Miller Effect) ของตัวเก็บประจุ $C_{gs1,2}$ ค่าความจุ $C_{F3,4}$ ถูกออกแบบให้มีขนาดใหญ่และมีค่าเท่ากับ 1 pF เพื่อให้ค่าความต้านทานเสมือนที่ทรานซิสเตอร์ $M_{3,4}$ เท่ากับ $-1/g_{m3,4}$

ตารางที่ 3.2 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรโอทีเอ

ทรานซิสเตอร์	ขนาด (W/L)	ทรานซิสเตอร์	ขนาด (W/L)
$M_1 - M_6$	30 $\mu\text{m}/0.5 \mu\text{m}$	$M_{13,14}$	30 $\mu\text{m}/0.5 \mu\text{m}$
$M_{7,8}$	4.45 $\mu\text{m}/0.5 \mu\text{m}$	$M_{15,16}$	33.6 $\mu\text{m}/0.5 \mu\text{m}$
$M_{9,10}$	33.6 $\mu\text{m}/0.5 \mu\text{m}$	$M_{17,18}$	33.6 $\mu\text{m}/0.5 \mu\text{m}$
$M_{11,12}$	30 $\mu\text{m}/0.5 \mu\text{m}$		
ตัวเก็บประจุ	ความจุ	ตัวต้านทาน MOS	ขนาด (W/L)
$C_{G1,2}$	1 pF	$M_{R1,2}$	0.75 $\mu\text{m}/200 \mu\text{m}$
$C_{F1,2}$	32 fF	$M_{R3,4}$	0.75 $\mu\text{m}/200 \mu\text{m}$
$C_{F3,4}$	1 pF	$M_{R5,6}$	0.75 $\mu\text{m}/50 \mu\text{m}$
$C_{G5,6}$	3 pF	ตัวต้านทาน	ค่าความต้านทาน
$C_{C1,2}$	2 pF	$R_{C1,2}$	15 k Ω

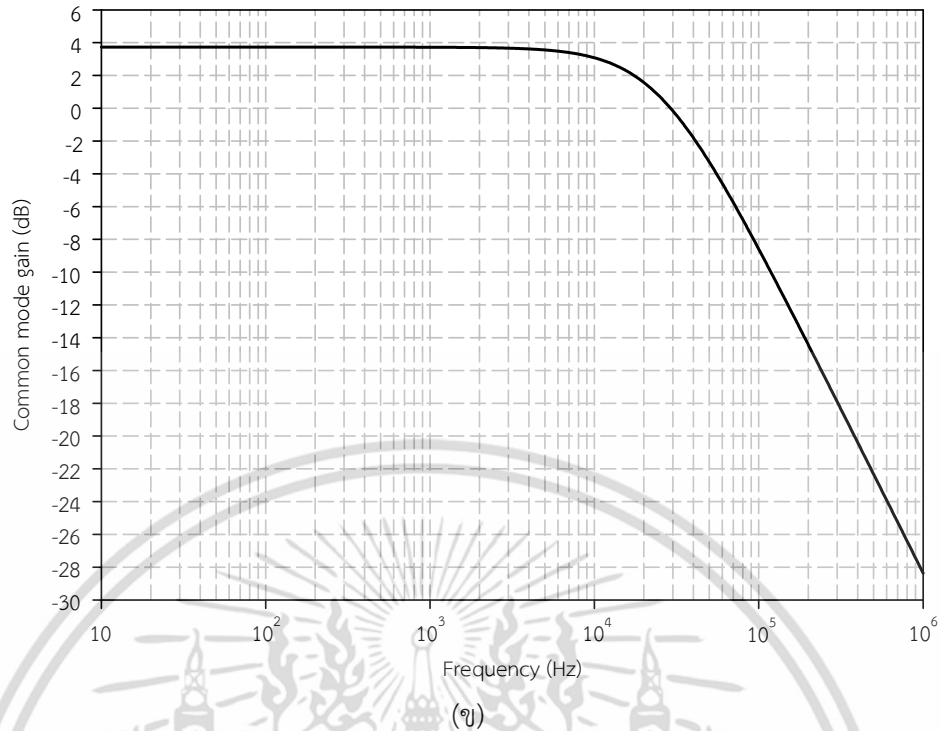
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.23 แสดงผลการตอบสนองทางความถี่ของวงจรโอทีเอที่นำเสนอ รูปที่ 3.23 (ก) แสดงผลของการจำลองอัตราขยายลูปเปิด (Open loop gain) มีค่าเท่ากับ 65.8 เดซิเบล มีส่วนเผื่อของเฟส (Phase margin) มีค่าเท่ากับ 57 องศา ความถี่คัทออฟ (f_{-3dB}) มีค่าเท่ากับ 9.61 กิโลเฮิร์ตซ์ และผลคูณระหว่างอัตราขยายและแบนด์วิดท์ (Gain bandwidth product) มีค่าเท่ากับ 10.2 เมกะเฮิร์ตซ์ รูปที่ 3.23 (ข) แสดงผลของการจำลองอัตราขยายโหมดร่วม (Common mode gain) มีค่าเท่ากับ 3.72 เดซิเบล รูปที่ 3.24 และรูปที่ 3.25 แสดงผลตอบสนองทางเวลาของวงจรโอทีเอ ที่ถูกนำเสนอ ซึ่งต่อในลักษณะวงจรขยายแบบกลับเฟสและมีอัตราขยายเท่ากับหนึ่ง โหลดตัวเก็บประจุมีค่าเท่ากับ 20 พิโคฟารัด รูปที่ 3.24 แสดงผลการป้อนสัญญาณไซน์ที่อินพุตเท่ากับ 1.4 โวลต์ มีความถี่เท่ากับ 40 กิโลเฮิร์ตซ์ จากผลของการจำลองเราพบว่า วงจรสามารถทำงานในช่วงปฏิบัติการกว้างได้ รูปที่ 3.25 แสดงผลการป้อนสัญญาณพัลส์ที่อินพุตที่มีค่าเท่ากับ 800 มิลลิโวลต์ ความถี่เท่ากับ 100 กิโลเฮิร์ตซ์ จากผลของการจำลองเราพบว่าแรงดันเอาต์พุตมีค่าเท่ากับ 772 มิลลิโวลต์ วงจรมีอัตราสลับเท่ากับ 6.76 โวลต์ต่อไมโครวินาที

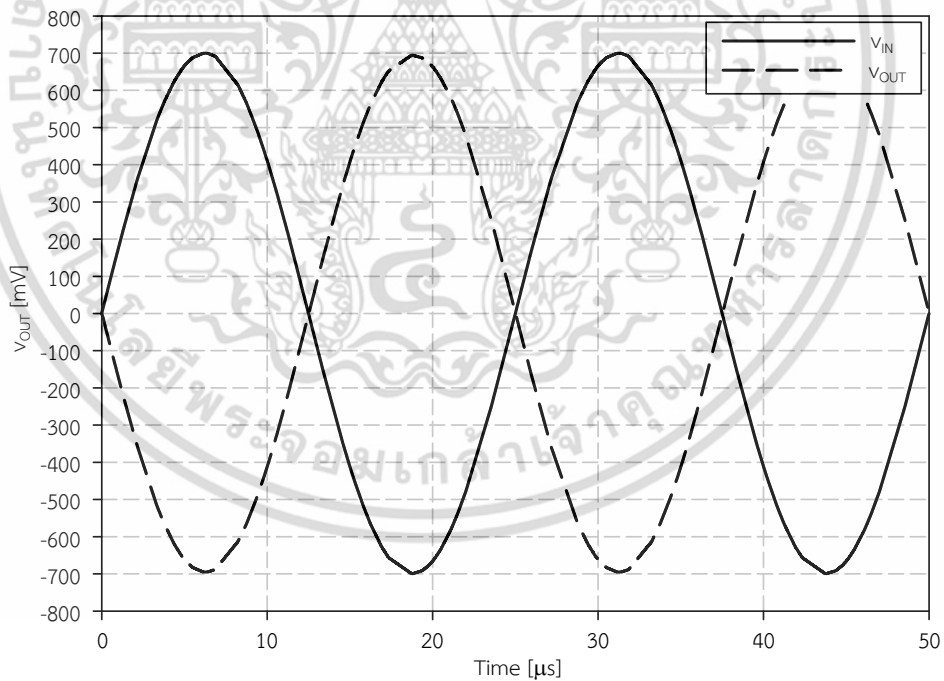


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

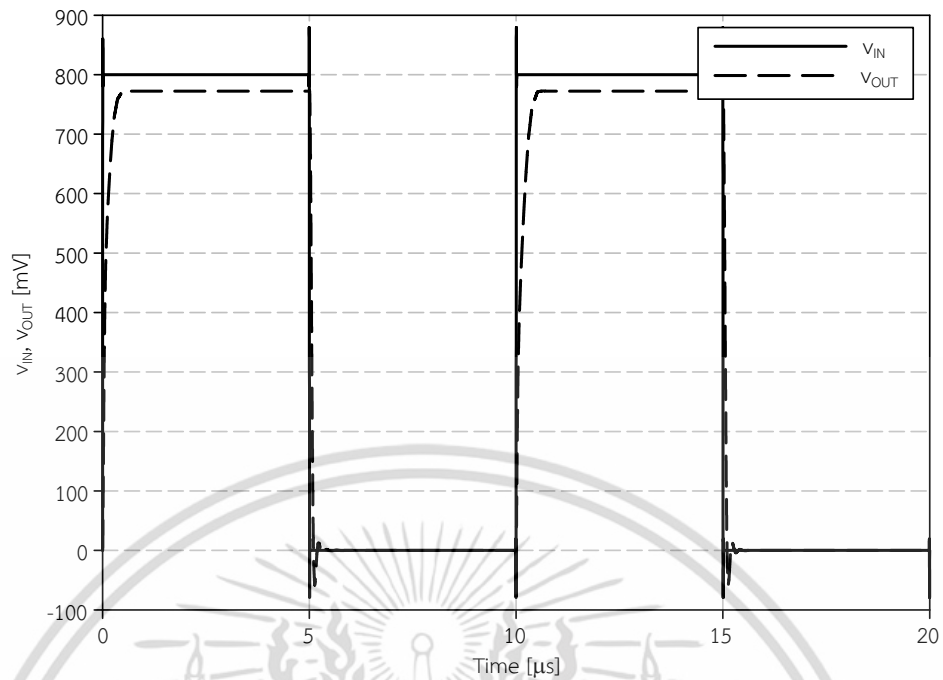


รูปที่ 3.23 ผลการตอบสนองความถี่ (ก) อัตราขยายโหมดผลต่าง และ (ข) อัตราขยายโหมดร่วม

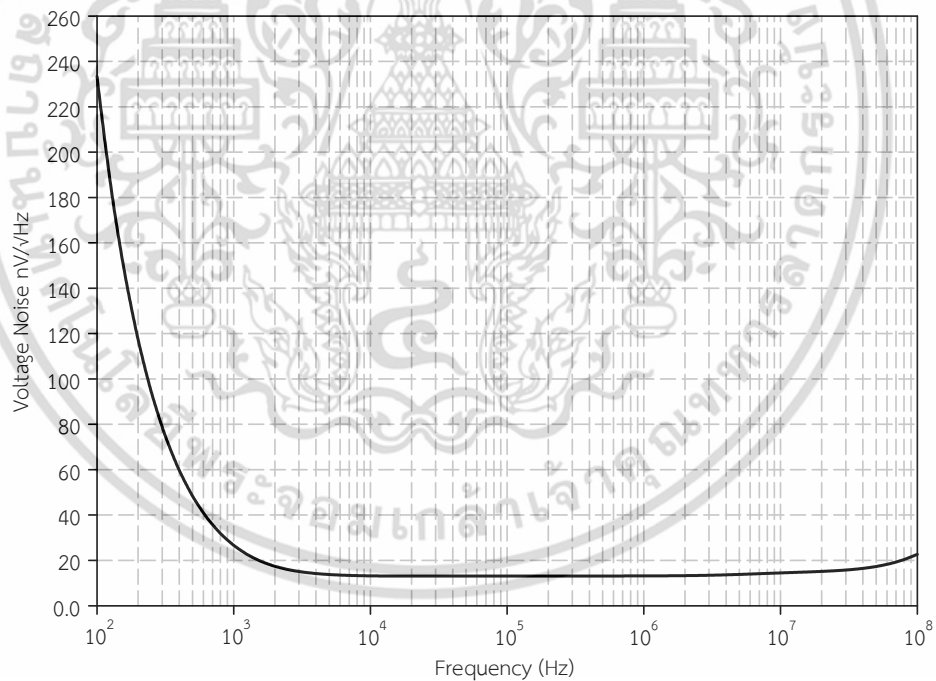


รูปที่ 3.24 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์ความถี่เท่ากับ 40 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์ความถี่เท่ากับ 100 กิโลเฮิร์ตซ์



รูปที่ 3.26 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอุณหภูมิ

รูปที่ 3.26 แสดงขนาดของสัญญาณรบกวนที่อินพุตในรูปของแรงดัน $\overline{v_i^2}$ ขนาดของสัญญาณรบกวนที่ความถี่คัตออฟ (f_{-3dB}) มีค่าเท่ากับ 13.5 nV/√Hz

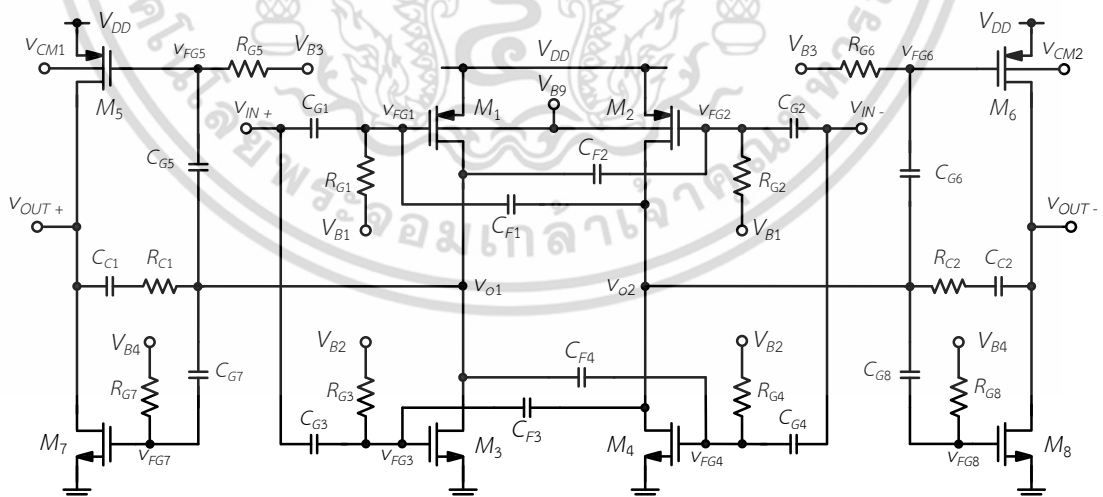
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรโอทีที่ใช้วงจรรขยายผลต่างเสมือนและทรานซิสเตอร์เสมือนเกตลอย

(Pseudo fully differential OTA using Quasi-floating gate transistor)

3.3.1 วงจรโอทีเอทีใช้วงจรรขยายผลต่างเสมือนและทรานซิสเตอร์เสมือนเกตลอย

รูปที่ 3.27 แสดงวงจรโอทีเอทีที่นำเสนอวงจรรขยายผลต่างเสมือนประกอบด้วยวงจรรขยายสองภาค ภาคแรกประกอบด้วยทรานซิสเตอร์ $M_{1,2}$ และ $M_{3,4}$ ตัวเก็บประจุ $C_{G1,2}$ และ $C_{G3,4}$ ต่อระหว่างสัญญาณอินพุตกับขาเกตลอยเสมือนของทรานซิสเตอร์ $M_{1,2}$ และ $M_{3,4}$ ทรานซิสเตอร์ $M_{1,2}$ ถูกไบอัสด้วยแรงดันเท่ากับ V_{B1} โดยไบอัสผ่านตัวต้านทาน $R_{G1,2}$ ขณะที่ทรานซิสเตอร์ $M_{3,4}$ ถูกไบอัสด้วยแรงดันเท่ากับ V_{B2} โดยไบอัสผ่านตัวต้านทาน $R_{G3,4}$ ตัวต้านทาน $R_{G1,2}$ และ $R_{G3,4}$ ถูกสร้างจากทรานซิสเตอร์ทำงานในย่านคัทออฟ ส่งผลให้ค่าความต้านทาน $R_{G1,2}$ และ $R_{G3,4}$ มีค่าสูงมาก แรงดัน V_{B1} มีค่าเท่ากับศูนย์ และแรงดัน V_{B2} มีค่าเท่ากับ V_{DD} การกำหนดค่าแรงดัน V_{B1} และ V_{B2} ดังกล่าวส่งผลให้วงจรรสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำได้ วงจรโอทีเอใช้หลักการต่อตัวเก็บประจุ $C_{F1,2}$ และ $C_{F3,4}$ ระหว่างโหนดเอาต์พุต $v_{O2,1}$ และโหนดเสมือนเกตลอย $V_{FG1,2}$ และ $V_{FG3,4}$ มาออกแบบวงจรโอทีเอเพื่อลดผลกระทบมีลเลอร์ (Miller's effect) ที่เกิดจากตัวเก็บประจุแผ่ระหว่างขาเกตและขาเดรน ($C_{gd1,2}$ และ $C_{gd3,4}$) ของทรานซิสเตอร์ $M_{1,2}$ และทรานซิสเตอร์ $M_{3,4}$ นอกจากนี้การต่อ $C_{F1,2}$ และ $C_{F3,4}$ ในลักษณะดังกล่าวทำให้ความต้านทานเสมือนที่โหนด $v_{O1,2}$ มีค่าสูง ส่งผลให้วงจรรโอทีเอภาคแรกมีอัตราขยายมาก ซึ่งช่วยให้สัญญาณรบกวนอ้างอิงที่อินพุตมีค่าน้อย ภาคที่สองประกอบด้วยทรานซิสเตอร์ $M_{5,6}$ และ $M_{7,8}$ ตัวเก็บประจุ $C_{G5,6}$ และ $C_{G7,8}$ ต่อระหว่างวงจรรโอทีเอภาคแรกและขาเสมือนเกตลอย $V_{FG5,6}$ และ $V_{FG7,8}$ ทรานซิสเตอร์ $M_{5,6}$ ถูกไบอัสด้วยแรงดัน V_{B3} ในทำนองเดียวกัน ทรานซิสเตอร์ $M_{7,8}$ ถูกไบอัสด้วยแรงดัน V_{B4} แรงดัน V_{B3} ถูกออกแบบให้มีค่าเท่ากับกราวด์ และ V_{B4} มีค่าเท่ากับ V_{DD} ส่งผลให้วงจรรขยายภาคที่สองสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำเช่นกัน



รูปที่ 3.27 วงจรโอทีเอแบบคลาส - เอบี โดยใช้ทรานซิสเตอร์เสมือนเกตลอย

การทำงานของวงจรรสามารถอธิบายได้ดังนี้ เมื่อป้อนสัญญาณอินพุตผลต่างเข้ามาที่ v_{IN+} และ v_{IN-} ทรานซิสเตอร์ $M_1 - M_4$ ทำการแปลงสัญญาณอินพุตเป็นกระแส กระแสดังกล่าวไหลผ่านค่าความต้านทานเสมือน $R_{O1,2}$ ที่โหนด v_{O1} และ v_{O2} เนื่องจาก $R_{O1,2}$ มีค่าสูง ทำให้อัตราขยายของวงจรรเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่ออนุญาตให้ไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โอทีเอภาคแรกมีค่าสูง เราอาจพิจารณาได้ว่าวงจรภาคแรกต่อในลักษณะวงจรซีมอสอินเวอร์เตอร์ที่มีการทำงานแบบคลาส เอบี ทำให้วงจรมีความสามารถจ่ายกระแสได้สูงกว่ากระแสสบบนึ่ง ในทำนองเดียวกัน วงจรภาคที่สองก็มีการทำงานแบบคลาส เอบี ทำให้ภาคที่สองมีความสามารถในการจ่ายกระแสได้สูงกว่ากระแสสบบนึ่ง

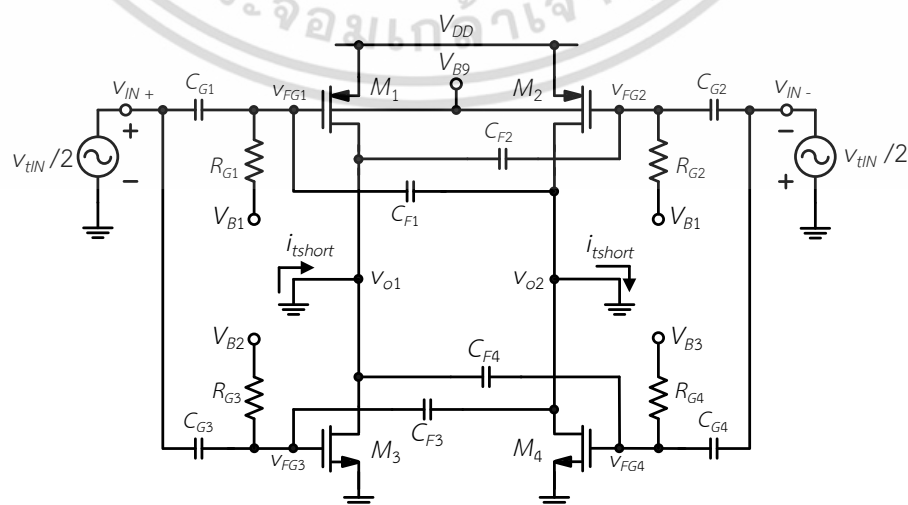
การทำงานของวงจรโอทีเอในกรณีสัญญาณอินพุตโหมตร่วม เราจะพิจารณาทรานซิสเตอร์ $M_1 - M_4$ ถูกต่อลักษณะไดโอด เนื่องจากลักษณะการต่อตัวเก็บประจุ $C_{F1,2}$ และ $C_{F3,4}$ ดังที่กล่าวไว้ก่อนหน้า ส่งผลให้ค่าความต้านทานเสมือนที่ขาเดรนของทรานซิสเตอร์ $M_{1,2}$ และ $M_{3,4}$ มีค่าประมาณเท่ากับ $1/g_{m1,2}$ และ $1/g_{m3,4}$ ตามลำดับ ส่งผลให้ค่าความต้านทานเสมือนเอาต์พุต $R_{o1,2}$ มีค่าน้อยมาก ดังนั้นวงจรโอทีเอภาคแรกจะขยายสัญญาณโหมตร่วมน้อยมาก กล่าวคือ เมื่อป้อนสัญญาณอินพุตโหมตร่วมเข้ามาที่ V_{IN+} และ V_{IN-} ทรานซิสเตอร์ $M_1 - M_4$ ทำการแปลงสัญญาณอินพุตเป็นกระแส $(g_{m1,2} + g_{m3,4})V_{INc}$ กระแสดังกล่าวไหลผ่านค่าความต้านทานเสมือน $R_{o1,2}$ ทำให้เกิดสัญญาณโหมตร่วมที่โหนด $V_{O1,2}$ สัญญาณโหมตร่วมที่โหนด $V_{O1,2}$ ของวงจรโอทีเอภาคแรกถูกขยายโดยวงจรภาคที่สองเช่นเดียวกับสัญญาณโหมตร่วมผลต่าง เนื่องจากคุณลักษณะของวงจรโอทีเอแบบเสมือนเอาต์พุตผลต่างที่มีค่าอัตราขยายสัญญาณโหมตร่วมไม่น้อยมาก ดังนั้น วงจรโอทีเอจึงจำเป็นต้องมีวงจรกำจัดสัญญาณโหมตร่วมที่เอาต์พุต V_{OUT+} และ V_{OUT-} เพื่อกำจัดสัญญาณโหมตร่วม และกำหนดแรงดันเอาต์พุตที่เหมาะสม การออกแบบวงจรกำจัดสัญญาณโหมตร่วมจะกล่าวในหัวข้อถัดไป

3.3.2 การวิเคราะห์หาอัตราขยายโหมตร่วมผลต่างของวงจรโอทีเอที่นำเสนอ

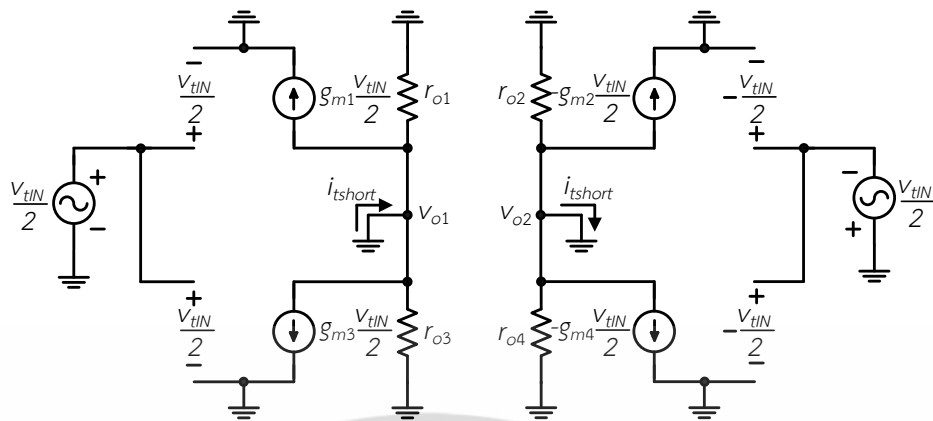
อัตราขยายโหมตร่วมผลต่างของวงจรโอทีเอที่นำเสนอมีค่าเท่ากับผลคูณของอัตราขยายโหมตร่วมผลต่างของวงจรโอทีเอภาคแรก A_{vd1} และภาคที่สอง A_{vd2} อัตราขยายโหมตร่วมผลต่างของวงจรโอทีเอภาคแรกมีค่าเท่ากับ $G_{m1}R_{o1,2}$ โดยที่ G_{m1} สามารถหาได้โดยการป้อนแรงดันทดสอบที่อินพุต (V_{tIN}) ดังแสดงในรูปที่ 3.28 โดยมีวงจรเสมือนสัญญาณขนาดเล็กในรูปที่ 3.29

G_{m1} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ V_{tIN} ซึ่งมีค่าเท่ากับ

$$G_{m1} = (g_{m1,2} + g_{m3,4}) / 2 \quad (3.43)$$

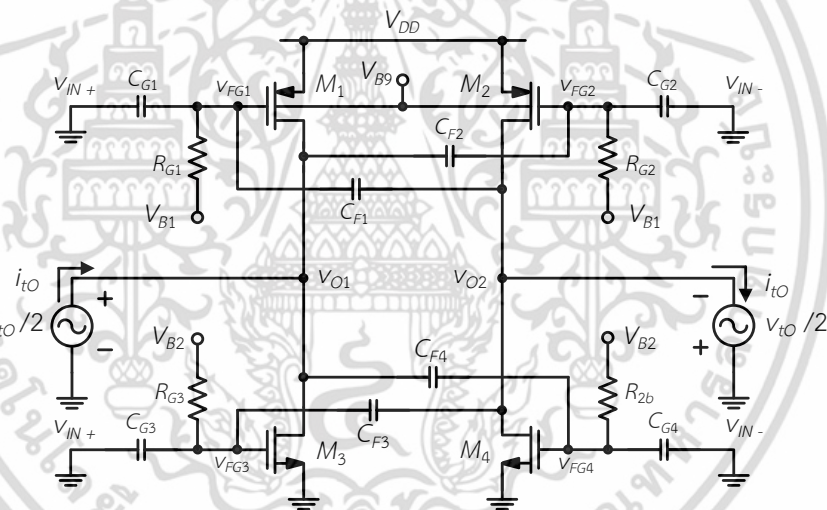


รูปที่ 3.28 การป้อนแรงดันทดสอบเพื่อหา G_{m1} ไปใช้ประโยชน์ด้านการคำนวณค่า
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น การนำออกเผยแพร่โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



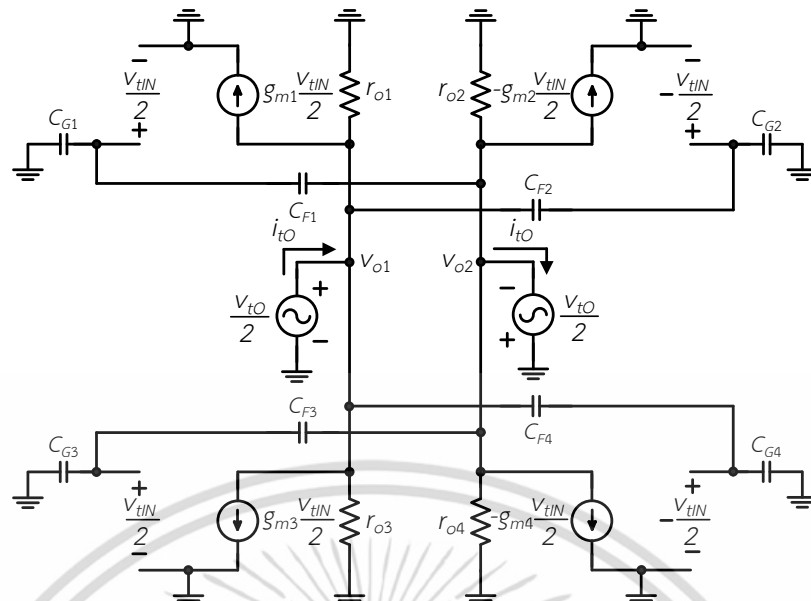
รูปที่ 3.29 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m1}

การวิเคราะห์หา $R_{o1,2}$ ของวงจรภาคแรกทำได้โดยการป้อนแรงดันทดสอบ (v_{tOUT}) ที่โหนด $v_{O1,2}$ เพื่อหากระแสทดสอบที่ไหลเข้าภาคเอาต์พุต (i_{tOUT}) ดังแสดงในรูปที่ 3.30 และวงจรเสมือนสัญญาณขนาดเล็กในรูปที่ 3.31



รูปที่ 3.30 การป้อนแรงดันทดสอบเพื่อหา $R_{o1,2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$

เราจะได้ว่า $R_{o1,2}$ มีค่าเท่ากับ

$$R_{o1,2} = \frac{r_{o1,2} r_{o3,4}}{r_{o1,2} (1 - a g_{m1,2} r_{o1,2}) + r_{o3,4} (1 - b g_{m3,4} r_{o3,4})} \quad (3.44)$$

เมื่อ a และ b มีค่าเท่ากับ

$$a \cong \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \quad (3.45)$$

$$b \cong \frac{C_{F3,4}}{C_{G3,4} + C_{F3,4} + C_{gs3,4}} \quad (3.46)$$

- เมื่อ $C_{G3,4}$ คือ ตัวเก็บประจุต่อระหว่างอินพุตกับขาเกตของ $M_{3,4}$ (ฟารัด, F)
- $C_{F3,4}$ คือ ตัวเก็บประจุที่ต่อระหว่างเอาต์พุตภาคแรกกับขาเกตของ $M_{3,4}$ (ฟารัด, F)
- $C_{gs3,4}$ คือ ตัวเก็บประจุแฝงระหว่างขาเกตกับขาซอร์สของ $M_{3,4}$ (ฟารัด, F)

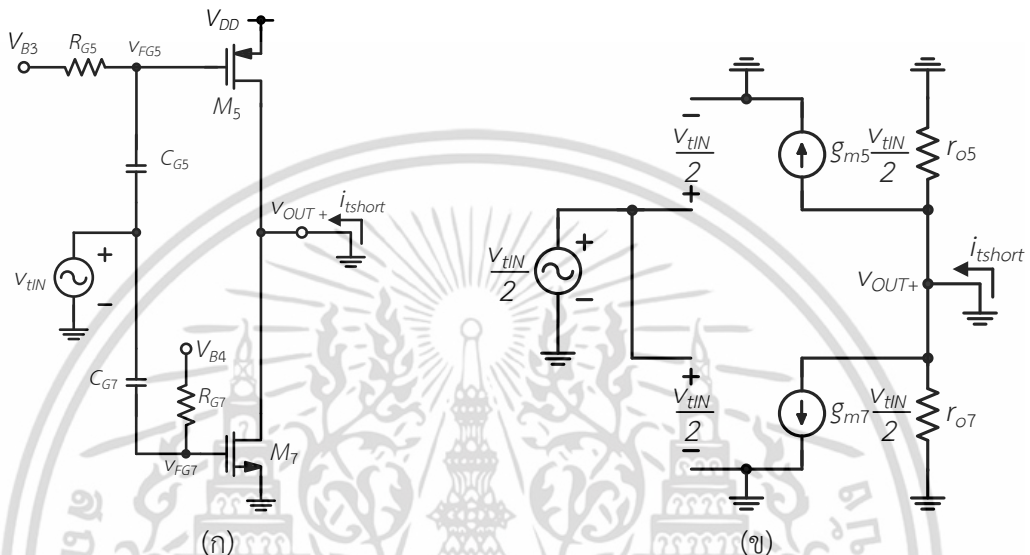
อัตราขยายสัญญาณโหมดผลต่างวงจรถอดแรก A_{vd1} มีค่าเท่ากับ

$$A_{vd1} = \frac{-(g_{m1,2} + g_{m3,4}) r_{o1,2} r_{o3,4}}{r_{o1,2} (1 - a g_{m1,2} r_{o1,2}) + r_{o3,4} (1 - b g_{m3,4} r_{o3,4})} \quad (3.47)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเฉพาะภายในเท่านั้น กรุณาอย่าเผยแพร่โดยไม่ได้รับอนุญาต ใช้นโยบายด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

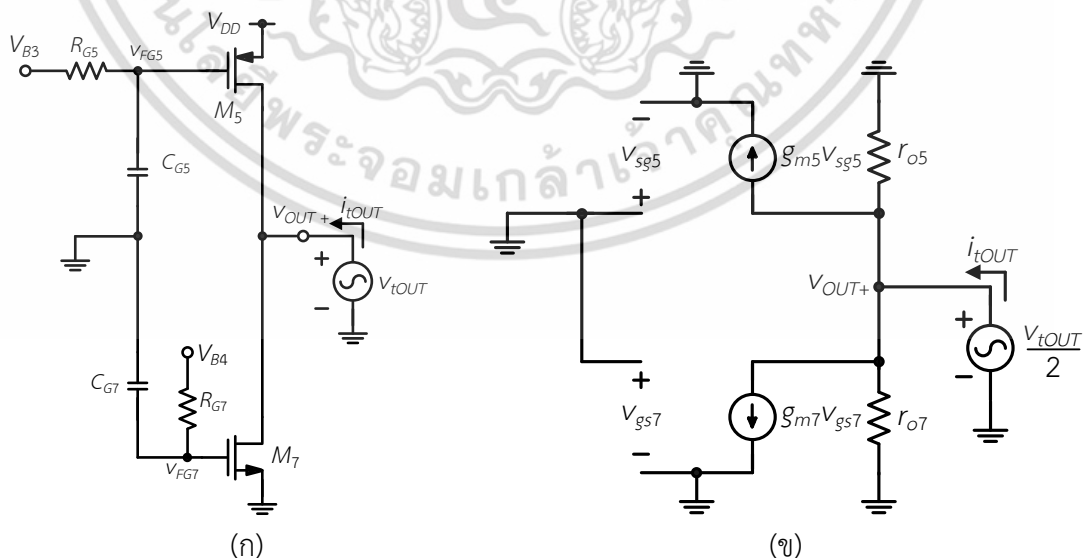
รูปที่ 3.32 (ก) แสดงการวิเคราะห์หา G_{m2} ของวงจรรวมที่สองโดยการป้อน v_{tN} และหากระแส i_{tshort} รูปที่ 3.32 (ข) แสดงการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็ก G_{m2} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $v_{tN}/2$ และมีค่าเท่ากับ

$$G_{m2} = (g_{m5,6} + g_{m7,8}) \tag{3.48}$$



รูปที่ 3.32 (ก) การหา G_{m2} โดยการป้อนแรงดัน v_{tN} และ (ข) วงจรเสมือนสัญญาณขนาดเล็ก

การวิเคราะห์หา $R_{out+,-}$ ของวงจรรวมที่สองทำได้จากการวิเคราะห์ห้วงจรเทียบเคียงสัญญาณขนาดเล็กในรูปที่ 3.33 (ก) และ 3.33 (ข) และ $R_{out+,-}$ มีค่าเป็น



รูปที่ 3.33 การหา $R_{out+,-}$ (ก) การป้อนแรงดัน $v_{tOUT}/2$ และ (ข) วงจรเสมือนสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{out+,-} = r_{o5,6} \parallel r_{o7,8} \quad (3.49)$$

อัตราขยายแรงดันภาคที่สอง A_{vd2} มีค่าเท่ากับ

$$A_{vd2} = -(g_{m5,6} + g_{m7,8})(r_{o5,6} \parallel r_{o7,8}) \quad (3.50)$$

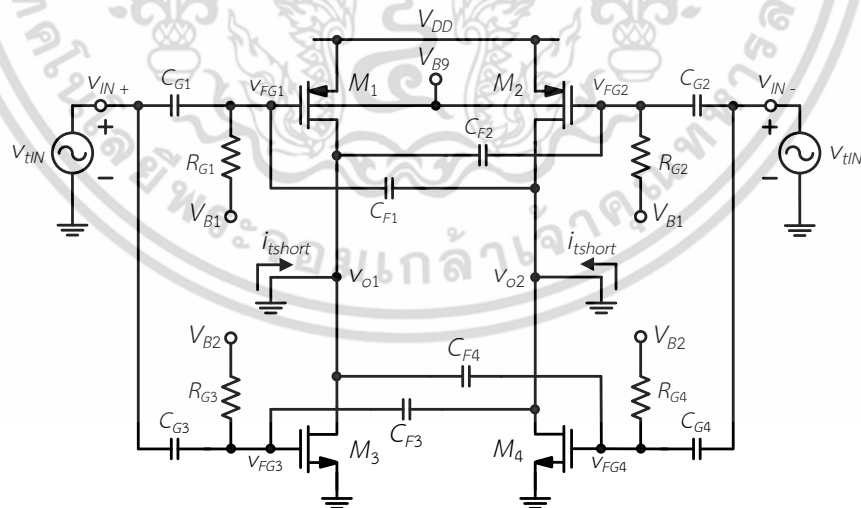
อัตราขยายสัญญาณโหมตผลต่างมีค่าเท่ากับ $A_{vd} = A_{vd1}A_{vd2}$ ซึ่งสามารถเขียนได้ว่า

$$A_{vd} = \frac{(g_{m1,2} + g_{m3,4})(g_{m5,6} + g_{m7,8})r_{o1,2}r_{o3,4}(r_{o5,6} \parallel r_{o7,8})}{r_{o1,2}(1 - ag_{m1,2}r_{o1,2}) + r_{o3,4}(1 - bg_{m3,4}r_{o3,4})} \quad (3.51)$$

3.3.3 การวิเคราะห์หาอัตราขยายโหมตร่วมของวงจรโอทีเอทีนำเสนอ

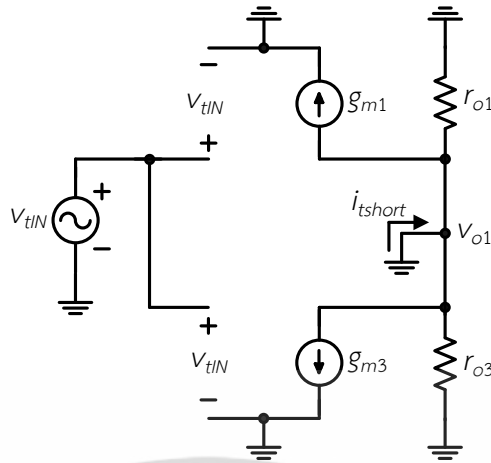
อัตราขยายโหมตร่วมของวงจรโอทีเอทีมีค่าเท่ากับ $A_{vc1}A_{vc2}$ โดยที่ A_{vc1} และ A_{vc2} คืออัตราขยายโหมตร่วมของวงจรขยายภาคแรกและภาคที่สองตามลำดับ อัตราขยายโหมตร่วมของวงจรขยายภาคแรก A_{vc1} หาได้จากผลคูณของ G_{mc1} และค่า $R_{oc1,2}$ รูปที่ 3.35 แสดงวงจรเสมือนสัญญาณขนาดเล็กเพื่อใช้วิเคราะห์หา G_{mc1} มีค่าเท่ากับอัตราส่วนของกระแส i_{short} และแรงดัน V_{tIN} และมีค่าเท่ากับ

$$G_{mc1} = g_{m1,2} + g_{m3,4} \quad (3.52)$$



รูปที่ 3.34 การป้อนแรงดันทดสอบเพื่อหา G_{mc1}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



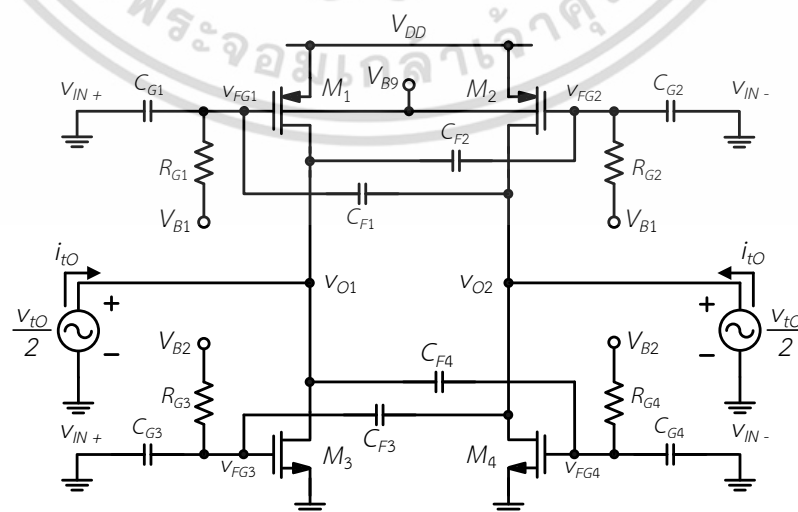
รูปที่ 3.35 วงจรเสมือนสัญญาณขนาดเล็กเพื่อใช้หา G_{mc1}

$R_{oc1,2}$ ของวงจรภาคแรกสามารถทำได้ด้วยการป้อนสัญญาณทดสอบที่เอาต์พุตดังแสดงในรูปที่ 3.36 แล้วทำการหากระแสทดสอบที่เอาต์พุตของวงจรด้วยการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.37 $R_{oc1,2}$ มีค่าเป็น

$$R_{oc1,2} = \frac{1}{g_{m1,2}} \parallel \frac{1}{g_{m3,4}} \tag{3.53}$$

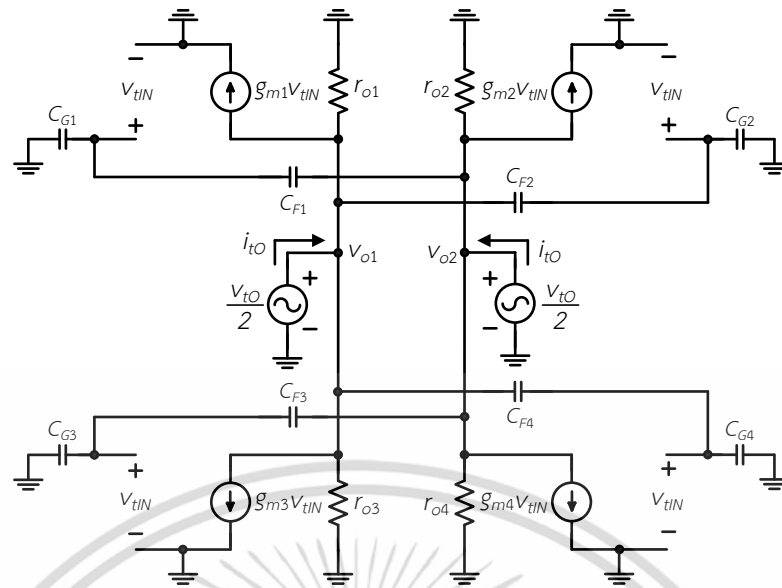
เนื่องจากอัตราขยายสัญญาณโหมตร่วมของวงจรภาคที่สองมีค่าเท่ากับอัตราขยายโหมตผลต่างดังที่ได้วิเคราะห์มาแล้ว ดังนั้น อัตราขยายสัญญาณโหมตร่วมสามารถเขียนได้ว่า

$$A_{vc} \cong (g_{m1,2} + g_{m3,4})(g_{m5,6} + g_{m7,8}) \left(\frac{1}{g_{m1,2}} \parallel \frac{1}{g_{m3,4}} \right) (r_{o5,6} \parallel r_{o7,8}) \tag{3.54}$$



รูปที่ 3.36 การป้อนแรงดันทดสอบเพื่อหาค่า $R_{oc1,2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.37 วงจรเสมือนสัญญาณขนาดเล็กเพื่อใช้หา $R_{oc1,2}$

จากสมการที่ 3.54 เราสังเกตเห็นได้ว่าค่าอัตราขยายสัญญาณโหมตร่วมมีค่ามาก ดังนั้น วงจรโอทีเอควอร์จึงต้องวงจรป้อนกลับสัญญาณโหมตร่วมเพื่อกำจัดสัญญาณโหมตร่วม และขณะเดียวกันก็เพื่อเป็นตัวกำหนดค่าแรงดันไป้อัสที่ภาคเอาต์พุตด้วย

จากสมการที่ 3.51 และสมการที่ 3.54 เราสามารถวิเคราะห์หาค่าอัตราการกำจัดสัญญาณโหมตร่วม (CMRR) มีค่าเท่ากับ

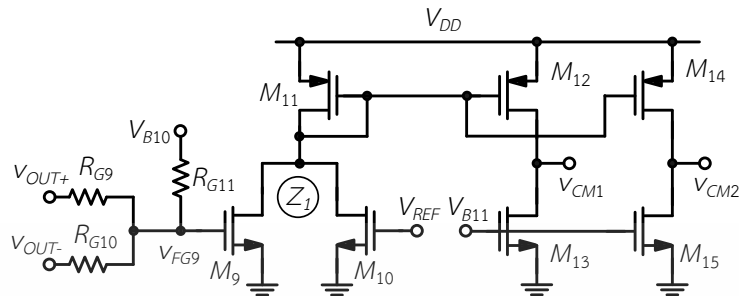
$$CMRR \cong \frac{r_{o1,2} r_{o3,4} \left(\frac{1}{g_{m1,2}} \parallel \frac{1}{g_{m3,4}} \right)}{r_{o1,2} (1 - a g_{m1,2} r_{o1,2}) + r_{o3,4} (1 - b g_{m3,4} r_{o3,4})} \quad (3.55)$$

3.3.4 วงจรป้อนกลับสัญญาณโหมตร่วม (Common-mode feedback circuit)

รูปที่ 3.38 แสดงวงจรป้อนกลับสัญญาณโหมตร่วม วงจรประกอบด้วยทรานซิสเตอร์ $M_9 - M_{15}$ ที่ทำงานในย่านวีกอินเวอร์ชัน (Weak inversion) ตัวต้านทาน $R_{G9} - R_{G11}$ ถูกสร้างจากทรานซิสเตอร์ชนิด PMOS ซึ่งทำงานในย่านคัทออฟ (Cutoff region) ส่งผลให้ค่าความต้านทานตัวดังกล่าวมีค่าสูง

การทำงานของวงจรสามารถอธิบายได้ดังนี้ ในกรณีของสัญญาณเอาต์พุต V_{OUT+} และ V_{OUT-} มีลักษณะเป็นสัญญาณโหมตผลต่าง สัญญาณโหมตร่วมที่โหนด V_{FG9} มีค่าคงที่ อย่างไรก็ตาม เมื่อแรงดันเอาต์พุต V_{OUT+} และ V_{OUT-} มีลักษณะสัญญาณโหมตร่วม แรงดันดังกล่าวจะถูกเปลี่ยนเป็นกระแส ซึ่งจะไหลผ่านทรานซิสเตอร์ M_{11} ที่ต่อกับ $M_{12,14}$ ในลักษณะวงจรสะท้อนกระแส ดังนั้น i_{cm9} ถูกสะท้อนไปยังทรานซิสเตอร์ $M_{12,14}$ ไหลผ่านค่าความต้านทานเสมือนที่โหนด V_{CM1} และ V_{CM2} ทำให้เกิดแรงดันโหมตร่วม V_{CM1} และ V_{CM2} สัญญาณโหมตร่วมที่ถูกขยายจะถูกป้อนกลับไปที่ขาบอดีของทรานซิสเตอร์ $M_{7,8}$ ซึ่งมีลักษณะเฟสเดียวกับแรงดันเอาต์พุต V_{OUT+} และ V_{OUT-} เนื่องจากสัญญาณเอาต์พุตมีเฟสเดียวกับที่ขาบอดีของ $M_{7,8}$ ดังนั้นสัญญาณเอาต์พุตโหมตร่วมจึงถูกลดทอนไป แรงดัน

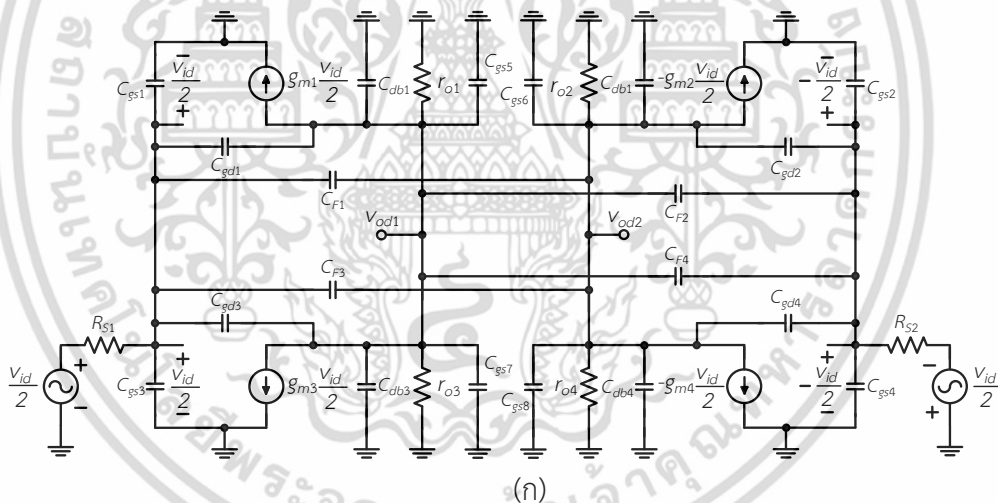
ไบอัสที่เอาต์พุต V_{OUT+} และ V_{OUT-} สามารถออกแบบให้มีค่าเท่ากับ $V_{DD}/2$ ได้โดยการปรับค่าแรงดัน V_{REF}



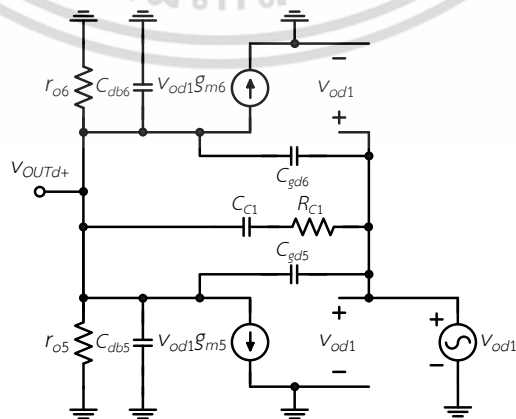
รูปที่ 3.38 วงจรป้อนกลับสัญญาณโหมมพร้อม

3.3.5 การวิเคราะห์หาฟังก์ชันการถ่ายโอนของวงจรโอทีเอทีที่นำเสนอ

การวิเคราะห์หาฟังก์ชันการถ่ายโอนของวงจรโอทีเอทีที่นำเสนอสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กของวงจรภาคแรกดังแสดงในรูปที่ 3.39 (ก) และวงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอทีที่สองดังแสดงในรูปที่ 3.39 (ข) ฟังก์ชันถ่ายโอนของวงจรโอทีเอทีมีค่าเท่ากับอัตราส่วนระหว่างแรงดันเอาต์พุต ($v_{out}(s)$) และแรงดันอินพุต ($v_{in}(s)$)



(ก)



(ข)

รูปที่ 3.39 วงจรเสมือนสัญญาณขนาดเล็กของ (ก) วงจรภาคแรก และ (ข) วงจรภาคที่สอง เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง การคัดลอกหรือการนำข้อมูลไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย การนำข้อมูลไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย การนำข้อมูลไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

$$\frac{V_{out}}{V_{in}}(s) \cong \frac{G_{m1}G_{m2}R_{o1,2}R_{out+,-} \left(1 + \frac{s}{\omega_{z1}}\right) \left(1 + \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) \left(1 + \frac{s}{\omega_{p4}}\right)} \quad (3.56)$$

เมื่อ ω_{z1} ω_{z2} ω_{p1} ω_{p2} ω_{p3} และ ω_{p4} มีค่าเท่ากับ

$$\omega_{z1} \cong \frac{G_{m1}}{C_{gd1,2} + C_{gd3,4}} \quad (3.57)$$

$$\omega_{z2} \cong \frac{1}{R_{c1,2}C_{c1,2}} \quad (3.58)$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[G_{md1,2}R_{o1,2} (C_{gda,b} - C_{Fa,b}) + C_{i1,2} \right] + R_{o1,2}C_{o1,2}} \quad (3.59)$$

$$\omega_{p2} \cong \frac{R_{s1,2} \left[G_{md1,2}R_{o1,2} (C_{gda,b} - C_{Fa,b}) + C_{i1,2} \right] + R_{o1,2}C_{o1,2}}{R_{s1,2}R_{o1,2} \left[C_{i1,2} (C_{gda,b} + C_{dba,b}) - C_{gda,b} (C_{gda,b} - C_{Fa,b}) \right]} \quad (3.60)$$

$$\omega_{p3} \cong \frac{1}{C_{c1,2}R_{c1,2} + C_{c1,2}R_{out+,-} + C_{out+,-}R_{out+,-}} \quad (3.61)$$

$$\omega_{p4} \cong \frac{R_{c1,2} + R_{out+,-}}{R_{c1,2}R_{out+,-} - C_{out+,-}} \quad (3.62)$$

เมื่อ G_{m1} G_{m2} $R_{o1,2}$ $R_{out+,-}$ $C_{i1,2}$ $C_{o1,2}$ $C_{gba,b}$ $C_{Fa,b}$ และ $C_{out+,-}$ มีค่าเท่ากับ

$$G_{m1} = g_{m1,2} + g_{m3,4} \quad (3.63)$$

$$G_{m2} = g_{m5,6} + g_{m7,8} \quad (3.64)$$

$$R_{o1,2} = r_{o1,2} // r_{o3,4} \quad (3.65)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{out+,-} = r_{O5,6} // r_{O7,8} \quad (3.66)$$

$$C_{i1,2} = C_{gs1,2} + C_{gs3,4} + C_{gd1,2} + C_{gd3,4} + C_{F1,2} + C_{F3,4} \quad (3.67)$$

$$C_{o1,2} = C_{db1,2} + C_{db3,4} + C_{gd1,2} + C_{gd3,4} + C_{gs5,6} + C_{gs7,8} \quad (3.68)$$

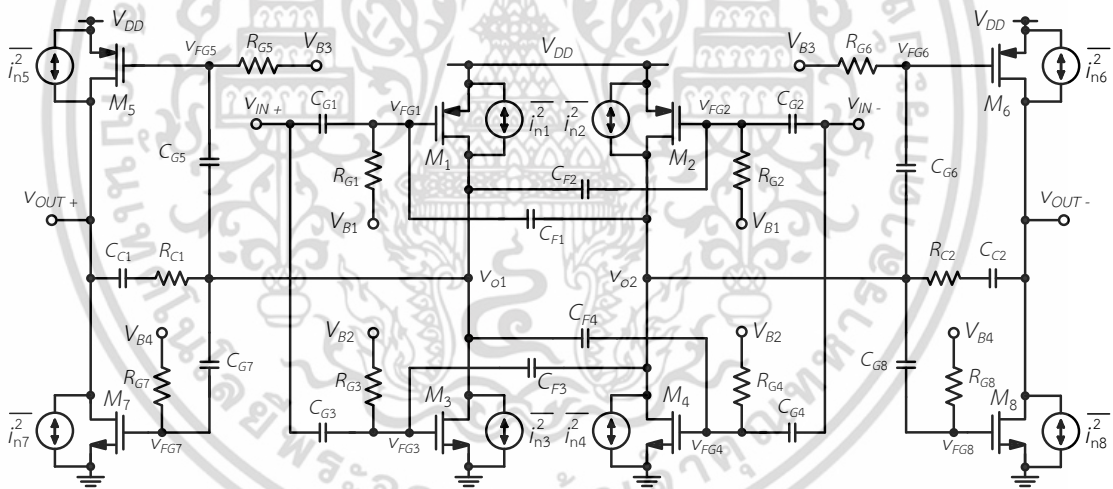
$$C_{gba,b} = C_{gb1,2} + C_{gd3,4} \quad (3.69)$$

$$C_{Fa,b} = C_{F1,2} + C_{F3,4} \quad (3.69)$$

$$C_{out+,-} = C_{db5,6} + C_{db7,8} \quad (3.69)$$

3.3.6 การวิเคราะห์หาสัญญาณรบกวนของวงจร

การวิเคราะห์หาสัญญาณรบกวนของวงจรโอทีเอสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณรบกวนเชิงอนุกรมดังแสดงในรูปที่ 3.40



รูปที่ 3.40 การวิเคราะห์หาสัญญาณรบกวนของวงจร

สัญญาณรบกวนเชิงอนุกรมอ้างอิงที่อินพุต $\overline{v_i^2}$ และ $\overline{i_i^2}$ มีค่าเป็น

$$\overline{v_i^2} = 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2} + g_{m3,4}} \right) \quad (3.70)$$

$$\overline{i_i^2} = (sC_{gs1,2})^2 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2} + g_{m3,4}} \right) \quad (3.71)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.7 การจำลอง ผลการจำลอง และการวิจารณ์ผล

โปรแกรม HSPICE ถูกใช้เพื่อจำลองผลการทำงานของวงจรรอทีเอ เทคโนโลยีที่ใช้เป็นแบบซิมอสที่มีขนาดเท่ากับ 0.18 ไมโครเมตร วงจรทำงานภายใต้ไฟเลี้ยงมีค่าเท่ากับ 0.5 โวลต์ แรงดัน V_{B5} ถูกออกแบบให้มีค่าเท่ากับ 0.25 โวลต์ เพื่อให้แรงดันขีดเริ่มของ $M_{1,2}$ มีค่าต่ำลง กระแสขงบึงที่ภาคอินพุตมีค่าเท่ากับ 20 ไมโครแอมป์ และกระแสขงบึงที่ภาคเอาต์พุตมีค่าเท่ากับ 10 ไมโครแอมป์ ตัวต้านทาน R_{G1} R_{G2} R_{G5} และ R_{G6} ถูกสร้างด้วย NMOS และตัวต้านทาน R_{G3} R_{G4} R_{G7} และ R_{G8} ถูกสร้างด้วยทรานซิสเตอร์ PMOS โดยที่ทรานซิสเตอร์ทุกตัวทำงานในย่านคัทออฟ การจำลองการทำงานได้ทำการต่อโหลดตัวเก็บประจุมีค่าเท่ากับ 20 พิโคฟารัด ตารางที่ 3.3 แสดงแรงดันไบอัสให้วงจรรอทีเอที่นำเสนอ ตารางที่ 3.4 แสดงขนาดของทรานซิสเตอร์ ค่าความจุของตัวเก็บประจุ และค่าความต้านทานที่ใช้ในการออกแบบวงจร

ตารางที่ 3.3 แรงดันไบอัส

แรงดันไบอัส	โวลต์
V_{DD}	0.5 V
V_{B1}, V_{B3}	0.5 V
V_{B2}, V_{B4}	0 V
V_{B5}, V_{REF}	0.25 V

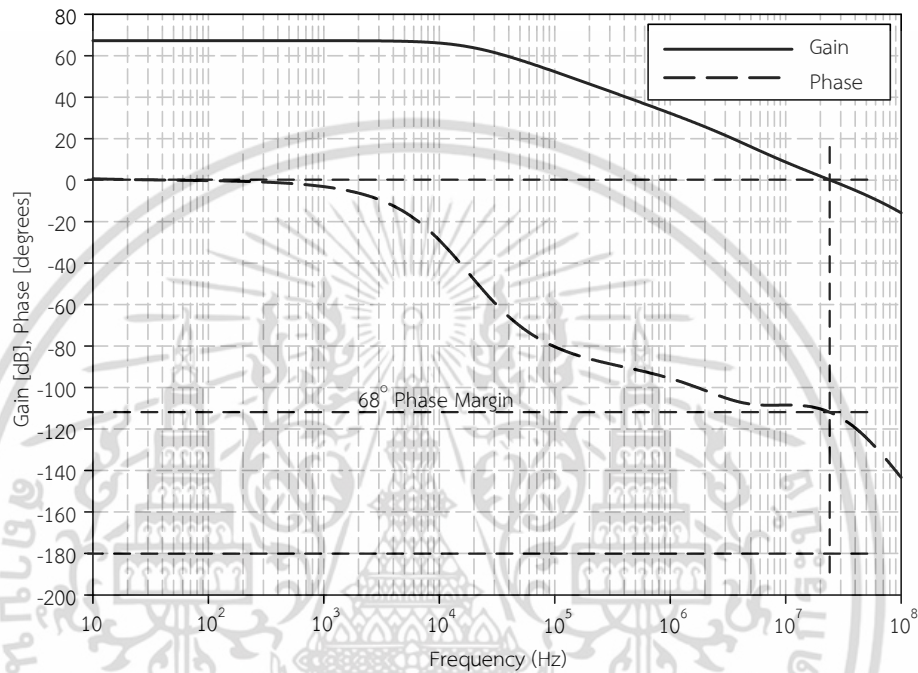
ตารางที่ 3.4 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรรอทีเอ

ทรานซิสเตอร์	ขนาด (W/L)	ทรานซิสเตอร์	ขนาด (W/L)
M_1, M_2	15.8 $\mu\text{m}/0.5 \mu\text{m}$	M_9, M_{10}	20.6 $\mu\text{m}/0.18 \mu\text{m}$
M_3, M_4	20.6 $\mu\text{m}/0.5 \mu\text{m}$	M_{11}	20.8 $\mu\text{m}/0.18 \mu\text{m}$
M_5, M_6	17.57 $\mu\text{m}/0.18 \mu\text{m}$	M_{12}, M_{13}	5.7 $\mu\text{m}/0.18 \mu\text{m}$
M_7, M_8	5.7 $\mu\text{m}/0.18 \mu\text{m}$	M_{14}, M_{15}	17.57 $\mu\text{m}/0.18 \mu\text{m}$
ตัวเก็บประจุ	ความจุ	ตัวต้านทาน MOS	ขนาด (W/L)
$C_{G1}, C_{G2}, C_{G3}, C_{G4}$	3 pF	$M_{R1,2}$	0.75 $\mu\text{m}/200 \mu\text{m}$
C_{F1} และ C_{F2}	24 fF	$M_{R3,4}$	0.75 $\mu\text{m}/200 \mu\text{m}$
C_{F3} และ C_{F4}	34 fF	$M_{R5,6}$	0.75 $\mu\text{m}/200 \mu\text{m}$
$C_{C1,2}$	2 pF	$M_{R7,8}$	0.75 $\mu\text{m}/200 \mu\text{m}$
ตัวต้านทาน	ค่าความต้านทาน	$M_{R9,10}$	0.75 $\mu\text{m}/200 \mu\text{m}$
$R_{C1,2}$	15 k Ω		

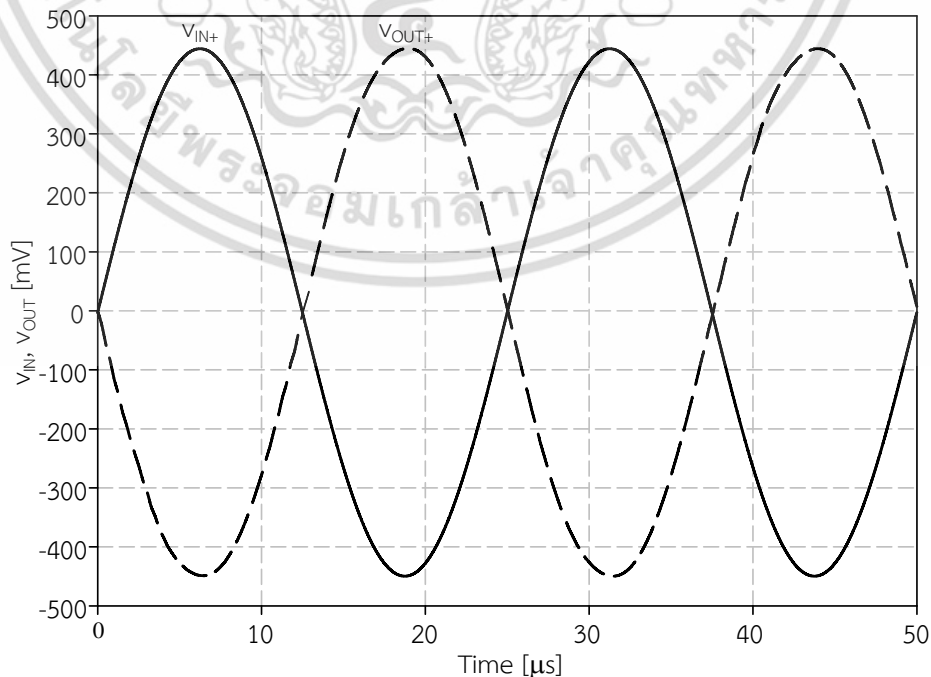
รูปที่ 3.41 แสดงผลการตอบสนองทางความถี่ของวงจรรอทีเอ ผลของการจำลองแสดงให้เห็นว่าอัตราขยายเปิดมีค่าเท่ากับ 67.2 เดซิเบล ส่วนเฟื่อของเฟส (Phase margin) มีค่าเท่ากับ 68 องศา แบนด์วิดท์ ($f_{-3\text{dB}}$) ของวงจรมีค่าเท่ากับ 18.2 กิโลเฮิรตซ์ และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 24.2 เมกะเฮิรตซ์ รูปที่ 3.42 แสดงผลตอบสนองทางเวลาของวงจรรอทีเอที่ต่อ

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเฉพาะเท่านั้น เมื่อผู้ใดเห็นเว็บไซต์ของงานวิจัยนี้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

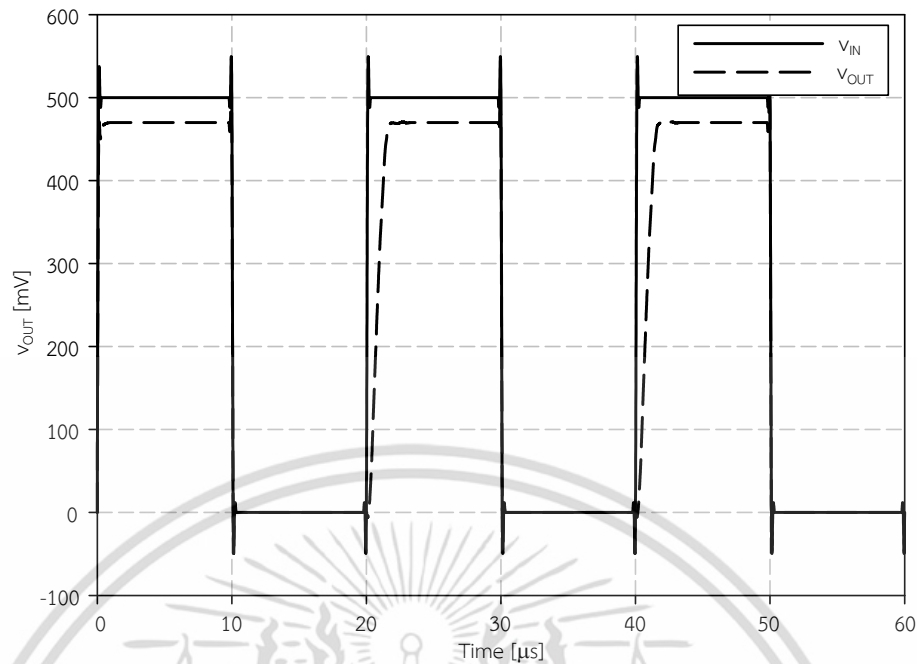
ลักษณะวงจรถยายแบบกลับเฟสมีอัตราขยายเท่ากับหนึ่ง สัญญาณอินพุตมีขนาดเท่ากับ 0.88 โวลต์ มีความถี่เท่ากับ 40 กิโลเฮิร์ตซ์ จากผลของการจำลองเราพบว่าวงจรสามารถทำงานในช่วงปฏิบัติการกว้างได้ รูปที่ 3.43 แสดงผลตอบสนองของสัญญาณทางเวลา เมื่อบังคับให้เอาต์พุตมีลักษณะวงจรถยายแบบกลับเฟสมีอัตราขยายเท่ากับหนึ่งและสัญญาณพัลส์ที่อินพุตเท่ากับ 0.5 โวลต์ ความถี่เท่ากับ 50 กิโลเฮิร์ตซ์ จากผลการทดลองพบว่าอัตราสุรรมีค่าเท่ากับ 0.3 โวลต์ต่อไมโครวินาที เราสามารถเพิ่มค่าอัตราสุรรมีของวงจรให้มากขึ้นได้ด้วยวิธีการปรับขนาดของทรานซิสเตอร์ที่ภาคเอาต์พุต



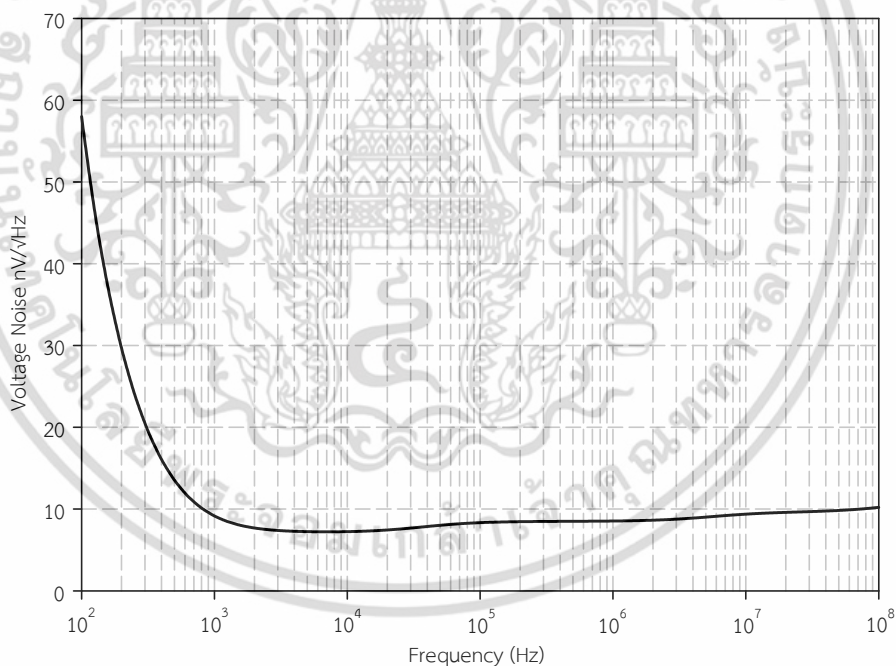
รูปที่ 3.41 ผลการตอบสนองความถี่



รูปที่ 3.42 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์ความถี่เท่ากับ 40 กิโลเฮิร์ตซ์ เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่สามารถคัดลอกหรือเผยแพร่โดยไม่ได้รับอนุญาตจากศูนย์บริการวิชาการได้ หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อศูนย์บริการวิชาการ



รูปที่ 3.43 ผลตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์ความถี่เท่ากับ 50 กิโลเฮิร์ตซ์



รูปที่ 3.44 ผลตอบสนองความถี่ต่อสัญญาณรบกวน

รูปที่ 3.44 แสดงสัญญาณรบกวนที่อินพุตในรูปของแรงดัน $\overline{v_i^2}$ ขนาดของสัญญาณรบกวนที่ความถี่คัทออฟ (f_{-3dB}) มีค่าเท่ากับ 7.2 nV/√Hz

ตารางที่ 3.5 แสดงการเปรียบเทียบคุณสมบัติของวงจโรทีเอในรูปที่ 3.9 และ 3.26 กับวงจโรทีเอที่ต่าง ๆ เราสังเกตเห็นได้ว่าวงจโรทีเอที่นำเสนอมีค่าผลคูณระหว่างอัตราขยายและแบนด์วิดท์สูง และวงจโรทีเอทั้งสองวงจรมีอัตราขยายสูงและมีกำลังสูญเสียน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเปรียบเทียบความสามารถของวงจรรอที่เอตต่างๆ เทอมที่เรียกว่า FOM (หรือ Figure of merit) [43] ถูกนิยามขึ้นโดยมีค่าเท่ากับ

$$FOM = \frac{100 \times f_T \times C_L}{I_{DD}} \quad (3.72)$$

- เมื่อ f_T คือ ความถี่ที่อัตราขยายกระแสเท่ากับหนึ่ง (เฮิร์ตซ์, Hz)
 I_{DD} คือ ผลรวมของกระแสที่ไหลในมอสทรานซิสเตอร์ (แอมป์, A)
 C_L คือ ตัวเก็บประจุที่ต่อเป็นโหลด (ฟารัด, F)

เราพบว่า FOM ของวงจรรอที่เอตจอร์ที่หนึ่งและของวงจรรอที่สองมีค่าเท่ากับ 340 และ 806 ตามลำดับ ดังนั้นวงจรรอที่เอตจอร์ที่สองจึงมีความสามารถโดยรวมดีกว่าวงจรรอแรก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.5 การเปรียบเทียบประสิทธิภาพของวงจรเอทีโอ

พารามิเตอร์	[18]	[38]	[39]	[40]	[41]	[42]	[43]	รูปที่ 3.9	รูปที่ 3.26
แหล่งจ่ายไฟเลี้ยง (V)	1	0.5 V	1 V	0.5	0.8	0.9	1	0.8	0.5
กำลังสูญเสีย (μ W)	208	110	95	28	100	9.9	197	48	30
อัตราขยายลูปเปิด (dB)	70.5	52	60	65	56	62	88.3	65.8	67.2
อัตราขยายคูนแบนด์วิดท์ (MHz)	2.1	2.5	4.13	0.57	3.2	0.54	11.67	10.2	24.2
ส่วนเนื้อของเฟส (Degree)	73	45	83	50	31	52	66.1	57	68
CMRR (dB)	58	78	-	82	80	129	40	87.8	73.2
PSRR (dB)	108.2	76	-	81	88	76	40/46.8	32.4	72.7
อัตราสุลลัส (SR+/SR-) (V/ μ s)	2.74/5.02	2.89	0.86	0.15	-	0.23	2.53/1.37	6.76/8.5	0.3/5.4
Input refer noise (nV/ \sqrt Hz)	171	80	112	113	154	-	<60	13.5	7.2
	** (10kHz)	** (1MHz)	** (100kHz)	** (25kHz)	** (100kHz)		** (1MHz)	** (10kHz)	** (18.2kHz)
THD (%)	0.14	-	-	-	-	1	-	0.18	0.64
	*** (0.5V at 40kHz)					*** (0.36V at 1kHz)	-	*** (0.7V at 100kHz)	*** (0.3V) at 40kHz
Input CMR (mV)	-	-	-	405	-	800	700	300	200
โหลดตัวเก็บประจุ (pF)	15	20	15	20	20	2.5	15	20	20
เทคโนโลยี (μ m)	1.2	0.18*	0.5	0.18*	0.18	0.35	0.35	0.18	0.18
FOM	15.14	22.727	65.21	20.35	51.2	12.272	88.9	340	806.7

หมายเหตุ * หมายถึง Triple-well

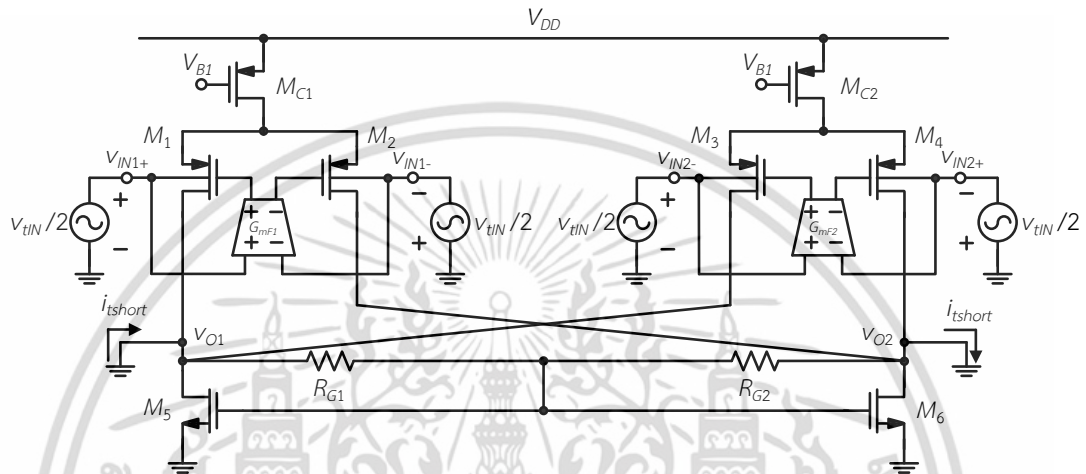
** หมายถึง ความถี่ที่พิจารณาสัญญาณรบกวนอ้างอิงที่อินพุต

*** หมายถึง แรงดันเอาต์พุตที่พิจารณาความถี่เพียงทางฮาร์โมนิกส์

3.4.2 การวิเคราะห์หาอัตราขยายโหมตผลต่างของวงจรโอทีเอ็นำเสนอ

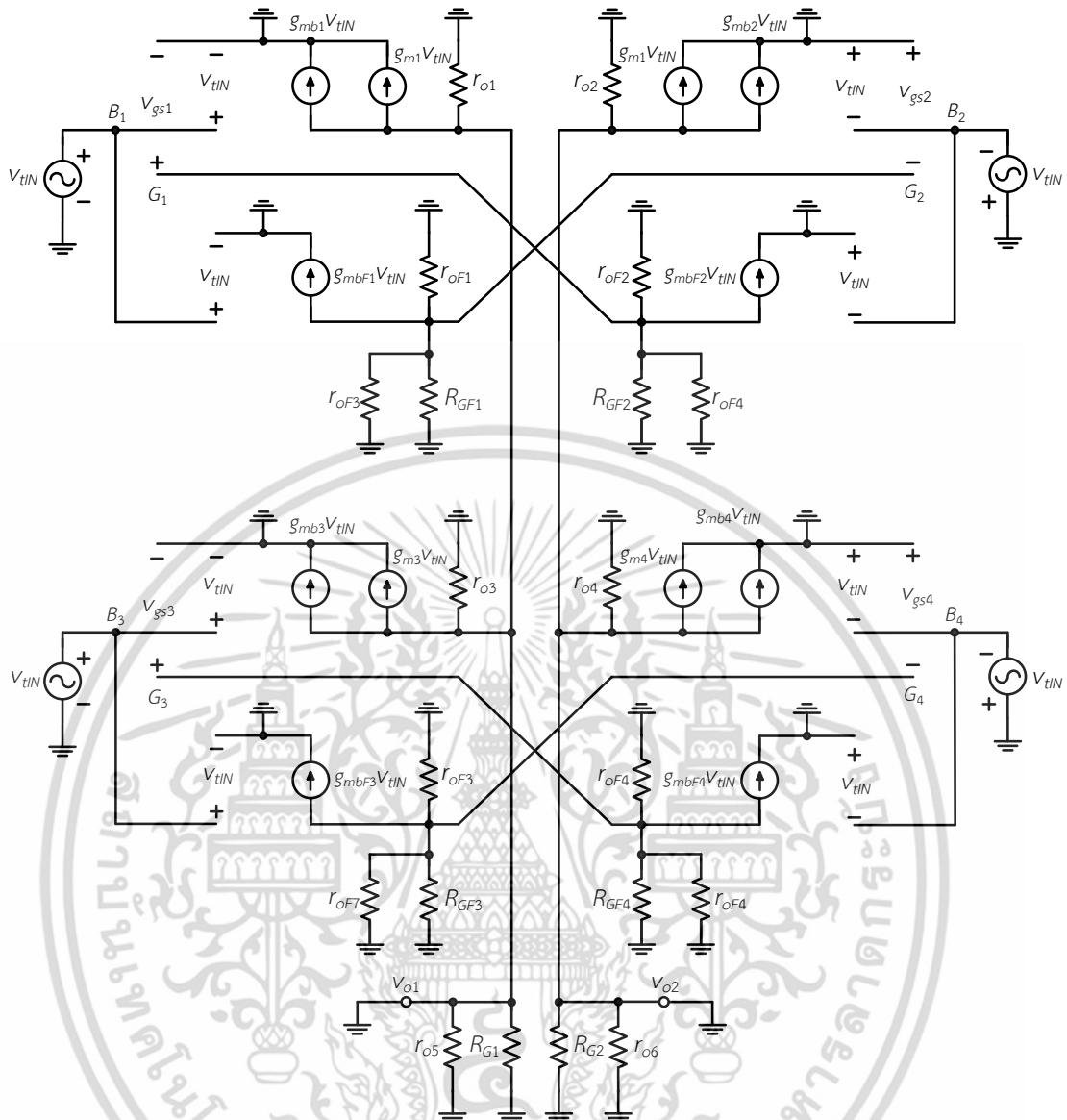
อัตราขยายแรงดันโหมตผลต่างมีค่าเท่ากับ $A_{vd1}A_{vd2}$ โดยที่ A_{vd1} และ A_{vd2} คืออัตราขยายแรงดันโหมตผลต่างของวงจรขยายภาคแรก A_{vd1} และภาคที่สอง A_{vd2} ตามลำดับ

การวิเคราะห์หา A_{vd1} สามารถทำได้โดยหาผลคูณระหว่างค่า G_{m1} และค่า $R_{O1,2}$ รูปที่ 3.47 แสดงการหา G_{m1} ด้วยการป้อนแรงดันทดสอบที่อินพุตและวิเคราะห์หา i_{short} รูปที่ 3.48 แสดงวงจรเสมือนสัญญาณขนาดเล็ก



รูปที่ 3.47 การป้อนแรงดันทดสอบเพื่อหา G_{m1} วงจรขยายภาคแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.48 วงจรเสมือนสัญญาณขนาดเล็กเพื่อวิเคราะห์หา G_{m1}

G_{m1} มีค่าเท่ากับ

$$G_{m1} = (g_{mb1,2} + g_{m1,2}g_{mbF1}R_{GF1,2} + g_{mb3,4} + g_{m3,4}g_{mbF2}R_{GF3,4}) / 2 \quad (3.72)$$

วิธานิพนธ์ฉบับนี้ออกแบบให้ค่า $g_{m1,2} = g_{m3,4}$ และ $g_{mb1,2} = g_{mb3,4}$ นอกจากนี้ $g_{mbF1} = g_{mbF2}$ และ $R_{GF1,2} = R_{GF3,4}$ ดังนั้นเราสามารถเขียนสมการ 3.72 ใหม่ได้ว่า

$$G_{m1} = g_{mb1,2} + g_{m1,2}g_{mbF1}R_{GF1,2} \quad (3.73)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

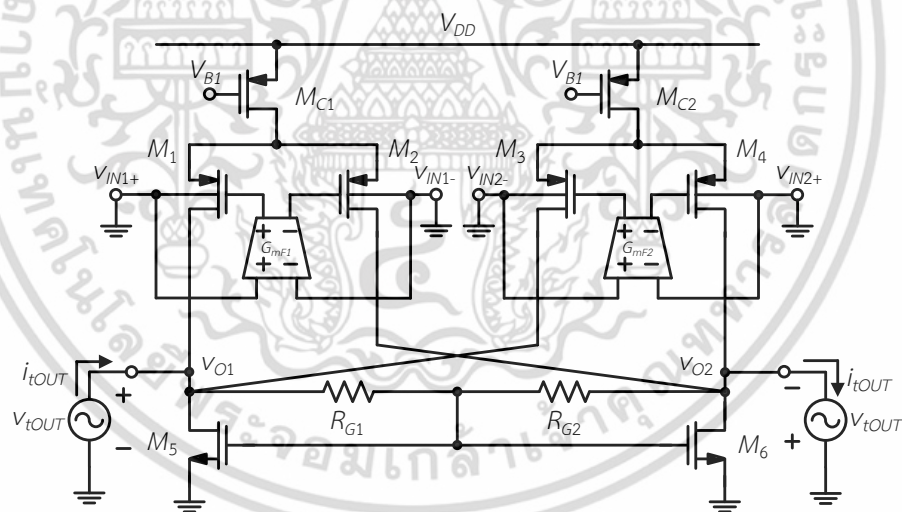
- เมื่อ $g_{mb1,2}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดีของ $M_{1,2}$ (A/V)
 $g_{mb3,4}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดีของ $M_{1,2}$ (A/V)
 $g_{mbF1,2}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดีของ $M_{F1,2}$ (A/V)
 $g_{mbF3,4}$ คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดีของวงจรรขยายไปข้างหน้า $M_{F3,4}$ (A/V)
 $R_{G1,2}$ คือ ค่าความต้านทานที่ต่อระหว่างขาเกตกับขาเดรนของ M_3 และ M_4 (โอห์ม, Ω)
 $R_{GF1,2}$ คือ ค่าความต้านทานที่ต่อระหว่างขาเกตกับขาเดรนของ $M_{F5,6}$ และ $M_{F7,8}$ (โอห์ม, Ω)

การวิเคราะห์หา $R_{o1,2}$ ของวงจรโธที่เอภาคแรกสามารถทำได้โดยการป้อนแรงดันทดสอบที่เอาต์พุต และวิเคราะห์หา i_{tOUT} ดังแสดงในรูปที่ 3.49 และมีค่าเท่ากับ

$$R_{o1,2} = r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6} \parallel R_{G1,2} \quad (3.74)$$

สมมติให้ $R_{G1,2}$ มีค่าสูงมาก อัตราขยายแรงดันโหมตผลต่างของวงจรภาคแรกมีค่าเป็น

$$A_{vd1} \cong -\left(g_{mb1,2} + g_{m1,2}g_{mbF1,2(3,4)}R_{GF1,2}\right)\left(r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6}\right) \quad (3.75)$$



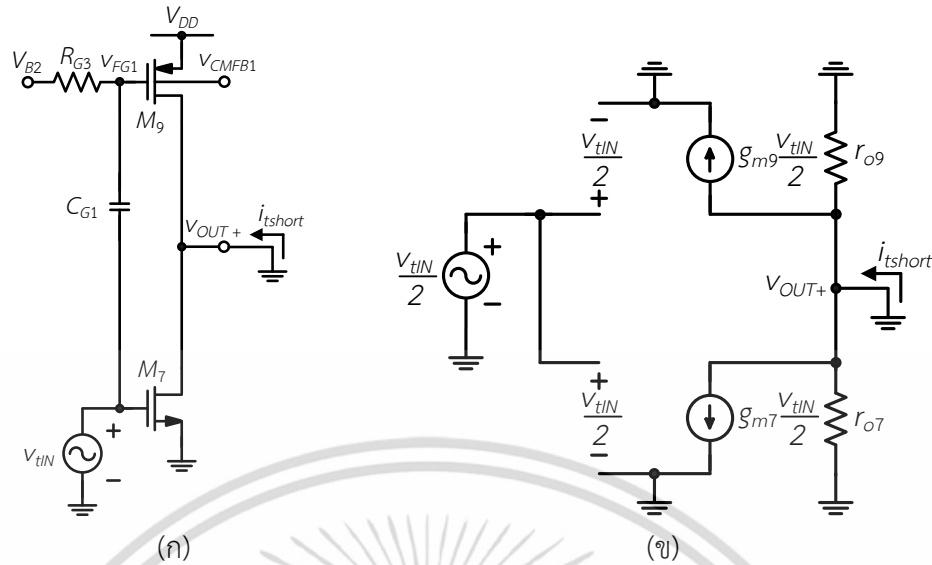
รูปที่ 3.49 การป้อนแรงดันทดสอบเพื่อหาค่า $R_{o1,2}$

รูปที่ 3.50 (ก) แสดงการวิเคราะห์หาอัตราขยายโหมตผลต่างของวงจรโธที่เอภาคที่สองด้วยการป้อนแรงดันทดสอบเข้าที่อินพุตของวงจรภาคที่สองแล้ววิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กในรูปที่ 3.50 (ข)

G_{m2} มีค่าเท่ากับ

$$G_{m2} = g_{m7,8} + g_{m9,10} \quad (3.76)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

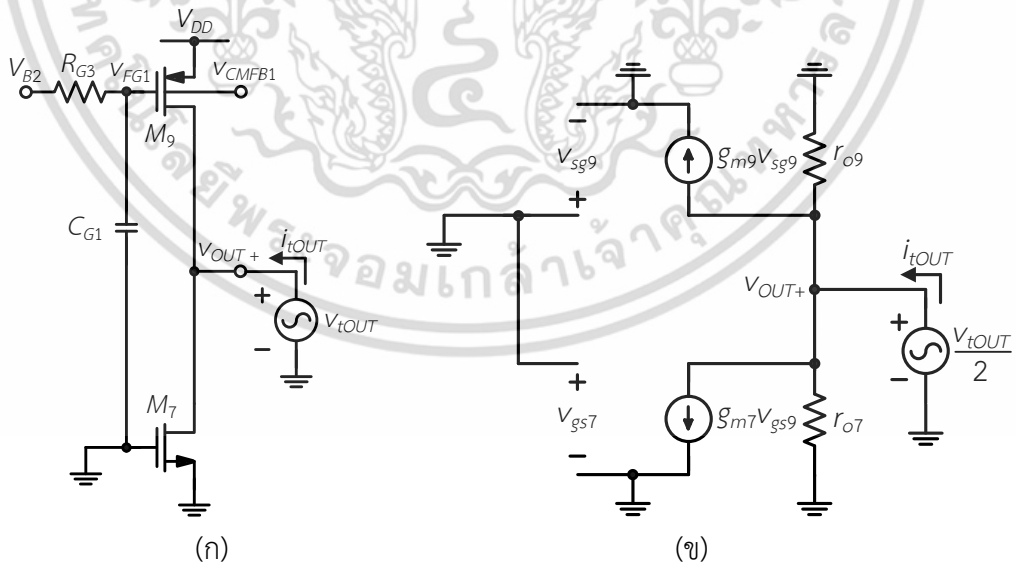


รูปที่ 3.50 (ก) การป้อนแรงดันทดสอบเพื่อหา G_{m2} และ (ข) วงจรเสมือนสัญญาณขนาดเล็ก

การวิเคราะห์หา R_{out} ของวงจรโธที่เอภาคที่สองสามารถทำในลักษณะเดียวกับวงจรภาคแรก กล่าวคือป้อนแรงดันทดสอบเข้าที่เอาต์พุตดังแสดงในรูปที่ 3.51 (ก) ซึ่งมีวงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.51 (ข)

R_{out} ของวงจรโธที่เอภาคที่สองมีค่าเท่ากับ

$$R_{out} = r_{o7,8} \parallel r_{o9,10} \tag{3.77}$$



รูปที่ 3.51 (ก) การหา R_{out} โดยการป้อนแรงดันทดสอบ และ (ข) วงจรเสมือนสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.54 แสดงการป้อนแรงดันทดสอบที่เอาต์พุตเพื่อหา $R_{oc1,2}$ โดยมีวงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.53 การวิเคราะห์หา $R_{oc1,2}$ ต้องนำค่าความต้านทานเสมือนเอาต์พุตของทรานซิสเตอร์ M_{C1} และ M_{C2} มาพิจารณาร่วมด้วย

$R_{oc1,2}$ มีค่าเท่ากับ

$$R_{oc1,2} \cong 1 / g_{m5,6} \quad (3.81)$$

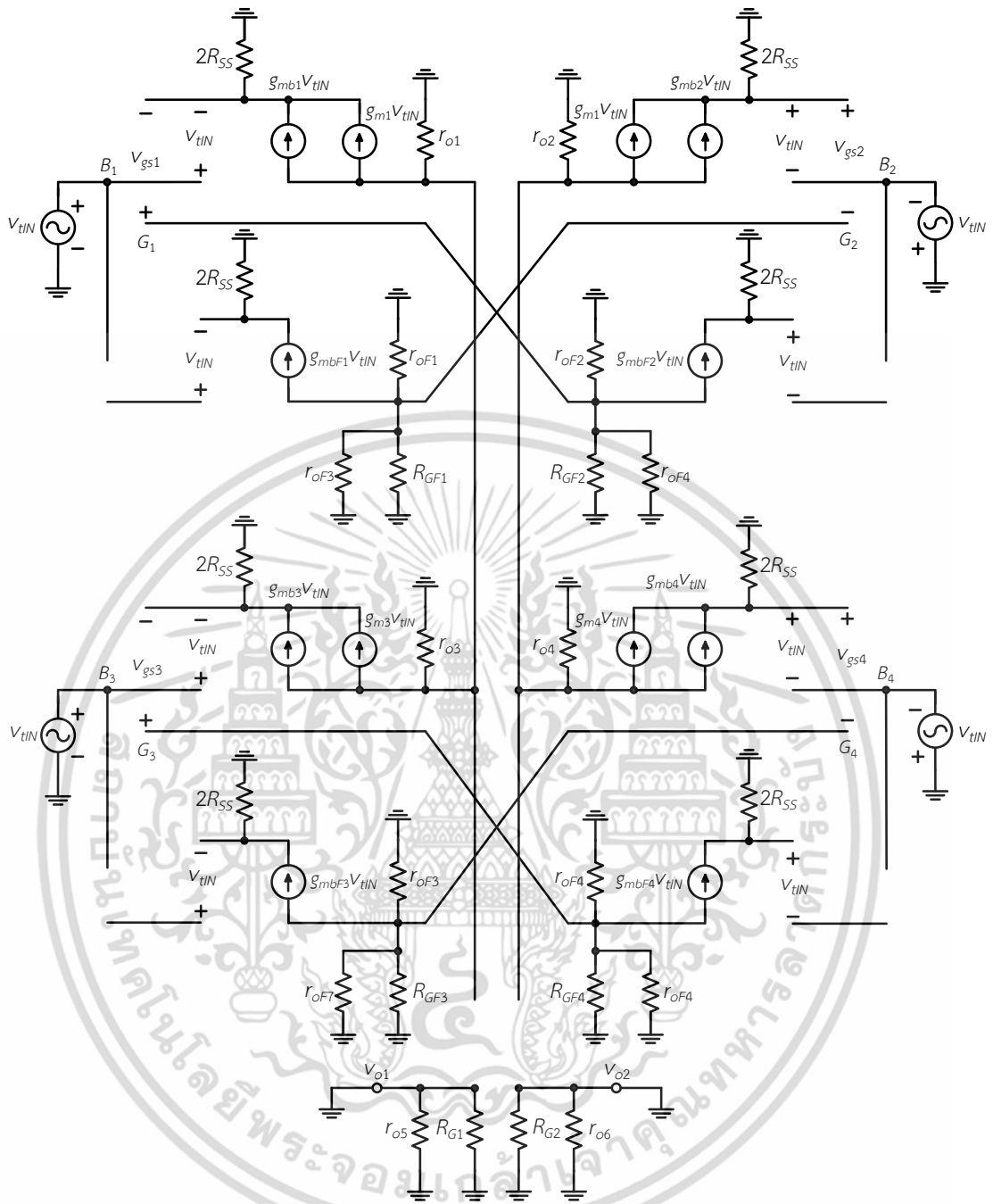
จาก G_{mc1} ในสมการที่ 3.80 และ $R_{oc1,2}$ ในสมการที่ 3.81 ทำให้อัตราขยายสัญญาณโหมตร่วมมีค่าเท่ากับ

$$A_{vc1} \approx \frac{g_{mb1,2(3,4)} - (g_{m1,2(3,4)}g_{mbF1,2} / g_{mF5,6(7,8)})}{(g_{mb1,2(3,4)} + g_{m1,2(3,4)})g_{m5,6}R_{SS}} \quad (3.82)$$

เนื่องจากอัตราขยายสัญญาณโหมตร่วมของวงจรขยายภาคที่สองมีค่าเท่ากับอัตราขยายเมื่ออินพุตเป็นสัญญาณโหมตผลต่าง ดังนั้น อัตราขยายสัญญาณโหมตร่วมของวงจรมีค่าเท่ากับ

$$A_{vc} \approx \frac{g_{mb1,2(3,4)} - (g_{m1,2(3,4)}g_{mbF1,2} / g_{mF5,6(7,8)})}{(g_{mb1,2(3,4)} + g_{m1,2(3,4)})g_{m5,6}R_{SS}} (g_{m7,8} + g_{m9,10})(r_{o7,8} || r_{o9,10}) \quad (3.83)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

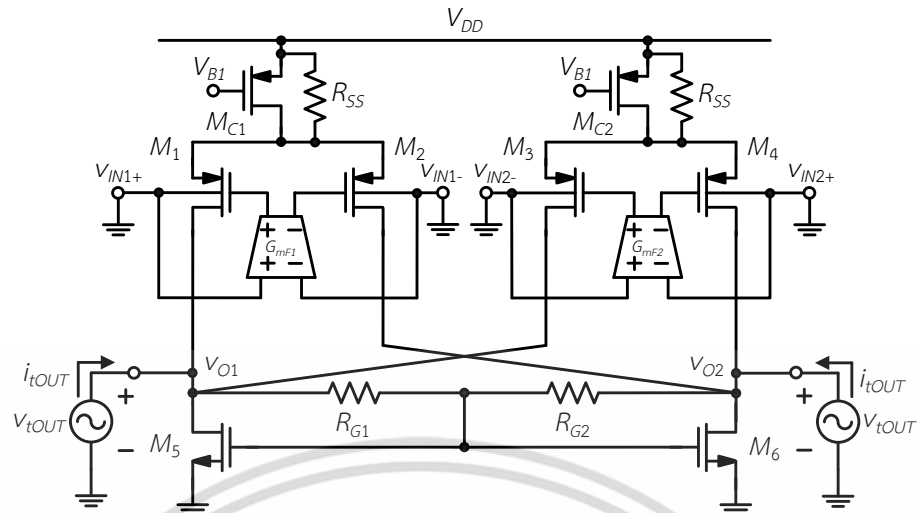


รูปที่ 3.53 การวิเคราะห์หาค่า G_{mc1} โหมดร่วมจรภาคแรกของวงจรเสมือนสัญญาณขนาดเล็ก

จากสมการที่ 3.79 และสมการที่ 3.83 เราสามารถหาค่าอัตราการจัดสัญญาณโหมดร่วม (CMRR) ได้ว่า

$$\begin{aligned}
 CMRR \cong & \frac{(g_{mb1,2} + g_{m1,2} G_{mF1} R_{GF1,2})(r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6} \parallel R_{G1,2})}{g_{mb1,2(3,4)} - (g_{m1,2(3,4)} g_{mbF1,2} / g_{mF5,6(7,8)})} \\
 & \times (g_{mb1,2(3,4)} + g_{m1,2(3,4)}) g_{m5,6} R_{SS}
 \end{aligned} \quad (3.84)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

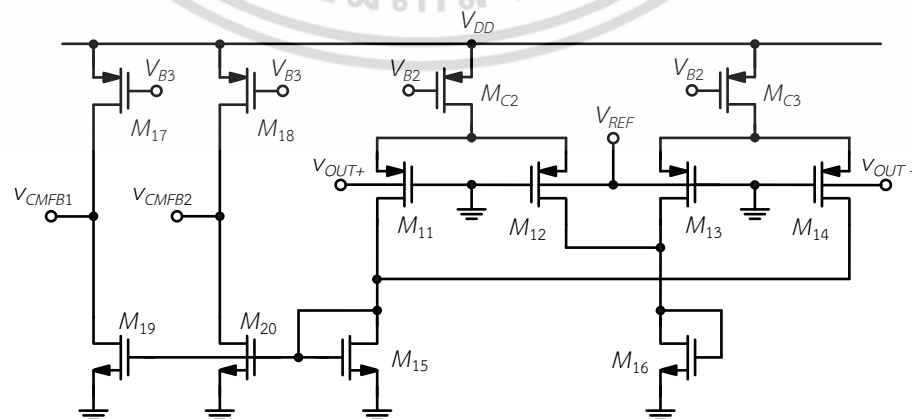


รูปที่ 3.54 การป้อนแรงดันทดสอบเพื่อหา $R_{oc1,2}$ โหมดร่วมของวงจรภาคแรก

3.4.4 วงจรป้อนกลับสัญญาณโหมดร่วม (Common-mode feedback circuit)

รูปที่ 3.55 แสดงวงจรกำจัดสัญญาณโหมดร่วม วงจรประกอบด้วย ทรานซิสเตอร์ M_{11} ถึง M_{20} ทรานซิสเตอร์ M_{11} ถึง M_{14} ใช้ขาบอดี้และทำหน้าที่ตรวจจับสัญญาณโหมดร่วม การออกแบบในลักษณะนี้สามารถตรวจจับสัญญาณที่สวิงกว้าง ทรานซิสเตอร์ M_{17} ถึง M_{20} ทำหน้าที่ขยายสัญญาณโหมดร่วมแล้วป้อนกลับไปขาบอดี้ของทรานซิสเตอร์ $M_{9,10}$

การทำงานของวงจรสามารถอธิบายได้ดังนี้ กรณีที่ภาคเอาต์พุต V_{OUT+} และ V_{OUT-} ของวงจรโอทีเอเป็นสัญญาณโหมดผลต่าง วงจรตรวจจับสัญญาณโหมดร่วมจะไม่จ่ายกระแสผ่าน M_{15} และ M_{16} ทำให้เอาต์พุต $V_{CMFB1,2}$ ไม่มีสัญญาณโหมดผลต่างปรากฏ อย่างไรก็ตาม ในกรณีที่ภาคเอาต์พุต V_{OUT+} และ V_{OUT-} เป็นสัญญาณโหมดร่วม ทรานซิสเตอร์ M_{11} และ M_{14} จะจ่ายกระแสโหมดร่วมไหลผ่าน ทรานซิสเตอร์ M_{15} ซึ่งต่อลักษณะวงจรสะท้อนกระแสกับ $M_{19,20}$ กระแสโหมดร่วมถูกสะท้อนไปที่ ทรานซิสเตอร์ $M_{19,20}$ และไหลไปที่ตัวต้านทานเสมือนที่เอาต์พุต $V_{CMFB1,2}$ ส่งผลให้เอาต์พุต $V_{CM1,2}$ ปรากฏสัญญาณโหมดร่วมที่ถูกขยาย สัญญาณโหมดร่วมดังกล่าวถูกป้อนกลับไปขาบอดี้ของ $M_{9,10}$ สัญญาณที่เอาต์พุต $V_{CMFB1,2}$ การป้อนกลับดังกล่าวจะทำให้สัญญาณโหมดร่วมถูกลดทอน แรงดันไฟตรงที่เอาต์พุต V_{OUT+} และ V_{OUT-} ของวงจรโอทีเอถูกกำหนดโดยแรงดันอ้างอิง V_{REF}

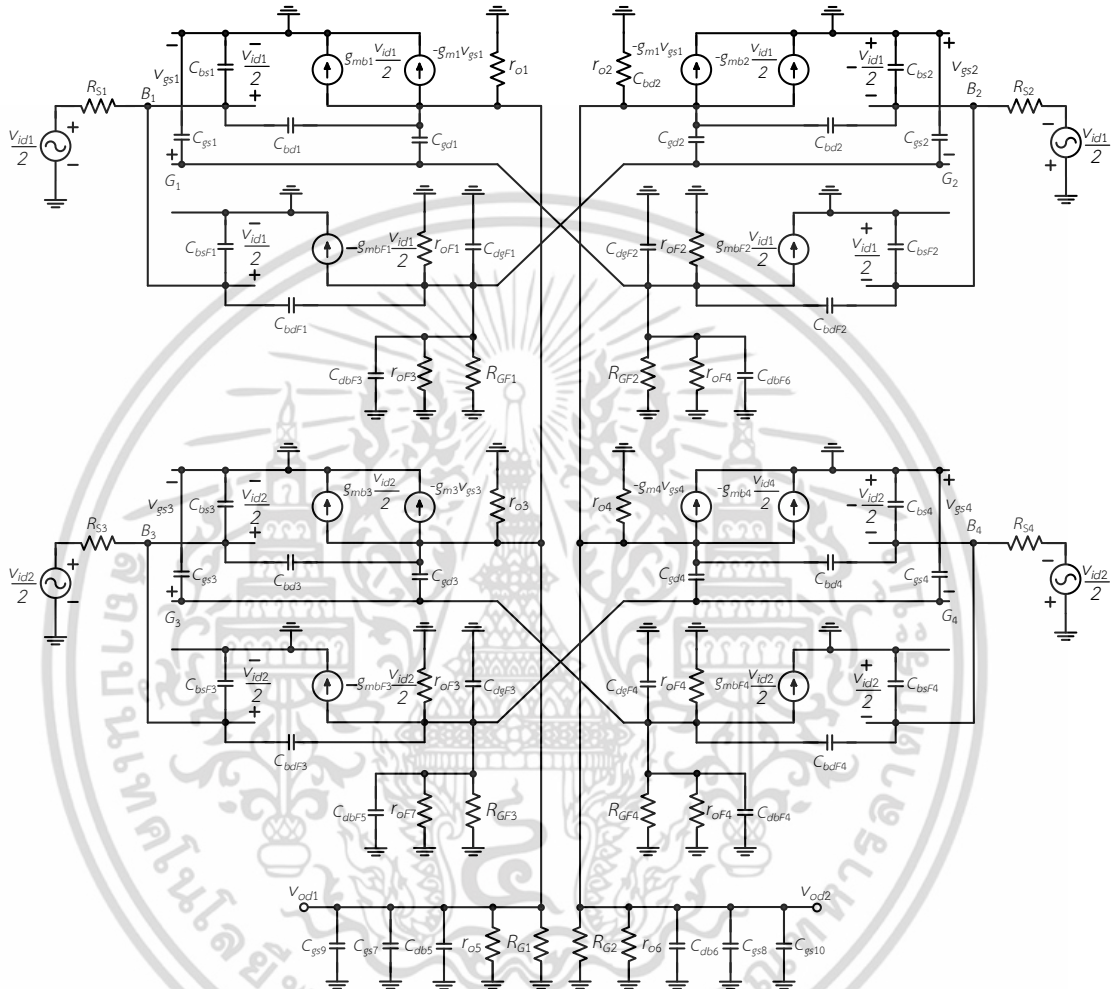


รูปที่ 3.55 วงจรป้อนกลับสัญญาณโหมดร่วม [44]

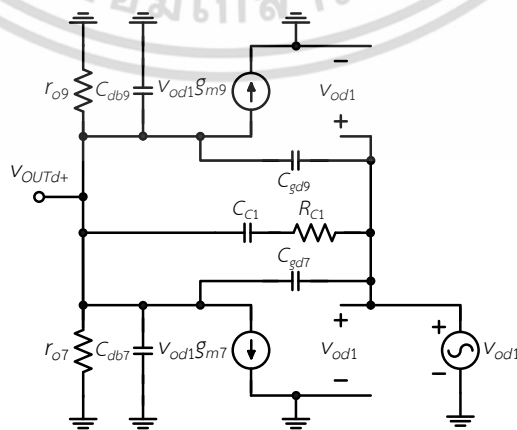
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจร

การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรโอทีเอแบบอินพุต และเอาต์พุตต่างสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก รูปที่ 3.56 แสดงวงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง การวิเคราะห์หาฟังก์ชันถ่ายโอนซึ่งมีค่าเท่ากับอัตราส่วนระหว่างแรงดันเอาต์พุต ($V_{out}(s)$) และแรงดันอินพุต ($V_{in}(s)$) มีค่าเป็น



(ก)



(ข)

รูปที่ 3.56 การวิเคราะห์หาฟังก์ชันถ่ายโอน (ก) วงจรภาคแรก และ (ข) วงจรภาคเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อประโยชน์แก่ผู้อื่น เมื่อผู้ใดเห็นประโยชน์ในการนำเอกสารนี้ไปใช้ ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out}}{V_{in}}(s) \cong \frac{g_{m1,2}g_{mb1,2}G_{m2}R_{o1,2}R_{oF1,2}R_{out+,-} \left(1 - \frac{s}{\omega_{z1}}\right) \left(1 - \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) \left(1 + \frac{s}{\omega_{p4}}\right)} \quad (3.85)$$

เมื่อ ω_{z1} ω_{z2} ω_{p1} ω_{p2} ω_{p3} และ ω_{p4} มีค่าเท่ากับ

$$\omega_{z1} \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (3.86)$$

$$\omega_{z2} \cong \frac{1}{R_{c1,2}C_{c1,2}} \quad (3.87)$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left(C_{bd1,2(3,4)} + C_{bs1,2(3,4)} \right) + R_{o1,2} \left(C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2} \right)} \quad (3.88)$$

$$\omega_{p2} = \frac{R_{s1,2} \left(C_{bd1,2(3,4)} + C_{bs1,2(3,4)} \right) + R_{o1,2} \left(C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2} \right)}{R_{s1,2}R_{o1,2} \left(C_{bs1,2(3,4)} + C_{bd1,2(3,4)} \right) \left(C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2} \right)} + \frac{g_{m1,2(3,4)}g_{mbF1,2(3,4)}R_{o1,2}R_{s1,2}C_{bd1,2(3,4)}}{R_{s1,2}R_{o1,2} \left(C_{bs1,2(3,4)} + C_{bd1,2(3,4)} \right) \left(C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2} \right)} \quad (3.89)$$

$$\omega_{p3} \cong \frac{1}{C_{c1,2}R_{c1,2} + C_{c1,2}R_{out+,-} + C_{out+,-}R_{out+,-}} \quad (3.90)$$

$$\omega_{p4} \cong \frac{R_{c1,2} + R_{out+,-}}{R_{c1,2}R_{out+,-} - C_{out+,-}} \quad (3.91)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ G_{m2} , $R_{o1,2}$, $R_{out+,-}$, $C_{i1,2}$, $C_{o1,2}$ และ $C_{out+,-}$ มีค่าเท่ากับ

$$G_{m2} = g_{m7,8} + g_{m9,10} \quad (3.92)$$

$$R_{o1,2} = r_{O1,2(3,4)} \parallel r_{O5,6} \quad (3.93)$$

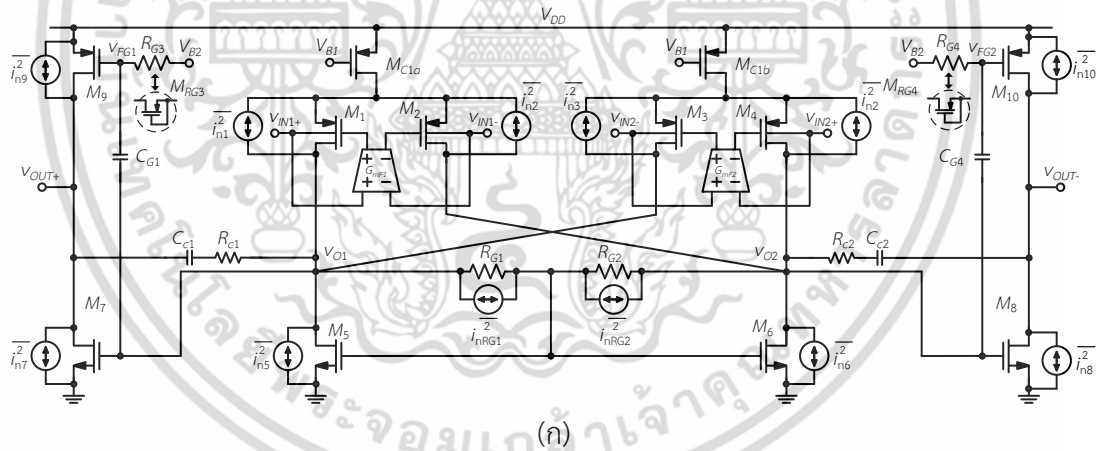
$$R_{out+,-} = r_{O7,8} \parallel r_{O9,10} \quad (3.94)$$

$$C_{o1,2} = C_{bd1,2} + C_{bd3,4} + C_{bdF1,2} + C_{bdF3,4} + C_{db5,6} + C_{gs7,8} + C_{gs9,10} \quad (3.95)$$

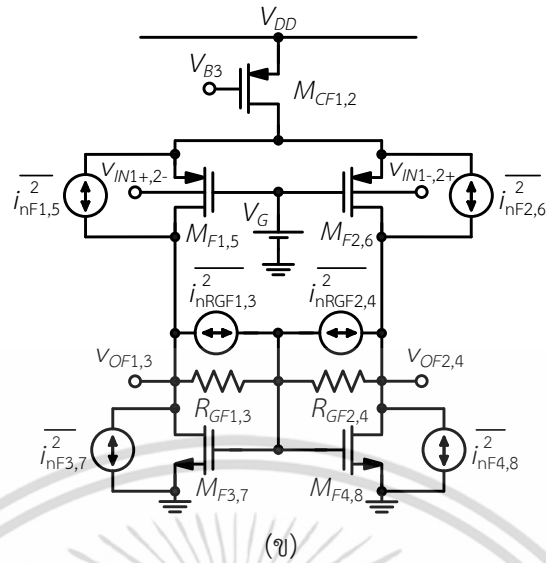
$$C_{out+,-} = C_{db7,8} + C_{db9,10} \quad (3.96)$$

3.4.6 การวิเคราะห์หาสัญญาณรบกวนของวงจร

การวิเคราะห์หาสัญญาณรบกวนของวงจรโอทีเอแบบอินพุต และเอาต์พุตผลต่างสามารถทำได้โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณรบกวนเชิงอนุกรมดังแสดงในรูปที่ 3.57 (ก) รูปที่ 3.57 (ข) แสดงวงจรเสมือนสัญญาณรบกวนเชิงอนุกรมของวงจรป้อนไปข้างหน้า $G_{MF1,2}$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.57 (ก) การวิเคราะห์หาสัญญาณรบกวน และ (ข) วงจรป้อนไปข้างหน้า

สัญญาณรบกวนเชิงอนุกรมอ้างอิงที่อินพุต v_i^2 และ i_i^2 ของวงจรวจรโอทีเอทีที่นำเสนอมีค่าเท่ากับ

$$\overline{v_i^2} \cong 8kT \frac{1}{3} \left[\frac{g_{mb1,2(3,4)} + g_{m5,6}}{g_{mb1,2(3,4)}^2 A_{VF1,2}^2} + \frac{g_{m1,2(3,4)}}{g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}} \right] + 4kT \left[\frac{g_{m1,2(3,4)}}{R_{GF1,2} g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}^2} \right] \quad (3.97)$$

$$\overline{i_i^2} = (sC_{bs1,2})^2 8kT \times \frac{2}{3} \left[\frac{g_{mb1,2(3,4)} + g_{m5,6}}{g_{mb1,2(3,4)}^2 A_{VF1,2}^2} + \frac{g_{m1,2(3,4)}}{g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}} \right] + (sC_{bs1,2})^2 4kT \left[\frac{g_{m1,2(3,4)}}{R_{GF1,2} g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}^2} \right] \quad (3.98)$$

เมื่อ A_{VF} มีค่าเท่ากับ

$$A_{VF} = g_{mbF1,2(3,4)} (r_{OF1,2(3,4)} \parallel R_{GF1,2}) \quad (3.99)$$

3.4.7 การจำลอง ผลการจำลอง และการวิจารณ์ผล

วิทยานิพนธ์ฉบับนี้ได้ทำการจำลองการทำงานของวงจรวจรโอทีเอทีที่ได้นำเสนอโดยใช้โปรแกรม HSPICE เทคโนโลยีที่ใช้เป็นแบบซิมูเลชันที่มีขนาดเท่ากับ 0.18 ไมโครเมตร วงจรทำงานโดยใช้แหล่งจ่ายไฟเลี้ยงไม่ต่ำกว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ 1 โวลต์ แหล่งจ่ายกระแสไป้อสกระแสอินพุต (I_B) มีค่าเท่ากับ 20 ไมโครแอมป์ และกระแสเอาต์พุต (I_B) มีค่าเท่ากับ 10 ไมโครแอมป์ การจำลองได้ทำการต่อโหลดตัวเก็บประจุมีค่าเท่ากับ 20 ปิโคฟารัด ตารางที่ 3.6 แสดงการไบอัสให้วงจรโอทีเอที่นำเสนอ ขนาดของทรานซิสเตอร์ $M_{1,2}$ และทรานซิสเตอร์ $M_{3,4}$ มีขนาดใหญ่เพื่อให้ค่าทรานส์คอนดักแตนซ์ของวงจรรวมมีค่าสูง ส่งผลให้อัตราขยายวงจรรวมมีค่ามาก ทำให้สัญญาณรบกวนอ้างอิงที่อินพุตมีค่าน้อย

ตารางที่ 3.6 แรงดันไบอัส

แรงดันไบอัส	โวลต์
V_{DD}	1 V
V_{B1}	0.75 V
V_{B2}	0.318 V
V_{B3}	0.54 V

ตารางที่ 3.7 ขนาดของทรานซิสเตอร์และค่าอุปกรณ์ที่ใช้ในวงจรโอทีเอ

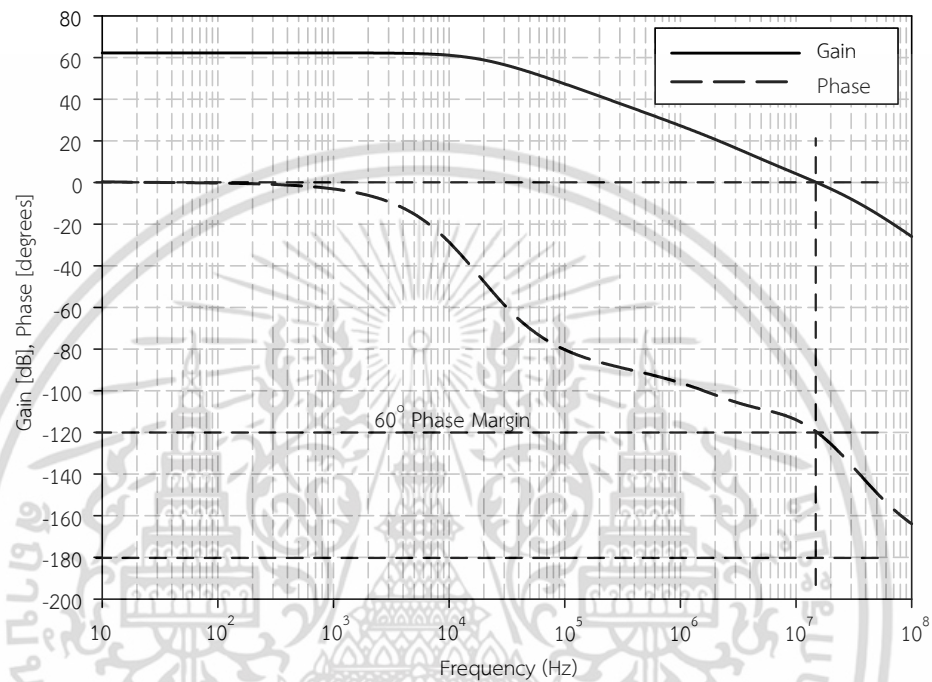
ทรานซิสเตอร์	ขนาด (W/L)	ทรานซิสเตอร์	ขนาด (W/L)
$M_{1,2}$	20 $\mu\text{m}/0.18 \mu\text{m}$	$M_{19,20}$	8 $\mu\text{m}/0.18 \mu\text{m}$
$M_{3,4}$	20 $\mu\text{m}/0.18 \mu\text{m}$	M_{C1}	108.2 $\mu\text{m}/1 \mu\text{m}$
$M_{5,6}$	8 $\mu\text{m}/0.18 \mu\text{m}$	M_{C2}	108.2 $\mu\text{m}/1 \mu\text{m}$
$M_{7,8}$	3.61 $\mu\text{m}/0.18 \mu\text{m}$	$M_{F1,2}$	18 $\mu\text{m}/0.18 \mu\text{m}$
$M_{9,10}$	2 $\mu\text{m}/0.18 \mu\text{m}$	$M_{F3,4}$	18 $\mu\text{m}/0.18 \mu\text{m}$
$M_{11,12}$	20 $\mu\text{m}/0.18 \mu\text{m}$	$M_{F5,6}$	5 $\mu\text{m}/0.18 \mu\text{m}$
$M_{13,14}$	20 $\mu\text{m}/0.18 \mu\text{m}$	$M_{F7,8}$	5 $\mu\text{m}/0.18 \mu\text{m}$
$M_{15,16}$	8 $\mu\text{m}/0.18 \mu\text{m}$	M_{CF1}	108.2 $\mu\text{m}/1 \mu\text{m}$
$M_{17,18}$	27.08 $\mu\text{m}/0.18 \mu\text{m}$	M_{CF2}	108.2 $\mu\text{m}/1 \mu\text{m}$
ตัวเก็บประจุ	ค่าความจุ	ตัวต้านทาน MOS	ขนาด (W/L)
$C_{G1,2}$	3 pF	$M_{R1,2}$	0.75 $\mu\text{m}/10 \mu\text{m}$
$C_{C1,2}$	3 pF	$M_{R3,4}$	0.75 $\mu\text{m}/10 \mu\text{m}$
		ตัวต้านทาน	ค่าความต้านทาน
		$R_{C1,2}$	15 k Ω

รูปที่ 3.58 (ก) แสดงผลการตอบสนองทางความถี่ของวงจรโอทีเอที่นำเสนอ จากผลการจำลองการทำงาน อัตราขยายสัญญาณมีค่าเท่ากับ 62.2 เดซิเบล และส่วนเฟส (Phase margin) มีค่าเท่ากับ 60 องศา แบนด์วิดท์ ($f_{-3\text{dB}}$) ของวงจรมีค่าเท่ากับ 18.5 เฮิรตซ์ และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 15 เมกะเฮิรตซ์ รูปที่ 3.58 (ข) แสดงอัตราขยายโหมตร่วมมีค่า

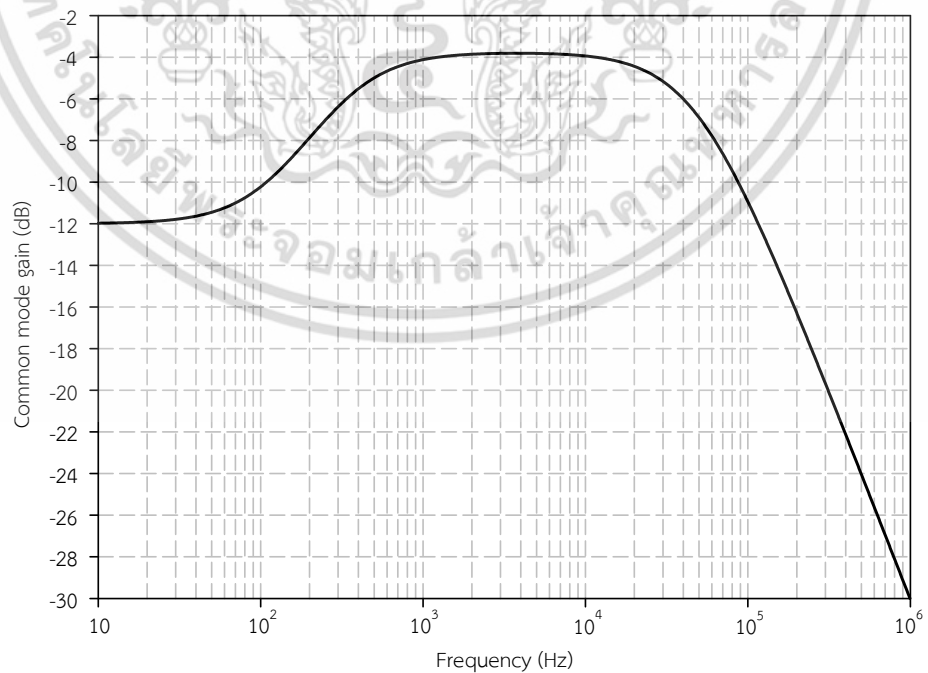
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ -3.82 เดซิเบล รูปที่ 3.59 แสดงขนาดของสัญญาณรบกวนที่อินพุตในรูปของแรงดัน v_i^2 ขนาดของสัญญาณรบกวนที่ความถี่คัทออฟ (f_{-3dB}) มีค่าเท่ากับ 66.4 nV/√Hz

ตารางที่ 3.8 แสดงการเปรียบเทียบคุณสมบัติของวงจรรอทีเอทีที่นำเสนอกับวงจรรอทีเอทีอื่น ๆ จากตารางเราเห็นได้ว่าวงจรรอทีเอทีเอใช้แรงดันไฟเลี้ยงต่ำกว่าวงจรรอทีเอทีอื่น ๆ และมีผลคูณระหว่างอัตราขยายและแบนด์วิดท์มากกว่า อัตราขยายของวงจรรอทีเอทีเอมีค่าไม่สูงมาก

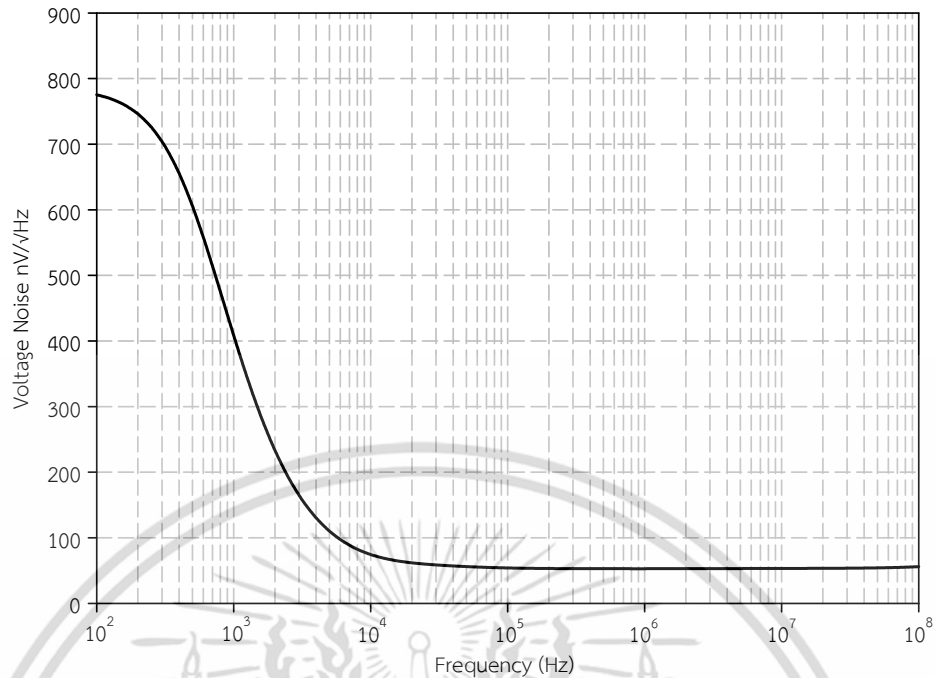


(ก)



(ข)

รูปที่ 3.58 ผลการตอบสนองทางความถี่ (ก) อัตราขยายโหมดผลต่าง และ (ข) อัตราขยายโหมดร่วม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



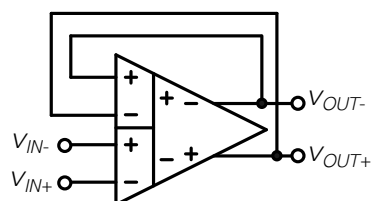
รูปที่ 3.59 ผลการตอบสนองความถี่ของสัญญาณรบกวน

ตารางที่ 3.8 การเปรียบเทียบคุณสมบัติของวงจรวอร์โทีเอ

พารามิเตอร์	[23]	[25]	[27]	[28]	รูปที่ 3.45 (ก)
แหล่งจ่ายไฟเลี้ยง	10 V	5 V	1.2 V	25 V	1 V
กำลังสูญเสีย	54.36 mW	-	-	3.5 mW	100 μ W
อัตราขยายลูปเปิด	84 dB	100 dB	75 dB	40 dB	62.2 dB
แถบแบนวิดธ์โปรดัก	6 MHz	10 MHz	9 MHz	5.8 kHz	15 MHz
เฟสมาร์จิน	50°	60°	55.3°	76°	60°
อัตราสล็อต	-	-	-	-	12.5 V/ μ s
โหลดตัวเก็บประจุ	-	10 pF	-	15 pF, 1 M Ω	20 pF
เทคโนโลยี	2 μ m	0.8 μ m	0.25 μ m	8 μ m	0.18 μ m

3.4.8 การต่อประยุกต์ใช้งานวงจรวอร์โทีเอแบบอินพุตและเอาต์พุตผลต่าง

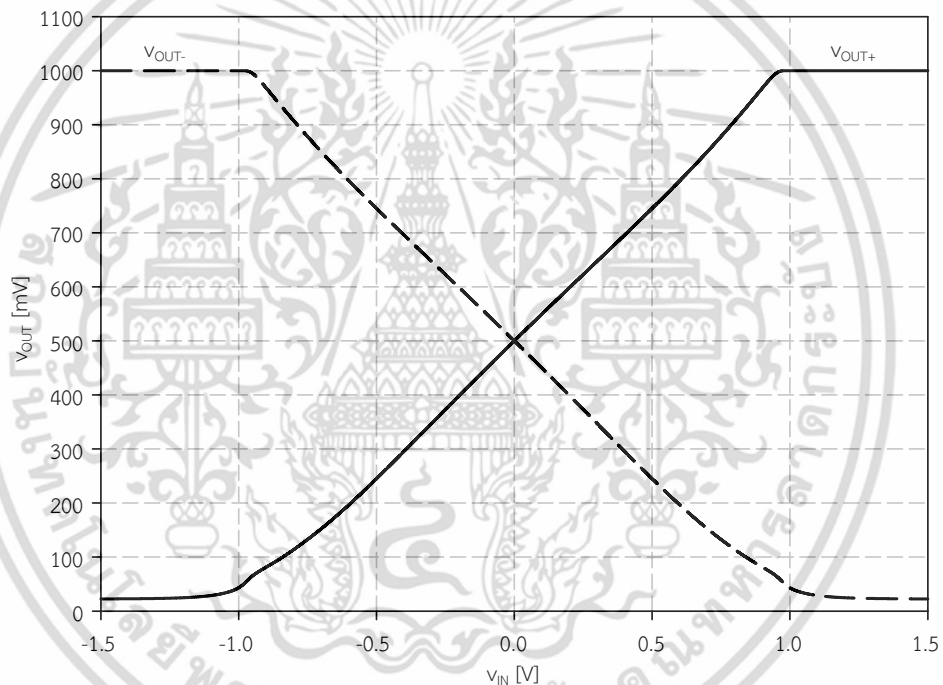
วิทยานิพนธ์นี้ได้นำวงจรวอร์โทีเอแบบอินพุตและเอาต์พุตผลต่างที่นำเสนอมาต่อประยุกต์ใช้เป็นวงจรมตามแรงดัน (Voltage follower) ดังแสดงในรูปที่ 3.60



รูปที่ 3.60 วงจรมตามแรงดัน

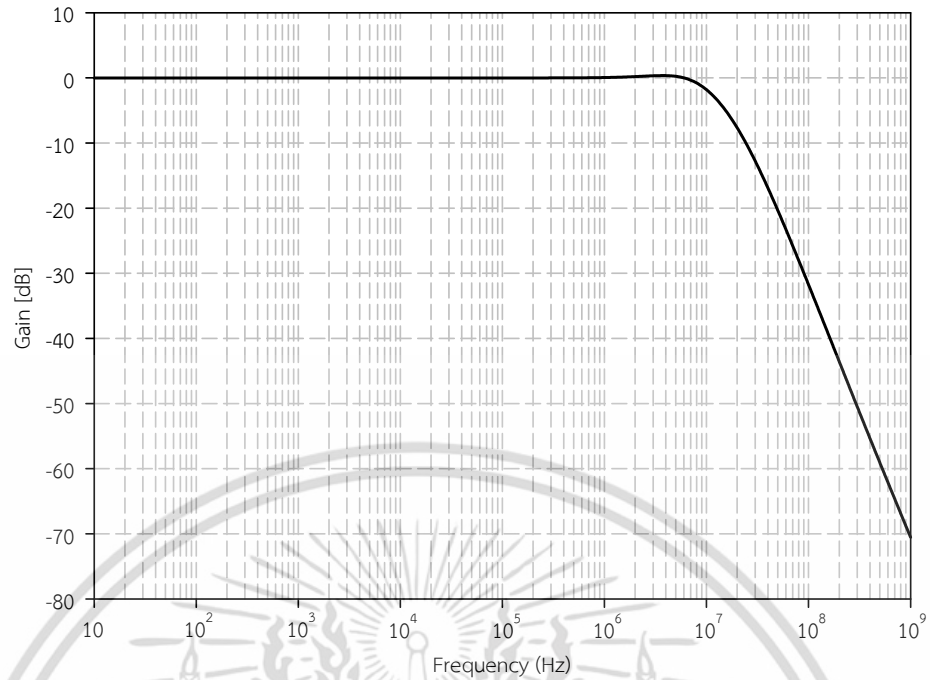
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.61 แสดงกราฟคุณสมบัติการถ่ายโอนแรงดันทางดีซี (DC voltage transfer characteristic) ระหว่างอินพุตและเอาต์พุต การจำลองการทำงานใช้การปรับแรงดันอินพุตจาก -1.5 โวลต์ ถึง 1.5 โวลต์ ผลการจำลองการทำงานแสดงให้เห็นว่าวงจรมีการถ่ายโอนแรงดันทางดีซีเป็นเชิงเส้นและมีช่วงปฏิบัติการตั้งแต่ลบหนึ่งโวลต์ถึงหนึ่งโวลต์ รูปที่ 3.62 แสดงผลการตอบสนองทางความถี่ จากผลการจำลองการทำงาน อัตราขยายมีค่าเท่ากับ 0 เดซิเบล และแบนด์วิดท์ (f_{-3dB}) มีค่าเท่ากับ 12.3 เมกะเฮิร์ตซ์ รูปที่ 3.59 แสดงผลตอบสนองทางเวลาโดยป้อนแรงดันอินพุตเป็นสัญญาณไซน์ที่มีขนาดเท่ากับ 400 มิลลิโวลต์ ความถี่ของสัญญาณมีค่าเท่ากับ 50 กิโลเฮิร์ตซ์ จากผลการทดลองพบว่าสัญญาณเอาต์พุตมีค่าเท่ากับ 398 มิลลิโวลต์ ซึ่งประมาณเท่ากับสัญญาณอินพุต รูปที่ 3.60 แสดงผลตอบสนองทางเวลาขณะป้อนแรงดันอินพุตเป็นสัญญาณพัลส์ที่มีขนาดเท่ากับหนึ่งโวลต์ ความถี่ของสัญญาณมีค่าเท่ากับ 200 กิโลเฮิร์ตซ์ จากผลการทดลองพบว่าสัญญาณเอาต์พุตมีค่าเท่ากับ 986 โวลต์ และวงจรมีอัตราสลับมีค่าเท่ากับ 12.5 โวลต์ต่อไมโครวินาที

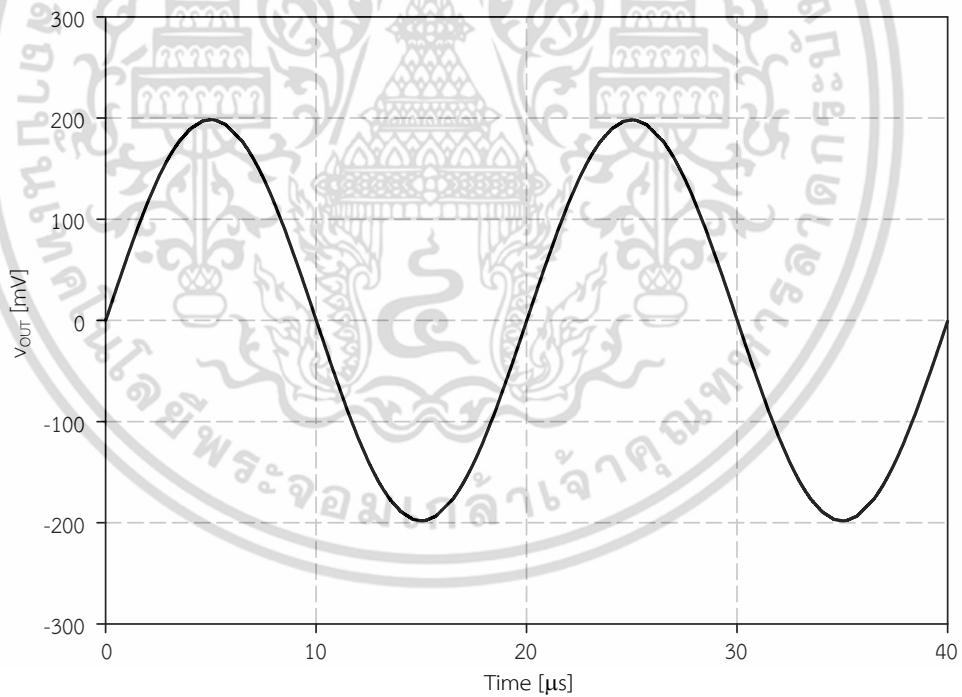


รูปที่ 3.61 คุณสมบัติการถ่ายโอนแรงดันผลต่างทางดีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

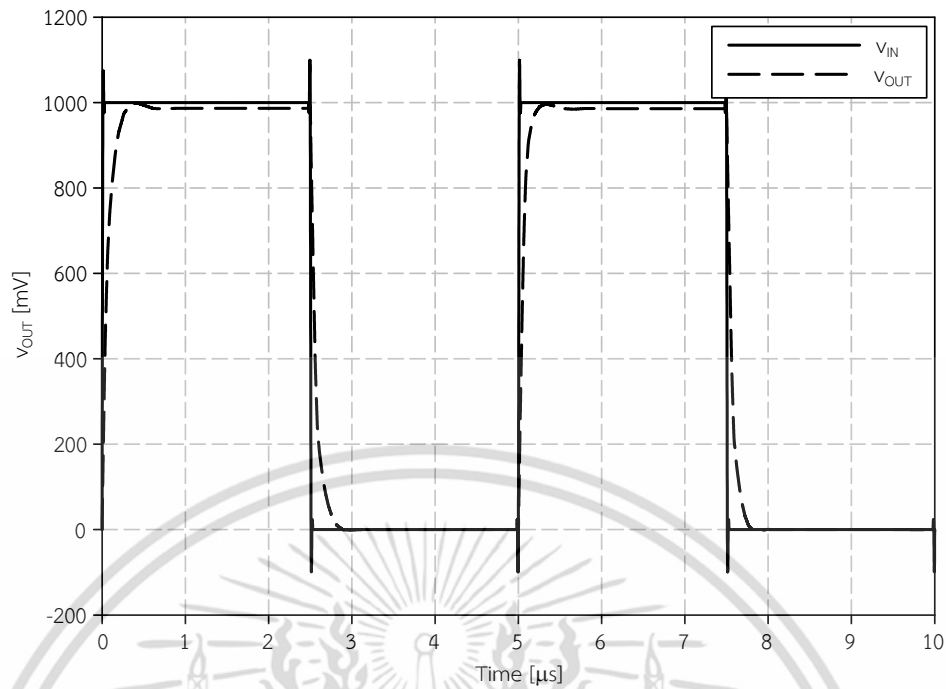


รูปที่ 3.62 ผลการตอบสนองทางความถี่



รูปที่ 3.63 ผลการตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณรูปไซน์ความถี่เท่ากับ 50 กิโลเฮิร์ตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.64 ผลการตอบสนองทางเวลาเมื่ออินพุตเป็นสัญญาณพัลส์ความถี่เท่ากับ 200 กิโลเฮิร์ตซ์

3.5 บทสรุป

วิทยานิพนธ์นี้เป็นการนำเสนอวงจรโอทีเอแบบเอาต์พุตผลต่างทำงานภายใต้ไฟเลี้ยง 0.8 โวลต์ วงจรโอทีเอถูกออกแบบโดยใช้ทรานซิสเตอร์แบบเกตลอยเสมือน วงจรโอทีเอแบบเอาต์พุตผลต่างเสมือนคลาส-เอบี วงจรทำงานภายใต้ไฟเลี้ยง 0.5 โวลต์ แรงดันอินพุตและเอาต์พุตสวิงได้กว้าง วงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่างที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงเท่ากับ 1 โวลต์ โดยใช้ทรานซิสเตอร์ที่ไบอัสที่ขาบอดี และใช้วิธีการป้อนไปข้างหน้า (Feedforward technique) จากผลการจำลองแสดงการสวิงของแรงดันอินพุตและเอาต์พุตมีช่วงการสวิงกว้าง ผลการจำลองของวงจรโอทีเอแบบเอาต์พุตผลต่างแสดงอัตราขยายลูปเปิดมีค่าเท่ากับ 65.8 เดซิเบล มีส่วนเฟสเท่ากับ 57 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 10.2 เมกะเฮิร์ตซ์ กำลังสูญเสียมีค่าเท่ากับ 48 ไมโครวัตต์ ผลการจำลองของวงจรโอทีเอแบบเอาต์พุตผลต่างเสมือนแสดงอัตราขยายลูปเปิดมีค่าเท่ากับ 67.2 เดซิเบล มีส่วนเฟสเท่ากับ 68 องศา และผลคูณระหว่างอัตราขยายกับแบนด์วิดท์มีค่าเท่ากับ 24.2 เมกะเฮิร์ตซ์ กำลังสูญเสียมีค่าเท่ากับ 30 ไมโครวัตต์ ผลการจำลองการทำงานวงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่าง แสดงแรงดันอินพุตและเอาต์พุตสวิงมีช่วงปฏิบัติการกว้าง อัตราขยายลูปเปิดมีค่าเท่ากับ 62.2 เดซิเบล ส่วนเฟสมีค่าเท่ากับ 60 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดท์มีค่าเท่ากับ 15 เมกะเฮิร์ตซ์ และกำลังสูญเสียมีค่าเท่ากับ 100 ไมโครวัตต์

ตารางที่ 3.9 แสดงการเปรียบเทียบของวงจรโอทีเอทั้งสามวงจร จากตารางเราเห็นได้ว่าวงจรโอทีเอในรูปที่ 3.26 ใช้แรงดันไฟเลี้ยงต่ำที่สุดและวงจรมีอัตราขยายและผลคูณระหว่างอัตราขยายและแบนด์วิดท์สูงกว่าวงจรในรูปที่ 3.9 และ 3.45 (ก) วงจรโอทีเอในรูปที่ 3.26 มี FOM มากกว่าวงจรในรูปที่ 3.9 และ 3.45 (ก) บ่งบอกถึงวงจรโอทีเอในรูปที่ 3.26 มีคุณสมบัติโดยรวมดีที่สุด อย่างไรก็ตามวงจรมีย่านการสวิงอินพุตน้อย วงจรในรูปที่ 3.45 (ก) มี FOM น้อยสุดบ่งบอกถึงว่าวงจรเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โอทีเอในรูปที่ 3.26 มีคุณสมบัติโดยรวมด้อยที่สุด นอกจากนี้วงจรมีกำลังสูญเสียสูงกว่าวงจรในรูปที่ 3.9 และ 3.45 (ก) อย่างไรก็ตามวงจรมีย่านการสวิงอินพุตมากกว่าวงจรถัดไป

ตารางที่ 3.9 ตารางเปรียบเทียบประสิทธิภาพของวงจรโอทีเอ

พารามิเตอร์	รูปที่ 3.9	รูปที่ 3.26	รูปที่ 3.45 (ก)
แหล่งจ่ายไฟเลี้ยง (V)	0.8	0.5	1
กำลังสูญเสีย (μW)	48	30	100
อัตราขยายลูปเปิด (dB)	65.8	67.2	62.2
อัตราขยายคุณแบนด์วิดท์ (MHz)	10.2	24.2	15
ส่วนเฟสของเฟส (Degree)	57	68	60
CMRR (dB)	87.8	73.2	98
PSRR (dB)	32.4	72.7	102
อัตราสลูส์ (SR+/SR-) V/ μs	6.76/8.5	0.3/5.4	12.5/10.2
Total Input Refer Noise (nV/ $\sqrt{\text{Hz}}$)	27	14.4	132.8
THD (%) (@output voltage)	0.18 *(0.7V) (at 100kHz)	0.64 *(0.3V) (at 40kHz)	0.413 *(0.6V) (at 100kHz)
Input CMR (mV)	300	200	400
Dynamic range (dB)	140.91	142.85	129.57
โหนดตัวเก็บประจุ (pF)	20	20	20
เทคโนโลยี (μm)	0.18	0.18	0.18
FOM	340	806.7	300

หมายเหตุ * หมายถึง แรงดันเอาต์พุตที่พิจารณาความผิดเพี้ยนทางฮาร์มอนิกส์

บทที่ 4

ซูเปอร์มอสทรานซิสเตอร์และการประยุกต์ใช้งาน

ปัจจุบันนี้ วงจรอิเล็กทรอนิกส์จำนวนมากทำงานโดยใช้แหล่งจ่ายจากแบตเตอรี่ ดังนั้นวงจรอิเล็กทรอนิกส์จึงควรสามารถทำงานที่แรงดันไฟเลี้ยงต่ำและมีกำลังสูญเสียน้อย ขณะเดียวกันวงจรควรมีช่วงปฏิบัติงานกว้าง มีอัตราขยายแรงดันมากและมีความผิดเพี้ยนของสัญญาณต่ำ

บทนี้กล่าวถึงการออกแบบวงจรซูเปอร์มอสทรานซิสเตอร์ (Super-MOS Transistor) เนื้อหาบทนี้สามารถแบ่งออกเป็น 4 ส่วนดังนี้ ส่วนที่หนึ่งกล่าวถึงการทำงานของวงจร ขั้วดีและขั้วบกพร่องของซูเปอร์มอสทรานซิสเตอร์ที่นำเสนอในอดีต ส่วนที่สองกล่าวถึงโครงสร้างและหลักการการทำงานของซูเปอร์มอสทรานซิสเตอร์ที่นำเสนอ ส่วนที่สองนี้จะมีการวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ ความต้านทานที่ขาเดรนและที่ขาซอร์ส และจำลองการทำงานของซูเปอร์มอสทรานซิสเตอร์ที่นำเสนอ ส่วนที่สามกล่าวถึงการนำซูเปอร์มอสทรานซิสเตอร์มาต่อใช้งานเป็นวงจรขยายซอร์สร่วมและวงจรขยายเกตร่วม ส่วนสุดท้ายได้ทำการสรุปผลการการทำงานของซูเปอร์มอสทรานซิสเตอร์ที่นำเสนอ

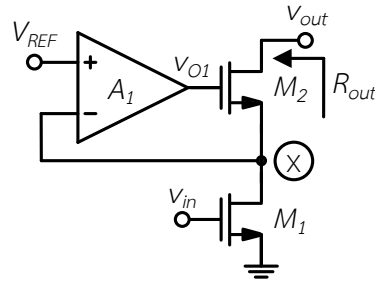
4.1 ซูเปอร์มอสทรานซิสเตอร์ในอดีต

ซูเปอร์มอสทรานซิสเตอร์ (Super MOS transistor) คือวงจรขยายที่ถูกออกแบบให้เสมือนว่าเป็นทรานซิสเตอร์แบบใหม่ซึ่งมีคุณสมบัติที่ดีกว่ามอสทรานซิสเตอร์ทั่วไปดังต่อไปนี้ 1) มีช่วงการสวิงกว้าง 2) มีความต้านทานที่ขาเกตและบอดีสูง 3) มีค่าความต้านทานที่ขาเดรนสูง และ 4) มีค่าความต้านทานที่ขาซอร์สต่ำ งานวิจัยในอดีตได้นำซูเปอร์มอสทรานซิสเตอร์ที่ถูกออกแบบไปต่อประยุกต์ใช้งานเป็นวงจรทรานส์คอนดักเตอร์ (Transconductor) วงจรสะท้อนกระแส (Current mirror) วงจรออปแอมป์แบบพับ (Folded cascode opamp) และวงจรขยายกระแส (Current amplifier) เป็นต้น

รูปที่ 4.1 แสดงวงจรขยายซอร์สร่วมที่มีค่าความต้านทานเสมือนทางด้านเอาต์พุตสูง [26] โดยใช้วิธีเร็กกูเลตแคสโคส (Regulated cascode) ซึ่งอาศัยหลักการป้อนกลับแบบลบ (Negative feedback) หลักการนี้ถูกใช้บ่อยครั้งเพื่อพัฒนาซูเปอร์ทรานซิสเตอร์ ดังนั้นบทนี้จึงขอเริ่มอธิบายหลักการการทำงานของวงจรดังกล่าวเพื่อเป็นพื้นฐานในการพัฒนาต่อไป เมื่อพิจารณารูปที่ 4.1 วงจรประกอบด้วยทรานซิสเตอร์ M_1 M_2 และออปแอมป์ A_1 ทรานซิสเตอร์ M_2 และออปแอมป์ A_1 ต่อในลักษณะป้อนกลับแบบลบ กล่าวคือสัญญาณที่ขาซอร์ส (ที่โหนด X) ของ M_2 ถูกต่อป้อนกลับไปที่ขาลบของออปแอมป์ส่งผลให้แรงดันที่โหนด X มีค่าค่อนข้างคงที่และมีค่าประมาณเท่ากับ V_{REF} ลักษณะเช่นนี้ทำให้ความต้านทานด้านเอาต์พุต (R_{out}) มีค่าสูงและมีค่าเท่ากับ

$$R_{out} = A_1 g_{m2} r_{o1} r_{o2} \quad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรขยายซอร์สร่วมที่มีค่าความต้านทานเสมือนด้านเอาต์พุตสูง

- เมื่อ A_1 คือ ค่าอัตราขยายของวงจรขยายผลต่าง (V/V)
 g_{m2} คือ ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_2 (A/V)
 r_{o1} คือ ความต้านทานสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1 (โอห์ม, Ω)
 r_{o2} คือ ความต้านทานสัญญาณขนาดเล็กของทรานซิสเตอร์ M_2 (โอห์ม, Ω)

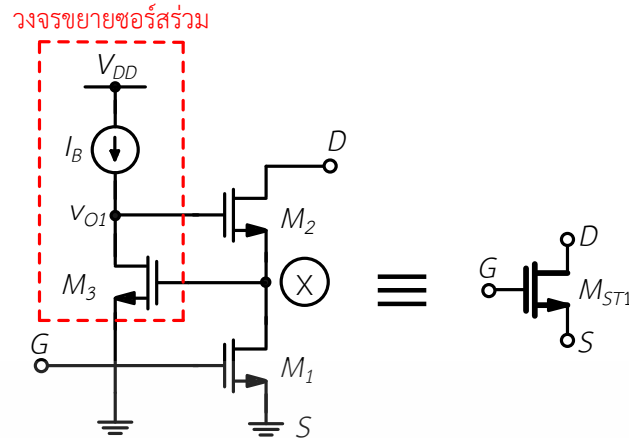
จากสมการที่ 4.1 R_{out} ขึ้นอยู่กับอัตราขยายของออปแอมป์ งานวิจัยจำนวนมากนำหลักการดังกล่าวไปออกแบบวงจรขยายเสมือนซูปเปอร์มอสทรานซิสเตอร์เพื่อเพิ่มความต้านทานเสมือนที่ขาเดรน

รูปที่ 4.2 แสดงซูปเปอร์มอสทรานซิสเตอร์ที่ถูกนำเสนอโดย E. Sackinger และ W. Guggenbuhl [45] ซึ่งได้ทำการออกแบบวงจรขยายเสมือนซูปเปอร์มอสทรานซิสเตอร์ด้วยหลักการเร็กกูเลตแคสโคส (Regulated cascade) วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_3$ และแหล่งจ่ายกระแส I_B ทรานซิสเตอร์ M_3 เป็นทรานซิสเตอร์ที่ทำหน้าที่ป้อนกลับแบบลบ (คล้ายกับออปแอมป์ในรูปที่ 4.1) ในการออกแบบเพื่อให้สัญญาณที่ขาเดรนสามารถสวิงลงได้มาก ทรานซิสเตอร์ M_3 ถูกออกแบบให้ทำงานในย่านวีคอินเวอร์ชัน (Weak inversion) ขาเกต ขาเดรน และขาซอร์สของ M_1 เปรียบเสมือนขาเกต ขาเดรน และขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์ ในการใช้งานขาซอร์สจะถูกต่อลงกราวด์ (หรือโฟลป) รูปที่ 4.3 แสดงการป้อนสัญญาณแรงดันทดสอบที่ขาเดรนเพื่อหาความต้านทานเสมือนที่ขาเดรน เราสังเกตเห็นได้ว่ากระแสทดสอบไหลผ่าน M_2 ไปยังโหนด X ส่งผลให้โหนด X มีการสวิงของสัญญาณ สัญญาณดังกล่าวจะถูกขยายแบบกลับเฟสด้วย M_3 แล้วป้อนกลับไปขาเกตของ M_2 ส่งผลทำให้กระแสทดสอบลดลง ลักษณะเช่นนี้ทำให้ค่าความต้านทานเสมือนที่ขาเดรน ($R_{D,eff}$) มีค่าสูงและมีค่าเท่ากับ

$$R_{D,eff} = g_{m2}g_{m3}r_{o1}r_{o2}r_{o3} \quad (4.2)$$

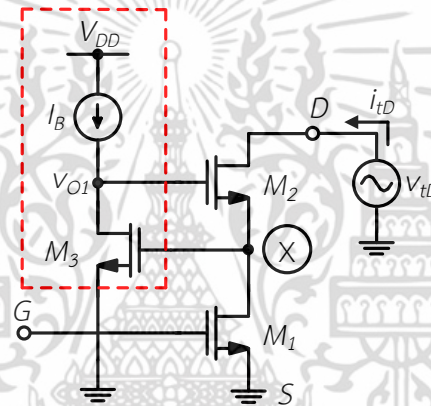
- เมื่อ g_{m3} คือ ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_3 (A/V)
 r_{o3} คือ ความต้านทานสัญญาณขนาดเล็กของทรานซิสเตอร์ M_3 (โอห์ม, Ω)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 ซุปเปอร์มอสทรานซิสเตอร์ที่นำเสนอโดย E. Sackinger et al. [26]

วงจรขยายซอร์สร่วม



รูปที่ 4.3 การบ่อนแรงดันทดสอบเพื่อหาค่าความต้านทานเสมือนที่ขาเดรน

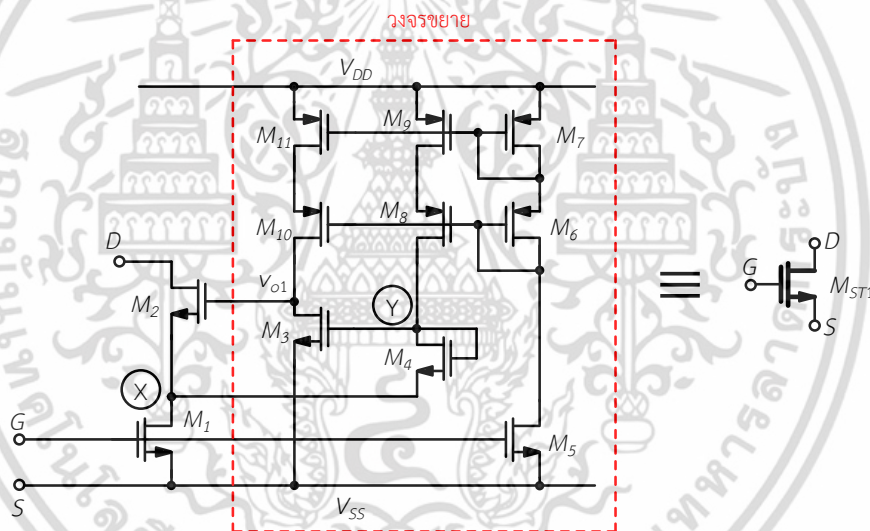
K. Bult และ G. J. G. M. Geelen, [46] ได้พัฒนาวงจรให้มีค่าความต้านทานเสมือนเอาต์พุตสูงมากขึ้น และมีเอาต์พุตสวิงที่ขาเดรนกว้างมากขึ้น (สัญญาณสวิงมีค่าเท่ากับ $v_{swing(min)} = 2v_{dsat}$) ดังแสดงในรูปที่ 4.4 วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_{12}$ ทรานซิสเตอร์ $M_3 - M_{12}$ ทำหน้าที่เป็นวงจรขยาย และบ่อนกลับแบบลบไปที่ขาเกตของ M_2 การพิจารณาหา $R_{D,eff}$ สามารถทำได้ดังนี้ เมื่อบ่อนแรงดันทดสอบเข้าที่ขาเดรน กระแสทดสอบจะไหลผ่านทรานซิสเตอร์ M_2 และไหลผ่านโหนด X ทำให้เกิดแรงดันที่โหนด X แรงดันดังกล่าวจะถูกส่งผ่านไปที่โหนด Y ด้วยทรานซิสเตอร์ M_3 และถูกขยายโดยทรานซิสเตอร์ M_5 และ M_6 ซึ่งต่อในลักษณะแคสโคด แรงดันที่ถูกขยายจะมีลักษณะกลับเฟสกับแรงดันที่โหนด X ส่งผลให้กระแสทดสอบที่ไหลผ่านทรานซิสเตอร์ M_2 มีค่าลดลง ลักษณะการทำงานดังกล่าวส่งผลให้ค่าความต้านทานเสมือนที่ขาเดรนมีค่าสูงมากขึ้น เราสามารถวิเคราะห์หาค่าความต้านทานเสมือนที่ขาเดรน $R_{D,eff}$ มีค่าเท่ากับ

$$R_{D,eff} = g_{m2}g_{m5}g_{m6(7)}r_{o1}r_{o2}r_{o5(8)}r_{o6(7)} / 2 \quad (4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 แสดงซูปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย P. Lo [48] ซึ่งคณะผู้วิจัยได้ทำการออกแบบทรานซิสเตอร์ด้วยวิธีการเร็กกูเลตแคสโคด วงจรประกอบด้วย $M_1 - M_{11}$ โดย $M_3 - M_{11}$ ประกอบขึ้นเป็นวงจรขยาย การพิจารณาหา $R_{D,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบเข้าที่ขาเดรนของ M_2 กระแสทดสอบไหลผ่าน M_2 ไปยังโหนด X ส่งผลให้แรงดันที่โหนด X สวิง เนื่องจากโหนด X ต่อกับขาซอร์สของทรานซิสเตอร์ M_4 ซึ่ง M_4 ต่อลักษณะไดโอด (Diode connected) แรงดันที่โหนด Y จึงสวิงในลักษณะเดียวกัน แรงดันดังกล่าวจะถูกขยายกลับเฟสด้วยทรานซิสเตอร์ M_3 ไปปรากฏที่โหนด v_{o1} ซึ่ง M_3 ต่อลักษณะวงจรขยายซอร์สรวม เนื่องจากแรงดันที่โหนด v_{o1} มีลักษณะกลับเฟสกับแรงดันที่โหนด X ส่งผลให้แรงดัน v_{GS2} ลดลง และทำให้กระแสทดสอบลดลง โหนด X ถูกต่อกับขาซอร์สของ M_4 ส่งผลให้แรงดันสวิงที่ขาเดรนสามารถสวิงได้กว้าง ซึ่งแรงดันสวิงต่ำสุดมีค่าเท่ากับ $2V_{dsat}$ และลักษณะการต่อวงจรขยายดังแสดงในรูปที่ 4.6 มีลักษณะการป้อนกลับแบบลบ ส่งผลให้ค่า $R_{D,eff}$ มีค่าสูง ซึ่งเราสามารถวิเคราะห์หาค่า $R_{D,eff}$ ได้เท่ากับ

$$R_{D,eff} = g_{m2}g_{m3}r_{o1}r_{o2}r_{o3} \quad (4.5)$$

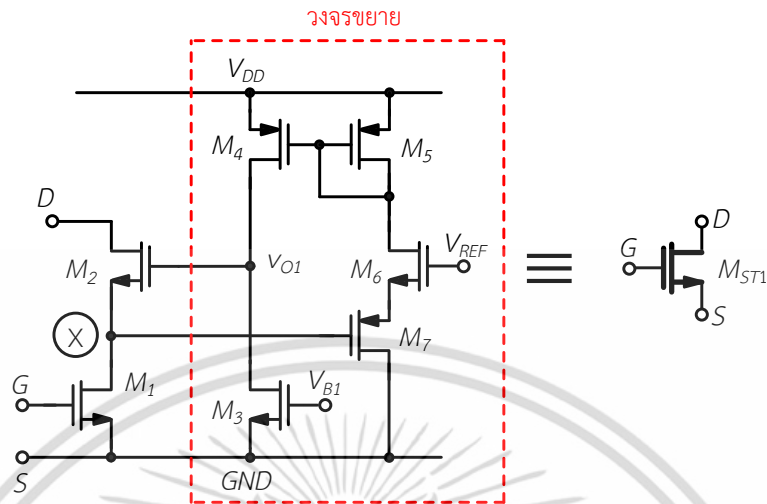


รูปที่ 4.6 ซูปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย P. Lo [48]

J. W. Fattaruso et al. [49] ได้ทำการพัฒนาซูปเปอร์มอสทรานซิสเตอร์ให้มีกำลังสูญเสียและขนาดของวงจรลดลงดังที่แสดงในรูปที่ 4.7 วงจรประกอบด้วย $M_1 - M_{11}$ วงจรขยายผลต่างประกอบด้วยทรานซิสเตอร์ $M_3 - M_{11}$ การพิจารณาหา $R_{D,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบเข้าที่ขาเดรนของทรานซิสเตอร์ M_2 กระแสทดสอบจะไหลผ่าน M_2 ส่งผลให้แรงดันที่โหนด X สวิงบวก แรงดันที่โหนด X ถูกเปลี่ยนเป็นกระแส เนื่องจากทรานซิสเตอร์ M_5 และ M_4 ต่อเป็นวงจรสะท้อนกระแส กระแสดังกล่าวถูกสะท้อนจาก M_5 ไปยัง M_4 กระแส $g_{m7}V_{GS7}$ ไหลผ่านค่าความต้านทานเสมือนที่โหนด v_{o1} ทำให้เกิดแรงดันสวิงที่โหนด v_{o1} ซึ่งมีลักษณะกลับเฟสกับโหนด X ส่งผลให้แรงดัน v_{GS2} ลดลง ทำให้กระแสทดสอบที่ไหลผ่าน M_2 ลดลง ลักษณะการป้อนกลับแบบลบจะทำให้ค่า $R_{D,eff}$ ของวงจรมีค่าสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

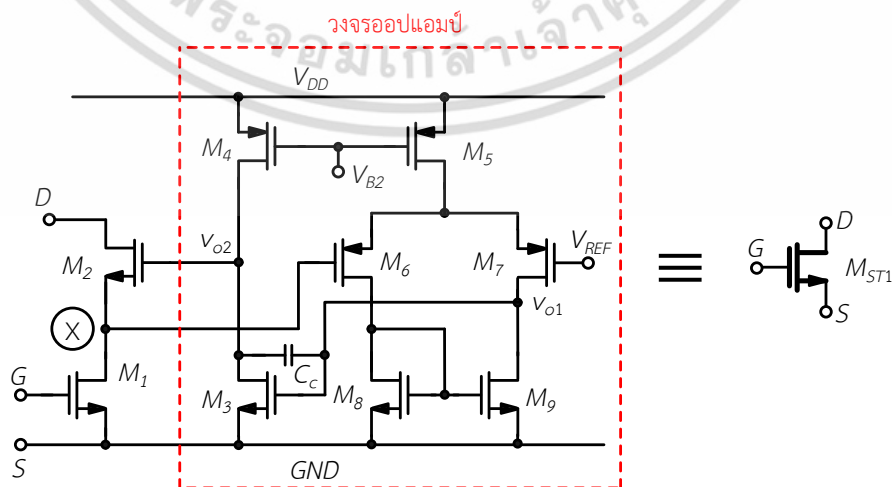
$$R_{D,eff} = g_{m2}g_{m7}r_{o1}r_{o2} (r_{o3} // r_{o4}) \tag{4.6}$$



รูปที่ 4.7 ชุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย J. W. Fattaruso et al. [49]

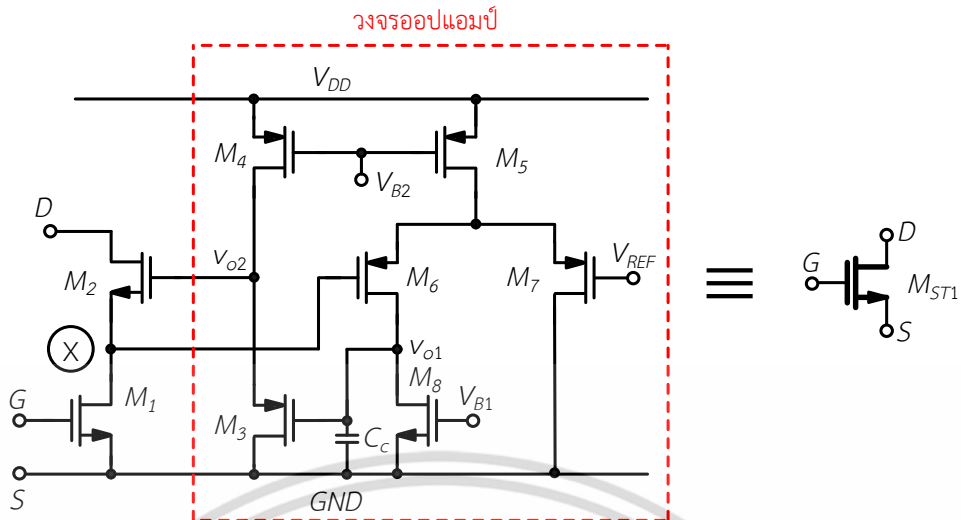
รูปที่ 4.8 และ 4.9 แสดงชุปเปอร์มอสทรานซิสเตอร์ที่ถูกพัฒนาโดย M. Helfenstein Q. Huang และ G. S. Moschytz [50] คณะผู้วิจัยได้ทำการพัฒนาชุปเปอร์มอสทรานซิสเตอร์ให้มี $R_{D,eff}$ มีค่ามาก สัญญาณที่ขาเดรนสามารถสวิทช์กว้างมากขึ้น และวงจรไม่ซับซ้อน วงจรในรูปที่ 4.8 ประกอบด้วย $M_1 - M_9$ วงจรออปแอมป์ประกอบด้วยทรานซิสเตอร์ $M_3 - M_9$ การพิจารณาหาค่า $R_{D,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบที่ขาเดรนของ M_2 กระแสทดสอบจะไหลผ่านทรานซิสเตอร์ M_2 ไปยังโหนด X ทำให้แรงดันที่โหนด X สวิตช์แรงดันดังกล่าวจะถูกขยายด้วยวงจรขยายผลต่างไปปรากฏที่โหนด v_{o2} ลักษณะกลับเฟสกับแรงดันโหนด X ส่งผลให้แรงดัน V_{GS2} ลดลง และทำให้กระแสทดสอบลดลง ส่งผลให้ $R_{D,eff}$ ของวงจรมีค่าสูงขึ้น ค่า $R_{D,eff}$ มีค่าเท่ากับ

$$R_{D,eff} = g_{m2}g_{m6}r_{o1}r_{o2} (r_{o6} // r_{o8}) \tag{4.7}$$



รูปที่ 4.8 ชุปเปอร์มอสทรานซิสเตอร์โดย M. Helfenstein et al. [50]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ซุปเปอร์มอสทรานซิสเตอร์วงจรที่ 2 โดย M. Helfenstein et al. [50]

วงจรในรูปที่ 4.9 ประกอบด้วย $M_1 - M_8$ ทรานซิสเตอร์ $M_3 - M_8$ ต่อเป็นออปแอมป์ การพิจารณาหา $R_{D,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบเข้าที่ขาเดรน กระแสทดสอบจะไหลผ่านทรานซิสเตอร์ M_2 ส่งผลให้แรงดันที่โหนด X เปลี่ยนแปลง แรงดันที่โหนด X ถูกขยายด้วย M_6 แล้วไปปรากฏที่โหนด v_{o1} และถูกส่งไปยังโหนด v_{o2} เนื่องจากแรงดันที่โหนด v_{o2} ถูกป้อนกลับมาที่ขาเกตของ M_2 ในลักษณะการป้อนกลับแบบลบ ส่งผลให้กระแสทดสอบลดลง ดังนั้น ค่า $R_{D,eff}$ มีค่าสูงและมีค่าเท่ากับ

$$R_{D,eff} = g_{m2}g_{m3}g_{m6}r_{o1}r_{o2}(r_{o3} // r_{o4})(r_{o7} // r_{o9}) \quad (4.8)$$

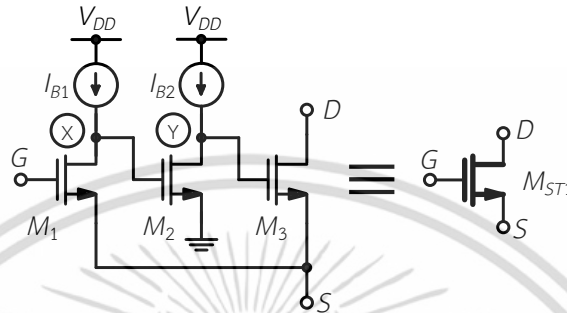
ซุปเปอร์มอสทรานซิสเตอร์ที่กล่าวมามีข้อบกพร่องบางประการได้แก่ 1) วงจรใช้แรงดันไฟเลี้ยงสูง (ประมาณ $3V_{dsat} + 2V_T$ ถึง $4V_{dsat} + 3V_T$) 2) ค่าความต้านทานเสมือนที่ขาซอร์ส ($R_{S,eff}$) มีค่าเท่ากับ $1/g_m$ การลด $R_{S,eff}$ สามารถทำได้โดยการเพิ่มขนาด และ/หรือกระแสไบอัสซึ่งทำให้ต้องใช้พื้นที่มาก และต้องใช้กำลังสูญเสียมาก 3) ค่าทรานส์คอนดักแตนซ์ ($G_{m,eff}$) มีค่าเท่ากับ g_m และสัญญาณอินพุต และเอาต์พุตไม่สามารถสวิงกว้างได้

J. M. Martinez-Heredia และ A. Torralba [51] นำเสนอซุปเปอร์มอสทรานซิสเตอร์ดังแสดงในรูปที่ 4.10 วงจรที่นำเสนอได้ทำการออกแบบเพื่อแก้ไขปัญหาค่าความต้านทานเสมือนที่ขาซอร์ส งานวิจัยดังกล่าวได้ใช้วงจรขยายสองภาค และต่อลักษณะป้อนกลับแบบลบ วงจรดังกล่าวประกอบด้วยทรานซิสเตอร์ M_1 ถึง M_3 และแหล่งจ่ายกระแส I_B ทรานซิสเตอร์ M_{1a} ต่อเป็นวงจรขยายภาคที่หนึ่ง ทรานซิสเตอร์ M_2 ต่อลักษณะวงจรขยายแบบซอร์สร่วมเป็นวงจรขยายภาคที่สอง ขาซอร์สของ M_1 ต่อกับขาซอร์สของ M_3 การพิจารณาหา $R_{S,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบที่ขาซอร์ส กระแสทดสอบจะไหลผ่าน M_3 และขณะเดียวกัน แรงดันทดสอบจะถูกเปลี่ยนให้เป็นแรงดันที่โหนด X ซึ่ง M_{1a} ต่อลักษณะวงจรขยายเกตร่วม แรงดันที่โหนด X ถูกขยายโดยทรานซิสเตอร์ M_2 ไปที่โหนด Y โดยอาศัย M_2 ซึ่งต่อลักษณะวงจรขยายซอร์สร่วม แรงดันที่โหนด Y มีลักษณะกลับเฟสกับแรงดันที่โหนด X ส่งผลให้การสวิงของ $v_{GS,3}$ เพิ่มขึ้น และกระแสทดสอบไหลผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M_3 จากลักษณะการทำงานที่มีการป้อนกลับแบบลบ (Negative feedback) ทำให้ ค่า $R_{S,eff}$ มีค่าเท่ากับ

$$R_{S,eff} \approx \frac{1}{g_{m1}g_{m2}g_{m3}(r_{o1} \parallel r_{oB1})(r_{o2} \parallel r_{oB2})} \quad (4.9)$$



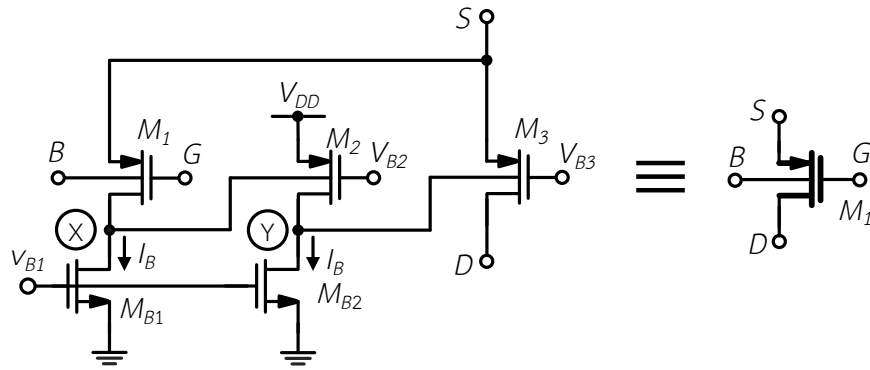
รูปที่ 4.10 ซุปเปอร์แคสโคดทรานซิสเตอร์โดย J. M. Martinez-Heredia และ A. Torralba [51]

จากสมการที่ (4.9) แสดงให้เห็นว่าค่า $R_{S,eff}$ มีค่าต่ำ ซุปเปอร์มอสทรานซิสเตอร์ที่แนะนำเสนอโดย J. M. Martinez-Heredia และ A. Torralba มีข้อดีได้แก่ $R_{S,eff}$ มีค่าต่ำมาก แหล่งจ่ายไฟเลี้ยงมีค่าน้อย (เท่ากับ $2V_{dsat} + V_T$) อย่างไรก็ตามซุปเปอร์มอสทรานซิสเตอร์มีข้อบกพร่องบางประการ กล่าวคือ เมื่อวงจรถูกออกแบบให้ใช้งานกับแรงดันไฟเลี้ยงต่ำ สัญญาณอินพุตของวงจรไม่สามารถสวิงกว้างมากได้ และค่า $R_{D,eff}$ ยังคงมีค่าเท่ากับ r_{o3} ซึ่งเท่ากับทรานซิสเตอร์ทั่วไป

4.2 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเองและการป้อนกลับแบบลบที่นำเสนอ (Bulk-Driven Super MOS transistor with self-cascode and negative feedback)

4.2.1 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ที่นำเสนอ (Bulk-Driven super MOS transistor)

วิทยานิพนธ์นี้แนะนำเสนอซุปเปอร์มอสทรานซิสเตอร์ดังแสดงในรูปที่ 4.11 วงจรที่นำเสนอถูกพัฒนาจากซุปเปอร์มอสทรานซิสเตอร์ในอดีต วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_3$ ทรานซิสเตอร์ทั้งสามมีการป้อนสัญญาณที่ขาบอดี้ ส่งผลให้วงจรสามารถทำงานที่แรงดันไฟเลี้ยงต่ำมากได้ ทรานซิสเตอร์ M_{B1} และ M_{B2} ทำหน้าที่ป้อนกระแสไบอัสให้กับ M_1 และ M_2 ทรานซิสเตอร์ M_1 และ M_2 ต่อเป็นวงจรขยายสองภาค ขาซอร์สของ M_1 ต่อกับขาซอร์สของ M_3 การต่อวงจรดังกล่าวมีลักษณะการป้อนกลับแบบลบ ส่งผลให้ค่าความต้านทานเสมือนที่ขาซอร์ส $R_{S,eff}$ มีค่าต่ำ ซุปเปอร์มอสทรานซิสเตอร์ที่ได้มีขาเกตเสมือน และขาบอดี้เสมือนอยู่ที่ขาเกต และขาบอดี้ของทรานซิสเตอร์ M_1 ตามลำดับ ขาเดรนเสมือนคือขาเดรนของทรานซิสเตอร์ M_3 และขาซอร์สเสมือนคือขาซอร์สของทรานซิสเตอร์



รูปที่ 4.11 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ที่นำเสนอ

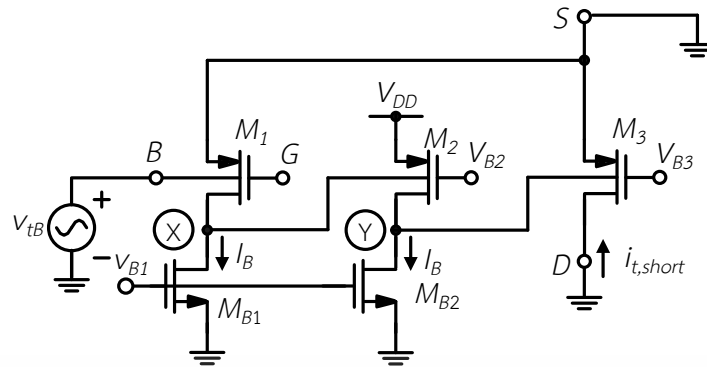
4.2.1.1 การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ และการป้อนกลับแบบลบ

การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ $G_{m,eff}$ ทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก การวิเคราะห์วงจรมีดังกล่าวก่อขึ้นจากการป้อนแรงดันทดสอบที่ขาบอดี้ และทำการต่อขาเกต ขาเดรน และขาซอร์สลงกราวด์ดังแสดงในรูปที่ 4.12 ซึ่งมีวงจรเสมือนสัญญาณขนาดเล็กดังแสดงในรูปที่ 4.13 การพิจารณาค่า $G_{m,eff}$ ของวงจรสามารถทำได้ดังนี้ เมื่อแรงดันทดสอบ v_{tB} ถูกป้อนเข้าขาบอดี้ของวงจร ทรานซิสเตอร์ M_1 ทำการแปลงแรงดันให้เป็นกระแสมีค่าเท่ากับ $g_{mb1}v_{tB}$ กระแสดังกล่าวไหลผ่านความต้านทานเสมือนโหนด X ทำให้เกิดแรงดันที่มีลักษณะกลับเฟสกับ v_{tB} แรงดันโหนด X ถูกต่อกับขาบอดี้ของทรานซิสเตอร์ M_2 ทรานซิสเตอร์ M_2 ทำการแปลงแรงดันเป็นกระแสเท่ากับ $g_{mb1}g_{mb2}r_x v_{tB}$ กระแสดังกล่าวไหลผ่านค่าความต้านทานเสมือนที่โหนด Y และมีลักษณะกลับเฟสกับโหนด X แต่มีเฟสเดียวกับแรงดัน v_{tB} ทรานซิสเตอร์ M_3 ทำการแปลงแรงดันที่โหนด Y เป็นกระแสลัดวงจร $i_{t,short}$ ดังแสดงในรูปที่ 4.13 ค่า $G_{m,eff}$ มีค่าเท่ากับอัตราส่วนระหว่างกระแสลัดวงจร $i_{t,short}$ และแรงดันทดสอบ v_{tB} เราสามารถหาค่า $G_{m,eff}$ ได้เท่ากับ

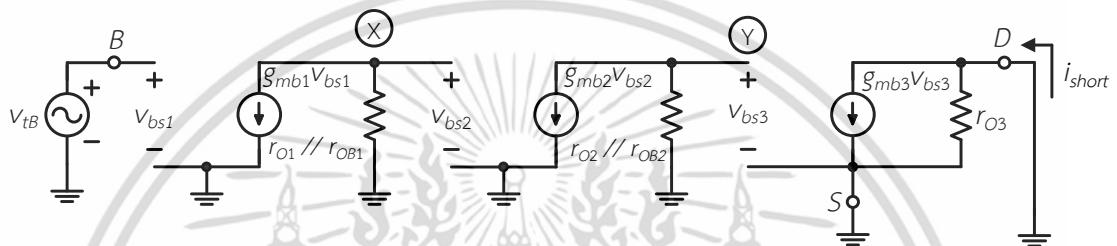
$$G_{m,eff} = g_{mb1}g_{mb2}g_{mb3} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2}) \quad (4.10)$$

เมื่อ	g_{mb1}	คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดี้ของทรานซิสเตอร์ M_1 (A/V)
	g_{mb2}	คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดี้ของทรานซิสเตอร์ M_2 (A/V)
	g_{mb3}	คือ ค่าทรานส์คอนดักแตนซ์ที่ขาบอดี้ของทรานซิสเตอร์ M_3 (A/V)
	r_{oB1}	คือ ความต้านทานสัญญาณขนาดเล็กของทรานซิสเตอร์ M_{B1} (โอห์ม, Ω)
	r_{oB2}	คือ ความต้านทานสัญญาณขนาดเล็กของทรานซิสเตอร์ M_{B2} (โอห์ม, Ω)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 การป้อนแรงดันทดสอบเพื่อหาค่า $G_{m,eff}$



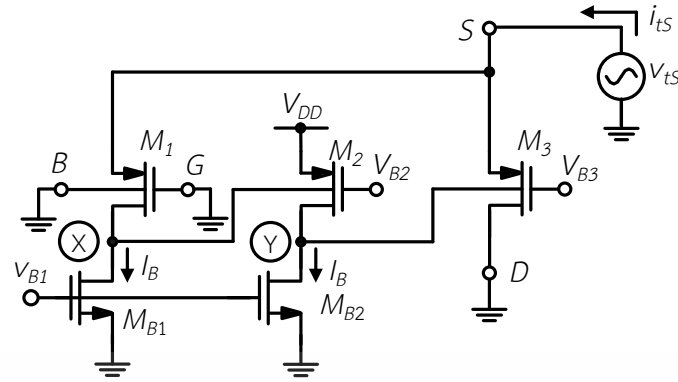
รูปที่ 4.13 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

4.2.1.2 การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยการป้อนกลับแบบลบ

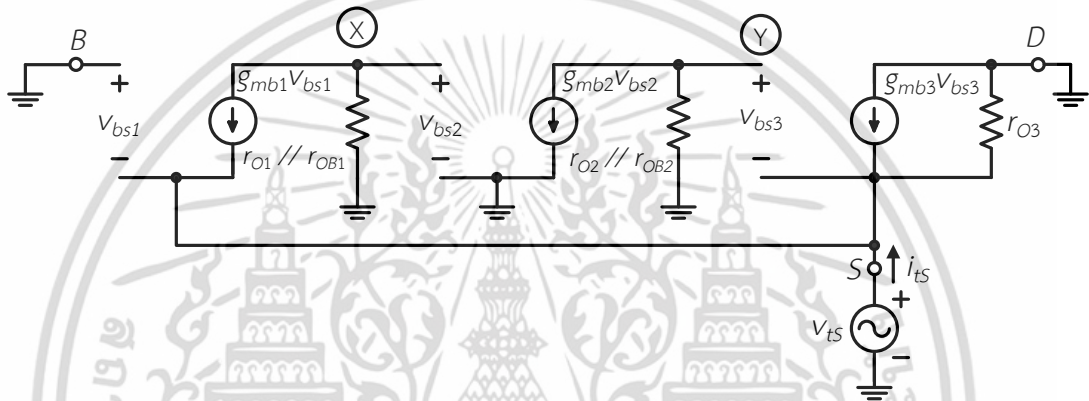
ในการวิเคราะห์หาความต้านทานเสมือนที่ขาเดรน $R_{D,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ เราจะทำการป้อนแหล่งจ่ายแรงดันทดสอบเข้าที่ขาเดรนของวงจร และทำการต่อขาเกต และขาบอดี้กับกราวด์ดังแสดงในรูปที่ 4.14 เราจะหากระแสทดสอบที่จ่ายออกจากแหล่งจ่ายแรงดันทดสอบ ค่า $R_{D,eff}$ มีค่าเท่ากับอัตราส่วนของแรงดันทดสอบต่อกระแสทดสอบ รูปที่ 4.15 แสดงการวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก เนื่องจากขาบอดี้ และขาเกตของวงจรถูกต่อลงกราวด์ กระแสที่ไหลผ่านค่า $R_{D,eff}$ ของทรานซิสเตอร์ M_3 มีค่าเท่ากับกระแส i_{tD} ดังนั้น ค่า $R_{D,eff}$ มีค่าเท่ากับ

$$R_{D,eff} = r_{o3} \quad (4.11)$$

สมการที่ 4.11 แสดงให้เห็นว่า $R_{D,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าเท่ากับ $R_{D,eff}$ ของมอสทรานซิสเตอร์ทั่วไป



รูปที่ 4.16 การป้อนแรงดันทดสอบเพื่อหา $R_{s,eff}$



รูปที่ 4.17 การหา $R_{s,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

รูปที่ 4.17 แสดงการวิเคราะห์หา $R_{s,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก ค่า $R_{s,eff}$ มีค่าเท่ากับ v_{ts}/i_{ts} ซึ่งมีค่าเท่ากับ

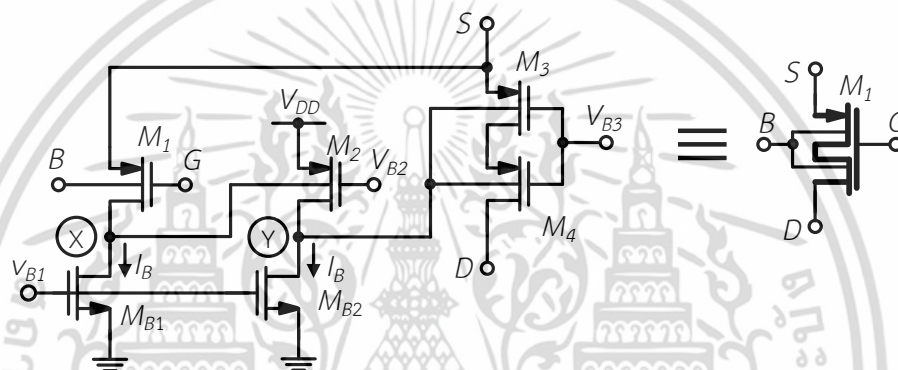
$$R_{s,eff} \approx \frac{1}{g_{mb1}g_{mb2}g_{mb3} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \tag{4.12}$$

จากสมการที่ 4.12 เราสังเกตเห็นได้ว่าค่า $R_{s,eff}$ มีค่าน้อยกว่าค่าที่ได้จากทรานซิสเตอร์ทั่วไป ด้วยอัตราส่วนเท่ากับ $1/g_{mb1}g_{mb2} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})$

4.2.2 ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบที่นำเสนอแบบที่ 2 (2nd Bulk-Driven Super MOS transistor with self-cascade and negative feedback)

ซุปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเองแบบที่ 2 แสดงไว้ในรูปที่ 4.18 ซุปเปอร์มอสทรานซิสเตอร์สามารถทำงานที่แรงดันไฟเลี้ยงต่ำได้ วงจรมีค่า $G_{m,eff}$ และค่า $R_{D,eff}$ สูง และค่า $R_{S,eff}$ ต่ำ วงจรประกอบด้วยทรานซิสเตอร์ $M_1 - M_4$ ทรานซิสเตอร์ M_{B1} และ M_{B2} ทำหน้าที่สร้างกระแสไบอัสให้กับ M_1 และ M_2 ซึ่งถูกต้องในลักษณะวงจรขยายสองภาคเช่นเดียวกับวงจรเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

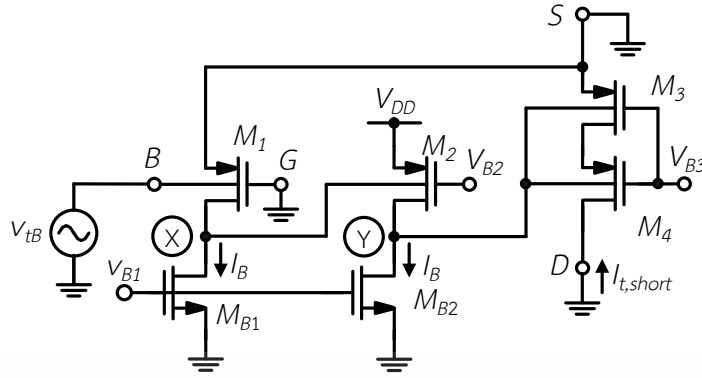
ในรูปที่ 4.11 กล่าวคือ ขาบอดี้ของ M_2 ต่อกับโหนด X และขาบอดี้ของ M_3 และ M_4 ถูกต่อกับโหนด Y อย่างไรก็ตาม วิทยานิพนธ์ฉบับนี้ได้พัฒนาวงจรในรูปที่ 4.11 ด้วยการออกแบบให้ทรานซิสเตอร์ M_3 และ M_4 ต่อลักษณะแคสโคดตัวเองเพื่อให้ค่าความต้านทานเสมือนที่ขาเดรน $R_{D,eff}$ มีค่าสูง การออกแบบวงจรให้ M_1 และ M_2 ถูกต่อลักษณะวงจรรขยายสองภาคดังที่กล่าวมาจะทำให้ซัพเปอร์มอสทรานซิสเตอร์มีค่า $G_{m,eff}$ สูง ขาซอร์สของ M_1 ถูกต่อกับขาซอร์สของ M_3 การป้อนกลับจากขาซอร์สของ M_1 ไปยังขาบอดี้ของ M_3 และ M_4 มีลักษณะการป้อนกลับแบบลบ ส่งผลให้ซัพเปอร์มอสทรานซิสเตอร์มีค่า $R_{S,eff}$ ต่ำมาก ซัพเปอร์มอสทรานซิสเตอร์ที่ได้มีขาเกตเสมือน และขาบอดี้เสมือนอยู่ที่ขาเกตและขาบอดี้ของทรานซิสเตอร์ M_1 ขาเดรนของ M_4 คือ ขาเดรนเสมือนของซัพเปอร์มอสทรานซิสเตอร์ ขาซอร์สของ M_1 (ซึ่งต่ออยู่กับขาซอร์สของ M_3) คือ ขาซอร์สเสมือนของซัพเปอร์มอสทรานซิสเตอร์



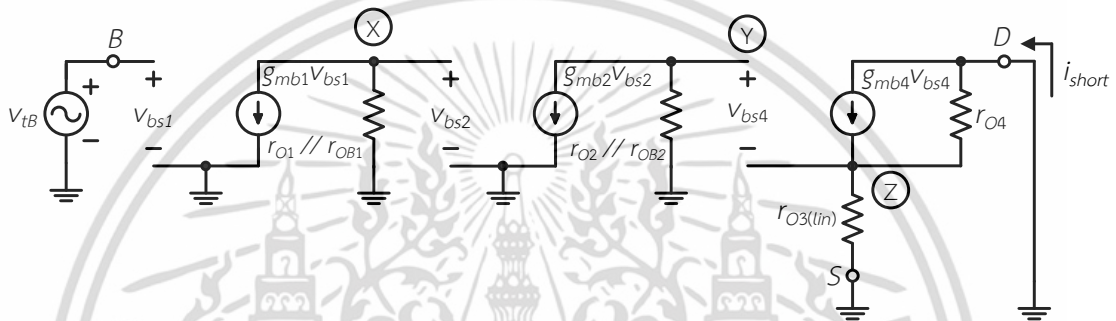
รูปที่ 4.18 ซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเองที่นำเสนอแบบที่ 2

4.2.2.1 การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบ

การวิเคราะห์หาค่า $G_{m,eff}$ ของซัพเปอร์มอสทรานซิสเตอร์ที่นำเสนอสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก รูปที่ 4.19 แสดงการป้อนแรงดันทดสอบเพื่อวิเคราะห์หาค่า $G_{m,eff}$ ของวงจร และทำการต่อขาเกต ขาเดรน และขาซอร์สลงกราวด์ การทำงานของวงจรมีลักษณะเดียวกับการหาค่า $G_{m,eff}$ ของวงจรก่อนหน้า กล่าวคือ เมื่อป้อนแรงดันทดสอบ v_{tB} เข้าที่ขาบอดี้แรงดัน v_{tB} ถูกขยายโดยทรานซิสเตอร์ M_1 ซึ่งถูกต่อลักษณะวงจรรขยายซอร์สร่วม แรงดันที่โหนด X จะกลับเฟสกับแรงดัน v_{tB} แรงดันที่โหนด X ถูกขยายด้วยทรานซิสเตอร์ M_2 เนื่องจาก M_2 ถูกต่อลักษณะวงจรรขยายซอร์สร่วมเช่นเดียวกับ M_1 ดังนั้น แรงดันที่โหนด Y จะมีลักษณะกลับเฟสกับแรงดันโหนด X อย่างไรก็ตาม แรงดันโหนด Y จะมีเฟสเดียวกับแรงดัน v_{tB} แรงดันที่โหนด Y มีค่าเท่ากับ $g_{mb1}g_{mb2}R_XR_Yv_{tB}$ แรงดันที่โหนด Y ถูกต่อเข้ากับขาบอดี้ของทรานซิสเตอร์ M_4 และทรานซิสเตอร์ M_3 M_3 และ M_4 ทำการแปลงแรงดันที่โหนด Y เป็นกระแส $i_{t,short}$ ไหลผ่าน M_3 และ M_4 ลัดลงกราวด์



รูปที่ 4.19 การป้อนแรงดันทดสอบเพื่อหาค่า $G_{m,eff}$



รูปที่ 4.20 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

รูปที่ 4.20 แสดงการวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก ค่า $G_{m,eff}$ มีค่าเท่ากับ $I_{t,short}/V_{tB}$ ค่า $G_{m,eff}$ ของวงจรที่ถูกวิเคราะห์หาได้มีค่าเท่ากับ

$$G_{m,eff} = \frac{g_{mb1}g_{mb2}g_{mb4}(r_{o1} // r_{oB1})(r_{o2} // r_{oB2})}{(g_{m4} + g_{mb4})r_{O3(lin)}} \quad (4.13)$$

เมื่อ $r_{O3(lin)}$ คือ ค่าความต้านทานที่ขาเดรนของทรานซิสเตอร์ M_3 ทำงานในย่านเชิงเส้น (โอห์ม, Ω)

จากสมการที่ 4.13 เราสังเกตเห็นได้ว่าค่า $G_{m,eff}$ มีค่ามากกว่า G_m ของทรานซิสเตอร์ทั่วไป

ด้วยอัตราส่วนเท่ากับ
$$\frac{g_{mb2}g_{mb4}(r_{o1} // r_{oB1})(r_{o2} // r_{oB2})}{(g_{m4} + g_{mb4})r_{O3(lin)}}$$

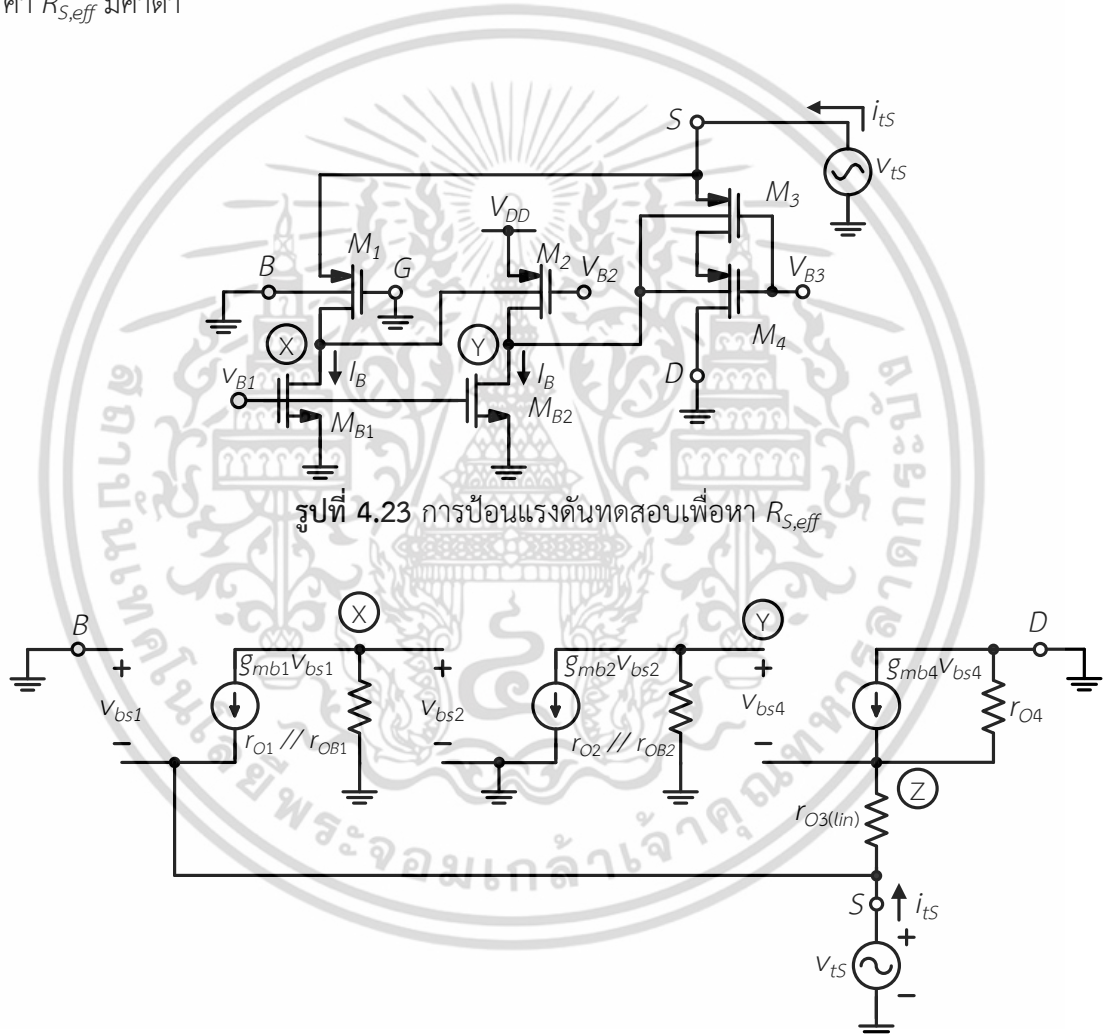
4.2.2.2 การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคลคูลัสตัวเอง และการป้อนกลับแบบลบ

การวิเคราะห์หาค่า $R_{D,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่น่าเสนอสามารถทำได้โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กเช่นเดียวกับหัวข้อก่อนหน้านี้ รูปที่ 4.21 แสดงการป้อนแรงดันทดสอบเพื่อวิเคราะห์หาค่า $R_{D,eff}$ ด้วยการป้อนแหล่งจ่ายแรงดันทดสอบเข้าที่ขาเดรนของวงจร

และทำการต่อขาเกต ขาบอดี้ และขาซอร์สลงกราวด์ หลังจากนั้นเราจะหากระแสทดสอบที่จ่ายออก เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ประโยชน์เท่านั้น เมื่อผู้ใดเห็นเป็นประโยชน์ในการนำค่าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.3 การวิเคราะห์หาความต้านทานเสมือนที่ขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคลคูลัสตัวเอง และการป้อนกลับแบบลบ

รูปที่ 4.23 แสดงการป้อนแรงดันทดสอบเพื่อหา $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอ ทำการต่อขาเกต ขาบอดี้ และขาเดรนลงกราวด์ การพิจารณาหา $R_{S,eff}$ ทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบ V_{TS} ที่ขาซอร์ส กระแสทดสอบ i_{TS} จะไหลเข้าขาซอร์สของทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_3 กระแส i_{TS} จะไหลผ่าน M_1 และค่าความต้านทานเสมือนที่โหนด X ทำให้เกิดแรงดันที่โหนด X มีลักษณะเฟสเดียวกับแรงดัน V_{TS} แรงดันที่โหนด X ถูกขยายด้วยทรานซิสเตอร์ M_2 ไปยังแรงดันที่โหนด Y ส่งผลให้แรงดันที่โหนด Y มีลักษณะกลับเฟสกับแรงดัน V_{TS} และทำให้กระแส i_{TS} จะไหลเข้าขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์มากขึ้น ลักษณะการทำงานดังกล่าวจะเสมือนว่าค่า $R_{S,eff}$ มีค่าต่ำ



รูปที่ 4.24 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

รูปที่ 4.24 แสดงการวิเคราะห์หา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก ค่า $R_{S,eff}$ มีค่าเท่ากับ v_{TS}/i_{TS} เราสามารถวิเคราะห์หาค่า $R_{S,eff}$ ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

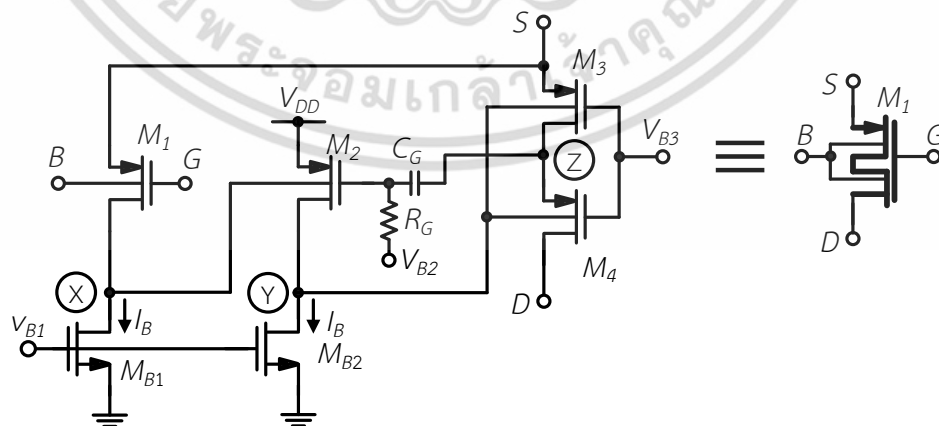
$$R_{S,eff} \approx \frac{g_{m4}r_{O3(lin)}}{(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{O1} // r_{OB1})(r_{O2} // r_{OB2})} \quad (4.15)$$

จากสมการที่ 4.15 เราสังเกตเห็นได้ว่าค่า $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าน้อยกว่าทรานซิสเตอร์ทั่วไปเท่ากับ $g_{m4} [(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{O1} // r_{OB1})(r_{O2} // r_{OB2})]^{-1}$

4.2.3 ซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ ทรานซิสเตอร์เสมือนเกตลอย และวิธีการแคสโคดตัวเองที่นำเสนอแบบที่ 3 (3rd Bulk-Driven Super MOS transistor with QFG transistor and self-cascade)

ซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ ทรานซิสเตอร์เสมือนเกตลอย และวิธีการแคสโคดตัวเองแบบที่ 3 แสดงไว้ในรูปที่ 4.25 วงจรที่นำเสนอใช้เทคนิคการไบอัสที่ขบอดี้ (bulk-driven) การใช้ขาเกตเสมือนแบบลอย (Quasi-floating gate) และเทคนิคแคสโคดตัวเอง (Self-cascode) เพื่อให้ซูปเปอร์มอสทรานซิสเตอร์สามารถทำงานภายใต้ไฟเลี้ยงต่ำได้ ($V_{DD} \cong V_{dsat} + V_{th}$) วงจรประกอบด้วยทรานซิสเตอร์ M_1 ถึง M_4 ทรานซิสเตอร์ M_1 และ M_2 ต่อในลักษณะวงจรขยายสองภาคขณะที่ทรานซิสเตอร์ M_3 และ M_4 ต่อลักษณะแคสโคดตัวเอง ขาซอร์สของ M_1 ต่อกับขาซอร์สของ M_3 ขาบอดี้ของ M_2 ถูกต่อกับโหนด X ของวงจรภาคที่หนึ่ง ขาเดรนของ M_3 ถูกต่อกับโหนด Y ของวงจรภาคที่สอง

วิธีการไบอัสที่ขาบอดี้ถูกนำมาใช้กับ M_1 ถึง M_4 ขณะที่ M_2 ได้ใช้วิธีการขาเกตเสมือนแบบลอยโดยการเชื่อมต่อระหว่างขาเกตของ M_2 กับโหนด Z แรงดันที่ขาเกตถูกกำหนดให้มีค่าเท่ากับ V_{B2} ทรานซิสเตอร์ M_1 และ M_2 ต่อในลักษณะวงจรขยายซอร์สร่วมสองภาค การต่อวงจรในลักษณะนี้ทำให้ $G_{m,eff}$ มีค่าสูง นอกจากนี้วิธีการแคสโคดตัวเอง และการป้อนกลับแบบลบทำให้ค่า $R_{D,eff}$ มีค่าสูง และค่า $R_{S,eff}$ มีค่าต่ำ วงจรที่นำเสนอนี้มีขาเกต (G) ขาบอดี้ (B) ขาเดรน (D) และขาซอร์ส (S) ของซูปเปอร์มอสทรานซิสเตอร์มีลักษณะเดียวกับวงจรในรูปที่ 4.18

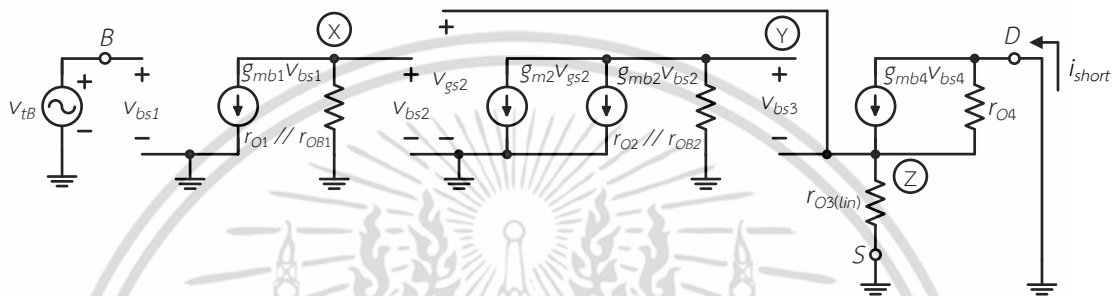


รูปที่ 4.25 ซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคสโคดตัวเองที่นำเสนอ

4.2.3.1 การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ของซูปเปอร์มอสทรานซิสเตอร์

การพิจารณาหาค่า $G_{m,eff}$ ทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบเข้าที่บอดี้ของทรานซิสเตอร์ M_1 ทรานซิสเตอร์ M_1 ทำการขยายแรงดันทดสอบไปที่โหนด X แรงดันที่โหนด X ซึ่งกลับเฟสกับแรงดันทดสอบจะถูกขยายด้วยทรานซิสเตอร์ M_2 ซึ่งต่อลักษณะวงจรขยายซอร์สร่วม ดังนั้น แรงดันที่โหนด Y จะกลับเฟสกับแรงดันที่โหนด X จากนั้นแรงดันที่โหนด Y ซึ่งถูกต่อเข้าขาบอดี้ของทรานซิสเตอร์ M_3 ทำการแปลงแรงดันให้เป็นกระแสไหล i_{short}

รูปที่ 4.26 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรในรูปที่ 4.25 โดยมีการป้อนแรงดันทดสอบเข้าที่ขาบอดี้เพื่อวิเคราะห์หาค่า $G_{m,eff}$ และทำการต่อขาเกต ขาเดรน และขาซอร์สลงกราวด์



รูปที่ 4.26 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

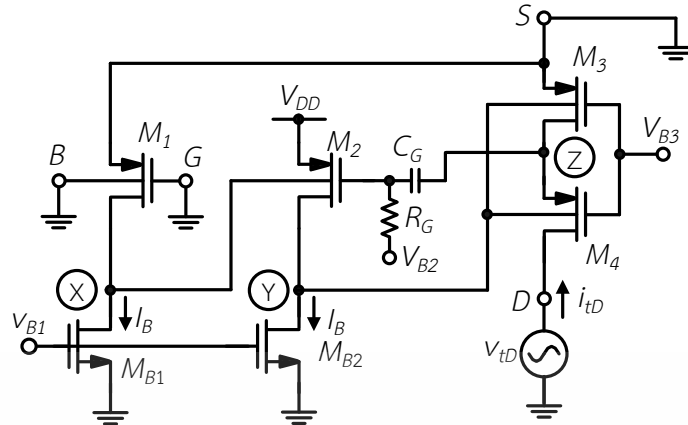
$$G_{m(eff)} \cong \frac{g_{mb1}g_{mb2}g_{m4}(r_{O1} \parallel r_{OB1})(r_{O2} \parallel r_{OB2})}{(g_{m4} + g_{mb4})r_{O3(lin)}} \quad (4.16)$$

จากสมการที่ 4.16 เราสังเกตเห็นได้ว่าค่า $G_{m,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าสูงกว่าของทรานซิสเตอร์ทั่วไปด้วยอัตราส่วนเท่ากับ

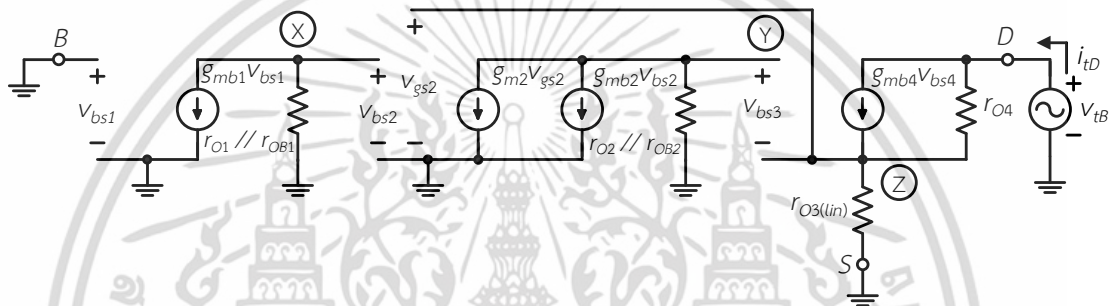
$$\frac{g_{mb2}g_{mb4}(r_{O1} \parallel r_{OB1})(r_{O2} \parallel r_{OB2})}{(g_{m4} + g_{mb4})r_{O3(lin)}}$$

4.2.3.2 การวิเคราะห์หาความต้านทานเสมือนที่ขาเดรนของซูปเปอร์มอสทรานซิสเตอร์

การพิจารณาหา $R_{D,eff}$ ของวงจรสามารถทำได้ดังแสดงในรูปที่ 4.27 เมื่อป้อนแรงดันทดสอบ (v_{tD}) เข้าที่ขาเดรนของวงจร กระแสทดสอบ (i_{tD}) จะไหลผ่านทรานซิสเตอร์ M_4 และทรานซิสเตอร์ M_3 สัญญาณที่โหนด Z เนื่องจากตัวเก็บประจุ C_{G1} ต่อระหว่างโหนด Z และขาเสมือนเกตลอย v_{FG} แรงดันที่โหนด Z ถูกป้อนไปที่ขาเกตของทรานซิสเตอร์ M_2 ซึ่งทำการแปลงแรงดันเป็นกระแสมีลักษณะสวนทางกับกระแสทดสอบ ส่งผลให้ i_{tD} มีค่าน้อยลง ลักษณะดังกล่าวทำให้ $R_{D,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าสูง รูปที่ 4.28 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรในรูปที่ 4.27



รูปที่ 4.27 การป้อนแรงดันทดสอบเพื่อหา $R_{D,eff}$



รูปที่ 4.28 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

$$R_{D(eff)} = \left[\left(C_{G1} / C_T \right) g_{m2} g_{mb4} \left(r_{O2} // r_{OB2} \right) + g_{m4} \right] r_{o3(lin)} r_{o4} \quad (4.17)$$

เมื่อ C_{G1} คือ ค่าตัวเก็บประจุระหว่างขาเสมือนเกตลอยของ M_2 กับโหนด Z (ฟารัด F)

C_T คือ ค่าความจุรวมที่ขาเสมือนเกตลอยของ M_2 (ฟารัด F)

จากสมการที่ 4.17 $R_{D,eff}$ มีค่าสูงมากกว่าทรานซิสเตอร์ทั่วไปประมาณเท่ากับ $\left[\left(C_{G1} / C_T \right) g_{m2} g_{mb4} \left(r_{O2} // r_{OB2} \right) + g_{m4} \right] r_{o3(lin)}$ เท่า

4.2.3.3 การวิเคราะห์หาความต้านทานเสมือนที่ขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์

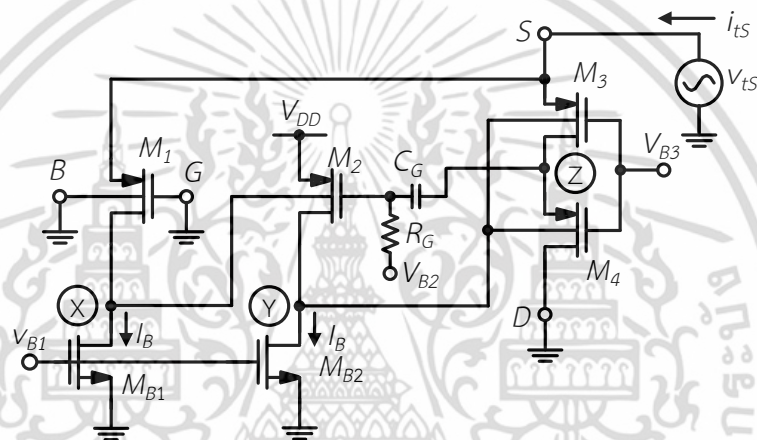
รูปที่ 4.29 แสดงการป้อนกระแสทดสอบเข้าที่ขาซอร์สของและต่อขาเกต ขาบอดี และขาเทรนนัลดลงกราวด์ เพื่อทำการวิเคราะห์หาค่า $R_{S,eff}$ รูปที่ 4.30 แสดงการวิเคราะห์หา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก ค่า $R_{S,eff}$ ของวงจรมีค่าเท่ากับอัตราส่วนระหว่างแรงดันทดสอบ v_{tS} และ i_{tS} การพิจารณาหาค่า $R_{S,eff}$ สามารถทำได้ดังนี้ เมื่อป้อนแรงดันทดสอบเข้าที่ขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์ กระแสทดสอบจะไหลผ่านทรานซิสเตอร์ M_3 ซึ่งถูกไบอัสทำงานในย่านเชิงเส้นและไหลผ่านเข้าขาซอร์สของทรานซิสเตอร์ M_1 ซึ่งทำการขยายกระแสเป็นแรงดันไปที่โหนด X โดยมีลักษณะเฟสเดียวกับแรงดันทดสอบ แรงดันที่โหนด X ถูกขยายด้วยทรานซิสเตอร์ M_2 ไปปรากฏที่โหนด Y ในลักษณะกลับเฟสกับแรงดันที่โหนด X ทรานซิสเตอร์ M_4 ทำการแปลงแรงดันที่โหนด Y เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นกระแสไหลผ่าน M_3 และ M_4 เนื่องจากแรงดันที่โหนด Y มีลักษณะกลับเฟสกับแรงดันทดสอบ การทำงานของวงจรมีลักษณะการป้อนกลับแบบลบ

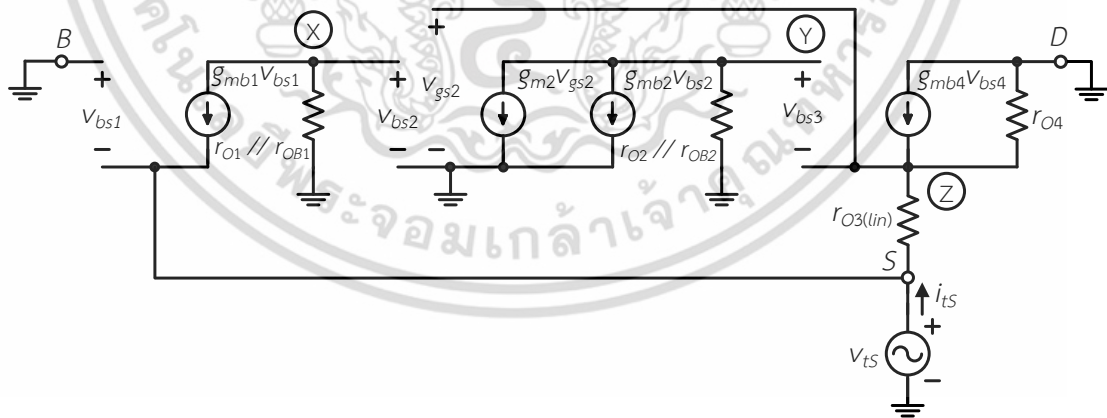
เราสามารถเขียนสมการ $R_{S,eff}$ ได้ว่า

$$R_{S,eff} \approx \frac{(g_{m4} + g_{mb4})r_{O3(lin)}}{(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{O1} // r_{OB1})(r_{O2} // r_{OB2}) + g_{m4}} \quad (4.18)$$

จากสมการที่ 4.18 เราสังเกตเห็นได้ว่าค่า $(g_{m1}+g_{mb1})g_{mb2}g_{mb4}(r_{O1}//r_{OB1})(r_{O2}//r_{OB2}) + g_{m4}$ มีค่าสูงมาก ส่งผลให้ค่า $R_{S,eff}$ มีค่าต่ำ



รูปที่ 4.29 การป้อนแรงดันทดสอบเพื่อหา $R_{S,eff}$



รูปที่ 4.30 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

4.2.4 การจำลอง ผลการจำลอง และการวิจารณ์ผล

เพื่อตรวจสอบการทำงานของซูปเปอร์มอสทรานซิสเตอร์ที่น่าเสนอ วิทยานิพนธ์ฉบับนี้ใช้โปรแกรม HSPICE เพื่อจำลองการทำงานของวงจร เทคโนโลยีที่ใช้เป็นแบบซีมอสที่มีขนาดเท่ากับ 0.18 ไมโครเมตร และออกแบบให้ใช้ฐานรองชนิดเอ็น ตารางที่ 4.1 แสดงแรงดันไบอัสและกระแสไบอัส แรงดันไฟเลี้ยงที่ใช้ในการจำลองมีค่าเท่ากับ (V_{DD}) 0.4 โวลต์ กระแสไบอัส I_{B1} และ I_{B2} มีค่า

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาตเห็นเป็นประโยชน์ในการศึกษาวิจัยและการพัฒนาเทคโนโลยีอื่น ๆ

เท่ากับ 10 ไมโครแอมป์ ตารางที่ 4.2 แสดงขนาดของทรานซิสเตอร์ของวงจรซูเปอร์ทรานซิสเตอร์ ทั้ง 3 วงจร ในการออกแบบ เราได้กำหนดให้ขนาดของทรานซิสเตอร์ M_1 และ M_2 มีขนาดเท่ากันทุก วงจร ขนาดของทรานซิสเตอร์ M_3 และ M_4 มีขนาดแตกต่างกันเนื่องจากวงจรถูกออกแบบให้มี ลักษณะที่แตกต่างกัน กำหนดให้ขนาดของมอสทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัวมี $W = 51.93 \mu\text{m}$ และ $L = 0.5 \mu\text{m}$ ซึ่งทรานซิสเตอร์ดังกล่าวนี้ถูกใช้ในการเปรียบเทียบคุณสมบัติกับซูเปอร์ มอสทรานซิสเตอร์ที่นำเสนอ

ตารางที่ 4.1 แรงดันไบอัสและกระแสไบอัสของวงจรซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้

แรงดันไบอัส	โวลต์	กระแสไบอัส	แอมป์
V_{DD}	0.4 V	I_{B1}	10 μA
V_{B1}, V_{B2}, V_{B3}	0 V	I_{B2}	10 μA

ตารางที่ 4.2 ขนาดของซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้

ซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้			
ทรานซิสเตอร์	W/L	ทรานซิสเตอร์	W/L
M_1	51.93 $\mu\text{m}/0.5 \mu\text{m}$	M_3	52.01 $\mu\text{m}/0.5 \mu\text{m}$
M_2	51.99 $\mu\text{m}/0.5 \mu\text{m}$	$M_{B1,2}$	605.04 $\mu\text{m}/10 \mu\text{m}$
ซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคล์คูลेटตัวเอง และการป้อนกลับแบบลบ			
ทรานซิสเตอร์	W/L	ทรานซิสเตอร์	W/L
M_1	51.93 $\mu\text{m}/0.5 \mu\text{m}$	M_4	82.32 $\mu\text{m}/0.5 \mu\text{m}$
M_2	51.99 $\mu\text{m}/0.5 \mu\text{m}$	$M_{B1,2}$	605.04 $\mu\text{m}/10 \mu\text{m}$
M_3	130 $\mu\text{m}/0.5 \mu\text{m}$		
ซูเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยทรานซิสเตอร์เสมือนเกตลอย และวิธีการแคล์คูลेटตัวเอง			
ทรานซิสเตอร์	W/L	ทรานซิสเตอร์	W/L
M_1	51.93 $\mu\text{m}/0.5 \mu\text{m}$	$M_{B1,2}$	605.04 $\mu\text{m}/10 \mu\text{m}$
M_2	51.99 $\mu\text{m}/0.5 \mu\text{m}$	M_{R1}	0.75 $\mu\text{m}/100 \mu\text{m}$
M_3	130 $\mu\text{m}/0.5 \mu\text{m}$	ตัวเก็บประจุ	ความจุ
M_4	82.32 $\mu\text{m}/0.5 \mu\text{m}$	C_{G1}	0.2 pF

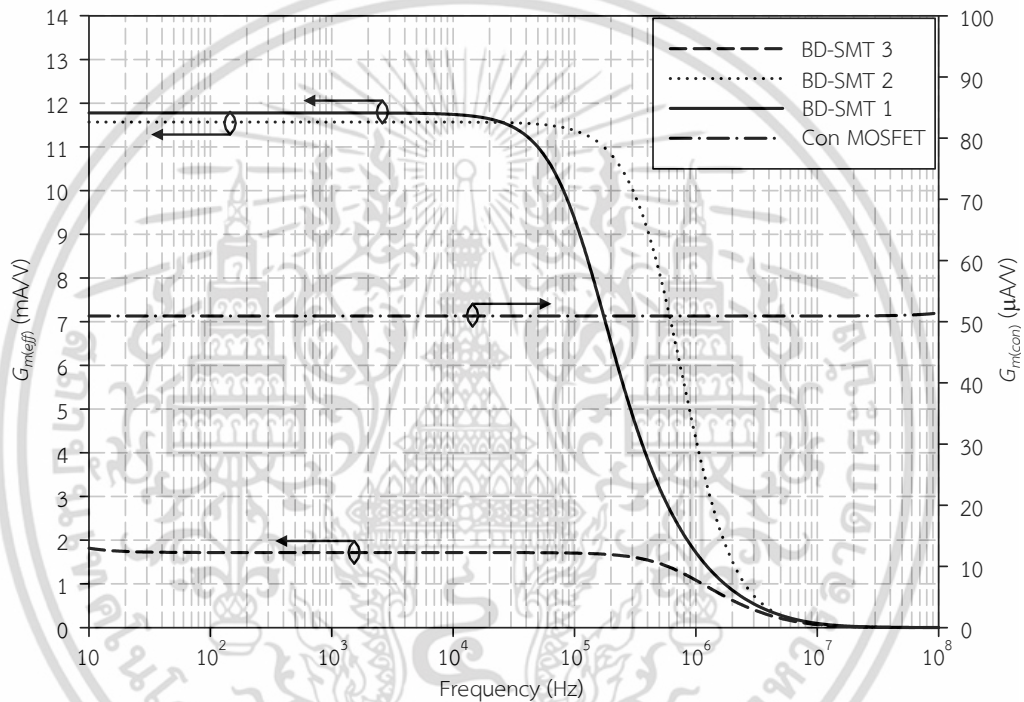
รูปที่ 4.31 แสดงผลการจำลอง $G_{m,eff}$ ของซูเปอร์มอสทรานซิสเตอร์ที่นำเสนอเทียบกับ ทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว จากผลการจำลองพบว่า $G_{m,eff}$ ของวงจรที่นำเสนอแบบที่หนึ่ง สอง และสามมีค่าเท่ากับ 11.77 มิลลิแอมป์ต่อโวลต์ 11.57 มิลลิแอมป์ต่อโวลต์ และ 1.72 มิลลิแอมป์ต่อ โวลต์ ตามลำดับ ในขณะที่ $G_{m,eff}$ ของทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัวมีค่าเท่ากับ 50 ไมโครแอมป์ ต่อโวลต์ ผลการจำลองแสดงให้เห็นว่า $G_{m,eff}$ ของซูเปอร์มอสทรานซิสเตอร์มีค่ามากกว่า ทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว รูปที่ 4.32 แสดงผลการจำลองค่า $R_{D,eff}$ ของซูเปอร์

เอกสารนี้เป็นเอกสารทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากมีการนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

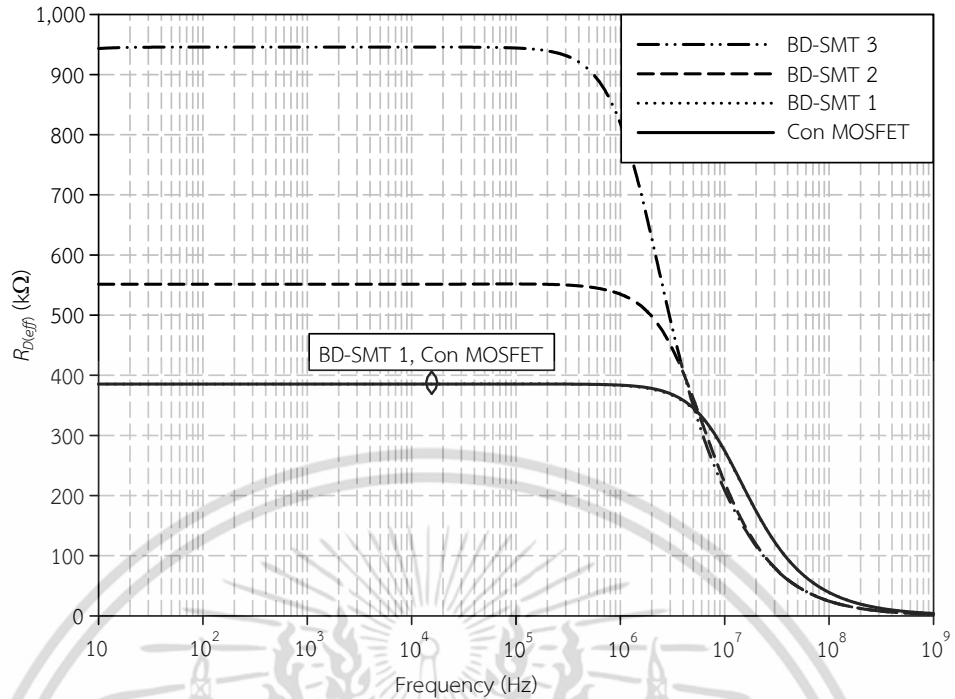
มอสทรานซิสเตอร์ที่นำเสนอเทียบกับทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว จากผลการจำลองพบว่าค่า $R_{D,eff}$ ของวงจรที่นำเสนอแบบที่หนึ่ง สอง และสามมีค่าเท่ากับ 385.5 กิโลโอห์ม 551.3 กิโลโอห์ม และ 946 กิโลโอห์ม ค่า $R_{D,eff}$ ของทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัวเท่ากับ 385.5 กิโลโอห์ม ในลักษณะเดียวกันกับ $G_{m,eff}$ เราสังเกตเห็นได้ว่า $R_{D,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่ามากกว่าทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว

รูปที่ 4.33 แสดงผลการจำลองเพื่อหาค่า $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอ จากผลการจำลองพบว่าค่า $R_{S,eff}$ ของวงจรที่นำเสนอแบบที่หนึ่ง สอง และสามมีค่าเท่ากับ 16.8 โอห์ม 17.1 โอห์ม และ 109.73 โอห์ม ในขณะที่ค่า $R_{S,eff}$ ของทรานซิสเตอร์ทั่วไปมีค่าเท่ากับ 3.9 กิโลโอห์ม เราสังเกตเห็นได้ว่าค่า $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าน้อยกว่าทรานซิสเตอร์ทั่วไป

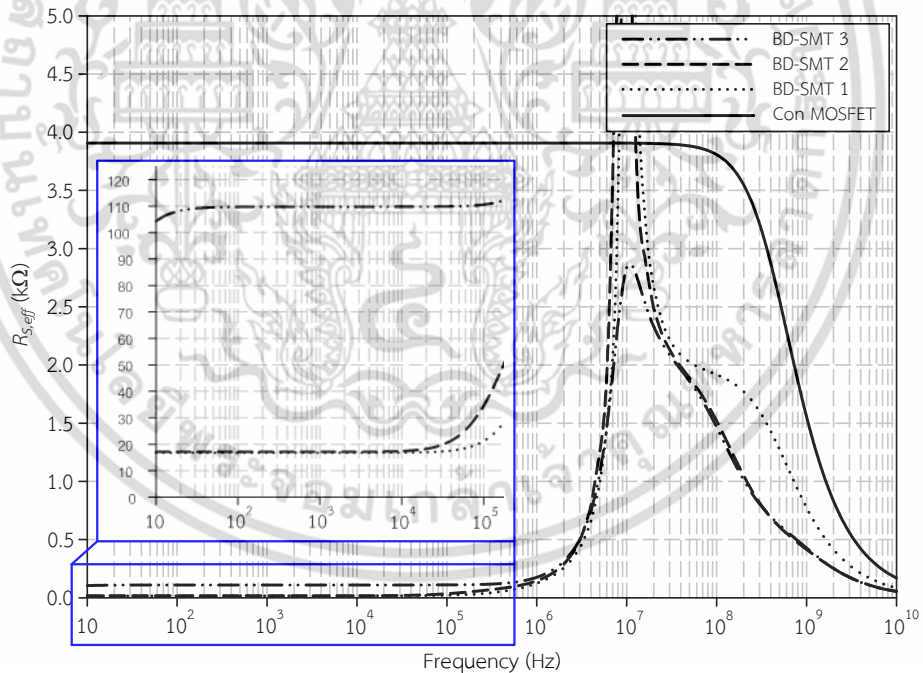


รูปที่ 4.31 ทรานส์คอนดักแตนซ์ $G_{m,eff}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.32 ความต้านทานเสมือนที่ขาเดรน $R_{D,eff}$



รูปที่ 4.33 ความต้านทานเสมือนที่ขาซอร์ส $R_{S,eff}$

ตารางที่ 4.3 แสดงการเปรียบเทียบคุณสมบัติของซูปเปอร์มอสทรานซิสเตอร์ วงจรที่นำเสนอ มีค่า $G_{m,eff}$ และค่า $R_{D,eff}$ มากกว่าของทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว ขณะที่ค่า $R_{S,eff}$ ของวงจรที่นำเสนอมีค่าน้อยกว่า ซูปเปอร์มอสทรานซิสเตอร์มีกำลังสูญเสียเท่ากันและมีค่าเท่ากับ 12 ไมโครวัตต์ ค่า FOM ของซูปเปอร์มอสทรานซิสเตอร์สามารถเขียนได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$FOM = \frac{f_T \times G_{m,eff} \times R_{D,eff}}{I_{DD} \times R_{S,eff}} \quad (4.19)$$

ค่า FOM ของมอสทรานซิสเตอร์ที่ใช้ขาบอดี้มีค่าเท่ากับ 0.25 ค่า FOM ของซูปเปอร์มอสทรานซิสเตอร์มีค่าเท่ากับ 21.6 29.84 และ 1.18 ค่า FOM ของซูปเปอร์มอสทรานซิสเตอร์แบบที่ 2 มีค่ามากที่สุด และมากกว่ามอสทรานซิสเตอร์ที่ใช้ขาบอดี้ประมาณ 119 เท่า

ตารางที่ 4.3 การเปรียบเทียบคุณสมบัติของซูปเปอร์มอสทรานซิสเตอร์และทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว

พารามิเตอร์	ทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัว	รูปที่ 4.11	รูปที่ 4.18	รูปที่ 4.25
แหล่งจ่ายไฟเลี้ยง	0.4 V	0.4 V	0.4 V	0.4 V
ค่าทรานส์คอนดักแตนซ์	50 $\mu\text{A/V}$	11.77 mA/V	11.57 mA/V	1.72 mA/V
ค่าความต้านทานเสมือนที่ขาเดรน	385.5 k Ω	385.5 k Ω	551.3 k Ω	946 k Ω
ค่าความต้านทานเสมือนที่ขาซอร์ส	3.9 k Ω	16.8 Ω	17.1 Ω	109.73 Ω
ความถี่ที่อัตราขยายกระแสเท่ากับหนึ่ง (f_T)	500 MHz	2.4 MHz	2.4 MHz	2.4 MHz
FOM	0.25	21.6	29.84	1.18
กำลังสูญเสีย	4 μW	12 μW	12 μW	12 μW
เทคโนโลยี	0.18 μm	0.18 μm	0.18 μm	0.18 μm

ตารางที่ 4.4 แสดงการเปรียบเทียบคุณสมบัติของซูปเปอร์มอสทรานซิสเตอร์และซูปเปอร์มอสทรานซิสเตอร์ในอดีต ซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอมีค่า $G_{m,eff}$ และค่า $R_{D,eff}$ มากกว่าซูปเปอร์มอสทรานซิสเตอร์ในอดีต ขณะที่ค่า $R_{S,eff}$ ของวงจรถูกนำเสนอมีค่าน้อยกว่าซูปเปอร์มอสทรานซิสเตอร์ในอดีต

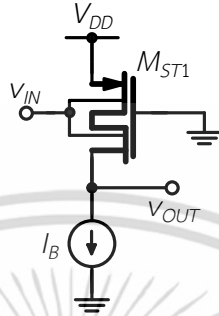
ตารางที่ 4.4 การเปรียบเทียบคุณสมบัติ

พารามิเตอร์	V_{DD}	$G_m(\text{eff})$	$R_D(\text{eff})$	$R_S(\text{eff})$
ทรานซิสเตอร์				
ทรานซิสเตอร์ที่ใช้	$V_{dsat} + V_T$	g_{m1}	r_{o1}	$1/g_{m1}$
ขาออกหนึ่งตัว				
[45]	$3V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}r_{o1}r_{o2}r_{o3}$	$1/g_{m1}$
[46]	$3V_{dsat} + 3V_T$	g_{m1}	$g_{m2}r_{o1}r_{o2}g_{m5}g_{m6}r_{o5}r_{o6}r_{o6}/2$	$1/g_{m1}$
[47]	$4V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}r_{o1}r_{o2}r_{o3}/(r_{o8}+r_{o9})$	$1/g_{m1}$
[50]	$4V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}g_{m6}r_{o1}r_{o2}r_{o3}/r_{o4}r_{o7}/r_{o9}$	$1/g_{m1}$
[51]	$2V_{dsat} + V_T$	$g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$	r_{o1}	$1/g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$
รูปที่ 4.11	$V_{dsat} + V_T$	$g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$	r_{o1}	$1/g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$
รูปที่ 4.18	$V_{dsat} + V_T$	$g_{m1}g_{m2}g_{m4}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})/(g_{m4}+g_{m64})$ $r_{o3(\text{in})}$	$(g_{m4} + g_{m64})r_{o3(\text{in})}r_{o4}$	$g_{m4}r_{o3(\text{in})}/(g_{m1}+g_{m64})g_{m2}g_{m4}$ $(r_{o1}/r_{oB1})(r_{o1}/r_{oB1})$
รูปที่ 4.25	$V_{dsat} + V_T$	$g_{m1}g_{m2}g_{m4}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})/(g_{m4}+g_{m64})$ $r_{o3(\text{in})}$	$[(C_{G1}/C_T)g_{m2}g_{m64}(r_{o2}/r_{oB2})+g_{m4}]$ $r_{o3(\text{in})}r_{o4}$	$[(g_{m4}+g_{m64})r_{o3(\text{in})}]/[(g_{m1}+g_{m64})g_{m2}]$ $g_{m4}(r_{o1}/r_{oB1})(r_{o1}/r_{oB1}) + g_{m4}$

4.3 การประยุกต์ใช้งานซูปเปอร์มอสทรานซิสเตอร์

4.3.1 วงจรขยายซอร์สร่วม (Common source amplifier)

รูปที่ 4.34 แสดงการนำซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอแบบที่ 3 มาต่อเป็นวงจรขยายซอร์สร่วม วงจรประกอบด้วยซูปเปอร์มอสทรานซิสเตอร์ M_{ST1} และแหล่งจ่ายกระแสไบอัส I_B



รูปที่ 4.34 วงจรขยายซอร์สร่วม

4.3.1.1 การวิเคราะห์หาอัตราขยายแรงดันของวงจรขยายซอร์สร่วม

อัตราขยายแรงดันของวงจรขยายซอร์สร่วมมีค่าเท่ากับผลคูณระหว่าง $G_{m,eff}$ และ $R_{D,eff}$ เนื่องจากค่า $G_{m,eff}$ และ $R_{D,eff}$ ได้ถูกวิเคราะห์ไว้และมีค่าเท่ากับ $g_{mb1}g_{mb2}g_{mb3}(r_{o1} // r_{oB1})(r_{o2} // r_{oB2})$ และ $\left[(C_{G1} / C_T) g_{m2}g_{mb4} (r_{o2} // r_{oB2}) + g_{m4} \right] r_{o3(lin)}r_{o4}$ ดังนั้น อัตราขยายสัญญาณของวงจรขยายซอร์สร่วมมีค่าเท่ากับ

$$A_v = -g_{mb1}g_{mb2}g_{mb3} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2}) \times \left[(C_{G1} / C_T) g_{m2}g_{mb4} (r_{o2} // r_{oB2}) + g_{m4} \right] r_{o3(lin)}r_{o4} \quad (4.19)$$

4.3.1.2 การวิเคราะห์หาสัญญาณรบกวนของวงจรขยายซอร์สร่วม

รูปที่ 4.35 แสดงวงจรเสมือนสัญญาณรบกวนเชิงอุณหภูมิ (Thermal noise) ของวงจรขยายซอร์สร่วม สัญญาณรบกวนเชิงอุณหภูมิที่อินพุต $\overline{v_i^2}$ และ $\overline{i_i^2}$ ของวงจรขยายซอร์สร่วมมีค่าเท่ากับ

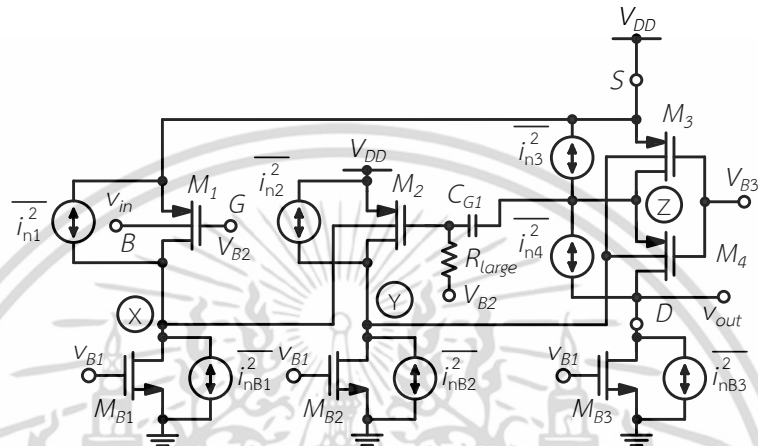
$$\overline{v_i^2} \cong 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \right] \quad (4.20)$$

$$\overline{i_i^2} = (sC_{bs1})^2 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \right] \quad (4.21)$$

เมื่อ $\overline{v_i^2}$ คือ สัญญาณรบกวนเชิงอุณหภูมิอ้างอิงแรงดันที่อินพุต (V^2/Hz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- $\overline{i_i^2}$ คือ สัญญาณรบกวนเชิงอุณหภูมิอ้างอิงกระแสที่อินพุต (A^2/Hz)
- g_{mB1} คือ ค่าทรานส์คอนดักแตนซ์ที่ขาเกตของทรานซิสเตอร์ M_{B1} (A/V)
- C_{bs1} คือ ตัวเก็บประจุระหว่างขาบอดีและซอร์สของทรานซิสเตอร์ M_1 (ฟารัด, F)
- k คือ ค่าคงที่บอล์ซ์แมน (Boltzmann constant) ($1.38 \times 10^{-23} JK^{-1}$)
- T คือ อุณหภูมิ (เคลวิน)

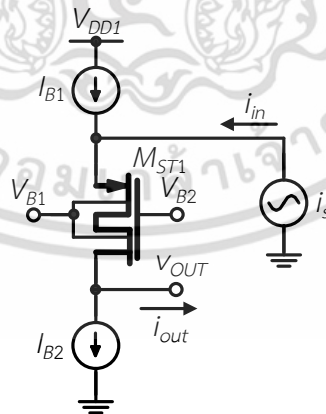


รูปที่ 4.35 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุตของวงจรรขยายซอร์สร่วม

4.3.2 วงจรรขยายเกตร่วม (Common gate amplifier)

ซุเปอร์มอสทรานซิสเตอร์แบบที่ 3 ถูกต่อใช้งานเป็นวงจรรขยายเกตร่วมดังที่แสดงในรูปที่

4.37 วงจรประกอบด้วย ซุเปอร์มอสทรานซิสเตอร์ M_{ST1} แหล่งจ่ายกระแสไบอัส I_{B1} และ I_{B2} วงจรรขยายแบบเกตร่วมมีสัญญาณกระแสอินพุตป้อนเข้าที่ขาซอร์ส



รูปที่ 4.37 วงจรรขยายเกตร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

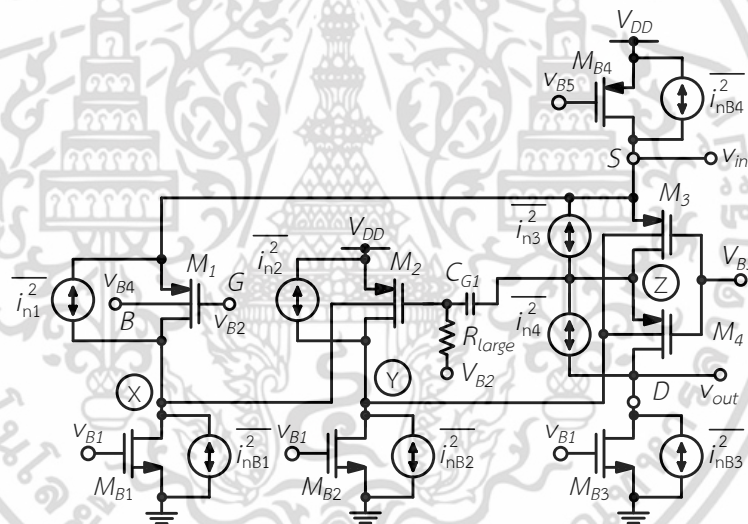
4.3.2.1 การวิเคราะห์หาอัตราขยายกระแสของวงจรรขยายเกตร่วม

อัตราขยายกระแสของวงจรรขยายเกตร่วมมีค่าเท่ากับผลคูณระหว่างค่า $G_{m,eff}$ และค่าความต้านทานเสมือนที่อินพุต (R_{in}) เนื่องจากค่า $G_{m,eff}$ ถูกวิเคราะห์หาในหัวข้อก่อนหน้า และค่า $R_{in} = R_{S,eff}$ ซึ่งค่า $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ถูกวิเคราะห์หาในหัวข้อก่อนหน้าเช่นกัน ดังนั้นอัตราขยายกระแสของวงจรรขยายเกตร่วมมีค่าเท่ากับ

$$A_i \cong 1 \quad (4.81)$$

4.3.2.2 การวิเคราะห์หาสัญญาณรบกวนของวงจรรขยายเกตร่วม

การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอินพุตของวงจรรสามารถทำได้โดยการวิเคราะห์วงจรรเสมือนสัญญาณรบกวนเชิงอุณหภูมิของวงจรรขยายเกตร่วมดังแสดงในรูปที่ 4.39 ด้วยการหาผลรวมของสัญญาณรบกวนเชิงอุณหภูมิที่เอาต์พุต สัญญาณรบกวนอุณหภูมิแรงดันที่อินพุตมีค่าเท่ากับ $\overline{v_{out,n}^2} / A_v^2$ ขณะที่สัญญาณรบกวนเชิงอุณหภูมิกระแสที่อินพุตมีค่าเท่ากับ $\overline{v_{i,n}^2} / R_{in}^2$



รูปที่ 4.39 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิที่อินพุตของวงจรรขยายเกตร่วม

สัญญาณรบกวนเชิงอุณหภูมิที่อินพุต $\overline{v_i^2}$ และ $\overline{i_i^2}$ ของวงจรรขยายเกตร่วมมีค่าเท่ากับ

$$\overline{v_i^2} \cong 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} \parallel r_{oB1})(r_{o2} \parallel r_{oB2})} \right] \quad (4.82)$$

$$\overline{i_i^2} = (sC_{bs1})^2 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} \parallel r_{oB1})(r_{o2} \parallel r_{oB2})} \right] \quad (4.83)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 การจำลอง และผลการจำลอง

วิทยานิพนธ์นี้ใช้โปรแกรม HSPICE เพื่อจำลองการทำงานของวงจรรขยายซอร์สร่วม และวงจรรขยายเกตร่วมที่นำเสนอ เทคโนโลยีที่ใช้เป็นแบบซีมอสที่มีขนาดเท่ากับ 0.18 ไมโครเมตร วงจรทำงานภายใต้ไฟเลี้ยง 0.5 โวลต์ และกระแสขบหนึ่ง I_{B1} I_{B2} และ I_{B3} มีค่าเท่ากับ 10 ไมโครแอมป์ ตารางที่ 4.5 แสดงการไบอัสแรงดันให้วงจรรขยายซอร์สร่วมและวงจรรขยายเกตร่วม

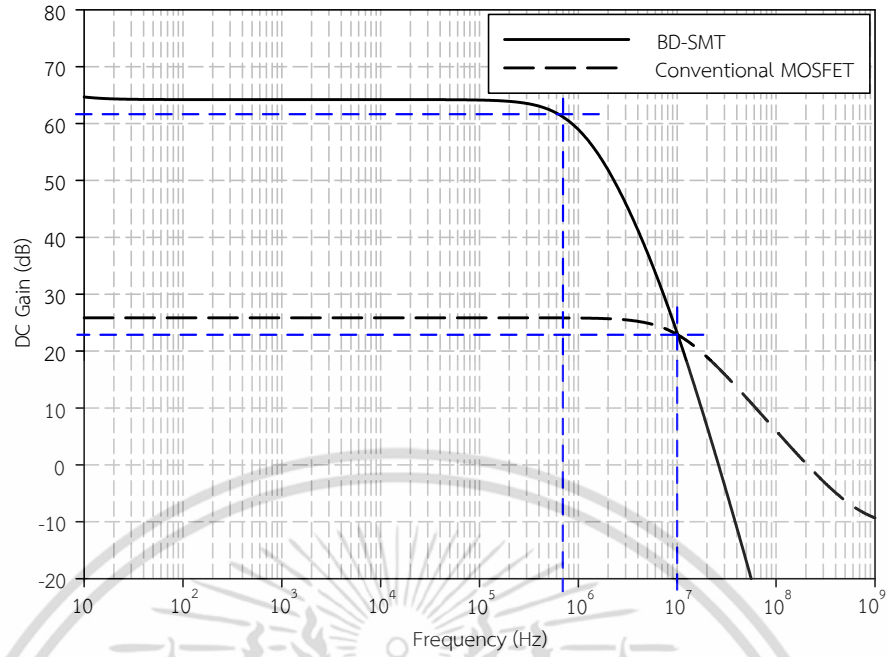
ตารางที่ 4.5 แรงดันและกระแสไบอัส

แรงดันไบอัส	โวลต์	กระแสไบอัส	แอมป์
V_{DD}	0.4 V	I_{B1-3}	10 μ A

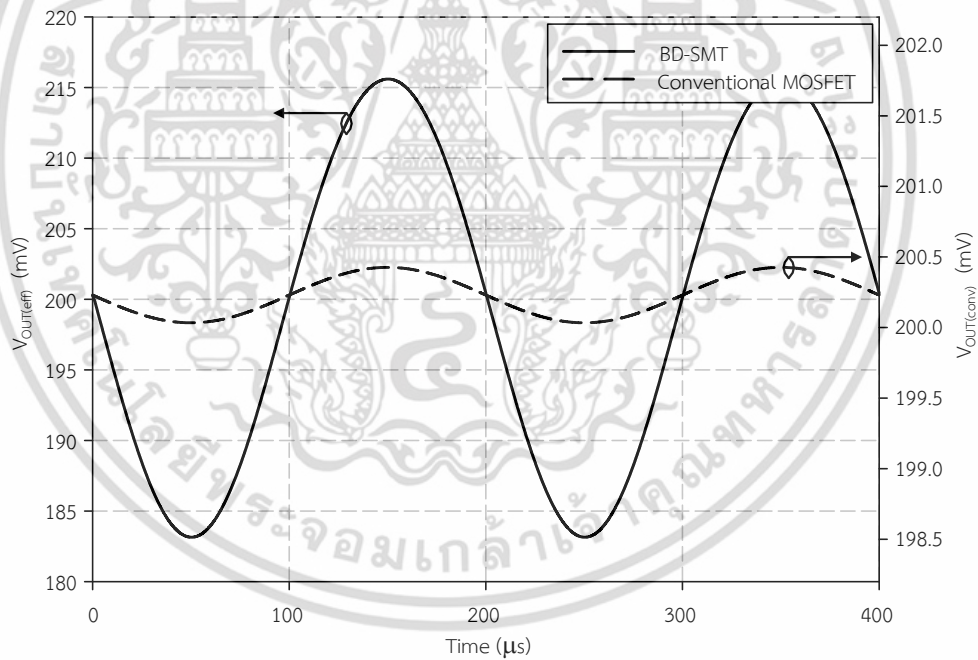
ตารางที่ 4.6 ขนาดของทรานซิสเตอร์ และค่าอุปกรณ์

ทรานซิสเตอร์	W/L (μ m)	ตัวต้านทาน MOS	W/L (μ m)
M_{B3}	604.05 μ m/0.5 μ m	M_{R1}	0.75 μ m/100 μ m
ตัวเก็บประจุ			
C_{G1}	0.4 pF		

ในการจำลองการทำงานของวงจรรขยายซอร์สร่วม เราป้อนสัญญาณที่อินพุตของวงจรเพื่อหาอัตราขยายแรงดัน รูปที่ 4.40 แสดงอัตราขยายแรงดันของวงจรรขยายซอร์สร่วมที่ใช้ซัพเปอร์มอสทรานซิสเตอร์ เทียบกับวงจรรขยายซอร์สร่วมที่ใช้ทรานซิสเตอร์ทั่วไป อัตราขยายแรงดันของวงจรที่ใช้ซัพเปอร์มอสทรานซิสเตอร์ที่นำเสนอมีค่าเท่ากับ 64.21 เดซิเบล ขณะที่อัตราขยายแรงดันของที่ใช้ทรานซิสเตอร์ทั่วไปมีค่าเท่ากับ 25.85 เดซิเบล แบนด์วิดท์ของวงจรรขยายซอร์สร่วมใช้ซัพเปอร์มอสทรานซิสเตอร์และทรานซิสเตอร์ทั่วไปมีค่าเท่ากับ 700 กิโลเฮิรตซ์ และ 10 เมกะเฮิรตซ์ ตามลำดับ ผลการจำลองแสดงให้เห็นว่าวงจรรขยายซอร์สร่วมที่ใช้ซัพเปอร์มอสทรานซิสเตอร์มีอัตราขยายแรงดันมากกว่าวงจรรขยายซอร์สร่วมที่ใช้ทรานซิสเตอร์ทั่วไป วิทยานิพนธ์นี้ได้ทำการทดลองป้อนสัญญาณเท่ากับ 0.02 มิลลิโวลต์ ความถี่เท่ากับ 5 กิโลเฮิรตซ์ เข้าที่อินพุตของวงจรรขยายซอร์สร่วมเพื่อจำลองการทำงานของวงจรรขยายสัญญาณ รูปที่ 4.41 แสดงผลการตอบสนองทางเวลาของวงจรรขยายซอร์สร่วม จากผลการทดลองพบว่าแรงดันเอาต์พุตของวงจรรขยายซอร์สร่วมใช้วงจรที่นำเสนอมีค่าเท่ากับ 16.97 มิลลิโวลต์ แรงดันเอาต์พุตของวงจรรขยายซอร์สร่วมใช้ทรานซิสเตอร์ทั่วไปมีค่าเท่ากับ 0.19 มิลลิโวลต์

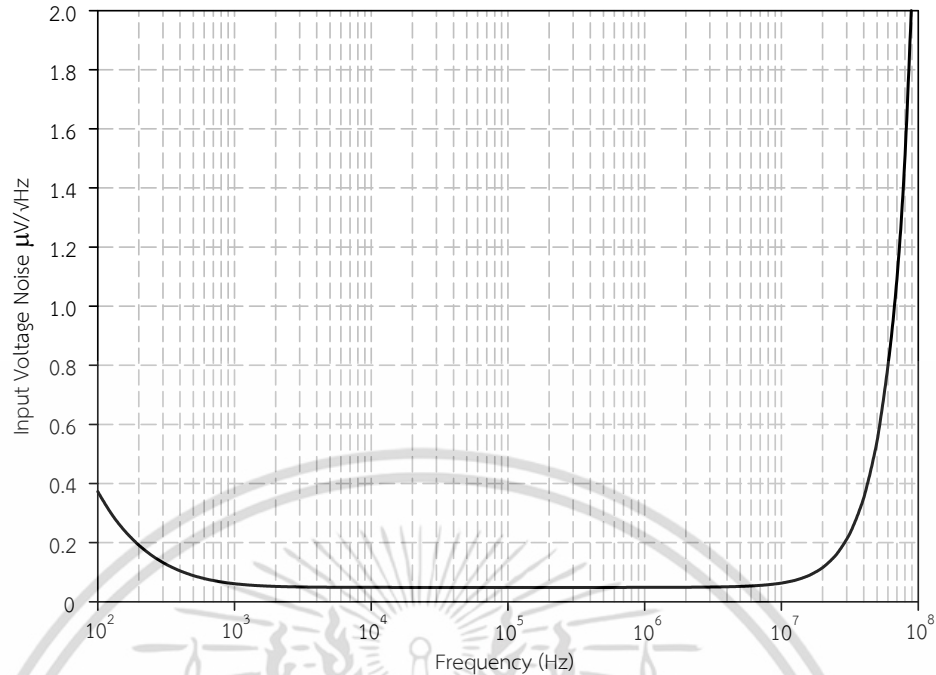


รูปที่ 4.40 ผลการตอบสนองความถี่



รูปที่ 4.41 ผลตอบการสนองทางเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

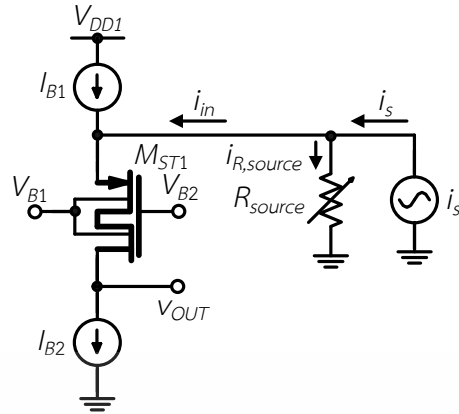


รูปที่ 4.42 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอุณหภูมิ

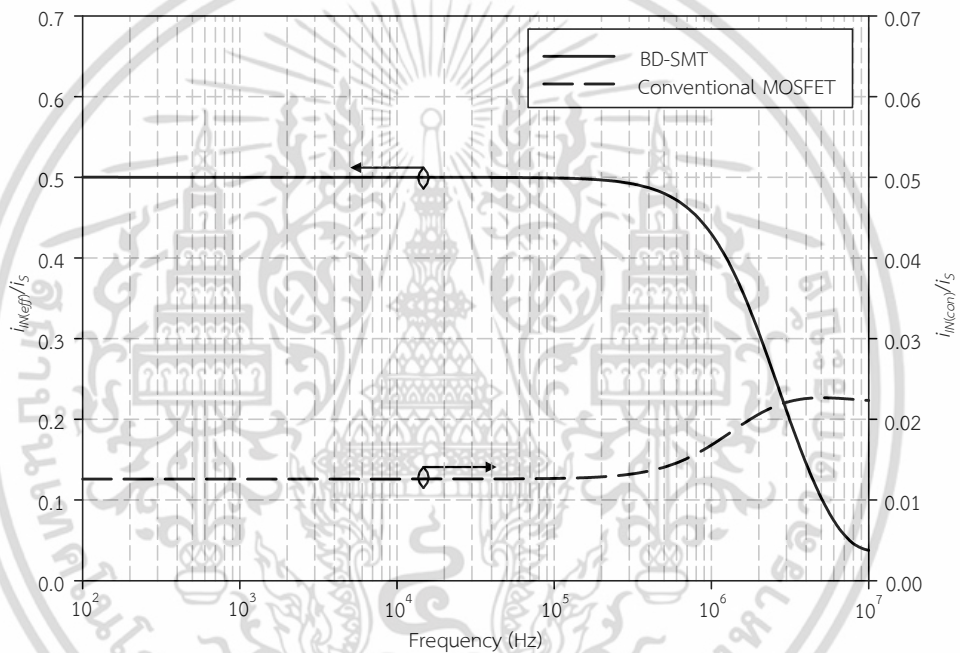
รูปที่ 4.42 แสดงขนาดของสัญญาณรบกวนที่อินพุตในรูปของแรงดัน v_i^2 ขนาดของสัญญาณรบกวนที่มีความถี่คutoff (f_{3dB}) มีค่าเท่ากับ 48.47 nV/√Hz

เพื่อจำลองการทำงานของวงจรขยายเกตร่วม เราจะต่อตัวต้านทาน (R_{source}) ที่มีค่าเท่ากับค่า $R_{S,eff}$ ของซูปเปอร์ทรานซิสเตอร์ดังที่แสดงในรูปที่ 4.43 จากนั้นก็ป้อนสัญญาณกระแสที่อินพุตเพื่อหาอัตราขยายกระแสของวงจรขยายเกตร่วมเทียบกับวงจรขยายเกตร่วมที่ใช้ทรานซิสเตอร์ทั่วไป กระแสไบแอส I_{B1} และ I_{B2} ที่ถูกสร้างด้วยทรานซิสเตอร์ รูปที่ 4.44 แสดงผลการตอบสนองทางความถี่ จากผลการจำลองพบว่าอัตราขยายกระแสของวงจรขยายเกตร่วมใช้วงจรที่นำเสนอมีค่าเท่ากับ 0.5 เท่า ขณะที่อัตราขยายกระแสของวงจรขยายเกตร่วมใช้ทรานซิสเตอร์ทั่วไปมีค่าเท่ากับ 0.012 เท่า จากผลการจำลองเราสังเกตเห็นได้ว่ากระแสอินพุต i_{in} ของวงจรขยายเกตร่วมที่ใช้ซูปเปอร์มอสทรานซิสเตอร์มากกว่ากระแสอินพุต i_{in} ของวงจรขยายเกตร่วมที่ใช้ทรานซิสเตอร์ทั่วไป วิทยานิพนธ์นี้ได้ทำการทดลองป้อนสัญญาณกระแส i_s ที่มีขนาดยอด (peak) เท่ากับ 4 ไมโครแอมป์ ความถี่เท่ากับ 20 กิโลเฮิร์ตซ์ เข้าที่อินพุตของวงจรขยายเกตร่วม และทำการปรับค่าความต้านทาน (R_{source}) โดยให้มีค่าเท่ากับ $R_{S,eff}$, $2R_{S,eff}$ และ $5R_{S,eff}$ ทั้งนี้ก็เพื่อดูผลกระทบของค่าความต้านทานเสมือนทางด้านอินพุตของวงจร รูปที่ 4.45 แสดงผลการตอบสนองทางเวลาของวงจรขยายเกตร่วม จากผลการทดลองพบว่ากระแสอินพุตของวงจรขยายเกตร่วมใช้วงจรที่นำเสนอมีค่าเท่ากับ 2.04 ไมโครแอมป์ 2.7 ไมโครแอมป์ และ 3.35 ไมโครแอมป์ ตามลำดับ จากผลการจำลองการทำงานของวงจรพบว่าแหล่งจ่ายกระแสสามารถจ่ายกระแสเข้าที่อินพุตของวงจรได้ดีเนื่องจากค่า $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์มีค่าน้อยกว่าทรานซิสเตอร์ทั่วไปมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

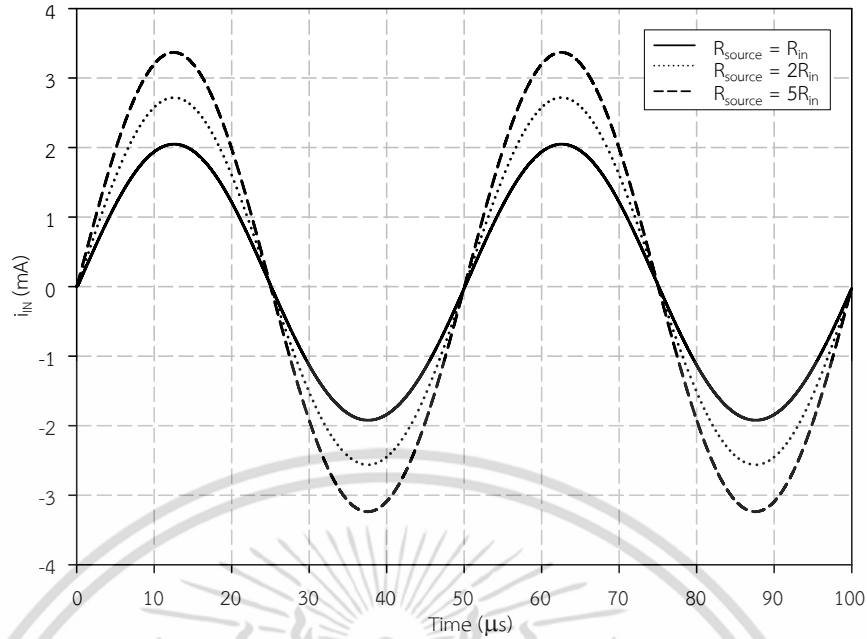


รูปที่ 4.43 วงจรขยายเกิดร่วม

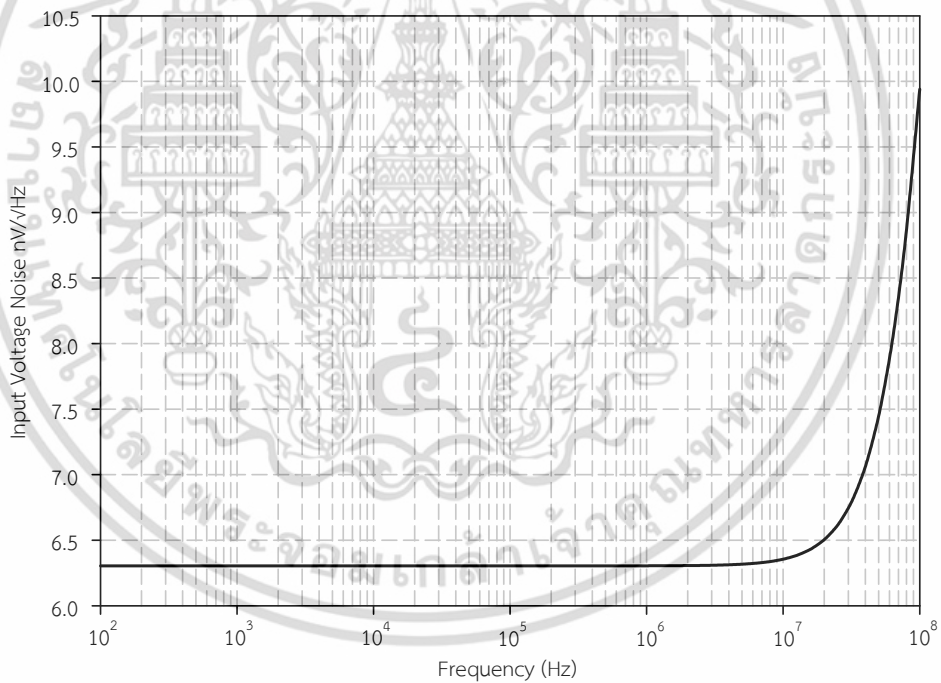


รูปที่ 4.44 ผลการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 ผลการตอบสนองทางเวลา



รูปที่ 4.46 ผลตอบสนองความถี่ของสัญญาณรบกวนเชิงอุณหภูมิ

รูปที่ 4.46 แสดงขนาดของสัญญาณรบกวนที่อินพุตในรูปของแรงดัน $\overline{v_i^2}$ ขนาดของสัญญาณรบกวนที่ความถี่คัทออฟ (f_{-3dB}) มีค่าเท่ากับ 6.35 nV/√Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 บทสรุป

บทนี้นำเสนอซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ป้อนสัญญาณที่ขาบอดีและทรานซิสเตอร์เสมือนเกตลอย วงจรที่นำเสนอมีจำนวน 3 วงจร วงจรถูกออกแบบให้มีค่าทรานส์คอนดักแตนซ์มากด้วยวิธีการต่อวงจรลักษณะสามภาค วงจรได้ใช้วิธีการต่อลักษณะแคสโคดตัวเองร่วมกับการป้อนกลับแบบลบเพิ่มค่าความต้านทานเสมือนที่ขาเดรน และวงจรได้ใช้วิธีการป้อนกลับแบบลบเพื่อลดค่าความต้านทานเสมือนที่ขาซอร์ส จากผลการจำลองพบว่าค่าทรานส์คอนดักแตนซ์ และค่าความต้านทานเสมือนที่ขาเดรนของซูปเปอร์มอสทรานซิสเตอร์มีค่ามากกว่าทรานซิสเตอร์ที่ใช้ขาบอดีหนึ่งตัว และค่าความต้านทานเสมือนที่ขาซอร์สของซูปเปอร์มอสทรานซิสเตอร์มีค่าน้อยกว่าทรานซิสเตอร์ที่ใช้ขาบอดีหนึ่งตัว

วิทยานิพนธ์นี้ได้นำเสนอซูปเปอร์มอสทรานซิสเตอร์ที่ถูกออกแบบมาต่อใช้งานระดับประยุกต์เป็นวงจรขยายซอร์สร่วม และวงจรขยายเกตร่วม จากผลการทดลองพบว่าวงจรขยายซอร์สร่วมมีอัตราขยายเท่ากับ 64.21 เดซิเบล แรงดันเอาต์พุตของวงจรขยายซอร์สร่วมสามารถสวิงได้กว้าง (เท่ากับ 152 มิลลิโวลต์) วงจรขยายเกตร่วมมีอัตราขยายกระแสเท่ากับหนึ่ง แหล่งจ่ายกระแสสามารถจ่ายกระแสเข้าวงจรขยายเกตร่วมได้ดีเนื่องจากค่าความต้านทานเสมือนด้านอินพุต (R_{in}) ของวงจรมีค่าต่ำ

บทที่ 5

สรุปผลการวิจัยและข้อเสนอแนะ

5.1 สรุปผลการวิจัย

วงจรรขยายทรานส์คอนดักแตนซ์หรือวงจรวอร์เทอคือวงจรวอร์เทอที่มีความสำคัญและนิยมนำไปประยุกต์ใช้ใน วงจรแปลงอนาล็อกเป็นดิจิทัล วงจรแปลงดิจิทัลเป็นอนาล็อก วงจรสวิตซ์-ตัวเก็บประจุ และวงจรรองความถี่ เป็นต้น เนื่องจากแรงดันไฟเลี้ยงที่ค่าลดลงอย่างต่อเนื่อง การออกแบบวงจรวอร์เทอที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำและมีช่วงปฏิบัติการกว้าง จึงมีความจำเป็น วงจรคู่ผลต่างที่ใช้ทรานซิสเตอร์ที่ใช้งานที่ขาเกตชนิดเอ็นมอสหรือชนิดพีมอสโดยทั่วไปต้องใช้ไฟเลี้ยงค่อนข้างสูง และวงจรมีช่วงการสวิงที่จำกัดทำให้วงจรมีค่าไม่สามารถทำงานที่แรงดันไฟเลี้ยงต่ำมากได้

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรวอร์เทอและซัพเปอร์มอสทรานซิสเตอร์ วงจรวอร์เทอที่นำเสนอมีจำนวน 3 วงจรได้แก่ วงจรวอร์เทอแบบเอาต์พุตผลต่างทำงานภายใต้แรงดันไฟเลี้ยงเท่ากับ 0.8 โวลต์ วงจรวอร์เทอแบบเอาต์พุตผลต่างเหมือนคลาส-เอบี ที่สามารถทำงานโดยใช้แรงดันไฟเลี้ยงเท่ากับ 0.5 โวลต์ ทั้งสองวงจรได้ใช้ทรานซิสเตอร์เหมือนเกตลอย และการป้อนกลับแบบบวก และวงจรวอร์เทอแบบอินพุต และเอาต์พุตผลต่างที่สามารถทำงานภายใต้แรงดันไฟเลี้ยงเท่ากับ 1 โวลต์ โดยใช้ทรานซิสเตอร์ที่ใช้งานที่ขาบอดี และใช้วิธีการป้อนไปข้างหน้า (Feedforward technique) วงจรวอร์เทอที่ถูกรออกแบบสามารถปฏิบัติงานได้ดี โปรแกรม HSpice ถูกใช้จำลองการทำงานของวงจรที่ถูกรออกแบบด้วยเทคโนโลยีซีมอสที่มีขนาด 0.18 ไมโครเมตร จากผลการจำลองวงจรวอร์เทอแบบเอาต์พุตผลต่าง วงจรมีอัตราขยายลูปเปิดเท่ากับ 65.8 เดซิเบล ส่วนเฟสเท่ากับ 57 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดธ์มีค่าเท่ากับ 10.2 เมกะเฮิรตซ์ กำลังสูญเสียมีค่าเท่ากับ 59.4 ไมโครวัตต์ จากผลการจำลองวงจรวอร์เทอแบบเอาต์พุตเหมือนผลต่างแสดงการสวิงของแรงดันอินพุตและเอาต์พุตมีช่วงการสวิงกว้าง อัตราขยายลูปเปิดมีค่าเท่ากับ 76.5 เดซิเบล ส่วนเฟสเท่ากับ 67 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดธ์มีค่าเท่ากับ 23.9 เมกะเฮิรตซ์ กำลังสูญเสียมีค่าเท่ากับ 30 ไมโครวัตต์ ผลการจำลองวงจรวอร์เทอแบบอินพุตและเอาต์พุตผลต่างแสดงการสวิงของแรงดันอินพุตและเอาต์พุตมีช่วงการสวิงกว้าง อัตราขยายลูปเปิดมีค่าเท่ากับ 62.2 เดซิเบล ส่วนเฟสเท่ากับ 60 องศา และผลคูณระหว่างอัตราขยายและแบนด์วิดธ์มีค่าเท่ากับ 15 เมกะเฮิรตซ์ กำลังสูญเสียมีค่าเท่ากับ 106 ไมโครวัตต์

ซัพเปอร์ทรานซิสเตอร์ที่นำเสนอจำนวน 3 วงจร ซึ่งถูกรออกแบบด้วยทรานซิสเตอร์ที่ใช้งานที่ขาบอดี ทรานซิสเตอร์เหมือนเกตลอย ทรานซิสเตอร์แคสโคดตัวเอง และวิธีการป้อนกลับแบบลบ ซัพเปอร์มอสทรานซิสเตอร์ถูกรออกแบบให้มีค่า $G_{m,eff}$ สูง ซัพเปอร์มอสทรานซิสเตอร์ได้ใช้วิธีการป้อนกลับแบบลบมาออกให้ซัพเปอร์ทรานซิสเตอร์มีค่า $R_{D,eff}$ สูง และมีค่า $R_{S,eff}$ น้อย ซัพเปอร์มอสทรานซิสเตอร์ถูกรออกแบบการทำงานด้วยโปรแกรม HSPICE และใช้โมเดลพารามิเตอร์ TSMC ด้วยซีมอสที่เทคโนโลยีขนาด 0.18 ไมโครเมตร วงจรทำงานภายใต้แรงดันไฟเลี้ยง 0.4 โวลต์ และกระแสไบอัสเท่ากับ 10 ไมโครแอมป์ จากผลการจำลองพบว่าซัพเปอร์มอสทรานซิสเตอร์วงจรที่หนึ่งมีค่า $G_{m,eff}$ เท่ากับ 11.77 มิลลิแอมป์ต่อโวลต์ มีค่า $R_{D,eff}$ เท่ากับ 385.5 กิโลโอห์ม และมีค่า $R_{S,eff}$ เท่ากับ 16.8 โอห์ม ซัพเปอร์มอสทรานซิสเตอร์วงจรที่สองมีค่า $G_{m,eff}$ เท่ากับ 11.57 มิลลิแอมป์ต่อโวลต์ มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$R_{D,eff}$ เท่ากับ 551.3 กิโลโอห์ม และมีค่า $R_{S,eff}$ เท่ากับ 17.1 โอห์ม และซูปเปอร์มอสทรานซิสเตอร์ วงจรที่สามมีค่า $G_{m,eff}$ เท่ากับ 1.72 มิลลิแอมป์ต่อโวลต์ มีค่า $R_{D,eff}$ เท่ากับ 946 กิโลโอห์ม และมีค่า $R_{S,eff}$ เท่ากับ 109.73 โอห์ม ซูปเปอร์มอสทรานซิสเตอร์มีกำลังสูญเสียเท่ากับ 12 ไมโครวัตต์ ซูปเปอร์มอสทรานซิสเตอร์ได้ถูกนำไปต่อเป็นวงจรขยายซอร์สร่วมและวงจรขยายเกตร่วม วงจรขยายซอร์สร่วมมีอัตราขยายสูง และมีกำลังสูญเสียต่ำถูกนำไปต่อประยุกต์เป็นวงจรโอทีเอพื้นฐาน วงจรโอทีเอแบบเอาต์พุตเสมือนผลต่าง และวงจรทรานส์คอนดักเตอร์ วงจรขยายเกตร่วมที่มีค่า R_{in} ต่ำ ค่า R_{out} สูง และกำลังสูญเสียต่ำถูกนำไปต่อประยุกต์เป็นวงจรขยายกระแส วงจรภาครับการสื่อสารทางแสง เป็นต้น จากผลการจำลองพบว่าวงจรขยายซอร์สร่วมมีอัตราขยายเท่ากับ 64.21 เดซิเบล และมีกำลังสูญเสียเท่ากับ 12 ไมโครวัตต์ วงจรขยายเกตร่วมมีอัตราขยายกระแสเท่ากับหนึ่ง

5.2 ข้อเสนอแนะ

การออกแบบวงจรโอทีเอสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำให้มีคุณสมบัติที่ดี ได้แก่ วงจรมีอัตราขยายสูง อัตราสล็อตสูง และวงจรสามารถทำงานที่ความถี่สูงได้เป็นต้น จากผลการจำลองการทำงานพบว่าอัตราขยายของวงจรโอทีเอที่นำเสนอมีค่าสูง วงจรมีช่วงการสวิงของสัญญาณที่อินพุตและเอาต์พุตกว้าง ค่าอัตราสล็อตของวงจรมีค่าไม่สูงมาก การออกแบบให้วงจรโอทีเอมีอัตราขยายสูงสามารถทำได้โดยลดกระแสไบอัสแต่ก็จะส่งผลต่ออัตราสล็อตและการตอบสนองความถี่ไม่ดี การเพิ่มกระแสไบอัสทำให้วงจรมีความสามารถในการจ่ายกระแสสูงขึ้นแต่ก็จะทำให้วงจรมีกำลังสูญเสียสูงขึ้นเช่นกัน ดังนั้นวงจรที่ถูกออกแบบจะมีความเหมาะสมหรือไม่จึงขึ้นกับการประยุกต์ใช้งาน การประยุกต์ใช้งานวงจรโอทีเอที่ถูกออกแบบด้วยวิธีการชดเชยความถี่ด้วยตัวเก็บประจุ C_F จะเป็นการนำวงจรไปใช้เป็นวงจรขยายในภาคที่สอง ซึ่งเป็นภาคถัดจากวงจรขยายที่มีค่าความต้านทานเสมือนที่เอาต์พุตสูง วงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่างสามารถนำไปประยุกต์ใช้งานในวงจรรวมขนาดใหญ่ วงจรขยายที่มีการป้อนกลับแบบลบ และวงจรกรองความถี่ เป็นต้น

ซูปเปอร์มอสทรานซิสเตอร์ที่นำเสนอมีค่า $G_{m,eff}$ มากกว่าทรานซิสเตอร์ที่ใช้ขาบอดี้หนึ่งตัวมาก อย่างไรก็ตามเนื่องจากวงจรมีความถี่โพลที่สำคัญมากกว่า 2 ความถี่ ดังนั้นการนำซูปเปอร์มอสทรานซิสเตอร์เมื่อนำไปต่อเป็นวงจรขยายผลต่างหรือวงจรโอทีเอจำเป็นต้องทำการชดเชยความถี่ซึ่งอาจส่งผลกระทบต่อการทำงานของความถี่ของวงจรขยาย

วงจรโอทีเอและซูปเปอร์มอสทรานซิสเตอร์ถูกออกแบบให้ทรานซิสเตอร์มีขนาดที่มีความละเอียดมากซึ่งเป็นขนาดที่ทำให้วงจรมีคุณสมบัติที่ดีที่สุด อย่างไรก็ตามการนำวงจรโอทีเอและซูปเปอร์มอสทรานซิสเตอร์ที่ถูกออกแบบไปเลย์เอาต์เพื่อสร้างเป็นวงจรรวมอาจจะต้องปรับขนาดของทรานซิสเตอร์ให้เหมาะสมอีกครั้ง วงจรโอทีเอและซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ต้องพิจารณาระดับสัญญาณที่ป้อนด้วย หากสัญญาณที่ขาบอดี้มีค่ามากเกินไปก็อาจส่งผลให้ไดโอดแฝงภายในตัวทรานซิสเตอร์ทำงานและส่งผลกระทบต่อการทำงานของวงจรได้

เอกสารอ้างอิง

- [1] Shouli Yan and Edgar Sanchez-Sinencio, “**Low Voltage Analog Circuit Design Techniques: A Tutorial,**” IEICE Transaction on Analog Integrated Circuits and System, vol. E00-A, no. 2, pp. 1-17, 2000.
- [2] K. J. de Langen and J. H. Huijsing, “**Compact Low-Voltage Power-Efficient Operational Amplifiers Cell for VLSI,**” IEEE J. of Solid-State Circuits, vol. 33, no. 10, pp. 1482-1496, 1998.
- [3] J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, and F. Munoz Chavero, “**Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors,**” IEEE J. of Solid-State Circuits. Vol. 39, no. 3, pp. 434-442, 2004.
- [4] J. Ramirez-Angulo, Carlos A. Urquidi, R. G. Carvajal, A. Torralba and A. Lopez-Martin, “**A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating Gate Transistors,**” IEEE Trans Circuits Syst. II: Analog and Digital Signal Processing, Vol. 50, no. 5, pp. 214-220, May. 2003.
- [5] J. M. A. Miguel, A. J. Lopez-Martin, L. Acosta, J. Ramirez-Angulo and R. G. Carvajal, “**Using Floating Gate and Quasi-Floating Gate Techniques for Rail-to-Rail Tunable CMOS Transconductor Design,**” IEEE Trans. On Circuit and System I: Regular Papers. Vol. 58, no. 7, pp. 1604-1614, 2011.
- [6] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, “**Designing 1-V OpAmps using standard digital CMOS technology**”, IEEE Trans. Circuits Syst. II Analog Digit Signal Process, Vol. 45, pp. 769–780, 1998.
- [7] J. M. Carrillo, G. Torelli, R. Perez-Aloe and J. F. Duque-Carrillo, “**1-V Rail-to-Rail CMOS OpAmp With Improved Bulk-Driven Input Stage,**” IEEE J. of Solid-State Circuits, vol. 42, no. 3, pp. 508-517, 2007.
- [8] C. Galup-Montoro, M. C. Schneider and I. J. B. Loss, “**Series-Parallel Association of FET’s for High Gain and High Frequency Applications,**” IEEE J. of Solid-State Circuits, vol. 29, no. 9, pp. 1094-1101, 1994.
- [9] D. J. Comer, D. T. Comer and C. Petrie, “**The utility of the composite cascode in analog CMOS design,**” Int. J. of Electronics, vol. 91, no. 8, pp. 491-502, 2004.
- [10] S. S. Rajput and S. S. Jamuar “**Low Voltage Analog Circuit Design Techniques**” IEEE Circuits and Systems Magazine,” Vol. 2, no. 1, pp. 24-42, 2002.
- [11] K. Laker and W. M. C. Sansen B. Razavi, **Design of Analog Integrated Circuits and Systems.** Singapore: McGraw-Hill, 2001.
- [12] J. A. Galan, A. J. López-Martín, R. G. Carvajal, J. Ramírez-Angulo and C. Rubia-Marcos, “**Super Class-AB OTAs With Adaptive Biasing and Dynamic Output**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Current Scaling,**” IEEE Trans. on Circuit and System. I, Regular papers. Vol. 54, No. 3, 2007, pp. 449-457.
- [13] A. Lopez-Martin, S. Baswa, J. Ramírez-Angulo, and R. G. Carvajal, “**Low-voltage super Class-AB CMOS OTA cells with very high slew rate and power efficiency,**” IEEE J. of Solid-State Circuits, Vol. 40, No. 5, 2005, pp. 1068–1077.
- [14] E. Sanchez-Sinencio and Jose Silva-Martinez, “**CMOS transconductance amplifiers, architectures and active filters: a tutorial,**” IEE Proceedings Circuits, Devices and Systems, Vol. 147, No. 1, February 2000, pp. 3 – 12.
- [15] B. Razavi, **Design of Analog CMOS Integrated Circuits.** Singapore: McGraw-Hill, 2001.
- [16] K. Gulati and H.-S. Lee, “**A High-Swing CMOS Telescopic Operational Amplifier,**” IEEE J. of Solid-State Circuits, Vol. 33, No. 12, 1998, 1505 – 1513.
- [17] E. Sanchez-Sinencio, 2009, “**Low Voltage Analog Circuit Design Techniques: A Tutorial,**” Department of Electrical and Computer Engineering, Texas A&M University, <http://www.ece.tamu.edu/~sanchez>.
- [18] J. F. Duque-Carrillo, J. L. Ausin, G. Torelli, J. M. Valverde and M. A. Dominguez, “**1-V Rail-to-Rail Operational Amplifiers in Standard CMOS Technology,**” IEEE J. Solid-State Circuits, vol. 35, no. 1, , pp. 33-44, 2000.
- [19] G. Olivera-Romero and J. Silva-Martinez, “**A Folded-Cascode OTA Based on Complementary Differential-Pairs for HF Applications,**” Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, 26 - 28 July 1999, pp. 57 – 60.
- [20] G. Ferri, V. Stornelli, and A. Celeste, “**Integrated Rail-to-Rail Low-Voltage Low-Power Enhanced DC-Gain Fully Differential Operational Transconductance Amplifier**”, ETRI Journal, Vol. 29, No. 6, 2007, pp. 785 – 793.
- [21] S. R. Zarabadi, F. Larsen, and M. Ismail, “**A Reconfigurable Op-Amp/DDA CMOS Amplifier Architecture,**” IEEE Trans Circuits Syst. II.: Analog and Digital Signal Processing, Vol. 39, No. 6, 1992, pp. 484 – 487.
- [22] Sh.-Ch. Huang, M. Ismail, and S. R. Zarabadi “**A Wide Range Differential Difference Amplifier: A Basic Block for Analog Signal Processing in MOS Technology**”, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 40, No. 5, 1993, pp. 289 – 301.
- [23] Sh.-Ch. Huang and M. Ismail, “**A CMOS Differential Difference Amplifier with Rail-to-Rail Fully-Differential Outputs,**” Proceedings of the 37th Midwest Symposium on Circuits and Systems, Vol. 2, 3-5 Aug 1994, pp. 780 – 781.
- [24] J. F. Duque-Carrillo, G. Torelli, R. Perez-Aloe, J. M. Valverde and F. Maloberti, “**Fully Differential Basic Building Blocks Based on Fully Differential**

- Difference Amplifier with Unity-Gain Difference Feedback,”** IEEE Trans. Circuits Syst. I; Fundamental Theory and Application, Vol. 42, No. 3, 1995, pp. 190 – 192.
- [25] A. J. Gano and J. E. Francs, **“Fully differential variable gain instrumentation amplifier based on a fully differential DDA topology,”** The 6th IEEE International Conference on Electronics, Circuits and Systems, (ICECS '99), Vol. 2, 5-8 Sep 1999, pp. 781 – 784.
- [26] H. Alzahrer and M. Ismail **“A CMOS Fully Balanced Differential Difference Amplifier and Its Applications,”** IEEE Trans. On Circuit and System I: Regular Papers. Vol. 48, No. 6 pp. 614-620, 2001.
- [27] Ch.-H. Wu, H.-H. Hsieh, P.-Ch. Ku, and L.-H. Lu, **“A Differential Sallen-Key Low-Pass Filter in Amorphous-Silicon Technology,”** Journal of Display Technology, Vol. 6, No. 6, June 2010, 207 – 214.
- [28] S. R. Naqvi, 2011, **“Fully Differential Difference Amplifier based Microphone Interface Circuit and an Adaptive Signal to Noise Ratio Analog Front end for Dual Channel Digital Hearing Aids”**, Ph.D.dissertation, Arizona State University.
- [29] F. Zhang, J. Holleman, and B. P. Otis, **“Design of ultra-low power biopotential amplifiers for biosignal acquisition applications,”** IEEE Trans. Biomed. Circuits Syst., Vol. 6, 2012, pp. 344–355.
- [30] V. Stornelli, L. Pantoli, G. Leuzzi and G. Ferri, **“Fully differential DDA-based fifth and seventh order Bessel low pass filters and buffers for DCR radio systems,”** Analog Integr Circ Sig Process, Vol. 75, 2013, pp. 305–310.
- [31] S. D. Kim, J. Bae and M. Song **“A High Speed CMOS Image Sensor with a Novel Digital Correlated Double Sampling and a Differential Difference Amplifier”** Sensors, vol. 15, pp. 5081-5095, 2015.
- [32] Sh. Wang, Th. J. Koickal, A. Hamilton, R. Cheung, and L. S. Smith, **“A Bio-Realistic Analog CMOS Cochlea Filter With High Tunability and Ultra-Steep Roll-Off,”** IEEE Trans. Biome Circuits Syst, Vol. 9, No. 3, 2015, pp. 297 – 311.
- [33] I. Deligoz, S. R. Naqvi, T. Copani, S. Kiaei, B. Bakkaloglu, S.-S. Je, and J. Chae **“A MEMS-Based Power-Scalable Hearing Aid Analog Front End,”** IEEE Trans. Biome Circuits Syst, Vol. 5, No. 3, pp. 201 – 213, 2011.
- [34] Y. Yoon, H. Roh and J. Roh, (2014) **“A True 0.4-V Delta-Sigma Modulator Using a Mixed DDA Integrator Without Clock Boosted Switches,”** IEEE Trans. on Circuit and System II, Express Briefs, Vol. 61, No. 4, pp. 229 – 233.
- [35] E. Bharucha, H. Sepehrian and B. Gosselin, (2014) **“A Survey of Neural Front End Amplifiers and Their Requirements toward Practical Neural Interfaces,”** J. Low Power Electron. Appl. Vol. 4, pp. 268-291.

- [36] วัชรพล พงษ์पालิต, 2549 “วงจรรขยายผลต่างทรานอิมพีแดนซ์แบบซีมอสโดยใช้เทคนิค f_T ดับเบิ้ลและการชดเชยด้วยตัวเก็บประจุ” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต, สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [37] J. Ramirez-Angulo, R. G. Carvajal, J. A. Galan, and A. Lopez-Martin, “A Free But Efficient Low-Voltage Class-AB Two-Stage Operational Amplifier,” IEEE Trans. On Circuit and System. II, Express Briefs. Vol. 53, no. 7, pp. 568-571, 2006.
- [38] S. Chatterjee, Y. Tsvividis, and P. Kinget, “0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design,” IEEE J. of Solid-Stage Circuits, vol. 40, no. 12, pp. 2373-2387, 2005.
- [39] D. Baez-Villegas and J. Silva-Martinez, “Quasi Rail-to-Rail Very Low-Voltage OPAMP With a Single pMOS Input Differential Pair,” IEEE Trans. On Circuit and System. II, Express Briefs. Vol. 53, no. 11, 2006, pp. 1175-1179.
- [40] M. Trakimas, and S. Sonkusale, “A 0.5 V Bulk-Input OTA with Improved Common-mode Feedback for Low-Frequency Filtering Applications,” Analog Integr Circ Sig Process., pp. 1-7, 2008.
- [41] G. Raikos and S. Vlassis, “0.8 V Bulk-Driven Operational Amplifier,” Analog Integr Circ Sig Process., pp. 1-8, 2009.
- [42] S. -W. Pan, Ch. -Ch. Chuang, Ch. -H. Yang and Y. -Sh. Lai, “A Novel OTA with Bulk-Driven Input Stage,” IEEE International Symposium on Circuits and System, 2009, pp. 2721-2724.
- [43] L. Zuo, and S. K. Islam, “Low-Voltage Bulk-Driven Operational Amplifier With Improved Transconductance,” IEEE Trans. on Circuit and System.-I, Regular Papers. Vol. 60, no. 8, 2013, pp. 2084-2019.
- [44] Carrillo, J. M., Torelli, G., Dominguez, M. A., Perez-Aloe, R., Valverde, J. M., and Duque-Carrillo, J. F., (2010), “A Family of Low-Voltage Bulk-Driven CMOS Continuous-Time CMFB Circuits”, IEEE Trans. on Circuits and Systems II, 57(11), pp. 863–867.
- [45] E. Sackinger and W. Guggenbuhl, “High-Swing, High-Impedance MOS Cascode Circuit,” IEEE J. of Solid-Stage Circuits. Vol. SC-25, no. 1, pp. 1-10, 1990.
- [46] K. Bult and G. J. G. M. Geelen, "The Gain Boosting Technique," Analog Integrated Circuits and Signal Processing, Vol. No. 2, pp. 119-135, 1991.
- [47] M. Ismail and T. Fiez. Analog VLSI Signal and Information Processing, New York: McGraw-HiU, 1994.
- [48] P. Lo, A Fully Differential CMOS Operational Amplifier Improved with MOS Gain Boosting Technique,” A Thesis in Electrical Engineering, Texas Tech University, pp. 18-29, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [49] J. W. Fattaruso, S. Kiriaki, M. De Wit, and G. Warwar, "Self-Calibration Techniques for a Second-Order Multibit Sigma-Delta Modulator," IEEE J. of in Solid-State Circuits, vol. 28, no.12, pp.1216-1223, 1993.
- [50] M. Helfenstein, Q. Huang, and G. S. Moschytz, "90 dB, 90 MHz, 30 mW CMOS OTA For a High Capacitive Loads," International Journal of Circuit Theory and Applications, Vol. 27, Issue 5, pp. 473-483, 1999.
- [51] J. M. Martinez-Heredia, and A. Torralba, "Enhanced Source-Degenerated CMOS Differential Transconductor", Microelectronics Journal, Vol. 42, pp. 396-402, 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



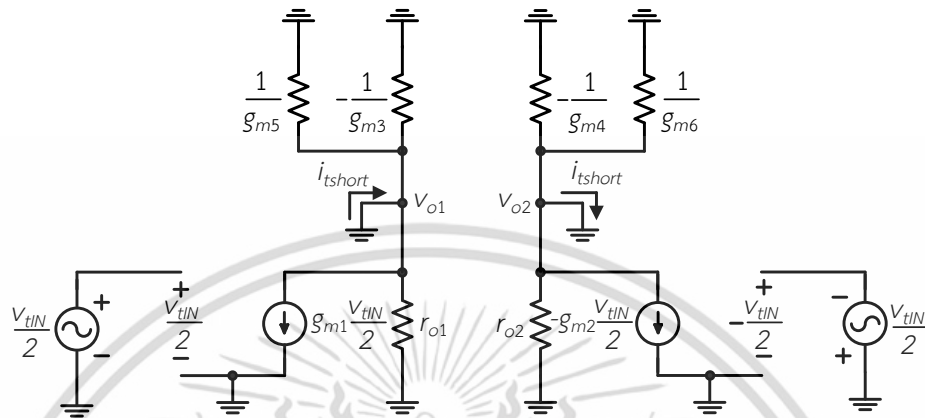
ภาคผนวก ก.

การวิเคราะห์หาค่าอัตราขยายโหมตผลต่างของโอทีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.1 การวิเคราะห์หาอัตราขยายโหมดผลต่างของวงจโรทีเอที่เอที่นำเสนอ

การวิเคราะห์หาค่าทรานส์คอนดักแตนซ์ (G_m) ของวงจโรทีเอแบบอินพุต และเอาต์พุต ผลต่างภาคที่หนึ่งสามารถทำได้โดยการป้อนแรงดันทดสอบที่อินพุต (v_{tIN}) ของวงจรมีอนสัญญาณขนาดเล็กดังแสดงในรูปที่ ก.1



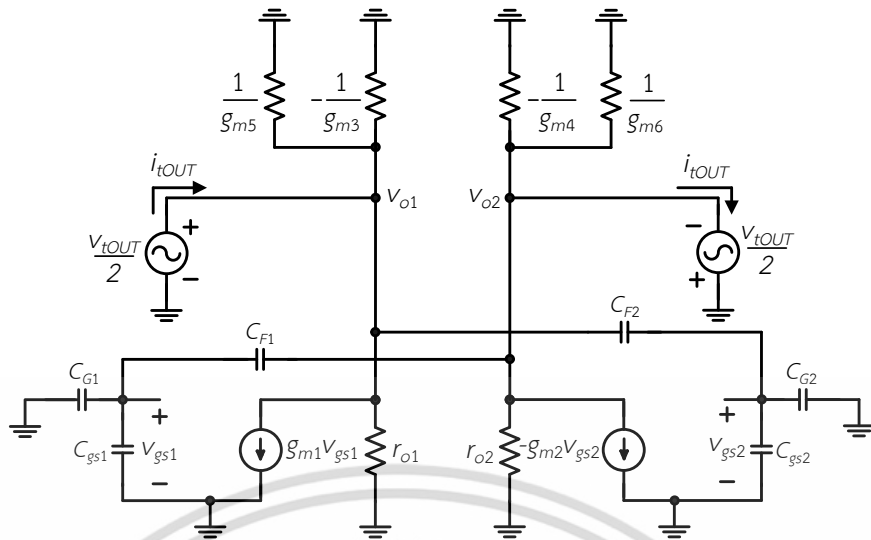
รูปที่ ก.1 การวิเคราะห์หาค่า G_{m1} ของวงจรมีอนสัญญาณขนาดเล็กวงจรมอดแรก

$$i_{short} = g_{m1,2} \frac{v_{tIN}}{2} \quad (ก.1)$$

G_{m1} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $v_{tIN}/2$ และมีค่าเท่ากับ

$$G_{m1} = \frac{i_{short}}{v_{tIN}/2} = \frac{g_{m1,2}}{2} \quad (ก.2)$$

การวิเคราะห์หาค่าความต้านทานเสมือนทางด้านเอาต์พุต $R_{o1,2}$ สามารถทำได้จากการวิเคราะห์ห้วงจรเทียบเคียงสัญญาณขนาดเล็กดังแสดงในรูปที่ ก.2 ซึ่งมีวงจรมีอนสัญญาณขนาดเล็กดังแสดงในรูปที่ ก.3



รูปที่ ก.2 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$

ทำการปลด $r_{o1,2}$ $-1/g_{m3}$ และ $1/g_{m5}$ ออกเพื่อหา $r_{o1,2}$

$$i_{tOUT} = g_{m1,2} V_{gs1,2} \tag{ก.3}$$

$$V_{gs1,2} = \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \times \frac{V_{tOUT}}{2} \tag{ก.4}$$

$$i_{tOUT} = \frac{C_{F1,2} g_{m1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \times \frac{V_{tOUT}}{2} \tag{ก.5}$$

$R_{o1,2}$ มีค่าเท่ากับอัตราส่วนระหว่าง $v_{tOUT}/2$ และ i_{tOUT} และมีค่าเท่ากับ

$$R_{o1,2} = \frac{C_{G1,2} + C_{F1,2} + C_{gs1,2}}{C_{F1,2} g_{m1,2}} \tag{ก.6}$$

หาค่า R_{oA}

$$R_{oA} = R_{o1,2} // r_{o1,2} \tag{ก.7}$$

$$R_{oA} = \frac{-(C_{G1,2} + C_{F1,2} + C_{gs1,2}) r_{o1,2} / C_{F1,2} g_{m1,2}}{r_{o1,2} - (C_{G1,2} + C_{F1,2} + C_{gs1,2}) / C_{F1,2} g_{m1,2}} \tag{ก.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{oA} = \frac{-(C_{G1,2} + C_{F1,2} + C_{gs1,2})}{C_{F1,2}g_{m1,2}r_{o1,2} - (C_{G1,2} + C_{F1,2} + C_{gs1,2})} \quad (\text{ก.9})$$

$$R_{oA} = \frac{(C_{G1,2} + C_{F1,2} + C_{gs1,2})}{(C_{G1,2} + C_{F1,2} + C_{gs1,2}) - C_{F1,2}g_{m1,2}r_{o1,2}} \quad (\text{ก.10})$$

$$R_{oA} = \frac{r_{o1,2}}{1 - ag_{m1,2}r_{o1,2}} \quad (\text{ก.11})$$

เมื่อ a มีค่าเท่ากับ

$$a \cong \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \quad (\text{ก.12})$$

หาค่า R_{oB}

$$R_{oB} = \frac{1}{g_{m3}} \parallel \frac{1}{g_{m5}} = \frac{g_{m3}g_{m5}}{g_{m5} + g_{m3}} \quad (\text{ก.13})$$

$$R_{oB} = \frac{1}{g_{m3} - g_{m5}} = \frac{1}{g_{m5} - g_{m3}} = \frac{1}{1 - (g_{m3} / g_{m5})} \quad (\text{ก.14})$$

หาค่า $R_{o1,2}$

$$R_{o1,2} = R_{oA} \parallel R_{oB} \quad (\text{ก.15})$$

$$R_{o1,2} = \frac{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} \times \frac{1}{1 - (g_{m3} / g_{m5})}}{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} + \frac{1}{1 - (g_{m3} / g_{m5})}} \quad (\text{ก.16})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ b มีค่าเท่ากับ

$$b \cong \frac{g_{m3,4}}{g_{m5,6}} \quad (\text{ก.17})$$

$$R_{o1,2} = \frac{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} \times \frac{1}{1-b}}{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} + \frac{1}{1-b}} \quad (\text{ก.18})$$

$$R_{o1,2} = \frac{r_{o1,2}}{r_{o1,2}(1-b) + 1 + ag_{m1,2}r_{o1,2}} \quad (\text{ก.19})$$

$R_{o1,2}$ มีค่าเท่ากับ

$$R_{o1,2} = \frac{r_{o1,2}}{1 - r_{o1,2}(ag_{m1,2} + b - 1)} \quad (\text{ก.20})$$

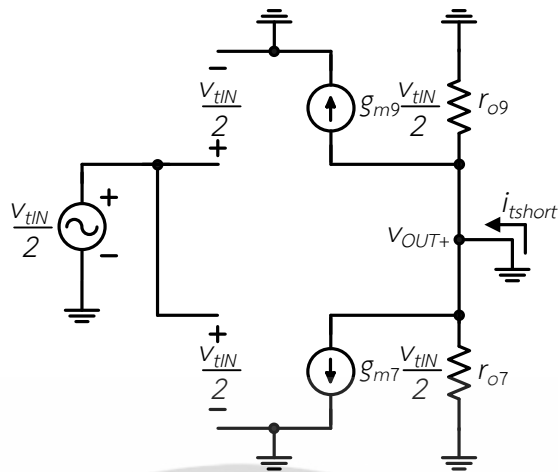
A_{vd1} มีค่าเท่ากับ $-G_{m1}R_{o1,2}$ ซึ่งมีค่าเท่ากับ

$$A_{vd1} = \frac{-(g_{m1,2}/2)r_{o1,2}}{1 - r_{o1,2}(ag_{m1,2} + b - 1)} \quad (\text{ก.21})$$

การหาค่าทรานส์คอนดักแตนซ์ (G_{m2}) ของวงจรภาคที่สองหรือวงจรภาคเอาต์พุตโดยการป้อนแรงดันทดสอบ (v_{tIN}) และหากระแสลัดวงจร (i_{tshort}) รูปที่ ก.4 แสดงวงจรเสมือนสัญญาณขนาดเล็ก G_{m2} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $v_{tIN}/2$ ซึ่งมีค่าเท่ากับ

$$G_{m2} = g_{m7,8} + g_{m9,10} \quad (\text{ก.22})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.3 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m2}

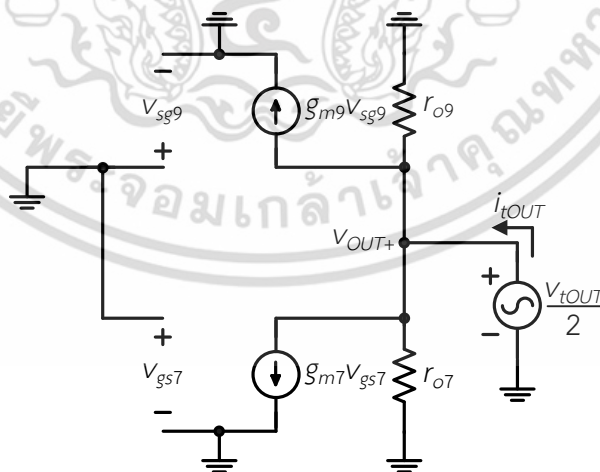
การหาค่าความต้านทานเสมือนด้านเอาต์พุต (R_{OUT}) ของวงจรโธที่เอภาคที่สองโดยการป้อนแรงดันทดสอบที่เอาต์พุต (V_{tOUT}) และหากระแส i_{tOUT} ของวงจรรภาคที่สอง รูปที่ ก.5 แสดงการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็ก

R_{OUT} มีค่าเท่ากับอัตราส่วนระหว่าง $V_{tOUT}/2$ และ i_{tOUT} และมีค่าเท่ากับ

$$R_{out} = r_{o7,8} \parallel r_{o9,10} \quad (\text{ก.23})$$

อัตราขยายสัญญาณโหมดผลต่างวงจรรภาคที่สองมีค่าเท่ากับ

$$A_{vd2} = (g_{m7,8} + g_{m9,10}) (r_{o7,8} \parallel r_{o9,10}) \quad (\text{ก.24})$$

รูปที่ ก.4 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา R_{out}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายสัญญาณโหมตผลต่างของวงจรโอทีเอทีนำเสนอมีค่าเท่ากับ $A_{vd} = A_{vd1}A_{vd2}$

$$A_{vd} \cong \frac{g_{m1,2} (g_{m7,8} + g_{m9,10}) r_{o1,2} (r_{o7,8} // r_{o9,10})}{1 - r_{o1,2} (a g_{m1,2} + b - 1)} \quad (\text{ก.25})$$

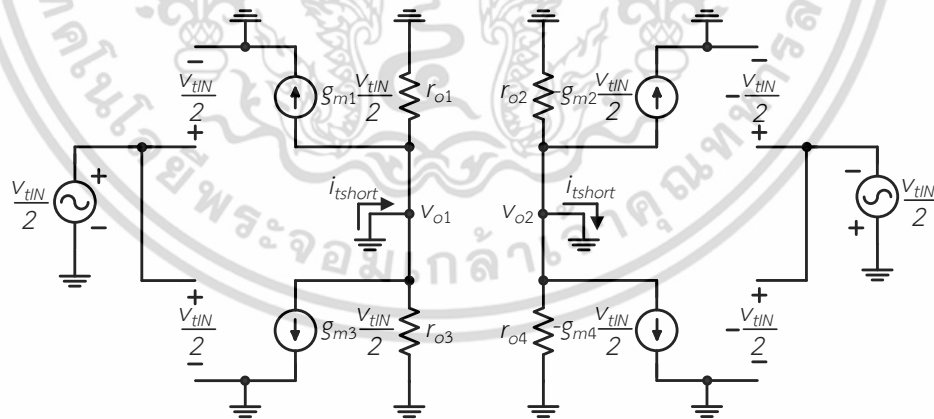
ก.2 การวิเคราะห์หาอัตราขยายโหมตผลต่างของวงจรโอทีเอทีนำเสนอ

การวิเคราะห์หาอัตราขยายโหมตผลต่างของวงจรโอทีเอทีนำเสนอทำได้ด้วยการหาอัตราขยายโหมตผลต่างของวงจรโอทีเอภาคที่หนึ่ง (A_{vd1}) และภาคที่สอง (A_{vd2}) อัตราขยายโหมตผลต่างของวงจรโอทีเอมีค่าเท่ากับผลคูณของอัตราขยายโหมตผลต่างของวงจรโอทีเอภาคที่หนึ่ง และภาคที่สอง อัตราขยายโหมตผลต่างของวงจรโอทีเอภาคที่หนึ่งมีค่าเท่ากับ $G_{m1}R_{o1,2}$ ค่า G_{m1} สามารถหาได้โดยการป้อนแรงดันทดสอบที่อินพุต (v_{tIN}) ดังแสดงในรูปที่ ก.6

$$i_{short} = (g_{m1,2} + g_{m3,4}) \frac{V_{tIN}}{2} \quad (\text{ก.26})$$

G_{m1} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $V_{tIN}/2$ และมีค่าเท่ากับ

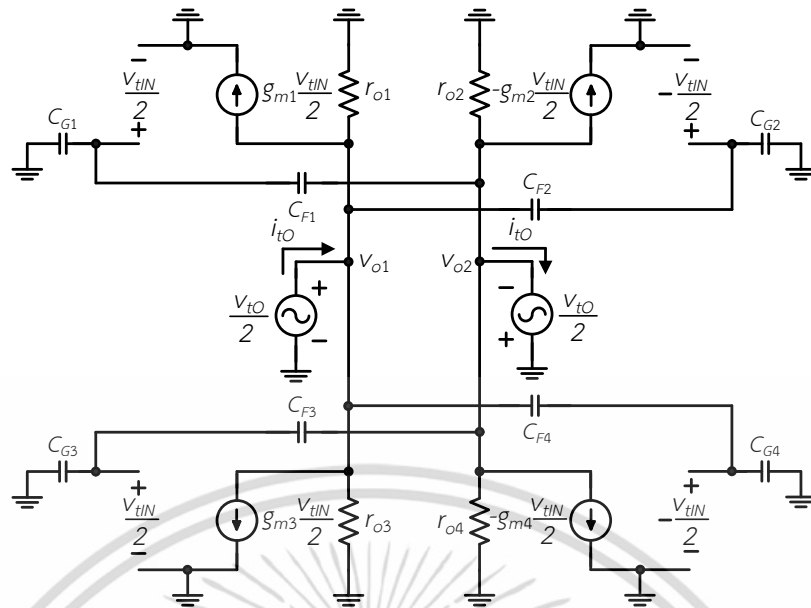
$$G_{m1} = \frac{i_{short}}{V_{tIN}} = (g_{m1,2} + g_{m3,4}) / 2 \quad (\text{ก.27})$$



รูปที่ ก.5 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m1}

การวิเคราะห์หาค่า $R_{o1,2}$ ของวงจรภาคที่หนึ่งทำได้โดยการป้อนแรงดันทดสอบ (v_{tOUT}) ที่เอาต์พุต เพื่อหากระแสทดสอบที่ไหลเข้าภาคเอาต์พุต (i_{tOUT}) ของวงจรเทียบเคียงสัญญาณขนาดเล็ก ดังแสดงในรูปที่ ก.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.6 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{o1,2}$

เนื่องจากค่า R_{oA} และ R_{oB} ได้หาไว้ก่อนหน้าแล้วซึ่งมีค่าเท่ากับ

$$R_{oA} = \frac{r_{o1,2}}{1 - a g_{m1,2} r_{o1,2}} \tag{ก.28}$$

$$R_{oB} = \frac{r_{o3,4}}{1 - b g_{m3,4} r_{o3,4}} \tag{ก.29}$$

เมื่อ a และ b มีค่าเท่ากับ

$$a \cong \frac{C_{F1,2}}{C_{G1,2} + C_{F1,2} + C_{gs1,2}} \tag{ก.30}$$

$$b \cong \frac{C_{F3,4}}{C_{G3,4} + C_{F3,4} + C_{gs3,4}} \tag{ก.31}$$

หาค่า $R_{o1,2}$

$$R_{o1,2} = R_{oA} \parallel R_{oB} \tag{ก.32}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{o1,2} = \frac{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} \times \frac{r_{o3,4}}{1 + bg_{m3,4}r_{o3,4}}}{\frac{r_{o1,2}}{1 + ag_{m1,2}r_{o1,2}} + \frac{r_{o3,4}}{1 + bg_{m3,4}r_{o3,4}}} \quad (3.33)$$

เราจะได้ว่า $R_{o1,2}$ มีค่าเท่ากับ

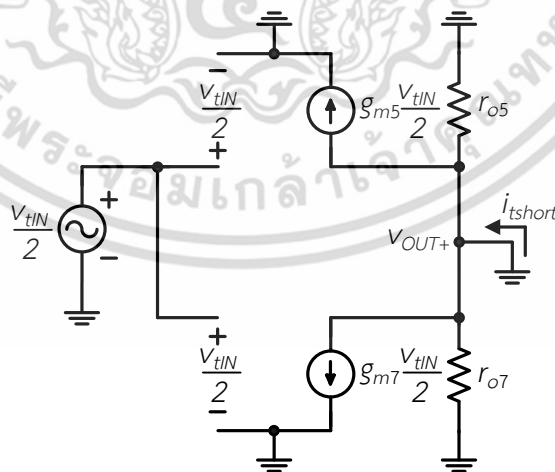
$$R_{o1,2} = \frac{r_{o1,2}r_{o3,4}}{r_{o1,2}(1 - ag_{m1,2}r_{o1,2}) + r_{o3,4}(1 - bg_{m3,4}r_{o3,4})} \quad (3.34)$$

อัตราขยายสัญญาณโหมดผลต่างวงจรรวมแรก A_{vd1} มีค่าเท่ากับ

$$A_{vd1} = \frac{-\left[\frac{g_{m1,2} + g_{m3,4}}{2}\right]r_{o1,2}r_{o3,4}}{r_{o1,2}(1 - ag_{m1,2}r_{o1,2}) + r_{o3,4}(1 - bg_{m3,4}r_{o3,4})} \quad (3.35)$$

การวิเคราะห์หา G_{m2} ของวงจรรวมที่สองโดยการป้อน v_{tN} และหากระแส i_{tshort} รูปที่ ก.8 แสดงการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็ก G_{m2} มีค่าเท่ากับอัตราส่วนระหว่าง i_{tshort} และ $v_{tN}/2$ และมีค่าเท่ากับ

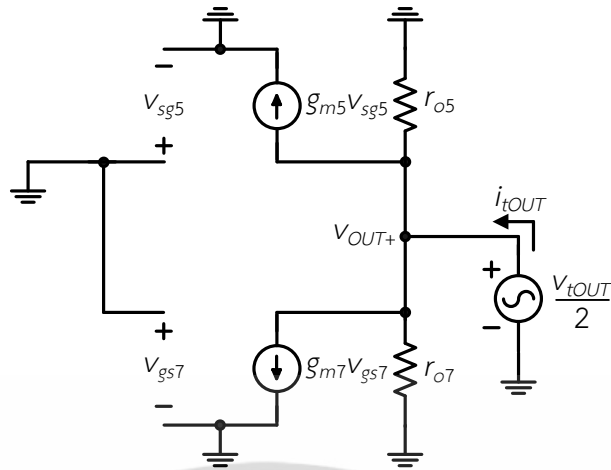
$$G_{m2} = (g_{m5,6} + g_{m7,8}) \quad (3.36)$$



รูปที่ ก.7 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา G_{m2}

การวิเคราะห์หา $R_{out+,-}$ ของวงจรรวมที่สองทำได้จากการวิเคราะห์ห้วงจรเทียบเคียงสัญญาณขนาดเล็กในรูปที่ ก.9 เราสามารถหา $R_{out+,-}$ ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.8 วงจรเสมือนสัญญาณขนาดเล็กเพื่อหา $R_{out+,-}$

$$R_{out+,-} = r_{o5,6} \parallel r_{o7,8} \quad (\text{ก.37})$$

A_{vd2} มีค่าเท่ากับ

$$A_{vd2} = -(g_{m5,6} + g_{m7,8})(r_{o5,6} \parallel r_{o7,8}) \quad (\text{ก.38})$$

อัตราขยายสัญญาณโหมดผลต่างมีค่าเท่ากับ $A_{vd} = A_{vd1}A_{vd2}$ ซึ่งสามารถเขียนได้ว่า

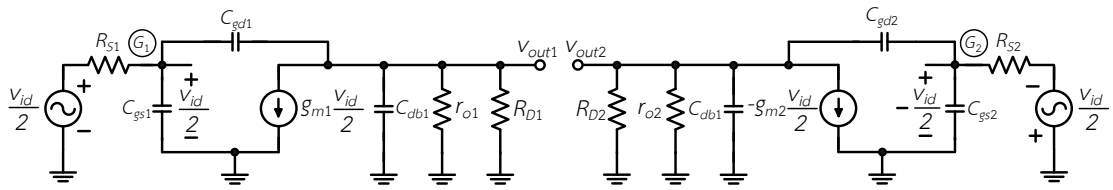
$$A_{vd} = \frac{(g_{m1,2} + g_{m3,4})(g_{m5,6} + g_{m7,8})r_{o1,2}r_{o3,4}(r_{o5,6} \parallel r_{o7,8})}{r_{o1,2}(1 - ag_{m1,2}r_{o1,2}) + r_{o3,4}(1 - bg_{m3,4}r_{o3,4})} \quad (\text{ก.39})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.1 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรขยายผลต่างพื้นฐาน



รูปที่ ข.1 วงจรเสมือนสัญญาณขนาดเล็กและตัวเก็บประจุแฝง

ที่โหนด $G_{1,2}$

$$\left(\frac{V_{gs1,2} - V_{in}}{R_{S1,2}} \right) + sC_{gs1,2}V_{gs1,2} + sC_{gd1,2}(V_{gs1,2} - V_{out1,2}) = 0 \quad (\text{ข.1})$$

$$V_{gs1,2} - V_{in} + sR_{s1,2}C_{gs1,2}V_{gs1,2} + sR_{s1,2}C_{gd1,2}(V_{gs1,2} - V_{out1,2}) = 0 \quad (\text{ข.2})$$

$$V_{gs1,2} - V_{in} + sR_{s1,2}C_{gs1,2}V_{gs1,2} + sR_{s1,2}C_{gd1,2}V_{gs1,2} - sR_{s1,2}C_{gd1,2}V_{out1,2} = 0 \quad (\text{ข.3})$$

$$\left[1 + sR_{s1,2}(C_{gs1,2} + C_{gd1,2}) \right] V_{gs1,2} = V_{in} + sR_{s1,2}C_{gd1,2}V_{out1,2} \quad (\text{ข.4})$$

$$V_{gs1,2} = \frac{V_{in} + sR_{s1,2}C_{gd1,2}V_{out1,2}}{\left[1 + sR_{s1,2}(C_{gs1,2} + C_{gd1,2}) \right]} \quad (\text{ข.5})$$

ที่โหนด $V_{out1,2}$

$$g_{m1,2}V_{gs1,2} + \left(R_{D1,2} \parallel \frac{1}{sC_{db1,2}} \right) V_{out1,2} = sC_{gd1,2}V_{gs1,2} - sC_{gd1,2}V_{out1,2} \quad (\text{ข.6})$$

$$g_{m1,2}V_{gs1,2} + \frac{R_{D1,2}}{1 + sR_{D1,2}C_{db1,2}} V_{out1,2} = sC_{gd1,2}V_{gs1,2} - sC_{gd1,2}V_{out1,2} \quad (\text{ข.7})$$

$$g_{m1,2}V_{gs1,2} + \left(\frac{1}{R_{D1,2}} + sC_{db1,2} \right) V_{out1,2} = sC_{gd1,2}V_{gs1,2} - sC_{gd1,2}V_{out1,2} \quad (\text{ข.8})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{1}{R_{D1,2}} + sC_{db1,2} + sC_{gd1,2} \right) V_{out1,2} = - \left(g_{m1,2} - sC_{gd1,2} \right) V_{gs1,2} \quad (\text{ข.9})$$

$$\left[\frac{1}{R_{D1,2}} + s \left(C_{db1,2} + C_{gd1,2} \right) \right] V_{out1,2} = - \left(g_{m1,2} - sC_{gd1,2} \right) V_{gs1,2} \quad (\text{ข.10})$$

$$\left[\frac{1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right)}{R_{D1,2}} \right] V_{out1,2} = - \left(g_{m1,2} - sC_{gd1,2} \right) V_{gs1,2} \quad (\text{ข.11})$$

$$V_{out1,2} = \frac{- \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2} V_{gs1,2}}{1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right)} \quad (\text{ข.12})$$

$$V_{out1,2} = \frac{- \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2}}{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right]} \times \frac{V_{in} + sR_{s1,2} C_{gd1,2} V_{out1,2}}{\left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right]} \quad (\text{ข.13})$$

$$V_{out1,2} + \frac{sR_{s1,2} \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2} C_{gd1,2} V_{out1,2}}{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right] \left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right]} \quad (\text{ข.14})$$

$$= \frac{- \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2} V_{in}}{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right] \left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right]} \\ + \frac{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right] \left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right] V_{out1,2}}{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right] \left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right]} \\ + sR_{s1,2} \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2} C_{gd1,2} V_{out1,2} = - \left(g_{m1,2} - sC_{gd1,2} \right) R_{D1,2} V_{in} \quad (\text{ข.15})$$

$$\frac{V_{out1,2}}{V_{in}}(s) = \frac{-g_{m1,2}R_{D1,2} + sC_{gd1,2}R_{D1,2}}{\left[1 + sR_{D1,2} \left(C_{db1,2} + C_{gd1,2} \right) \right] \left[1 + sR_{s1,2} \left(C_{gs1,2} + C_{gd1,2} \right) \right]} \\ + sR_{s1,2} C_{gd1,2} \left(g_{m1,2} R_{D1,2} - sC_{gd1,2} R_{D1,2} \right) \quad (\text{ข.16})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out1,2}}{V_{in}}(s) = \frac{-g_{m1,2}R_{D1,2} + sC_{gd1,2}R_{D1,2}}{1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) + sR_{s1,2}(C_{gs1,2} + C_{gd1,2}) + sR_{s1,2}C_{gd1,2}g_{m1,2}R_{D,2}} \quad (\text{ข.17})$$

$$+ s^2 R_{D1,2} R_{s1,2} (C_{gs1,2} + C_{gd1,2}) (C_{db1,2} + C_{gd1,2}) - s^2 R_{s1,2} C_{gd1,2} C_{gd1,2} R_{D1,2}$$

$$\frac{V_{out1,2}}{V_{in}}(s) = \frac{-g_{m1,2}R_{D1,2} \left(1 - s \frac{C_{gd1,2}}{g_{m1,2}}\right)}{1 + s \left[R_{D1,2} (C_{db1,2} + C_{gd1,2}) + R_{s1,2} (C_{gs1,2} + C_{gd1,2}) + R_{s1,2} R_{D1,2} C_{gd1,2} g_{m1,2} \right]} \quad (\text{ข.18})$$

$$+ s^2 \left[R_{s1,2} R_{D1,2} (C_{gs1,2} + C_{gd1,2}) (C_{db1,2} + C_{gd1,2}) - R_{s1,2} R_{D1,2} C_{gd1,2} C_{gd1,2} \right]$$

$$A_{vd} = \frac{-g_{m1,2}R_D \left(1 - \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (\text{ข.19})$$

เมื่อ ω_z , ω_{p1} และ ω_{p2} มีค่าเท่ากับ

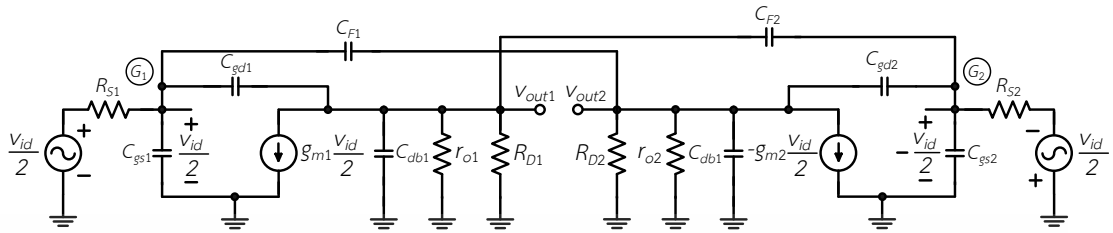
$$\omega_z \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (\text{ข.20})$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[C_{gd1,2} (1 + g_{m1,2}R_{D1,2}) + C_{gs1,2} \right] + R_{D1,2} (C_{gd1,2} + C_{db1,2})} \quad (\text{ข.21})$$

$$\omega_{p2} = \frac{R_{s1,2} \left[C_{gd1,2} (1 + g_{m1,2}R_{D1,2}) + C_{gs1,2} \right] + R_{D1,2} (C_{gd1,2} + C_{db1,2})}{R_{s1,2} R_{D1,2} \left[C_{gs1,2} (C_{gd1,2} + C_{db1,2}) + C_{gd1,2} C_{db1,2} \right]} \quad (\text{ข.22})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรขยายผลต่างพื้นฐานที่ใช้วิธีการชดเชยตัวเก็บประจุ



รูปที่ ข.2 วงจรเสมือนสัญญาณขนาดเล็ก และตัวเก็บประจุแฝง

ที่โหนด $G_{1,2}$

$$\frac{V_{gs1,2} - V_{in}}{R_{s1,2}} + sC_{gs1,2}V_{gs1,2} + (V_{gs1,2} - V_{out1,2})sC_{gd1,2} + (V_{gs1,2} + V_{out1,2})sC_{F1,2} = 0 \quad (\text{ข.23})$$

$$V_{gs1,2} - V_{in} + sR_{s1,2}C_{gs1,2}V_{gs1,2} + sR_{s1,2}C_{gd1,2}V_{gs1,2} - sR_{s1,2}C_{gd1,2}V_{out1,2} + sR_{s1,2}C_{F1,2}V_{gs1,2} + sR_{s1,2}C_{F1,2}V_{out1,2} = 0 \quad (\text{ข.24})$$

$$\left[1 + sR_{s1,2}(C_{gs1,2} + C_{gd1,2} + C_{F1,2}) \right] V_{gs1,2} - V_{in} - sR_{s1,2}(C_{gd1,2} - C_{F1,2})V_{out1,2} = 0 \quad (\text{ข.25})$$

$$V_{gs1,2} = \frac{V_{in} + sR_{s1,2}(C_{gd1,2} - C_{F1,2})V_{out1,2}}{\left[1 + sR_{s1,2}(C_{gs1,2} + C_{gd1,2} + C_{F1,2}) \right]} = \frac{V_{in} + sR_{s1,2}(C_{gd1,2} - C_{F1,2})V_{out1,2}}{\left[1 + sR_{s1,2}C_A \right]} \quad (\text{ข.26})$$

กำหนดให้ $C_A = C_{gs1,2} + C_{gd1,2} + C_{F1,2}$

ที่โหนด $V_{out1,2}$

$$g_{m1,2}V_{gs1,2} + \left(\frac{1}{R_{D1,2}} + sC_{db1,2} \right) V_{out1,2} = sC_{gd1,2}V_{gs1,2} - sC_{gd1,2}V_{out1,2} \quad (\text{ข.27})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left[\frac{1}{R_{D1,2}} + s(C_{db1,2} + C_{gd1,2}) \right] V_{out1,2} = -(g_{m1,2} - sC_{gd1,2}) V_{gs1,2} \quad (\text{ข.28})$$

$$\left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right] V_{out1,2} = -(g_{m1,2} - sC_{gd1,2}) R_{D1,2} V_{gs1,2} \quad (\text{ข.29})$$

$$V_{out1,2} = \frac{-(g_{m1,2} - sC_{gd1,2}) R_{D1,2} V_{gs1,2}}{\left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \quad (\text{ข.30})$$

$$V_{out1,2} = \frac{-(g_{m1,2} - sC_{gd1,2}) R_{D1,2}}{\left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \times \frac{V_{in} + sR_{s1,2}(C_{gd1,2} - C_{F1,2}) V_{out1,2}}{\left[1 + sR_{s1,2}C_A \right]} \quad (\text{ข.31})$$

$$\begin{aligned} & \left[1 + \frac{(g_{m1,2} - sC_{gd1,2}) sR_{s1,2}(C_{gd1,2} - C_{F1,2}) R_{D1,2}}{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \right] V_{out1,2} \\ & = \frac{-(g_{m1,2} - sC_{gd1,2}) R_{D1,2} V_{in}}{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \\ & + \frac{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right] V_{out1,2}}{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \\ & + (g_{m1,2} R_{D1,2} - sC_{gd1} R_{D1,2}) sR_{s1,2}(C_{gd1,2} - C_{F1,2}) V_{out1,2} = -(g_{m1,2} - sC_{gd1,2}) R_{D1,2} V_{in} \end{aligned} \quad (\text{ข.32})$$

$$+ (g_{m1,2} R_{D1,2} - sC_{gd1} R_{D1,2}) sR_{s1,2}(C_{gd1,2} - C_{F1,2}) V_{out1,2} = -(g_{m1,2} - sC_{gd1,2}) R_{D1,2} V_{in} \quad (\text{ข.33})$$

$$\begin{aligned} \frac{V_{out1,2}}{V_{in}}(s) &= \frac{-g_{m1,2} R_{D1,2} + sC_{gd1,2} R_{D1,2}}{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \\ & \quad + \frac{(g_{m1,2} R_{D1,2} - sC_{gd1} R_{D1,2}) sR_{s1,2}(C_{gd1,2} - C_{F1,2})}{\left[1 + sR_{s1,2}C_A \right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) \right]} \end{aligned} \quad (\text{ข.34})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out1,2}(s)}{V_{in}} = \frac{-g_{m1,2}R_{D1,2} \left(1 - s \frac{C_{gd1,2}}{g_{m1,2}}\right)}{\left[1 + sR_{s1,2}C_A\right] \left[1 + sR_{D1,2}(C_{db1,2} + C_{gd1,2})\right]} + \frac{(g_{m1,2}R_{D1,2} - sC_{gd1,2}R_{D1,2})sR_{s1,2}(C_{gd1,2} - C_{F1,2})}{\left[1 + sR_{s1,2}C_A + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) + s^2R_{s1,2}R_{D1,2}C_A(C_{db1,2} + C_{gd1,2}) + sR_{s1,2}R_{D1,2}g_{m1,2}(C_{gd1,2} - C_{F1,2}) - s^2R_{D1,2}R_{s1,2}C_{gd1,2}(C_{gd1,2} - C_{F1,2})\right]} \quad (\text{ข.35})$$

$$\frac{V_{out1,2}(s)}{V_{in}} = \frac{-g_{m1,2}R_{D1,2} \left(1 - s \frac{C_{gd1,2}}{g_{m1,2}}\right)}{1 + sR_{s1,2}C_A + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) + s^2R_{s1,2}R_{D1,2}C_A(C_{db1,2} + C_{gd1,2})} + \frac{sR_{s1,2}R_{D1,2}g_{m1,2}(C_{gd1,2} - C_{F1,2}) - s^2R_{D1,2}R_{s1,2}C_{gd1,2}(C_{gd1,2} - C_{F1,2})}{\left[1 + sR_{s1,2}C_A + sR_{D1,2}(C_{db1,2} + C_{gd1,2}) + s^2R_{s1,2}R_{D1,2}C_A(C_{db1,2} + C_{gd1,2}) + sR_{s1,2}R_{D1,2}g_{m1,2}(C_{gd1,2} - C_{F1,2}) - s^2R_{D1,2}R_{s1,2}C_{gd1,2}(C_{gd1,2} - C_{F1,2})\right]} \quad (\text{ข.36})$$

$$\frac{V_{out1,2}(s)}{V_{in}} = \frac{-g_{m1,2}R_{D1,2} \left(1 - s \frac{C_{gd1,2}}{g_{m1,2}}\right)}{1 + s \left[R_{s1,2}C_A + R_{D1,2}(C_{db1,2} + C_{gd1,2}) + R_{s1,2}R_{D1,2}g_{m1,2}(C_{gd1,2} - C_{F1,2}) \right]} + \frac{s^2R_{s1,2}R_{D1,2} \left[C_A(C_{db1,2} + C_{gd1,2}) - C_{gd1,2}(C_{gd1,2} - C_{F1,2}) \right]}{\left[1 + s \left[R_{s1,2}C_A + R_{D1,2}(C_{db1,2} + C_{gd1,2}) + R_{s1,2}R_{D1,2}g_{m1,2}(C_{gd1,2} - C_{F1,2}) \right] + s^2R_{s1,2}R_{D1,2} \left[C_A(C_{db1,2} + C_{gd1,2}) - C_{gd1,2}(C_{gd1,2} - C_{F1,2}) \right] \right]} \quad (\text{ข.37})$$

เมื่อ ω_z ω_{p1} และ ω_{p2} มีค่าเท่ากับ

$$\omega_z \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (\text{ข.38})$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[g_{m1,2}R_D(C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_D C_{o1,2}} \quad (\text{ข.39})$$

$$\omega_{p2} \cong \frac{R_{s1,2} \left[g_{m1,2}R_D(C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_D C_{o1,2}}{R_{s1,2}R_D \left[C_{i1,2}(C_{gd1,2} + C_{db1,2}) - C_{gd1,2}(C_{gd1,2} - C_{F1,2}) \right]} \quad (\text{ข.40})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

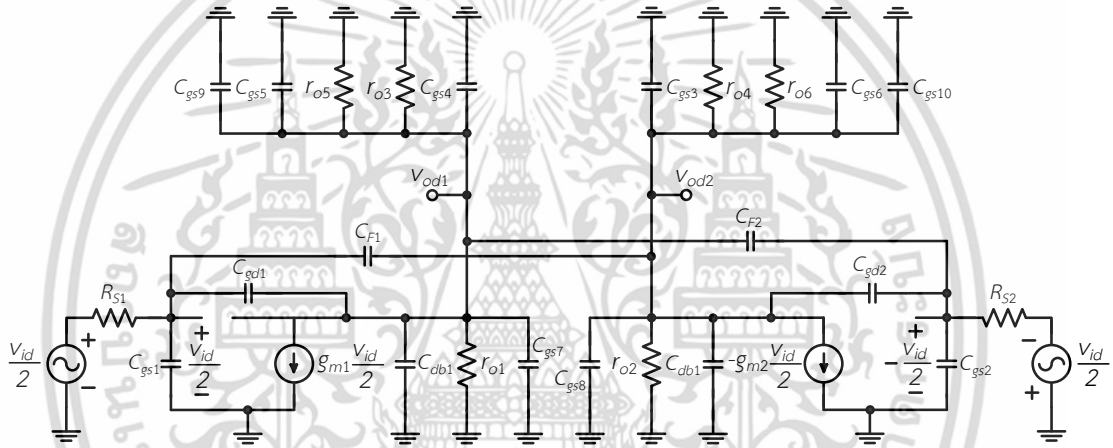
เมื่อ $C_{i1,2}$ และ $C_{o1,1}$ มีค่าเท่ากับ

$$C_{i1,2} = C_{gs1,2} + C_{gd1,2} + C_{F1,2} \quad (\text{ข.41})$$

$$C_{o1,2} = C_{gd1,2} + C_{F1,2} + C_{db1,2} \quad (\text{ข.42})$$

ข.3 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรโอทีเอเอาต์พุตผลต่าง

การวิเคราะห์หาฟังก์ชันถ่ายโอนเพื่อวิเคราะห์หาผลการตอบสนองทางความถี่สามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กดังที่แสดงในรูปที่ ข.3 และ ข.4 การวิเคราะห์เริ่มจากการหาอัตราขยายแรงดันของวงจรโอทีเอภาคแรก และอัตราขยายแรงดันของวงจรโอทีเอภาคที่สอง โดยพิจารณาว่าตัวเก็บประจุ $C_{gd7,8(9,10)}$ มีค่าน้อยกว่า $C_{c1,2}$ มาก ฟังก์ชันถ่ายโอนมีค่าเท่ากับ



รูปที่ ข.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอเอาต์พุตผลต่างวงจรภาคแรก

เนื่องจากวิธีการวิเคราะห์ห้วงจรมีลักษณะเดียวกับวงจรในรูปที่ ข.2 ดังนั้น สมการฟังก์ชันถ่ายโอนของวงจรโอทีเอเอาต์พุตผลต่างวงจรภาคแรกเขียนได้ดังนี้

$$\frac{V_{out1,2}(s)}{V_{in}} = \frac{-g_{m1,2}R_{o1,2} \left(1 - s \frac{C_{gd1,2}}{g_{m1,2}} \right)}{1 + s \left[R_{s1,2}C_{i1,2} + R_{o1,2} \left(C_B + C_{gd1,2} \right) + R_{s1,2}R_{o1,2}g_{m1,2} \left(C_{gd1,2} - C_{F1,2} \right) \right] + s^2 R_{s1,2}R_{o1,2} \left[C_{i1,2} \left(C_B + C_{gd1,2} \right) - C_{gd1} \left(C_{gd1,2} - C_{F1,2} \right) \right]} \quad (\text{ข.43})$$

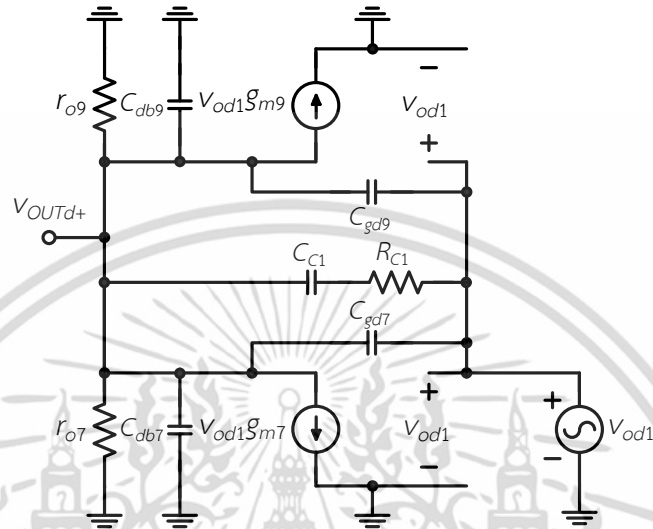
เมื่อ $C_{i1,2}$ $C_{B1,2}$ และ $R_{o1,2}$

$$C_{i1,2} = C_{gs1,2} + C_{gd1,2} + C_{F1,2} \quad (\text{ข.44})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_B = C_{db1,2} + C_{gd3,4} + C_{gs3,4} + C_{gs5,6} + C_{gs7,8} + C_{gs9,10} \quad (ข.45)$$

$$R_{o1,2} = r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6} \quad (ข.46)$$



รูปที่ ข.4 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอภาคที่สอง

ที่โหนด V_{out}

$$Z_{F3} = \frac{1}{sC_{gda}} \parallel \left(\frac{1}{sC_C} + R_C \right) = \frac{\frac{1}{sC_{gda}} \times \left(\frac{1}{sC_C} + R_C \right)}{\frac{1}{sC_{gda}} + \frac{1}{sC_C} + R_C} \quad (ข.47)$$

$$= \frac{1}{sC_{gda}} \times \left(\frac{1}{sC_C} + R_C \right) \times \frac{sC_{gda} sC_C}{sC_C + sC_{gda} + sC_{gda}^2 C_C R_C} \quad (ข.48)$$

$$= \frac{1 + sC_C R_C}{sC_{gda}^2 C_C R_C + s(C_C + C_{gda})} \quad (ข.49)$$

$$Z_{o3} = \frac{1}{sC_{o3}} \parallel r_{out} = \frac{\frac{1}{sC_{o3}} \times r_{out}}{\frac{1}{sC_{o3}} + r_{out}} \quad (ข.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_{o3} = \frac{r_{out}}{1 + sC_{o3}r_{out}} \quad (\text{ข.51})$$

$$\frac{V_{od1} - V_{out}}{Z_{F3}} = G_{m2}V_{od1} + \frac{V_{out}}{Z_{o3}} \quad (\text{ข.52})$$

$$V_{od1} - V_{out} = G_{m2}Z_{F3}V_{od1} + \frac{Z_{F3}}{Z_{o3}}V_{out} \quad (\text{ข.53})$$

$$-\left(1 + \frac{Z_{F3}}{Z_{o3}}\right)V_{out} = (G_{m2}Z_{F3} - 1)V_{od1} \quad (\text{ข.54})$$

$$V_{out+,-} = \frac{(G_{m2}Z_{F3} - 1)V_{od1}}{\left(1 + \frac{Z_{F3}}{Z_{o3}}\right)} = \frac{(G_{m2}Z_{F3} - 1)Z_{o3}V_{od1,2}}{Z_{o3} + Z_{F3}} \quad (\text{ข.55})$$

$$= \frac{\left(G_{m2} \frac{1 + sC_C R_C}{sC_{gda}^2 C_C R_C + s(C_C + C_{gda})} - 1\right) R_{out+,-} V_{od1,2}}{\frac{R_{out+,-}}{1 + sC_{o3} R_{out+,-}} + \frac{1 + sC_C R_C}{sC_{gda}^2 C_C R_C + s(C_C + C_{gda})}} \quad (\text{ข.56})$$

$$V_{out+,-} = -\frac{\left(G_{m2} (1 + sC_C R_C) - \left[sC_{gda}^2 C_C R_C + s(C_C + C_{gda})\right]\right) R_{out+,-} V_{od1,2}}{R_{out+,-} \left[sC_{gda}^2 C_C R_C + s(C_C + C_{gda})\right] + (1 + sC_C R_C)(1 + sC_{o3} R_{out+,-})} \quad (\text{ข.57})$$

สมมติ $C_{gda} = 0$

$$V_{out+,-} = -\frac{\left[G_{m2} (1 + sC_C R_C) - sC_C\right] R_{out+,-} V_{od1,2}}{sC_C R_{out+,-} + (1 + sC_C R_C)(1 + sC_{o3} R_{out+,-})} \quad (\text{ข.58})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= -\frac{[G_{m2} + sG_{m2}C_C R_C - sC_C]R_{out+,-}V_{od1,2}}{1 + s(C_C R_C + C_C R_{out+,-} + C_{o3} R_{out+,-}) + s^2 C_C R_C C_{o3} R_{out+,-}} \quad (\text{ข.59})$$

$$= -\frac{G_{m2}R_{out+,-}(1 + sC_C R_C)V_{od1,2}}{1 + s(C_C R_C + C_C R_{out+,-} + C_{o3} R_{out+,-}) + s^2 C_C R_C C_{o3} R_{out+,-}} \quad (\text{ข.60})$$

หาค่า $A_{vd2} = \frac{V_{out+,-}}{V_{od1,2}}(s)$

$$V_{out+,-}(s) = \frac{-(G_{m2} + sR_C C_C)R_{out+,-}V_{od1,2}(s)}{1 + (R_C C_C + R_{out+,-}C_C + R_{out+,-}C_{o3})s + R_C R_{out+,-}C_C C_{o3}s^2} \quad (\text{ข.61})$$

$$\frac{V_{out+,-}}{V_{od1,2}}(s) = \frac{-G_{m2}R_{out+,-}\left(1 + s\frac{R_C C_C}{G_{m2}}\right)}{1 + (R_C C_C + R_{out+,-}C_C + R_{out+,-}C_{o3})s + R_C R_{out+,-}C_C C_{o3}s^2} \quad (\text{ข.62})$$

$$\omega_{p3} = \frac{1}{C_C R_C + C_C r_{out} + C_{o3} r_{out}} \quad (\text{ข.63})$$

$$\omega_{p4} = \frac{C_C R_C + C_C r_{out} + C_{o3} r_{out}}{C_C R_C C_{o3} r_{out}} \quad (\text{ข.64})$$

$$\omega_{p4} \cong \frac{C_C (R_C + r_{out})}{C_C R_C C_{o3} r_{out}} \cong \frac{R_C + r_{out}}{R_C r_{out} C_{o3}} \cong \frac{1}{(R_C \parallel r_{out})C_{o3}} \quad (\text{ข.65})$$

$$\frac{V_{OUT}}{V_{IN}}(s) = \frac{g_{m1,2}(g_{m7,8} + g_{m9,10})R_{o1,2}R_{out+,-}\left(1 - \frac{s}{\omega_{z1}}\right)\left(1 - \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)\left(1 + \frac{s}{\omega_{p3}}\right)\left(1 + \frac{s}{\omega_{p4}}\right)} \quad (\text{ข.66})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ω_{z1} ω_{z2} ω_{p1} ω_{p2} ω_{p3} และ ω_{p4} มีค่าเท่ากับ

$$\omega_{z1} \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (\text{ข.67})$$

$$\omega_{z2} \cong \frac{1}{R_{c1,2}C_{c1,2}} \quad (\text{ข.68})$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} \left[g_{m1,2} R_{o1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{o1,2} C_{o1,2}} \quad (\text{ข.69})$$

$$\omega_{p2} \cong \frac{R_{s1,2} \left[g_{m1,2} R_{o1,2} (C_{gd1,2} - C_{F1,2}) + C_{i1,2} \right] + R_{o1,2} C_{o1,2}}{R_{s1,2} R_{o1,2} \left[C_{i1,2} (C_{gd1,2} + C_B) - C_{gd1,2} (C_{gd1,2} - C_{F1,2}) \right]} \quad (\text{ข.70})$$

$$\omega_{p3} \cong \frac{1}{C_{c1,2} R_{c1,2} + C_{c1,2} R_{out+,-} + C_{out+,-} R_{out+,-}} \quad (\text{ข.71})$$

$$\omega_{p4} \cong \frac{R_{c1,2} + R_{out+,-}}{R_{c1,2} R_{out+,-} - C_{out+,-}} \quad (\text{ข.72})$$

เมื่อ $R_{o1,2}$ $R_{out+,-}$ $C_{i1,2}$ $C_{o1,2}$ และ $C_{out+,-}$ มีค่าเท่ากับ

$$R_{o1,2} = r_{o1,2} // r_{o3,4} // r_{o5,6} \quad (\text{ข.73})$$

$$R_{out+,-} = r_{o7,8} // r_{o9,10} \quad (\text{ข.37})$$

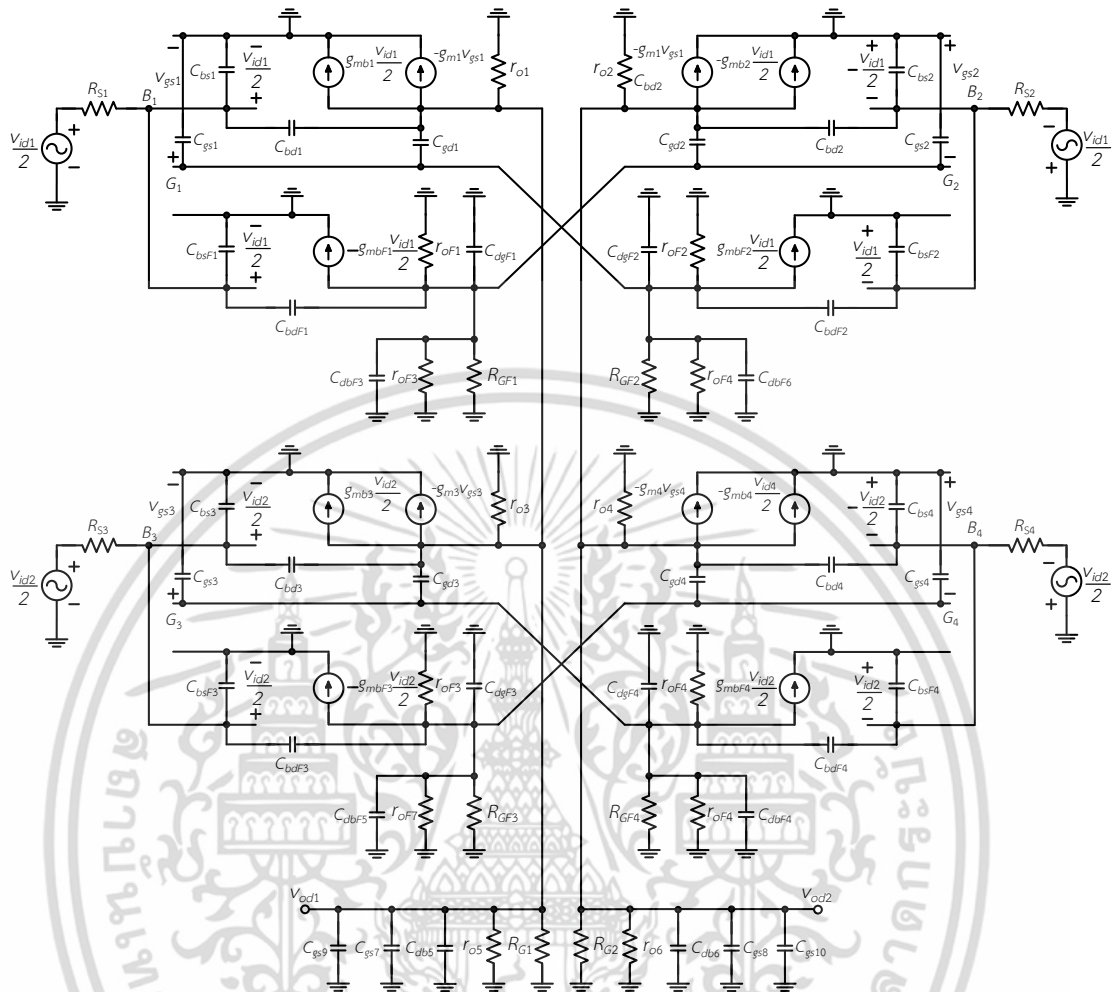
$$C_{i1,2} = C_{gs1,2} + C_{gd1,2} + C_{F1,2} \quad (\text{ข.74})$$

$$C_{o1,2} = C_{gd1,2} + C_{db1,2} + C_{gd3,4} + C_{gs3,4} + C_{gs5,6} + C_{gs7,8} + C_{gs9,10} \quad (\text{ข.75})$$

$$C_{out+,-} = C_{db7,8} + C_{db9,10} \quad (\text{ข.76})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.4 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่าง



รูปที่ ข.5 วงจรเสมือนสัญญาณขนาดเล็กของวงจรโอทีเอแบบอินพุตและเอาต์พุตผลต่างวงจรภาคแรก

กำหนดให้ $R_{oF1,2}$ และ $Z_{oF1,2}$ มีค่าเท่ากับ

$$R_{oF1,2} = r_{oF1,2} \parallel r_{oF3,4} \parallel R_{GF1,2} \tag{ข.77}$$

$$Z_{oF1,2} = R_{oF1,2} \parallel \left(\frac{1}{sC_{gs1,2}} \right) = \frac{R_{oF1,2}}{1 + sR_{oF1,2}C_{gs1,2}} \tag{ข.78}$$

$$sC_{bdF1,2} (v_{bs1,2} - v_{gs1,2}) = g_{mbF1,2} v_{bs1,2} + \frac{v_{gs1,2}}{Z_{oF1,2}} \tag{ข.79}$$

$$sC_{bdF1,2} v_{bs1,2} - sC_{bdF1,2} v_{gs1,2} = g_{mbF1,2} v_{bs1,2} + \frac{v_{gs1,2}}{Z_{oF1,2}} \tag{ข.80}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ขออนุญาตจากเจ้าของลิขสิทธิ์ หากมีข้อผิดพลาดประการใด ขออภัยไว้ล่วงหน้า และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_{F1,2} = \frac{V_{gs1,2}}{V_{bs1,2}} = \frac{g_{mbF1,2} R_{GF1,2} \left(1 - \frac{sZ_{oF1,2} C_{bdF1,2}}{g_{mbF1,2} R_{GF1,2}} \right)}{1 + sZ_{oF1,2} C_{bdF1,2}} \quad (\text{ข.81})$$

กำหนดให้ $R_{o1,2}$ C_{bs} $C_{o1,2}$ และ $Z_{o1,2}$ มีค่าเท่ากับ

$$R_{o1,2} = r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6} \parallel R_{G1,2} \cong r_{o1,2} \parallel r_{o3,4} \parallel r_{o5,6} \quad (\text{ข.82})$$

$$C_{bs} = C_{bs1,2} + C_{bsF1,2} \quad (\text{ข.83})$$

$$C_{o1,2} = C_{bs5,6} + C_{gs7,8} + C_{gs9,10} \quad (\text{ข.84})$$

$$Z_{o1,2} = R_{o1,2} \parallel \left(\frac{1}{sC_{o1,2}} \right) = \frac{R_{o1,2}}{1 + sR_{o1,2} C_{o1,2}} \quad (\text{ข.85})$$

ที่โหนด $B_{1,2}$

$$\frac{V_{bs1,2} - v_{in}}{R_{s1,2}} + sC_{bs} V_{bs1,2} + (V_{bs1,2} - v_{o1,2}) sC_{bd1,2} = 0 \quad (\text{ข.86})$$

$$V_{bs1,2} - v_{in} + sR_{s1,2} C_{bs} V_{bs1,2} + sR_{s1,2} C_{bd1,2} V_{bs1,2} - sR_{s1,2} C_{bd1,2} v_{o1,2} = 0 \quad (\text{ข.87})$$

$$\left[1 + sR_{s1,2} (C_{bs} + C_{bd1,2}) \right] V_{bs1,2} = v_{in} + sR_{s1,2} C_{bd1,2} v_{o1,2} \quad (\text{ข.88})$$

$$V_{bs1,2} = \frac{v_{in} + sR_{s1,2} C_{bd1,2} v_{o1,2}}{\left[1 + sR_{s1,2} (C_{bs} + C_{bd1,2}) \right]} \quad (\text{ข.89})$$

ที่โหนด $v_{o1,2}$

$$sC_{bd1,2} (V_{bs1,2} - v_{o1,2}) + sC_{gd1,2} (V_{gs1,2} - v_{o1,2}) = g_{mb1,2} V_{bs1,2} + g_{m1,2} V_{gs1,2} + \frac{v_{o1,2}}{Z_{o1,2}} \quad (\text{ข.90})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$sC_{bd1,2}V_{bs1,2} - sC_{bd1,2}V_{o1,2} + sC_{gd1,2}V_{gs1,2} - sC_{gd1,2}V_{o1,2} = g_{mb1,2}V_{bs1,2} + g_{m1,2}V_{gs1,2} + \frac{V_{o1,2}}{Z_{o1,2}} \quad (\text{ข.91})$$

กำหนดให้ $V_{gs1,2} = H_F(s)V_{bs1,2}$

$$sC_{bd1,2}V_{bs1,2} - sC_{bd1,2}V_{o1,2} + sC_{gd1,2}H_F(s)V_{bs1,2} - sC_{gd1,2}V_{o1,2} = g_{mb1,2}V_{bs1,2} + g_{m1,2}H_F(s)V_{bs1,2} + \frac{V_{o1,2}}{Z_{o1,2}} \quad (\text{ข.92})$$

$$V_{bs1,2} = \frac{\left[s(C_{bs} + C_{gd1,2}) + (1/Z_{o1,2}) \right] V_{o1,2}}{-\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) + s(C_{bs} + C_{gd1,2}H_F(s))} \quad (\text{ข.93})$$

$$\frac{V_{in} + sR_{s1,2}C_{bd1}V_{o1,2}}{\left[1 + sR_{s1,2}(C_{bs} + C_{bd1,2}) \right]} = \frac{\left[s(C_{bs} + C_{gd1,2}) + (1/Z_{o1,2}) \right] V_{o1,2}}{-\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) + s(C_{bs} + C_{gd1,2}H_F(s))} \quad (\text{ข.94})$$

$$V_{in} = \frac{\left[1 + sR_{s1,2}(C_{bs} + C_{bd1,2}) \right] \left[s(C_{bs} + C_{gd1,2}) + (1/Z_{o1,2}) \right] V_{o1,2}}{-\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) + s(C_{bs} + C_{gd1,2}H_F(s))} + sR_{s1,2}C_{bd1}V_{o1,2} \quad (\text{ข.95})$$

$$\frac{V_{o1,2}}{V_{in}}(s) = \frac{-\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) + s(C_{bs} + C_{gd1,2}H_F(s))}{\left[1 + sR_{s1,2}(C_{bs} + C_{bd1,2}) \right] \left[s(C_{bs} + C_{gd1,2}) + (1/Z_{o1,2}) \right]} + sR_{s1,2}C_{bd1} \left[\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) - s(C_{bs} + C_{gd1,2}H_F(s)) \right] \quad (\text{ข.96})$$

แทนค่า $Z_{o1,2}$

$$\frac{V_{o1,2}}{V_{in}}(s) = \frac{-\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) + s(C_{bs} + C_{gd1,2}H_F(s))}{\left[1 + sR_{s1,2}(C_{bs} + C_{bd1,2}) \right] \left[s(C_{bs} + C_{gd1,2}) + \left(\frac{1 + sR_{o1,2}C_{o1,2}}{R_{o1,2}} \right) \right]} + sR_{s1,2}C_{bd1} \left[\left(g_{m1,2}H_F(s) + g_{mb1,2} \right) - s(C_{bs} + C_{gd1,2}H_F(s)) \right] \quad (\text{ข.97})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{v_{o1,2}}{v_{in}}(s) = \frac{-(g_{m1,2}H_F(s) + g_{mb1,2})R_{o1,2} + sR_{o1,2}(C_{bs} + C_{gd1,2}H_F(s))}{\left[1 + sR_{s1,2}(C_{bs} + C_{bd1,2})\right]\left[1 + sR_{o1,2}(C_{bs} + C_{gd1,2} + C_{o1,2})\right]} + sR_{o1,2}R_{s1,2}C_{bd1} \left[(g_{m1,2}H_F(s) + g_{mb1,2}) - s(C_{bs} + C_{gd1,2}H_F(s)) \right] \quad (\text{ข.98})$$

แทนค่า $H_F(s)$ และพจน์ที่ 1 เท่ากับ

$$\begin{aligned} & -(g_{m1,2}H_F(s) + g_{mb1,2})R_{o1,2} \\ &= \frac{-\left[g_{m1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}} \right) + g_{mb1,2} \left(1 + sZ_{oF1,2}C_{bdF1,2} \right) \right] R_{o1,2}}{1 + sZ_{oF1,2}C_{bdF1,2}} \end{aligned} \quad (\text{ข.99})$$

พจน์ที่ 2 เท่ากับ

$$\begin{aligned} & sR_{o1,2}(C_{bs} + C_{gd1,2}H_F(s)) \\ &= \frac{sR_{o1,2} \left[C_{bs} \left(1 + sZ_{oF1,2}C_{bdF1,2} \right) + C_{gd1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}} \right) \right]}{1 + sZ_{oF1,2}C_{bdF1,2}} \end{aligned} \quad (\text{ข.100})$$

พจน์ที่ 3 เท่ากับ

$$\begin{aligned} & (g_{m1,2}H_F(s) + g_{mb1,2}) \\ &= \frac{\left[g_{m1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}} \right) + g_{mb1,2} \left(1 + sZ_{oF1,2}C_{bdF1,2} \right) \right]}{1 + sZ_{oF1,2}C_{bdF1,2}} \end{aligned} \quad (\text{ข.101})$$

พจน์ที่ 4 เท่ากับ

$$\begin{aligned} & s(C_{bs} + C_{gd1,2}H_F(s)) \\ &= \frac{s \left[C_{bs} \left(1 + sZ_{oF1,2}C_{bdF1,2} \right) + C_{gd1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}} \right) \right]}{1 + sZ_{oF1,2}C_{bdF1,2}} \end{aligned} \quad (\text{ข.102})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเศษของฟังก์ชันถ่ายโอน

$$\begin{aligned}
 & -\left(g_{m1,2}H_F(s) + g_{mb1,2}\right) + s\left(C_{bs} + C_{gd1,2}H_F(s)\right) \\
 & - \left[g_{m1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}}\right) + g_{mb1,2} \left(1 + sZ_{oF1,2}C_{bdF1,2}\right) \right] R_{o1,2} \\
 & = \frac{\hspace{10em}}{1 + sZ_{oF1,2}C_{bdF1,2}} \\
 & + s \left[C_{bs} \left(1 + sZ_{oF1,2}C_{bdF1,2}\right) + C_{gd1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}}\right) \right] \\
 & = \frac{\hspace{10em}}{1 + sZ_{oF1,2}C_{bdF1,2}} \tag{ข.103}
 \end{aligned}$$

ตัวเศษของฟังก์ชันถ่ายโอน

$$\begin{aligned}
 & \left(g_{m1,2}H_F(s) + g_{mb1,2}\right) - s\left(C_{bs} + C_{gd1,2}H_F(s)\right) \\
 & = \frac{\left[g_{m1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}}\right) + g_{mb1,2} \left(1 + sZ_{oF1,2}C_{bdF1,2}\right) \right]}{1 + sZ_{oF1,2}C_{bdF1,2}} \\
 & - \frac{\left[s \left[C_{bs} \left(1 + sZ_{oF1,2}C_{bdF1,2}\right) + C_{gd1,2}g_{mbF1,2}R_{GF1,2} \left(1 - \frac{sZ_{oF1,2}C_{bdF1,2}}{g_{mbF1,2}R_{GF1,2}}\right) \right] \right]}{1 + sZ_{oF1,2}C_{bdF1,2}} \tag{ข.104}
 \end{aligned}$$

หาค่า $v_{o1,2}/v_{in}$

$$\begin{aligned}
 \frac{v_{o1,2}}{v_{in}}(s) & = \frac{-g_{m1,2}g_{mb1,2}R_{o1,2}R_{oF1,2} \left(1 - \frac{sC_{bd}}{g_{m1,2}}\right) \left(1 - \frac{sZ_{oF1,2}C_{bdF}}{g_{mbF1,2}R_{oF1,2}}\right) - g_{mb1,2}R_{oF1,2} \left(1 - \frac{sC_{bd}}{g_{mb1,2}}\right) \left(1 + sZ_{oF1,2}C_{bdF}\right)}{sR_{o1,2}R_{s1,2}C_{bd1,2} \left[g_{m1,2}g_{mb1,2}R_{o1,2}R_{oF1,2} \left(1 - \frac{sC_{bd}}{g_{m1,2}}\right) \left(1 - \frac{sZ_{oF1,2}C_{bdF}}{g_{mbF1,2}R_{oF1,2}}\right) + g_{mb1,2}R_{oF1,2} \left(1 - \frac{sC_{bd}}{g_{mb1,2}}\right) \left(1 + sZ_{oF1,2}C_{bdF}\right) \right]} \\
 & + \frac{\left[1 + sR_{S1,2} \left(C_{bs} + C_{bd1,2}\right) \right] \left[1 + sR_{o1,2} \left(C_{bs} + C_{gd1,2} + C_{o1,2}\right) \right]}{\hspace{10em}} \tag{ข.105}
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $Z_{oF1,2}$ และกำหนดให้ $R_{oF1,2}C_{gs1,2} \gg (C_{bdF1,2}/g_{mbF1,2})$ และ $C_{bs1,2} \ll C_{gs1,2}$

$$\frac{V_{o1,2}(s)}{V_{in}} \cong \frac{-g_{m1,2}g_{mb1,2}R_{o1,2}R_{oF1,2} \left(1 - \frac{sC_{bd}}{g_{m1,2}}\right)}{1 + s \left[R_{s1,2} (C_{bd1,2(3,4)} + C_{bs1,2(3,4)}) + R_{o1,2} (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2}) + g_{m1,2(3,4)}g_{mbF1,2(3,4)}R_{o1,2}R_{s1,2}C_{bd1,2(3,4)} \right]} + s \left[R_{s1,2}R_{o1,2} (C_{bs1,2(3,4)} + C_{bd1,2(3,4)}) (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2}) \right] \quad (\text{ข.106})$$

$$\frac{V_{out}(s)}{V_{in}} \cong \frac{g_{m1,2}g_{mb1,2}G_{m2}R_{o1,2}R_{oF1,2}R_{out+,-} \left(1 - \frac{s}{\omega_{z1}}\right) \left(1 - \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) \left(1 + \frac{s}{\omega_{p4}}\right)} \quad (\text{ข.107})$$

เมื่อ ω_{z1} ω_{z2} ω_{p1} ω_{p2} ω_{p3} และ ω_{p4} มีค่าเท่ากับ

$$\omega_{z1} \cong \frac{g_{m1,2}}{C_{gd1,2}} \quad (\text{ข.108})$$

$$\omega_{z2} \cong \frac{1}{R_{c1,2}C_{c1,2}} \quad (\text{ข.109})$$

$$\omega_{p1} \cong \frac{1}{R_{s1,2} (C_{bd1,2(3,4)} + C_{bs1,2(3,4)}) + R_{o1,2} (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2})} \quad (\text{ข.110})$$

$$\omega_{p2} = \frac{R_{s1,2} (C_{bd1,2(3,4)} + C_{bs1,2(3,4)}) + R_{o1,2} (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2})}{R_{s1,2}R_{o1,2} (C_{bs1,2(3,4)} + C_{bd1,2(3,4)}) (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2})} - \frac{g_{m1,2(3,4)}g_{mbF1,2(3,4)}R_{o1,2}R_{s1,2}C_{bd1,2(3,4)}}{R_{s1,2}R_{o1,2} (C_{bs1,2(3,4)} + C_{bd1,2(3,4)}) (C_{bd1,2(3,4)} + C_{gd1,2(3,4)} + C_{o1,2})} \quad (\text{ข.111})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{p3} \cong -\frac{1}{C_{c1,2}R_{c1,2} + C_{c1,2}R_{out+,-} + C_{out+,-}R_{out+,-}} \quad (\text{ข.112})$$

$$\omega_{p4} \cong -\frac{R_{c1,2} + R_{out+,-}}{R_{c1,2}R_{out+,-}C_{out+,-}} \quad (\text{ข.113})$$

เมื่อ G_{m2} , $R_{o1,2}$, $R_{out+,-}$, $C_{o1,2}$ และ $C_{out+,-}$ มีค่าเท่ากับ

$$G_{m2} = g_{m7,8} + g_{m9,10} \quad (\text{ข.114})$$

$$R_{o1,2} = r_{O1,2(3,4)} \parallel r_{O5,6} \quad (\text{ข.115})$$

$$R_{out+,-} = r_{O7,8} \parallel r_{O9,10} \quad (\text{ข.116})$$

$$C_{o1,2} = C_{bd1,2} + C_{bd3,4} + C_{bdF1,2} + C_{bdF3,4} + C_{db5,6} + C_{gs7,8} + C_{gs9,10} \quad (\text{ข.118})$$

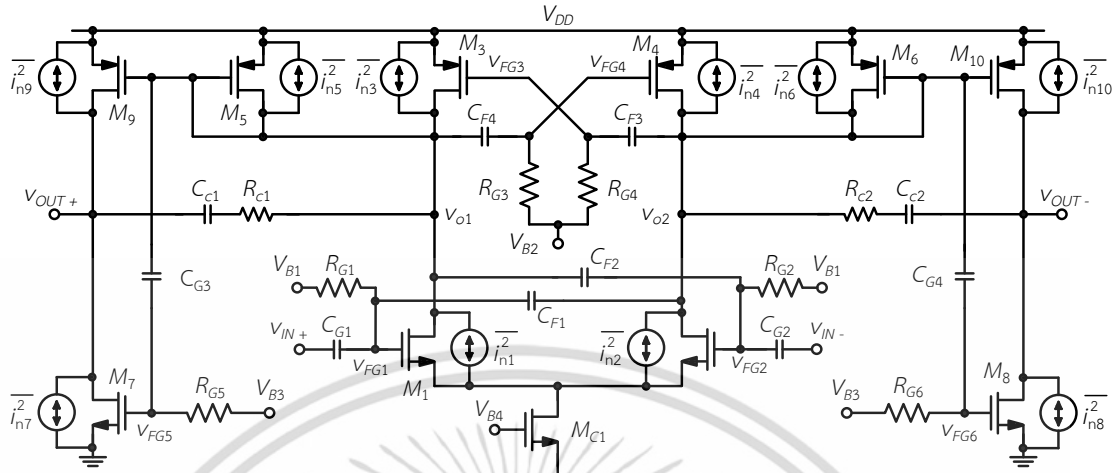
$$C_{out+,-} = C_{db7,8} + C_{db9,10} \quad (\text{ข.119})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.1 การวิเคราะห์หาสัญญาณรบกวนของวงจรโอทีเอ



รูปที่ ค.1 การวิเคราะห์หาสัญญาณรบกวนของวงจร

$$\overline{V_{o1,2}^2} = \overline{i_{n1,2}^2} R_{o1,2}^2 + \overline{i_{n3,4}^2} R_{o1,2}^2 + \overline{i_{n5,6}^2} R_{o1,2}^2 \tag{ค.1}$$

$$\overline{V_{o1,2}^2} = \left(\overline{i_{n1,2}^2} + \overline{i_{n3,4}^2} + \overline{i_{n5,6}^2} \right) R_{o1,2}^2 \tag{ค.2}$$

เมื่อ $\overline{i_n^2} = 4kT\gamma g_m$ และ $\gamma = \frac{2}{3}$

$$\overline{V_{o1,2}^2} = \left(4kT \times \frac{2}{3} g_{m1,2} + 4kT \times \frac{2}{3} g_{m3,4} + 4kT \times \frac{2}{3} g_{m5,6} \right) R_{o1,2}^2 \tag{ค.3}$$

$$\overline{V_{o1,2}^2} = 4kT \times \frac{2}{3} \left(g_{m1,2} + g_{m3,4} + g_{m5,6} \right) R_{o1,2}^2 \tag{ค.4}$$

$$\overline{V_{od}^2} = 2\overline{V_{o1,2}^2} = 8kT \times \frac{2}{3} \left(g_{m1,2} + g_{m3,4} + g_{m5,6} \right) R_{o1,2}^2 \tag{ค.5}$$

$$\overline{V_i^2} = \frac{\overline{V_{od}^2}}{A_{vd}^2} = \frac{8kT \times \frac{2}{3} \left(g_{m1,2} + g_{m3,4} + g_{m5,6} \right) R_{o1,2}^2}{G_{m1,2}^2 R_{o1,2}^2} \tag{ค.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $G_{m1,2}^2 = g_{m1,2}^2$

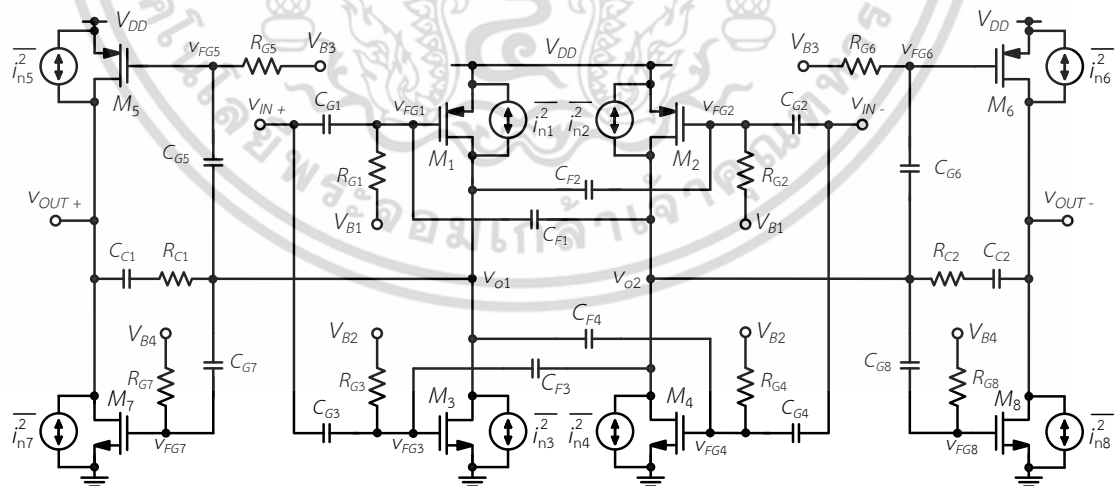
$$\overline{v_i^2} = 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2}} + \frac{g_{m3,4} + g_{m5,6}}{g_{m1,2}^2} \right) + \frac{8kT}{g_{m1,2}^2 R_{G3,4}} \quad (ค.7)$$

เมื่อ $\overline{i_i^2} = \frac{\overline{V_{od}^2}}{R_m^2}$

$$\overline{i_i^2} = \frac{\overline{V_{od}^2}}{R_m^2} = \frac{8kT \times \frac{2}{3} (g_{m1,2} + g_{m3,4} + g_{m5,6}) R_{o1,2}^2}{\left(\frac{G_{m1,2}}{sC_{gs1,2}} \right)^2 R_{o1,2}^2} \quad (ค.8)$$

$$\overline{i_i^2} = (sC_{gs1,2})^2 \left[8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2}} + \frac{g_{m3,4} + g_{m5,6}}{g_{m1,2}^2} \right) + \frac{8kT}{g_{m1,2}^2 R_{G3,4}} \right] \quad (ค.9)$$

ง.2 การวิเคราะห์หาสัญญาณรบกวนของวงจร



รูปที่ ค.2 การวิเคราะห์หาสัญญาณรบกวนของวงจร

$$\overline{V_{o1,2}^2} = \overline{i_{n1,2}^2} R_{o1,2}^2 + \overline{i_{n3,4}^2} R_{o1,2}^2 \quad (ค.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{v_{o1,2}^2} = \left(\overline{i_{n1,2}^2} + \overline{i_{n3,4}^2} \right) R_{o1,2}^2 \quad (\text{ค.11})$$

เมื่อ $\overline{i_n^2} = 4kT\gamma g_m$ และ $\gamma = \frac{2}{3}$

$$\overline{v_{o1,2}^2} = \left(4kT \times \frac{2}{3} g_{m1,2} + 4kT \times \frac{2}{3} g_{m3,4} \right) R_{o1,2}^2 \quad (\text{ค.12})$$

$$\overline{v_{o1,2}^2} = 4kT \times \frac{2}{3} (g_{m1,2} + g_{m3,4}) R_{o1,2}^2 \quad (\text{ค.13})$$

$$\overline{v_{od}^2} = 2\overline{v_{o1,2}^2} = 8kT \times \frac{2}{3} (g_{m1,2} + g_{m3,4}) R_{o1,2}^2 \quad (\text{ค.14})$$

$$\overline{v_i^2} = \frac{\overline{v_{od}^2}}{A_{vd}^2} = \frac{8kT \times \frac{2}{3} (g_{m1,2} + g_{m3,4}) R_{o1,2}^2}{G_{m1,2}^2 R_{o1,2}^2} \quad (\text{ค.15})$$

เมื่อ $G_{m1,2}^2 = (g_{m1,2} + g_{m3,4})^2$

$$\overline{v_i^2} = 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2} + g_{m3,4}} \right) \quad (\text{ค.16})$$

เมื่อ $\overline{i_i^2} = \frac{\overline{v_{od}^2}}{R_m^2}$

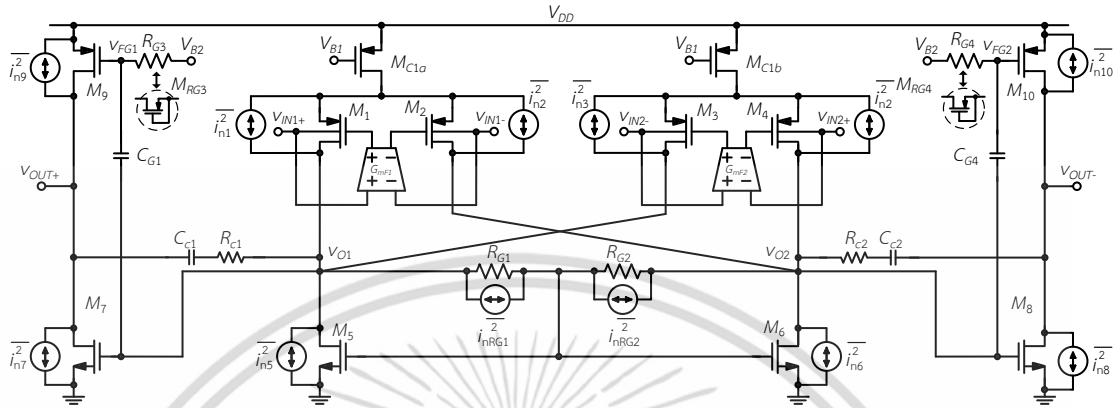
$$\overline{i_i^2} = \frac{\overline{v_{od}^2}}{R_m^2} = \frac{8kT \times \frac{2}{3} (g_{m1,2} + g_{m3,4}) R_{o1,2}^2}{\left(\frac{G_{m1,2}}{sC_{gs1,2}} \right)^2 R_{o1,2}^2} \quad (\text{ค.17})$$

$$\overline{i_i^2} = (sC_{gs1,2})^2 8kT \times \frac{2}{3} \left(\frac{1}{g_{m1,2} + g_{m3,4}} \right) \quad (\text{ค.18})$$

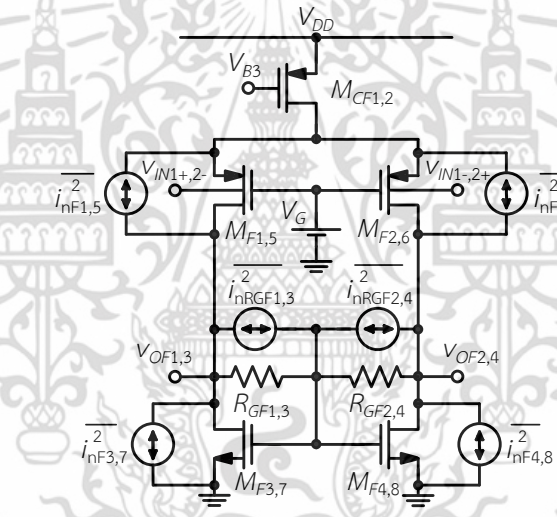
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 การวิเคราะห์หาค่าสัญญาณรบกวนของวงจร

การวิเคราะห์หาค่าสัญญาณรบกวนของวงจรโอทีเอแบบอินพุต และเอาต์พุตผลต่างสามารถทำได้โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณรบกวนเชิงอนุกรมดังแสดงในรูปที่ ค.57 (ก) รูปที่ ค.57 (ข) แสดงวงจรเสมือนสัญญาณรบกวนเชิงอนุกรมของวงจรป้อนไปข้างหน้า $G_{MF1,2}$



(ก)



(ข)

รูปที่ ค.3 (ก) การวิเคราะห์หาค่าสัญญาณรบกวน และ (ข) วงจรป้อนไปข้างหน้า

$$\overline{V_{on,2}^2} = \left(\overline{i_{n1,2}^2} + g_{m1,2} \overline{V_{ofn1}^2} + \overline{i_{n3,4}^2} + g_{m3,4} \overline{V_{ofn2}^2} + \overline{i_{n5,6}^2} + \overline{i_{nRG1,2}^2} \right) R_{o1,2}^2 \quad (ค.19)$$

$$\overline{V_{on,2}^2} = \left[\overline{i_{n1,2}^2} + (g_{m1,2} + g_{m3,4}) \overline{V_{ofn1,2}^2} + \overline{i_{n3,4}^2} + \overline{i_{n5,6}^2} + \overline{i_{nRG1,2}^2} \right] R_{o1,2}^2 \quad (ค.19)$$

วิเคราะห์หาค่า $\overline{V_{ofn1,2}^2}$

$$\overline{V_{ofn1,2}^2} = \left(\overline{i_{nF1,2}^2} + \overline{i_{nF3,4}^2} + \overline{i_{nRG1,2}^2} \right) R_{of1,2}^2 \quad (ค.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{v_{on1,2}^2} = \left[\overline{i_{n1,2}^2} + (g_{m1,2} + g_{m3,4}) \left(\overline{i_{nF1,2}^2} + \overline{i_{nF3,4}^2} + \overline{i_{nRG1,2}^2} \right) R_{oF1,2}^2 + \overline{i_{n3,4}^2} + \overline{i_{n5,6}^2} + \overline{i_{nRG1,2}^2} \right] R_{o1,2}^2 \quad (\text{ค.19})$$

เมื่อ $\overline{i_n^2} = 4kT\gamma g_m$ และ $\gamma = \frac{2}{3}$

$$\overline{v_{on1,2}^2} = 4kT \frac{2}{3} \left[g_{mb1,2} + (g_{m1,2} + g_{m3,4}) \left(g_{mbF1,2} + g_{mbF3,4} + \frac{3}{2R_{GF1,2}} \right) R_{oF1,2}^2 + g_{mb3,4} + g_{m5,6} \right] R_{o1,2}^2 + \frac{4kT}{R_{G1,2}} R_{o1,2}^2 \quad (\text{ค.19})$$

$$\overline{v_{odn1,2}^2} = 8kT \frac{2}{3} \left[g_{mb1,2} + (g_{m1,2} + g_{m3,4}) \left(g_{mbF1,2} + g_{mbF3,4} + \frac{3}{2R_{GF1,2}} \right) R_{oF1,2}^2 + g_{mb3,4} + g_{m5,6} \right] R_{o1,2}^2 + \frac{8kT}{R_{G1,2}} R_{o1,2}^2 \quad (\text{ค.19})$$

ค่า $G_{m1,2}^2$ มีค่าเท่ากับ

$$G_{m1,2}^2 = (g_{mb1,2} + g_{mb3,4})^2 A_{VF1,2}^2 \quad (\text{ค.16})$$

$$\overline{v_{odn1,2}^2} = 8kT \frac{2}{3} \frac{\left[g_{mb1,2} + (g_{m1,2} + g_{m3,4}) \left(g_{mbF1,2} + g_{mbF3,4} + \frac{3}{2R_{GF1,2}} \right) R_{oF1,2}^2 + g_{mb3,4} + g_{m5,6} \right]}{(g_{mb1,2} + g_{mb3,4})^2 A_{VF1,2}^2 R_{o1,2}^2} R_{o1,2}^2 + \frac{8kT}{(g_{mb1,2} + g_{mb3,4})^2 A_{VF1,2}^2 R_{o1,2}^2 R_{G1,2}} R_{o1,2}^2 \quad (\text{ค.19})$$

สัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุต $\overline{v_i^2}$ และ $\overline{i_i^2}$ ของวงจรวอร์ที่เอที่นำเสนอมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{v_{odn1,2}^2} = 8kT \frac{2}{3} \left[\frac{g_{mb1,2} + (g_{m1,2} + g_{m3,4}) \left(g_{mbF1,2} + g_{mbF3,4} + \frac{3}{2R_{GF1,2}} \right) R_{oF1,2}^2 + g_{mb3,4} + g_{m5,6}}{(g_{mb1,2} + g_{mb3,4})^2 A_{VF1,2}^2} \right] + \frac{8kT}{(g_{mb1,2} + g_{mb3,4})^2 A_{VF1,2}^2 R_{G1,2}} \quad (\text{ค.19})$$

กำหนดให้ $g_{m1,2} = g_{m3,4}$ $g_{mb1,2} = g_{mb3,4}$ และ $g_{mbF1,2} = g_{mbF3,4}$

$$\overline{v_{odn1,2}^2} = 8kT \frac{2}{3} \left[\frac{2g_{mb1,2(3,4)} + g_{m5,6}}{(2g_{mb1,2(3,4)})^2 A_{VF1,2}^2} + \frac{4g_{m1,2(3,4)}g_{mbF1,2(3,4)}}{(2g_{mb1,2(3,4)})^2 G_{mF1,2(3,4)}^2} + \frac{6g_{m1,2(3,4)}}{2R_{GF1,2} (2g_{mb1,2(3,4)})^2 G_{mF1,2(3,4)}^2} \right] \quad (\text{ค.19})$$

กำหนดให้ $G_{mF} = g_{mbF1,2} = g_{mbF3,4}$

$$\overline{v_{odn1,2}^2} \cong 8kT \frac{1}{3} \left[\frac{g_{mb1,2(3,4)} + g_{m5,6}}{g_{mb1,2(3,4)}^2 A_{VF1,2}^2} + \frac{g_{m1,2(3,4)}}{g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}} \right] + 4kT \left[\frac{g_{m1,2(3,4)}}{R_{GF1,2} g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}^2} \right] \quad (\text{ค.19})$$

$$\overline{i_i^2} = (sC_{bs1,2})^2 8kT \times \frac{2}{3} \left[\frac{g_{mb1,2(3,4)} + g_{m5,6}}{g_{mb1,2(3,4)}^2 A_{VF1,2}^2} + \frac{g_{m1,2(3,4)}}{g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}} \right] + (sC_{bs1,2})^2 4kT \left[\frac{g_{m1,2(3,4)}}{R_{GF1,2} g_{mb1,2(3,4)}^2 g_{mbF1,2(3,4)}^2} \right] \quad (\text{ค.100})$$

เมื่อ A_{VF} มีค่าเท่ากับ

$$A_{VF} = g_{mbF1,2(3,4)} (r_{oF1,2(3,4)} \parallel R_{GF1,2}) \quad (\text{ค.101})$$

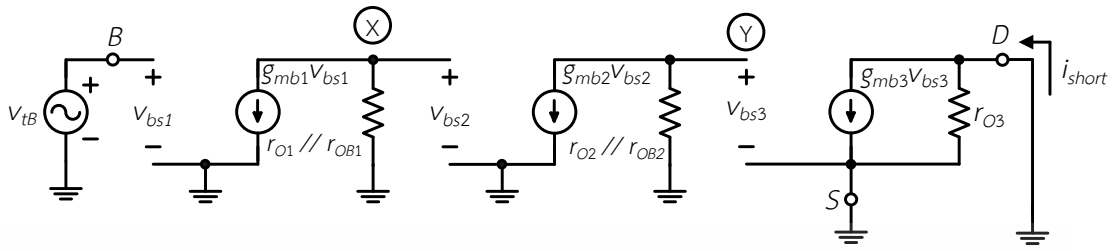
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ง.
การวิเคราะห์หาค่า $G_{m,eff}$ $R_{D,eff}$ และ $R_{S,eff}$ ของซูเปอร์มอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง.1 การวิเคราะห์หาค่า $G_{m,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้และการป้อนกลับแบบลบ



รูปที่ ง.1 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

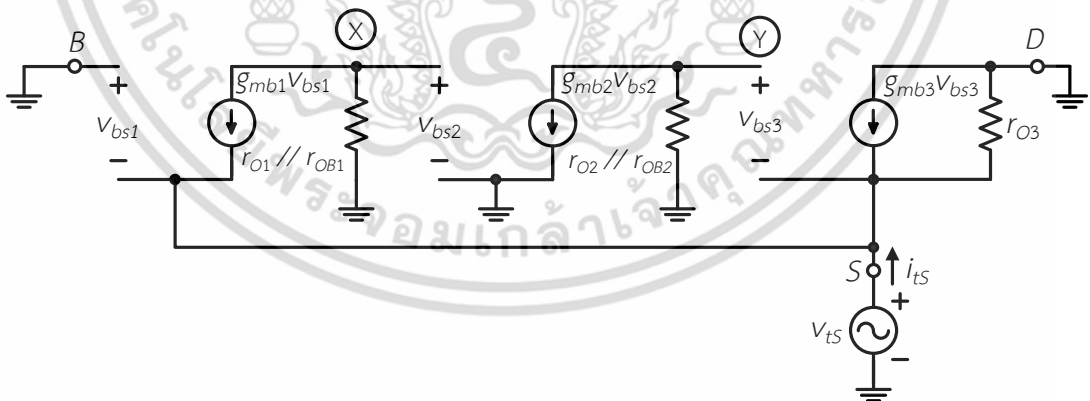
$$v_{bs2} = g_{mb1} (r_{o1} // r_{oB1}) v_{tB} \tag{ง.1}$$

$$v_{bs3} = g_{mb1} g_{mb2} (r_{o1} // r_{oB1}) (r_{o2} // r_{oB2}) v_{tB} \tag{ง.2}$$

$$i_{short} = g_{mb1} g_{mb2} g_{mb3} (r_{o1} // r_{oB1}) (r_{o2} // r_{oB2}) v_{tB} \tag{ง.3}$$

$$\frac{i_{short}}{v_{tB}} G_{m,eff} = g_{mb1} g_{mb2} g_{mb3} (r_{o1} // r_{oB1}) (r_{o2} // r_{oB2}) \tag{ง.4}$$

ง.2 การวิเคราะห์หา $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยการป้อนกลับแบบลบ



รูปที่ ง.2 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

$$i_{ts} = -g_{mb1} v_{bs1} - g_{mb3} v_{bs3} + \frac{v_{tS}}{r_{O3}} \tag{ง.5}$$

$$v_{bs1} = -v_{tS} \tag{ง.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{bs2} = g_{mb1} (r_{o1} \parallel r_{oB1}) v_{ts} \quad (จ.7)$$

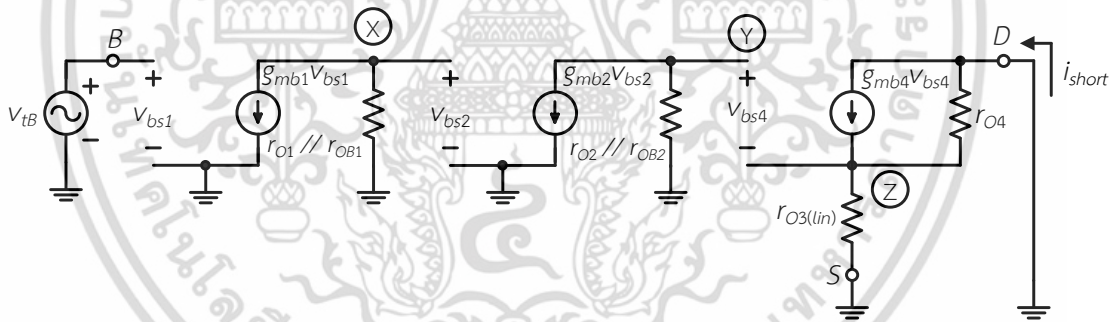
$$v_{bs3} = -g_{mb1} g_{mb2} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2}) v_{ts} \quad (จ.8)$$

$$i_{ts} = g_{mb1} v_{ts} - g_{mb1} g_{mb2} g_{mb3} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2}) v_{ts} + \frac{v_{ts}}{r_{O3}} \quad (จ.9)$$

$$i_{ts} = \left(g_{mb1} + g_{mb1} g_{mb2} g_{mb3} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2}) + \frac{1}{r_{O3}} \right) v_{ts} \quad (จ.10)$$

$$\frac{v_{ts}}{i_{ts}} = R_{S,eff} \approx \frac{1}{g_{mb1} g_{mb2} g_{mb3} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2})} \quad (จ.11)$$

จ.3 การวิเคราะห์หาค่า $G_{m,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคลคูลัสตัวเอง และการป้อนกลับแบบลบ



รูปที่ จ.3 การวิเคราะห์หาค่า $G_{m,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

$$v_{bs2} = g_{mb1} (r_{o1} \parallel r_{oB1}) v_{ts} \quad (จ.12)$$

$$v_Y = g_{mb1} g_{mb2} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2}) v_{ts} \quad (จ.13)$$

$$i_{short} = g_{mb4} v_{bs4} + g_{m4} v_{gs4} - \frac{i_{short} r_{O3(lin)}}{r_{O4}} \quad (จ.14)$$

$$v_{gs4} = -i_{short} r_{O3(lin)} \quad (จ.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

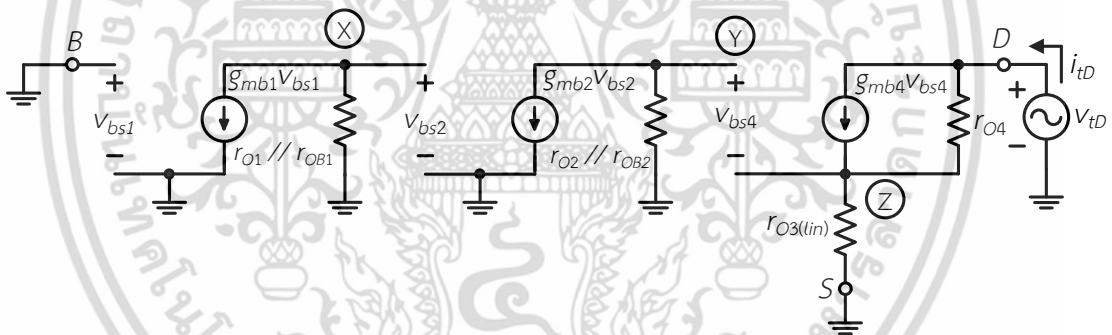
$$V_{bs4} = V_Y - i_{short} r_{O3(lin)} \quad (ง.16)$$

$$i_{short} = g_{mb4} V_Y - g_{mb4} i_{short} r_{O3(lin)} - g_{m4} i_{short} r_{O3(lin)} - \frac{i_{short} r_{O3(lin)}}{r_{O4}} \quad (ง.17)$$

$$i_{short} = \frac{g_{mb4} V_Y}{\left(g_{mb4} + g_{m4} + \frac{1}{r_{O4}} \right) r_{O3(lin)}} \quad (ง.18)$$

$$G_{m,eff} = \frac{g_{mb1} g_{mb2} g_{mb4} (r_{o1} // r_{oB1}) (r_{o2} // r_{oB2})}{(g_{m4} + g_{mb4}) r_{O3(lin)}} \quad (ง.19)$$

ง.4 การวิเคราะห์หา $R_{D,eff}$ ของซัพเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคลคูลัสตัวเอง และการป้อนกลับแบบลบ



รูปที่ ง.4 การวิเคราะห์หา $R_{D,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

$$i_{tD} = g_{mb4} V_{bs4} + g_{m4} V_{gs4} + \frac{V_{tD} - i_{tD} r_{O3(lin)}}{r_{O4}} \quad (ง.20)$$

$$V_{gs4} = V_{bs4} = -i_{tD} r_{O3(lin)} \quad (ง.21)$$

$$i_{tD} = -g_{mb4} i_{tD} r_{O3(lin)} - g_{m4} i_{tD} r_{O3(lin)} + \frac{V_{tD}}{r_{O4}} - \frac{i_{tD} r_{O3(lin)}}{r_{O4}} \quad (ง.22)$$

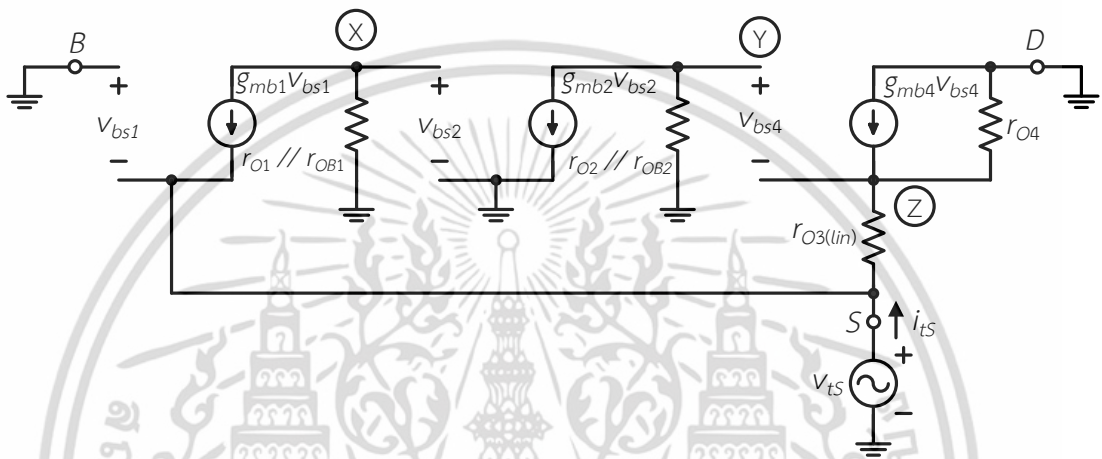
$$\frac{V_{tD}}{r_{O4}} = \left(1 + g_{mb4} r_{O3(lin)} + g_{m4} r_{O3(lin)} + \frac{r_{O3(lin)}}{r_{O4}} \right) i_{tD} \quad (ง.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{tD}}{i_{tD}} = R_{D,eff} = (1 + g_{mb4}r_{O3(lin)} + g_{m4}r_{O3(lin)})r_{O4} + r_{O3(lin)} \quad (ง.24)$$

$$R_{D,eff} \cong (g_{mb4} + g_{m4})r_{O3(lin)}r_{O4} \quad (ง.25)$$

ง.5 การวิเคราะห์หา $R_{S,eff}$ ของซูปเปอร์มอสทรานซิสเตอร์ที่ใช้ขาบอดี้ด้วยวิธีการแคล์คูล์ตัวเอง และการป้อนกลับแบบลบ



รูปที่ ง.5 การหา $R_{S,eff}$ ด้วยวงจรเสมือนสัญญาณขนาดเล็ก

$$i_{tS} + g_{mb1}V_{bs1} + g_{m1}V_{gs1} = i_{r_{O3(lin)}} \quad (ง.26)$$

$$i_{r_{O3(lin)}} + g_{m4}V_{gs4} + g_{mb4}V_{bs4} = -\frac{V_{gs4}}{r_{O4}} \quad (ง.27)$$

$$i_{r_{O3(lin)}} = -g_{m4}V_{gs4} - g_{mb4}V_{bs4} - \frac{V_{gs4}}{r_{O4}} \quad (ง.28)$$

$$i_{tS} + g_{mb1}V_{bs1} + g_{m1}V_{gs1} = -g_{m4}V_{gs4} - g_{mb4}V_{bs4} - \frac{V_{gs4}}{r_{O4}} \quad (ง.29)$$

$$V_{bs1} = -V_{tS} \quad (ง.30)$$

$$V_{bs4} = V_Y + V_{gs4} \quad (ง.31)$$

$$V_Y = -(g_{m1} + g_{mb1})g_{mb2}(r_{O1} // r_{OB1})(r_{O2} // r_{OB2})V_{tS} \quad (ง.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตเห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{gs4} = \left(-g_{m4}v_{gs4} - g_{mb4}v_{bs4} - \frac{v_{gs4}}{r_{O4}} \right) r_{o3(lin)} - v_{ts} \quad (3.33)$$

$$\left[1 + \left(g_{m4} + \frac{1}{r_{O4}} \right) r_{o3(lin)} \right] v_{gs4} = -g_{mb4}v_{bs4} - v_{ts} \quad (3.34)$$

$$v_{gs4} \cong -\frac{g_{mb4}v_{bs4} + v_{ts}}{g_{m4}r_{o3(lin)}} \quad (3.35)$$

$$v_{bs4} = -\left(g_{m1} + g_{mb1} \right) g_{mb2} \left(r_{o1} // r_{oB1} \right) \left(r_{o2} // r_{oB2} \right) v_{ts} - \frac{g_{mb4}v_{bs4} + v_{ts}}{g_{m4}r_{o3(lin)}} \quad (3.36)$$

$$v_{bs4} = \frac{g_{m4}r_{o3(lin)}}{g_{m4}r_{o3(lin)} + g_{mb4}} \left[-\left(g_{m1} + g_{mb1} \right) g_{mb2} \left(r_{o1} // r_{oB1} \right) \left(r_{o2} // r_{oB2} \right) + \frac{1}{g_{m4}r_{o3(lin)}} \right] v_{ts} \quad (3.37)$$

$$i_{ts} + g_{mb1}v_{bs1} + g_{m1}v_{gs1} = -g_{m4}v_{gs4} - g_{mb4}v_{bs4} - \frac{v_{gs4}}{r_{O4}} \quad (3.38)$$

$$i_{ts} - \left(g_{m1} + g_{mb1} \right) v_{ts} = \frac{g_{mb4}v_{bs4}}{r_{o3(lin)}} + \frac{v_{ts}}{r_{o3(lin)}} - g_{mb4}v_{bs4} \quad (3.39)$$

$$i_{ts} = \left(\frac{g_{mb4}}{r_{o3(lin)}} - g_{mb4} \right) v_{bs4} + \frac{v_{ts}}{r_{o3(lin)}} + \left(g_{m1} + g_{mb1} \right) v_{ts} \quad (3.40)$$

$$i_{ts} \cong \frac{g_{mb4}g_{m4}r_{o3(lin)}}{g_{m4}r_{o3(lin)} + g_{mb4}} \left[\left(g_{m1} + g_{mb1} \right) g_{mb2} \left(r_{o1} // r_{oB1} \right) \left(r_{o2} // r_{oB2} \right) - \frac{1}{g_{m4}r_{o3(lin)}} \right] v_{ts} + \left(g_{m1} + g_{mb1} \right) v_{ts} \quad (3.41)$$

$$i_{ts} \cong \left[\frac{g_{mb4}g_{m4}r_{o3(lin)}}{g_{m4}r_{o3(lin)} + g_{mb4}} \left(g_{m1} + g_{mb1} \right) g_{mb2} \left(r_{o1} // r_{oB1} \right) \left(r_{o2} // r_{oB2} \right) \right] v_{ts} \quad (3.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{v_{tS}}{i_{tS}} = R_{S,eff} = \frac{g_{m4}r_{O3(lin)} + g_{mb4}}{(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \quad (3.43)$$

$$R_{S,eff} \approx \frac{(g_{m4} + g_{mb4})r_{O3(lin)}}{(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{o1} // r_{oB1})(r_{o2} // r_{oB2}) + g_{m4}} \quad (3.44)$$



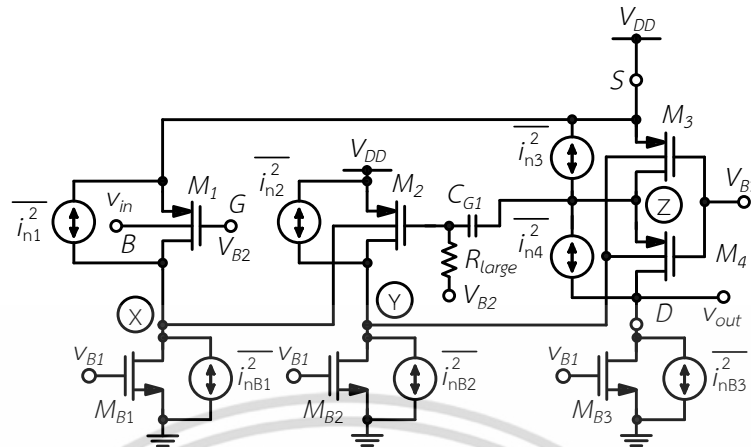
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก จ.
การวิเคราะห์หาสัญญาณรบกวนอ้างอิงที่อินพุตของวงจรมอดูเลชันและ
วงจรมอดูเลชันที่ใช้ซูปเปอร์มอดูเลชันซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ.1 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิของวงจรรขยายซอร์สร่วม



รูปที่ จ.1 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุตของวงจรรขยายซอร์สร่วม

$$\overline{V_{out}^2} = \left(\overline{i_{n1}^2} + \overline{i_{nB1}^2}\right) g_{mb2} g_{mb4} R_{o1} R_{o2} R_{o1,2}^2 + \left(\overline{i_{n2}^2} + \overline{i_{nB2}^2}\right) g_{mb4} R_{o2} R_{out}^2 + \overline{i_{n4}^2} R_{out}^2 + \overline{i_{nB3}^2} R_{out}^2 \quad (จ.1)$$

$$\overline{V_{out}^2} = \left[\left(\overline{i_{n1}^2} + \overline{i_{nB1}^2}\right) g_{mb2} g_{mb4} R_{o1} R_{o2} + \left(\overline{i_{n2}^2} + \overline{i_{nB2}^2}\right) g_{mb4} R_{o2} + \overline{i_{n4}^2} + \overline{i_{nB3}^2} \right] R_{out}^2 \quad (จ.2)$$

เมื่อ $\overline{i_n^2} = 4kT\gamma g_m$ และ $\gamma = \frac{2}{3}$

$$\overline{V_{out}^2} = 4kT \frac{2}{3} \left[(g_{m1} + g_{mB1}) g_{mb2} g_{mb4} R_{o1} R_{o2} + (g_{m2} + g_{mB2}) g_{mb4} R_{o2} + (g_{m4} + g_{mB3}) \right] \times R_{out}^2 \quad (จ.3)$$

$$\overline{V_i^2} = \frac{\overline{V_{out}^2}}{A_v^2} \quad (จ.4)$$

$$\overline{V_i^2} = \frac{4kT \times \frac{2}{3} \left[(g_{m1} + g_{mB1}) g_{mb2} g_{mb4} R_{o1} R_{o2} + (g_{m2} + g_{mB2}) g_{mb4} R_{o2} + (g_{m4} + g_{mB3}) \right]}{G_{m,eff}^2 R_{out}^2} \times \frac{R_{out}^2}{G_{m,eff}^2 R_{out}^2} \quad (จ.5)$$

เมื่อ $R_{o1} = (r_{o1} \parallel r_{oB1})$ $R_{o2} = (r_{o2} \parallel r_{oB2})$
 และ $G_{m,eff} = g_{mB1} g_{mB2} g_{mB4} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{v_i^2} = 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} + \frac{(g_{m2} + g_{mB2})}{g_{mb1}^2 g_{mb2}^2 g_{mb4} (r_{o1} // r_{oB1})^2 (r_{o2} // r_{oB2})} \right] \quad (จ.6)$$

$$\overline{v_i^2} \cong 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \right] \quad (จ.7)$$

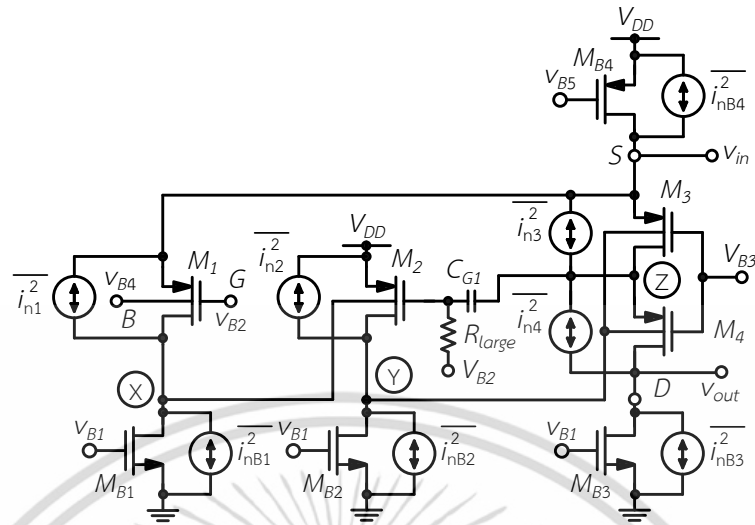
$$\text{เมื่อ } \overline{i_i^2} = \frac{\overline{V_{out}^2}}{R_m^2}$$

$$\overline{i_i^2} = \frac{\overline{V_o^2}}{R_m^2} = \frac{4kT \times \frac{2}{3} \left((g_{m1} + g_{mB1}) g_{mb2} g_{mb4} R_{o1} R_{o2} + (g_{m2} + g_{mB2}) g_{mb4} R_{o2} + (g_{m4} + g_{mB3}) \right)}{\left(\frac{G_{m,eff}}{sC_{bs1}} \right)^2} \quad (จ.8)$$

$$\overline{i_i^2} = (sC_{bs1})^2 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} // r_{oB1})(r_{o2} // r_{oB2})} \right] \quad (จ.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ.2 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิของวงจรรขยายเกตร่วม



รูปที่ จ.2 การวิเคราะห์หาสัญญาณรบกวนเชิงอุณหภูมิอ้างอิงที่อินพุตของวงจรรขยายเกตร่วม

$$\overline{V_{out}^2} = \left(\overline{i_{n1}^2} + \overline{i_{nB1}^2} \right) g_{mb2} g_{mb4} R_{o1} R_{o2} R_{o1,2}^2 + \left(\overline{i_{n2}^2} + \overline{i_{nB2}^2} \right) g_{mb4} R_{o2} R_{out}^2 + \overline{i_{n4}^2} R_{out}^2 + \overline{i_{nB3}^2} R_{out}^2 + \overline{i_{nB4}^2} R_{out}^2 \tag{จ.10}$$

$$\overline{V_{out}^2} = \left[\left(\overline{i_{n1}^2} + \overline{i_{nB1}^2} \right) g_{mb2} g_{mb4} R_{o1} R_{o2} + \left(\overline{i_{n2}^2} + \overline{i_{nB2}^2} \right) g_{mb4} R_{o2} + \overline{i_{n3}^2} + \overline{i_{nB3}^2} + \overline{i_{nB4}^2} \right] R_{out}^2 \tag{จ.11}$$

เมื่อ $\overline{i_n^2} = 4kT\gamma g_m$ และ $\gamma = \frac{2}{3}$

$$\overline{V_{out}^2} = 4kT \frac{2}{3} \left[\left(g_{m1} + g_{mB1} \right) g_{mb2} g_{mb4} R_{o1} R_{o2} + \left(g_{m2} + g_{mB2} \right) g_{mb4} R_{o2} + \left(g_{m4} + g_{mB3} + g_{mB4} \right) \right] \times R_{out}^2 \tag{จ.12}$$

$$\overline{V_i^2} = \frac{\overline{V_{out}^2}}{A_v^2} \tag{จ.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{V_i^2} = \frac{4kT \times \frac{2}{3} \left[(g_{m1} + g_{mB1}) g_{mb2} g_{mb4} R_{o1} R_{o2} + (g_{m2} + g_{mB2}) g_{mb4} R_{o2} + (g_{m4} + g_{mB3}) \right]}{G_{m,eff}^2 R_{out}^2} \times \frac{R_{out}^2}{G_{m,eff}^2 R_{out}^2} \quad (จ.14)$$

เมื่อ $R_{o1} = (r_{o1} \parallel r_{oB1})$ $R_{o2} = (r_{o2} \parallel r_{oB2})$
 และ $G_{m,eff} = g_{mb1} g_{mb2} g_{mb4} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2})$

$$\overline{V_i^2} \cong 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2})} \right] \quad (จ.15)$$

เมื่อ $i_i^2 = \frac{\overline{V_{out}^2}}{R_m^2}$

$$\overline{i_i^2} = \frac{\overline{V_o^2}}{R_m^2} = \frac{4kT \times \frac{2}{3} \left((g_{m1} + g_{mB1}) g_{mb2} g_{mb4} R_{o1} R_{o2} + (g_{m2} + g_{mB2}) g_{mb3} R_{o2} + (g_{m4} + g_{mB3}) \right)}{R_m^2 \left(\frac{G_{m,eff}}{sC_{bs1}} \right)^2} \quad (จ.16)$$

$$\overline{i_i^2} = (sC_{bs1})^2 4kT \times \frac{2}{3} \left[\frac{(g_{m1} + g_{mB1})}{g_{mb1}^2 g_{mb2} g_{mb4} (r_{o1} \parallel r_{oB1}) (r_{o2} \parallel r_{oB2})} \right] \quad (จ.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ฉ.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Feedforward Bulk-Driven Class AB Fully-Differential Second-Generation Current Conveyor (FDCCII)

Thawatchai Thongleam^a and Varakorn Kasemsuwan^b

School of Electronics Engineering, Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand

E-mail ^as1060044@kmitl.ac.th, ^bkkvarako@kmitl.ac.th

Keywords: low-voltage; bulk-driven; FDCCII; CCII; feedforward technique

Abstract. In this paper, a feedforward bulk-driven class AB fully-differential second-generation current conveyer (FDCCII) is presented. Bulk-driven differential pair is employed for the input stage allowing the FDCCII to operate with rail-to-rail operation. Feedforward technique is also incorporated into input stage to increase the DC gain and minimize the common mode gain. The circuit performance is verified using HSPICE in 0.18 μm CMOS technology. The simulation results show rail-to-rail input and output swings. The DC voltage transfer characteristic between ports Y and X and DC current transfer characteristic between ports X and Z shows good linearity. The bandwidths show 25.7 MHz (V_X/V_Y), 30 MHz (I_Z/I_X), respectively. The power dissipation is 267.5 μW .

INTRODUCTION

The second generation current conveyer (CCII) is one of the versatile current-mode building blocks [1]. CCII has been used in a wide range of applications such as current amplifier, filter, oscillator, instrumentation, and variable gain amplifier. Nowadays, various portable equipments have become increasingly important. Therefore the circuit operating at low voltage with rail-to-rail (RR) operation is necessary [2-3]. It is also well known that fully balanced differential operation can improve the dynamic range, harmonic distortion and noise performance of the circuit.

Several CCII have been proposed [4-9]. The CCII using differential amplifier technique [4] operates from a 6.6 volt with limited input and output swings. To achieve a low voltage and RR operation, bulk-driven and folded cascode techniques have been reported and the resulting CCII demonstrates low supply voltage operation [5]. However, since the bulk transconductance is 2 to 5 times lower than the gate transconductance, the dc gain is still low and as a result the impedance at port X is high. The floating gate MOS (FG-MOS) transistor CCII has been proposed and can operate from a 1.6 supply voltage [6]. The impedance at port X is still quite high causing the voltage transfer problem between ports Y and X. Fully differential CCII (FDCCII) has been proposed [7-8]. Unfortunately, their architectures do not support RR operation making them unsuitable for low-voltage mixed-mode integrated circuits whose noise is a major concern.

This paper presents a FDCCII. The bulk-driven and feedforward techniques are used to enhance the transconductance and differential gain while suppress the common-mode gain. The paper is organized as follows. The proposed FDCCII is first presented. The circuit operation is then explained. Finally, the simulation results, discussions and conclusion are provided.

FULLY DIFFERENTIAL SECOND GENERATION CURRENT CONVEYER

Fig. 1 shows the proposed FDCCII while Fig. 2(a) shows the circuit symbol. Basically, FDCCII has high impedance at ports Y and Z while the impedance at port X is low. The transfer characteristic of FDCCII can be described as

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (1)$$

where I_X , I_Y , I_Z , V_X , V_Y , and V_Z are differential current and voltage at ports X, Y and Z, respectively, and given as $I_X = I_{X+} - I_{X-}$, $I_Y = I_{Y+} - I_{Y-}$, $I_Z = I_{Z+} - I_{Z-}$, $V_X = V_{X+} - V_{X-}$, $V_Y = V_{Y+} - V_{Y-}$ and $V_Z = V_{Z+} - V_{Z-}$.

PROPOSED BULK-DRIVEN CMOS FDCCII

Bulk-driven CMOS FDCCII

The FDCCII comprises bulk-driven input differential pair $M_{1a,b}$ - $M_{2a,b}$. $R_{G1(2)}$ is used to set the first-stage gain and bias the second stage amplifier which consists of quasi floating gate (QFG) transistors $M_{4a,b}$ and $M_{5a,b}$. $C_{G1a(b)}$ is used to pass the signal from the gate of $M_{4a(b)}$ to the gate of $M_{5a(b)}$ making the second stage amplifier operating in class AB [9]. QFG $M_{6a,b}$ and $M_{7a,b}$, which also operate in class AB, transfer the current from port X to port Z. The feedforward transconductor G_{mF} serves the purpose of enhancing the differential gain by increasing the effective bulk transconductance and suppressing the common-mode gain by appropriately compensating the bulk and gate transconductances. G_{mF} , as shown in Fig. 2(b), comprises a simple bulk-driven differential pair. In this design, $R_{GF1(2)}$ is used to set the differential gain while the common mode gain is determined by properly sizing the transistors M_3 and M_4 . $R_{C1a(b)}$ and $C_{C1a(b)}$ are used to compensate the amplifier to ensure sufficient phase margin.

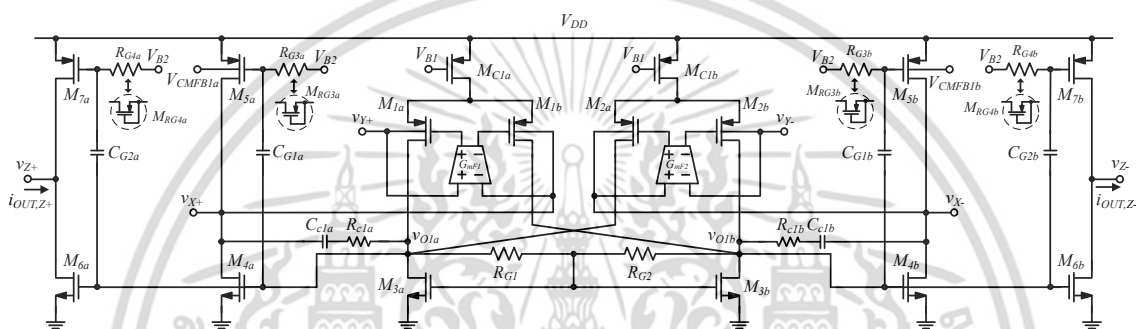


Fig. 1. Bulk-driven CMOS FDCCII with feedforward circuit.

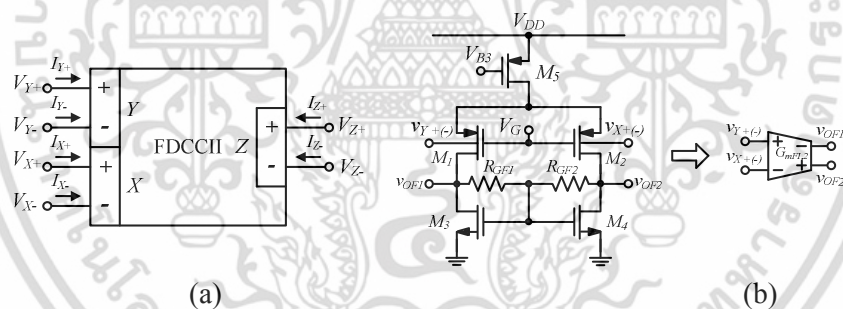


Fig. 2. (a) The Symbol of FDCCII and (b) bulk-driven feedforward transconductor.

The operation of the circuit can be explained as follows. When the input signal is differential, the current from two differential pairs are constructively combined. Note that the differential input signal is also passed through the feedforward amplifier G_{mF} which is arranged such that the output voltages of G_{mF1} and G_{mF2} are in phase with the input voltages and thus enhancing the effective transconductance of the differential pair G_{md} , i.e., $G_{md} \approx g_{mb1a(b)} + g_{m1a(b)}G_{mF}R_{GF1(2)}$ where g_{mb} and g_m are the bulk and gate transconductance, respectively. The first-stage differential gain is therefore given by $G_{md}R_{G1(2)}$. In case of the common mode signal, G_{mF} will produce the signals at the gates of $M_{1a(b)}$ and $M_{2a(b)}$ which are in opposite phase with the input signals. As a result, the currents produced by $M_{1a(b)}$ and $M_{2a(b)}$ are much reduced. Straight forward small signal analysis shows that the common mode gain is $A_{vc} \approx [(1/2r_{oc1}) - (1/4g_{m3}r_{oc1}r_{o5})]/g_{m3a(b)}$. Obviously, $R_{G1(2)}$ plays role in determining the differential gain while the aspect ratio of $M_{3a(b)}$ can be used to minimize the common mode gain.

The second gain stage operating in class AB is used to further enhance the overall gain of the system. Routine analysis shows that the second-stage gain is $(g_{m4a(b)} + g_{m5a(b)})(r_{o4a(b)}/r_{o5a(b)})$. The negative feedback is employed to ensure that the voltage at port X follows the voltage at port Y. Straightforward analysis shows that the impedance at port X is given by

ไม่มีกรณใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ผลของงาน และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_x \approx \frac{1}{(g_{m4a(b)} + g_{m5a(b)})g_{mbF1(2)}g_{m1a(b),2a(b)}R_{GF1(2)}R_{G1(2)}} \quad (2)$$

where g_{mb} and g_m are the bulk and gate transconductance, respectively. Finally, the gate voltage at the gates of $M_{4a(b)}$ and $M_{5a(b)}$ are applied directly to the gates of $M_{6a(b)}$ and $M_{7a(b)}$ respectively so that differential current at port X is transferred to port Z.

Common-mode rejection circuitry

Figure 3 shows the common-mode rejection circuitry. The circuit is used to further suppress the common-mode output signal. Bulk-driven fully differential pairs ($M_{8a(b)}$ and $M_{9a(b)}$) are employed and operate as a common-mode detector. Therefore, rail-to-rail operation at ports X is obtained. The operation of the circuit can be explained as follows. In case of differential input signals, there will be no current signal passing through M_{10a} nor M_{10b} and the output signal $v_{CMFB1a(b)}$ is nearly constant. Nevertheless, when the input signal is common-mode signal, the common-mode current is generated and passed to M_{10a} and $M_{11a(b)}$. Since $M_{11a(b)}$ is connected in the common source configuration, $v_{CMFB1a(b)}$ is out of phase with the input common mode voltage thus suppressing the common-mode gain.

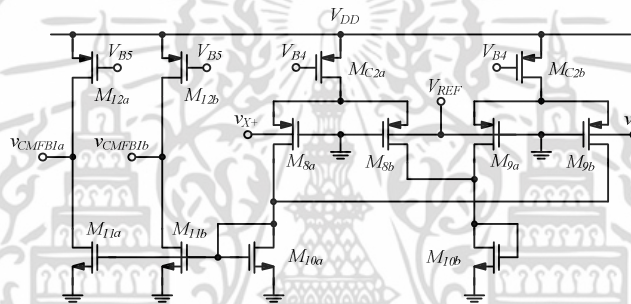


Fig. 3. Common-mode rejection circuitry [10].

SIMULATION RESULTS AND DISCUSSIONS

The proposed FDCCII is simulated with HSPICE using a $0.18 \mu\text{m}$ standard CMOS technology and 1 V supply voltage. The bias currents of the input and the output stages are $10 \mu\text{A}$. Fig. 4(a) shows the DC voltage and current transfer characteristics between ports Y and X and ports X and Z, respectively. The result shows good linearity over a wide voltage range (-1V to 1V) with the total harmonic distortion less than 1.6 %. Fig. 5(a) shows the frequency response of the voltage transfer V_Z/V_X and current transfer I_Z/I_X characteristics which are close to 0 dB at low frequency with the bandwidth of 25.7 MHz and 30 MHz, respectively. The transient response of the FDCCII between the input voltage V_Y and output voltage V_X is illustrated in Fig. 5(b). A 2 V_{pp} sinusoidal wave at 1 MHz is applied to port Y. The result shows good voltage transfer over a wide input range.

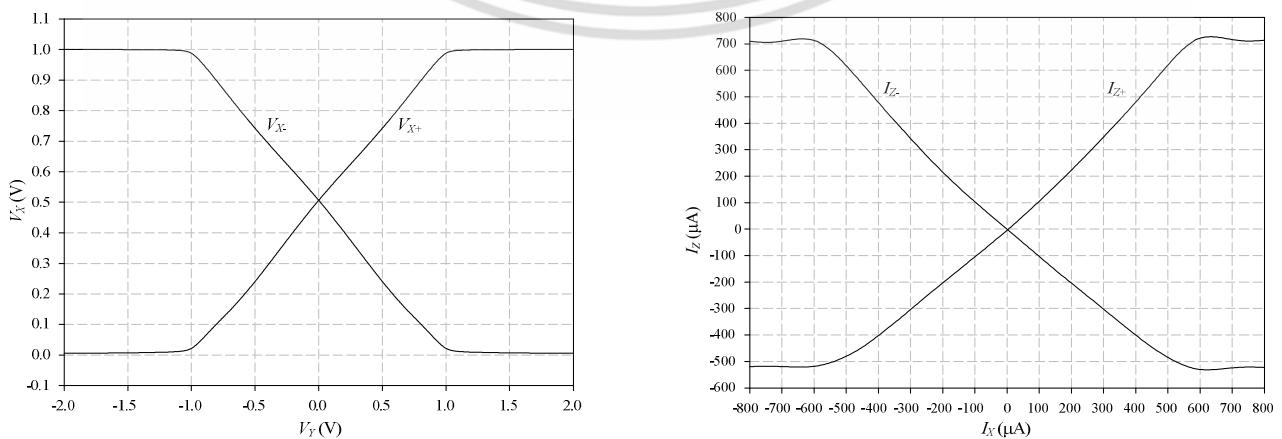


Fig. 4. (a) X-Y fully differential DC characteristic and (b) X-Z fully differential DC characteristic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่ควรเผยแพร่ไปโดยไม่ขออนุญาตจาก
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

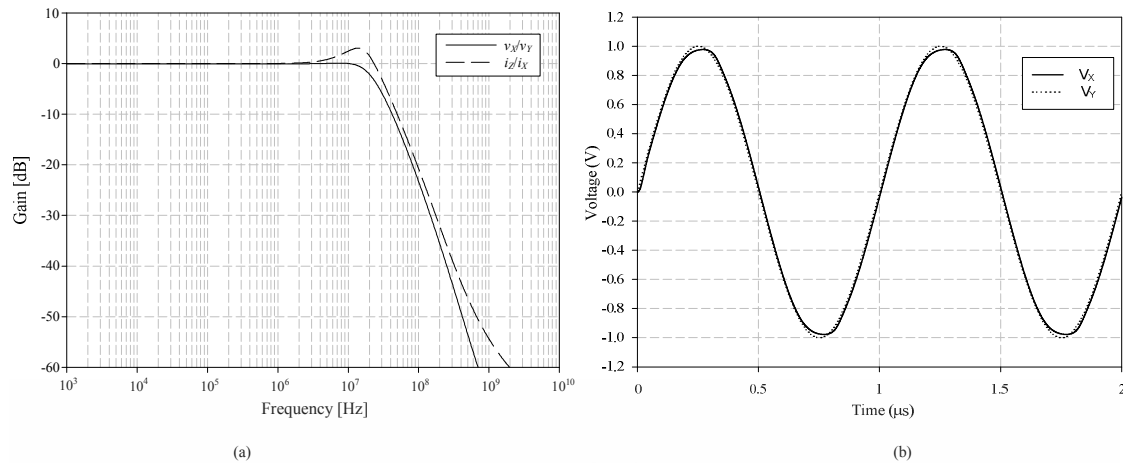


Fig. 5. (a) Frequency response of v_x/v_y and i_z/i_x and (b) Transient response (Input 2 V_{pp}, 1 MHz).

CONCLUSIONS

A feedforward bulk-driven class AB fully-differential second-generation current conveyor (FDCCII) is presented. The circuit employs bulk-driven to achieve large input swing. The feedforward technique is also employed to increase and suppress the differential and common mode gains, respectively. Class AB output stage enhances the output current driving capability. The circuit shows good dc transfer characteristics with good linearity.

ACKNOWLEDGMENT

Authors would like to thank Commission on Higher Education (CHE-PhD-SW-NEWU) for supporting grant fund under the program Strategic Scholarships for Frontier Research Network for the Join Ph.D. Program Thai Doctoral degree for this research.

References

- [1] S. A. Smith and K. C. Smith, "A second-generation current conveyor and its applications," *IEEE Trans. on Cir. Theo.*, CT-17(1) (1970) 132-134.
- [2] Shouli Yan and Edgar Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IEICE Trans. Fun.* E83-A 2 (2000) 179-196.
- [3] V. Kasemsuwan, and W. Nakhlo, "A simple 1.5 V rail-to-rail CMOS current conveyor," *J. of Cir. Sys. and Comp.*, 16 4 (2007) 627-639.
- [4] I. A. Awad, and A. M. Soliman, "New CMOS Realization of the CCII-," *IEEE Trans. on Cir. and Sys.-II; Ana. and Dig. Sig. Pro.*, 46 4 (1999) 460-463.
- [5] F. Khateb, N. Khatip, and D. Kubanek, "Novel low-voltage low-power high-precision CCII± based on bulk-driven folded cascode OTA," *Micro. J.* 42 (2011) 622-631.
- [6] R. Fani, and E. Farshidi, "A FG-MOS based fully differential current controlled current conveyor and its applications," *Cir. Sys. and Sig. Pro.*, (2012) 1-19.
- [7] S. A. Mahmoud, "Fully differential CMOS CCII based on differential difference transconductor," *Ana. Integr. Circ. and Sig Pro.*, February (2007) 195-203.
- [8] E. A. Sobhy, and A. M. Soliman, "Realizations of fully differential voltage second-generation current conveyor with an application," *Int. J. of Cir. Theo. and App.*, 38 (2010) 441-452.
- [9] T. Thongleam, S. Suwansawang, and V. Kasemsuwan, "Low-voltage high gain, high CMRR and rail-to-rail bulk-driven op-amp using feedforward technique," *The 13th Inter. Sym. on Commu. and Inf. Tech. (ISCIT 2013)* (2013) 596-599.

Applied Physics and Material Science

10.4028/www.scientific.net/AMR.979

Feedforward Bulk-Driven Class AB Fully-Differential Second-Generation Current Conveyor (FDCCII)

10.4028/www.scientific.net/AMR.979.62



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ECTI-CON 2011
KHON KAEN UNIVERSITY

8th

Electrical Engineering/ Electronics,
Computer, Telecommunications and
Information Technology (ECTI) Association,
Thailand - Conference 2011

Khon Kaen, Thailand

May 17-19, 2011

Pullman Khon Kaen Raja Orchid Hotel

ECTI
Association



**KHON KAEN
UNIVERSITY**



IEEE
THAILAND SESSION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 0.8 V Quasi-Floating-Gate Fully Differential CMOS Op-Amp with Positive Feedback

Thawatchai Thongleam¹, Apirak Suadet² and Varakorn Kasemsuwan³

School of Electronics, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Chalongkrung Rd., Ladkrabang Dist, Bangkok 10520, THAILAND.

e-mail tony_tct@yahoo.com¹, s2610120@kmitl.ac.th² and kkvarako@kmitl.ac.th³.

Abstract—This paper presents a 0.8 V fully differential CMOS op-amp. The input stage of the circuit is designed using quasi-floating-gate (QFG) transistors with positive feedback, while QFG transistors in the output stage are connected in the class AB configuration. QFG transistors are employed, enabling the circuit to operate under low supply voltage. The proposed amplifier is designed using 0.18 μm CMOS technology, and simulation results show rail-to-rail input and output swings. The open-loop gain is 80.4 dB with the gain-bandwidth product of 8.66 MHz. Phase margin is 45° ($C_L = 20$ pF). The CMRR is 107 dB (at 1 kHz) and the power consumption is 54.9 μW .

I. INTRODUCTION

Nowadays, increasing demand for battery-operated systems and the reduction of IC supply voltage due to technology scaling, force the circuit to operate at power supply voltages in the range of 1 V and below. For digital circuits, operating the circuits with low voltage is achievable with the technologies presently available [1]. Conversely, operating analog circuit especially in the mixed-mode design under very low voltage becomes a formidable challenge. This challenge is due to the threshold voltages of MOSFET devices, which are relatively high. Although low-voltage analog circuit design can be achieved using low threshold voltage devices, it is found to be not a cost effective solution due to the requirement of nonstandard processings. The solution of using on-chip dc-to-dc converters or other bootstrapping techniques to increase the supply voltage for analog part has a problem due to device reliability, chip area, and noise issues. As a result, circuit techniques must be developed for analog circuits to operate at a low voltage using relatively high threshold voltage devices.

The operational amplifier (Op-amp) is one of the most important basic building blocks in analog and mixed-signal integrated circuit. Applications of Op-amp include analog to digital and digital to analog converters, switched-capacitor and filters [1]. Main characteristics of Op-amp include high open-loop gain, large common-mode range (CMR), high common-mode rejection ratio (CMRR), high gain-bandwidth product (GBW), and large slew-rate.

Due to threshold voltage limitation, a traditional differential pair is not capable to process with rail-to-rail common-mode (CM) levels. Several techniques have been proposed to achieve Op-amp with rail-to-rail operation. One common technique is to combine n-channel and p-channel differential pairs in parallel [2]. During the operation, one of the two differential pairs is always active for any common-mode level. However, this approach is restricted for supply

voltages greater than two threshold voltages due to the dead zone in the middle of the input voltage range. In addition, fluctuation of the transconductance requires additional complicated circuitry to keep the transconductance constant. The dynamic level shifters have been proposed to provide a rail-to-rail operation at extremely low supply voltage [3]. Unfortunately, this approach requires complicated common-mode detector, which increases the silicon area and power consumption. The bulk-driven technique has been reported in [4], and the resulting bulk driven differential pair achieve rail-to-rail operation. However, the transconductance is 2 to 5 times lower than the that of the normal gate-driven differential pair. Positive feedback is employed to increase the transconductance [5] and high gain Op-amp is finally obtained. However, the resulting circuit is unable to operate under low supply voltage.

Recently, quasi-floating-gate (QFG) transistor technique has been successfully employed to design amplifier operating under ultra-low supply voltage [6, 7]. The basic concept of QFG transistor is based on transistor with floating gate terminal connected with a resistor pull-up or pull-down in order to set the dc bias at the gate terminal, making the gate voltage independent of the dc input bias. In this paper, a 0.8 V high gain fully differential CMOS Op-amp using QFG transistors and positive feedback is proposed. The circuit can operate under 0.8 V supply. The circuit shows rail-to-rail operation at both input and output.

II. QUASI-FLOATING-GATE TRANSISTOR

The equivalent circuit of a QFG transistors is shown in Fig. 1 (a). As seen, the input signals are capacitively coupled to the quasi-floating gate, while the dc operating point at the quasi-floating gate is set by V_B through a large resistor R_{BIAS} . The large resistor R_{BIAS} can be realized by pMOS transistor (M_R) operating in the cutoff region (see Fig. 1 (b)).

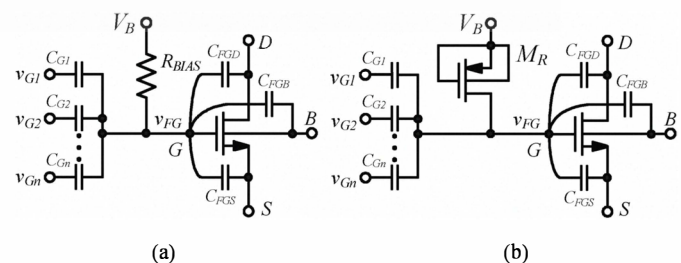


Fig 1. Quasi-FGMOS transistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

From Fig. 1, one can see that the input of the QFG is connected in the high pass filter configuration. Since R_{BIAS} can be made very large, the cutoff frequency can be very low. As a result, the very low frequency (below 1 Hz) can pass and be processed by the QFG transistor.

One can find the ac voltage at the floating gate as

$$v_{FG} = \frac{sR_{BIAS}}{1 + sR_{BIAS}C_T} \left(\sum_i^n C_{Gi}v_{Gi} + C_{FGD}v_D + C_{FGS}v_S + C_{FGB}v_B \right), \quad (1)$$

where C_{Gi} is the coupling capacitor between the input (i) and the floating gate, and the total capacitance C_T is

$$C_T = \sum_i^n C_{Gi} + C_{FGD} + C_{FGS} + C_{FGB}. \quad (2)$$

One can notice that the signal at the QFG depends on the input signals v_{Gi} via the ratio C_{Gi}/C_T . In other words, the input signals are attenuated, thus potentially enabling rail-to-rail input swing.

III PROPOSED OPERATIONAL AMPLIFIER

A. Quasi FGMOS Fully Differential Op-amp

The proposed CMOS Op-amp is depicted in Fig. 2. As seen, the proposed Op-amp is two stage fully differential amplifier. The input stage consists of the transistors $M_{1a,b}$ - $M_{3a,b}$, while $M_{4a,b}$ - $M_{5a,b}$ consist to be the output stage. As seen, the input signals are capacitively coupled to the QFG terminals of the transistors M_{1a} and M_{1b} , while the dc operating points at both gate terminals are set by V_{Bn1a} and V_{Bn1b} through the large resistors R_{1a} and R_{1b} , respectively. In our design, V_{Bn1a} and V_{Bn1b} are set close to V_{DD} , thus allowing the input stage to operate under the supply voltage close to threshold voltage of the transistors.

The operation of the proposed circuit can be explained as follows. When the inputs v_{IN+} and v_{IN-} are differential signals, the signals at nodes v_{outa} and v_{outb} are in phase with the input signals v_{IN-} and v_{IN+} , respectively. As a results, the signals v_{IN+} (v_{IN-}) and v_{outb} (v_{outa}) are passed through C_{G1a} (C_{G1b}) and C_{F1a} (C_{F1b}) and constructively combined to form v_{FGn1a} (v_{FGn1b}) at the QFG terminal of M_{1a} (M_{1b}). In other words, the output signals of the input stage are positively fed back to the inputs, thus enhancing the differential-mode gain. On the contrary, when the inputs v_{IN+} and v_{IN-} are common-mode signals, the signals at nodes v_{outa} and v_{outb} are out of phase with the input signals. These signals are fed back and destructively combined with input signals (via $C_{F1a(1b)}$ and $C_{F2a(2b)}$), thus reducing $v_{FGp1a(1b)}$ and $v_{FGn1a(1b)}$. As a result, the input stage responds to the differential-mode input signals with a much higher gain than the common-mode input signals. The current $i_{d1a(b)}$ is converted to voltage at node $v_{outa(b)}$. Since M_{2a} and M_{2b} are connected as cross coupled transistors, the impedance toward the drain terminals of M_{2a} and M_{2b} are negative, resulting in large equivalent impedances and large swings at nodes v_{outa} and v_{outb} . It is noted that M_{2a} and M_{2b} are also QFG transistors. The dc operating points at both gate terminals are set by V_{Bp1a} and V_{Bp1b} through the large resistors R_{2a} and R_{2b} , respectively. In our design, V_{Bp1a} and V_{Bp1b} are set to ground, thus allowing the input stage to operate under the supply voltage.

The signals at nodes v_{outa} and v_{outb} are further amplified by the output stage amplifier ($M_{4a,b}$ - $M_{5a,b}$), connected in the class AB configuration [9]. As seen, the dc operating points are set by V_{Bn2a} and V_{Bn2b} through the large resistors R_{3a} and R_{3b} , respectively. Resistor $R_{C1a(b)}$ and capacitor $C_{C1a(b)}$ are used to compensate the amplifier such that the circuit is always stable.

A straightforward small signal analysis of the Op-amp in Fig. 2 shows that the differential-mode gain (A_{vd}) and common-mode gain (A_{vc}) are given by

$$A_{vd} \cong \frac{g_{m1a(b)} \left(C_{G1a(b)} / C_{Tn1a(b)} \right) \left(g_{m4a(b)} + g_{m5a(b)} \right) \left(r_{O4a(b)} \parallel r_{O5a(b)} \right) \left(g_{m2a(b)} - g_{m3a(b)} \right)}{g_{m2a(b)} - g_{m3a(b)} - \left[g_{m1a(b)} \left(C_{F1a(b)} / C_{Tn1a(b)} \right) + g_{m2a(b)} \left(C_{F2a(b)} / C_{Tp1a(b)} \right) \right]^2}, \quad (3)$$

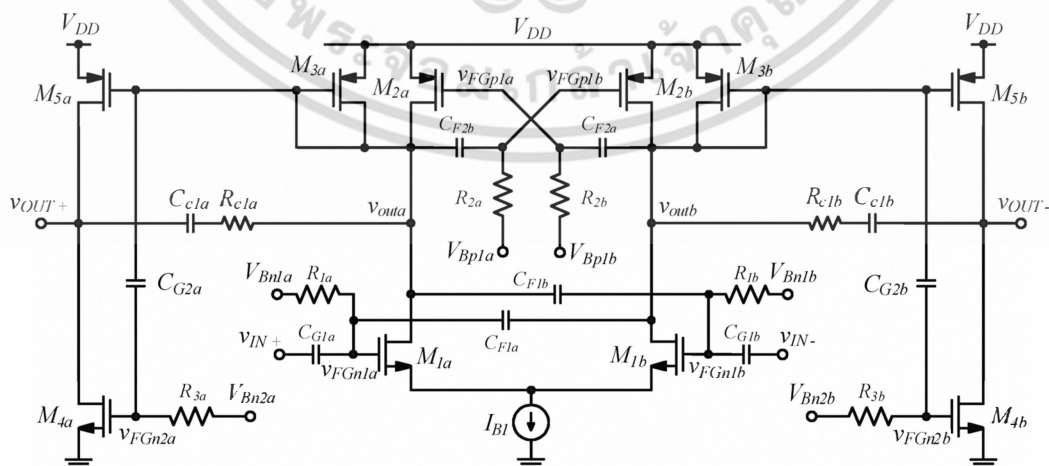


Fig 2. Proposed Op-amp.

$$A_{vc} = \frac{R_{outa(b)} C_{G1a(b)} (g_{m4a(b)} + g_{m5a(b)}) (r_{O4a(b)} \parallel r_{O5a(b)})}{2r_{OB1} C_{Tn1a(b)} - R_{outa(b)} C_{F1a(b)}}, \quad (4)$$

where $C_{Tn1a(b)}$ is the total capacitance at node $v_{FGn1a(b)}$, r_{OB1} is the impedance of the tail current I_{B1} , $R_{outa(b)} = 1 / (g_{m2a(b)} + g_{m3a(b)})$, $C_{Tp1a(b)}$ is the total capacitance at node $v_{FGp1a(b)}$, $C_{Tn2a(b)}$ is the total capacitance at node $v_{FGn2a(b)}$, $g_{m1a(b)-5a(b)}$ and $r_{O1a(b)-5a(b)}$ are the transconductance and output impedance of QFG transistors $M_{n1a(b)-5a(b)}$, respectively.

B. Common-Mode Cancellation Circuitry

Fig 3 illustrates the common-mode cancellation circuitry, which is used to suppress the output common-mode signal of the proposed Op-amp. As seen, the circuit is design based on a simple differential pair. QFG transistor M_{6a} operates as a common-mode detector, while the current source I_{B2} is used to bias M_{6a} and M_{6b} . The dc operating point of M_{6a} is set by the bias voltage V_{Bias3} via the resistor R_{4a} . In our design, $C_{G3a(b)}$ is a very small capacitor. As a result, the common-mode signals v_{OUT+} and v_{OUT-} are attenuated at the QFG terminals of M_{6a} , allowing the differential pair (M_{6a} and M_{6b}) to operate with rail-to-rail input swing.

The operation of the circuit can be explained as follows. In case of differential v_{OUT+} and v_{OUT-} , the signal v_{FGn3} is nearly constant. However, when v_{OUT+} and v_{OUT-} are common-mode signals, they are first attenuated by $C_{G3a(b)}$ and then amplified by the differential pair stage. The signal at node v_{outc} is further amplified by $M_{9a(b)}$, which connected in the common source configuration, resulting in a large with opposite phase v_{outc} . The signal $v_{OUT+(-)}$ is fed back to the output of the Op-amp. Since the input signal and $v_{OUT+(-)}$ have opposite phase, the common-mode response is suppressed.

A straightforward small signal analysis shows that the common mode rejection ratio (CMRR) of the proposed circuit in Fig. 2, using the common mode circuitry in Fig. 3 yields equation (5), where C_{Tn3} is the total capacitance at node v_{FGn3} , $C_{Tp2a(b)}$ is the total capacitance at node $v_{FGp2a(b)}$.

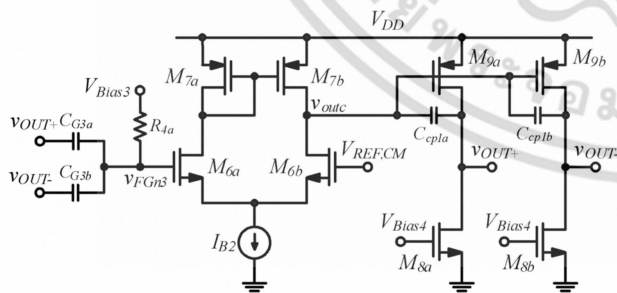


Fig 3. Common-Mode cancellation circuitry. [9]

$$CMRR \cong \frac{2g_{m1a(b)}g_{m6a}g_{m9a(b)}(r_{O7b} \parallel r_{O6b})(r_{O4a(b)} \parallel r_{O5a(b)})(g_{m2a(b)} - g_{m3a(b)}) \left(\frac{C_{G3a(b)}}{C_{Tn3}} \right) \left(\frac{r_{Ob1}}{R_{outa}} - \frac{C_{F1a(b)}}{C_{Tn1a(b)}} \right)}{(g_{m2a(b)} - g_{m3a(b)})^2 - \left[g_{m1a(b)} \left(\frac{C_{F1a(b)}}{C_{Tn1a(b)}} \right) + g_{m2a(b)} \left(\frac{C_{F2a(b)}}{C_{Tp1a(b)}} \right) \right]^2}. \quad (5)$$

IV. SIMULATION RESULTS AND DISCUSSIONS

The proposed circuit has been simulated with HSPICE using a $0.18 \mu\text{m}$ standard CMOS technology process which 0.8 V supply voltage. The quiescent current of the input and output stages are set to $20 \mu\text{A}$. Large resistors $R_{1a,b}$, $R_{3a,b}$ and $R_{4a,b}$ are implemented using nMOS, while $R_{2a,b}$ are implemented using pMOS, in the cut off region. Fig. 4 shows gain and phase of the Op-amp. As seen, the results shows 80.4 dB open loop gain, 8.66 MHz unity-gain bandwidth, and a phase margin of 45° ($C_L = 20 \text{ pF}$).

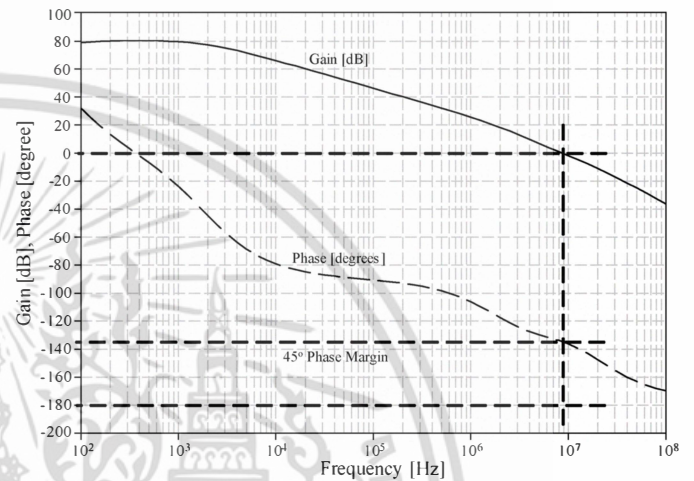


Fig 4. Frequency response.

Fig. 5 shows time-domain response of the proposed Op-amp, which is connected in the unity-gain inverting configuration ($C_L = 20 \text{ pF}$) and input is 1.4 V_{pp} (200 kHz). As seen, the result demonstrates rail-to-rail operation.

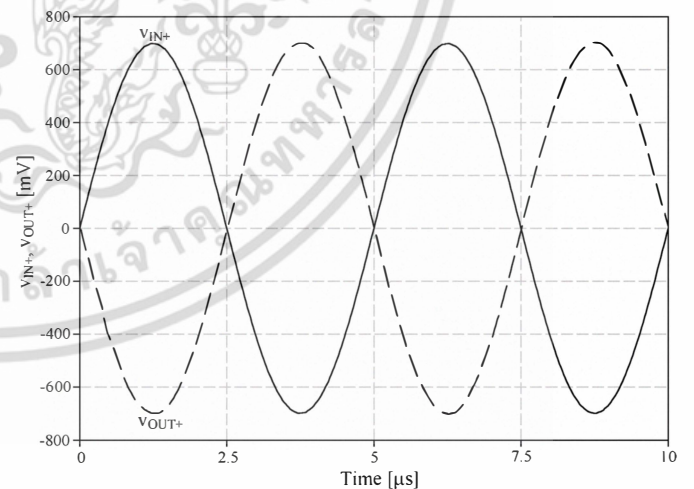


Fig 5. Transient response (Input: 1.4 V_{pp} , 200 kHz).

Fig. 6 illustrates frequency response of the proposed Op-amp, connected in the non-inverting configuration ($C_L=20$ pF). As seen, the closed-loop gain can be adjusted from 12 dB to 22 dB with the bandwidth independent of gain.

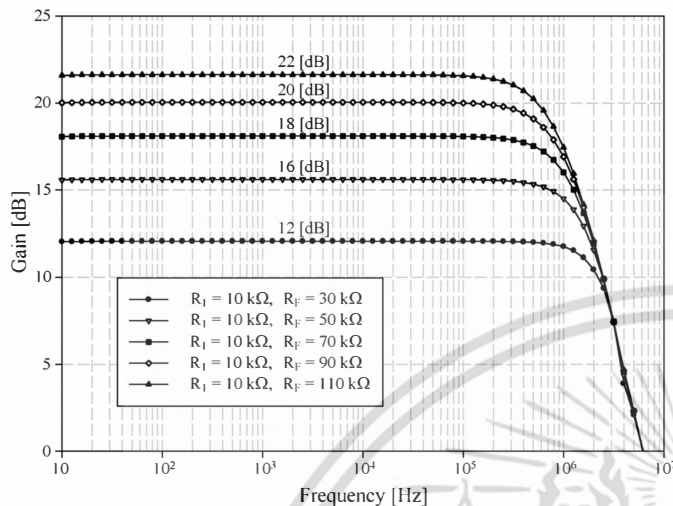


Fig 6. Frequency response.

Table 1 shows a comparison of the proposed Op-amp with previously published amplifiers. As seen, the proposed amplifier shows gain, gain-bandwidth product and slew rate improvement over other designs. It is noted that high value of slew rate is obtained mainly due to the class AB output stage employed, allowing the maximum output current to be larger than the quiescent current.

TABLE I.
PERFORMANCE COMPARISON.

Parameter	[4]	[10]	[11]	This work
Supply voltage	0.8 V	0.9 V	0.7 V	0.8 V
Power dissipation	100 μ W	9.9 μ W	107 μ W	59.4 μ W
Open-loop gain	56 dB	62 dB	72.8 dB	80.4 dB
GBW	3.2 MHz	540 kHz	970 kHz	8.66 MHz
Phase Margin	45	52	70	45
CMRR	80 dB	129 dB	-	105 dB
PSRR	88 dB	76 dB	76 dB	107 dB
Slew rate	-	0.23 V/ μ s	1.04 V/ μ s	11 V/ μ s
Load capacitance	20 pF	2.5 pF	50 pF	20 pF
Technology	0.18 μ m	0.35 μ m	0.18 μ m Triple-well	0.18 μ m

V CONCLUSIONS

In this paper, a high gain fully differential CMOS Op-Amp with rail-to-rail input/output swing is proposed. The circuit is developed based on QFG transistors, enabling the circuit to operate under a low supply voltage. The simulation results show high open-loop gain and slew rate.

ACKNOWLEDGMENT

Authors would like to thank Commission on Higher Education (CHE-PhD-SW-NEWU) for supporting grant fund under the program Strategic Scholarships for Frontier Research Network for the Join Ph.D. Program Thai Doctoral degree for this research, and the Thailand Research Fund (TRF) through the Royal Golden Jubilee Ph.D. Program (Grant No. PHD/0303/2550)

REFERENCES

- [1] K. J. de Langen and J. H. Huijsing, "Compact Low-Voltage Power-Efficient Operational Amplifiers Cell for VLSI," *IEEE J. Solid-State Circuit*, vol. 33, no. 10, October 1998, pp. 1482-1496.
- [2] T. Song, J. Hu, X. Li, E. Sanchez-Sinencio and S. Yan "A Robust and Scalable Constant-gm Rail-to-Rail CMOS Input Stage With Dynamic Feedback for VLSI Cell Libraries," *IEEE Trans Circuits Syst. I: Regular Papers*. Vol. 55, no. 3, April, 2008, pp. 804-816.
- [3] D. Baez-Villegas and J. Silva-Martinez, "Quasi Rail-to-Rail Very Low-Voltage OPAMP With a Single pMOS Input Differential Pair," *IEEE Trans Circuits Syst. II, Express Briefs*. Vol. 53, no. 11, November, 2006, pp. 1175-1179.
- [4] G. Raikos and S. Vlassis, "0.8 V Bulk-Driven Operational Amplifier," *Analog Integr Circ Sig Process.*, November 2009, pp. 1-8.
- [5] J. M. Carrillo, G. Torelli, R. Perez-Aloe and J. F. Duque-Carrillo, "1-V Rail-to-Rail CMOS OpAmp With Improved Bulk-Driven Input Stage," *IEEE J. Solid-State Circuit*, vol. 42, no. 3, January 2007, pp. 508-517.
- [6] J. Ramirez-Angulo, Carlos A. Urquidi, R. G. Carvajal, A. Torralba and A. Lopez-Martin, "A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating Gate Transistors," *IEEE Trans Circuits Syst. II: Analog and Digital Signal Processing*, Vol. 50, no. 5, May, 2003, pp. 214-220.
- [7] J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, and F. Munoz Chavero, "Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors," *IEEE Journal of Solid-State Circuits*. Vol. 39, no. 3, March, 2004, pp. 434-442.
- [8] J. Ramirez-Angulo, M. -S. Sawant, Sh. Thoutam, A. Lopez-Martin, and R. G. Carvajal, "New Low-Voltage Class AB/AB CMOS Opamp With Rail-to-Rail Input/Output Swing," *IEEE Trans Circuits Syst. II, Express Briefs*. Vol. 53, no. 4, April, 2006, pp. 289-293.
- [9] J. Ramirez-Angulo, R. G. Carvajal, J. A. Galan, and A. Lopez-Martin, "A Free But Efficient Low-Voltage Class-AB Two-Stage Operational Amplifier," *IEEE Trans Circuits Syst. II, Express Briefs*. Vol. 53, no. 7, July, 2006, pp. 568-571.
- [10] S. -W. Pan, Ch. -Ch. Chuang, Ch. -H. Yang and Y. -Sh. Lai, "A Novel OTA with Bulk-Driven Input Stage," *IEEE International Symposium on Circuits and System, ISCAS 2009*, 24-27 May, 2009, pp. 2721-2724.
- [11] M. -H. Shen, Y. -S. Wu, G. -H. Ke, and P. -C. Huang, "A 0.7-V CMOS Operational Transconductance Amplifier with Bulk-Driven Technique," *International SoC Design Conference (ISOCC 2010)*, 22-23 Nov. 2010, pp. 392-395.



AUS

الجامعة الأمريكية في الشارقة
American University of Sharjah

ICMSAO'11

FOURTH INTERNATIONAL CONFERENCE ON MODELING,
SIMULATION AND APPLIED OPTIMIZATION

PROGRAM BOOK

19 - 21 April, 2011
Kuala Lumpur, Malaysia

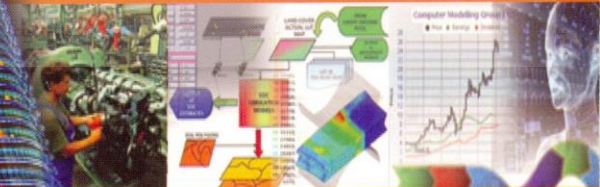
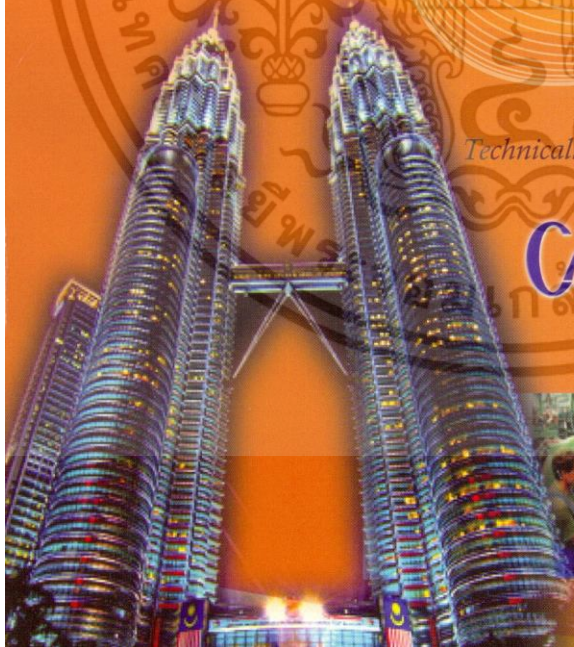
Technically Co-Sponsored by the IEEE



Program Organizers:



Robotics & Automation Society



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 0.5 V Class AB Quasi FGMOS Pseudo Fully Differential CMOS Op-Amp with Rail-to-Rail Input/Output Swing

Thawatchai Thongleam¹, Apirak Suadet¹, Arnon Kanjanop¹, Pratchayaporn Singhanath¹,
Buncha Hirunsing², Weerasak Chuenta² and Varakorn Kasemsuwan¹

¹School of Electronics, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang,
Chalongkrung Rd., Ladkrabang Dist., Bangkok 10520, THAILAND.
e-mail: tony_tct@yahoo.com and kkvarako@kmitl.ac.th.

²School of Electronics Engineering, Faculty of Science and Technology,
Nakhon Pathom Rajabhat University,
85 Maraiman Rd., Muang Dist., Nakhon Pathom 73000, THAILAND.
e-mail: hirunsing@yahoo.com and weerasak@npru.ac.th

Abstract

This paper presents a 0.5 V pseudo fully differential CMOS op-amp with rail-to-rail input/output swing. The circuit is designed based on class AB input and output stages. In the design, quasi FGMOS transistors are employed. The proposed amplifier is designed using 0.18 μm CMOS technology, and the simulation results show rail-to-rail input and output swings. The open-loop gain and gain-bandwidth product show 73.3 dB and 12.6 MHz. The CMRR is 73.2 dB (at 1 kHz) and the power consumption is 27.9 μW .

1. Introduction

At present, increasing demand for battery-operated systems and the reduction of IC supply voltage due to technology scaling, force the circuit to operate at power supply voltages in the range of 1 V and below. For digital circuits, operating the circuits with such low voltage is achievable with the technologies presently available [1], [2]. However, operating analog circuit especially in the mixed-mode design under very low voltage becomes a formidable challenge. This challenge is due to the threshold voltages of MOSFET devices, which are relatively high. Although low-voltage analog circuit design can be achieved using low threshold voltage devices, it is found to be not a cost effective solution due to the requirement of nonstandard processings. The solution of using on-chip dc-to-dc converters or other bootstrapping techniques to increase the supply voltage for analog part has a problem due to device reliability, chip area, and noise issues. As a result, circuit techniques must be developed for analog circuits to operate at a low supply voltage using relatively high threshold voltage devices. It is also noted that reduction of the supply voltage has led to the need for the amplifier, which can utilize a substantial part of the supply-voltage range for signal operations in order

to get a reasonable ratio between signals and noise and other interference.

One of the most important and widely used basic building blocks in analog, mixed-signal and very-large-scale-integrated (VLSI) circuits is the operational amplifier (Op-amp). Op-amp has been used in several applications such as analog to digital and digital to analog converters, switched-capacitor and filters [2]. Main characteristics of Op-amp include high open-loop gain, large common-mode range (CMR), high common-mode rejection ratio (CMRR), high gain-bandwidth product (GBW), and large slew-rate.

Due to threshold voltage limitation, a traditional differential pair is not capable of processing signals with rail-to-rail common-mode (CM) levels. An n-channel (p-channel) differential pair cannot process signals with low (high) common-mode input signal. Several techniques have been proposed to achieve Op-amp with rail-to-rail operation. One common technique is to combine n-channel and p-channel differential pairs in parallel [3], [4]. During the operation, one of the two differential pairs is always active for any common-mode level. However, this approach is restricted for supply voltages greater than two threshold voltages due to the dead zone in the middle of the input voltage range. In addition, fluctuation of the transconductance of the input stage requires additional complicated circuitry to keep the transconductance constant to avoid stability problem. The dynamic level shifters have been proposed to provide a rail-to-rail operation at extremely low supply voltage [5], [6]. Unfortunately, this approach requires complicated common-mode detector circuit, which then increases the silicon area and power consumption. The bulk-driven technique has been reported in [7], [8], and the resulting bulk driven differential pair can achieve rail-to-rail operation. However, the obtained transconductance is 2 to 5 times lower than the transconductance of the normal gate-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_{vd} = \frac{\left(C_{G1a(2a)} / C_{Tp1a(n1a)} \right) (g_{m1a} + g_{m2a}) (r_{O1a} \parallel r_{O2a})}{1 - \left(C_{F1a(2a)} / C_{Tp1a(n1a)} \right) (g_{m1a} + g_{m2a})^2 (r_{O1a} \parallel r_{O2a})^2} \left(\frac{C_{G3a(4a)}}{C_{Tp2a(n2a)}} \right) (g_{m3a} + g_{m4a}) (r_{O3a} \parallel r_{O4a}). \quad (3)$$

The operation of the proposed circuit can be explained as follows. When the inputs v_{IN+} and v_{IN-} are differential signals, the signals at nodes v_{outa} and v_{outb} are in phase with the input signal v_{IN-} and v_{IN+} , respectively. As a result, the signals v_{IN+} (v_{IN-}) and v_{outb} (v_{outa}) are passed through $C_{G1a(2a)}$ ($C_{G1b(2b)}$) and $C_{F1a(2a)}$ ($C_{F1b(2b)}$) and added constructively to form $v_{FGp1a(n1a)}$ ($v_{FGp1b(n1b)}$). In other words, the output signals of the first stage are positively fed back to the input, which then enhances the differential gain. In contrary, when the inputs v_{IN+} and v_{IN-} are common-mode signal, the signals at nodes v_{outa} and v_{outb} are out of phase with the input signals. These signals are fed back and destructively combined with input signals (via $C_{F1a(1b)}$ and $C_{F2a(2b)}$), thus reducing $v_{FGp1a(1b)}$ and $v_{FGn1a(1b)}$. As a result, the input stage responds to the differential input signal with a much higher gain than the common input signal.

The current from the input stage is delivered to the output stage, which is also connected in the class AB configuration. As seen, the output stage is connected as CMOS inverter similar to the input stage, and the dc operating points are set by $V_{Bp2a(2b)}$ and $V_{Bn2a(2b)}$ through the large resistors $R_{3a(3b)}$ and $R_{4a(4b)}$, respectively. Since $V_{Bp2a(2b)}$ set close to ground, while $V_{Bn2a(2b)}$ are set close to V_{DD} , the output stage can operate under the supply voltage close to the threshold voltage of the transistors. Resistors $R_{C1a(1b)}$ and Capacitors $C_{C1a(1b)}$ are used to compensate the amplifier such that the circuit is always stable.

A straightforward small signal analysis of the Op-amp in Fig. 2 shows that the differential-mode gain (A_{vd}) yields equation (3) and common-mode gain (A_{vc}) are given by

$$A_{vc} = \frac{\left(C_{G1a(2a)} / C_{Tp1a(n1a)} \right) (g_{m1a} + g_{m2a}) r_{Oa} A_{v3a(4a)}}{1 - \left(C_{F1a(2a)} / C_{Tp1a(n1a)} \right) (g_{m1a} + g_{m2a}) r_{Oa}}, \quad (4)$$

where $C_{Tp1a(n1a)}$ is the total capacitance at the node $v_{FGp1a(n1a)}$, $r_{Oa} = (r_{O1a} \parallel r_{O2a})$, $A_{v3a(4a)} = (C_{G3a(4a)} / C_{Tp2a(n2a)}) (g_{m3a} + g_{m4a}) (r_{O3a} \parallel r_{O4a})$, $C_{Tp2a(n2a)}$ is the total capacitance at the node $v_{FGp2a(n2a)}$, g_{m1a-4a} and r_{O1a-4a} are the transconductance and output resistance of quasi FG MOS transistors M_{n1a-4a} .

3.2. Common-Mode Cancellation Circuitry

The common-mode cancellation circuitry, which is used to suppress common-mode signal, is illustrated in Fig 3. QFG transistors $M_{5a(5b)}$ consist to be a common detector, while M_6 is biased in the saturation region, and used to biased $M_{5a(5b)}$. The dc operating points of $M_{5a(5b)}$

are set by the bias voltages V_{Bias2} via large resistors R_5 and V_{REF} ($V_{Bias2} = V_{REF}$). In the design, $C_{G5a(5b)}$ are small capacitors, and thus the signals v_{OUT+} and v_{OUT-} are attenuated at the QFG terminals of $M_{5a(5b)}$, so that rail-to-rail input swings can be achieved. The operation of the circuit can be explained as follows. In case of differential v_{OUT+} and v_{OUT-} , the signal v_{CM} is nearly constant. However, when v_{OUT+} and v_{OUT-} are common-mode signals, they will be amplified by $M_{5a(5b)}$, which are connected in the common source configuration, resulting in a large with opposite phase v_{CM} . The signal v_{CM} is fed back to the QFG of $M_{1a(1b)}$ and $M_{2a(2b)}$. Since the input signal and v_{CM} have opposite phase, the common-mode response is suppressed.

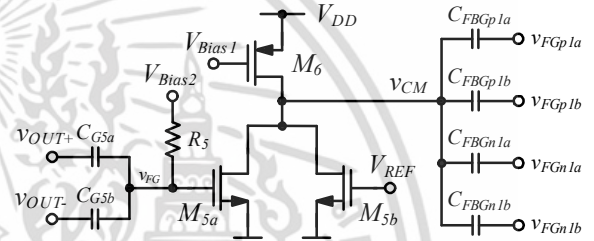


Fig 3. Common-Mode cancellation circuitry.

A straightforward circuit analysis shows that the common mode rejection ratio ($CMRR$) of the proposed circuit in Fig. 2, using the common mode cancellation circuitry in Fig. 3 yields equation (5), where $A_{vFB} = 2 (C_{G5a(b)} / C_{T5a}) g_{m5} (r_{O6} \parallel r_{O5a} \parallel r_{O5b})$, C_{T5a} is the total capacitance at the node v_{FG} , g_{m5} is the transconductance, and $r_{O5a(5b)}$ is the output resistance of quasi FG MOS transistor $M_{5a(b)}$.

4. Simulation Result and Discussions

To verify the circuit performance, HSPICE is used to simulate the proposed circuit, using a $0.18 \mu\text{m}$ CMOS process with 0.5 V supply voltage. V_B is set to 0.25 V to lower the threshold voltage of $M_{1a(b)}$. The quiescent current of the input and output stages are set to $13.7 \mu\text{A}$ and $10 \mu\text{A}$, respectively. Large resistors $R_{1a,b}$ and $R_{3a,b}$ are implemented using nMOS, while $R_{2a,b}$, $R_{4a,b}$ and R_5 are implemented using pMOS, operating in the cut off region. Fig. 4 shows gain and phase of the Op-amp. As seen, the results shows 73.3 dB open loop gain, 12.6 MHz unity-gain bandwidth and 50° phase margin.

Table 1 shows a comparison of the proposed Op-amp with previously published amplifiers. As seen, the proposed amplifier shows gain and gain-bandwidth product improvement over other designs.

$$CMRR = \frac{\left[1 - \left(C_{F1a(2a)} / C_{Tp1a(n1a)}\right) (g_{m1a} + g_{m2a}) r_{Oa}\right] + \left(C_{FBGp1a(n1a)} / C_{Tp1a(n1a)}\right) (g_{m1a} + g_{m2a}) r_{Oa} A_{v3a(4a)} A_{vFB}}{\left[1 - \left(C_{F1a(2a)} / C_{Tp1a(n1a)}\right) (g_{m1a} + g_{m2a}) r_{Oa}\right] A_{v3a(4a)}} \quad (5)$$

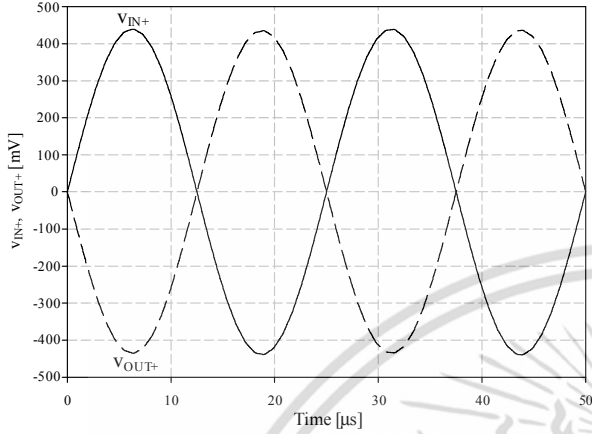


Fig 5. Transient response (Input: 0.88 V_{pp}, 40 kHz).

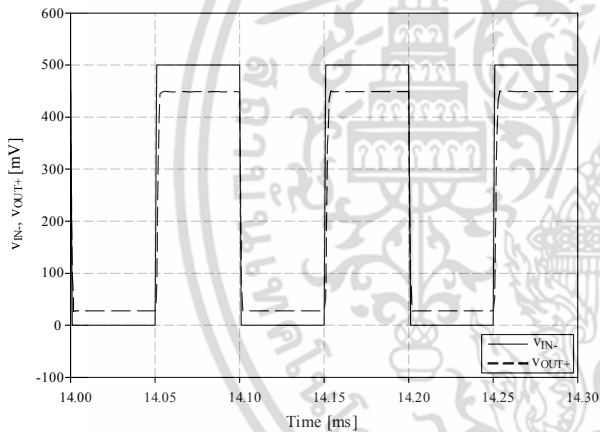


Fig 6. Transient response (Input: 0.5 V pulse).

Table 1. Performance Comparison.

Parameter	[8]	[13]	[14]	This work
Supply voltage	0.8 V	0.5 V	0.5 V	0.5 V
Power dissipation	100 μW	110 μW	28 μW	27.9 μW
Open-loop gain	56 dB	52 dB	65 dB	73.3 dB
GBW	3.2 MHz	2.5 MHz	550 kHz	12.6 MHz
Phase Margin	45	45	50	50
CMRR	80 dB	78 dB	86 dB	73.2 dB
PSRR	88 dB	76 dB	76 dB	72.7 dB
Slew rate	-	2.89 V/μs	0.23 V/μs	0.3 V/μs
Load capacitance	20 pF	20 pF	20 pF	20 pF
Technology	0.18μm	0.18μm Triple-well	0.18μm Triple-well	0.18μm

5. Conclusions

In this paper, a class AB fully differential CMOS Op-Amp with rail-to-rail input and output swing is proposed. The circuit is developed based on quasi FGMOS and operates under a 0.5 V supply using 0.18μm CMOS technology. Quasi FGMOS is also employed to realize the common-mode cancellation circuitry. The simulation results show 73.3 dB DC gain, 50° phase margin and unity gain bandwidth of 12.6 MHz. The power dissipation is 27.9 μW.

Acknowledgment

I would like to thank Commission on Higher Education (CHE-PhD-SW-NEWU) for supporting grant fund under the program Strategic Scholarships for Frontier Research Network for the Join Ph.D. Program Thai Doctoral degree for this research, and the Thailand Research Fund (TRF) through the Royal Golden Jubilee Ph.D. Program (Grant No. PHD/0303/2550)

References

- [1] Shouli Yan and Edgar Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IEICE Transaction on Analog Integrated Circuits and System*, vol. E00-A, no. 2, February 2000, p. 1-17.
- [2] K. J. de Langen and J. H. Huijsing, "Compact Low-Voltage Power-Efficient Operational Amplifiers Cell for VLSI," *IEEE J. Solid-State Circuit*, vol. 33, no. 10, October 1998, pp. 1482-1496.
- [3] J. M. Carrillo, J. F. Duque-Carrillo, G. Torelli, and J. L. Ausin, "Constant-gm Constant-Slew-rate High-Bandwidth Low-Voltage Rail-to-Rail CMOS Input Stage for VLSI Cell Libraries," *IEEE J. Solid-State Circuit*, vol. 38, no. 8, August 2003 pp. 1364-1372.
- [4] T. Song, J. Hu, X. Li, E. Sanchez-Sinencio and S. Yan "A Robust and Scalable Constant-gm Rail-to-Rail CMOS Input Stage With Dynamic Feedback for VLSI Cell Libraries," *IEEE Trans Circuits Syst. I: Regular Papers*. Vol. 55, no. 3, April, 2008, pp. 804-816.
- [5] J. F. Duque-Carrillo, J. L. Ausin, G. Torelli, J. M. Valverde and M. A. Dominguez, "1-V Rail-to-Rail Operational Amplifiers in Standard CMOS Technology," *IEEE J. Solid-State Circuit*, vol. 35, no. 1, January 2000, pp. 33-44.
- [6] D. Baez-Villegas and J. Silva-Martinez, "Quasi Rail-to-Rail Very Low-Voltage OPAMP With a Single pMOS Input Differential Pair," *IEEE Trans Circuits Syst. II, Express Briefs*. Vol. 53, no. 11, November, 2006, pp. 1175-1179.
- [7] K. D. Layton, D. T. Comer and D. J. Comer, "Bulk-Driven Gain-Enhanced Fully-Differential Amplifier for V_T+2V_{dsat} Operation," *IEEE International Symposium on Circuits and Systems (ISCAS 2008)*, 18-21 May 2008, pp. 77-80.
- [8] G. Raikos and S. Vlassis, "0.8 V Bulk-Driven Operational Amplifier," *Analog Integr Circ Sig Process.*, November 2009, pp. 1-8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่ไปยังเว็บไซต์อื่นโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [9] J. M. Carrillo, G. Torelli, R. Perez-Aloe and J. F. Duque-Carrillo, "1-V Rail-to-Rail CMOS OpAmp With Improved Bulk-Driven Input Stage," IEEE J. Solid-State Circuit, vol. 42, no. 3, January 2007, pp. 508-517.
- [10] J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, and C. Lackey, "Low-Voltage Closed-Loop Amplifier Circuits Based on Quasi-Floating Gate Transistors," IEEE International Symposium on Circuits and Systems, 2003. ISCAS'03, 25-28 May. 2003, pp. 813-816.
- [11] J. Ramirez-Angulo, Carlos A. Urquidi, R. G. Carvajal, A. Torralba and A. Lopez-Martin, "A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating Gate Transistors," IEEE Trans Circuits Syst. II: Analog and Digital Signal Processing, Vol. 50, no. 5, May. 2003, pp. 214-220.
- [12] J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, and F. Munoz Chavero, "Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors," IEEE Journal of Solid-State Circuits. Vol. 39, no. 3, March. 2004, pp. 434-442.
- [13] S. Chatterjee, Y. Tsvividis, and P. Kinget, "0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design," IEEE J. Solid-State Circuit, vol. 40, no. 12, December 2005, pp. 2373-2387.
- [14] M. Trakimas, and S. Sonkusale, "A 0.5 V Bulk-Input OTA with Improved Common-mode Feedback for Low-Frequency Filtering Applications," Analog Integr Circ Sig Process., October 2008, pp. 1-7.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Final Program

ECTI-CON 2016

ChiangMai Thailand, June 28 - 1 July , 2016

13th International Conference on Electrical Engineering/Electronics
Computer, Telecommunications and Information Technology



Illustrated by Assoc.Prof. Wichit Chomtaveewiroot

**Rajamangala University of Technology Lanna
ChiangMai, Thailand**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Voltage Bulk-Driven QFG-Regulated Self-Cascode Super MOS Transistor

Thawatchai Thongleam, Apirak Suadet and Varakorn Kasemsuwan

School of Electronics Engineering, Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

Bangkok 10520, Thailand

E-mail tony_tct@yahoo.com 52610120@kmitl.ac.th and kkvarako@kmitl.ac.th

Abstract—A bulk-driven super MOS transistor (BD-SMT) for low voltage operation is presented. The proposed transistor achieves a high effective transconductance ($G_{m(eff)}$), high effective drain impedance ($R_{D(eff)}$) and low effective source impedance ($R_{S(eff)}$). BD-SMT is designed based on regulated self-cascode and negative feedback techniques. The transistor been designed using a 0.18 μm CMOS technology and operated from a 0.4 V supply with a static power consumption of 12 μW . The simulation results showed higher $G_{m(eff)}$, larger $R_{D(eff)}$ and smaller $R_{S(eff)}$ as compared to those of simple bulk-driven MOS transistor.

Keywords—low voltage; bulk-driven; regulated self-cascode.

I. INTRODUCTION

Metal-oxide semiconductor field-effect transistor (MOS transistor) is the most widely used device in both digital and analog integrated circuits. Main characteristics of MOSFET include, for example, high input impedance, ease of scaling and simple fabrication process.

Bulk-driven MOS transistor (BD-MT) has been proposed to design low voltage amplifiers with rail-to-rail input operation [1-2]. Main drawback of BD-MT is its low bulk transconductance (g_{mb}) [3-13]. As a result, the impedance looking into the source (R_S) is rather high since $R_S \propto 1/g_{mb}$. It is also known that the drain-to-source impedance of modern nanoscale MOSFET (R_D) is small due to short channel effect. Several super MOS transistors (SMTs) have been reported and they were developed based on the regulated cascode technique (RGC). The resulting SMTs demonstrated an enhanced effective drain resistance ($R_{D(eff)}$) [14-18].

A single stage common source (CS) amplifier using MOSFET operating in the weak inversion and a negative feedback technique was used to increase $R_{D(eff)}$ [14]. Its weak inversion operation allowed the rail-to-rail output swing. Improved SMTs using a high-gain feedback amplifier were also proposed [15, 16]. An enhanced loop gain resulted in very large $R_{D(eff)}$. In addition, the output swing showed rail-to-rail operation since PMOS was used in the feedback loop. It is however noticed that these SMTs required a minimum supply voltage of $4V_{DSAT} + 3V_T$ which is quite large. SMT using single-stage OTA, and a Miller amplifier was proposed. The transistor showed high speed and gain. [17].

Recently, SMT using a two stage cascade common source amplifier connected in a negative feedback configuration was

reported [18]. The obtained SMT exhibited wide voltage swing, high effective transconductance $G_{m(eff)}$, low source resistance $R_{S(eff)}$ and, in addition, can operate at low supply ($2V_{DSAT} + V_T$). Nevertheless, $R_{D(eff)}$ is equal to that of a conventional MOSFET (i.e., $R_{D(eff)} = r_o$). It is noted that all mentioned SMTs either achieved high $R_{D(eff)}$ or low $R_{S(eff)}$. Nonetheless, none of them achieved high $R_{D(eff)}$ and low $R_{S(eff)}$ at the same time. Moreover, supply voltages required were high and the input swing was limited mainly by V_T .

In this paper, low-voltage bulk-driven regulated self-cascode super MOS transistor (BD-SMT) is presented. The proposed BD-SMT demonstrates a high $G_{m(eff)}$, high $R_{D(eff)}$ and low $R_{S(eff)}$ simultaneously. The input swing at the bulk terminal shows rail-to-rail operation and the SMT can operate from a supply voltage as low as $V_T + V_{DSAT}$.

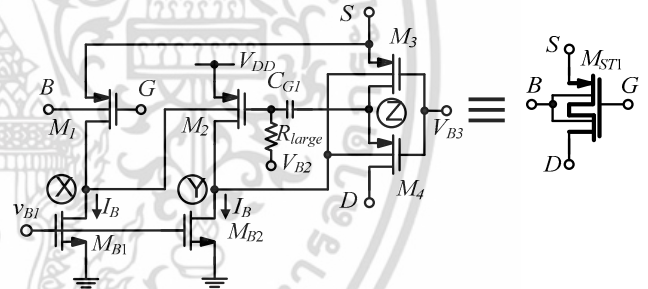


Fig. 1. Proposed super MOS transistor (BD-SMT).

II. PROPOSED BULK-DRIVEN SUPER MOS TRANSISTOR

Fig. 1 shows the proposed BD-SMT. $M_{B1} - M_{B2}$ operated as current sources to bias M_1 and M_2 , respectively. M_1 and M_2 are connected as a bulk-driven CS amplifiers. M_3 and M_4 form self-cascode transistor. As will be described later, quasi-floating gate (QFG) transistor M_2 is used to increase $R_{D(eff)}$ while M_1 and M_2 are used to reduce $R_{S(eff)}$ and increase $G_{m(eff)}$.

The operation of BD-SMT can be explained as follows. If the test voltage (v_i) is applied to bulk of M_1 , the signal v_i is amplified at node X . The amplified signal at node X is further amplified by common-source (CS) amplifier (M_2) at node Y which is then fed to the body of the self-cascode transistor M_3 and M_4 and finally converted into the drain current.

By using a typical small signal analysis, the effective transconductance ($G_{m(eff)}$) of BD-SMT can be shown as

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G_{m(eff)} \equiv \frac{g_{mb1}g_{mb2}g_{mb4}(r_{O1} \parallel r_{OB1})(r_{O2} \parallel r_{OB2})}{(g_{m4} + g_{mb4})r_{O3(lin)}}, \quad (1)$$

where g_{mbi} and r_{Oi} are bulk transconductance and drain-to-source impedance of the i^{th} transistor, respectively. $r_{O3(lin)}$ is the drain-to-source impedance of M_3 in the linear region.

From Eq. (1), one can see that $G_{m(eff)}$ in comparison with BD-MT is increased by a factor of $g_{mb1}g_{mb2}(r_{O1}/r_{OB1})(r_{O2}/r_{OB1})/(g_{m4} + g_{mb4})r_{O3(lin)}$.

To analyze the impedance at the drain terminal, one apply the test current i_t at the drain terminal and find the corresponding v_t at the drain terminal. $R_{D(eff)}$ is given by the ratio of v_t and i_t . It is noticed i_t is converted into voltage at node Z which is amplified by the CS amplifier via the QFG M_2 . The amplified signal is negatively fed back to the bulk terminals of M_3 and M_4 . This regulated cascade configuration helps increasing $R_{D(eff)}$. A straight forward small signal analysis shows $R_{D(eff)}$ as

$$R_{D(eff)} = [(C_{G1}/C_T)g_{m2}g_{mb4}(r_{O2} \parallel r_{OB2}) + g_{m4}]r_{O3(lin)}r_{O4}, \quad (2)$$

where C_{G1} is the coupling capacitor and C_T is the total gate capacitance of M_2 .

One can see that $R_{D(eff)}$ in comparison with BD-MT is increased by a factor of $[(C_{G1}/C_T)g_{m2}g_{mb4}(r_{O2}/r_{OB2}) + g_{m4}]r_{O3(lin)}$.

To analyze the impedance at the source terminal, one can apply v_t at the source terminal and find the associated i_t . As can be seen from Fig. 1, v_t is amplified by the CS amplifier M_1 at node X which is then further amplified by the CS amplifier M_2 at node Y. The signal at node Y is fed back to the body of the self-cascode M_3 and M_4 . An increase in the body voltage helps increasing the source current, and finally lowering the effective source impedance ($R_{S(eff)}$). A straight forward small signal analysis shows $R_{S(eff)}$ as

$$R_{S(eff)} \equiv \frac{(g_{m4} + g_{mb4})r_{O3(lin)}}{(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{O1} \parallel r_{OB1})(r_{O2} \parallel r_{OB2})}, \quad (3)$$

Notice that $R_{S(eff)}$ in comparison with BD-MT is reduced by a factor of $(g_{m4} + g_{mb4})/[(g_{m1} + g_{mb1})g_{mb2}g_{mb4}(r_{O1}/r_{OB1})(r_{O2}/r_{OB2})]$.

TABLE I. TRANSISTOR DIMENSIONS

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	Transistor	W/L ($\mu\text{m}/\mu\text{m}$)
M_1	52/0.5	M_4	82/0.5
M_2	52/0.5	M_{B1-3}	605/10
M_3	130/0.5	M_{R1}	0.75/100

III. SIMULATION RESULTS AND DISCUSSION

The proposed circuit has been designed and simulated using a standard 0.18 μm CMOS technology to verify its performance. The supply voltage is 0.4 V and the bias voltage at the body is set to 0.2 V. The bias current of every transistor is 10 μA . C_{G1} is 0.2 pF. Table 1 shows the size of transistors. Transistor M_1 , M_2 and M_4 operate in the saturation region while M_3 operates in the linear region.

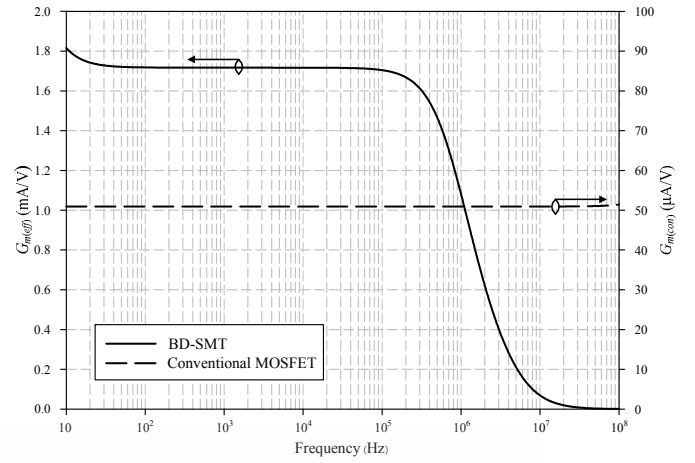


Fig. 2. $G_{m(eff)}$ versus $G_{m(con)}$.

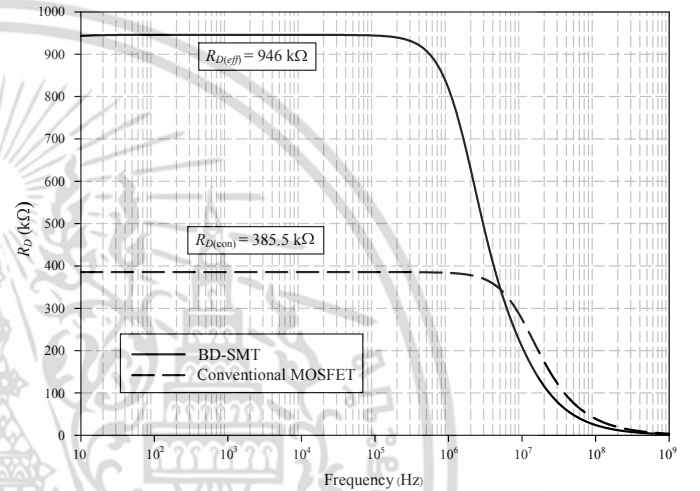


Fig. 3. $R_{D(eff)}$ versus $R_{D(con)}$.

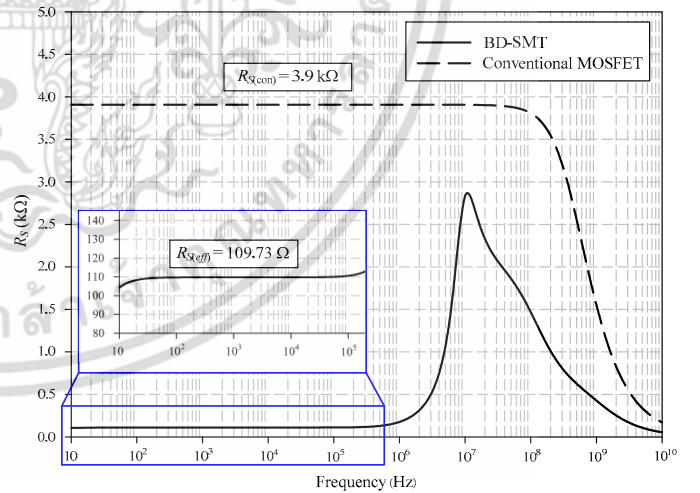


Fig. 4. $R_{S(eff)}$ versus $R_{S(con)}$.

Fig. 2 shows $G_{m(eff)}$ and the transconductance of the conventional BD-MT $G_{m(con)}$ for the same bias current and transistor size. As can be seen, $G_{m(eff)}$ is 1.72 mA/V while $G_{m(con)}$ reads only 50 $\mu\text{A}/\text{V}$ (i.e., $G_{m(eff)}$ is around thirty times larger than $G_{m(con)}$).

$R_{D(eff)}$ versus the conventional drain impedance of BD-MT ($R_{D(con)}$) is shown in Fig. 3. As can be seen, $R_{D(eff)}$ is 946 k Ω while $R_{D(con)}$ reads 385.5 k Ω (i.e. $R_{D(eff)} \approx 2.5R_{D(con)}$). Fig. 4 shows $R_{S(eff)}$ of BD-SMT versus the source impedance of a BD-MT ($R_{S(con)}$). As can be seen, $R_{S(eff)}$ is 109.73 Ω while $R_{S(con)}$ is 3.9 k Ω (i.e. $R_{S(eff)} \approx 0.03R_{S(con)}$).

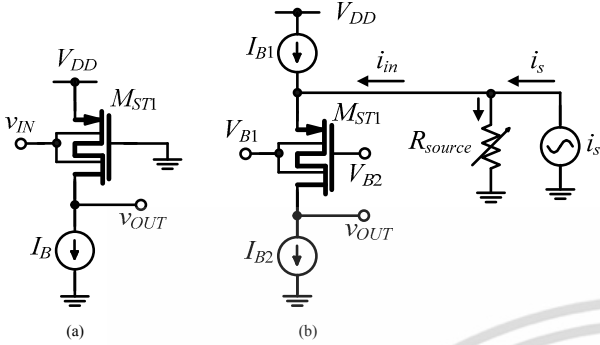


Fig. 5. (a) Common source and (b) common gate amplifiers.

To verify the performance of the proposed BD-SMT, BD-SMT is connected as a CS (Fig. 5a) and common-gate (CG) (Fig. 5b) amplifiers. Fig. 6 shows the frequency response using the proposed BD-SMT (solid line) and conventional MOSFET (dash line). The dc gains read 64.21 dB and 25.85 dB, respectively. Bandwidth of BD-SMT and conventional BD-SMT are 700 kHz and 10 MHz, respectively. The CS using BD-SMT has higher gain mainly due to an increase in both $G_{m(eff)}$ and $R_{D(eff)}$. Notes that an ideal current is used in the simulation since the MOSFET current source will affect the intrinsic gain and could mislead the result interpretation. Fig. 7 shows the transient response of the CS amplifier. A simple long channel MOSFET is used as a current source so that a realistic result is observed. As can be seen, CS amplifier exhibits a reasonable output voltage swing.

Fig. 8 shows the frequency response of the CG amplifier using the proposed BD-SMT (solid line) and the conventional MOSFET (dash line). The source impedance of the current source R_{source} is set equal to $R_{S(eff)}$ (i.e. $R_{source} = 109.73 \Omega$). This leads to a current gain of 0.5. It is however noticed that the input current gain is reduced to only 0.012 when a conventional MOSFET is used mainly due to its higher source impedance $R_{S(con)}$. Fig. 9 shows the transient response of i_{in}

when i_s is 4 μA_p sine wave at 20 kHz and R_{source} is R_{in} , $2R_{in}$ and $5R_{in}$. i_{in} is reduced to 2.04 μA_p , 2.7 μA_p and 3.35 μA_p , respectively.

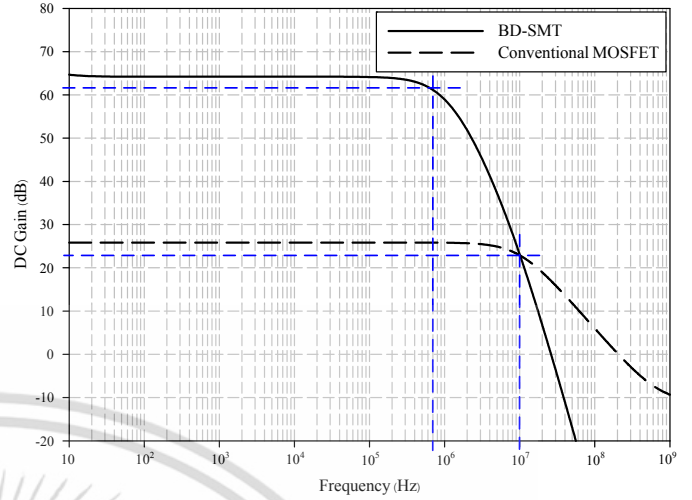


Fig. 6. Frequency response of Fig. 5a).

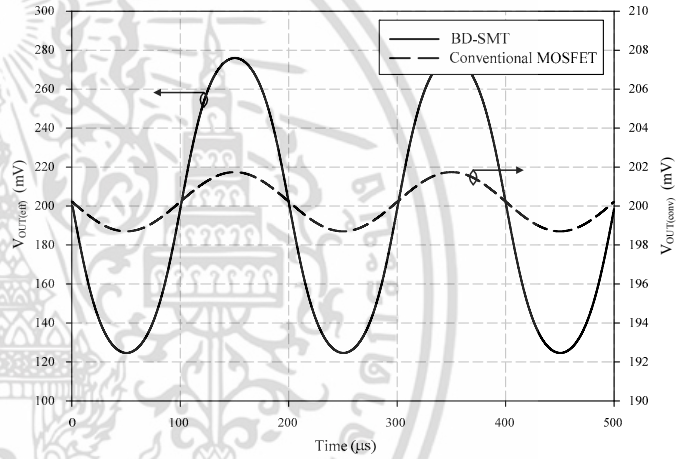


Fig. 7. Transient response of Fig. 5a).

Tables 2 shows a performance comparison of BD-SMT and other SMTs. Table 3 shows a comparison result between the proposed BD-SMT and conventional BD-MT.

TABLE II. PERFORMANCE COMPARISON BETWEEN THE BD-SMT AND OTHER REPORTED SMTS.

Parameter	V_{DD}	$G_{m(eff)}$	$R_{D(eff)}$	$R_{S(eff)}$
Conv	$V_{dsat} + V_T$	g_{m1}	r_{o1}	$1/g_{m1}$
[14]	$3V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}r_{o1}r_{o2}r_{o3}$	$1/g_{m1}$
[15]	$3V_{dsat} + 3V_T$	g_{m1}	$g_{m2}r_{o1}r_{o2}g_{m5}g_{m6}(7)r_{o5}(8)r_{o6}(7)/2$	$1/g_{m1}$
[16]	$4V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}r_{o1}r_{o2}[r_{o3}/(r_{o8}+r_{o9})]$	$1/g_{m1}$
[17]	$4V_{dsat} + 2V_T$	g_{m1}	$g_{m2}g_{m3}g_{m6}r_{o1}r_{o2}(r_{o3}/r_{o4})(r_{o7}/r_{o9})$	$1/g_{m1}$
[18]	$2V_{dsat} + V_T$	$g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$	r_{o1}	$1 / g_{m1}g_{m2}g_{m3}(r_{o1}/r_{oB1})(r_{o2}/r_{oB2})$
This work	$V_{dsat} + V_T$	$\frac{g_{mb1}g_{mb2}g_{mb4}(r_{o1} \parallel r_{oB1})(r_{o2} \parallel r_{oB2})}{(g_{m4} + g_{mb4})r_{o3(in)}}$	$[(C_{G1}/C_T)g_{m2}g_{mb4}(r_{o2}/r_{oB2}) + g_{m4}]r_{o3(in)}r_{o4}$	$g_{mb5}r_{o3(in)} / [(g_{m1} + g_{mb1})g_{mb2}(r_{o1}/r_{oB1})]$

ACKNOWLEDGMENT

Authors would like to thank Commission on Higher Education (CHE-PhD-SW-NEWU) for supporting grant fund under the program Strategic Scholarships for Frontier Research Network for the Join Ph.D. Program Thai Doctoral degree for this research.

REFERENCES

- [1] J. M. Carrillo, G. Torelli, R. Perez-Aloe and J. F. Duque-Carrillo, "1-V Rail-to-Rail CMOS OpAmp With Improved Bulk-Driven Input Stage," *IEEE J. Solid-State Circuit*, vol. 42, no. 3, pp. 508-517, 2007.
- [2] J. M. Carrillo, G. Torelli, M. A. Dominguez and J. F. Duque-Carrillo, "On the input common mode range of CMOS bulk-driven input stages," *Int. J. Circuit Theory Appl.* Vol. 39 pp. 649-664, 2011.
- [3] S. Chatterjee, Y. Tsvividis, and P. Kinget, "0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design," *IEEE J. of Solid-State Circuits*, vol. 40, no. 12, pp. 2373-2387, 2005.
- [4] M. Trakimas, and S. Sonkusale, "A 0.5 V Bulk-Input OTA with Improved Common-mode Feedback for Low-Frequency Filtering Applications," *Analog Integr Circ Sig Process*, pp. 1-7, 2008.
- [5] G. Raikos and S. Vlassis, "0.8 V Bulk-Driven Operational Amplifier," *Analog Integr Circ Sig Process*, November 2009, pp. 1-8.
- [6] J. M. Carrillo, G. Torelli, R. Perez-Aloe J. M. Valverde and J. F. Duque-Carrillo, "Single-pair bulk-driven CMOS input stage : A Compact low-voltage analog cell for scaled technologies," *Integration, the VLSI Journal*, vol. 43, pp. 251-257, March 2010.
- [7] G. Raikos, and S. Vlassis "Low-voltage bulk-driven input stage with improved transconductance," *Int. J. Circuit Theory Appl*, Vol. 39, pp. 327-339, 2011.
- [8] J. M. Carrillo, G. Torelli, and J. F. Duque-Carrillo, "Transconductance enhancement in bulk-driven input stages and its applications", *Analog Integr Circ Sig Process*, Vol. 68, pp. 207-217, 2011.
- [9] L. Zuo, and S. K. Islam, "Low-Voltage Bulk-Driven Operational Amplifier With Improved Transconductance," *IEEE Transactions on Circuits and System-I: Regular Papers*, Vol. 60, No. 8, August 2013.
- [10] G. Raikos and S. Vlassis, "0.5-V bulk-driven differential amplifier," *Int. J. Circuit Theory Appl*, Vol. 41, pp. 1213-1225, 2013.
- [11] X. Zhao, H. Fang, T. Ling and J. Xu, "Transconductance improvement method for low-voltage bulk-driven input stage," *Integration, the VLSI journal*, Vol. 49, pp. 98-103, 2015.
- [12] T. Kulej, "0.5-V bulk-driven OTA and its applications," *Int. J. Circuit Theory Appl*, Vol. 43, pp. 187-204, 2015.
- [13] S. Abbasalizadeh, S. Sheikhaei and B. Forouzandeh "A 0.8-V supply bulk-driven operational transconductance amplifier and Gm-C filter in 0.18 μm CMOS process," *Int. J. Circuit Theory Appl*, Vol. 43, pp. 929-943, 2015.
- [14] E. Sackinger and W. Guggenbuhl, "High-Swing, High-Impedance MOS Cascode Circuit," *IEEE J. of Solid-State Circuits*. Vol. SC-25, no. 1, pp. 1-10, 1990.
- [15] K. Bult and G. J. G. M. Geelen, "The gain boosting technique," *Analog Integr Circ Sig Process*, Vol. No. 2, pp. 119-135, 1991.
- [16] M. Ismail and T. Fiez. "Analog VLSI Signal and Information Processing", *New York: McGraw-Hill*, 1994.
- [17] M. Helfenstein, Q. Huang, and G. S. Moschytz, "90 dB, 90 MHz, 30 mW CMOS OTA For a high capacitive loads," *Int. J. Circuit Theory Appl*, Vol. 27, Issue 5, pp. 473-483, 1999.
- [18] J. M. Martinez-Heredia, and A. Torralba, "Enhanced source-degenerated CMOS differential transconductor", *Microelectronics Journal*, Vol. 42, pp. 396-402, 2011.

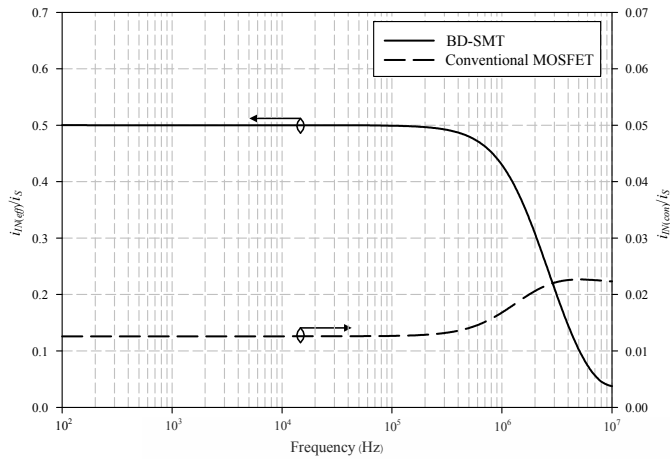


Fig. 8. Frequency response of Fig. 5b).

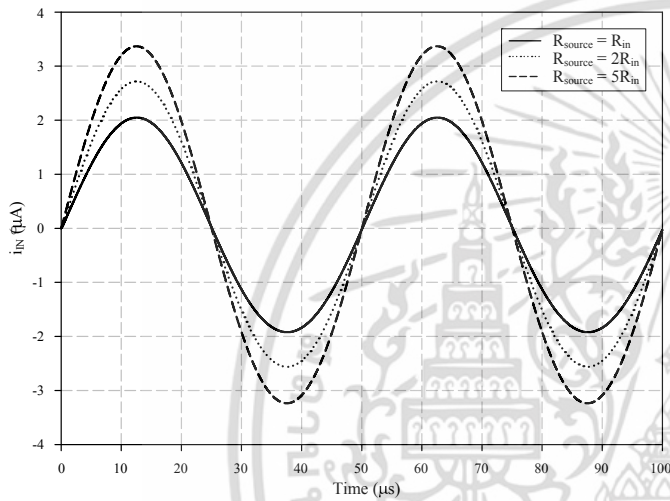


Fig. 9. Transient response of Fig. 5b).

TABLE III. PERFORMANCE COMPARISON.

Parameter	Conventional	This work
Supply voltage	0.4 V	0.4 V
The effective transconductance ($G_{m(eff)}$)	5 $\mu\text{A/V}$	1.72 mA/V
The effective drain impedance ($R_{D(eff)}$)	385.5 k Ω	946 k Ω
The effective source impedance ($R_{S(eff)}$)	3.9 k Ω	109.73 Ω
Unity gain frequency (f_T)	500 MHz	2.4 MHz
Power dissipation	2 μW	12 μW

IV. CONCLUSIONS

In this paper, a low-voltage BD-SMT is presented. The BD-SMT is designed based on regulated-self cascade and negative feedback techniques. BD-SMT can operate at low supply and showed high effective transconductance ($G_{m(eff)}$), high effective drain impedance ($R_{D(eff)}$) and low effective source impedance ($R_{S(eff)}$).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นายธวัชชัย ทองเหลี่ยม
 รหัสนักศึกษา 51060044
 วัน เดือน ปีเกิด 19 เมษายน 2518
 ที่อยู่ 602 หมู่ 6 ถนนเลียบทางรถไฟสายตะวันตก แขวง ฉิมพลี เขต ตลิ่งชัน
 จังหวัด กรุงเทพฯ 10170
 หรือ 111/47 ต.หนองปากโลง อ.เมืองฯ จ.นครปฐม 73000

ประวัติการศึกษา

พ.ศ. 2558 **กำลังศึกษาหลักสูตรวิศวกรรมศาสตรดุษฎีบัณฑิต (วศ.ด.)**
 สาขาวิชาวิศวกรรมไฟฟ้า
 ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (KMITL)

พ.ศ. 2547 **วิศวกรรมศาสตรมหาบัณฑิต (วศ.ม.)**
 สาขาวิชาวิศวกรรมไฟฟ้า
 ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม
 มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี (KMUTT)

พ.ศ. 2545 **ครุศาสตร์อุตสาหกรรมบัณฑิต (คอ.บ.)**
 สาขาวิชาวิศวกรรมไฟฟ้า
 ภาควิชาครุศาสตร์ไฟฟ้า
 สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ (KMUTNB)

งานวิจัย การออกแบบวงจรรวมแบบแอนะล็อก
 (Design of analog integrated circuits)

ประสบการณ์ทำงาน

พ.ศ. 2544 - พ.ศ. 2546 วิศวกรไฟฟ้าฝ่ายขาย
 บริษัท ที เอส เจ คอนโทรล จำกัด

พ.ศ. 2546 - พ.ศ. 2550 อาจารย์ประจำสาขาวิชาวิศวกรรมไฟฟ้า
 คณะวิศวกรรมศาสตร์
 มหาวิทยาลัยปทุมธานี

พ.ศ. 2551 – ปัจจุบัน อาจารย์ประจำสาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
 คณะวิทยาศาสตร์และเทคโนโลยี
 มหาวิทยาลัยราชภัฏนครปฐม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้