การออกแบบวงจรเทอร์นารี่ชมิตต์ทริกเกอร์

Ternary Schmitt Trigger Circuit Design

สมปอง วิเศษพานิชกิจ ชัยณรงค์ หาญชนะ กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารี่ชมิตต์ทริกเกอร์แบบ CMOS transmission gate โดยแบ่งเป็นส่วนการทำงานเป็น 2 ส่วนคือ วงจรซีมอสไบนารี่ชมิตต์ทริกเกอร์ซึ่งทำหน้าที่สร้างสัญญาณควบคุม และส่วน CMOS transmission gate ซึ่งทำหน้าที่สร้างสัญญาณเอาต์พุตแบบสามระดับ (ternary logic) สัญญาณควบคุมที่ได้จากวงจรส่วนแรกจะถูกแปลงให้มีขนาดเหมาะสมกับการควบคุม transmission gate ด้วยวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารี่ลอจิกที่ออกแบบด้วยเทคนิคนี้ สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรซีมอสดิจิตอลลอจิกทั่วไป และง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรรวมดิจิตอลแบบซีมอสเป็นไปอย่างเป็นระบบ การทดสอบวงจรจะทำโดยโปรแกรมจำลอง PSPICE ซึ่งในบทความนี้จะใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ

คำสำคัญ: สัญญาณสามระดับ วงจรชมิตต์ทริกเกอร์

Abstract

This paper proposes the ternary Schmitt trigger circuit design based on CMOS transmission gate which can be divided to two parts, the binary Schmitt trigger circuit generating the controlling signal and CMOS transmission gate constructing three-level (ternary) logic output signal. The controlling signal of the first part will be conditioned appropriate to control the transmission gate by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal, well controlled CMOS fabrication process, and suitable for the systematic CMOS digital integrated circuit design. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIC technology 0.05 μm. All results confirm the success of the proposed technique

Key words: ternary logic, Schmitt trigger

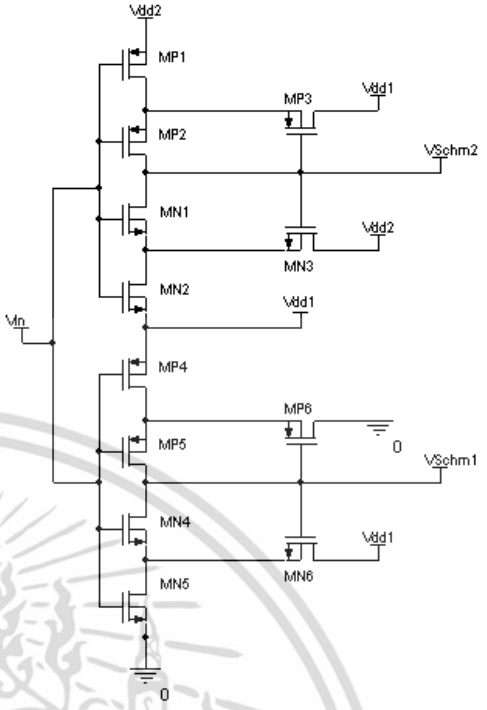
1. บทนำ

วงจรดิจิตอลแบบ Multiple-valued logic (MVL) เป็นการออกแบบวงจรรวมประเภทหนึ่ง ซึ่งถูกออกแบบมาเพื่อลดข้อจำกัดด้านความหนาแน่นของสายสัญญาณต่อปริมาณข้อมูล ซึ่งเป็นอุปสรรคสำคัญสำหรับการออกแบบวงจรรวมแบบดิจิตอล จากจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก อันมีผลมาจากปริมาณข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน จากข้อจำกัดของวงจรรวมแบบไบนารี่ ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ มาเป็นการส่งข้อมูลหลายระดับสัญญาณทำให้ความหนาแน่นปริมาณข้อมูลข่าวสาร (information density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (information-carrying) สูงกว่าวงจรดิจิตอลแบบไบนารี่ทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรดิจิตอลแบบไบนารี่มาใช้ได้ โดยเฉพาะอย่างยิ่งวงจรชมิตต์ทริกเกอร์ ที่อาศัยการป้อนกลับในการควบคุมการทำงานของวงจร ซึ่งมีลักษณะเดียวกับวงจร sequential ทั้งที่วงจรชมิตต์ทริกเกอร์เป็นวงจรพื้นฐานที่สำคัญและถูกนำมาใช้อย่างแพร่หลาย โดยพบได้ทั้งในงานด้านระบบอนาลอกและดิจิตอล และมีจุดประสงค์ในการใช้งานแตกต่างกันไปในแต่ละด้าน เช่น ใช้เพื่อแก้ไขปัญหาเรื่องสัญญาณรบกวน ประยุกต์ใช้งานในวงจรโมโนสเตเบิ้ล เช่น วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำเนิดสัญญาณสี่เหลี่ยม และวงจรมอดูเลตความกว้างพัลซ์ การออกแบบวงจรไบนารี่ชมิตต์ทริกเกอร์สามารถทำได้ด้วยการออกแบบใช้งานอุปกรณ์สำเร็จรูป (Building Block) เช่น ใช้ออปแอมป์ [1] โอทีเอ [2] และวงจรสายพานกระแส [3] เป็นต้น ที่ทำงานในโหมด แรงดัน หรือ วงจร CCCDTA (Current-Controlled Current Differencing Transconductance Amplifier) [4] ซึ่งทำงานในโหมดกระแส อย่างไรก็ตาม การออกแบบด้วย Building block เมื่อจะสะดวกแต่ก็ทำให้วงจรมีขนาดใหญ่โดยเฉพาะสำหรับวงจรรวมดิจิตอล ต่างกับการออกแบบในระดับทรานซิสเตอร์ (Transistor Level) ซึ่งการออกแบบในลักษณะนี้ เหมาะสมกับงานเฉพาะด้าน เช่น งานที่ใช้กำลังงานต่ำและความเร็วสูง [5] สวิตซ์ส่งผ่านกระแส [6] เป็นต้น เมื่อการออกแบบวงจรชมิตต์ทริกเกอร์แบบไบนารี่จะมีการพัฒนาออกแบบมาเป็นอย่างดี แต่กลับไม่สามารถนำมาใช้กับการออกแบบวงจรที่มีหลายระดับสัญญาณ และแม้ว่าการนำเสนอวงจรชมิตต์ทริกเกอร์แบบหลายระดับสัญญาณก็มักออกแบบในรูปวงจรsequential [7] ซึ่งทำให้วงจรมีขนาดใหญ่ หรือทำงานในโหมดกระแส [8-9] บทความนี้นำเสนอวิธีการออกแบบวงจรเทอร์นารี่ชมิตต์ทริกเกอร์แบบซีมอสทำงานในโหมดแรงดัน บนพื้นฐานของวงจร MVL แบบ transmission gate [10] ซึ่งพัฒนามาจาก วงจร MVL แบบ pass-transistor [11]โดยอาศัยการปรับสัญญาณควบคุมให้เหมาะสม ด้วยวงจร Differential Cascode Voltage Switch (DCVS) เพื่อหลีกเลี่ยงการใช้ทรานซิสเตอร์ที่มีหลายศักดาเทรดโฮลด์ ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง ในส่วนที่สองจะกล่าวถึงการออกแบบวงจรสร้างสัญญาณควบคุมชมิตต์ทริกเกอร์ซึ่งมีพื้นฐานมาจากวงจรไบนารี่ชมิตต์ทริกเกอร์[12] จากนั้นในส่วนที่สามจะกล่าวถึงการออกแบบวงจรเทอร์นารี่ชมิตต์ทริกเกอร์แบบ transmission gate โดยการทดสอบวงจรใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm (ภาคผนวก) เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (W/L) เท่ากับ 2 μm /0.5 μm และ PMOS มีขนาดเท่ากับ 4 μm /0.5μm

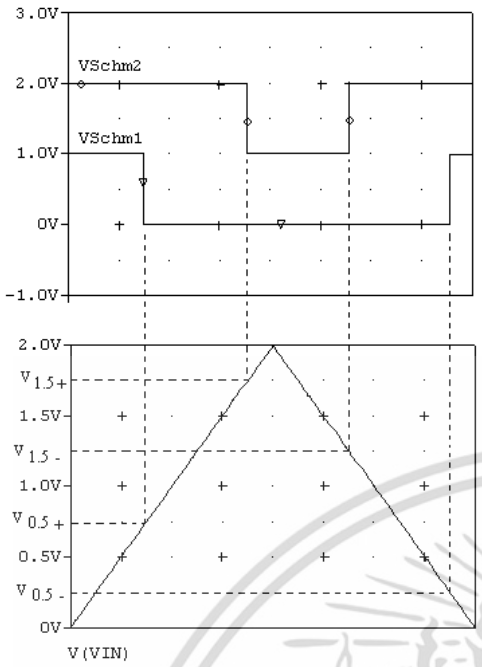
2. วงจรสร้างสัญญาณควบคุมชมิตต์ทริกเกอร์



รูปที่ 1 วงจรสร้างสัญญาณควบคุมชมิตต์ทริกเกอร์

วงจรส่วนหน้าซึ่งทำหน้าที่สร้างสัญญาณควบคุมชมิตต์ทริกเกอร์นี้ประกอบด้วยวงจรไบนารี่ชมิตต์ทริกเกอร์ 2 วงจรเรียงต่อกันคือ วงจรส่วนบนซึ่งประกอบด้วยทรานซิสเตอร์ MP1-MP3 และ MN1-MN3 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี่ VSchm2 และวงจรส่วนล่างที่ประกอบด้วยทรานซิสเตอร์ MP4-MP6 และ MN4-MN6 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี่ VSchm1 เมื่อทำการต่อแรงดันแหล่งจ่าย Vdd2, Vdd1 และ Ground ที่ขา Source ของ MP1, MN2 และ MN5 ตามลำดับ ทำให้สัญญาณควบคุม VSchm2 และ VSchm1 มีช่วงแกว่งสัญญาณระหว่าง Vdd2~Vdd1 และ Vdd1~Ground ตามลำดับ ในการออกแบบวงจรนี้ได้กำหนดให้ Vdd2 มีค่าเท่ากับ 2 โวลต์แทนลอจิก 2 Vdd1 มีค่าเท่ากับ 1 โวลต์แทนลอจิก 1 และ Ground มีค่าเท่ากับ 0 โวลต์แทนลอจิก 0 โดย VSchm2 จะเปลี่ยนสถานะเป็น low (Vdd1) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรดโฮลด์ $V_{1.5+}$ และจะกลับเป็นสถานะ high (Vdd2) อีกครั้งเมื่อมีค่าน้อยกว่า $V_{1.5-}$ เช่นเดียวกับ VSchm1จะเปลี่ยนสถานะเป็นlow (Ground) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรดโฮลด์ $V_{0.5+}$ และจะกลับเป็นสถานะ high (Vdd1) อีกครั้งเมื่อมีค่าน้อยกว่า $V_{0.5-}$ ดังแสดงในรูปที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 สัญญาณควบคุม VSchm1 และ VSchm2

สังเกตว่าทั้งวงจรส่วนบนและล่างต่างประกอบด้วยโครงข่าย PMOS และ NMOS ที่สมมาตรกันแบบวงจรซีมอส เพื่อสะดวกต่อการอธิบายการทำงานวงจรจะกล่าวถึงเฉพาะวงจรโครงข่าย NMOS ของวงจรส่วนล่าง ซึ่งประกอบด้วย MN4-MN6 โดย MN4 คือสวิตช์หลักของวงจร ขณะที่ MN5 และ MN6 ทำงานเป็นวงจรป้อนกลับ เมื่อกำหนดให้สภาวะเริ่มต้น Vin =0 และมีค่าเพิ่มขึ้น ทรานซิสเตอร์จะยังไม่ทำงาน (cut off) และสามารถแสดงความสัมพันธ์ของแรงดันได้ดังนี้

$$V_{GS(MN5)} = V_{in}$$

$$V_{GS(MN4)} = V_{in} - V_{DS(MN5)}$$

$$V_{GS(MN6)} = VSchm1 - V_{DS(MN5)} \quad (1)$$

MN5 จะนำกระแสเมื่อ $V_{GS(MN5)} = V_{th(MN5)}$ แต่ MN4 ต้องการแรงดันอินพุตเท่ากับ $V_{in} = V_{th(MN)} + V_{DS(MN5)} = V_{0.5+}$ ในการนำกระแส เนื่องจาก $V_{DS(MN4)}$ ถูกควบคุมโดย MN5 และ MN6 ดังนั้น เมื่อ V_{in} เพิ่มขึ้นทำให้ $V_{DS(MN5)}$ ลดต่ำลงถึงจุดที่กำหนดไว้ MN4 จะเริ่มนำกระแสและทำให VSchm1 = 0 (Ground)

ในการปรับค่าแรงดัน trigger $V_{0.5+}$ หากสมมติให้ผลของ body effect มีค่าน้อยมากเนื่องจากการต่อ bulk เข้ากับขา source ของทรานซิสเตอร์ และกำหนดให้ศักดาเทรดโฮลด์ของ PMOS และ NMOS มีค่าเท่ากับ $V_{th(MP)}$ และ $V_{th(MN)}$ ตามลำดับ ดังนั้นในการทำให้ MN4 นำกระแส ต้องทำให้ $V_{DS(MN5)} \le V_{0.5+} - V_{th(MN)}$ และค่ากระแสในช่วงอิ่มตัว คือ $I_{DS(MN5)} = (\beta_{MN5}/2)(V_{0.5+} - V_{th(MN)})^2$ และ MN6 จะอยู่ในช่วงอิ่มตัวด้วยเมื่อ $V_{DS(MN6)} = V_{GS(MN3)}$ ดังนั้น $I_{DS(MN6)} = (\beta_{MN6}/2)(V_{dd1} - V_{0.5+})^2$ และกระแส $I_{DS(MN5)} = I_{DS(MN6)}$ ดังนั้นค่าแรงดัน trigger $V_{0.5+}$ เท่ากับ

$$V_{0.5+} = \frac{V_{dd1} + \sqrt{\beta_{MN5}/\beta_{MN6}}}{1 + \sqrt{\beta_{MN5}/\beta_{MN6}}} V_{th(MN)} \quad (2)$$

จากสมการจะเห็นว่าสามารถปรับค่า $V_{0.5+}$ ได้จากการเปลี่ยนอัตราส่วน $\beta_{MN5}/\beta_{MN6} = (W/L)_{MN5}/(W/L)_{MN6}$ ในทำนองเดียวกันเมื่อวิเคราะห์โครงข่าย PMOS (MP4-MP6) กำหนดค่าแรงดัน trigger $V_{0.5-}$ สามารถกำหนดได้โดย

$$V_{0.5-} = \frac{\sqrt{\beta_{MP4}/\beta_{MP6}}}{1 + \sqrt{\beta_{MP4}/\beta_{MP6}}} (V_{dd1} - V_{th(MP)}) \quad (3)$$

และสำหรับวงจรส่วนบน

$$V_{1.5+} = \frac{(V_{dd2} - V_{dd1}) + \sqrt{\beta_{MN2}/\beta_{MN3}}}{1 + \sqrt{\beta_{MN2}/\beta_{MN3}}} V_{th(MN)} + V_{dd1} \quad (4)$$

$$V_{1.5-} = \frac{\sqrt{\beta_{MP1}/\beta_{MP3}}}{1 + \sqrt{\beta_{MP1}/\beta_{MP3}}} (V_{dd2} - V_{dd1} - V_{th(MP)}) + V_{dd1} \quad (5)$$

วงจรที่นำเสนอนี้กำหนดให้ β_{MN5}/β_{MN6}, β_{MP4}/β_{MP6}, β_{MN2}/β_{MN3} และ β_{MP1}/β_{MP3} มีค่าเท่ากับ 1 (กำหนดให้ PMOS ทุกตัวมีขนาดเท่ากัน และ NMOS ทุกตัวมีขนาดเท่ากัน) หากกำหนดให้ค่า $V_{th(MP)} = |-0.58\text{V}|$ และ $V_{th(MN)} = 0.62\text{V}$ ดังนั้น $V_{0.5+}$ = 0.62V, $V_{0.5-}$ = 0.21V, $V_{1.5+}$ =1.62V และ $V_{1.5-}$ =1.21V

3. วงจรเทอร์นารี่ชมิตต์ทริกเกอร์

หากกำหนดให้วงจรเทอร์นารี่ลอจิกมีฟังก์ชั่น $f(x)$ ที่มีอินพุต x และมีเอาต์พุต C_i โดยที่ $x, C_i \in \{0,1,2\}$ ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (^{0.5}x \cdot x^{1.5}) \# C_2 * (^{1.5}x) \quad (6)$$

โดยการดำเนินการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_i * x^t = \begin{cases} \phi & (if\ x > t) \\ C_i & (if\ x < t) \end{cases} \quad (7)$$

และ

$$C_i * {}^t x = \begin{cases} C_i & (if\ x > t) \\ \phi & (if\ x < t) \end{cases} \quad (8)$$

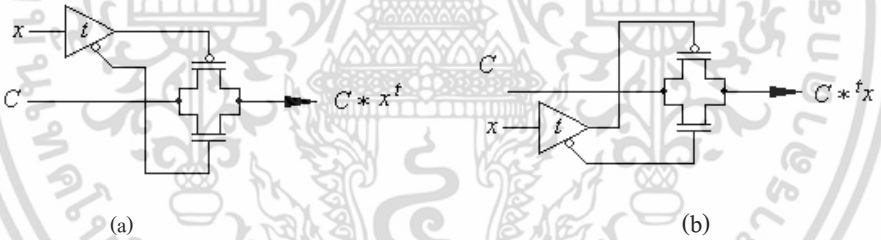
โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้ t เป็นค่าเทรดโฮลด์ และ $t \in \{0.5,1.5\}$ สังเกตว่า x^t มีสถานะเพียงสองสถานะแบบไบนารี่คือเป็นจริง เมื่อ x<t และเป็นเท็จเมื่อ x>t ตามลำดับ ในทางกลับกัน ${}^t x$ จะให้ค่าเป็นจริง x>t และเป็นเท็จเมื่อ x>t ดังนั้นการดำเนินการ $C_i * x^t$ และ $C_i * {}^t x$ ซึ่งสามารถสร้างด้วยวงจร transmission gate แบบ CMOS โดยอาศัย x^t และ ${}^t x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 3 โดยวงจร threshold-t gate (x^t และ ${}^t x$) สามารถสร้างขึ้นจากวงจร DVCS inverter ร่วมกับวงจร CMOS inverter ดังแสดงให้รูปที่ 4

การทำงานของวงจร threshold-t gate เมื่อ t = 0.5 (รูปที่ 4 (a)) สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0,1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0,1) ด้วย CMOS inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย x>t(=0.5) จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0,2) อีกครั้งด้วยวงจร DVCS inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับการควบคุมวงจร transmission gate ต่อไป สำหรับวงจร threshold-t gate เมื่อ t = 1.5 (รูปที่ 4(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1,2) ด้วย CMOS inverter โดยสัญญาณที่มีค่า x<t(=1.5) จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0,2)

สำหรับวงจรเทอร์นารี่แบบสองอินพุต (x,y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

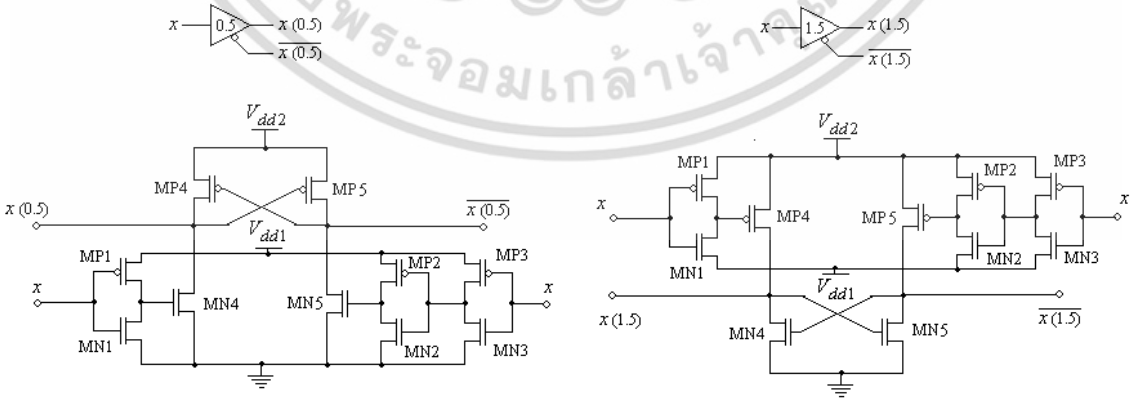
$$f(x,y) = C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot^{.5} y \cdot y^{1.5}) \# C_2 * (x^{0.5} \cdot^{1.5} y) \# C_3 * ({}^{0.5}x \cdot x^{1.5} \cdot y^{0.5}) \# C_4 * ({}^{0.5}x \cdot x^{1.5} \cdot^{.5} y \cdot x^{1.5}) \# C_5 * ({}^{0.5}x \cdot x^{1.5} \cdot^{1.5} y) \# C_6 * ({}^{1.5}x \cdot y^{0.5}) \# C_7 * ({}^{1.5}x \cdot x^{1.5} \cdot y^{1.5}) \quad (9)$$

สำหรับวงจรเทอร์นารี่ชมิตต์ทริกเกอร์ประกอบด้วย 2 สัญญาณอินพุตสัญญาณคือ VSchm1 และ VSchm2 ที่ได้จากวงจรกำเนิดสัญญาณควบคุมชมิตต์ทริกเกอร์ในรูปที่ 1 และมีตารางความจริงดังตารางที่ 1 โดย VSchmitt เป็นสัญญาณเอาต์พุต



(a) (b)

รูปที่ 3 วงจร transmission gate และ t-threshold gate สำหรับตัวดำเนินการ (a) $C * x^t$ และ (b) $C * {}^t x$



(a) (b)

รูปที่ 4 วงจร threshold-t gate แบบ DCVS (a) t = 0.5 และ (b) t = 1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 ตารางความจริงวงจรชมิตต์ทริกเกอร์

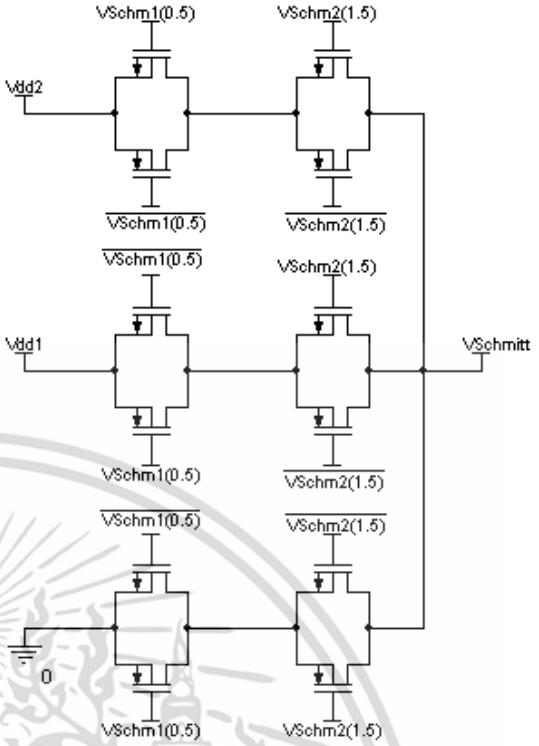
$VSchm1$	$VSchm1^{0.5}$	$VSchm2$	$VSchm2^{1.5}$	$VSchmitt$
1	2	2	2	0
0	0	2	2	1
0	0	1	0	2

เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9)

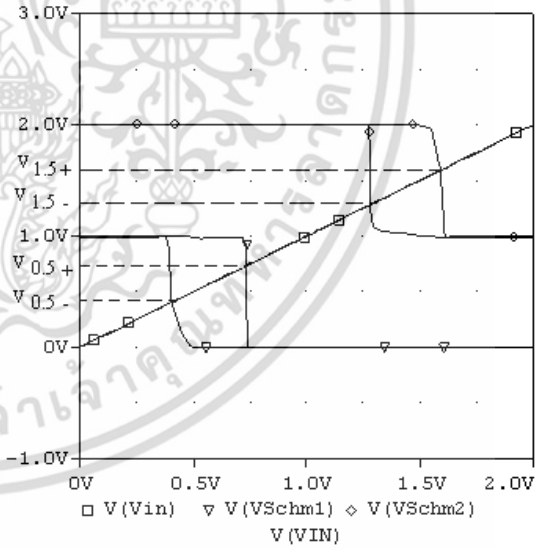
$$VSchmitt = 2*({}^{0.5}VSchm1 \cdot {}^{0.5}VSchm2) \#1*({}^{0.5}VSchm1 \cdot VSchm2^{1.5}) \quad (10) \#0*(VSchm1^{0.5} \cdot VSchm2^{1.5})$$

ซึ่งสามารถแสดงได้ในรูปที่ 5 การจำลองการทำงานใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm ด้วยโปรแกรม PSPICE โดยกำหนดให้ลอจิก 2, 1 และ 0 มีค่าศักดาเท่ากับ 2V, 1V และ 0V ตามลำดับ ผลการจำลองวงจรกำเนิดสัญญาณควบคุม ชมิตต์ทริกเกอร์ พบว่า $V_{0.5+}$ = 0.74V, $V_{0.5-}$ = 0.37V, $V_{1.5+}$ =1.58V และ $V_{1.5-}$ =1.27V ดังแสดงในรูปที่ 6

เมื่อป้อนสัญญาณที่ได้จากวงจรกำเนิดสัญญาณควบคุมผ่าน threshold-t gate ในรูปที่ 4 เพื่อใช้ในการควบคุม transmission gate ในวงจรเทอร์นารี่ชมิตต์ทริกเกอร์ (รูปที่ 5) ผลสัญญาณเอาต์พุต (VSchmitt) ดังแสดงในรูปที่ 7



รูปที่ 5 วงจร Ternary Schmitt trigger

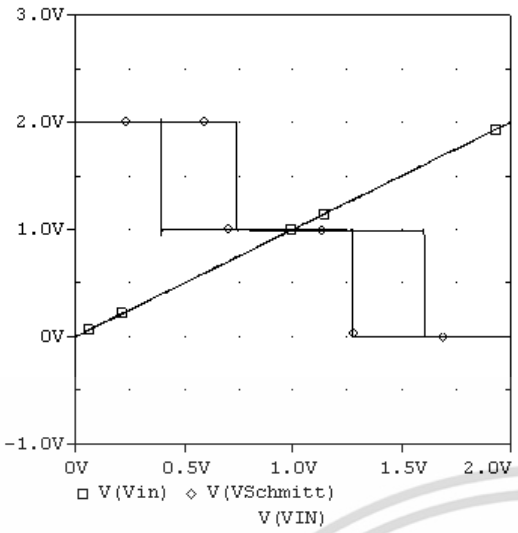


รูปที่ 6 ผลจำลองการทำงานวงจรกำเนิดสัญญาณควบคุมชมิตต์ทริกเกอร์

4. สรุป

การออกแบบวงจรเทอนารี่ชมิตต์ทริกเกอร์ที่นำเสนอในบทความนี้ สร้างขึ้นจากวงจรกำเนิดสัญญาณควบคุมชมิตต์ทริกเกอร์บนพื้นฐานของวงจรซีมอสไบนารี่ชมิตต์ทริกเกอร์ ซึ่งถูกพัฒนามาเป็นและคุ้นเคยดีสำหรับนักออกแบบวงจรซีมอสดิจิตอล สัญญาณควบคุมดังกล่าวถูกนำไปใช้เพื่อควบคุมวงจรเทอร์นารี่ชมิตต์ทริกเกอร์แบบ transmission gate อีกขั้นหนึ่ง ทั้งสองวงจร ต่างถูกออกแบบบนเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และสามารถสร้างรวมเข้ากับวงจรดิจิตอลอื่น ๆ ที่ได้ออกแบบไว้อย่างดีแล้ว ทำให้การออกแบบวงจรหลายระดับสัญญาณบนชิปวงจรรวมเดียวกันสามารถทำได้ภายใต้เทคโนโลยีการผลิตเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 ผลจำลองการทำงานวงจรเทอร์นาริ่ชมิตต์ทริกเกอร์

5. เอกสารอ้างอิง

[1] Cornmercon, J.C., Badard R., "Schmitt trigger oscillator and its synchronisation by an external square oscillator," Circuits, Devices and Systems, IEE Proceedings, Vol. 149, pp.221–226, 2002

[2] Kim, K., Cha H.W., Chung, W.S., "OTA-R Schmitt trigger with independently controllable threshold and output voltage levels," Electronics Letters, Vol. 33, pp.1103-1105, 1997.

[3] Almashary B., Alhokail H., "Current-mode triangular wave generator using CCIIs," Microelectronics Journal, Vol. 31, pp. 239-243, 2000.

[4] ภมร ศิลาพันธ์ และ มนตรี ศิริปรัชญานันท์, "วงจรชมิตต์ทริกเกอร์โหมดกระแสที่สามารถควบคุมขนาดฮิสเตอรีซิสและขนาดเอาต์พุตด้วยกระแสอย่างอิสระต่อกันและการประยุกต์ใช้งาน", วารสารวิชาการพระจอมเกล้าพระนครเหนือ ปีที่ 17, ฉบับที่ 3, ก.ย.- ธ.ค. 50, หน้า 30 - 38

[5] Pedroni, V.A., "Low-voltage high-speed Schmitt trigger and compact window comparator," Electronics Letters, Vol. 41, pp. 1213-1214, 2005.

[6] Guoqiang, H., "Theory of Current Transmission Switches and Its Application to Design of Novel Current-Mode CMOS Ternary Schmitt Trigger," Electronics Letters, Vol. 41, pp.346-349, 2005.

[7] X. Wu, P. Wang and Y. Xia, "Design of Ternary Schmitt Triggers Based on Its Sequential Characteristics," Proc. ISMVL, pp. 156-160, 2002

[8] M. Miura and T. Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Differential Logic," IEICE Trans Electron., E91-C: 589-594, 2008

[9] K. Angkaew, S. Wisetphanichkij, K. Dejhan, S. Junnapiya and C. Soonyeekan, "A design of ternary Schmitt trigger circuit," Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99), pp.282-285, Singapore, September 9-10, 1999.

[10] สมปอง วิเศษพานิชกิจ, พิชัย สุวรรณลอยล่อง และ กอบชัย เดชหาญ, การออกแบบวงจรเทอร์นาริ่ลอจิก, วิศวสารลาดกระบัง ปีที่ 25 ฉบับที่ 4 (ธ.ค. 255) หน้า 1-6

[11] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit," Proc. of the 18th International Symposium on MVL, pp. 307-313, 1988

[12] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, 2000

ภาคผนวก

ตารางที่ 2 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

.MODEL PMOS05U PMOS
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 +JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U +VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00 +THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2 +CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631 +CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10 +KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81 +NFS=0.52E11)

.MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62 +JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U +VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00 +THETA=0.129 PHI=0.905 GAMMA=0.69 +KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10 +MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U +DELTA=0.42 NFS=1.2E11)

เอกสารนี้มีลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้