วงจรจำลองอุปกรณ์ Memristor โดยใช้วงจร OTA

A Memristor Emulator Circuit Using OTAs

ณัฐกร บุญตัน มนตรี คำเงิน

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอวงจรจำลอง memristor โดยใช้วงจรออปเปอเรชันแนลทรานส์คอนดักแตนซ์แอมปลิไฟเออร์เป็นวงจรพื้นฐาน วงจรจำลองจะเลียนแบบคุณสมบัติของ memristor ที่สร้างจาก titanium dioxide โดยวงจรจำลองที่นำเสนอสามารถสร้างได้ด้วยอุปกรณ์ไอซีที่มีขายอยู่ทั่วไป ดังนั้นฮาร์ดแวร์ของวงจรจำลองที่นำเสนอจึงสามารถสร้างได้ด้วยอุปกรณ์ที่วางขายอยู่ตามท้องตลาด วงจรที่นำเสนอสามารถจำลองด้วยคอมพิวเตอร์และทดลองจริง ซึ่งสามารถใช้เป็นอุปกรณ์ช่วยสอนและเป็นอุปกรณ์ที่สามารถประยุกต์ใช้งานจริง ผลการจำลองการทำงานด้วยโปรแกรม PSPICE และผลการทดลองสามารถใช้ยืนยันพฤติกรรมของวงจรจำลอง memristor ซึ่งเป็นไปตามทฤษฎี

คำสำคัญ : วงจรจำลอง memresistor วงจรออปเปอเรชันแนลทรานส์คอนดักแตนซ์แอมปลิไฟเออร์ อุปกรณ์ไม่เป็นเชิงเส้น วงจรสายพานกระแสชนิดอินพุทแตกต่างที่สามารถปรับอัตราการขยายกระแสได้

Abstract

This paper proposes a memristor emulator circuit based on operational transconductance amplifiers. This emulator circuit is imitated the behavior of a titanium dioxide memristor model using commercial available integrated circuit. Thus, the hardware of proposed emulator circuit can be built using common devices that seek in the market. Also, it can be used in both simulations and experiments which can be used as a teaching aid and for real circuit applications. PSPICE simulation and experimental results are given as agree well with theory.

Keywords : memristor emulator, operational transconductance amplifier (OTA), nonlinear device, electronically tunable differential difference current conveyor (EDDCC)

1. บทนำ

ในปี 2008 ทีมนักวิจัยของห้องทดลอง Hewlett-Packard (HP) ได้ประสบความสำเร็จในการสร้างอุปกรณ์ memristor ที่สร้างจากไทเทเนียมไดอ๊อกไซด์ (TiO_2) [1] โครงสร้างทางฟิสิกส์ของ memristor ที่สร้างจากไทเทเนียมไดอ๊อกไซด์จะสร้างจากแผ่นไทเทเนียมไดอ๊อกไซด์ขนาดบางที่ประกอบด้วยด้านหนึ่งโด๊ปส่วนอีกด้านไม่มีการโด๊ปซึ่งเป็นอุปกรณ์โซลิดสเตทในระดับนาโนเมตร memristor เป็นอุปกรณ์แบบไม่เป็นเชิงเส้นโดยมีความสัมพันธ์ของประจุและฟลักซ์ในตัวมันที่ไม่เป็นเชิงเส้น คุณสมบัติที่พิเศษของอุปกรณ์ชนิดนี้คือค่าความต้านทานในตัวมันจะเปลี่ยนแปลงโดยขึ้นอยู่กับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ผ่านมาของตัวมัน การจดจำค่าความต้านทานได้ของอุปกรณ์ชนิดนี้จึงมีชื่อเรียกว่า memristor ซึ่งถูกนิยามโดย Leon Chua [2] ที่ได้นำเสนอในปี 1971 แต่ในขณะนั้นยังเป็นที่คลุมเครือของเหล่านักวิจัยตลอดมา จนกระทั่งกลุ่มนักวิจัยจากห้องทดลอง HP ได้ประสบความสำเร็จในการสร้างอุปกรณ์นี้ขึ้นมาจึงได้มีการนำอุปกรณ์ memristor มาประยุกต์ใช้งานอย่างแพร่หลาย ตัวอย่างเช่น [3]-[5] แต่ทุกวันนี้เป็นที่น่าเสียดายที่ memristor ยังไม่มีการวางจำหน่ายในท้องตลาดอย่างเป็นทางการ แต่การศึกษาพฤติกรรมของ memristor เป็นเรื่องที่สำคัญยิ่งเนื่องจากมีการคาดการณ์กันว่า memristor จะเข้ามามีบทบาทกับเทคโนโลยีในอนาคตเป็นอย่างมาก เพื่อศึกษาถึงการทำงานของ memristor จึงมีการนำเสนอแบบจำลอง memristor ที่เลียนแบบพฤติกรรมของ memristor แบบ TiO_2 โดยเป็นแบบจำลองการทำงานด้วยโปรแกรม SPICE หรือ PSPICE ใน [6]-[8] ถึงแม้ว่าแบบจำลองเหล่านั้นจะสามารถจำลองพฤติกรรมของ memristor ได้ดี แต่แบบจำลองเหล่านั้นยังมีข้อจำกัดคือ ไม่มีการนำเอาค่าพารามิเตอร์แฝงในตัว memristor มาคิดคำนวณด้วย ดังนั้นจึงเป็นแบบจำลอง memristor ในแบบอุดมคติเท่านั้น เพื่อศึกษาแบบจำลอง memristor แบบเสมือนจริง จึงมีการนำเสนอแบบจำลอง memristor ที่สร้างด้วยอุปกรณ์อิเล็กทรอนิกส์ไว้ใน [9]-[11] แต่อย่างไรก็ตามโครงสร้างของวงจรที่นำเสนอบางวงจรจำลองมีความยุ่งยากซับซ้อน อีกทั้งยังมีข้อจำกัดเมื่อต้องเชื่อมต่อกับอุปกรณ์ในแบบขนานหรืออนุกรม เมื่อในเร็วๆ นี้ได้มีการนำเสนอวงจรจำลอง memristor ที่ออกแบบโดยเทคโนโลยีซีมอสใน [12]-[13] เนื่องจากเป็นวงจรที่สร้างจากซีมอส ดังนั้นเมื่อต้องการศึกษาวงจรผ่านการทดลองหรือต้องการผลการทดลองจริง วงจร memristor ที่สร้างจากซีมอสจะต้องนำไปสร้างเป็นวงจรรวมซึ่งอาจจะทำให้ต้องเสียค่าใช้จ่ายสูง ด้วยเหตุนี้บทความใน [12]-[13] จึงนำเสนอเพียงผลการจำลองด้วยคอมพิวเตอร์เท่านั้นโดยปราศจากการทดลองบนอุปกรณ์จริง

ดังนั้นบทความนี้จึงนำเสนอวงจรจำลอง memristor ที่สร้างได้จากไอซีที่วางจำหน่ายในท้องตลาด อุปกรณ์ที่ถูกนำมาใช้คือวงจร OTA โดยจะถูกนำมาออกแบบสร้างเป็นวงจรสายพานกระแสชนิดอินพุทแตกต่างที่สามารถปรับอัตราการขยายกระแสได้โดยจะเรียกว่าวงจร EDDCC และวงจร EDDCC นี้จะถูกนำมาสร้างเป็นวงจรจำลอง memristor ดังนั้นวงจรที่นำเสนอจึงสามารถสร้างได้จากอุปกรณ์จริง นอกจากนี้ยังสามารถจำลองการทำงานด้วยคอมพิวเตอร์ได้อีกด้วย ซึ่งจะเป็นประโยชน์สำหรับการเรียนการสอนและประยุกต์ใช้งานจริง

2. วงจรจำลอง memristor

สัญลักษณ์วงจร EDDCC แสดงได้ดังรูปที่ 1 คุณสมบัติอินพุตและเอาท์พุตของวงจร EDDCC ในทางอุดมคติสามารถแสดงได้คือ

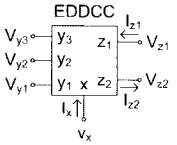
$$\begin{pmatrix} V_x \\ I_{y1} \\ I_{y2} \\ I_{y3} \\ I_{z1} \\ I_{z2} \end{pmatrix} = \begin{pmatrix} 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & k_1 \\ 0 & 0 & 0 & -k_2 \end{pmatrix} \begin{pmatrix} V_{y1} \\ V_{y2} \\ V_{y3} \\ I_x \end{pmatrix} \quad (1)$$

วงจร EDDCC ที่สร้างจากวงจร OTA แสดงได้รูปที่ 2 โดยมีหลักการพื้นฐานการออกแบบมาจากบทความใน [14] ความสัมพันธ์ระหว่าง V_x และ V_{y1} V_{y2} V_{y3} สามารถเขียนได้เป็น

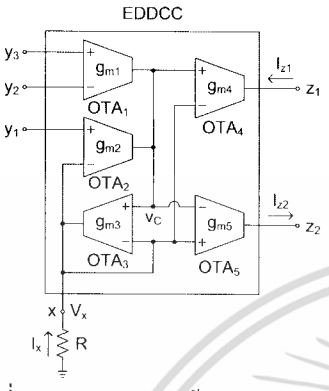
$$V_x = \frac{(g_{m2}g_{m3}r_{in}R)V_{y1} - (g_{m1}g_{m3}r_{in}R)V_{y2} + (g_{m1}g_{m3}r_{in}R)V_{y3}}{1+g_{m3}R+g_{m2}g_{m3}r_{in}R} \quad (2)$$

เมื่อ g_{mi} คือค่าความนำของ OTA ตัวที่ i R คือตัวต้านทานที่กำหนด และ r_{in} คือความต้านทานขนาดเล็กทางอินพุทของ OTA_3 (r_{in} = 130 kΩ [14]) จากสมการที่ (2) สมมติว่า $g_{m2}g_{m3}r_{in}R \gg g_{m3}R \gg 1$ ความสัมพันธ์แรงดันของ EDDCC มีค่าเป็น $V_x \approx V_{y1}-V_{y2}+V_{y3}$ จากรูปที่ 2 I_x มีค่าเท่ากับกระแสเอาท์พุทของ OTA_3 ซึ่งกำหนดได้คือ $I_x = g_{m3}(V_C-V_x)$ หรือสลับข้างได้เป็น $V_C-V_x = I_x/g_{m3}$ ในขณะที่กระแส I_{z1} และ I_{z2} สามารถกำหนดได้คือ $I_{z1} = g_{m4}(V_C-V_x)$ และ $I_{z2} = g_{m5}(V_x-V_C)$ เมื่อแทน $V_C-V_x = I_{z1}/g_{m4}$ และ $V_C-V_x = -I_{z2}/g_{m5}$ ลงใน $V_C-V_x = I_x/g_{m3}$ กระแส I_{z1} และ I_{z2} สามารถแสดงได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 สัญลักษณ์วงจร EDDCC



รูปที่ 2 วงจร EDDCC สร้างจากวงจร OTA

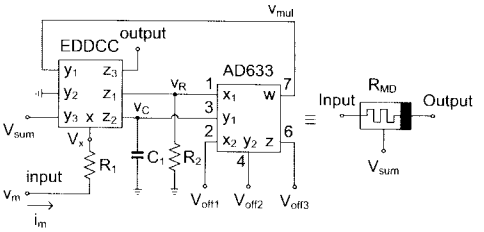
$$I_{z1}=\left(\frac{g_{m4}}{g_{m3}}\right)I_x=k_1I_x \tag{3}$$

$$I_{z2}=\frac{g_{m5}}{g_{m3}}I_x=-k_2I_x \tag{4}$$

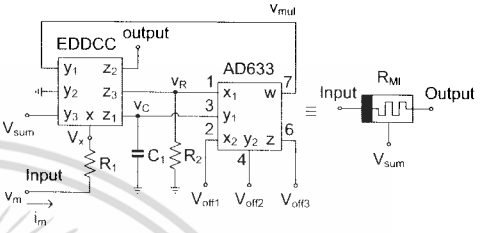
เมื่อ k_1 และ k_2 คืออัตราการขยายกระแสของวงจร EDDCC ซึ่งควบคุมได้โดย g_{m4} และ g_{m5} จะเห็นได้ว่าค่า k_1 และ k_2 สามารถควบคุมได้อิสระจากกัน วงจร EDDCC แบบหลายเอาท์พุทสามารถทำได้โดยต่อวงจร OTA ขนานเข้าไปทางเอาท์พุทตามชนิดเอาท์พุทที่ต้องการ จาก memristor ที่สร้างโดยนักวิจัยจากห้องทดลอง HP [1] ความสัมพันธ์ระหว่างกระแสและแรงดันเขียนได้คือ

$$v(t)=\left[R_{ON}\frac{W(t)}{D}+R_{OFF}\left(1-\frac{W(t)}{D}\right)\right]i(t) \tag{5}$$

เมื่อ D คือความหนาทั้งหมดของ TiO_2 ที่นำมาประกบกันทั้งสองส่วน และ W คือความหนาของบริเวณที่แผ่น TiO_2 ที่ถูกโด๊ป โดย R_{ON} และ R_{OFF} คือความต้านทานที่บริเวณส่วนที่โด๊ปและไม่โด๊ปตามลำดับ จากสมการที่ (5) จะเห็นได้ว่า memristor ประกอบด้วยความต้านทานที่ไม่เปลี่ยนแปลงตามเวลาและความต้านทานที่เปลี่ยนแปลงตามเวลา ซึ่งในบทความนี้จะเลียนแบบพฤติกรรม memristor ที่สร้างจาก TiO_2 ของทีมนักวิจัยจากห้องทดลอง HP นี้



รูปที่ 3 วงจรจำลอง memristor แบบ decremental



รูปที่ 4 วงจรจำลอง memristor แบบ incremental

วงจรวงจรจำลอง memristor ที่นำเสนอดังรูปที่ 3 และ 4 ซึ่งประกอบด้วยวงจร EDDCC หนึ่งวงจร ตัวทานต้านทานสองตัว ตัวเก็บประจุหนึ่งตัว และวงจรคูณสัญญาณหนึ่งวงจร วงจรที่นำเสนอใช้หลักการออกแบบวงจรมาจาก [9] และ [12] วงจรจำลอง memristor แบบ decremental ในรูปที่ 3 หมายความว่าความต้านทานของ memristor มีค่าเท่ากับความต้านทานที่ไม่เปลี่ยนแปลงตามเวลาถูกหักล้างด้วยความต้านทานที่เปลี่ยนแปลงตามเวลา ส่วนวงจรจำลอง memristor แบบ incremental ในรูปที่ 4 หมายความว่าความต้านทานของ memristor มีค่าเท่ากับความต้านทานที่ไม่เปลี่ยนแปลงตามเวลาถูกเพิ่มค่าด้วยความต้านทานที่เปลี่ยนแปลงตามเวลา รูปที่ 3 ขั้ว Z_3 จะมีคุณสมบัติเหมือนขั้ว Z_2 และรูปที่ 4 ขั้ว Z_3 จะมีคุณสมบัติเหมือนขั้ว Z_1 เมื่อใช้การวิเคราะห์วงจรแบบโนดจะสามารถแสดงสมการของวงจรนี้ได้ดัง

$$v_m=i_mR_1+v_x \tag{6}$$

แรงดัน v_c และ v_R สามารถแสดงได้ดัง

$$v_c=\frac{k_2}{R_1C_1}\int_0^t v_m(\,)\,d\tau \tag{7}$$

$$V_R=-k_1R_2i_m \tag{8}$$

จากคุณสมบัติของวงจรคูณสัญญาณเบอร์ AD633J แรงดัน v_{mul} สามารถแสดงได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{mul} = \frac{k_1 k_2 R_2}{10 R_1 C_1} \int_0^t v_m(\ ) \qquad (9)$$

จากคุณสมบัติของ EDDCC คือ $V_x = V_{y1} - V_{y2} + V_{y3}$ สมการที่ (6) สามารถจัดรูปใหม่ได้เป็น

$$v_m = i_m R_1 + \left(i_m \frac{k_1 k_2 R_2}{10 R_1 C_1} \int_0^t v_m(\ ) \right) + v_{sum} \qquad (10)$$

จากสมการที่ (10) เมื่อกำหนดให้ V_{sum} มีค่าเป็นศูนย์และฟลักซ์ $\phi_m(t)$ เป็นความสัมพันธ์ของแรงดันที่แสดงได้คือ $\phi_m(t) = \int_0^t v_m(\ )$ สมการที่ (10) เขียนใหม่ได้เป็น

$$\frac{v_m}{i_m} = R_1 - \left(\frac{k_1 k_2 R_2}{10 R_2 C_1} \phi_m(t) \right) = M(\phi_m(t)) \qquad (11)$$

เมื่อ $M\phi_m(t)$ คือค่าความต้านทานของ memristor จะเห็นได้ว่า k_1 และ k_2 สามารถใช้ชดเชยอัตราการลดทอน 1/10 ที่เกิดจากวงจรคูณสัญญาณได้ นอกจากนี้ยังสามารถใช้ชดเชยผลกระทบอันเกิดจากความถี่ซึ่งส่งผลต่อพฤติกรรม pinched hysteresis loop ของ memristor ได้อีกด้วย จากรูปที่ 3 และ 4 แรงดันไบอัส V_{off1} V_{off2} และ V_{off3} คือแรงดัน DC ที่ใช้ในการปรับปรุงพฤติกรรม pinched hysteresis loop ของ memristor ในกรณีคุณสมบัติผิดเพี้ยนไป ถ้ากำหนดให้ $V_m(t) = V_p \sin(\omega t)$ เป็นอินพุทของวงจรในรูปที่ 3 เมื่อ $\omega = 2\pi f$ และ V_p คือขนาดของสัญญาณอินพุท ดังนั้น $\phi_m(t) = -(V_p/\omega)\cos(\omega t) = (V_p/\omega)\cos(\omega t - \pi)$ เมื่อแทนค่า $\phi_m(t)$ ลงในสมการที่ (11) จะได้

$$M(\phi_m(t)) = R_1 - \left(\frac{k_1 k_2 R_2}{10 R_2 C_1} \cos(\ ) \right) \qquad (12)$$

จากสมการที่ (12) สามารถพิสูจน์ได้ว่าค่าความต้านทานของวงจร memristor นี้ประกอบด้วยส่วนที่เป็นค่าความต้านทานที่ไม่เปลี่ยนแปลงตามเวลาและส่วนที่เป็นค่าความต้านทานที่เปลี่ยนแปลงตามเวลา ในกรณีที่สัญญาณอินพุทมีความถี่เพิ่มสูงขึ้น จะทำให้ค่าความต้านทานที่เปลี่ยนแปลงตามเวลามีค่าลดลง ซึ่งหมายความว่าพฤติกรรม pinched hysteresis loop จะเสียไปเมื่อที่ค่าความถี่สูงขึ้น ดังนั้นจึงจำเป็นต้องมีการชดเชยด้วยอัตราการขยาย k_1 และ k_2 ตามค่าความถี่ที่เพิ่มมากขึ้นเพื่อให้มาซึ่งพฤติกรรม pinched hysteresis loop ตามต้องการ

3. การจำลองและการทดลอง

เพื่อวิเคราะห์พฤติกรรมทางด้านความถี่ของวงจรจำลองที่นำเสนอ จึงได้มีการทดลองเพื่อเลียนแบบพฤติกรรมของวงจรจำลองนี้ผ่านโปรแกรม PSPICE และทดลองโดยใช้อุปกรณ์จริงที่หาได้ในท้องตลาดซึ่งประกอบไปด้วยไอซี LM13600 ซึ่งเป็นวงจร OTA โดยจะนำมาใช้งานสร้างเป็นวงจร EDDCC ตามรูปที่ 2 โดยกระแสไบอัสของ OTA_1 ถึง OTA_3 จะถูกไบอัสด้วยกระแส I_{abc} = 57.88 μA (ใช้ตัวต้านทานที่ 150 kΩ) ในขณะที่กระแสไบอัสของ OTA ตัวอื่นๆ จะเปลี่ยนแปลงตามค่าอัตราการขยาย วงจรใช้แหล่งจ่ายแรงดัน ±10 V พารามิเตอร์ที่ได้จากการจำลองวงจร EDDCC แสดงได้ดังตารางที่ 1 วงจรในรูปที่ 3 จะถูกจำลองโดยกำหนดค่า R_1 = 15 kΩ R_2 = 15 kΩ และ C_1 = 1 nF แรงดัน V_{off1} = 26 mV V_{off2} = 0 V และ V_{off3} = -50 mV รูปที่ 5 แสดงผลการจำลองความสัมพันธ์ระหว่าง $v_m(t)$ และ $i_m(t)$ ที่ k ค่าต่างๆ ($k = k_1 = k_2$) เมื่อป้อนความถี่ 1 kHz ขนาด 0.5 $V_{(peak)}$ รูปที่ 6 แสดงผลการจำลองความสัมพันธ์ระหว่าง $v_m(t)$ และ $i_m(t)$ ของวงจรที่ความถี่ค่าต่างๆ เมื่อกำหนดให้ $k_1 = k_2 = 1$ และขนาดสัญญาณ 0.5 $V_{(peak)}$

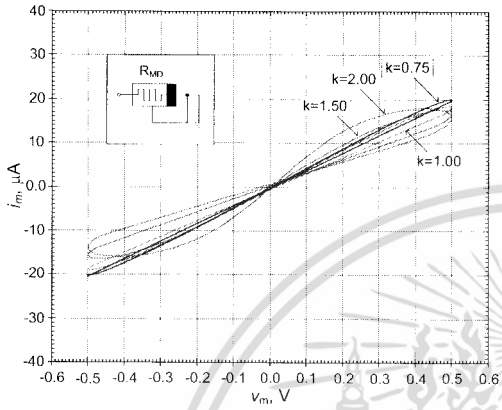
ตารางที่ 1 ค่าจากการจำลองวงจร EDDCC ในรูปที่ 2

พารามิเตอร์	ค่า
แหล่งจ่ายแรงดัน	±10 V
OTA	LM13600N
กระแสไบอัส (I_{abc})	57.88 μA
V_x/V_{y1} (ไม่ต่อโหลด)	-0.6 V to 0.9 V
V_x/V_{y2} (ไม่ต่อโหลด)	-0.1 V to 0.1 V
V_x/V_{y3} (ไม่ต่อโหลด)	-0.1 V to 0.1 V
DC current range	-60 μA to 60 μA
-3 dB bandwidth (V_x/V_{yi})	7.3 MHz
-3 dB bandwidth (I_z/I_x)	11 MHz
R_{yi}: C_{yi}	185 kΩ: 8.4 pF
R_x: L_x	17 Ω: 24 μH
R_{zi}: C_{zi}	22 kΩ: 6.12 pF

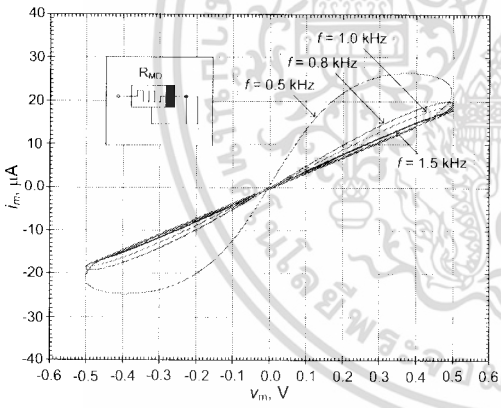
วงจรในรูปที่ 3 จะถูกนำมาต่อเป็นวงจรด้วยอุปกรณ์จริง โดยใช้ค่าอุปกรณ์ต่างๆ แหล่งจ่ายแรงดันและกระแสมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

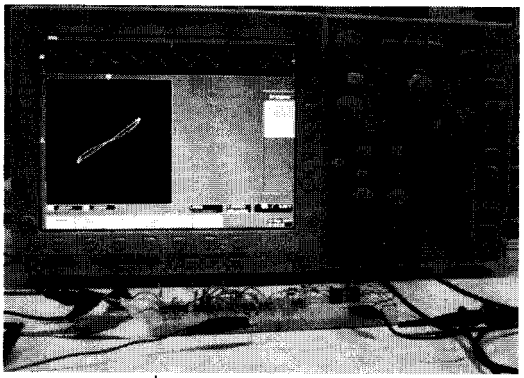
ค่าเท่ากับค่าที่ใช้ในการจำลองการทำงาน การเตรียมการทดลองแสดงดังรูปที่ 7 จากรูปที่ 3 กระแส i_m จะไหลผ่าน R_1 ดังนั้นพฤติกรรม pinched hysteresis loop ของวงจรจำลอง memristor ที่นำเสนอสามารถวัดได้จากแรงดัน v_m และแรงดันตกคร่อม R_1 (v_m-v_x)



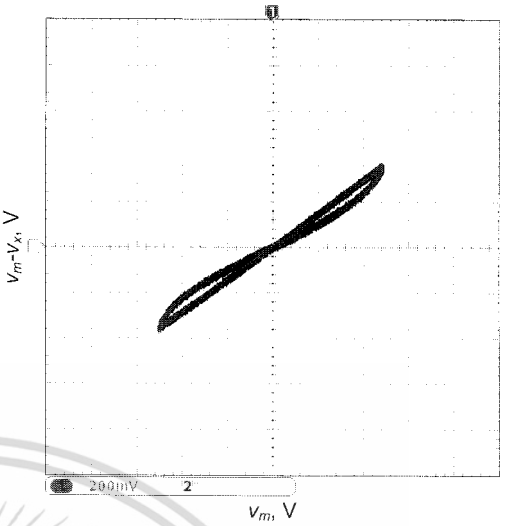
รูปที่ 5 ผลการจำลองคุณสมบัติ v-i ที่ k ค่าต่างๆ ($k=k_1=k_2$) เมื่อป้อนความถี่ 1 kHz ขนาด 0.5 $V_{(peak)}$



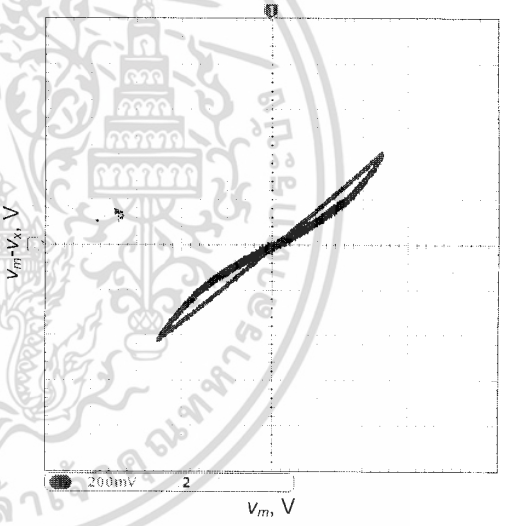
รูปที่ 6 ผลการจำลองคุณสมบัติ v-i ที่ความถี่ค่าต่างๆ ขนาด 0.5 $V_{(peak)}$ เมื่อค่า $k_1 - k_2 = 1$



รูปที่ 7 การจัดเตรียมการทดลอง



รูปที่ 8 ผลการทดลองคุณสมบัติ v-i ที่ความถี่ 1 kHz ขนาด 0.5 $V_{(peak)}$ และ $k_1 - k_2 = 1$



รูปที่ 9 ผลการทดลองคุณสมบัติ v-i ที่ความถี่ 3 kHz ขนาด 0.5 $V_{(peak)}$ $k_1 = 2$ และ $k_2 = 10$

รูปที่ 8 แสดงผลการทดลอง pinched hysteresis loop เมื่อป้อนสัญญาณความถี่ 1 kHz ขนาด 0.5 $V_{(peak)}$ และ $k_1 - k_2 = 1$ รูปที่ แสดงผลการทดลอง 9pinched hysteresis loop เมื่อป้อนสัญญาณความถี่ 3 kHz ขนาด 0.5 $V_{(peak)}$ $k_1 - 2$ และ $k_2 = 10$ จะเห็นได้ว่าเมื่อทำการปรับค่า k_1 และ k_2 เพื่อปรับคุณสมบัติ pinched hysteresis loop วงจรสามารถทำงานที่ความถี่สูงขึ้นได้โดยไม่ต้องมีการเปลี่ยนค่าตัวเก็บประจุแต่อย่างใดซึ่งเป็นจุดเด่นของวงจรนี้ ซึ่งการทดลองนี้เพื่อยืนยันสมการที่ (12)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สรุป

ในบทความได้เสนอวงจรจำลอง memristor โดยใช้วงจร OTA เป็นวงจรพื้นฐาน วงจร OTA จะถูกนำมาสร้างวงจร EDDCC และวงจร EDDCC นี้จะถูกนำมาสร้างเป็นวงจรจำลอง memristor ร่วมกับวงจรคูณสัญญาณและอุปกรณ์พาสซีฟ วงจรที่นำเสนอสามารถสร้างได้จากไอซีที่หาได้ตามท้องตลาด นอกจากนี้ยังสามารถจำลองการทำงานด้วยด้วยโปรแกรมคอมพิวเตอร์ได้อีกด้วยซึ่งจะเป็นประโยชน์ต่อการเรียนการสอนและศึกษาการประยุกต์ใช้งาน วงจรจำลอง memristor สามารถสร้างได้ทั้งแบบ decremental และ incremental เพียงสลับการเชื่อมต่อขั้วอุปกรณ์เพียงเล็กน้อย พฤติกรรม pinched hysteresis loop ของวงจรจำลอง memristor ที่นำเสนอสามารถแสดงได้ทั้งการจำลองการทำงานและผลการทดลอง ซึ่งผลการจำลองการทำงานและผลการทำลองได้ผลไปในทิศทางเดียวกัน

6. เอกสารอ้างอิง

[1] D. B. Strukov, G. S. Snider, D. R. Stewart, R. S. Williams, "The missing memristor found," Nature, vol. 453, pp. 80-83, 2008.

[2] L. O. Chua, "Memristor-the missing circuit element," IEEE Transactions on Circuit Theory, vol. CT-18, pp. 507-511, 1971.

[3] Y. V. Pershin, M. D. Ventra, "Practical approach to programmable analog circuit with memristors," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 57, pp. 1857-1864, 2010.

[4] J. Borghetti, G. Y. Snider, P. J. Kuekes, J. J. Yang, D. R. Stewart, R. S. Williams "'Memristive' switches enable 'stateful' logic operations via material implecation," Nature, vol. 464, pp. 873-876, 2010.

[5] S. Shin, K. Kim, S.-M. Kang, "Memristor applications for programmable analog ICs," IEEE Transactions on Nanotechnology, vol. 10, pp. 266-274, 2011.

[6] D. Biolek, Z. Biolek, V. Biolkova, "PSPICE modeling of memristor with nonlinear dopant drift," Radioengineering, vol. 18, pp. 210-214, 2009.

[7] D. Biolek, Z. Biolek, V. Biolkova, "PSPICE modeling of memristor," Analog Integrated Circuits and Signal Processing, vol. 66, pp. 129-137, 2011.

[8] D. Bates, H. Fiedler, "A memristor SPICE implementation and a new approch for magetic flux controlled memristor," IEEE Transactions on Nanotechnology, vol. 10, pp. 250-255, 2011.

[9] H. Kim, M. P. Sah, Y. Changju, S. Cho, L. O. Chua, "Memristor emulator for memristor circuit applications," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 59, pp. 2422-2431, 2012.

[10] X. Y. Wang, A. L. Fitch, H. H. C. Lu, W. G. Qi, "Desing of a memcapacitor emulator based on a memristor," Physics Letters A, vol. 376, pp. 394-399, 2012.

[11] C. Sanchez-Lopez, J. Mendoza-Lopez, M. A. Carrasco, C. Muniz-Montero, "A floating analog memristor emulator circuit," IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 61, pp. 309-313, 2014.

[12] A. Yesil, Y. Babacan, F. Kacar, "A new DDCC based memristor emulator circuit and its appliactions," Microelectronics Journal, vol. 45, pp. 282-287, 2014.

[13] S. C. Yener, H. H. Kuntman, "Fully CMOS memristor based chaotic circuit," Radioengineering, vol. 23, pp.1140-1149, 2014.

[14] V. Riewruja, W. Petchmaneelumka, "Floating current-controlled resistance converters using OTAs," AEU-International Journal of Electronics and Communications, vol. 62, pp. 725-731, 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้