การลดเวลาในการทดสอบหน่วยความจำประเภท EEPROM ที่กระบวนการทดสอบขั้นสุดท้าย

EEPROM Test Time Reduction in Final Test Process

วิระสา นนทฤทธิ์ อิทธิชัย อรุณศรีแสงไชย

ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

เวลาที่ใช้ในขั้นตอนการทดสอบอุปกรณ์หน่วยความจำนั้น มีความสำคัญมากในการผลิตเพราะว่าจะส่งผลโดยตรงต่อต้นทุนการผลิต มีหลายบทความที่ศึกษาวิธีการลดเวลาในการทดสอบหน่วยความจำโดยวิธีต่างๆ ในบทความนี้จะศึกษาและนำเสนอวิธีการลดเวลา ในการทดสอบหน่วยความจำประเภท EEPROM โดยวิธีลดค่า Delay time รวม Test Block ที่ทดสอบเข้าด้วยกัน และเขียนข้อมูลทีละหลายๆ page พร้อมๆกัน จากผลการทดลองจะเห็นได้ว่าเวลาที่ใช้การทดสอบหน่วยความจำลดลง 41.85% หรือจาก 2.805 วินาทีเป็น 1.631 วินาที

คำสำคัญ: การลดเวลาในการทดสอบหน่วยความจำ, หน่วยความจำประเภท EEPROM, การทดสอบหน่วยความจำ

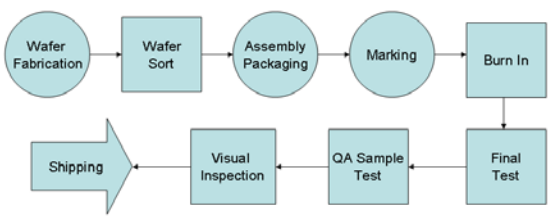
Abstract

Test time used in the memory test operation is important in the manufacturing process because it has direct impact to manufacturing cost. There are many papers that study the test time reduction method. This paper studies and proposes the test time reduction in EEPROM memory test operation by reducing delay time, combining test block, and write multiple page of data in single write cycle. From the experiment result, it is observed that the memory test time is reduced by 41.85% or from 2.805 seconds to 1.631 seconds.

Keywords: Memory Test Time Reduction, EEPROM memory, Memory Testing

1. บทนำ

การเติบโตของ อุตสาหกรรมเซมิคอนดักเตอร์ประเภทหน่วยความจำได้เติบโตขึ้นอย่างรวดเร็ว ซึ่งรวมถึงทั้งปริมาณหน่วยความจำและปริมาณการผลิต วิธีการทดสอบ และอุปกรณ์ในการทดสอบที่ยังเหมือนเดิมจะส่งผลให้เวลาที่ใช้ในการทดสอบสูงขึ้น และไม่ทันต่อความต้องการของตลาด นอกจากนั้นต้นทุนในการทดสอบยังมีผลโดยตรงมาจากเวลาที่ใช้ในการทดสอบ การที่จะช่วยแก้ปัญหาเหล่านี้ได้ สามารถทำได้โดยการลดเวลาที่ใช้ในการทดสอบ บริษัทผู้ผลิตเซมิคอนดักเตอร์ประเภทหน่วยความจำ จึงได้พยายามทำการวิจัยเพื่อที่จะลดเวลาในการทดสอบลงเพื่อลดต้นทุน และเพิ่มประสิทธิผลในการผลิต



รูปที่1 กระบวนการผลิตวงจรรวมสารกึ่งตัวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การผลิตอุปกรณ์วงจรรวมสารกึ่งตัวนำ ประกอบด้วย ขั้นตอนหลักดังรูปที่1 คือ การสร้างเวเฟอร์ (Wafer fabrication) การตรวจสอบเวเฟอร์ (Wafer Sort) การประกอบบรรจุภัณฑ์ (Assembly and Packaging) การทำมาร์คบนตัวงาน (Marking) การ Burn-In การทดสอบ (Final test) และ การประกันคุณภาพ (quality assurance) [1]

ตัวงานเซมิคอนดักเตอร์ จะถูกทดสอบด้วยเครื่องทดสอบอัตโนมัติ (Tester) ในการทดสอบ Tester จะถูกควบคุมโดย software ที่เรียกว่า Test program ซึ่งประกอบด้วยอัลกอริทึม Test program เหล่านี้ประกอบด้วยค่าที่วัดได้ ค่า guard band รูปแบบข้อมูล (data patterns) เพื่อที่จะทดสอบการทำงานทุกแบบตามที่ data sheet กำหนด [2]

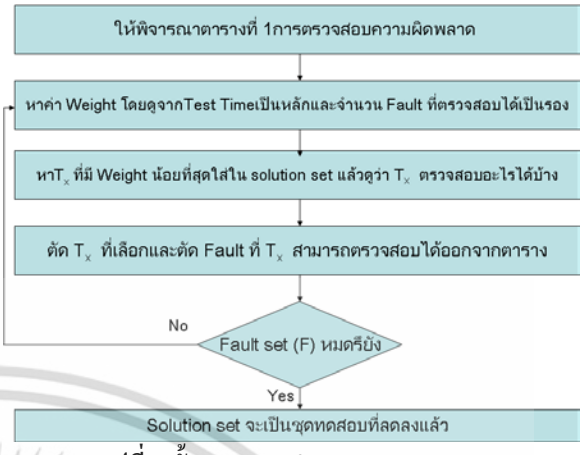
ในงานวิจัยที่ผ่านมา ได้มีการศึกษาการลดเวลาที่ใช้ในการทดสอบหน่วยความจำ ดังนี้

วิธีที่ 1 เป็นการตัดหัวข้อการทดสอบที่ใช้ตรวจสอบความผิดพลาด (Fault) เหมือนกันออก (Remove redundant test item) [3] [4] ดังตัวอย่างในตารางที่ 1 ซึ่งสามารถตัดหัวข้อการทดสอบ T_0 กับ T_3 ได้เพราะว่ามีหัวข้อการทดสอบอื่น ที่สามารถตรวจสอบความผิดพลาดได้เช่นเดียวกับ T_0 และ T_3 จากตัวอย่างในตารางที่ 1 การใช้วิธีการลดเวลาในการทดสอบหน่วยความจำด้วยวิธีนี้ จะสามารถลดเวลาที่ใช้ในการทดสอบลงได้จาก 13.2 วินาที เหลือ 6.9 วินาที

ตารางที่ 1 การตรวจสอบความผิดพลาด (Fault detection)

Test Item	Fault Set						Test Time (s)
	F_0	F_1	F_2	F_3	F_4	F_5	
T_0	0	1	0	0	1	0	2.3
T_1	1	0	0	1	0	1	3.1
T_2	1	1	0	0	0	0	1.5
T_3	0	0	0	0	1	0	4
T_4	0	0	1	1	1	0	2.3

วิธีที่ 2 เป็นวิธีการใช้ Greedy Algorithm ซึ่งมีขั้นตอนการทำงานดังรูปที่ 2 [3]



รูปที่ 2 ขั้นตอนการทำงานของ Greedy algorithm

1) พิจารณาตารางที่ 1
2) หา Weight T_0 : 3 , T_1 :4 , T_2 :1 , T_3 :5 , T_4 :2 จะเห็นได้ว่าเวลาในการทดสอบของ T_0 เท่ากับ T_4 แต่ T_4 สามารถเช็ค Fault ได้มากกว่า T_0 ดังนั้น T_4 จึงมี Weight น้อยกว่า T_0
3) เลือก T_2 เพราะมีค่าWeight น้อยที่สุดแล้วหาว่า T_2 ตรวจสอบอะไรได้บ้าง
4) ตัดค่า Fault set ที่ T_2 ตรวจสอบได้นั่นคือ Fault set F_0 และ F_1 ออกจากตาราง
5) เนื่องจากมี Fault set เหลืออยู่ต้องทำขั้นตอนที่ 2 ใหม่จนกว่า Fault set จะหมดไปจากตาราง

ถ้าทำตามขั้นตอนจนจบจะได้ชุดการทดสอบ (Test set) = $(\{T_1, T_2, T_4\})$ ซึ่งลดเวลาลงเหลือ6.9 วินาที แม้ว่าในตัวอย่างนี้ วิธี Greedy algorithm จะได้ชุด Solution set ที่ดีที่สุด แต่ไม่ได้รับรองว่าการใช้วิธีนี้จะได้เวลาการทดสอบที่น้อยที่สุด

วิธีที่ 3 เป็นวิธีการรวมการทดสอบที่ใช้รูปแบบการทดสอบ (Test pattern) เหมือนกันเข้าไปในการทดสอบให้ต่อเนื่องกันเพื่อลดเวลาในการจัดเตรียมข้อมูล โดยทั่วไปรูปแบบการทดสอบ (Test pattern) จะถูกในรูปแบบของหน่วยการทดสอบ (Test element) ซึ่งประกอบด้วย (1) ทิศทางของที่อยู่หน่วยความจำ (address direction) (2) ขั้นตอนการทดสอบ (test operation) และ (3) ข้อมูลพื้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลัง (data background) address direction เป็นลำดับของการทดสอบ address ซึ่งอาจจะเป็น เดินหน้า ⇑ (ascending) ถอยหลัง ⇓ (descending) หรือทั้งสองทิศทาง ⇳ ขั้นตอนการทดสอบประกอบไปด้วยการอ่าน (r) หรือเขียน (w) data background จะแทนด้วยตัวอักษรเช่น a หรือ b ตัวอย่างในการเขียน Test element สามารถแสดงได้ดังนี้ *{0000⇑ (wa), ⇑ (ra), ⇑ (wb), ⇑ (rb)}*ซึ่ง a =0000 และ b=1111 ในวิธีการลดเวลาในการทดสอบหน่วยความจำ โดยวิธีการรวมการทดสอบที่ใช้รูปแบบการทดสอบ (Test pattern) เหมือนกัน ทำได้โดยการวิเคราะห์หาหัวข้อทดสอบที่มีรูปแบบเหมือนกัน มาทำการทดสอบต่อเนื่องกัน ตัวอย่างเช่น Functional Test และ Power-on Test มีรูปแบบการทดสอบดังแสดงด้านล่าง

$$\left\{\begin{array}{l} Functional\ Test: \\ 0000 \Uparrow (wa), \Uparrow (ra, wb), \Downarrow (rb, wa), \Uparrow (wb), \\ \quad \Uparrow (rb, wa), \Downarrow (ra, wb) \\ Power-on\ Test: \\ 0000 \Uparrow (wa), \Uparrow (ra) \end{array}\right\}$$

จะเห็นได้ว่าทั้งสองการทดสอบมีรูปแบบบางส่วนที่เริ่มต้นเหมือนกัน ดังนั้นเราสามารถรวมการทดสอบได้ โดยให้ทำการทดสอบ Power-on test แล้วตามด้วย Functional Test

วิธีที่ 4 เป็นวิธีการวางเรียงหัวข้อทดสอบ (Interconnect all test items) โดยให้ข้อมูลในขั้นตอนการอ่านค่าสุดท้าย ของหัวข้อการทดสอบก่อนหน้าตรงกับข้อมูลเริ่มต้นที่ต้องใช้ในหัวข้อการทดสอบปัจจุบัน วิธีนี้จะลดเวลาในการเตรียม หรือเขียนข้อมูลเริ่มต้นที่ต้องใช้ในหัวข้อการทดสอบนั้น ตารางที่ 2 แสดงวิธีการวางเรียงหัวข้อทดสอบตามวิธี Interconnect all test items [4] [5]

ตารางที่ 2 ตัวอย่างการเรียงหัวข้อทดสอบตามวิธี

Interconnect all test items

Test Item	Test Patterns
March	{⇳ (w00); ⇑ (r00,w11); ⇓ (r11,w00); ⇳ (r00)}
Read-modify-write	{⇳ (w00); ⇑ (r00,w11); ⇳ (r11)}
Page mode	{⇳ (w11); ⇑ (r11,w00); ⇳ (r00)}
I/O buffer	{⇳ (w01); ⇑ (r01,w10); ⇳ (r10)}
Voltage bumping	{⇳ (w01); ⇑ (r00); ⇑ (w11); ⇑ (r11); ⇑ (w00); (r00); (w11); ⇳ (r11)}

2. แนวทางในการลดเวลาที่ใช้ในการทดสอบหน่วยความจำประเภท EEPROM ที่นำเสนอ

ในงานวิจัยฉบับนี้จะเสนอแนวทางในการลดเวลาในการทดสอบอยู่ 3 แนวทางคือวิธีลดค่า Delay time วิธีรวม Test Block ที่ทดสอบเข้าด้วยกัน และวิธีเขียนข้อมูลทีละหลายๆ page พร้อมๆกัน

2.1 วิธีลดค่า Delay time

Delay time คือการหน่วงเวลาก่อนการทดสอบตัวแปรต่อไป เมื่อมีการเปลี่ยนแปลงระดับไฟฟ้า เพื่อรอให้แรงดันฟ้าอยู่ในระดับคงที่ยกตัวอย่างเช่นหัวข้อการทดสอบที่1ใช้ไฟฟ้าเท่ากับ 5.0V และหัวข้อการทดสอบที่ 2 ใช้ไฟฟ้าเท่ากับ 1.0V ฉะนั้นเราจะต้องใส่ค่า Delay time ก่อนที่หัวข้อการทดสอบที่ 2 จะ ทำงาน

วิธีการที่จะนำเสนอในการลดเวลาที่ใช้ในการทดสอบวิธีนี้คือการลดค่า Delay time ของ Test Block ที่มีการเปลี่ยนแปลงระดับแรงดันไฟฟ้าอย่างรวดเร็ว ให้มีค่า Delay time ที่เหมาะสมที่สุด ซึ่งค่า Delay time ที่ใช้กันอยู่นั้นเป็นค่าโดยประมาณยังไม่ได้ทำการวิจัยและทดสอบค่าที่เหมาะที่สุด

2.2 วิธีรวม Test Block ที่ทดสอบเข้าด้วยกัน

วิธีการนี้จะรวม Test Block ที่มีการทดสอบเข้าด้วยกันโดยพิจารณาจาก Test Block ที่มีเงื่อนไขในการทดสอบคล้ายๆกัน เช่นการทดสอบตัวแปรกระแสรั่วไหล (Leakage current) และการทดสอบตัวแปรกระไฟฟ้าลัดวงจร (Shorts circuit test) การทดสอบ 2 ประเภทนี้มีเงื่อนไขการทดสอบคล้ายๆกันคือการใส่ค่าแรงดันแล้ววัดค่ากระแส สิ่งที่แตกต่างกันคือค่ากระแสที่ยอมรับได้ของตัวแปรกระแสรั่วไหลนั้นมีค่าน้อยกว่าค่ากระแสที่ยอมรับได้ของตัวแปรกระไฟฟ้าลัดวงจร ดังนั้นถ้าตัวไอซีผ่านการทดสอบกระแสไฟฟ้ารั่วไหล ตัวไอซีนั้นจะผ่านการทดสอบกระไฟฟ้าลัดวงจรเสมอ ดังนั้นสำหรับตัวไอซีที่ผ่านค่าตัวแปรกระแสไฟฟ้ารั่วไหล เราจึงสามารถลดเวลาโดยการข้ามการทดสอบตัวแปรกระไฟฟ้าลัดวงจรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วิธีเขียนข้อมูลทีละหลายๆ page พร้อมๆกัน

โดยปกติในหนึ่งรอบการเขียน (Write Cycle) หน่วยความจำจะถูกออกแบบให้ผู้ใช้สามารถเขียนข้อมูลได้ทีละ 1 byte หรือทีละ 1 page (16 byte) โดยที่ข้อมูลในแต่ละ address อาจจะมีค่าเหมือนกันหรือไม่ก็ได้ การเขียนข้อมูลดังกล่าวจะต้องส่งค่าข้อมูลแต่ละ byte ไปยังแต่ละ address

อย่างไรก็ตามในการทดสอบหน่วยความจำบางขั้นตอนมีการเขียนข้อมูลเพียงค่าเดียวในทุก address เช่น ขั้นตอน Page-00 และ Page-FF จะเขียนข้อมูล 0x00 และ 0xFF ในทุก address ตามลำดับ เพื่อลดเวลาในการเขียนข้อมูล เราสามารถเปลี่ยนวิธีการเขียนแบบ byte mode หรือ page mode ให้เป็นการเขียนข้อมูลเดียวกันในทุก address ภายในหนึ่งรอบการเขียน (Write Cycle Time) ซึ่งจะเรียกวิธีการเขียนลักษณะนี้ว่า Block mode

3. การทดลองเพื่อหาประสิทธิภาพในการลดเวลาของแนวทางที่นำเสนอ

ในงานวิจัยนี้ เราจะยกตัวอย่างการทดสอบของหน่วยความจำประเภท EEPROM ที่มีหน่วยความจำ 2048 byte (16 Kbit I^2 C CMOS Serial EEPROM) ซึ่งแบ่งเป็น 128 page และมี page ละ 16 byte ในปัจจุบัน การทดสอบหน่วยความจำนี้มีขั้นตอนในการทดสอบ เงื่อนไขของการทดสอบ และเวลาที่ใช้ในการทดสอบของแต่ละหัวข้อการทดสอบตามตารางที่ 3 เราจะใช้วิธีที่นำเสนอเพื่อทดลองและศึกษาการลดเวลาที่ใช้ในการทดสอบหน่วยความจำ

3.1 การทดลองลดค่า Delay time

ในขั้นตอนการทดสอบหน่วยความจำประเภท EEPROM ที่มีหน่วยความจำ 2048 byte จำเป็นจะต้องใส่ค่า Delay time เพื่อหน่วงเวลาให้แรงดันไฟฟ้าคงที่ก่อนทำการเขียนข้อมูล ถ้าแรงดันไฟฟ้าไม่คงที่จะทำให้ไม่สามารถเขียนข้อมูลให้สมบูรณ์ได้ ซึ่งมีอยู่ 2 จุดคือ Test Block PGWRT_ARRAY และ PAGE-00 ทั้งสองจุดนี้มีการใส่ Delay time เข้าไปจำนวน 40 msec

ตารางที่ 3 ขั้นตอนในการทดสอบหน่วยความจำประเภท EEPROM ที่มีหน่วยความจำ 2048 byte

Test Block Name:	V1	VPAR	IPAR	Frequency	Test (msec)
OPENS	0V	-2.5V	-50UA	0Hz	47
SHORTS	0V	0.3V	100UA	0Hz	40
LEAKAGE	5.6V	5.6V	900NA	0Hz	40
ISB	5.1V	5.1V	700NA	0Hz	78
RDAA_DATA1	5.6V	5.1V	700NA	400KHZ	94
P&B-WRITE	5V	0.4V	3MA	400KHZ	78
PGWRT_ARRAY	1.7V	0.4V	3MA	400KHZ	640
SEQURD_ARRY	5.6V	0.4V	3MA	400KHZ	156
	1.7V	0.4V	3MA	400KHZ	
PGWRT_55AA	5.6V	0.4V	3MA	400KHZ	47
WR_PROTECT1	1.7V	0.4V	3MA	400KHZ	47
PGRD_55AA	5.6V	0.4V	3MA	400KHZ	63
PAGE-00	1.7V	0.4V	3MA	400KHZ	640
RD00_DATA	5.6V	0.4V	3MA	400KHZ	
	1.7V	0.4V	3MA	400KHZ	94
ROLLOVER	1.7V	0.4V	3MA	400KHZ	47
PAGE-FF	1.7V	0.4V	3MA	400KHZ	600
RDFF_DATA	5.6V	0.4V	3MA	400KHZ	94
Total Test Time					2805

VPAR= Parametric Voltage level used by PMU

IPAR = Parametric Current level used by PMU

PMU= Parametric Measurement Unit

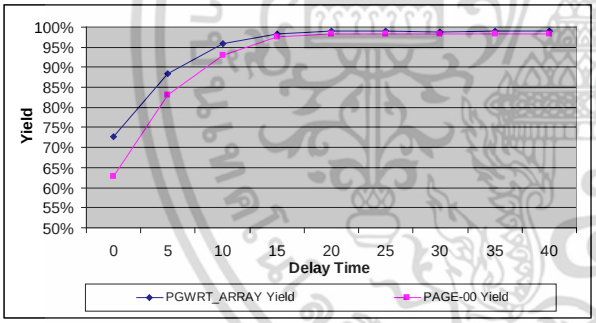
เราทำการทดสอบหาค่า Delay time ที่เหมาะสม โดยทดสอบค่า Delay time เริ่มจาก 0msec และเพิ่มทีละ 5msec จนถึง ค่า Delay time ปัจจุบัน (40 msec) เนื่องจากใน 1 รอบการเขียนข้อมูล (Write Cycle Time) จะใช้เวลา 5 msec โดยใช้ไอซี 1,000 ตัว ชุดเดียวกันเพื่อหาค่าอัตราของดี (Yield) โดยที่ได้ค่าอัตราของดีไม่น้อยกว่า ค่าอัตราของดีที่ใช้ Delay time เดิมซึ่งเท่ากับ 40 msec ผลการทดลองถูกแสดงไว้ในตารางที่ 4 และรูปที่ 3

ผลการทดลองแสดงให้เห็นได้ว่าค่าอัตราของดีที่ Delay time ที่ 20-40 msec ไม่มีความแตกต่างกันเพราะฉะนั้น Delay time จะสามารถลดลงได้ 20 msec ในหัวข้อการทดสอบ PGWRT_ARRAY และ PAGE-00 ซึ่งรวมเป็น 40 msec จากเวลาที่ใช้ในการทดสอบทั้งหมด 2805 msec หรือลดลงได้ 1.43% ของเวลาในการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4 ค่าอัตราของดีในการทดสอบที่ค่า Delay time ต่างๆ

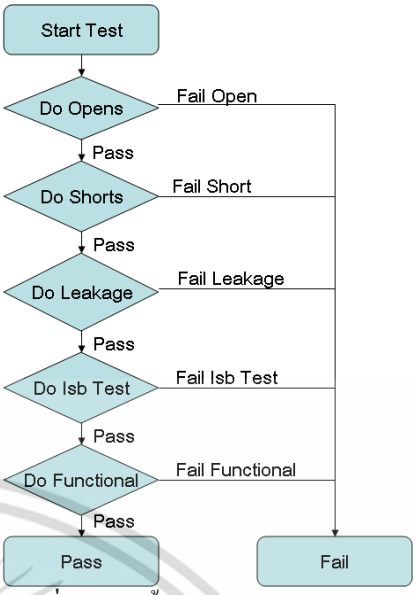
Test Block Name:	Delay Time(msec)	Qty In	Qty Accept	Yield
PGWRT_ARRAY	0	1,000	726	72.6%
	5	1,000	885	88.5%
	10	1,000	958	95.8%
	15	1,000	982	98.2%
	20	1,000	991	99.1%
	25	1,000	990	99.0%
	30	1,000	989	98.9%
	35	1,000	991	99.1%
	40	1,000	990	99.0%
PAGE-00	0	1,000	628	62.8%
	5	1,000	830	83.0%
	10	1,000	931	93.1%
	15	1,000	968	96.8%
	20	1,000	983	98.3%
	25	1,000	983	98.3%
	30	1,000	984	98.4%
	35	1,000	984	98.4%
	40	1,000	983	98.30%



รูปที่ 3 กราฟแสดงค่าอัตราของดีในการทดสอบที่ค่า Delay time ต่างๆ

3.2 การทดลองรวม Test Block ที่ทดสอบเข้าด้วยกัน

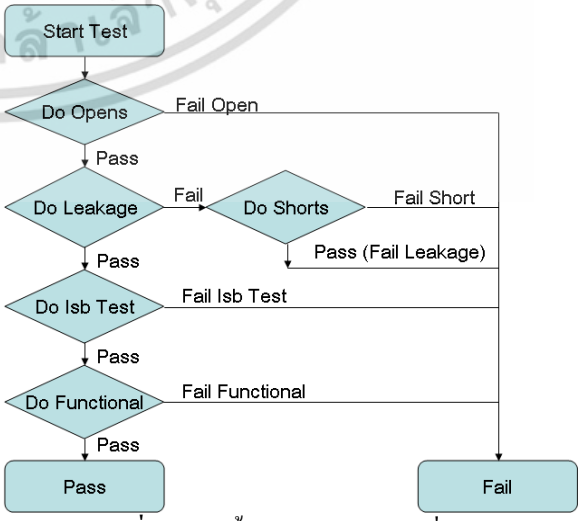
ในการทดสอบหน่วยความจำประเภท EEPROM ที่มีหน่วยความจำ 2048 byte จะมีการทดสอบตัวแปรกระแสรั่วไหล (Leakage current) และการทดสอบตัวแปรกระไฟฟ้าลัดวงจร (Shorts circuit test) ซึ่งมีเงื่อนไขในการทดสอบที่คล้ายกันคือการใส่ค่าแรงดันแล้ววัดค่ากระแส โดยทำตามลำดับขั้นตอนดังรูปที่ 4



รูปที่ 4 ลำดับขั้นตอนการทดสอบในปัจจุบัน

การทดลองนี้จะทำโดยการข้ามการทดสอบตัวแปรกระไฟฟ้าลัดวงจรถ้าไอซีตัวนั้นผ่านการทดสอบตัวแปรกระแสรั่วไหล ซึ่งสามารถอธิบายได้ตามแผนผังขั้นตอนด้านล่างในรูปที่5

นอกจากนั้นเราจะทำการรวมการกำหนดค่าแรงดัน ค่ากระแส และค่าความถี่ ของ Test Block ROLLOVER และ PAGE-FF เข้ากับการกำหนดค่าเริ่มต้นของ Test Block RD00_DATA ที่ แรงดันไฟฟ้าต่ำครั้งเดียว เพราะว่าค่าเริ่มต้นต่างนั้นเหมือนกันตามที่แสดงในตารางที่ 2 ซึ่งปัจจุบันจะทำการกำหนด 3 ครั้งเมื่อเริ่มต้นการทดสอบแต่ละ Test Block



รูปที่ 5 ลำดับขั้นตอนการทดสอบที่เสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการข้ามการทดสอบตัวแปรกระแสไฟฟ้าลัดวงจรถ้าไอซีตัวนั้นผ่านการทดสอบตัวแปรกระแสรั่วไหล จากกลุ่มตัวอย่างไอซี 100 ตัว ได้ผลการทดลองว่าไม่มีไอซีที่ไม่ผ่านการทดสอบกระแสไฟฟ้ารั่วไหล ดังนั้นเวลาที่ใช้ในการทดสอบทุกตัวจะลดลง 40 msec จากเวลาที่ใช้ 2805 msec หรือลดลงได้ 1.43% ของเวลาในการทดสอบ

สำหรับการรวมการกำหนดค่าเริ่มต้นของ Test Block RD00_DATA, ROLLOVER, และ PAGE-FF จากกลุ่มตัวอย่าง 100 ตัว ได้ผลการทดลองว่าเวลาที่ใช้ในการทดสอบลดลงไป 26 msec จากเวลาที่ใช้ 2805 msec หรือลดลงได้ 0.93% ของเวลาในการทดสอบ

3.3 การทดลองเขียนข้อมูลทีละหลายๆ page พร้อมๆกัน

ในขั้นตอนการทดสอบหน่วยความจำประเภท EEPROM ที่มีหน่วยความจำ 2048 byte จะมี 2 ขั้นตอนที่จะต้องใช้ข้อมูลเพียงค่าเดียวในทุก address คือขั้นตอน Page-00 และ Page-FF จากการทดลองแสดงให้เห็นได้ว่าเวลาที่ใช้ในการทดสอบขั้นตอน Page-00 และ Page-FF ลดลงจาก 640 msec และ 600 msec เหลือ 35 msec และ 31 msec ตามลำดับ ซึ่งรวมเวลาที่ลดลงได้ 1174 msec จากเวลาที่ใช้ในการทดสอบทั้งหมด 2805 msec หรือลดลงได้ 41.85% ของเวลาในการทดสอบ

4. สรุปผลการทดลอง

จากผลการทดลองในหัวข้อที่ 3 จะเห็นได้ว่าเวลาที่ใช้ในการทดสอบสามารถลดลงได้โดย การลด Delay time = 40 msec การข้ามการทดสอบตัวแปรกระไฟฟ้าลัดวงจรถ้าไอซีตัวนั้นผ่านการทดสอบตัวแปรกระแสรั่วไหล = 40 msec การรวมการกำหนดค่าเริ่มต้นของ Test Block = 26 msec และการเขียนข้อมูลทีละหลายๆ page = 1174 msec ซึ่งรวมเวลาที่ลดลงทั้งหมดเป็น1280 msec จากเวลาที่ใช้ในการทดสอบทั้งหมด 2805 ms หรือเป็น 45.63%

เวลาที่ลดลงดังกล่าวสามารถลดเวลาที่ใช้ในการทดสอบทั้งลอต(Lot) ซึ่งมีจำนวน 40,000 ตัวลงได้ 853 นาที หรือประมาณ 14 ชั่วโมง

5. เอกสารอ้างอิง

[1] S.K. Ashok, Advanced Semiconductor Memories, IEEE PRESS, NJ, 2003

[2] A.J. Goor, Testing Semiconductor Memories**.** John Wiley & Sons, West Sussex: UK, 1991

[3] J.C. Yeh et al, "A Systematic Approach to Reducing Semiconductor Memory Test Time in Mass Production," IEEE International Workshop on Memory Technology, Design, and Testing, Vol.5, pp.97-102, Aug., 2005

[4] W.J. Wu et al. "Methods for Memory Test Time Reduction," IEEE International Workshop on Memory Technology, Design, and Testing, pp.64-71, 1996

[5] W.J. Wu et al, "Memory Test Time Reduction by Interconnecting Test Items," Test Symposium (ATS 2000), pp 290-298, 2000

[6] W.D. Brown and J.E. Brewer, Nonvolatile Semiconductor Memory Technology, IEEE PRESS, NY, 1998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้