

# การออกแบบวงจรเทอร์นารีซีควนเชียลลอจิก

## Ternary Sequential Logic Design

สมปอง วิเศษพานิชกิจ ผู้เกียรติ ศิลปศาสตร ์ กอบชัย เคชหาญ

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

### บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีซีควนเชียลลอจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascade Voltage Switch (DCVS) ทำให่วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมที่ง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรเป็นไปอย่างเป็นระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรรวมแบบต่าง ๆ โดยในบทความนี้เสนอตัวอย่างการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) การทดสอบวงจรจะทำได้โดยโปรแกรมจำลอง PSPICE ซึ่งในบทความนี้จะใช้แบบจำลองมอดูลทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5  $\mu\text{m}$  เพื่อแสดงการทำงานของวงจรรวมที่ออกแบบด้วยเทคนิคที่นำเสนอ

**คำสำคัญ:** เทอร์นารีลอจิก, ลอจิกดิจิทัล, ซีควนเชียลลอจิก

### Abstract

This paper proposes the ternary sequential logic circuit design based on CMOS transmission gate with controlling sub-circuit that convert the ternary signal to binary signal and constructed by Differential Cascade Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal and well controlled CMOS fabrication process. This leads to the systematic design, and the ternary feedback, the sequential logic can be easily designed. In this paper, several tri-flop circuits are presented, such as, D-type, JKL-type and T-type which are essential cells for multiple-valued logic system. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIC technology 0.5  $\mu\text{m}$ . All results confirm the success of the proposed technique.

**Keywords:** Ternary Logic, Logic Design, Sequential Logic, Tri-Flop, Multiple-Valued Logic

### 1. บทนำ

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบดิจิทัลคือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้น จึงมี

ความต้องการในการออกแบบและใช้งานวงจรรวมแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรรวมแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรรวมทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรวมแบบไบนารีมาใช้ได้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นการออกแบบวงจรเทอร์นารีให้มีรูปวงจรมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12k $\Omega$ ) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรมอสจำเป็นต้องกำหนดค่าสวิตชิ่งคาเทรคโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งถูกควบคุมด้วยวงจร Threshold-T gate ซึ่งให้อาต์พุตเป็นสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascade Voltage Switch (DCVS) ดังนั้นสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมอสมีค่าสวิตชิ่งคาเทรคโวลต์เท่ากัน ซึ่งง่ายต่อการผลิต ในหัวข้อที่ 2 จะกล่าวถึงหลักการออกแบบวงจรเทอร์นารีโดยใช้ CMOS Transmission Gate ส่วนหัวข้อที่ 3 จะกล่าวถึงการออกแบบวงจรเทอร์นารีซีแควนเชียล ซึ่งประกอบด้วยวงจร D-type Tri-Flop, JKL-type Tri-Flop และ T-type Tri-Flop การทดสอบวงจรใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5  $\mu\text{m}$  (ภาคผนวก) เพื่อแสดงการทำงานของวงจรถูกออกแบบด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (W/L) เท่ากับ 4  $\mu\text{m}/0.5 \mu\text{m}$  และ PMOS มีขนาดเท่ากับ 8  $\mu\text{m}/0.5 \mu\text{m}$

## 2. การออกแบบวงจรเทอร์นารีด้วย

### Transmission Gate

เนื่องจากวงจรเทอร์นารีลอจิกประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้าซึ่งอาจอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยสมมติให้วงจรมอส

ลอจิกมีฟังก์ชัน  $f(x)$  ที่มีอินพุต  $x$  และมีเอาต์พุต  $C_i$  โดยที่  $x, C_i \in \{0,1,2\}$  ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (0.5 * x * x^{1.5}) \# C_2 * (x^{1.5}) \quad (1)$$

โดยการดำเนินการ

$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (2)$$

และ

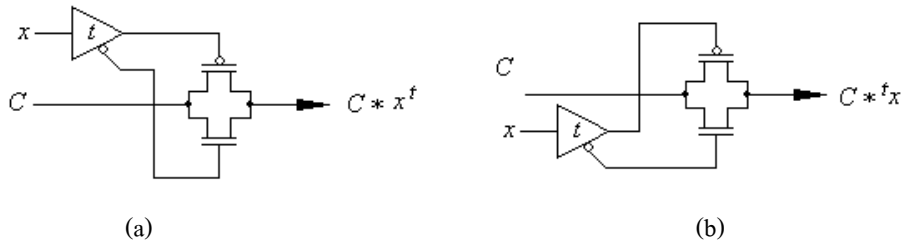
$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (3)$$

โดยที่  $\phi$  หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้  $t$  เป็นค่าเทรคโวลต์ และ  $t \in \{0.5, 1.5\}$  สังเกตว่า  $x'$  มีสถานะเพียงสองสถานะแบบไบนารีคือเป็นจริงเมื่อ  $x < t$  และเป็นเท็จเมื่อ  $x > t$  ตามลำดับ ในทางกลับกัน  $'x$  จะให้ค่าเป็นจริง  $x > t$  และเป็นเท็จเมื่อ  $x < t$  ดังนั้นการดำเนินการ  $C_i * x'$  และ  $C_i * 'x$  ซึ่งสามารถสร้างด้วยวงจร Transmission Gate แบบ CMOS โดยอาศัย  $x'$  และ  $'x$  เป็นสัญญาณควบคุมดังแสดงในรูปที่ 1 โดยวงจร Threshold-T Gate ( $x'$  และ  $'x$ ) สามารถสร้างขึ้นจากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงให้รูปที่ 2

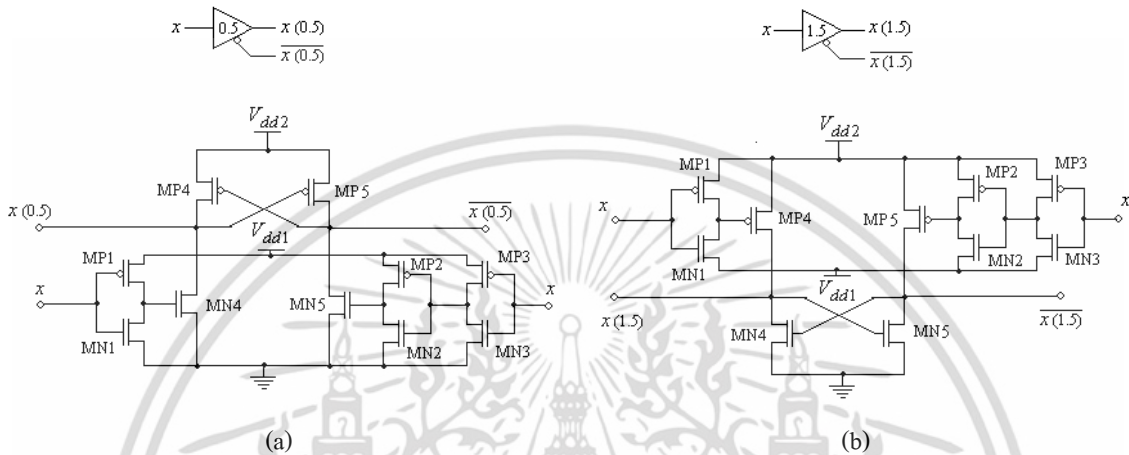
การทำงานของวงจร Threshold-T Gate เมื่อ  $t = 0.5$  (รูปที่ 2 (a)) สัญญาณอินพุต  $x$  ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0, 1) ด้วย CMOS Inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย  $x > t (=0.5)$  จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DVCS Inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับการควบคุมวงจร Transmission Gate ต่อไป สำหรับวงจร Threshold-T Gate เมื่อ  $t = 1.5$  (รูปที่ 2(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ  $x$  จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS Inverter โดยสัญญาณที่มีค่า  $x < t (=1.5)$  จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) ตารางที่ 1 แสดงตารางความจริงของวงจร Threshold-T Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้เผยแพร่เห็นประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 วงจร Transmission Gate และ T-Threshold Gate สำหรับตัวดำเนินการ (a)  $C * x^t$  และ (b)  $C * x^t$



รูปที่ 2 วงจร Threshold-T Gate แบบ DCVS (a)  $t = 0.5$  และ (b)  $t = 1.5$

ตารางที่ 1 ตารางความจริงวงจร Threshold-T Gate

x	$x(0.5)$	$\overline{x(0.5)}$	$x(1.5)$	$\overline{x(1.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

ดังนั้นวงจรเทอร์นารีลอจิก T-gate ซึ่งมีลอจิกฟังก์ชันดังสมการที่ (1) และมีเอาต์พุต  $y_i$  สามารถสร้างขึ้นด้วยวงจรของ Transmission Gate และ Threshold-t Gate ดังจะแสดงได้ในรูปที่ 3 ซึ่งจะกำหนดให้มีสมการคือ  $x \oplus i = \text{mod}_3(x + i)$  ดังนั้น

$$x \oplus 1 = 1 * x^{0.5} \# 2 * (x^{0.5} * x^{1.5}) \# 0 * x^{1.5} \quad (4)$$

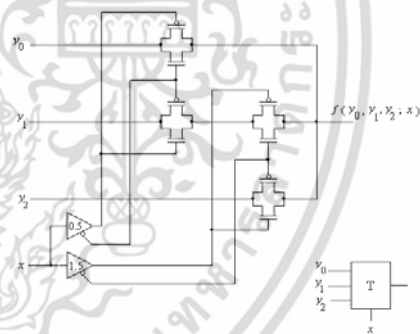
$$x \oplus 2 = 2 * x^{0.5} \# 0 * (x^{0.5} * x^{1.5}) \# 1 * x^{1.5} \quad (5)$$

และกำหนดให้วงจร Identity Cell (Buffer) มีฟังก์ชัน

$$x = 0 * x^{0.5} \# 1 * (x^{0.5} * x^{1.5}) \# 2 * x^{1.5} \quad (6)$$

ดังนั้นวงจรเทอร์นารีนี้สามารถสร้างขึ้นเพียงทำการกำหนดเอาต์พุต  $y_i$  ให้สอดคล้องกับอินพุต  $x_i$  ดังตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 วงจร T-Gate

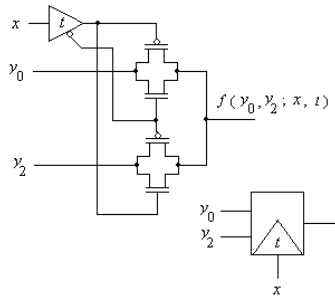
ตารางที่ 2 ตารางความจริงวงจร T-Gate,  $x \oplus 1$  และ  $x \oplus 2$

x	T-gate	$x \oplus 1$	$x \oplus 2$	identity cell
0	$y_1$	1	2	0
1	$y_2$	2	0	1
2	$y_3$	0	1	2

นอกจากนี้สำหรับวงจร Threshold-T multiplexer ซึ่งมีฟังก์ชัน

$$f(x) = y_0 * (x^{0.5}) \# y_2 * (x^{1.5}) \quad (7)$$

เมื่อสร้างขึ้นด้วยวงจร Transmission Gate แสดงได้ในรูปที่ 4



รูปที่ 4 วงจร Threshold-T Multiplexer

สำหรับวงจรเทอร์นารีแบบสองอินพุต (x,y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

$$\begin{aligned}
 f(x,y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5 \cdot 0.5} \cdot y \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5 \cdot 1.5} \cdot y) \# C_3 * (x^{0.5} \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (x^{0.5} \cdot x^{1.5} \cdot 0.5 \cdot y \cdot x^{1.5}) \# \\
 & C_5 * (x^{0.5} \cdot x^{1.5} \cdot 1.5 \cdot y) \# C_6 * (x^{1.5} \cdot y^{0.5}) \# \\
 & C_7 * (x^{1.5} \cdot x^{0.5} \cdot y \cdot y^{1.5}) \# C_8 * (x^{1.5} \cdot x^{1.5} \cdot y) \#
 \end{aligned}
 \tag{8}$$

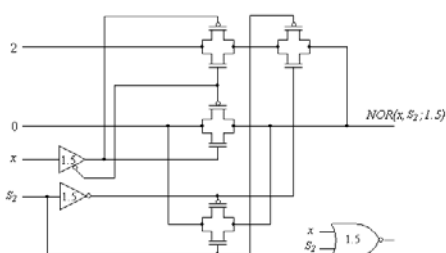
เช่นวงจร Threshold-t NOR-2 inputs เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9) เมื่อกำหนดให้  $t = 1.5$

$$NOR(x,y;1.5) = 2 * (x^{0.5 \cdot 0.5} \cdot y) \# 0 * (x^{1.5}) \# 0 * (y^{1.5})
 \tag{9}$$

และในกรณีที่อินพุตมากกว่า 2 เช่นกรณี วงจร threshold-t NOR-3 inputs ซึ่งมีฟังก์ชันหลังลดรูปด้วย K-map ดังแสดงในสมการที่ (10) เมื่อกำหนดให้  $t = 0.5$

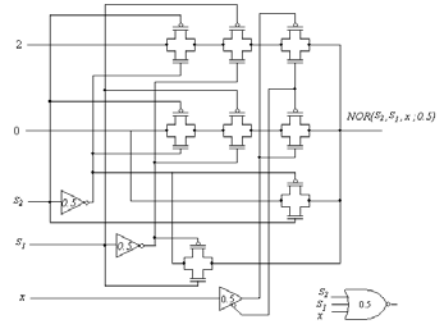
$$\begin{aligned}
 NOR(x,y,z;0.5) = & 2 * (x^{0.5} \cdot y^{0.5} \cdot z^{0.5}) \\
 & \# 0 * (x^{0.5}) \# 0 * (y^{0.5}) \# 0 * (z^{0.5})
 \end{aligned}
 \tag{10}$$

และทั้งสองวงจรสามารถแสดงวงจรได้ดังรูปที่ 5(a) และ 5(b) ตามลำดับ ผลการจำลองการทำงานของ PSPICE แสดงในรูปที่ 6



รูปที่ 5 (a) วงจร Threshold-T NOR-3 inputs เมื่อ  $t = 1.5$

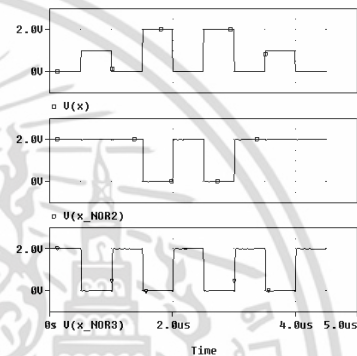
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูปที่ 5 (a) วงจร Threshold-T NOR-3 inputs เมื่อ  $t = 1.5$

(b) Threshold-T NOR-3 inputs เมื่อ  $t = 0.5$



รูปที่ 6 ผลการจำลองการทำงานของวงจร Threshold-T NOR-3 inputs เมื่อ  $t = 1.5$  และ Threshold-T NOR-3 inputs เมื่อ  $t = 0.5$

### 3. การออกแบบวงจรเทอร์นารีซีเควนเชียลลอจิก

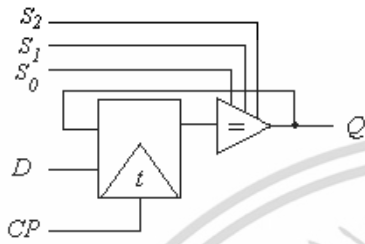
วงจรดิจิทัลซีเควนเชียลประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนประมวลผลทางลอจิก และส่วนป้อนกลับ วงจรดิจิทัลซีเควนเชียลที่ง่ายที่สุดคือ วงจรประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บสถานะทางลอจิก โดยอาศัยการป้อนกลับ และการเชื่อมต่อในส่วนป้อนกลับจะถูกแยกออกเมื่อมีสัญญาณใหม่ถูกส่งเข้ามา รูปที่ 7(a) แสดงวงจร Tri-Latch โดยมีลอจิกฟังก์ชันคือ

$$Q_+ = Q * CP^t \# D * CP
 \tag{11}$$

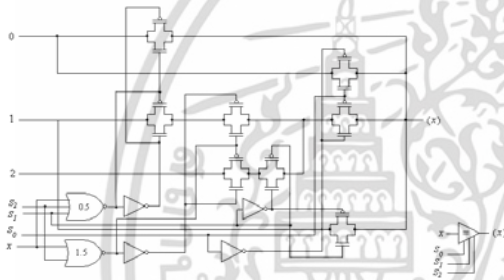
โดย CP เป็นสัญญาณควบคุมแบบไบนารี คือ  $CP \in \{0,2\}$  ทำหน้าที่เป็นสัญญาณนาฬิกา ดังนั้น t อาจมีค่าเป็น 0.5 หรือ 1.5 โดยประกอบด้วยวงจร Threshold-T Multiplexer และ วงจร Identity Cell (Buffer) ที่ถูกปรับปรุงโดยเพิ่มส่วนควบคุม ซึ่งมีสัญญาณควบคุม  $S_i \in \{0,2\}$  ทำหน้าที่กำหนดสถานะเอาต์พุตให้เป็นไปตามตารางที่ 3 ซึ่งแสดงได้ในรูป 7(b)

ตารางที่ 3 ตารางความจริงวงจร Tri-Latch

$S_0$	$S_1$	$S_2$	$Q_+$
0	0	0	$Q$
0	0	2	0
0	2	0	1
2	0	0	2

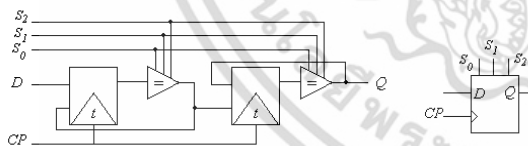


(a)



(b)

รูปที่ 7 (a) วงจร Tri-Latch (b) Identity Cell แบบที่มีส่วนควบคุม

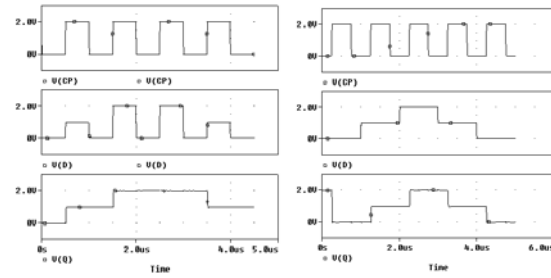


รูปที่ 8 วงจร D-type Tri-Flop และสัญลักษณ์

และเมื่อทำการเชื่อมโยงวงจร Tri-Latch สองวงจรโดยสลับตำแหน่งการเชื่อมโยงการป้อนกลับและการนำสัญญาณเข้า ดังนั้นจะได้วงจร D-type Tri-Flop ซึ่งจะทำให้การอ่านข้อมูลเข้าที่ขอบขาขึ้นของสัญญาณนาฬิกา (CP) ดังแสดงในรูปที่ 8 ซึ่งสามารถแสดงในรูปฟังก์ชันได้ดังนี้

$$Q_+ = D \tag{12}$$

ผลการจำลองการทำงานเปรียบเทียบระหว่างวงจร Tri-Latch และ D-type Tri-Flop แสดงในรูปที่ 9



(a)

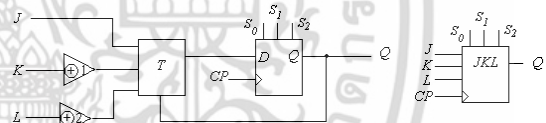
(b)

รูปที่ 9 ผลการจำลองการทำงาน (a) วงจร Tri-Latch (b) D-type Tri-Flop

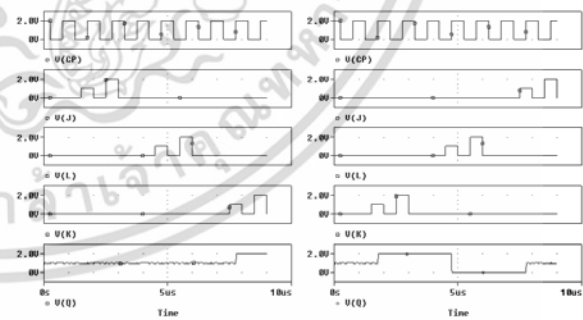
สำหรับวงจร JKL Tri-flop สามารถสร้างขึ้นจากวงจร D-type Tri-Flop โดยเพิ่มส่วน T-Gate ทำหน้าที่เป็นส่วนควบคุมการนำสัญญาณเข้าและส่วนควบคุมการป้อนกลับ โดยจะเลือกนำสัญญาณ  $J \oplus 1$  และ  $L \oplus 2$  เข้าขึ้นกับสถานะลอจิกของเอาต์พุตก่อนหน้า ดังแสดงในรูปที่ 10 ฟังก์ชันการทำงานของวงจรนี้คือ

$$Q_+ = J * Q^{0.5} \# (K \oplus 1) * (^{0.5} Q Q^{1.5}) \# (L \oplus 2) * ^{1.5} Q \tag{13}$$

ซึ่งผลการจำลองการทำงานแสดงได้ในรูปที่ 11



รูปที่ 10 วงจร JKL-type tri-flop และสัญลักษณ์



(a)

(b)

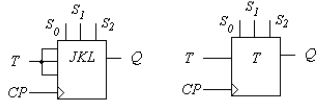
รูปที่ 11 ผลการจำลองการทำงานวงจร JKL-type tri-flop

สำหรับวงจร T-type tri-flop สามารถสร้างขึ้นจากวงจร JKL tri-flop โดยเพียงทำการเชื่อมโยงสัญญาณเข้า J K และ L ทั้งหมดเข้าด้วยกันดังรูป 12 ซึ่งจะทำให้หน้าที่เปลี่ยนสถานะเอาต์พุตให้นับเพิ่มขึ้นหรือลดลง เมื่อสัญญาณอินพุต T เท่ากับ 1 และ 2 ตามลำดับ และคงสถานะเอาต์พุตไว้เมื่อ T เท่ากับ 0 ดังแสดงในผลการ

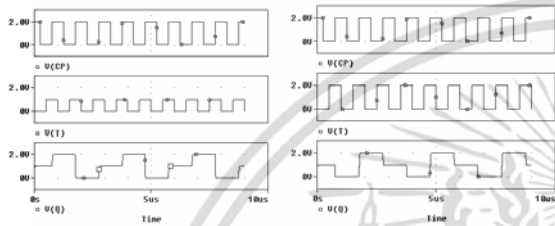
จำลองการทำงานในรูปที่ 13 ฟังก์ชันแสดงการทำงานในรูปสมการคือ

$$Q_+ = T \oplus Q \quad (14)$$

การทำงานของวงจรถัดสามสามารถสรุปได้ในตารางที่ 4



รูปที่ 12 วงจร JKL-type tri-flop และสัญลักษณ์



รูปที่ 13 ผลการจำลองการทำงานวงจร T-type Tri-Flop

ตารางที่ 4 Excitation Tables ของวงจรTri-Flop แบบต่าง ๆ

D-type	JKL-type			T-type	Present state	Next state
<i>D</i>	<i>J</i>	<i>K</i>	<i>L</i>	<i>T</i>	<i>Q</i>	<i>Q<sub>+</sub></i>
0	0	d	d	0	0	0
1	1	d	d	1	0	1
2	2	d	d	2	0	2
0	d	2	d	2	1	0
1	d	0	d	0	1	1
2	d	1	d	1	1	2
0	d	d	1	1	2	0
1	d	d	2	2	2	1
2	d	d	0	0	2	2

#### 4.สรุป

การออกแบบวงจรถอนารีที่นำเสนอในบทความนี้ สามารถสร้างวงจรมีฟังก์ชันสลับซับซ้อนอย่างเป็นระบบด้วยเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และสามารถสร้างรวมเข้ากับวงจรถอนารีอื่น ๆ ที่ได้ออกแบบไว้อย่างดีแล้ว อย่างไรก็ตามด้วยความพยายามให้การออกแบบเป็นไปอย่างเป็นระบบจึงทำให้วงจรมีขนาดใหญ่และใช้ทรานซิสเตอร์จำนวนมาก โดยเฉพาะวงจรถอนารี Threshold-T Gate ซึ่งใช้ในการเปลี่ยนสัญญาณเทอร์นารีเป็นสัญญาณควบคุมแบบไบนารี โดยหากการลดรูปจาก

K-map สามารถกำหนดแน่นอนเป็นสัญญาณไบนารี วงจรถอนารี Threshold-T Gate สามารถแทนที่ได้ด้วยวงจรถอนารี CMOS Inverter แบบไบนารี ซึ่งช่วยให้วงจรมีขนาดเล็กลงได้

#### 5. เอกสารอ้างอิง

- [1] H.T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuit," IEEE Trans. Comp., pp. 281-288, 1977
- [2] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit," Proc. International Symposium on MVL 18<sup>th</sup>, pp. 307-313, 1988
- [3] X. Wu and X. Chen, "Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit," Scientia Sinica, pp. 1208-1221, 1985
- [4] O. Ishizaka, "Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic," Proc. IBID, pp. 51-57, 1986

#### ภาคผนวก

ตารางที่ 6 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

.MODEL PMOS05U PMOS
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
+JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U
+VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
+THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
+CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631
+CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10
+KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81
+NFS=0.52E11)
.MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
+JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U
+VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
+THETA=0.129 PHI=0.905 GAMMA=0.69
+KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10
+CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
+DELTA=0.42 NFS=1.2E11)

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้